

Herstellung, Charakterisierung und Simulation
von
Germanium-p-Kanal–Tunneltransistoren

Von der Fakultät Informatik, Elektrotechnik und Informationstechnik
der Universität Stuttgart
zur Erlangung der Würde eines
Doktor-Ingenieurs (Dr.-Ing.) genehmigte Abhandlung

Vorgelegt von

Daniel Hähnel

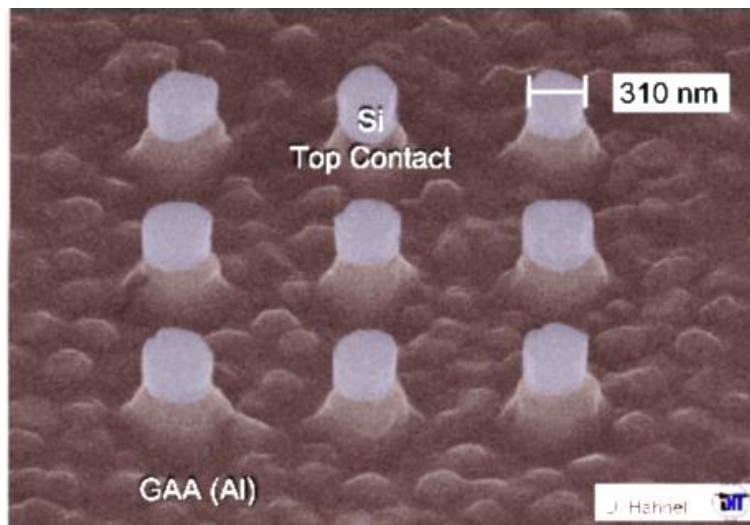
aus Borna

Hauptberichter:	Prof. Dr. habil. Jörg Schulze
Mitberichter:	Prof. Dr. rer. nat. Joachim Knoch
Tag der mündlichen Prüfung:	24.August.2018

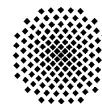
Institut für Halbleitertechnik der Universität Stuttgart

2019

**Herstellung, Charakterisierung
und Simulation
von
Germanium-p-Kanal-Tunneltransistoren**



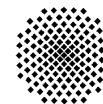
Autor: Daniel Hähnel
Datum: Juli 19



I. Inhaltsverzeichnis

I.	INHALTSVERZEICHNIS	I
II.	ABKÜRZUNGSVERZEICHNIS	III
III.	NATUR- UND MATERIALKONSTANTEN	X
IV.	SUMMARY	XIII
1	EINLEITUNG UND MOTIVATION	1
1.1	Zeitliche Entwicklung und technologische Herausforderungen der CMOS-Technologie; Ausweg in die Quantenmechanik?	1
1.2	Aufbau des TFETs	6
1.3	Betriebsmodi des TFETs	7
1.4	Bisherige experimentelle Realisierungen des TFET-Konzepts	9
2	EXPERIMENTELLE UNTERSUCHUNGEN ZUM SI-TFET	10
2.1	TFET-Prozessfolge für den Uni-Bw-Maskensatz	10
2.2	Skalierbarkeit des Si-pTFETs und Prozessetablierung	13
3	MODELLIERUNG DES GLEICHSTROMVERHALTENS DES VERTIKALEN TFET-KONZEPTS	22
3.1	Spannungsabhängiger Bandverlauf des TFETs im Vergleich zum MOSFET	23
3.2	Analytische Berechnung des Bandverlaufs im pTFET	25
3.3	Die WKB-Näherung zur Berechnung der Tunnelwahrscheinlichkeit	39
3.4	Ladungsträgertransport innerhalb des TFETs	40
4	ERSTE EXPERIMENTELLE REALISIERUNG DES VERTIKALEN GE-PTFET-KONZEPTS	44
4.1	Temperaturabhängigkeit des Leckstroms I_{off} des vertikalen Ge-TEFTs	48
4.2	Unterdrückung des ambipolaren Schaltverhaltens im Ge-pTFET	54
5	OPTIMIERUNG DES VERTIKALEN GE-PTFET-KONZEPTS	69
5.1	Entwicklungspotential des vertikalen Ge-pTEFT-Konzepts	69
5.2	Reduzierung der äquivalenten Oxiddicke des Gateoxids durch Einführung von Al_2O_3	71
5.3	MBE-Sequenzen zur Skalierung der Kanallänge LG des Ge-pTFETs	74
6	PROZESSENTWICKLUNG LITHOGRAPHIE-UNABHÄNGIGE SKALIERUNG	78
6.1	Vertikale Transistor-Strukturen mit vollumgebender Gate-Elektrode	78
6.2	Erste elektrische Charakterisierung von vertikalen Ge-GAA-pTFETs	87
6.3	Hochfrequenzeigenschaften des Ge-TFETs	89
7	ZUSAMMENFASSUNG UND AUSBLICK	101
7.1	Reduzierung der effektiven Bandlücke am Tunnelübergang durch den Einsatz einer $Ge_{1-x}Sn_x$ -Ge-Heterostruktur	102
A.	MODELLIERUNG UND SIMULATION DES VERTIKALEN TFET-KONZEPTS	I

B.	SIMULATIONSERGEBNISSE: LECKSTROMVERHALTEN SI-TFET	IX
V.	LITERATURVERZEICHNIS	XV
VI.	IM RAHMEN DIESER ARBEIT ENTSTANDENE PUBLIKATIONEN	XXIX
VII.	LEBENS LAUF	XXXI
VIII.	EIDESSTÄTTLICHE ERKLÄRUNG	XXXII



II. Abkürzungsverzeichnis

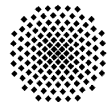
In der vorliegenden Arbeit werden die folgenden chemischen Symbole, chemischen Summenformeln und Notationen für die Benennung von Halbleiterkristallen verwendet:

α -Si:H	Amorphes Silizium, wobei ein Anteil der offenen Bindungen mit Wasserstoff abgesättigt ist
Al	Aluminium
Al ₂ O ₃	Aluminiumoxid
Ar	Argon
AZ 6612	Fotolack AZ 6612 Vertrieb durch MicroChemicals GmbH
AZ ECI 3007	Fotolack AZ ECI 3007 Vertrieb durch MicroChemicals GmbH
B	Bor
BHF	Gepufferte Flusssäure
C	Kohlenstoff
CF ₄	Tetrafluormethan
CH ₃	Methylgruppe
CH ₄	Methan
CHF ₃	Trifluormethan
Cl ₂	Chlor
Ge	Germanium
Ge:B	Bor-dotierter Germanium-Halbleiterkristall (Die Bor-Konzentration c_B liegt im Bereich $1 \cdot 10^{16} \text{ cm}^{-3} \leq c_B < 1 \cdot 10^{21} \text{ cm}^{-3}$.)
Ge:Sb	Antimon-dotierter Germanium-Halbleiterkristall (Die Antimon-Konzentration c_{Sb} liegt im Bereich $1 \cdot 10^{16} \text{ cm}^{-3} \leq c_{Sb} < 1 \cdot 10^{21} \text{ cm}^{-3}$.)
GeO _x	Germanium-Oxid
GeSn	Germanium-Zinn (Gemeint ist ein Ge _{1-x} Sn _x -Verbindungshalbleiter mit $0 < x < 1$.)
H ₂	Molekularer Wasserstoff
H ₂ O ₂	Wasserstoffperoxid
H ₃ PO ₄	Phosphorsäure
HBr	Brom-Wasserstoff
Hf	Hafnium
HfO ₂	Hafniumdioxid
TaSiN _x	Tantal-Siliziumnitride
Poly-Si	Polykristallines Silizium
N ₂	Molekularer Stickstoff
O ₂	Molekularer Sauerstoff
Sb	Antimon

Si	Silizium
Si:B	Bor-dotierter Silizium-Halbleiterkristall (Die Bor-Konzentration c_B liegt im Bereich $1 \cdot 10^{16} \text{ cm}^{-3} \leq c_B < 1 \cdot 10^{21} \text{ cm}^{-3}$.)
Si:Sb	Antimon-dotierter Silizium-Halbleiterkristall (Die Antimon-Konzentration c_{Sb} liegt im Bereich $1 \cdot 10^{16} \text{ cm}^{-3} \leq c_{Sb} < 1 \cdot 10^{21} \text{ cm}^{-3}$.)
SiGe	Silizium-Germanium (Gemeint ist ein $\text{Si}_{1-x}\text{Ge}_x$ -Verbindungshalbleiter mit $0 < x < 1$.)
SiO_2	Siliziumdioxid
SiON_x	Siliziumoxinitride
TEOS	Tetraethylorthosilicat
TMA	Trimethylaluminium
HfTBO	Hafniumtertbutoxide
PMMA	Polymethylmethacrylat
TMAH	Tetramethylammoniumhydroxid

In der vorliegenden Arbeit werden die folgenden Akronyme verwendet:

BARC	Antirefektionsschicht, engl. Bottom Anti-Reflecting Coating
BL	„vergrabene“ Halbleiterschicht, engl. für Buried Layer
BTBT	Band-zu-Band-Tunnelprozesse, engl. Band-to-Band-Tunneling
BTBT-GR	BTB-Tunnelgenerationsrate
CD	Vollständige Dissoziation, engl. Complete Dissociation
CMOS	komplementären Verschaltung eines p- und n-Kanal MOSFETs, engl. Complementary Metal Oxide Semiconductor Circuits
CMP	chemisch-mechanisch-Planarisieren, CMP, engl. Chemical Mechanical Polishing
CVD	Chemical Vapor Deposition, engl. für eine chemische Abscheidung aus der Gasphase
DG	Doppel-MOS-Gate-Elektroden
DH-TFET	Doppel-Heteroübergang-TFET, engl. Double Hetero Structure TFET
DIBL	Einfluss der Drain Spannung V_{DS} auf die ausgebildete Barrierenhöhe bei einem konv. MOSFET, engl. Drain Induced Barrier Lowering
DIBT	engl. Drain Induced Barriere Thinning
DUT	Messbauteils, engl. Device Under Test
EBL	Elektronenstrahl-Lithografie, engl. für Electron Beam Lithography
EOT	Äquivalente Oxididicke, engl. Equivalent Oxide Thickness
Fe-FET	Ferroelektrische FET
GAA-Struktur	komplett umgebende Gate-Elektrode, engl. Gate-All-Around-Structure
GCA	Langkanal-Näherung, engl. für Gradual Channel Approximation
GOX	Gateoxid
GPC	ALD-Schichtwachstum pro Zyklus, engl. Growth Per Cycle



GSG	Anschlusstrukturen im GSG-Design (Ground-Signal-Ground)
HM	Hartmaske
HP	Hochleistungsmikroprozessoren, engl. High Performance ICs
IC	integrierten Schaltungen, engl. Integrated Circuit
ICP-RIE	Reaktives Ionenätzen mit Hilfe eines induktiv gekoppelten Plasmas, engl. Inductive Coupled Plasma Reactive Ion Etching
I-FETs	Engl. Impact Ionisation MOSFET
ITRS	Prognose (roter Faden) über die zukünftige Entwicklung der Halbleitertechnik, engl. International Technology Roadmap for Semiconductors
LDD	engl. für Lightly-Doped Drain
LDL-Modell	Landauer-Datta-Lundström-Transport-Modell
LSTP	Mikroprozessoren mit geringer Leistungsaufnahme, engl. Low Stand-by Power ICs
MBE	Molekularstrahlepitaxie, engl. Molecular Beam Epitaxy
MEMS	Mikrosystemtechnik, engl. Microelectronic and microelectromechanical systems
MFC	Massen-Fluss-Steuerung, engl. für Mass Flow Controller
MOSFET	Feldeffekttransistors, engl. Metal Oxide Semiconductor Field Effect Transistor
MuG	Multi-Gate-Strukturen
NDR	Negativ-Differentiellen-Widerstand, engl. Negative Differential Resistance
NEM-FET	Nano-Elektrisch-Mechanischer FET
NW	NW-Struktur (Nano-Draht-Struktur, engl. Nano Wire Structure)
OPC	Engl. für Optical Proximity Correction
OPC	Optische Korrektur des Maskendesigns, engl. Optical Proximity Correction
PECVD	Plasma-unterstützte chemische Gasphasenabscheidung, engl. für eine Plasma-Enhanced Chemical Vapor Deposition
PF	Poole-Frenkel-Mechanismus
QCL	Limit der Kanalkapazität, engl. Quantum Capacity Limit
QMS	Quadrupol-Massenspektrometer
RCA 1&2	RCA-Reinigung (engl. RCA clean) (nasschemische Reinigungsprozess der Radio Corporation of America)
PEALD	Plasma-unterstützte Atomlagenabscheidung, engl. Plasma Enhanced Atomic Layer Deposition
REM	Rasterelektronenmikroskop
RIE	Reaktives Ionenätzen, engl. Reactive Ion Etching
RT	Raumtemperatur, $T = 20 \text{ }^\circ\text{C}$
RTP	Schnelle thermische Prozessführung, engl. Rapid Thermal Processing
SeAM	semi-analytischen-Modell zur Bestimmung der Strom-Spannungskennlinien des in dieser Arbeit betrachteten Tunnelfeldeffekttransistor
SRB	Spannungs-Relaxierten-Ge-Puffer, engl. für Strain-Relaxed-Buffer
SRH	Shockley-Read-Hall-Mechanismus

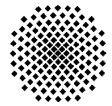
Einführung

II. Abkürzungsverzeichnis

TAT	Fehlstellen-unterstütztes Tunneln, engl. Trap-Assisted-Tunneling
TD	Durchstoßversetzungen, engl. Threading Dislocations
TFET	Tunnelfeldeffekttransistor, engl. Tunneling Field Effect Transistor
TL	Oberste Halbleiterschicht im MBE-Stapel, engl. Top Layer
Uni-Bw	Universität der Bundeswehr, Standort München
VS	virtuelles Substrat
WKB	Wentzel-Kramers-Brillouin-Näherung
wRTO	wRTO-Verfahren, engl. wet Rapid Thermal Oxidation

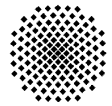
In der vorliegenden Arbeit werden die folgenden Formelsymbole verwendet:

A_{Kane}	Materialparameter nach Kane-Tunnelmodell (direkter und indirekter Tunnelprozess)
a_i	Koeffizienten der Entwicklung des Oberflächenpotentials
B_{Kane}	Materialparameter im Kane-Tunnelmodell (direkter und indirekter Tunnelprozess)
C_{Dm}	Drain-RLZ-Kapazität
C_G	Gate-Kapazität
C_G^\square	flächennormierte Gate-Oxidkapazität
C_{GD}	Gate-Drain-Kapazität
C_{GS}	Gate-Source-Kapazität
D_{2D}	zweidimensionale Zustandsdichte im Kanalgebiet
D_{TA}	Deformationspotential hervorgerufen durch Phonon-Wechselwirkung
$D_{p,n}$	Diffusionskonstanten von Löchern bzw. Elektronen
$D(E)$	Anzahl der verfügbaren Ladungsträger pro eV
d_{ch}	Dünnschichtdicke des Halbleiters
d_i	nominellen Dicke der intrinsischen Zone
d_{ox}	Dünnschichtdicke des Gate-Oxids
dV	Volumenelement
Δ_S	Segregationslänge
Δ_{WKB}	räumlicher Abstand
Λ	räumliche Ausdehnung der Tunnelregion
$\Delta\phi$	Differenz zwischen der Leitungsbandkante E_f^S und der Valenzbandkante in der Kanalregion
E	Energie
E_G^Γ	Bandlücke an der Stelle Γ im Banddiagramm
E_G	minimale Bandlücke im betrachteten Halbleitersystem
E_a	Aktivierungsenergie im Shockley-Read-Modell
$E_{f,s,d}$	Fermi-Energie in der Source- und Drain-Region
E_i	intrinsisches Fermi-Niveau



E_m	elektrische Feldspitze am Übergang Kanal-/Drain-Gebiet
E_t	Lage des Defektniveaus innerhalb der Bandlücke des Halbleiters
ϵ_0	Elektrische Feldkonstante
ϵ_{TA}	Energie aus der Dispersionsrelation des betrachteten Phonon-Zweigs
ϵ_{ch}	Relative Permittivität des Halbleiters im Kanalgebiet
ϵ_{ox}	Relative Permittivität des Gate-Oxids
F	Elektrische Feldstärke
F_0	Normierungsfaktor elektrische Feldstärke
$F_{1/2}$	Fermi-Dirac-Integrals
F_x, F_y	lokale elektrische Feldkomponenten
$f_{s,d}$	Fermi-Dirac-Verteilung der Ladungsträger in Source- und Drain-Gebiet
f_t	Transitfrequenz
ϕ_M	Austrittsarbeit der Gate-Elektrode
$\phi_{bi,d}$	„Built-in“-Potential zwischen Drain- und Kanalgebiet (Body)
$\phi_{bi,s}$	„Built-in“-Potential zwischen Source- und Kanalgebiet (Body)
G_{Kane}	BTBT Generationsrate im Kane-Tunnelmodell
g_m	Transkonduktanz
γ	Parameter zur Berücksichtigung des jeweiligen Tunnelprozesses (direktes oder indirektes Tunneln)
γ	„Verschmierungsfunktion“ innerhalb des Kanalgebiet s
$ H_{21} $	Vierpolparameter Kurzschluss-Strom-Übertragungsfaktor
ΔH	Enthalpie
h	Planck'sche Wirkungsquantum
h_{21}	Verstärkungsfaktor
I_D	Drain-Strom oder Sättigungsstrom des Transistors
I_{Leck}	Verluststrom durch das Gate-Oxid
I_{off}	gesamter Leckstrom durch den Transistor im ausgeschalteten Zustand
\dot{i}_D	Kleinsignal Drain-Strom
\dot{i}_G	Kleinsignal Gate-Strom
J_0	Diffusionsstrom zum Leckstrom der Diode
J_R	Leck-/Sperrstrom der Diode
J_{ge}	Generation-Rekombinationsstrom zum Leckstrom der Diode
k_B	Boltzmann-Konstante
L_G	geometrische Kanallänge
$L_{p,n}$	Diffusionslänge der Ladungsträger im jeweiligen Gebiet
λ_i	natürliche Abschirmlänge in dem jeweilig betrachteten Gebiet
λ_{mfp}	mittlere freie Weglänge
λ_{mfp}	mittlere freie Weglänge im Kanalgebiet
m_{eff}	reduzierte Tunnelmasse
$m_{c, }$	effektive Masse des Valenzbandes der Elektronen in Transportrichtung

m_c	effektive Zustandsdichtenmasse für das Leitungsband
$m_{v,\parallel}$	effektive Masse des Leitungsbandes der Löcher in Transportrichtung
m_v	effektive Zustandsdichtenmasse für das Valenzband
M	Anzahl an verfügbaren Transport-Moden n im Kanalgebiet
MAG	maximale Verstärkungsfaktor (engl. für Maximum Available Gain)
N_{TA}	Besetzungszahl des Phononen-Gases im Halbleiter
N_B	Volumenkonzentration des Dotierstoffes
N_{BL}	Volumenkonzentration des Dotierstoffes im BL
N_{TL}	Volumenkonzentration des Dotierstoffes im TL
N_{eff}	Effektive Ladung im Source-Gebiet
N_i	Dotierung in den jeweiligen Teilgebieten (i) des analytischen Modells
n_i	intrinsischen Ladungsträgerkonzentration
n_s	Adatomkonzentration des Dotierstoffes
U_{ge}	Elektron-Loch-Paar Generationsrate
U_T	Temperaturspannung
ρ	Dichte des Phonons-Gases
Q_{Gate}	Ladungen die durch die Gate-Elektrode kompensiert werden
Q_S	Ladungen in der Verarmungszone auf der Source-Seite
$Q_{ch,inv}$	Inversionen Ladungen im Kanalgebiet
Q_{ch}	im Kanalgebiet befindliche Ladungen
$Q_{ch,str}$	Ladungen generiert durch Streufelder am Übergang Kanal-/Drain-Gebiet
R_S	Serienwiderstand der Diodenkennlinie
R_S	Serienwiderstand
RZ	Raumladungszone im Kanalgebiet eines konv. MOSFETs
ρ	Dichte des Phonons-Gases
\underline{S}	S-Parameter der HF-Messung
SS	Sub-Threshold Swing (SS, engl. für Unterschwellwertsteigung)
T_{WKB}	Tunnelwahrscheinlichkeit in der WKB-Näherung
T	Temperatur
$T(E)$	Transmission der Ladungsträger von der Source zur Drain-Elektrode
$\tau_{D,B}$	charakteristische Zeit des Ladungsträgertransports (Diffusion/Ballistisch)
$\tau_{S,D}$	charakteristischen Zeiten der Ladungsträger in Source- und Drain-Gebiet
τ_{Takt}	Schaltgeschwindigkeit des Mikroprozessors
$\tau_{n,p}$	die Lebensdauer für Elektronen bzw. Löcher
τ_n	charakteristische Zeitkonstante n-MOSFETs („pull-down“)
τ_p	charakteristische Zeitkonstante p-MOSFETs („pull-up“)
ψ_G	Potential der angelegten Gate-Spannung an der MOS-Elektrode
ψ_b	Elektrisches Potential auf der Rückseite des DG-MOSFETs
$\psi_{d,i}$	partikuläre Lösung der inhomogenen DGL



ψ_{dg}	Bandhub hervorgerufen durch die MOS-Elektrode
$\psi_{s,i}$	Oberflächenpotential innerhalb des betrachteten Gebiets i
ψ_s	elektrisches Potential an der Grenzfläche Halbleiter/Gate-Dielektrikum
\underline{v}_{GS}	Kleinsignal Gate-Spannung
$\langle v_x^+ \rangle$	mittlere Geschwindigkeit der Ladungsträger in Transportrichtung
V_{BD}	Durchbruchspannung
V_{DD}	Versorgungsspannung des Mikroprozessors
V_{DS}	Drain-Spannung
V_{FB}	Flachbandspannung der MOS-Elektrode
V_G	Gate-Spannung
$V_{bi,d}$	„built-in“-Potential zwischen Kanal-/Drain-Gebiet
$V_{bi,s}$	„Built-in“-Spannung zwischen Source- und Kanalgebiet
V_{th}	Unterschwellwertspannung des MOS-Transistors
v_T	thermische Geschwindigkeit
W_{Dm}	Drain-seitige Raumladungszone eines konv. MOSFETs
W_G	geometrische Kanalbreite
w_{RL}	Weite der Raumladungszone
η_2	Verhältnis der auftretenden Kapazitäten in der Entwicklung des Oberflächenpotentials
Y	Admittanz
Z	Impedanz
θ	Heaviside-Funktion
μ	Ladungsträgerbeweglichkeit im Halbleiter (Valenz- und Leitungsband)
ω	Kreisfrequenz

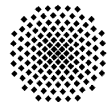
III. Natur- und Materialkonstanten

In der vorliegenden Arbeit werden die folgenden Natur- und Materialkonstanten verwendet, die den folgenden Quellen entnommen wurden:

- P. A. Tipler: Physik, 1994, Spektrum Akademischer Verlag, 1. Auflage, Heidelberg (ISBN 3-86025-122-8)
- S. M. Sze: Semiconductor Devices: Physics and Technology, 1985, John Wiley & Sons, 1. Auflage, New York (ISBN 0-471-87424-8)
- K.-H. Kao, A. S. Verhulst, W. G. Vandenberghe, B. Soree, G. Groeseneken, und K. De Meyer, „Direct and Indirect Band-to-Band Tunneling in Germanium-Based TFETs“, *Electron Devices IEEE Trans. On*, Bd. 59, Nr. 2, S. 292 –301, Feb. 2012.
- SILVACO Inc., Santa Clara, CA 95054., *SILVACO ATLAS User's Manual. 2012.* 2012.
- E. Kasper, J. Werner, M. Oehme, S. Escoubas, N. Burle, und J. Schulze, „Growth of silicon based germanium tin alloys“, *Thin Solid Films*, Bd. 520, Nr. 8, S. 3195 – 3200, 2012.

Bohr'sches Magneton ^a	:	$\mu_B = 9,2740154 \cdot 10^{-24} A \cdot m^2$
Boltzmann-Konstante ^a	:	$k_B = 1,380658 \cdot 10^{-23} J \cdot K^{-1}$
Dirac-Konstante ^a	:	$\hbar = \frac{h}{2 \cdot \pi} = 1,05457266 \cdot 10^{-34} J \cdot s$
Elektrische Feldkonstante ^a	:	$\epsilon_0 = 8,854187817 \cdot 10^{-12} A \cdot s \cdot V^{-1} \cdot m^{-1}$
Elementarladung ^a	:	$q = 1,60217733 \cdot 10^{-19} C$
g-Faktor des Elektrons ^a	:	$g_e = 2,002319304386$
Lichtgeschwindigkeit im Vakuum ^a	:	$c = 2,99792458 \cdot 10^8 m \cdot s^{-1}$
Magnetische Feldkonstante ^a	:	$\mu_0 = 1,2566370614 \cdot 10^{-6} V \cdot s \cdot A^{-1} \cdot m^{-1}$
Planck'sches Wirkungsquantum ^a	:	$h = 6,6260755 \cdot 10^{-34} J \cdot s$
Ruhemasse des Elektrons ^a	:	$m_e = 9,1093897 \cdot 10^{-31} kg$
Effektive Zustandsdichte im Ge-Leitungsband ($T = 300 K$) ^b	:	$N_{L,Ge} = 1,04 \cdot 10^{19} cm^{-3} \cdot eV^{-1}$
Effektive Zustandsdichte im Si-Leitungsband ($T = 300 K$) ^b	:	$N_{L,Si} = 2,8 \cdot 10^{19} cm^{-3} \cdot eV^{-1}$
Relative Permittivität SiO ₂ ^b	:	$\epsilon_{rel,SiO_2} = 3,9$
Relative Permittivität Al ₂ O ₃ ^d	:	$\epsilon_{rel,SiO_2} = 7$
Relative Permittivität Si ^b	:	$\epsilon_{rel,Si} = 12$
Austrittsarbeit Gate-Elektrode ϕ_M (Al) ^d	:	4,5 eV

Simulation Kapitel 3



Kane-Parameter exponentieller Vorfaktor Si ^d (Silvaco)	:	$A_{dir} = 9,66 \cdot 10^{18} \text{ cm}^{-2} \text{ s}^{-1}$
Kane-Parameter exponentieller Faktor Si ^d (Silvaco)	:	$B_{dir} = 30,0 \text{ MVcm}^{-1}$
Kane-Parameter indirektes Tunneln Si ^d (Silvaco)	:	$\gamma = 2,0$
Kane-Parameter exponentieller Vorfaktor Si ^c (Kao et al.)	:	$A_{BTBT,indir} = 3,29 \cdot 10^{15} \text{ cm}^{-2} \text{ s}^{-1}$
Kane-Parameter exponentieller Faktor Si ^c (Kao et al.)	:	$B_{BTBT,indir} = 23,8 \text{ MVcm}^{-1}$
Kane-Parameter indirektes Tunneln Si ^c (Kao et al.)	:	$\gamma = 2,5$
Kane-Parameter exponentieller Vorfaktor Si ^d (Klassen)	:	$A_{Klaasen} = 4,00 \cdot 10^{14} \text{ cm}^{-2} \text{ s}^{-1}$
Kane-Parameter exponentieller Faktor Si ^d (Klassen)	:	$B_{Klaasen} = 19,0 \text{ MVcm}^{-1}$
Kane-Parameter indirektes Tunneln Si ^d (Klassen)	:	$\gamma = 2,5$

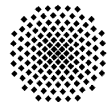
Halbleiterparameter Kapitel 3

$a_0[\text{Si}]^e$:	0,543 Å
$a_0[\text{Ge}]^e$:	0,566 Å
$a_0[\text{Sn}]^e$:	0,649 Å
$E_G[\text{Si}]^e$:	0,543 eV
$E_G[\text{Ge}]^e$:	1,17 eV
$E_G[\text{Sn}]^e$:	0,0 eV
$Z [\text{Si}]^e$:	14
$Z [\text{Ge}]^e$:	32
$Z [\text{Sn}]^e$:	50

Simulation zum Ge-pTFET

Kane-Parameter exponentieller Vorfaktor Si ^c	:	$A_{Kane,Si} = 3,29 \cdot 10^{18} \text{ cm}^{-2} \text{ s}^{-1}$
Kane-Parameter exponentieller Vorfaktor Si _{0,5} Ge _{0,5} ^c	:	$A_{Kane,Si0,5Ge0,5} = 2,27 \cdot 10^{15} \text{ cm}^{-2} \text{ s}^{-1}$
Kane-Parameter exponentieller Vorfaktor Ge ^c	:	$A_{Kane,Ge} = 1,67 \cdot 10^{15} \text{ cm}^{-2} \text{ s}^{-1}$
Kane-Parameter exponentieller Faktor Si ^c	:	$B_{Kane,Si} = 23,8 \text{ MVcm}^{-1}$
Kane-Parameter exponentieller Faktor Si _{0,5} Ge _{0,5} ^c	:	$B_{Kane,Si0,5Ge0,5} = 15,5 \text{ MVcm}^{-1}$

Kane-Parameter exponentieller Faktor Ge ^c	:	$B_{Kane,Ge} = 6,55 \text{ MVcm}^{-1}$
Kane-Parameter indirektes Tunneln Si ^c	:	$\gamma_{Kane,Si} = 2,5$
Kane-Parameter indirektes Tunneln Si _{0,5} Ge _{0,5} ^c	:	$\gamma_{Kane,Si_{0,5}Ge_{0,5}} = 2,5$
Kane-Parameter indirektes Tunneln Ge ^c	:	$\gamma_{Kane,Ge} = 2,5$
Indirekte Bandlücke Si ($T = 300 \text{ K}$) ^c	:	$E_{G,ind,Si} = 1,12 \text{ eV}$
Indirekte Bandlücke Si _{0,5} Ge _{0,5} ($T = 300 \text{ K}$) ^c	:	$E_{G,ind,Si_{0,5}Ge_{0,5}} = 0,92 \text{ eV}$
Indirekte Bandlücke Ge ($T = 300 \text{ K}$) ^c	:	$E_{G,ind,Ge} = 0,66 \text{ eV}$



IV. Summary

The rapid technological progress of the digital age is impressive throughout the interconnectedness of the world. In 2015, for the first time, the number of smartphones exceeded the number of the world's population. The related economic success of the semiconductor industry, especially the segment of miniaturization of large-scale integrated circuits, developed into a driving force of the global economy and society. The progress of in the scaling of microprocessors, summarized in the International Technology Roadmap for Semiconductors (ITRS), is nowadays hampered by physical and thermodynamic limits of the conventional metal-oxide-semiconductor field-effect transistor (MOSFET).

As the conventional MOSFET loses control over the channel region, new concepts are needed to regain performance improvements of scaling microprocessors. One of the most promising device concepts is the tunneling field effect transistor (TFET), which is addressed by the present work. Affected by the lack of competitive p-channel TFET (pTFET), the main focus lies on the further improvement of the pTFET.

As a first step, the fabrication of the semiconductor structures in a compatible CMOS process flow is established. The fabrication started with the growth of the first vertical tunneling transistors semiconductor structures by means of molecular beam epitaxy. The used growth strategies of the molecular beam epitaxy (MBE) growth are based on expertise gathered from the Si Esaki diode, which is needed to achieve steep and highly doped n- and p-type doping structures by excellent crystal quality. For the Si Esaki diode, a peak to valley ratio of about five is achieved within this work. Thus, the Si-pTFET is scaled down to a channel length of $L_g = 50$ nm (in a growth series 50 - 500 nm channel length). The TFETs can show a switching behavior of more than 8 orders of magnitude for a channel length of 100 nm. The measured saturation currents were in the order of a few $\mu\text{A}/\mu\text{m}$.

For a better understanding of the DC behavior, the electrostatics of the TFET are examined in an analytical description of the electrical field distribution and thus the potential profiles in the transistor. The dependencies of electric fields of the terminal voltages, and the material and design parameters in a double gate MOS structure, are calculated in a theoretical framework. The theoretical description started by a reduction of the Poisson equation to a one-dimensional description. This symmetrization of constraints of the potential problem and a Schottky approach, perpendicular to the channel direction, are needed to determine quantitatively and qualitatively the parameter correlations on the switching behavior. In the framework, the tunneling currents are calculated with two semi-analytical inter-band tunnel models, which are based on the Kane model and an intuitive formulation of the WKB approximation. The here determined presented model can reproduce the measured experimental results of this work.

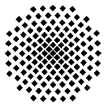
By means of a DC simulation, which are used as a benchmark for the analytically calculated tunneling currents, the modeled tunneling transistor helped to emphasize the essential differences and advantages of Ge over Si as a semiconductor material in the pTFET. Additionally, the advantages and the influence of the heterostructures of SiGe and GeSn on the switching behavior of the transistor are highlighted. With the results of the analytical description, the high-frequency characteristics of the pTFET are carried out by a small-signal model derived from the potential distribution in the DG design. With the numerical calculations for a Ge-TFET with $L_g = 100$ nm, and an Al_2O_3 gate oxide thickness $d_{ox} = 5$ nm, a maximum transit frequency of 0.57, 1.15, and 1.75 GHz for the drain voltages $V_{DS} = 0.5$ V, 1.0 V, and 1.5 V are determined. The experimentally determined transit frequency f_t is in the range of 30 GHz. The transit frequency f_t is determined from the gain factor which is extrapolated to the value of 1. The intrinsic behavior of the TFET

DUT (Device under Test) is gained by de-embedding which considers all lumped elements of the contact pads.

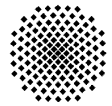
The utilization of heterostructures and with the vertical MBE layer growth of the TFET, the fabrication of the transistors must be realized in a minimal device area to suppress the leakage currents. To determine the main leakage paths in the Si- and Ge-TFET, temperature measurement of a $L_G = 100$ nm Si-TFET and a $L_G = 300$ nm Ge-TFET are carried out to extract the mentioned leakage mechanisms. Contrary to that, the leakage current of the Ge TFETs is primarily generated by Shockley-Read-Hall (SRH) recombination processes within the transistor volume. In contrast, the Si-TFET has a surface generated leakage at mesa sidewalls. For a further reduction of the leakage floor an improvement of the electrostatic control of the channel region is achieved with a new mask design and process flow. The design is based on a vertical gate all around structure (GAA structure) that includes two planarization steps to contact the transistor top contact without a lithography step. Also, within this process flow, device structures below 500 nm can be fabricated and contacted. The planarization is integrated into the process via a planarization polymer and a subsequent etch-back of the respective structures. Additionally, for the Ge tunneling transistor, a selective etching of the Ge layer allows a vertical positioning of the MOS gate electrode on the mesa edge which makes a "self-aligned" vertical gate electrode feasible. The established GAA process flow enabled a lithographic independent scaling of the mesa diameter, which allowed the use of electron beam lithography (EBL). Due to the high-resolution EBL, the structural dimensions are reduced to $L_G = 70$ nm, which is successfully measured electrically in a Ge TFET structure. Through the use of GAA-structures, the leakage current level is significantly reduced, primarily due to the reduced volume mesa.

To address the scaling of the TFET further, the process flow is extended by integrating a metal oxide Al_2O_3 as a gate oxide with a higher permittivity, resulting in a reduced equivalent oxide (EOT) compared to the hitherto used SiO_2 plasma enhanced chemical vapor deposition (PECVD) oxide. The Al_2O_3 oxide was conformal deposited by means of radical enhanced atomic layer deposition. An EOT of about $d_{EOT} = 3$ nm for a $d_{ox} = 5$ nm Al_2O_3 ALD oxide are achieved in a Ge TFET. The central point of this work, however, are the growth experiments which are particularly relevant to further address the lithographic independent scaling of the channel length from 300 nm down to 15 nm, the suppression of the ambipolar switching behavior and the integration of in the source-channel region of the Ge pTFET. The experimental results have been published in the series "IEEE Transactions on Electron Devices" December 2014 [172]. In the growth series, the ambipolarity of TFETs are effectively suppressed by reducing the drain doping on the p-type doped drain, and, by the scaling of the channel length to 15 nm of the Ge pTFETs, the saturation current could be increased. The use of a lower band gap material as the pure Ge-pTFET is necessary when a gate overdrive is neglected. The extracted values for the Ge-TFET are limited for this case and are below $I_D = 100$ $\mu\text{A}/\mu\text{m}$. Moreover, an additional boost of the saturation current of the Ge-pTFET can be achieved by a factor of ten with the integration of a $\text{Ge}_{1-x}\text{Sn}_x$ -structure at the channel / source junction. With the integrated $\text{Ge}_{1-x}\text{Sn}_x$ -structure, a smaller band gap compared to Ge can improve the switching performance of the TFET and the required values of the ITRS are reachable.

Despite the achieved improvements of the saturation current, the scaling of the channel length can only be considered as a possibility for an increase in performance when the transistor is scaled efficiently within a GAA structure. The best results of the pTFET are measured in this study in a $\text{Ge}_{0.96}\text{Sn}_{0.04}$ hetero-structure GAA-pTFET structure with a maximum saturation current $I_D = 94,3$ $\mu\text{A}/\mu\text{m}$ (203,9 $\mu\text{A}/\mu\text{m}$) for $V_{DS} = -2.0$ V (2.5 V), and $V_{GS} = -3.0$ V. The drain currents



measured in this thesis show that the tunneling transistor can be optimized to achieve drain currents in the needed range of $I_D = 1 \text{ mA}/\mu\text{m}$ to be a realistic competitor of the conventional MOSFET in the ultra large-scale integration (ULSI). The next useful steps should consider the adjustment of the optimal positioning of $\text{Ge}_{1-x}\text{Sn}_x$ structure inside the TFET.



1 Einleitung und Motivation

1.1 Zeitliche Entwicklung und technologische Herausforderungen der CMOS-Technologie; Ausweg in die Quantenmechanik?

Der rasante technologische Fortschritt des digitalen Zeitalters zeigt sich eindrucksvoll in der gesamten Vernetzung der Welt. Erstmals überstieg in 2015 die Anzahl an Smartphones die Zahl der Weltbevölkerung. In der Kommerzialisierung mittels „Market Push“- und „Market Pull“-Konzepten der auf Si-Substraten integrierten Schaltungen (kurz ICs, engl. Integrated Circuits) kann unter anderem Apple Inc. und dem Visionär Steve Jobs zugeschrieben werden, der es schaffte, den Markt für den Personal Computer zu schaffen und zu öffnen. Getrieben wurde die rasante Entwicklung durch die Skalierung von Mikroprozessoren um den Skalierungsfaktor s von einer Mikroprozessor-Generation zur nächsten. Damit ist eine Leistungssteigerung durch eine Anhebung der Taktfrequenz des Mikroprozessors verbunden, wohlgerneht bei gleichbleibender Leistungsaufnahme. Somit rechnet der Mikroprozessor nominell per Taktzyklus effizienter. Der damit verbundene wirtschaftliche Erfolg verhalf der Halbleiterindustrie, speziell in der Sparte der höchstintegrierten Schaltkreise, sich zu einem Motor der Weltwirtschaft zu entwickeln. Zwischen den Produktzyklen, getrieben durch inkrementelle Innovation, konnten die Herstellungskosten eines einzelnen Mikroprozessors stetig reduziert werden, z. B. durch ein effizienteres IC-Layout und den Ausbau der Technologie zur Handhabung von größeren Si-Substratdurchmessern. Somit konnten die Herstellungskosten runtergebrochen auf einen einzelnen Transistor, inversproportional zu der Gesamtanzahl der Transistoren auf einem Mikroprozessor gesenkt werden.

Diese Gesetzmäßigkeit formulierte erstmals 1965 Gordon Moore [1] und deutet das wirtschaftliche Potential an, welches in der Skalierung von Mikroprozessoren liegt. Die „Moore'sche Gesetzmäßigkeit“ wurde damit zu einem Paradigma, welchem sich die weltweite Halbleiter-Industrie bis heute unterworfen hat. Erste wissenschaftliche Publikationen zum Leistungsgewinn konnten z. B. durch Dennard et al. 1974 in [2] beschrieben werden. Dennard et al. zeigte, dass durch eine Skalierung eines Metall-Oxid-Halbleiter-Feld-Effekt-Transistors (kurz MOSFET, engl. Metal Oxide Semiconductor Field Effect Transistor) in einem IC um den konstanten Faktor s^{-1} ein Leistungsgewinn um den selbigen Faktor des Mikroprozessors erzielt werden kann. Durch die anhaltende Skalierung wurde eine exponentielle Zunahme der Transistoren um mehr als vier Größenordnungen in den letzten vierzig Jahren seit 1970 erreicht. Im gleichen Zeitraum konnte die Rechenleistung eines Mikroprozessors um mehr als fünf Größenordnungen erhöht werden, wieder bedingt durch ein effizienteres Schaltungsdesign. Diese immense Leistungssteigerung in der Taktfrequenz und in der Komplexität der Schaltung des Mikroprozessors wird in Tabelle 1-1 nochmals verdeutlicht dargestellt.

Tabelle 1-1 Übersicht über die exponentielle Entwicklung des Mikroprozessors aufgetragen über die letzten Dekaden und das damit verbundene Paradigma der klassischen Skalierung, wie sie durch Gordon Moore 1965 postuliert wurde.

	1970-1980	1980-1990	1990-2000	2000-2010
Anzahl Transistoren	2k-100k	100k-1M	1M-100M	100M-2B
Taktfrequenz	0,1-3 MHz	3-30 MHz	30 MHz-1 GHz	1-15 GHz
Basis-Operation / Takt	0,1	0,1-0,9	0,9-1,9	1,9-2,9

1. Kapitel

Einleitung und Motivation

In der Evolution der Mikroprozessoren, insbesondere in der Höchstintegration, setzte sich das Arbeitsprinzip des Feldeffekttransistors gegenüber dem des Bipolartransistors durch. Mithilfe der sogenannten komplementären Verschaltung eines p- und n-Kanal-MOSFETs (kurz CMOS, engl. Complementary Metal Oxide Semiconductor) ist ein energieeffizienterer Betrieb des Mikroprozessors möglich. Diese Verschaltung zeichnet sich insbesondere durch eine geringe Leistungsaufnahme in den einzelnen Schaltzuständen aus und ist bis heute ein zentrales Bauteil der Mikro- und Nanoelektronik.

Der schematische Aufbau eines p-Kanal-MOSFETs ist in der Abbildung 1.1 dargestellt. Die beiden unipolar dotierten p- bzw. n-Gebiete werden wie folgt bezeichnet, die geerdete Elektrode als Source-Elektrode (engl. für Quelle) und die an die Versorgungsspannung angeschlossene Elektrode als Drain-Elektrode (engl. für Senke/Abfluss). Das Source- und Drain-Gebiet sind räumlich durch das Kanalgebiet getrennt. Das Kanalgebiet weist eine komplementäre Dotierung auf und trennt somit elektrisch das Source- und Drain-Gebiet voneinander. Die Strukturgrößen des MOSFETs werden durch die Kanallänge L_G und die Kanalbreite W_G über das Maskenlayout und über die Prozessführung definiert.

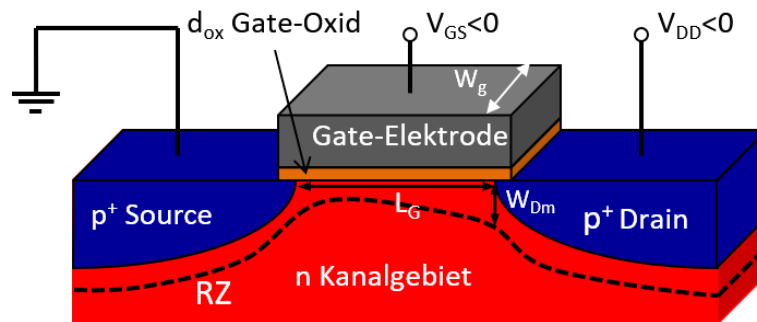


Abbildung 1.1 Illustration eines p-Kanal-MOSFETs, die Geometrie die Kanallänge L_G und der Kanalbreite W_G über das Maskenlayout und der Prozessführung definiert. Die Materialgrößen spielen eine große Rolle bei der Wahl des Halbleitermaterials im Kanalgebiet und in der Source und Drain Region. Die MOS-Steuer-Elektrode des Transistors wird definiert über die Wahl der Gate-Elektrode an sich und der Dünnschichtdicke d_{ox} und des Materials des Gate-Oxids. Weiter sind die sich ausbildenden Raumladungszonen RZ und insbesondere W_{Dm} auf der Drainseite dargestellt.

In Tabelle 1-2 ist eine Auflistung der Strukturgrößen einzelner Mikroprozessor-Generationen (gekennzeichnet durch das jeweilige Jahr und der physikalischen Kanallänge) dargestellt; Stand der Tabelle war die 2003 veröffentlichte International Technology Roadmap for Semiconductors (ITRS) [3]. Es werden hier die physikalischen Randbedingungen wie die Gateoxid-Dicken (kurz GOX) d_{ox} für Hochleistungsmikroprozessoren (HP, engl. High Performance ICs) und Mikroprozessoren mit geringer Leistungsaufnahme (LSTP, engl. Low Stand-by Power ICs) angegeben, weiter werden die physikalische Kanallänge und die Materialzusammensetzung des Gateoxids und der Gate-Elektrode aufgelistet. Die stetige Skalierung der CMOS-Mikroprozessoren in den Sub-100 nm Bereich, konnte nur durch eine Erweiterung der technologischen Schritte erreicht werden, die die bekannte Wirkungsweise der Transistoren erhalten. Die Tabelle 1-2 zeigt deutlich, dass die ITRS immer wieder angepasst werden musste, denn die Grenzen der konventionellen Skalierung werden immer deutlicher. Die Grenzen werden durch die lokale Verteilung der elektrischen Felder, die quantenmechanischen Verluststrom-Mechanismen, die diskrete Natur der Materie und Energie bestimmt. Zusätzlich ist die maximale Leistungsaufnahme des hier betrachteten CMOS-Systems über die Gesetze der Thermodynamik eingeschränkt [4].

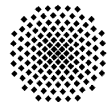


Tabelle 1-2 Auflistung der Strukturgrößen der 2003 veröffentlichten ITRS [3] und die daraufhin angepasste Version aus dem Jahre 2013 [5], mit Hinblick auf die jeweilige Transistorgeneration. Es werden hier die physikalischen Randbedingungen wie die Oxid-Dicken (d_{ox}) für Hochleistungsmikroprozessoren (HP) und Mikroprozessoren mit geringer Leistungsaufnahme (LSTP), Kanallänge und der Materialzusammensetzung des Gate-Oxids und der Gate-Elektrode angegeben. Die Werte sind in der Einheit nm aufzufassen.

Jahr	2001	2003	2005	2007	2009	2013	2015	2021
Generation „Node Range“ Labeling (nm)	130	100	80	65	45	„16/14“	„11/10“	„4/3“
$\frac{1}{2}$ Abstand Bauelemente	150	107	80	65	45	40	32	15,9
physikalische Kanallänge $L_{G,HP}$	65	45	32	25	20	20	16,7	9,7
physikalische Kanallänge $L_{G,LP}$						23	19,0	15,9
d_{ox} (HP)	1,5	1,3	1,1	0,9	0,8	0,8	0,73	0,56
d_{ox} (LP)		2,2	2,1	1,6	1,4	0,8	0,73	0,56
Gate-Material	SiO_xN_y		$HfO_x; Si_3N_4$			$LaAlO_3$		
Gate-Elektrode	poly Si			Metallische Verbindungen z. B. TaSiN _x				

Die elektrostatischen Randbedingungen werden durch den Aufbau bestimmt, es gilt daher vor jeder neuen Transistorgeneration einen Kompromiss einzugehen, der zwischen Langkanal- und Kurzkanalverhalten zu finden ist. Ein idealer Transistor wird für einen Einsatz in einer digitalen Schaltung über eine hohe Eingangs- und Ausgangsimpedanz definiert. Weiter sollte der ideale Transistor eine hohe intrinsische Verstärkung und eine Immunität gegenüber Variationen in der Prozessführung zeigen. Die genannten Punkte entsprechen dem Langkanaltransistor-Verhalten. Für einen schnellen und leistungsarmen Aufbau der Schaltungen sollte der Transistor eine hohe Transkonduktanz g_m und einen hohen Drain-Strom besitzen. Diese Eigenschaften werden durch einen skalierten Transistor und damit durch einen Kurzkanal-Transistor erfüllt. Bei der Skalierung des konventionellen MOSFETs müssen beide Konzepte gegeneinander abgewogen werden, dass die zweidimensionale elektrostatische Feldverteilung, insbesondere die Feldkomponente entlang des Kanals unterdrückt wird (Erhaltung des Langkanal-Verhaltens) [2], [6]–[8].

Die Idee und technologischen Herausforderungen in der angesprochenen Skalierung des MOSFETs zur Erlangung schnellerer Steuerzyklen, kann zentral über die Taktzeit τ_{Takt} des Transistors eines Mikroprozessors verdeutlicht werden. Dazu lässt sich folgende Abhängigkeit des Ladestroms für einen Langkanal-Transistor I_D [9], der Betriebsspannung V_{DD} und der Gate-Kapazität C_G angegeben werden [10], [11]:

$$\tau_{Takt} = \frac{C_G \cdot V_{DD}}{I_D} \propto \frac{L_G^2}{\mu} \cdot \frac{V_{DD}}{(V_{DD} - V_{th})^2} \quad 1.1$$

Die Kanalbreite (W_G) und Kanallänge (L_G) werden unmittelbar durch das Design der Transistor-Generation des Mikroprozessors vorgegeben. Insbesondere in der Skalierung zeigt sich, dass der thermische Beitrag durch Diffusion von Ladungsträger über die Potentialbarriere zwischen der

1. Kapitel

Einleitung und Motivation

Source- und Drain-Elektrode (Verluststrom im Unterschwellwertbereich) exponentiell mit einer Kanallängenreduzierung L_G ansteigt.

Weitere technologische Möglichkeiten sind über die Materialwahl gegeben um die Beweglichkeit μ zu erhöhen und die Unterschwellwertspannung V_{th} einzustellen, jedoch zeigen sich auch hier die Grenzen der realiter verwendeten Technologie:

- Die bisher verwendeten Halbleiter-Materialien Si und später SiGe sind limitiert im Ladungsträgertransport innerhalb des Kanalgebiets. Das resultiert in einer reduzierten Ladungsträgerbeweglichkeit μ (insbesondere der Löcher-Beweglichkeit) und der daraus resultierenden verringerten Sättigungsgeschwindigkeit der Ladungsträger.
- Eine Skalierung der Versorgungsspannung V_{DD} für den HP-Bereich ist nur dann möglich, wenn die Unterschwellwertspannung proportional mitskaliert werden kann. Eine Verschiebung der Unterschwellwertspannung V_{th} , kann durch Erhöhung der Dotierung im Kanalgebiet bzw. Änderung der Flachbandspannung der MOS-Elektrode V_{FB} erreicht werden. Diese Verschiebung führt jedoch unweigerlich zu einer exponentiellen Erhöhung des „lateralen“ Verluststroms und damit zu einer Erhöhung der gesamten Verlustleistung.

Ein schneller Schaltzyklus ist zwar wünschenswert, wird aber durch die maximale Leistungsaufnahme und durch seinen Einsatzzweck des Mikroprozessors beschränkt. Die Leistungsaufnahme von Hochleistungsprozessoren sind dabei auf eine maximale Leistungsaufnahme von 100 W beschränkt, was der Schwierigkeit der gezielten Abführung von Wärme geschuldet ist. Aus dieser Randbedingung werden für den Entwurf der Transistoren und der Verdrahtung Limits vorgegeben. Dabei lässt sich die gesamte Leistungsaufnahme über das sogenannte „Power Delay Law“ anschaulich darstellen [10], [11]:

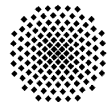
$$P \propto C_{total} \cdot V_{DD}^2 \cdot f_{Takt} + V_{DD} \cdot I_{off} \quad 1.2$$

Eine effektivere Schaltung bei hohen Schaltgeschwindigkeiten kann nun durch Reduzierung der Kanallänge und der Versorgungsspannung V_{DD} realisiert werden und betrifft den dynamischen Anteil der Leistungsaufnahme (erster Summand in 1.2). Eine weitere wesentliche Komponente ist der statische Anteil (zweiter Summand in 1.2), der über I_{off} bestimmt wird. Der gesamte Leckstrom I_{off} setzt sich aus den folgenden primären Verlustmechanismen, die im ausgeschalteten Zustand des Transistors auftreten, zusammen:

- Durch die Reduzierung der Kanallänge sind die Source und Drain-Gebiete stärker elektrostatisch miteinander gekoppelt, bedingt durch abrupte und hochdotierte Dotierübergänge, die wiederum hohe elektrische Felder innerhalb des Transistors erzeugen. Durch die hohen elektrischen Felder werden Ladungsträger generiert, die aus dem Bulk-Gebiet in das Drain-Gebiet quantenmechanisch Tunneln und über die Gate- bzw. Drain-induzierte-Bandverbiegung am Übergang zwischen Kanal- und Drain-Gebiet moduliert werden (Drain-Spannung bzw. Gate-Spannung induzierter Verluststrom). In den Transistorgenerationen mit Gate-Längen unter $L_G < 25$ nm wird der Verluststrom durch das „direkte“ Tunneln der Ladungsträger von der Source in die Drain-Region dominiert [12].
- Erweitert treten durch die Skalierung auch parasitäre Probleme auf, wie der Verluststrom I_{Leck} durch das Gate-Oxid, Source-/Drain-Widerstand und Kapazitäten.

Für ein Schaltverhalten mit akzeptablen Signal-Rausch-Verhältnis, ist ein hohes On/Off-Verhältnis zwischen dem Sättigungs- und Sperrstrom der Schaltung bereitzustellen.

Das Schaltverhalten ist für das konventionelle Transistorkonzept thermodynamisch beschränkt und es kann vorweggenommen werden, dass die gerade genannte Einschränkung prinzipiell nur



für den MOSFET gilt. Das Transistorkonzept des Tunnel-Feld-Effekt-Transistors (kurz TFET) und das des konventionellen MOSFET besitzen eine exponentielle Abhängigkeit der Unterschwellwertcharakteristik. Als Kenngröße zur Einordnung des Unterschwellwertverhaltens soll der sogenannte „Sub-Threshold Swing“ (kurz SS) eingeführt werden. Der SS bestimmt sich über eine semi-logarithmische Darstellung des Drain-Stroms über die linear aufgetragene Gate-Spannung V_{GS} . In der sich daraus ergebenden linearen Abhängigkeit, kann die Änderung des Drain-Stroms I_D um eine Größenordnung in Abhängigkeit des angelegten Gate-Potentials V_{GS} definiert und als Zahlenwert in Volt pro Dekade angegeben werden.

Insbesondere stellt der SS eine untere Schranke dar ein bestimmtes On/Off Schaltverhältnis zu erhalten. Für beide Transistorarten wird über die angelegte Gate-Spannung über dem Kanalgebiet die Potentialbarriere $\psi_s(V_{GS})$ zwischen der Source- und Drain-Elektrode und damit der Drain-Strom I_D moduliert. Laut Brews et al. ergibt sich der SS mit der Drain-Raumladungszonen-Kapazität C_{Dm} für einen konventionellen Transistor zu [13]:

$$SS := \left(\frac{\partial \log(I_D)}{\partial V_{GS}} \right)^{-1} \equiv \ln(10) \left(\frac{1}{I_D} \cdot \frac{\partial I_D}{\partial V_{GS}} \right)^{-1} = \ln(10) \cdot \frac{k_B \cdot T}{q} \cdot \left(1 + \frac{C_{Dm}}{C_G} \right). \quad 1.3$$

Im Anlaufbereich des konventionellen MOSFETs, wird der Ladungsträgertransport mittels der Diffusion von Ladungsträger über die Barriere ψ_s zwischen der Source- und der Drain-Elektrode bestimmt. Die Unterschwellwertcharakteristik kann in diesem Bereich mit $I_D \propto \exp\left(-\frac{\psi_s - E_{f,s}}{U_T}\right)$ beschrieben werden [10]. Hier entspricht $U_T = \frac{k_B \cdot T}{q}$ der Temperaturspannung bestehend aus der Boltzmann-Konstante k_B , der absoluten Temperatur T in Kelvin und der Elementarladung q . Damit lässt sich eine untere Schranke für den SS eines konventionellen MOSFETs angeben der bei Raumtemperatur (RT) folgenden Wert annimmt:

$$SS = \ln(10) \cdot \frac{k_B \cdot T}{q} \sim 60 \text{ mV/Dekade}. \quad 1.4$$

Hierüber zeigt sich nun, dass der konventionelle laterale Aufbau des MOSFETs, bedingt durch sein physikalisches Prinzip nicht effektiver geschaltet werden kann. Bis zum möglichen Einsatz alternativer Konzepte wie des TFETs, die die „klassische“ Skalierung der Kanallänge fortführen, wird der Einsatz von Multi-Gate-Strukturen (kurz MuG) in die Höchstintegration mehr an Bedeutung gewinnen. Dieser Ansatz von dreidimensionalen Strukturen wurde erstmals 2009 von Intel in den Mikroprozessoren der „Sandy-Bridge“-Generation integriert, mitunter auch in 3D-NAND-Strukturen, und wurde daher in den Meilensteinplan der ITRS übernommen. Ein erster Demonstrator und prinzipieller Aufbau einer MuG-FET-Struktur wurde erstmals durch Hisamoto et. al [14] experimentell demonstriert. Ein zentraler Vorteil des MuG-FET-Aufbaus zeigt sich in der effektiveren Steuerung des Kanal-Potentials, womit Kurz-Kanal-Effekte unterdrückt werden können und sich positiv in einem reduzierten SS und einem reduzierten Drain-Induced-Barrier-Lowering (kurz DIBL¹) zeigen. Weiter kann eine Leistungssteigerung durch eine Verringerung der Versorgungsspannung V_{DD} erreicht werden. Mit einer Integration eines MuG-Transistors werden die Anzahl der Freiheitsgrade im Vergleich zu einem planaren Aufbau in der Prozessführung weiter steigen. Es zeigt aber auch, dass vertikale Konzepte in Betracht gezogen und ernsthaft verfolgt werden.

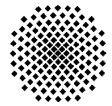
In der industriellen und der universitären Forschung werden seit langem auch weitere alternative Transistor-Konzepte betrachtet und diskutiert. Die angedachten Konzepte sollen eine weitere

¹ DIBL: Einfluss der Drain-Spannung V_{DS} auf die Potentialbarriere in einem konv. MOSFET

Skalierung zulassen und zugleich eine Leistungssteigerung des integrierten Schaltverhaltens ermöglichen. Die Leistungssteigerung soll sich in einer Reduzierung des SS und der Versorgungsspannung V_{DD} , gepaart mit vergleichbaren Sättigungsströmen und sehr niedrigen statischen Verlustströmen I_{off} zeigen. Unter diesen Konzepten sind der I-FETs (Impact Ionisation MOSFET) [15], [16], der TFET [16]–[112], der Ferroelektrische FET (kurz Fe-FET) [113], der auf MEMS Technologie basierende Nano-Elektrisch-Mechanischer FET (kurz NEM-FET) [114] und die schon oben genannten CNTs herauszuheben. Ein hohes I_{on}/I_{off} -Schaltverhalten bei sehr geringem SS können mittels der Stoßionisation innerhalb des I-MOS realisiert werden. Der I-FET, als CMOS-kompatibles Bauteil, zeigt jedoch eine starke Abhängigkeit gegenüber der Drain-Source-Spannung und wird für die Höchstintegration weniger in Frage kommen. Im Gegenteil zeigt der TFET, gegenüber dem MOSFET, in einem großen Arbeitsbereich eine Immunität gegenüber Kurzkanal-Effekten und erlaubt es die Versorgungsspannung weiter zu senken. Durch das spezielle Arbeitsprinzip des TFETs kann im Vergleich zum konventionellen MOSFET-Konzept auf zusätzliche Dotierstrategien wie z. B. Taschen-Implantationen und „HALOs“ verzichtet werden. In der vorliegenden Arbeit werden MOS-Transistoren betrachtet, in denen der Ladungsträgertransport über Band-zu-Band-Tunnelprozesse (BTBT, engl. Band-to-Band-Tunneling) mittels einer Gate-Elektrode gesteuert werden. Mit der gezielten Nutzung des quantenmechanischen Tunnelns, anstelle es technologisch wie im Falle des konventionellen MOSFETs zu unterdrücken, kann der TFET eine Option für Transistoren nach der 16-nm-Generation sein. Das Prinzip des MOS-induzierten BTB-Tunneln wurde erstmals im Jahr 1978 durch J. J. Quinn et al. [115] für spektroskopische Untersuchungen an zweidimensionalen Elektronengasen vorgeschlagen und erstmals 1988 von E. Takeda et al. in einer p⁺-n-p-MOS-Struktur beobachtet [116]. In [117] schlussfolgerte T. Baba, dass das physikalische Prinzip des TFETs eine Skalierung hin bis zu dem Bereich zulässt, in dem das Tunneln von Ladungsträgern durch die Raumladungszonen im ausgeschalteten Zustand noch unterdrückt wird. Somit kann das Transistorkonzept bis in den Kanallängenbereich von $L_G = 10$ nm gerecht und einen SS weit unter 60 mV/Dekade realisiert werden. Der TFET stellt somit einen potentiellen Kandidaten dar, der die Höchstintegration weiterführen und den konventionellen MOSFET ersetzen könnte. Im Folgenden wird auf den Aufbau und die Funktionsweise des TFETs näher eingegangen.

1.2 Aufbau des TFETs

Der Aufbau des TFETs entspricht der einer pin-Diode, welche mit einer Gate-Elektrode über dem intrinsischen Gebiet (welches nicht zwingend notwendig intrinsisch oder homogen dotiert sein muss) zwischen An- und Aus-Zustand geschaltet wird. In dieser Arbeit besitzen die experimentell hergestellten TFETs einen vertikalen Aufbau. Der vertikale Dotierverlauf und die Art und Zusammensetzung des Halbleiters wird durch die Line-of-sight-Methode der Molekularstrahlepitaxie (MBE, engl. Molecular Beam Epitaxy) vorgegeben. Die Halbleitermaterialien können hier aus Si, Ge und GeSn bestehen. Der Schichtaufbau setzt sich aus den folgenden Dotiergebieten zusammen: Der Buried-Layer (BL, engl. für vergrabene Schicht) wurde mit B p-Typ-artig dotiert. Für die zwei Modi, wird der BL im Fall des p-Kanal-Modus zum Drain-Gebiet und im Fall des n-Kanal-Modus zum Source-Gebiet. Die umgekehrte Beziehung gilt für den Top-Kontakt (TK oder hier TL für Top-Layer), der mit Sb n-Typ-artig dotiert wurde. Die beiden Gebiete werden in einem pin-Aufbau, durch das intrinsische-Gebiet, elektrostatisch voneinander getrennt. An den Mesa-Flanken befindet sich räumlich begrenzt die Gate-Elektrode zur Steuerung des Potentialverlaufs im Kanalgebiet. Der TFET wird im Sperrbereich der Diode betrieben. In Abbildung 1.2 ist der Aufbau der in dieser Arbeit experimentell hergestellten vertikalen TFETs schematisch dargestellt. Es sei



diesbezüglich darauf hingewiesen, dass der Tunnelübergang bzw. der Tunneltransport nur wenige nm unterhalb der Grenzfläche Halbleiter/GOX influenziert wird. Bei großen Transistorabmessungen, bestimmt durch den Durchmesser des Mesa-Aufbaus, wird das Kanalgebiet nicht vollständig vom elektrischen Feld der Gate-Elektrode durchsetzt. Was durch die blau-weiß-verlaufenden Regionen im Kanalgebiet in Abbildung 1.2 a) und b) angedeutet werden soll. Die Tunnelübergänge werden durch die schwarz-weißen Punkte in Abbildung 1.2 a) für den n-Kanal und in b) für den p-Kanal-TFET wiedergegeben.

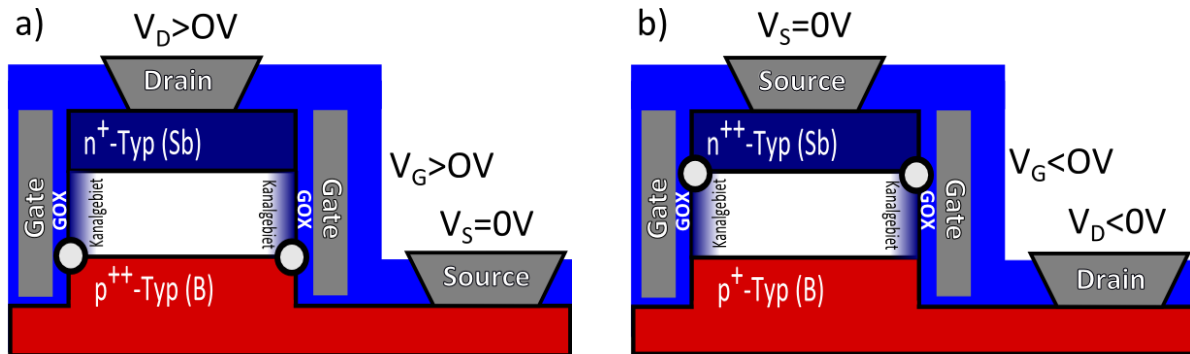


Abbildung 1.2

In dieser Arbeit besitzen die experimentell hergestellten TFETs einen vertikalen Aufbau. Dabei hat der Schichtaufbau folgende Zusammensetzung: einen mit B p-Typ-artig dotierten BL und einem mit Sb n-Typ-artig dotierten TK. Die beiden Gebiete werden in einem pin-Aufbau durch das intrinsische Kanalgebiet getrennt. An den Mesa-Flanken wurde räumlich begrenzt und die Mesa überlappend, eine MOS-Elektrode zur Steuerung des Kanalgebiets an der Mesa-Flanke angebracht. Im Falle des n-Kanal-TFETs (a)) ist das p-Typ-dotierte Gebiet als Source-Gebiet definiert ($V_S = 0\text{ V}$) und das n-Typ dotierte Gebiet als Drain-Gebiet ($V_D > 0\text{ V}$), zur Erzeugung des n-Kanals gilt für die Gate-Spannung $V_G > 0\text{ V}$. Zur korrekten Ansteuerung des p-Typ TFETs (b)) sind die beiden Gebiete hinsichtlich ihrer Funktion zu tauschen und die Spannungen sind zu invertieren. Die schwarzen Punkte innerhalb der Skizzen lokalisieren den Tunnelübergang des jeweiligen Transistortyps.

1.3 Betriebsmodi des TFETs

Der TFET wird analog zum konventionellen MOSFET-Konzept angesteuert und kann in einem n-Kanal-Typ und p-Kanal-Typ unterteilt werden. Es muss jedoch bezüglich der Wahl der Betriebsspannung, insbesondere dessen Vorzeichen, und die Wahl der Anschlüsse beachtet werden. Der Tunnel-Transistor befindet sich im ausgeschalteten Zustand, wie es für den konventionellen MOSFET gilt, wenn keine Gate-Spannung V_G an der Gate-Elektrode anliegt. Für den n-Kanal-TFET (kurz nTFET) bedeutet das, dass die Drain-Spannung positiv $V_{DS} > 0\text{ V}$ und für den p-Kanal-TFET (kurz pTFET) negativ $V_{DS} < 0\text{ V}$ gewählt werden muss.

Durch Anlegen einer negativen Gate-Spannung für den p-Kanal-Modus und einer positiven Gate-Spannung für den n-Kanal-Modus, werden die Bänder innerhalb des Kanalgebiets nach oben bzw. unten gebogen. Zur Visualisierung des Einflusses der Gate-Elektrode auf das Kanalgebiet, werden in Abbildung 1.3 die simulierten Bänderdiagramme für einen Langkanal-Ge-pTFET exemplarisch dargestellt. Durch die Verschiebung und die starke Verbiegung der Bänder am Dotierübergang des Source-/Kanalgebiet öffnet sich ein energetisches Fenster durch die „transparenter“ werdende Barriere, das zu Interbandtunnelübergängen führt. Die BTB-Tunnelübergänge führen im p-Kanal-Modus dazu, dass Elektronen / (Löcher) aus dem Valenzband (VB) (Kanal-Seite) / Leitungsband (LB) (Source-Seite) in das Leitungsband (Source-Seite, entartet n-Typ-artig dotiert) / Valenzband (Kanal-Seite) tunneln. Im Fall des nTFETs tunneln Elektronen aus dem Valenzband der entartet p-Typ-artig dotierten Source-Elektrode in das Leitungsband im Kanalgebiet.

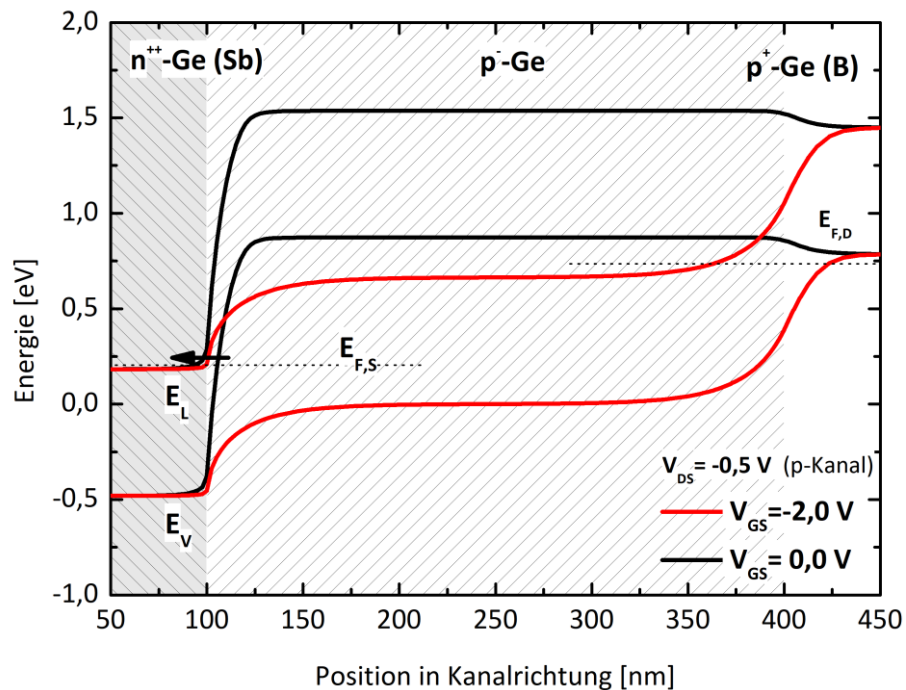
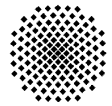


Abbildung 1.3: Das simulierte Bänderdiagramm eines Langkanal-Ge-pTFETs zeigt in Rot die Bänderstrukturen des ausgeschalteten Zustands, für eine Drain-Spannung von $V_{DS} = -0,5 \text{ V}$ und einer Gate-Spannung $V_G = 0 \text{ V}$. In schwarz ist der angeschaltete Zustand dargestellt mit den Werten für die Drain-Spannung von $V_{DS} = -0,5 \text{ V}$ und der Gate-Spannung $V_G = -2,0 \text{ V}$. Die von der erhöhten Gate-Spannung hervorgerufene Bandverbiegung wird die Barriere zunehmender transparenter für Ladungsträger. Im p-Kanal Modus führt das dazu, dass Elektronen/(Löcher) aus dem Valenzband (VB) (Kanal-Seite) / Leitungsband (LB) (Source-Seite) in das Leitungsband (LB) (Source-Seite) / Valenzband (VB) (Kanal-Seite) tunneln. Der n-Kanal wird durch die reduzierte p-artige Dotierung (hier $N_D = 1 \cdot 10^{18} \text{ cm}^{-3}$) im Drain-Gebiet unterdrückt.

Damit ein BTB-Tunneln stattfinden kann, muss das Source-Gebiet am Übergang zw. Source- und Kanalgebiet ausreichend hoch dotiert sein, d. h., dass die Fermi-Energie $E_{F,S}$ in das Leitungsband (p-Kanal) bzw. das Valenzband (n-Kanal) eintaucht, damit besetzte und unbesetzte Zustände vorliegen. Das Prinzip des BTBTs wird auch in einer hochdotierten p^+n^+ -Diode (Zener-Diode) bzw. beidseitig entartet dotierten $p^{++}n^{++}$ -Diode (Esaki-Tunnel-Diode) ausgenutzt [118], [119]. Für den TFET können bei symmetrisch gewählter Source- und Drain-Dotierung beide Kanal-Modi beobachtet werden. Im Gegensatz zum konventionellen MOSFET, zeigt der TFET dann eine sogenannte Ambipolarität.

Der Dunkelstrom (hier Verluststrom I_{off}) der gesamten Struktur ergibt sich, abgesehen von Leckströme durch die Gate-Elektrode (Tunneln, Störstellen, Fehlstellen), durch Ladungsträger, die mittels Generations- und Rekombinationsprozessen in der Raumladungszone generiert werden. Im Falle von Si, bedingt durch die niedrige intrinsische Ladungsträgerkonzentration und dem Zusammenspiel zwischen Kristalldefekten und formierten Defekten an der Grenzfläche zwischen dem GOX und dem Halbleiter, werden in dem vertikalen Aufbau dieser Arbeit die Leckpfade vorrangig über die Mesa-Oberfläche gebildet. Dies zeigt sich in der Umfangproportionalität des Rückwärtsstroms. Die thermische Injektion von Ladungsträgern, über die zwischen Source und Drain befindliche Potentialbarriere, wird in diesem Transistorkonzept minimiert und entspricht dem Generations- und Rekombinationsstrom der intrinsischen pin-Diode. Die Potentialbarriere bildet sich aus der angelegten Drain-Spannung ($V_{DS} = |E_{F,D} - E_{F,S}|$) und dem Built-in-Potential



V_{bi} . Die energetische Verteilung der Elektronen innerhalb der Source-Elektrode wird im Anhang in Abbildung A.5 dargestellt. Mit der Fermi-Dirac-Verteilung kann plausibel erklärt werden, dass nur wenige Elektronen über die Potentialbarriere, welche aus $q \cdot (V_{DS} + V_{bi})$ gebildet wird, im ausgeschalteten Zustand in Drain-Elektrode gelangen. Diese Relationen werden in Kapitel 3 weiter erläutert und vertieft werden.

Mit dem Ausnutzen der größeren Potentialbarriere, im Vergleich zum konventionellen MOSFET, kann ein SS unter 60 mV/Dekade durch ein „Abschneiden der thermischen Ausläufer“ der Ladungsträgerverteilung in der Source- und Drain-Elektrode erreicht werden. Der BTB-Tunnelmechanismus stellt somit einen Bandpass-Filter dar, der die thermisch angeregten Ladungsträger in den jeweiligen beteiligten Bändern abschneidet [120] und damit nur energetische Zustände in der Nähe der $E_{F,S}$ in das Kanalgebiet tunneln können. So konnten Leckströme $I_{off} < 0,01 \text{ pA}/\mu\text{m}$ experimentell realisiert werden ([41], [109], [121]).

1.4 Bisherige experimentelle Realisierungen des TFET-Konzepts

In allen bisherigen experimentellen Realisierungen von TFETs konnte bis dato noch nicht der Nachweis vollbracht werden, dass der TEFT die Vorgaben der ITRS erfüllen kann; beispielsweise wurde in der experimentellen Realisierung von Hansch et al. ([109], [122], [123]) ein Wert von $I_{on} = 1 \text{ }\mu\text{A}/\mu\text{m}$ in einem vertikalen Si-TFET erreicht; in einem reinen Ge-TFET wurde ein Wert von $I_{on} = 14 \text{ }\mu\text{A}/\mu\text{m}$ [41] bzw. $I_{on} = 3 \text{ }\mu\text{A}/\mu\text{m}$ [124] erzielt. Zu einer besseren Vergleichbarkeit der verschiedenen Transistoren untereinander, werden die hier angegebenen Ströme auf die Kanalweite W_G normiert. Es gibt zahlreiche, auf Simulationen basierende Vorschläge, TFETs hinsichtlich ihrer Leistungsfähigkeit zu optimieren und insbesondere I_{ON} zu erhöhen. Im Folgenden sollen kurz die unterschiedlichen Ansätze qualitativ vorgestellt werden. Für den pTFET ([24]–[26], [68], [94], [95], [109], [124]–[126]) und den nTFET ([23], [25], [29], [49], [50], [82], [96], [105]–[108], [110], [127]) sind teilweise unterschiedliche Vorgehensweisen erforderlich. So gibt es Ansätze, die Geometrie des Transistors zu verändern, etwa durch Einführung von DG-Strukturen in lateralen TFETs [101], durch Realisierung in dünnen Si-Schichten auf Silicon-on-Insulator-Substraten wiederum in lateralen Geometrien ([16], [128]) und durch gezielte Positionierung des Gates [100], [129]. Ziel der DG-Strukturen und der Verwendung dünner Si-Schichten ist es, einen besseren Durchgriff der Gate-Elektrode auf das Volumen des Transistors zu bewirken; hiervon profitieren sowohl p- und nTFETs. In DG-Strukturen und mehr noch in Gate-All-Around-Strukturen durchdringt das elektrische Feld, das vom Gate erzeugt wird, einen größeren Anteil des Volumens des Transistors und kann dadurch einen höheren BTB-Tunnelstrom induzieren ([16], [128], [130]). Eine gezielte Justierung des Gates, so dass ein vollständiger Überlapp des Tunnelübergangs an der Source-Elektrode aber kein Überlapp zur Drain-Elektrode besteht, bewirkt einerseits eine Erhöhung des maximalen elektrischen Feldes am Tunnelübergang und damit eine Erhöhung des BTB-Tunnelstroms [100], andererseits wird der Leckstrom I_{OFF} reduziert und die Ambipolarität verringert [129]. Eine Reduktion der Kanallänge schließlich senkt die Schwellwertspannung V_{th} [107], [131]; Simulationsrechnungen legen nahe, dass die Kanallänge eines TFET auf $L_G < 15 \text{ nm}$ reduziert werden kann [107].

Der TFET erlaubt es nun im Unterschwellwertbereich den Drain-Strom mit Werten kleiner als 60 mV/Dekade zu schalten und besitzt Potential den konventionellen MOSFET in seiner Vormachtstellung abzulösen ([27], [28], [105], [121]–[123], [132]). In dieser Arbeit wird im speziellen der Ge-pTFET genauer betrachtet, da die bisher experimentell realisierten Transistoren noch nicht zu der Leistungsfähigkeit des 16 nm-FinFETs aufschließen können (Anschaulich dargestellt in [133] und insbesondere in Abbildung 2).

2 Experimentelle Untersuchungen zum Si-TFET

2.1 TFET-Prozessfolge für den Uni-Bw-Maskensatz

In diesem Kapitel soll die technologische Prozessabfolge zur Herstellung der Transistoren für den Maskensatz der Universität der Bundeswehr München² (kurz Uni-Bw) dargestellt werden. Die Prozessabfolge wird durch das vertikale Wachstum des MBE-Verfahrens vorgegeben, welche den Halbleiterkristall und damit verbunden die Materialzusammensetzung und die Dotierreihenfolge bestimmt. Das MBE-Schichtsystem besitzt den folgenden Dotierverlauf: Die Wachstums- und die Dotierreihenfolgen werden über dem mit B p-artig dotiertem Drain-Gebiet (BL), einer intrinsischen Zone die eine schwache n-artige Hintergrunddotierung für Si zeigt und dem oben aufliegenden mit Sb n-artig dotiertem Source-Gebiet falls nicht anders angegeben bestimmt.

Hierbei handelte es sich um einen vertikalen Aufbau; die Mesa-Struktur des Transistors wurde in diesem Design durch eine lokal überlappende Gate-Elektrode gesteuert (Abbildung 2.1 a). Im Maskenlayout ist noch eine optionale Maskenebene (dargestellt in Türkis) vorgesehen, die einen Ionen-Implantationsschritt ermöglichen würde. Der überlappende Gatefinger besitzt eine variierende Breite (entspricht der tatsächlichen doppelten Kanalweite im vertikalen TFET) zwischen 1 μm und 10 μm . Die Variation der Fingerbreite ermöglicht es, eine Proportionalität der Stromspannungs-Kennlinien nachzuweisen. Im gesamten Layout wurde der Umfang der MBE-Mesastruktur konstant gehalten und die Oberfläche dementsprechend variiert³. Diese geometrische Abhängigkeit ist insofern interessant, da die Leckströme für Si-basierte TFETs umfangsproportional sind und im späteren Verlauf noch gezeigt wird. Demnach müssten die gemessenen Stromspannungskennlinien für den Si-TFET, im ausgeschalteten Zustand (Sperrstrom der pin-Diode), aller TFET-Strukturen eines MBE-Schichtsystems, deckungsgleich sein⁴. Die REM-Aufnahme in Abbildung 2.1 b) zeigt zur Verdeutlichung des Maskenlayouts einen fertig prozessierten vertikalen TFET in der Draufsicht.

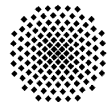
Der vertikale TFET wird über vier Maskenebenen definiert, die Prozessschritte sollen hier schematisch angegeben werden - verdeutlicht durch die Grafiken in Abbildung 2.2 eins bis fünf:

- **1. Prozessabschnitt:** Mit dem ersten Maskenschritt (Hell-Feld-Maskentyp) wird über eine Positiv-Fotolithografie (Fotolack vorrangig AZ 6612 (blau) und Belichtung im MA/BA 6 von Süss mit Hg-Dampflampe) der Fotolack für die darauffolgende Ätzung strukturiert.
- **2. Prozessabschnitt:** Mittels des Positiv-Fotolacks (hier dargestellt als Hartmaske, HM) wird das MBE-Schichtsystem (rot, (p-Typ dotiertes (100) Si-Substrat, hellblau)) strukturiert. Dazu wird das Verfahren des Reaktiven-Ionenätzen mit induktiv gekoppelten Plasma (ICP-RIE, engl. Inductively Coupled Plasma Reactive Ion-Etching) genutzt. Die verwendeten Prozessgase sind Chlor (kurz Cl_2) und Brom-Wasserstoff (kurz HBr). Die Strukturierung erfolgt hierbei bis in den BL. Direkt nach der Abscheidung des GOXs (orange) (GOX, mittels PECVD (Plasma unterstützte chemische Gasphasenabscheidung, engl. Plasma Enhanced Chemical Vapor Deposition), PEALD (Plasma-unterstützte-Atomlagenabscheidung, engl. Radical Enhanced Atomic Layer Deposition) oder auch RTO (schnelle Oxidation mittels Rapid Thermal Oxidation) bei Si), wird dieses mit Al (grau) verkapselt, welches später die

² Der Uni-BW-Maskensatz wurde zum Anfang der Arbeit von der Universität der Bundeswehr München zur Verfügung gestellt.

³ Der Aufbau des Uni-Bw-Maskensatzes ist der Dokumentation zu entnehmen [134].

⁴ Ohne Normierung auf den Umfang des gemessenen Transistors.



Gate-Elektrode darstellt. Die Al-Abscheidung wird mittels PVD (für Physical Vapor Deposition)⁵ erreicht. Durch eine Al-Schichtdicke von 400 nm ist eine zusammenhängende Verkapselung der Mesa-Struktur, auch nach der Strukturierung der Elektrode, gewährleistet. Damit ist eine Steuerung des Kanalgebiets mit der Gate-Elektrode an beiden Seiten der Mesa gewährleistet.

- 3. und 4. Prozessabschnitt:** Die Al-Gate-Elektrode wird durch den zweiten Positiv-Fotolithografie-Maskenschritt (Hell-Feld-Maskentyp, wie in Prozessschritt 1) und durch einen zweistufigen ICP-RIE-Schritt (HBr mit hoher ICP-Leistung (125 W) und niedriger (25 W) eingekoppelter RIE-Leistung) strukturiert. Die Wahl der Ätzchemie ermöglicht eine hohe Ätzselektivität zwischen Al und den gewählten Gate-Dielektrika (SiO_2 oder Al_2O_3). Diese Selektivität garantiert die vereinfachte Prozessführung durch einen Ätzstop. In den ersten zwei Si-TFET Serien (Kanallänge und Wachstumstemperatur des BL), wurden die Gate-Elektroden noch nasschemisch mit Phosphorsäure (H_3PO_4) bei 45°C strukturiert. Die Passivierung der Transistoren erfolgte durch ein Niedrigtemperatur-PECVD-Oxid (SiO_x mittels TEOS (für Tetraethoxysilan) als Si und O_2 Precursor bei einer Substrattemperatur von 250°C).
- 5. Prozessabschnitt:** Die Kontakt-Fenster werden durch den dritten Positiv-Fotolithografie-Maskenschritt (Dunkel-Feld-Maskenfeld) und einen RIE-Schritt geöffnet. Für den Strukturierungsschritt wird Trifluormethan (CHF_3) als Ätzchemie eingesetzt. Dabei werden die Kontaktfenster zum TL, der Gate-Elektrode und zum BL geöffnet. Trifluormethan eignet sich in diesem Ätzreaktoraufbau nur bedingt zum Ätzen von Oxiden, da die zum Ätzen konkurrierende Plasmapolymersation ab einer Ätztiefe von 250 nm eine starke Rauheit verursacht ([135], [136]). Zuletzt erfolgt die Metallisierung durch Al-PVD und dessen Strukturierung. Dazu wird das Al wieder ganzflächig abgeschieden. Die darauffolgende Strukturierung erfolgt ebenso durch einen Positiv-Fotolithografie-Maskenschritt und einem zweistufigen ICP-RIE-Schritt mit Cl_2/HBr und als Ätzgase.

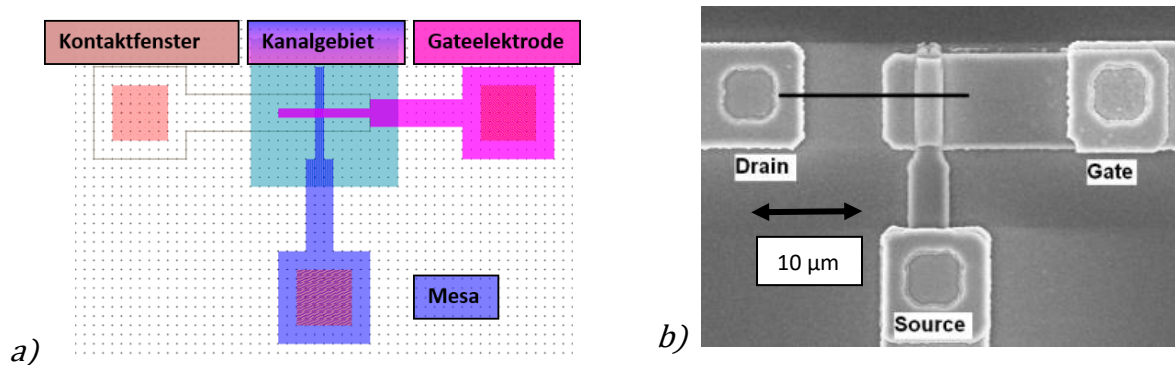


Abbildung 2.1

a) Masken-Layout des Uni-Bw-Maskensatzes; bestehend aus vier Maskenebenen: Mesa, Gate-Elektroden-Finger, Kontaktlöcher und der Kontaktstrukturen. Im Maskenlayout ist noch die optionale Maskenebene (Türkis), die einen Ionen-Implantationsschritt bedingen würde, zu sehen. Die Rasterung entspricht in dieser Abbildung $1\ \mu\text{m}$. Die REM-Aufnahme in Teilabbildung b) zeigt einen fertig prozessierten vertikalen TFET. Der Prozessfluss wird im folgenden Kapitel verdeutlicht.

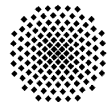
⁵ durch thermisches Verdampfen oder Magnetron-Kathodenzerstäubung

2. Kapitel

Experimentelle Untersuchungen zum Si-TFET

	Querschnitt	Draufsicht	Erläuterung
1			<ul style="list-style-type: none"> • Positiv-Fotolithografie (Fotolack vorrangig AZ 6612 (blau) und Belichtung im MA/BA 6 von Süss mit Hg-Dampflampe) • MBE-Schichtsystem (rot, (p-Typ dotiertes (100) Si-Substrat, hellblau))
2			<ul style="list-style-type: none"> • Strukturierung des MBE-Schichtstapels mit ICP-RIE-Schritt oder nasschemisch mit Phosphorsäure (H₃PO₄) bei 45°C • Deposition des GOX (orange) mit RTO, REALD oder PECVD • Verkapselung des GOXs mit PVD-Al (grau)
3			<ul style="list-style-type: none"> • Positiv-Fotolithografie (Fotolack vorrangig AZ 6612 (blau) und Belichtung im MA/BA 6 von Süss mit Hg-Dampflampe).
4			<ul style="list-style-type: none"> • Strukturierung der Al-Gateelektrode mit ICP-RIE-Schritt • Passivierung der Transistoren durch ein bei niedrigen Prozess-temperaturen (hier 250°C) abgeschiedenes PECVD Oxids
5			<ul style="list-style-type: none"> • Positiv-Fotolithografie zur Strukturierung der Kontaktfenster (Fotolack vorrangig AZ 6612 (blau) und Belichtung im MA/BA 6 von Süss mit Hg-Dampflampe) • RIE-Schritt öffnet die Kontaktfenster, als Ätzchemie dient Trifluormethan (CHF₃)

Abbildung 2.2 Skizzierung des Prozessablaufs mit dem Uni-Bw-Maskensatz. Weitere Erläuterung ist dem Fließtext zu entnehmen.



2.2 Skalierbarkeit des Si-pTFETs und Prozessetablierung

Zu Beginn der Arbeit stand die Etablierung und Validierung des Uni-BW-Prozessablaufs im Vordergrund, worin später die Integration von Ge erfolgen soll. Hierzu wurden die grundlegenden Eigenschaften des Si-TFETs und deren Abhängigkeit von der Prozessführung und des MBE-Wachstums experimentell untersucht. Als zentraler Punkt wurde die Skalierbarkeit des Si-TFETs in Abhängigkeit von der Kanallänge L_G betrachtet, die mittels einer Variation der intrinsischen Schichtdicke d_i erfolgte. Es wurden die Kanallängen, mit den nominellen Dicken d_i der intrinsischen Zone, mit $d_i = 50$ nm, 100 nm, 200 nm, 300 nm und 500 nm gewählt. Der explizite Einfluss der MBE-Wachstumsparameter, insbesondere der Wachstumstemperatur und deren Einfluss auf die Segregation der angebotenen Dotierstoffe, soll ausgehend von den gewonnenen Wachstumsrezepten der Esaki-Tunnel diode [119], auf die Kanallängenvariation angewendet werden. Um einen leistungsfähigen TFET zu erhalten sind die folgenden Kriterien zu erfüllen:

- In den p- und n-dotierten Bereichen (Source-Gebiet, für den jeweiligen Kanal-Modus) muss das Fermi-Niveau in das jeweilige Band eintauchen, da für einen Tunneltransport freie Zustände an beiden Enden der Barriere vorhanden sein müssen. Dabei sollte die Dotierung nicht zu hoch gewählt werden, um eine Unterschwellwertcharakteristik unter 60 mV/Dekade realisieren zu können [137].
- Die ausreichend hoch gewählten Dotiergebiete sollten unabhängig voneinander eine steile Dotierflanke besitzen, um die Tunnelbarrierenweite so klein wie möglich zu gestalten.
- Die Bandausläufer⁶ können nicht als unendlich scharf erachtet werden. Weiter „verschmieren“ die Bänder und klingen exponentiell in die Bandlücke ab ([59], [138]). Um diese Ausläufer so gering wie möglich zu halten, müssen Dotierstrategien gefunden werden (hinsichtlich der Einschränkung im k-Raum).

2.2.1 MBE Wachstumsstrategien für den Si-pTFET und Prozessierung der Si-pTFET Kanallängenvariation

Die Halbleiterstrukturen in dieser Arbeit werden in der IHT-eigenen Feststoffquellen-Si/Ge-Molekularstrahlepitaxieanlage gewachsen (A-MBE). Der Gesamtaufbau des MBE-Systems inklusive der Peripherie (Pumpstand, Wafertransfer in die Wachstumskammer etc.) ist für den Ultra Hochvakuum-Bereich (kurz UHV) ausgelegt und es wird ein Basisdruck $P_{WK} < 10^{-10}$ mbar in der Wachstumskammer erreicht. Während der Epitaxie befindet sich das System in der Wachstumskammer in einem Druckbereich von $P_{WK} < 10^{-8}$ mbar. Der Gesamtaufwand, ein derartiges Vakuum zu erreichen, liegt in dem Anliegen den immer vorhandenen Restgasdruck (wie z. B. H_2 , der durch Permeation der Wände und der metallischen Dichtungen in die Kammern gelangt) so minimal wie möglich zu halten. Die mit dem MBE-Verfahren hergestellten Halbleiterschichtstrukturen weisen eine sehr geringe Verunreinigung mit ungewollten Fremdatomen auf und besitzen mit angepassten Wachstumsstrategien eine minimale Defektdichte. Die A-MBE ist ausgelegt für 150 mm-Wafer, die p-Typ- und n-Typ-artige Dotierung werden, mit den Dotierstoffen B und Sb erzielt. Für die Dotierung des p-dotierten BL wird B aus einer speziellen Hochtemperatur-Knudsenzelle mit Graphittiegel heraus verdampft und zeichnet sich durch eine hohe Feststofflöslichkeit und eine geringe Oberflächensegregation aus.

Das Matrixmaterial Si wird mit einem Elektronenstrahlverdampfer verdampft. Durch die hohe Reaktivität des geschmolzenen Si mit jeglichem Material ist es notwendig, Si auch gleichzeitig als Tiegelmaterial einzusetzen. Der Aufbau der Anlage sowie die Anordnung und deren Funktion der

⁶ Auch unter der Urbach-Verschmierung der Bandkanten bekannt.

2. Kapitel

Experimentelle Untersuchungen zum Si-TFET

einzelnen Feststoffquellen ist [139] zu entnehmen. Die Leistungsregelung der einzelnen Quellen der Matrixmaterialien erfolgt über den mit dem Quadrupolmassenspektrometer (QMS) gemessenen Fluss [139]. Das QMS befindet sich, durch die räumliche Abstrahlcharakteristik der Quellen, direkt neben dem Substrat. Diese Regelung ermöglicht es, einen Si-Fluss bis auf eine minimale Wachstumsrate von 0,01 nm/s einzustellen, um z. B. SiGe Strukturen mit hohen Germaniumanteil epitaktisch wachsen zu können [139]. Das Kristallwachstum wird mit einer konstanten Wachstumsrate von 0,1 nm/s in den drei Bereichen durchgeführt⁷. Für den mit B dotierten BL und dessen Dotierverlauf muss die Segregation („Aufschwimmen“), für Wachstumstemperaturen unterhalb von $T_S = 750 \text{ °C}$, in Betracht gezogen werden [140]. Die Einbeziehung des Segregationsverhaltens in die Wachstumsstrategie, ermöglicht es erst abrupte Dotierübergänge und eine gezielte Einstellung der Dotierhöhe zu erreichen. Primär verlangt es die Segregation der Dotierstoffe an der Oberfläche (Adatom) während des Kristallwachstums zu kontrollieren. Für eine gezieltere Beschreibung der Segregation ist es sinnvoll die Segregationslänge Δ_S einzuführen, welche aus dem Verhältnis der sich an der Oberfläche befindlichen Adatomkonzentration N_S und der Volumenkonzentration im Si N_B gebildet wird:

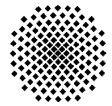
$$\Delta_S = \frac{N_S}{N_B}. \quad 2.1$$

Die Segregationsweite Δ_S besitzt die Dimension einer Länge. Es ist dabei zu beachten, dass die Segregationsweite eine Abhängigkeit der verschiedenen Wachstumsparameter, wie z. B. der Wachstumstemperatur, der Wachstumsrate und des Dotierstoffflusses auf der Halbleiteroberfläche zeigt. So besitzt B eine Segregationslänge von $\Delta_S = 15 \text{ nm}$ bei $T_S = 600 \text{ °C}$ in einem [100]-Richtung orientierten Si-Wachstum [118]. Für Temperaturen niedriger als $T_S = 400 \text{ °C}$ kann eine Segregationsweite von $\Delta_S \leq 1 \text{ nm}$ ausgegangen werden [141]. Während des Wachstums des BLs mit einer B Gleichgewichtsdotierung $N_B = 1 \cdot 10^{20} \text{ cm}^{-3}$ bei $T_S = 600 \text{ °C}$ beträgt die Oberflächenkonzentration von B $N_{S,B} = 1,5 \cdot 10^{14} \text{ cm}^{-2}$, das einer Viertelmonolage B entspricht [139]. Diese Ansammlung muss beim Schichtwachstum berücksichtigt und mittels einer Reduzierung der Wachstumstemperatur abgebaut werden. Durch den Einfluss der Wachstumstemperatur auf die Schichtqualität, insbesondere für die darauffolgende intrinsische Zone, muss diese bei einem Wachstum von Dotierübergängen berücksichtigt werden.

Zur Erzeugung von einer n-Typ-artigen Dotierung wird Sb als Dotierstoff eingesetzt. Der mit dem auch gebräuchlichen Dotierstoff P verbundene Memoryeffekt kann somit umgangen werden [139]. Durch die intrinsischen Eigenschaften von Sb kann dieser direkt und kontrolliert aus einer Effusionszelle bei niedrigen Temperaturen ($T_{EZ,B} = 200 \text{ °C} - 440 \text{ °C}$) parallel zum Siliziumfluss verdampft werden. Es zeigt sich schon durch die extreme Temperaturabhängigkeit der Oberflächensegregation [141], dass spezielle Dotierstrategien auch im Falle von Sb erforderlich sind, wie der der Vorbelegung. Mit der Vorbelegungsstrategie können durch Aufbringen des Dotierstoffes in der gewünschten Oberflächenkonzentration bzw. Adatomkonzentration abrupte Dotierübergänge und Dotierungsspitzen, die sog. δ -Dotierungen, erzeugt werden. Die Konzentration der Vorbelegung wird entsprechend der Segregationskonzentration des Volumenwachstums gewählt [139].

Die folgende experimentelle Betrachtung des Si-pTFETs soll ein besseres Verständnis über den Einfluss des MBE-Wachstums und der Prozessführung auf die Schaltcharakteristik dienen und als ein Referenzbauteil herangezogen werden. Die angewendeten Wachstumsrezepte werden in Tabelle 2-1 zusammengefasst dargestellt. Die Vorteile des vertikalen MBE-Schichtwachstums liegen

⁷ Z. B. kann für eine Wachstumsrate für den Si-Kristall von 0,05 nm/s und einer B-Flussrate von $F_B = 1 \cdot 10^{12} \text{ cm}^{-2} \text{ s}^{-1}$ eine maximale Dotierung von $N_B = 2 \cdot 10^{20} \text{ cm}^{-3}$ erzielt werden.



in der präzisen Steuerung der Schichtdicken/Kanallängen, der flexiblen Anordnung der Halbleitermaterialien, der scharfen Dotierprofile bei gleichzeitig hoher Dotierung, welche in den Transistorstrukturen integriert werden können. Realisierung von Strukturgrößen im Bereich von sub-250 nm sind in einem lateralen Aufbau nur mittels aufwendigen Lithografie- und Implantationstechniken zu erreichen und im Rahmen einer universitären Forschung nur bedingt zu realisieren. In einem vertikalen Aufbau entfällt jedoch die Möglichkeit eines Kontaktes für den „Body“ unterhalb Kanalgebiet s. Daraus ergibt sich wieder die Notwendigkeit, dass das Mesa-Volumen weiter reduziert werden muss. Bei ausreichender Reduzierung des Mesa-Volumens ist eine vollständige Kontrolle der Gate-Elektrode über das Kanalgebiet, durch einen vollständigen Felddurchgriff, erreichbar. Das MBE-Wachstum wurde auf p⁺-dotierten (spezifischer Widerstand $\rho > 10 - 20 \text{ m}\Omega\text{cm}$) und (100)-orientierten Si-Substraten durchgeführt. Bevor das Si-Substrat in die Kammer eingeschleust werden kann, wird das durch nasschemische Reinigungsverfahren (RCA) erzeugte Oxid mittels eines Fluorwasserstoff-Ätzschritts (HF>Last) entfernt. Die wasserstoffterminierte Oberfläche wird in einem thermischen Ausheizschritt bei $T_S = 750 \text{ }^\circ\text{C}$ (in der Wachstumskammer) von diesem befreit. Eine weitere Möglichkeit zur Entfernung des RCA-Oxids kann durch einen thermischen Ausheizschritt bei $T_S = 900 \text{ }^\circ\text{C}$ erreicht werden, ab $T_S = 900 \text{ }^\circ\text{C}$ findet eine Umwandlung des SiO₂ in SiO statt und damit zur Desorption.

Tabelle 2-1 Gewählte Wachstumsparameter für die Kanallängen-Serie eines Si-TFETs. Die Dicke der intrinsischen Zone wurde zwischen 50 nm und 500 nm variiert. Als Wachstumstemperatur des BLs wurden 520°C gewählt.

Wachstums-schritt	Wachstumstemperatur T_S [$^\circ\text{C}$]	Schichtdicke [nm]	Dotierung [cm^{-3}]
Si-Puffer	600	150	
Si/B	600	300	$1 \cdot 10^{20}$
Si/B	520°C	100	$1 \cdot 10^{20}$
i-Si	350 → 600	50-500	
2/5 Monolage Sb-Vorbelegung	431		
Si/Sb	431	200	$2 \cdot 10^{20}$

Trotz der vorangegangenen Reinigungsschritte können sich noch Verunreinigungen auf der Waferoberfläche befinden. Diese werden in einer 150 nm dicken, bei $T_S = 600 \text{ }^\circ\text{C}$ gewachsenen, Si-Pufferschicht verkapselt. Hiermit wird eine definierte Oberfläche für die Epitaxie der folgenden Halbleiterstrukturen gewährleistet. Die Wachstumsrezepte starten mit einem zweigeteilten Wachstum des p⁺-Typ dotierten BLs ($N_{BL} = 1 \cdot 10^{20} \text{ cm}^{-3}$), die Schichtdicke wurde hier auf 400 nm fortgesetzt. Der BL-Kontakt erlaubt es eine monolithische CMOS-Integration zu realisieren, der durch den ohmschen Kontakt auf der Vorderseite gewährleistet wird. Für eine hohe Kristallqualität der ersten 300 nm des BLs wurde eine Wachstumstemperatur von $T_S = 600 \text{ }^\circ\text{C}$ gewählt. In den letzten 100 nm des B-Wachstums wurde die Substrattemperatur auf $T_S = 520 \text{ }^\circ\text{C}$ abgesenkt, um die Segregationsweite deutlich zu verkleinern. Damit kann gewährleistet werden, dass bei konstantem B-Fluss, das an der Oberfläche befindliche B bis auf eine Zehntelmonolage abgebaut werden kann⁸ [119], [141]. Durch die Reduzierung der Oberflächenkonzentration $N_{S,B}$,

⁸ auf ca. $N_{S,B} = 1 \cdot 10^{13} \text{ cm}^{-2}$ für $N_B = 1 \cdot 10^{20} \text{ cm}^{-3}$

2. Kapitel

Experimentelle Untersuchungen zum Si-TFET

wird das verbleibende B nach einem Wachstumsstopp und einer weiteren Reduzierung der Substrattemperatur auf $T_S = 350^\circ\text{C}$, in der darauffolgenden intrinsischen Schicht „eingefroren“ und es kann eine weitere Verkleinerung der Segregationsweite erzielt werden.

Die Substrattemperatur wurde nach den ersten fünf Nanometern der intrinsischen Region von $T_S = 350^\circ\text{C}$ auf $T_S = 600^\circ\text{C}$ für das restliche Wachstum des Kanalgebietes angehoben. Die Temperatur von $T_S = 600^\circ\text{C}$ soll eine hohe Kristall-Qualität innerhalb des Kanalgebietes garantieren. Mittels HF-Messungen konnte eine Hintergrunddotierung der intrinsischen Zone von $N_i = 1 \cdot 10^{14}\text{cm}^{-3}$ nachgewiesen werden, was einen sehr niedrigen Wert darstellt. Für das Wachstum des n-Typ dotieren TLs, kann die Oberflächen-Segregation von Sb als Dotierstoff in Si nicht vernachlässigt werden und muss daher mitberücksichtigt werden. Für einen abrupten Dotierübergang wurde die Wachstumsstrategie der Sb-Vorbelegung gewählt. Das Wachstum des folgenden n⁺-dotierten TKs wurde mit einer Sb-Vorbelegung von einer 2/5-Monolage ($N_S = 1,4 \cdot 10^{14}\text{cm}^{-2}$) gestartet. Die Substrattemperatur während des TL-Wachstums wurde in den hier betrachteten Experimenten auf $T_S = 430^\circ\text{C}$ festgehalten. Das Wachstum des 200 Nanometer dicken TLs erfolgte mit einer Substrattemperatur von $T_S = 430^\circ\text{C}$ und der TL besitzt nach einer Einschwingphase, eine nominelle Gleichgewichtsdotierung von $N_{TL} = 2 \cdot 10^{20}\text{cm}^{-3}$. Mittels eines Annealing-Schrittes bei Temperaturen größer gleich $T_S = 750^\circ\text{C}$ lässt sich das überschüssige Sb auf der Oberfläche desorbieren.

Nach dem MBE-Wachstum wurden die 4"-Substrate in vier (35 x 35) cm² Stücke geteilt, um eine Variation in der Prozessführung der einzelnen Schichten zu ermöglichen. Als Prozessführung wurde der Prozessverlauf des Uni-BW Maskensatzes verwendet. In beiden Wachstumsserien wurde eine GOX-Schichtdicke von 20 nm abgeschieden. Die Abscheidung wurde mittels PECVD (TEOS als SiO₂-Precursor) und einer Elektroden-Temperatur von $T_S = 390^\circ\text{C}$ durchgeführt (Teilschritt 1). Eine GOX-Dicke des PECVD-Oxids geringer als $d_{ox} < 20\text{ nm}$ konnte in der Prozessführung nicht realisiert werden. Es kann insoweit begründet werden, dass der plasma-unterstützte Abscheidungsprozess ein nicht konformes Wachstum darstellt und somit an der Mesa-Flanke eine Kantenbedeckung kleiner 75% der nominellen GOX-Schichtdicke erreicht wird. Weiter besitzt das PECVD GOX eine reduzierte elektrische Qualität gegenüber einem thermisch gewachsenen SiO₂-GOX. Aufgrund der Schichtdicke des PECVD-Oxids sind Werte des SS im Bereich von ein bis drei V/Dekade zu erwarten. An den SS wurden in den anfänglichen Experimenten keine Bedingungen geknüpft, primär galt es den CMOS-kompatiblen-Prozess zu etablieren und das Augenmerk lag dabei auf die Anhebung des Sättigungsstroms I_D bei minimalem Leckstrom I_{off} . Die technologische Umsetzung des eines Si-pTFETs ist in der REM-Aufnahme in Abbildung 2.3 zu sehen.

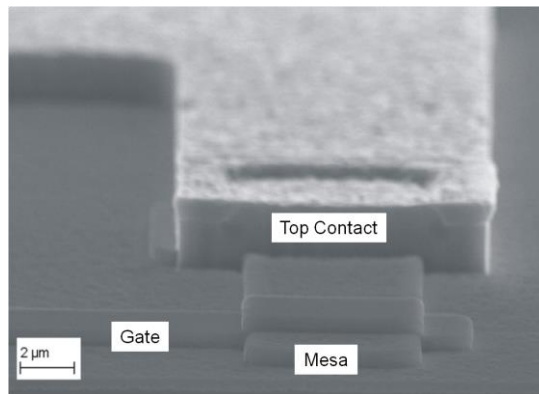
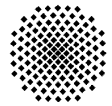


Abbildung 2.3 Die REM-Aufnahme mit vertikal geneigter Probenhalterung, zeigt einen prozessierten vertikalen TFET. Die REM-Aufnahme ist [124] entnommen.

In der Aufnahme ist der Gate-Finger, der teilweise über der vertikalen Mesa-Struktur (MBE-Schichtstruktur) liegt, und die obere Kontaktierung der Mesastruktur sichtbar. Die vertikale Transistorstruktur ist zur elektrischen Isolation in SiO_2 eingebettet. Es konnte jedoch gezeigt werden, dass durch ein thermisch erzeugtes GOX mit $d_{ox} = 8 \text{ nm}$, der Si-pTFET mit einem reduziertem SS eine weiter verbesserte Schaltcharakteristik erreicht wurde. Während der thermischen Oxidation dürfen die Wachstumstemperaturen nicht zu hoch gewählt werden. Durch eine niedrige Oxid-Wachstumstemperatur kann zum einen ein Ausschmieren der Dotierprofile in den hochdotierten Source und Drain-Gebieten reduziert werden und zum anderen kann die Defektbildung in der Kristallmatrix im hochdotierten TL durch Sb-Präzipitate verhindert werden. Um in der Prozessführung vernünftige Prozesszeiten bei geringen Temperaturen zu gewährleisten, wurde die thermische „Feucht“-Oxidation, mit schnellen Aufheizphasen, (wRTO, engl. wet Rapid Thermal Oxidation) als Verfahren ausgewählt. Mit dem wRTO Verfahren findet die thermische Oxidation in gesättigter Wasserdampf-atmosphäre bei $T_{ox} = 725 \text{ °C}$ statt. Durch den Wachstumsschritt wurde die oben angesprochene SiO_2 Schichtdicke von $d_{ox} = 8 \text{ nm}$ realisiert. Als Gate-Elektroden-Material diente in allen Experimenten ein Al mit einer Schichtdicke von 400 nm (Teilschritt 3).

2.2.2 Experimentelle Ergebnisse der Si-pTFET Kanallängenvariation

Die Charakterisierung der TFETs erfolgte mithilfe eines „On-Chip“-Messaufbaus und des Keithley 4200-SCS Halbleiter-Parameter Analyzers. Während der Messungen wurde entsprechend des gewählten Kanalmodus die Source-Seite geerdet. Durch die symmetrische Dotierung der Drain- und Source-Gebiete zeigen die TFETs ein ambipolares Schaltverhalten. Es wird im Folgenden nur der p-Kanal-Modus dargestellt. In Abbildung 2.4 a) sind repräsentative Transferkurven der Kanallängen der Si-pTFET-Wachstumsserie aus Tabelle 2-1 dargestellt. Die angelegte Gate-Spannung variierte zwischen $V_{GS} = [-12 \text{ V} \leftrightarrow 0 \text{ V}]$ und die Drain-Source-Spannung wurde auf $V_{DS} = 1,0 \text{ V}$ festgesetzt. In Abbildung 2.4 b) werden die Transkonduktanz g_m (linke Achse) und die linear aufgetragenen Transferkurven (rechte Achse) für die pTFETs abgebildet. In den in [142] dargestellten Simulationsergebnissen von Boucart und Ionescu zeigt sich kein merklicher Anstieg des Sättigungsstroms I_D mit einer Reduzierung der Kanallänge. Im Gegensatz zu einem konventionellen MOSFET weist die Skalierung der Kanallänge des TFETs keine $1/L_G$ -Abhängigkeit im Sättigungsstrom und der Transkonduktanz auf, was auch in der dargestellten Transkonduktanz g_m (linke Achse in Abbildung 2.4 a) und b)) und in der linear aufgetragenen Transferkurve (rechte Achse Abbildung 2.4 a) und b)) der jeweiligen Kanallänge im Sättigungsbereich gezeigt wird. Wie in [142]

2. Kapitel

Experimentelle Untersuchungen zum Si-TFET

veröffentlicht wurde, zeigt sich für hohe elektrische Felder längs der Kanalrichtung, welche durch eine hohe Versorgungsspannung V_{DS} hervorgerufen werden, dass nach Erreichen der Sättigung keine Reduzierung der Transkonduktanz auftritt. Es kann daraus geschlossen werden, dass der Transport im Si-TFET nicht durch die Beweglichkeit der Ladungsträger im Kanal, sondern durch die Transparenz der Tunnelbarriere begrenzt wird und damit der Sättigungsstrom und die maximale Transkonduktanz beschränkt. Die gemittelten Werte der Sättigungsströme I_D ($\mu\text{A}/\mu\text{m}$) aller gemessenen Transistoren - für jede Kanallänge wurden mind. 25 Transistoren gemessen - werden in Abbildung 2.5 a) dargestellt. Für den p-Kanal-Si-TFETs mit einer Kanallänge von $L_G = 300 \text{ nm}$ wurde ein maximaler Sättigungsstrom $I_D = 0,09 \mu\text{A}/\mu\text{m}$ gemessen. Die Leckströme I_{off} werden mit unterbrochener Linie in Abbildung 2.5 a) dargestellt. Die angelegten Drain-Source-Spannungen V_{DS} entsprechen den Werten $-0,5 \text{ V}$, $-1,0 \text{ V}$ und $-1,5 \text{ V}$. Ein leichter Abfall des Sättigungsstroms kann dem höheren Kanalwiderstand zugeschrieben werden und einzig ein Anstieg im Leckstrom I_{off} der Diode lässt sich durch die Reduktion der Kanallänge erkennen.

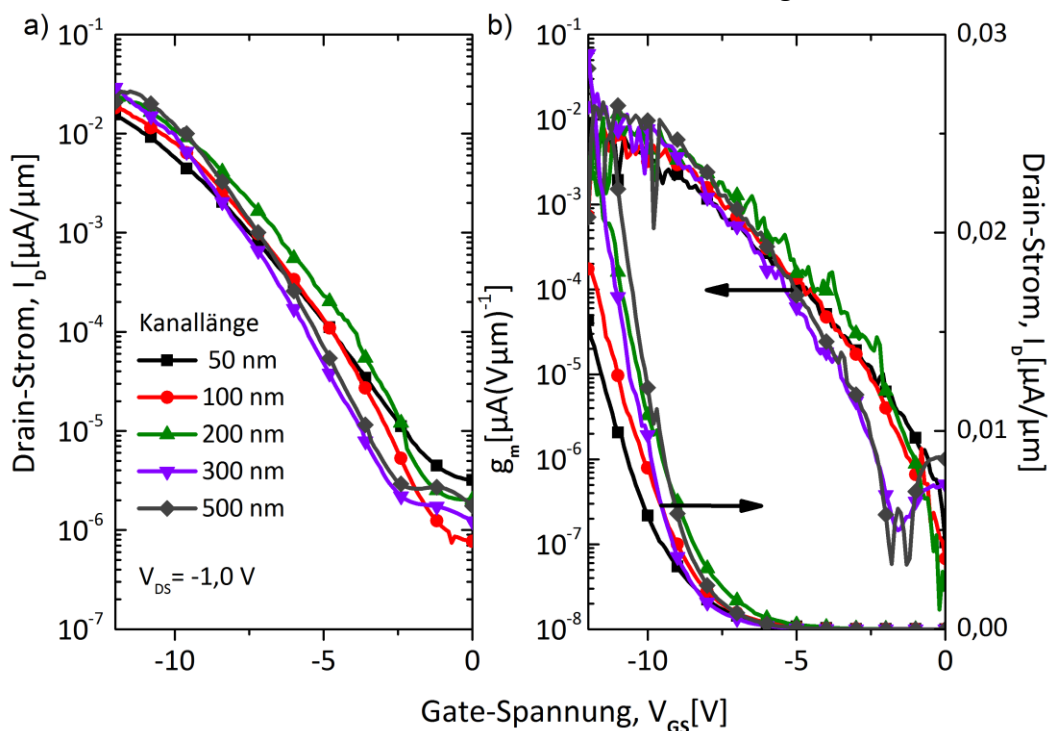
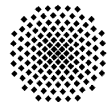


Abbildung 2.4

Einfluss der Kanallänge der intrinsischen Zone auf das DC-Verhalten des vertikalen TFETs. Die Kanallängen wurden mit $L_G = 50 \text{ nm}$, 100 nm , 200 nm , 300 nm und 500 nm gewählt. In Teilabbildung a) sind repräsentative Transferkurven der jeweiligen Kanallänge dargestellt. Die angelegte Gate-Spannung variierte zwischen $V_{GS} = [-12 \text{ V}, 0 \text{ V}]$ und die Drain-Source-Spannung wurde auf $V_{DS} = -1,0 \text{ V}$ festgesetzt. In der Teilabbildung b) wird der Einfluss der Kanallänge (Dicke der intrinsischen Zone) auf die Transkonduktanz g_m (linke Achse) dargestellt. Zusätzlich wird die linear aufgetragene Transferkurve (rechte Achse) der unterschiedlichen Kanallängen zusammen dargestellt

Dieser Anstieg hat einen direkten Einfluss auf das sonst nahezu konstante Niveau des I_D/I_{off} -Verhältnisses von bis zu $1,4 \cdot 10^5$ für den p-Kanal-Modus, bei einer Kanallänge $L_G = 100 \text{ nm}$ und einer Drain-Source-Spannung von $V_{DS} = -1,5 \text{ V}$. Im zweiten Graphen b) von Abbildung 2.5 werden die gemittelten Werte des SS der Transferkurven wiedergegeben. Der gemittelte SS wurden nach der Methode dargestellt in Bhuwarka et al. [143] ermittelt und wird in Abbildung 2.5 in V/Dekade angegeben. Ähnlich der Abhängigkeit des Leckstroms von der Kanallänge zeigt sich für eine Kanallänge $L_G \geq 100 \text{ nm}$ ein konstanter SS für den p-Kanal. Die relativ hohen Werte für SS von ca. $1,5 \text{ V/Dekade}$ lässt sich durch die Dicke $\text{SiO}_2\text{-GOX}$ mit



$d_{ox} = 20 \text{ nm}$ erklären. Für Kanallängen $L_G < 50 \text{ nm}$ ist eine Zunahme des SS ersichtlich, welches auf der einen Seite durch die Erhöhung des Leckstroms hervorgerufen wird und durch diesen kaschiert wird. Auf der anderen Seite zeigt die vermindert elektrostatische Kopplung der Gate-Elektrode, hervorgerufen durch die hohe GOX-Dicke und niedrige Permittivität von $\epsilon_r = 3,9$ von SiO_2 , einen direkten Einfluss auf SS. Dieser Einfluss ist wiederum in einer vergrößerten natürlichen Abschirmlänge λ_2 des elektrostatischen Potentials begründet. Wie in [127], [144] dargestellt, kann eine Optimierung sowohl durch eine Reduktion des Kanalvolumens durch Einsatz eines dünneren Oxids mit einer höheren Permittivität in Form eines „high-K“-Dielektrikums erreicht werden. Durch den Einsatz eines high-K Dielektrikums kann davon ausgegangen werden, dass die Kanallänge bis auf $L_G = 15 \text{ nm}$ skaliert werden kann, bis die Schalteigenschaften wie I_{on}/I_{off} -Verhältnis und Transkonduktanz negativ beeinflusst werden [142]. Dieses „Kurzkanalverhalten“ (DIBT, engl. Drain Induced Barrier Thinning) kann durch die Kopplung des Drain-Source-Feldes an die Tunnelbarriere beschrieben werden.

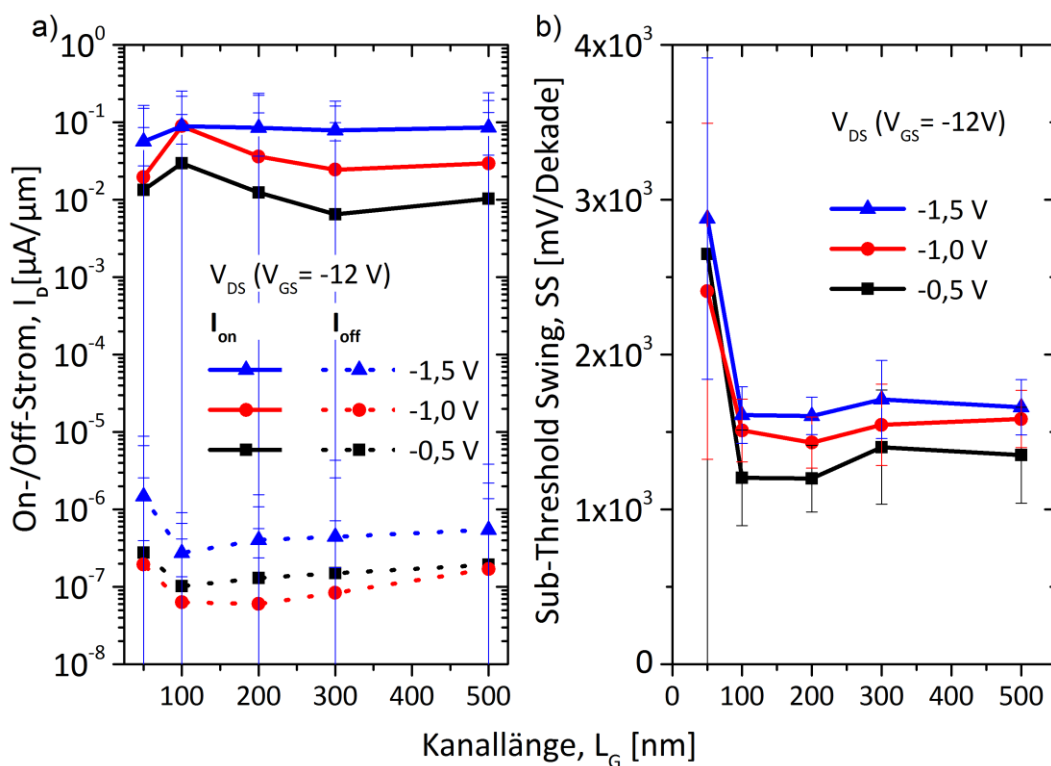


Abbildung 2.5 In Teilabbildung a) sind die gemittelten Werte der Sättigungsströme I_D ($\mu\text{A}/\mu\text{m}$) und der der Leckströme I_{off} für die unterschiedlichen Kanallängen L_G dargestellt. In b) sind die gemittelten Werte des SS der gemessenen Si-pTFETs abgebildet. Die angelegten Drain-Source-Spannungen entsprechen den Werten $V_{DS} = -0,5 \text{ V}$, $-1,0 \text{ V}$ und $-1,5 \text{ V}$.

Im Anhang sind Simulationsergebnisse dargestellt, die den Einfluss des DIBTs auf das Leckstrom-Niveau in Abhängigkeit von der GOX-Dicke zeigen. Mit einer gezielten Unterdrückung des jeweilig parasitären Kanals, könnten Leckströme im Bereich von $\text{fA}/\mu\text{m}$ erzielt werden.

Die Abhängigkeit der Durchbruchspannung V_{DS} von der intrinsischen Schichtdicke bzw. Kanallänge L_G wurde mit den Simulationsergebnissen für Si [145] in der Abbildung 2.6 a) zusammen aufgetragen. Es kann somit davon ausgegangen werden, dass der merkliche Anstieg der Kennlinien durch den dielektrischen Durchbruch beschrieben werden kann. Zur präziseren Beschreibung der pin-Dioden Rückwärtskennlinien, müssen im Fall von Si, noch weitere Effekte wie Tun-

2. Kapitel

Experimentelle Untersuchungen zum Si-TFET

nelströme und Leckpfade über die Grenzfläche Oxid/Si berücksichtigt werden, wie in der Abbildung 2.6 b) der Rückwärtskennlinien (Leckstrom I_{off} der TFETs) der Temperatur- und der Kanallängenvariation abgebildet wird.

Es kann davon ausgegangen werden, dass der Rückwärtsstrom des Si-TFETs an den vorhandenen Grenzflächenzuständen, an der Grenzfläche Si/SiO₂, generiert wird. Diese Zustände liegen energetisch in der Bandlückenmitte und können durch einen Defekt-generierten Shockley-Read-Hall-Mechanismus (kurz SRH) beschrieben werden. Eine temperaturabhängige Messung des Sättigungssperrstroms zeigt eine Proportionalität mit der intrinsischen Ladungsträgerkonzentration n_i , was klar für eine SRH-Generation spricht.

Die Kontaktlöcher zeigen eine Kontaktfläche von $(6 \times 6) \mu\text{m}^2$, damit kann von einem Kontaktwiderstand von 25 Ohm ausgegangen werden. Wie schon eingehend angesprochen, konnte mit einer wRTO-Prozessführung ein GOX mit der Schichtdicke von $d_{\text{ox}} = 8 \text{ nm}$ in der MOS-Gate-Elektrode integriert werden.

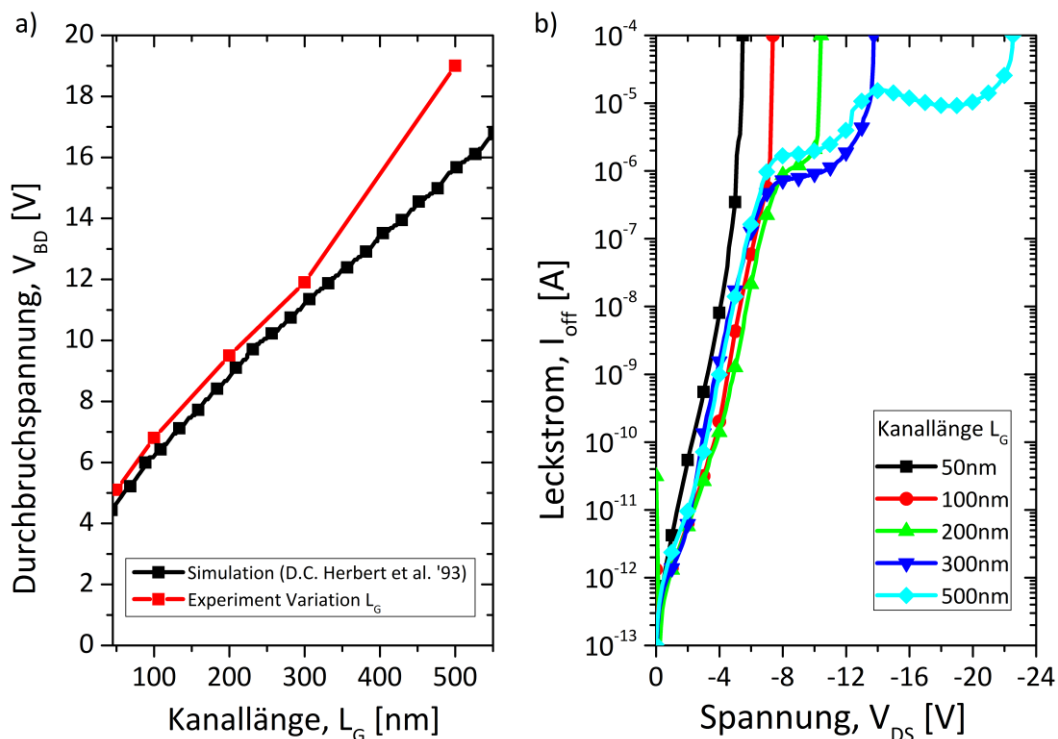


Abbildung 2.6 Abhängigkeit der Durchbruchspannung V_{BD} von der intrinsischen Schichtdicke bzw. Kanallänge L_G im Vergleich mit den von Herbert et al. ermittelten theoretischen Werte für Si. In b) sind die einzelnen Rückwärtskennlinien (Leckstrom I_{off} der TFETs) der Kanallängenvariation zu sehen.

Durch diese Halbierung der EOT (für Äquivalente Oxididicke, engl. Equivalent Oxide Thickness) konnte eine symmetrische Transferkurve, bei gleichzeitig hohen Sättigungsströmen (über $I_D = 1 \mu\text{A}/\mu\text{m}$ und einer $V_{\text{DS}} = -1,5 \text{ V}$) und um den Faktor drei reduziertem SS, erreicht werden. Der direkte Einfluss auf I_D des p-Kanals und des SS, kann der Transferkurve verglichen mit einem 20 nm PECVD-Oxid-TFET, entnommen werden (Abbildung 2.7 a)). Durch die reduzierte GOX-Dicke kann auch eine Erhöhung der Transkonduktanz g_m erzielt werden (Abbildung 2.7 b)). Der SS konnte damit von 1,2 V/Dekade auf 0,6 V/Dekade reduziert werden. Dieser Effekt kann auf eine reduzierte natürliche Abschirmlänge des elektrostatischen Potentials zurückgeführt werden, welches im nächsten Kapitel näher untersucht wird.

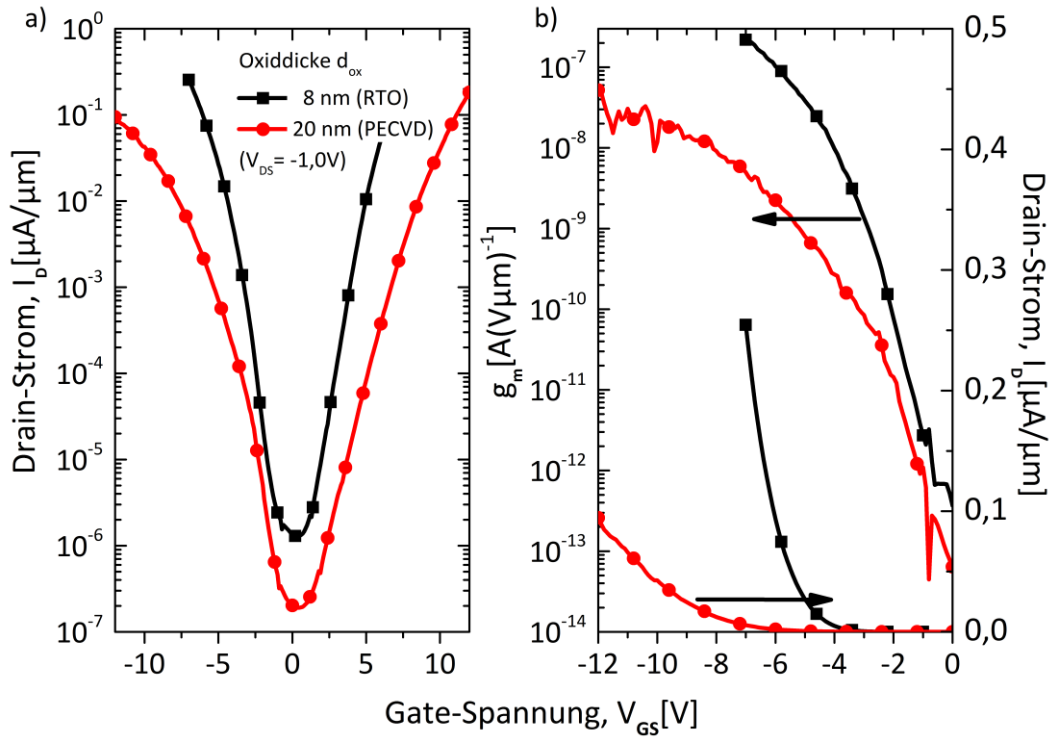
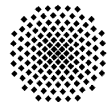


Abbildung 2.7

Die Abbildung a) zeigt den Vergleich der Transferkurven zwischen einem Si-TFETs mit 20 nm PECVD-GOXs und einem Si-TFETs mit wRTO gewachsenen 8 nm GOX. Um den Einfluss der GOX-Dicke auf das DC-Verhalten des vertikalen TFETs zu verdeutlichen, wurde die Transkonduktanz g_m (linke Achse) und die linear aufgetragene Transferkurve (rechte Achse) der GOX-Variationen in ein Schaubild zusammen dargestellt. Die angelegte Gate-Spannung variierte zwischen $V_{GS} = [-12 \text{ V} \leftrightarrow 0 \text{ V}]$ und die Drain-Source-Spannung wurde auf $V_{DS} = -1,0 \text{ V}$ festgesetzt.

3 Modellierung des Gleichstromverhaltens des vertikalen TFET-Konzepts

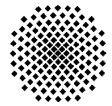
Zur Erlangung eines detaillierteren Verständnisses des Gleich- und Wechselstromverhaltens des TFETs, sind analytische Modelle zur Berechnung der Tunnelwahrscheinlichkeit und des Tunnelstroms hilfreich, die die Abhängigkeit des Tunnelstroms von den variierten Parametern in funktionaler Form erkennen lassen. Die ermittelten Parameterzusammenhänge werden in zwei zentralen Modellen, auf der Basis eines Kane-Modells und einer intuitiveren Formulierung der WKB-Näherung (benannt nach Wentzel, Kramers und Brillouin) des Interbandtunnelns bestimmt. Die analytisch bestimmten Werte werden mit experimentellen Ergebnissen dieser Arbeit verglichen. Insbesondere ist es speziell bei den zu betrachtenden GAA-Strukturen (komplett umgebende Gate-Elektrode-Strukturen, engl. Gate-All-Around-Structure) wichtig, die zweidimensionale Verteilung des elektrostatischen Potentialverlaufs als Funktion der angelegten Drain- und Gate-Spannung wiederzugeben. Aus dem berechneten Potentialverlauf und der Feldverteilung innerhalb des TFETs, insbesondere im Bereich des Source-/Kanal-Dotier-Übergangs kann der Tunnelstrom, resp. Drain-Strom, des Transistors bestimmt werden. In der Literatur sind vor allem Simulationen, wie z. B. in [16], [100]–[102], [125], [128]–[131] zu finden. Diese wurden hauptsächlich mit kommerziellen Simulatoren wie Silvaco ATLAS oder Synopsys MEDICI durchgeführt. Die Interpretation der simulierten Ergebnisse gestaltet sich mitunter schwierig, den funktionellen Zusammenhang der Simulationsparameter auf die Leistungsoptimierung des Transistors zu erkennen.

Um eine qualitative Aussage über die Verlässlichkeit des Modells zu erlangen, werden die Werte, die mithilfe einer Bauteilesimulation der kommerziellen Software Silvaco ATLAS [146] erhalten wurden verglichen. Die Modellierung des TFETs baut auf der Skalierungstheorie des DG-MOSFETs-Aufbaus auf, welche in der Literatur [7], [65], [147]–[149] diskutiert werden. Der elektrostatische Potentialverlauf innerhalb des TFETs kann mit folgender eindimensionalen Poisson-Gleichung bestimmt werden (die detailliertere Herleitung ist im Anhang in Teil A zu finden):

$$\frac{\partial^2 \psi_s(y)}{\partial y^2} + \frac{\psi_s(y) - \psi_G - \phi_{bi}}{\lambda} = -\frac{q \cdot (\pm N_i)}{\epsilon_0 \cdot \epsilon_{ch}} \quad 3.1$$

In der folgenden Abbildung 3.1 ist die Unterteilung und der Aufbau des DG-Transistors dargestellt, welcher in diesem Modell verwendet werden soll.

N_i entspricht dabei der Dotierung in den Teilgebieten (i) Source-, Drain- und Kanalgebiet; im jeweilig betrachteten Gebiet wird die relative Permittivität mit ϵ_{ch} angegeben, und q stellt die Elementarladung dar. Entsprechend der Ladungsart, ist für Donatoren das positive und für Akzeptoren das negative Vorzeichen zu wählen. Das Kanalgebiet erstreckt sich in y-Richtung von $0 \leq y \leq L_G$ und in x-Richtung von $0 \leq x \leq d_{ch}$. Die funktionale Abhängigkeit des Potentials in z-Richtung wird als konstant angenommen. Der mittels des semi-analytischen-Modells (kurz SeAM) berechnete Drain-Strom wird, wenn nicht anders im Text angegeben, in Ampere pro Gatelänge W_G bestimmt. Das SeAM wurde in MATLAB© implementiert. Die Gate-Elektrode ist über die Oxid-Dicke d_{ox} , der relativen Permittivität ϵ_{ox} und der Austrittsarbeit ϕ_M der Elektrode definiert. ψ_s beschreibt das elektrische Potential an der Grenzfläche Halbleiter/Gate-Dielektrikum; die Abhängigkeit des Potentials in x-Richtung wird durch eine parabolische Form approximiert. Hierin wird die Schottky-Näherung mit der Annahme der Verarmung der Ladungsträger innerhalb des kompletten Aufbaus im Source- und Kanalgebiet angewendet. Die Randbedingungen (nicht zwingend symmetrisch in d_{ox} , d_{ch} und ϵ_{ox}) spielen eine entscheidende Rolle bzgl. des Potentialabfalls im Kanalgebiet. Zur Vereinfachung des Potentialproblems wird ein symmetrischer Aufbau des Transistormodells gewählt. Der Aufbau wurde in dieser Arbeit als doppelte symmetrische Gate-



bzw. GAA-Struktur mit Spiegelachse in der z-y-Ebene gewählt. Die Potentiale ψ_G und $\psi_{bi,s}$ entsprechen der angelegten Gate-Spannung und des „Built-in“-Potentials. Das „Built-in“-Potential entspricht hier der Differenz zwischen den Fermi-Niveaus in der Source-Elektrode und dem Kanalgebiet. Durch die oben gewählten Annahmen zeigt das Oberflächenpotential eine exponentielle Abhängigkeit: $\psi_s(y) \propto \cosh((\lambda_2^{-1} \cdot (y - L_2)))$. Der funktionelle Zusammenhang der natürlichen Abschirmlänge λ_2 des elektrostatischen Potentials, innerhalb des Kanalgebiets, in Abhängigkeit des Transistoraufbaus⁹ und Technologie (d_{ox} , d_{ch} und ϵ_{ox}), wird in Tabelle 3-1 dargestellt [150].

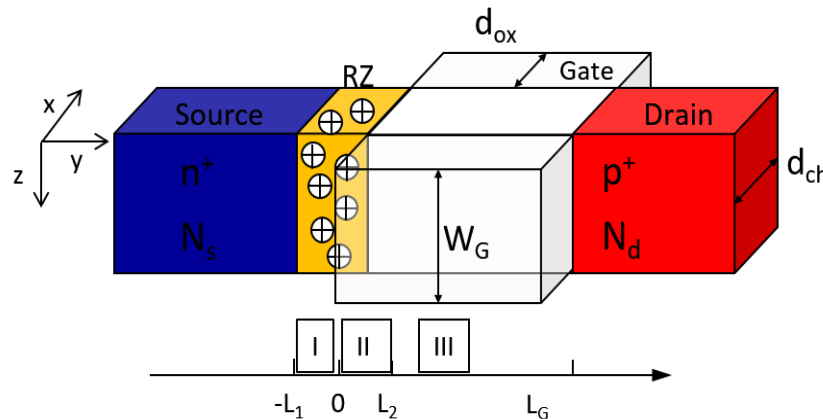


Abbildung 3.1

Schematischer Aufbau eines pTFETs; die Modellierung des TFETs wurde durch Unterteilung in drei charakteristische Bereiche erreicht. Im I. Gebiet wird der Einfluss des elektrischen Feldes der Gate-Elektrode berücksichtigt. Das II. Gebiet repräsentiert den Abfall des Potentials innerhalb des Kanalgebiets auf das induzierte Kanalpotential.

In Kapitel 6 wird die in dieser Arbeit entwickelte Prozessabfolge dargestellt, mit der vertikale GAA-TFETs hergestellt und charakterisiert wurden. Diese neuen Ansätze sollen eine gezielte Skalierung und Optimierung durch die technologischen Parameter d_{ox} , d_{ch} , ϵ_{ch} und ϵ_{ox} ermöglichen.

Tabelle 3-1

Je nach Wahl des Transistoraufbaus zeigt die natürliche Abschirmlänge die aufgelistete Struktur in den physikalischen Parametern. Die gewählten Strukturen sind zum einen der konventionelle Transistor-Aufbau, der symmetrische DG-Aufbau und der in dieser Arbeit zentrale GAA-Aufbau [8], [151], [152].

Konv. Aufbau	DG-Aufbau	GAA-Aufbau
$\lambda_2 = \sqrt{\frac{\epsilon_{ch}}{\epsilon_{ox}} \cdot d_{ch} \cdot d_{ox}}$	$\lambda_2 = \sqrt{\frac{\epsilon_{ch}}{\epsilon_{ox}} \cdot \frac{d_{ch} \cdot d_{ox}}{2}}$	$\lambda_2 = \sqrt{\frac{\epsilon_{ch}}{\epsilon_{ox}} \cdot \frac{d_{ch}^2}{8} \cdot \ln\left(1 + 2 \cdot \frac{d_{ox}}{d_{ch}}\right)}$

3.1 Spannungsabhängiger Bandverlauf des TFETs im Vergleich zum MOSFET

Im Gleichstromfall sollen folgende Nomenklaturen (Gl. 3.2) für die auftretenden Ströme, Spannungen und Ladungen gelten und im späteren Verlauf um Wechselspannungsgrößen erweitert werden:

$$\frac{\partial}{\partial t} V_{DS} = \frac{\partial}{\partial t} V_{GS} = 0, \frac{\partial}{\partial t} I_D = \frac{\partial}{\partial t} I_S = \frac{\partial}{\partial t} I_G = 0 \text{ und} \quad 3.2$$

⁹ Für verschiedene Transistor-Geometrien wie z. B. dem konventionellen lateralen Aufbau, dem DG-Aufbau und dem GAA-Aufbau.

3. Kapitel

Modellierung des Gleichstromverhaltens des vertikalen TFET-Konzepts

$$\frac{\partial}{\partial t} Q_G = \frac{\partial}{\partial t} Q_D = \frac{\partial}{\partial t} Q_S = 0.$$

Es sollen nur Effekte erster Ordnung betrachtet und die Source-Elektrode soll als Bezugspunkt gewählt werden. Damit gelten folgende Bedingungen für die Ströme¹⁰ [153]:

$$I_D = -I_S = I_{DS} \text{ und } I_G = 0. \quad 3.3$$

Zur Veranschaulichung der Abhängigkeit des Bandverlaufs eines nTFETs¹¹ von der Drain-Spannung und der Gate-Elektrode wird in Abbildung 3.2, für den Anlaufbereich, dargestellt. Der schwarze Kurvenverlauf repräsentiert den ausgeschalteten Zustand und die rote Kurve den Verlauf im angeschalteten Zustand. Zur Verdeutlichung des seriellen Aufbaus des TFETs aus einer Oberflächen-Esaki-Diode und eines nMOSFETs [155] wurde der Bandverlauf ab der Kanalmitte bis zur Drain-Elektrode gespiegelt abgebildet (grau-schraffierter Bereich). Mit der Abbildung wird deutlich, dass der TFET als eine serielle Schaltung einer Oberflächen-Esaki-Diode und eines MOSFETs interpretiert werden kann. Zur Veranschaulichung der Serienschaltung wurde der Bandverlauf von der Kanalmitte bis zur Drain-Elektrode gespiegelt dargestellt (grau-schraffierter Bereich). In Abbildung 3.2 wird durch den schwarzen Kurvenverlauf der Aus-Zustand mit einer Drain-Spannung $V_{DS} = 0,5 \text{ V}$ und einer Gate-Spannung $V_{GS} = 0,0 \text{ V}$ dargestellt. Der rote Kurvenverlauf ergibt den Anlaufbereich des TFETs mit einer Gate-Spannung $V_{GS} = 0,1 \text{ V}$ wieder. In diesem Modell wurde die Kanallänge mit $L_G = 300 \text{ nm}$ und die SiO₂-Oxiddicke wurde mit $d_{ox} = 2 \text{ nm}$ gewählt. Der Potentialverlauf $\psi_{S,ch}(V_{GS})$ auf der Source-Seite zum Kanalgebiet setzt sich wie folgt zusammen:

$$\psi_{S,ch} \sim V_{bi,p} + m \cdot V_{GS} + V_{FB}, \quad 3.4$$

und auf der Drain-Seite zu $\psi_{D,ch}(V_{GS})$:

$$\psi_{D,ch} \sim V_{bi,n} - m \cdot V_{GS} - V_{FB} + V_{DS}. \quad 3.5$$

Der Potentialabfall auf der Drain-Seite bestimmt sich aus der angelegten Gate-Spannung V_{GS} , der angelegten Drain-Source-Spannung V_{DS} , der beiden „Built-In“ Spannungen zwischen dem Source- und Kanalgebiet $V_{bi,p}$, respektive Drain- und Kanalgebiet $V_{bi,n}$ und der Flachbandspannung V_{FB} der MOS-Elektrode. Im linearen Anlaufbereich kann das Oberflächenpotential der Gate-Spannung mit $\psi_S \propto m V_{GS}$ linear folgen¹². Zusätzlich verringert sich die Raumladungszone zwischen der Source-Elektrode und dem Kanalgebiet.

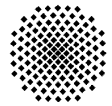
Für eine analytische Beschreibung wird nun der Potentialverlauf in drei Teilgebiete zerlegt, die in Abbildung 3.1 dargestellten wurden. Innerhalb des ersten Teilgebiets wird der Einfluss des elektrischen Streufeldes der Gate-Elektrode auf die Raumladungszone der Source-Elektrode berücksichtigt. Der Potentialabfall auf das Kanalpotential $\psi_{dg} = \psi_{D,ch} = \psi_{S,ch}$ bzw. die Abhängigkeit des Potentials von der Gate-Elektrode im Kanalgebiet wird im zweiten Teilgebiet wiedergegeben. Innerhalb des Kanalgebiets ist der Spannungsabfall senkrecht zur Transportrichtung vernachlässigbar. Für die Bestimmung des gateinduzierten Kanalpotentials ψ_{dg} wird eine Langkanal-Näherung nach Pao und Sah [156] (kurz Pao-Sha's GCA engl. für Gradual Channel Approximation)

¹⁰ Mit der Stromerhaltung gilt auch die Ladungserhaltung $Q_G + Q_D + Q_S = 0$.

¹¹ Es wurde zum einfacheren Vergleich der Ergebnisse, dargestellt in [154], der nTFET als Anschauungsmodell verwendet.

¹² Der funktionelle Zusammenhang bestimmt sich analog zum konventionellen MOSFETs mit $m = 1 + \frac{C_{Dm}}{C_G^*}$ und setzt sich aus der maximalen

Verarmungszonen-Kapazität und Verarmungszonen Weite W_{Dm} zu $C_{Dm} = \frac{\epsilon_{ch}}{W_{Dm}}$ und der flächennormierten Gate-Oxidkapazität $C_G^* = \epsilon_{ox}/d_{ox}$ zusammen.



gewählt, welcher durch Taur et. al [152] für den DG-MOSFET für alle Betriebszustände erweitert wurde und eine analytische Darstellung für $I_D(V_D, V_{GS})$ ermöglicht. Damit können die elektrischen Felder in Kanalrichtung und senkrecht dazu entkoppelt werden. Im Gegensatz zum konventionellen MOSFET findet der „Pinch-off“ auf der Source-Seite statt und mit Erhöhen der Drain-Spannung wird die Inversionsladung in der Source-Region vernachlässigbar. Dadurch wird das Oberflächenpotential gegenüber der Drain-Spannung entkoppelt und der Kanal wird an der Source-Elektrode, im Gegensatz zum konventionellen MOSFET, abgeschnürt¹³. Hervorgehoben wird dies durch die in Rückwärtsrichtung gepolte Diode am Source-/Kanalübergang [155]. Der Potentialverlauf für den Sättigungsfall kann dem Anhang entnommen werden.

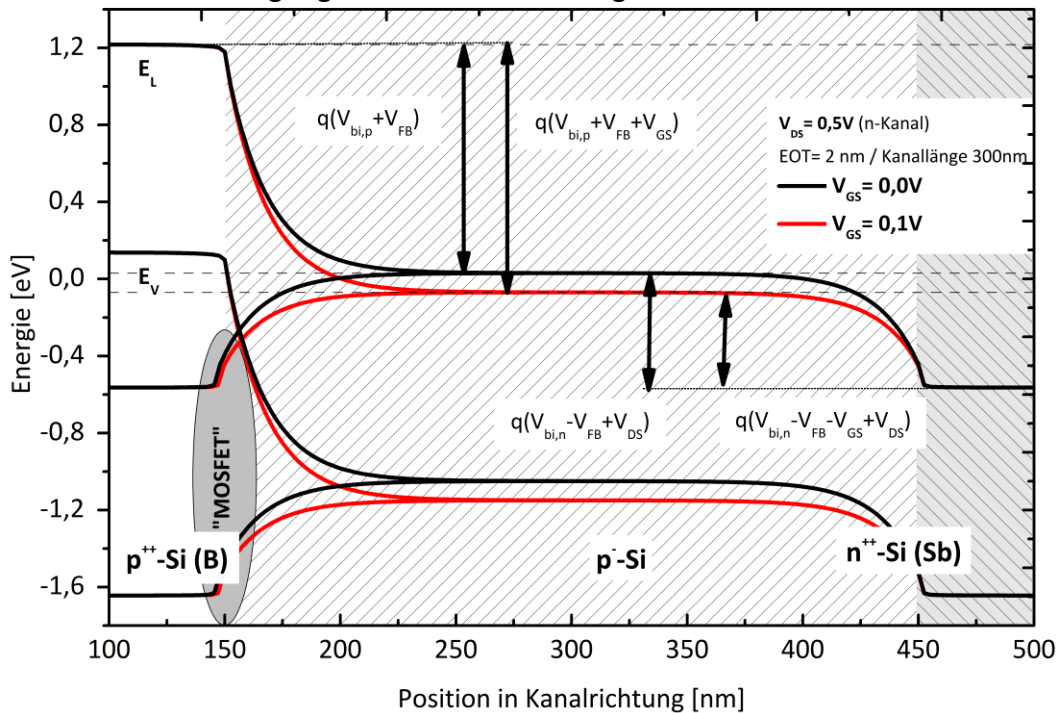


Abbildung 3.2 Der dargestellte Bandverlauf eines nFETs zeigt die Abhängigkeiten bzgl. der Drain- und Gate-Spannung im linearen Anlaufbereich. Hierbei zeigt sich, dass die relative Änderung des Potentialverlaufs innerhalb des Kanalgebiets sich linear mit der Gate-Spannung verschiebt. Der schwarze Kurvenverlauf repräsentiert den ausgeschalteten Zustand und die rote Kurve den Verlauf im Anlaufbereich des TFETs. Zur Verdeutlichung des seriellen Aufbaus des TFETs aus einer Oberflächen-Esaki-Diode und eines nMOSFETs, wurde der Bandverlauf von der Kanalmitte bis zur Drain-Elektrode gespiegelt abgebildet (grau-schraffierter Bereich). Die Kanallänge wurde mit $L_G = 300$ nm und die SiO₂ Oxidstärke wurde mit 2 nm gewählt. Die Drain-Spannung wurde mit $V_{DS} = 0,5$ V und die Gate-Spannung mit $V_{GS} = 0,1$ V gewählt.

3.2 Analytische Berechnung des Bandverlaufs im pTFET

Mit der Darstellung des Bandverlaufs des TFETs und den veröffentlichten analytischen DG-TFET-Modellen in [151], [154] kann aus der symmetrisierten Poisson-Gleichung für den Verlauf des Oberflächenpotentials $\psi_{s,i}$, folgende Darstellungen für den pTFET gefunden werden¹⁴:

$$\psi_{s,1}(y) = -\frac{\psi_{d1} \cdot k_1^2}{2} \cdot (y + L_1)^2 \quad 3.6$$

¹³ Das Abschnüren des Kanals ist auch unter der Bezeichnung „Pinch-Off“ bekannt.

¹⁴ Es wurde wiederum zum einfacheren Vergleich mit den Ergebnissen aus [154] der nTFET als Anschauungsmodell verwendet.

3. Kapitel

Modellierung des Gleichstromverhaltens des vertikalen TFET-Konzepts

$$\psi_{s,2}(y) = (V_{bi,s} + \psi_{dg} - \psi_{d,2}) \cdot \cosh(k_2 \cdot (y - L_2)) + \psi_{d,2} \quad 3.7$$

Die Lösung setzt sich dabei aus den beiden Teilgebieten innerhalb des Source-Gebietes $\psi_{s,1}$ in Gleichung 3.6 und des Potentialanstieges innerhalb des Kanalgebietes $\psi_{s,2}$ in Gleichung 3.7 zusammen.

Die Wellenzahlen für k_1 und k_2 werden über die inverse Abschirmlänge bestimmt: $\lambda_1^{-1} = k_1 = \sqrt{\frac{2 \cdot \eta_1}{d_{ch}^2}}$ und $\lambda_2^{-1} = k_2 = \sqrt{\frac{2 \cdot \eta_2}{d_{ch}^2}}$. Die natürliche Abschirmlänge unterscheidet sich, wenn in den jeweiligen Gebieten unterschiedliche Materialkonstellationen vorliegen, z. B. durch eine aus SiGe/Si oder Ge/GeSn bestehende Heterostruktur am Dotierübergang zwischen Source und Kanalgebiet. Weiter kann zudem die MOS-Elektrode in den jeweiligen Teilgebieten aus unterschiedlichen Dielektrika, z. B. SiO₂ als Spacer-Oxid und HfO₂ als GOX, aufgebaut sein. Der Einfluss der Gate-Elektrode auf den Transistor, insbesondere auf das Kanalgebiet, wird mittels der Werte $\psi_{d,i}$ und ψ_{dg} berücksichtigt. In den Randwerten $\psi_{d,i}$ zeigt sich eine Abhängigkeit der Gatespannung V_{GS} . Der Einfluss der Gate-Elektrode auf das Source-Gebiet wird über elektrische Streufelder erzeugt. Diese können über eine Schwarz-Christoffel-Transformation modifizierten Oxid-Dicke $d_{ox,str} = \frac{\pi}{2} \cdot d_{ox}$ berücksichtigt werden [151]. Für die Randwerte $\psi_{d,i}$ im Source-Gebiet wird folgende Abhängigkeit erhalten:

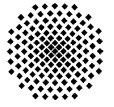
$$\psi_{d,i}(V_{GS}) = \frac{q \cdot N_i}{k_i^2 \cdot \epsilon_i} + \psi_G(V_{GS}). \quad 3.8$$

ψ_G setzt sich über $\psi_G(V_{GS}) = V_{GS} - V_{FB}$ mit der Gate-Spannung V_{GS} und der Flachbandspannung V_{FB} der MOS-Elektrode zusammen. Die Flachbandspannung V_{FB} bestimmt sich aus der Austrittsarbeitendifferenz des Halbleiters ϕ_{HL} und der metallischen Gate-Elektrode ϕ_M in der MOS-Elektrode zu $V_{FB} = \phi_M - \phi_{HL}$. Die „Verarmungszonen“-Weite L_1 innerhalb der Source-Region wird mit einer Schottky-Näherung in Transportrichtung approximiert. Es ergibt sich daher aus der bekannten quadratischen Abhängigkeit des Potentials folgender Wert für L_1 :

$$L_1 = \sqrt{\frac{\psi_{s,2}(0)}{N_{eff}}}. \quad 3.9$$

In L_1 wird der angesprochene Einfluss der Randstrefelder der Gate-Elektrode auf das Source-Gebiet berücksichtigt. Für eine handlichere Darstellung wurde eine effektive Ladung $N_{eff} = -1/2 \cdot k_1^2 \cdot \psi_{d,1}$ eingeführt [151], [154].

Die Potentialvariation (in der Raumladungszone) von der Source-Elektrode in das Kanalgebiet wird ausschließlich im Intervall von $y = [-L_1, L_2]$ beschrieben. Der Dotierübergang befindet sich in diesem Modell an der Position $y = 0$. Das Oberflächenpotential wird außerhalb des Intervalls als konstant angenommen (Kontaktgebiet/Kanalgebiet) und das Potential nimmt seinen maximalen Wert an der Stelle $y = L_2$ an. Der maximale Wert bestimmt sich über den Zusammenhang $\psi_{s,2}(L_2) = V_{bi,s} + \psi_{dg}(V_{GS})$. Darin entspricht $q \cdot V_{bi,s}$ der sich ausbildenden „built-in“- (Spannungs)-Potentialdifferenz zwischen der Source-Elektrode und dem Kanalgebiet und dem angesprochenen elektrostatischen Potential ψ_{dg} innerhalb des Kanalgebiets. Das angewendete Modell berücksichtigt das restliche Kanalgebiet, vom Punkt $y = L_2$ bis zum Draingebiet bei $y = L_G$, durch einen „konventionellen“ DG-MOSFET Aufbau. Die im Kanalgebiet im Intervall $y = [L_2, L_G]$ befindlichen Ladungen $Q_{ch}(V_{GS}, V_{DS})$ werden mittels einer geschlossenen Lösung der Poisson-Gleichung bestimmt und mittels MATLAB berechnet. Der maximale Wert des Ober-



flächenpotentials ψ_{dg} soll mit der von Taur et al. [152] vorgestellten Methode bestimmt werden¹⁵. Im Bereich von L_2 bis zum Drain-Gebiet werden die Ladungsverteiler entlang der x-Richtung über folgenden Zusammenhang bestimmt:

$$\frac{d^2\psi_{dg}(x)}{dx^2} = + \frac{q}{\epsilon_{ch}} \cdot \left[n_i \cdot \exp\left(q \cdot \frac{(\psi_{dg} - V_{DS})}{k_B \cdot T} \right) \right] \quad 3.10$$

Zur weiteren Vereinfachung der analytischen Berechnung im Kanalgebiet soll von einem intrinsischen Fall ausgegangen werden und die intrinsische Ladungsträgerkonzentration wird über n_i berücksichtigt¹⁶. Es werden somit nur die beweglichen Ladungsträger in die Berechnung mitaufgenommen. Zusätzlich wurde die intrinsische Ladungsträgerkonzentration n_i im Rahmen der Boltzmann-Statistik ermittelt. Des Weiteren ist eine Integration zur Bestimmung des Potentialverlaufs nur in x-Richtung (senkrecht zur Transportrichtung) gerechtfertigt, da angenommen wurde, dass der Potential-Verlauf in Kanalrichtung (y-Richtung) konstant ist. Es zeigt sich in den Simulationsergebnissen der simulierten Bandverläufe des Si-nTFETs aber auch in denen des Ge-TFETs (zu sehen in Abbildung 1.3), dass diese Beschreibung für TFETs mit moderaten On-Strömen $I_D < 100 \mu\text{A}/\mu\text{m}$ (im Vergleich zum Drift-Diffusionsstrom innerhalb eines konv. MOSFETs gleicher Dimension) ohne Einbeziehung von Korrekturtermen höherer Ordnung gerechtfertigt werden kann. Dadurch gleicht der Potentialverlauf im Kanalgebiet einem konv. MOSFET, der sich im thermodynamischen Gleichgewicht befindet und keinen Spannungsabfall bzgl. der Drain-Spannung V_{DS} senkrecht zur Transportrichtung zeigt. Somit setzt sich der gesamte Potentialhub im Kanalgebiet aus dem „Built-in“-Potential $V_{bi,s}$ der Tunnelbarriere (Source/Kanalgebiet) und dem Oberflächenpotential ψ_{dg} zusammen. Im Rahmen einer Langkanal-Näherung (kurz GCA, engl. für Gradual Channel Approximation) können die elektrischen Felder in x- und y-Richtung als unabhängig voneinander betrachtet werden. Diese Beschreibung wurde auch in Taur et al. [152] für eine DG-MOSFET Struktur in der Berechnung des elektrostatischen Potentials im Kanalgebiet adaptiert.

Aus den Vorüberlegungen lässt sich für die Raumladungszone L_2 folgende Form finden:

$$L_2 = \frac{1}{k_2} \cdot \text{arcosh} \left(- \frac{\psi_{s,2}(0)}{k_2^2 \cdot (\psi_{d,2} - (\psi_{dg} - V_{bi,s}))} \right). \quad 3.11$$

Beide Raumladungszonenweiten wurden aus Stetigkeitsbedingungen an das elektrische Feld und an das Potential am Dotierübergang erhalten. Für $\psi_{s,2}(0)$ ergibt sich daraus die etwas unhandlichere Form:

$$\psi_{s,2}(0) = \sqrt{k_2^4 \cdot (\psi_{d,2} - (\psi_{dg} - V_{bi,s}))^2 + 4 \cdot N_{eff}^2 + 4 \cdot k_2^2 \cdot N_{eff} \cdot \psi_{dg} + 2 \cdot N_{eff}}, \quad 3.12$$

$$\text{mit } N_{eff} = - \frac{k_1^2}{4} \cdot \frac{d_{ch}^2}{\eta_1} \cdot \left(\frac{q \cdot N_1}{\epsilon_{ch}} + \frac{2 \cdot \eta_1 \cdot \psi_G}{d_{ch}^2} \right).$$

Der damit bestimmte Potentialverlauf in Abhängigkeit von der Drain- und Gatespannung wird in die Berechnung der Tunnelströme übernommen.

¹⁵ Eine detailliertere Darstellung ist dem Anhang zu entnehmen.

¹⁶ Zur Bestimmung der Temperaturabhängigkeit des TFETs wurde zusätzlich $n_i(T)$ in Abhängigkeit von der Temperatur bestimmt.

3. Kapitel

Modellierung des Gleichstromverhaltens des vertikalen TFET-Konzepts

3.2.1 Vergleich des analytischen Modells mit kommerziellen Simulationsmodellen des Si-TFETs

Mithilfe der gewonnen analytischen Darstellung des elektrostatischen Potentialverlaufs innerhalb des TFETs wird es möglich das Gleichstromverhalten zu bestimmen. Es soll jedoch erst quantitativ und qualitativ der über das SeAM simulierte elektrische Feld- und Potentialverlauf mit den kommerziellen Simulationsergebnissen verglichen werden. Die kommerzielle Simulation wurde mit der Software Silvaco ATLAS erstellt. Als Teststruktur soll wieder der Si-nTFET dienen. Die verwendeten Modellparameter werden in Tabelle 3-2 dargestellt.

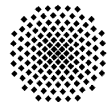
In Abbildung 3.3 ist das mit Silvaco ATLAS erstellte Simulationsergebnis sowie die SeAM-Auswertung zu sehen. Das SeAM-Ergebnis ist in der Grafik mit einer durchgezogenen Linie dargestellt und die Datenpunkte repräsentieren das mit Silvaco ATLAS ermittelte Ergebnis. Die Farbwahl gibt die Variation der Gate-Spannung in Schritten von $\Delta V_{GS} = 0,3 \text{ V}$, im Intervall $V_{GS} = [0,1 \text{ V} - 1,6 \text{ V}]$ wieder. Der schematische Aufbau des Transistors, wie er in Abbildung 3.1 angegeben wurde, findet sich in den gezeigten Potentialkurven wieder.

Tabelle 3-2 Die aufgelisteten Material-Parameter wurden zur Bestimmung des DC-Verhaltens des Si-TFETs mittels des SeAMs und der Silvaco-Atlas-Simulation verwendet.

Betriebs und Strukturgröße	Werte
d_{ch} / d_{ox}	10 nm / 2 nm
Temperatur	300 K
ϵ_{ox} (für SiO ₂) / ϵ_{ch} (für Si)	3,9 / 12
E_G (Kein band gap-narrowing)	1,12 eV
N_{Source} (p-artig dotiert)	$1 \cdot 10^{20} \text{ cm}^{-3}$
N_{Kanal} (n-artig dotiert)	$1 \cdot 10^{15} \text{ cm}^{-3}$
Kanallänge L_G	100 nm
Über-/Unterlappung	0 nm / 0 nm
Transistoraufbau	DG
V_{DS}	0,5 V
Austrittsarbeit Gate-Elektrode ϕ_M (Al)	4,5 eV

Der Dotierübergang befindet sich an der Position $y = 0 \text{ nm}$, der grau-schraffierte Bereich entspricht der p-Typ-artig dotierten Source-Elektrode. Das Oberflächenpotential wurde in der Silvaco Atlas-Simulation in x-Richtung (senkrecht zur Grenzfläche) 0,25 nm unterhalb der Grenzfläche SiO₂ und des Kanalgebietes extrahiert.

Die minimalsten Abstände des graduell variierenden Gitters wurden entlang der Kanalrichtung (hier y-Achse) von 10 nm auf 1,25 nm reduziert und in senkrechter Richtung (hier x-Achse) von 5 nm auf 0,75 nm variiert. Für den vollständigen Aufbau des Silvaco-Atlas-Simulationsgitters wird auf den Anhang verwiesen. In der Abbildung 3.3 werden das SeAM und der mit Silvaco ATLAS simulierte Potentialverlauf zusammen dargestellt. Die Silvaco ATLAS Berechnungen wurden in dieser Arbeit selbstkonsistent durchgeführt. Für die analytische Berechnung nach Taur et al. [152] kann angenommen werden, dass alle Betriebszustände des in Reihe geschalteten DG-MOSFETs konsistent wieder gegeben werden. Die konsistente Bestimmung des Drain-Stroms I_D wird über einen Pao-Sah-Integralansatz [156] erhalten. Daraus folgend konnte für beide Berechnungsarten



über das SeAM und Silvaco Atlas quantitativ und qualitativ eine Übereinstimmung festgestellt werden. Eine Abweichung kann nur an den Extrempunkten des Potentialverlaufs für Gatespannungen größer als $V_{GS} > 1,0 \text{ V}$ beobachtet werden. Eine genauere Darstellung des Potentialverlaufs in der Nähe von $y = L_2$ kann mit einer Erweiterung des SeAMs durch eine Evaneszenzwellen-Näherung sowie der Anpassung des Kanalpotentials ψ_{dg} erreicht werden. Der Potentialverlauf im Bereich des Dotierübergangs wird durch das SeAM genau wiedergegeben und kann daher für eine qualitative Beschreibung des Gate-induzierten Tunnelstroms eingesetzt werden. Zur Ermittlung des Tunnelstroms wurden in dieser Arbeit das WKB-Modell und das Kane-Modell gewählt, um die BTB-Tunnelgenerationsrate (kurz BTBT-GR) zu bestimmen. Im Falle der WKB-Näherung wird der räumliche Abstand zwischen Leitungsband und Valenzband benötigt. Dieser Abstand ermittelt sich über die räumliche Variation des Potentials, an der das Potential den Wert E_G/q annimmt. In der Berechnung des Tunnelstroms werden Pfade parallel zur Grenzfläche Dielektrikum Halbleiter berücksichtigt. Die Wahl der Tunneltrajektorie in Transportrichtung parallel zur Grenzfläche zwischen Halbleiter und GOX kann im Fall des planaren Aufbaus als plausibel erachtet werden, da die exponentielle Abhängigkeit des Tunnelstroms von der Pfadlänge, bestimmt durch die klassischen Umkehrpunkte L_1 und L_2 , die höchste BTBT-GR zeigt [108].

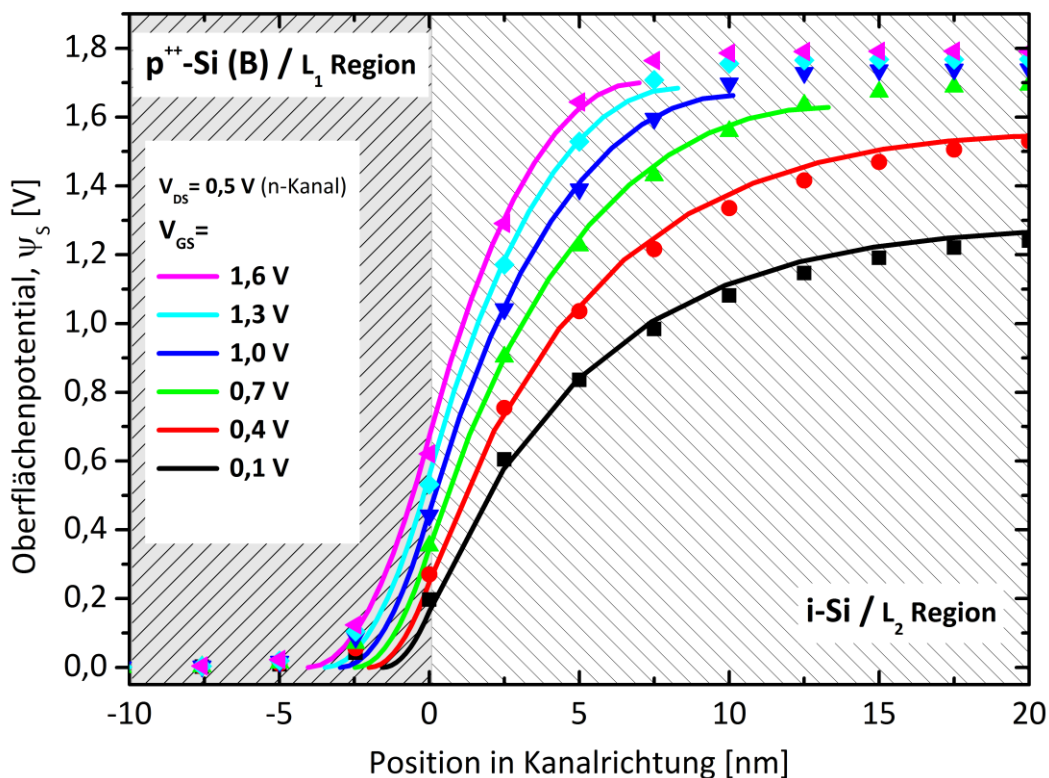


Abbildung 3.3 Die SeAM-Berechnung des Potentialverlaufs wird durch die durchgezogene Kurvenschar dargestellt und die Datenpunkte repräsentieren das Silvaco-Simulationsergebnis. Die einzelnen Farben entsprechen der Variation der Gate-Spannung in Schritten von $\Delta V_{GS} = 0,3 \text{ V}$, im Intervall $V_{GS} = [0,1 \text{ V} - 1,6 \text{ V}]$. Der Dotierübergang befindet sich an der Position $y = 0 \text{ nm}$, der dunkel-grau-schraffierte Bereich entspricht der p-typ-artig dotierten Source-Elektrode, der schraffierte Bereich dem Kanalgebiet.

Das Transistorverhalten, insbesondere die Sättigung des Tunnelstroms, kann somit sehr anschaulich durch die in Formel 3.11 hergeleiteten „Raumladungszonen“ L_1 und L_2 beschrieben werden. Mittels einer Erhöhung der Gate-Spannung werden im n-Kanal-Betrieb Elektronen influenziert. Durch die nun erhöhte Ladungsträgerkonzentration nähert sich das Leitungsband im Kanalgebiet auf das Drain-seitige Leitungsband-Niveau an (die Ladungsträger, hier Elektronen, bewegen sich

3. Kapitel

Modellierung des Gleichstromverhaltens des vertikalen TFET-Konzepts

zur Drain-Seite). Die damit verbundene Reduzierung der räumlichen Ausdehnung der „Raumladungszone“ L_2 ist gleichbedeutend mit der Verkleinerung der Tunnelbarrierenweite [129], welche über Formel 3.11 beschrieben wird. Hierin ist auch die natürliche Abschirmlänge des Potentials im Kanalgebiet λ_2 enthalten, welche nach 3.11 durch die Materialparameter ε_{ch} , ε_{ox} , d_{ch} , d_{ox} und den Aufbau des Transistors bestimmt ist. Eine gezielte Skalierung des Transistors über eine optimale elektrostatische Kopplung der Gate-Elektrode an das Kanalgebiet lässt sich anschaulich über eine Minimierung der natürlichen Abschirmlänge λ_2 darstellen.

Die elektrischen Streufelder, ausgehend von der Gate-Elektrode, zeigen einen Einfluss auf die Raumladungszone L_1 in der Source-Elektrode. Über die indirekte Ankopplung der Gate-Elektrode dehnt sich hierbei die Verarmungszone weiter mit Erhöhung der Gatespannung in der Source-Elektrode aus. Verbunden mit dieser Kopplung tritt ein weiterer Tunnelpfad senkrecht zur Kanalrichtung im TFET auf, der zum Ladungsträgertransport beiträgt. Dieser „zusätzliche“ Tunnelpfad wird in der Literatur unter dem Begriff „In-Line“-Tunneln geführt [22], [93], [111], [112]. Der „In-Line“-Tunnelpfad verläuft parallel zu den Feldlinien, welche durch das elektrostatische Potential der Gate-Elektrode erzeugt werden und senkrecht zur Grenzfläche zwischen Halbleiter und GOX verlaufen. Dieser Effekt tritt jedoch nur bei einer angepassten Wahl der Materialparameter auf, d.h. geringe GOX- und reduzierte Halbleiterschichtdicke (effektive Skalierung durch Felddurchgriff und Feldverteilung). Im Folgenden wurde mit Hilfe des Kane-Modells die BTBT-GR innerhalb der DG-TFET-Struktur bestimmt. In diesem Modell spielt die lokale elektrische Feldverteilung mit den zweidimensionalen Komponenten (F_x, F_y) innerhalb des Tunnelgebiets die zentrale Rolle (siehe BTBT-GR (3.14)). Die Feldverteilung wird wie gewohnt über die räumliche Ableitung des Potentials $\underline{F} = -\nabla\psi(x, y)$ erhalten.

3.2.2 Das Kane-Modell zur Berechnung der Tunnelwahrscheinlichkeit

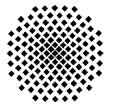
Da in der Silvaco-Atlas-Simulation als „Standard“-BTBT-Modell das Kane-Modell hinterlegt ist, wird dieses Modell zum Vergleich der Silvaco-Ergebnisse und der SeAM-Berechnung verwendet. Der über das Interbandtunneln generierte Drain-Strom lässt sich durch ein exponentielles Verhalten über den gesamten Schaltbereich ($I_{on} - I_{off}$) in guter Näherung, mit dem Kane-Modell beschreiben [131]:

$$I_D \propto A_{Kane} \cdot \left(\frac{F}{F_0}\right)^\gamma \cdot \exp\left(-\frac{B_{Kane}}{F}\right). \quad 3.13$$

In der Darstellung ist F der Betrag der elektrischen Feldstärke ($F = |\underline{F}|$) am Übergang zwischen Source- und Kanalgebiet, bestimmt über die beiden Feld-Komponenten (F_x, F_y) und dem Normierungsfaktor $F_0 = 1 \text{ V/cm}$. Die jeweiligen materialspezifischen Parameter werden mittels den beiden Kane-Konstanten A und B berücksichtigt. Dabei entspricht $\gamma = 2$ einem direkten und $\gamma = 2,5$ einem indirekten Tunnelprozess. Die Feldstärke F , die innerhalb des Tunnelübergangs vorherrscht, kann in erster Näherung proportional zur angelegten Gate-Spannung V_{GS} nach Bhuiwarka et al. [144] angenommen werden. Diese Relation kann aus dem Kane-Modell für die BTBT Generationsrate hergeleitet werden. In [96] wurden folgende funktionelle Zusammenhänge für direkte und indirekte Tunnelvorgänge im Halbleiter angegeben; die BTBT-GR, hier G_{Kane} , bestimmt im Volumenelement dV die Tunnelübergänge pro Kubikzentimeter und pro Sekunde (Formel 1 aus [96]):

$$G_{Kane} = A \cdot \left(\frac{F}{F_0}\right)^\gamma \cdot \exp\left(-\frac{B}{F}\right). \quad 3.14$$

Die beiden Materialparameter (Kane-Parameter) A und B werden später in der Silvaco ATLAS Simulation und in der entwickelten analytischen Beschreibung benutzt, um den Drain-Strom zu



berechnen (über $I_D = q \cdot \iiint G_{\text{KANE}} dV$); mit den Formeln 3.15 und 3.16 wird der funktionelle Zusammenhang der Materialparameter für einen direkten Tunnelübergang bestimmt (Formel 2 und 3 aus [96]):

$$A_{\text{dir}} = \left(\frac{g \cdot \pi \cdot m_{\text{eff}}^{1/2} q^2}{9 \cdot h^2 (E_G^I)^{1/2}} \right) \cdot \frac{9}{\pi^2}, \quad 3.15$$

$$B_{\text{dir}} = \frac{\pi^2 \cdot m_{\text{eff}}^{1/2} \cdot (E_G^I)^{1/2}}{q \cdot h}. \quad 3.16$$

Der Parameter $g = 2 \cdot g_v \cdot g_c$ steht für den Spin-Entartungsfaktor für das Valenz- und Leitungsband, m_{eff} definiert die effektive Tunnelmasse und q die Elementarladung.

$$\frac{1}{m_{\text{eff}}} = \frac{1}{m_{v,\parallel}} + \frac{1}{m_{c,\parallel}} \quad 3.17$$

Die effektive Tunnelmasse m_{eff} der Ladungsträger wird über die effektive Masse des Leitungsbandes $m_{c,\parallel}$ bzw. des Valenzbandes $m_{v,\parallel}$ in Transportrichtung erhalten. Das Planck'sche Wirkungsquantum wird wie gewohnt mit h definiert, E_G^I steht für die Bandlücke an der Stelle I im Banddiagramm im Zentrum der Brillouin-Zone.

Für indirekte Tunnelübergänge, welche ein zusätzliches Phonon zur Impulserhaltung benötigen, wird das Phonon-Gas durch die Besetzungsanzahl N_{TA} definiert, und D_{TA} ist das vermittelte Deformationspotential. ρ entspricht der Massendichte, ε_{TA} ist die Phononen-Energie des betrachteten Phonon-Zweigs und E_G ist die geringste Bandlücke innerhalb des betrachteten Systems, welche den energetisch favorisierten Übergang angibt (Formel 4 und 5 aus [96]):

$$A_{\text{BTBT,indir}} = \frac{g \cdot (m_c \cdot m_v)^{3/2} \cdot (1 + 2 \cdot N_{\text{TA}}) \cdot D_{\text{TA}}^2 \cdot q^{5/2}}{2^{21/4} \cdot h^{5/2} \cdot m_{\text{eff}}^{5/4} \cdot \rho \cdot \varepsilon_{\text{TA}} \cdot (E_G)^{7/4}}, \quad 3.18$$

$$B_{\text{BTBT,indir}} = \frac{2^{7/2} \cdot \pi \cdot m_{\text{eff}}^{1/2} \cdot E_G^{3/2}}{3 \cdot q \cdot h}. \quad 3.19$$

Für den n- und den pTFET kann eine einheitliche Kanalweite gewählt werden, solange die Streulänge für den jeweiligen Ladungsträgertransport im Kanalgebiet kleiner als die Kanallänge des Transistors ist [150]. Zudem sollte im Falle von Si, welches eine Tunnellänge von $L_G = 5$ nm [131] besitzt, eine Skalierung der Kanallänge bis hin zu $L_G = 10$ nm möglich sein. Nichtsdestotrotz, muss bei der Skalierung des TFETs auf das Auftreten von Kurzkanal-Effekte geachtet werden, damit keine merklicher Verlust in der Leistungsfähigkeit auftreten [150], [157]. Eine Kanallänge von unter $L_G < 10$ nm bedingt den Aufbau eines effizient skalierten TFETs, insbesondere muss ein Anstieg der Verlustströme durch das sogenannte DIBT adressiert werden. Der angesprochene DIBT äußert sich hier in einem Überlappen der n-p bzw. p-n Übergänge¹⁷ [150]. Die effiziente Skalierung kann z. B. über die Integration von unterschiedlichen Dotierhöhen im Drain-Gebiet, Hetero-Halbleiterstrukturen mit vergrößerter Bandlücke im Drain-Gebiet, Hetero-GOX-Strukturen und die effiziente Reduzierung des Kanalvolumens bis zur totalen Verarmung erfolgen.

3.2.3 Tunnelwahrscheinlichkeiten und Strom-Spannungskennlinien des Si-TFETs

In den Abbildung 3.4 a) und b) wird der Konturplot der lokalen BTBT-GR dargestellt. Es wurde für zwei unterschiedliche GOX-Dicken Simulationen durchgeführt. Die Drain-Spannung wurde in beiden Fällen auf $V_{\text{DS}} = 0,5$ V festgehalten. Für eine GOX-Dicke von $d_{\text{ox}} = 15$ nm wurden die Gate-Spannungen mit $V_{\text{GS}} = 5,0$ V und $V_{\text{GS}} = 10,0$ V gewählt. Im Fall der GOX-Dicke

¹⁷ Hier ist die natürliche Abschirmlänge λ_1 und λ_2 ausschlaggebend auf der p- und n-dotierten Seite.

3. Kapitel

Modellierung des Gleichstromverhaltens des vertikalen TFET-Konzepts

$d_{ox} = 2$ nm wurden die Gate-Spannung auf $V_{GS} = 1,0$ V und $V_{GS} = 1,5$ V festgesetzt. Der Konturplot entspricht dem Schnitt entlang der x-y-Ebene, wie er in der DG-nTFET-Struktur in Abbildung 3.1 zu sehen ist. Der Dotierübergang und die Grenzfläche zwischen Halbleiter und GOX befindet sich im Fall der SeAM-Berechnung entlang der y-Achse bei $x = 0$ nm bzw. 10 nm und in der Silvaco ATLAS Simulation bei $x = 5$ nm. Zur Bestimmung der Tunnelrate wurde eine Kanalbreite von $W_G = 1$ μm entlang der z-Achse angenommen. Für die Silvaco ATLAS Simulation wurde die DG-Symmetrie ausgenutzt und die Simulation nur auf einer Hälfte des Transistors simuliert. Dadurch konnte die Rechenzeit reduziert werden, d. h. bis zur Spiegelachse in der Mitte der Halbleiterstruktur. Im Falle des analytischen Modells wurde die komplette DG-Struktur ausgewertet. Der Vergleich zwischen der Silvaco ATLAS Simulation und der Modellierung durch das SeAM zeigt bzgl. der Tunnelrate vergleichbare Werte im Bereich von $G_{Kane} \sim 10^{28} \text{ cm}^{-3} \text{ s}^{-1}$ für eine maximale Gate-Spannung $V_{GS} = 10,0$ V bzw. $V_{GS} = 1,5$ V und einer Drain-Spannung $V_{DS} = 0,5$ V. Die räumliche Verteilung zeigt jedoch quantitative Unterschiede. Das kann damit begründet werden, dass die Annahme eines vollständigen Felddurchgriffs der Gate-Elektrode durch das hochdotierte Source-Gebiet nicht gegeben ist. Ein kompletter Felddurchgriff ist erst für Schichtdicken kleiner 6 nm und einer Source-Dotierung von $N_S = 10^{20} \text{ cm}^{-3}$ im Si-TFET zu erwarten. Für einen Aufbau des TFETs, in dem die „in-line“-Komponente des BTBT-Stroms zum Gesamtstrom maximiert werden soll, muss die Dotierung innerhalb der Source-Elektrode sowie der Überlappung der Gate-Elektrode angepasst werden, ohne den BTBT-Strom in Kanalrichtung einzuschränken [22], [54], [96].

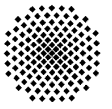


Abbildung 3.4

Konturplot der lokalen BTBT-GR, welche mit Hilfe des Kane-Modells innerhalb der DG-nTFET-Struktur bestimmt wurde. Die Halbleiterschichtdicke wurde auf $d_{ch} = 10$ nm und die EOT des GOX auf $d_{ox} = 15$ nm festgesetzt. Die Drain-Spannung wurde auf den Wert $V_{DS} = 0,5$ V gesetzt und die Gatespannung wurde auf die Werte $V_{GS} = 5,0$ V/10,0 V gesetzt.

$d_{ox} = 15$ nm

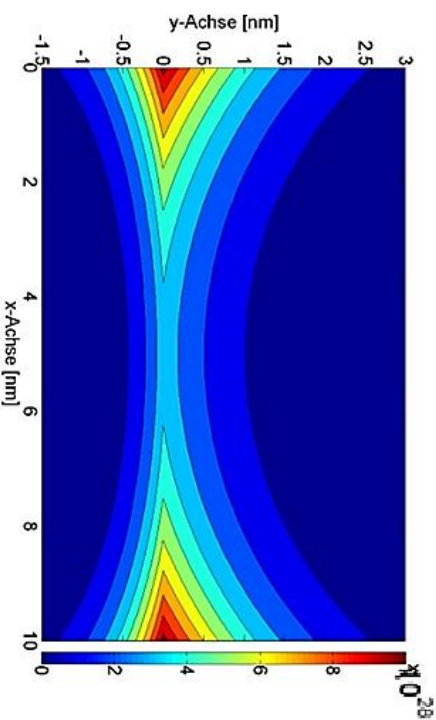
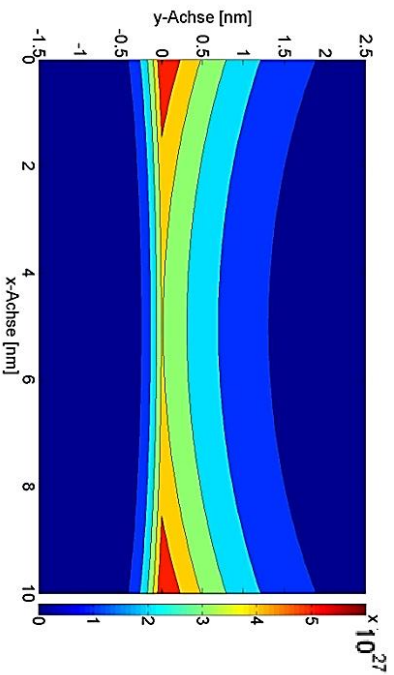
$V_{GS} = 5,0$ V, $V_{DS} = 0,5$ V

a)

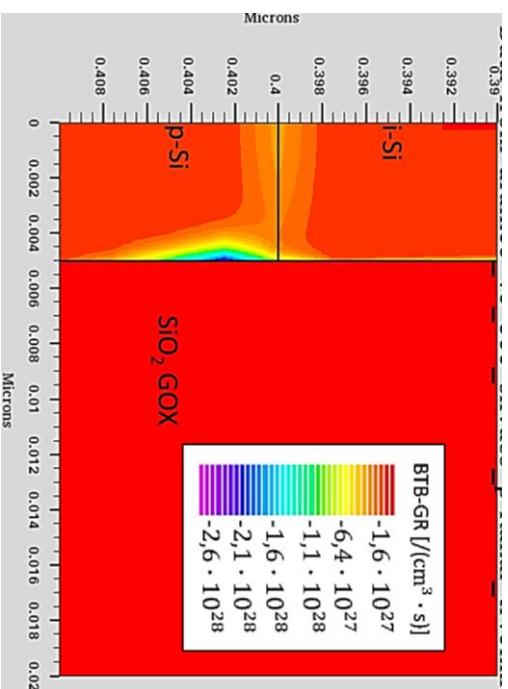
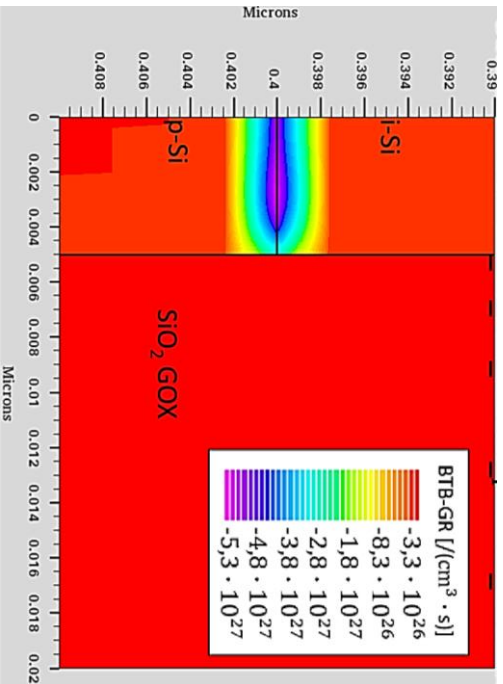
$V_{GS} = 10,0$ V, $V_{DS} = 0,5$ V

b)

SeAM



Silvaco Atlas



3. Kapitel

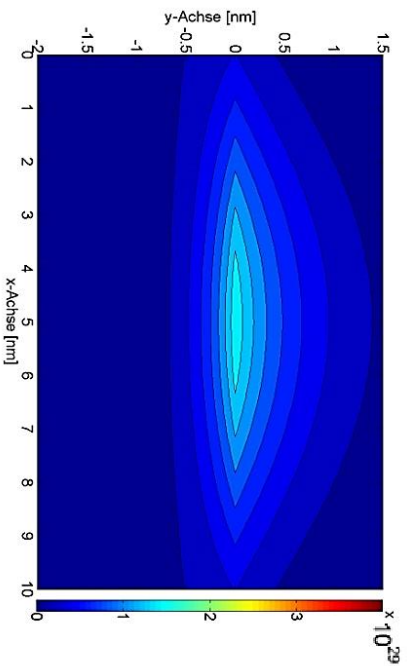
Modellierung des Gleichstromverhaltens des vertikalen TFET-Konzepts

Abbildung 3.5

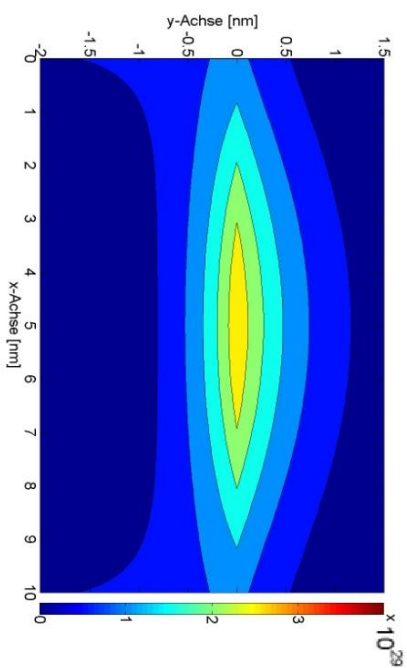
Konturplot der lokalen BTBT-GR, welche mit Hilfe des Kane-Modells innerhalb DG-nTFET-Struktur bestimmt wurde. Die Halbleiterschichtdicke wurde auf $d_{ch} = 10$ nm und die EOT des GOX auf $d_{ox} = 2$ nm festgesetzt. Die Drain-Spannung wurde auf den Wert $V_{DS} = 0,5$ V gesetzt und die Gatespannung wurde auf die Werte $V_{GS} = 0,5$ V/1,5 V gesetzt.

$$d_{ox} = 2 \text{ nm}$$

SeAM

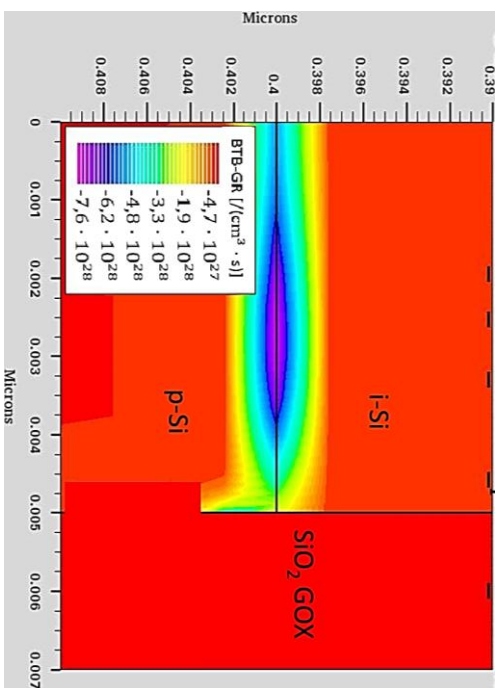
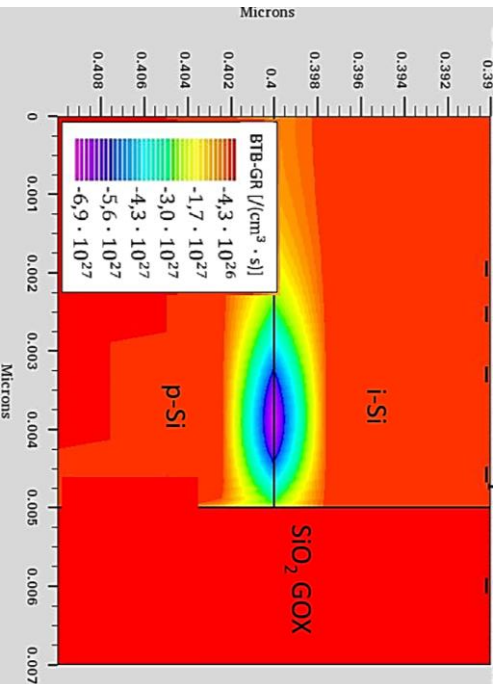


$$a) \quad V_{GS} = 1,0 \text{ V}, V_{DS} = 0,5 \text{ V}$$



$$b) \quad V_{GS} = 1,5 \text{ V}, V_{DS} = 0,5 \text{ V}$$

Silvaco Atlas



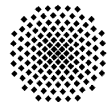


Tabelle 3-3

Die wiedergegebenen Kane Material-Parameter wurden zur Bestimmung des Drain-Stroms I_D des Si-nTFETs in der Berechnung des SeAM Modells und der Silvaco ATLAS Simulation verwendet. Als Transportrichtung wurde die [100] gewählt. Die Werte sind folgender Literatur entnommen: [96], [146].

Kane-Parameter	$A [cm^{-2}s^{-1}]$	$B [MVcm^{-1}]$	γ
Silvaco	$9,66 \cdot 10^{18}$	30	2
Kao et al.	$3,29 \cdot 10^{15}$	23,8	2,5
Klaasen	$4 \cdot 10^{14}$	19	2,5

Die über das SeAM und der Silvaco ATLAS Simulation ermittelten Transferkurven des Si-nTFET, und den Kane-Parametern, werden in der Abbildung 3.6 dargestellt. Der Drain-Strom I_D wird in Abhängigkeit von der elektrischen Feldstärke wiedergegeben und die verwendeten Kane-Parameter „Silvaco“ (rote Kreise) und „Klaasen“ (schwarze Quadrate) entsprechen den in der Silvaco ATLAS Simulationsumgebung hinterlegten Werten. Der dritte Satz an Kane-Parametern (grüne Dreiecke) wurde der Veröffentlichung von Kao et al. [96] entnommen. Die verwendeten Werte sind in Tabelle 3-3 zusammengefasst aufgelistet.

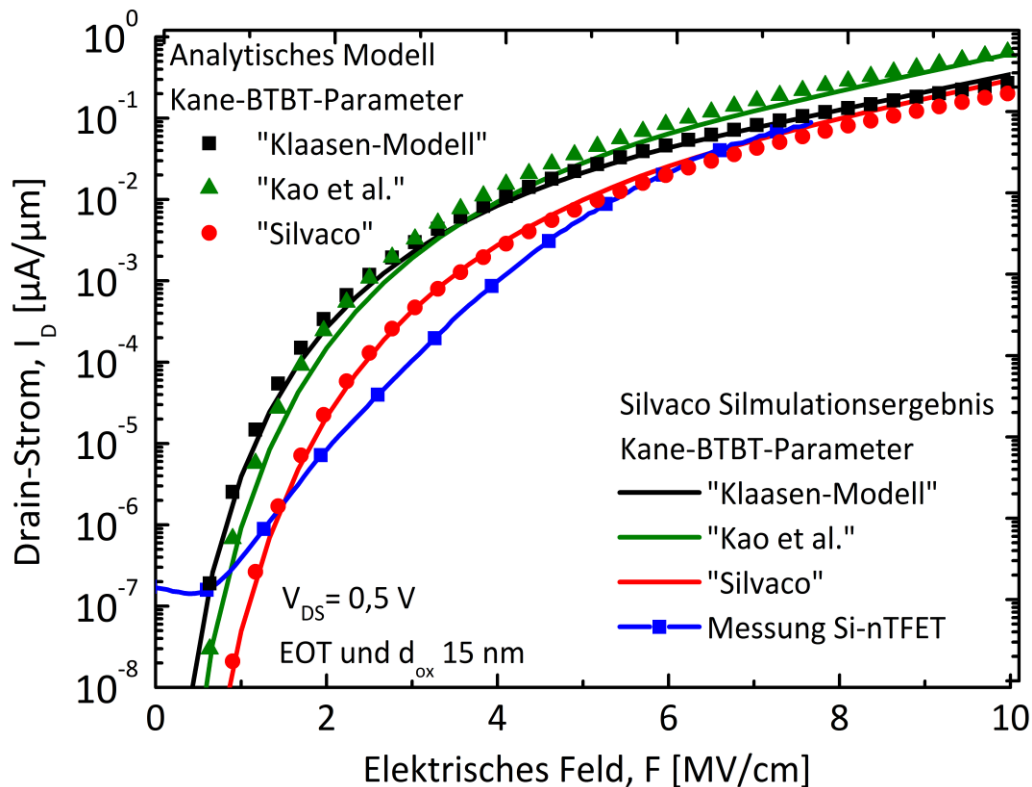


Abbildung 3.6

Der mittels SeAM bestimmte Potentialverlauf diente zur Berechnung des Drain-Stroms I_D . Der Drain-Strom I_D wird in Abhängigkeit von der elektrischen Feldstärke mit der Kane-BTBT bestimmt. Die verwendeten Kane-Parameter „Silvaco“ (rote Kreise) und „Klaasen“ (schwarze Quadrate) entsprechen den in der Silvaco ATLAS Simulations-Umgebung hinterlegten Werten. Die dritten Kane-Parameter „Kao et al.“ (grüne Dreiecke) wurden der Veröffentlichung [96] entnommen. Die über das SeAM bestimmten Ergebnisse sind durch eine durchgezogene Kurve mit gleicher Farbwahl dargestellt. Der simulierte Si-nTFET wurde mit einer Kanallänge von $L_G = 300$ nm und einer SiO_2 Oxiddicke $d_{ox} = 15$ nm simuliert. Die angelegte Drain-Spannung wurde auf $V_{DS} = 0,5$ V festgesetzt. Zum Vergleich mit den Modellrechnungen wurde eine experimentelle Kurve eines Si-nTFETs mit $L_G = 300$ nm dargestellt.

3. Kapitel

Modellierung des Gleichstromverhaltens des vertikalen TFET-Konzepts

Die über das SeAM bestimmten Ergebnisse werden durch eine durchgezogene Kurve mit gleicher Farbwahl dargestellt. Wie gut zu sehen ist, stimmen die beiden verwendeten Methoden sehr gut überein, was auch durch die Übereinstimmung der Potentialverläufe zu erwarten war. Der hier simulierte Si-nTFET besitzt eine Kanallänge von $L_G = 300 \text{ nm}$ und eine SiO_2 -Oxiddicke von $d_{ox} = 15 \text{ nm}$. Die angelegte Drain-Spannung wurde auf $V_{DS} = 0,5 \text{ V}$ festgesetzt. Zum Vergleich mit den theoretischen Werten, wurde eine experimentelle Kurve eines Si-nTFETs mit gleicher Kanallänge $L_G = 300 \text{ nm}$ dargestellt. Abweichungen sind hier besonders im Unterschwellwertbereich zu erkennen.

Die Abweichung im Unterschwellwertbereich zwischen der Modellrechnung und dem Experiment kann zum einen in der unterschiedlichen Skalierung der TFETs aber auch in der nicht perfekten Grenzfläche zwischen Halbleiter und GOX gefunden werden. Die Simulationsergebnisse repräsentieren eine Dünnschichtdicke von $d_{ch} = 10 \text{ nm}$ und der experimentelle Aufbau eine „Schichtdicke“ von $d_{ch} = 1 \mu\text{m}$. Die Schichtdicke d_{ch} des DG-TFET-Simulationsmodells wurde so gewählt, dass die Raumladungszonen der MOS-Elektroden nicht überlappen. Weiter kann die vorab erwähnte hohe Grenzflächenzustandsdichte im Kanalgebiet einen Anstieg des SS und damit den eine Reduzierung des Drain-Stroms hervorrufen.

3.2.4 Einfluss des Halbleitermaterials der Hauptgruppe IV im TFET-Konzept

Zur weiteren Reduzierung der Tunnelbarriere wurde der Einsatz von Ge und des Verbindungshalbleiters GeSn in dieser Arbeit untersucht. In Si und Ge zeigt die energetisch niedrigste Bandlücke einen indirekten Charakter, d. h. dass das niedrigste Leitungsbandminimum entweder in Richtung des L-Punktes (entspricht nach Konvention der [111]-Richtung) oder in Richtung des Δ/X -Punktes (entspricht der [100]-Richtung) zu finden ist. Damit benötigen elektronische Übergänge ein zusätzliches Phonon um der Impulserhaltung zu genügen. Daher sind die betrachteten Übergänge niedriger in ihrer Intensität als es ein direkter Übergang wäre. Im Falle von Ge werden die primären Übergänge von den Valenzbandmaxima am Γ -Punkt zum L-Punkt bestimmt (E_G^L). Der energetische Unterschied zwischen der direkten und indirekten Bandlücke beträgt bei Ge ca. 140 meV. Die Forschungsbemühungen erstrecken sich darauf, den „quasi-direkten“ Halbleiter Ge derart zu modifizieren, damit ein Übergang zu einem direkten Halbleiter realisiert werden kann. Die hier vorgestellten Ge-Schichtstrukturen besitzen durch das angewendete Epitaxie-Verfahren (hier MBE) eine intrinsische Zugverspannung von bis zu 0,18 % im Vergleich zu einer Ge-Referenz ohne Verspannung [158], [159]. In Kombination mit einer hohen n-Typ-Dotierung kann ein Auffüllen von Zuständen der direkten Bandlücke erreicht werden und sollte insbesondere für den pTFET von Vorteil sein. Die Differenz zwischen der direkten und indirekten Bandlücke kann dadurch auf bis zu 78 meV reduziert werden.

Eine weitere Option, einen direkten Halbleiter zu erhalten, liegt in der Inkorporation von Sn in die Ge-Matrix. Dies kann analog als eine Zugverspannung angesehen werden, welche die relative Lage der beiden Leitungsbandtöler umkehren kann. Durch den Einsatz von GeSn als Verbindungshalbleiters kann die Bandlücke weiter gegenüber Ge reduziert werden und hat bereits ersten Einsatz im TFET [24], [160]–[164] gefunden. In Tabelle 3-4 werden die in dieser Arbeit untersuchten Gruppe IV Halbleiter Si, Ge und der Verbindungshalbleiter GeSn und deren zentrale Parameter dargestellt. Im vorangegangenen Abschnitt wurde das DC-Schaltverhalten von Si-TFETs analytisch betrachtet. Mit den gewonnenen Kenntnissen sollen die in dieser Arbeit betrachteten Materialien und Geometrievariationen motiviert werden. Im Folgenden soll der Einfluss von SiGe bzw. Ge am Tunnelübergang des TFETs gegenüber Si als Transistormaterial untersucht werden. Die mit Silvaco ATLAS simulierten Transferkurven eines Si-, $\text{Si}_{0,5}\text{Ge}_{0,5}$ und Ge-TFETs werden in Abbildung 3.7 dargestellt.

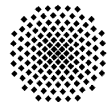


Tabelle 3-4 Auflistung der zentralen Parameter (Atomnummer Z , Gitterkonstante a_0 und Bandlücke E_G), der in dieser Arbeit untersuchten Gruppe IV Halbleiter Si und Ge und des Halbmetalls Sn. Die Werte sind folgender Literatur entnommen [165].

Halbleiter	Si	Ge	Sn
Z	14	32	50
$a_0[\text{\AA}]$	3,57	3,57	3,57
$E_G[\text{eV}]$	1,17	0,74	0,0

Das Verhalten und die erzielten On-Ströme sind vergleichbar mit den Simulationsergebnissen für den nFET aus Referenz [166]. Die pTFET-Transferkurven wurden mit einer Drain-Spannung $V_{DS} = -0,5 \text{ V}$ simuliert, die Gatespannung variierte in der Simulation zwischen $V_{GS} = [-2 \text{ V}, 0 \text{ V}]$. Es ist deutlich zu erkennen, dass durch die reduzierte Bandlücke E_G von Ge, im Vergleich zu Si und $\text{Si}_{0,5}\text{Ge}_{0,5}$, der Sättigungsstrom des Ge-pTFETs einen max. Wert von $14 \mu\text{A}/\mu\text{m}$ bei einer Gate-Spannung $V_{GS} = -2 \text{ V}$ erreicht.

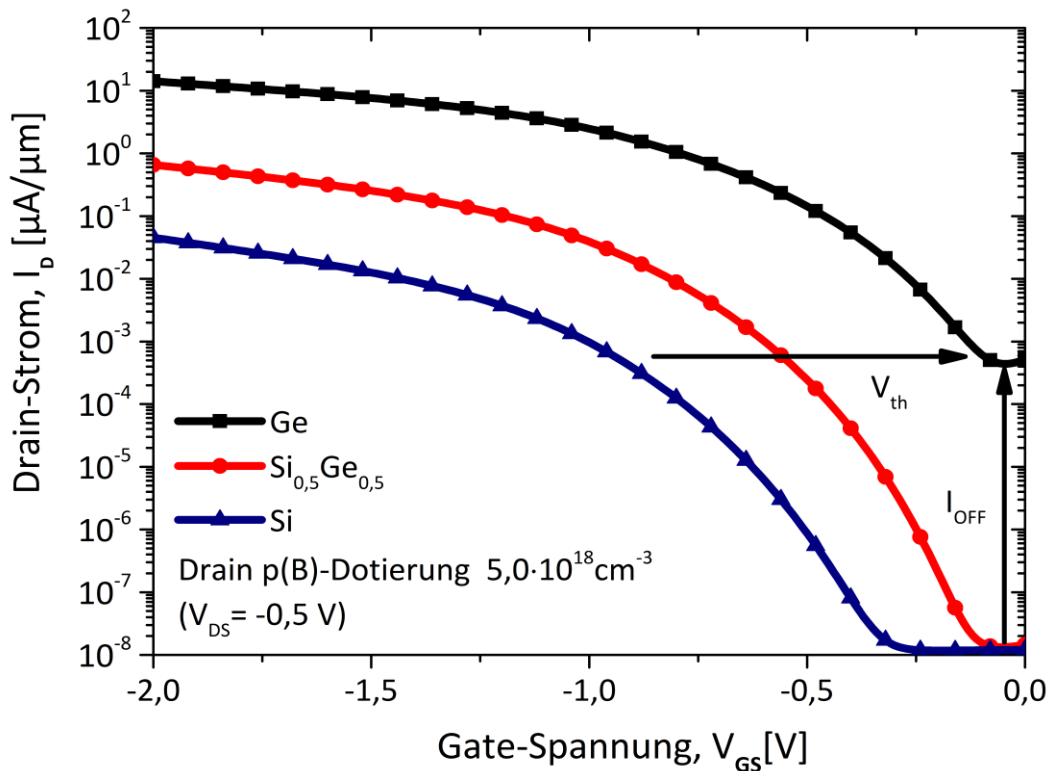


Abbildung 3.7

Die dargestellten pTFET Transfercharakteristika wurden mittels der Simulationssoftware Silvaco ATLAS erstellt. Die Drain-Spannung wurde auf $V_{DS} = -0,5 \text{ V}$ festgesetzt und die Gate-Spannung zwischen $V_{GS} = [-2 \text{ V}, 0 \text{ V}]$ variiert. Für die Simulation wurden die drei Halbleitermaterialien Si, $\text{Si}_{0,5}\text{Ge}_{0,5}$ und Ge ausgewählt. Es ist deutlich zu erkennen, dass durch die reduzierte Bandlücke E_G von Ge, im Vergleich zu Si und $\text{Si}_{0,5}\text{Ge}_{0,5}$, der On-Strom des Ge-TFETs deutlich höher als die der anderen zwei pTFETs ist. Da die Bandlücke im gesamten Transistor reduziert wurde, resultiert daraus jedoch ein höherer Leckstrom im ausgeschalteten Zustand.

Der Sättigungsstrom ist damit deutlich höher als der der anderen pTFET-Varianten, mit $0,6 \mu\text{A}/\mu\text{m}$ für den $\text{Si}_{0,5}\text{Ge}_{0,5}$ -basierten TFET und respektive $0,04 \mu\text{A}/\mu\text{m}$ bei der Si-Variante. Durch den Einsatz von SiGe, Ge oder sogar GeSn wird eine immer transparenter werdende Tunnelbarriere erreicht. Im Falle des Si-pTFETs beträgt der räumliche Abstand am Tunnelübergang ca.

3. Kapitel

Modellierung des Gleichstromverhaltens des vertikalen TFET-Konzepts

5,1 nm. Im Gegensatz dazu zeigt der Ge-pTFET eine Tunnelbarrierenweite von 3,2 nm. Dieses Verhalten wird auch mittels der Kane-Parameter, die in die Simulation eingehen, und der damit reduzierten BTBT-GR (Gl. 3.14) beschrieben. Die in der Silvaco ATLAS Simulation verwendeten Werte werden in Tabelle 3-5 angegeben. Jedoch ist mit der reduzierten Bandlücke im Ge-TFET ein Anstieg des Leckstroms im ausgeschalteten Zustand zu erkennen. Im ausgeschalteten Zustand zeigt sich durch die reduzierte Bandlücke, dass der Leckstrom für den aus Ge gefertigten TFET merklich höher ist, als der eines Si-TFETs. In einem Si-TFET kann davon ausgegangen werden, dass der Leckstrom I_{off} durch Generation-Rekombination von Ladungsträgern, überwiegend durch Minoritätsladungsträger an der Oberfläche des Bauteils generiert wird. Durch die niedrige intrinsische Ladungsträgerkonzentration von Si sind innerhalb eines TFETs geringe Leckströme (im Falle der pin-Diode Sperrströme) zu erwarten. Das Leckstromverhalten wird in Kapitel 4.1 durch Temperaturmessung experimentell untersucht.

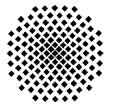
Die Leckströme für den vertikalen Si-TFET-Aufbau konnten mit einer Silvaco-Prozess- und einer DC-Simulation nachgebildet werden, die zentralen Simulationsergebnisse werden im Anhang B bereitgestellt. Wie in Abbildung 3.7 und [16] dargestellt, können sehr geringe Leckströme unter $10^{-7} \mu\text{A}/\mu\text{m}$ durch die große Bandlücke in einem reinen Si-TFET-Aufbau erreicht werden. Zusätzlich wurden Generation-Rekombinationsmechanismen aus dem Volumen des Transistors heraus betrachtet. Um experimentell derart niedrige Sperrströme zu erreichen, werden sehr hohe Anforderungen an die Technologie gestellt. Dies bedingt gezielte Wachstumsstrategien, wenn mit vertikalen MBE-Strukturen gearbeitet wird, um die Defektdichte im Kristall auf einem niedrigen Niveau zu halten. Zusätzlich muss eine optimale CMOS-kompatible Prozessführung bei der Herstellung des diskreten Bauteils gewährleistet werden.

Wird jedoch Ge als Halbleiter eingesetzt, steigen durch die niedrigere Bandlücke die GR-Prozesse innerhalb des Volumens merklich an. Der Anteil der Leckpfade, welche über die nicht perfekte Grenzfläche zwischen der Mesa-Oberfläche und dem GOX gebildet werden, nimmt dadurch ab.

Tabelle 3-5 Folgende Kane Material-Parameter wurden innerhalb der Silvaco Simulation benutzt, um den Einfluss auf das Schaltverhalten des pTFETs durch die reduzierte Bandlücke von SiGe und Ge im Vergleich zu Si zu ermitteln. Als Transportrichtung wurde die [100] gewählt. Die Werte sind folgender Literatur entnommen: [96], [146].

Kane-Parameter	$A_{Kane} [cm^{-2}s^{-1}]$	$B_{Kane} [MVcm^{-1}]$	γ	$E_{G,ind} [eV]$
Si	$3,29 \cdot 10^{18}$	23,8	2,5	1,12
Si _{0,5} Ge _{0,5}	$2,27 \cdot 10^{15}$	15,5	2,5	0,92
Ge	$1,67 \cdot 10^{15}$	6,55	2,5	0,66

Der Sperr- bzw. Leckstrom weist dann keine Umfangsproportionalität mehr auf, sondern zeigt dann eine Abhängigkeit proportional zur Mesa-Fläche. Dieses Verhalten ist auf die höhere intrinsische Ladungsträgerkonzentration gegenüber Si durch die kleinere Bandlücke zurückzuführen, die einen Generations-Rekombinationsstrom verstärkt. Diese Leckströme können z. B. durch den Einsatz von SiGe-Hetero-Strukturen auf der Drain-Seite oder reduziertem Transistorvolumen verringert werden. Zusätzlich spielen in dieser Arbeit Fehlstellen innerhalb des Volumens eine entscheidende Rolle. Diese Defektzentren bilden sich während des Kristall-Wachstums von Ge auf Si aus. Eine spezielle MBE-Wachstumsstrategie des virtuellen Substrats (VS) findet bei den hier vorgestellten Ge-TFET-Strukturen ihre Anwendung, um die Defektdichte so klein und damit die Kristallqualität so hoch wie möglich zu halten.



3.3 Die WKB-Näherung zur Berechnung der Tunnelwahrscheinlichkeit

Bisher wurde die Strom-Spannungscharakteristik $I_D(V_{DS}, V_{GS})$ des TFETs über die Volumen-Integration der BTBT-GR des Kane-Modells gewonnen. Es kann jedoch für leistungsfähigere TFETs erwartet werden, dass für BTB-Tunnelströme $I_{BTBT} > 100 \mu\text{A}/\mu\text{m}$ der Transport innerhalb des Kanalgebietes die Leistungsfähigkeit einschränkt und daher mitberücksichtigt werden muss [155]. Zur Berücksichtigung des Ladungsträgertransports im Kanalgebiet soll hier das Landauer-Datta-Lundström-Transport-Modell (LDL-Modell) verwendet und im folgenden Kapitel detaillierter vorgestellt werden. Zur Beschreibung des Transportstroms soll die Berechnung der BTB-Tunnelwahrscheinlichkeit T_{WKB} mittels der WKB-Näherung erfolgen [167]–[169]. Die WKB Näherung bietet eine intuitivere Beschreibung der BTB-Tunnelwahrscheinlichkeit in Abhängigkeit von der Material- und Designwahl. Allgemein kann die Tunnelwahrscheinlichkeit $T_{WKB}(E)$ über folgende Darstellung bestimmt werden [11], [34], [120], [150], [170]–[172]:

$$T_{WKB}(E) \approx \exp\left(-2 \cdot \int_{y_1}^{y_2} dy \sqrt{\frac{2 \cdot m_{eff} \cdot q \cdot \psi_{S,ch}(y) - E}{\hbar^2}}\right). \quad 3.20$$

Die Integration wird parallel zur Halbleiter-Dielektrikum-Grenzfläche über die Raumladungszone¹⁸, zwischen der Source-Elektrode und Kanalgebiet, durchgeführt. Zusätzlich bestimmt sich die Tunnelwahrscheinlichkeit über den Bandhub $q \cdot \psi_{S,ch}(y)$, aus Formel 3.4, und der effektiven Tunnelmasse m_{eff} , welche in Formel 3.17 eingeführt wurde. Im Rahmen der WKB-Näherung wird zur Bestimmung der BTB-Tunnelwahrscheinlichkeit der exakte Bandverlauf durch eine dreieckförmige Potentialbarriere angenähert. Somit kann die BTB-Tunnelwahrscheinlichkeit in Abhängigkeit von der Energie der einfallenden Ladungsträger erhalten werden. Zur Veranschaulichung der Näherung wird in Abbildung 3.8 der Bandverlauf eines Ge-pTFETs und mit dem grüngefärbten Dreieck die Näherung der Barriere wiedergegeben. Danach kann der Potential (Band-)verlauf wie folgt parametrisiert,

$$\psi_{S,ch}(y) = \frac{\psi_{S,ch}(y_2) - \psi_{S,ch}(y_1)}{y_2 - y_1} \cdot (y - y_1) \quad 3.21$$

und dadurch die Integration analytisch ausgeführt werden.

Zusätzlich kann die gemittelte elektrische Feldstärke F_{WKB} eingeführt werden:

$$F_{WKB} = \frac{\psi_{S,ch}(y_2) - \psi_{S,ch}(y_1)}{y_2 - y_1} = \frac{\psi_{dg} + V_{bi,s}}{\Lambda_{L_1+L_2}} = \frac{\psi_{dg} + V_{bi,s}}{L_1 + L_2}. \quad 3.22$$

Wie schon in den vorangegangenen Kapiteln dargestellt wurde, setzt sich die Tunnelregion aus der Raumladungszone innerhalb der Source-Elektrode L_1 und der räumlichen Ausdehnung L_2 des im Kanalgebiet auf den Wert $\psi_{dg} + V_{bi,s}$ abfallenden elektrischen Potentials zusammen. Weiter kann über den Strahlensatz die gemittelte elektrische Feldstärke F_{WKB} , dargestellt in Abbildung 3.8 mit der grünen Dreieckspotentialbarriere, über den räumlichen Abstand Λ_{WKB} zwischen dem Leitungs- und den Valenzbändern und der Bandlücke E_G der Tunnelbarriere angegeben werden:

$$F_{WKB} = -\frac{E_G}{q \cdot \Lambda_{WKB}} \quad 3.23$$

Über die gemachten Annahmen kann folgende Form der WKB-BTB-Tunnelwahrscheinlichkeit angegeben werden:

¹⁸ Die Raumladungszone erstreckt sich von y_1 bis y_2 und entspricht den klassischen Umkehrpunkten.

3. Kapitel

Modellierung des Gleichstromverhaltens des vertikalen TFET-Konzepts

$$T_{WKB}(V_{DS}, V_{GS}) \approx \exp\left(- (L_1 + L_2) \cdot \frac{4 \cdot \sqrt{2 \cdot m_{eff}} \cdot E_G^{3/2}}{3 \cdot \hbar \cdot q \cdot (\psi_{dg}(V_{DS}, V_{GS}) + V_{bi,s})}\right) \quad 3.24$$

Mit der gewonnenen funktionellen Beschreibung des Potentialverlaufs kann die BTB-Tunnelwahrscheinlichkeit in Abhängigkeit von den einzelnen Material- und Geometrie-Parametern innerhalb der Tunnelregion berechnet werden.

Eine minimale Raumladungszonenweite bzw. Abschirmlänge λ_1 wird durch eine ausreichend hohe Dotierung und scharfe Dotierprofile erreicht und eine minimale Raumladungszonenweite λ_2 wird mittels einer effizienten Skalierung, bestimmt über die Abhängigkeit, angegeben in Tabelle 3-1, erhalten. Im folgenden Verlauf sollen Optimierungsmöglichkeiten des TFETs mit der BTBT-GR T_{WKB} plausibel gemacht werden.

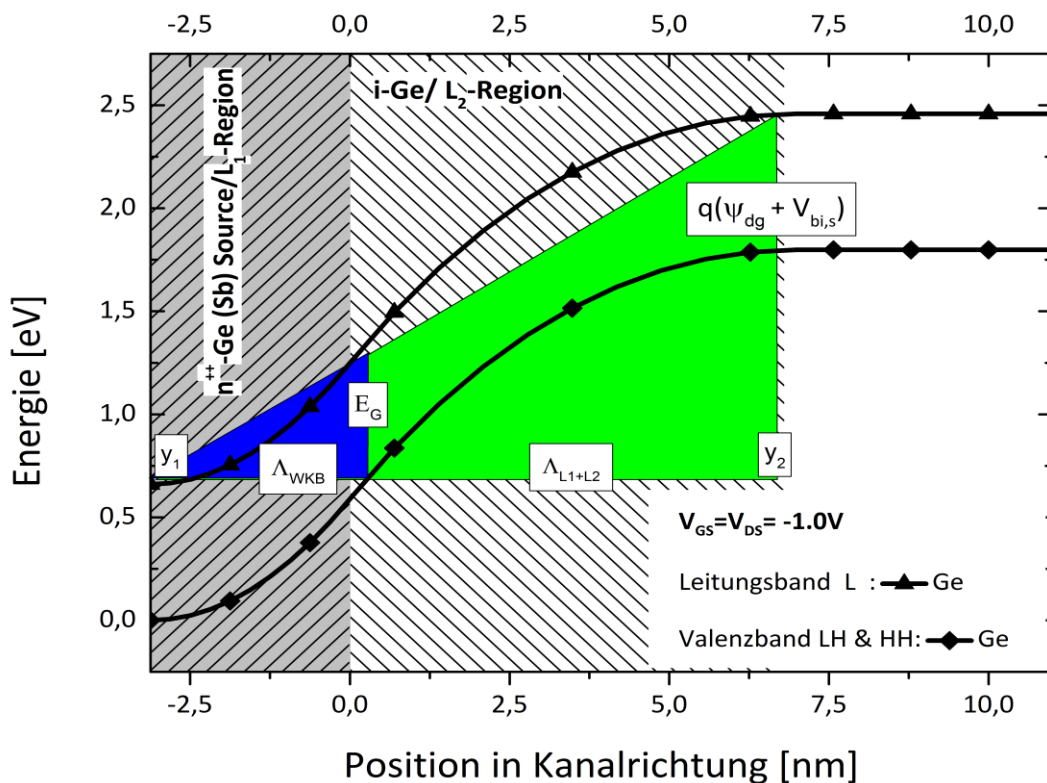
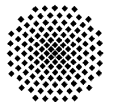


Abbildung 3.8

Die Abbildung zeigt den analytisch bestimmten Bandverlauf eines Ge-pTFETs. Dabei ist das Valenzband (Quadrat) und das Leitungsbandminima (Dreieck) mit der indirekten Bandlücke $E_{G,L}$ dargestellt. Die Barrierenweite entspricht $L_1 + L_2$ und wird durch die grüne Dreiecksbarriere dargestellt. Die grüne Dreiecksbarriere stellt eine Verlängerung der tatsächlich relevanten Barrierenhöhe dar, welche im Kanalgebiet durch die blaue Dreiecksbarriere dargestellt wird.

3.4 Ladungsträgertransport innerhalb des TFETs

Zur Bestimmung des BTBT-Stroms werden in dieser Arbeit zwei Konzepte zur Beschreibung des Ladungsträgertransports innerhalb des TFETs kurz vorgestellt. Als Ansatz soll hier das Landauer-



Datta-Lundström-Transport-Modell (LDL-Modell) verwendet werden. Das LDL-Modell¹⁹ kann über die folgende Formulierung dargestellt werden und entspricht für eine Transmission $T(E) = 1$ der bekannten Formulierung für mesoskopische Systeme von Landauer und Büttiker [180], [181]:

$$I_D = -\frac{2 \cdot q}{h} \int dE T(E) \cdot M(E) \cdot (f_S(E) - f_D(E)) \quad 3.25$$

$M(E)$ beschreibt die Anzahl der sich im Kanal ausbreitenden Moden, die bei der Energie E zum Stromtransport zur Verfügung stehen und repräsentiert in dieser Formulierung die Leitfähigkeit des Kanalgebiets²⁰. Zur Bestimmung der Strom-Spannungscharakteristik wird $M(E)$ durch die zweidimensionale Zustandsdichte im Kanalgebiet $D_{2D}(E) = W_G \cdot L_G \cdot \frac{m^*}{\pi \cdot \hbar^2} \cdot \theta(E_V - E)$ ²¹, mit der effektiven Masse m^* und den charakteristischen Zeiten $\tau_{S,D}$, beschreiben [180]. Die charakteristischen Zeiten $\tau_{S,D}$ bestimmen sich aus der Transitzeit die ein Ladungsträger benötigt um eine Elektrode zu verlassen oder zu entern. Zur Vereinfachung werden die charakteristischen Zeiten in beiden Elektroden mit $\tau_S = \tau_D = \tau$ angenommen. Mit den genannten Punkten kann nun $M(E)$ angegeben werden:

$$M(E) \equiv \frac{h}{2 \cdot (\tau_S + \tau_D)} \cdot D_{2D}(E) = \frac{h}{4 \cdot \tau} \cdot \frac{m^*}{\pi \cdot \hbar^2} \cdot W_G \cdot L_G. \quad 3.26$$

Die Transmission der Ladungsträger von der Source- zur Drain-Elektrode wird durch $T(E)$ bestimmt. Im Falle des TFETs setzt sich die Transmission aus der Tunnelbarriere am Source-Kanalübergang (beschrieben durch T_{WKB} oder T_{Kane}) und der Transmission $T_{ch}(E)$ des Kanalgebiets zusammen. Es kann für genügend hohe elektrische Felder angenommen werden so dass gilt: $T_{BTBT,S} \gg T_{BTBT,D}$ [182]. Da die BTB-Tunnelwahrscheinlichkeit T_{WKB} , nur noch Abhängigkeiten bzgl. V_{GS} und V_{DS} zeigt, kann diese vor das Integral gezogen werden. Weiter wird ein ballistischer Transport innerhalb des Kanalgebiets angenommen, worüber die Transitzeit der Ladungsträger $\tau = \tau_B$ über folgenden Zusammenhang bestimmt werden kann:

$$\text{Ballistisch: } L_G \ll \lambda_{mfp} \quad T_{ch}(E) \rightarrow 1 \quad \tau_B(E) = \frac{L_G}{v_x^+} \quad 3.27$$

Die Relationen werden erfüllt, wenn die mittlere freie Weglänge $\lambda_{mfp}(E)$ größer als die Kanal-länge L_G ist. In der weiteren Berechnung wird die mittlere Geschwindigkeit der Ladungsträger in Transportrichtung $\langle v_x^+ \rangle$ benötigt, welche über die Mittelung aller frei beweglichen Ladungsträger innerhalb der zweidimensionalen Ladungsträgerverteilung mit der Integration über $\cos(\theta)$ bestimmt wird. Mit dieser Plausibilitätsbetrachtung lässt sich für das LDL-Modell folgende Relation für die Beschreibungen des Drain-Stroms $I_D(V_{GS}, V_{DS})$ im ballistischen Grenzfall finden (um T_{WKB} modifizierte Gleichung 22 aus [180]):

$$I_D(V_{GS}, V_{DS}) = \frac{T_{WKB}(V_{GS}, V_{DS}) \cdot W_G \cdot v_T \cdot N_{2D}}{2} \cdot [F_{1/2}(E_{f,S}) - F_{1/2}(E_{f,D})], \quad 3.28$$

¹⁹ Einzelheiten sind den folgenden Veröffentlichungen [173]–[180] zu entnehmen

²⁰ Das hier verwendete Konzept kann analog dem Wellenleiter-Prinzip aus der Optoelektronik aufgefasst werden.

²¹ θ ist die Heaviside-Funktion und die Zustandsdichte wird mit $W_G \cdot L_G$ multipliziert um die gesamte Anzahl an Ladungsträger bei der Energie E zu erhalten.

3. Kapitel

Modellierung des Gleichstromverhaltens des vertikalen TFET-Konzepts

Zusätzlich taucht hier die thermische Geschwindigkeit der Ladungsträger $v_T = \sqrt{\frac{2 \cdot k_B \cdot T}{\pi \cdot m_{tr}^*}}$ und der effektiven Band-Transportmasse m_{tr}^* in die jeweilige Transportrichtung auf. Die Lage und Temperaturabhängigkeit des Fermi-Niveaus in der hoch n-Typ-artig dotierten Source-Elektrode wird über die Fermi-Dirac-Verteilung ermittelt (grafisch dargestellt in Abbildung A.5:

$$f_{S,D}(E) = \frac{1}{\exp\left(\frac{E - E_{f,(S,D)}}{k_B \cdot T}\right) + 1} \quad 3.29$$

Die beiden Fermi-Niveaus $E_{f,(S,D)}$ fallen im thermodynamischen Gleichgewicht in der Source- und Drain-Elektrode zusammen und werden durch eine Drain-Spannung V_{DS} aufgespalten und hängen über $E_{f,D} = E_{f,S} - V_{DS}$ voneinander ab.

Abschließend zu dieser Betrachtung sollen die getroffenen Annahmen zur Bestimmung der Strom-Spannungscharakteristik des ballistischen TFETs nochmals zusammengefasst dargestellt werden:

- Die Transmission des Kanalgebiets bestimmt sich in der Berechnung zu eins, $T_{ch}(E) \rightarrow 1$.
- Die Transmission durch die Tunnelbarriere auf der Source-Seite wird durch die BTB-Tunnelwahrscheinlichkeit in Abhängigkeit des Oberflächenpotentials $T_{WKB}(V_{GS}, V_{DS})$ bestimmt.
- Innerhalb des Kanalgebiets wird das Fermi-Dirac-Integral über F_0 für die 2D-Mode dargestellt.
- Die Lage der Fermi-Niveaus in den hochdotierten Elektroden werden über die Approximation des Fermi-Dirac-Integrals $F_{1/2}$, dargestellt in [183], numerisch bestimmt.
- Die Moden $M(E)$ des Kanalgebiets setzen sich aus der effektiven zweidimensionalen Zustandsdichte $N_{2D}(E) = \frac{m^* \cdot k_B \cdot T}{\pi \cdot \hbar^2}$ und der mittleren Geschwindigkeit in Transportrichtung $v_T = \sqrt{\frac{2 \cdot k_B \cdot T}{\pi \cdot m_{tr}^*}}$ der Ladungsträger zusammen. In dieser Annahme wird die Geschwindigkeitsverteilung der Ladungsträger, welche nicht prinzipiell senkrecht zur Tunnelbarriere ist, mittels des Vorfaktors $\frac{2}{\pi}$ statistisch berücksichtigt.
- Die Integration erfolgt hier von der Fermi-Energie $E_{F,S}$ in der Source-Elektrode bis zur Valenzbandkante innerhalb des Kanalgebiets. Der Potentialhub wird an der Stelle L_2 über Gl. 3.7 bestimmt.
- Es werden beide denkbaren Richtungen des Ladungsträger-Transports berücksichtigt. Beide Richtungen setzen sich aus den aus der Source- und entgegengesetzt aus der Drain-Elektrode in das Kanalgebiet injizierten Ladungsträger zusammen. Das Verhältnis beider

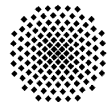
Transportrichtungen bestimmt sich zu $\left(\frac{1 - \exp\left(-\frac{\psi_{s,2}(L_2, (V_{GS}, V_{DS})) - E_{F,S}}{k_B \cdot T}\right)}{1 + \exp\left(-\frac{\psi_{s,2}(L_2, (V_{GS}, V_{DS})) - E_{F,S}}{k_B \cdot T}\right)} \right)$, welches analog zu

Gl. 43 aus [180] bestimmt wurde.

Es lässt sich nun folgender Zusammenhang für den Drain-Strom $I_D(V_{GS}, V_{DS})$ ableiten [177]:

$$I_D(V_{GS}, V_{DS}) = T_{WKB}(V_{GS}, V_{DS}) \cdot W_G \cdot v_T \cdot Q_{ch}(V_G, V_{DS}) \cdot \left(\frac{1 - \exp\left(-\frac{q \cdot \psi_{s,2}(L_2, (V_G, V_{DS})) - E_{F,S}}{k_B \cdot T}\right)}{1 + \exp\left(-\frac{q \cdot \psi_{s,2}(L_2, (V_G, V_{DS})) - E_{F,S}}{k_B \cdot T}\right)} \right) \quad 3.30$$

Mit der erhaltenen Darstellung kann der Drain-Strom $I_D(V_{GS}, V_{DS})$ in Abhängigkeit der angelegten Spannungen V_{GS}, V_{DS} und der Temperatur T bestimmt werden. Die am Transport von Source nach Drain beteiligten Ladungsträger werden über die beweglichen Ladungen im Kanalgebiet



$Q_{ch}(V_{GS}, V_{DS})$ berücksichtigt. Die Ladungen im Kanalgebiet Q_{ch} werden durch eine geschlossene Lösung der Poisson-Gleichung bestimmt und in Abhängigkeit V_{GS} und V_{DS} in die SeAM-Berechnung integriert. Diese Herangehensweise wurde von Taur et al. [152] für den DG-MOSFET angewendet. Die Herleitung diesbezüglich wird im Anhang A.2 weiter dargestellt.

4. Kapitel

Erste experimentelle Realisierung des vertikalen Ge-pTFET-Konzepts

4 Erste experimentelle Realisierung des vertikalen Ge-pTFET-Konzepts

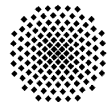
Der erste Schritt der Entwicklung lag in einer Etablierung der Ge-TFET-Technologie im Reinraum des IHTs. Das erste untersuchte MBE-Schichtsystem wird in Tabelle 4-1 wiedergegeben. Das MBE-Schichtsystem des ersten experimentell realisierten vertikalen Ge-TFETs besteht aus einem mit B hoch p-Typ-dotierten 200 nm dicken BL, einer 300 nm dicken intrinsischen Zone (Kanalgebiet) und einem 400 nm dicken, mit Sb n-Typ-dotierten TL. Das Schichtwachstum beginnt, wie bei den Si-TFETs, mit einer thermischen Reinigung bei 900 °C des mit B p-Typ dotierten und (100)-orientiertem Si-Substrat²². Hiermit wurde das native bzw. nass-chemisch erzeugte Oxid auf der Substrat-Oberfläche entfernt. Nach der thermischen Reinigung startet das Wachstum mit der Anpassung der Differenz der Gitterkonstante zwischen Ge und des Si-Substrats.

Tabelle 4-1 Gewählte Wachstumsparameter für den ersten vertikalen Ge-TFET. Die Dicke der intrinsischen Zone wurde auf 300 nm festgesetzt. Das Wachstum der MBE-Struktur des Ge-TFETs startete auf einem p-Typ dotierten (100) Si-Substrats. Für eine ohmsche Kontaktierung wurde eine hohe Substratdotierung mit einem niedrigen spezifischen Schichtwiderstand von 20-30 mΩcm gewählt

<i>Wachstumsschritt</i>	<i>Wachstumstemperatur [°C]</i>	<i>Schichtdicke [nm]</i>	<i>Dotierung [cm⁻³]</i>
Thermische Reinigung	900	-	
Ge:B	330	50	$2 \cdot 10^{20}$
Bildung des VS (Annealing)	970	-	
Ge:B	330	150	$2 \cdot 10^{20}$
i-Ge	330	300	
i-Ge	160	100	
Ge:Sb	160	400	$1 \cdot 10^{20}$
Si:Sb	400	20	$1 \cdot 10^{20}$

Zur erfolgreichen Integration von Ge auf Si ist ein Einsatz eines VS unabdingbar [184]. In dieser Arbeit wurde das VS mittels MBE durch eine ultra-dünne SiGe-Heterostruktur erzeugt. Diese SiGe-Heterostruktur ermöglicht eine Fehlanpassung beider Materialien, die bei Si und Ge bei 4,2 % liegt. Das Wachstum startet mit einer hoch p-Typ-artig (B) dotierten 50 nm Si-Pufferschicht. Das ebenfalls mit B p-Typ-dotierte ultra-dünne VS besteht aus einem Spannungs-relaxiertem-Ge-Puffer (SRB, engl. Strain-Relaxed-Buffer). Das SRB setzt sich aus zwei Wachstumsschritten zusammen, einem Wachstum bei niedrigen Temperaturen und einem Hoch-Temperatur Ausheizschritt. Der erste Schritt zur Erzeugung des VS besteht aus dem Wachstum einer Ge-Schicht von 50 bis 100 nm und einer Wachstumstemperatur von 330 °C. Wobei die Ge-Schicht über die Schichtdicke relaxiert. Während des Wachstums der Ge-Schicht werden neben einem Versetzungsnetzwerk am Interface zwischen Si und Ge auch Durchstoßversetzungen (TDs, engl. Threading Dislocations) erzeugt. Insbesondere die TDs haben einen entscheidenden Einfluss auf die Schalteigenschaften des Ge-TFETs und erhöhen das Leckstrom-Niveau. Die mit dem Temperschnitt erzeugten und „gewünschten“ Versetzungen an der Grenzfläche Si und Ge werden als prismatische Versetzungs-

²² Das Substrat weist einen niedrigen spezifischen Widerstand von 20 bis 30 mΩcm auf.



ringe bezeichnet. Die prismatischen Versetzungsringe bestehen ausschließlich aus Stufensegmenten, die aus den obengenannten Punktdefekte (Leerstellen oder Zwischengitteratome) erzeugt werden. Die durch den Temperschritt hervorgerufene Versetzungsdynamik führt zu einer Annihilation von TDs mit entgegengesetzten Burgers-Vektoren [185]). Dieser Mechanismus führt zu der gewünschten Reduktion von TDs [186].

Das nach dem VS folgende Kanalgebiet besteht aus 300 nm intrinsischem Ge. Die Wachstumstemperaturen des 200 nm dicken p⁺-Ge (VS) BL und der ersten 200 nm des intrinsischen Kanalgebiets wurde auf 330 °C festgesetzt. Die restlichen 100 nm der intrinsischen Zone und der 400 nm dicke n-Typ (Sb) dotierte Ge-TL wurden bei 160 °C gewachsen. Bedingt durch das Wachstum des Ge-TLs bei 160 °C kann die hohe Segregationsweite von Sb in Ge signifikant reduziert werden. Als positive Effekte ergeben sich ein sehr steiles Dotierprofil²³ und ein niedriger spezifischer Schichtwiderstand von 20 Ohm/□, was einer Dotierung von ca. $1 \cdot 10^{20} \text{ cm}^{-3}$ entspricht [187]. Für eine niedrige Rauheit der Oberfläche nach der Ätzung mit dem trocken-chemischen HBr ICP-RIE-Schritt wurde eine 20 nm dicke und mit Sb hoch n-Typ-dotierte Si-Schicht bei 200°C Substrattemperatur gewachsen. Der Si-TL ermöglicht zudem einen niedrigen spezifischen Kontaktwiderstand zu der Al-Metallisierung [124]. Die CMOS-kompatible-Prozessfolge entspricht hier der des Si-TFETs, welche in den vorangegangenen Kapiteln und schematisch in Abbildung 2.2 dokumentiert wurde. Die GOX-Dicke wurde hier auf 20 nm gesetzt. Die experimentellen Kurven abgebildet in Abbildung 4.1 zeigen die Ausgangs- und Transfercharakteristika eines Si-pTFETs (Schichtaufbau vorgestellt in Kapitel 2.2) und der ersten experimentellen Realisierung eines Ge-pTFETs.

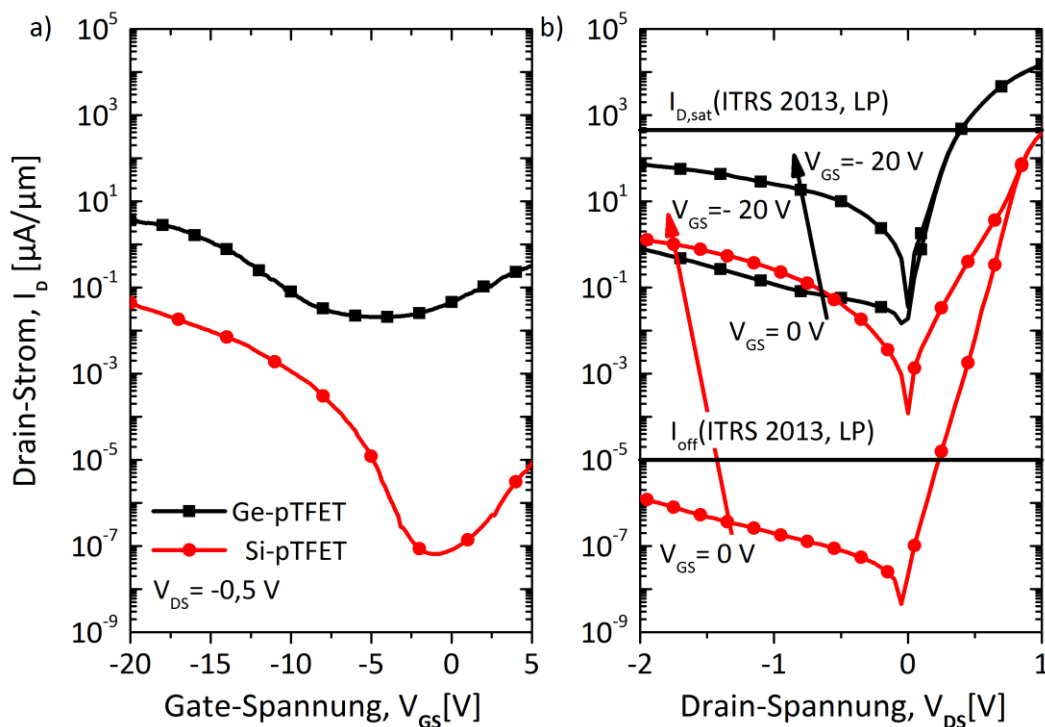


Abbildung 4.1 Ausgangs- und Transfercharakteristika von am IHT hergestellten Si- und Ge-pTFETs. Durch die reduzierte Bandlücke am Tunnelübergang von Ge im Vergleich zu Si ist der On-Strom des Ge-pTFET deutlich höher. Jedoch zeigt sich im ausgeschalteten Zustand, dass der Leckstrom für den aus Ge gefertigten pTFET merklich höher ist als der des Si-pTFETs.

²³ Der Dotierverlauf wurde zur Ermittlung der Segregationsweite mittels SIMS-Messungen bestimmt, die begrenzte Tiefenauflösung (SIMS-Verschmierung) ermöglicht es jedoch nicht genau Werte zur Steilheit der Dotierübergänge anzugeben [139].

4. Kapitel

Erste experimentelle Realisierung des vertikalen Ge-pTFET-Konzepts

Durch die reduzierte Bandlücke am Tunnelübergang von Ge im Vergleich zu Si ist der On-Strom des Ge-pTFETs deutlich höher als der des Si-pTFETs. Jedoch zeigt sich im ausgeschalteten Zustand, dass der Leckstrom für den Ge-pTFET fünf Größenordnungen höher ist als der des Si-pTFETs.

Es zeigt sich bei Vergleich beider Transistoren, dass der Ge-pTFET einen um eine Größenordnung höheren On-Strom liefert, vgl. Tabelle 4-2. Die experimentellen Werte des Ge-pTFETs liegen jedoch noch im Vergleich zu den geforderten ITRS-Werten [5] um einen Faktor 10 zurück, wenn an eine Anwendung in effizienteren Schaltungen (LP, Low-Power in Tabelle PIDS3a der ITRS [5]) gedacht wird. Toh et al. [166] zeigt in seinen Simulationen, dass in einem optimierten Aufbau (verbesserte elektrostatische Kontrolle des Gates über das Kanalgebiet) der Ge-TFET einen $I_{D,sat}$ von $1800 \mu\text{A}/\mu\text{m}$ erreichen kann. Dieser ermittelte Wert würde sogar die aktuelle ITRS-Forderung für Hochleistungsschaltungen (HP, High Performance PIDS2a in Tabelle der ITRS [5]) bei Weitem übertreffen, lassen aber auf eine falsche Wahl der Simulations-Parameter schließen. In den Simulationsergebnissen aus Abschnitt 3.2 wurde der BTB-Tunnelstrom über das Kane-Modell (Kapitel 3.2.2) beschrieben. Falls der primäre Transport in den TFETs durch einen Gate-induzierten-Tunnelprozess generiert wird, kann dieser in den gemessenen Transferkurven durch eine exponentielle Abhängigkeit von der Gate-Spannung nachgewiesen werden.

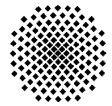
Tabelle 4-2 Vergleich der wichtigen Zielvorgaben der ITRS [5], der Jahre 2010, 2013 und 2015 mit den ermittelten Werten eines Si-pTFETs und Ge-pTFETs. Die experimentellen Daten wurden auf der ISTDM-Konferenz 2010 in Stockholm vorgestellt, bzw. in [124] veröffentlicht.

Betriebs und Strukturgröße	2010	2013	2015	Si-pTFET 2010	Ge-pTFET 2010
„Node“	27	„16/14“	„11/10“		
Physikalische Kanal-länge $L_{G,HP}$ [nm]	27	20	16,7	100	300
Physikalische Kanal-länge $L_{G,LP}$ [nm]	32	23	19,0		
EOT (d_{ox}) [nm]	1.26	0,8	0,73	20	20
$I_{D,sat HP}$ [$\mu\text{A}/\mu\text{m}$]	960	1104	1116	2,3	25
$I_{D,sat LP}$ [$\mu\text{A}/\mu\text{m}$]	343	401	380		
$I_{off,sat HP}$ [$\text{pA}/\mu\text{m}$]	$1 \cdot 10^5$	$1 \cdot 10^5$	$1 \cdot 10^5$	$6,5 \cdot 10^{-2}$	$2,1 \cdot 10^4$
$I_{off,sat LP}$ [$\text{pA}/\mu\text{m}$]	20	20	20		
V_{DS} [V]	0,97	0,86	0,83	0,97	0,97

Der Nachweis erfolgt unter der Annahme, dass das maximale elektrische Feld am Tunnelübergang (Source/Kanalgebiet) proportional zur angelegten Gate-Spannung, mit $F_{max} \propto |V_{GS}|^{24}$, angenommen werden kann:

$$I_D \sim \frac{A \cdot F_{max}^2}{\sqrt{E_G}} \cdot \exp\left(-\frac{B \cdot E_G^{\frac{3}{2}}}{F_{max}}\right), \quad 4.1$$

²⁴ Die in Bhuiwala et al. [144] verwendete Proportionalitätskonstante berücksichtigt die Abhängigkeit der Drain-Spannung und des gewählten Transistoraufbaus (elektrostatische Kopplung) auf das elektrische Feld am Tunnelübergang.



Für die gemachte Annahme, dass das maximale elektrische Feld sich linear zur Gate-Spannung verhält, kann mit der Kane-Darstellung des Tunnelstroms aus 4.1, die exponentielle Abhängigkeit der gemessenen Transferkurven mit folgender Darstellung gezeigt werden kann:

$$\log\left(\frac{I_D}{V_{GS}^2}\right) \sim -\log\left(\frac{A}{\sqrt{E_G}}\right) \cdot \frac{B \cdot E_G^{\frac{3}{2}}}{V_{GS}} \quad 4.2$$

Der grafische Nachweis wird in Abbildung 4.2 am Ge-pTFET der MBE-Struktur (Tabelle 4-1) exemplarisch dargestellt.

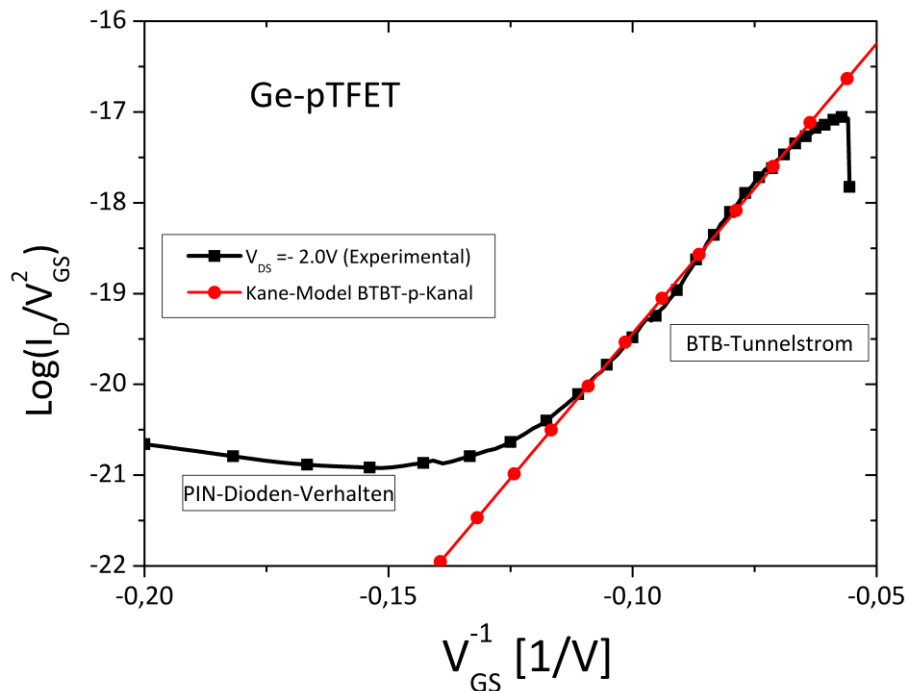


Abbildung 4.2 Grafischer Nachweis, dass der Gate-Spannung induzierte BTB-Tunnelprozess, den dominierenden Transportmechanismus innerhalb des Ge-TFETs darstellt. Die hier dargestellte BTBT-GR des Ge-pTFETs entspricht der MBE-Struktur, aus Tabelle 4-1. Die angelegte Gate-Spannung variierte während der Messung zwischen $V_{GS} = [-18 V \leftrightarrow 0 V]$. Die Drain-Source-Spannung wurde auf $V_{DS} = -2,0 V$ festgesetzt.

In den in Abbildung 4.1 gezeigten experimentellen Kurven und in den Silvaco-Simulationen (Abbildung 3.7) ist zu erkennen, dass der Ge-TFET ein höheres Leckstromlevel zeigt als der Si-TFET. Das höhere Leckstromlevel des Ge-TFETs lässt sich hauptsächlich über die reduzierte Bandlücke und weiter über Kristalldefekte, welche während des MBE-Wachstums unumgänglich erzeugt werden, erklären. Die reduzierte Bandlücke äußert sich zum einen im DIBT, hervorgerufen durch einen unzureichend skalierten Aufbau. Zum anderen durch ein ambipolares Verhalten, welches durch eine symmetrische Dotierung in den n- und p-dotierten Gebieten hervorgerufen wird. Beide Punkte werden in den folgenden Kapiteln näher ausgeführt und erläutert werden.

Weiter lässt sich eine zusätzliche Komponente des Leckstroms ausmachen, welche über GR-Prozesse in der Raumladungszone, erzeugt wird. Dass es sich um GR-Prozesse handelt, konnte mittels einer temperaturabhängigen DC-Messung nachgewiesen werden. Der GR-Volumenstrom kann z. B. durch eine Reduzierung des Bauteilvolumens minimiert werden. Das bedeutet, dass die Prozesstechnik für das diskrete Bauteil angepasst werden muss. Die Prozessentwicklung

4. Kapitel

Erste experimentelle Realisierung des vertikalen Ge-pTFET-Konzepts

sollte zu einer räumlichen Dimensionierung führen, dass Durchstoßversetzungen, die am VS beginnen, innerhalb der intrinsischen Zone an der Mesa-Flanke terminieren. Tabelle 4-3 zeigt in eindrucksvoller Weise, dass mit der Silvaco-Simulation das DC-Verhalten der Si- und der Ge-TFETs sehr zufriedenstellend nachgebildet werden kann. Die Abweichungen von zwei Größenordnungen ($I_{off,sim} = 4,5 \cdot 10^2 \text{ pA}/\mu\text{m}$ und $I_{off,exp} = 2,1 \cdot 10^4 \text{ pA}/\mu\text{m}$) des Off-Stroms des Ge-TFETs lässt sich durch das größere Mesa-Volumen im Experiment erklären.

Tabelle 4-3 In der Gegenüberstellung der in der Silvaco-Simulation ermittelten Eigenschaften der Si und Ge-TFETs mit den experimentell ermittelten Werten, zeigt eine zufriedenstellende Übereinstimmung. Somit sind Designoptimierung auch vorab schon möglich.

Betriebs und Strukturgröße	Simulation Si-pTFET	Simulation Ge-pTFET	Si-pTFET 2010	Ge-pTFET 2010
physikalische Kanallänge L_G [nm]	100	100	100	300
EOT (d_{ox}) [nm]	20	20	20	20
$I_{D,sat}$ [$\mu\text{A}/\mu\text{m}$]	$4,3 \cdot 10^{-2}$	14	$4,2 \cdot 10^{-2}$	10
I_{off} [$\text{pA}/\mu\text{m}$]	$1,4 \cdot 10^{-2}$	$4,5 \cdot 10^2$	$6,5 \cdot 10^{-2}$	$2,1 \cdot 10^4$
V_{DS} [V]				-0,5

4.1 Temperaturabhängigkeit des Leckstroms I_{off} des vertikalen Ge-TEFTs

In den bis hier dargestellte Transistoren lässt sich noch kein SS unter 60 mV/Dekade bestimmen, was sich mitunter durch die Höhe des Leckstrom-Niveaus begründen lässt. Das hohe Leckstrom-Niveau, lässt sich wie vorangehend angesprochen wurde, durch den DIBT, ambipolares Verhalten und GR-Prozesse in der Raumladungszone beschreiben. In diesem Kapitel soll explizit auf die zuletzt genannten GR-Prozesse eingegangen werden. Der Anteil am Leckstrom, welcher über am GR-Prozesse generierte wird, skaliert in den hier betrachteten vertikalen TFET-Strukturen mit den Bauteildimensionen.

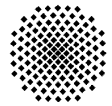
Der Leckstrompfad bildet sich vorrangig über den Mesa-Rand im Si-TFET und innerhalb des Volumens im Ge-TFETs. Die Vorteile des TFETs liegen, in einem SS kleiner als 60 mV/Dekade und in einer geringen Leistungsaufnahme im ausgeschalteten Zustand. Die statische Leistungsaufnahme kann insbesondere für Kanallängen $L_G < 15 \text{ nm}$ unterhalb der Werte eines konventionellen MOSFETs liegen. Damit der Vorteil voll ausgeschöpft werden kann, sollte der Aufbau des TFETs eine optimale elektrostatische Kopplung der Gate-Elektrode an das Kanalvolumen und eine Kombination von Si und Ge in der Drain-Elektrode und der Source-Elektrode beinhalten.

Als Nachweis, dass der Leckstrom durch einen Generation-Rekombinationsstrom beschrieben werden kann und nicht durch einen Diffusionsstrom dominiert wird, wurden an einem Si- und einem Ge-TFET temperaturabhängige DC-Messungen durchgeführt. Der Strom (angegeben als Stromdichte) im Rückwärtsbereich des Transistors, lässt sich nach Sze (Physics of Semiconductor Devices, Kap. 2.3.2 [188]), in zwei Komponenten aufspalten. Der erste Beitrag beschreibt den Diffusionsanteil J_0 und der zweite Beitrag beschreibt den Generations-Rekombinationsanteil J_{ge} :

$$J_R \sim J_0 + J_{ge} \quad 4.3$$

Für den Diffusionsanteil lässt sich folgende Beschreibung angeben:

$$J_0 \sim q \cdot \frac{D_p}{L_p} \cdot \frac{n_i^2}{N_D} + q \cdot \frac{D_n}{L_n} \cdot \frac{n_i^2}{N_A} \quad 4.4$$



D_p und D_n geben die Diffusionskonstanten der Löcher und der Elektronen in der Source- und Drain-Region an. Die Diffusionslängen in der Source- und Drain-Region werden durch L_n und L_p repräsentiert und aus der Lebensdauer der Ladungsträger und der Diffusionskonstante im jeweiligen Dotiergebiet gebildet: $L_{p,n} = \sqrt{D_{p,n} \cdot \tau_{p,n}}$. Die Dotierhöhen in der Source- und Drain-Elektrode werden über N_D und N_A angegeben. Die intrinsische Ladungsträgerkonzentration n_i lässt sich über das Massenwirkungsgesetz $n_i^2 = N_C \cdot N_V \cdot \exp\left(-\frac{E_G}{k_B \cdot T}\right)$ bestimmen, wobei die effektiven Zustandsdichten des Leitungs- und Valenzbandes eine $T^{3/2}$ Abhängigkeit in der Temperatur zeigen. Für den Diffusionsstrom-Anteil lässt sich folgende Abhängigkeit von der Temperatur bzw. Bandlücke extrahieren:

$$J_0 \sim q \left(\sqrt{\frac{D_p}{\tau_p}} \cdot \frac{1}{N_D} + \sqrt{\frac{D_n}{\tau_n}} \cdot \frac{1}{N_A} \right) \cdot n_i^2 \propto T^{3/2} \cdot \exp\left(-\frac{E_G}{k_B \cdot T}\right) \quad 4.5$$

Mit einer Arrhenius-Auftragung der Leckströme $I_{off}/T^{3/2}$ über die inverse Temperatur kann die Aktivierungsenergie extrahiert werden. Für einen diffusiven Transport nach 4.5 kann eine Aktivierungsenergie gleich der Bandlücke E_G ermittelt werden. Der Generation-Rekombinations-Anteil kann innerhalb der Raumladungszonen durch folgende Elektron-Loch-Paar-Generationsrate U_{ge} (nach Shockley und Read [189]) bestimmt werden:

$$U_{ge} \sim q \cdot \frac{n_i}{\tau_g} \quad 4.6$$

Dabei wurde angenommen, dass die Lebensdauer der Elektron-Loch-Paare τ_g über die Raumladungszone w_{RL} konstant ist. Mit (4.6) folgt daraus die funktionelle Abhängigkeit für den Generationsstrom J_{ge} :

$$J_{ge} \sim q \cdot \frac{n_i}{\tau_g} \cdot w_{RL} \propto T^{3/2} \cdot \exp\left(-\frac{E_G}{2 \cdot k_B \cdot T}\right) \quad 4.7$$

Für einen primären Beitrag der Elektron-Loch-Paar-Generation zum gemessenen Leckstrom, kann in einer Arrhenius-Darstellung $I_{off}/T^{3/2}$ eine Aktivierungsenergie gleich der halben Bandlücke $E_G/2$ extrahiert werden. Diese Annahme ist jedoch nur korrekt, wenn angenommen werden kann, dass die Lage des Defekt-Niveaus E_t energetisch in der Mitte der Bandlücke zu finden ist. In Vorwärtsrichtung sollte im Fall der Elektron-Loch-Paar-Generation der Idealitätsfaktor der Dioden-Kennlinie einen Wert von zwei annehmen [190].

4.1.1 Temperaturabhängigkeit des Leckstroms I_{off} eines Si-TFETs

In Abbildung 4.3 a) werden die Temperaturmessungen eines Si-TFETs mit einer Kanallänge von $L_G = 100$ nm dargestellt. Die verwendete Wachstumssequenz des Si-TFETs wurde in Kapitel 2.2.1 untersucht. Die Wachstumstemperatur des mit $N_{BL} = 1 \cdot 10^{20} \text{ cm}^{-3}$ B-dotierten BL wurde auf 540 °C festgelegt und die Dotierkonzentrationen in der Source- und Drain-Region wurden symmetrisch gewählt. In der Prozessführung wurde der Uni-BW-Maskensatz verwendet und als GOX wurde ein PECVD-TEOS SiO_2 abgeschieden mit einer nominellen Schichtdicke von $d_{ox} = 20$ nm.

Die DC-Messung wurde in einem Temperaturbereich $T = 233 \text{ K} - 333 \text{ K}$ durchgeführt. In der Messsequenz kann mit Erhöhung der Temperatur ein exponentieller Anstieg des Leckstroms I_{off} beobachtet werden. In der Messung variiert der Off-Strom über mehr als zwei Größenordnungen. Bei einer Temperatur von $T = 233 \text{ K}$ ist deutlich der reduzierte SS im Anlaufbereich der Transferkennlinie zu erkennen. In Abbildung 4.3 b) kann durch die Darstellung des Leckstroms in einer Arrhenius-Auftragung ein diffusiver Beitrag ausgeschlossen werden. Ein Diffusionsbeitrag wird hier durch den blauen Kurvenverlauf dargestellt, was einer quadratischen Abhängigkeit von

4. Kapitel

Erste experimentelle Realisierung des vertikalen Ge-pTFET-Konzepts

der intrinsischen Ladungsträgerkonzentration und damit einer Aktivierungsenergie in Höhe der Bandlücke entsprechen würde, welcher durch J_0 aus Formel 4.5 beschrieben werden kann.

Der primäre Beitrag zum Leckstrom kann daher einem Generationsstrom (Shockley-Read-Mechanismus [189]) durch eine lineare Abhängigkeit in n_i (grüne Kurve) zugesprochen werden.

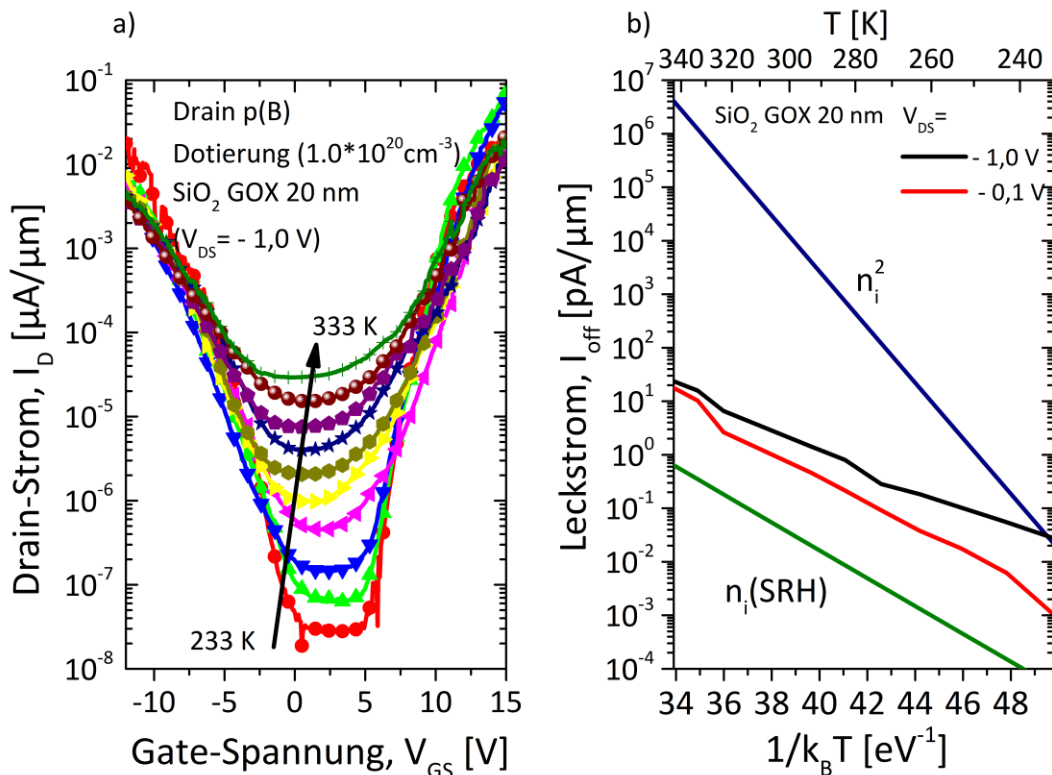
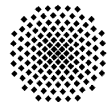


Abbildung 4.3

a) Temperaturmessungen der Transfercharakteristika eines Si-TFETs mit einer Kanallänge $L_G = 100 \text{ nm}$ und einer Wachstumstemperatur des BLs von 540°C . Die Temperatur wurde im Bereich $T = 233 \text{ K} - 333 \text{ K}$ variiert und die Dotierkonzentrationen in der Source- und Drain-Elektrode hatten den Wert $N_{TL,BL} = 1 \cdot 10^{20} \text{ cm}^{-3}$. Das PECVD- SiO_2 -GOX besitzt eine Schichtdicke von $d_{ox} = 20 \text{ nm}$. Eine Temperaturabhängigkeit des Leckstroms I_{off} kann in der Messung durch eine Variation über mehr als zwei Größenordnungen beobachtet werden. Mit der Absenkung des Leckstrom-Plateaus mit der Temperatur ist der reduzierte SS im Anlaufbereich zu erkennen. b) Der Strom im Rückwärtsbereich lässt sich aus zwei Komponenten zusammensetzen, einem Diffusionsanteil (hier durch eine quadratische Abhängigkeit der intrinsischen Ladungsträgerkonzentration dargestellt, blaue Kurve) und einem Generationsstrom (SRH-Mechanismus, in einer linearen Abhängigkeit in n_i , durch die grüne Kurve repräsentiert). Die Arrhenius-Darstellung der gemessenen Leckströme, entsprechen den Versorgungsspannungen $V_{DS} = 0,1 \text{ V}$ (rote Kurve) und $V_{DS} = 1,0 \text{ V}$ (schwarze Kurve). Der Kurvenverlauf und die damit verbundene Aktivierungsenergie deuten auf einen SRH-Generationsstrom hin.

Weiter kann eine Abhängigkeit der Aktivierungsenergie von der angelegten Versorgungsspannung V_{DS} erkannt werden, zu sehen in den beiden Kurven mit $V_{DS} = 0,1 \text{ V}$ (rote Kurve) und $V_{DS} = 1,0 \text{ V}$ (schwarze Kurve). Der feldabhängige Beitrag kann einer thermischen Feldemission zugeschrieben werden, die eine Abweichung vom intrinsischen Fermi-Niveau E_i darstellt und sich in einer Verschiebung des Defekt-Niveaus mit dem elektrischen Feld äußert. Die ermittelten Werte liegen in der Umgebung des intrinsischen Fermi-Niveaus von Si. Es kann daher angenommen werden (Kapitel 4), dass der Leckstrom primär an Perkolationspfade durch Defekte, z. B.



Dangling-Bonds, an der Grenzfläche zwischen Si und SiO₂ geführt wird²⁵. Die Lage des Defektniveaus E_t kann analog zu Schmid et al. [190] mittels der Anwendung des Shockley-Read-Modells und der ermittelten Aktivierungsenergie E_a bestimmt werden:

$$(E_i - E_t) \cdot \tanh\left(\frac{E_i - E_t}{k_B \cdot T} + \ln \sqrt{\frac{\tau_p}{\tau_n}}\right) = E_a + \frac{1}{2} \cdot E_g \quad 4.8$$

In dieser Beschreibung entspricht E_g der Bandlücke des Halbleiters bei $T = 0$ K und τ_n (τ_p) entspricht der Lebensdauer für Elektronen (Löcher), welche in die Verarmungszone gelangen [190]. Aus der Arrhenius-Auftragung kann die Lage des Defekt-Niveaus mit $E_T = -0,63$ eV für $V_{DS} = -1$ V ermittelt werden.

4.1.2 Temperaturabhängigkeit des Leckstroms I_{off} des Ge-TFETs

Die Temperaturabhängigkeit des Leckstroms I_{off} im Ge-TFET zeigt ein ähnliches Leckstrom-Verhalten wie der vorab angesprochene Si-TFET mit einer Kanallänge $L_G = 100$ nm. Das in Tabelle 4-4 angegebene Wachstumsrezept eines Ge-TFETs mit SiGe-Drain-Elektrode wurde bzgl. des Temperaturverhaltens untersucht. Im Gegensatz zu der in Tabelle 4-1 gewählten Wachstumssequenz, wurde das VS in das Kanalgebiet gelegt um eine SiGe-Struktur und damit eine Hetero-Halbleiterstruktur mit erhöhter Bandlücke an der Drain-Seite zu erzeugen. Diese zusätzliche Wachstumsstrategie dient dazu, durch Unterdrückung des n-Kanal Verhaltens mit asymmetrischen Tunnelwahrscheinlichkeiten, das ambipolare Verhalten zu reduzieren. Eine Skalierung der Kanallänge bis hin zu $L_G = 10$ nm eines TFETs mit hohen Sättigungsströmen I_D und hohen Schaltverhalten kann durch die Kombination eines Halbleiters mit einer niedrigen Bandlücke $E_{G,S}$ auf der Source-Seite und einer hohen Bandlücke $E_{G,D}$ auf der Drain-Seite erreicht werden. Dazu wurden verschiedene Konzepte in ([99], [101], [142], [150], [166]) mittels numerischen Berechnungen untersucht.

In der Temperaturmessung wurde die MBE-Sequenz des Ge-TFETs (Tabelle 4-4) untersucht. Das Wachstum wurde auf einem (100) orientierten p-Typ-dotierten (> 1000 Ohm cm) Si-Substrat begonnen. Das MBE-Wachstum startete ähnlich dem Si-TFET mit einer zweistufigen Wachstumssequenz zu Beginn des BLs und einer 50 nm Si-Pufferschicht. Die Gesamtdicke des mit $N_{BL} = 2 \cdot 10^{20} \text{ cm}^{-3}$ B-dotierten Si-BLs wurde auf 500 nm festgesetzt. Damit eine hohe Kristallqualität der ersten 400 nm erzielt werden konnte wurde die Wachstumstemperatur des BLs auf $T_S = 600$ °C festgesetzt. Die Substrattemperatur wurde während des Wachstums der letzten 100 nm des BLs auf $T_S = 520$ °C abgesenkt. Damit kann gewährleistet werden, dass die B-Oberflächenkonzentration n_S , bei gleichbleibenden B-Fluss, auf ein Zehntel der Ausgangskonzentration abgebaut werden kann. Das verbleibende B wird nach einem Wachstumsstopp und einer weiteren Reduzierung der Substrattemperatur auf $T_S = 350$ °C in der darauffolgenden intrinsischen Schicht „eingefroren“. Im nächsten Wachstumsschritt wurde bei einer Wachstumstemperatur $T_S = 330$ °C eine 50 nm Dicke intrinsische Ge-Schicht gewachsen. Die Ge-Schicht bildet nach einem Ausheizschritt bei einer Temperatur $T_A = 850$ °C das VS. Durch den Hochtemperaturschritt findet durch Interdiffusion die Bildung des graduell-verlaufenden SiGe-VS statt und eine Diffusion von B aus der Drain-Elektrode in das VS kann weiter beobachtet werden. Das Wachstum der 250 nm dicken Kanalregion wurde mit $T_S = 330$ °C fortgesetzt. Am Ende des Wachstums des Kanalgebiets ist trotz des VS die biaxiale Kompression im Kristall noch nicht vollständig abge-

²⁵ Damit folgt für den Si-TFET eine Umfangsproportionalität des Leckstroms

4. Kapitel

Erste experimentelle Realisierung des vertikalen Ge-pTFET-Konzepts

baut. Die vorliegende biaxiale Kompression des Ge-Kanalgebiets führt zu einer energetischen Favorisierung der schweren Löcher am Tunnelübergang im Gegensatz zu einer biaxialen Dehnung des Kristalls in [001]-Transportrichtung [186], [191].

Tabelle 4-4 Gewählte Wachstumsparameter für den vertikalen Ge-TFETs mit SiGe-Drain-Struktur. Die Dicke der intrinsischen Zone wurde auf 300 nm festgesetzt. Das Wachstum des Ge-TFETs erfolgte auf einem p-Typ dotierten (100) Si-Substrat.

Wachstumsschritt	Wachstumstemperatur [°C]	Schichtdicke [nm]	Dotierung [cm ⁻³]
Thermische Reinigung	900	-	
Si-Puffer	600	50	
Si:B	600	400	$2 \cdot 10^{20}$
Si:B	520	100	$2 \cdot 10^{20}$
i-Ge	330	50	
Bildung des VS (Annealing)	850	-	
i-Ge	330	250	
Einstellung des Verspannungsgrades (Annealing)	700	-	
Freier Fall	160	-	
Ge:Sb	160	100	$1 \cdot 10^{20}$
Si:Sb	400	100	$1 \cdot 10^{20}$

Z. B. kann nach Ende des Wachstums der intrinsischen Zonen mit einem zweiten Ausheizschritt bei $T_A = 700 \text{ °C}$ die biaxiale Kompression abgebaut und eine biaxiale Dehnung des Kristallgitters erreicht werden.

Während des Wachstums des 100 nm dicken Ge-TLs wurde die Substrattemperatur auf $T_S = 160 \text{ °C}$ festgesetzt und die Sb-Dotierung mit $N_{TL} = 1 \cdot 10^{20} \text{ cm}^{-3}$ gewählt. Die Wachstumssequenz wurde mit einem 100 nm dicken Si-TK, bei einer Substrattemperatur von $T_S = 400 \text{ °C}$, abgeschlossen. Die Prozessführung entsprach der des Uni-BW-Maskensatzes, als GOX wurde hier Al_2O_3 mit einer GOX-Dicke von $d_{ox} = 10 \text{ nm}$ eingesetzt.

Im Falle des Si-TFETs kann auf Grund der niedrigen Defekte innerhalb des Volumens, von einem Generationsstrom entlang der geätzten Mesa-Oberfläche ausgegangen werden. Der Ge-TFET zeigt gegenüber dem Si-TFET einen volumenabhängigen Generationsstrom, der insbesondere durch statistisch verteilte Defekte im VS hervorgerufen wird. Vorrangig werden in der Raumladungszone des Ge-TFETs Ladungsträger generiert und hierüber zeigt sich die genannte Proportionalität zur aktiven Bauteilefläche von I_{off} . Nichtsdestotrotz wird für den Ge-TFETs ein ähnliches Temperaturverhalten des Leckstroms beobachtet, der mittels des SRH-Mechanismus beschrieben werden kann. Die Temperaturmessung der Transfercharakteristik zwischen $T = 238 \text{ K} - 378 \text{ K}$ wird in Abbildung 4.4 a) dargestellt. Mit sinkender Temperatur kann eine Reduzierung des minimalen SS beobachtet werden.

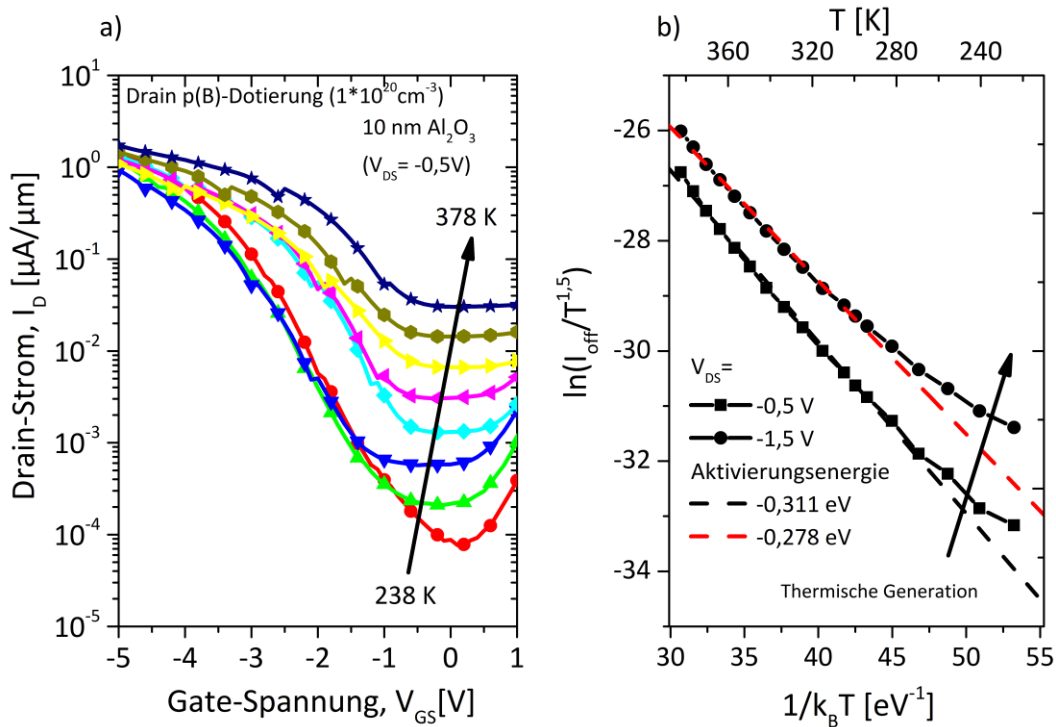
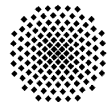


Abbildung 4.4

a) Die oben gezeigte temperaturabhängige Messung zeigt die Transfercharakteristika eines Ge-TFETs mit einer Kanallänge $L_G = 300 \text{ nm}$. Der Ge-TFET wurde mit einer graduellen SiGe-Drain Elektrode und einer Source- und Drain-Konzentration von $N_D = 1,0 \cdot 10^{20} \text{ cm}^{-3}$ gewachsen. Als GOX wurde Al_2O_3 mit $d_{ox} = 10 \text{ nm}$ in der Uni-BW-Prozessführung eingesetzt. Die Temperatur wurde in den Messungen von $T = 238 \text{ K} - 338 \text{ K}$ variiert. Es kann eine Temperaturabhängigkeit des Leckstroms I_{off} durch eine Variation über mehr als zwei Größenordnungen beobachtet werden. Durch die Reduzierung des Leckstrom-Plateaus mit Absenkung der Temperatur kann ein Sinken des SS im Anlaufbereich beobachtet werden. b) Es konnte eine Aktivierungsenergie $E_T = 0,31 \text{ eV}$ mittels einer Arrhenius-Auftragung des Leckstroms bei einer Gatespannung von $V_{GS} = 0 \text{ V}$ extrahiert werden. Über die Temperaturabhängigkeit des Leckstroms kann auf einen SRH-Mechanismus getriebenen Generationsstrom geschlossen werden. Eine Abweichung für Temperaturen $T < 280^\circ\text{C}$ vom SRH-Verhalten lässt auf eine thermische Feldemission schließen.

Bei einer Temperaturzunahme von $\Delta T = + 1 \text{ K}$ kann eine durchschnittliche Erhöhung des Leckstroms von 6 %, bei einer Rückwärtsspannung $V_{DS} = - 1 \text{ V}$, beobachtet werden. Dieser ermittelte Wert entspricht den experimentellen Ergebnissen die in [190] veröffentlicht wurden. Die Temperaturabhängigkeit des Leckstroms I_{off} bestätigt, dass der vorherrschende Leckstrom-Mechanismus der Ge-pin-Diode durch einen SRH-Generationsstrom beschrieben werden kann (Gleichung 4.7). Für eine Bestimmung der Aktivierungsenergie wurde erneut der Leckstrom I_{off} , geteilt durch $T^{3/2}$, über die inverse Temperatur in einer Arrhenius-Darstellung aufgetragen. Die in Abbildung 4.4 b) dargestellten Werte wurden für eine Gate-Spannung $V_{GS} = 0 \text{ V}$ extrahiert. Aus der Auftragung kann eine Aktivierungsenergie $E_A = - 0,311 \text{ eV}$ für $V_{DS} = -0,5 \text{ V}$, (repräsentiert durch die durchbrochene schwarze Linie) und $E_A = - 0,278 \text{ eV}$ für $V_{DS} = -1,5 \text{ V}$ (repräsentiert durch die durchbrochene rote Linie) bestimmt werden. Die Variation der Aktivierungsenergie mit der Drain-Spannung kann, wie im Falle des Si-TFET, einer thermischen Feldemission zugeschrieben werden und entspricht einer Verschiebung des Defekt-Niveaus E_t mit dem elektrischen Feld in der Raumladungszone [190]. Eine weitere Abweichung des Kurvenver-

4. Kapitel

Erste experimentelle Realisierung des vertikalen Ge-pTFET-Konzepts

laufs von der analytischen Formulierung unterhalb von 270 K kann einer Generation von Elektron-Loch-Paaren zugeordnet werden, welche durch extrinsische thermische Strahlung generiert werden [192], [193].

Die temperaturabhängige Transfercharakteristik des Ge-pTFETs wurde mit der SeAM-Berechnung nachgebildet und wird in Abbildung 4.5 dargestellt. Die Modellierung mittels des SeAMs wurde zusätzlich durch eine SRH-GR und einer Fehlstellen-unterstützten-Tunnel-GR (kurz TAT, engl. Trap-Assisted-Tunneling) erweitert. Hierüber soll das Temperaturverhalten des Leckstroms des Ge-pTFETs nachgebildet werden²⁶. Das TAT wurde durch den Poole-Frenkel-Mechanismus (kurz PF) berücksichtigt [190] und als Model-Parameter wurde die Lage des prominentesten Defekt-Niveaus innerhalb der Bandlücke verwendet, welches in der Temperatur-Messung ermittelt wurde. Der PF-Leckstrom kann durch folgende Abhängigkeit dargestellt werden:

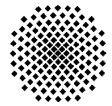
$$J_{PF} \sim F_{WKB} \cdot \exp\left(-\frac{q}{k_B \cdot T} \cdot \left[F_{WKB} - \sqrt{q \cdot E_t / \pi \cdot \epsilon_{ch}}\right]\right). \quad 4.9$$

Dabei wurde das Trap-Niveau E_t und die gemittelte elektrische Feldstärke F_{WKB} aus Formel 3.23 in die Berechnung übernommen. Der SRH-GR-Strom wurde mit der Formel 4.7 bestimmt. Für die Berechnung der Transfercharakteristik wurden zusätzlich die Lage des Fermi-Niveaus, der Wert der beiden Bandlücken (E_L und E_T), die intrinsische Ladungsträgerkonzentration und die energetische Verteilung der Ladungsträger in den einzelnen Leitungsbandtälern in Abhängigkeit von der Temperatur berechnet. Die ermittelten Werte werden im Anhang dargestellt (Abbildung A.5). Ein Anstieg des BTBT-Generationsstromes mit steigender Temperatur, zu sehen in der Transfercharakteristik (Abbildung 4.4 und Abbildung 4.5), kann der kleiner werdenden Bandlücke zugeschrieben werden. Zusätzlich ist im Anlaufbereich des TFETs die Zunahme des Leckstrom-Niveaus durch den SRH-Mechanismus und der PF-Emission zu verzeichnen. Dieser Einfluss der Leckstrom-Mechanismen zeigt sich unmittelbar in einer Erhöhung des SS. Dieser Effekt kann deutlich für Temperaturen $T > 275$ K in den experimentell ermittelten Werten, dargestellt in Abbildung 4.5 b), wiedergefunden werden.

4.2 Unterdrückung des ambipolaren Schaltverhaltens im Ge-pTFET

Das inhärente ambipolare Verhalten des TFETs wird sowohl durch die Dotierhöhen als auch Steilheit der Dotierflanken an den Übergängen zwischen Kanalgebiet und Drain- bzw. Source-Elektrode hervorgerufen. Um im Falle des pTFETs Einfluss auf den n-Kanal des Transistors zu nehmen, wurde die Drain-Dotierhöhe N_D reduziert und die MBE-Wachstumsparameter diesbezüglich angepasst. Der Einfluss der Drain-Dotierung auf das ambipolare Schaltverhalten wurde mit einer Silvaco-Simulation nachvollzogen. Eine Reduzierung der Dotierhöhe N_D zeigt sich in einer größeren Raumladungszone $L_{2,p}$ des abflachenden Bandverlaufs am Übergang zwischen Kanalgebiet und Drain-Elektrode (Abbildung 4.6 a)). Mit der größer werdenden Barrierenweite $\Lambda_{L_1+L_2}$ wird das n-Kanal-Verhalten weiter reduziert, bis merklich kein Tunnelprozess mehr stattfindet. Die Teilabbildung b) in Abbildung 4.6 zeigt die Transfercharakteristik eines Ge-pTFET für verschiedene Drain-Dotierkonzentrationen N_D . Die p-Typ-artige Dotierung wurde hier von $N_D = 1 \cdot 10^{20} \text{cm}^{-3}$ auf $N_D = 1 \cdot 10^{18} \text{cm}^{-3}$ reduziert. Durch die Reduktion der Dotierhöhe kann somit die gewünschte Unterdrückung des n-Kanals erreicht werden. Zusätzlich ist auch eine Abnahme des Leckstroms für den Ge-pTFET im ausgeschalteten Zustand zu erkennen. Einen ähnlichen Einfluss wurde für die Unterdrückung des p-Kanals in einem Ge-nTFET in [166] gezeigt.

²⁶ Es soll hier erwähnt werden, dass die numerischen Werte ausschließlich mit physikalischen Parametern berechnet wurden.



Die Reduzierung der p-Typ Drain-Dotierung N_D (am Übergang zwischen Kanalgebiet und Drain-Elektrode) in Form eines LDDs (engl. Lightly-Doped Drain), stellt eine weitere Möglichkeit dar, die nicht nur zur Reduzierung des n-Kanal Verhaltens genutzt werden kann, sondern auch, um den Leckstrom I_{off} des p/n-TFETs signifikant zu reduzieren.

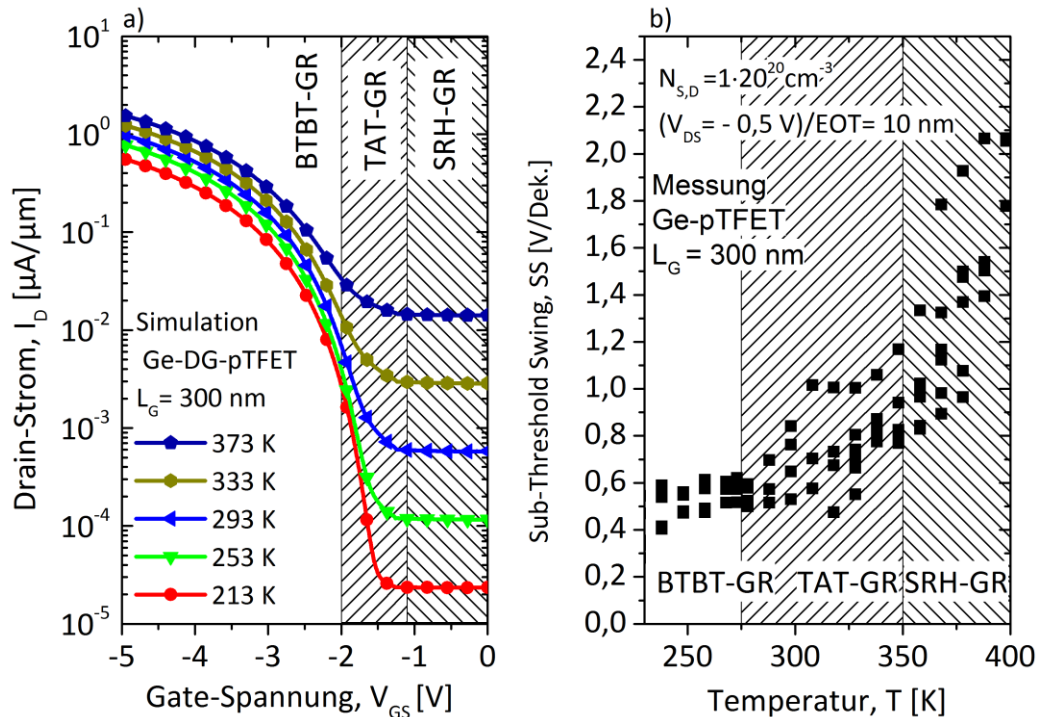


Abbildung 4.5 Teilabbildung a) zeigt die mit dem SeAM nachgebildete Temperaturabhängigkeit der Transfercharakteristik eines Ge-pTFETs mit Kanallänge $L_G = 250$ nm. Die Temperatur wurde im Bereich von $T = 238$ K – 378 K variiert mit einer Source- und Drain Konzentrationen von $N_D = 1,0 \cdot 10^{20} \text{ cm}^{-3}$ und einem EOT von $d_{ox} = 10$ nm des GOXs. Zusätzlich wurde im Modell zur BTBT-GR, das TAT-GR und die SRH-GR im Leckstrom-Verhalten berücksichtigt. In der Teilabbildung b) wurde die im Experiment ermittelte Temperaturabhängigkeit des SS über die Temperatur T aufgetragen. Durch die zwei unterschiedlichen Leckstrom-Mechanismen kann für Temperaturen $T > 275$ K eine Zunahme des SS verzeichnet werden. Durch das TAT- und SRH-Verhalten wird der minimale SS des Ge-TFETs verdeckt.

Bei einer nominellen p-Dotierung $N_D = 1 \cdot 10^{18} \text{ cm}^{-3}$ kann in der Simulation ein Leckstrom von $I_{off} = 50 \text{ pA}/\mu\text{m}$ erzielt werden. Der Wert erfüllt nahezu die Anforderung an LP-Logikschaltung der ITRS (siehe Tabelle 4-2 **Fehler! Verweisquelle konnte nicht gefunden werden.**). Bei einer Reduzierung der Dotierung ist jedoch auf den Einfluss durch eine vergrößerte Kapazität C_{GD} zu achten, welche das Hochfrequenz-Verhalten in Form der Schaltgeschwindigkeit negativ beeinflussen könnte. In diesem Fall wäre ein justierter räumlicher Abschluss der Gate-Elektrode mit dem Kanalgebiet nicht mehr angebracht, eine unterlappende Gate-Struktur würde die parasitäre Kapazität C_{GD} elektrostatisch entkoppeln. Eine weitere Möglichkeit zur Reduzierung des n-Kanal-Verhaltens besteht durch den Einsatz einer Heterostruktur, bestehend aus einem Kanalgebiet mit graduell verlaufender $\text{Si}_{1-x}\text{Ge}_x$ -Struktur, mit Ge an der Source-Seite bis zu Si im Drain-Gebiet. Durch die Anpassung der Dotierhöhe in der Drain-Elektrode und durch Integration einer Heterostruktur kann das ambipolare Verhalten des TFETs weiter unterdrückt werden. Die beiden An-

4. Kapitel

Erste experimentelle Realisierung des vertikalen Ge-pTFET-Konzepts

satzpunkte aus einer reduzierten Drain-Dotierung und einer Heterostruktur zwischen Kanalgebiet und Drain-Elektrode wurden experimentell untersucht. Hierzu wurden mittels der MBE verschiedene Wachstumssequenzen realisiert.

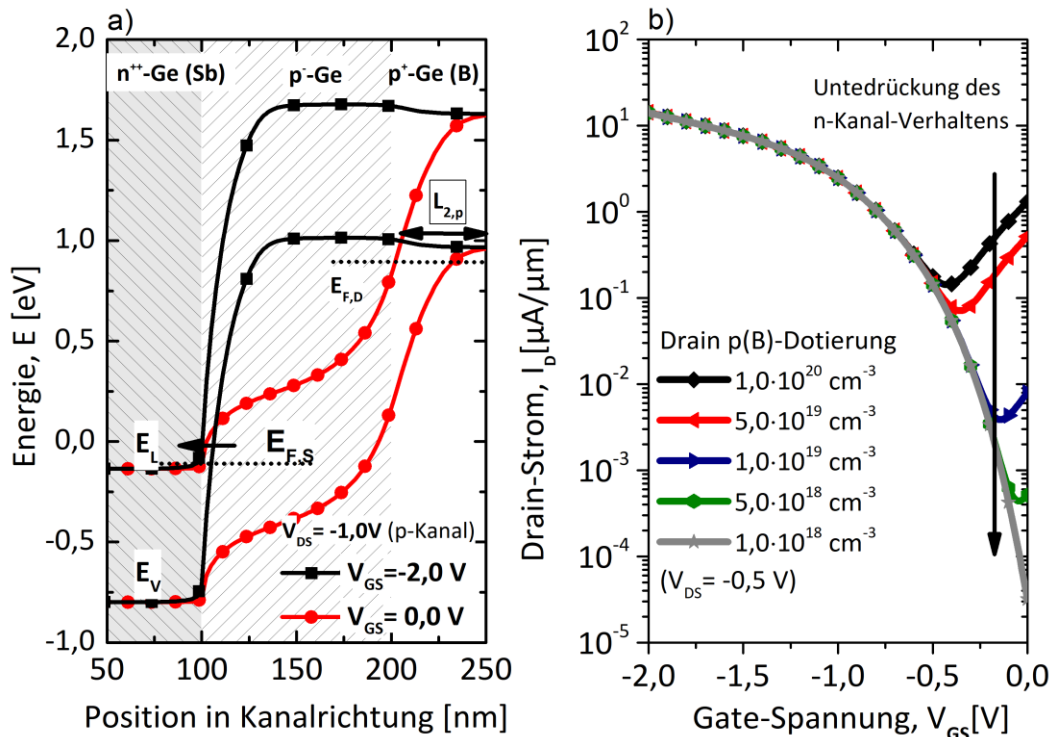


Abbildung 4.6

a) Simulierter Bandverlauf eines Langkanal-Ge-pTFET im angeschalteten und ausgeschalteten Zustand. Der in rot gezeigte Bandverlauf zeigt den ausgeschalteten Zustand für eine Drain-Spannung $V_{DS} = -1,0 \text{ V}$ und eine Gate-Spannung $V_{GS} = 0,0 \text{ V}$. In schwarz ist der angeschaltete Zustand dargestellt mit den Werten für die Drain-Spannung $V_{DS} = -1,0 \text{ V}$ und der Gate-Spannung $V_{GS} = -2,0 \text{ V}$. Die Teilabbildung b) zeigt die Transfercharakteristik für den Ge-pTFET für verschiedene Drain-Dotierkonzentrationen N_D . Die p-Typ Dotierung wurde hier von $N_D = 1 \cdot 10^{20} \text{ cm}^{-3}$ auf $N_D = 1 \cdot 10^{18} \text{ cm}^{-3}$ reduziert. Durch die Reduktion der Dotierhöhe kann klar die gewünschte Unterdrückung des n-Kanals erreicht werden. Zusätzlich ist auch eine Abnahme des Leckstroms für den Ge-pTFET im ausgeschalteten Zustand zu erkennen.

4.2.1 Einfluss der Wachstumsparameter der Drain-Elektrode auf das Schaltverhalten des Ge-TFETs

Der Einsatz von Ge, oder später auch GeSn, als Halbleiter resultiert in einem hohen Sättigungsstrom I_D im Vergleich zum Si-TFET. Unweigerlich würde das Leckstrom-Niveau I_{off} mit einer Reduzierung der Kanallänge L_G des Ge-TFETs weiter ansteigen. Der damit beschriebene Effekt des DIBT resultiert in einem geringen I_{on}/I_{off} -Schaltverhalten mit hohem SS, wie es mittels DC-Simulationen in ([99], [150], [194]) simuliert wurde. Mit dem folgenden Abschnitt soll der Einfluss einer Si/Ge-Heterostruktur auf das Schaltverhalten des Ge-TFETs gezeigt werden. In der Literatur werden folgende schon genannte Konzepte diskutiert. Es kann an die Integration von Si und Ge in Form einer Halbleiter-Heterostruktur ([19], [23], [48], [84], [97], [99], [130], [195], [196]), einer reduzierten Dotierung in der Drain-Elektrode ([74], [99], [166], [194]) und in der Integration von Über- und Unterlapp-Gate-Strukturen ([29], [74], [80], [106], [125], [197]) gedacht werden.

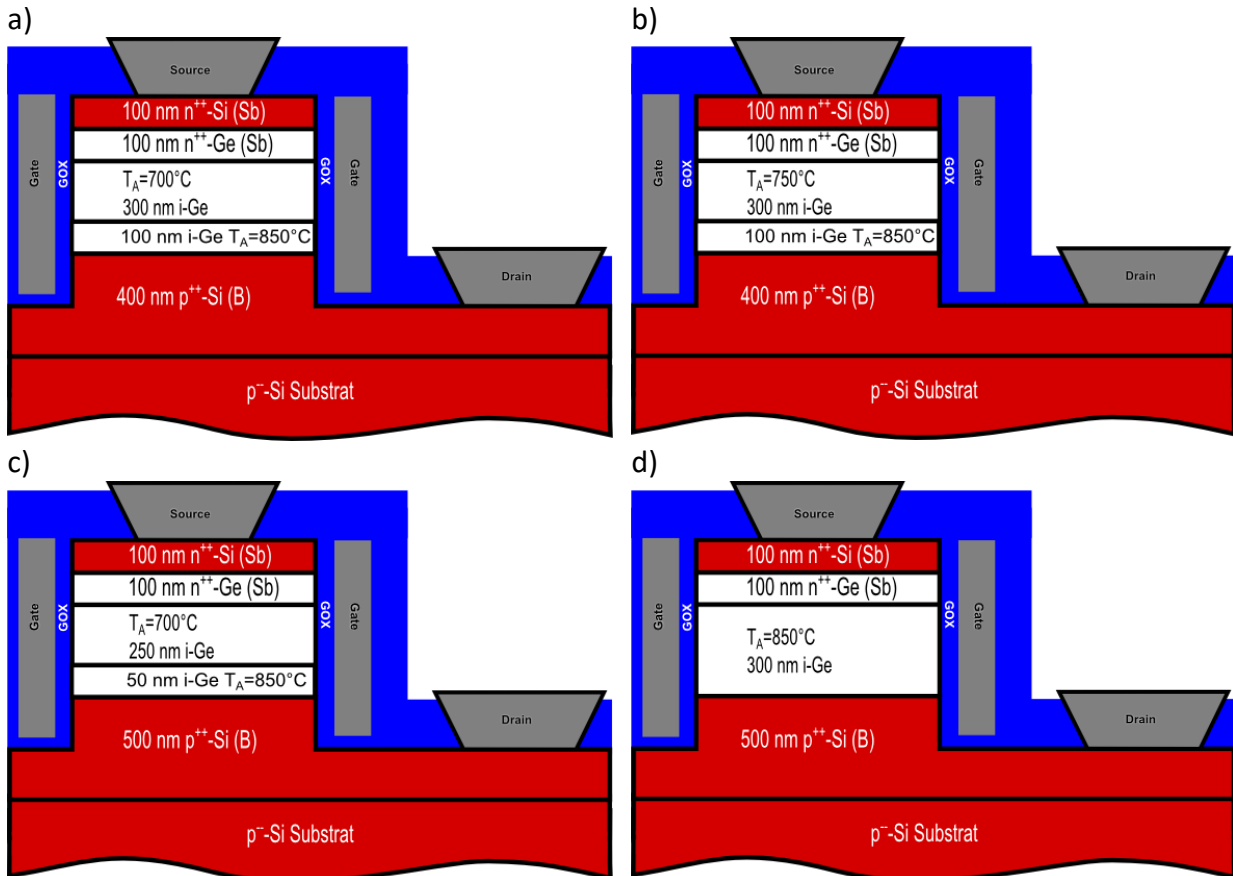
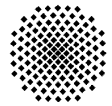


Abbildung 4.7

Die vier schematischen Darstellungen der MBE-Wachstumssequenzen dienten der experimentellen Untersuchung des Einflusses der Heterostruktur Ge/Si im VS auf die Ambipolarität des Ge-TFETs. Die Skizze a) zeigt den Aufbau der Referenzprobe und entspricht der Wachstumssequenz des ersten Ge-TFETs aus Tabelle 4-4. Die hier gezeigten Ge-TFETs wurden mit einer nominellen Kanallänge von $L_G = 300$ nm und einem SiGe-VS in der Drain-Elektrode bzw. am Übergang zw. Kanalgebiet und Drain-Elektrode gewachsen. Die Dotierungen im Source- und Drain-Elektrode wurden hier symmetrisch gewählt und entsprechen einer Konzentration von $N_D = 1 \cdot 10^{20} \text{cm}^{-3}$. Die einzelnen MBE-Wachstumssequenzen werden im Text näher erläutert.

Die Kombination der Materialeigenschaften von Si und Ge in einem Ge-TFET soll hinsichtlich der Reduktion des Leckstroms und der Ambipolarität bei hohen Sättigungsströmen untersucht werden. Die Wahl der Lage des Si/Ge-Heteroübergangs und einfluss auf den Dotierverlauf kann über das Wachstumssequenz des VS erreicht werden. Der Einfluss der beiden Punkte sollen auf das Schaltverhalten des Ge-TFET sollen untersucht werden, insbesondere wie weit die Kanallänge L_G skaliert werden kann. Für Ge-TFETs mit hinreichend großen Kanallängen $L_G > 100$ nm (im Allgemeinen bestehen die Abhängigkeiten bzgl. der natürlichen Abschirmlänge des Potential) können die Drain- und die Source-Region als unabhängig und elektrostatisch durch das Kanalgebiet getrennt betrachtet werden. Daher wurde am Anfang die experimentelle Untersuchung der Tunnelregion und der Drain-Region in einem Langkanal-Ge-TFET getrennt voneinander betrachtet. Die vier betrachteten Wachstumsprozesse wurden mit einer symmetrischen Dotierung im BL und im TK gewählt, um den direkten Einfluss des VS auf das Schaltverhalten und der Unterdrückung des n-Kanalverhaltens zu untersuchen. Im nächsten Abschnitt wurde die Absenkung der Drain-Dotierung in Si/Ge-Heterostruktur zur Realisierung eines Ge-pTFETs experimentell untersucht.

Der Aufbau der Ge-TFETs orientiert sich nach wie vor an der MBE-Wachstumssequenz, welche in Tabelle 4-4 angegeben wurde. Die Lage des VS wurde in drei Proben aus der Drain-Elektrode

4. Kapitel

Erste experimentelle Realisierung des vertikalen Ge-pTFET-Konzepts

in das Kanalgebiet verlegt. Als letzte Probe wurde der Einfluss des Temperschnitts nach Ende des Wachstums der intrinsischen Zone bei $T_A = 850 \text{ °C}$ untersucht. Die MBE-Sequenzen sind schematisch dargestellt in Abbildung 4.7 a) bis d).

Alle MBE-Strukturen besitzen einen TK aus einer 100 nm Ge- und einer 100 nm dicken Si-Halbleiterschicht, der gesamte TK wurde mit Sb hoch n-Typ dotiert ($N_S = 1 \cdot 10^{20} \text{ cm}^{-3}$). Die nominelle Kanallänge (intrinsische Zone) betrug $L_G = 300 \text{ nm}$. Der erste Temperschnitt bei $T_A = 850 \text{ C}$ dient zur Bildung des virtuellen Substrats (VS) und wurde nach dem Wachstum des Ge-Drain-Gebiets für die Proben a) - c) und nach dem Wachstum der intrinsischen Zone der Probe d) durchgeführt. Im Wachstum der intrinsischen Zone der Proben a) und b) wurde der Einfluss eines zweiten Temperschnitts bei einer Temperatur von $T_A = 700 \text{ C}$ untersucht. Durch das zusätzliche Tempern kann eine Reduzierung der TD-Dichte und somit eine Verbesserung der Kristall-Qualität erreicht werden. Darüber hinaus erzeugt der Temperschnitt eine erzeugte Zugverspannung im Kanalgebiet und hat damit einen unmittelbaren Einfluss auf die direkte Bandlücke von Ge [198], [199]. In Verbindung mit einer ausreichend hohen Source-Dotierung $N_S = 1 \cdot 10^{20} \text{ cm}^{-3}$ steigt der Anteil an direkten Tunnelprozessen am Ladungsträgertransport [96]. Die einzelnen MBE-Wachstumssequenzen setzen sich wie folgt zusammen:

- **a) VS in der p⁺⁺-Drain-Region, kombiniert mit zweiten Temperschnitt auf einem (100) orientierten p⁺⁺-Substrat:**

Die Drain-Region besteht aus einer 400 nm hoch p-Typ-dotierten Si-Schicht und einer 100 nm hoch p-Typ-dotierten Ge-Schicht. Das VS wurde durch einen $T_A = 850 \text{ C}$ Temperschnitt erzeugt. Nach Abschluss des Kanalgebietwachstums folgte ein zweiter Temperschnitt bei $T_A = 700 \text{ C}$. Der Schichtaufbau ist schematisch in Abbildung 4.7 a) dargestellt.

- **b) VS in der p⁺⁺-Drain-Region, kombinierter Temperschnitt auf einem (100) orientierten p⁻- Substrat:**

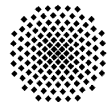
Die Drain-Region besteht aus einer 400 nm hoch p-Typ-dotierten Si-Schicht und einer 100 nm hoch p-Typ-dotierten Ge-Schicht. Das VS wurde durch einen $T_A = 850 \text{ C}$ Temperschnitt erzeugt. Nach Abschluss des Kanalgebietwachstums folgte ein zweiter Temperschnitt bei $T_A = 750 \text{ C}$. Der Schichtaufbau ist schematisch in Abbildung 4.7 b) dargestellt.

- **c) VS nach 50 nm Wachstum der Kanalregion kombinierter Temperschnitt auf einem (100) orientierten p⁻- Substrat:**

Die Drain-Region besteht aus einer 500 nm hoch p-Typ-dotierten Si-Schicht. Das VS wurde nach der Epitaxie von 50 nm intrinsischer Zonen durch einen $T_A = 850 \text{ C}$ Temperschnitt erzeugt. Von Bedeutung ist jedoch die Interdiffusion von Si in Ge zur Bildung des VS in den ersten 50 nm des Kanalgebiets und hat darüber einen Einfluss auf das Schaltverhalten des n-Kanal-Modus. Nach dem Wachstum von 250 nm intrinsischer Zone folgte ein Temperschnitt bei $T_A = 700 \text{ C}$. Es kann eine minimale Ausdiffusion von B aus der p-Typ-dotierten Si-Drain-Elektrode und damit ein Verschmieren des Dotierprofils in das Kanalgebiet erwartet werden. Der Schichtaufbau wird schematisch durch Abbildung 4.7 c) wiedergegeben.

- **d) VS nach 300 nm Wachstum der Kanalregion, kombinierter Temperschnitt auf einem (100) orientierten p⁻- Substrat:**

Die Drain-Region besteht aus einer 500 nm hoch p-Typ-dotierten Si-Schicht. Das VS wurde nach dem Wachstum der 300 nm dicken intrinsischen Zonen durch einen Temperschnitt bei $T_A = 850 \text{ C}$ erzeugt und wird zentral durch die Interdiffusion von Si in Ge bestimmt. Es kann von einer graduell verlaufenden SiGe-Struktur (gSiGe) in der intrinsischen Zone ausgegangen werden. Besonders für diese Sequenz kann ein deutlicher Einfluss im Schalt-



verhalten verzeichnet werden. Der Schichtaufbau ist schematisch in Abbildung 4.7 d) dargestellt. Ähnlich zu der Sequenz c) kann eine minimale Ausdiffusion von B aus der p-Typ-dotierten Si-Drain-Elektrode in das Kanalgebiet und damit ein Verschmieren des Dotierprofils erwartet werden.

In der Prozessführung (Kapitel 2.1) wurde der Uni-Bw-Maskensatz verwendet und als GOX wurde ein PECVD-SiO₂ mit $d_{ox} = 20$ nm eingesetzt. Zusätzlich zur Prozessfolge wurde ein Reinigungsschritt vor der GOX-Abscheidung eingeführt. Durch diese Erweiterung lässt sich eine vollumlaufende Gate-Elektrode (GAA) realisieren. Die Integration in den Prozessfluss wird durch die Grafiken in Abbildung 4.8 verdeutlicht. Der vertikale TFET wird über vier Maskenebenen definiert. Die zusätzlichen Prozessschritte sollen kurz erläutert werden:

1. Erweiterter Prozessabschnitt (Abbildung 4.8: Nach der Strukturierung der Mesa wird zur Vorbereitung der GOX-Abscheidung die bestehende Reinigung (Ge Reinigung bestehend aus einem Ultraschallbad in Aceton und 2-Propanol) um einen 30 Sekunden Dip in einer H₂O₂-Ätzlösung bei RT erweitert (zur Glättung der Oberfläche und Entfernung von organischen Rückständen). Gefolgt wird dieser Reinigungsschritt von einem gepufferten Flusssäure-Zyklus, bis die Waferoberfläche einen hydrophoben Effekt zeigt²⁷. Durch diesen Reinigungsschritt werden ca. 30 nm des Ge an der Mesa-Flanke (rot eingefärbt) selektiv zu Si geätzt, dargestellt in der REM-Aufnahme der Bruchkante in Abbildung 4.8 a)²⁸. Somit bildet sich nach der Reinigung/Ätzung eine Unterschneidung unterhalb des Si-TKs (blau eingefärbt) aus. Unmittelbar nach der Reinigung/Ätzung erfolgt die Abscheidung des GOXs und der Al-Gate-Elektrode.

2. Erweiterter Prozessabschnitt (Abbildung 4.8): Die Al-Gate-Elektrode wird durch den zweiten Positiv-Fotolithografie-Maskenschritt und den zweistufigen ICP-RIE-Schritt strukturiert. Die Wahl der Ätzchemie ermöglicht eine hohe Ätzselektivität zwischen Al und den gewählten Gate-Dielektrika (SiO₂ und Al₂O₃). Diese Selektivität garantiert die einfache Prozessführung durch einen Ätzstop auf dem Si-TK und BL. Eine REM-Aufnahme der strukturierten Mesa und Gate-Elektrode ist in Abbildung 4.8 b) dargestellt.

3. Erweiterter Prozessabschnitt (Abbildung 4.8): Diese T-Struktur ist skizzenhaft nach der Strukturierung der Al-Gate-Elektrode in Abbildung 4.8 gezeigt. In der zusätzlich gezeigten REM-Aufnahme ist der verbleibende Al-Saum (transparent gelb eingefärbt) im unterätzten Bereich des vertikalen Ge-TFETs sichtbar. Durch die überlappende Struktur kann eine vertikale selbstjustierte Al-Gate-Elektrode über das Source-Gebiet erreicht werden. Der Überlapp kann über die Dicke des n-Typ dotierten Ge und der GOX-Dicke festgelegt werden.

²⁷ Hervorgerufen durch die Sättigung der offenen Bindungen mit Wasserstoff und Entfernung des nativen Oxids auf Ge und Si.

²⁸ Die REM-Aufnahme der Bruchkante wurde von der MBE-Struktur c) aufgenommen.

4. Kapitel

Erste experimentelle Realisierung des vertikalen Ge-pTFET-Konzepts

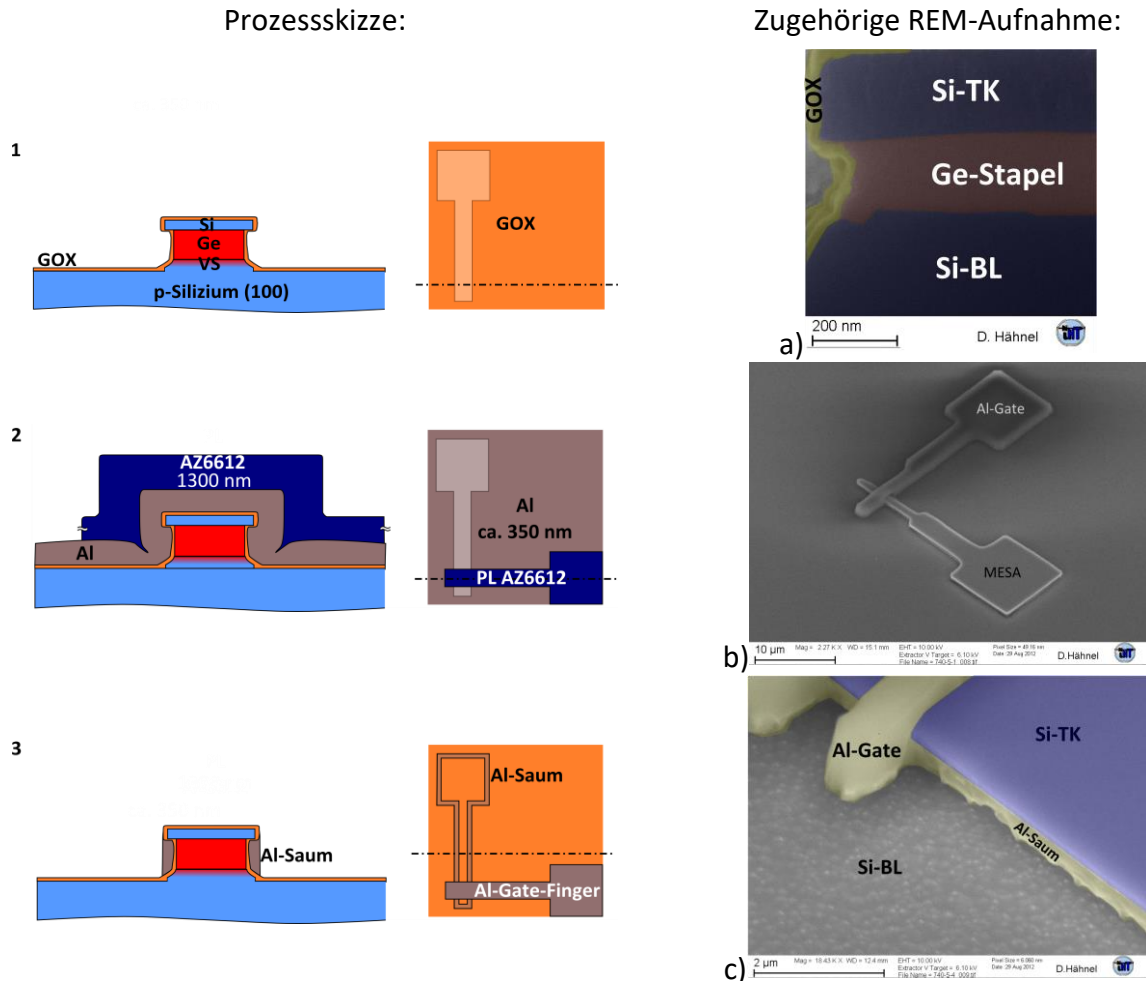


Abbildung 4.8

Zur Realisierung einer GAA-Elektrode wurde der Uni-Bw-Prozessablauf erweitert. Durch einen zusätzlichen Reinigungs- und selektiven Ätzschritt von Ge mit H_2O_2 - und HF-Cycle, dargestellt in Schritt 1, kann eine Unterätzung des Si-TKs erreicht werden. Nach der Abseidung des GOXs und Strukturierung mittels der stark anisotropen Ätzung der Al-Gate-Elektrode (Schritt 2), kann eine GAA-Elektrode (Al-Saum erkennbar in Schritt 3) um die TFET-Mesa erhalten werden.

Die Messung der Ausgangscharakteristik wurde zwischen $-10 \text{ V} \leq V_{GS} \leq +10 \text{ V}$ in Schritten von $\Delta V_{GS} = 2 \text{ V}$ und zwischen $+0,5 \text{ V} \leq V_{DS} \leq -2,5 \text{ V}$ in Schritten von $\Delta V_{DS} = +0,1 \text{ V}$ aufgenommen. Die Transfercharakteristik wurde im p-Kanal-Modus zwischen $-0,5 \text{ V} \leq V_{DS} \leq -2,5 \text{ V}$ in Schritten von $\Delta V_{DS} = +1 \text{ V}$ und zwischen $0 \text{ V} \geq V_{GS} \geq -12 \text{ V}$ in Schritten von $\Delta V_{GS} = -0,1 \text{ V}$ gemessen. Das n-Kanal-Verhalten zwischen $0 \text{ V} \leq V_{GS} \leq +8 \text{ V}$ in Schritten von $\Delta V_{GS} = +0,1 \text{ V}$ gemessen. Während den Messungen wurde der Massepunkt auf die n-Typ-dotierte Drain-Seite gelegt. Der Gate-Leckstrom wurde während der Messung aufgezeichnet und war zum gemessenen Drain-Strom I_D vernachlässigbar.

Ein mit Silvaco ATLAS simulierter Bandverlauf des Ge-TFETs (Abbildung 4.7 a)) ist in Abbildung 4.9 dargestellt. Mit der Abbildung soll der Einfluss der Al-Gate-Elektrode auf das Transistorverhalten im Auszustand gezeigt werden. Die von Null verschiedene Flachbandspannung V_{FB} akkumuliert Ladungsträger an der Grenzfläche zwischen Halbleiter und GOX. Die starke Drain-seitige Bandverbiegung (grau-dargestellte Fläche) führt für eine Gatespannung $V_{GS} = 0 \text{ V}$ zu einer erhöhten BTBT-GR und somit zu einem partiell eingeschalteten n-Kanal. Die unterbrochenen Kurven (Valenz- (rot) und Leitungsbänder (schwarz)) stellen die im Experiment vorgefundene Situation dar und es wurde eine Flachbandspannung von $V_{FB} = -0,8 \text{ V}$ angenommen.

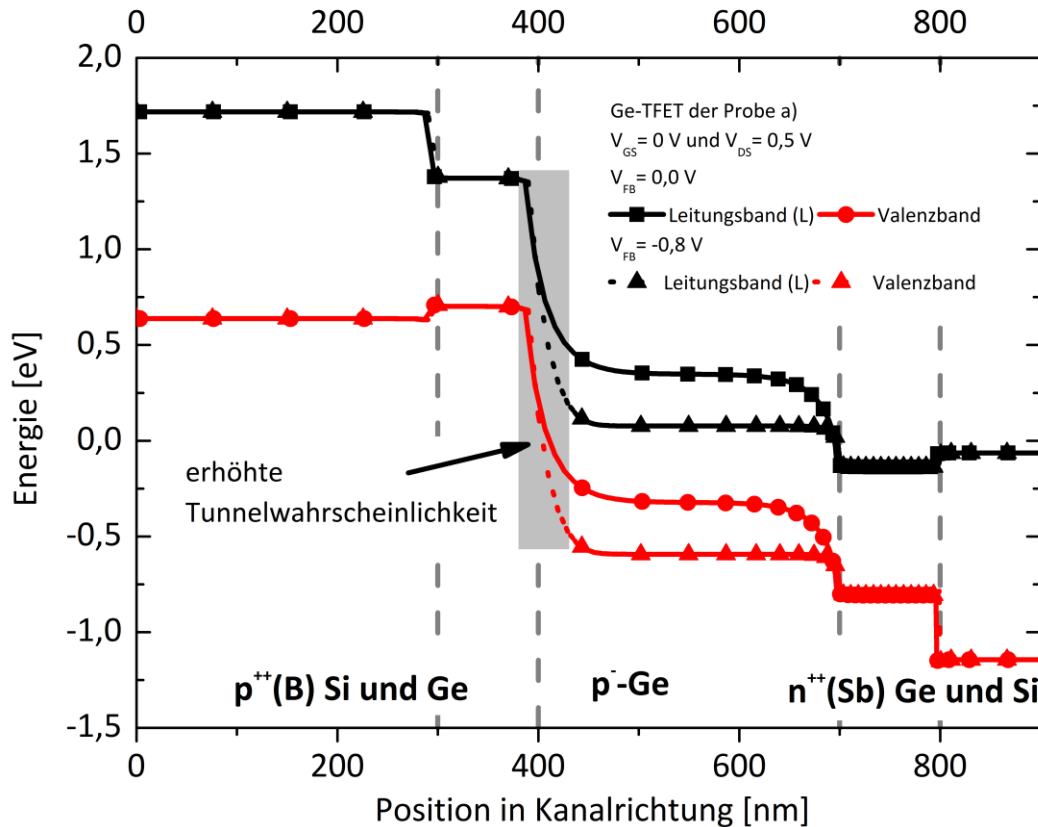
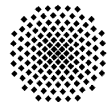


Abbildung 4.9 Simulierter Bandverlauf eines Ge-TFETs des Wachstumsprotokolls aus Abbildung 4.7 a). Mit dem berechneten Bandverlauf soll der Einfluss der Al-Gate-Elektrode auf das Transistorverhalten im Auszustand gezeigt werden. Die von Null verschiedene Flachbandspannung $V_{FB} = -0,8 \text{ V}$ (unterbrochene Kurven) akkumuliert Ladungsträger an der Grenzfläche zwischen Halbleiter und GOX. Die starke Drain-seitige Bandverbiegung (grau-dargestellte Fläche) resultiert in einer erhöhten BTBT-GR und führt zu einem partiell eingeschalteten n-Kanal. Die durchgezogenen Kurven (Valenz- (rot) und Leitungsband (schwarz)) stellen dabei die Situation mit einer von Flachbandspannung $V_{FB} = 0,0 \text{ V}$ dar.

Die EOT wurde in der Simulation auf $d_{ox} = 5 \text{ nm}$ gesetzt. Durch die T-Struktur der geätzten TFET-Mesa kommt es durch die Abschattung während des PECVD-Schrittes zu einer verminderten Schichtdicke des abgeschiedenen GOXs im Bereich des Tunnelübergangs.

Die Ausgangs- und Transfercharakteristika für die vier Ge-TFETs sind in Abbildung 4.10 und Abbildung 4.11 aufgetragen. Für die erste Wachstumssequenz a) kann ein ambipolares Verhalten festgestellt werden. Während der Messung ist eine Verschiebung der Schwellwertspannung bei wiederholten Messungen beobachtbar (Hysterese). Insbesondere ist eine starke Verschiebung der Transferkurve sichtbar, wenn von negativen zu positiven Spannungen gemessen wurde und die davorliegenden Messungen bis in den Sättigungsberiech des n-Kanals gemessen wurden. Um Fehlinterpretationen zu vermeiden und die MBE-Proben untereinander vergleichen zu können, wurden die n-Kanal und p-Kanal-Modi mit verschiedenen Transistoren einer Probe gemessen. Die n-Kanal-Messungen zeigen nach Stressmessungen, bis hin zu einer positiven Gate-Spannung $V_{GS} = + 8 \text{ V}$, eine deutliche Verschiebung zu positiven Flachbandspannungen V_{FB} . Das Verhalten kann damit begründet werden, dass während der Abscheidung des GOX bei $T_S = 390 \text{ °C}$, durch das verwendete PECVD-Verfahren, Ge-Sub-Oxide (GeO_x) erzeugt werden²⁹. Diese Sub-Oxide (GeO_x) befinden sich an der Grenzfläche zwischen Ge und SiO_2 und haben einen direkten

²⁹ Primär bedingt durch das Sauerstoffplasma zu Beginn des Prozesses zur Oberflächenaktivierung und während der Abscheidung des GOXs.

4. Kapitel

Erste experimentelle Realisierung des vertikalen Ge-pTFET-Konzepts

Einfluss auf die elektrischen Eigenschaften der MOS-Elektrode ([200]–[203]). Damit kann die Verschiebung der Einsatzspannung durch die physikalischen Eigenschaften der Ge-Sub-Oxide begründet werden³⁰.

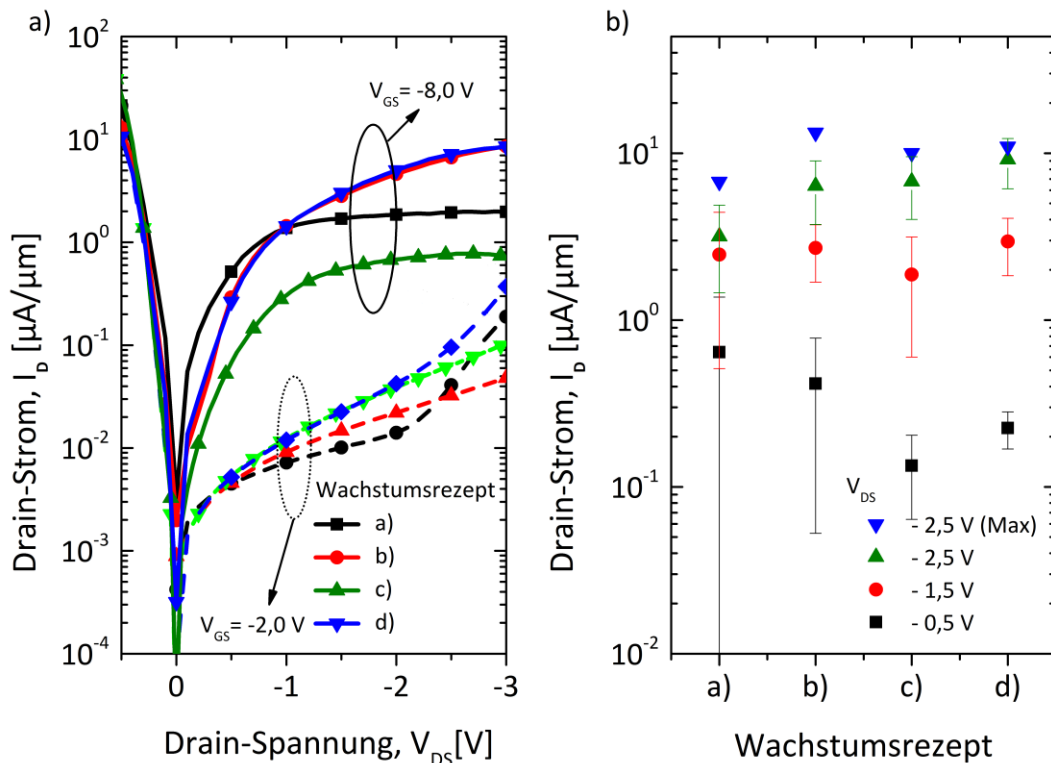


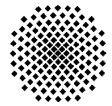
Abbildung 4.10

In Teilabbildung a) werden die Ausgangskurven im angeschalteten ($V_{GS} = -8\text{ V}$) und ausgeschalteten ($V_{GS} = -2\text{ V}$) Zustand dargestellt. Für beide Ausgangskennlinien der Wachstumsrezepte a) und b) ist deutlich ein Anstieg des Leckstroms für hohe Drain-Spannungen ($V_{DS} < -2\text{ V}$) erkennbar. Dieser Anstieg kann dem DIBT-Mechanismus zugeordnet werden, was nicht für die Wachstumsrezepte c) und d) gilt. Experimentell konnte ermittelt werden, dass eine Reduzierung der BTB-GR durch die Präsenz der SiGe-Heterostruktur (VS) am Dotierübergang Kanal-/Draingebiet verzeichnet werden kann. Die Teilabbildung b) repräsentiert die erzielten Sättigungsströme I_D der Wachstumsrezepte für drei verschiedene Drain-Spannungen ($V_{DS} = -0,5\text{ V} / -1,5\text{ V} / -2,5\text{ V}$). Der maximal gemessene Wert für die jeweiligen Proben wird durch das blaue Dreieck angegeben.

Damit einhergehend kann ein erhöhter Einfangsquerschnitt für Elektronen verzeichnet werden. Das bedeutet, dass insb. für Elektronen eine Rekombination mit Störstellen im GOX und „langsame“ Störstellen im Sub-Oxid favorisiert werden. Diese physikalischen Eigenschaften stellen ein gravierendes Problem für den n-Kanal-Betrieb dar. Somit ist eine Verschiebung der Schwellwertspannung während der Schaltphase zu erwarten [204]. Dementsprechend wurden wie angesprochen beide Kanalmodi unabhängig voneinander auf Transistoren mit gleicher Geometrie gemessen.

Eine unkontrollierte Modifizierung der Ge-Oberfläche führt zu einer schlechten elektrischen Qualität und zu einer hohen Grenzflächenzustandsdichte. Es ist daher essentiell, das Wachstum dieses Suboxides gezielt zu steuern, um eine qualitativ hochwertige Grenzfläche zu erhalten. Dies setzt jedoch auch eine hohe Qualität des Halbleiters voraus. Im weiteren Verlauf dieser Arbeit

³⁰ Zudem besitzen beide Materialien einen geringen Leitungsbandunterschied von $\Delta E_{G,offset} = 0,6\text{ eV}$.



wurde der Einsatz von ultra-dünnen ALD-GOX-Schichten auf Ge untersucht. Die Abscheideparameter der mit reaktiven Sauerstoffspezies unterstützten ALD wurden in Bezug auf die gezielte Bildung der Ge-Sub-Oxide optimiert.

Für das erste **Wachstumsrezept a)** ist die entsprechende Ausgangskennlinie in Abbildung 4.10 a) wiedergegeben. Für die Wachstumssequenz kann ein maximaler Sättigungsstrom $I_D = 1,3 \mu\text{A}/\mu\text{m}$ im p-Kanal-Modus und $I_D = 6,5 \mu\text{A}/\mu\text{m}$ im n-Kanal-Modus bei einer Drain-Spannung von $V_{DS} = -2,5 \text{ V}$ gemessen werden. Die gemittelten Messwerte der drei Drain-Spannungen werden in b) abgebildet. Der maximal gemessene Wert für die jeweiligen Proben wird durch das blaue Dreieck angegeben. Der SS liegt für die Messungen relativ hoch, es werden Werte mit mehr als 1 V/Dekade ermittelt. Das Verhalten kann auf ein relativ dickes GOX zurückgeführt werden. Es zeigt sich, dass das MBE-Rezept a) noch keinen merklichen Einfluss auf das n-Kanal-Verhalten zeigt und dieser noch nicht unterdrückt werden kann. Somit bleibt eine „symmetrische“ Transferkurve durch das inhärente ambipolare Verhalten sichtbar. Eine signifikante Verschmierung des Dotierprofils im Drain-Gebiet (B) kann durch den Temperschritt nach dem Wachstum der intrinsischen Zone bei $T_A = 700 \text{ }^\circ\text{C}$, aufgrund der geringen Diffusionslänge $L_D \sim 0,3 \text{ nm}$ von B in Ge [205], ausgeschlossen werden. Die dazugehörigen Transfercharakteristika für den p-Kanal- und n-Kanal-Modus werden in Abbildung 4.11 für eine Drain-Spannung $V_{DS} = -1,5 \text{ V}$ graphisch wiedergegeben.

Die **zweite MBE-Sequenz** aus Abbildung 4.7 b) zeigt einen maximalen Sättigungsstrom von $I_D = 0,01 \text{ mA}/\mu\text{m}$ im p-Kanal-Modus und $I_D = 5,7 \mu\text{A}/\mu\text{m}$ im n-Kanal-Modus bei einer Drain-Spannung von $V_{DS} = -2,5 \text{ V}$. Die dazugehörigen Transferkennlinien (I_D - V_{GS}) für den p- und n-Kanal werden in Abbildung 4.11 wiedergegeben, die Ausgangskennlinien (I_D - V_{DS}) sind erneut in der Abbildung 4.10 a) zu finden. Die Wachstumssequenzen a) und b) unterscheiden sich jeweils in der Wahl des Si-Substrats, welches für das MBE-Wachstum verwendet wurde. Im direkten Vergleich der beiden Proben kann kein konkreter Einfluss auf die Leistung der TFETs erkannt werden. Für die MBE-Probe b) zeigt sich nach Raman-Messungen für die um $\Delta T_A = +50 \text{ }^\circ\text{C}$ höhere Annealing-Temperatur T_A keine signifikante Änderung im Verspannungsgrad des Kanalgebiets gegenüber der ersten Wachstumssequenz. Das ambipolare Verhalten ist wie in der ersten MBE-Sequenz (a) noch vollständig vorhanden. Die höhere Prozesstemperatur zeigt auch in diesem Wachstumsabschnitt keinen signifikanten Einfluss auf den Verlauf des Dotierprofils. Das begründet sich wiederum in einer geringen Ausdiffusion von B in Ge und Si. Die Diffusionslänge kann wieder mit $L_{D,Ge} \sim 0,8 \text{ nm}$ bei einer Temperatur von $T_A = 750 \text{ }^\circ\text{C}$ und einer Dauer des Ausheizschritts von 600 Sekunden abgeschätzt werden.

Die p-Kanal- und n-Kanal-Transferkurven der **dritten MBE-Schichtstruktur c)** (Abbildung 4.7 c)) sind in Abbildung 4.11 dargestellt; die jeweilige Ausgangskennlinie für den p-Kanal-Modus des TFETs ist Abbildung 4.10 a) zu entnehmen. Mit einer Verschiebung des gSiGe-VS in das Kanalgebiet, welches nach einem Wachstum von 50 nm intrinsischen Ge und einem $T_A = 850 \text{ }^\circ\text{C}$ Temperschritt gebildet wurde, kann eine Unterdrückung des n-Kanal-Verhaltens erzielt werden. Im Gegensatz zu den beiden MBE-Strukturen a) und b) befindet sich am Dotierübergang zwischen dem Kanalgebiet und der Drain-Zone nun eine weitaus größere Bandlücke ($E_{g,Ge} < E_{g,Si}$). Die Interdiffusion von Ge in das Si-Drain-Gebiet fällt geringer aus als die Diffusion von Si in Ge. Mit der vernachlässigbaren Verschmierung des Dotierverlaufs führt die nun höhere Bandlücke auf der p-Typ-dotierten Drain-Seite, verglichen zu der n-Typ-dotierten Source-Seite, zu einer Reduzierung der BTBT-GR und des ambipolaren Verhaltens. Damit hat das gSiGe-VS einen messbaren Einfluss auf das Schaltverhalten des TFETs. Eine weitere Verstärkung der Asymmetrie der BTBT-GR kann durch eine Absenkung der Dotierkonzentration in der hoch p⁺-dotierten Drain-Region erreicht werden [166]. Dieser Einfluss wurde eingehend in der theoretischen Betrachtung des

4. Kapitel

Erste experimentelle Realisierung des vertikalen Ge-pTFET-Konzepts

Ge-TFETs in Abbildung 4.6 betrachtet und wird im folgenden Kapitel experimentell verifiziert. Aus den gemessenen Transfercharakteristika (I_D - V_{GS}) des TFETs der MBE-Wachstumssequenz c) wurde ein maximaler Sättigungsstrom im p-Kanal-Modus von $I_D = 0,01 \text{ mA}/\mu\text{m}$ bei einer Drain-Spannung von $V_{DS} = -2,5 \text{ V}$, und für den n-Kanal ein Wert von $I_D = 0,6 \mu\text{A}/\mu\text{m}$ bei gleicher Drain-Spannung V_{DS} ermittelt. Diese Werte stellen eine Verbesserung gegenüber den in [124] publizierten Werten des ersten vertikalen Ge-TFET dar. Weiter kann das I_{on}/I_{off} -Schaltverhalten im p-Kanal-Modus von fast drei Größenordnungen bestimmt werden. Mit den Messungen wurde ein minimaler Leckstrom von $I_{off} = 0,12 \mu\text{A}/\mu\text{m}$ bei einer Drain-Spannung von $V_{DS} = -2,5 \text{ V}$ ermittelt. Wie schon gezeigt wurde, ist der primäre Anteil des Leckstroms durch einen SRH-Generationsstrom zu beschreiben, d. h., dass durch eine Reduzierung der Transistorabmessungen (nicht elektrostatisch kontrolliertes „inaktives“ Mesa-Volumen), der Verluststrom weiter reduziert werden kann.

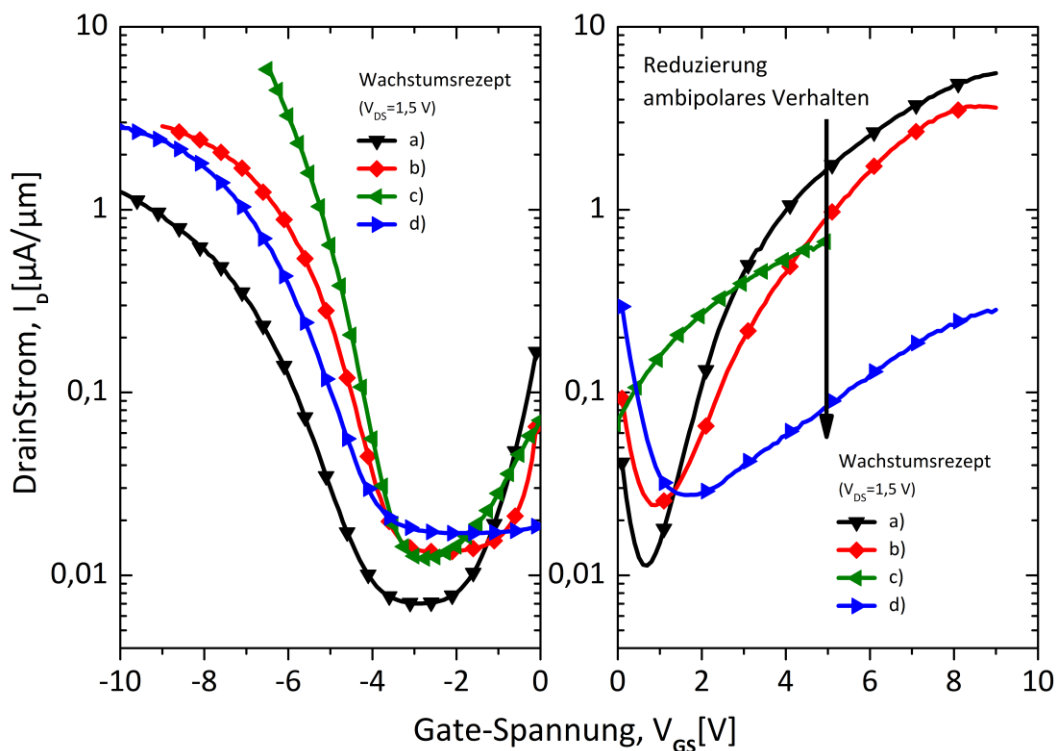
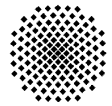


Abbildung 4.11

In der Abbildung werden die vier Wachstumsrezepte (Abbildung 4.7 a) - d) dargestellt. Die Ge-TFETs wurden jeweils im p- und n-Kanalmodus gemessen. Die angelegte Gate-Spannung wurde während der Messung in den Bereichen zwischen $V_{GS} = [-10 \text{ V} \leftrightarrow 0 \text{ V}]$ für den p-Kanal-Bereich und für den n-Kanal-Bereich mit $V_{GS} = [0 \text{ V} \leftrightarrow 9 \text{ V}]$ variiert. Die Drain-Spannung wurde auf $V_{DS} = -1,5 \text{ V}$ gesetzt. Durch eine Verschiebung der gSiGe-Heterostruktur (VS) in den Dotierübergang zwischen Kanalgebiet und Drain-Elektrode konnte eine Unterdrückung des n-Kanals erreicht werden. Die n-Kanal-Messungen zeigen eine deutliche Verschiebung zu einer positiven Flachbandspannung V_{FB} , welche durch eine Stressmessung bis hin zu einer positiven Gate-Spannung $V_{GS} = +8 \text{ V}$ hervorgerufen wurden. Diesbezüglich wurden beide Kanalmodi, unabhängig voneinander, auf Transistoren mit gleicher Geometrie gemessen.

In der letzten **MBE-Schichtstruktur d)**, dargestellt in Abbildung 4.7 d) wurde nach Abschluss des Wachstums der intrinsischen Zone ein einzelner zentraler Tempersschritt bei $T_A = 850 \text{ °C}$ durchgeführt. Der Tempersschritt, der bei $T_A = 850 \text{ °C}$ für fast 900 Sekunden ausgeführt wurde, führt zu einer Ausbildung eines aus gSiGe (VS) bestehenden Kanalgebiets. Somit ist eine Reduzierung



der Kanallänge bis hin zu $L_G = 10 \text{ nm}$ realisierbar [99]. Es kann ein Ausschmieren des Drain-Dotierprofils erwartet werden, eine Abschätzung der Diffusionslänge L_D von B in Si und Ge zeigt für die gewählten Wachstumsparameter jedoch Werte von $L_{D,Si} \sim 11 \text{ nm}$ und $L_{D,Ge} \sim 0,05 \text{ nm}$. Daraus kann auf einen Erhalt des ursprünglichen Dotierverlaufs geschlossen werden. Somit zeigt sich der direkte Einfluss des gSiGe-Kanalgebiets auf das n-Kanal-Verhalten, obwohl beide Dotiergebiete die gleiche Dotierhöhe und Steilheit aufweisen. Für die letzte Wachstumssequenz d) wurde ein maximaler Sättigungsstrom von $I_D = 0,01 \text{ mA}/\mu\text{m}$ im p-Kanal-Modus und ein maximaler Sättigungsstrom von $I_D = 0,3 \mu\text{A}/\mu\text{m}$ im unterdrückten n-Kanal-Modus bei einer Drain-Spannung von $V_{DS} = -2,5 \text{ V}$ gemessen. Die entsprechenden Transfercharakteristika (I_D - V_{GS}) für den p-Kanal- und n-Kanal sind in Abbildung 4.11 dargestellt. Die Ausgangskennlinien (I_D - V_{DS}) werden in der Abbildung 4.10 a) dargestellt.

4.2.2 Reduzierung der Drain-Dotierung zur Unterdrückung des ambipolaren Schaltverhaltens des Ge-TFETs

Ausgehend von der MBE-Wachstumssequenz c.) aus Kapitel 4.2.1, besteht die Drain-Region aus einer 500 nm hoch p-Typ-dotierten Si-Schicht. Das VS wurde nach der Epitaxie von 50 nm intrinsischer Zonen durch einen $T_A = 850 \text{ C}$ Temperschnitt erzeugt. Nach dem Wachstum von 250 nm intrinsischer Zone folgte ein zweiter Temperschnitt bei $T_A = 700 \text{ C}$. In Abbildung 4.12 ist der schematische Aufbau der MBE-Schichten zu sehen. Untersucht wurde die Reduzierung des ambipolaren Verhaltens mittels der Absenkung der B-Dotierung in der Si-Drain-Elektrode. In einer Dotierserie wurden vier verschiedene Dotierhöhen untersucht ($N_D = 2,7 \cdot 10^{17} \text{ cm}^{-3}$, $1,0 \cdot 10^{18} \text{ cm}^{-3}$, $1,0 \cdot 10^{19} \text{ cm}^{-3}$ und $1,0 \cdot 10^{20} \text{ cm}^{-3}$). Zusätzlich wurde noch der Einfluss des Temperschnitts der intrinsischen Zone untersucht. Indem die beiden MBE-Sequenzen mit den Dotierhöhen $N_D = 1,0 \cdot 10^{19} \text{ cm}^{-3}$ und $N_D = 1,0 \cdot 10^{20} \text{ cm}^{-3}$, gegenüber den anderen Proben, bei $T_A = 700 \text{ °C}$ nach Abschluss des Wachstums der intrinsischen Zone getempert wurden.

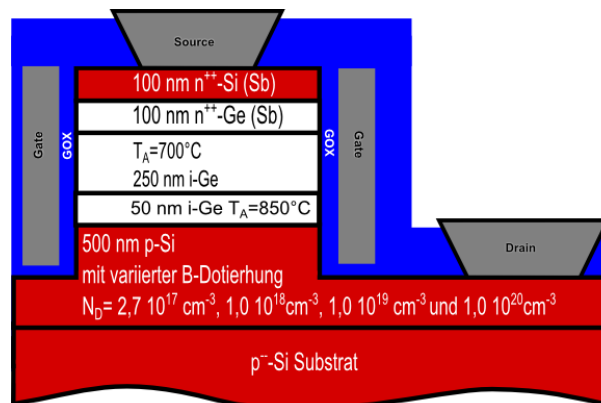


Abbildung 4.12

Ausgehend von der MBE-Wachstumssequenz c.) aus Kapitel 4.2.1, wurde die Reduzierung des ambipolaren Verhaltens mittels der Absenkung der B-Dotierung in der Si-Drain-Elektrode untersucht. In einer Dotierserie wurden vier verschiedene Dotierhöhen untersucht ($N_D = 2,7 \cdot 10^{17} \text{ cm}^{-3}$, $1,0 \cdot 10^{18} \text{ cm}^{-3}$, $1,0 \cdot 10^{19} \text{ cm}^{-3}$ und $1,0 \cdot 10^{20} \text{ cm}^{-3}$). Zusätzlich wurde noch der Einfluss des Temperschnitts der intrinsischen Zone untersucht. Indem die beiden MBE-Sequenzen mit den Dotierhöhen $N_D = 1,0 \cdot 10^{19} \text{ cm}^{-3}$ und $N_D = 1,0 \cdot 10^{20} \text{ cm}^{-3}$, gegenüber den anderen Proben, bei $T_A = 700 \text{ °C}$ nach Abschluss des Wachstums der intrinsischen Zone getempert wurden.

Repräsentative Transferkurven sind in Abbildung 4.13 a) aufgeführt. Es ist deutlich ein langsames „Ausschalten“ mit Verringerung der Drain-Dotierung des n-Kanal-Verhaltens zu sehen. Dieses Verhalten kann auch den simulierten Ergebnissen in Abbildung 4.6 entnommen werden. Es kann

4. Kapitel

Erste experimentelle Realisierung des vertikalen Ge-pTFET-Konzepts

verzeichnet werden, dass ab einer B-Konzentration von $N_D = 1,0 \cdot 10^{18} \text{ cm}^{-3}$ der n-Kanal ausgeschaltet werden kann und somit ein reiner Ge-pTFET vorliegt. In der Abbildung 4.13 b) wurde zur Evaluierung des Sättigungsverhaltens des Drain-Stroms bzgl. der Drain-Spannung die Ausgangscharakteristiken der Ge-TFETs in einer linearen Darstellung abgebildet. Erst für ausreichend hohe Drain-Spannungen kann eine Sättigung von I_D beobachtet werden. Der hohe SS, insbesondere der zwei minimalen Drain-Dotierkonzentrationen, kann der reduzierten elektrostatischen Kopplung der MOS-Gate-Elektrode auf den Tunnelübergang durch eine höheres d_{ox} zugeschrieben werden.

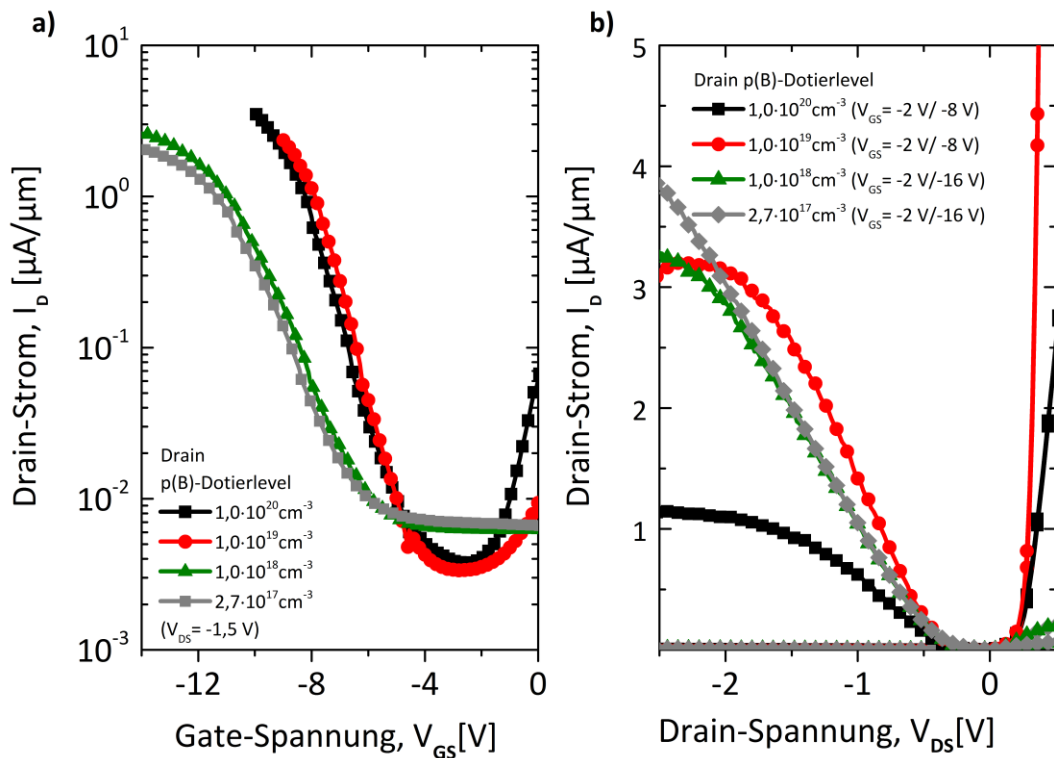
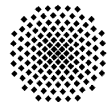


Abbildung 4.13

a) Transfercharakteristik der Ge-TFETs der Dotierserie mit unterschiedlichen B-Dotierhöhen in der Si-Drain-Elektrode ($N_D = 2,7 \cdot 10^{17} \text{ cm}^{-3}$, $1,0 \cdot 10^{18} \text{ cm}^{-3}$, $1,0 \cdot 10^{19} \text{ cm}^{-3}$ und $1,0 \cdot 10^{20} \text{ cm}^{-3}$). Mit einer Dotierkonzentration in Höhe von $N_D = 1,0 \cdot 10^{18} \text{ cm}^{-3}$ kann der n-Kanal-Modus vollständig unterdrückt werden. Durch die großen Mesa-Strukturen des Uni-Bw-Maskensatzes kann noch keine weitere Reduzierung des Leckstroms beobachtet werden. Prozessvariationen während der Abscheidung des GOX führen dazu, dass zwei unterschiedliche GOX-Dicken unter den Proben beobachtet werden. Die Proben mit den B-Dotierkonzentrationen $N_D = 2,7 \cdot 10^{17} \text{ cm}^{-3}$ und $N_D = 1,0 \cdot 10^{18} \text{ cm}^{-3}$ wurden zusammen prozessiert, während die Proben mit den B-Dotierkonzentrationen $N_D = 1,0 \cdot 10^{19} \text{ cm}^{-3}$ und $N_D = 1,0 \cdot 10^{20} \text{ cm}^{-3}$ zusammen, zeitlich versetzt, prozessiert wurden. Die hier gezeigten Transistoren haben jeweils die gleichen Abmessungen: mit einer Mesa-Fläche von $240 \mu\text{m}^2$ und einer Kanalweite von $W_G = 10 \mu\text{m}$. In b) werden die Ausgangscharakteristika der Ge-TFETs der Dotierserie abgebildet. Für die Kennlinien wurde eine lineare Darstellung gewählt, es kann erst eine Sättigung des Drain-Stroms I_D für ausreichend hohe Drain-Spannungen V_{DS} beobachtet werden. Die Messkurven wurden in [206] veröffentlicht.

Zusätzlich sollte durch eine Absenkung der Drain-Dotierung eine Verringerung des Leckstrom-Niveaus zu sehen sein, während die Absenkung keinen direkten Einfluss auf die Sättigungsströme haben sollte [166]. In der Abbildung 4.14 a) werden die Mittelwerte der Sättigungsströme I_D der Ge-TFETs der Dotierserie mit unterschiedlichen B-Dotierhöhen in der Si-Drain-Elektrode



($N_D = 2,7 \cdot 10^{17} \text{ cm}^{-3}$, $1,0 \cdot 10^{18} \text{ cm}^{-3}$, $1,0 \cdot 10^{19} \text{ cm}^{-3}$ und $1,0 \cdot 10^{20} \text{ cm}^{-3}$) dargestellt. Während den Messungen wurde die Drain-Spannung mit $V_{DS} = -0,5 \text{ V}$, $-1,5 \text{ V}$ und $-2,5 \text{ V}$ gewählt. Alle Mittelwerte der Proben beinhalten mindestens 20 gemessene Transistoren womit prozessbedingte Inhomogenitäten auf der Probe statistisch aufgefangen werden. Wie es durch das Simulationsergebnis zu erwarten war, bleiben die Sättigungsströme I_D weitgehend unverändert³¹. Mit der Temperaturabhängigkeit der Leckströme konnte gezeigt werden, dass der Leckstrom primär durch einen SRH-Mechanismus beschrieben werden kann. Damit kann noch kein Einfluss mit der Absenkung des Leckstrom-Niveaus durch eine Reduzierung der Drain-Dotierung festgestellt werden, da das Leckstrom-Niveau durch das Mesa-Volumen und den SRH-Mechanismus bestimmt wird. Weiter kann die räumlich begrenzte elektrostatische Kopplung der MOS-Gate-Elektrode an das gesamte Transistorvolumen ein hohes Leckstrom-Niveau nicht verhindern. In Abbildung 4.14 b) sind die Mittelwerte der gemessenen Leckströme I_{off} (hier wurde der minimale Wert der Transferkurve bei $V_{GS} = -3,0 \text{ V}$ herangezogen) wiedergegeben.

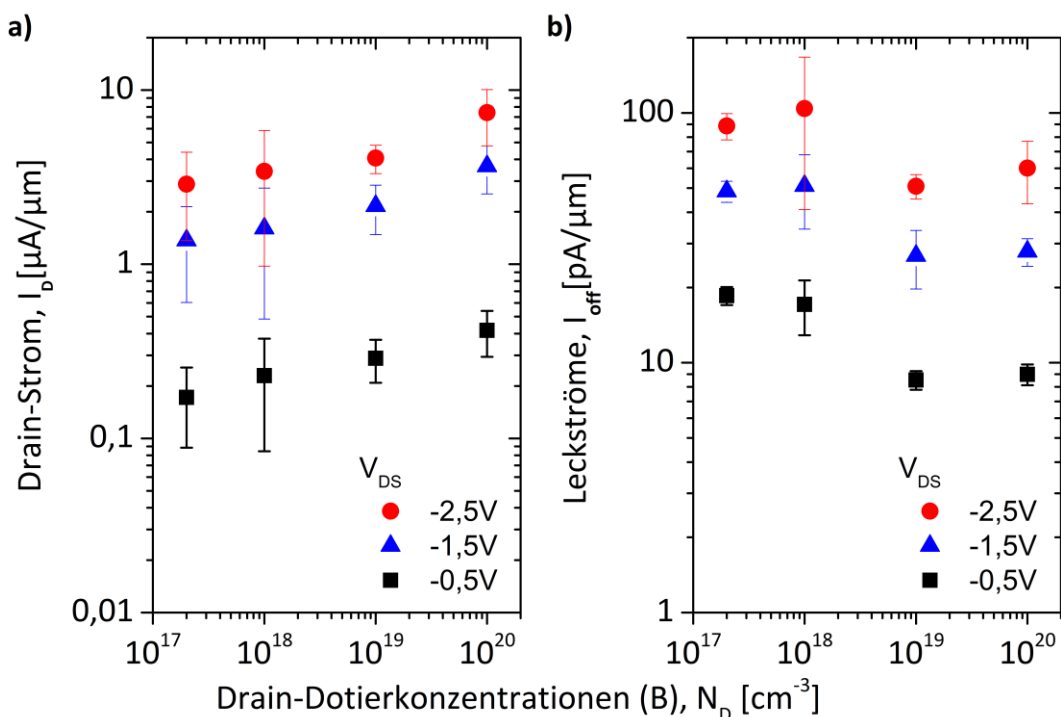


Abbildung 4.14 (a) Mittelwerte der Sättigungsströme I_D der Ge-TFETs der Dotierserie mit unterschiedlichen B-Dotierhöhen in der Si-Drain-Elektrode ($N_D = 2,7 \cdot 10^{17} \text{ cm}^{-3}$, $1,0 \cdot 10^{18} \text{ cm}^{-3}$, $1,0 \cdot 10^{19} \text{ cm}^{-3}$ und $1,0 \cdot 10^{20} \text{ cm}^{-3}$). Während den Messungen hatte die Drain-Spannung folgende Werte $V_{DS} = -0,5 \text{ V}$, $-1,5 \text{ V}$ und $-2,5 \text{ V}$. Alle Mittelwerte der Proben beinhalten mehr als 20 Transistoren. Ähnlich der verschobenen Sättigung der Ausgangscharakteristik besteht aufgrund der unterschiedlichen GOX-Dicken eine Variation in den maximal messbaren Sättigungsströmen. Die Proben mit den Dotierhöhen ($N_D = 2,7 \cdot 10^{17} \text{ cm}^{-3}$ und $N_D = 1,0 \cdot 10^{18} \text{ cm}^{-3}$) wurden mit einer max. Gatespannung von $V_{GS} = 14 \text{ V}$ gemessen. Die zwei verbleibenden Dotierkonzentrationen ($N_D = 1,0 \cdot 10^{19} \text{ cm}^{-3}$ und $N_D = 1,0 \cdot 10^{20} \text{ cm}^{-3}$) mit einer Gate-Spannung von $V_{GS} = -10 \text{ V}$. Teilabbildung (b) zeigt die Mittelwerte der gemessenen Leckströme I_{off} (hier wurde der minimale Wert der Transferkurve bei $V_{GS} = -3 \text{ V}$). Die leichte Variation der Leckströme kann dem zusätzlichen Temperschnitt nach dem i-Zonenwachstum der Proben mit den Dotierhöhen $N_D = 1,0 \cdot 10^{19} \text{ cm}^{-3}$ und $N_D = 1,0 \cdot 10^{20} \text{ cm}^{-3}$ zugeschrieben werden. Aufgrund des großen Mesa-Volumens kann keine weitere Reduzierung des Leckstroms erwartet werden. Die Messwerte wurden in [206] veröffentlicht.

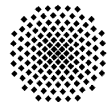
³¹ Die Richtigkeit der gemachten Annahmen wird durch den Überlapp der gemittelten Messwerte ersichtlich.

4. Kapitel

Erste experimentelle Realisierung des vertikalen Ge-pTFET-Konzepts

Die sichtbare Variation der Leckströme kann dem zusätzlichen Tempersschritt nach dem i-Zonenwachstum der Proben mit den Dotierhöhen $N_D = 1,0 \cdot 10^{19} \text{ cm}^{-3}$ und $N_D = 1,0 \cdot 10^{20} \text{ cm}^{-3}$ zugeschrieben werden. Mit den zusätzlichen Tempersritten kann eine „Ausheilung“ der Kristallmatrix durch eine Reduzierung von intrinsischen Defekten, vornehmlich der TDs, innerhalb und in der Peripherie des VS erreicht werden.

Eine Verschiebung der Schwellspannung durch Stressmessungen von negativen zu positiven Gate-Spannungen ist auch in dieser Messreihe sichtbar. Der relativ hohe SS, mit Werten $SS > 2750 \text{ mV / Dekade}$, lässt sich über das EOT von $d_{ox} = 15 \text{ nm}$ des verwendeten TEOS-PECVD-SiO₂ begründen [7]. Zusätzlich ist ein Einfluss von Schwankungen des PECVD-Prozesses auf die Transfercharakteristik sichtbar, dies schlägt sich in einer unterschiedlichen Schichtdicke des GOXs nieder. Die Variation der Oxiddicke ist deutlich in den unterschiedlichen SS, der in Abbildung 4.13 gezeigten Transferkurven zu erkennen. Die Inhomogenität in der GOX-Schichtdicke kann vor allem auf die selektive Ätzung der Ge-Schichtstruktur während des zusätzlichen Reinigungsschrittes zurückgeführt werden.



5 Optimierung des vertikalen Ge-pTFET-Konzepts

Die vorhergehende Betrachtung zeigte die Vorteile des TFET-Konzepts, doch ist die Leistungsfähigkeit bzgl. der Sättigungsströme I_D und damit V_{th} gegenüber eines konventionellen MOSFETs noch deutlich unterlegen. Es ist jedoch die Frage, ob dieser angebliche Nachteil von Bedeutung ist, wenn hier an einen Einsatz in der Höchstintegration gedacht werden soll.

Bei einer weiteren Skalierung der Transistoren bis zu dem Punkt, an dem die GOX-Kapazität die Kapazität des Kanalgebietes auch im angeschalteten Zustand dominiert, dem sogenannten quantenmechanischen Limit der Kanalkapazität (QCL, engl. Quantum Capacity Limit), zeigt sich erst die Überlegenheit des TFET-Konzepts. Es wurde in [150] gezeigt, dass in diesem Regime des QCLs der TFET mit dem konventionellen MOSFET bzgl. der Schaltgeschwindigkeit (Gl. 1.1) gleichauf liegt und der konventionelle MOSFET einen zehnmal größeren I_D benötigt. Zudem zeigt hier der TFET ein größeres I_{on}/I_{off} -Verhalten und damit eine geringere Leistungsaufnahme. Dies macht das BTBT-Konzept zu einem aktuell vielversprechenden Konzept, damit Strukturgrößen kleiner $L_G < 10$ nm realisiert werden können. Neben der physikalischen Höhe des TFETs im QCL-Regime, lässt sich die Leistungsfähigkeit weiter steigern und an die Werte des konventionellen MOSFETs heranführen. Die aus den ersten experimentellen und simulierten Ergebnissen ergeben sich die unten aufgeführten Punkte, die eine Verbesserung des TFETs, besonders im angeschalteten Zustand, versprechen.

5.1 Entwicklungspotential des vertikalen Ge-pTFET-Konzepts

Aus der Temperaturabhängigkeit des Leckstroms kann zur Minimierung der Verlustmechanismen das vertikale TFET-Konzept durch die untenstehenden Punkte verbessert werden:

- Das Design, z. B. als GAA-Struktur ([93], [106], [108], [207]).
- Wahl der Dotierstrategien, z. B. zur Unterdrückung des ambipolaren Verhaltens oder zur Verbesserung des Unterschwellwertverhaltens ([16], [96], [100], [104], [194], [208]).
- Durch das große Mesa-Volumen der bisher gezeigten Ge-TFETs ist der dominierende Leckstrom-Mechanismus durch SRH-GR dominiert.

Mittels des SeAMs und den Silvaco-Simulationen lassen sich wichtige Modifikationen, die einen Leistungszuwachs versprechen, begründen und ableiten. Darunter sind:

- Das Dotierprofil sollte so scharf wie möglich sein, damit eine geringe Barrierenweite $\Delta_{L_1+L_2}$ garantiert werden kann.
- Die Dotierhöhe innerhalb der Source-Elektrode sollte ausreichend hoch gewählt sein, um eine kleine Raumladungszone L_1 zu gewährleisten.
- Eine minimale Abschirmlänge des Potentials innerhalb des Kanalgebietes λ_2 ergibt sich sowohl durch eine effiziente Skalierung der Materialparameter $d_{ch}, d_{ox}, \epsilon_{ch}$ und ϵ_{ox} als auch des Transistor-Aufbaus in einer DG- oder sogar einer GAA-Variante. Wichtig hierbei ist die Wahl eines Dielektrikums mit einer hohen Permittivität für die MOS-Gate-Elektrode (sog. High-k Materialien) ([23], [101]–[103]).
- Eine transparentere Barriere wird durch die Wahl des Halbleitermaterials mit kleinerer Bandlücke E_G innerhalb der Tunnelregion erreicht. Wie schon erwähnt wurde, z. B. mittels $\text{Si}_{1-x}\text{Ge}_x$, Ge, $\text{Ge}_{1-x}\text{Sn}_x$ oder III-V Verbindungshalbleiter ([23]–[25], [124], [131]).
- Mit der Wahl des Halbleitermaterials und der Wahl der Transportrichtung kann die effektive Tunnelmasse m_{eff} beeinflusst werden.

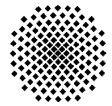
Es ist jedoch zu beachten, dass die gewählte Barrierenhöhe den thermisch aktivierten Ladungstransport begrenzt und eine reduzierte Bandlücke zu höheren Verlustströmen I_{off} führt. Es gilt

5. Kapitel

Optimierung des vertikalen Ge-pTFET-Konzepts

also, das Transistor-Konzept hinsichtlich der Auswahl des Halbleiter-Materials in der Tunnelregion und Drain-seitig (ausreichend hohe Bandlücke E_G im Vergleich zu der Source-Seite), mit Hetero-Strukturen ([16], [96]–[100], [131]), durch gezieltes Band-Gap-Engineering zu erweitern. Im Folgenden werden die unten genannten Aspekte bzgl. der Leistungssteigerung des TEFT-Konzepts weiter erörtert:

- Reduzierung der Kanallänge L_G , zur Überprüfung der prinzipiellen Skalierbarkeit des (vertikalen) Ge-TFET-Konzepts und gleichzeitiger Reduzierung des Kanal-/Schichtwiderstands.
- Reduzierung der EOT durch Einsatz von Al_2O_3 , welches eine höhere dielektrische Konstante als SiO_2 besitzt.
- Optimierung des Bauteiledesigns: Das Design und die Prozessführung wurden in eine vertikal justierte und mit komplett umgebender Gate-Elektrode (GAA) überführt.
- Ausgehend von der GAA-Struktur wurde das Volumen des vertikalen Transistors mit Elektronenstrahl-Lithografie (EBL, engl. Electron Beam Lithography) weiter reduziert und es konnten GAA-TFETs mit einem Mesa-Durchmesser von $d_{Mesa} = 80 \text{ nm}$ experimentell hergestellt werden.
- Durch neue Anschlussstrukturen im GAA-Design konnten erste Messungen zum Hochfrequenzverhalten der Ge-pTFETs gemacht werden.
- Erhöhung des Drain-Stroms durch Verwendung von $Ge_{1-x}Sn_x$ -Heterostruktur im Ge-pTFET am Übergang zwischen Kanalgebiet und Source-Elektrode.



5.2 Reduzierung der äquivalenten Oxiddicke des Gateoxids durch Einführung von Al_2O_3

Im Weiteren der Prozessentwicklung wurde das Verfahren der Plasma-unterstützten Atomlagenabscheidung (PEALD für Plasma Enhanced Atomic Layer Deposition) für das GOX verwendet. Mit der ALD ist es möglich ein GOX homogen und konform auf der T-Struktur mit präziser Schichtdicke abzuscheiden. Mit dem Einsatz des Metalloxids Al_2O_3 , welches eine Permittivität von $\epsilon_{ox} \sim 7$ aufweist, kann die äquivalente Oxiddicke weiter reduziert werden. Der Einsatz der Plasma-unterstützten Variante kann dazu dienen, hervorragende Material- und Grenzflächeneigenschaften zwischen GOX und Ge bei niedrigen Temperaturen zu erzeugen. Was sich in einer niedrigen Grenzflächenzustandsdichte, einer reduzierten Hysterese und einer idealeren Flachbandspannung der MOS-Kapazität zeigen sollte.

5.2.1 Grundprinzip der Atomlagenabscheidung

Die Vorteile der präzisen Schichtdickensteuerung, insbesondere der sehr homogenen und konformen Deposition, entsprechen in Gänze der immer höheren Anforderungen an das Gate-Oxid in der CMOS-Technologie. Deshalb erlangte die ALD in den letzten Jahren immer größeres Interesse auf diesem Gebiet und wurde seit 2007 in der Volumenproduktion von Intel und etwas später von AMD, respektive Globalfoundries, im CMOSFET eingesetzt (high-K Metall-Gate-Elektrode). Zusammengefasst ergeben sich folgende Vorteile für den Einsatz des ALD-Prinzips:

- Hervorragende dielektrische Eigenschaft von z. B. Al_2O_3 und TiO_2 .
- Homogene und zusammenhängende Schichtabscheidung über große Flächen.
- Sehr präzise Schichtdickenkontrolle und konforme Abscheidung.
- Ein Batchprozess ist mit dem ALD-Prinzip realisierbar.

Um nun die Leistung der Bauelemente weiter zu steigern bzw. mit bereits von anderen Forschungsgruppen publizierten Werten zu vergleichen oder sogar zu übertreffen, ist eine weitere Verringerung der physikalischen Schichtdicke des Gate-Dielektrikums SiO_2 von Nöten. Jedoch treten technologische sowie physikalische Probleme auf, wenn die Standard-Abscheidungsverfahren wie PECVD, RTP, etc. eingesetzt werden. Insbesondere sind bei Si/Ge-Heterostrukturen niedrige Prozesstemperaturen (unter $350\text{ }^\circ\text{C}$) unabdingbar. Das bedeutet, dass die verfügbaren RTP-Prozesstemperatur (mindestens $700\text{ }^\circ\text{C}$) und PECVD-Verfahren (ca. $390\text{ }^\circ\text{C}$) unter den o. g. Aspekten nur bedingt einsetzbar sind. Es sei noch zu erwähnen, dass das mittels PECVD abgeschiedene SiO_2 -Isolatormaterial elektrisch qualitativ schlechter ist als das mit RTP erzeugte.

Bei der ALD handelt es sich um ein spezielles CVD-Verfahren, bei dem Atomlage für Atomlage einer gewünschten Materialschicht auf ein Substrat abgeschieden/aufgewachsen werden. Genauer betrachtet werden nur Bruchteile einer Atomlage des gewünschten Materials abgeschieden. Dies lässt sich geometrisch erklären, indem die verwendeten Precursor-Moleküle eine größere räumliche Ausdehnung besitzen als die Bindungslänge bzw. Gitterkonstante des Endprodukts. Dieses Verhalten wird durch die sogenannte sterische Abschirmung beschrieben, welche durch den Bedeckungsgrad der auf der Oberfläche adsorbierten Precursor-Moleküle bestimmt wird. Prinzipiell ist das ALD-Verfahren über selbstlimitierte Reaktionszyklen an der Oberfläche definiert, die in einem AB-Zyklus³² an der Oberfläche im Idealfall chemisorbieren. Die in sich abgeschlossenen Teilzyklen führen zu einer konstanten und präzisen Abscheiderate (GPC, engl.

³² Im Allgemeinen ist das ALD-Verfahren nicht auf binäre Materialsysteme und Prozessvarianten beschränkt. Es können mitunter ternäre oder sogar Materialsysteme abgeschieden werden. Auch kann aus einem AB-Zyklus nur ein Material erzeugt werden, z. B. bei der ALD von Metallen.

5. Kapitel

Optimierung des vertikalen Ge-pTFET-Konzepts

Growth Per Cycle) führen. Durch das zyklische und in sich abgeschlossene Wachstum des Materials wird die Schichtdicke nicht über die Abscheidedauer und somit über die Abscheiderate bestimmt, sondern über die Gesamtzyklenanzahl N . Durch das selbstterminierte Wachstum lassen sich sehr präzise ultra-dünne und hochwertige GOX erzeugen.

Ein sehr gut verstandenes System ist das ALD-Wachstum von Al_2O_3 mit Trimethylaluminium (TMA) und H_2O . Diese Reaktion [209] zeigt eine sehr hohe Änderung der Enthalpie ($\Delta H = -379$ kcal), was auf der starken Bindung zwischen Aluminium und Sauerstoff und der großen Affinität zwischen den CH_3 -Liganden und den H^+ -Ionen beruht.

Durch die Anwendung des ALD-Prinzips sollte eine von der Probengeometrie unabhängige, sowie konforme Abscheidung möglich sein. Dies wiederum muss sich in der konformen, über der Probe homogenen Atomlagenabscheidung in der Prozessführung zeigen. Die Precursor-Zufuhr findet vorrangig über eine gasförmige Zuleitung, die über eine Flusskontrolle mittels Massenfluss-Steuerung (MFC, engl. für Mass Flow Controller) gesteuert werden, statt. Die MFC-Steuerung kontrolliert auch die gepulste Zufuhr der Inertgase (z. B. Ar, N_2) und H_2O oder O_2 . Sauerstoff kann als Oxidant für einen möglichen Plasma-unterstützten Prozess verwendet werden. Das verwendete Spülgas sollte inert gegenüber den angebotenen Reaktanten sein, wie z. B. Ar oder N_2 . Es ist jedoch zu beachten, dass ein Spülen mit N_2 auch eine Inkorporation von Stickstoff in die abzuschneidende Schicht zur Folge haben kann. Für die angedachten Metalloxide ist das ALD-System mit beheizbaren Precursor-Linien, welche bei RT bis zu 200°C PID-geregelt sind, ausgestattet. Das ist nötig, da die zum Teil verwendeten Precursoren nicht den gewünschten Partialdruck bei RT zeigen. Für die Abscheidung wurden für Al_2O_3 -Schichten TMA und im Fall von HfO_2 -Schichten Hafniumtertbutoxide (HfTBO) als Precursoren eingesetzt.

Für die auf der Probenoberfläche stattfindende Oxidation der Precursoren wird ein Oxidant (Precursor für eine reaktive Sauerstoff-Spezies) benötigt. Diese Oxidation ist einmal thermisch über das übliche Verfahren des Pulsens mit Wasser H_2O realisierbar aber auch durch einen Plasmazyklus. Der Vorteil der unterstützten Abscheidung mit einem Sauerstoff-Plasma liegt in der Reduzierung der Abscheidetemperatur bis zu RT. Die Reaktion läuft primär über reaktive Sauerstoffspezies (z. B. Superoxidanion-Radikal, etc.) mit TMA ab. Ein reiner ALD-Prozess von Wasser als Oxidant im TMA-Prozess kann bei RT nur für ausreichend lange Pulszeiten mit Evakuierungszeiten größer als 10 s des Rezipienten realisiert werden. Werden kürzere Pulszeiten gewählt, ist eine Desorption des Wasser-Moleküls von den Kammerwänden des Rezipienten bis in den TMA-Puls hinein zu verzeichnen. Das Verhalten führt zu einer ungewollten CVD-Komponente. Ein weiterer Vorzug des Plasmas liegt darin, dass das an der Oberfläche befindliche TMA nur mit reaktiven Sauerstoffspezies einen Reaktionspfad bildet. Das mit PEALD erzeugte Al_2O_3 , weist eine verbesserte elektrische Eigenschaft als Isolator auf, als ein mit thermischer ALD und H_2O als Sauerstoff-Precursor, erzeugtes Al_2O_3 .

Die vier alternierenden Subzyklen des Gesamtzyklus, dargestellt in Abbildung 5.1 a), können wie folgt zusammengefasst werden:

1. Selbstlimitierende Oberflächenreaktion des ersten Precursors.
2. Spülvorgang mit Inertgas, um zu viel angebotenen Precursor und Reaktionsprodukte aus der Reaktionskammer zu entfernen.
3. Selbstlimitierende Oberflächenreaktion des zweiten Precursor mit der gesättigten Oberfläche. Dieser Schritt kann durch eine Plasmaquelle (direktes oder indirektes Plasma) unterstützt und getriggert werden.
4. Spülvorgang mit Inertgas wie im zweiten Teilschritt. Für die gewollte Schichtdicke werden diese N -mal wiederholt.

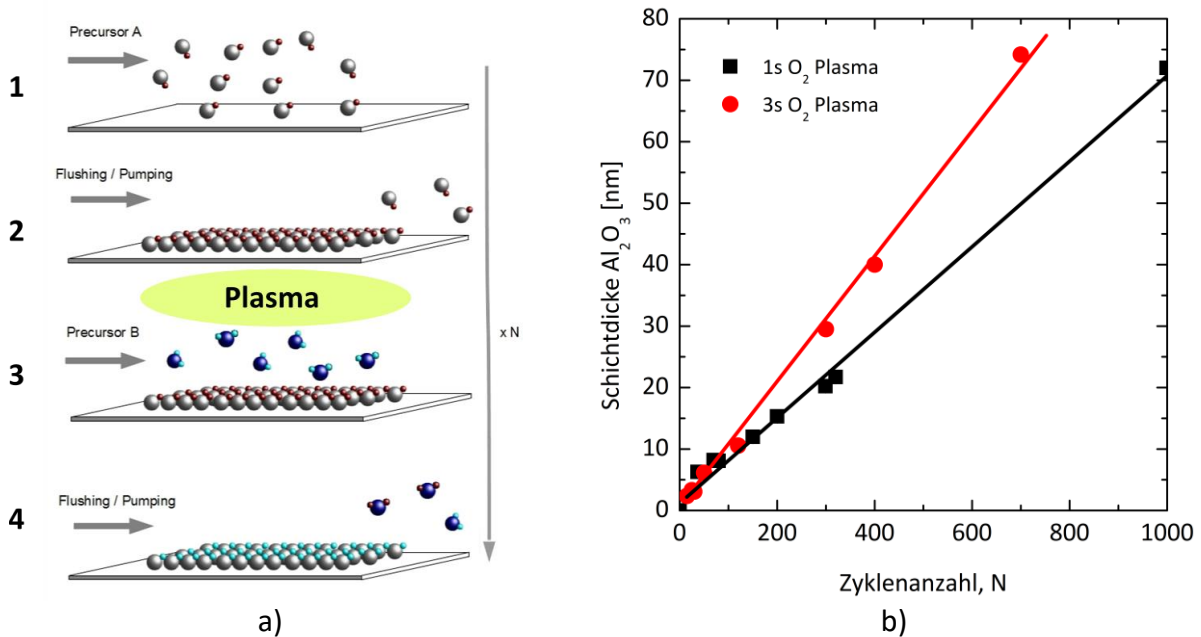
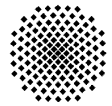


Abbildung 5.1

(a) Die vier Teilschritte eines ALD-Zyklus aus [210]: (1): Selbstlimitierende Oberflächenreaktion des ersten Precursors. (2): Spülvorgang mit Inertgas, um zu viel angebotenen Precursor und Reaktionsprodukte aus der Reaktionskammer zu entfernen. (3): Selbstlimitierende Oberflächenreaktion des zweiten Precursor mit der gesättigten Oberfläche. Dieser Schritt kann durch eine Plasmaquelle (direktes oder indirektes Plasma) unterstützt und getriggert werden. (4): Spülvorgang mit Inertgas wie im zweiten Teilschritt. Für die gewollte Schichtdicke werden diese N-mal wiederholt. b) Stellt die gewachsene Schichtdicke über die Zyklanzahl für den TMA/O₂-PEALD Prozess für zwei unterschiedliche Plasma-Pulsdauern von jeweils einer (schwarz) und zwei Sekunden (rot) dar. Es ist zu sehen, dass durch einen zu kurz gewählten O₂-Plasma-Puls noch nicht alle adsorbierten TMA-Moleküle abreagiert wurden. Dies ist auch in einer Sättigung des GPC zu vermerken [211].

Ein zentraler Punkt der in der ALD-Prozessführung von wichtiger Bedeutung ist, ist die Pulsdauer innerhalb eines Teilzyklus. Die Dauer eines Zyklus leitet sich daraus ab, ob die Teilreaktionen (1. und 3.) vollständig abgelaufen sind, d. h., dass alle reaktiven Oberflächengruppen abreagiert sind. Zweitens sollte durch den Spülvorgang gewährleistet werden, dass der Rezipient vollständig von nicht abreagierten Spezies evakuiert wurde, sonst mischt sich zur eigentlich oberflächengesteuerten Reaktion eine ungewollte CVD-Komponente. In Abbildung 5.1 b) kann das lineare Wachstum in Abhängigkeit von der Zyklanzahl für einen TMA/O₂-PEALD-Prozess nachvollzogen werden. In der Abbildung sind zwei unterschiedliche Plasma-Pulsdauer von jeweils einer und zwei Sekunden dargestellt. Es ist zu sehen, dass durch einen zu kurz gewählten O₂-Plasma-Puls noch nicht alle adsorbierten TMA-Moleküle abreagiert werden, was auch in einer Sättigung des GPC zu verzeichnen ist [211].

Wie in Abbildung 2.7 schon verdeutlicht wurde, kann durch eine Reduzierung der EOT eine effektivere elektrostatische Kontrolle der Gate-Elektrode erreicht werden. Der Einfluss auf den GETFET auf die Transferkennlinie und die Transkonduktanz g_m werden in Abbildung 5.2 a) dokumentiert. Als MBE-Wachstumssequenz wurde die in Abbildung 4.7 c) dargestellte Variante mit einer Drain-Dotierung von $N_D = 1,0 \cdot 10^{20} \text{ cm}^{-3}$ verwendet. Durch den Einsatz eines PEALD- Al₂O₃-Dielektrikums mit einer Schichtdicke von $d_{ox,Al_2O_3} = 10 \text{ nm}$ konnte ein minimaler SS von $SS = 350 \text{ mV/Dekade}$ erreicht werden. Dazu wurde die ALD-Probe mit einer Probe verglichen, welche ein $d_{ox,SiO_2} = 20 \text{ nm}$ PECVD GOX besitzt. Im weiteren Verlauf der Arbeit konnte

5. Kapitel

Optimierung des vertikalen Ge-pTFET-Konzepts

ein EOT von $d_{ox, SiO_2} = 3,1$ nm auf einer planaren Ge(100)-Oberfläche realisiert werden, dargestellt in Abbildung 5.2 b). Eine weitere Reduktion des EOT ist denkbar, dazu sollte jedoch eine weitere Oxidation der Ge-Oberfläche, mit Bildung eines GeO_x , durch eine Nitridierung der Ge-Oberfläche verhindert werden.

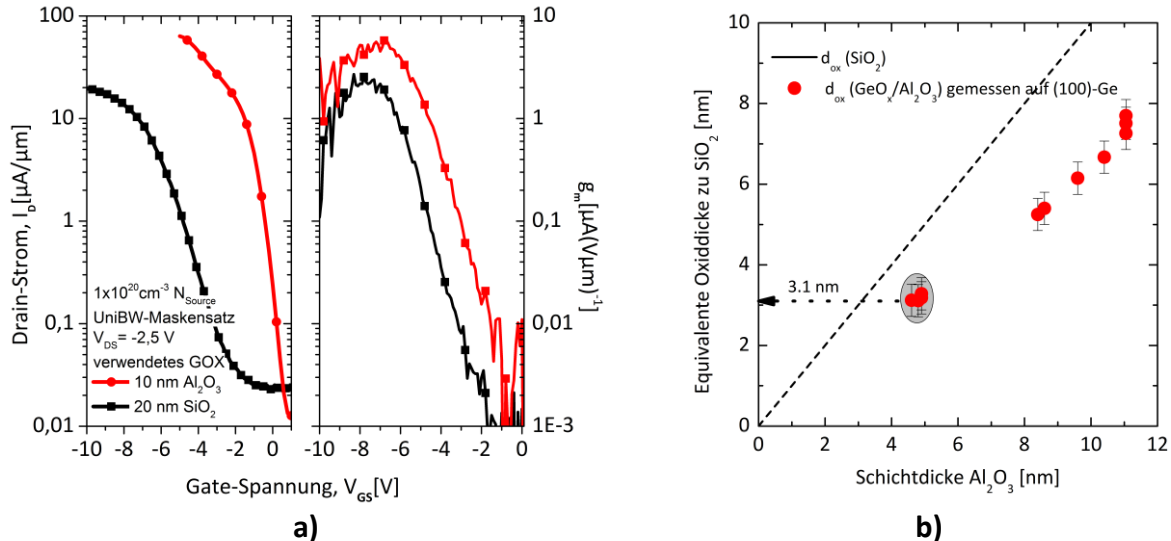


Abbildung 5.2

a) Zeigt den Einfluss des EOTs auf die Transferkennlinie und die Transkonduktanz g_m eines Ge-TFETs der MBE-Wachstumssequenz aus Abbildung 4.7 c). Die hier verglichene Variante besitzt eine Drain-Dotierung von $N_D = 1,0 \cdot 10^{20} \text{ cm}^{-3}$. Es konnte durch den Einsatz eines PEALD- Al_2O_3 -Dielektrikums mit einer Schichtdicke $d_{ox; Al_2O_3} = 10$ nm ein minimaler SS von $SS = 350$ mV/Dekade erreicht werden. Zum Vergleich wurde ein Ge-TFET derselben MBE-Sequenz mit einem PECVD-GOX mit $d_{ox; SiO_2} = 20$ nm mit dargestellt. Im Verlauf der Arbeit konnte ein EOT von $d_{EOT} = 3,1$ nm auf einer planaren Ge(100)-Oberfläche realisiert werden und ist in b) dargestellt.

5.3 MBE-Sequenzen zur Skalierung der Kanallänge L_G des Ge-pTFETs

Die Skalierung der Kanallänge L_G des Ge-pTFETs, bis in den Bereich $L_G < 20$ nm, wurde experimentell in einer MBE-Versuchsreihe untersucht. In den MBE-Sequenzen, schematisch dargestellt in der Abbildung 5.3, erfolgte die „Lithografie-unabhängige“ Skalierung Kanallänge L_G über die die Verlängerung des p-Typ dotierten LDDs in die intrinsische Zone hinein. Dabei wurde die intrinsische Zone um den Wert X verkürzt, um die gewünschte Kanallänge zu erreichen, und das LDD wurde dementsprechend um den Wert X verlängert. In dieser Wachstumsserie wurde die Kanallänge L_G in vier Schritten von $L_G = 200$ nm, $L_G = 100$ nm, $L_G = 50$ nm auf $L_G = 15$ nm skaliert. Mit Silvaco ATLAS wurden die Bandverläufe des Ge-TFETs mit einer Kanallänge von $L_G = 15$ nm und $L_G = 200$ nm simuliert. Der Einfluss der Drain-Spannung auf den Bandverlauf der reduzierten Kanallänge und damit auf das Schaltverhalten des TFETs, kann der Abbildung 5.4 b) entnommen werden. Für den hier gewählten Aufbau, kann durch die Reduzierung der Kanallänge eine Verminderung des Schaltverhaltens, durch den Einfluss des DIBT-Effekts auf den SS und damit verbunden ein Anstieg des Leckstrom-Niveaus I_{off} , beobachtet werden [150]. Dieses kontraproduktive Verhalten kann über die räumlich begrenzte elektrostatische Kopplung der MOS-Elektrode an das gesamte Kanalvolumen bzw. Mesa-Volumen begründet werden. Im ausgeschalteten Zustand, in Verbindung mit einer hohen Drain-Spannung ($V_{DS} \geq -0,5$ V), kann ein Einsetzen des DIBT erzeugt werden.

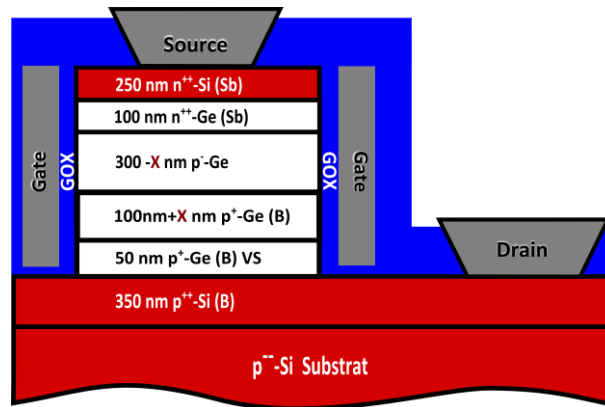
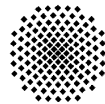


Abbildung 5.3

Schematische Darstellung der MBE-Sequenz zur Kanallängenvariation des Ge-TFETs. Die „Lithografie-unabhängige“-Skalierung der Kanallänge L_G erfolgte über die die Verlängerung des p-Typ dotierten LDDs in die intrinsische Zone hinein. Dabei wurde die intrinsische Zone um den Werte X verkürzt, um die gewünschte Kanallänge zu erreichen und das LDD wurde dementsprechend um den Wert X verlängert. In der Wachstumsserie wurde die Kanallänge L_G in vier Schritten von $L_G = 200$ nm, $L_G = 100$ nm, $L_G = 50$ nm auf $L_G = 15$ nm skaliert.

Dies zeigt sich in einer reduzierten Tunnel-Barriere am Übergang zwischen Kanalgebiet und Source-Elektrode, im Gegensatz zu einem Ge-TFET mit $L_G = 200$ nm worin die Source- und Drain-Gebiet noch weitestgehend elektrostatisch entkoppelt sind.

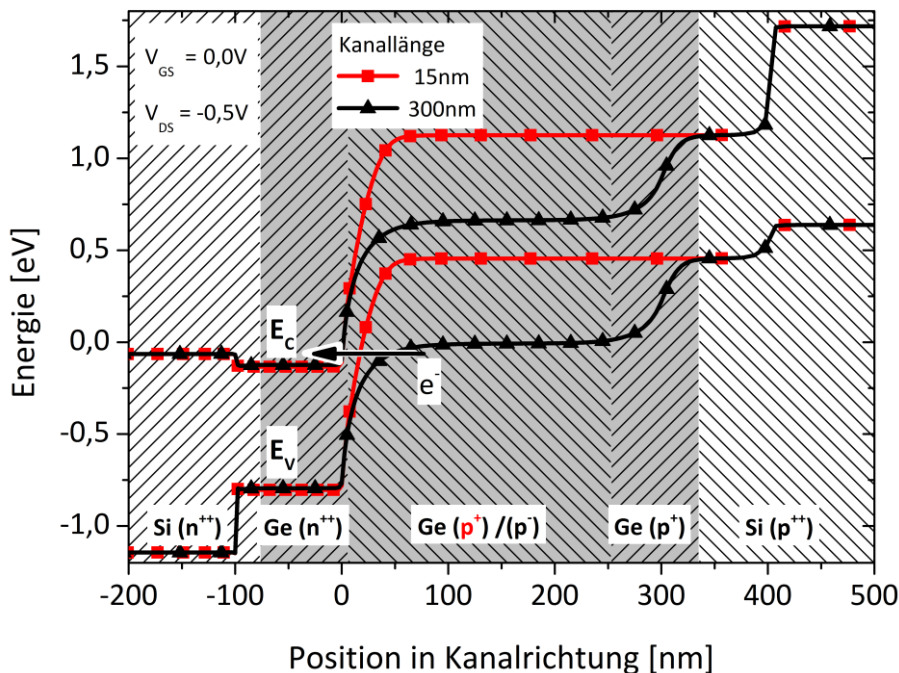


Abbildung 5.4

Das mit Silvaco ATLAS simulierte Banddiagramm wurde entlang der Grenzfläche Halbleiter/GOX des TFETs mit einer Kanallänge von 15 nm (rote Kurve/Quadrat) und 300 nm Kanallänge (schwarze Kurve/Dreieck) bei $V_{DS} = -0,5$ V und $V_{GS} = 0,0$ V extrahiert. Dem Bandverlauf kann entnommen werden, dass die Tunnelbarriere am Übergang zwischen Source-Elektrode und Kanalgebiet für eine $L_G = 15$ nm, auch ohne Gate-Spannung, transparenter wird. Im Gegensatz zu einer Kanallänge von $L_G = 200$ nm, spiegelt sich in höhere Verlustströme im ausgeschalteten Zustand durch den DIBT-Effekt. Die durch den Zener-Effekt generierten Verlustströme, werden durch den schwarzen Pfeil des Ladungstransports (hier Elektronen e^-) angedeutet.

5. Kapitel

Optimierung des vertikalen Ge-pTFET-Konzepts

Betrachtet man den Ge-TFET mit $L_G = 15$ nm kann angenommen werden, dass der Verluststrom durch einen erhöhten Zener-Tunnelstrom von Source nach Drain, in Kombination mit einem Defekt-unterstützten Tunnelstrom, beschrieben werden kann. Darin zeigt sich eine noch unzureichende Skalierung des Gesamtsystems aufgrund des großen Mesa-Volumens. Hierdurch kann für zu kurze Kanallängen keine ausreichende Entkopplung zwischen der Drain- und Source-Elektrode durch das MOS-gesteuerte Kanalgebiet erreicht werden. Wie angesprochen kann durch die reduzierte Kanallänge ein Anstieg der Leckströme I_{off} verzeichnet werden, wie es den Ausgangskennlinien und der Transfercharakteristika in Abbildung 5.5 a) und b) entnommen werden kann. Jedoch ist für eine Kanallänge von $L_G = 15$ nm, im Vergleich zu einer Kanallänge $L_G = 200$ nm, ein Anstieg im Sättigungsstrom I_D zu beobachten. Das Verhalten wird in den Ausgangskennlinien in Abbildung 5.5 a) für Drain-Spannungen $V_{DS} \leq -0,5$ V deutlich.

Um den Einfluss der Skalierung auf das Schaltverhalten des TFETs zu ermitteln, wurde der Gesamtwiderstand $R_{on} = \frac{V_{DS}}{I_D}$, für eine konstante Gatespannung $V_{GS} = -6$ V für die unterschiedlichen Kanallängen L_G bestimmt. Der ermittelte Mittelwert des Gesamtwiderstands R_{on} wird in Abbildung 5.5 a) dargestellt. Für den Gesamtwiderstand des TFETs kann in erster Näherung angenommen werden, dass dieser für die hier betrachteten Bauteileabmessungen primär durch den Kanalwiderstand dominiert wird.

Im Gegensatz zu einem Si-TFET, ist durch eine Reduktion der Kanallänge eine Absenkung des R_{on} zu erkennen. Weiter kann die Leistungsfähigkeit des Ge-TFETs durch eine reduzierte Gate-Kapazität C_G gesteigert und es kann eine Erhöhung der Schaltgeschwindigkeit $\tau = C_G \frac{V_{DS}}{I_D}$ durch das reduzierte Kanalgebiet erwartet werden. In der Abbildung 5.5 b) werden die Mittelwerte der Sättigungsströme I_D gegen das Drain-induzierte elektrische Feld aufgetragen. Mit der Formel 3.1 wurde das elektrische Feld in der Mitte des Mesavolumens in Abhängigkeit von der Drain-Spannung V_{DS} bestimmt. Wie zu erwarten kann mit einer Verringerung der Kanallänge ein Anstieg von F_y (elektrisches Feld in Kanal-/Transportrichtung) beobachtet werden. Es kann jedoch für eine Ge-TFET mit $L_G = 15$ nm angenommen werden, dass für Drain-Spannungen $V_{DS} \geq -0,5$ V und einer maximalen Gate-Spannung $V_{GS} = -6$ V, die maximal vorherrschende Feldstärke in der Mitte des Bauteils einen Wert von $\|F\| \geq 0,5$ MV/cm nicht überschreitet. Somit sollten Beiträge zum Sättigungsstrom I_D für den Ge-TFET mit $L_G = 15$ nm durch direktes Tunneln für $V_{DS} \geq -0,5$ V vernachlässigbar sein. Jedoch können Kurzkanal-Effekte und direktes Tunneln nicht ausgeschlossen werden und können demnach für den Anstieg des Leckstromniveaus verantwortlich gemacht werden. Demzufolge ist ein Ge-TFET in diesem Aufbau mit $L_G = 15$ nm nur bedingt und in einem sehr begrenzten Drain-Spannungsbereich von $-0,75$ V $< V_{DS} < 0$ V operabel. Für einen effizienteren Einsatz sollte die Skalierung des Mesa-Volumens mit in Betracht gezogen werden. Für die in diesem Abschnitt betrachteten Kanallängen kann für den Ge-TFET eine optimale Kanallänge $L_G = 50$ nm für das Uni-Bw-Design bestimmt werden, wenn ein ausreichend hohes I_{on}/I_{off} -Verhältnis und reduzierte SCE-Effekte erreicht werden sollen. Auch wenn durch eine Skalierung der Kanallänge eine Erhöhung des Sättigungsstroms I_D erreicht werden kann, darf, wie im Falle eines konventionellen MOSFETs, die Skalierung der anderen TFET-Parameter nicht außer Acht gelassen werden.

Um eine gezielte Skalierung zu erreichen ist die natürliche Abschirmlänge des Potentials zu beachten, was eine direkte Vorgabe an das Mesa-Volumen und der verwendeten Oxiddicke stellt. Es wird somit unumgänglich das Mesa-Volumen der betrachteten Strukturen drastisch zu reduzieren ([29], [150], [194], [206]). Das experimentelle Vorgehen zur Prozessentwicklung für vertikale Transistor-Strukturen mit vollumgebender Gate-Elektrode wird im folgenden Kapitel behandelt.

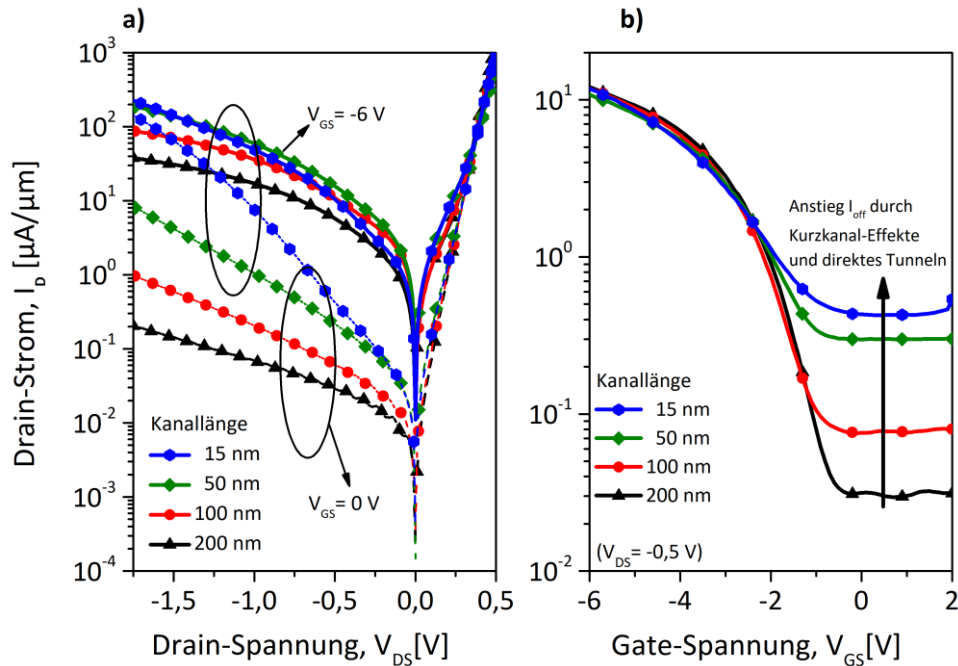
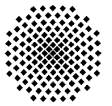


Abbildung 5.5 (a) Ausgangscharakteristik der Ge-TFETs der Kanallängen-Variation ($L_G = 300$ nm, 200 nm, 100 nm, 50 nm und 15 nm). Die unterbrochenen Kurven stellen die Aus-Kennlinien ($V_{GS} = 0,0$ V) der Transistoren dar. Für den An-Zustand wurde die Gate-Spannung während der Messung mit $V_{GS} = -6,0$ V gewählt. Die Transistoren besitzen eine Mesa-Oberfläche von $240 \mu\text{m}^2$ und eine Kanalweite von $80 \mu\text{m}$. (b) zeigt die Transfercharakteristika der TFETs mit variierender Kanallänge ($L_G = 300$ nm, 200 nm, 100 nm, 50 nm und 15 nm). Die Drain-Spannung wurde mit $V_{GS} = -0,5$ V gewählt.

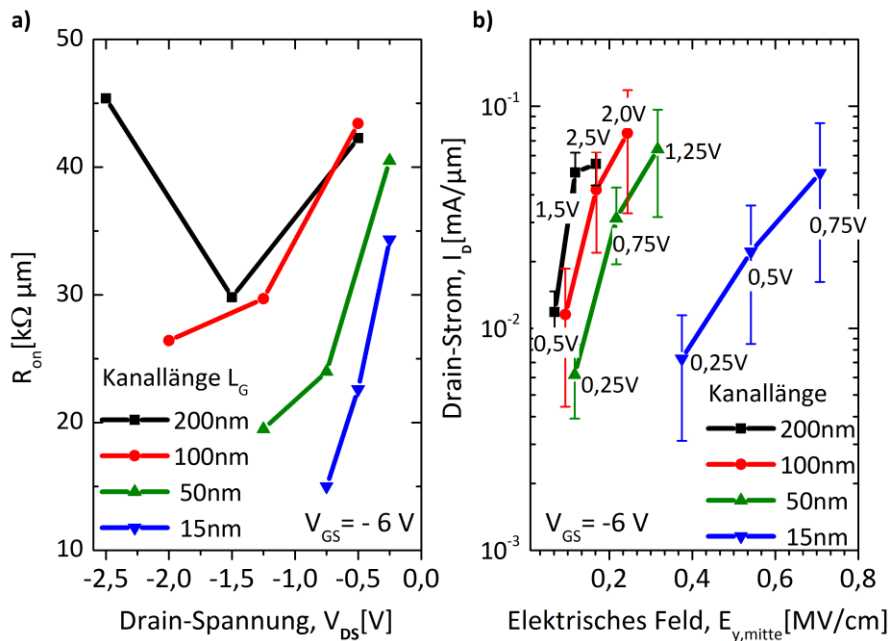


Abbildung 5.6 a) Mittelwerte des Gesamtwiderstandes R_{on} , in $\Omega/\mu\text{m}$, der untersuchten Ge-TFETs-Kanallängenvariation ($L_G = 300$ nm, 200 nm, 100 nm, 50 nm und 15 nm). b) zeigt die Mittelwerte der Sättigungsströme I_D , welche über das Drain-induzierte elektrische Feld aufgetragen wurden. Die angegebene Feldstärke, wurde in der Mitte des Mesa-Volumens ermittelt. An den jeweiligen I_D -Werten sind die dazugehörigen Drain-Spannungen V_{DS} angegeben.

6 Prozessentwicklung Lithographie-unabhängige Skalierung

6.1 Vertikale Transistor-Strukturen mit vollumgebender Gate-Elektrode

Als ein zentraler Punkt dieser Arbeit bestand in der Etablierung eines CMOS-kompatiblen Prozessablaufs für vertikale TFETs. Die in Kapitel 2.1 erste Prozessfolge wurde für das Uni-Bw-Maskenlayout entwickelt. Dabei stand zuerst die Prozessierung der gewachsenen SiGe- und Ge-Schichtstrukturen in einem vertikalen TFET-Aufbau im Vordergrund. Ein prozessierter TFET im Uni-Bw-Maskenlayout ist in Abbildung 6.1 a) zu sehen.

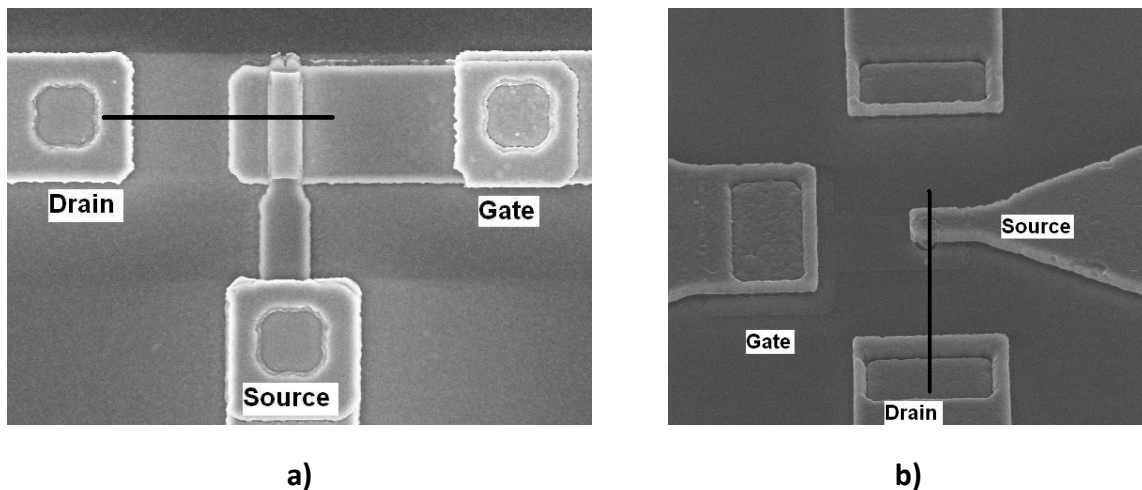


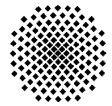
Abbildung 6.1

REM-Aufnahme a) eines mit dem Uni-Bw-Maskensatz hergestellten TFET; Zu sehen sind der überlappende Gate-Elektroden-Finger, die strukturierte MBE-Schichtfolge (Mesa) und die auf der Mesa auflaufende Kontaktstruktur aus Al. Die TFET-Struktur wurde mit einem PECVD-Oxid verkapselt. b) zeigt eine REM-Aufnahme eines TFETs im aMOS-2010-Maskenlayout. Im konzeptionellen Unterschied zu a) handelt es sich hier um einen GAA-Transistorstruktur und die Mesa ist vollständig von der Gate-Elektrode umschlossen.

Als zweiter Teil der Entwicklung war es unausweichlich das TFET-Maskenlayout von einer überlappenden Struktur zu einer GAA-Struktur überzugehen. Mit dem neuen Maskenlayout sollte es möglich werden mit der bestehenden Technologie Strukturgrößen kleiner als $0,25 \mu\text{m}$ zu realisieren. Das entwickelte Konzept baut zentral auf das Verfahren der Selbstjustage der Kontaktierung auf dem Mesa-TK und einer selbstjustierten vertikalen Positionierung der Gate-Elektrode an der Mesa-Flanke auf. Als Lösungsansatz dienten zwei Planarisierungskonzepte in der Prozessführung in Kombination mit einer speziellen Lithografie-Technik. Im Rahmen der Prozessentwicklung wurde der aMOS-2010-Maskensatz entwickelt³³. Der Maskensatz setzt sich aus fünf Maskebenen zusammen und dient zur Prozessierung von GAA-Transistorstrukturen. Das Layout berücksichtigt eine Variation des Mesas-Durchmessers von $d_{Mesa} = 1 \mu\text{m}$ bis $d_{Mesa} = 10 \mu\text{m}$. Im Layout wurden weiter Mesa-Arrays und Mesa-Einzelstrukturen integriert mit einer kritischen Auflösung des optischen Lithografie-Prozesses von $CD = 0,25 \mu\text{m}$ (CD , engl. Critical Dimension). Kleinere Strukturen, mit Auflösungen $CD < 0,25 \mu\text{m}$, wurden durch den Einsatz der Elektronenstrahlithografie (kurz EBL) realisiert [212]. Eine REM-Aufnahme eines mit dem aMOS-Maskensatz gefertigten GAA-TFETs ist in Abbildung 6.1 b) zu sehen.

In der ersten Entwicklungsphase, sollte mittels des chemisch-mechanischen-Planarisierungsschritts (kurz CMP, engl. für Chemical Mechanical Polishing) das Gate-Elektroden-Material gezielt zurückgedünnt werden. Als Materialien wurden mittels PECVD abgeschiedenes $\alpha\text{-Si:H}$ und mit

³³ Das Maskendesign erfolgte mit ADS 2010.



MBE gewachsenes B p-Typ-artig-dotiertes Poly-Si ausgewählt. Es stellte sich jedoch heraus, dass die beiden Materialien nicht stabil und konform abgeschieden werden konnten, um in der Prozessführung eine Selbstjustierung der Gate-Elektrode an der Mesa-Flanke zu gewährleisten. Als Alternative wurde Al als Gate-Elektrode beibehalten, jedoch ist eine Planarisierung des Al mit CMP nun nicht mehr möglich. Dementsprechend wurde auf eine Kombination von Rückätz- und Planarisierungsschritten zurückgegriffen. Hierbei wurde direkt nach der ganzflächigen Abscheidung des GOXs und des Al-Gate-Elektroden-Materials auf der Wafer-Oberfläche, mit Hilfe des Polymers 70F (Filmtronics Inc.), diese planarisiert und das Polymer darauffolgend kontrolliert zurückgeätzt. Das Polymer wurde bis zur Oberkante der Mesa, welche noch mit Al verkapselt ist, zurückgeätzt und freigelegt. Anschließend wurde das Al selektiv zum GOX zurückgeätzt. Eine Justierung der Gate-Elektrode an der Mesa-Flanke wurde über einen zeitlich-gesteuerten anisotropen ICP-Ätzschritt des Als erreicht. Die Prozessabfolge wird im Folgenden erläutert.

6.1.1 Prozessfolge zur Erzeugung von GAA-TFETs

In der Abbildung 6.2 a) ist das Layout eines Haupt-Chips des GAA-Maskensatzes (aMOS-2010) abgebildet. Auf einem Wafer-Bruchstück mit $35 \times 35 \text{ cm}^2$ wird der Haupt-Chip neunmal in einem Array abgebildet. Der Haupt-Chip beinhaltet Geometrievierungen der Mesa-Strukturen, welche aus Quadraten und Kreisflächen bestehen. Die Kanten der quadratischen Mesas sind zur Hälfte parallel bzw. orthogonal und mit einem Winkel $\alpha = 45^\circ$ gekippt zum Haupt-Flat orientiert. Durch die Verkippung um $\alpha = 45^\circ$ besitzen die Mesa-Flanken eine (100)-orientierte Oberfläche. Die Strukturgrößen der Mesas variieren zwischen $d_{Mesa} = 1 \mu\text{m}$ und $d_{Mesa} = 10 \mu\text{m}$. Zusätzlich wurden Strukturgrößen von $d_{Mesa} = 0,5 \mu\text{m}$ und vertikale Transistor-Strukturen des Uni-BW-Designs in das Layout der Rand-Chips integriert. Im Gegensatz zum Uni-BW-Maskensatz mit Überlapp der Gate-Elektrode, werden im GGA-Layout die Mesa-Fläche und der Mesa-Umfang bzw. Gate-Umfang W_G variiert. Für die GAA-Strukturen wurde auf eine konventionelle Öffnung der Kontaktfenster des TKs verzichtet. Die Öffnung und Kontaktierung des TKs erfolgt durch kombinierte Planarisierungs- und Rückätzverfahren. Um weitere Messdaten über die prozessierten MBE-Strukturen und der Prozessführung gewinnen zu können, wurden analog zu den SiGePin-Maskensätzen, auf dem Transmission-Line-Model-basierende TLM-Strukturen integriert. Die TLM-Strukturen dienen zur Bestimmung des spezifischen Kontaktwiderstands des Kontaktmetalls mit der MBE-Schicht und des Schichtwiderstands der darunterliegenden Halbleiterschichten. In der experimentellen Untersuchung des Temperaturverhaltens des Leckstrom der TFETs in Abschnitt 4.1, wurde gezeigt, dass für den Si-TFET eine Umfangsproportionalität und für den Ge-TFET eine Flächenproportionalität des Leckstroms erwartet werden kann. Für eine unverfälschte Bestimmung der Umfangs- bzw. Flächenproportionalität des Leckstrom-Verhaltens wurden zusätzlich Dioden-Strukturen integriert, die sowohl eine unverfälschte Messung und eine Auswertung der Dioden-Kennlinie in Vorwärts- und Rückwärtsrichtung ermöglichen. Für die Dioden-Strukturen wurden Mesa-Durchmesser von $d_{Mesa} = 1 \mu\text{m}$ bis $d_{Mesa} = 10 \mu\text{m}$ gewählt. Um einen Zugang zu einer Hochfrequenz-Charakterisierung der Ge-TFETs zu erhalten, wurden die Anschlussstrukturen in einem GSG-Design (für Ground-Signal-Ground) ausgelegt. Die Anschlussstrukturen sollten im Idealfall eine Impedanz von $Z_{GSG} \sim 50 \Omega + j \cdot 0 \Omega$ besitzen.

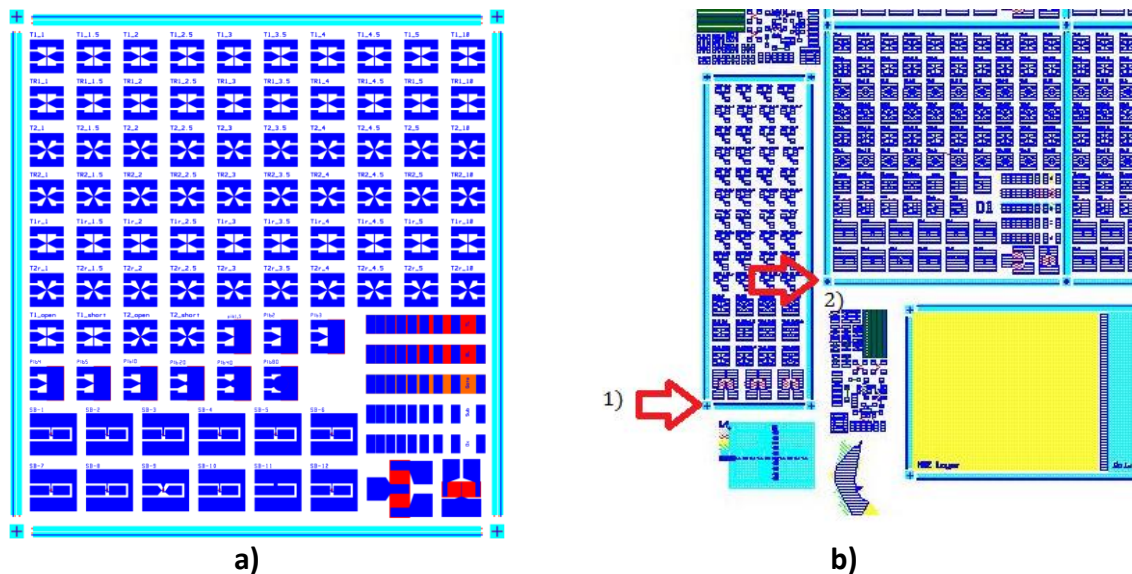


Abbildung 6.2

a)

a) Layout des in dieser Arbeit entwickelten GAA-Maskensatzes, mit der internen Bezeichnung aMOS 2010. In der Grafik werden alle Maskenebenen übereinander dargestellt. Der Mesa-Durchmesser der TFET-Strukturen variiert dabei in einer Reihe von $d_{Mesa} = 1 \mu\text{m}$ bis $d_{Mesa} = 5 \mu\text{m}$ (von links nach rechts) in Schritten von $\Delta d_{Mesa} = 0,5 \mu\text{m}$ für die mit T gegenzeichneten Transistoren. Die Strukturen in der letzten Spalte besitzen einen Mesa-Durchmesser von $d_{Mesa} = 10 \mu\text{m}$. Im rechten unteren Drittel sind die TLM-Strukturen zu finden, die zur Bestimmung der Kontakt- und der Schichtwiderstände der MBE-Strukturen dienen. Weiter wurden Dioden-Strukturen im Gegensatz zum Uni-Bw-Maskensatz integriert, die eine Messung der Dioden-Kennlinie der TFET-Strukturen ermöglichen. Der minimale Dioden-Mesa-Durchmesser beträgt $d_{Mesa} = 1 \mu\text{m}$. Zusätzlich wurden für die Anschlussstrukturen ein HF-Design gewählt, sowie Kalibrierstrukturen („Offen“- und Kurz-Schluss), um eine Hochfrequenzmessung der Transistoren zu ermöglichen. Weitere Strukturen gehören zu den Arbeiten bzgl. des Schottky-Barrier-FETs und der Ermittlung der Relaxation von Spin-polarisierten Strömen mithilfe von Hanle-Strukturen, hier mit zwei gekennzeichnet. b) Zeigt einen Ausschnitt der Anordnung des Maskenlayouts für einen „Rand“-Chip, der mit eins gekennzeichnet wurde. In den „Rand“-Chips sind Strukturen des Uni-BW-Maskensatzes und Strukturgrößen für GAA-TFETs mit $d_{Mesa} = 0,5 \mu\text{m}$ realisiert. Unterhalb der Haupt-Chips sind Ellipsometer- und Reflektometer-Testfelder integriert worden, die eine erweiterte Prozesskontrolle erlauben. Zusätzlich deuten die roten Pfeile die Justier-Routine für die EBL an, die in den Arbeiten ([213], [214]) etabliert und weiterentwickelt wurde.

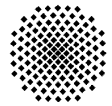
b)

Für eine Extrahierung des HF-Verhaltens des intrinsischen TFETs³⁴ ohne die GSG-Anschlussstrukturen, wurden zusätzliche Strukturen für das De-Embedding-Verfahren mit „Offen“- und Kurzschlussstrukturen auf dem GAA-Layout platziert.

Weiter befinden sich auf dem GAA-Maskendesign Strukturen zum Nachweis der Injektion und des Transportverhaltens von Spin-polarisierten Strömen in Ge und Si. Zur Verifikation dienen Schottky-Barrier-FETs und Hanle-Messanordnungen, die in dieser Arbeit nicht weiter erläutert werden. Zur Verschanschaulichung der Prozessabfolge für vertikale GAA-TFETs und im speziellen der Erzeugung von Nanodraht-GAA-TFETs mittels EBL, werden die benötigten Prozessschritte kurz erläutert und durch die Grafiken eins bis zehn in Abbildung 6.5 illustriert:

1. Prozessabschnitt (Fehler! Verweisquelle konnte nicht gefunden werden. Teilabbildung 1 und 2 in Abbildung 6.5): Zur Erzeugung von Strukturgrößen unterhalb von $CD < 0,5 \mu\text{m}$ wird zunächst eine 200 nm Hart-Maske (HM) aus SiO_2 mittels PECVD bei einer Temperatur von

³⁴ In der Messung DUT genannt, für Device-under-Test.



$T_S = 390^\circ\text{C}$ abgeschieden. Die Abscheidetemperatur des PECVD-Oxids wurde derart gewählt, dass der später folgende nasschemische BHF-Ätzschritt des Oxids eine stabilere und niedrigere Ätzrate zeigt. Mit dem ersten Maskenschritt (Hell-Feld-Maskentyp, zweite GAA-Maskenebene) wird der der Fotolack AZ ECI 3007 (in **Teilabbildung 1** in blau dargestellt) mittels einer Positiv-Fotolithografie für die darauffolgende Ätzung strukturiert.

Der verwendete Fotolack AZ ECI 3007 garantiert eine Auflösung von Strukturen $CD < 0,5 \mu\text{m}$. Die verbesserte Auflösung wird durch die geringere Fotolackdicke von 700 nm, gegenüber den 1200 nm dicken Fotolack AZ 6612, erreicht. Nach der Fotolithografie wird die Strukturierung der HM für die EBL mit einer RIE-Ätzung, unter der Verwendung von CHF_3 als Ätzgas, durchgeführt. Die erzeugten Strukturen entsprechen dem Maskendesign bzgl. der Position und der Geometrievarianten, welche in der Abbildung 6.2 a) dargestellt wurden. Damit Strukturgrößen $CD < 0,25 \mu\text{m}$ erzeugt werden konnten wurde die EBL verwendet. Um eine geringe Belichtungszeit und eine Jusatge der EBL auf die folgenden Maskenschritte zu ermöglichen, wurde die EBL auf der vorstrukturierten HM durchgeführt. Zum einen dient die Strukturierung der HM mit der optischen $1 \mu\text{m}$ -Lithografie zur Verkürzung der EBL-Schreibzeit, da der EBL-Lack nur sequentiell belichtet werden kann. Zum anderen können die EBL-Strukturen für die weitere Prozessierung auf das Maskenlayout justiert werden. Zur vereinfachten Justage wurde die größte HM-Mesa-Struktur mit einem Durchmesser von $d_{Mesa} = 10 \mu\text{m}$ gewählt. Die Justage des EBL-Schreibzykluses mittels der Drei-Punkt-Korrektur, wird exemplarisch durch die roten Pfeile in Abbildung 6.5 b) gekennzeichnet und wird in den Arbeiten ([213], [214]) ausführlich dargestellt. Zur weiteren Strukturierung der HM wurde als EBL-Lack das Polymer PMMA 950k³⁵ eingesetzt. Weitere Details zur Prozessführung der EBL sind den Qualifikationsarbeiten ([135], [213]–[215]), die die EBL am IHT eingeführt und optimiert haben, zu entnehmen. Wie schon erwähnt, werden innerhalb des Schreibfeldes (kurz WF, für Write Field), die gewollten Nanodraht-Strukturen erzeugt, die dann später mittels einem CHF_3 Ätzschritt in die darunterliegende Ätz-Maske übertragen werden. Dabei besitzt der CHF_3 -Ätzschritt eine hohe Selektivität zwischen Si (im Falle von GTFETs besteht die obere Halbleiterschicht aus Si) und SiO_2 . Hierdurch werden die während der Ätzung freiliegenden Halbleiter-Flächen nur geringfügig strukturiert³⁶. Die nach der trocken-chemischen Strukturierung verbleibenden Oxid-Residuen [216] werden durch einen kurzen nasschemischen Ätzschritt (BHF) entfernt. Hiermit wird eine ungewollte Maskierung in den Randbereichen während des ICP-RIE-Schritts vermieden. Das Ätzgas CHF_3 eignet sich in diesem Ätzreaktoraufbau nur bedingt zum Ätzen von Oxiden, da die zum Ätzen konkurrierende Plasmapolymersation ab einer Ätztiefe von 250 nm eine starke Rauheit verursacht ([135], [136]). Zusätzlich spielt bei der Strukturierung bzw. beim EBL-Schritt die Beschaffenheit der Oberfläche des Substrates sowie die Verunreinigung mit Partikeln eine große Rolle. Zudem ändert sich durch die dadurch entstehende Schwankung der Lack-Dicke (hier PMMA) die Belichtungs-dosis (Dose-to-Clear). Dabei sollte die frei geschriebene Fläche eine möglichst kleine Partikeldichte besitzen, damit später keine ungewollten Strukturen stehen bleiben. Zur Verbesserung der Belichtung von kleinen Strukturgrößen aber auch von Array-Strukturen wurde die PEC (kurz für Proximity Error Correction) verwendet. Die PEC ist in der EBL ein wichtiges Instrument um eine getreue Übertragung des Layouts durch Strukturierung des Halbleiters mit dem folgenden ICP-Ätzschritt zu erreichen.

Damit auch Strukturgrößen $CD < 1 \mu\text{m}$ ohne EBL prozessiert werden können, befinden sich in den Randbereichen des Haupt-Chips zwei x zwei -, vier x vier- und acht x acht-Array-Strukturen mit einer minimalen Strukturgröße von $CD = 0,5 \mu\text{m}$. Die Position der „Neben“-Chips befindet

³⁵ Polymethylmethacrylat, des Herstellers AllResist mit 950000 g/mol und 4%-Lösung.

³⁶ Es bildet sich eine zusätzliche Stufe in Form der ersten Mesa-Struktur (zweiten Maskenebene) des GAA-Maskensatzes von ca. 20 nm im BL aus [213].

sich in den Randbereichen eines 35x35 cm²-Bruchstücks³⁷, um durch die sich am Rand des Bruchstücks ausbildende Fotolack-“Wulst“³⁸ eine Proximity-Belichtung der kritischen Strukturgrößen zu vermeiden.

2. Prozessabschnitt (Fehler! Verweisquelle konnte nicht gefunden werden. **Teilabbildung 3 und 4 in** Abbildung 6.5): Nach Entfernung des EBL-Lacks wurden die MBE-Schichten mit einem zwei-stufigen ICP-RIE-Schritt mit den Ätzgasen Cl₂ und HBr strukturiert. Die Strukturierung erfolgt bis in den BL. In Abbildung 6.4 ist eine REM-Aufnahme einer NW-Struktur (Nano-Draht-Struktur, engl. Nano Wire Structure) zu sehen, welche mittels EBL aufgelöst wurde. Mit der EBL und der angegebenen Prozessführung konnte ein minimaler Durchmesser $d_{Mesa} = 80$ nm erzielt werden. In der Aufnahme sind die einzelnen Teilgebiete farblich gekennzeichnet. Der Bereich der SiO₂-HM wird durch rot wiedergegeben, der Si-TK wird durch eine blaue Färbung und der eigentlich relevante Teil des Ge-pTFETs wird in dargestellt. Am Fuße der Struktur sind (110)-Facetten zu erkennen, welche durch eine Abhängigkeit der Ätzrate des Cl₂-ICP-Ätzschritts von der Si-Kristallorientierung generiert werden [217]. Unmittelbar nach der Abscheidung des GOXs (orange in der vierten Teilabbildung in Abbildung 6.5 Fehler! Verweisquelle konnte nicht gefunden werden.) mittels den Verfahren PECVD, PEALD oder RTO, wird das GOX unmittelbar mit Al (grau) verkap-selt. Das Al stellt das Gate-Elektroden-Material dar. Die Abscheidung des Al wird mittels PVD durchgeführt.

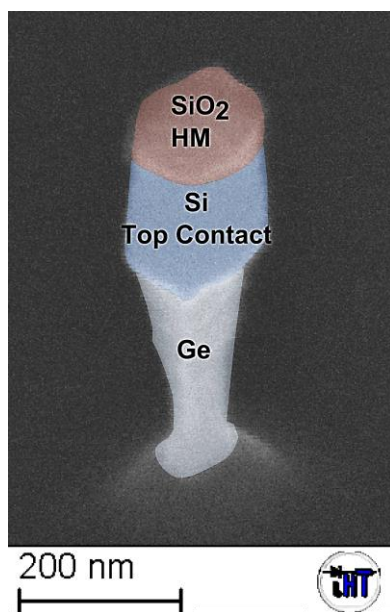


Abbildung 6.3

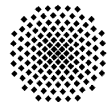
REM-Aufnahmen einer mittels EBL reduzierten NW-Struktur, die einen minimalen Durchmesser $d_{Mesa} = 80$ nm zeigt. In der Aufnahme sind die einzelnen Teilgebiete nachkoloriert; das SiO₂ welches als HM dient ist in rot gekennzeichnet, der Si-TK ist durch eine blaue Färbung und der eigentlich Ge-TFET ist weiß gefärbt dargestellt. Am Fuße der Struktur sind (110)-Facetten zu erkennen, welche durch den Cl₂-Schritt der ICP-Ätzung erzeugt werden [217].

Die Schichtdicke des Al wurde in allen Versuchen mit maximal 300 nm gewählt. Im Falle des Ge-TFETs kann eine Unterätzung des Si-TKs, durch die erweiterte Prozessführung dargestellt in Abbildung 4.8, erreicht werden.

3. und 4. Prozessabschnitt (Fehler! Verweisquelle konnte nicht gefunden werden. **Teilabbildung 5 und 6 in** Abbildung 6.5): Die Al-Gate-Elektrode wird durch den zweiten Positiv-Fotolithografie-Maskenschritt (Hell-Feld-Maskentyp, dritte GAA-Maskenebene) in Kombination mit einem zwei-stufigen ICP-RIE-Schritt strukturiert. Als Ätzgas wurde HBr eingesetzt. Der zwei-stufige ICP-RIE-Schritt wird am Anfang mit hoher RIE-Leistung $P_{RIE} = 125$ W ausgeführt, damit das natürliche Al₂O₃ durch die erhöhte physikalische Ätz-Komponente entfernt werden kann. Die eigentliche Al-Ätzung erfolgt mit einer reduzierten RIE-Leistung $P_{RIE} = 25$ W. Die Wahl der Ätzchemie ermöglicht eine hohe Ätzselektivität zwischen Al und den gewählten Gate-Dielektrika (hier SiO₂ und

³⁷ Die Neben-Chips sind mit eins gekennzeichnet in Abbildung 6.2 Fehler! Verweisquelle konnte nicht gefunden werden. b) zu sehen.

³⁸ dem sogenannten Edge-Bead



Al_2O_3). Die Selektivität garantiert eine einfache Prozessführung durch einen Ätzstop auf dem GOX. Verbleibende Al-Residuen werden durch einen nasschemischen Ätz-Schritt mit Phosphorsäure (H_3PO_4) bei 45°C entfernt.

Die Justiergenauigkeit des optischen Belichtungssystems MA/BA 6 ist auf $0,5\ \mu\text{m}$ beschränkt. Somit kann eine gezielte Justage von Kontaktstrukturen auf Mesadurchmesser $d_{\text{Mesa}} < 1\ \mu\text{m}$ nicht mehr realisiert werden. Daher wurde die Kontaktierung und Entfernung des TKs über eine selbstjustierten Rückätzschritt realisiert [213], [214]. Mithilfe der selektiven Ätzung des Ge zum Si-TK, wird zusätzlich eine Art vertikale Selbstjustierung der Gate-Elektrode für den Ge-GAA-TFET über dem Ge-Source-Gebiet möglich. Für die Ge-TFETs wurde aufgrund der T-Struktur auf die Abscheidung des GOXs (Al_2O_3) mit dem PEALD-Verfahren zurückgegriffen. Die Unterätzung des Si-TKs wird durch die Al-Metallisierung vollständig ausgefüllt. Zur späteren Kontaktierung des TKs muss das auf der Mesa-Oberseite befindliche Al lokal entfernt werden. Hierzu wird die Probe mit dem Polymer 70F planarisiert und anschließend stufenweise mit einem O_2 -RIE-Schritt zurückgeätzt. Die Ätzung wird beendet, wenn die gewünschte Stufenhöhe erreicht ist, d. h., bis die Oberkante der Al-bedeckten Mesa aus der planarisierten Ebene herausragt.

5. Prozessabschnitt (Fehler! Verweisquelle konnte nicht gefunden werden. **Teilabbildung 7 und 8 in** Abbildung 6.5): Die nun freiliegenden Al-Flächen werden, wie bei der Gate-Elektroden Strukturierung, mittels des zweistufigen ICP-RIE-Schritts zurückgeätzt. Das Rückätzen erfolgt im Falle eines Si-TFETs bis zur gewünschten Ätztiefe bzw. Ätzhöhe. Über die Ätzzeit kann ein Überlapp und ein Unterlapp zum Source-Gebiet eingestellt werden. Eine gezielte Prozessführung hinsichtlich einer präzisen vertikalen Positionierung der Al-GAA-Elektrode ist aufgrund der hohen Ätzrate von Al $r_{\text{ICP,Al}} = 11\ \text{nm/s}$ nur bedingt möglich. Damit besitzt die T-Struktur des Ge-TFETs den Vorteil, dass ein Rückätzen der Al an der Mesa-Flanke ermöglicht wird und somit eine Kompensation von Prozessvariationen über der Probe erreicht werden kann. Der Trockenätzschritt wird durch einen H_3PO_4 -Ätzschritt abgeschlossen. Mit diesen werden mögliche Al-Residuen entfernt. Wieder zeigt sich für die Al-GAA-Elektrode des Ge-TFETs, dass ein gewisser Schutz durch die vorhandene T-Struktur in Kombination mit der hohen Viskosität der Ätzlösung gegeben ist. Durch eine „Abschattung“ des Polymers 70F kann das verbleibende Al auf der Oberfläche des Si-TK entfernt werden, ohne Gefahr zu laufen, dass die Al-GAA-Elektrode dabei von der Mesa-Flanke wieder entfernt wird. Die REM-Aufnahme in Abbildung 6.4 a) zeigt ein drei x drei-Array mit einer Strukturgröße der Einzel-Mesa $d_{\text{Mesa}} = 310\ \text{nm}$ und in der Abbildung 6.4 b) eine einzelne Mesa mit einer Strukturgröße $d_{\text{Mesa}} = 1\ \mu\text{m}$. In den Abbildungen sind die Mesa-Strukturen eines Ge-TFETs zu sehen, die durch die selbstjustierte Al-GAA-Struktur eingebettet sind und deren TK vom Al freigelegt wurden. Die in Abbildung 6.4 gezeigten Strukturen wurden mittels optischer Lithografie und der Verwendung einer SiO_2 -Antireflectionsschicht (BARC, engl. Bottom Anti-Reflecting Coating) mit der Dicke $d_{\text{SiO}_2} = 70\ \text{nm}$ und des Fotolacks AZ ECI 3007 aufgelöst. Unter Berücksichtigung des CD-Swings der maximalen Auflösung kann insb. für periodische Strukturen eine Abhängigkeit von der Schichtdicke des Fotolacks beobachtet werden. Die aufgelösten Strukturen stellen ohne eine Anpassung des Maskendesigns (mittels OPC, engl. Optical Proximity Correction) die maximal erreichbare Auflösung des optischen Belichtungssystems MA/BA 6 dar.

Im nächsten Schritt wird SiO_2 als Passivierungsoxid mit der PECVD abgeschieden. Die Prozesstemperatur des Oxides wird hier auf eine Prozesstemperatur von $T_S = 250\ ^\circ\text{C}$ festgesetzt, um eine Kontamination der PECVD-Prozesskammer zu vermeiden. Die Schichtdicke des Passivierungsoxids wurde auf $250\ \text{nm}$ festgelegt. Für die folgende Öffnung der Kontaktfenster zu den Halbleitergebieten TK, BL und der Gate-Elektroden wird eine HM aus Al abgeschieden. Die Schichtdicke der Al-HM wurde $d_{\text{Al}} = 100\ \text{nm}$ gewählt.

6. Prozessabschnitt (Teilabbildung 9 und 10 in Abbildung 6.5 Fehler! Verweisquelle konnte nicht gefunden werden.): Das Öffnen der Oxidfenster des TKs kann aufgrund der kleinen Abmessungen ebenfalls nicht mit der Hilfe der Fotolithografie erfolgen. Weswegen auch hier erneut mit dem Polymer 70F planarisiert und anschließend die freiliegenden Al-HM-Flächen des TKs durch den zweistufigen ICP-RIE-Schritt oder eines H_3PO_4 -Ätzschritts geöffnet wurden („Selbstjustierte Öffnung“).

Die Kontaktfenster zur Gate-Elektrode und zum BL werden durch den dritten Positiv-Fotolithografie-Maskenschritt (Dunkel-Feld-Maskenfeld, GAA-Maskensatzebene 4), den zweistufigen ICP-RIE-Schritt und einem H_3PO_4 -Ätzschritts geöffnet. Der Vorteil in dieser Prozessführung ermöglicht eine gleichzeitige Öffnung des Passivierungsoxids mittels des CHF_3 -RIE-Schritts. Dies wird notwendig, da durch die Abmessungen der Mesas, insbesondere der Strukturen unter $1\ \mu\text{m}$, diese nicht mehr prozesstechnisch auf ein erfolgreiches Öffnen der Fenster überprüft werden können. Dabei wurden die Kontaktfenster zum TL, der Gate-Elektrode und des BL geöffnet. Wie schon im ersten Prozessabschnitt erwähnt wurde, eignet sich CHF_3 in diesem Ätzreaktoraufbau nur bedingt zum Ätzen von SiO_2 , denn die generierte Rauheit in den Kontaktlöchern erschwert ein Öffnen und Kontaktieren des TKs ([135], [136]). Nach der erfolgten Öffnung der Kontaktfenster wird die Metallisierung, in Form von Al-PVD, ganzflächig auf der Probe abgeschieden. Die darauffolgende Strukturierung erfolgt wie in den letzten Schritten durch einen Positiv-Fotolithografie-Maskenschritt (Hell-Feld-Maskentyp, GAA-Maskensatzebene 5) und das Ätzen durch den zweistufigen ICP-RIE-Schritt [135].

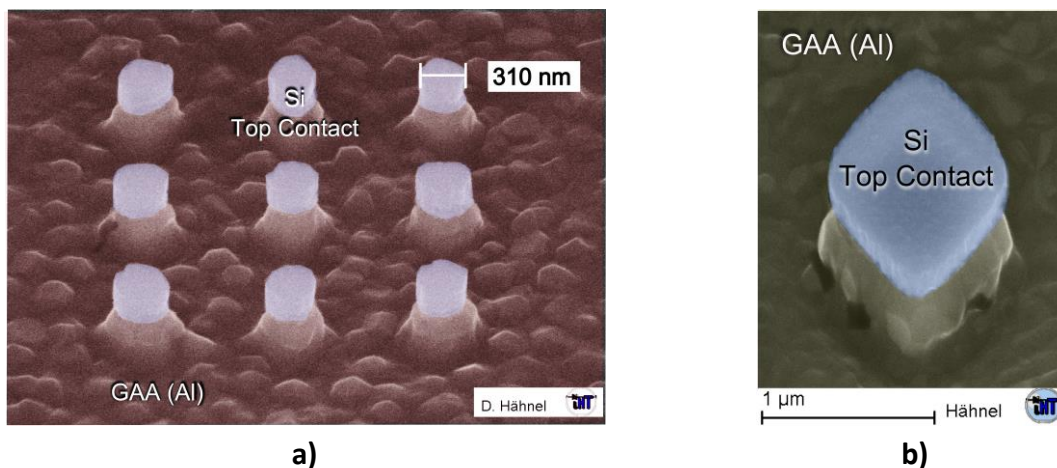
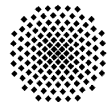


Abbildung 6.4

Die REM-Aufnahmen in Teilabbildung a) zeigen ein drei x drei-Array mit einer Strukturgröße von $d_{Mesa} = 310\ \text{nm}$ und in Teilabbildung b) eine einzelne Mesa mit einer Strukturgröße von $d_{Mesa} = 1\ \mu\text{m}$. In den Abbildungen sind die Ge-TFET-Strukturen, die durch die selbstjustierte Al-GAA-Struktur eingebettet sind, zu sehen. Dabei ist durch die selektive Ätzung der Ge-Schicht eine vertikale Selbstjustierung der GAA-Elektrode über das n-Typ-artig-dotierte Ge-Source Gebiet möglich, welche die Mesa Seitenflanke bis zur Unterkante des n-Typ-artig-dotierte Si-TKs einschließt. Die hier gezeigten Strukturen wurden mittels optischer Lithografie und der Verwendung einer Antireflectionsschicht aus SiO_2 (BARC) und des Fotolacks AZ ECI 3007 aufgelöst.



	Querschnitt	Draufsicht	Erläuterung
1			<ul style="list-style-type: none"> • Positiv-Fotolithografie mit Fotolack (blau) und Belichtung im Süss MA/BA 6 mit Hg-Dampfampe • Strukturierung der SiO₂-HM (orange) mit CHF₃-RIE-Schritt.
2			<ul style="list-style-type: none"> • Verkleinerung der HM mittels EBL. Als EBL-Lack, wird hier das Polymer PMMA 950k, (Polymethylmethacrylat, des Herstellers All-Resist mit 950000 g/mol und 4%-Lösung) eingesetzt (blau). • Strukturierung der SiO₂-HM (orange) mit CHF₃-RIE-Schritt und BHF.
3			<ul style="list-style-type: none"> • Strukturierung der MBE-Sequenz mit einem zwei-stufigen ICP-RIE-Schritt, mit Cl₂/HBr als Ätzgase • „Ge-Reinigung zweiter Teil“: H₂O₂-Dip kombiniert mit einem HF-„Zyklus“ bei RT. Im Falle eines Ge-TFTES bildet sich nach der Reinigung/Ätzung eine Unterschneidung unterhalb des Si-TKs aus (blau eingefärbt).
4			<ul style="list-style-type: none"> • Abscheidung des GOX (orange) (mittels PECVD, REALD oder auch RTO bei Si) • Verkapselung des GOXs mit Al-PVD (grau)
5			<ul style="list-style-type: none"> • Positiv-Fotolithografie mit Fotolack (blau) und Belichtung im Süss MA/BA 6 mit Hg-Dampfampe. • Strukturierung der Al-Gate-Elektrode mit ICP-RIE-Schritt.
6			<ul style="list-style-type: none"> • Die Oberfläche wird mit dem Polymer 70F (grün) planarisiert • Anschließend wird das Polymer stufenweise mit der RIE-Anlage und O₂ als Prozessgas zurückgeätzt, bis die gewünschte Stufenhöhe des freiliegenden Al (grau) erreicht wird.

6. Kapitel

Prozessentwicklung Lithographie-unabhängige Skalierung

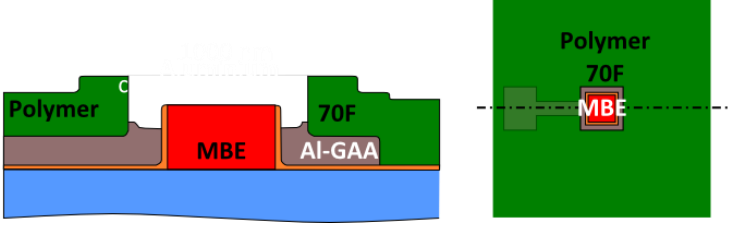
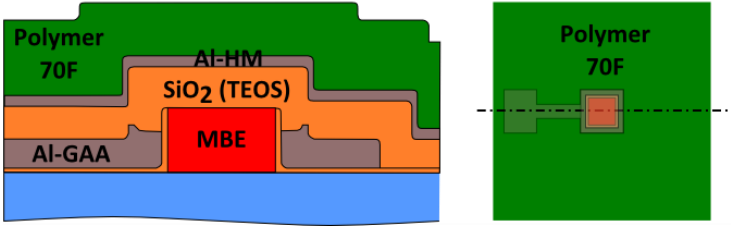
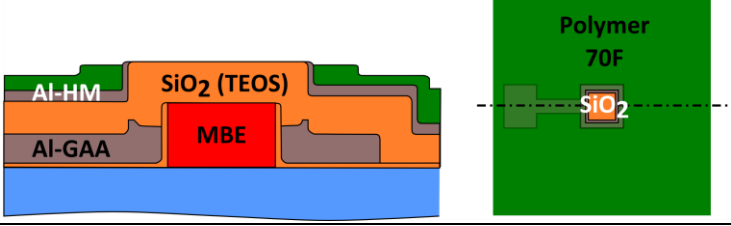
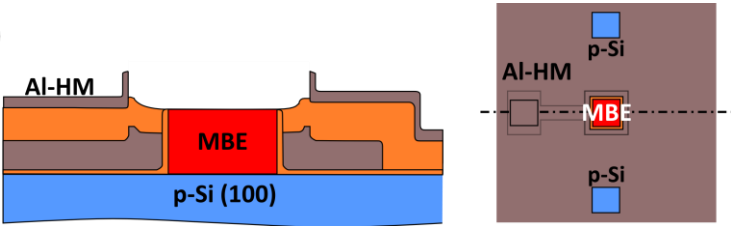
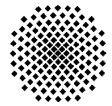
<p>7</p> 	<ul style="list-style-type: none"> Die freiliegenden Al-Flächen werden wie bei der Gate-Elektroden-Strukturierung mittels des zweistufigen ICP-RIE-Schritts zurückgeätzt. Das GOX dient hierbei als Ätzstop.
<p>8</p> 	<ul style="list-style-type: none"> Passivierung der Transistoren durch ein bei niedrigen Prozesstemperaturen (hier 250°C) abgeschiedenen PECVD Oxids. Zur Öffnung der Kontaktfenster zu den Halbleitergebieten TK, BL und der Gate-Elektroden wird eine HM (grau) aus Al abgeschieden Zweiter Planarisierungsschritt mit dem Polymer 70F (grün)
<p>9</p> 	<ul style="list-style-type: none"> Rückätzen des Polymers 70F wie in Schritt 6. Die freiliegenden Al-HM Flächen des TK werden mittels des zweistufigen ICP-RIE-Schritts oder des H₃PO₄-Ätzschritts geöffnet
<p>10</p> 	<ul style="list-style-type: none"> Positiv-Fotolithografie mit Fotolack (blau) und Belichtung im Süss MA/BA 6 mit Hg-Dampflampe zur Strukturierung der Kontaktfenster RIE-Schritt öffnet die Kontaktfenster, als Ätzchemie dient Trifluormethan (CHF₃)

Abbildung 6.5 Skizzierung des Prozessablaufs des aMOS-2010-Maskensatzs zur Herstellung von vertikalen GAA-TFETs. Weitere Erläuterung sind dem Fließtext zu entnehmen.



6.2 Erste elektrische Charakterisierung von vertikalen Ge-GAA-pTFETs

In Abbildung 6.6 werden zwei Ge-pTFETs mit einer Kanallänge $L_G = 100$ nm und einer Variation der Al_2O_3 -GOX-Dicke d_{ox} dargestellt. Die GOX-Dicke mit $d_{ox} = 10$ nm wird durch die unterbrochene Kurve und die GOX-Dicke $d_{ox} = 5$ nm wird die durchgezogene Kurve wiedergegeben. Die mit dem GAA-Layout prozessierten MBE-Sequenzen gehören zur Kanallängenvariation aus Kapitel 5.3. Der Mesa-Durchmesser der Ge-GAA-pTFETs beträgt $d_{Mesa} = 1,5$ μm . Der Ge-GAA-pTFET mit einer GOX-Dicke von $d_{ox} = 5$ nm zeigt einen max. Sättigungsstrom von $I_D = 37$ $\mu\text{A}/\mu\text{m}$, bei einer Drain-Spannung von $V_{DS} = -1,5$ V und einer Gate-Spannung von $V_{GS} = -3,0$ V. Weiter werden in Abbildung 6.6 b) die beiden Prozessvarianten des Uni-Bw- und des GAA-Maskenlayouts gegenübergestellt. Zusätzlich werden die Prozessvarianten in Abbildung 6.7 bzgl. den gemittelten Sättigungsströmen und den minimalen SS miteinander verglichen. Die Drain-Spannung wurde zwischen $-0,5$ V $\geq V_{DS}$ V $\geq -1,5$ V und in Schritten von $\Delta V_{DS} = -0,5$ V variiert. Für eine Drain-Spannung $V_{DS} = -1,5$ V und einer GOX Dicke von $d_{ox} = 5$ nm in der GAA-Variante konnte ein Durchschnittswert von $I_{on,m} = 40$ $\mu\text{A}/\mu\text{m}$ erzielt werden. Wie erwartet kann kein Einfluss der Geometrie auf den maximalen Sättigungsstrom für Strukturen größer als die natürliche Abschirmlänge ermittelt werden, was an den sich vollständig überlappenden Fehlerbalken sichtbar wird. Mit Teilabbildung b) wird klar, dass mit einer Reduzierung der GOX-Dicke und der Transistorgeometrie eine Reduzierung des SS erreicht werden kann.

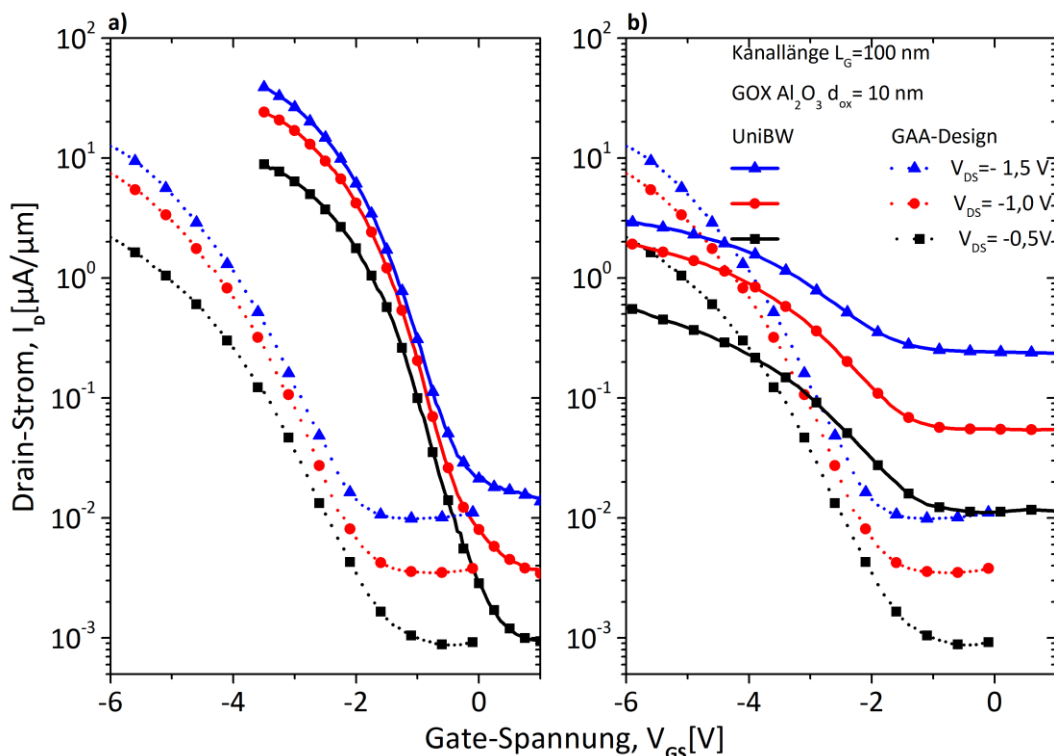


Abbildung 6.6 In a) **Fehler! Verweisquelle konnte nicht gefunden werden.** werden zwei Ge-GAA-pTFETs mit einer Kanallänge $L_G = 100$ nm und einer Variation der Al_2O_3 -GOX-Dicke d_{ox} der MBE-Kanallängenvariation aus Kapitel 5.3, dargestellt. Die GOX-Dicke wurde mit $d_{ox} = 10$ nm, dargestellt durch die unterbrochene Kurve, und $d_{ox} = 5$ nm, dargestellt durch die durchgezogene Kurve, gewählt. Die Drain-Spannung wurde zwischen $-0,5$ V $\geq V_{DS}$ V $\geq -1,5$ V in Schritten von $\Delta V_{DS} = -0,5$ V variiert. Der Mesa-Durchmesser beträgt bei beiden GAA-pTFETs $d_{Mesa} = 1,5$ μm . In (b) werden zwei Ge-pTFETs mit einer Al_2O_3 GOX-Dicke $d_{ox} = 10$ nm, welche mit dem Uni-Bw- bzw. des GAA-Maskensatzes prozessiert wurden, exemplarisch gegenübergestellt. Die GAA-Struktur besitzt eine Mesa-Fläche von $A_{Mesa,GAA} = 7$ μm^2 und die Uni-BW-Variante eine Mesa-Fläche von $A_{Mesa,Uni-BW} = 140$ μm^2 .

6. Kapitel

Prozessentwicklung Lithographie-unabhängige Skalierung

Für den Ge-GAA-pTFET mit einer GOX-Dicke $d_{ox} = 5 \text{ nm}$ kann für eine Drain-Spannung von $V_{DS} = -0,5 \text{ V}$ ein minimaler SS von $SS = 300 \text{ mV/Dekade}$ ermittelt werden. Wie schon in Abschnitt 4.1.2 experimentell nachgewiesen wurde, kann über eine Reduzierung des Transistorvolumens des Ge-TFETs für die GAA-pTFET-Variante der Leckstrom um das 20-fache reduziert werden. Für die Ge-GAA-pTFETs konnte eine Leckstromdichte von $j_{off,10 \text{ nm}} = 1,9 \cdot 10^{-2} \text{ A/cm}^2$ für die Variante mit $d_{ox} = 10 \text{ nm}$ und $j_{off,5 \text{ nm}} = 5,2 \cdot 10^{-2} \text{ A/cm}^2$ für die Variante mit $d_{ox} = 5 \text{ nm}$ ermittelt werden (Abbildung 6.8).

Eine Abweichung der Leckstromdichte um mehr als einen Faktor von zwei kann nicht nur mittels eines Anstiegs des Leckstroms durch ein dünneres GOX erklärt werden. Die Gate-Leckströme bewegen sich für alle gemessenen Ge-GAA-pTFETs (mehr als 40) im Bereich von wenigen $\text{pA}/\mu\text{m}^{39}$. Die Messungen deuten auf ein Abweichen des Leckstrom-Verhaltens hin welches für Strukturen kleiner $d_{Mesa} < 5 \mu\text{m}$ zu einer Umfangs-Proportionalität durch das reduzierte Mesa-Volumen übergeht. Das Leckstrom-Verhalten kann nun vielmehr über Leckpfade über die Grenzfläche zwischen GOX und Halbleiter beschrieben werden. Solche Pfade können durch ein GeO_x oder in Kombination mit einer durch die ICP-Strukturierung hervorgerufenen rauen Mesa-Flanke generiert werden, die zusätzlich über die Flachbandspannung und zusätzlichen Grenzflächenzustände moduliert werden. Die Vorgabe der ITRS [5] sieht ein Leckstrom-Niveau von $I_{off} = 20 \text{ pA}/\mu\text{m}$ für Transistoren vor, welche im Low-Power-Bereich eingesetzt werden. Um die Vorgabe zu erfüllen, sollte der Gate-Umfang W_G der hier betrachteten Ge-GAA-pTFETs $W_G < 100 \text{ nm}$ betragen (Abbildung 6.8).

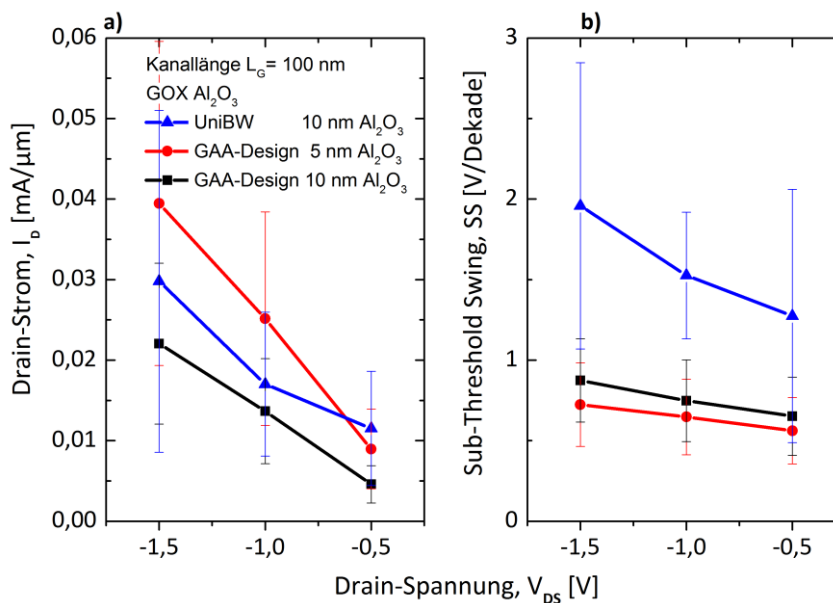


Abbildung 6.7 In den beiden Abbildungen werden die beiden Prozessvarianten des Uni-Bw- und des GAA-Maskenlayouts gegenübergestellt. Die betrachteten Ge-pTFETs, der MBE-Kanallängenvariation aus Kapitel 5.3, besitzen eine Kanallänge von $L_G = 100 \text{ nm}$ und eine Variation der Al_2O_3 -GOX-Dicke d_{ox} . Die Darstellung in a) gibt den Mittelwert der gemessenen Sättigungsströme an. Die Drain-Spannung wurde zwischen $-0,5 \text{ V} \geq V_{DS} | V \geq -1,5 \text{ V}$ in Schritten von $\Delta V_{DS} = -0,5 \text{ V}$ variiert. Der minimale SS der unterschiedlichen TFET-Anordnungen ist in Teilabbildung b) dargestellt.

³⁹ Es wurden in Anhang 0 Messkurven der GOX-Leckströme der Ge-GAA-TFETs angefügt.

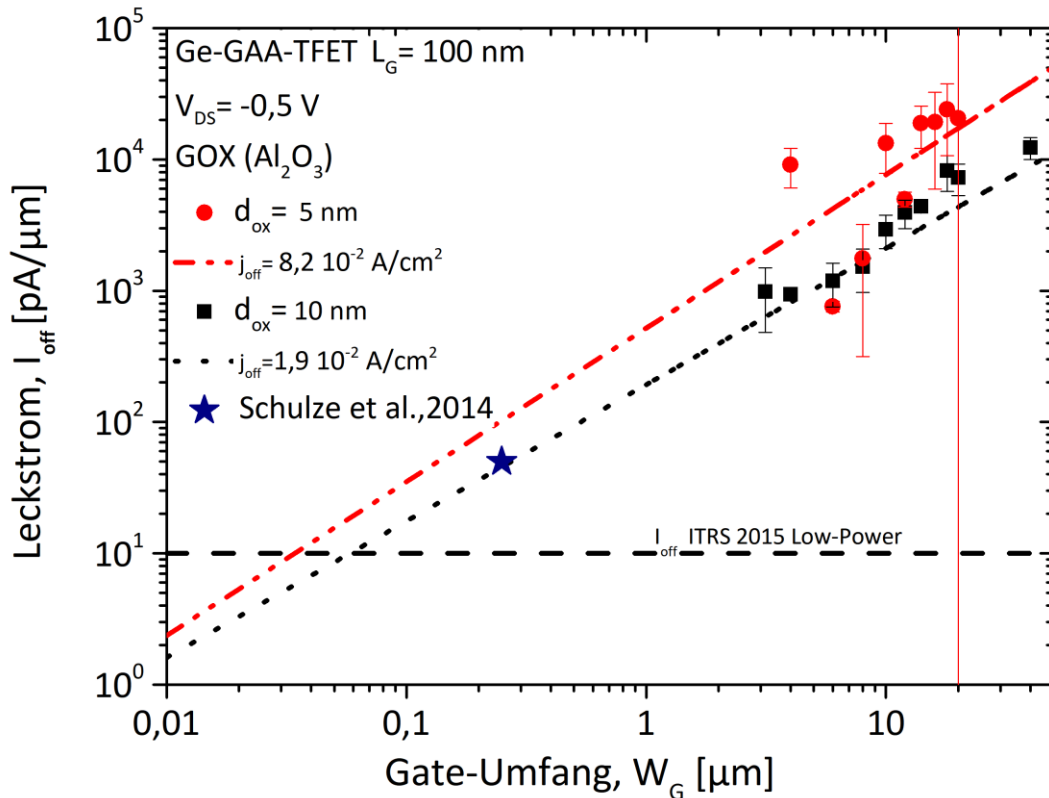
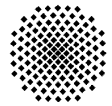


Abbildung 6.8

Die Abbildung zeigt den auf den Gate-Umfang normierten Leckstrom I_{off} für die Ge-GAA-pTFETs mit einer Kanallänge $L_G = 100$ nm und variiertes GOX-Dicke. Die Leckströme wurden bei einer Drain-Spannung von $V_{DS} = -0,5$ V extrahiert. Die GOX Dicken wurden mit $d_{ox} = 5$ nm und $d_{ox} = 10$ nm gewählt. Beide Varianten besitzen eine Volumenabhängigkeit des Leckstroms I_{off} mit einer Leckstromdichte von $j_{off,10\text{ nm}} = 1,9 \cdot 10^{-2}$ A/cm² für die Variante mit $d_{ox} = 10$ nm und $j_{off,5\text{ nm}} = 5,2 \cdot 10^{-2}$ A/cm² für die Variante mit $d_{ox} = 5$ nm. Für die beiden Ge-GAA-TFETs würde ein Gate-Umfang von $W_G = 30$ nm für die Variante mit $d_{ox} = 5$ nm und $W_G = 100$ nm für die Variante mit $d_{ox} = 10$ nm den ITRS-LSTP Anforderung genügen. Der in Schulze et al. [218] veröffentlichte Ge-NW-GAA-TFET zeigt einen minimal Leckstrom von $I_{off} = 20$ pA/μm (blauer Stern).

Im Rahmen dieser Arbeit konnte ein Ge-GAA-pTFET mit einem Umfang von $W_G = 250$ nm bzw. einem Mesa-Durchmesser von $d_{Mesa} = 70$ nm in Kombination mit der EBL technologisch realisiert werden. Der in [218] veröffentlichte Ge-NW-GAA-TFET zeigt einen minimal Leckstrom von $I_{off} = 20$ pA/μm, welcher bei einer Drain-Spannung von $V_{DS} = -0,5$ V gemessen wurde. Die Messwerte entsprechen einer Leckstromdichte von $j_{off} = 1,2 \cdot 10^{-2}$ A/cm² und entsprechen den ermittelten Werten, welche in Abbildung 7.6 a) wiedergegeben werden. Weiter konnte durch die geringen Abmessungen des Ge-GAA-pTFETs ein SS von $SS = 120$ mV/Dekade erzielt werden [219]. Der GAA-Aufbau zeigt, dass mit der vertikalen Struktur die Vorgabe der ITRS hinsichtlich des Leckstrom-Niveaus bei einer weiteren Reduzierung des Durchmessers erreicht werden kann. Die hier dargestellten Werte und Messkurven wurden in [218] veröffentlicht.

6.3 Hochfrequenzeigenschaften des Ge-TFETs

Zur weiteren Charakterisierung der in dieser Arbeit prozessierten TFETs sollen die Hochfrequenz (HF)-Eigenschaften, insbesondere die für die CMOS-Technologie wichtige Transitfrequenz f_t , betrachtet werden. Mit dem in Kapitel 3.2 vorgestellten analytischen Modell soll das HF-Verhalten

6. Kapitel

Prozessentwicklung Lithographie-unabhängige Skalierung

anhand des Ge-TFETs im ersten Abschnitt des Kapitels erläutert und bestimmt werden. Mithilfe des Modells soll die Bestimmung der Transitfrequenz f_t der Transistoren in Abhängigkeit von den Prozess- und Geometrieparametern erfolgen. Im Gegensatz zum stationären Fall zeigen die auftretenden Ströme, Spannungen und Ladungen in einer dynamischen Beschreibung eine Zeitabhängigkeit ($I_D(t)$, $I_S(t)$, $I_G(t)$, $V_{DS}(t)$, $V_{GS}(t)$). Die dynamische Beschreibung soll durch das Kleinsignalverhalten erfolgen, welches durch eine Linearisierung der statischen Größen am Arbeitspunkt erhalten wird:

$$V_{ik}(t) = V_{ik} + v_{ik}(t), I_i(t) = I_i + i_i(t) \text{ und } Q_i(t) = Q_i + q_i(t), \text{ mit } i, k \in \{G, S, D\}. \quad 6.1$$

Der Wechselstromanteil lässt sich über eine sinusförmige Variation der Spannung und mittels einer zeitunabhängigen Phasenverschiebung φ (Phasor) beschreiben:

$$v_{DS}(t) = v_{DS} \cdot \sin(\omega \cdot t + \varphi) \quad 6.2$$

Es ist jedoch üblich eine komplexe Darstellung der Kleinsignale zu verwenden:

$$v_{DS}(t) = v_{DS} \cdot \exp(j \cdot \omega \cdot t). \quad 6.3$$

Wobei $\omega = 2 \cdot \pi \cdot f$ die Kreisfrequenz und f die Frequenz des Kleinsignals wiedergibt. Im folgenden Modell werden o. B. d. A. die Kleinsignale auf die Source-Elektrode bezogen. Die Beschreibung des TFETs soll den Zusammenhang zwischen den Kleinsignalen v_{ik} und i_i herstellen und zentral aus diskreten Bauelementen wie Kondensator, Widerstand und Spule⁴⁰ bestehen. Dazu soll das in Abbildung 6.9 dargestellte Kleinsignalersatzschaltbild des TFETs zur qualitativen Beschreibung des Kleinsignalverhaltens des TFETs dienen⁴¹. Das Kleinsignalersatzschaltbild, welches in Abbildung 6.9 dargestellt wird, setzt sich aus einer spannungsgesteuerten Stromquelle über den Leitwert g_m und den drei nicht linearen intrinsischen Kapazitäten (C_{GD} , C_{GS} und C_{DS}) zusammen. Die Leitwerte G_{ij} bestimmen sich im Allgemeinen über die Differentiation der Strom-Spannungs-Kennlinie nach der Spannung am jeweiligen Knoten:

$$G_{ij} = dI_i/dV_j. \quad 6.4$$

Über die SeAM-Berechnung bestimmte Transferkurve des TFETs kann die benötigte Transkonduktanz bestimmt werden:

$$g_m = dI_D/dV_{GS}. \quad 6.5$$

In Abbildung 6.10 a) werden die Transferkurven eines Ge-DG-TFETs mit einer Kanallänge $L_G = 100$ nm, einer Oxiddicke von $d_{ox} = 5$ nm und eine Dicke des Ge-Kanalgebiet $s_{ch} = 10$ nm wiedergegeben. Die aus den Transferkurven numerisch ermittelte Transkonduktanz g_m werden in Abbildung 6.10 b) dargestellt. Die drei intrinsischen Kapazitäten (C_{GD} , C_{GS} und C_{DS}) werden über die vorhandenen Ladungen und den anliegenden Spannungen V_j durch Differentiation erhalten:

$$C_{ij} = dQ_i/dV_j, \quad 6.6$$

Sie werden im folgenden Kapitel durch das SeAM über den spannungsabhängigen Potentialverlauf bestimmt.

⁴⁰ Die Spule kommt hier, aufgrund des minimalen Einflusses, nicht zum Einsatz.

⁴¹ Als Kleinsignal-Ersatzschaltbild soll hier das des konventionellen MOSFETs herangezogen werden [220].

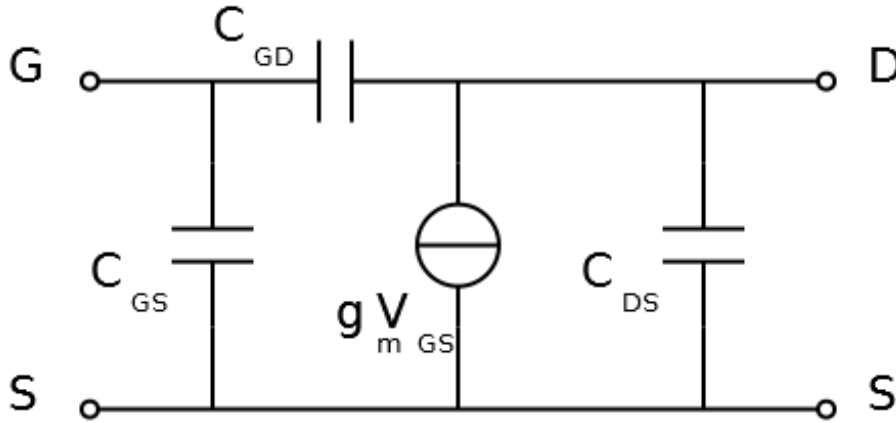
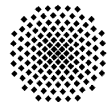


Abbildung 6.9 Schematische Darstellung des einfachsten Kleinsignalersatzschaltbildes eines TFETs. Das Schaltbild setzt sich aus einer spannungsgesteuerten Stromquelle ($g_m v_{GS}$), sowie den drei nicht linearen intrinsischen Kapazitäten (C_{GD} , C_{GS} und C_{DS}) zusammen.

Die betrachtete Hochfrequenzcharakterisierung soll sich auf die Berechnung der Transitfrequenz f_t beschränken. Die Bestimmung der Transitfrequenz f_t erfolgt für das Kleinsignalersatzschaltbild über den charakteristischen Punkt, wenn das Verhältnis zwischen den beiden Kleinsignalen \underline{i}_D und \underline{i}_G den Wert eins annimmt⁴²:

$$|\underline{i}_D / \underline{i}_G| = 1. \quad 6.7$$

Die Kleinsignale \underline{i}_D für den Drain-Strom und \underline{i}_G für den Gate-Strom lassen sich über das Kleinsignalersatzschaltbild (Abbildung 6.9) leicht ermitteln:

$$\underline{i}_G = \underline{v}_{GS} \cdot j \cdot \omega \cdot (C_{GD} + C_{GS}), \quad 6.8$$

$$\underline{i}_D = g_m \cdot \underline{v}_{GS}. \quad 6.9$$

Aus den Abhängigkeiten aus Gl. 6.7, 6.8 und 6.9 kann für die Transitfrequenz f_t folgende funktionelle Beschreibung über die Transkonduktanz g_m und den beiden Kapazitäten C_{GD} und C_{GS} gefunden werden:

$$f_t = \frac{1}{2 \cdot \pi} \cdot g_m \cdot (C_{GD} + C_{GS}). \quad 6.10$$

Für einen konventionellen MOSFET kann, mit den bekannten Abhängigkeiten der Gate-Kapazität $C_{GS} \sim W \cdot L_G$ und der Transkonduktanz $g_m \sim W / L_G$, für die Transitfrequenz folgende Relation zur Kanallänge gefunden werden: $f_t \sim L_G^{-2}$. Diese Abhängigkeit besagt, dass die Schaltgeschwindigkeit des Transistors mit kürzeren Gate-Längen ansteigt. Damit nun das Kleinsignalverhalten des Ge-TFETs bestimmt werden kann, werden über das SeAM die Transkonduktanz g_m und die Kapazitäten C_{GD} und C_{GS} bestimmt.

6.3.1 Ermittlung der Ladungsverteilung Q_i im Ge-DG-pTFET

Zur Bestimmung der Kapazitäten C_{GD} und C_{GS} werden vorab die auftretenden Ladungen berechnet. Die Berechnung schließt sich dem Vorgehen von Zhang et. al [154] an. Das SeAM, welches im Kapitel al [152] an. Mittels dem im Kapitel 3.2 erläutert wurde, dient zur Berechnung des

⁴² Die Transitfrequenz f_t kann auch über die Bedingung erhalten werden, dass der Betrag des Vierpolparameters $|h_{21}|$ den Wert eins annimmt [221], [222].

Oberflächenpotentials und darüber lässt sich die Ladungsverteilung Q_i innerhalb des DG-pTFETs bestimmen⁴³.

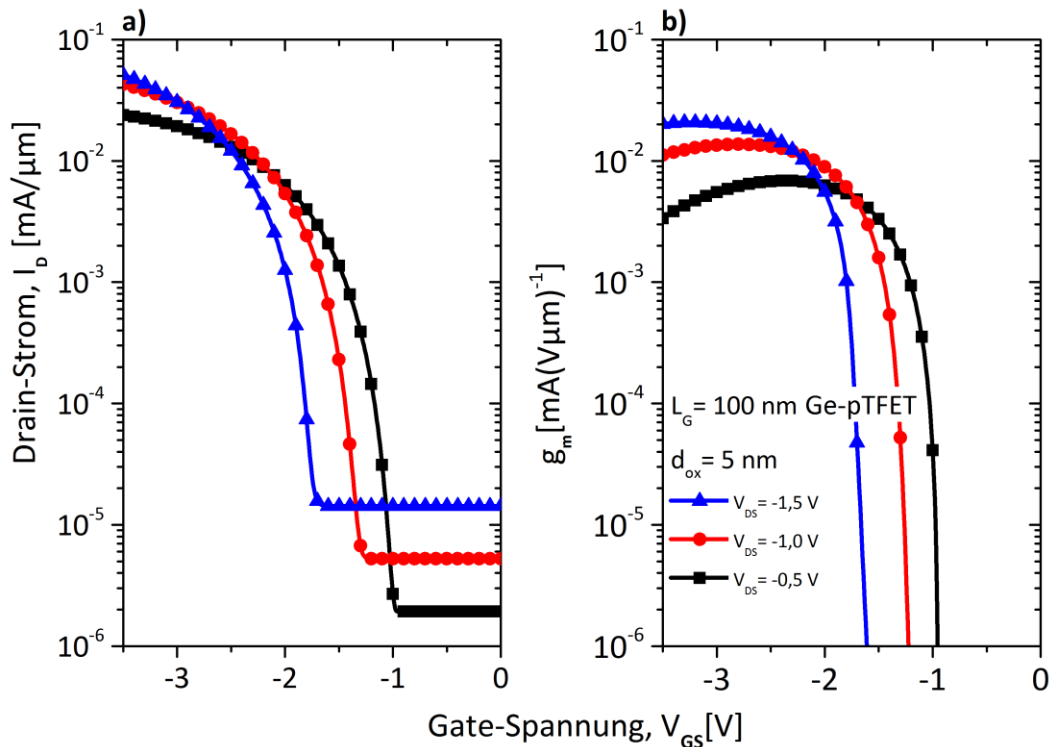


Abbildung 6.10

a) zeigt die mithilfe des SeAMs bestimmte Transferkurven eines Ge-DG-pTFETs mit einer Kanallänge L_G von 100 nm, einer EOT von 5 nm und eine Dicke des Ge-Kanalgebietes d_{ch} von 10 nm. Die Drain-Spannungen V_{DS} wurden mit -0,5 V/-1,0 V/-1,5 V und die Gate-Spannung V_{GS} im Bereich von 0 bis -3,5 V variiert. b) zeigt die numerisch ermittelte Transkonduktanz g_m der Transferkurven aus Teilabbildung a). Wie auch hier anschaulich zu sehen ist, zeigt die Transkonduktanz im Vergleich zum konv. MOSFET einen nichtlinearen Zusammenhang, sowie eine Sättigung/Verringerung der Steilheit im Sättigungsbereich der Transferkurven.

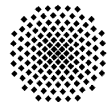
In Kapitel 3.3 wurde der TFET in drei Bereiche unterteilt. Die Abbildung 6.11 zeigt den mittels des SeAMs ermittelten Bandverlauf eines Ge-pTFETs. Der verwendete Aufbau entspricht einem DG-pTFET-Aufbau mit einer Kanallänge $L_G = 100$ nm, einer EOT von $d_{ox} = 5$ nm und einer Halbleiterschichtdicke $d_{ch} = 10$ nm. Zusätzlich wurden die zu betrachtenden Gebiete I (Source) und II (Kanal) eingezeichnet. Das Gebiet III wurde der Übersichtlichkeit halber nicht mitgeplottet. Die maximalen Werte am Ende von Gebiet II werden konstant bis zum Ende des Kanalgebiets (Gebiet III) angenommen. Die vorhandene Ladung auf der Source-Seite Q_S (im Gebiet I) wird in diesem Ansatz durch die Ladung der Verarmungszone $Q_{S,ver}$ berücksichtigt und bestimmt sich über den bekannten Zusammenhang⁴⁴:

$$Q_{S,ver} = -q \cdot N_{s,eff} \cdot L_1 \cdot d_{ch}. \quad 6.11$$

Die Verarmungszonenweite innerhalb des Source-Gebiets wird durch die Länge L_1 dargestellt. Im Kanalgebiet wird die Ladung der Raumladungszone vernachlässigbar und wird nicht in die Berechnung mit einbezogen. Die Inversionsladung $Q_{ch,inv}$ im Kanalgebiet (Gebiet III) wird im Bereich von $y = L_2$ bis $y = L_G$ bestimmt. Aufgrund der Annahme, dass das elektrische Feld entlang

⁴³ Die Berechnung der Ladungen Q_i schließt sich dem Formalismus, dargestellt in [154], [222], an.

⁴⁴ Es wird immer noch angenommen, dass die Verarmungszone vollständig von Ladungsträgern verarmt wurde.



der Kanalrichtung klein ist, kann die Ladungsverteilung bis zur Sättigung in Kanalrichtung als konstant angenommen werden. Mittels des Gaußschen Gesetzes lässt sich die im Kanal befindliche Ladung $Q_{ch,inv}$ über das elektrische Feld F_s bzw. der Ableitung des Oberflächenpotential ψ_{dg} bestimmen [9]:

$$Q_{ch,inv} = -\varepsilon_{ch} \cdot F_s = -\varepsilon_{ch} \cdot \frac{d\psi_{dg}}{dx}. \quad 6.12$$

Die Oberflächenladung zeigt wiederum eine Abhängigkeit gegenüber den „äußeren“ Spannungen $Q_{ch}(V_{GS}, V_{DS})$ und genügt folgendem Zusammenhang:

$$\varepsilon_{ox} \cdot \frac{V_{GS} - V_{FB} - \psi_{DG}}{d_{ox}} = -\varepsilon_{ch} \cdot F_s = -\varepsilon_{ch} \cdot \frac{d\psi_{dg}}{dx}. \quad 6.13$$

Mit diesen Vorüberlegungen lässt sich für die Ladung $Q_{ch,inv}$ folgende Abhängigkeit finden:

$$Q_{ch,inv} = 2 \cdot W_G \cdot (L_G - L_2) \cdot C_{ox} \cdot (V_{GS} - V_{FB} - \psi_{dg}). \quad 6.14$$

Hier wird die flächennormierte Gate-Kapazität $C_{ox} = \varepsilon_{ox}/d_{ox}$ und die Kanalweite W_G verwendet. Zur vollständigen Beschreibung der Ladungsverteilung innerhalb des dritten Gebietes muss die am Übergang Kanalgebiet und Drain-Elektrode durch Streufelder generierte Ladung $Q_{ch,str}$ mitberücksichtigt werden [223]:

$$Q_{ch,str} = W_G \cdot d_{ch} \cdot \varepsilon_{ch} \cdot E_m. \quad 6.15$$

Die Ladungsverteilung wird durch die laterale Komponente des elektrischen Feldes erzeugt, welche vor allem im Sättigungsbereich den größten Anteil an der Gesamtladung bildet. Die auftretende Streufeld-Ladung kann über die elektrische Feldspitze E_m am Übergang Kanal-Drain-Gebiet wie folgt angegeben werden [223]:

$$E_m = \frac{V_{DS} - V_{bi,d} - \psi_{dg}}{\lambda_2}. \quad 6.16$$

In der Berechnung ist das „Built-in“-Potential $V_{bi,d}$ zwischen dem Kanal- und Drain-Gebiet zu verwenden. Da die Ladungsneutralität erhalten werden muss, werden die Ladungen $Q_{ch,str}$, $Q_{ch,inv}$ und $Q_{S,Ver}$ durch die Ladung Q_{Gate} an der Gateelektrode kompensiert bzw. beeinflusst:

$$Q_{Gate} = -(Q_{S,Ver} + \underbrace{Q_{ch,str} + Q_{ch,inv}}_{= Q_{ch}}). \quad 6.17$$

Die auftretenden Ladungen innerhalb des TFETs können auf der Source-Seite durch die Ladung in der Verarmungszone $Q_{S,Ver}$ beschrieben werden. Die Ladung im Kanalgebiet kann jedoch vollständig der Drain-Seite, mit $Q_D = Q_{ch}$, zugeordnet werden. Solange der TFET noch nicht die Sättigung erreicht hat, werden die Ladungen auf der Drain-Seite Q_D durch die Inversionsladung bestimmt. Mit Erreichen der Sättigung kann mit einer weiteren Erhöhung der Drain-Spannung V_{DS}

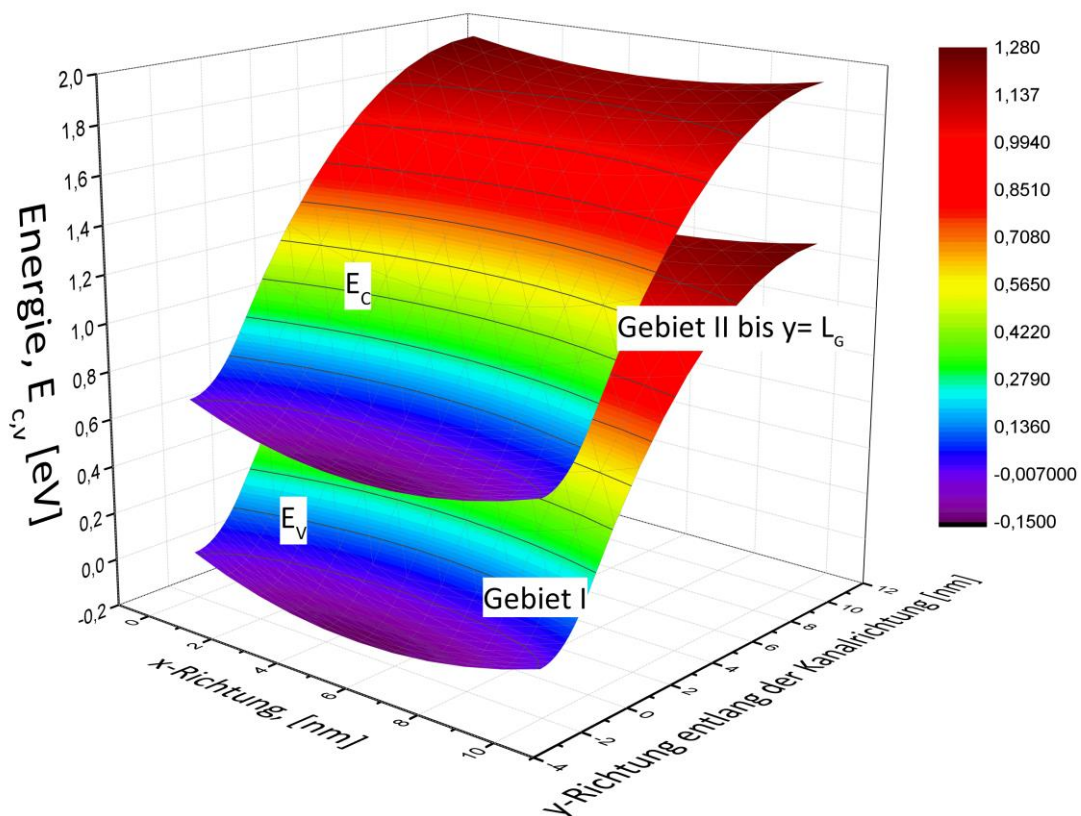
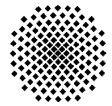


Abbildung 6.11

Die Grafik zeigt den mittels des SeAMs ermittelten Bandverlauf (E_C und E_V) eines Ge-TFETs. Die Drain-Spannung wurde auf $V_{DS} = -0,5 V$ und die Gate-Spannung wurde auf $V_{GS} = 3,0 V$ festgelegt. Der verwendete Aufbau entspricht einem DG-Ge-pTFET mit einer Kanallänge $L_G = 100 \text{ nm}$, einer EOT von $d_{ox} = 5 \text{ nm}$ und einer Halbleiterschichtdicke $d_{ch} = 10 \text{ nm}$. Zusätzlich wurden die zu betrachtenden Gebiete I und II eingezeichnet. Das Gebiet III wurde der Übersichtlichkeit halber nicht mit geplottet. Die maximalen Werte am Ende von Gebiet II werden konstant bis zum Ende des Kanalgebiets (Gebiet III) angenommen.

ein Wechsel des Vorzeichens der Ladung Q_D durch die Streufelder E_m hervorgerufen werden [154], [222]. Weiter zeigt sich im Sättigungsbereich, dass die Drain-Spannung elektrostatisch gegenüber der Source-Elektrode entkoppelt wird. Somit kann die Source-Drain-Kapazität C_{SD} in der weiteren Betrachtung und im Ersatzschaltbild vernachlässigt werden. Diese Verteilung lässt sich mit einem Verhältnis von 100/0 der Ladungen zwischen der Drain- und der Source-Seite aufteilen [154], [222], [224], [225]. Die Leistungsfähigkeit eines MOS-Transistors ist im Wesentlichen über die vorhandenen intrinsischen Kapazitäten C_{DG} und C_{GS} bestimmt. Wie auch im konventionellen MOSFET-Aufbau, spielt auch im TFET die Spannungsverstärkung zwischen der Gate- und Drain-Elektrode über den Miller-Effekt, mittels C_{DG} , eine entscheidende Rolle. Die auftretende Ladungsverteilung innerhalb des DG-TFETs führt zu einer Verteilung der Kapazitäten, worin die Drain-Gate-Kapazität C_{DG} knapp 100 % gegenüber der Source-Gate-Kapazität C_{GS} einnimmt. Das hier angesprochene und aus der Literatur bekannte Verhalten des TFETs unterscheidet sich klar gegenüber dem des konventionellen MOSFETs. Der konventionelle MOSFET zeigt im Sättigungsfall eine nahezu gleich große Kapazität C_{DG} und C_{SG} . Mit der über das SeAM ermittelten Verteilung kann eine überhöhte Miller-Kapazität erwartet werden, welche sich insbesondere in einem Inverter-Aufbau negativ auswirken kann [154], [225]. Zum weiteren Verständnis soll der Miller-Effekt hier kurz erläutert werden. Zur Erläuterung des Miller-Effekts wird in Abbildung 6.12 das



Schaltbild dargestellt, welches sich aus den drei Kapazitäten (C_1 , C_2 und C_3) zusammensetzt und der Darstellung und Beschreibung aus [9] entnommen wurde. Im betrachteten Beispiel werden die drei Kapazitäten über eine zeitlich variierende Spannung V angesteuert. Die einzelnen Kapazitäten befinden sich selbst auf unterschiedlichen Potentialen mit $V_1 = 0\text{ V}$ und $V_3 = V_{DD}$. Die Spannung V_3 varriert hingegen den anderen Spannungen V_1 und V_2 zeitlich und entgegengesetzt zur (Eingangs-) Spannung V . Die drei Kapazitäten werden über den Strom i geladen und der Ladevorgang kann über die folgende Gleichung beschrieben werden (Gleichung 5.49 aus [9]):

$$i = C_1 \cdot \frac{d(V - V_1)}{dt} + C_2 \cdot \frac{d(V - V_2)}{dt} + C_3 \cdot \frac{d(V - V_3)}{dt}. \quad 6.18$$

Die Spannungen V_1 und V_3 sind konstant und tragen daher nicht zum betrachteten Verhalten bei. Es wird in diesem Beispiel angenommen, wie schon eingangs angesprochen wurde, dass die Spannung V_2 sich zeitlich und entgegengesetzt zur Spannung V ändert. Dieses Verhalten kann in einem CMOS-Inverter beobachtet werden, worin sich die Eingangs-Spannung an der Gate-Elektrode gegensätzlich zur Ausgangs-Spannung an der Drain-Spannung verhält. Es kann daher angenommen werden, dass sich die zeitliche Änderung der Spannung V_2 zur Spannung V wie folgt verhält: $dV_2/dt = -dV/dt$. Daraus lässt sich das Lade- bzw Entladeverhalten aus 6.18 wie folgt beschreiben:

$$i = (C_1 + 2 \cdot C_2 + C_3) \cdot \frac{dV}{dt}. \quad 6.19$$

In der resultierenden Gleichung 6.19 für das Lade- bzw Entladeverhalten ist interessanterweise zu sehen, dass die Kapazität C_2 im Schaltverhalten mit doppeltem Wert auftaucht, was wiederum bedeutet, dass die doppelte Ladungsmenge zum Umladen der Kapazität benötigt wird. Aus diesem Verhalten resultiert auch das sogenannte „feedforward“-Verhalten innerhalb eines CMOS-Inverters, wenn die Gate-Spannung von null auf V_{DD} geschaltet wird. Die Ausgangsspannung des CMOS-Inverters steigt dann für einen kurzen Zeitraum über den Wert V_{DD} an („voltage overshoot“), bevor der nMOSFET die Ausgangsspannung nach unten zieht.

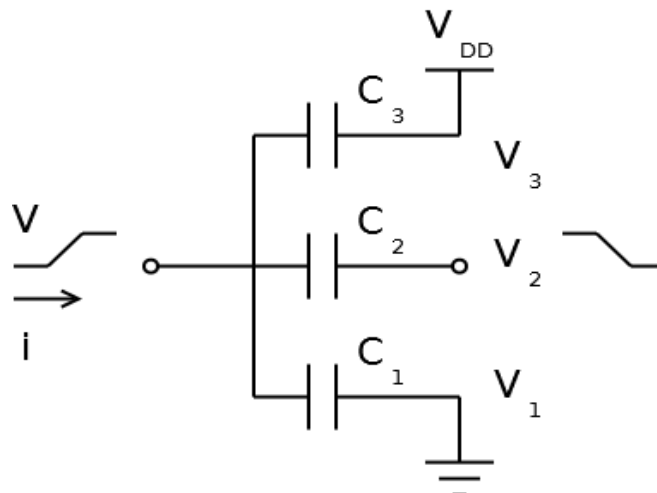


Abbildung 6.12

Schematische Darstellung zur Erläuterung des Miller-Effekts. Das Schaltbild setzt sich aus den drei Kapazitäten (C_1 , C_2 und C_3) zusammen. Die drei Kapazitäten werden über eine zeitlich variierende Spannung V angesteuert. Die einzelnen Kapazitäten selbst befinden sich einzeln auf unterschiedlichen Potentialen $V_1 = 0\text{ V}$ und $V_3 = V_{DD}$. Die Spannung V_3 varriert jedoch hingegen den Spannungen V_1 und V_2 zeitlich und entgegengesetzt zu Spannung V . Die hier gewählte Darstellung entspricht Abbildung 5.40 aus [9].

Für den im TFET verstärkt auftretenden Miller-Effekt kann insbesondere für den hier betrachteten pin-Aufbau und einer niedrigen Transkonduktanz g_m eine reduzierte Transitfrequenz erwartet werden. Die hier ermittelten Modellwerte stimmen mit den Referenzwerten ([154], [224], [225]) qualitativ wie quantitativ überein. Aus der gewonnenen Ladungsverteilung werden über die partiellen Ableitungen der einzelnen Spannungen die intrinsischen Kapazitäten für das Kleinsignalverhalten bestimmt. Die Ladungen Q_{Gate} , Q_{Ch} und $Q_{S,Ver}$ und die daraus ermittelten Kapazitäten C_{GD} , C_{GS} , und C_{DS} werden in Abbildung 6.13, abhängig von der Gate-Spannung V_{GS} und einer Drain-Spannung $V_{DS} = -0,5 V$, abgebildet. Der verwendete Aufbau entspricht einem DG-Ge-pTFET mit einer Kanallänge $L_G = 100 \text{ nm}$, einer EOT von $d_{ox} = 5 \text{ nm}$ und einer Halbleiterschichtdicke $d_{ch} = 10 \text{ nm}$.

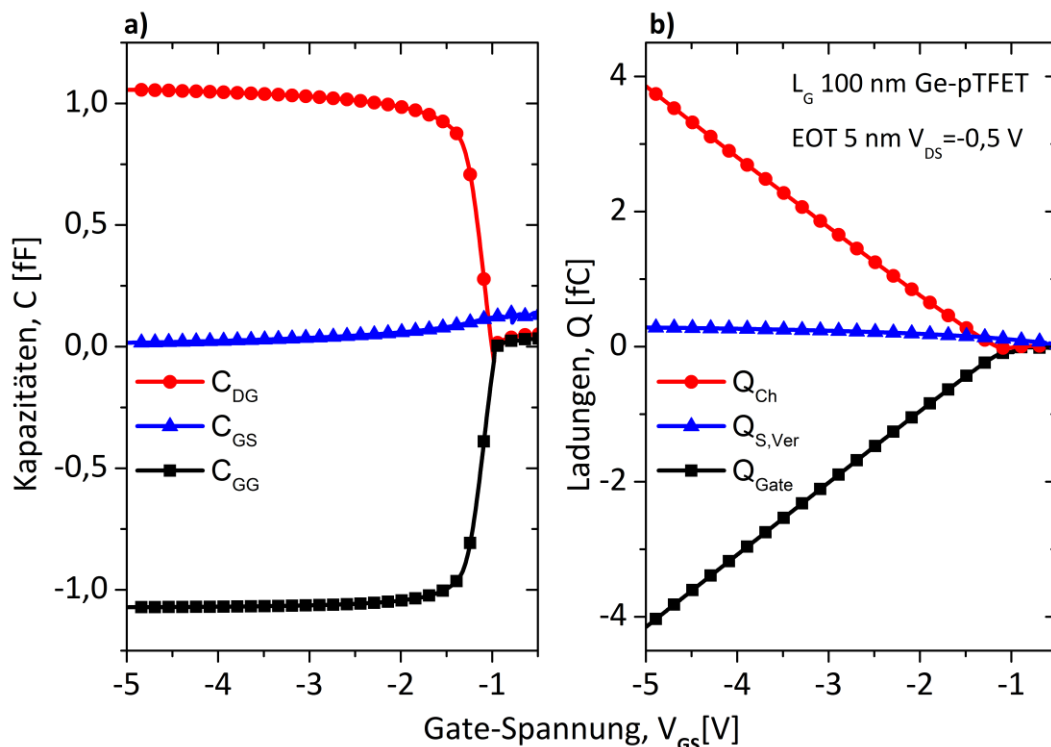
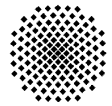


Abbildung 6.13 a) zeigt die über das SeAM ermittelten Kapazitäten (C_{GD} , C_{GS} , C_{DS}), welche über die Gate-Spannung aufgetragen wurden. Als Modellaufbau wurde die Variante eines Ge-DG-pTFETs mit einer Kanallänge L_G von 100 nm, einer EOT von $d_{ox} = 5 \text{ nm}$ und einer Halbleiterschichtdicke $d_{ch} = 10 \text{ nm}$ gewählt. Die Drain-Spannung wurde mit einem Wert von $V_{DS} = -0,5 V$ festgesetzt. Die Teilabbildung b) zeigt die berechnete Ladungsverteilung im Gate-, Source- und Kanalgebiet an. Die Ladungen sind gegeben durch Q_{Gate} , Q_{Ch} und $Q_{S,Ver}$. Aus den ermittelten Ladungen wurden die in a) gezeigten Kapazitäten bestimmt.

Mit den gewonnenen Kapazitäten C_{GD} und C_{DS} und der Transkonduktanz aus Abbildung 6.10 kann die Transitfrequenz f_t des Transistors bestimmt werden. Die ermittelte Transitfrequenz wurde in Abhängigkeit von der Gate-Spannung und drei unterschiedlichen Drain-Spannungen ermittelt und wird in Abbildung 6.14 aufgetragen. Bedingt durch die Nichtlinearität des Schaltverhaltens des TFETs, gegeben durch die Transkonduktanz g_m , zeigt sich eine ähnliche Abhängigkeit der Transitfrequenz f_t von der Gate-Spannung. Diese Eigenschaft wird auch in [224] für unterschiedliche TFET-Strukturen wiedergegeben. Für den Ge-DG-pTFET mit einer Kanallänge von 100 nm kann für die drei Drain-Spannungen $V_{DS} = -0,5 V$, $-1,0 V$ und $-1,5 V$ eine maximale Transitfrequenz von $f_t = 0,57 \text{ GHz}$, $1,15 \text{ GHz}$ und $1,75 \text{ GHz}$ mittels des SeAMs ermittelt werden.



Im Gegensatz zu den Literaturwerten aus [224] kann eine reduzierte Transitfrequenz verzeichnet werden. Bedingt wird der hohe Sättigungsstrom durch den Betrieb des Transistors im Gate-"Overdrive"-Bereich, erzielt durch ein EOT von $d_{ox} = 0,6$ nm und einer Versorgungsspannung $V_{DD} = +1,0$ V.

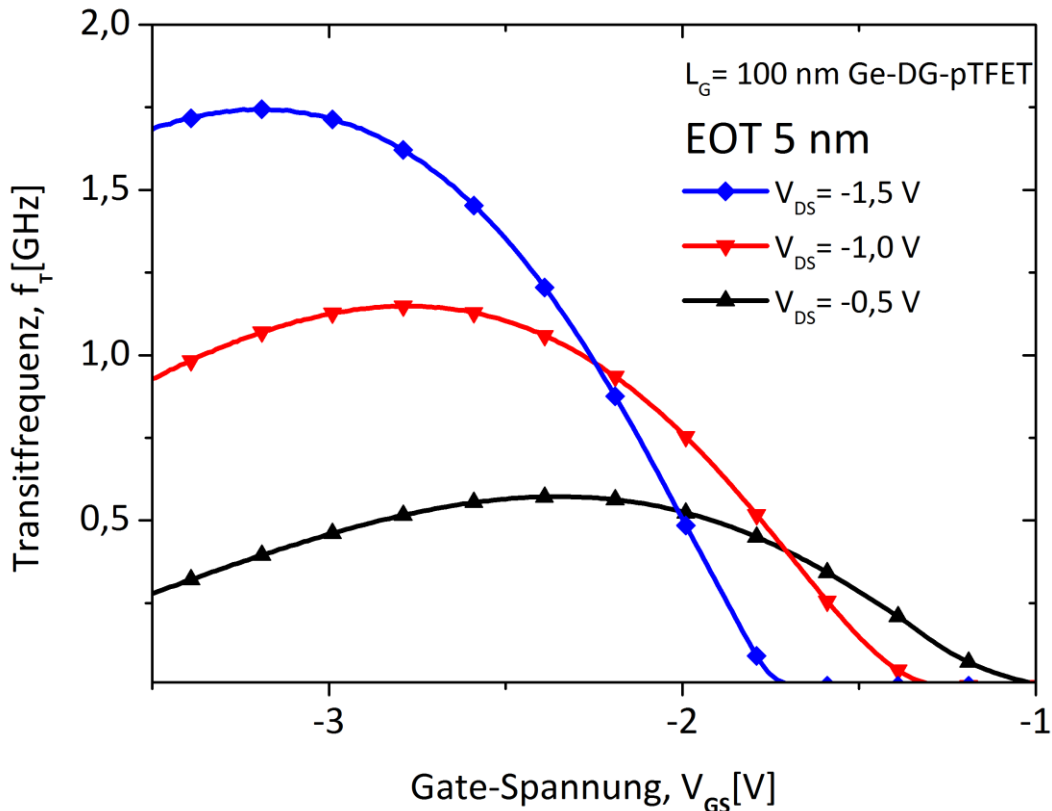


Abbildung 6.14 Zeigt die berechnete Transitfrequenz f_t eines Ge-DG-pTFETs mit einer Kanallänge $L_G = 100$ nm, einer EOT von $d_{ox} = 5$ nm und einer Dicke des Ge-Kanalgebietes $d_{ch} = 10$ nm. Die Drain-Spannungen V_{DS} wurden mit $-0,5$ V/ $-1,0$ V/ $-1,5$ V und die Gate-Spannung V_{GS} im Bereich von -1 bis $-3,5$ V variiert. Die Bestimmung von f_t erfolgte mit den berechneten Werten der Transkonduktanz g_m und den beiden zentralen Kapazitäten des Kleinsignal-Ersatzschaltbildes C_{GD} und C_{GS} .

6.3.2 Hochfrequenzmessungen an Ge-GAA-pTFETs

Der im vorangegangenen Abschnitt dargestellte Ge-GAA-pTFET mit einer Kanallänge von $L_G = 100$ nm und einer Al_2O_3 -Oxiddicke von $d_{ox} = 5$ nm wurde am Instituts-eigenen Hochfrequenz-Messplatz bis $f = 10$ GHz vermessen. Auf dem verwendeten Design des GAA-Maskenlayouts besitzen die Anschlussstrukturen der GAA-TFETs ein GSG-Design. Zur Extraktion des Beitrags der Anschlussstrukturen auf das HF-Verhalten der TFETs wurde hier das „open (reflect) - short“-De-Embedding-Verfahren angewendet. Zur Ermittlung der intrinsischen Transistorparameter werden die „Offen“- und Kurzschluss-Strukturen im selben Frequenzbereich benötigt [226]–[231]. Mithilfe eines HF-Vektor-Netzwerkanalysators mit einer maximalen Messfrequenz $f = 110$ GHz wurden die S-Parameter \underline{S} (des Eingang- und des Ausgangs) der unterschiedlichen De-Embedding-Strukturen und der der Ge-GAA-pTFETs gemessen. Während der HF-Messung wurden die Arbeitspunkte der Ge-GAA-pTFETs über einen Bias-T-Aufbau angesteuert. Die Messung und Ermittlung der S-Parameter hat zudem folgende Vorteile [227]:

6. Kapitel

Prozessentwicklung Lithographie-unabhängige Skalierung

- Durch den relativen Aufbau der Kalibrier- und Teststrukturen und des DUTs zueinander, können die Messungen bei hohen Frequenzen einfach erfolgen.
- Aus den ermittelten S-Werte können die Impedanz (Z)-, Admittanz (Y)- und Hybrid (h)-Parameter bestimmt werden.
- Die S-Parameter können importiert und weiter in Simulationsprogrammen verwendet werden.
- Die jeweils für ein DUT ermittelten S-Parameter können, wie in der Optik oder auch Quantenmechanik, für eine Kaskade von Bauteilen verwendet werden, um darüber deren Verhalten in einer Gesamtschaltung zu erlangen.

Mittels der De-Embedding-Transformation mit Extrahierung der Kontaktstruktur-Kapazitäten, -Induktivitäten und -Widerstände, werden über die ermittelten S-Parameter der Verstärkungsfaktor (hier Hybridform) h_{21} des Ge-GAA-pTFETs bestimmt [220]:

$$h_{21} = -\frac{2 \cdot S_{12}}{(1 - S_{11}) \cdot (1 - S_{22}) + S_{12} \cdot S_{21}} \quad 6.20$$

Der Verstärkungsfaktor, aufgetragen in dB über die Frequenz, wird in Abbildung 6.15 über folgenden Zusammenhang $|H_{21}| = -20 \log(|h_{21}|)$ dargestellt. Über den Verstärkungsfaktor kann die Grenzfrequenz mit der Randbedingung, dass der Verstärkungsfaktor den Wert $|H_{21}| = 1$ annimmt, grafisch ermittelt werden. Die beiden Arbeitspunkte der Messung, dargestellt in Abbildung 6.15, wurden mit einer konstanten Drain-Spannung $V_{DS} = -1,0$ V und zwei unterschiedlichen Gate-Spannungen $V_{GS} = -1,0$ V (schwarze Kurve) und $V_{GS} = -3,5$ V (rote Kurve) aufgenommen. Über eine Extrapolation der Messwerte durch einen linearen Abfall des RC-Dämpfungs-glieds mit -20 dB/Dekade, im Messraum von $f = 1$ MHz bis über $f = 10$ GHz hinaus, kann eine Grenzfrequenz in der Größenordnung von $f_t = 30$ GHz für den experimentellen Aufbau ermittelt werden. Im Vergleich zu den über das SeAM bestimmten Grenzfrequenzen kann im Gegensatz zu den Messkurven mit reduzierter Gatespannung [222] noch kein „Abknicken“ des Verstärkungsfaktors erkannt werden. Diese Diskrepanz kann über eine Verschiebung der Einsatzspannung des Ge-GAA-pTFETs durch wiederholte Messungen und durch ein nicht vollständig durchgeführtes De-Embedding begründet werden [226]. Schlussendlich kann jedoch ein nutzbares RF-Verhalten des Ge-GAA-pTFETs mit einer Kanallänge von $L_G = 100$ nm und einer Al_2O_3 -Oxiddicke von $d_{ox} = 5$ nm von mindestens $f_t = 2$ GHz erwartet werden. Für eine exaktere Bestimmung sollten die De-Embedding-Strukturen nochmals überarbeitet und ggf. neue Strukturen eingefügt werden, die eine Extrahierung der intrinsischen Parameter ermöglichen. Die ermittelten Grenzfrequenzen der Ge-GAA-pTFETs liegen weit hinter den Werten eines vergleichbaren MOSFETs. Die niedrige Transitfrequenz kann mit dem geringeren Sättigungsstrom und der hohen Miller-Kapazität auf der Drain-Seite begründet werden. Eine Leistungssteigerung kann nun weiter über die Integration einer Hetero-Oxid-Struktur erzielt werden ([125], [224], [232]). Die Struktur kann über ein low-K-GOX mit niedriger Permittivität auf der Drain-Seite (z. B. SiON_x) und einem high-K-GOX, das einen Gate-Overdrive erlaubt, auf der Source-Seite (z. B. Ta_2O_5) mit einer hohen Permittivität von ca. 25 aufgebaut werden. Weiter sind Gate-Strukturen mit Unterlapp und einer abgesenkten Dotierung denkbar. Jedoch resultieren diese Optionen in einer beschränkten Skalierbarkeit des lateralen Transistorkonzepts und in weiteren Prozessschritten. Werden solche Strukturen in Betracht gezogen, sollte eine vertikale Integration von Transistorstrukturen favorisiert werden. Eine vertikale Integration wurde schon ansatzweise durch die Fin-FET Strukturen und den 3D-NAND-Speicher in die Volumenproduktion, z. B. durch Intel oder Samsung, überführt.

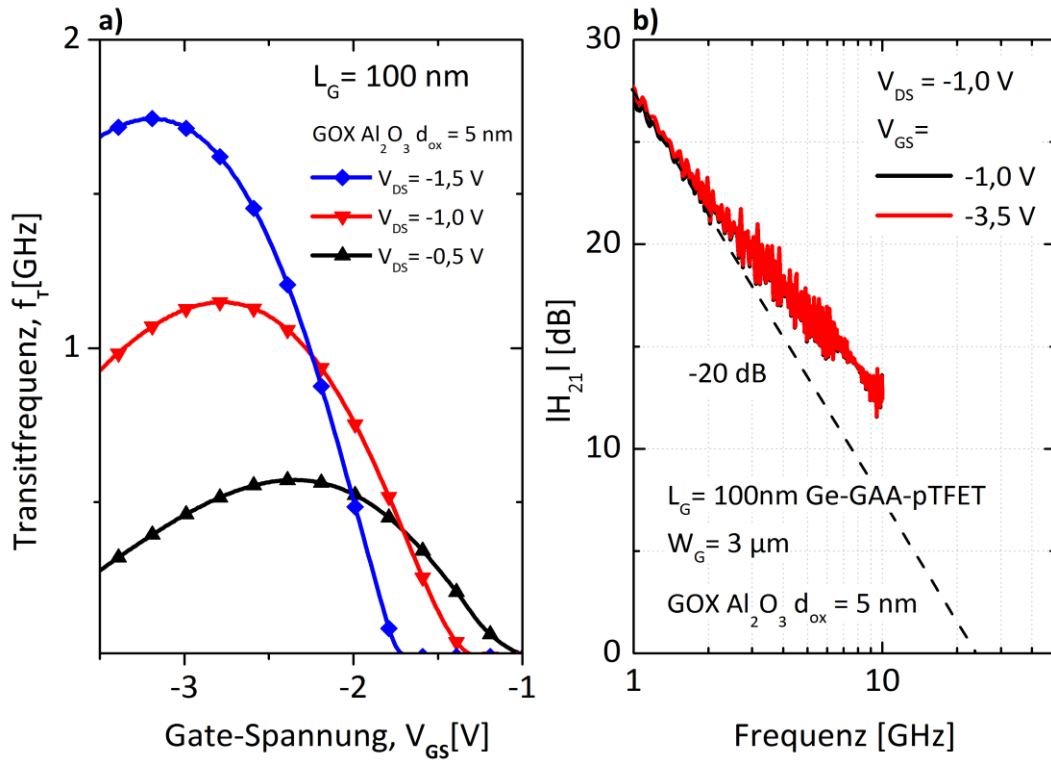
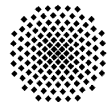
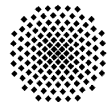


Abbildung 6.15

a) Zeigt die über das SeAM bestimmte Transitfrequenz f_t eines Ge-DG-pTFETs. Das Modell wurde mit einer Kanallänge von $L_G = 100$ nm und einer EOT von $d_{ox} = 5$ nm und einer Schichtdicke des Ge-Kanalgebiets mit $d_{ch} = 10$ nm gewählt. Die Drain-Spannungen V_{DS} wurde zwischen $-0,5 \text{ V} \geq V_{DS} | \text{V} \geq -1,5 \text{ V}$ in Schritten von $\Delta V_{DS} = -0,5 \text{ V}$ und die Gate-Spannung V_{GS} im Bereich von $-5,0 \text{ V} \geq V_{GS} | \text{V} \geq 0,0 \text{ V}$ in Schritten von $\Delta V_{GS} = -0,1 \text{ V}$ variiert. Die Bestimmung von f_t erfolgte mit den berechneten Werten der Transkonduktanz g_m und den beiden zentralen Kapazitäten des Kleinsignal-Ersatzschaltbildes (C_{GD} , C_{GS}). In Teilabbildung b) wurde der Verstärkungsfaktor h_{21} linear in dB logarithmisch über die Frequenz aufgetragen, welcher über den Zusammenhang $|H_{21}| = -20 \log(h_{21})$ bestimmt wurde. Die beiden Arbeitspunkte wurden mit konstanter Drain-Spannung $V_{DS} = -1,0 \text{ V}$ und zwei unterschiedlichen Gate-Spannungen $V_{GS} = -1,0 \text{ V}$ (schwarze Kurve) und $V_{GS} = -3,5 \text{ V}$ (rote Kurve) gewählt. Für den ausgewählten Messbereich kann keine Transitfrequenz bestimmt werden. Über eine Extrapolation mit einem Abfall von -20 dB/Dekaden kann eine Grenzfrequenz von mindestens 30 GHz für den experimentellen Aufbau erwartet werden.



7 Zusammenfassung und Ausblick

Das Augenmerk in der vorliegenden Arbeit lag darin, eine Einordnung zu geben, inwiefern der TFET in die heutige Skalierung der Mikroprozessoren eine Alternative zum konventionellen MOS-FET-Aufbau darstellen könnte. Im speziellen wurde der Ge-pTFET experimentell über die Prozessentwicklung eines GAA-Aufbaus und über die physikalische Modellierung des Schaltverhaltens betrachtet.

Dabei wurde in den ersten Kapiteln versucht, anhand einer physikalischen Modellierung eine einfache analytische Beschreibung der elektrischen Feldverteilung und damit der Potentialverläufe des TFETs, in Abhängigkeit von den wirkenden Spannungen V_{DS} und V_{GS} und den Material- und Designparameter, in einem DG-MOS Aufbau quantitativ und qualitativ zu bestimmen. Die Abhängigkeit der elektrischen Felder wurde durch eine Reduzierung der Poisson-Gleichung auf eine eindimensionale Beschreibung zurückgeführt und mit MATLAB numerisch umgesetzt. Als Ansatz wurde eine Symmetrisierung der Randbedingungen des Potentialproblems senkrecht zur Kanalrichtung gewählt. Dadurch war es möglich, über die ermittelten Parameterzusammenhänge für die elektrische Feldverteilung am Tunnelübergang, den Drain-Strom mittels zweier semi-analytischen Interbandtunnel-Modellen, auf der Basis des Kane-Modells und einer intuitiven Formulierung der WKB-Näherung, zu bestimmen und mit experimentellen bzw. simulierten Ergebnissen zu vergleichen.

Zur Herstellung der experimentell untersuchten Halbleiterstrukturen wurde in dieser Arbeit das MBE-Verfahren genutzt. Es konnten wichtige MBE-Wachstumsstrategien anhand des Si-pTFETs erläutert werden. Der Si-pTFET konnte in einer Kanallängenvariation von $L_G = 500$ nm auf eine Kanallänge von $L_G = 50$ nm reduziert werden. Mit dem gewonnenen SeAM konnten die im Verlauf der Arbeit gemessenen Si-TFETs nachgebildet werden. Es konnte ein Schaltverhalten von mehr als acht Größenordnungen für einen Si-TFET mit Kanallänge erzielt $L_G = 100$ nm werden. Der gemessene Sättigungsstrom war in der Größenordnung von wenigen $\mu\text{A}/\mu\text{m}$, wie es auch in den SeAM-Berechnungen wiederspiegelt wird. Mittels der Silvaco-Simulation und des SeAMs wurden die Vorteile von Ge gegenüber Si als Halbleitermaterial auf das Schaltverhalten des TFETs herausgearbeitet, um als Fundament der in dieser Arbeit behandelten Punkte zu dienen. Die zentralen experimentellen Punkte waren die auf Ge-basierenden Wachstumsexperimente, die die Skalierung der Kanallänge L_G und die Unterdrückung des ambipolaren Schaltverhaltens des Ge-pTFETs betreffen. Die Skalierung der Kanallänge L_G kann nur dann als Möglichkeit für eine Steigerung der Leistungsfähigkeit erachtet werden, wenn der Transistor in einem GAA-Aufbau effizient elektrostatisch skaliert wird. Mit Beginn der Arbeit wurde parallel eine CMOS-kompatible Prozessführung mithilfe des Uni-Bw-Maskensatzes etabliert, die später durch einen GAA-Aufbau und dem aMOS-2010-Maskensatz vervollständigt und optimiert wurde. Die experimentellen Ergebnisse wurden in der Reihe „IEEE Transactions on Electron Devices“ im Dezember 2014 publiziert [206]. Im Experiment konnte durch die Reduzierung der Drain-Dotierung N_D wirksam die Ambipolarität des Ge-TFETs unterdrückt und durch die Skalierung der Kanallänge des Ge-pTFETs konnte der Sättigungsstrom erhöht werden. Die hier betrachteten Ansätze sollen aufzeigen, inwiefern der TFET als realistischer Konkurrent des konventionellen MOSFETs in der ULSI optimiert und eingesetzt werden kann. Der Ge-TFET ist hinsichtlich seiner Halbleiterstruktur und der durch die ITRS vorgegebenen Versorgungsspannung auf $100 \mu\text{A}/\mu\text{m}$ limitiert (siehe dazu Tabelle 7-1 und Abbildung 6.10), wenn auf einen Gate-Overdrive verzichtet werden soll. Mit dem Einbau einer $\text{Ge}_{1-x}\text{Sn}_x$ -Struktur kann mittels der kleineren Bandlücke gegenüber Ge die Leistung des TFETs weiter gesteigert werden. Die nächsten sinnvollen Schritte sollten die Anpassung der Wachstumsstrategien und die optimale Positionierung einer $\text{Ge}_{1-x}\text{Sn}_x$ -Struktur innerhalb des Ge-pTFETs beinhalten. Als ein Ausblick für die weitere Entwicklungsmöglichkeit des Ge-pTFETs soll

der nächste Abschnitt über die Integration einer $\text{Ge}_{1-x}\text{Sn}_x$ -Ge-Heterostruktur in das Ge-pTFET-Konzept dienen.

7.1 Reduzierung der effektiven Bandlücke am Tunnelübergang durch den Einsatz einer $\text{Ge}_{1-x}\text{Sn}_x$ -Ge-Heterostruktur

Für den TFET im Allgemeinen werden und wurden verschiedene Halbleiter-Materialsysteme für die Steigerung des Sättigungsstroms experimentell untersucht. Darunter fallen die hier untersuchten Elementarhalbleiter Si, Ge und der Verbindungshalbleiter $\text{Ge}_{1-x}\text{Sn}_x$. Weitere sind $\text{Si}_{1-x}\text{Ge}_x$, oder III-V-Verbindungshalbleiter, die im gesamten TFET oder ausschließlich in der Source-, Kanal- und/ oder in der Drain-Region positioniert werden [79], [124], [233]. Speziell der Einsatz von $\text{Ge}_{1-x}\text{Sn}_x$ bietet die Möglichkeit durch die kleinere Bandlücke die Leistung des pTFETs weiter zu steigern. Experimentelle Ergebnisse lassen eine Leistungssteigerung durch den Einsatz innerhalb des pTFETs erwarten [126], [234].

Zur weiteren Reduzierung der Barrierenhöhe bzw. Erhöhung der BTBT-GR wurde eine $\text{Ge}_{1-x}\text{Sn}_x$ -Schicht, mit einer Schichtdicke von $d_{\text{GeSn}} = 10 \text{ nm}$, in den Dotierübergang zwischen dem Kanalgebiet und der Source-Elektrode eingefügt. Durch die zweite elektrisch aktive Heterostruktur kann der Aufbau auch als Doppel-Heteroübergang-TFET (DH-TFET, engl. Double-Hetero-Structure-TFET) bezeichnet werden. Als Ausgangspunkt diente die MBE-Sequenz der Drain-Dotierserie aus Abschnitt 4.2.2. Als Dotierkonzentration des p-Typ-dotierten LDDs wurde $N_D = 1,0 \cdot 10^{18} \text{ cm}^{-3}$ gewählt. Der schematische Aufbau der MBE-Sequenz wird in Abbildung 7.1 dargestellt. Das Kanalgebiet setzt sich aus einem leicht Hintergrund-dotierten p-Typ-artigen Ge-Kanalgebiet, mit einer Dicke $d_i = 290 \text{ nm}$, und der leicht Hintergrund-dotierten p-Typ-artigen $\text{Ge}_{1-x}\text{Sn}_x$ -Schicht, mit einer Schichtdicke von $d_{\text{GeSn}} = 10 \text{ nm}$, zusammen. Die Wahl einer $\text{Ge}_{1-x}\text{Sn}_x$ -Schicht am Dotierübergang zwischen Kanalgebiet und Source-Elektrode hat den Vorteil, dass der zusätzlich in der $\text{Ge}_{1-x}\text{Sn}_x$ -Schicht erzeugte DIBT-Leckstrom durch das Material auf der Drain-Seite bestimmt wird [66]. In dem hier betrachteten Fall bestehen die Materialien auf der Drain-Seite aus Ge und das gSiGe-VS. Ein wichtiger zu beachtender Faktor ist die Gitterfehlpassung von Sn gegenüber Ge von ca. $\frac{a_{\text{Sn}}}{a_{\text{Ge}}} \sim 115 \%$ (Tabelle 3-4).

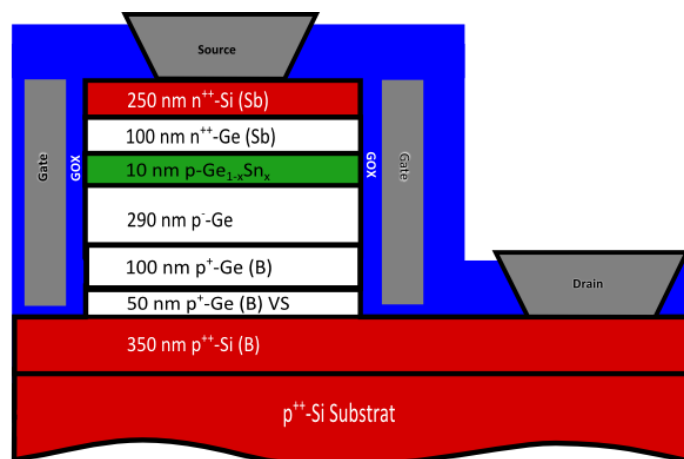
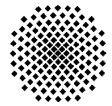


Abbildung 7.1

a) zeigt die schematische Darstellung der MBE-Sequenz eines Ge-pTFETs der Drain-Dotierserie mit $N_D = 1,0 \cdot 10^{18} \text{ cm}^{-3}$, welche um eine $\text{Ge}_{1-x}\text{Sn}_x$ -Heterostruktur mit einer Schichtdicke von $d_{\text{GeSn}} = 10 \text{ nm}$, am Dotierübergang zwischen dem Kanalgebiet und der Source-Elektrode erweitert wurde.

Es kann vermutet werden, dass eine Integration von $\text{Ge}_{1-x}\text{Sn}_x$ in einer Schicht von wenigen Nanometern (ideal unterhalb der kritischen Schichtdicke) ein Wachstum erzielt werden kann, welches



wenige zusätzliche Punktdefekte innerhalb der Kristallmatrix generiert und somit der dort erzeugte SRH-Leckstrom moderat und auf ein kleines Volumen beschränkt bleibt.

Für das Wachstum der $\text{Ge}_{1-x}\text{Sn}_x$ -Schicht wurde am Ende des aus Ge bestehenden Kanalgebiets die Wachstumstemperatur von $T_S = 300^\circ\text{C}$ auf $T_S = 160^\circ\text{C}$ abgesenkt. Die Wahl der Temperatur kann sowohl in der hohen Segregation von Sn in Ge und in der geringen Festkörperlöslichkeit von Sn in Ge (unter 1 %) begründet werden. Aufgrund dessen verlangt das Wachstum von $\text{Ge}_{1-x}\text{Sn}_x$ Schichten mit Anteilen größer als 1 % gezielte Wachstumsstrategien, die eine Entmischung der Materialien Sn und Ge innerhalb, oder auf der Oberfläche des Kristallgefüges, verhindern. Es kann hier von einem Wachstum ausgegangen werden, welches durch die Sn-Segregation auf der Wachstumsfront dominiert wird [165]. Mögliche Strategien zur Kontrolle der Segregation wurden in Kapitel 2 sowie in [139], [141] diskutiert. Dabei war das Ziel scharfe Dotierübergänge in den Materialsystemen Si:Sb und Si:B zu erzeugen. Eine weitere Betrachtung des MBE-Wachstumsprozesses würde den Rahmen dieser kurzen Betrachtung sprengen und es wird auf weiterführende Literatur verwiesen [160]–[162], [165], [235]–[243]. Die untersuchten Sn-Konzentrationen wurden, abgesehen von den 0 % der Referenzprobe, mit 4 %, 8 % und 12 % gewählt. Es ist nach theoretischen Überlegungen (meistens Dichtefunktionaltheorie-Rechnungen wie FPLAPW/VCA/LDA+U), sowie experimentellen Messdaten zu erwarten, dass die Bandlücken von $\text{Ge}_{1-x}\text{Sn}_x$ mit steigendem Sn-Gehalt sinkt.

Zusätzlich kann für eine relaxierte $\text{Ge}_{1-x}\text{Sn}_x$ -Schicht, für einen Sn-Gehalt zwischen 6 % und 10 %, ein Übergang von einem indirekten zu einem direkten Halbleitersystem erwarten werden [162], [236], [244]–[248]. Jedoch spielen hierbei der vorherrschende Verspannungsgrad und die Verspannungsart (kompressiv- oder zugverspannt) eine entscheidende Rolle. Für die hier auf einem Ge-„VS“ integrierten $\text{Ge}_{1-x}\text{Sn}_x$ -Schichten kann der Übergang zu einem direkten Halbleiter noch nicht vollständig geklärt werden: während z. B. in [246] gezeigt wird, dass pseudomorph verspanntes $\text{Ge}_{1-x}\text{Sn}_x$ für jegliche Sn-Konzentrationen keinen Übergang zu einem direkten Halbleiter zeigen wird; wird in [163] ein Übergang zu einem direkten Halbleiter für Konzentrationen größer 17 %, auch für ein kompressiv verspanntes $\text{Ge}_{1-x}\text{Sn}_x$, prognostiziert [249]. Für das hier untersuchte $\text{Ge}_{1-x}\text{Sn}_x$ -Schichtsystem kann jedoch angenommen werden, dass ein kompressiver Verspannungsgrad vorliegt⁴⁵. Somit kann für die $\text{Ge}_{1-x}\text{Sn}_x$ -Schicht, für die hier gewählten Sn-Anteile, kein Übergang zu einem direkten Halbleiter erwartet werden.

Um den Einfluss auf den Bandverlauf und damit auf die Barrierenweite sichtbar zu machen wurden in Abbildung 7.2 die Bandverläufe eines Ge-DG-pTFETs (gepunktete Linie) und eines Ge-DG-pTFETs mit zusätzlicher $\text{Ge}_{0,88}\text{Sn}_{0,12}$ -Heterostruktur, für eine Versorgungsspannung von $V_{DD} = -1,0\text{ V}$, mittels des SeAMs nachgebildet. Die Materialparameter der $\text{Ge}_{1-x}\text{Sn}_x$ -Schicht wurden aus [250] und die Bandabstände der $\text{Ge}_{1-x}\text{Sn}_x$ -Schicht zu der umgebenden Ge-Struktur wurden aus [251] in das SeAM übernommen. Der bestimmte Bandverlauf entspricht einer Typ-I-Halbleiter-Heterostruktur. Anderweitige Quanteneffekte wurden in dieser Betrachtung nicht berücksichtigt.

Die Transfercharakteristika der GeSn-pTFETs sind in Abbildung 7.3 a) dargestellt. Interessant ist hier zu beobachten, dass eine Verschiebung der Einsatzspannung zu kleineren Gate-Spannungen für pTFETs mit höherem Sn-Gehalt erreicht werden kann. Die Einsatzspannung wird primär durch die Bandlücke im Tunnelübergang und dem benötigten Potentialhub, um ein energetisches „Tunnel-Fenster“ zu öffnen, bestimmt. Die Verschiebung der Einsatzspannung zu kleineren Gate-Spannungen ist auch mit einer erhöhten BTBT-GR und mit einem niedrigen SS assoziiert [63].

⁴⁵ Der korrespondierende kompressive Verspannungsgrad ist jedoch durch die zugverspannte Ge-Kanalregion um 0,2 % reduziert.

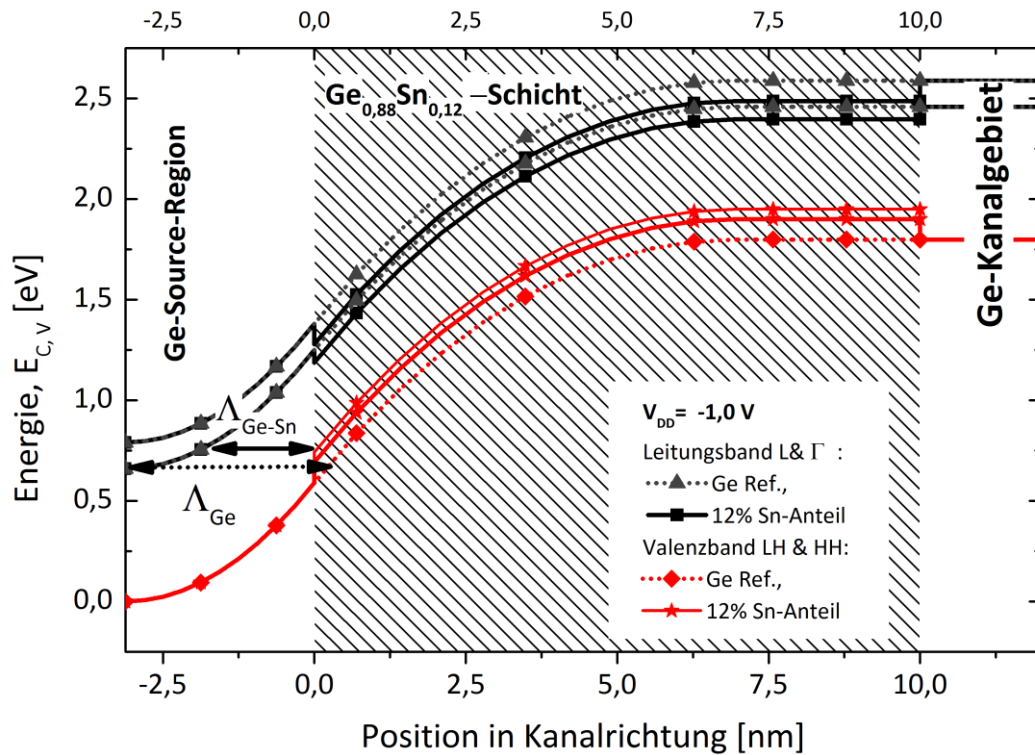
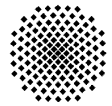


Abbildung 7.2 Zur Darstellung des Einflusses einer $\text{Ge}_{0,88}\text{Sn}_{0,12}$ -Schicht auf die Tunnelbarriere, wurden die Bandverläufe eines Ge-DG-pTFETs (gepunktete Linie) und eines Ge-DG-pTFETs mit zusätzlicher $\text{Ge}_{0,88}\text{Sn}_{0,12}$ -Heterostruktur, für eine Versorgungsspannung von $V_{DD} = -1,0 \text{ V}$, mittels des SeAMs nachgebildet. Der Bandverlauf in einem $\text{Ge}_{0,88}\text{Sn}_{0,12}$ -DG-pTFETs des L-(minimale Bandlücke) und des Γ -Leitungsband-Minimums wird durch die schwarzen Kurven und den Quadrate und für den Fall des Ge-DG-pTFETs durch die grauen unterbrochenen Kurven und Dreiecke wiedergegeben. Der Valenzbandverlauf in einem $\text{Ge}_{0,88}\text{Sn}_{0,12}$ -DG-pTFETs wird durch die roten durchgängigen Kurven und die Kurven des Ge-DG-pTFETs durch die bordeauxroten punktierten Kurven und gedrehten Quadraten dargestellt. In der Darstellung werden das leichte Löcherband durch den unteren Bandverlauf und das schwere Löcherband durch den energetisch höheren Bandverlauf wiedergegeben. Die räumliche Ausdehnung des Tunnelbereichs wird durch den bordeauxroten (Ge) und rot gefärbten Pfeil (GeSn) schematisch dargestellt.

Der unmittelbare Einfluss der reduzierten Bandlücke auf den SS kann darüber erklärt werden, dass die räumliche Ausdehnung der Raumladungszonen $\Lambda_{L_1+L_2}$ und die effektive Masse m^* eine nur schwache Abhängigkeit gegenüber dem Sn-Gehalt zeigen ([250] und [248]). Das hier beschriebene Verhalten wurde auch in [126] für einen GeSn-pTFETs beobachtet.

In Abbildung 7.4 sind die Mittelwerte des Sättigungsstroms I_D über die unterschiedlichen Sn-Gehalte aufgetragen. Die Drain-Spannung wurde zwischen $-0,5 \text{ V} \geq V_{DS} | V \geq -1,5 \text{ V}$ in Schritten von $\Delta V_{DS} = -0,5 \text{ V}$ variiert. Die Werte wurden bei einer maximalen Gatespannung von $V_{GS} = -6 \text{ V}$ ermittelt. Durch den Einsatz der $\text{Ge}_{1-x}\text{Sn}_x$ -Schicht zeigt sich gegenüber der Referenzprobe ein erhöhter Sättigungsstrom I_D . Dieser Anstieg kann der reduzierten Bandlücke zugeordnet werden: z. B. kann gegenüber der Referenzprobe für eine Sn-Konzentration von 8 % der Sättigungsstrom um eine Größenordnung erhöht werden (Abbildung 7.4 a)).

Die Proben zeigen jedoch einen hohen Leckstrom. Der Anlaufbereich und der niedrigere SS der GeSn-pTFETs bleiben kaschiert. Mit der Integration der $\text{Ge}_{1-x}\text{Sn}_x$ -Schicht muss ein Anstieg der Verlustströme mit zunehmendem Sn-Gehalt in Kauf genommen werden, diese Tendenz ist in den



Ausgangskennlinien Abbildung 7.3 b) und in den in Abbildung 7.4 b) dargestellten Durchschnittswerten des Leckstroms I_{off} zu sehen.

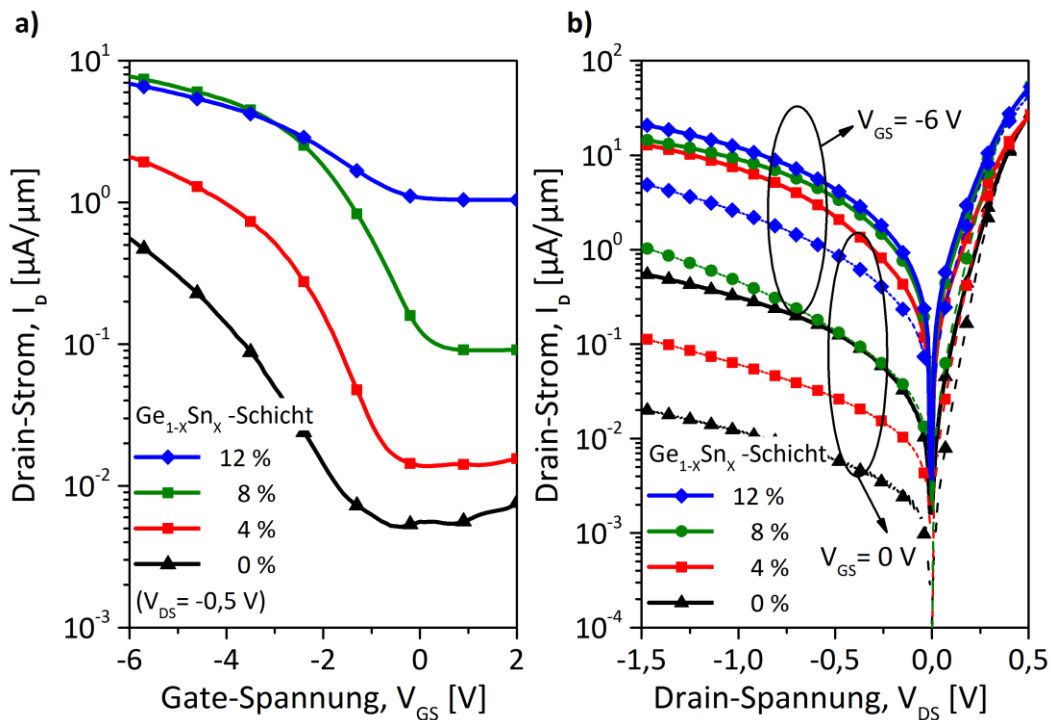


Abbildung 7.3

a) Transfercharakteristik der pTFETs mit zwei Heteroübergängen für unterschiedliche Sn-Konzentrationen (0 %, 4 %, 8 % und 12 %) in der Source-seitigen $Ge_{1-x}Sn_x$ -Schicht. Als Drain Spannung wurde $V_{DS} = -0,5$ V gewählt. Die Transistoren besitzen eine Mesa-Oberfläche von $240 \mu m^2$ und eine Kanalweite von $80 \mu m$. b) Ausgangskennlinienfeld der TFETs für verschiedene Sn-Anteile (0 %, 4 %, 8 % und 12 %) in der Source-seitigen $Ge_{1-x}Sn_x$ -Schicht. Die unterbrochenen Kurven stellen die Kennlinien im ausgeschalteten Zustand der pTFETs dar und wurde bei einer Gate-Spannung $V_{GS} = 0$ V gemessen. Der maximale Sättigungsstrom I_D wurde für eine Gate-Spannung $V_{GS} = -6$ V extrahiert.

Der merkbliche Anstieg des Leckstroms mit höherem Sn-Gehalt, verglichen mit der Zunahme des Sättigungsstroms I_D , kann einmal durch die reduzierte Tunnelbarriere und zum anderen über eine erhöhte Punkt-Defekt-Dichte innerhalb der $Ge_{1-x}Sn_x$ -Schicht erklärt werden. Es besteht daher die Möglichkeit die Schichtdicke der $Ge_{1-x}Sn_x$ -Struktur zu reduzieren, um das Leckstrom-Niveau zu senken. Über Abbildung 7.2 kann vermutet werden, dass die optimale Dicke der Struktur in der Größenordnung der natürlichen Abschirmlänge liegen sollte. Weiter kann auch über eine zusätzliche vertikale Verschiebung der $Ge_{1-x}Sn_x$ -Schicht von wenigen nm in das Source-Gebiet nachgedacht werden, da an den klassischen Umkehrpunkten die Tunnelprozesse generiert werden. Das angesprochene Optimierungspotential sollte in weiteren Experimenten untersucht werden. Vielmehr wurde im letzten Teil der Arbeit die Reduzierung des Mesa-Volumens der $Ge_{1-x}Sn_x$ -pTFETs mittels des GAA-Prozesses betrachtet.

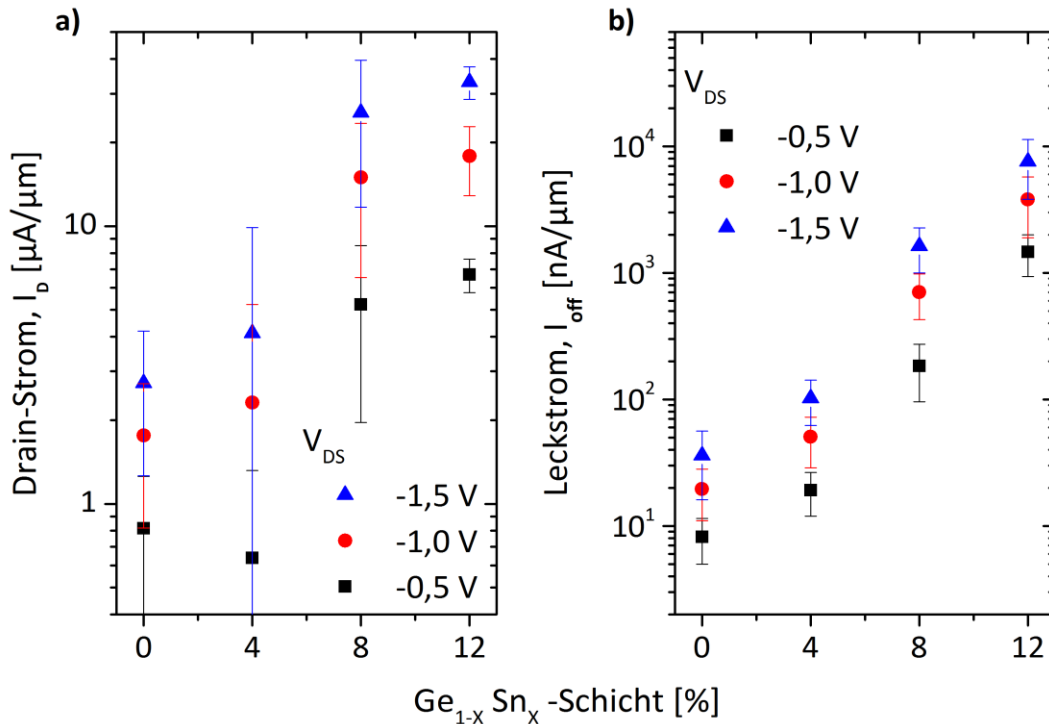


Abbildung 7.4 (a) Mittelwerte der Sättigungsströme I_D , gemessen bei $V_{GS} = -6,0\text{ V}$, der pTFETs mit unterschiedlichen Sn-Konzentrationen (0 %, 4 %, 8 % und 12 %) in der Source-seitigen $\text{Ge}_{1-x}\text{Sn}_x$ -Schicht. (b) Mittelwerte der Verlustströme I_{off} bei $V_{GS} = 0\text{ V}$. Die Drain-Spannung wurde zwischen $-0,5\text{ V} \geq V_{DS} \geq -1,5\text{ V}$ in Schritten von $\Delta V_{DS} = -0,5\text{ V}$ variiert.

7.1.1 Prozessoptimierung GeSn-GAA-TFET mit einer Kanallänge $L_G = 300\text{ nm}$

Die im vorangegangenen Abschnitt vorgestellten GeSn-pTFETs mit einem Sn-Anteil von 4 % und 8 % in der Source-seitigen $\text{Ge}_{1-x}\text{Sn}_x$ -Schicht wurden mithilfe des GAA-Prozesses prozessiert. Beide Sn-Varianten zeigen einen erhöhten Sättigungsstrom I_D aber auch einen Anstieg des Leckstrom-Niveaus. Durch die Volumenabhängigkeit der SRH-GR wurde die Reduzierung des Mesa-Volumens in Betracht gezogen, um den Leckstrom gezielt zu reduzieren. Die in Abbildung 7.5 dargestellten GeSn-GAA-pTFETs weisen einen Sn-Anteil von 8 % in der $\text{Ge}_{1-x}\text{Sn}_x$ -Schicht auf und wurden mit dem aMOS-2010-Maskenlayout prozessiert. Der erste GeSn-GAA-pTFETs, dargestellt durch die schwarzen Kurven, hat einen Mesa-Durchmesser von $d_{Mesa} = 10\ \mu\text{m}$. Der zweite GeSn-GAA-pTFETs, dargestellt durch die roten Kennlinien, wurde mittels der EBL verkleinert und besitzt einen Mesa-Durchmesser von $d_{Mesa} = 250\text{ nm}$. Die durchgezogenen Kurven des Transferkennlinienfelds repräsentieren eine Drain-Spannung von $V_{DS} = -0,5\text{ V}$, wobei die unterbrochenen Kurven bei einer Drain-Spannung von $V_{DS} = -1,5\text{ V}$ aufgenommen wurden.

Das Ausgangskennlinienfeld wurde für den Auszustand mit einer Gate-Spannung von $V_{GS} = 2,0\text{ V}$ und mit $V_{GS} = -3,0\text{ V}$ im An-Zustand gemessen. Durch das kleinere Mesa-Volumen des GeSn-GAA-pTFETs mit $d_{Mesa} = 250\text{ nm}$ kann das Schaltverhältnis von knapp zwei Größenordnungen auf mehr als vier Größenordnungen, bei einer Drain-Spannung von $V_{DS} = -0,5\text{ V}$, erhöht werden. Für den GeSn-GAA-pTFETs mit einem Mesa-Durchmesser $d_{Mesa} = 10\ \mu\text{m}$ kann für die Spannung von $V_{GS} = -3\text{ V}$ und $V_{DS} = -2,0\text{ V}$ ein maximaler Sättigungsstrom von $I_D = 0,19\text{ mA}/\mu\text{m}$ erzielt werden, jedoch bei einer Leckstromdichte von $j_{off} = 1,2 \cdot 10^2\text{ A}/\text{cm}^2$.

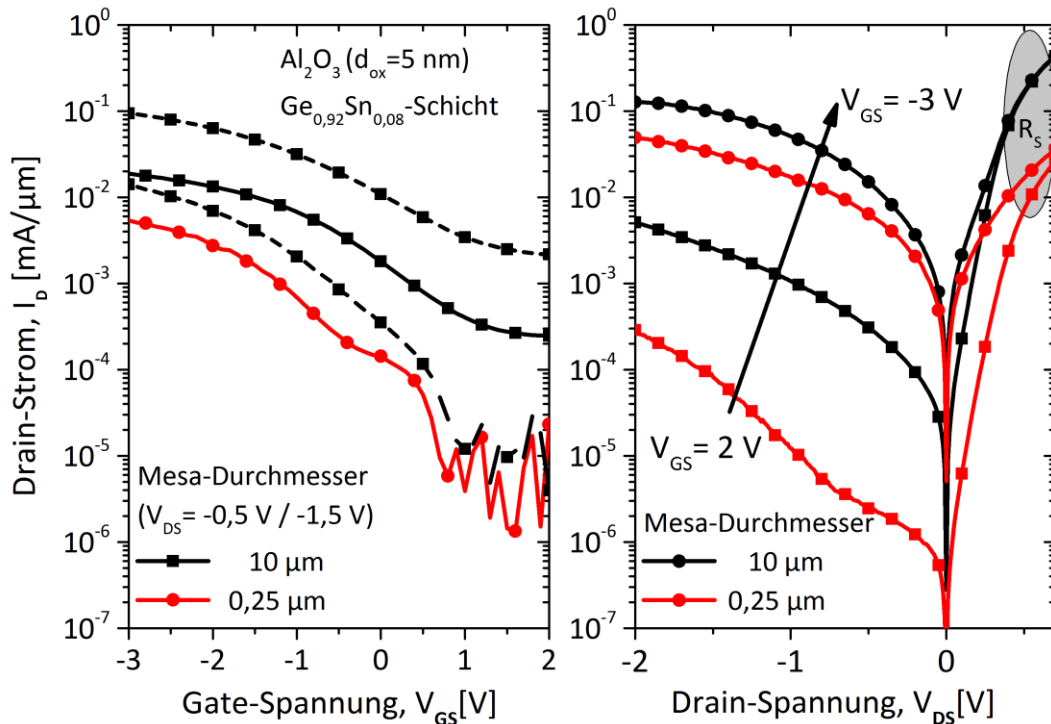
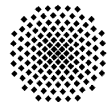


Abbildung 7.5

In (a) werden die Transferkennlinien und in b) werden die Ausgangskennlinien eines GeSn-GAA-TFET mit 8 % Sn-Anteil dargestellt. In den Schaubildern werden zwei Transistorvarianten mit einem Mesa-Durchmesser von $d_{Mesa} = 10 \mu\text{m}$ (schwarz) und einem Mesa-Durchmesser von $d_{Mesa} = 250 \text{ nm}$ (rot) zusammen dargestellt. Die Transferkennlinien mit durchgezogenem Kurvenverlauf wurden bei einer Drain-Spannung von $V_{DS} = -0,5 \text{ V}$ gemessen, der unterbrochene Kurvenverlauf entspricht einer Drain-Spannung von $V_{DS} = -1,5 \text{ V}$. Das Ausgangskennlinienfeld wurde für den Auszustand mit einer Gate-Spannung von $V_{GS} = 2,0 \text{ V}$ und mit $V_{GS} = -3,0 \text{ V}$ im An-Zustand gemessen.

Der Wert für den Sättigungsstrom liegt im Toleranzbereich für LP-Transistoren der ITRS 2015, damit jedoch das Leckstrom-Niveau erfüllt werden kann, muss der Mesa-Durchmesser für den GeSn-GAA-pTFET knapp $d_{Mesa} = 3 \text{ nm}$ betragen [218]. Zudem ist die Drain-Spannung mit $V_{DS} = -2,0 \text{ V}$ zu hoch um vernünftige Leistungswerte zu erzielen. Die Werte der ITRS-Tabelle können jedoch über die folgenden Punkte erreicht werden:

- Reduzierung der GeSn-Schichtdicke in der Größenordnung der natürlichen Abschirmlänge
- Verschiebung der Position im Dotierübergang
- Kontrollierter Einbau von Sn unter der Berücksichtigung der Sn-Segregation
- Erhöhung der Gegendotierung in der GeSn-Schichtdicke, ähnlich dem Aufbau in [60]

Für die Ausgangskennlinie des GeSn-GAA-pTFETs mit einem Mesa-Durchmesser von $d_{Mesa} = 250 \text{ nm}$ kann weiter festgestellt werden, dass durch den parasitären Serienwiderstand R_S der maximale Sättigungsstrom beeinträchtigt wird. Der parasitäre Serienwiderstand R_S ist auch im Vorwärtsbereich der Diode für $V_{GS} = 0 \text{ V}$ deutlich zu erkennen und wurde im Ausgangskennlinienfeld in Abbildung 7.5 durch den grau-schraffierten Bereich hervorgehoben. Mit den Dioden-Kennlinien des Aus-Zustands konnte der Serienwiderstand R_S der zwei GeSn-GAA-pTFETs-Anordnung extrahiert werden. Der Serienwiderstand R_S setzt sich in erster Näherung aus dem Schichtwiderstand der Halbleiterstruktur und dem Kontaktwiderstand zwischen der Metalisierung und den Halbleitern des TKs und des BLs zusammen. Es kann abgeschätzt werden, dass für kleine Kontaktflächen, insbesondere für Strukturen mit Kontaktfenstern kleiner

$d_{Mesa} < 1 \mu\text{m}$ und einem spezifischen Kontaktwiderstand $R_C \sim 10^{-6} - 10^{-5} \Omega \text{cm}^2$, der Serienwiderstand R_S ($> 1 \text{k}\Omega$) durch den spezifischen Kontaktwiderstand R_C des TKs dominiert wird⁴⁶. Diese Abhängigkeit wird durch die Auftragung des Serienwiderstands R_S über die TK-Fläche deutlich in Abbildung 7.6 wiedergegeben. In diesem Aufbau kann ein typischer Wert von $\rho_C = 5 \cdot 10^{-6} \Omega \text{cm}^2$ ermittelt werden. Der daraus ableitbare Wert des Kontaktwiderstands zwischen n-Typ-artig-dotierten Si-TK, mit einer Dotierhöhe von $N_{TK} = 2 \cdot 10^{20} \text{cm}^{-3}$, und der Al-Metallisierung entspricht den bekannten Literaturwerten [252].

Der hohe Kontaktwiderstand mindert, bei vergleichbaren Spannungen, den erreichbaren Sättigungsstrom I_D im Vergleich zu größeren Kontakfenster-Strukturen. Zur Minimierung der Kontaktwiderstände ist eine W/Al-Kontaktierung denkbar, die für das Si- und Ge-Materialsystem einen spezifischen Kontaktwiderstand im Bereich von $\rho_C < 10^{-7} \Omega \text{cm}^2$ ermöglichen kann [252]. Eine derartige Variante der W/Al-Kontaktierung und deren Beitrag zum Serienwiderstand wird mit der schwarzen Kurve in Abbildung 7.6 verdeutlicht.

Die hier untersuchten Transistor-Geometrien sollten keinen Einfluss auf den umfangsnormierten Sättigungsstrom zeigen, jedoch können für den GeSn-TFET mit einem Sn-Anteil von 4% höhere Werte für den GAA-Aufbau als den Uni-Bw-Aufbau ermittelt werden (Abbildung 7.7 a)). Mit der GAA-Variante wurde ein maximaler Sättigungsstrom $I_D = 94,3 \mu\text{A}/\mu\text{m}$ für eine Drain-Spannung von $V_{DS} = -2,0 \text{V}$ und $I_D = 203,9 \mu\text{A}/\mu\text{m}$ für eine Drain-Spannung von $V_{DS} = 2,0 \text{V}$ erzielt (Abbildung 7.7 a)). Die Werte wurden bei einer Gate-Spannung von $V_{GS} = -3,0 \text{V}$ gemessen. Der hier beobachtete Unterschied kann auf unterschiedliche Prozessführung des Uni-Bw- und GAA-Prozesses zurückgeführt werden. Im Falle des Uni-Bw-Prozesses kann eine unterbrochene oder teilweise entfernte GAA-Al-Gate-Elektrode verantwortlich gemacht werden, was bei der späteren Normierung auf den Mesa-Umfang einen reduzierten Sättigungsstrom liefert. Jedoch fällt weiter auf, dass für beide Sn-Konzentrationen keine signifikante Änderung des Sättigungsstroms erkannt werden kann. Die pTFET-Variante mit einer Sn-Konzentration von 8 % sollte durch die weiter reduzierte Bandlücke einen höheren Sättigungsstrom zeigen (Abbildung 7.7 b)). Die Ursache deutet auf einen nicht vollständigen oder verzögerten Einbau von Sn während des Kristallwachstums der Ge-GeSn-Heterostruktur hin.

⁴⁶ Der TK besitzt im aMOS-2010-Maskenlayout die kleinste Kontaktfläche gegenüber dem BL.

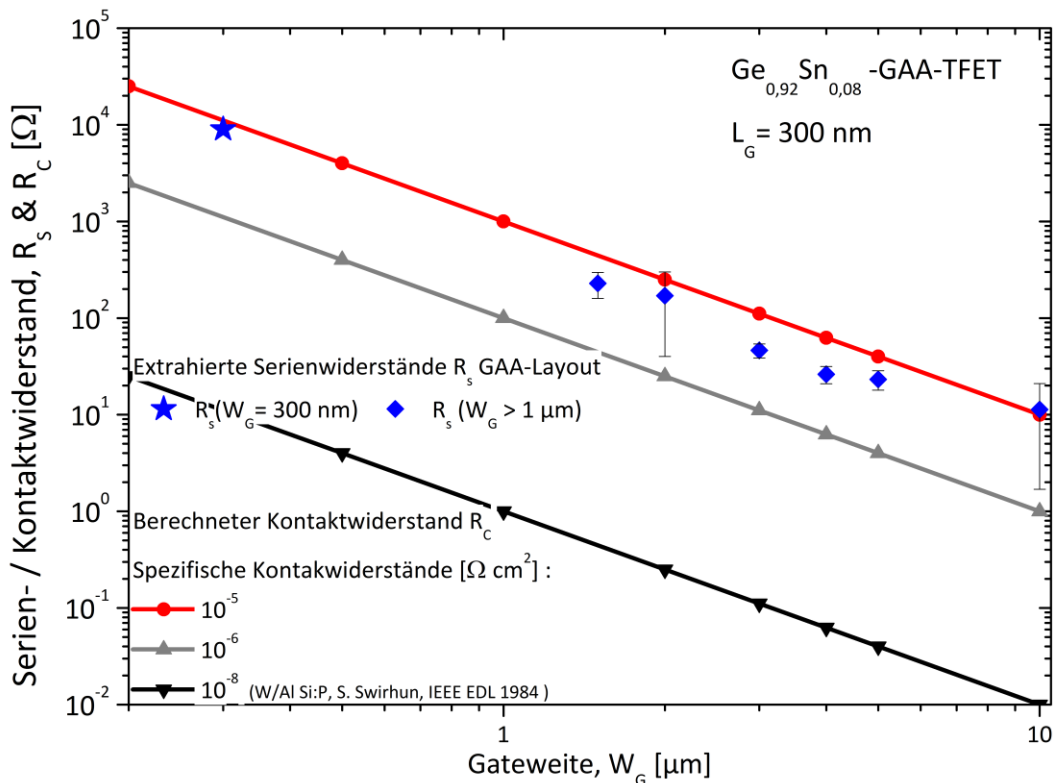
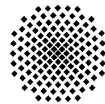


Abbildung 7.6

b) Mittels den Dioden-Kennlinien (Leckstrom-Kennlinien) wurde im Vorwärtsbereich der Serienwiderstand R_s extrahiert. Der Serienwiderstand R_s wird für kleine Kontaktflächen und spez. Kontaktwiderstände zwischen $\rho_c \sim 10^{-6} - 10^{-5} \Omega \text{ cm}^2$ primär durch den Kontaktwiderstand R_C des TKs dominiert. Diese Abhängigkeit wird durch die Auftragung des Serienwiderstands über die TK-Fläche wiedergegeben. Es kann ein typischer Wert von $\rho_c = 5 \cdot 10^{-6} \Omega \text{ cm}^2$ für den n-Typ-artig dotierten Si-TK und Al ermittelt werden. Zur Minimierung der Kontaktwiderstände ist eine W/Al-Kontaktierung denkbar, die für das Si- und Ge-Materialsystem einen spezifischen Kontaktwiderstand im Bereich von $\rho_c < 10^{-7} \Omega \text{ cm}^2$ ermöglichen kann [252]. Eine derartige Variante der W/Al-Kontaktierung und deren Beitrag zum Serienwiderstand werden mit der schwarzen Kurve verdeutlicht.

Mit dem Einsatz von Heterostrukturen stellen sich Herausforderungen an die Prozessführung und insbesondere im MBE-Schichtwachstum des pTFETs, welche im vertikalen Aufbau des Transistors berücksichtigt werden mussten. Durch die Temperaturmessung konnten unterschiedliche Leckpfad-Mechanismen extrahiert werden. Wobei der Leckstrom des Ge und GeSn-pTFETs primär durch SRH-Prozesse innerhalb des TFET-Volumens generiert wird. Durch die GAA-Prozessführung und des aMOS-Maskenlayouts konnten eine weitere Reduzierung der Leckströme und eine verbesserte elektrostatische Kontrolle über das Kanalgebiet erreicht werden. Die Neuentwicklung des GAA-Maskensatzes fußt auf einer GAA-Transistorstruktur, die eine neugestaltete Prozessführung mit zwei Planarisierungsschritten beinhaltet. Die Planarisierung wurde in der Prozessführung mittels dem Polymer 70F und einem subsequenten Rückätzen der jeweiligen Strukturen integriert. Für die Ge- und GeSn-pTFET-Varianten wurde ein zusätzlicher selektiver Ätzschritt des Ge bzw. GeSn eingeführt. Über die selektive Ätzung kann eine „selbstjustierte“-vertikale Positionierung der MOS-Gate-Elektrode an der Mesa-Flanke erreicht werden. Diese Prozessführung ermöglicht eine weitere Skalierung der TFET-Mesas über den Einsatz der Elektronenstrahlithografie. Mithilfe der Elektronenstrahlithografie konnten Strukturgrößen von $d_{Mesa} = 70 \text{ nm}$ hergestellt und erfolgreich gemessen werden.

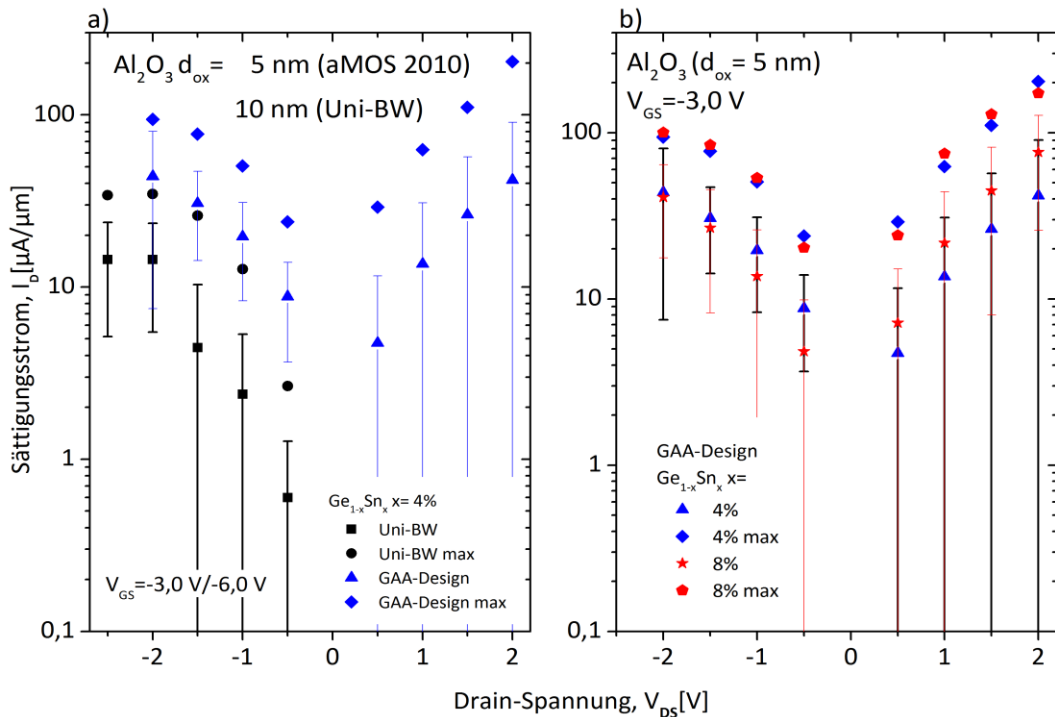
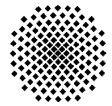


Abbildung 7.7 Beide Abbildungen zeigen die maximalen Werte und die Mittelwerte der Sättigungsströme I_D . Die Drain-Spannung wurde zwischen $-0,5 \text{ V} \geq V_{DS} | V \geq -1,5 \text{ V}$ in Schritten von $\Delta V_{DS} = -0,5 \text{ V}$ variiert und die Gate-Spannung wurde mit $V_{GS} = -3,0 \text{ V}$ gewählt. In Abbildung a) werden die zwei unterschiedlichen Masken-Layouts (Uni-Bw- und GAA-Design) des GeSn-TFETs mit einem Sn-Anteil von 4 % untereinander betrachtet. In Abbildung b) werden zwei GeSn-GAA-TFETs mit einem Sn-Anteil von 4 % und 8 % miteinander verglichen.

Durch den Einsatz des aMOS-Layouts und der GAA-Prozessführung konnte der Ge-pTFET erstmals hochfrequenztechnisch gemessen werden. Die analytische Beschreibung der Hochfrequenzeigenschaften des TFET-Konzepts erfolgte über ein Klein-Signal-Modell. Mit den numerischen Berechnungen des SeAMs konnte für einen Ge-DG-pTFET mit einer Kanallänge von $L_G = 100 \text{ nm}$ und einer EOT von $d_{ox} = 5 \text{ nm}$ eine maximale Transitfrequenz von 0,57 GHz, 1,15 GHz und 1,75 GHz, für die drei Drain-Spannungen $V_{DS} = -0,5 \text{ V}$, $V_{DS} = -1,0 \text{ V}$, und $V_{DS} = -1,5 \text{ V}$, bestimmt werden. Die experimentell bestimmten Werte der Transitfrequenz lassen aber einen Bereich von $f_t > 10 \text{ GHz}$ erwarten. Die Messwerte können jedoch durch das Extrahieren der intrinsischen Transistorwerte (DUT) durch die verwendeten De-Embedding-Strukturen verfälscht sein und eine Extrapolation des Verstärkungsfaktors $|H_{21}|$ bis zum Wert von 1 kann damit zu abweichenden Ergebnissen führen. Nichtsdestotrotz kann mithilfe des SeAMs über die Transkonduktanz g_m und den beiden relevanten intrinsischen Kapazitäten C_{GD} und C_{GS} Überlegungen zum Hochfrequenzverhalten und zur weiteren Steigerung der Transitfrequenz gemacht werden. Prinzipiell lassen sich folgende Modifikationen des GAA-TFET-Aufbaus daraus ableiten:

- Reduzierung der dominierenden Drain-Kapazität C_{GD} . Eine Reduzierung kann durch ein Drain-seitig erhöhtes EOT erreicht werden, was sich auch in einem erhöhten $\lambda_{2,p}$ niederschlagen würde; technologisch kann der Aufbau durch eine Hetero-Gate-Dielektrikum-Struktur erreicht werden [29], [74], [80], [106], [125], [129], [197]. Erste Ansätze zur Integration einer vertikalen SiO_2 -Spacer-Struktur in den GAA-Prozessablauf zur Erhöhung des EOTs in der Drain-Region wurden in [213] untersucht.



- Im Gegenzug sollte im Übergang des Source-/Kanal-Gebiets ein reduziertes EOT eingesetzt werden, resultierend in einer reduzierten Abschirmlänge λ_2 und der Möglichkeit eines Gate-„Overdrive“. Dieser technologische Schritt sollte eine Erhöhung des Sättigungsstroms I_D erzielen.
- Eine zusätzliche Erhöhung des Drain-Stroms I_D kann durch die vorab erwähnte Integration einer zusätzlichen Dotier- und GeSn-Heterostruktur erreicht werden, welche nicht mehr HF-technisch vermessen wurde.

Zur experimentellen Einordnung der Integration einer $\text{Ge}_{1-x}\text{Sn}_x$ -Heterostruktur im Source-Kanal-Bereich des Ge-pTFETs werden die besten Ergebnisse die in dieser Arbeit erzielt wurden mit ausgewählten Literaturwerten in Tabelle 7-1 gegenübergestellt.

Die hier untersuchte GeSn-GAA-pTFET-Serie, sollte eine weitere Optimierung des GeSn-GAA-pTFETs darstellen und damit eine zusätzliche Leistungssteigerung ermöglichen. Als ein weiterführendes und abschließendes Entwicklungsziel kann der in Abbildung 7.8 mit Silvaco ATLAS simulierte Bandverlauf eines $\text{Ge}_{0,9}\text{Sn}_{0,1}$ -GAA-pTFETs mit einer Kanallänge $L_G = 50 \text{ nm}$ und einer EOT von $d_{ox} = 5 \text{ nm}$ gesehen werden. Die Dotierhöhe der p-Typ-artig dotierten GeSn-Schicht zielt auf eine vollständig verarmte „Taschendotierung“ ab und wurde mit $N_{p,GeSn} = 1 \cdot 10^{19} \text{ cm}^{-3}$ gewählt. Die zusätzliche Dotierung dient der weiteren Reduzierung der Drain-Spannung V_{DS} im Sättigungsfall des pTFETs ([35], [83], [253], [254]). Im vorliegenden Simulationsergebnis ist die GeSn-Schicht noch nicht vollständig an Ladungsträgern verarmt und sollte dahingehend weiter angepasst werden. Jedoch lässt sich für den hier gewählten Mesa-Durchmesser von $d_{Mesa} = 20 \text{ nm}$ ein verbessertes Schaltverhalten, in Bezug auf den Bandverlauf, erkennen. In der Abbildung ist das Valenzband (schwarz), das Leitungsband (rot), der Verlauf der Bandlücke (blau) und die jeweilige Dotierhöhe (unterbrochene Kurve) abgebildet. Mit diesem Aufbau kann ein maximaler Sättigungsstrom von $I_D = 1 \text{ mA}/\mu\text{m}$ bei einer reduzierten Drain-Spannung von $V_{DS} = -0,75 \text{ V}$ erwartet werden. Darüber hinaus kann zur Reduzierung des SS an die Integration eines high-K-Oxids gedacht werden, z. B. kann Ta_2O_5 gewählt werden, das über eine reduzierte Coulomb-Streuung im Kanalgebiet gegenüber Hf_2O verfügt.

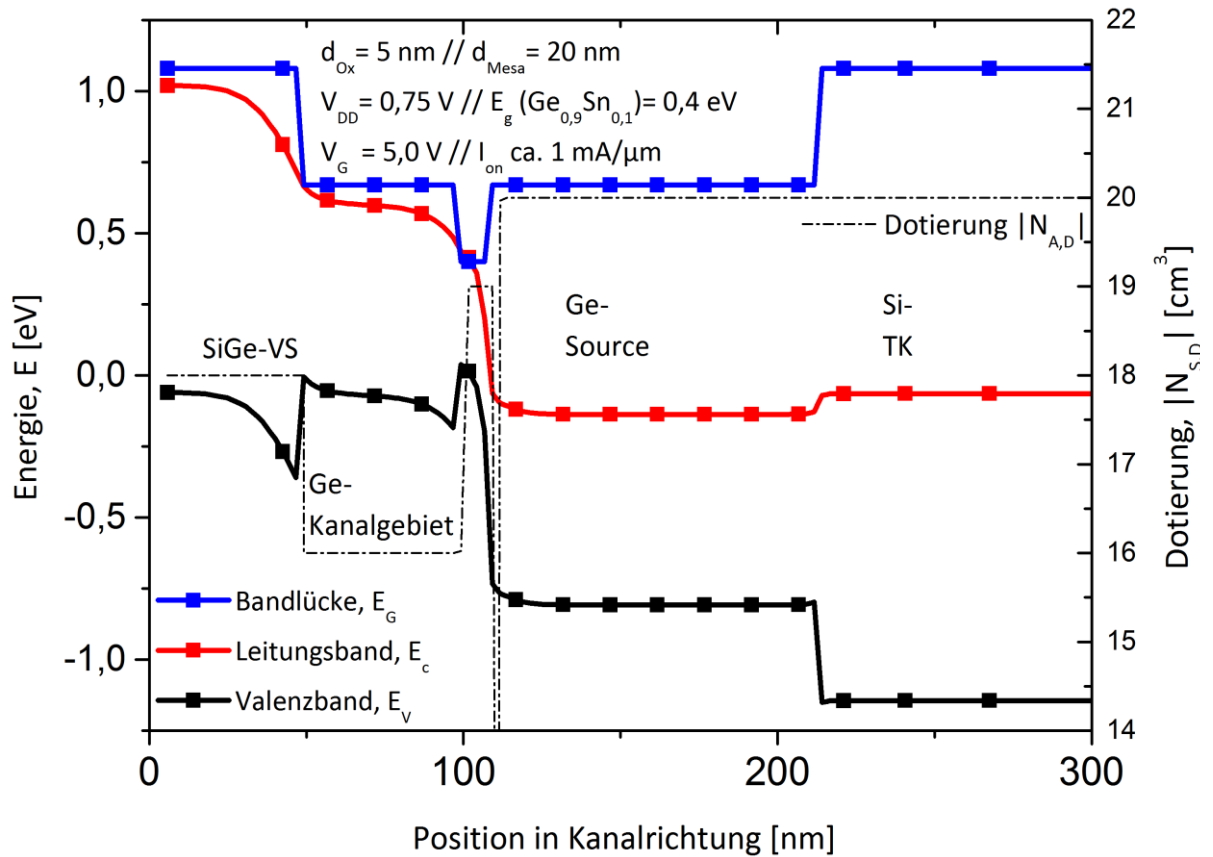


Abbildung 7.8

In der Abbildung wird ein mit Silvaco ATLAS simulierter Bandverlauf eines $\text{Ge}_{0,9}\text{Sn}_{0,1}$ -GAA-pTFETs mit einer Kanallänge $L_G = 50 \text{ nm}$ und einer EOT von $d_{ox} = 5 \text{ nm}$ dargestellt. Die Dotierhöhe der p-Typ-artig dotierten GeSn-Schicht wurde mit $N_{p,GeSn} = 1 \cdot 10^{19} \text{ cm}^{-3}$ gewählt und dient der weiteren Reduzierung der Drain-Spannung V_{DS} im Sättigungsfall des pTFETs. In der Abbildung ist das Valenzband (schwarz), das Leitungsband (rot), der Verlauf der Bandlücke (blau) und die jeweilige Dotierhöhe (unterbrochene Kurve) dargestellt. Mit diesem Aufbau kann ein maximaler Sättigungsstrom von $I_D = 1 \text{ mA}/\mu\text{m}$ bei einer reduzierten Drain-Spannung von $V_{DS} = -0,75 \text{ V}$ erwartet werden. Dieser Aufbau entspricht der hier untersuchten GeSn-GAA-pTFET Serie.

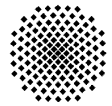
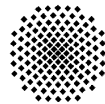


Tabelle 7-1 Vergleich der in dieser Arbeit ermittelten Sättigungsströme I_D der Ge- und GeSn-(GAA)-pTFETs mit ausgewählten Literaturwerten.

Literatur	TFET-Geometrie	Kanallänge [nm]	GOX	Spannungen V_{DS} und V_{GS}	I_{on} ($\mu\text{A}/\mu\text{m}$)
[41]	GOI-TFET	100	HfO ₂ (3 nm)	$V_{DS} = -0,8 \text{ V}$ $V_{GS} - V_{BTBT} = -1,0 \text{ V}$	1
[255]	Si-pTFET	160	HfO ₂ (2 nm) / SiO ₂ (1 nm)	$V_{DS} = -1,0 \text{ V}$ $V_{GS} = -1,0 \text{ V}$	0.15
[256]	Si-pTFET	20000	HfO ₂ (EOT \approx 0.9 nm)	$V_{DS} = -1,0 \text{ V}$ $V_{GS} = 1,0 \text{ V}$	0,17
[257]	Strained Ge-TFET	700	HfSiO _x (13 nm)	$V_{DS} = -1,5 \text{ V}$ $V_{GS} - V_{BTBT} = -1,0 \text{ V}$	0.006
[258]	SiGe/SOI-pTFET with raised S/D	200	EOT = 1,25 nm	$V_{DS} = -1,0 \text{ V}$ $V_{GS} \approx -1,5 \text{ V}$	112
[234]	GeSn-TFET	3000	HfO ₂ /SiO ₂	$V_{DS} = -1,0 \text{ V}$ $V_{GS} = -2,5 \text{ V}$	4,34
[95]	In _{0.7} Ga _{0.3} As/ GaAs _{0.35} Sb _{0.65} TFET		HfO ₂ (1,4 nm) / Al ₂ O ₃ (3,4 nm)	$V_{DS} = -0,5 \text{ V}$ $V_{GS} = -1,0 \text{ V}$	4
[40]	In _{0.7} Ga _{0.3} As/ GaAs _{0.35} Sb _{0.65} TFET		Al ₂ O ₃ / HfO ₂ (EOT= 3,4 nm)	$V_{DS} = -0,5 \text{ V}$ $V_{GS} = -2,5 \text{ V}$ (1 μs -pulse)	85
[253]	SOI n ⁺ -p ⁺ -i-p ⁺ - pTFET	100	Al ₂ O ₃ (EOT = 3,5 nm)	$V_{DS} = -1,1 \text{ V}$ $V_{GS} = -1,1 \text{ V}$	1,4
[17]	Strained-Si-NW- pTFET mit NiSi Do- tierung "pile-up"	200	HfO ₂ (3 nm)	$V_{DS} = -1,0 \text{ V}$ $V_{GS} = -1,0 \text{ V}$	7
[206]	GeSn-TFET	300	Al ₂ O ₃ (10 nm)	$V_{DS} = -1,0 \text{ V}$ $V_{GS} = -6,0 \text{ V}$	12,1
	Ge-TFET	200	Al ₂ O ₃ (10 nm)	$V_{DS} = -1,0 \text{ V}$ $V_{GS} = -6,0 \text{ V}$	19,1
Diese Arbeit	Ge _{0,96} Sn _{0,04} - GAA - pTFET	300	Al ₂ O ₃ (5 nm)	$V_{DS} = -2,0 \text{ V}$ (2,5 V) $V_{GS} = -3,0 \text{ V}$	94,3 (203,9)
Diese Arbeit	Ge-GAA - pTFET	100	Al ₂ O ₃ (5 nm)	$V_{DS} = 2,0 \text{ V}$ $V_{GS} = -3,0 \text{ V}$	38,9



A. Modellierung und Simulation des vertikalen TFET-Konzepts

A.1 Bestimmung des analytischen Potentialmodells

In Kapitel 3 wurde zur näheren Untersuchung des Gleich- und des Wechselstroms Verhalten des Si- und Ge-TFETs eine analytische Modellierung etabliert. Dabei wurde ein DG-Aufbau gewählt, wobei die Ergebnisse sich nahtlos auf eine GAA-Konfiguration übertragen lassen. Zur Überprüfung der Verlässlichkeit des Modells wurden die Ergebnisse mit einer erstellten Bauteilesimulation, der kommerziellen Software Silvaco ATLAS [146], verglichen. Ausgehend von der Skalierungstheorie eines DG-MOSFETs Aufbaus, welche in ([7], [65], [147]–[149]) beschrieben werden, wurde die Bestimmung des elektrostatischen Potentialverlaufs innerhalb des TFETs über eine eindimensionale Poisson-Gleichung geführt:

$$\frac{\partial^2 \psi_s(y)}{\partial y^2} + \frac{\psi_s(y) - \psi_G - \phi_{bi}}{\lambda} = -\frac{q \cdot (\pm N_i)}{\epsilon_0 \cdot \epsilon_{ch}} \quad \text{A.1}$$

In Abbildung A.1 ist die Unterteilung und der Aufbau des DG-TFETs dargestellt, welcher in der Modellierung verwendet werden soll. N_s entspricht dabei der Dotierung in den Teilgebieten Source, Drain und Kanalgebiet; im jeweilig betrachteten Gebiet wird die Permittivität mit ϵ_{ch} angegeben und die Elementarladung wird durch q repräsentiert. Das Kanalgebiet erstreckt sich in y -Richtung von $0 \leq y \leq L_G$ und in x -Richtung von $0 \leq x \leq d_{ch}$. Die MOS-Elektrode ist über die Oxiddicke d_{ox} , der relativen Permittivität ϵ_{ox} und der Austrittsarbeit W_F des Gate-Elektroden-Materials definiert. Solche Strukturen können in einem Fin-FET-Aufbau, oder wie in dieser Arbeit, in einer vertikalen Variante mittels MBE-Verfahren realisiert werden. Die Berechnung des Potentialverlaufs mithilfe der eindimensionalen Beschreibung soll nun kurz hier wiedergegeben werden. In den beiden betrachteten Teilgebieten werden über zwei Poisson-Gleichungen beschrieben. Somit ergibt sich im Falle eines pTFETs mit einer n-Typ-artig dotierten Source-Elektrode und einem p-Typ-artig dotierten Kanalgebiet folgender funktioneller Zusammenhang:

$$\frac{\partial^2 \psi(x, y)}{\partial x^2} + \frac{\partial^2 \psi(x, y)}{\partial y^2} = -\frac{q \cdot N_1}{\epsilon_{ch}} \quad \text{A.2}$$

$$\frac{\partial^2 \psi(x, y)}{\partial x^2} + \frac{\partial^2 \psi(x, y)}{\partial y^2} = +\frac{q \cdot N_2}{\epsilon_{ch}} \quad \text{A.3}$$

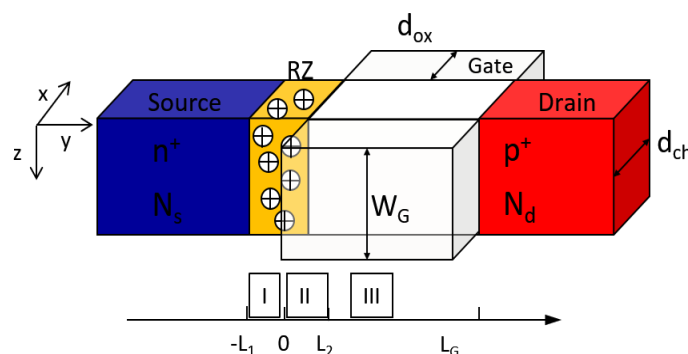


Abbildung A.1 Schematischer Aufbau eines pTFETs. Die Modellierung des TFETs wurde durch Unterteilung in drei charakteristische Bereiche erreicht. Im I. Gebiet wird der Einfluss des elektrischen Feldes der Gate-Elektrode berücksichtigt. Das II. Gebiet repräsentiert den Abfall des Potentials innerhalb des Kanalgebiets auf das induzierte Kanalpotential

Zur Berechnung des Potentialverlaufs $\psi(x, y)$ innerhalb des TFETs, ist es zu Anfang unerheblich ob es sich um einen unipolaren konv. MOSFET- oder um einen bipolaren TFET-Aufbau handelt.

Die funktionale Abhängigkeit des Potentials in z-Richtung wird als konstant angenommen. Der mittels des SeAMs berechnete Drain-Strom wird, wenn nicht anders im Text angegeben, in Amperere pro Gatelänge W_G bestimmt.

Um erste Kenntnisse zu erlangen werden die Gleichungen A.2 und A.3 modifiziert. Für eine analytische Beschreibung wurde ein symmetrischer Aufbau in Form eines DG-FETs gewählt. Durch diese Wahl ist es möglich die zweidimensionale elektrische Feldverteilung auf eine Poisson-Gleichung mit eindimensionaler Beschreibung zu reduzieren ([147], [149]). Diese Näherung entspricht der Forderung, dass das Kanalgebiet als verarmt angenommen werden kann („Fully-Depleted“-Transistor) und entspricht folgender Entwicklung des Potentials senkrecht zur Transportrichtung:

$$\psi(x, y) \approx a_0(y) + a_1(y) \cdot x + a_2(y) \cdot x^2 + O_{nm}(x^n, a_m) \quad \text{A.4}$$

Diese Annahme kann mittels einer ATLAS Simulation überprüft werden und zeigt einen parabolischen Verlauf des Potentials senkrecht zur Kanalrichtung (x-Richtung). Der Aufbau der Struktur und der Potentialverlauf sind in Abbildung A.2 dargestellt.

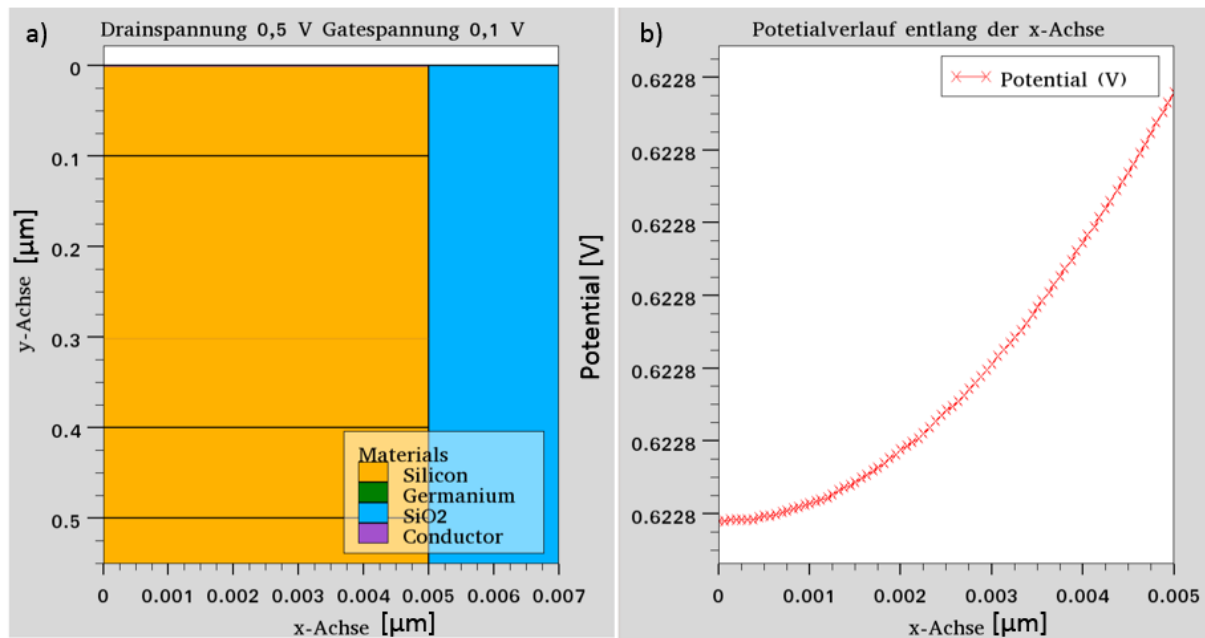


Abbildung A.2

In a) wird die innerhalb der Silvaco ATLAS Umgebung verwendete Simulationsstruktur eines Si-nTFETs dargestellt. b) zeigt den simulierten Potentialverlauf des Si-nTFETs senkrecht zur Transportrichtung für eine Drain-Spannung $V_{DS} = 0,5 \text{ V}$ und $V_{GS} = -0,1 \text{ V}$. Es zeigt sich, dass durch den simulierten Potentialverlauf, welcher in guter Näherung parabolisch verläuft, die Schottky-Approximation gerechtfertigt werden kann.

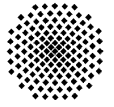
Die drei Koeffizienten $a_0(y)$, $a_1(y)$ und $a_2(y)$ werden über die untenstehenden Randbedingungen ermittelt. Dazu wird das Oberflächenpotential (Grenzfläche zw. GOX und Halbleiter) an der Vorderseite ψ_s und Rückseite ψ_b der Struktur definiert:

$$\psi(0, y) = \psi_s(y), \quad \text{A.5}$$

$$\psi(d_{ch}, y) = \psi_b(y). \quad \text{A.6}$$

Zusätzlich muss noch die Stetigkeit des elektrischen Feldes an der Grenzfläche der beiden Dielektrika berücksichtigt werden, dabei stellt η_2 den Quotienten aus Gate- und Dünnfilm-Kapazität:

$$-\frac{\partial \psi(0, y)}{\partial x} = F_x(0, y) = -\frac{\eta_2}{d_{ch}} \cdot (\psi_G - \psi_s(y)) \quad \text{A.7}$$



$$-\frac{\partial\psi(d_{ch},y)}{\partial x} = F_x(d_{ch},y) = -\frac{\eta_2}{d_{ch}} \cdot (\psi_b - \psi_G). \quad \text{A.8}$$

Das durch die Gate-Spannung ausgeübte Potential wurde in der Berechnung auf das Fermi-Niveau in der Mitte des Kanalgebiets bezogen und kann wie folgt beschrieben werden:

$$\psi_G = V_{GS} - V_{FB}, \quad \text{A.9}$$

In der obigen Form beschreibt V_{FB} die Flachbandspannung der MOS-Gate-Elektrode. Mit den gemachten Überlegungen kann für das I und II Gebiet die folgenden zwei eindimensionale DGL erhalten werden, worin nur noch eine Abhängigkeit in den Potentialen ψ_s und ψ_G besteht:

$$-\frac{\eta_1}{d_{ch}^2}(\psi_s(y) - \psi_G) + \psi_s''(y) = -\frac{q \cdot N_1}{\epsilon_{ch}} \quad \text{A.10}$$

$$-\frac{\eta_2}{d_{ch}^2}(\psi_s(y) - \psi_G) + \psi_s''(y) = +\frac{q \cdot N_2}{\epsilon_{ch}} \quad \text{A.11}$$

Für beide Gebiete kann folgende Fundamentallösung bestimmt werden:

$$\psi_{s1}(y) = a_1 \cdot e^{-k_1 y} + b_1 \cdot e^{+k_1 y} + \psi_{d1}, \quad \text{A.12}$$

$$\psi_{s2}(y) = a_2 \cdot e^{-k_2 y} + b_2 \cdot e^{+k_2 y} + \psi_{d2}. \quad \text{A.13}$$

Zusätzlich wurden beide partikulären Lösungen der DGL $\psi_{d,1} = -\frac{q \cdot N_1}{k_1^2 \cdot \epsilon_{ch}} + \psi_G$ und

$\psi_{d,2} = +\frac{q \cdot N_2}{k_2^2 \cdot \epsilon_{ch}} + \psi_G$ bestimmt. Mit dem hier benutzten Lösungsansatz kann die natürliche Abschirmlänge des Potentials, die in Kapitel 3.2 angegeben wurde, erhalten werden. Die Wellenzahlen für k_1 und k_2 werden über die inverse Abschirmlänge bestimmt: $\lambda_1^{-1} = k_1 = \sqrt{\frac{2 \cdot \eta_1}{d_{ch}^2}}$

und $\lambda_2^{-1} = k_2 = \sqrt{\frac{2 \cdot \eta_2}{d_{ch}^2}}$. Wobei in den Berechnungen η_1 und η_2 den Quotienten zwischen der GOX- und der flächennormierten Dünnschicht-Kapazität entsprechen: $C_{GOX} = \frac{\epsilon_{ox}}{d_{ox}}$ und $C_S = \frac{\epsilon_{ch}}{d_{ch}}$. Die Streukapazität der GOX-Elektrode auf der Source-Seite (Gebiet I) wurde durch eine konforme Abbildung berücksichtigt ([151], [154], [259]): $C_{GOX} = \frac{2}{\pi} \cdot \frac{\epsilon_{ox}}{d_{ox}}$. Die Konstanten a_1, b_1, a_2 und b_2 der Fundamentallösung wurden über folgende vier Punkte bestimmt:

- Stetigkeit des Potentials am Übergang zwischen Source- und Kanalgebiet $\psi_{s1}(0) = \psi_{s2}(0)$ muss gegeben sein.
- Das Potential ψ_s am Punkt $-L_1$ der Verarmungszone wird mit null definiert („Freie Wahl des Energie-Nullpunkts“) $\psi_s(-L_1) = 0$.
- Die Ableitungen des Potentials in y-Richtung an den Punkten $-L_1$ im Source-Gebiet und L_2 im Kanalgebiet ergeben sich zu null, $\frac{\psi_s(-L_1)}{dy} = \frac{\psi_s(L_2)}{dy} = 0$.
- Der TFET kann als eine Serienschaltung aus einer Tunnelodiode und eines MOS-Transistors aufgefasst werden. Zum Erhalt der Stetigkeit des Potentialverlaufs muss zwischen den Teilgebieten I und III das Potential den Wert $\psi_s(L_2) = V_{bi} + \psi_{d,ag}$ am Punkt L_2 annehmen.

Schlussendlich ergeben sich für den Potentialverlauf in den Gebieten I und II folgende Lösungen:

$$\psi_{s,1}(y) = -\frac{\psi_{d,1} \cdot k_1^2}{2} \cdot (y + L_1)^2 \quad \text{A.14}$$

$$\psi_{s,2}(y) = (V_{bi,s} + \psi_{dg} - \psi_{d,2}) \cdot \cosh(k_2(y - L_2)) + \psi_{d,2} \quad \text{A.15}$$

Für die einzelnen Verarmungszonenweiten L_1 und L_2 , in den Gebieten I/II, ergeben sich die unten aufgeführten Abhängigkeiten:

$$L_1 = \sqrt{\frac{\psi_{s,2}(0)}{N_{eff}}} \quad \text{A.16}$$

$$L_2 = \frac{1}{k_2} \cdot \operatorname{arccosh} \left(-\frac{\sqrt{k_2^4 \cdot (\psi_{d,2} - (\psi_{dg} - V_{bi,s}))^2 + 4 N_{eff}^2 + 4 \cdot k_2^2 \cdot N_{eff} \cdot \psi_{dg} + 2 N_{eff}}}{k_2^2 \cdot (\psi_{d,2} - (\psi_{dg} - V_{bi,s}))} \right) \quad \text{A.17}$$

Mit der Definition: $N_{eff} = -\frac{k_1^2}{4} \cdot \frac{d_{ch}^2}{\eta_1} \cdot \left(\frac{q \cdot N_1}{\epsilon_{ch}} + \frac{2 \cdot \eta_1 \cdot \psi_G}{d_{ch}^2} \right)$. Die numerische Berechnung des Oberflächenpotentials ψ_{dg} der „MOSFET-Struktur“ in Gebiet III nach Taur et al. und die Zusammensetzung der einzelnen Potentiale innerhalb der TFET-Struktur sollen nun weiter erläutert werden.

A.2 Bestimmung des Potentials im Kanalgebiet nach Taur et al.

Da nur der Ladungsträgerstrom von Source nach Drain effektiv zum Transport beiträgt, werden nur die Hälfte der im Kanalgebiet befindlichen Ladungen $Q_{ch}(V_{GS}, V_{DS})$ berücksichtigt. Die Ladungen im Kanalgebiet werden durch eine geschlossene Lösung der Poisson-Gleichung bestimmt und in das analytische Modell integriert. Die Herangehensweise wurde von Taur et al. [152] auf den DG-MOSFET angewendet, die Herleitung diesbezüglich soll nun kurz erläutert werden und damit soll der Wert des Oberflächenpotentials ψ_{dg} im Bereich von L_2 bis zum Drain-Gebiet bestimmt werden. Entlang der x-Achse wird wieder von der Schottky-Näherung ausgegangen und es wurde daher ein quadratischer Ansatz verwendet:

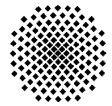
$$\frac{d^2\psi(x)}{dx^2} = +\frac{q}{\epsilon_{ch}} \cdot \left[n_i \cdot \exp \left(q \cdot \frac{(\psi - V_{DS})}{k_B \cdot T} \right) \right] \quad \text{A.18}$$

Es kann zur Vereinfachung im Kanalgebiet von einem intrinsischen Fall ausgegangen werden, daher werden nur die beweglichen Ladungsträger in die Berechnung mit aufgenommen. Zusätzlich wurde die intrinsische Ladungsträgerkonzentration n_i im Rahmen der Boltzmann-Statistik ermittelt. Des Weiteren ist eine Integration zur Bestimmung des Potentialverlaufs nur in x-Richtung (senkrecht zur Transportrichtung) gerechtfertigt, da angenommen wurde, dass der Potentialverlauf in Kanalrichtung (y-Richtung) konstant ist. Ein konstanter Verlauf kann auch den simulierten Bandverläufen des Si-nTFETs entnommen werden und entspricht der Langkanal-Näherung GCA (engl. für Gradual Channel Approximation). Somit können die x- und y-Richtung elektrostatisch unabhängig voneinander betrachtet werden. Nach zweimaliger Integration von Gleichung A.18. kann die folgende Darstellung erhalten werden:

$$\psi(x) = V_{DS} - \frac{2 \cdot k_B \cdot T}{q} \cdot \ln \left[\frac{d_{ch}}{2 \cdot \beta} \cdot \sqrt{\left(\frac{q^2 \cdot n_i}{2 \cdot \epsilon_s \cdot k_B \cdot T} \right)} \cdot \cos \left(\frac{2 \cdot \beta \cdot x}{d_{ch}} \right) \right] \quad \text{A.19}$$

Damit kann das Potential über den gesamten Spannungsbereich beschrieben werden [14]. In der Berechnung entspricht d_{ch} wieder der Dicke der intrinsischen Schicht und ψ bezeichnet das Oberflächenpotential. Der Laufindex β bestimmt über die Randbedingungen bestimmt.

Das Oberflächenpotential $\psi_s \equiv \psi_{DG}$ im dritten Bereich des analytischen Ansatzes wird an der Position $x = +\frac{d_{ch}}{2}$ erhalten. Über die Relation zwischen dem elektrischen Feld F_s über der MOS-Elektrode und den abfallenden Spannungen und der Ableitung des elektrischen Potentials können die im Kanal befindlichen Ladungen $Q_{ch}(\psi_{DG})$ bestimmt werden:



$$Q_{ch}(\psi_{DG}) = -\varepsilon_{ch} \cdot F_s = -\varepsilon_{ch} \cdot \left. \frac{d\psi(x)}{dx} \right|_{x=\pm \frac{d_{ch}}{2}} \quad \text{A.20}$$

Die Oberflächenladungen zeigen wiederum eine Abhängigkeit gegenüber den „äußeren“ Spannungen $Q_{ch}(V_{GS}, V_{DS})$ und genügen folgendem Zusammenhang:

$$\varepsilon_{ox} \cdot \frac{V_{GS} - V_{FB} - \psi_{DG}}{d_{ch}} = -\varepsilon_{ch} \cdot F_s = -\varepsilon_{ch} \cdot \left. \frac{d\psi(x)}{dx} \right|_{x=\pm \frac{d_{ch}}{2}} \quad \text{A.21}$$

Nach einer algebraischen Umformung und Anwendung des Nolting-Operators, kann für die Ableitung von ψ_{DG} (oder auch der Ladungen im Kanal) folgende Relation in Abhängigkeit des Laufparameters β bestimmt werden:

$$d\psi_{DG}(\beta) = \frac{2 \cdot k_B \cdot T}{q} \left[\ln(\beta) - \ln(\cos(\beta)) + \frac{2 \cdot \varepsilon_{ch} \cdot d_{ox}}{\varepsilon_{ox} \cdot d_{ch}} \cdot \beta \cdot \tan(\beta) + \ln \left(\frac{2}{d_{ox}} \cdot \sqrt{\frac{2 \cdot \varepsilon_{ox} \cdot k_B \cdot T}{q^2 \cdot n_i}} \right) \right] \quad \text{A.22}$$

Über den gegebenen Zusammenhang der Gatespannung, Flachbandspannung, Drain-Spannung und der Ableitung des Oberflächenpotential, gegeben durch:

$$V_{GS} = V_{FB} + V_{DS} - d\psi_{DG}, \quad \text{A.23}$$

kann mittels des Laufparameters β die Abhängigkeit des Potentials ψ_{DG} von den Spannungen V_{GS} und V_{DS} erhalten werden. In Abbildung A.3 wurde das Oberflächenpotential ψ_{DG} in Abhängigkeit von der Gate-Spannung V_{GS} innerhalb des Kanalgebietes (Gebiet III des analytischen Modells $[L_2, L_G]$), für einen Ge-pTFET mit Kanallänge $L_G = 250 \text{ nm}$ und drei unterschiedlichen EOT Werten ($d_{ox} = 2/5/10 \text{ nm}$) dargestellt.

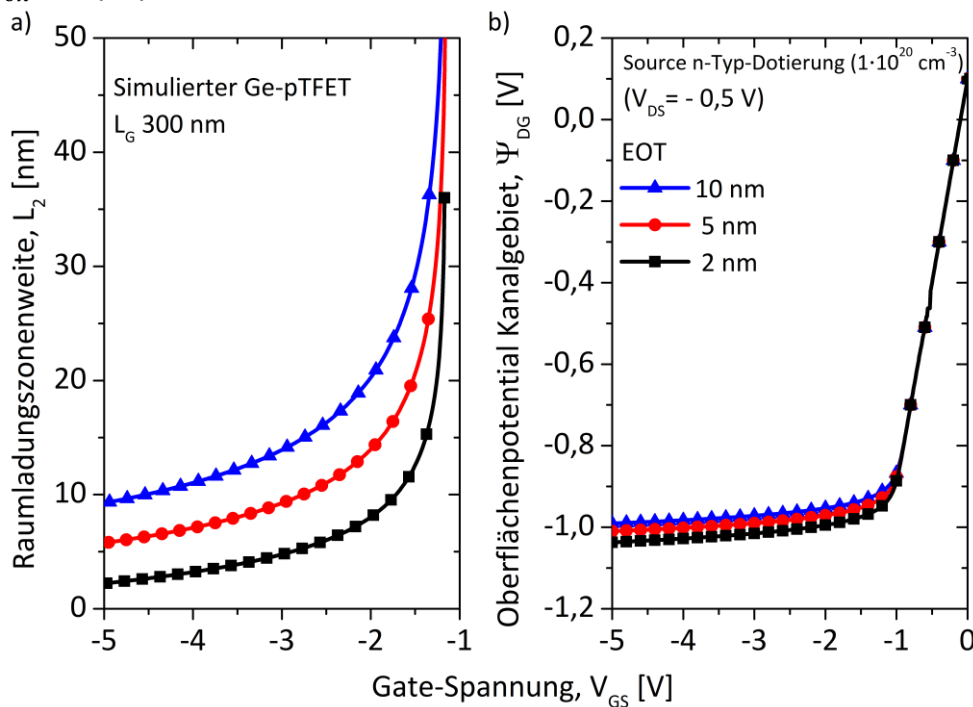


Abbildung A.3

a) Raumladungszonenweite L_2 innerhalb des Kanalgebietes bestimmt für einen Ge-pTFET mit einer Kanallänge $L_G = 250 \text{ nm}$ für verschiedene EOT Werte ($d_{ox} = 2/5/10 \text{ nm}$). Als Drain-Spannung wurde $V_{DS} = -0,5 \text{ V}$ gewählt. b) zeigt das Oberflächenpotential ψ_{DG} in Abhängigkeit von der Gate-Spannung V_{GS} innerhalb des Kanalgebietes (Gebiet III des analytischen Modells $[L_2, L_G]$), für einen Ge-pTFET mit einer Kanallänge $L_G = 250 \text{ nm}$ und drei unterschiedlichen EOT Werten ($d_{ox} = 2/5/10 \text{ nm}$) dargestellt.

Als Drain-Spannung wurde $V_{DS} = -0,5 \text{ V}$ gewählt. Es ist deutlich zu sehen, dass das Oberflächenpotential ψ_{DG} für hohe Gate-Spannungen sättigt, und dass durch eine reduzierte Oxid-Dicke der maximale Wert des Oberflächenpotentials für die gleiche Gate-Spannung marginal zunimmt.

A.3 Temperaturabhängigkeit der Modellrechnung des Ge-pTFETs

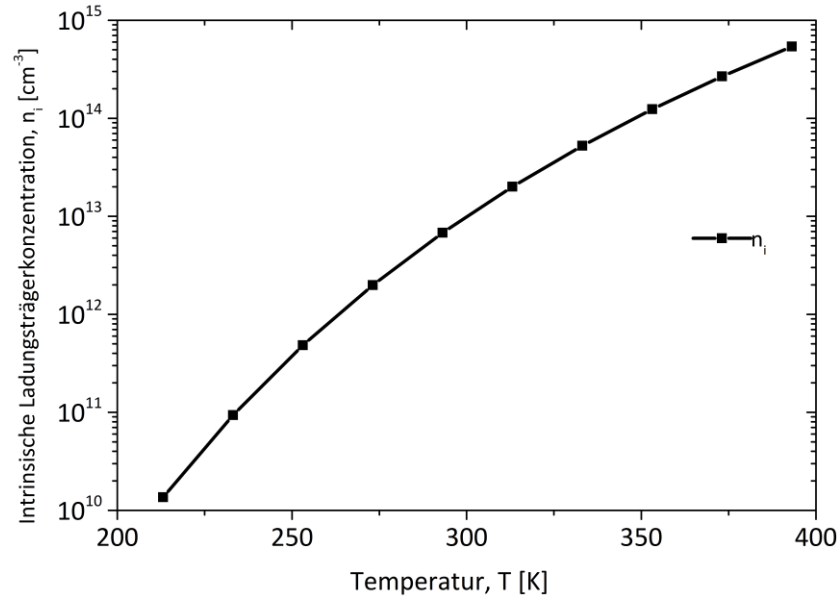


Abbildung A.4 Zur Bestimmung des Temperaturverhaltens des Ge-pTFET wurde die intrinsische Ladungsträgerkonzentration in Abhängigkeit von der Temperatur numerisch bestimmt. In der Berechnung wurde die Boltzmann-Statistik verwendet.

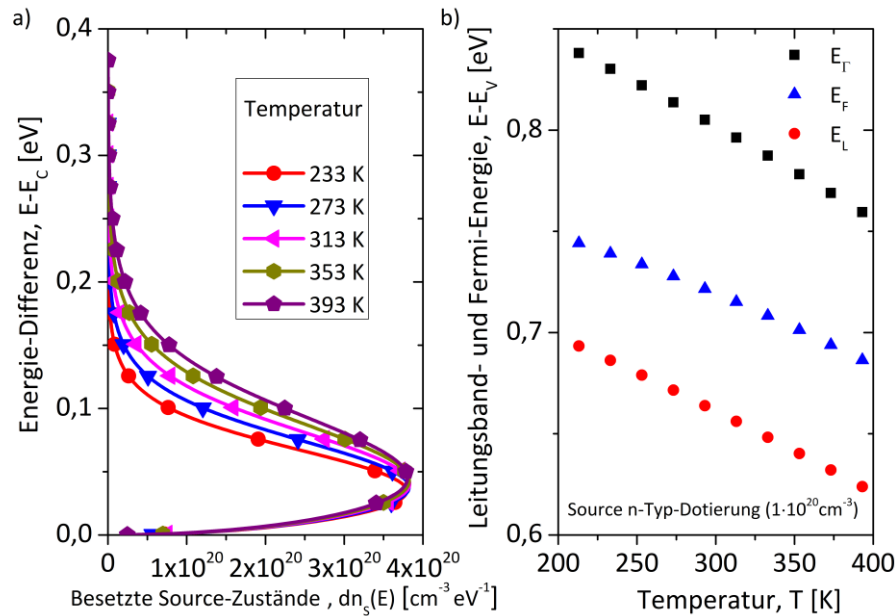
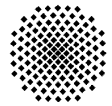


Abbildung A.5 a) Um die Tunnelströme im Ge-pTFET im Temperaturbereich von $T = 213$ K bis $T = 393$ K richtig zu beschreiben, wurde die Lage des Fermi-Niveaus in der hochdotierten Source-Elektrode (blau, Dreieck) mit der Approximation des Fermi-Dirac-Integrals $F_{1/2}$ aus [183] numerisch bestimmt. In b) werden die beiden dominanten Leitungsbandtöler $E_{G,L}$ (rot, Kreis) und $E_{G,\Gamma}$ (schwarz, Quadrat) und Lage des Fermi-Niveaus in der Source-Elektrode des Ge-pTFETs angegeben. Die Dotierung N_S der Source-Elektrode wurde in der Berechnung mit $N_S = 1 \cdot 10^{20} \text{ cm}^{-3}$ gewählt.

A.4 Wahl des Silvaco ATLAS Simulationsgitters

Das Simulationsgitter und die Struktur des DG-TFETs (bzw. GAA-Strukturen) wurde wie in Abbildung A.6 gewählt. Die Wahl wurde ähnlich den Werten in [260] getroffen. Die minimalsten Abstände Δ des graduell variierenden Gitters wurden entlang der Kanalrichtung (hier y-Achse) von $\Delta_y = 10$ nm auf $\Delta_y = 1,25$ nm reduziert und in senkrechter Richtung (hier x-Achse) von $\Delta_x = 5$ nm auf $\Delta_x = 0,75$ nm variiert. Die feinste Auflösung des Gitters wurde entlang der Halbleiter / GOX Grenzfläche und des Tunnelübergangs (Dotierübergang zwischen Kanalgebiet und Source-Elektrode) gelegt. Zur Reduzierung der Rechenzeit wurde in einer DG-Struktur nur eine Hälfte der TFET-Struktur simuliert, die Spiegelachse läuft hierbei entlang der Position $x = 0$ nm. In den simulierten GAA-Strukturen wurden gleiche Abstände im Gitteraufbau verwendet, es wurde hier zu einem axialen Gitter übergegangen. Die erhaltenen Ströme mussten bei der Wahl des rechtwinkligen Gitters mit dem Faktor zwei multipliziert werden (Werte hier $\text{A}/\mu\text{m}$) und in der Axialsymmetrie mussten die erhaltenen Werte mit dem Umfang normiert werden. In dieser Arbeit wurde auch der Einfluss des TFET-Durchmessers untersucht, dabei lag der Mesa-Durchmesser zwischen $d_{Mesa} = 10$ nm und $d_{Mesa} = 1000$ nm. Dabei musste die maximale wählbare Anzahl der Knotenpunkte von $N_p = 100.000$ Punkten, die in Silvaco ATLAS möglich ist [146], bei der Wahl des Gitters berücksichtigt werden. Daher wurde ein größeres Gitter über die Struktur gelegt, als in [260] Anwendung fand. Die gewählte Ausnutzung der Silvaco-Routinen ermöglichte eine variable Auswahl der Ge-Konzentration in der Si-Matrix. So bestand die Möglichkeit den Aufbau der MBE-Schichten ähnlich dem im Experiment zu wählen (Si-TK / Ge-Source / Ge-Kanalgebiet / SiGe-VS / Si-Drain). Das GOX verläuft wie auch in der vertikalen Struktur über die komplette TFET-Struktur. Die Lage der vertikalen Gate-Elektrode konnte innerhalb der Struktur als justiert zum Kanalgebiet und mit Über- und Unterlapp zu der Source- und Drain-Region gewählt werden.

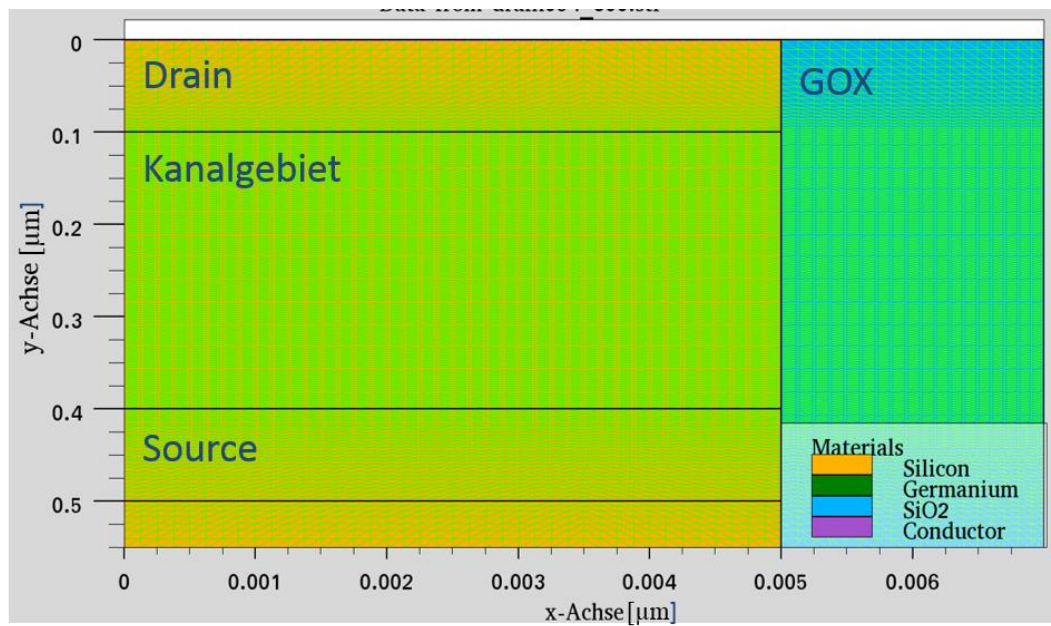
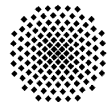


Abbildung A.6 Beispiel der Wahl des Simulationsgitters eines vertikalen TFETs, welcher mit Silvaco ATLAS in dieser Arbeit simuliert wurde. In der Grafik wurde das rechteckige Simulationsgitter und der Aufbau wie in [260] gewählt. Die minimalsten Abstände des graduell variierenden Gitters wurden entlang der Kanalrichtung (hier y-Achse) von $\Delta_y = 10 \text{ nm}$ auf $\Delta_y = 1,25 \text{ nm}$ reduziert und in senkrechter Richtung (hier x-Achse) von $\Delta_x = 5 \text{ nm}$ auf $\Delta_x = 0,75 \text{ nm}$ variiert. Zur Reduzierung der Rechenzeit wurde nur eine Hälfte des DG-Transistors verwendet, die Spiegelachse läuft hierbei entlang der Position $x = 0 \text{ nm}$.



B. Simulationsergebnisse: Leckstromverhalten Si-TFET

Die Abbildung B.1 a) zeigt den prinzipiellen Aufbau der vertikalen pin-Dioden-Struktur. Die Struktur wurde mit der Silvaco Athena Prozesssimulation erzeugt (hier ist eine Si-pin-Diode mit 300 nm i-Zonenweite zu sehen). Die erzeugte Struktur wurde dann in der ATLAS Simulationsumgebung verwendet um das DC-Verhalten zu studieren, dargestellt Abbildung B.1 b.).

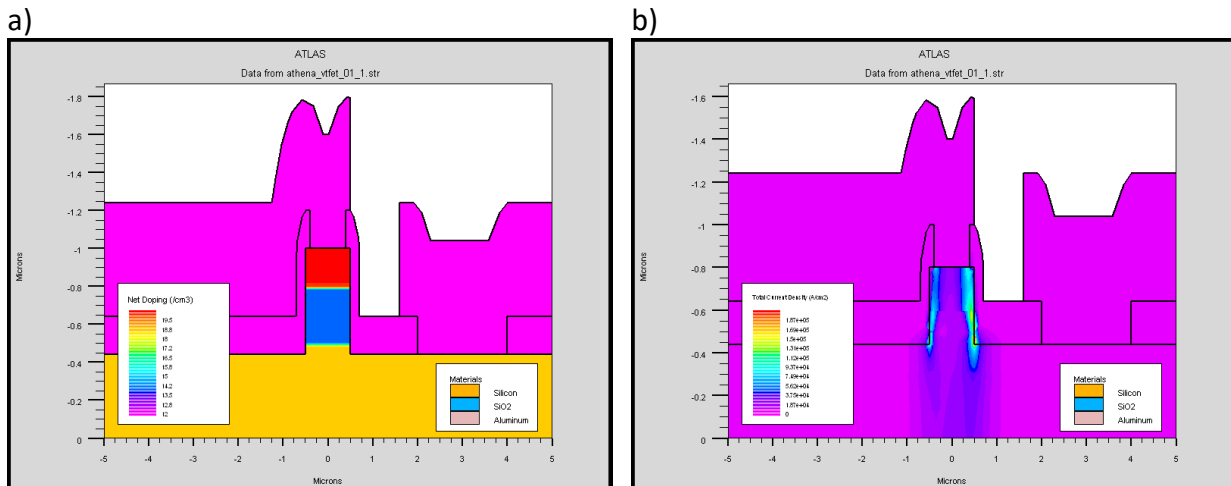


Abbildung B.1

a) Zeigt den prinzipiellen Aufbau der vertikalen Si-pin-Dioden-Struktur. Diese Struktur wurde mittels der Silvaco Athena Prozesssimulation erzeugt und später in der angeschlossenen ATLAS Simulationsumgebung verwendet. Dabei konnte das DC-Verhalten studiert bzw. dargestellt in b.) wiedergegeben werden. Dabei ist deutlich eine erhöhte Stromdichte an der vertikalen Grenzfläche Oxid/Halbleiter zu beobachten.

Dabei ist deutlich eine erhöhte Stromdichte (Leckpfad) an der vertikalen Grenzfläche Oxid/Halbleiter zu beobachten. Die Umfangsproportionalität des Leckstroms, des eigentlichen Si-pin-Dioden-Aufbaus lässt sich auf diesen Leckpfad zurückführen. Experimentelle DC-Messungen an Si-TFET-Strukturen zeigen qualitativ und quantitativ dieses Verhalten, wie es in der ATLAS Simulation ermittelt wurde. Die DC-Messungen wurden dabei an Dioden mit variierenden Mesa-Durchmessern durchgeführt. Es konnte dabei eine Erhöhung des Sperrstroms im Spannungsbereich $V_{DS} = [0 V, -2 V]$ ermittelt werden, wenn die Diode vorher in den dielektrischen Volumendurchbruch des Halbleiters geführt wurde. Die messbare Differenz zwischen der ersten und zweiten Messung des Sperrstroms im Spannungsbereich ($V_{DS} = [0 V, -2 V]$) lässt sich auf eine Generierung von Leckpfaden an der Oberfläche zurückführen. Dabei werden durch hohe Stromdichten und Ladungsträgern mit hoher kinetischer Energie kovalente Bindung zwischen dem Halbleiter und der SiO_2 -Passivierung aufgebrochen. Damit erhöht sich die Anzahl an nicht vollständig gesättigten Bindungen („Dangling-Bonds“) an der geätzten Mesa-Flanken-Grenzfläche Oxid/Halbleiter [261]. In der im Experiment verwendeten Prozessführung der TEOS-PECVD kann von einer Grenzflächenzustandsdichte von bis zu ca. $n_F \sim 5 \cdot 10^{12} \text{cm}^{-2}$ (Literatur Wert TEOS (400 °C)) ausgegangen werden. Die vorrangig auftreten Dangling-Bonds werden in der Literatur mit P_0 , P_{b1} und E' bezeichnet.

Die Energieniveaus der Störstellen zwischen Halbleiter/GOX befinden sich unterhalb (Donatoren) und oberhalb der Mitte der Bandlücke (Akzeptoren). In der Simulation wurde die Lage des Akzeptor- und des Donator Störstellenniveaus 0,4 eV unterhalb des Leitungs- bzw. Valenzbandes angenommen. Die Steigung der Stromspannungskennlinie und deren absoluter Wert im Sperrbereich werden zum einen durch die Lage des Störstellenniveaus innerhalb der Bandlücke und durch die absolute Anzahl der Störstellen bestimmt.

Wird die Versorgungsspannung weiter erhöht, kann eine Änderung im physikalischen Verhalten des Sperrstroms durch eine Änderung in der Steigung der Stromspannungscharakteristik ermittelt werden. Dieses Verhalten kann auf einen zusätzlichen Leckstrompfad zurückgeführt werden, der über BTB-Tunnelprozesse generiert wird. Die beiden hochdotierten Source- und Drain-Gebiete wurden mit sehr scharfen Dotierflanken versehen. Weiter wurden Oxidladungen berücksichtigt, die während des TEOS geführten PECVD-Abschleideprozesses im Volumen des Oxids erzeugt werden. Es kann eine Ladungsdichte im Oxid von ca. $8,5 \cdot 10^{12} \text{ cm}^{-3}$ angenommen werden. Über das durch die Ladungen im Oxid erzeugte elektrische Feld und der Drain-Spannung V_{DS} , kann das elektrische Feld am Dotierübergang (hier an der n-Typ dotierten Seite) bestimmt werden. Das ermittelte elektrische Feld kann als ausreichend groß angenommen werden, um BTB-Tunnelprozesse zu generieren. Dieses Verhalten wird in der Literatur unter der Abkürzung DIBT geführt [150]. Die örtlich aufgelösten Stromdichten, innerhalb des Bauteils für verschiedene Werte für V_{DS} sind in Abbildung B.2 zu finden. Der Sperrstrom steigt mit Erhöhung der Drain-Spannung weiter an, bis dieser auf einem ersten Plateau von wenigen $\mu\text{A}/\mu\text{m}$ sättigt. Gefolgt wird das Plateau von einem Softbreakdown bei $V_{DS} = 7 \text{ V}$, der vorrangig an der Oberfläche lokalisiert werden kann. Der dielektrische Durchbruch, welcher im Volumen erzeugt wird, findet bei $V_{DS} = 7,5 \text{ V}$ statt. Die in der Simulation verwendeten physikalischen Modelle waren zum einen das BTBT-Kane-Modell, das Selberherr-Modell, die Auger-Rekombination, die Abhängigkeit der Ladungsträgerbeweglichkeit von der Dotierhöhe und elektrischen Feldern und eine modifizierte Oberflächenbeweglichkeit.

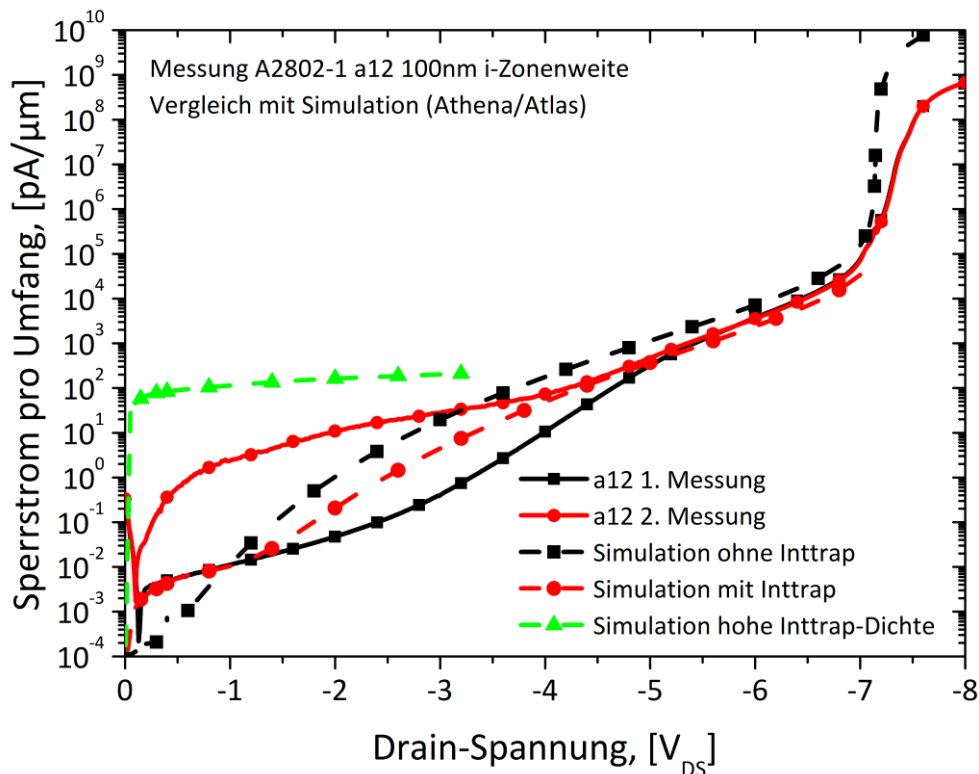
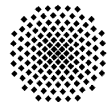


Abbildung B.2

Durch die niedrige intrinsische Ladungsträgerkonzentration von Si sind innerhalb eines Si-TFETs geringe Leckströme im fA/μm (!)-Bereich (im Falle der pin-Diode-Sperrströme) zu erwarten. Der primäre Leckpfad verläuft in einem vertikalen Aufbau über die geätzte und damit nicht perfekte Grenzfläche zwischen Passivierungsoxid und Halbleiter. Mittels einer Silvaco Prozess und DC-Simulation konnten die Leckpfade für den vertikalen Si-TFET-Aufbau nachgebildet werden.



B.1 Einfluss der GOX-Dicke auf den DIBT-Effekt im Si-TFET

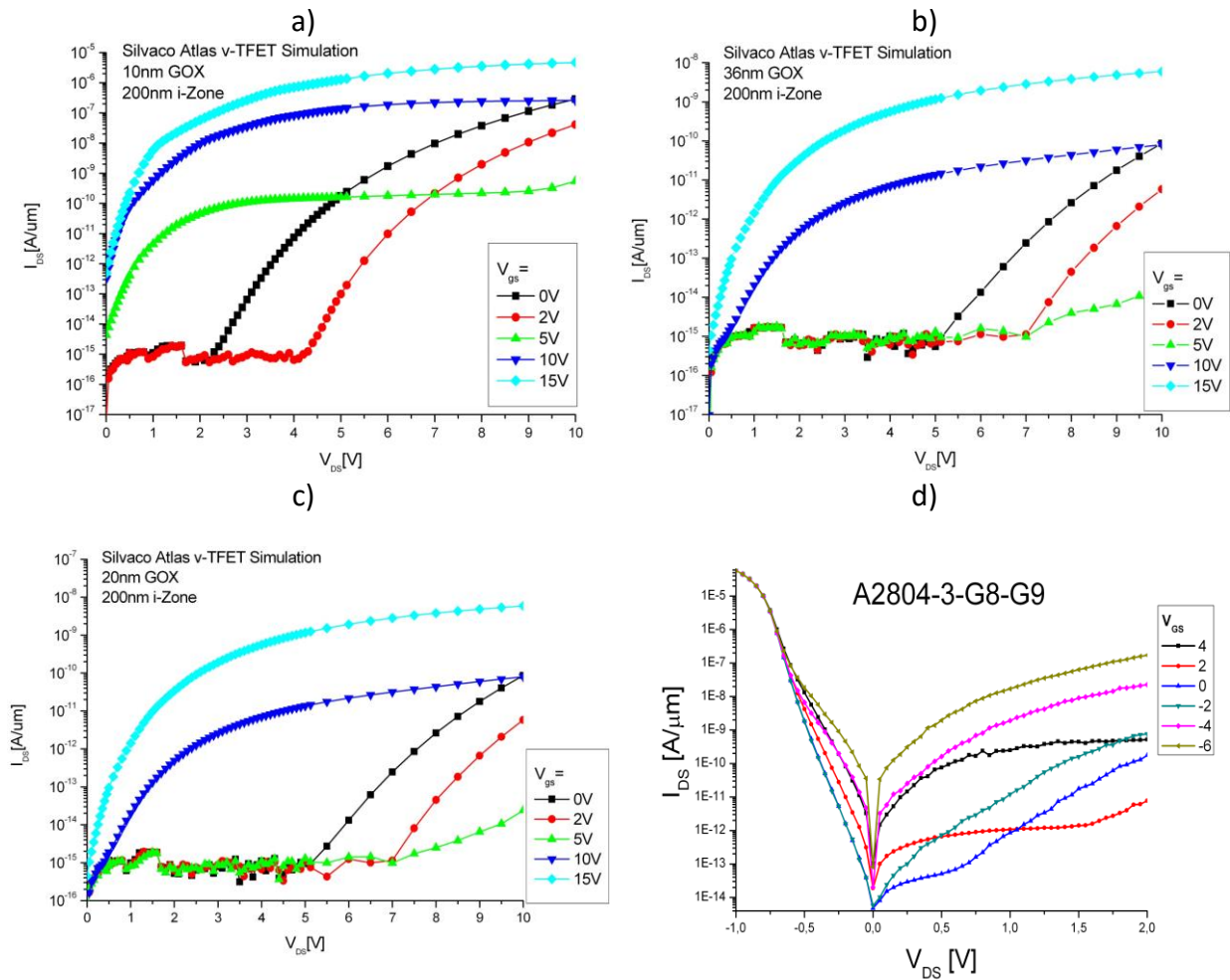


Abbildung B.3

Der Einfluss des DIBT auf das Schaltverhalten ist deutlich in der Ausgangscharakteristik eines experimentellen Si-TFETs mit einer Kanallänge von $L_G = 200 \text{ nm}$ und einer nominalen GOX-Dicke von $d_{ox} = 10 \text{ nm}$ zu erkennen (Teilabbildung c)). Der weitere Einfluss der GOX-Dicke auf den DIBT wurde in den Teilabbildungen a) mit $d_{ox} = 10 \text{ nm}$, in b) mit $d_{ox} = 20 \text{ nm}$ und in c) mit $d_{ox} = 36 \text{ nm}$ mittels einer Silvaco Simulation nachgebildet. Deutlich ist ein Einfluss des DIBT-Effekts auf die Ausgangskurven im ausgeschalteten Zustand zu erkennen.

Das hier auftretende „Kurzkanalverhalten“ (DIBT) wurde schon anfänglich in der Diskussion der Leckstrom-Kurve beschrieben. Weiter kann ein schon teilweise eingeschalteter n-Kanal durch die Unterschiede in der Austrittsarbeit zwischen der Al-Gate-Elektrode und dem leicht n-Typ dotierten Si Kanalgebiet beobachtet werden. Die Simulationsergebnisse zeigen klar den Einfluss des DIBT auf das Ausgangskennlinienfeld und der Abhängigkeit von der GOX-Dicke in einer Verschiebung der Einsatzspannung des Tunnelstroms.

B.2 Vergleich Prozessführung Uni-BW- und GAA-Maskenlayout für den Si-TFET

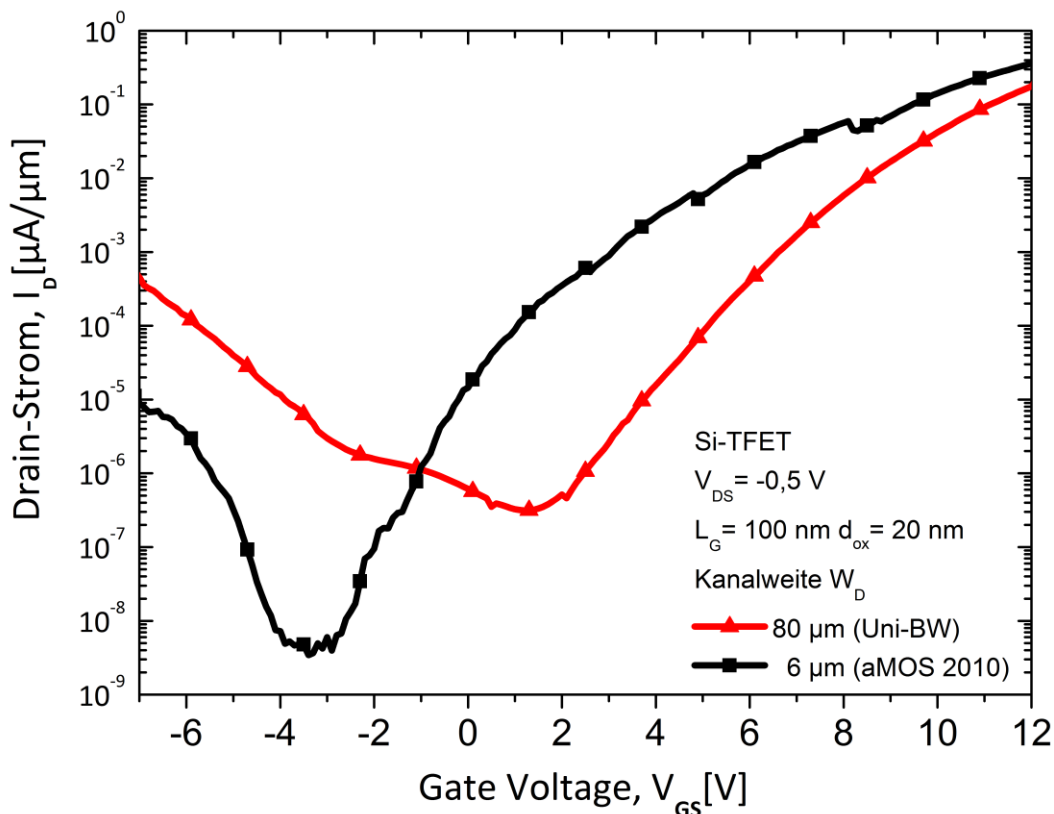
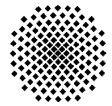


Abbildung B.1 In der Transfercharakteristik wurde zum Vergleich der Prozessführung die MBE-Sequenz der Si-Kanallängenvariation, aus Kapitel 5.3, mit einer Kanallänge $L_G = 300 \text{ nm}$ und einer GOX-Dicke $d_{ox} = 20 \text{ nm}$ dargestellt. Die Drain-Spannung mit $V_{DS} = -0,5 \text{ V}$ gewählt. Der Mesa-Durchmesser bzw. die Kanalweite beträgt bei der Uni-BW-Variante $W_D = 80 \mu\text{m}$. Die Kanalweite beträgt bei der GAA-Variante $W_D = 6 \mu\text{m}$. Es konnte ein minimaler Leckstrom $I_{off} = 0,5 \text{ fA}$ und ein Schaltverhalten von mehr als acht Größenordnungen erzielt werden.



B.3 Leckstrom der Al₂O₃-Gate-Elektrode mit $d_{ox} = 5 \text{ nm}/10 \text{ nm}$ im Ge-pTFETs

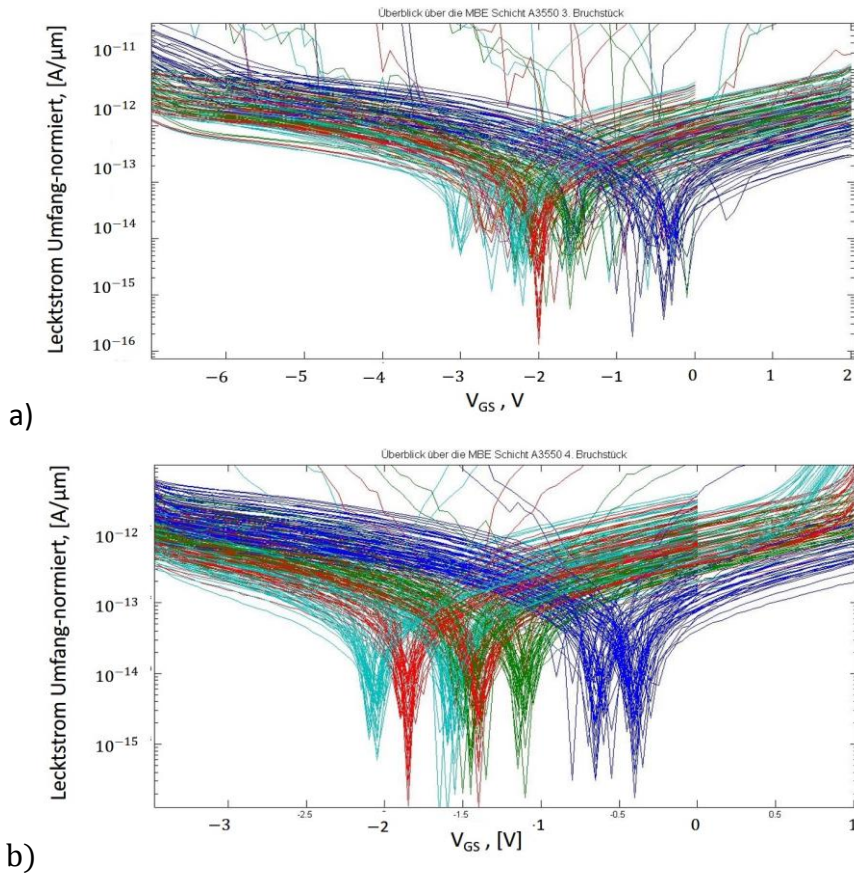


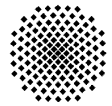
Abbildung B.1

Als weiteren Nachweis für die Volumenabhängigkeit des Leckstroms im Falle des Ge/GeSn-pTFETs sind in a) für die $d_{ox} = 10 \text{ nm}$ und $d_{ox} = 5 \text{ nm}$ Variante die Leckströme für eine Drain-Spannung von $V_{DS} = -0,5 \text{ V}$ über den Gate-Umfang geplottet. Für beide Varianten konnte mit dem GAA-Maskenlayout eine Leckstromdichte von $j_{off} = 1,9 \cdot 10^{-2} \text{ A/cm}^2$ ($d_{ox} = 10 \text{ nm}$) und $j_{off} = 8,2 \cdot 10^{-2} \text{ A/cm}^2$ ($d_{ox} = 5 \text{ nm}$) ermittelt werden. Die Abweichung der an sich gleichen MBE-Sequenzen kann nicht auf Leckströme durch das dünnere Oxid erklärt werden, denn diese befinden sich im Bereich von wenigen $\text{pA}/\mu\text{m}$ für alle gemessenen pTFETs.

Anhang B

Simulationsergebnisse: Leckstromverhalten Si-TFET

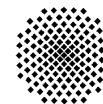




V. Literaturverzeichnis

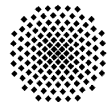
- [1] G. E. Moore, „Cramming more components onto integrated circuits“, *Electronics*, Bd. 38, Nr. 8, Apr. 1965.
- [2] R. H. Dennard u. a., „Design of ion-implanted MOSFETs with very small physical dimensions“, *IEEE J Solid-State Circuits*, S. 256, 1974.
- [3] „The International Technology Roadmap for Semiconductors (ITRS) Executive Summary“, <http://www.itrs.net/>, 2003.
- [4] D. J. Frank, „System Level Advantages of Steep Slope Devices“, gehalten auf der SiNANO Summer School, Bertinoro, Italien, 31-Aug-2012.
- [5] „The International Technology Roadmap for Semiconductors (ITRS) Executive Summary“, <http://www.itrs.net/>, 2013.
- [6] J. R. Brews, W. Fichtner, E. H. Nicollian, und S. M. Sze, „Generalized guide for MOSFET miniaturization“, *Electron Device Lett. IEEE*, Bd. 1, Nr. 1, S. 2–4, Jan. 1980.
- [7] R.-H. Yan, A. Ourmazd, und K. F. Lee, „Scaling the Si MOSFET: from bulk to SOI to bulk“, *Electron Devices IEEE Trans. On*, Bd. 39, Nr. 7, S. 1704–1710, Juli 1992.
- [8] K. Suzuki, T. Tanaka, Y. Tosaka, H. Horie, und Y. Arimoto, „Scaling theory for double-gate SOI MOSFET’s“, *Electron Devices IEEE Trans. On*, Bd. 40, Nr. 12, S. 2326–2329, Dez. 1993.
- [9] Y. Taur und T. H. Ning, *Fundamentals of Modern VLSI Devices*, 2nd Aufl. New York, NY, USA: Cambridge University Press, 2009.
- [10] J. Schulze, *Konzepte Siliziumbasierter MOS-Bauelemente*. Springer Berlin Heidelberg, 2006.
- [11] J. Knoch, „Tunnel FET architectures and device concepts for steep slope switches“, gehalten auf der SiNANO Summer School, Bertinoro, Italien, 31-Sep-2012.
- [12] H. Kawaura, T. Sakamoto, und T. Baba, „Observation of source-to-drain direct tunneling current in 8 nm gate electrically variable shallow junction metal–oxide–semiconductor field-effect transistors“, *Appl. Phys. Lett.*, Bd. 76, Nr. 25, S. 3810–3812, Juni 2000.
- [13] J. R. Brews, W. Fichtner, E. H. Nicollian, und S. M. Sze, „Generalized guide for MOSFET miniaturization“, in *Electron Devices Meeting, 1979 Internationa*, 1979, Bd. 25, S. 10–13.
- [14] D. Hisamoto u. a., „A folded-channel MOSFET for deep-sub-tenth micron era“, in *Electron Devices Meeting, 1998. IEDM '98. Technical Digest., International*, 1998, S. 1032–1034.
- [15] K. Gopalakrishnan, P. B. Griffin, und J. D. Plummer, „I-MOS: a novel semiconductor device with a subthreshold slope lower than kT/q “, in *Electron Devices Meeting, 2002. IEDM '02. International*, 2002, S. 289–292.
- [16] E.-H. Toh, G. H. Wang, G. Samudra, und Y.-C. Yeo, „Device physics and design of double-gate tunneling field-effect transistor by silicon film thickness optimization“, *Appl. Phys. Lett.*, Bd. 90, Nr. 26, S. 263507, 2007.
- [17] L. Knoll u. a., „Inverters With Strained Si Nanowire Complementary Tunnel Field-Effect Transistors“, *Electron Device Lett. IEEE*, Bd. 34, Nr. 6, S. 813–815, 2013.
- [18] Q. Huang u. a., „A novel Si tunnel FET with 36mV/dec subthreshold slope based on junction depleted-modulation through striped gate configuration“, in *Electron Devices Meeting (IEDM), 2012 IEEE International*, 2012, S. 8.5.1-8.5.4.
- [19] Sung Hwan Kim, Hei Kam, Chenming Hu, und Tsu-Jae King Liu, „Germanium-source tunnel field effect transistors with record high ION/IOFF“, in *VLSI Technology, 2009 Symposium on*, 2009, S. 178–179.
- [20] K. Tomioka, M. Yoshimura, und T. Fukui, „Steep-slope tunnel field-effect transistors using III #x2013;V nanowire/Si heterojunction“, in *VLSI Technology (VLSIT), 2012 Symposium on*, 2012, S. 47–48.

-
- [21] H. Riel *u. a.*, „InAs-Si heterojunction nanowire tunnel diodes and tunnel FETs“, in *Electron Devices Meeting (IEDM), 2012 IEEE International*, 2012, S. 16.6.1-16.6.4.
- [22] W. Vandenberghe, A. S. Verhulst, G. Groeseneken, B. Soree, und W. Magnus, „Analytical model for point and line tunneling in a tunnel field-effect transistor“, in *Simulation of Semiconductor Processes and Devices, 2008. SISPAD 2008. International Conference on*, 2008, S. 137–140.
- [23] T. Krishnamohan, Donghyun Kim, S. Raghunathan, und K. Saraswat, „Double-Gate Strained-Ge Heterostructure Tunneling FET (TFET) With record high drive currents and $\ll 60\text{mV/dec}$ subthreshold slope“, in *Electron Devices Meeting, 2008. IEDM 2008. IEEE International*, 2008, S. 1–3.
- [24] Y. Yang *u. a.*, „Towards direct band-to-band tunneling in P-channel tunneling field effect transistor (TFET): Technology enablement by Germanium-tin (GeSn)“, in *Electron Devices Meeting (IEDM), 2012 IEEE International*, 2012, S. 16.3.1-16.3.4.
- [25] A. Villalon *u. a.*, „Strained tunnel FETs with record ION: first demonstration of ETSOI TFETs with SiGe channel and RSD“, in *VLSI Technology (VLSIT), 2012 Symposium on*, 2012, S. 49–50.
- [26] S. Mookerjee *u. a.*, „Experimental demonstration of 100nm channel length In_{0.53}Ga_{0.47}As-based vertical inter-band tunnel field effect transistors (TFETs) for ultra low-power logic and SRAM applications“, in *Electron Devices Meeting (IEDM), 2009 IEEE International*, 2009, S. 1–3.
- [27] A. C. Seabaugh und Qin Zhang, „Low-Voltage Tunnel Transistors for Beyond CMOS Logic“, *Proc. IEEE*, Bd. 98, Nr. 12, S. 2095–2110, Dez. 2010.
- [28] A. M. Ionescu und H. Riel, „Tunnel field-effect transistors as energy-efficient electronic switches“, *Nature*, Bd. 479, Nr. 7373, S. 329–337, Nov. 2011.
- [29] U. E. Avci, S. Hasan, D. E. Nikonov, R. Rios, K. Kuhn, und I. A. Young, „Understanding the feasibility of scaled III-V TFET for logic by bridging atomistic simulations and experimental results“, in *VLSI Technology (VLSIT), 2012 Symposium on*, 2012, S. 183–184.
- [30] Q. Zhang, T. Fang, H. Xing, A. Seabaugh, und D. Jena, „Graphene Nanoribbon Tunnel Transistors“, *Electron Device Lett. IEEE*, Bd. 29, Nr. 12, S. 1344–1346, Dez. 2008.
- [31] U. E. Avci, R. Rios, K. J. Kuhn, und I. A. Young, „Comparison of power and performance for the TFET and MOSFET and considerations for P-TFET“, in *Nanotechnology (IEEE-NANO), 2011 11th IEEE Conference on*, 2011, S. 869–872.
- [32] Q. Zhang, G. Iannaccone, und G. Fiori, „Two-Dimensional Tunnel Transistors Based on Bi₂Se₃ Thin Film“, *Electron Device Lett. IEEE*, Bd. 35, Nr. 1, S. 129–131, Jan. 2014.
- [33] L. De Michielis, L. Lattanzio, K. E. Moselund, H. Riel, und A. M. Ionescu, „Tunneling and Occupancy Probabilities: How Do They Affect Tunnel-FET Behavior?“, *Electron Device Lett. IEEE*, Bd. 34, Nr. 6, S. 726–728, Juni 2013.
- [34] M. Luisier und G. Klimeck, „Simulation of nanowire tunneling transistors: From the Wentzel–Kramers–Brillouin approximation to full-band phonon-assisted tunneling“, *J. Appl. Phys.*, Bd. 107, Nr. 8, S. 084507, 2010.
- [35] D. Verreck, A. S. Verhulst, K.-H. Kao, W. G. Vandenberghe, K. De Meyer, und G. Groeseneken, „Quantum Mechanical Performance Predictions of p-n-i-n Versus Pocketed Line Tunnel Field-Effect Transistors“, *Electron Devices IEEE Trans. On*, Bd. 60, Nr. 7, S. 2128–2134, Juli 2013.
- [36] R. Kotlyar *u. a.*, „Bandgap engineering of group IV materials for complementary n and p tunneling field effect transistors“, *Appl. Phys. Lett.*, Bd. 102, Nr. 11, S. , 2013.



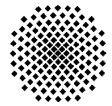
- [37] F. Conzatti, M. G. Pala, D. Esseni, E. Bano, und L. Selmi, „Strain-Induced Performance Improvements in InAs Nanowire Tunnel FETs“, *Electron Devices IEEE Trans. On*, Bd. 59, Nr. 8, S. 2085–2092, Aug. 2012.
- [38] S. Agarwal, G. Klimeck, und M. Luisier, „Leakage-Reduction Design Concepts for Low-Power Vertical Tunneling Field-Effect Transistors“, *Electron Device Lett. IEEE*, Bd. 31, Nr. 6, S. 621–623, Juni 2010.
- [39] J. Knoch und J. Appenzeller, „Modeling of High-Performance p-Type III -V Heterojunction Tunnel FETs“, *Electron Device Lett. IEEE*, Bd. 31, Nr. 4, S. 305–307, Apr. 2010.
- [40] S. Koswatta, S. J. Koester, und W. E. Haensch, „On the possibility of obtaining MOSFET-like performance and sub-60-mV/dec swing in 1-D broken-gap tunnel transistors“, *IEEE Trans. Electron Devices*, Bd. 57, S. 3222–3230, 2010.
- [41] F. Mayer u. a., „Impact of SOI, Si1-xGeOI and GeOI substrates on CMOS compatible Tunnel FET performance“, in *Electron Devices Meeting, 2008. IEDM 2008. IEEE International*, 2008, S. 1–5.
- [42] R. Gandhi, Z. Chen, N. Singh, K. Banerjee, und S. Lee, „CMOS-Compatible Vertical-Silicon-Nanowire Gate-All-Around p-Type Tunneling FETs With <50mV/decade Subthreshold Swing“, *Electron Device Lett. IEEE*, Bd. 32, Nr. 11, S. 1504–1506, 2011.
- [43] Sung Hwan Kim, Hei Kam, Chenming Hu, und Tsu-Jae King Liu, „Germanium-source tunnel field effect transistors with record high ION/IOFF“, in *VLSI Technology, 2009 Symposium on*, 2009, S. 178–179.
- [44] K.-T. Lam, X. Cao, und J. Guo, „Device Performance of Heterojunction Tunneling Field-Effect Transistors Based on Transition Metal Dichalcogenide Monolayer“, *Electron Device Lett. IEEE*, Bd. 34, Nr. 10, S. 1331–1333, Okt. 2013.
- [45] K. Bernstein, R. K. Cavin, W. Porod, A. Seabaugh, und J. Welser, „Device and Architecture Outlook for Beyond CMOS Switches“, *Proc. IEEE*, Bd. 98, Nr. 12, S. 2169–2184, Dez. 2010.
- [46] R. Gandhi, Z. Chen, N. Singh, K. Banerjee, und S. Lee, „Vertical Si-Nanowire n-Type Tunneling FETs With Low Subthreshold Swing (<50mV/decade) at Room Temperature“, *Electron Device Lett. IEEE*, Bd. 32, Nr. 4, S. 437–439, 2011.
- [47] R. Bijesh u. a., „Demonstration of In_{0.9}Ga_{0.1}As/GaAs_{0.18}Sb_{0.82} near broken-gap tunnel FET with ION = 740μA/μm, GM = 700μS/μm and gigahertz switching performance at VDS = 0.5V“, *Proc IEDM Tech Dig 2013*, S. 28.2.1–28.2.4., 2013.
- [48] B. Ganjipour, J. Wallentin, M. T. Borgström, L. Samuelson, und C. Thelander, „Tunnel Field-Effect Transistors Based on InP-GaAs Heterostructure Nanowires“, *ACS Nano*, Bd. 6, Nr. 4, S. 3109–3113, 2012.
- [49] G. Zhou u. a., „Novel gate-recessed vertical InAs/GaSb TFETs with record high ION of 180 μA/μm at VDS = 0.5 V“, in *Electron Devices Meeting (IEDM), 2012 IEEE International*, 2012, S. 32.6.1–32.6.4.
- [50] G. Dewey u. a., „Fabrication, characterization, and physics of III #x2013;V heterojunction tunneling Field Effect Transistors (H-TFET) for steep sub-threshold swing“, in *Electron Devices Meeting (IEDM), 2011 IEEE International*, 2011, S. 33.6.1–33.6.4.
- [51] A. W. Dey u. a., „High current density InAsSb/GaSb tunnel field effect transistors“, in *Device Research Conference (DRC), 2012 70th Annual*, 2012, S. 205–206.
- [52] J. Appenzeller, Y.-M. Lin, J. Knoch, und Ph. Avouris, „Band-to-Band Tunneling in Carbon Nanotube Field-Effect Transistors“, *Phys Rev Lett*, Bd. 93, Nr. 19, S. 196805, Nov. 2004.
- [53] W. Vandenberghe, B. Sorée, W. Magnus, und M. V. Fischetti, „Generalized phonon-assisted Zener tunneling in indirect semiconductors with non-uniform electric fields: A rigorous approach“, *J. Appl. Phys.*, Bd. 109, Nr. 12, S. 124503–124503–12, Juni 2011.

-
- [54] W. G. Vandenberghe *u. a.*, „Figure of merit for and identification of sub-60 mV/decade devices“, *Appl. Phys. Lett.*, Bd. 102, Nr. 1, S. , 2013.
- [55] Y. Lu, S. Bangsaruntip, X. Wang, L. Zhang, Y. Nishi, und H. Dai, „DNA Functionalization of Carbon Nanotubes for Ultrathin Atomic Layer Deposition of High κ Dielectrics for Nanotube Transistors with 60 mV/Decade Switching“, *J. Am. Chem. Soc.*, Bd. 128, Nr. 11, S. 3518–3519, 2006.
- [56] R. Li *u. a.*, „AlGaSb/InAs Tunnel Field-Effect Transistor With On-Current of 78 μ A at 0.5 V“, *Electron Device Lett. IEEE*, Bd. 33, Nr. 3, S. 363–365, März 2012.
- [57] A. M und L. R. K, „Effects of Band-Tails on the Subthreshold Characteristics of Nanowire Band-to-Band Tunneling Transistors“, *J Appl Phys*, Bd. 110, S. 074508, 2011.
- [58] H. Fang *u. a.*, „Strong interlayer coupling in van der Waals heterostructures built from single-layer chalcogenides“, *Proc. Natl. Acad. Sci.*, Bd. 111, Nr. 17, S. 6198–6202, 2014.
- [59] S. Agarwal und E. Yablonovitch, „Band-Edge Steepness Obtained from Esaki/Backward Diode Current-Voltage Characteristics“, EECS Department, University of California, Berkeley, UCB/EECS-2013-245, Dez. 2013.
- [60] V. Nagavarapu, R. Jhaveri, und J. C. S. Woo, „The Tunnel Source (PNPN) n-MOSFET: A Novel High Performance Transistor“, *Electron Devices IEEE Trans. On*, Bd. 55, Nr. 4, S. 1013–1019, 2008.
- [61] M. G. Pala und D. Esseni, „Interface Traps in InAs Nanowire Tunnel-FETs and MOSFETs Part I: Model Description and Single Trap Analysis in Tunnel-FETs“, *Electron Devices IEEE Trans. On*, Bd. 60, Nr. 9, S. 2795–2801, Sep. 2013.
- [62] M. Remskar *u. a.*, „The MoS₂ Nanotubes with Defect-Controlled Electric Properties“, *Nanoscale Res Lett*, Bd. 6, Nr. 1, S. 26, 2011.
- [63] J. Knoch, S. Mantl, und J. Appenzeller, „Impact of the dimensionality on the performance of tunneling FETs: Bulk versus one-dimensional devices“, *Solid-State Electron.*, Bd. 51, Nr. 4, S. 572–578, 2007.
- [64] O. M. Nayfeh, C. N. Chleirigh, J. Hennessy, L. Gomez, J. L. Hoyt, und D. A. Antoniadis, „Design of Tunneling Field-Effect Transistors Using Strained-Silicon/Strained-Germanium Type-II Staggered Heterojunctions“, *Electron Device Lett. IEEE*, Bd. 29, Nr. 9, S. 1074–1077, 2008.
- [65] C. Shen, S.-L. Ong, C.-H. Heng, G. Samudra, und Y.-C. Yeo, „A Variational Approach to the Two-Dimensional Nonlinear Poisson’s Equation for the Modeling of Tunneling Transistors“, *Electron Device Lett. IEEE*, Bd. 29, Nr. 11, S. 1252–1255, Nov. 2008.
- [66] Y. Khatami und K. Banerjee, „Steep Subthreshold Slope n- and p-Type Tunnel-FET Devices for Low-Power and Energy-Efficient Digital Circuits“, *Electron Devices IEEE Trans. On*, Bd. 56, Nr. 11, S. 2752–2761, 2009.
- [67] Q. Zhang, S. Sutar, T. Kosel, und A. Seabaugh, „Fully-depleted Ge interband tunnel transistor: Modeling and junction formation“, *Solid-State Electron.*, Bd. 53, Nr. 1, S. 30–35, Jan. 2009.
- [68] K.-T. Lam *u. a.*, „A Simulation Study of Graphene-Nanoribbon Tunneling FET With Heterojunction Channel“, *Electron Device Lett. IEEE*, Bd. 31, Nr. 6, S. 555–557, Juni 2010.
- [69] L. (Dennis) Wang, E. Yu, Y. Taur, und P. Asbeck, „Design of Tunneling Field-Effect Transistors Based on Staggered Heterojunctions for Ultralow-Power Applications“, *Electron Device Lett. IEEE*, Bd. 31, Nr. 5, S. 431–433, Mai 2010.
- [70] Y. Lu *u. a.*, „Geometry dependent tunnel FET performance - dilemma of electrostatics vs. quantum confinement“, in *Device Research Conference (DRC), 2010*, 2010, S. 17–18.
- [71] K. Ganapathi, Y. Yoon, und S. Salahuddin, „Analysis of InAs vertical and lateral band-to-band tunneling transistors: Leveraging vertical tunneling for improved performance“, *Appl. Phys. Lett.*, Bd. 97, Nr. 3, S. , 2010.



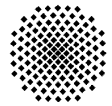
- [72] K. Ganapathi und S. Salahuddin, „Heterojunction Vertical Band-to-Band Tunneling Transistors for Steep Subthreshold Swing and High on Current“, *IEEE Electron Device Lett.*, Bd. 32, Nr. 5, S. 689–691, Mai 2011.
- [73] F. Conzatti, M. G. Pala, D. Esseni, E. Bano, und L. Selmi, „A simulation study of strain induced performance enhancements in InAs nanowire Tunnel-FETs“, in *Electron Devices Meeting (IEDM), 2011 IEEE International*, 2011, S. 5.2.1-5.2.4.
- [74] R. Narang, M. Saxena, R. S. Gupta, und M. Gupta, „Assessment of ambipolar behavior of a tunnel FET and influence of structural modifications“, *J. Semicond. Technol. Sci.*, Bd. 12, S. 482–491, 2012.
- [75] S. Banerjee, W. Richardson, J. Coleman, und A. Chatterjee, „A new three-terminal tunnel device“, *Electron Device Lett. IEEE*, Bd. 8, Nr. 8, S. 347–349, 1987.
- [76] K. K. Bhuvalka, J. Schulze, und I. Eisele, „Vertical tunnel field-effect transistor with bandgap modulation and workfunction engineering“, in *Solid-State Device Research conference, 2004. ESSDERC 2004. Proceeding of the 34th European*, 2004, S. 241–244.
- [77] W. Y. Choi, J. D. Lee, und B.-G. Park, „Novel Tunneling Devices with Multi-Functionality“, *Jpn. J. Appl. Phys.*, Bd. 46, Nr. 4S, S. 2622, 2007.
- [78] K. E. Moselund u. a., „Silicon Nanowire Tunnel FETs: Low-Temperature Operation and Influence of High- Gate Dielectric“, *IEEE Trans. Electron Devices*, Bd. 58, Nr. 9, S. 2911–2916, Sep. 2011.
- [79] S. Mookerjee und S. Datta, „Comparative Study of Si, Ge and InAs based Steep SubThreshold Slope Tunnel Transistors for 0.25V Supply Voltage Logic Applications“, in *Device Research Conference, 2008*, 2008, S. 47–48.
- [80] O. M. Nayfeh, J. L. Hoyt, und D. A. Antoniadis, „Strained-Si(1-x)-Ge(x)/Si Band-to-Band Tunneling Transistors: Impact of Tunnel-Junction Germanium Composition and Doping Concentration on Switching Behavior“, *Electron Devices IEEE Trans. On*, Bd. 56, Nr. 10, S. 2264–2269, 2009.
- [81] K. Jeon u. a., „Si tunnel transistors with a novel silicided source and 46mV/dec swing“, in *VLSI Technology (VLSIT), 2010 Symposium on*, 2010, S. 121–122.
- [82] G. Han u. a., „Enhancement of TFET performance using dopant profile-steepening implant and source dopant concentration engineering at tunneling junction“, in *Silicon Nanoelectronics Workshop (SNW), 2010*, 2010, S. 1–2.
- [83] R. Jhaveri, V. Nagavarapu, und J. C. S. Woo, „Effect of Pocket Doping and Annealing Schemes on the Source-Pocket Tunnel Field-Effect Transistor“, *Electron Devices IEEE Trans. On*, Bd. 58, Nr. 1, S. 80–86, Jan. 2011.
- [84] G. Han u. a., „Source Engineering for Tunnel Field-Effect Transistor: Elevated Source with Vertical Silicon–Germanium/Germanium Heterostructure“, *Jpn. J. Appl. Phys.*, Bd. 50, Nr. 4, S. 04DJ07, 2011.
- [85] K. Tomioka und T. Fukui, „Tunnel field-effect transistor using InAs nanowire/Si heterojunction“, *Appl. Phys. Lett.*, Bd. 98, Nr. 8, S. , 2011.
- [86] D. K. Mohata u. a., „Demonstration of MOSFET-like on-current performance in arsenide/antimonide tunnel FETs with staggered hetero-junctions for 300mV logic applications“, in *Electron Devices Meeting (IEDM), 2011 IEEE International*, 2011, S. 33.5.1-33.5.4.
- [87] J. T. Smith, C. Sandow, S. Das, R. A. Minamisawa, S. Mantl, und J. Appenzeller, „Silicon Nanowire Tunneling Field-Effect Transistor Arrays: Improving Subthreshold Performance Using Excimer Laser Annealing“, *Electron Devices IEEE Trans. On*, Bd. 58, Nr. 7, S. 1822–1829, 2011.
- [88] M. H. Lee, S. T. Chang, T.-H. Wu, und W.-N. Tseng, „Driving Current Enhancement of Strained Ge (110) p-Type Tunnel FETs and Anisotropic Effect“, *Electron Device Lett. IEEE*, Bd. 32, Nr. 10, S. 1355–1357, 2011.

- [89] D. K. Mohata *u. a.*, „Demonstration of improved heteroepitaxy, scaled gate stack and reduced interface states enabling heterojunction tunnel FETs with high drive current and high on-off ratio“, in *VLSI Technology (VLSIT), 2012 Symposium on*, 2012, S. 53–54.
- [90] G. Dewey, B. Chu-Kung, R. Kotlyar, M. Metz, N. Mukherjee, und M. Radosavljevic, „III-V field effect transistors for future ultra-low power applications“, in *VLSI Technology (VLSIT), 2012 Symposium on*, 2012, S. 45–46.
- [91] J. L. Padilla, F. Gamiz, und A. Godoy, „A Simple Approach to Quantum Confinement in Tunneling Field-Effect Transistors“, *Electron Device Lett. IEEE*, Bd. 33, Nr. 10, S. 1342–1344, 2012.
- [92] D. Hähnel *u. a.*, „Germanium vertical Tunneling Field-Effect Transistor“, *Solid-State Electron.*, Bd. 62, Nr. 1, S. 132–137, Aug. 2011.
- [93] I. A. Fischer *u. a.*, „Silicon Tunneling Field-Effect Transistors With Tunneling in Line With the Gate Field“, *IEEE Electron Device Lett.*, Bd. 34, Nr. 2, S. 154–156, Feb. 2013.
- [94] B. Rajamohanam *u. a.*, „Design, fabrication, and analysis of p-channel arsenide/antimonide hetero-junction tunnel transistors“, *J. Appl. Phys.*, Bd. 115, Nr. 4, S. 044502, 2014.
- [95] B. Rajamohanam *u. a.*, „Low-Temperature Atomic-Layer-Deposited High- κ Dielectric for p-Channel In 0.7 Ga 0.3 As/GaAs 0.35 Sb 0.65 Heterojunction Tunneling Field-Effect Transistor“, *Appl. Phys. Express*, Bd. 6, Nr. 10, S. 101201, 2013.
- [96] K.-H. Kao, A. S. Verhulst, W. G. Vandenberghe, B. Soree, G. Groeseneken, und K. De Meyer, „Direct and Indirect Band-to-Band Tunneling in Germanium-Based TFETs“, *Electron Devices IEEE Trans. On*, Bd. 59, Nr. 2, S. 292–301, Feb. 2012.
- [97] H. G. Virani, R. B. Rao, und A. Kottantharayil, „Investigation of Novel Si/SiGe Heterostructures and Gate Induced Source Tunneling for Improvement of p-Channel Tunnel Field-Effect Transistors“, *Jpn. J. Appl. Phys.*, Bd. 49, S. 04, 2010.
- [98] N. Goyal und P. Chaturvedi, „Graded silicon-germanium channel tunnel field effect transistor (G-TFET), an approach to increase ION without compromising IOFF“, in *Semiconductor Device Research Symposium (ISDRS), 2011 International*, 2011, S. 1–2.
- [99] C.-H. Shih und N. Dang Chien, „Physical operation and device design of short-channel tunnel field-effect transistors with graded silicon-germanium heterojunctions“, *J. Appl. Phys.*, Bd. 113, Nr. 13, S. 134507-134507–7, Apr. 2013.
- [100] E.-H. Toh, G. H. Wang, L. Chan, G. Samudra, und Y.-C. Yeo, „Device physics and guiding principles for the design of double-gate tunneling field effect transistor with silicon-germanium source heterojunction“, *Appl. Phys. Lett.*, Bd. 91, Nr. 24, S. 243505, 2007.
- [101] K. Boucart und A. M. Ionescu, „Double-Gate Tunnel FET With High- κ Gate Dielectric“, *Electron Devices IEEE Trans. On*, Bd. 54, Nr. 7, S. 1725–1733, 2007.
- [102] C. Anghel, P. Chilagani, A. Amara, und A. Vladimirescu, „Tunnel field effect transistor with increased ON current, low-k spacer and high-k dielectric“, *Appl. Phys. Lett.*, Bd. 96, Nr. 12, S. 122104-122104–3, März 2010.
- [103] L. Knoll *u. a.*, „Si tunneling transistors with high on-currents and slopes of 50mV/dec using segregation doped NiSi₂ tunnel junctions“, *Solid-State Electron.*, Bd. 84, Nr. 0, S. 211–215, 2013.
- [104] M. Schmidt *u. a.*, „Si/SiGe hetero-structure tunneling field effect transistors with in-situ doped SiGe source“, in *Ultimate Integration on Silicon (ULIS), 2012 13th International Conference on*, 2012, S. 191–194.
- [105] W. Y. Choi, B.-G. Park, J.-D. Lee, und T.-J. K. Liu, „Tunneling Field-Effect Transistors (TFETs) With Subthreshold Swing (SS) Less Than 60 mV/dec“, *Electron Device Lett. IEEE*, Bd. 28, Nr. 8, S. 743–745, 2007.



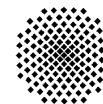
- [106] A. Vandooren, D. Leonelli, R. Rooyackers, K. Arstila, G. Groeseneken, und C. Huyghebaert, „Impact of process and geometrical parameters on the electrical characteristics of vertical nanowire silicon n-TFETs“, *Solid-State Electron.*, Bd. 72, S. 82–87, Juni 2012.
- [107] V. Nikam, K. K. Bhuvalka, und A. Kottantharayil, „Optimization of n-channel tunnel FET for the sub-22nm gate length regime“, in *Device Research Conference, 2008*, 2008, S. 77–78.
- [108] A. S. Verhulst, W. G. Vandenberghe, K. Maex, und G. Groeseneken, „Boosting the on-current of a n-channel nanowire tunnel field-effect transistor by source material optimization“, *J. Appl. Phys.*, Bd. 104, Nr. 6, S. , 2008.
- [109] K. K. Bhuvalka, M. Born, M. Schindler, M. Schmidt, T. Sulima, und I. Eisele, „P-Channel Tunnel Field-Effect Transistors down to Sub-50 nm Channel Lengths“, *Jpn. J. Appl. Phys.*, Bd. 45, S. 3106–3109, 2006.
- [110] Y. Yang u. a., „Germanium-tin n-channel tunneling field-effect transistor: Device physics and simulation study“, *J. Appl. Phys.*, Bd. 113, Nr. 19, S. 194507, 2013.
- [111] P.-F. Wang u. a., „Complementary tunneling transistor for low power application“, *Solid-State Electron.*, Bd. 48, Nr. 12, S. 2281–2286, Dez. 2004.
- [112] P. F. Wang, *Complementary Tunneling-FETs (CTFET) in CMOS Technology*. 2003.
- [113] S. Salahuddin und S. Datta, „Use of Negative Capacitance to Provide Voltage Amplification for Low Power Nanoscale Devices“, *Nano Lett.*, Bd. 8, Nr. 2, S. 405–410, 2008.
- [114] H. Kam, D. T. Lee, R. T. Howe, und T.-J. King, „A new nano-electro-mechanical field effect transistor (NEMFET) design for low-power electronics“, in *Electron Devices Meeting, 2005. IEDM Technical Digest. IEEE International*, 2005, S. 463–466.
- [115] J. J. Quinn, G. Kawamoto, und B. D. McCombe, „Subband spectroscopy by surface channel tunneling“, *Surf. Sci.*, Bd. 73, S. 190–196, Mai 1978.
- [116] E. Takeda, H. Matsuoka, Y. Igura, und S. Asai, „A band to band tunneling MOS device (B2T-MOSFET)-a kind of ‚Si quantum device‘“, in *Electron Devices Meeting, 1988. IEDM '88. Technical Digest., International*, 1988, S. 402–405.
- [117] T. Baba, „Proposal for Surface Tunnel Transistors“, *Jpn. J. Appl. Phys.*, Bd. 31, S. L455–L457, 1992.
- [118] M. Oehme u. a., „Si Esaki diodes with high peak to valley current ratios“, *Appl. Phys. Lett.*, Bd. 95, Nr. 24, S. 242109, 2009.
- [119] M. Oehme u. a., „Very High Room-Temperature Peak-to-Valley Current Ratio in Si Esaki Tunneling Diodes (March 2010)“, *Electron Devices IEEE Trans. On*, Bd. 57, Nr. 11, S. 2857–2863, 2010.
- [120] J. Knoch und J. Appenzeller, „A novel concept for field-effect transistors - the tunneling carbon nanotube FET“, in *Device Research Conference Digest, 2005. DRC '05. 63rd*, 2005, Bd. 1, S. 153–156.
- [121] W. M. Reddick und G. A. J. Amaratunga, „Silicon surface tunnel transistor“, *Appl. Phys. Lett.*, Bd. 67, Nr. 4, S. 494, 1995.
- [122] W. Hansch, C. Fink, J. Schulze, und I. Eisele, „A vertical MOS-gated Esaki tunneling transistor in silicon“, *Thin Solid Films*, Bd. 369, Nr. 1–2, S. 387–389, Juli 2000.
- [123] W. Hansch, P. Borthen, J. Schulze, C. Fink, T. Sulima, und I. Eisele, „Performance Improvement in Vertical Surface Tunneling Transistors by a Boron Surface Phase“, *Jpn. J. Appl. Phys.*, Bd. 40, S. 3131–3136, 2001.
- [124] D. Hähnel u. a., „Germanium vertical Tunneling Field-Effect Transistor“, *Solid-State Electron.*, Bd. 62, Nr. 1, S. 132–137, Aug. 2011.

- [125] H. G. Virani, R. B. R. Adari, und A. Kottantharayil, „Dual- k Spacer Device Architecture for the Improvement of Performance of Silicon n-Channel Tunnel FETs“, *Electron Devices IEEE Trans. On*, Bd. 57, Nr. 10, S. 2410–2417, 2010.
- [126] Y. Yang u. a., „Germanium-Tin P-Channel Tunneling Field-Effect Transistor: Device Design and Technology Demonstration“, *Electron Devices IEEE Trans. On*, Bd. 60, Nr. 12, S. 4048–4056, Dez. 2013.
- [127] K. K. Bhuiwarka, J. Schulze, und I. Eisele, „Scaling issues of n-channel vertical tunnel FET with $\delta p+$ SiGe layer“, in *Device Research Conference, 2004. 62nd DRC. Conference Digest [Late News Papers volume included]*, 2004, S. 215–216 Bd.1.
- [128] C. Aydin u. a., „Lateral interband tunneling transistor in silicon-on-insulator“, *Appl. Phys. Lett.*, Bd. 84, Nr. 10, S. 1780, 2004.
- [129] A. S. Verhulst, W. G. Vandenberghe, K. Maex, und G. Groeseneken, „Tunnel field-effect transistor without gate-drain overlap“, *Appl. Phys. Lett.*, Bd. 91, Nr. 5, S. 053102, 2007.
- [130] N. Jain, E. Tutuc, S. K. Banerjee, und L. F. Register, „Performance Analysis of Germanium Nanowire Tunneling Field Effect Transistors“, in *Device Research Conference, 2008*, 2008, S. 99–100.
- [131] K. K. Bhuiwarka, J. Schulze, und I. Eisele, „Performance Enhancement of Vertical Tunnel Field-Effect Transistor with SiGe in the $\delta p+$ Layer“, *Jpn. J. Appl. Phys.*, Bd. 43, S. 4073–4078, 2004.
- [132] T. Uemura und T. Baba, „Characterization of Depletion-Type Surface Tunnel Transistors“, *Jpn. J. Appl. Phys.*, Bd. 31, S. L1727–L1729, 1992.
- [133] H. Lu und A. Seabaugh, „Tunnel Field-Effect Transistors: State-of-the-Art“, *IEEE J. Electron Devices Soc.*, Bd. 2, Nr. 4, S. 44–49, Juli 2014.
- [134] D. Hähnel und I. A. Fischer, „Maskenlayout UniBW“. internes Dokument, IHT, 2010.
- [135] J. Stehle, „Diplomarbeit: Schottky-Barrier-MOSFET“, Universität Stuttgart, Stuttgart, Okt. 2012.
- [136] W. E. Vanderlinde, C. J. Von Benken, CM. Davin, und A. R. Crockett, „Fast, Clean and Low Damage Deprocessing Using Inductively Coupled and RIE Plasmas“, gehalten auf der ISTFA 1996: Proceedings of the 22nd International Symposium for Testing and Failure Analysis (ASM International), 1996, S. 73-76 (4).
- [137] S. O. Koswatta, S. J. Koester, und W. Haensch, „1D broken-gap tunnel transistor with MOSFET-like on-currents and sub-60mV/dec subthreshold swing“, in *Electron Devices Meeting (IEDM), 2009 IEEE International*, 2009, S. 1–4.
- [138] J. D. Dow und D. Redfield, „Toward a Unified Theory of Urbach’s Rule and Exponential Absorption Edges“, *Phys Rev B*, Bd. 5, Nr. 2, S. 594–610, Jan. 1972.
- [139] M. Oehme, „Methode zur Bestimmung der Adatomkonzentration von Dotierstoffen“, Universität Stuttgart, Stuttgart, 2003.
- [140] E. Kasper und M. Oehme, „Surface segregation determination by epitaxy temperature steps“, *Appl. Phys. Lett.*, Bd. 76, Nr. 24, S. 3573–3575, 2000.
- [141] H. Jorke, E. Kasper, und K. Lyutovich, „Properties of Silicon Germanium and SiGe: Carbon“, in *Institution of Electrical Engineers*, London, 2000, S. 287.
- [142] K. Boucart und A. M. Ionescu, „Length scaling of the Double Gate Tunnel {FET} with a high-K gate dielectric“, *Solid-State Electron.*, Bd. 51, Nr. 11–12, S. 1500–1507, 2007.
- [143] K. K. Bhuiwarka, M. Born, M. Schindler, M. Schmidt, T. Sulima, und I. Eisele, „P-Channel Tunnel Field-Effect Transistors down to Sub-50 nm Channel Lengths“, *Jpn. J. Appl. Phys.*, Bd. 45, S. 3106–3109, 2006.



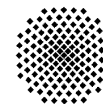
- [144] K. K. Bhuiwarka, J. Schulze, und I. Eisele, „A simulation approach to optimize the electrical parameters of a vertical tunnel FET“, *Electron Devices IEEE Trans. On*, Bd. 52, Nr. 7, S. 1541–1547, 2005.
- [145] D. C. Herbert, „Breakdown voltage in ultra-thin pin diodes“, *Semicond. Sci. Technol.*, Bd. 8, Nr. 11, S. 1993, 1993.
- [146] SILVACO Inc., Santa Clara, CA 95054., *SILVACO ATLAS User’s Manual. 2012.* 2012.
- [147] K. K. Young, „Short-channel effect in fully depleted SOI MOSFETs“, *Electron Devices IEEE Trans. On*, Bd. 36, Nr. 2, S. 399–402, Feb. 1989.
- [148] J. Guo, J. Wang, E. Polizzi, S. Datta, und M. Lundstrom, „Electrostatics of nanowire transistors“, *Nanotechnol. IEEE Trans. On*, Bd. 2, Nr. 4, S. 329–334, Dez. 2003.
- [149] J. C. S. Woo, K. W. Terrill, und P. K. Vasudev, „Two-dimensional analytic modeling of very thin SOI MOSFETs“, *Electron Devices IEEE Trans. On*, Bd. 37, Nr. 9, S. 1999–2006, Sep. 1990.
- [150] J. Appenzeller, J. Knoch, M. T. Bjork, H. Riel, H. Schmid, und W. Riess, „Toward Nanowire Electronics“, *Electron Devices IEEE Trans. On*, Bd. 55, Nr. 11, S. 2827–2845, Nov. 2008.
- [151] M. G. Bardon, H. P. Neves, R. Puers, und C. Van Hoof, „Pseudo-Two-Dimensional Model for Double-Gate Tunnel FETs Considering the Junctions Depletion Regions“, *Electron Devices IEEE Trans. On*, Bd. 57, Nr. 4, S. 827–834, 2010.
- [152] Y. Taur, X. Liang, W. Wang, und H. Lu, „A continuous, analytic drain-current model for DG MOSFETs“, *Electron Device Lett. IEEE*, Bd. 25, Nr. 2, S. 107–109, Feb. 2004.
- [153] E. Gondro, „Hochfrequenz-Modellierung des MOS-Transistors“, Universität der Bundeswehr, München, 2002.
- [154] L. Zhang, X. Lin, J. He, und M. Chan, „An Analytical Charge Model for Double-Gate Tunnel FETs“, *Electron Devices IEEE Trans. On*, Bd. 59, Nr. 12, S. 3217–3223, Dez. 2012.
- [155] P. A. Patel, P. A. Patel, und P. A. Patel, „Steep Turn On/Off “Green ” Tunnel Transistors“, University of California at Berkeley, Berkeley, 2010.
- [156] H. C. Pao und C. T. Sah, „Effects of diffusion current on characteristics of metal-oxide (insulator)-semiconductor transistors“, *Solid-State Electron.*, Bd. 9, Nr. 10, S. 927–937, Okt. 1966.
- [157] I. Eisele, H. Lochner, und M. Schlosser, „SiGe Tunnel Field Effect Transistors“, *ECS Trans.*, Bd. 16, Nr. 10, S. 961–973, 2008.
- [158] M. Schmid, M. Oehme, M. Gollhofer, M. Kasche, E. Kasper, und J. Schulze, „Electroluminescence of unstrained and tensile strained Ge-on-Si LEDs“, in *Group IV Photonics (GFP), 2012 IEEE 9th International Conference on*, 2012, S. 135–137.
- [159] R. Koerner u. a., „Electrically pumped lasing from Ge Fabry-Perot resonators on Si“, *Opt Express*, Bd. 23, Nr. 11, S. 14815–14822, Juni 2015.
- [160] V. R. D’Costa, J. Tolle, J. Xie, J. Menéndez, und J. Kouvetakis, „Transport properties of doped GeSn alloys“, *AIP Conf. Proc.*, Bd. 1199, Nr. 1, S. 57–58, 2010.
- [161] J. Werner, M. Oehme, A. Schirmer, E. Kasper, und J. Schulze, „Molecular beam epitaxy grown GeSn p-i-n photodetectors integrated on Si“, *Thin Solid Films*, Bd. 520, Nr. 8, S. 3361–3364, 2012.
- [162] S. Gupta u. a., „GeSn channel nMOSFETs: Material potential and technological outlook“, in *VLSI Technology (VLSIT), 2012 Symposium on*, 2012, S. 95–96.
- [163] A. A. Tonkikh u. a., „Pseudomorphic GeSn/Ge(001) quantum wells: Examining indirect band gap bowing“, *Appl. Phys. Lett.*, Bd. 103, Nr. 3, S. , 2013.
- [164] S. Gupta u. a., „GeSn technology: Extending the Ge electronics roadmap“, in *Electron Devices Meeting (IEDM), 2011 IEEE International*, 2011, S. 16.6.1–16.6.4.
- [165] E. Kasper, J. Werner, M. Oehme, S. Escoubas, N. Burle, und J. Schulze, „Growth of silicon based germanium tin alloys“, *Thin Solid Films*, Bd. 520, Nr. 8, S. 3195–3200, 2012.

- [166] E.-H. Toh, G. H. Wang, G. Samudra, und Y.-C. Yeo, „Device physics and design of germanium tunneling field-effect transistor with source and drain engineering for low power and high performance applications“, *J. Appl. Phys.*, Bd. 103, Nr. 10, S. 104504, 2008.
- [167] G. Wentzel, „Eine Verallgemeinerung der Quantenbedingungen für die Zwecke der Wellenmechanik“, *Z. Für Phys.*, Bd. 38, Nr. 6–7, S. 518–529, 1926.
- [168] H. A. Kramers, „Wellenmechanik und halbzahlige Quantisierung“, *Z. Für Phys.*, Bd. 39, Nr. 10–11, S. 828–840, 1926.
- [169] L. N. Brillouin, „La mécanique ondulatoire de Schrödinger: une méthode générale de résolution par approximations successives“, *Comptes Rendus L'Academie Sci.*, Bd. 183, Nr. 24, 1926.
- [170] A. Schlissel, „The initial development of the {WKB} solutions of linear second order ordinary differential equations and their use in the connection problem“, *Hist. Math.*, Bd. 4, Nr. 2, S. 183–204, 1977.
- [171] M. Abul Khayer und Roger K. Lake, „Modeling and Performance Analysis of III-V Nanowire Field-Effect Transistors“, 8900.
- [172] H. Flietner, „The E(k) Relation for a Two-Band Scheme of Semiconductors and the Application to the Metal-Semiconductor Contact“, *Phys. Status Solidi B*, Bd. 54, Nr. 1, S. 201–208, 1972.
- [173] R. Landauer, „Spatial Variation of Currents and Fields Due to Localized Scatterers in Metallic Conduction“, *IBM J. Res. Dev.*, Bd. 1, Nr. 3, S. 223–231, Juli 1957.
- [174] R. Landauer, „Electrical resistance of disordered one-dimensional lattices“, *Philos. Mag.*, Bd. 21, Nr. 172, S. 863–867, 1970.
- [175] S. Datta, F. Assad, und M. S. Lundstrom, „The silicon {MOSFET} from a transmission viewpoint“, *Superlattices Microstruct.*, Bd. 23, Nr. 3–4, S. 771–780, 1998.
- [176] M. Lundstrom, „Elementary Scattering Theory of the Si MOSFET“, *IEEE Electron Device Lett*, Bd. 18, S. 361–363, 1997.
- [177] M. Lundstrom, „Near-Equilibrium Transport: Fundamentals and Applications“, Electrical and Computer Engineering, Purdue University, West Lafayette, IN, 2011.
- [178] M. Lundstrom und Z. Ren, „Essential physics of carrier transport in nanoscale MOSFETs“, *Electron Devices IEEE Trans. On*, Bd. 49, Nr. 1, S. 133–141, Jan. 2002.
- [179] Y. Kruglyak, „Landauer-Datta-Lundstrom Generalized Transport Model for Nanoelectronics“, *J. Nanosci.*, Bd. 2014, S. 15, 2014.
- [180] M. Lundstrom, *Notes on the Ballistic MOSFET*. 2016.
- [181] S. Datta, *Electronic Transport in Mesoscopic Systems*. Cambridge University Press, 1995.
- [182] P. J. Price, *Monte Carlo Calculation of Electron Transport in Solids*, Bd. 15. Elsevier Science, 1981.
- [183] D. Bednarczyk und J. Bednarczyk, „The approximation of the Fermi-Dirac integral {F12} (η)“, *Phys. Lett. A*, Bd. 64, Nr. 4, S. 409–410, 1978.
- [184] E. Kasper, K. Lyutovich, M. Bauer, und M. Oehme, „New virtual substrate concept for vertical {MOS} transistors“, *Thin Solid Films*, Bd. 336, Nr. 1–2, S. 319–322, 1998.
- [185] A. E. Romanov, W. Pompe, G. Beltz, und J. S. Speck, „Modeling of Threading Dislocation Density Reduction in Heteroepitaxial Layers“, *Phys. Status Solidi B*, Bd. 199, Nr. 1, S. 33–49, 1997.
- [186] E. Kasper und K. Lyutovich, „Strain adjustment with thin virtual substrates“, *Solid-State Electron.*, Bd. 48, Nr. 8, S. 1257–1263, 2004.
- [187] M. Oehme, J. Werner, und E. Kasper, „Molecular beam epitaxy of highly antimony doped germanium on silicon“, *J. Cryst. Growth*, Bd. 310, Nr. 21, S. 4531–4534, Okt. 2008.



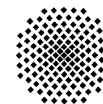
- [188] M. M. Frank *u. a.*, „Hafnium oxide gate dielectrics grown from an alkoxide precursor: structure and defects“, *Mater. Sci. Eng. B*, Bd. 109, Nr. 1–3, S. 6–10, 2004.
- [189] W. Shockley und W. T. Read, „Statistics of the Recombinations of Holes and Electrons“, *Phys Rev*, Bd. 87, Nr. 5, S. 835–842, Sep. 1952.
- [190] M. Schmid *u. a.*, „Franz–Keldysh effect of germanium-on-silicon p–i–n diodes within a wide temperature range“, *Thin Solid Films*, Bd. 525, Nr. 0, S. 110–114, 2012.
- [191] E. Kasper und D. Paul, *Silicon quantum integrated circuits: silicon-germanium heterostructure devices : basics and realisations*. Dordrecht: Springer, 2006.
- [192] S. Mookerjee, D. Mohata, T. Mayer, V. Narayanan, und S. Datta, „Temperature-Dependent I-V Characteristics of a Vertical In_{0.53}Ga_{0.47}As Tunnel FET“, *Electron Device Lett. IEEE*, Bd. 31, Nr. 6, S. 564–566, Juni 2010.
- [193] R.-M. Lin *u. a.*, „Room temperature unpassivated InAs p-i-n photodetectors grown by molecular beam epitaxy“, *Electron Devices IEEE Trans. On*, Bd. 44, Nr. 2, S. 209–213, Feb. 1997.
- [194] A. Mallik und A. Chattopadhyay, „Drain-Dependence of Tunnel Field-Effect Transistor Characteristics: The Role of the Channel“, *Electron Devices IEEE Trans. On*, Bd. 58, Nr. 12, S. 4250–4257, 2011.
- [195] R. Rooyackers *u. a.*, „Ge-Source Vertical Tunnel FETs Using a Novel Replacement-Source Integration Scheme“, *Electron Devices IEEE Trans. On*, Bd. 61, Nr. 12, S. 4032–4039, Dez. 2014.
- [196] S. A. Dayeh, J. Huang, A. V. Gin, und S. T. Picraux, „Synthesis, fabrication, and characterization of Ge/Si axial nanowire heterostructure tunnel FETs“, in *Nanotechnology (IEEE-NANO), 2010 10th IEEE Conference on*, 2010, S. 238–241.
- [197] A. Chattopadhyay und A. Mallik, „Impact of a Spacer Dielectric and a Gate Overlap/Underlap on the Device Performance of a Tunnel Field-Effect Transistor“, *Electron Devices IEEE Trans. On*, Bd. 58, Nr. 3, S. 677–683, März 2011.
- [198] J. Schulze, M. Oehme, und J. Werner, „Molecular beam epitaxy grown Ge/Si pin layer sequence for photonic devices“, *Thin Solid Films*, Bd. 520, Nr. 8, S. 3259–3261, 2012.
- [199] M. Oehme, J. Werner, M. Kaschel, O. Kirfel, und E. Kasper, „Germanium waveguide photodetectors integrated on silicon with {MBE}“, *Thin Solid Films*, Bd. 517, Nr. 1, S. 137–139, 2008.
- [200] D. Kuzum, „Interface-engineered Ge MOSFETs for Future High Performance CMOS Applications“, Stanford University, Stanford, 2009.
- [201] N. Taoka, W. Mizubayashi, Y. Morita, S. Migita, H. Ota, und S. Takagi, „Nature of interface traps in Ge metal-insulator-semiconductor structures with GeO₂ interfacial layers“, *J. Appl. Phys.*, Bd. 109, Nr. 8, S. 084508, 2011.
- [202] R. Zhang, J. C. Lin, X. Yu, M. Takenaka, und S. Takagi, „Impact of plasma post oxidation temperature on interface trap density and roughness at GeO_x/Ge interfaces“, *Microelectron. Eng.*, Bd. 109, Nr. 0, S. 97–100, 2013.
- [203] D. Schmeisser *u. a.*, „Surface oxidation states of germanium“, *Surf. Sci.*, Bd. 172, Nr. 2, S. 455–465, 1986.
- [204] G. Lucovsky, S. Lee, J. P. Long, H. Seo, und J. Lüning, „Elimination of GeO₂ and Ge₃N₄ interfacial transition regions and defects at n-type Ge interfaces: A pathway for formation of n-MOS devices on Ge substrates“, *Appl. Surf. Sci.*, Bd. 254, Nr. 23, S. 7933–7937, 2008.
- [205] S. Mirabella, D. De Salvador, E. Napolitani, E. Bruno, und F. Priolo, „Mechanisms of boron diffusion in silicon and germanium“, *J. Appl. Phys.*, Bd. 113, Nr. 3, S. , 2013.
- [206] D. Haehnel, I. A. Fischer, A. Hornung, A.-C. Koellner, und J. Schulze, „Tuning the Ge(Sn) Tunneling FET: Influence of Drain Doping, Short Channel, and Sn Content“, *Electron Devices IEEE Trans. On*, Bd. PP, Nr. 99, S. 1–1, 2014.

- [207] S.-Y. Park, S. J. Di Giacomo, R. Anisha, P. R. Berger, P. E. Thompson, und I. Adesida, „Fabrication of nanowires with high aspect ratios utilized by dry etching with SF₆:C₄F₈ and self-limiting thermal oxidation on Si substrate“, *J. Vac. Sci. Technol. B Microelectron. Nanometer Struct.*, Bd. 28, Nr. 4, S. 763, 2010.
- [208] L. Knoll u. a., „Si Nanowire tunnel FETs with epitaxial NiSi₂ source/drain and dopant segregation“, in *Solid-State and Integrated Circuit Technology (ICSICT), 2012 IEEE 11th International Conference on*, 2012, S. 1–4.
- [209] S. W. Lee u. a., „Influences of metal, non-metal precursors, and substrates on atomic layer deposition processes for the growth of selected functional electronic materials“, *Coord. Chem. Rev.*, Bd. 257, Nr. 23–24, S. 3154–3176, 2013.
- [210] J. Geng und D. Hähnel, „PEALD – Atomlagenabscheidung mit Plasmaunterstützung erschließt neue Anwendungsfelder“, *WOMag*, Bd. 13, Nr. 4, S. 114316, Apr. 2014.
- [211] S. Günter, „Bachelorarbeit: Abscheidung und Charakterisierung von High-k-ALD-Gate-Oxiden“, Universität Stuttgart, Stuttgart, Okt. 2013.
- [212] D. Hähnel, „Maskenlayout AMOS2010“. internes Dokument, IHT, 2011.
- [213] S. Naasz und E.-M. Tropper, „Bachelorarbeit: Entwicklung einer Prozesssequenz für die Herstellung von Gate-Strukturen vertikaler Pillar-TFETs“, Universität Stuttgart, Stuttgart, Aug. 2012.
- [214] A. Blech, „Bachelorarbeit: Herstellung und Charakterisierung von vertikalen Nanowire-GeSn-p-Kanal-TFETs“, Universität Stuttgart, Stuttgart, 2014.
- [215] J. Stehle, „Forschungsarbeit: Schottky-Barrier-MOSFET“. 01-Nov-2010.
- [216] T. Schäfer, „Diplomarbeit: Herstellung anwendungsbezogener SiO₂-Grabenstrukturen im sub- μ m-Bereich durch RIE und ICP-Prozesse“, Universität Stuttgart, Stuttgart, Juni 200 n. Chr.
- [217] D. L. Flamm, „Mechanisms of silicon etching in fluorine- and chlorine-containing plasmas“, *Pure Appl. Chem.*, Bd. 62, Nr. 9, S. 1709–1720, 1990.
- [218] J. Schulze, A. Blech, I. A. Fischer, D. Hähnel, S. Naasz, und E.-M. Tropper, „Vertical Ge heterojunction gate-all-around Tunneling Field Effect Transistors with Ge_{0.92}Sn_{0.08}-delta-layers at the tunneling junction“, in *Silicon-Germanium Technology and Device Meeting (ISTDM), 2014 7th International*, 2014, S. 165–166.
- [219] S. Naasz und E.-M. Tropper, „Forschungsarbeit: Entwicklung einer Prozesssequenz für die Herstellung von Gate-Strukturen vertikaler Pillar-TFETs“. Juni-2013.
- [220] G. Knoblinger, „Modellierung des Hochfrequenzverhaltens von MOS-Transistoren“, Universität der Bundeswehr, München, 2001.
- [221] R. Paul, *MOS-Feldeffekttransistoren*. 1972.
- [222] J. Zarate-Garza, „Masterarbeit: Manufacturing and AC/DC characterization of Vertical Germanium Pillar TFET transistor“, Universität Stuttgart, Stuttgart, Jan. 2014.
- [223] M. Chan u. a., „Quasi-2D Compact Modeling for Double-Gate MOSFET“, gehalten auf der NSTI-Nanotech 2004, 2004, Bd. 2, S. 108–113.
- [224] R. Narang, S. Manoj, R. Gupta, und M. Gupta, „Device And Circuit Level Performance Comparison Of Tunnel FET Architectures And Impact Of Heterogeneous Gate Dielectric“, *J. Semicond. Technol. Sci.*, Bd. 13, Nr. 3, S. 224–236, 2013.
- [225] S. Mookerjee, R. Krishnan, S. Datta, und V. Narayanan, „On Enhanced Miller Capacitance Effect in Interband Tunnel Transistors“, *Electron Device Lett. IEEE*, Bd. 30, Nr. 10, S. 1102–1104, Okt. 2009.
- [226] Takuichi Hirano, Kenichi Okada, Jiro Hirokawa, und Makoto Ando, „Accuracy Investigation of De-Embedding Techniques Based on Electromagnetic Simulation for On-Wafer RF Measurements“, in *Numerical Simulation - From Theory to Industry*, N1 39230 UR



- <http://www.intechopen.com/books/export/citation/Zotero/numerical-simulation-from-theory-to-industry/accuracy-investigation-of-de-embedding-techniques-based-on-electromagnetic-simulation-for-on-wafer-r>.
- [227] Agilent Technologies, „The ABCs of De-Embedding“, Agilent Technologies, Application Note 3, 2012.
- [228] A. M. Mangan, S. P. Voinigescu, S. Member, M. Yang, und M. Tazlauanu, *De-Embedding Transmission Line Measurements for Accurate Modeling of IC Designs*. .
- [229] A. R. Trivedi, S. Carlo, und S. Mukhopadhyay, „Exploring tunnel-FET for Ultra Low Power Analog Applications: A Case Study on Operational Transconductance Amplifier“, in *Proceedings of the 50th Annual Design Automation Conference*, New York, NY, USA, 2013, S. 109:1–109:6.
- [230] H. Liu, S. Datta, und V. Narayanan, „Steep switching tunnel FET: A promise to extend the energy efficient roadmap for post-CMOS digital and analog/RF applications“, in *Low Power Electronics and Design (ISLPED), 2013 IEEE International Symposium on*, 2013, S. 145–150.
- [231] S. Mookerjee, R. Krishnan, S. Datta, und V. Narayanan, „Effective Capacitance and Drive Current for Tunnel FET (TFET) CV/I Estimation“, *Electron Devices IEEE Trans. On*, Bd. 56, Nr. 9, S. 2092–2098, Sep. 2009.
- [232] H. G. Virani, S. Gundapaneni, und A. Kottantharayil, „Double Dielectric Spacer for the Enhancement of Silicon p-Channel Tunnel Field Effect Transistor Performance“, *Jpn. J. Appl. Phys.*, Bd. 50, Nr. 4S, S. 04DC04, 2011.
- [233] Q. T. Zhao, J. M. Hartmann, und S. Mantl, „An Improved Si Tunnel Field Effect Transistor With a Buried Strained Source“, *IEEE Electron Device Lett.*, Bd. 32, Nr. 11, S. 1480–1482, Nov. 2011.
- [234] Y. Yang *u. a.*, „Towards direct band-to-band tunneling in P-channel tunneling field effect transistor (TFET): Technology enablement by Germanium-tin (GeSn)“, in *Electron Devices Meeting (IEDM), 2012 IEEE International*, 2012, S. 16.3.1-16.3.4.
- [235] M. Bauer *u. a.*, „Ge–Sn semiconductors for band-gap and lattice engineering“, *Appl. Phys. Lett.*, Bd. 81, Nr. 16, S. 2992–2994, 2002.
- [236] J. Kouvetakis, J. Menendez, und A. V. G. Chizmeshya, „TIN-BASED GROUP IV SEMICONDUCTORS: New Platforms for Opto- and Microelectronics on Silicon“, *Annu. Rev. Mater. Res.*, Bd. 36, Nr. 1, S. 497–554, 2006.
- [237] O. Gurdal *u. a.*, „Low-temperature growth and critical epitaxial thicknesses of fully strained metastable $\text{Ge}_{1-x}\text{Sn}_x$ ($x \leq 0.26$) alloys on $\text{Ge}(001)2 \times 1$ “, *J. Appl. Phys.*, Bd. 83, Nr. 1, S. 162–170, 1998.
- [238] R. F. C. Farrow *u. a.*, „The growth of metastable, heteroepitaxial films of α -Sn by metal beam epitaxy“, *J. Cryst. Growth*, Bd. 54, Nr. 3, S. 507–518, 1981.
- [239] M. T. Asom, E. A. Fitzgerald, A. R. Kortan, B. Spear, und L. C. Kimerling, „Epitaxial growth of metastable SnGe alloys“, *Appl. Phys. Lett.*, Bd. 55, Nr. 6, S. 578–579, 1989.
- [240] A. Gasseng *u. a.*, „GeSn/Ge heterostructure short-wave infrared photodetectors on silicon“, *Opt. Express*, Bd. 20, Nr. 25, S. 27297, Nov. 2012.
- [241] S. Gupta, „Germanium-tin (GeSn) Technology“, Stanford University, 2013.
- [242] M. Oehme *u. a.*, „GeSn p-i-n detectors integrated on Si with up to 4% Sn“, *Appl. Phys. Lett.*, Bd. 101, Nr. 14, S. 141110-141110–4, Okt. 2012.
- [243] G. Sun und S.-Q. Yu, „The SiGeSn approach towards Si-based lasers“, *Solid-State Electron.*, Bd. 83, S. 76–81, Mai 2013.
- [244] G. He und H. A. Atwater, „Interband Transitions in $\text{Sn}_x\text{Ge}_{1-x}$ Alloys“, *Phys Rev Lett*, Bd. 79, Nr. 10, S. 1937–1940, Sep. 1997.

- [245] H. Lin, R. Chen, W. Lu, Y. Huo, T. I. Kamins, und J. S. Harris, „Investigation of the direct band gaps in Ge_{1-x}Sn_x alloys with strain control by photoreflectance spectroscopy“, *Appl. Phys. Lett.*, Bd. 100, Nr. 10, S. , 2012.
- [246] S. Gupta, B. Magyari-Kope, Y. Nishi, und K. C. Saraswat, „Achieving direct band gap in germanium through integration of Sn alloying and external strain“, *J. Appl. Phys.*, Bd. 113, Nr. 7, S. 073707, 2013.
- [247] S. Wirths u. a., „Band engineering and growth of tensile strained Ge/(Si)GeSn heterostructures for tunnel field effect transistors“, *Appl. Phys. Lett.*, Bd. 102, Nr. 19, S. , 2013.
- [248] K. Lu Low, Y. Yang, G. Han, W. Fan, und Y.-C. Yeo, „Electronic band structure and effective mass parameters of Ge_{1-x}Sn_x alloys“, *J. Appl. Phys.*, Bd. 112, Nr. 10, S. , 2012.
- [249] Peng-Fei Guo u. a., „Tunneling Field-Effect Transistor: Effect of Strain and Temperature on Tunneling Current“, *Electron Device Lett. IEEE*, Bd. 30, Nr. 9, S. 981–983, 2009.
- [250] G.-E. Chang, S.-W. Chang, und S.-L. Chuang, „Strain-Balanced Ge(z)Sn(1-z)-Si(x)Ge(y)Sn(1-x-y) Multiple-Quantum-Well Lasers“, *Quantum Electron. IEEE J. Of*, Bd. 46, Nr. 12, S. 1813–1820, Dez. 2010.
- [251] P. Moontragoon, Z. Ikonić, und P. Harrison, „Band structure calculations of Si–Ge–Sn alloys: achieving direct band gap materials“, *Semicond. Sci. Technol.*, Bd. 22, Nr. 7, S. 742, 2007.
- [252] S. Swirhun, K. C. Saraswat, und R. M. Swanson, „Contact resistance of LPCVD W/Al and PtSi/W/Al metallization“, *Electron Device Lett. IEEE*, Bd. 5, Nr. 6, S. 209–211, Juni 1984.
- [253] H.-Y. Chang, B. Adams, P.-Y. Chien, J. Li, und J. C. S. Woo, „Improved Subthreshold and Output Characteristics of Source-Pocket Si Tunnel FET by the Application of Laser Annealing“, *Electron Devices IEEE Trans. On*, Bd. 60, Nr. 1, S. 92–96, Jan. 2013.
- [254] Q. Huang, R. Huang, Z. Zhan, C. Wu, Y. Qiu, und Y. Wang, „Performance improvement of Si Pocket-Tunnel FET with steep subthreshold slope and high ION/IOFF ratio“, in *Solid-State and Integrated Circuit Technology (ICSICT), 2012 IEEE 11th International Conference on*, 2012, S. 1–3.
- [255] D. Leonelli u. a., „Silicide Engineering to Boost Si Tunnel Transistor Drive Current“, *Jpn. J. Appl. Phys.*, Bd. 50, Nr. 4, S. 04DC05, 2011.
- [256] K. Jeon u. a., „Si tunnel transistors with a novel silicided source and 46mV/dec swing“, in *VLSI Technology (VLSIT), 2010 Symposium on*, 2010, S. 121–122.
- [257] M. H. Lee, S. T. Chang, T.-H. Wu, und W.-N. Tseng, „Driving Current Enhancement of Strained Ge (110) p-Type Tunnel FETs and Anisotropic Effect“, *Electron Device Lett. IEEE*, Bd. 32, Nr. 10, S. 1355–1357, 2011.
- [258] A. Villalon u. a., „Strained tunnel FETs with record ION: first demonstration of ETSOI TFETs with SiGe channel and RSD“, in *VLSI Technology (VLSIT), 2012 Symposium on*, 2012, S. 49–50.
- [259] S. C. Lin und J. B. Kuo, „Modeling the fringing electric field effect on the threshold voltage of FD SOI nMOS devices with the LDD/sidewall oxide spacer structure“, *Electron Devices IEEE Trans. On*, Bd. 50, Nr. 12, S. 2559–2564, Dez. 2003.
- [260] K. Boucart, „Simulation of Double-Gate Silicon Tunnel FETs with a High-k Gate Dielectric“, STI, Lausanne, 2010.
- [261] E. Miranda und J. Suñé, „Electron transport through broken down ultra-thin SiO₂ layers in MOS devices“, *Microelectron. Reliab.*, Bd. 44, Nr. 1, S. 1–23, 2004.



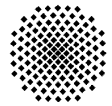
VI. Im Rahmen dieser Arbeit entstandene Publikationen

Wissenschaftliche Veröffentlichungen

- 2009 M. Oehme, D. Hähnel, J. Werner, M. Kaschel, O. Kirfel, E. Kasper, J. Schulze, "Si Esaki diodes with high peak to valley current ratios", *Appl. Phys. Lett.* 95, 242109 (2009) (3 pages)
- 2010 M. Oehme, M. Sarlija, D. Hähnel, M. Kaschel, J. Werner, E. Kasper and J. Schulze, "Very high room temperature peak to valley current ratio in Si Esaki Tunneling Diodes", *IEEE Trans. Electron Devices*, vol. 57, no. 11, pp. 2857-2863 (2010)
- 2011 D. Hähnel, M. Oehme, M. Sarlija, A. Karmous, M. Schmid, J. Werner, O. Kirfel, I. Fischer, J. Schulze, "Germanium vertical Tunneling Field-Effect Transistor", *Solid State Electronics*, 62, pp.132-137 (2011)
- 2013 I.A. Fischer, A.S.M. Bakibillah, M. Golve, D. Hähnel, H. Isemann, A. Kottantharayil, M. Oehme, and J. Schulze, "Silicon Tunneling Field-Effect Transistors With Tunneling in Line With the Gate Field", *IEEE Electron Device Letters*, Vol. 34, No. 2, pp. 154-156 (2013).
- J. Geng und D. Hähnel, „PEALD – Atomlagenabscheidung mit Plasmaunterstützung erschließt neue Anwendungsfelder“, *WOMag*, 04/13, S. 22-25
- 2015 D. Hähnel, I. A. Fischer, A. Hornung, A. C. Koellner and J. Schulze, "Tuning the Ge(Sn) Tunneling FET: Influence of Drain Doping, Short Channel, and Sn Content," in *IEEE Transactions on Electron Devices*, vol. 62, no. 1, pp. 36-43, Jan. 2015. doi: 10.1109/TED.2014.2371065
- Jörg Schulze, Andreas Blech, Arnab Datta, Inga A. Fischer, Daniel Hähnel, Sandra Naasz, Erlend Rolseth, and Eva-Maria Tropper, "Vertical Ge and GeSn Heterojunction Gate-All-Around Tunneling Field Effect Transistors," 2014 7th International Silicon-Germanium Technology and Device Meeting (ISTDM), published in a special issue of *Solid-State Electronics*, Volume 110, August 2015, Pages 59-64

Konferenzbeiträge

- 2010 **Awarded contribution:** D. Hähnel, M. Oehme, A. Karmous, M. Schmid, Jens Werner, Olaf Kirfel, and J. Schulze, „Ge Tunneling Field Effect Transistor“, ISTDM 2010 Stockholm with Best Student Presentation Award
- 2012 D. Hähnel, I. Fischer, H. Isemann M. Oehme, and J. Schulze, „Tuning the Germanium TFET: Device Optimization for Maximum Ion “, ISTDM 2012 Berkeley
- H. Isemann, I. Fischer, D. Hähnel, M. Oehme, and J. Schulze, „Improving the On-Resistance of FETs for Power Applications“, ISTDM 2012 Berkeley
- I. Fischer, D. Hähnel, H. Isemann, A. Kottantharayil, G. Murali, M. Oehme, and J. Schulze, „Si Tunneling Field Effect Transistor with Sharp Doping and Enlarged Tunneling Region“, ISTDM 2012 Berkeley
- 2014 Jörg Schulze, Andreas Blech, Arnab Datta, Inga A. Fischer, Daniel Hähnel, Sandra Naasz, Erlend Rolseth and Eva-Maria Tropper, “Vertical Ge and GeSn Heterojunction Gate-All-Around Tunneling Field Effect Transistors,” 2014 7th International Silicon-Germanium Technology and Device Meeting (ISTDM)



VII. Lebenslauf

Beruflicher Werdegang

04/2014 – PRESENT PLASMA ELECTRONIC GMBH, Neunburg, Germany

02/2009 – 01/2014 UNIVERSITÄT STUTTGART, Stuttgart, Germany

04/2003 – 09/2003 JUNG APPARATEBAU GMBH, Affalterbach, Germany

07/2002 – 03/2003 GEBSANRGT. 8., Kempten, Germany

Akademischer Werdegang

02/2009 – 01/2014 Universität Stuttgart, Stuttgart, Germany
PhD, in the field of nanowire tunneling FETs, presumably completed in 2014

10/2005 – 01/2009 Universität Stuttgart, Stuttgart, Germany
Physics (Dipl.-Phys.), Diploma thesis at Max-Planck-Institute for Metals Research, Dep. Prof. Dr. Gisela Schütz, work group electron theory of Prof. Dr. Fähnle, Thema: “Bose theory of damping of a moving magnetic domain wall by phonon dragging”

10/2003 – 09/2005 Universität Duisburg-Essen, Essen, Germany
Vordiplom Physik
Mit Fokus auf Physik, Mathematik und Informatik

09/1999 – 06/2002 Gewerbliche Schule (Technisches Gymnasium), Schwäbisch Hall, Germany
Allgemeine Hochschulreife, mit den Leistungsfächern in Physik, Maschinenbau und Elektrotechnik

VIII. Eidesstattliche Erklärung

Ich erkläre hiermit, dass ich die vorliegende Arbeit selbständig und nur unter Benutzung der angegebenen Literatur und Hilfsmittel angefertigt habe. Wörtlich übernommene Sätze oder Satzteile sind als Zitat belegt, andere Anlehnungen hinsichtlich Aussage und Umfang unter Quellenangabe kenntlich gemacht. Die Arbeit hat in gleicher oder ähnlicher Form noch keiner Prüfungsbehörde vorgelegen und ist nicht veröffentlicht.

Freiburg, Juli 19