

# Metodología para diseñar un Contador de Centenas utilizando Alliance CAD

## A Methodology approached for design a hundred meter using Alliance CAD

**Snaider Carrillo L.\*, Alfredo Ponce I.\*\***

*\*MSc en Ingeniería Electrónica. Profesor Asociado  
Universidad Autónoma del Caribe.*

*Director del Grupo de Investigación en Ingeniería Electrónica  
y Telecomunicaciones – IET. snaidercl@ieee.org*

*\*\*MSc en Ingeniería Electrónica. Miembro del Grupo de  
Investigación en Ingeniería Naval. poncea@javeriana.edu.co*

### RESUMEN

En estas últimas décadas la tecnología ha avanzado exponencialmente, permitiendo que casi cualquier persona con las herramientas y conocimiento correctos pueda hacer lo que hace pocos años era la tarea de un grupo de especialistas dotados con potentes estaciones de trabajo y herramientas de software muy costosas. Una muestra de esto, es que hoy en día se cuenta con software libre muy elaborado que ha permitido hacer uso de la metodología de diseño para implementar sistemas electrónicos digitales, ya sea como tema de investigación formal o como simple instrumento para llevar a cabo un proyecto académico.

En este artículo se explica la metodología seguida para diseñar una Contador de Centenas, haciendo uso de un completo conjunto de herramientas que cubren muchas etapas del proceso de diseño de un circuito VLSI, incorporados dentro de una herramienta de desarrollo electrónico llamado Alliance CAD, desarrollado en el Laboratorio LIP6 de la Universidad Pierre y Marie Curie de París.

**Palabras clave:** Alliance CAD, EDA, Unidad Lógica Aritmética, VHDL, HDL.

### ABSTRACT

Nowadays, the rapidly increase of technologies and free- specialized software have led many people with skills and good knowledge to do research and development projects that were only possible if they had powerful workstations and expensive specialized software. Furthermore, the constant use of free- specialized software, which is based on standardized rules that can be use not only for formal investigation but for academic purposes as well, has allow reducing cost for designing and synthesizing digital circuits.

In this paper, we show the methodology to design a digital counter, using Alliance CAD, which is a complete free-set tools developed by LIP6 at the University Pierre and Marie Curie of Paris, and allow to design and synthesize digital VLSI circuits.

**Key words:** Alliance CAD, EDA, Digital Counter, VHDL, HDL.

## Introducción

La tecnología ha avanzado hasta un punto donde casi cualquier persona con las herramientas y conocimientos correctos podría hacer lo que hace pocos años era la tarea de un grupo de especialistas dotados con potentes estaciones de trabajo y herramientas de software muy costosas. Tenemos hoy en día computadoras potentes y baratas, así como también software libre muy elaborado que han permitido encontrar muchas maneras de desarrollar diversos temas de investigación. Esto es verdad no solamente en el campo del diseño de páginas web, producción de películas, composición de música, y de muchos otros campos, sino que ahora se puede extender también al campo del diseño de circuitos digitales [1].

En la actualidad, con este tipo de herramientas orientadas al diseño se realizan trabajos de investigación e incluso se prueban circuitos integrados complejos. Tomando ventaja de esto, la Pontificia Universidad Javeriana, ofrece a través de su programa de Maestría en Ingeniería Electrónica un curso de Introducción al Diseño VLSI. En este curso se empieza por dar las nociones básicas de los circuitos y arquitecturas de los sistemas digitales elementales y cuál es la metodología a seguir para poder, de una manera eficiente, utilizar estos bloques para implementar un sistema digital más complejo. Como una forma de poner en práctica todos los conceptos teóricos dados en la asignatura, se realizó el presente proyecto, haciendo uso de la herramienta de diseño Alliance CAD.

A pesar de que la herramienta de diseño Alliance CAD ha sido desarrollada por voluntarios e investigadores como un medio para enseñar y hacer investigación, dicha herramienta carece de la documentación adecuada para los que empiezan a trabajar en el campo del diseño digital y aquellos que necesitan información detallada para usar esas herramientas en educación, diseño básico y/o prueba de circuitos.

Por lo anterior, el objetivo de este artículo es presentar la metodología seguida en la asignatura Introducción al Diseño VLSI para Diseñar un Contador de Centenas desde su especificación hasta llegar a la implementación física del circuito (layout), con el fin de que el mismo sirva como referencia para aquellos estudiantes e investigadores que deseen hacer uso de la herramienta de diseño Alliance CAD en sus futuras investigaciones.

Lo que resta de este artículo se encuentra organizado de la siguiente manera: en la Sección 2, se presenta la metodología seguida para lograr la descripción funcional del contador de centenas, así como también las herramientas utilizadas en cada uno de los pasos de diseño para lograr la implementación física del circuito (layout). Finalmente, en la Sección 3, se presentan las conclusiones.

## Metodología

Los lenguajes de descripción de hardware HDLs (Hardware Description Languages), dentro de los que se encuentran VHDL y Verilog, son utilizados para describir la arquitectura y el comportamiento de un sistema electrónico.

Comparando un HDL con los lenguajes para el desarrollo de software, en un lenguaje de este tipo, un programa que se encuentra en un lenguaje de alto nivel necesita ser ensamblado a código máquina para poder ser interpretado por el procesador. De igual manera, el objetivo de un HDL es describir un circuito mediante un conjunto de instrucciones de alto nivel de abstracción para que el programa de síntesis genere un circuito que pueda ser implementado físicamente [2].

Además, hoy en día los HDLs están ampliamente difundidos y estandarizados bajo la IEEE, (VHDL: IEEE 1076-1993 [3] y Verilog: IEEE 1364-2001[4]), lo cual garantiza una compatibilidad al momento de desarrollar un sistema digital en particular. Con la aparición de herramientas EDA (Electronic Design Automation), como Alliance CAD, que integran en el mismo marco de trabajo las herramientas de descripción de hardware, síntesis y simulación, apareció la necesidad de disponer de una metodología de descripción de circuitos, que permitiera el intercambio de información entre las diferentes herramientas que componen el ciclo de diseño (Ver figura 1) [5].

Debido a lo anterior, en la actualidad se hace uso de la metodología de diseño que utilizan los HDL, llamada metodología descendente o Top to Down (Ver figura 2), la cual permite describir (modelado) el comportamiento de los bloques de alto nivel, analizándolos (simulación), y refinar la funcionalidad de alto nivel requerida antes de llegar a niveles más bajos de abstracción de la implementación del diseño.

**Figura 1.** Flujo de diseño de un sistema digital, haciendo uso de herramientas EDA.



La metodología descendente posee varias ventajas sobre la metodología de diseño electrónico tradicional, especialmente en lo que tiene que ver con el diseño a nivel de compuertas.

A continuación se presentan las ventajas más relevantes:

Es posible verificar el funcionamiento del sistema dentro del proceso de diseño sin necesidad de implementar el circuito.

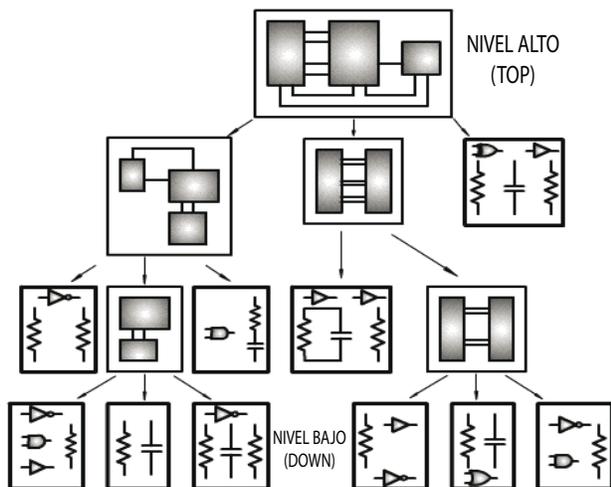
Las simulaciones del diseño, antes de que éste sea implementado mediante compuertas, permiten probar la arquitectura del sistema para tomar decisiones en cuanto a cambios en el diseño.

Las herramientas de síntesis disponibles en los EDA pueden transformar automáticamente un circuito obtenido mediante la síntesis de un código en algún HDL, a un circuito pequeño y rápido. Además, es posible aplicar ciertas características al circuito dentro de la descripción para afinar detalles (retardos, simplificación de compuertas etc.) en la arquitectura del circuito y que estas características se obtengan en la síntesis de la descripción.

VHDL, en particular permite diseño modular, es decir permite dividir o descomponer un diseño hardware y su descripción VHDL en unidades más pequeñas. Lo cual permite el trabajo en equipo y de esta forma, al estructurar el desarrollo del proyecto, cada integrante del equipo de diseño puede trabajar en subproyectos antes de integrar todas las partes del sistema.

Por un lado se puede describir indicando los diferentes componentes que lo forman, de esta manera se tiene especificado un circuito y se sabe cómo funciona. Por otra parte, se puede estar trabajando en paralelo en el desarrollo de las celdas necesarias para sintetizar el prototipo final.

**Figura 2.** Metodología de diseño descendente (Top-Down).



Dado que el fin último de este proyecto es emular a pequeña escala el flujo de diseño para el desarrollo de sistemas digitales, se escogió un bloque digital que permitiera visualizar de forma clara como debía ser el flujo a seguir para desarrollar el sistema digital completo haciendo uso de jerarquías, es decir tomar bloques básicos para construir el sistema completo.

Debido a lo anterior se escogió un contador de centenas, la cual se desarrolló a partir de instanciar jerarquías de bloques básicos de contadores de decenas, haciendo uso de la metodología Top to Down utilizando las herramientas que Alliance CAD proporciona para tal fin.

Para llevar a cabo el diseño se decidió dividir los grupos de diseño en dos partes: un primer grupo que se encargó de la descripción funcional del sistema, su posterior descripción haciendo uso de un lenguaje HDL y simulación funcional. El segundo grupo se encargó del análisis de tiempos y optimización del tamaño de las compuertas, así como también de la realización de las celdas que se utilizaron posteriormente para sintetizar el contador de centenas.

Para lograr lo anterior, se utilizó el sistema de herramientas proporcionados por Alliance CAD que nos permite diseñar y probar un circuito desde su especificación hasta su disposición física (layout) y muchos de sus formatos intermedios. Alliance CAD proporciona una biblioteca de celdas que permite el diseño de circuitos independiente de la tecnología usada en la etapa de fabricación. Las bibliotecas de celdas incluyen una biblioteca de celdas estándar y varias celdas de propósito específico para memoria y la lógica de la trayectoria de datos.

Muchas de las herramientas de Alliance CAD pueden ser utilizadas independientemente como herramientas de línea de comando. Otros tienen un interfaz gráfica que requiere las bibliotecas Motif y X11 usadas en muchas variantes de UNIX y Linux. Si proporcionamos un archivo tecnológico adecuado, el diseño obtenido con Alliance puede ser convertido a formato CIF o GDSII para la fabricación del circuito.

Adicionalmente, Alliance CAD proporciona una biblioteca de celdas que permite el diseño de circuitos independiente de la tecnología usada en la etapa de fabricación, la cual no fue utilizada, ya que una de las tareas de los grupos era diseñar celdas personalizadas que cumplieran con las especificaciones de velocidad obtenidas después de realizar el análisis de retardos. El diseño del sistema completo se llevo a cabo en tres pasos [6].

**2.1. Descripción Funcional del Sistema**

En esta etapa del diseño se especificaron las características propias del sistema.

Se diseñó y sintetizó un contador de centenas haciendo uso de la herramienta Alliance, con las siguientes características (Ver tabla 1):

**Tabla 1.** Características de Entradas/Salidas del Contador de Centenas

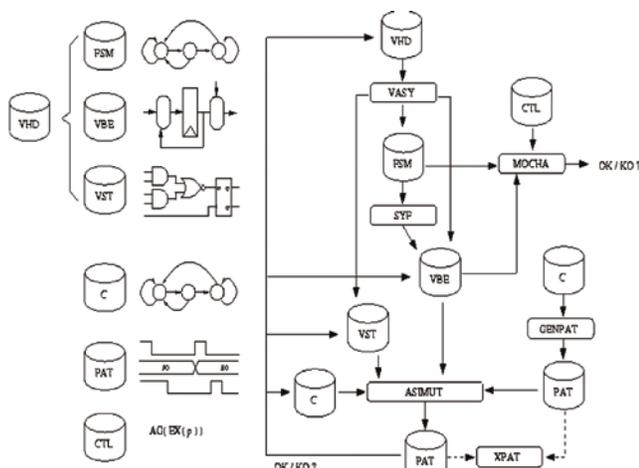
Entradas del Sistema	Salidas del Sistema
1 señal de reloj	1 salida de 4 bits para el contador de decenas en BCD (más significativo)
1 señal de reset	1 salida de 4 bits para el contador de unidades en BCD (menos significativo)

El contador es sensible al flanco de subida de la señal de reloj, haciendo que el contador de unidades aumente en uno su cuenta anterior; si la cuenta se encuentra en el valor de 9, este se coloca en cero. Esta es la condición necesaria para aumentar las decenas. Para hacerlo primero se verifica que no esté en el valor 9 las decenas, situación en la cual no se aumenta, sino que se le asigna el valor de 0.

### 2.2 Síntesis a Nivel de RTL

Una vez definidos los parámetros del sistema, se realiza la descripción del sistema digital de la lógica de transferencia de registros (RTL) mediante un lenguaje de descripción de hardware, en este caso VHDL, la funcionalidad de la arquitectura. Luego se procede a hacer uso de las herramientas que proporciona Alliance CAD para asignar celdas equivalentes al circuito descrito en alto nivel, de la siguiente forma (Ver figura 3):

**Figura 3.** Flujo de diseño en la etapa de Síntesis a Nivel de RTL.



VASY (VHDL Analyzer for sYntesis) es una herramienta que convierte una descripción en VHDL en

una descripción sintetizable equivalente que puede ser usada por Alliance CAD u otras herramientas de síntesis. VASY puede manejar un subconjunto en VHDL más grande que los admitidos por Alliance CAD. BOOG (Binding and Optimizing On Gates) mapea una descripción funcional sobre una librería de celdas Standard. Esta herramienta construye una red booleana equivalente a la descripción en VHDL. Luego, para cada función booleana de cada nodo de la red, trata de encontrar una celda o un conjunto de celdas que implemente dicha función. El resultado es una descripción estructural basada en las celdas previamente hechas.

ASIMUT (A SIMULATION Tool). Esta herramienta es utilizada para simular y generar las salidas del circuito para un sistema de entradas determinado previamente por un patrón de referencia.

Aprovechando que Alliance CAD puede sintetizar layout de circuitos a partir del uso de un lenguaje de descripción de hardware como lo es VHDL, y este a su vez permite hacer uso de descripciones de circuito en alto nivel, se procedió a realizar el contador de centenas utilizando dos contadores anidados de la siguiente forma (Ver figura 4).

**Figura 4.** Descripción comportamental del contador de centenas, descrito mediante VHDL

```

LIBRARY IEEE;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_unsigned.all ;

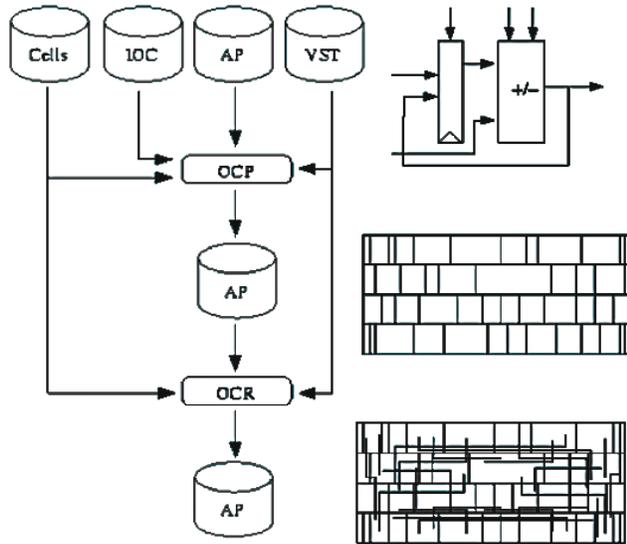
ENTITY contador_centenas IS
    PORT (
        VDD      : IN STD_LOGIC ;
        VSS      : IN STD_LOGIC;
        CLK      : IN STD_LOGIC;
        RESET    : IN STD_LOGIC;
        BCD1     : out STD_LOGIC_VECTOR (3 DOWNTO 0);
        BCD0     : out STD_LOGIC_VECTOR (3 DOWNTO 0)
    );
END contador_centenas;

ARCHITECTURE nada OF contador_centenas IS
    Signal BCD1_S, BCD0_S : STD_LOGIC_VECTOR (3 DOWNTO 0);
BEGIN
    PROCESS (CLK)
    BEGIN
        IF CLK'EVENT AND CLK = '1' THEN
            IF RESET = '1' THEN
                BCD1_S <= "0000"; BCD0_S <= "0000";
            ELSIF RESET = '0' THEN
                IF BCD0_S = "1001" THEN
                    BCD0_S <= "0000";
                    IF BCD1_S = "1001" THEN
                        BCD1_S <= "0000";
                    ELSE
                        BCD1_S <= BCD1_S + '1';
                    END IF;
                ELSE
                    BCD0_S <= BCD0_S + '1';
                END IF;
            END IF;
        END IF;
    END PROCESS;
    BCD1 <= BCD1_S;
    BCD0 <= BCD0_S;
END;
    
```

### 2.3 Enrutado de Celdas

Hasta este punto se tienen las celdas necesarias, pero hace falta generar el layout del sistema, para esto se hace necesario el uso de las siguientes herramientas mencionadas a continuación (Ver figura 5 y 6):

**Figura 5.** Flujo de diseño en la etapa de Enrutamiento de Celdas.



OCP, es una herramienta que usa Alliance para la ubicación de componentes o celdas. Utiliza como entrada un netlist de celdas estándar. El formato del netlist puede ser formato VHDL estructural, EDIF o algún formato interno de Alliance CAD. La salida generada es un archivo de layout físico con celdas y conectores ya colocados.

NERO (Negotiating Router) es la herramienta encargada de enlazar las celdas ubicadas previamente por el OCP.

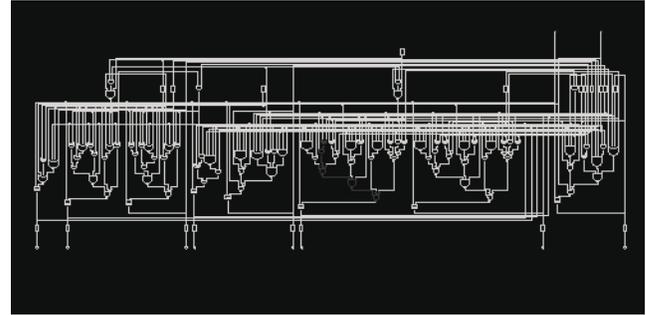
COUGAR es un extractor jerárquico, que puede extraer los parámetros internos de los transistores CMOS utilizados para la sintetización del sistema. También extrae capacitancias y resistencias parasitas en formato .SPI, el cual posteriormente es utilizado para caracterizar un dispositivo en un simulador de circuitos como por ejemplo Orcad o SPICE.

En la Tabla 2, se resumen los datos más importantes obtenidos al momento de general el layout del contador de centenas haciendo uso de la herramienta Alliance CAD.

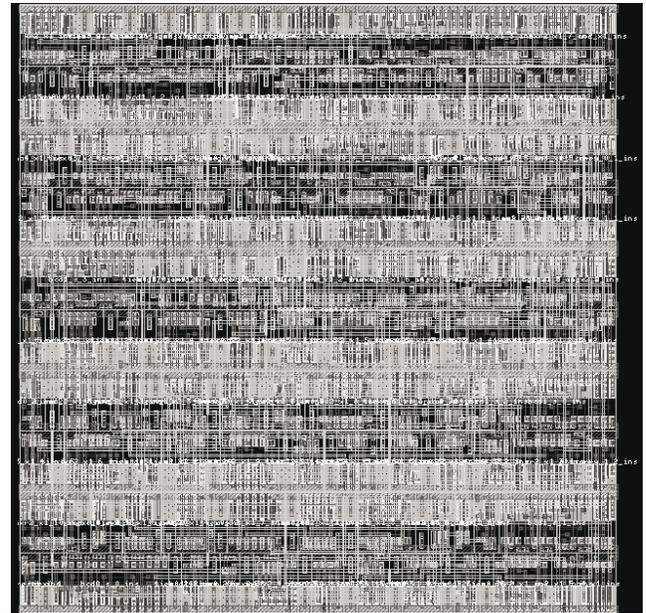
**Tabla 2.** Resultados de la sintetización del Contador de Centenas utilizando Alliance CAD

<i>Datos obtenidos por el Boog (Building and Optimizing on Gates) de Alliance CAD</i>	
Número de compuertas	116
Tecnología CMOS	$\lambda = 180\mu$
Área total	191250 $\lambda^2$
Retraso máximo:	2.982 ns

**Figura 6.** Contador de centenas a) síntesis a nivel de compuertas sintetizado por la herramienta boog de Alliance. b) Layout del contador de centenas generado por las herramientas OCP y Nero de Alliance CAD.



(a)



(b)

## Conclusiones

A lo largo del presente artículo se muestra cómo las técnicas de diseño Top to Down, así como el uso de herramientas EDA como Alliance CAD permiten reducir drásticamente las fases de desarrollo de sistemas digitales complejos.

De igual forma, se muestra que es posible desarrollar sistemas digitales desde su especificación hasta llegar a obtener el layout, haciendo uso de las herramientas de libre distribución y muy pocos recursos, algo que hace pocos años era la tarea de un grupo de especialistas dotados con potentes estaciones de trabajo y herramientas de software muy costosas.

Por último hay que mencionar que al ser Alliance CAD una herramienta de libre distribución y haber sido desarrollada por investigadores y educadores como medios para enseñar y/o hacer investigación, carece de la documentación adecuada para los que empiezan a trabajar en el campo del diseño digital.

### Referencias

[1] Sud, R.; Chaitanya, M. "Revolution in electronic EDA education/research: GOSPL". Microelectronic Systems Education, 2005. (MSE apos;05). Proceedings. 2005 IEEE International Conference on Volume, Issue, 12-14 June 2005 Page(s): 37 - 38 Digital Object Identifier 10.1109/MSE.2005.48.

[2] Carlson, S. (1990). "Introduction to HDL-Based Design Using VHDL". United States: Synopsys, Inc.

[3] «IEEE standard VHDL language reference manual» ANSI/IEEE Std 1076-1993 , vol., no., pp.i-, 6 Jun 1994

[4] "IEEE Std 1364 -2005 IEEE Standard for Verilog Hardware Description Language," IEEE Std 1364-2005 (Revision of IEEE Std 1364-2001), vol., no., pp. 0\_1-560, 2006

[5] Rabaey, J. M; Chandrakasan, A; Nicolie, B. "Circuitos integrados Digitales". España. Pearson Prentice Hall, 2004.

[6] Alliance CAD Official Website:  
<http://www.asim.lip6.fr/recherche/alliance/olddoc/> (4 de Marzo de 2008).