Neue
Prozessor-Architekturen
für Desktop-PC

Bernd Däne
Technische Universität Ilmenau

Fakultät I/A - Institut TTI
Postfach 100565, D-98684 Ilmenau
Tel. 0-3677-69-1433

bdaene@theoinf.tu-ilmenau.de *http://www.theoinf.tu-ilmenau.de/ra1/*

Gliederung

- Einleitung: Was bisher geschah
- So werden Prozessoren schneller gemacht
- Die Tricks bei INTEL
- Der Weg zum PowerPC
- Ausblick: Die Konkurrenz schläft nicht.

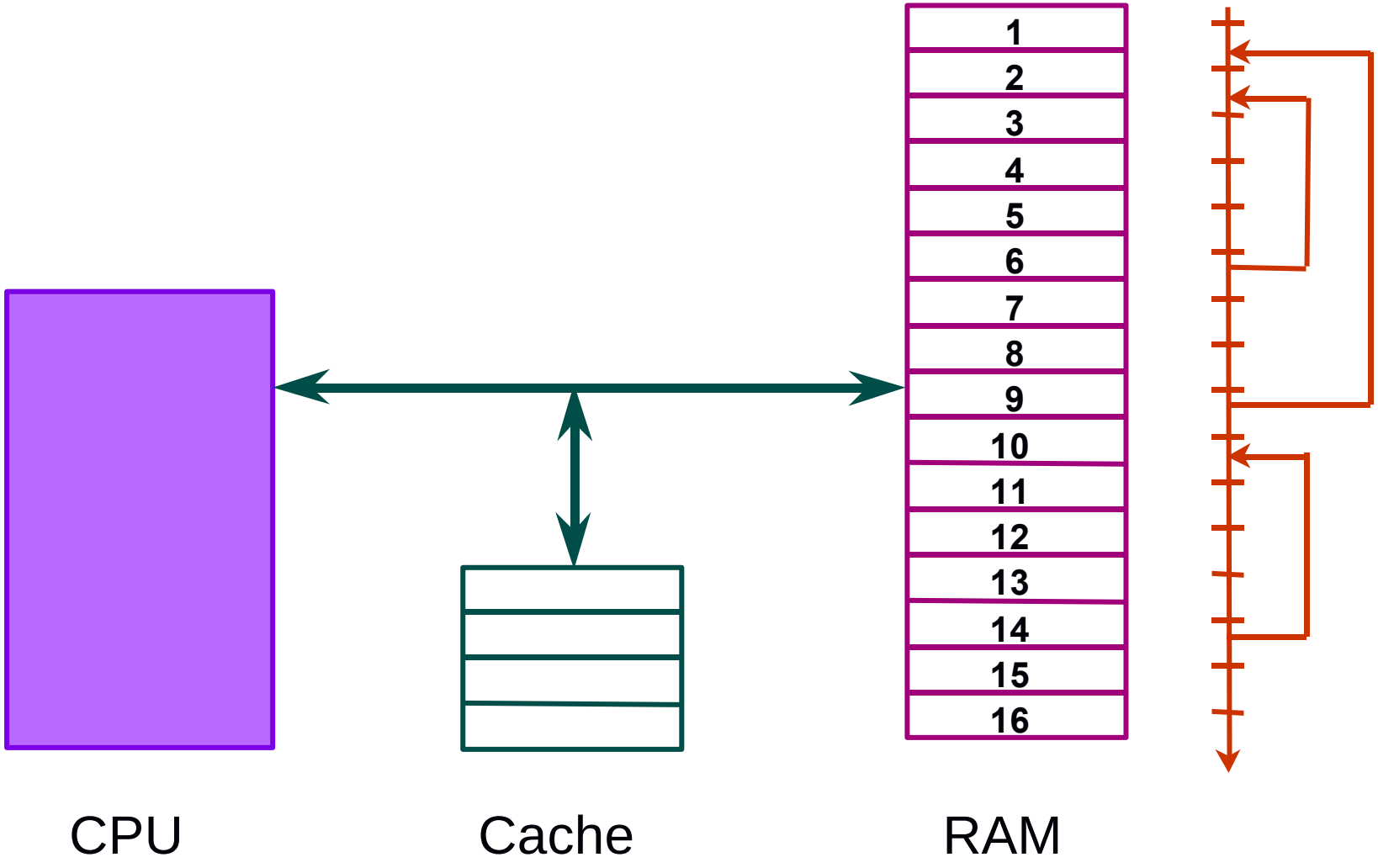
Anwendungs-Domänen von Mikroprozessoren

	Desktop-PC	Workstation & Mainframe	Embedded Control
Rechenleistung	hoch bis sehr hoch	sehr hoch	niedrig bis hoch
Stückzahl pro Typ	sehr hoch	niedrig	hoch
Preis	mittel bis hoch	sehr hoch	niedrig bis mittel
Kompatibilität	sehr wichtig	weniger wichtig	wichtig
Typenvielfalt	begrenzt	mittel	groß
Beispiele	Intel 80x86 Motorola 680x0 PowerPC	Alpha Chip Sparc Proc. MIPS R4x00 HP PA-RISC	8051-Familie 68HC11-Familie 80166-Familie PIC-Familie TMS-Familie .....

So werden Prozessoren schneller gemacht:

- Technologie-Tuning
- On-Chip-Caches & schnelle Busse
- Innere Parallelisierung
- Sprungvorhersage
- Reduzierung / Homogenisierung des Befehlssatzes

Beispiel zum Cache



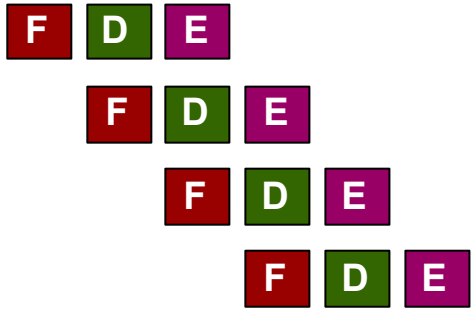
Innere Parallelisierung: Zeichenerklärung

F	**Fetch**	Holen des Operationscodes
D	**Decode**	Entschlüsseln des Operationscodes
E	**Execute**	Ausführen der Operation
A	**Address**	Berechnen der Operandenadresse(n)
R	**Read**	Lesen des/der Operanden
W	**Write**	Schreiben des Ergebnisses

Innere Parallelisierung (1)

- Seriell

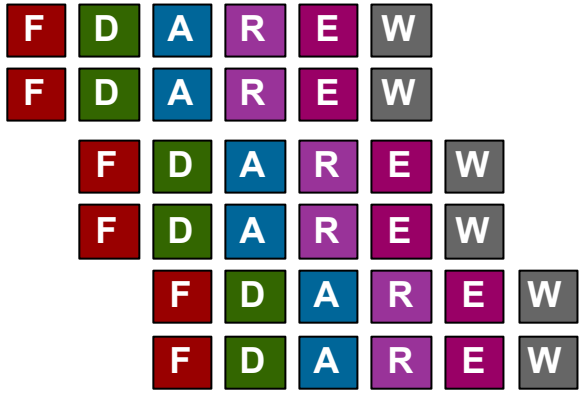
- Pipeline



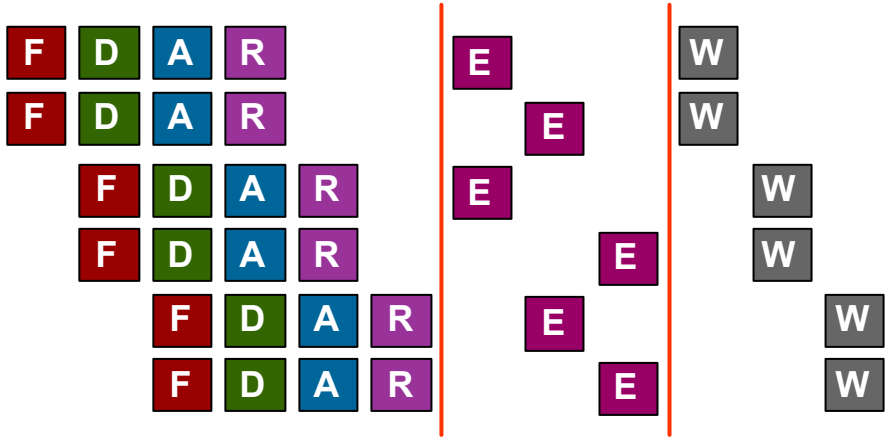
- Super-Pipeline

Innere Parallelisierung (2)

- Superskalar bzw. VLIW



- Out-Of-Order Execution



Modellprozessor

Registersatz:

A	B
C	D
E	F
G	H

Befehlssatz:

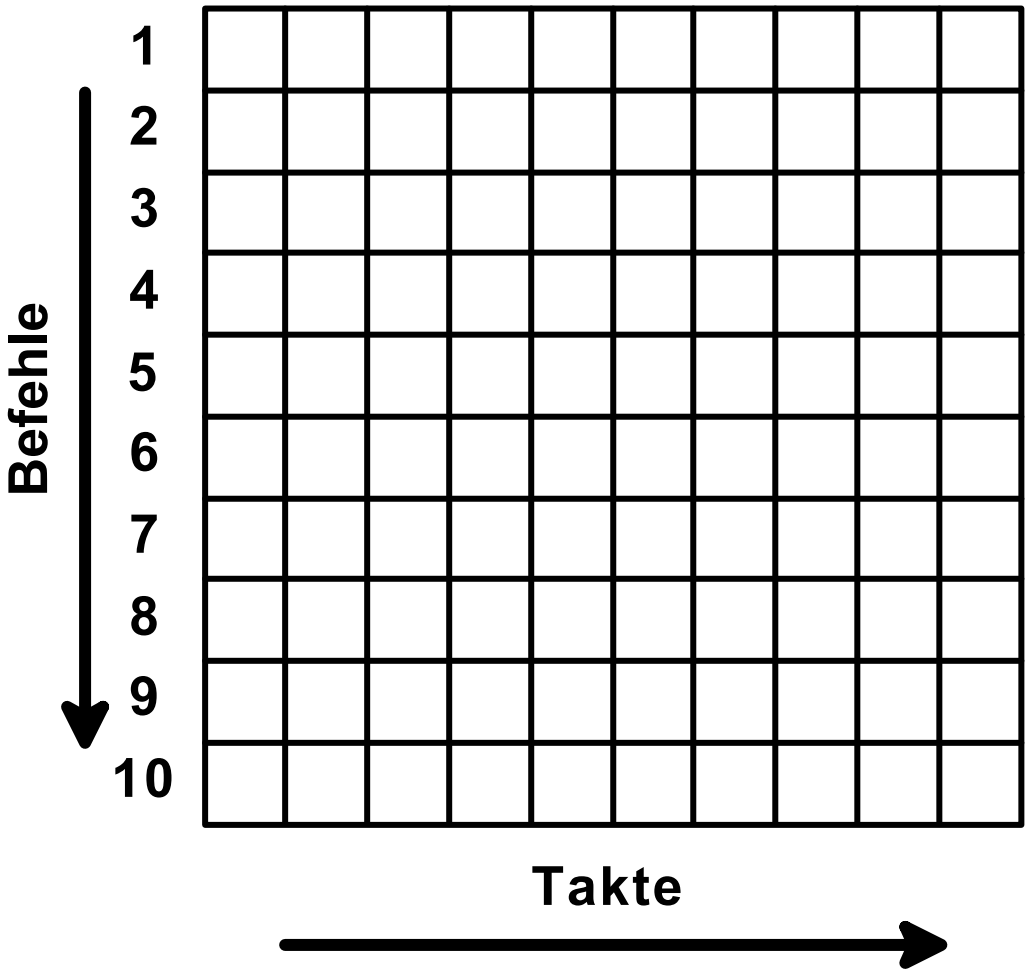
MOVE	**r2,**	**r1**	r2	:= r1	1 Takt
LOAD	**r2,**	**(r1)**	r2	:= (r1)	3 Takte
STORE	**(r2),**	**r1**	(r2)	:= r1	1 Takt
ADD	**r2,**	**r1**	r2	:= r2 + r1	1 Takt

Programmstück:

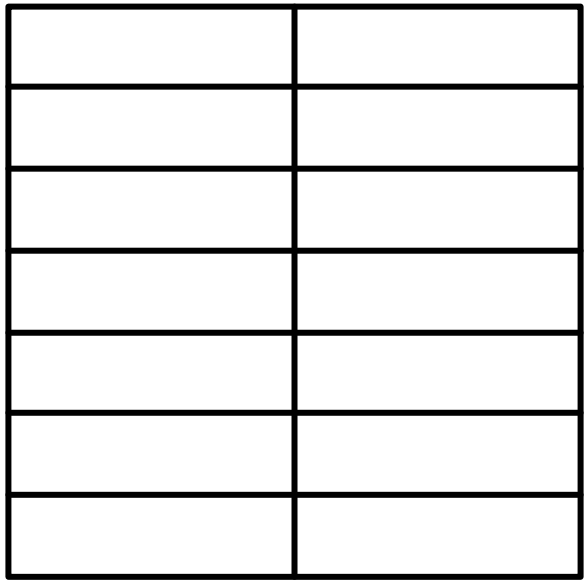
1. **MOVE A, B**
2. **LOAD C, (D)**
3. **ADD A, C**
4. **ADD C, A**
5. **MOVE F, E**
6. **LOAD H, (D)**
7. **STORE (G), F**
8. **ADD E, B**
9. **MOVE A, B**
10. **ADD A, E**

.....

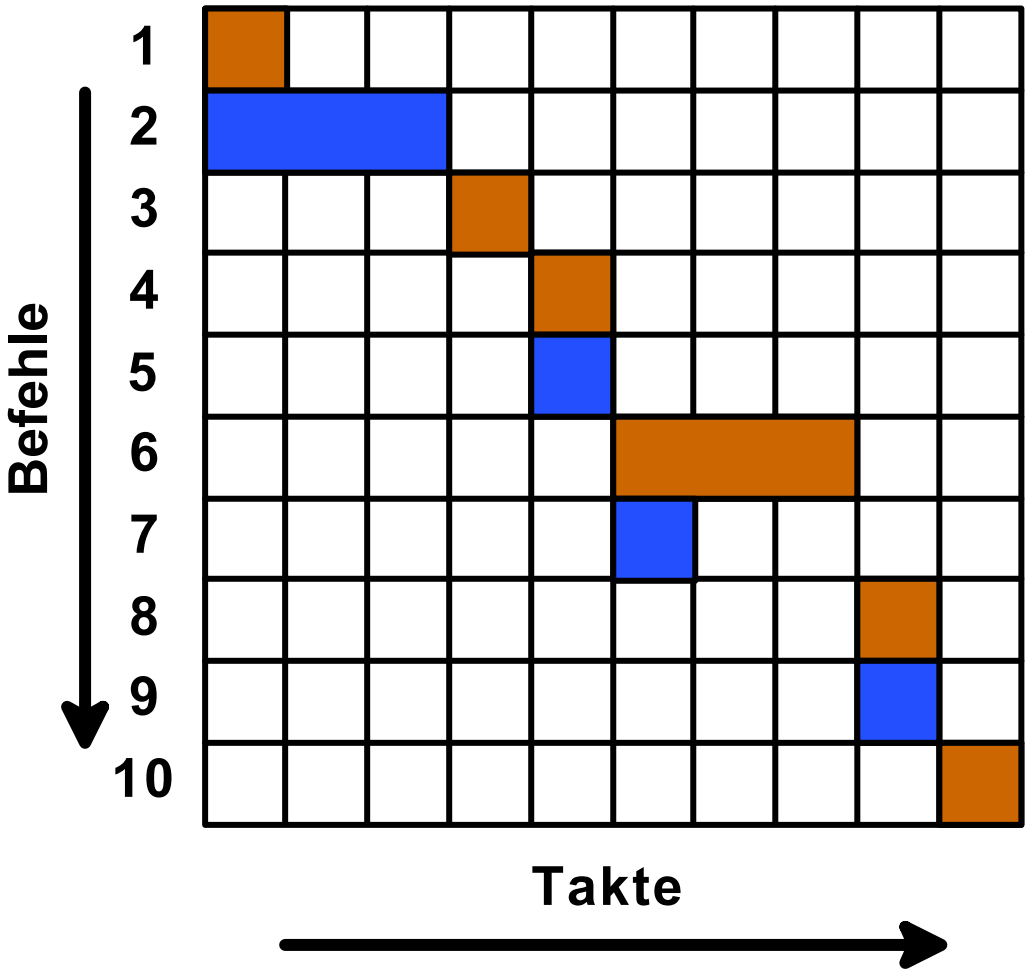
Programmablauf



Register:



Programmablauf (Superskalar)



Modellprozessor

Registersatz:

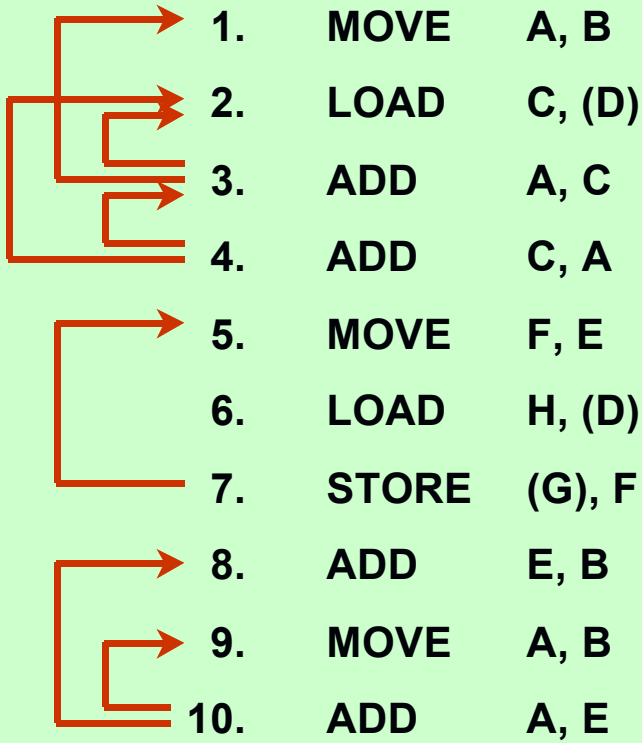
A	B
C	D
E	F
G	H

Befehlssatz:

MOVE	**r2,**	**r1**	r2	:= r1	1 Takt
LOAD	**r2,**	**(r1)**	r2	:= (r1)	3 Takte
STORE	**(r2),**	**r1**	(r2)	:= r1	1 Takt
ADD	**r2,**	**r1**	r2	:= r2 + r1	1 Takt

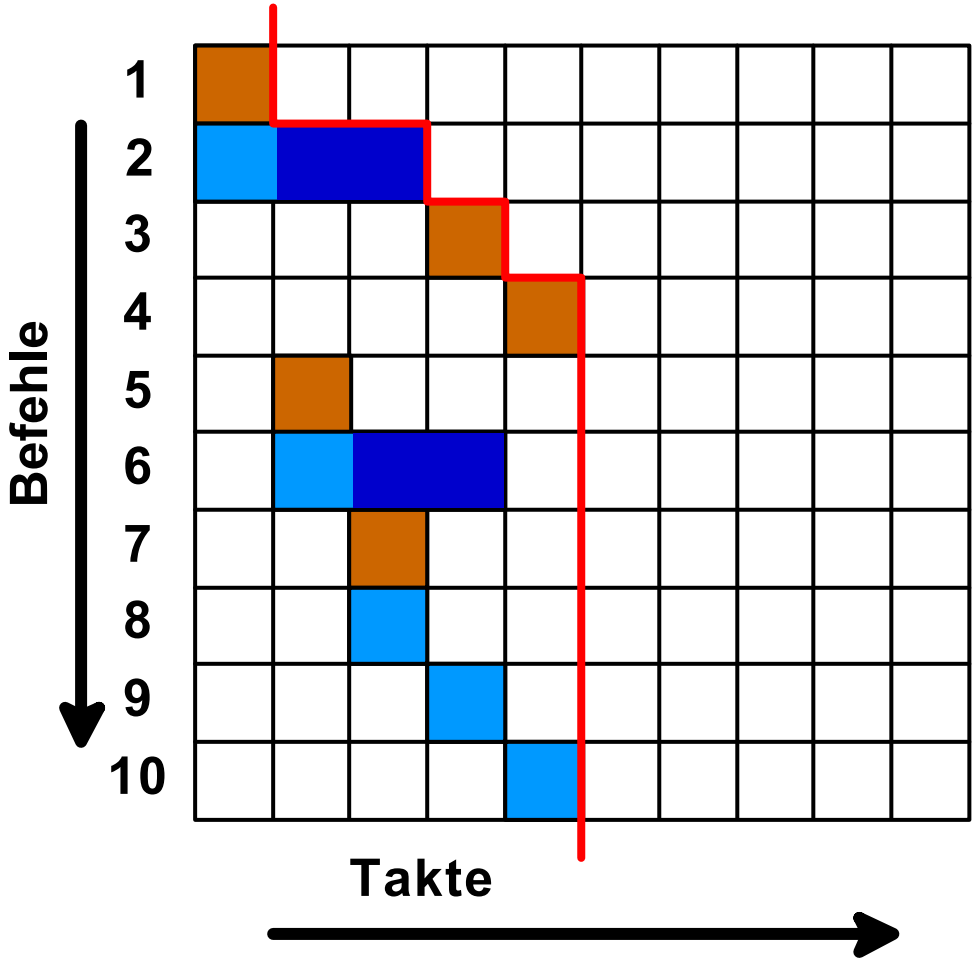
Programmstück

(mit Datenabhängigkeiten):



1. MOVE A, B
2. LOAD C, (D)
3. ADD A, C
4. ADD C, A
5. MOVE F, E
6. LOAD H, (D)
7. STORE (G), F
8. ADD E, B
9. MOVE A, B
10. ADD A, E
.....

Programmablauf (Out-Of-Order)



Register:

A *A*	B
C A	D
E	*F*
G	*H*
A C	F
C	E
A	H

Vorhersage bedingter Sprünge
(Branch prediction)

- Statisch: Die häufigere Variante ist im Befehlscode angegeben.

  (Ermittlung durch Compiler oder Profiler)

- Dynamisch: Der Prozessor wertet zur Laufzeit die Vorgeschichte aus.

  (BTB - Branch Target Buffer)

Merkmale von RISC

Reduced Instruction Set Computing

- Wenige, elementare Befehle
- Viele Register
- Orthogonaler Befehlssatz
- Einheitliche Länge der Befehlscodes
- Nur wenige verschiedene Befehlscode-Formate
- Befehlsausführung stets in einem Takt

Gegenteil: CISC **Complex Instruction Set Computing**

Prozessorreihe 80x86 (Intel)

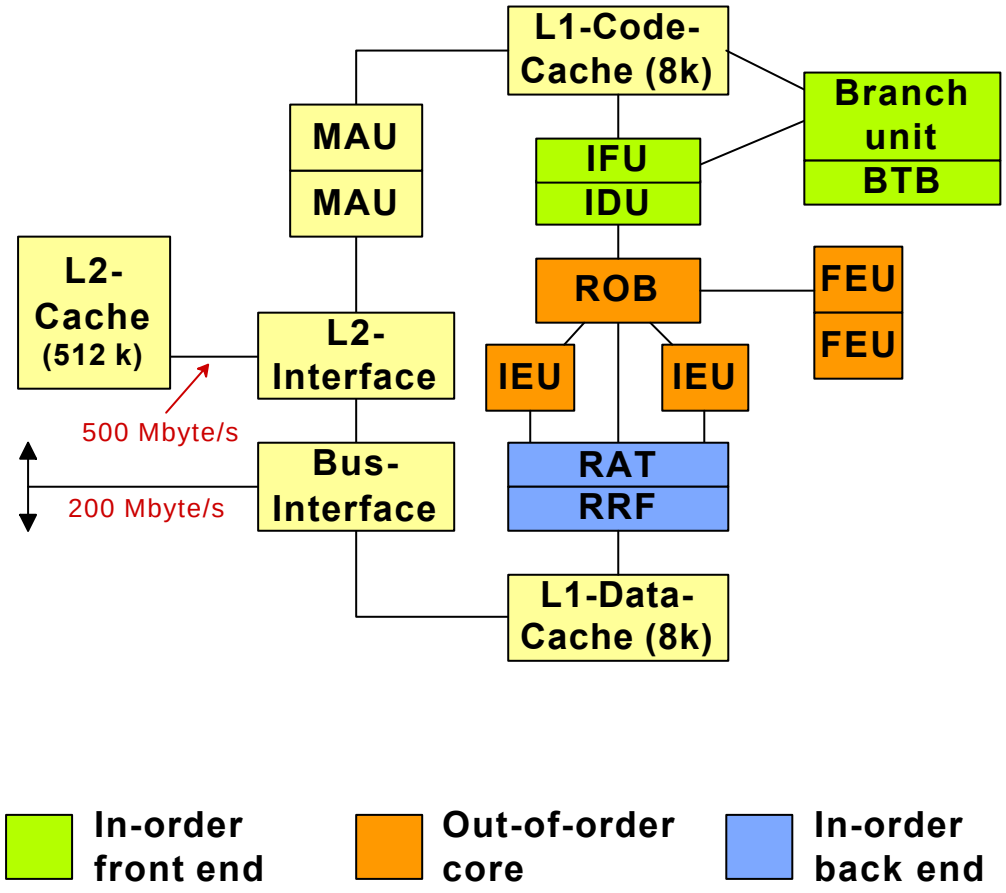
16 bit

- **8086**
  Grundtyp der Reihe
- **80286**
  Pipeline, neuartige Speicherverwaltung

32 bit

- **(80)386**
  Stark erweitertes Programmiermodell
- **(80)486**
  Cache und Coprozessor integriert
- **Pentium (586)**
  Superskalar, Datenbus extern 64 bit
- **Pentium Pro** (alias **P6)**
  Out-Of-Order Execution, L1- & L2-Cache

Architektur des Pentium Pro



L1/L2	Level 1 / Level 2 Cache
MAU	Memory Access Unit
IFU	Instruction Fetch Unit
IDU	Instruction Decode Unit (3x superscalar)
BTB	Branch Target Buffer
ROB	Reorder Buffer (Instruction Pool)
IEU	Integer Execution Unit
FEU	Floating Point Execution Unit
RAT	Register Alias Table
RRF	Retirement Register File

Prozessorreihe 680x0 (Motorola)

32 bit

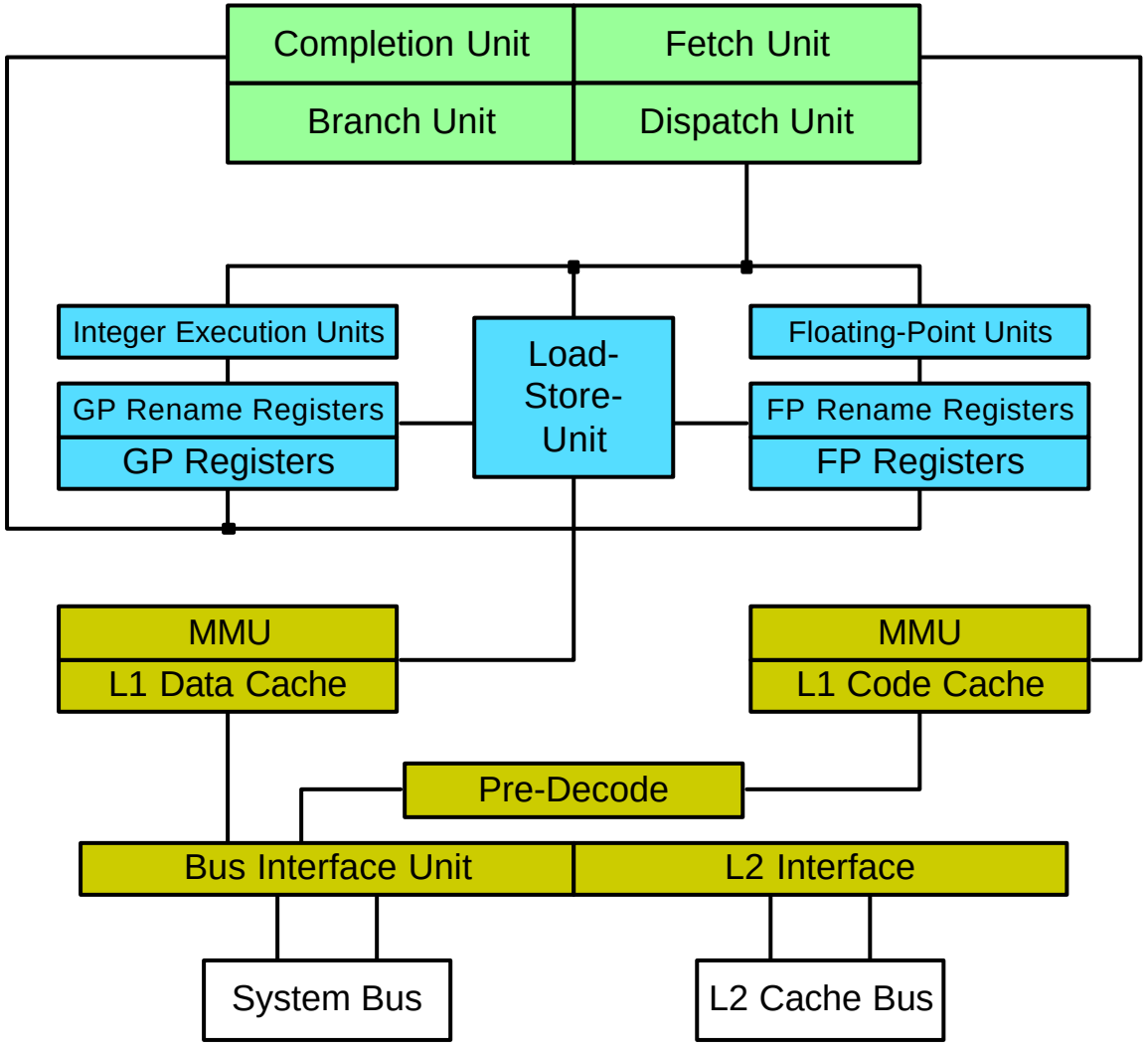
- **68000**
  Grundtyp der Reihe
- **68020**
  Interner Cache, Pipeline
- **68030**
  Interne MMU, Cache geteilt (Code/Data)
- **68040**
  Interner Coprozessor, Super-Pipeline
- **68060**
  Superskalar, MMU geteilt (Code/Data)

Prozessorreihe PowerPC

Performance Optimized with Enhanced RISC - Processor Chip

Desktop, Workstation	➤ **MPC 601/603** *32 bit, superskalar, Datenbus 64 bit* ➤ **MPC 604** *Out-Of-Order Execution* ➤ **MPC 620** *Echter 64-Bit-Prozessor*
Embedded	➤ **MPC 602** *Vereinfachter Ableittyp* ➤ **MPC 82x/86x** *Microcontroller*

Architektur des PowerPC 620



64 bit **Operationsbreite**

128 bit **Datenbusbreite**

2^{40} Byte **phys. Speicher**

2^{80} Byte **log. Speicher**

30 W bei 133 MHz

7 Mill. Transistoren

625 Pins

GP	General Purpose
FP	Floating Point
MMU	Memory Management Unit
L1/L2	Level 1 / Level 2 Cache

Ausblick

- Intel: **MMX** Technologie
- Intel & HP: **Tahoe**-Projekt (➔PA-9000 / P7 ??)
- 80x86 - Kompatible:
  - Cyrix: **6x86** (verbesserter out-of-order CISC-Kern)
  - NexGen: **RISC86** (RISC-Kern mit ROP-Konverter)
  - AMD: **K5** alias **K86** (RISC-Kern mit ROP-Konverter)
- IBM & Motorola: PowerPC, Power2
- Andere: Alpha EV5, HyperSparc, Java-Chip, ...

Weiterführende Quellen

- Hennessy, Patterson: Rechnerarchitektur.
  Vieweg-Verlag Berlin, 1994
- Stiller: Architektur enthüllt.
  in: c't 8/95, Heise-Verlag Hannover
- http://www.intel.com/
  http://www.mot.com/
  http://www.x86.org/

- Dieser Foliensatz ist abrufbar unter
  http://www.theoinf.tu-ilmenau.de/ra1/ver/