

Tilo Welker

**Methoden und Technologien zur Optimierung der Entwärmung aktiver
und passiver Komponenten auf keramischen Mehrlagensubstraten**

**Methoden und Technologien zur
Optimierung der Entwärmung
aktiver und passiver Komponenten auf
keramischen Mehrlagensubstraten**

Tilo Welker



Universitätsverlag Ilmenau

2018

Impressum

Bibliografische Information der Deutschen Nationalbibliothek

Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Angaben sind im Internet über <http://dnb.d-nb.de> abrufbar.

Diese Arbeit hat der Fakultät für Elektrotechnik und Informationstechnik der Technischen Universität Ilmenau als Dissertation vorgelegen.

Tag der Einreichung: 19. Juni 2017
1. Gutachter: Prof. Dr.-Ing. Jens Müller
(Technische Universität Ilmenau)
2. Gutachter: Prof. Dr.-Ing. Christian Cierpka
(Technische Universität Ilmenau)
3. Gutachter: Prof. Dr.-Ing. Ralph Schacht
(Brandenburgische Technische Universität Cottbus-Senftenberg)
Tag der Verteidigung: 26. Februar 2018

Technische Universität Ilmenau/Universitätsbibliothek

Universitätsverlag Ilmenau

Postfach 10 05 65

98684 Ilmenau

<http://www.tu-ilmenau.de/universitaetsverlag>

readbox unipress

in der readbox publishing GmbH

Am Hawerkamp 31

48155 Münster

<http://unipress.readbox.net>

ISBN 978-3-86360-182-9 (Druckausgabe)

URN urn:nbn:de:gbv:ilm1-2018000120

Für meine Frau Kathleen und meinen Sohn Janick

Vorwort

Die vorliegende Dissertation entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Institut für Mikro- und Nanotechnologie (IMN) der Technischen Universität Ilmenau im Rahmen des vom BMWi geförderten Projektes iKersatec (Förderkennzeichen: 50YB1303). Ich danke allen Mitarbeitern des Instituts für die tolle Zusammenarbeit, die wissenschaftlichen Diskussionen, sowie die Unterstützung bei der Präparation und Durchführung von Experimenten. Den Projektpartnern des Projekts iKersatec gilt mein Dank für die konstruktiven Hinweise in den zahlreichen, fachlichen Diskussionen.

Besonders möchte ich mich bei folgenden Personen bedanken:

Herr Prof. Dr.-Ing. Jens Müller für die Betreuung und Begutachtung dieser Arbeit, insbesondere für die wertvollen Hinweise und Diskussionen. Die gewährten Freiheiten zum selbstständigen Arbeiten förderten die Entwicklung eigener Ideen, welche die vorliegende Arbeit erst ermöglichten. Die Unterstützung während der Erstellung der Arbeit, war für deren Gelingen unverzichtbar.

Herr Prof. Dr.-Ing. Christian Cierpka für das Interesse an dieser Arbeit, die konstruktiven Hinweise, sowie die Übernahme eines Gutachtens.

Herr Prof. Dr.-Ing. Ralph Schacht für das Interesse an dieser Arbeit und die Übernahme eines Gutachtens.

Herr Dr.-Ing. Karl-Heinz Drüe für die hilfreichen Hinweise, sowie die kritische Durchsicht des Manuskripts.

Herr Dipl.-Ing. (FH) Detlef Welker für die kritische Durchsicht des Manuskripts.

Herr Dipl.-Ing. Nam Gutzeit, Herr Dipl.-Ing. Michael Fischer, Herr Dipl.-Ing. (FH) Alexander Schulz, Frau Dr.-Ing. Heike Bartsch und Frau Dipl.-Ing. Sabine Oltmanns für die wertvollen wissenschaftlichen Diskussionen.

Frau Dipl.-Ing. (FH) Ina Koch und Herr Dipl.-Ing. Uwe Genatis für die unschätzbare Unterstützung bei der Substratfertigung.

Herr Alexander Schleicher für die gute Zusammenarbeit und Unterstützung bei der Bauteilmontage.

Frau Elvira Remdt und Frau Diana Roßberg für die ausgezeichnete Präparation von Querschliffproben und die Unterstützung bei REM Untersuchungen.

Herr Dipl.-Ing. (FH) Timmy Reimann für die Unterstützung bei der Materialcharakterisierung.

Herr M.Sc. Primin Rombach für die tolle Masterarbeit, auf deren Ergebnisse ich an gegebener Stelle verweise.

Frau Cathleen Kleinholz für die Unterstützung bei der Präparation und Durchführung der Scherfestigkeitsmessungen.

Insbesondere möchte ich meiner Familie und der Familie meiner Frau danken, die mich auf dem Weg zur Promotion aufgemuntert und motiviert haben. Ohne deren Unterstützung wäre diese Arbeit nicht möglich gewesen.

Schließlich möchte ich mich bei meiner Frau Kathleen und meinem Sohn Janick in ganz besondere Weise bedanken. Dem Anfertigen der Arbeit opferte ich einen großen Teil der gemeinsamen Zeit mit ihnen, was sie mit viel Geduld und Verständnis ertrugen. Danke Kathleen, danke Janick!

Kurzfassung

Gegenstand dieser Arbeit ist der thermische Pfad in einem Mehrlagenmodul aus Niedertemperatur-Einbrand-Keramiken (engl.: *low temperature co-fired ceramic*, kurz: LTCC). Der thermische Pfad beschreibt dabei den Pfad der Wärme von einem verlustbehafteten Bauelement hin zu einer Wärmesenke. Ziel der Arbeit ist es durch neue Materialien, Technologien und Methoden den thermischen Pfad zu optimieren und so die thermische Performance des Mehrlagenmoduls zu verbessern. Der thermische Pfad kann in drei kritische Bereiche unterteilt werden.

Der erste Bereich umfasst die Verbindung zwischen Chip und Substrat. Die hier eingesetzten Materialien stellen neben der mechanischen Fixierung auch den thermischen Kontakt zwischen Chip und Substrat her. Im Rahmen dieser Arbeit werden Silberpasten für die Chipmontage untersucht, die bei niedrigen Temperaturen sintern und eine thermisch hoch leitende Verbindung zwischen Chip und Substrat realisieren. Weiterhin werden reaktive Lote untersucht, die nach thermischer Aktivierung kurzzeitig einen starken thermischen Impuls generieren, wodurch das Fügen von Materialien mit unterschiedlichem thermischen Ausdehnungskoeffizient ermöglicht wird. Diese reaktiven Lote und die Silberpasten werden dabei mit den herkömmlichen Materialien der Chipmontage wie Loten und Klebern hinsichtlich ihres thermischen Widerstandes, der mechanischen Festigkeit und Zuverlässigkeit bewertet und verglichen.

Der zweite Bereich umfasst das gesamte keramische Substrat. Um die geringe thermische Leitfähigkeit des Keramikgrundmaterials lokal zu verbessern, werden Metalle in Form von Metallzylindern in das Substrat integriert. Diese sog. thermischen Vias bestehen zumeist aus gold- oder silberbasierten Materialien und sind direkt in das Substrat unter die Chipbondfläche integriert. Gegenstand der Untersuchung ist hier der Einfluss der Viageometrie, des Viamaterials und des Sinterprozesses auf die thermische Performance und Hermetizität des Substrates.

Weiterhin werden mittels neuen Silberfolien vollflächige Silberstrukturen in das Substrat integriert. Hierbei wird im Co-Fire Prozess das keramische Grundmaterial durch Silberfolie lokal substituiert, was Bereiche mit sehr hoher thermischer Leitfähigkeit im Substrat ermöglicht. Die thermische Performance solcher Silberstrukturen in LTCC Substraten wird anhand zweier Demonstratoren überprüft.

Der dritte Bereich umfasst die Wärmesenke. Im Rahmen dieser Arbeit wird die Möglichkeit diskutiert, fluidische Kanäle in das LTCC Substrat zu integrieren und damit eine aktive Kühlung zu realisieren. Die Untersuchungen umfassen das Design und die Fertigung des Kühlkanals und der fluidischen Schnittstellen, sowie die Bewertung der Kühlleistung dieser Methode.

Abstract

This thesis deals with the thermal path in a multilayer module based on low temperature co-fired ceramic (LTCC). The thermal path describes the path of heat flowing from a heat generating component to a heat sink. The thesis focuses on new materials, technologies and methods, which improve the thermal performance of the multilayer module. The thermal path can be subdivided into three critical parts.

The first part contains the joining between the chip and the substrate. So called thermal interface materials (TIM) are used as bonding agent to ensure a strong and thermally conducting bond between chip and substrate. The thesis addresses the pressure less silver sintering technology, which provides a high thermally conducting bond between chip and substrate. Moreover reactive soldering is investigated as potential chip and substrate bonding technology. This technology utilizes a reactive multilayer foil, which reacts fast exothermically after a short thermal pulse. The delivered heat can be used to join materials with different coefficient of thermal expansion (CTE), like copper and LTCC or silicon. The thermal resistance, the mechanical strength and reliability of bonds based on reactive solders and silver pastes are characterized and compared to conventional bonding agents like solders and adhesives.

The second part addresses the entire ceramic substrate. To enhance the poor thermal conductivity of the ceramics metals in form of cylinders are integrated in the substrate. These so called thermal vias consist mostly of gold or silver based materials and are integrated below the chip bond area. The influence of the via geometry, via material and sinter process on the thermal performance and the hermeticity of the substrate are evaluated within the scope of this thesis. Furthermore new silver foils are integrated in the LTCC substrate during co-firing, to form a LTCC substrate with massive silver structures. Therefore, the LTCC is locally replaced by the silver foil, which forms areas with a very high thermal conductivity inside the substrate. The thermal performance of these silver structures inside LTCC substrates is investigated on the basis of two demonstrators.

The third part of the thermal path deals with the heat sink. The possibility to integrated fluidic channels inside the LTCC substrate, which can be utilized for active cooling with a coolant, is discussed within the scope of this thesis. The investigations cover the design and the fabrication of the fluidic channels and the fluidic interfaces. Moreover the thermal performance of these cooling concepts is evaluated.

Inhaltsverzeichnis

Vorwort	VII
Kurzfassung	IX
Abstract	XI
1 Einleitung	1
1.1 Motivation.....	1
1.2 Zielstellung der Arbeit	5
1.3 Methodik der Arbeit.....	6
1.3.1 Versuchsplanung und Auswertung.....	6
1.3.2 Design-, Realisierungs- und Bewertungsprozess	7
2 Theoretische Grundlagen und Charakterisierungsmethoden	9
2.1 Theorie des Wärmetransports	9
2.1.1 Joulesche Wärme und die Leistungsbilanz	9
2.1.2 Wärmestrahlung	10
2.1.3 Wärmeleitung	11
2.1.4 Konvektiver Wärmetransport	16
2.1.5 Thermische Ersatzschaltbilder	22
2.1.6 Temperaturfeldberechnung mittels der Finite – Elemente – Methode.....	23
2.2 Methoden zur Bestimmung der thermischen Leitfähigkeit.....	27
2.2.1 Wiedemann-Franz'sches Gesetz.....	27
2.2.2 Laser Flash Analyse	30
2.2.3 Ermittlung der Wärmeleitfähigkeit nach ASTM D5470.....	31
2.3 Versuchsstand zur Bestimmung des thermischen Verhaltens.....	32
2.3.1 Charakterisierung des thermischen Testchips PST1	33
2.3.2 Charakterisierung des thermischen Testchips G423B	36
2.3.3 Erfassung der Temperaturverteilung mittels Wärmebildkamera	37
2.3.4 Design und Steuerung der Wärmesenke	39
3 Technologische Grundlagen und Stand der Technik	43
3.1 Entwurf und Herstellung von mehrlagigen keramischen Schaltungsträgern.....	43
3.1.1 Vorbehandlung, Stanzen und Viafüllen	45
3.1.2 Siebdruck.....	45
3.1.3 Laserstrukturierung	46
3.1.4 Stapeln und Lamination	47
3.1.5 Einbrand und Post-Fire Prozesse.....	47
3.2 Verfahren der Chipmontage und Verdrahtung.....	49

3.2.1	Fügen und Kontaktieren von Drahtbondchips	49
3.2.2	Fügen von Chips mittels der Flip-Chip Technologie.....	53
3.3	Entwärmungskonzepte in keramischen Packages	55
3.3.1	Chipmontage auf Wärmespreizer	55
3.3.2	Thermische Vias	57
3.3.3	Dickschichtwärmespreizer.....	59
3.3.4	LTCC – Metall Verbundsubstrat	64
3.3.5	Aktive Kühlung durch substratintegrierte Kühlkanäle	66
3.3.6	Heatpipes in LTCC	69
3.3.7	Passive Entwärmung von Flip-Chips.....	71
4	Chipmontage auf Wärmespreizern mittels neuartiger Materialien	73
4.1	Druckloses Niedertemperatursilbersintern	73
4.1.1	Methodik zur Evaluierung der Chipmontage.....	74
4.1.2	Ergebnisse der Untersuchungen und Bewertung	82
4.1.3	Zusammenfassung der Ergebnisse	98
4.2	Reaktives Löten	100
4.2.1	Chipmontage auf Wärmespreizern	101
4.2.2	LTCC Montage auf Kupferwärmespreizern	108
4.2.3	Zusammenfassung der Ergebnisse	111
5	Passive Wärmeableitung im Schaltungsträger	113
5.1	Thermische Vias unter dem Aspekt der Hermetizität	113
5.1.1	Einflussfaktoren	113
5.1.2	Ermittlung der Hermetizität mittels Heliumlecktest	115
5.1.3	Thermischer Widerstand alternierender Via Strukturen	120
5.1.4	Hermetizität von Vias im 0-Schrumpfprozess	122
5.2	Substratintegrierte, dicke Silberwärmespreizer im Co-Fire Prozess	125
5.2.1	Materialanalyse der Silberfolie	125
5.2.2	Scherfestigkeit von geklebten bzw. gesinterten Chips auf dem Silbermaterial..	127
5.2.3	Ermittlung der Haftfestigkeit des LTCC – Ag Verbundes	129
5.2.4	Demonstrator Package zur Ermittlung der thermischen Performance.....	130
5.2.5	Hermetizität des LTCC – Ag Verbundes.....	139
5.2.6	Zusammenfassung der Ergebnisse	139
6	Aktive Wärmeableitung im Schaltungsträger	141
6.1	Design, Fertigung und Charakterisierung	141
6.1.1	Integration von fluidischen Elementen in LTCC.....	141
6.1.2	Thermische Charakterisierung	143
6.2	Kühlkonzept für Drahtbondchips	146
6.2.1	Einfluss von thermischen Vias auf den thermischen Widerstand.....	147
6.2.2	Optimierung der Substratplanarität.....	155

6.2.3	Skalierbarkeit des Kühlkonzeptes	160
6.2.4	Elektrische Isolation zwischen Chip und Kühlmedium	163
6.2.5	LGA Package mit fluidischen Schnittstellen	163
6.2.6	Zusammenfassung der Ergebnisse	170
6.3	Kühlkonzept für Flip-Chips	171
6.3.1	Analytische Betrachtung	172
6.3.2	CFD Simulation.....	173
6.3.3	Modulare Fertigung des Packages.....	176
6.3.4	Charakterisierung und Bewertung.....	179
6.3.5	Zusammenfassung der Ergebnisse	181
7	Zusammenfassung & Ausblick	183
7.1	Druckloses Niedertemperatursilbersintern.....	183
7.2	Löten mithilfe von reaktiven Materialien	183
7.3	Thermische Vias unter dem Aspekt der Hermetizität.....	184
7.4	Substratintegrierte, dicke Silberwärmespreizer im Co-Fire Prozess.....	185
7.5	Aktive Wärmeableitung im Schaltungsträger	187
	Abbildungsverzeichnis	189
	Tabellenverzeichnis	201
	Symbolverzeichnis	205
	Literaturverzeichnis	213
	Thesen	229
	Publikationsverzeichnis	231

1 Einleitung

1.1 Motivation

Seit der Erfindung des Transistors im Jahr 1947 durch John Bardeen, Walter H. Brattain und William B. Shockley [1] erlebt die Elektronik eine rasante Entwicklung. Bestanden elektronische Schaltungen zu Beginn noch aus vielen diskreten Einzelkomponenten, so stieg mit der Zeit das Maß an funktioneller Integration. Integrierte Schaltkreise aus den Jahren 1958 und 1959 von Jack Kilby und Robert Noyce enthielten vorerst einige wenige Transistoren und realisierten lediglich einfachste Funktionen [2], [3]. Mit der Weiterentwicklung der Fertigungsprozesse stieg auch die Anzahl an möglichen Transistoren pro Fläche. Die ersten Mikroprozessoren aus dem Jahr 1970 enthielten bereits einige tausend Transistoren [4]. Im Jahr 1965 sagte Gordon Moore einen Trend voraus, wonach sich die Anzahl an Komponenten pro integriertem Schaltkreis jedes Jahr verdoppelt, welchen er 1975 auf eine Verdopplung aller zwei Jahre korrigierte [5]. Dieser Trend bestätigte sich in folgenden Jahren. 1993 enthielten komplexe Schaltkreise wie Prozessoren bereits mehrere Millionen Transistoren [4]. Die Verbesserung der Fertigungsverfahren führte zu immer kleineren Strukturbreiten, die eine höhere Anzahl an integrierten Komponenten pro Fläche ermöglichten. Im Jahr 2016 bestehen komplexe integrierte Schaltkreise wie Grafikprozessoren aus mehreren Milliarden Transistoren. Die Entwicklung der integrierten Schaltkreise ist am Beispiel der Intel Mikroprozessoren in Abbildung 1.1 dargestellt.

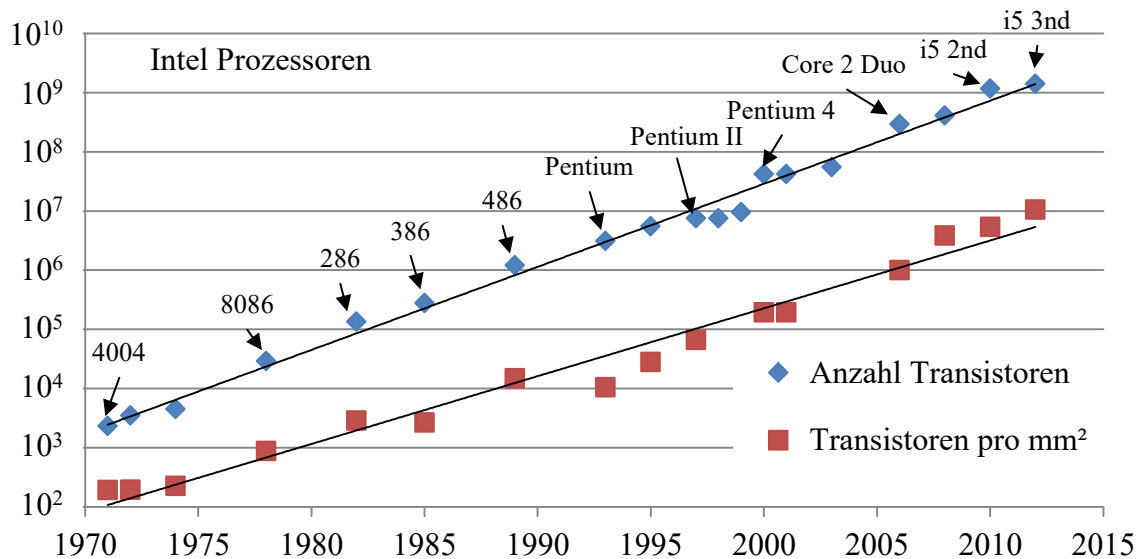


Abbildung 1.1: Entwicklung der integrierten Schaltkreise am Beispiel von Intel Mikroprozessoren. Daten aus [4].

Getrieben durch die Steigerung der Komplexität und Miniaturisierung integrierter Schaltkreise entwickelten sich parallel die Schaltungsträger und Verbindungstechnologien. Die Erfindung der Leiterplatte im Jahr 1943 durch Paul Eisler löste die bis dahin bestehende Freiluftverdrahtung ab [6]. Bauelemente wurden nun durch eine kupferkaschierte, isolierende

Platte gesteckt und auf einer Seite festgelötet. Die Platte übernahm neben der mechanischen Fixierung der Bauteile jetzt auch deren elektrische Verbindung. Die Forderung nach höheren Verdrahtungsdichten seitens der Halbleiterindustrie führte zu der Entwicklung komplexer, mehrlagiger Leiterplatten. Die Oberflächenmontagetechnik (engl. *surface mounted technology*, kurz SMT), entwickelt durch IBM im Jahr 1960, erlaubte zudem eine Miniaturisierung der Bauelemente und damit eine effektivere Flächenausnutzung des Schaltungsträgers. Mit der Laserstrukturierung von Bohrlöchern in Leiterplatten (*high density interconnect*, kurz HDI-Leiterplatten) wurden kleinere Bohrdurchmesser möglich, wodurch sich die Verdrahtungsdichte nochmals steigern ließ.

Die Erhöhung der Verdrahtungsdichten und die Minimierung der Strukturen tragen dabei maßgeblich zur Weiterentwicklung der Schaltungsträger- und Verbindungstechnologien bei. Daneben ist die Kostenreduktion ein weiterer wichtiger Treiber der Technologieentwicklung. So wird eine optimale Flächenausnutzung angestrebt, um die Kosten zu senken. Das wird u.a. durch die direkte Montage des Halbleiterchips auf dem Schaltungsträger erreicht (Nackchipmontage, engl. *Chip-on-Board*, kurz: COB). Um den Integrationsgrad weiter zu erhöhen, werden passive und aktive Komponenten in den Schaltungsträger / das Bauteil integriert (engl. *System-in-Package*, kurz: SiP, Abbildung 1.2 links). Neue Technologien der 3D Integration wie das Stapeln einzelner Chips übereinander (Abbildung 1.2 rechts) oder das Vergraben des Chips im Schaltungsträger ermöglichen ein flexibleres Design und damit eine effizientere Flächenausnutzung.

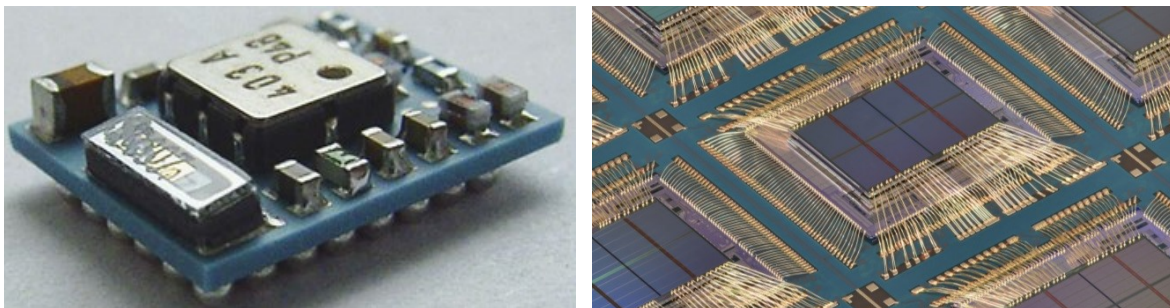


Abbildung 1.2: Links: System-in-Package auf Basis eines keramischen Schaltungsträgers. Rechts: übereinander gestapelte Chips. Mit freundlicher Genehmigung der Micro Systems Engineering GmbH.

Das thermische Management gewinnt durch diesen Trend zunehmend an Bedeutung. Die Leistungssteigerung und Miniaturisierung der Bauelemente führt zu einer Erhöhung der Verlustleistungsdichte. Es muss daher mehr Wärme auf einer immer kleiner werdenden Fläche abgeführt werden. Dabei sollte die Bauteiltemperatur gering gehalten werden, da nach dem Gesetz von Arrhenius die Alterung einer Baugruppe durch die Erhöhung der Temperatur beschleunigt wird. Die sich hieraus ergebenden Anforderungen an den Schaltungsträger erfordern die Verbesserung von bestehenden und die Entwicklung von neuen Entwärmungskonzepten. Halbleitende Materialien mit hoher Bandlücke wie Siliziumcarbid (kurz: SiC) oder Galliumnitrid (kurz: GaN) erlauben zudem höhere Einsatztemperaturen der Schaltkreise im Vergleich zu Schaltkreisen aus Silizium [7], [8].

Höhere Einsatztemperaturen und längere Lebensdauer, wie sie z. B. von der Automobilindustrie und Satellitentechnologie gefordert werden, steigern die Zuverlässigkeitsansprüche. Andere Schaltungsträgermaterialien wie Keramiken und Verbindungstechnologien wie z. B. Niedertemperatursilbersintern (engl. *low temperature silver sintering*, kurz: LTSS) müssen eingesetzt werden, um diesen Anforderungen gerecht zu werden. In Abbildung 1.3 sind die Anforderungen an einen Schaltungsträger und dessen Aufgaben in einer Übersicht zusammengefasst.

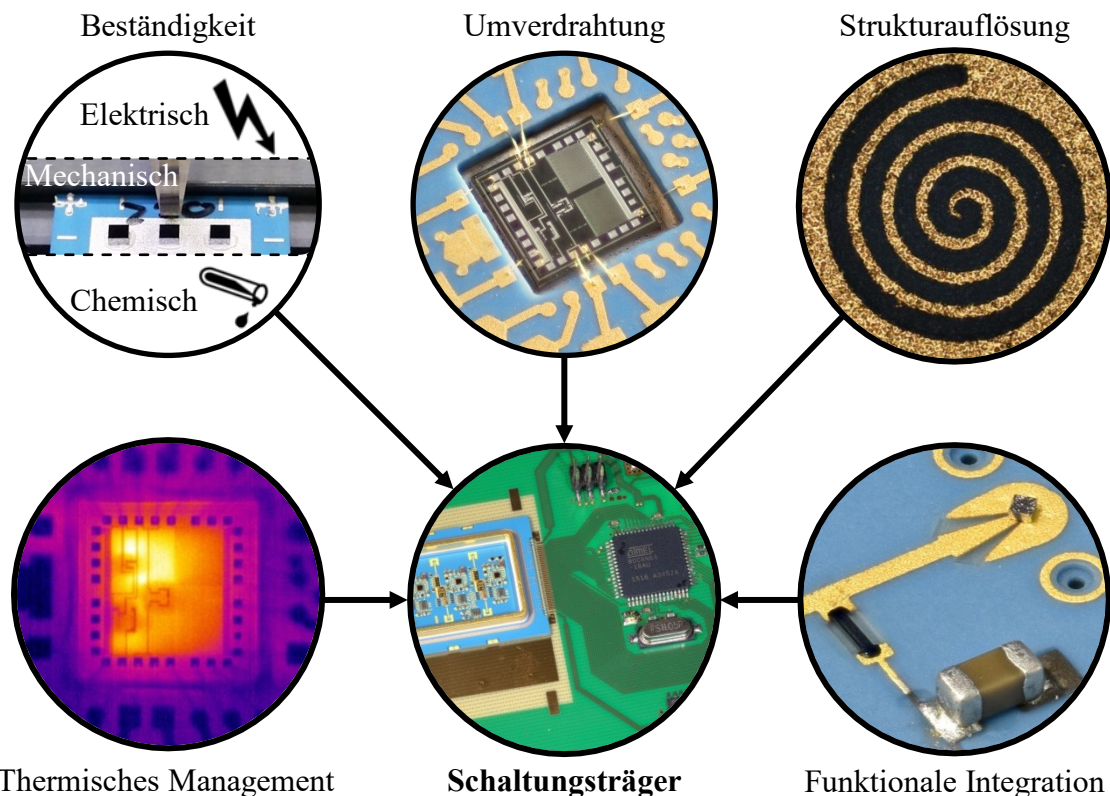


Abbildung 1.3: Anforderungen an Schaltungsträger und deren Auswirkungen auf Schaltungsträger.

Niedertemperatur-Einbrand-Keramiken und deren Technologie (engl. *Low Temperature Cofired Ceramics*, kurz: LTCC) stellen eine Alternative zur Leiterplattentechnologie dar. Sie werden dort eingesetzt, wo Leiterplatten auf Basis organischer Materialien den Anforderungen nicht mehr gerecht werden können. Als Ausgangsmaterial dienen dabei keramik- und glasgefüllte organische Folien. Zur Erzeugung von Durchkontaktierungen werden Löcher in diese Folien gestanzt und diese dann mit Metallpaste aufgefüllt. Leiterzüge werden durch Siebdruck von Metallpasten auf der Vorder- bzw. Rückseite der Folien realisiert. Jede Lage des Schaltungsträgers wird dabei einzeln prozessiert. Anschließend werden die einzelnen Folien mittels Lamination zu einem Verbund verpresst. Daran schließt sich der Einbrand in einem Ofen an, wobei organische Bestandteile der Folie verbrennen und eine Sinterung stattfindet. Während dieses Prozesses versintert der sog. Grünling zu einem festen Glaskeramikssubstrat. Diese mehrlagigen, keramischen Schaltungsträger bieten neben einer hohen Strukturauflösung auch die Möglichkeit, passive Komponenten wie Widerstände, Induktivitäten und Kapazitäten direkt in den Schaltungsträger zu integrieren [9]. Dadurch

lässt sich das Maß an funktioneller Integration gegenüber der Leiterplatte nochmals steigern. Zudem weist das Grundmaterial ausgezeichnete Hochfrequenzeigenschaften auf. Ein Haupteinsatzgebiet der LTCC findet sich in Schaltungen für Hochfrequenzanwendungen. So wird dieses Material z. B. als Schaltungsträger für Radaranwendungen und Satellitenkommunikationstechnik [10] eingesetzt. Ebenso wurden keramische Module für die Kommunikation in On-Board Entertainment Systemen entwickelt [11]. Auch sind miniaturisierte, hochfrequenztaugliche Bauelemente wie Filterstrukturen auf Basis dieser Technologie realisiert worden [12]. Darüber hinaus können keramische Schaltungsträger bei deutlich höheren Temperaturen als organische Schaltungsträger eingesetzt werden, sodass sie auch im Bereich der Hochtemperaturelektronik für die Automobilindustrie verwendet werden. Hier basieren die Schaltungen zur Motor-, ABS und Getriebesteuerung [13] bei einigen Fabrikaten auf keramischen Schaltungsträgern.

Das keramische Grundmaterial ist zudem temperaturstabil und beständig gegenüber einer Vielzahl an Chemikalien, sodass es auch zunehmend in den Bereichen der biologischen, medizinischen und chemischen Analyse verwendet wird. Die Systeme in diesen Anwendungsfeldern bestehen zumeist aus mikrofluidischen Modulen mit in den LTCC-Träger integrierten fluidischen Elementen wie Kanälen, Mischern und Reaktionskammern, sowie Sensoren für die Detektion verschiedenster physikalischer Größen wie z. B. Temperatur, Druck und Durchfluss [14]. Beispiele lassen sich hier in der Gasanalytik [15], [16], der Durchflussmessung in biologischen Mikrosystemen [17], sowie in der Analyse von biologischen Flüssigkeiten und Zellen [18], [19] finden.

Die hohe Zuverlässigkeit von LTCC-Schaltungsträgern ermöglicht den Einsatz im Medizinsektor. So basieren Schaltungen von einigen Herzschrittmachern auf LTCC-Trägern [20], [21].

Das thermische Management ist in LTCC deutlich verbessert gegenüber einer epoxidbasierten Leiterplatte. Zum einen ist die thermische Leitfähigkeit des Grundmaterials ca. 10-mal höher als die der Leiterplatte. Zum anderen besteht die Möglichkeit den thermischen Pfad, also den Bereich zwischen Wärmequelle und –senke, zu optimieren. Durchkontaktierungen (engl. *Via*) können mit einer thermisch gut leitenden Silber- oder Goldpaste gefüllt werden, sodass die Wärme optimal durch das Substrat transportiert werden kann. Wärmespreizer werden hier mittels Siebdruck von Silber- oder Goldpasten realisiert und verteilen so die Wärme auf einer größeren Fläche. Kühlkanäle können direkt in den Schaltungsträger integriert werden und optimieren so die Entwärmung des Moduls.

Die Forderung nach höheren Verlustleistungsdichten bringt jedoch auch diese Technologie an ihre Grenzen. Die erhöhte Wärmeleitfähigkeit der LTCC reicht nicht aus, um höhere Verlustleistungen sinnvoll abzuführen. Zudem lässt sich die Anzahl an thermischen Vias nicht beliebig erhöhen, da der Metallisierungsgrad technologisch auf etwa 20 bis 25 % begrenzt ist. Hier werden andere Substratmaterialien wie *Direct-Bonded-Copper* (kurz: DBC) oder Substrate mit Metallkern (*Insulated-Metal-Substrate*, kurz: IMS) eingesetzt. Diese Technologien bieten zwar eine deutlich höhere thermische Leitfähigkeit, sind jedoch in der Strukturauflösung und dem Funktionsintegrationsgrad stark eingeschränkt.

Die Motivation dieser Arbeit besteht darin, die technologischen Grenzen mit neuen Materialien und Prozessen zu überwinden und das Design des thermischen Pfades in LTCC

Modulen durch neue Kühlkonzepte zu optimieren. Hierdurch eröffnen sich der LTCC Technologie neue Einsatzmöglichkeiten in Anwendung mit höheren Verlustleistungsdichten, wie z. B. der Leistungselektronik oder Beleuchtungstechnologie. Die vielfältigen Einsatzgebiete der LTCC lassen sich hierdurch mit Anwendungen im Bereich hoher Verlustleistungsdichten kombinieren, woraus schließlich eine Vielzahl neuer Einsatzmöglichkeiten abgeleitet werden kann.

1.2 Zielstellung der Arbeit

In Abbildung 1.4 ist schematisch ein typischer, mikroelektronischer Aufbau basierend auf keramischen Schaltungsträgern abgebildet. Der im Chip durch Verlustleistung freigegebene Wärmestrom wird in Richtung Wärmesenke abgeleitet. Der Weg des Wärmestroms durch den Aufbau wird thermischer Pfad genannt und bestimmt durch seinen thermischen Widerstand den Temperaturgradienten zwischen Chip und Wärmesenke und damit maßgeblich die Einsatzmöglichkeit und Leistungsfähigkeit des Aufbaus.

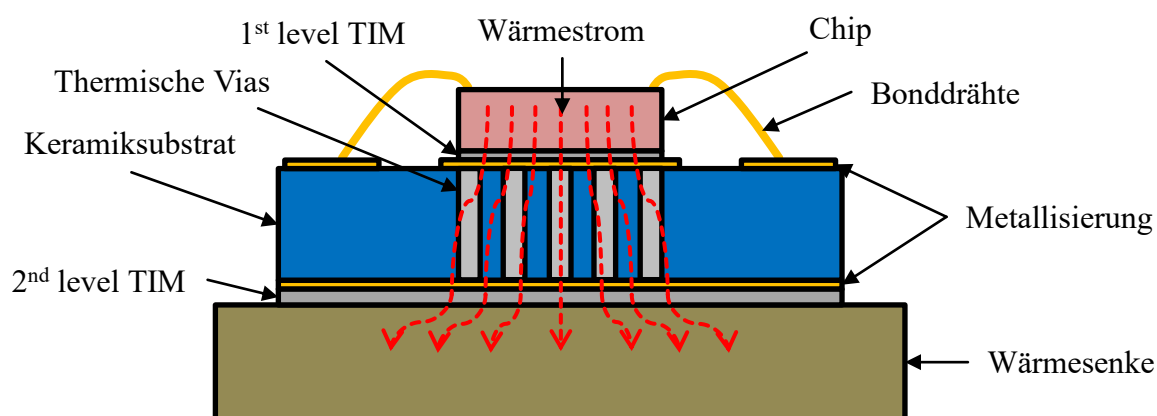


Abbildung 1.4: Schematischer Querschnitt eines typischen, mikroelektronischen Aufbaus auf Basis von keramischen Schaltungsträgern.

Diese Arbeit hat das Ziel, den thermischen Pfad zwischen Leistungsbauelement und Wärmesenke durch neue Materialien und Methoden derart zu verbessern, dass keramische Schaltungsträger auch in höheren Leistungsbereichen eingesetzt werden können. Der thermische Pfad lässt sich dabei in drei kritische Bereiche unterteilen.

Der erste Bereich umfasst die Verbindung zwischen Chip und Substrat. Die hier eingesetzten Materialien werden als thermische Interface Materialien (engl. *thermal interface material*, kurz: TIM) bezeichnet und stellen neben der mechanischen Fixierung auch den thermischen Kontakt zwischen Chip und Substrat her. Im Rahmen dieser Arbeit werden Silberpasten für die Chipmontage untersucht, die bei niedrigen Temperaturen sintern und eine thermisch hoch leitende Verbindung zwischen Chip und Substrat realisieren. Weiterhin werden reaktive Lote untersucht, die nach thermischer Aktivierung kurzzeitig einen starken thermischen Impuls generieren, wodurch das Fügen von Materialien mit unterschiedlichem thermischen Ausdehnungskoeffizient ermöglicht wird. Diese reaktiven Lote und die Silberpasten werden

dabei mit den herkömmlichen Materialien der Chipmontage wie Loten und Klebern hinsichtlich ihres thermischen Widerstandes, der mechanischen Festigkeit und Zuverlässigkeit bewertet und verglichen.

Der zweite Bereich umfasst das gesamte keramische Substrat. Das keramische Grundmaterial hat im Vergleich zu metallbasierten Schaltungsträgern wie DBC oder IMS Substraten eine niedrige thermische Leitfähigkeit. Daher müssen zusätzlich Materialien mit hoher thermischer Leitfähigkeit in das keramische Substrat integriert werden, um einen thermischen Pfad mit niedrigem thermischen Widerstand zu realisieren. Hierfür kommen thermische Vias zum Einsatz, die zumeist aus gold- oder silberbasierten Materialien bestehen und direkt in das Substrat unter die Chipbondfläche integriert werden. Thermische Vias können jedoch, bedingt durch ihre Materialzusammensetzung, zu Mikrokanälen entlang des thermischen Pfades führen, wodurch die Hermetizität des Substrates verringert wird. Ziel der Arbeit ist es hier, durch die Nutzung verschiedener Viaanordnungen die Hermetizität des Substrats zu verbessern. Weiterhin wird die Möglichkeit untersucht, mit neuen Silberfolien vollflächige Silberstrukturen in das Substrat zu integrieren. Hierbei wird das keramische Grundmaterial durch die Silberfolien lokal substituiert, was Bereiche mit sehr hoher thermischer Leitfähigkeit im Substrat ermöglicht. Außerdem wird der Einfluss der integrierten Silberstrukturen auf die Hermetizität des Substrates bewertet.

Der dritte Bereich umfasst die Wärmesenke. Hier kommen typischerweise im Verhältnis zum keramischen Modul große Metallplatten zum Einsatz, die die Wärme je nach Anwendung über Leitung, Konvektion oder Strahlung an die Umgebung abgeben. Die Verbindung des keramischen Moduls mit diesen Metallplatten erfolgt zumeist durch Löten, Kleben bzw. eine mechanische Fixierung. Unterschiede im thermischen Ausdehnungskoeffizienten zwischen den keramischen und den metallischen Werkstoffen stellen die Verbindungstechnologie hierbei vor besondere Herausforderungen. Im Rahmen dieser Arbeit wird die Möglichkeit diskutiert, fluidische Kanäle in das Substrat zu integrieren und damit eine aktive Kühlung zu realisieren. Die Untersuchungen umfassen das Design und die Fertigung des Kühlkanals und der fluidischen Schnittstellen, sowie die Bewertung der Kühlleistung dieser Methode.

1.3 Methodik der Arbeit

1.3.1 Versuchsplanung und Auswertung

Die für die Arbeit notwendigen Versuche werden im Rahmen der statistischen Versuchsplanung durchgeführt. Mithilfe dieser Methodik werden Prozesse, Systeme oder Produkte hinsichtlich ihres Verhaltens auf Veränderungen der Einflussgrößen untersucht. Typischerweise wird dafür der Einfluss von Veränderungen der Eingangsvariablen auf die Zielgrößen bewertet. Die systematische Planung der Versuche (*Design-of-Experiment*, kurz: DOE) bietet dabei einen deutlich reduzierten Versuchsaufwand gegenüber der herkömmlichen „Trial-and-Error“ Methode, sowie eine grobe Modellierung der Zusammenhänge basierend auf der statistischen Auswertung. Wo anwendbar, wird der voll faktorielle Versuchsplan

eingesetzt, der alle möglichen Kombinationen der Eingangsvariablen mit den dazugehörigen Faktorstufen enthält. Weiterhin wird die Reihenfolge der Abarbeitung einzelner Versuche zufällig gewählt, um so mögliche stochastische Fehler besser auf die einzelnen Versuche zu verteilen. [22]

Wo mehr als ein Versuch pro Variation durchgeführt wird, erfolgt bei der statistischen Auswertung der Versuche mindestens die Angabe des Mittelwerts sowie der dazugehörigen Standardabweichung. Darüber hinaus werden an einigen Stellen sog. Boxplots (Abbildung 1.5) verwendet, die eine höhere statistische Aussagekraft als Mittelwert und Streuung besitzen.

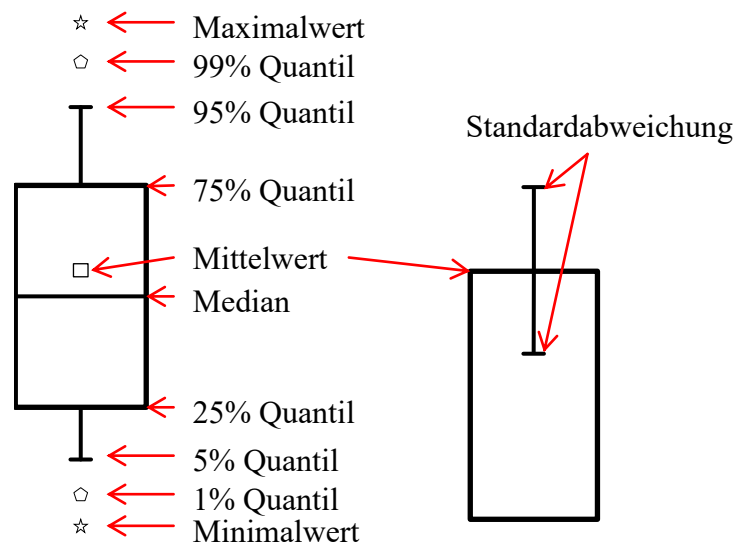


Abbildung 1.5: Darstellung von Messdaten; Links: Boxplot mit allen relevanten Quantilen. Rechts: Säulendiagramm mit Standardabweichung.

1.3.2 Design-, Realisierungs- und Bewertungsprozess

Der Ablauf der Untersuchungen lässt sich in drei Phasen aufteilen und ist in Abbildung 1.6 schematisch dargestellt. Die erste Phase umfasst den Designprozess. Hier werden mit stark vereinfachten analytischen Modellen die Auswirkungen der Einflussgrößen auf die Zielgrößen abgeschätzt. Aufbauend auf diesen Erkenntnissen wird ein CAD Modell erstellt, welches der Ausgangspunkt für simulative Untersuchungen ist. Die Simulationen werden mit der Simulationsumgebung ANSYS Workbench durchgeführt und haben das Ziel, die Aussagen der analytischen Modelle zu verifizieren bzw. zu erweitern. Des Weiteren bieten die Simulationen die Möglichkeit vergleichsweise schnell und kostengünstig verschiedene thermische Designstrategien zu testen. Basierend auf den Simulationsergebnissen wird das CAD Modell hinsichtlich eines optimalen thermischen Designs angepasst bzw. die vielversprechendsten Designstrategien für weitere Untersuchungen ausgewählt.

Das optimierte CAD Modell stellt dann die Grundlage für die zweite Phase dar. Diese umfasst die Fertigung und die Messung. Da für die Realisierung einiger Kühlkonzepte Technologien und Prozesse erforderlich sind, die über den Stand der Technik hinausgehen, sind

technologische Untersuchungen im Rahmen der Fertigung notwendig. Diese haben das Ziel, die für die Realisierung des Kühlkonzeptes notwendigen Technologien, Materialien und Prozesse in die Fertigung der keramischen Schaltungsträger zu integrieren. Hierbei wird besonders auf Kompatibilität zu etablierten Fertigungstechnologien und –verfahren geachtet. Nach erfolgreicher Fertigung des Kühlkonzeptes erfolgt die elektrische und thermische Vermessung des Designs. Hierfür werden im Rahmen dieser Arbeit Versuchsaufbauten und Methoden entwickelt, die eine präzise Messung der thermischen Leistungsfähigkeit des zu testenden Kühlkonzeptes ermöglichen. Darüber hinaus sind die Versuchsaufbauten so gestaltet, das der Probenwechsel mit nur geringem Aufwand erfolgt, die Messdaten in einem automatisierten Verfahren aufbereitet und die relevanten thermischen Daten bereitgestellt werden. Der Zeitaufwand für die Vermessung wird hierdurch erheblich reduziert.

Die dritte Phase umfasst den Vergleich zwischen Simulation und Realisierung und nachfolgend die Bewertung bzw. Interpretation der Ergebnisse. Hierbei wird das Simulationsmodell mithilfe der gemessenen Daten verifiziert und gegebenenfalls angepasst. Neben Materialkennwerten wie der effektiven thermischen Leitfähigkeit einzelner Schichten kann hierbei auch die Geometrie des Simulationsmodells an die realen Abmaße der gefertigten Proben angeglichen werden. Abschließend werden die Messdaten bewertet und interpretiert. Die Effekte der Einflussfaktoren auf die Zielgrößen wie die thermische Leistungsfähigkeit werden hierbei ermittelt. Weiterhin können verschiedene Kühlkonzepte miteinander verglichen und Designempfehlungen abgeleitet werden.

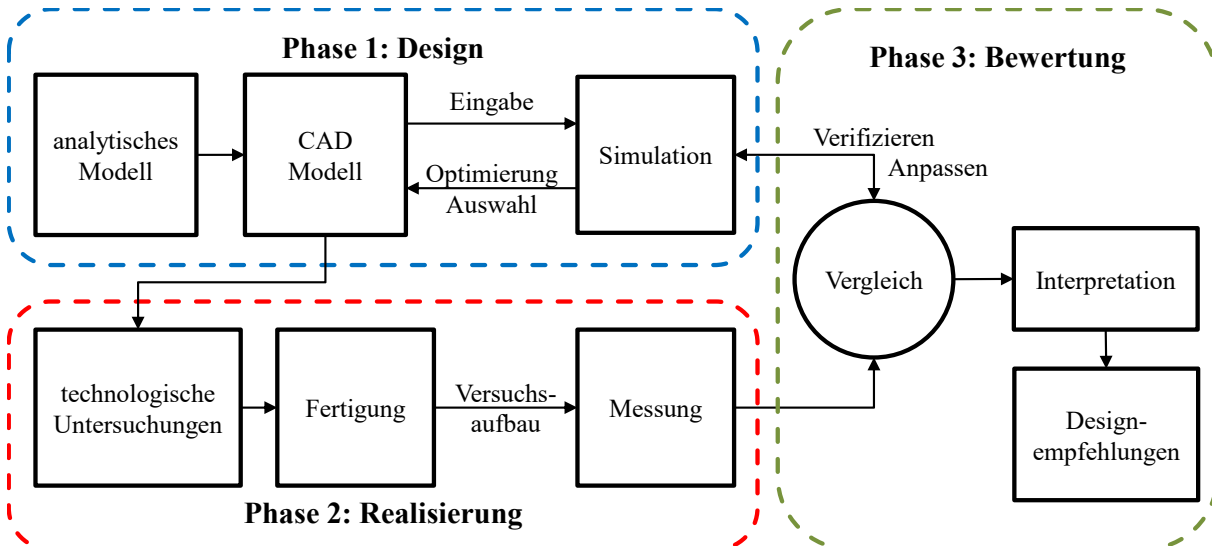


Abbildung 1.6: Schematischer Ablauf und Zusammenhang des Design-, Realisierungs- und Bewertungsprozess.

2 Theoretische Grundlagen und Charakterisierungsmethoden

2.1 Theorie des Wärmetransports

2.1.1 Joulesche Wärme und die Leistungsbilanz

Die in einem elektrischen Bauteil eingebrachte Leistung P teilt sich in Nutzleistung P_{Nutz} und Verlustleistung $P_{Verlust}$ auf. Die Verlustleistung beschreibt dabei den Teil der elektrischen Leistung, der aufgrund des ohmschen Widerstandes R des Bauteils dissipiert wird. Die sich aufgrund des äußeren Spannungsfeldes U bewegenden Valenzelektronen stoßen elastisch mit anderen Valenzelektronen zusammen und geben ihre Energie weiter. Treffen die Valenzelektronen auf Atomrümpfe, führt die Energieübertragung zu einer Erhöhung der Gitterschwingung, was einer Erhöhung der Temperatur gleichkommt. Hierbei wird kinetische Energie in thermische Energie umgewandelt. Diese Energie wird als Joulesche Wärme Q bezeichnet und ist als Produkt aus Leistung und Zeit definiert (2.1). [23]

$$Q = P_{Verlust} \cdot t = \frac{U^2}{R} \cdot t \quad (2.1)$$

Diese thermische Energie wird in Form eines Wärmestroms übertragen, siehe Abbildung 2.1. Der Begriff des Wärmestroms Φ beschreibt hier die Wärme Q , die in einer bestimmten Zeit t übertragen wird, vgl. Gl. (2.2). Mit (2.1) kann der Wärmestrom mit der Verlustleistung gleichgesetzt werden. Die Einheit des Wärmestroms ist [W]. [23]

$$\Phi = \frac{\delta Q}{\delta t} = P_{Verlust} \quad (2.2)$$

Je nach Umgebungsbedingungen wird der Wärmestrom über Wärmestrahlung, Wärmeleitung bzw. Konvektion an die Umgebung übertragen. Dabei ist die Summe aller Teilströme konstant und entspricht der im Bauteil umgesetzten Verlustleistung (2.3). [23]

$$P_{Verlust} = \Phi = \Phi_{Str.} + \Phi_{Leit.} + \Phi_{Konv.} \quad (2.3)$$

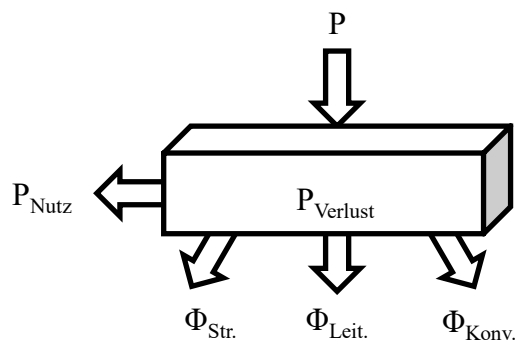


Abbildung 2.1: Schema der Wärme- und Leistungsbilanz in einem Körper.

2.1.2 Wärmestrahlung

Ein Körper mit einer bestimmten Temperatur $T > 0\text{ K}$ gibt an seiner Oberfläche Wärme in Form von elektromagnetischen Wellen an die Umgebung ab. Für diese Art des Wärmetransportes ist kein Medium erforderlich, sodass die Übertragung auch im Vakuum stattfinden kann. Die dabei maximal mögliche Wärmestromdichte wird nach dem Stefan Boltzmann Gesetz (Gl. (2.4)) berechnet. Ein Strahler, der diese Wärmestromdichte erreicht, wird schwarzer Strahler genannt. σ bezeichnet hier die universelle Stefan-Boltzmann-Konstante. [23]

$$\dot{q} = \sigma \cdot T^4 \quad (2.4)$$

Reale Körper emittieren nicht mit der maximal möglichen Wärmestromdichte. Eine gute Approximation des Strahlungsverhaltens realer Körper ist der diffuse graue Strahler. Hier wird die Wärmestromdichte mit einem Korrekturfaktor $\varepsilon(T)$ versehen, der die emittierte Strahlung des Körpers M_G ins Verhältnis zur emittierten Strahlung eines schwarzen Strahlers M_S gleicher Temperatur setzt, siehe Gl. (2.5) & (2.6). Dieser Korrekturfaktor wird Emissionsgrad genannt und ist bei einem grauen Strahler von dessen Oberflächeneigenschaften und der Oberflächentemperatur abhängig. [23]

$$\dot{q} = \varepsilon(T) \cdot \sigma \cdot T^4 \quad (2.5)$$

$$\varepsilon(T) = \frac{M_G}{M_S}, \quad 0 < \varepsilon(T) < 1 \quad (2.6)$$

Die Integration über die Fläche A führt dann zu dem Wärmestrom $\Phi_{Str.}$ Gl. (2.7). [23]

$$\Phi_{Str.} = \varepsilon(T) \cdot \sigma \cdot A \cdot T^4 \quad (2.7)$$

Befindet sich der Körper in einer Umgebung mit der Temperatur T_U , so gibt die Umgebung Wärmestrahlung an den Körper ab. Diese wird abhängig von dessen Oberflächen- und Materialeigenschaften absorbiert, reflektiert bzw. transmittiert, siehe Abbildung 2.2. [23]

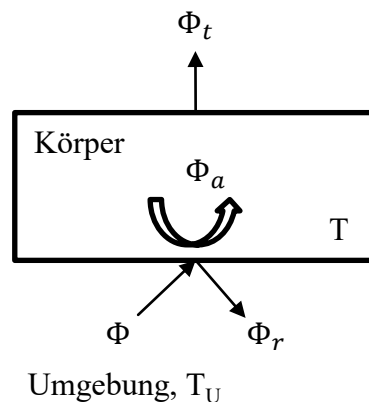


Abbildung 2.2: Übersicht über Wärmestrahlung die auf einen Körper trifft.

Dabei werden die einzelnen Strahlungsanteile durch den Absorptionsgrad a , den Reflektionsgrad r und den Transmissionsgrad τ bestimmt. Es gilt Gl. (2.8). Die Besonderheit des schwarzen Strahlers ist, dass er alle auftreffende Wärmestrahlung absorbiert. Reflexion und Transmission finden dadurch bei einem schwarzen Körper nicht statt. [23]

$$a + r + \tau = 1 \quad (2.8)$$

Die meisten Festkörper sind undurchlässig für Wärmestrahlung, sodass gilt: $\tau = 0$ und $r = 1 - a$. Da der Körper eine gewisse Temperatur hat, gibt er an seiner Oberfläche Wärme in Form von Wärmestrahlung ab. Die Nettowärmestrahlung, die der Körper dabei an die Umgebung abgibt, wird nach Gl. (2.9) bestimmt. [23]

$$\Phi_{Str.} = \Phi_{Em.} - \Phi_a = \varepsilon(T) \cdot \sigma \cdot A \cdot T^4 - a \cdot \sigma \cdot A \cdot T_U^4 \quad (2.9)$$

Für graue Strahler ist der Absorptionsgrad genauso groß wie der Emissionsgrad, sodass sich Gl. (2.9) vereinfacht und der Wärmestrom nach Gl. (2.10) berechnet werden kann. [23]

$$\Phi_{Str.} = \varepsilon(T) \cdot \sigma \cdot A \cdot (T^4 - T_U^4) \quad (2.10)$$

Dieser Gleichung ist leicht zu entnehmen, dass ein Körper bezogen auf die Wärmestrahlung nur dann eine Wärmequelle darstellt, wenn dessen Temperatur größer als die der Umgebung ist. Im anderen Fall agiert der Körper als Wärmesenke und entzieht der Umgebung thermische Energie.

Der thermische Widerstand für eine abstrahlende Oberfläche A wird nach Gl. (2.11) berechnet.

$$R_{th} = \frac{1}{\alpha_S \cdot A} \quad (2.11)$$

Die Wärmeübergangszahl α_S wird dabei nach Gl. (2.12) berechnet.

$$\alpha_S = \varepsilon(T) \cdot \sigma \cdot \frac{(T^4 - T_U^4)}{(T - T_U)} \quad (2.12)$$

2.1.3 Wärmeleitung

Der Begriff der Wärmeleitung umfasst den Wärmetransport innerhalb von Festkörpern, Flüssigkeiten und Gasen aufgrund eines Temperaturgradienten. Der Wärmetransport in Flüssigkeiten und Gasen erfolgt neben der Konvektion, auch durch Stöße von Teilchen. Die Übertragung der kinetischen Energie dieser Teilchen erfolgt dabei von Bereichen mit hohem zu Bereichen mit niedrigem Energieniveau. Dabei bestimmt die Temperatur die Höhe des Energieniveaus, sodass die Wärme entlang des Temperaturgradienten transportiert wird. Der Wärmetransport in Festkörpern erfolgt hauptsächlich durch Gitterschwingungen. Hierbei wird die thermische Energie durch Bewegung der Atome im Gitter transportiert. In elektrisch leitenden Festkörpern wird der Wärmetransport maßgeblich durch die Bewegung der freien

Elektronen bestimmt. Die allgemeine Wärmeleitungsgleichung (2.13) beschreibt die Änderung der Temperatur T über die Zeit t im instationären Fall bei Vorhandensein innerer Wärmequellen \dot{W} . [23]

$$\frac{\partial T}{\partial t} = \frac{\lambda}{\rho \cdot c_p} \cdot \nabla^2(T) + \frac{\dot{W}}{\rho \cdot c_p} \quad (2.13)$$

Die Proportionalitätsfaktoren λ , ρ und c_p beschreiben dabei die stoffspezifischen Konstanten thermische Leitfähigkeit, Dichte und spezifische Wärmekapazität. In dieser Form gilt sie für inkompressible Festkörper, deren stoffspezifische Konstanten temperaturunabhängig sind.

Im stationären Fall ist die Temperatur zeitlich unabhängig und das Fouriersche Gesetz kann angewendet werden, Gl. (2.14). Dieses Gesetz stellt den Zusammenhang zwischen der Wärmestromdichte \dot{q} und dem Temperaturfeld $\nabla(T)$ her. Das Minuszeichen geht auf den zweiten Hauptsatz der Thermodynamik zurück, der besagt, dass Wärme nur in Richtung des Temperaturgefälles fließt. [23]

$$\dot{q} = -\lambda \cdot \text{grad}(T) = -\lambda \cdot \left(\frac{\partial T}{\partial x} \cdot \vec{e}_x + \frac{\partial T}{\partial y} \cdot \vec{e}_y + \frac{\partial T}{\partial z} \cdot \vec{e}_z \right) \quad (2.14)$$

Der Wärmestrom $d\Phi$ durch das Flächenelement dA ist nach folgender Gleichung definiert. [23]

$$d\Phi = -\lambda \cdot \frac{dT}{d\vec{n}} \cdot dA \quad (2.15)$$

Dabei steht der Wärmestrom senkrecht auf dem Flächenelement. $\frac{dT}{d\vec{n}}$ beschreibt hierbei den Temperaturgradienten entlang der Flächennormale. In Abbildung 2.3 ist dies für einen einfachen Quader dargestellt.

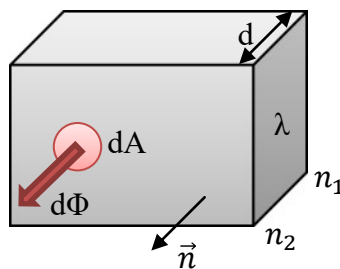


Abbildung 2.3: Schema des Wärmestroms in einem Quader entlang der Flächennormale.

Nach Integration über die Fläche A ergibt sich Gl. (2.16).

$$-\lambda \cdot dT = \Phi \cdot \frac{d\vec{n}}{A} \quad (2.16)$$

Die Integration entlang der Flächennormale führt zu Gl. (2.17) und (2.18).

$$-\lambda \cdot \int_{T(n_1)}^{T(n_2)} dT = \frac{\Phi}{A} \cdot \int_{n_1}^{n_2} d\vec{n} \quad (2.17)$$

$$-\lambda \cdot (T(n_2) - T(n_1)) = \frac{\Phi}{A} \cdot (n_2 - n_1) \quad (2.18)$$

Diese gilt, wenn die thermische Leitfähigkeit temperaturunabhängig, die Fläche konstant entlang der Flächennormale, sowie an den Stellen n_1 und n_2 parallel und isotherm mit den Temperaturen $T(n_1)$ und $T(n_2)$ ist. Mit $\Delta T = T(n_1) - T(n_2)$ und $d = n_2 - n_1$ und Gl. (2.18) ergibt sich der Wärmestrom zu Gl. (2.19). [23]

$$\Phi = \lambda \cdot \frac{A}{d} \cdot \Delta T \quad (2.19)$$

Hierbei werden die geometrischen Parameter A und d sowie die thermische Leitfähigkeit λ zum thermischen Widerstand R_{th} zusammengefasst. Er hat die Einheit [K/W]. [23]

$$R_{th} = \frac{d}{\lambda \cdot A} = \frac{\Delta T}{\Phi} \quad (2.20)$$

2.1.3.1 Wärmespreizung

Die Änderung der Querschnittsfläche entlang des thermischen Pfades führt zu einer Veränderung der Wärmeflussdichte. Bei einer Vergrößerung der Querschnittsfläche wird der Wärmestrom folglich gespreizt. Dies tritt in mikroelektronischen Aufbauten besonders an dem Übergang zwischen Chip und Substrat auf. Die Ermittlung des thermischen Ersatzwiderstandes des Aufbaus unter Einbeziehung des Spreizeffektes ist über die Lösung der allgemeinen Wärmeleitungsgleichung (2.13) möglich [24]. Für den stationären Fall ($dT/dt=0$) kann der thermische Ersatzwiderstand auch näherungsweise über den Wärmespreizwinkel β berechnet werden. In Abbildung 2.4 ist das Modell der Wärmespreizung für einen mikroelektronischen Aufbau dargestellt. Der Wärmestrom Φ ist dabei homogen über die gesamte Chipfläche verteilt.

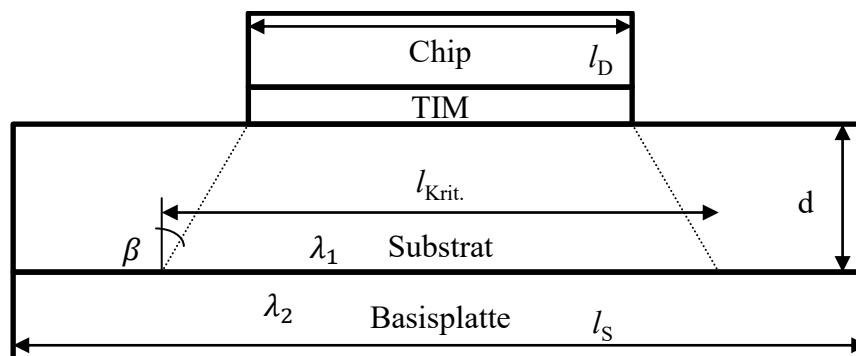


Abbildung 2.4: Modell der Wärmespreizung in einem mikroelektronischen Aufbau.

Die charakteristische Länge $l_{krit.}$ gibt hier die Länge an, ab der eine Vergrößerung der Substratquerschnittsfläche keinen signifikanten Einfluss auf den thermischen Widerstand der Anordnung hat. Sie ist von der Chipkantenlänge l_D , der Substratdicke d und dem Wärmespreizwinkel β abhängig. Die Berechnung erfolgt nach Gl. (2.21). [25]

$$l_{krit.} = l_D + 2 \cdot d \cdot \tan \beta \quad (2.21)$$

Der thermische Ersatzwiderstand des Substrats wird durch die Integration der Querschnittsfläche $A(z)$ entlang des thermischen Pfades dz berechnet (2.22) und ergibt sich zu Gl. (2.23). [25]

$$R_{th} = \frac{1}{\lambda_1} \cdot \int_0^d \frac{1}{A(z)} dz = \frac{1}{\lambda_1} \cdot \int_0^d \frac{1}{(l_D + 2 \cdot z \cdot \tan \beta)^2} dz \quad (2.22)$$

$$R_{th} = \frac{1}{2 \cdot \lambda_1 \cdot \tan \beta} \cdot \left(\frac{1}{l_D} - \frac{1}{l_D + 2 \cdot d \cdot \tan \beta} \right) \quad (2.23)$$

Für den Fall der instationären Wärmeleitung wird die Gl. (2.23) um die thermische Kapazität C_{th} , die Kreisfrequenz ω und die Zeit t erweitert. Die thermische Impedanz Z_{th} des Substrats wird dann nach Gl. (2.24) berechnet (vgl. [26]).

$$Z_{th} = \left\{ \lambda_1 \cdot l_d^2 \cdot \left[\frac{2 \cdot \tan \beta}{l_d} + \sqrt{\frac{j \cdot \omega \cdot C_{th}}{\lambda_1}} \cdot \operatorname{coth} \left(\sqrt{\frac{j \cdot \omega \cdot C_{th}}{\lambda_1}} \cdot d \right) \right] \right\}^{-1} \quad (2.24)$$

Dieses Modell kann für Substrate angewendet werden, für deren Länge gilt: $l_S \geq l_{krit.}$

In Abbildung 2.5 ist das Modell der Wärmespreizung für einen Substrat mit einer Länge kleiner als $l_{krit.}$ dargestellt.

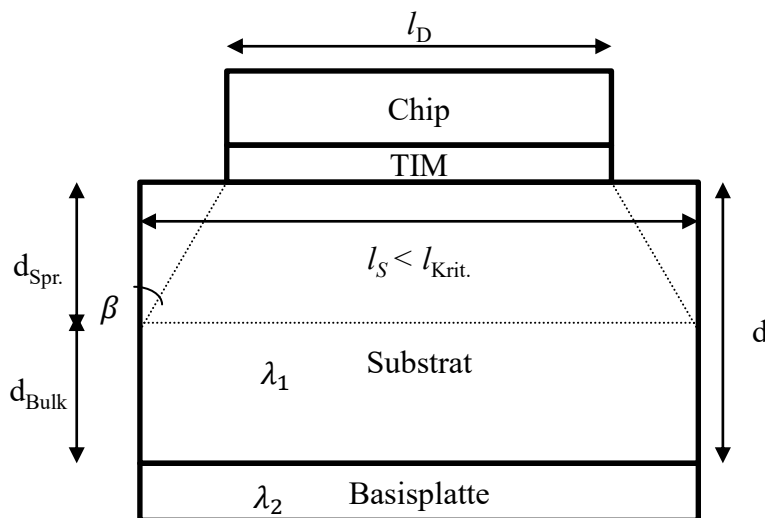


Abbildung 2.5: Modell der Wärmespreizung für einen Substrat mit einer Länge kleiner als $l_{krit.}$

Hier berechnet sich der thermische Widerstand des Substrats aus der Summe des spreizenden d_{Spr} und des nicht spreizenden Bereichs d_{Bulk} , vgl. Gl. (2.25) (vgl. [25]). A steht dabei für die Querschnittsfläche des Substrates.

$$R_{th} = R_{th,Spr} + R_{th,Bulk} = \frac{1 - l_D/l_s}{2 \cdot \lambda_1 \cdot l_D \cdot \tan \beta} - \frac{l_s - l_D}{2 \cdot \lambda_1 \cdot A \cdot \tan \beta} + \frac{d}{\lambda_1 \cdot A} \quad (2.25)$$

Die Bestimmung des Wärmespreizwinkels erfolgte in der Vergangenheit häufig empirisch. Für eine erste Näherung wurde zumeist ein Wert von 45° angenommen. In [27] wird ein Winkel von 26.6° für eine normierte Substratdicke (Gl. (2.26)) $d_n < 2$ angegeben. Für $d_n \geq 2$ gibt die Quelle einen Winkel von 32.5° an.

$$d_n = \frac{d}{l_D} \quad (2.26)$$

In [28] wird der Wärmespreizwinkel in Bezug zu den thermischen Leitfähigkeiten der aufeinanderfolgenden Materialien gestellt, vgl. Gl. (2.27).

$$\beta = \tan^{-1} \frac{\lambda_1}{\lambda_2} \quad (2.27)$$

In [26] ist der Wärmespreizwinkel auf die normierte Substratdicke d_n bezogen. Diese von Materialkonstanten unabhängige Beziehung ist in Gl. (2.28) zusammengefasst.

$$\beta = \begin{cases} d_n \leq 1: & 5,86 \cdot \ln(d_n) + 40,4 \\ d_n \geq 1: & 46,45 - 6,048 \cdot (d_n)^{-0,969} \end{cases} \quad (2.28)$$

Eine weitere Möglichkeit den thermischen Widerstand zu bestimmen, besteht in der Nutzung der Finiten – Elementen – Analyse (FEA), siehe auch Abschnitt 2.1.6. Diese Methode wird in [29] für einen konkreten mikroelektronischen Aufbau angewandt und mit den Modellen von [26], [27] und [28] verglichen. Die Studie zeigt, dass der optimale Wärmespreizwinkel stark von der normierten Substratdicke d_n abhängt. Die Annahme eines Winkels von 45° weist dabei einen Fehler von ca. 10% gegenüber der exakten Bestimmung des thermischen Widerstandes über die Wärmeleitungsgleichung auf. Der Bezug des Winkels auf die thermischen Leitfähigkeiten nach [28] zeigt im Vergleich mit den Simulationsergebnissen nur für einen sehr kleinen Bereich der normierten Substratdicke d_n eine gute Anpassung. Außerhalb dieses Bereiches zeigt das Modell eine Abweichung von mehr als 100% zu den Simulationsergebnissen. Die beste Übereinstimmung mit den Ergebnissen der FEA hat das Modell nach [26].

Ein alternatives Modell für die Berechnung des thermischen Ersatzwiderstandes stellt die sog. L-Gleichung (2.29) dar [30]. Diese beschreibt neben dem Einfluss der Wärmespreizung auch den konvektiven Wärmeübergang an den Grenzflächen des Substrates.

$$R_{th} = \frac{1}{\alpha_K \cdot A_2} + \frac{\ln(A_2/A_1)}{4 \cdot \pi \cdot \lambda_1 \cdot d} - \frac{\gamma}{2 \cdot \pi \cdot \lambda_1 \cdot d} \quad (2.29)$$

γ steht hier für die Euler-Mascheroni-Konstante ($\sim 0,577$). A_1 und A_2 beschreiben die Chipfläche bzw. die Substratfläche. Die Substratdicke ist mit d bezeichnet. Der konvektive Wärmeübergangskoeffizient wird hier mit α_K beschrieben. Der erste Term der rechten Seite kann als konvektiver, der mittlere als konduktiver und der letzte als Korrekturterm angesehen werden. Wegen des Minuszeichens kann die Gleichung nicht als einfache Reihenschaltung aus thermischen Widerständen verstanden werden (vgl. Abschnitt 2.1.5), was die Anwendbarkeit auf Umgebungsbedingungen beschränkt, die Konvektion ermöglichen.

2.1.4 Konvektiver Wärmetransport

In Flüssigkeiten und Gasen findet der Wärmetransport neben der Wärmeleitung auch durch makroskopische Bewegungen innerhalb des Fluids statt. Der durch einen Temperaturgradienten innerhalb des Fluids erzeugte Dichtegradient führt zu einer gerichteten Bewegung des Fluids, die freie Konvektion genannt wird. Die dabei entstehende Strömung transportiert Wärme in Richtung des Temperaturgradienten. Wird die Strömung im Fluid durch zusätzliche Hilfsmittel wie Pumpen oder Lüfter angetrieben, spricht man von erzwungener Konvektion. Technisch besonders relevant ist dabei der Wärmeübergang an der Grenzschicht zwischen einem Festkörper und einem Fluid. Der vom Festkörper ausgehende und in das Fluid gerichtete Wärmestrom wird nach Gl. (2.30) berechnet. Er ist dabei abhängig von der Fläche A , dem Temperaturgradienten aus der Wandtemperatur T_W des Festkörpers und der Fluidtemperatur T_F , sowie dem konvektiven Wärmeübergangskoeffizienten α_K . [23]

$$\Phi_{Konv.} = \alpha_K \cdot A \cdot (T_W - T_F) = \alpha_K \cdot A \cdot \Delta T \quad (2.30)$$

Der konvektive thermische Widerstand kann von Gl. (2.30) abgeleitet werden, siehe Gl. (2.31). [31]

$$R_{th} = \frac{\Delta T}{\Phi_{Konv.}} = \frac{1}{\alpha_K \cdot A} \quad (2.31)$$

Die Berechnung des Wärmeübergangskoeffizienten kann auf die Bestimmung der dimensionslosen Nußelt-Zahl Nu zurückgeführt werden, Gl. (2.32). Die Wärmeleitfähigkeit des Fluides λ und die konstruktive Länge L sind dabei als bekannt vorauszusetzen. [23], [31]

$$\alpha_K = \frac{Nu \cdot \lambda}{L} \quad (2.32)$$

In der Literatur ist die Nußelt-Zahl für verschiedene Szenarien der konvektiven Wärmeübertragung angegeben [23], [31], [32].

2.1.4.1 Freier konvektiver Wärmeübergang

Die Nußelt-Zahl ist abhängig von den Eigenschaften des Fluids. Sie ist bei freier Konvektion eine Funktion der Prandtl-Zahl Pr Gl. (2.33) und der Grashof-Zahl Gr Gl. (2.34). [31]

$$Pr = \frac{\eta \cdot c_p}{\lambda} \quad (2.33)$$

Hierbei steht η für die dynamische Viskosität und c_p für die spezifische Wärmekapazität des Fluides.

$$Gr = \frac{\beta_\infty \cdot g \cdot \Delta T \cdot L^3}{\nu^2} \quad (2.34)$$

β_∞ beschreibt den Volumenausdehnungskoeffizient und ν die kinematische Viskosität des Fluids. g steht für die Fallbeschleunigung.

Für die besonders relevanten Fälle der Wärmeabgabe an waagerechten und senkrechten Flächen bei freier Konvektion wird die Nußelt-Zahl in Tabelle 2.1 und Tabelle 2.3 angegeben. Basierend auf diesen Berechnungsvorschriften wurde der Wärmeübergangskoeffizient für Luft bei einer Temperatur von 20 °C ermittelt.

Tabelle 2.1: Nußelt-Zahl für verschiedene Szenarien der freien Konvektion an waagerechten Oberflächen [23], [33], α_K berechnet für Luft bei 20 °C.

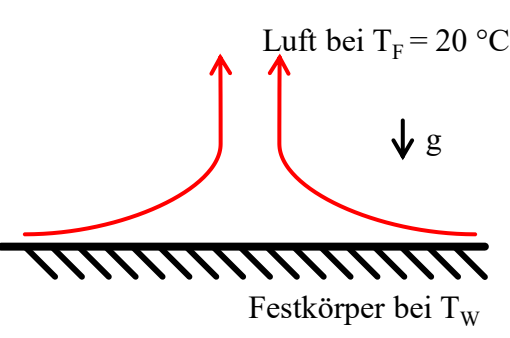
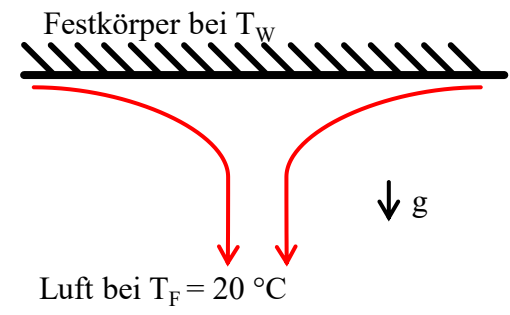
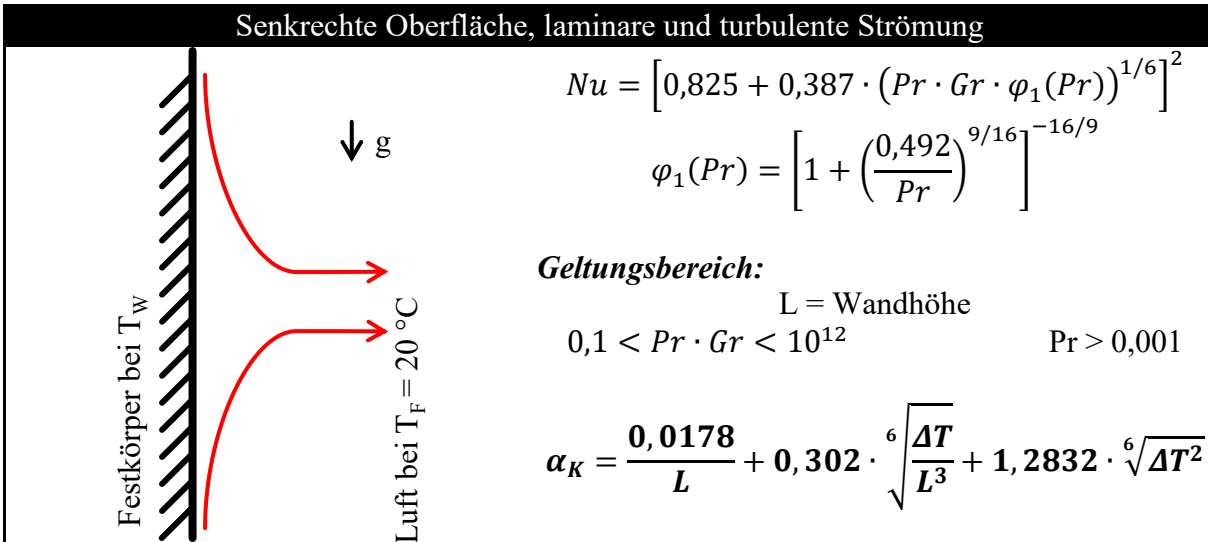
Waagerechte Oberfläche, laminare Strömung nach oben	
	$Nu = 0,766 \cdot (Pr \cdot Gr \cdot \varphi_2(Pr))^{1/5}$ $\varphi_2(Pr) = \left[1 + \left(\frac{0,322}{Pr} \right)^{11/20} \right]^{-20/11}$ <p>Geltungsbereich:</p> <p>Rechteck $L = \frac{a \cdot b}{2 \cdot a + 2 \cdot b}$ Kreis $L = d/4$ $Pr \cdot Gr \cdot \varphi_2 < 7 \cdot 10^4$ $Pr > 0$</p> $\alpha_K = 0,6664 \cdot \sqrt[5]{\Delta T \cdot L^{-2}}$
Waagerechte Oberfläche, laminare Strömung nach unten	
	$Nu = 0,6 \cdot (Pr \cdot Gr \cdot \varphi_1(Pr))^{1/5}$ $\varphi_1(Pr) = \left[1 + \left(\frac{0,492}{Pr} \right)^{9/16} \right]^{-16/9}$ <p>Geltungsbereich:</p> <p>Rechteck $L = \frac{a \cdot b}{2 \cdot a + 2 \cdot b}$ Kreis $L = d/4$ $10^3 < Pr \cdot Gr \cdot \varphi_1 < 10^{10}$ $Pr > 0,001$</p> $\alpha_K = 0,5064 \cdot \sqrt[5]{\Delta T \cdot L^{-2}}$
Waagerechte Oberfläche, turbulente Strömung nach oben bzw. unten	
$Nu = 0,15 \cdot (Pr \cdot Gr \cdot \varphi_2(Pr))^{1/3}$ $\varphi_2(Pr) = \left[1 + \left(\frac{0,322}{Pr} \right)^{11/20} \right]^{-20/11}$	<p>Geltungsbereich:</p> <p>Rechteck $L = \frac{a \cdot b}{2 \cdot a + 2 \cdot b}$ Kreis $L = d/4$ $Pr \cdot Gr \cdot \varphi_2 > 7 \cdot 10^4$ $Pr > 0$</p> $\alpha_K = 1,3517 \cdot \sqrt[3]{\Delta T}$

Tabelle 2.2: Nußelt-Zahl für freie Konvektion an einer senkrechten Oberfläche [23], [33], α_K berechnet für Luft bei 20 °C.



2.1.4.2 Erzwungener konvektiver Wärmeübergang

Bei erzwungener Konvektion ist die Nußelt-Zahl zusätzlich abhängig von der Reynolds-Zahl Re , welche nach Gl. (2.35) berechnet wird. Rohrströmungen mit einer Reynolds-Zahl < 2300 können als laminare Strömung angesehen werden. Entstehende Störungen in der Strömung werden unterhalb dieser Grenze gedämpft, sodass sich keine turbulente Strömung ausbilden kann. Der Bereich von 2300 bis ca. 10^4 wird als Übergangsbereich zwischen laminarer und turbulenter Strömung bezeichnet. Ab 10^4 wird die Strömung als vollständig turbulent betrachtet. Diese Zahlenwerte definieren keine harten Grenzen, an denen sich das Strömungsverhalten sprunghaft ändert, sondern geben vielmehr einen unscharfen Bereich an, in dem das Strömungsverhalten von laminar in turbulent übergeht. Sie sind zudem auch von den Fluideigenschaften abhängig. [32], [34]

$$Re = \frac{\rho \cdot v \cdot d}{\eta} \quad (2.35)$$

Die Reynolds-Zahl ist abhängig von der Dichte ρ des Fluids, der Strömungsgeschwindigkeit v , des Rohrdurchmessers d sowie der dynamischen Viskosität η . Für nicht-kreisrunde Querschnitte wird ein äquivalenter hydraulischer Durchmesser d_h verwendet. Dieser berechnet sich allg. nach Gl. (2.36) und für einen rechteckigen Querschnitt nach Gl. (2.37), wobei A die Querschnittsfläche, u der Umfang, b und h die Breite und Höhe bezeichnen.

$$d_h = \frac{4 \cdot A}{u} \quad (2.36)$$

$$d_h = \frac{2 \cdot b \cdot h}{b + h} \quad (2.37)$$

Angaben zur Nußelt-Zahl in Abhängigkeit von Re , und Pr sind hinreichend in der Literatur dokumentiert [32]. Im Rahmen dieser Arbeit wird die Nußelt-Zahl und der

Wärmeübergangskoeffizient α_K nur für die relevanten Fälle *Kanalströmung mit Wärmeabgabe von einer Seite*, *Queranströmung eines Zylinderbündels*, sowie *Prallströmung auf eine Oberfläche* angegeben.

Kanalströmung mit Wärmeabgabe von einer Seite

Bei dieser Form der Wärmeübertragung fließt das Fluid mit dem Volumenstrom \dot{V} und der Eingangstemperatur T_F entlang eines Kanals mit der Breite b , der Höhe h und dem rechteckigen Querschnitt A_K . An einer Wandseite des Kanals gibt die Fläche A_ϕ den Wärmestrom Φ an das Fluid ab. Dabei hat die Kanalwand in diesem Bereich die Temperatur T_W . Das Schema ist in Abbildung 2.6 dargestellt.

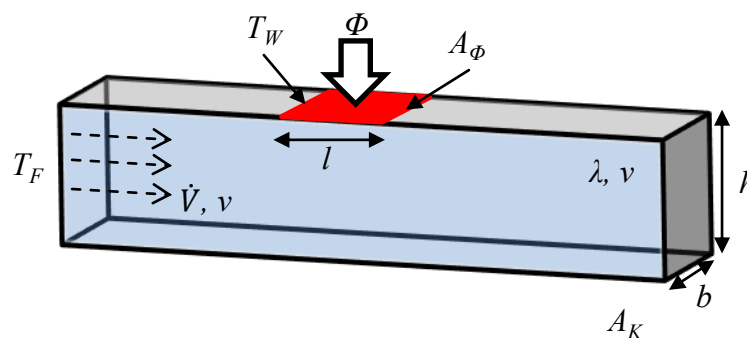


Abbildung 2.6: Schema der Kanalströmung mit Wärmeabgabe von einer Seite.

Für laminare Strömungen ist die Nußelt-Zahl von dem Verhältnis b/h abhängig. Zahlenwerte sind in [35] zu finden und für den hier dargestellten Fall der Wärmeübertragung in Tabelle 2.3 aufgelistet.

Tabelle 2.3: Nußelt-Zahl für Wärmeübergang in einem rechteckförmigen Kanal, mit einer wärmeabgebenden Fläche für verschiedene a/h Verhältnisse. Die Werte sind [35] entnommen und auf eine Stelle nach dem Komma gerundet.

b/h	0,0	0,1	0,2	0,3	0,4	0,5	0,7	1,0	2,0	2,5	3,3	5,0	10	∞
Nu	8,2	6,9	6,1	5,4	4,8	4,5	4,0	3,6	3,1	3,2	3,3	3,6	4,3	5,4

Für eine turbulente Kanalströmung kann die Nußelt-Zahl mit Gl. (2.38) approximiert werden, wobei lediglich der Kanalabschnitt unterhalb der Fläche A_ϕ mit der Länge l für die Berechnung relevant ist [32].

$$Nu_{turb} = \frac{(\xi/8) \cdot Re \cdot Pr}{1 + 12,7 \cdot \sqrt{\xi/8} \cdot (Pr^{2/3} - 1)} \cdot \left[1 - \left(\frac{d_h}{l} \right)^{2/3} \right] \cdot \left(\frac{Pr_{T_F}}{Pr_{T_W}} \right)^{0,11} \quad (2.38)$$

mit

$$\xi = (1,8 \cdot \log_{10} Re - 1,5)^{-2} \quad Re = \frac{v \cdot d_h}{\nu} = \frac{2 \cdot \dot{V}}{v \cdot (b + h)} \quad v = \frac{\dot{V}}{A_K}$$

Der Einfluss der Temperaturabhängigkeit der Stoffwerte wird mit dem Verhältnis aus Prandtl-Zahl bei der Fluideingangstemperatur und der Wandtemperatur korrigiert.

Der thermische Widerstand dieser Übertragung berechnet sich nach Gl. (2.39).

$$R_{th} = \frac{d_h}{Nu_{turb} \cdot \lambda} \cdot \frac{1}{A_\Phi} \quad (2.39)$$

Queranströmung eines Zylinderbündels

Im Fall der Queranströmung eines Zylinderbündels ist die Strömungsrichtung des Fluids orthogonal zu im Bündel angeordneten Zylindern. Das Bündel umfasst n Zylinder mit der Höhe h und dem Durchmesser d , welche an ihrer Mantelfläche den Wärmestrom Φ an das Fluid abgeben. Dabei werden zwei Anordnungen von Zylindern betrachtet: fluchtend und mittig versetzt, siehe Abbildung 2.7.

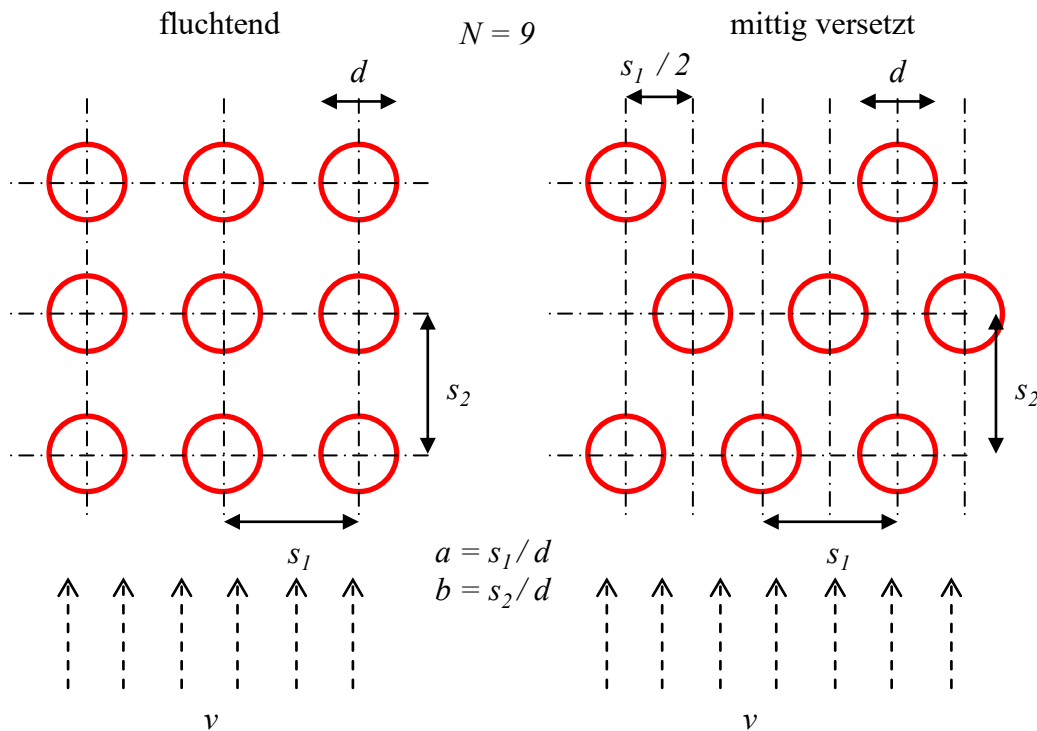


Abbildung 2.7: Schema der Queranströmung eines Zylinderbündels. Links fluchtende Anordnung. Rechts: versetzte Anordnung [32].

Die Nußelt-Zahl berechnet sich nach Gl. (2.40), [32].

$$Nu_{quer} = f_A \cdot \left(0,3 + \sqrt{Nu_{lam}^2 + Nu_{turb}^2} \right) \quad (2.40)$$

mit

$$Nu_{lam} = 0,644 \cdot \sqrt{Re_\psi} \cdot \sqrt[3]{Pr} \quad Nu_{turb} = \frac{0,037 \cdot Re_\psi^{0,8} \cdot Pr}{1 + 2,443 \cdot Re_\psi^{-0,1} \cdot (Pr^{2/3} - 1)}$$

$$Re_\psi = \frac{v \cdot \pi \cdot d_h}{2 \cdot v} \cdot \frac{1}{\psi}$$

$$\psi = \begin{cases} b \geq 1: & 1 - \frac{\pi}{4 \cdot a} \\ b < 1: & 1 - \frac{\pi}{4 \cdot a \cdot b} \end{cases} \quad f_A = \begin{cases} \text{fluchtend:} & 1 + \frac{0,7}{\psi^{1,5}} \cdot \frac{b/a - 0,3}{(b/a + 0,7)^2} \\ \text{versetzt:} & 1 + \frac{2}{3 \cdot b} \end{cases}$$

Der thermische Widerstand dieser Übertragung berechnet sich nach Gl. (2.41), wobei die Übertragungsfläche A die Mantelfläche aller Zylinder und die charakteristische Länge L der halbe Umfang eines Einzelzylinders ist.

$$R_{th} = \frac{L}{Nu \cdot \lambda \cdot A} = \frac{1}{2 \cdot Nu_{quer} \cdot \lambda} \cdot \frac{1}{N \cdot h} \quad (2.41)$$

Prallströmung auf eine Oberfläche

Im Fall der Wärmeübertragung durch Prallströmung fließt das Fluid mit dem Volumenstrom \dot{V} der Temperatur T_f durch eine Blende mit dem Durchmesser d und trifft auf eine Oberfläche im Abstand h mit der Temperatur T_w . Das kältere Fluid trifft auf die Oberfläche und entzieht dieser Wärme. Die Anordnung ist schematisch in Abbildung 2.8 dargestellt.

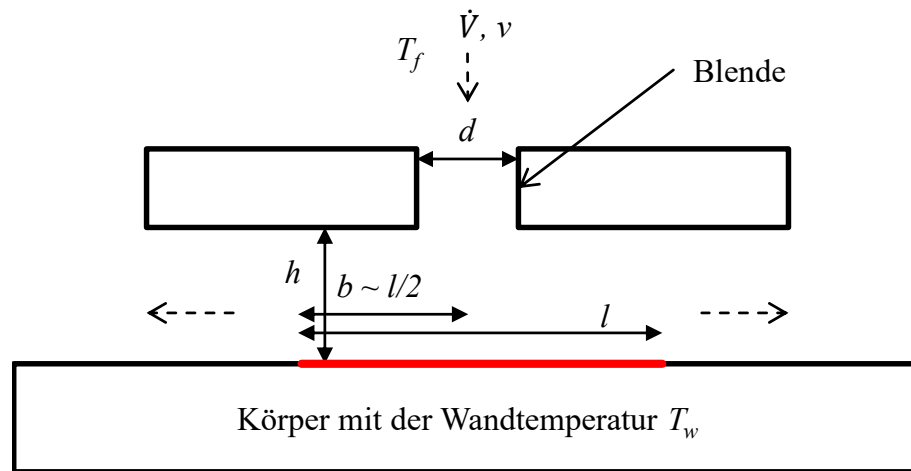


Abbildung 2.8: Schema der Prallströmung durch eine Blende auf eine beheizte Oberfläche.

Die Reynolds-Zahl dieser Anordnung berechnet sich nach Gl. (2.42).

$$Re = \frac{v \cdot d}{\nu} \quad \text{mit } v = \frac{4 \cdot \dot{V}}{\pi \cdot d^2} \quad (2.42)$$

Die Nußelt-Zahl wird nach Gl. (2.47) bestimmt, [32].

$$Nu = \frac{1 - 1,1 \cdot (b/d)^{-1}}{b/d + 0,1 \cdot (h/d - 6)} \cdot F(Re) \cdot Pr^{0,42} \quad (2.43)$$

$$\text{mit } F(Re) = 2 \cdot \sqrt{Re \cdot (1 + 0,005 \cdot Re^{0,55})}$$

Gl. (2.44) stellt die Berechnungsgrundlage für den thermischen Widerstand der Anordnung dar, wobei als wärmeübertragende Fläche ein Quadrat mit der Kantenlänge l angenommen wird.

$$R_{th} = \frac{L}{Nu \cdot \lambda \cdot A} = \frac{d}{Nu \cdot \lambda \cdot l^2} \quad (2.44)$$

2.1.5 Thermische Ersatzschaltbilder

In einem mikroelektronischen Aufbau befinden sich viele Materialien mit unterschiedlichen thermischen Eigenschaften. Die dadurch hervorgerufene Ortsabhängigkeit der thermischen Eigenschaften erschwert die Lösung der allgemeinen Wärmeleitungsgleichung. Um dennoch das thermische Verhalten eines mikroelektronischen Aufbaus abschätzen zu können, wird der Aufbau als Verkettung einzelner thermischer Widerstände und Kapazitäten modelliert. Dies geschieht in Analogie zu elektrischen Netzwerken, sodass bekannte Rechenregeln angewandt werden können. In Tabelle 2.4 sind die thermischen Größen und ihre korrespondierenden elektrischen Größen aufgelistet [36].

Tabelle 2.4: Analogie zwischen elektrischen und thermischen Größen.

Thermodynamisch		Elektrisch	
Temperatur, T	[K] [°C]	Potential, φ	[V]
Temperaturdifferenz, ΔT	[K]	Elektrische Spannung, U	[V]
Wärmestrom, Φ	[W]	Elektrischer Strom, I	[A]
Thermischer Widerstand, R_{th}	[K/W]	Elektrischer Widerstand, R	[Ω]
Thermische Kapazität, C_{th}	[J/K]	Elektrische Kapazität, C	[F]
Thermische Energie Q_{th}	[J]	Ladung, Q_{el}	[C]

Für den stationären Wärmetransport wird der mikroelektronische Aufbau als Reihenschaltung der thermischen Widerstände der einzelnen Materialien modelliert, was in Abbildung 2.9 beispielhaft für 4 thermische Widerstände dargestellt ist.

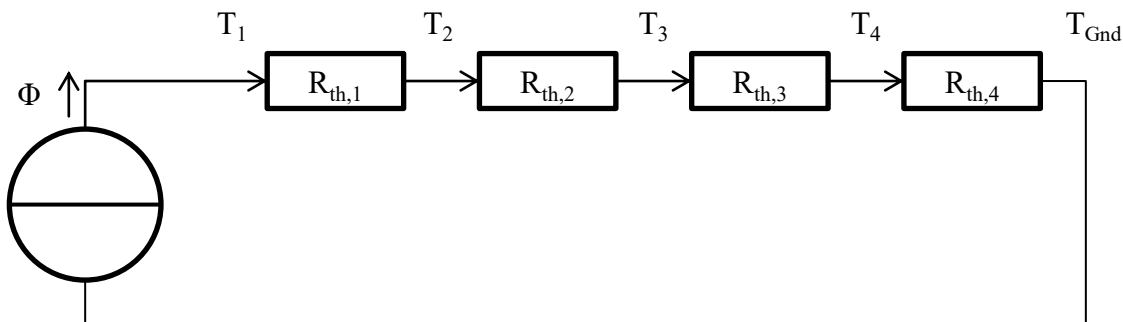


Abbildung 2.9: Thermisches Ersatzschaltbild für den Fall des stationären Wärmetransports.

Der thermische Widerstand der Anordnung ergibt sich zu Gl. (2.45) wobei etwaige Spreizeffekte in den einzelnen thermischen Widerständen berücksichtigt werden müssen (vgl. Gl. (2.23)).

$$R_{th} = \sum_i R_{th,i} \quad (2.45)$$

Die vorliegende Arbeit beschränkt sich auf den Fall der stationären Wärmeleitung. Um das Zeitverhalten des Aufbaus für den Fall der instationären Wärmeleitung zu modellieren, muss das Ersatzschaltbild um die thermischen Kapazitäten der Materialien erweitert werden. Hierfür sind zwei Netzwerkmodelle bekannt: das Cauer- und das Foster-Modell. Vertiefend kann hierzu Quelle [36] herangezogen werden.

2.1.6 Temperaturfeldberechnung mittels der Finite – Elemente – Methode

Die Temperaturfelder einfacher Aufbauten können über das Lösen der Wärmeleitungsgleichung bestimmt werden. Mit steigender Komplexität des Aufbaus erhöht sich auch die Komplexität der zu lösenden Differentialgleichungen. Das führt dazu, dass die Temperaturfelder komplexer Aufbauten nur unter großem Rechen- und Zeitaufwand gelöst werden können. Die Finite – Elementen – Methode (kurz: FEM) löst dieses Problem, indem sie den komplexen Aufbau in viele kleine Elemente zerlegt und anschließend das Temperaturfeld eines einzelnen diskreten Elementes berechnet. Dies geschieht durch das Lösen von Gleichungssystemen, die neben Materialkennwerten und Geometriedaten auch Randbedingungen wie die Temperatur an den Aufbauoberflächen, die Temperaturübertragung zur Umgebung (Konvektion und Strahlung) und die zugeführte thermische Last berücksichtigen.

Im Folgenden ist dieser Vorgang am Beispiel eines einfachen Linienelementes dargestellt. Das Linienmodell setzt sich aus 2 Knoten und einer Verbindung zwischen den Knoten zusammen. Die Temperatur am Knoten n beträgt T_n und am Knoten $n+1$ T_{n+1} . Das Linienmodell hat die Querschnittsfläche A_m , die den Mittelwert zwischen der Querschnittsfläche an Knoten n und an Knoten $n+1$ darstellt. Die Verbindung zwischen den Knoten hat die Länge L und die thermische Leitfähigkeit λ_e . In Abbildung 2.10 ist das Linienmodell dargestellt.

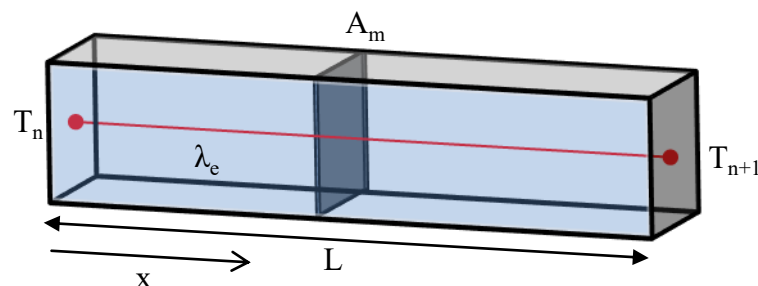


Abbildung 2.10: Linienelement der Finiten – Elementen – Methode.

Ausgehend von einem linearen Temperaturverlauf innerhalb des Elementes berechnet sich die Temperatur an der Stelle x nach Gl. (2.46)

$$T(x) = a \cdot x + b \quad (2.46)$$

Mit den Randbedingungen $T(x=0) = T_n$ und $T(x=L) = T_{n+1}$ können die Koeffizienten a und b bestimmt werden, wodurch sich Gl. (2.47) ergibt.

$$T(x) = \frac{T_{n+1} - T_n}{L} \cdot x + T_n = \underbrace{\left(1 - \frac{x}{L}\right)}_{N_n(x)} \cdot T_n + \underbrace{\frac{x}{L}}_{N_{n+1}(x)} \cdot T_{n+1} \quad (2.47)$$

Diese Gleichung kann in die Matrizenform überführt werden, wobei die Formmatrix $[N]$ verwendet wird.

$$T(x) = [N] \cdot \{T\} \quad \text{mit } [N] = \left\{1 - \frac{x}{L} \quad \frac{x}{L}\right\}; \quad \{T\} = \left\{T_n \quad T_{n+1}\right\} \quad (2.48)$$

Der Temperaturgradient entlang des Elementes wird mit Gl. (2.49) bestimmt.

$$\text{grad } T(x) = \frac{d}{dx} \cdot [N] \cdot \{T\} = \dot{T}(x) \quad (2.49)$$

Für das einfache Linienelement ist der Temperaturgradient nur in eine Richtung zu bestimmen. Im allgemeinen Fall ist der Temperaturgradient allerdings in mehreren Richtungen zu berechnen, sodass er als Spaltenvektor notiert wird.

$$\{\dot{T}\} = [B] \cdot \{T\} \quad \text{mit } [B] = \frac{d}{dx} \cdot [N] = \left\{-\frac{1}{L} \quad \frac{1}{L}\right\} \quad (2.50)$$

Die Wärmestromdichte des Elementes berechnet sich nach Gl. (2.51).

$$\dot{q} = -\lambda_e \cdot \dot{T}(x) \quad (2.51)$$

Für den allgemeinen Fall wird statt der thermischen Leitfähigkeit die Werkstoffmatrix $[D]$ verwendet, siehe Gl. (2.52)

$$\{\dot{q}\} = -[D] \cdot \{\dot{T}\} \quad (2.52)$$

Nach Einsetzen von Gl.(2.50) in Gl. (2.52) ergibt sich Gl. (2.53).

$$\{\dot{q}\} = -[D] \cdot [B] \cdot \{T\} \quad (2.53)$$

Um die unbekanntenen Knotentemperaturen zu bestimmen, ist die Aufstellung eines Gleichungssystems notwendig. Hierfür wird die Minimalforderung der potentiellen Energie E_{pot} genutzt, Gl. (2.54).

$$E_{pot} = \sum_n (E_{pot,i})_n + (E_{pot,a})_k = Min. \quad (2.54)$$

Diese setzt sich aus der inneren Energie aller Elemente $E_{pot,i}$ und der zu- bzw. abgeführten Energie an den Knoten $E_{pot,a}$ zusammen. Äußere Energiezufuhr im Bereich der Elemente wurde hier vernachlässigt.

Die innere Energie berechnet sich nach Gl. (2.55).

$$E_{pot,i} = \frac{1}{2} \cdot \int_0^V \{\dot{T}\}^T \cdot \{\dot{q}\} \cdot dv \quad (2.55)$$

Nach Einsetzen von Gl. (2.50) und (2.53) ergibt sich Gl. (2.56).

$$E_{pot,i} = \frac{1}{2} \cdot \{T\}^T \cdot \int_0^V [B]^T \cdot [D] \cdot [B] \cdot dv \cdot \{T\} \quad (2.56)$$

Das Volumenintegral über die Ableitung der Formmatrix $[B]$ und Werkstoffmatrix $[D]$ wird als Leitfähigkeitsmatrix $[k]_e$ des Elementes e bezeichnet (Gl. (2.57)).

$$[k]_e = \int_0^V [B]^T \cdot [D] \cdot [B] \cdot dv \quad (2.57)$$

Für das skizzierte Linienelement ergibt sich $[k]_e$ zu Gl. (2.58).

$$[k]_e = \frac{\lambda_e \cdot A_m}{L} \cdot \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \quad (2.58)$$

Unter Berücksichtigung von Gl. (2.56) erhält man Gl. (2.59).

$$E_{pot,i} = \frac{1}{2} \cdot \{T\}^T \cdot [k]_e \cdot \{T\} \quad (2.59)$$

Die zu- bzw. abgeführte Energie an den Knoten berechnet sich aus dem Produkt der Knotentemperaturen und der Knotenlasten $\{Q\}$ nach Gl. (2.60).

$$(E_{pot,a})_k = -\{T\}^T \cdot \{Q\} \quad (2.60)$$

Damit kann die potentielle Energie nach Gl. (2.61) bestimmt werden.

$$E_{pot} = \frac{1}{2} \cdot \left(\sum_e \{T\}^T \cdot [k]_e \cdot \{T\} \right) - \{T\}^T \cdot \{Q\} \quad (2.61)$$

Mit der Minimalforderung aus Gl. (2.54) ergibt sich das gesuchte Gleichungssystem (Gl. (2.62) & (2.63)). Die Summe der Leitfähigkeitsmatrix über alle Elemente wird als Leitfähigkeitsmatrix der Gesamtstruktur $[K]$ bezeichnet.

$$\frac{dE_{pot}}{d\{T\}} = 0 = \underbrace{\left(\sum_e [k]_e \right)}_{[K]} \cdot \{T\} - \{Q\} \quad (2.62)$$

$$[K] \cdot \{T\} = \{Q\} \quad (2.63)$$

Je nach Anwendungsfall und Modellgröße können für das Lösen des Gleichungssystems direkte Verfahren bzw. iterative Verfahren angewandt werden. Direkte Verfahren wie z. B. das Gaußsche Eliminationsverfahren oder die Cramersche Regel bieten sich für kleinere Modelle an, da sie sehr zeit- und speicherintensiv sind. Dafür bieten sie jedoch eine Lösung mit sehr hoher Genauigkeit. Iterative Verfahren wie z.B. Gauß-Seidel, Jakobi Konjugate Gradient oder Überrelaxation eignen sich für größere Modelle, da sie weniger Rechenzeit als direkte Verfahren benötigen. Im Vergleich zu direkten Verfahren sind sie jedoch ungenauer. [37]

Durch die Lösung des Gleichungssystems kann der Vektor der Knotentemperaturen $\{T\}$ bestimmt werden. Nach Einsetzen der Lösung für die Knotentemperaturen in Gl. (2.47) ergibt sich der Temperaturverlauf innerhalb der einzelnen Elemente und schließlich das Temperaturfeld der Gesamtanordnung.

Das hier dargestellte Rechenbeispiel für ein Linienelement ist der Quelle [38] entnommen.

Von dem hier gezeigten Lösungsweg für ein Linienelement kann auf einen allgemeinen Arbeitsablauf geschlossen werden, der für eine Beispielgeometrie in Abbildung 2.11 dargestellt ist.

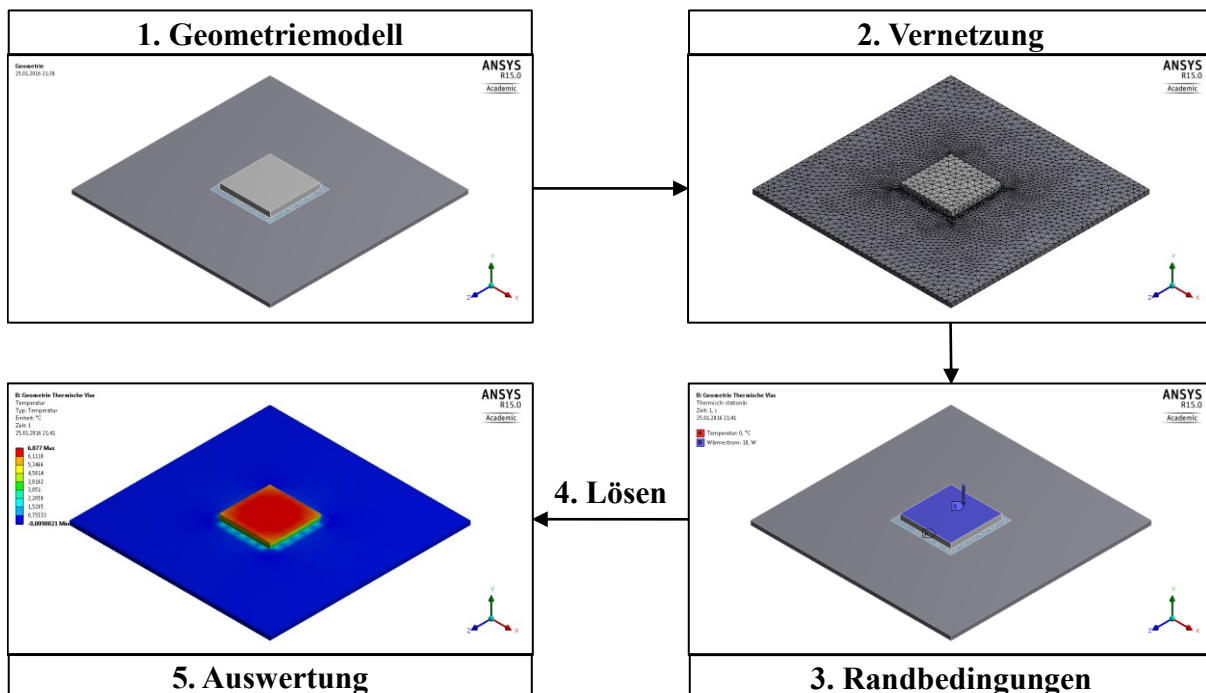


Abbildung 2.11: Typischer Arbeitsablauf bei einer FEM Simulation.

Der erste Schritt besteht in der Erstellung des Geometriemodells. Dieses Modell sollte alle Details und Strukturen enthalten, die für das thermische Verhalten des Aufbaus relevant sind. Das Geometriemodell wird im zweiten Schritt in einzelne Elemente zerlegt. Die einzelnen Elemente bilden dabei das Netz der Geometrie. Im dritten Schritt werden die Randbedingungen, wie Temperaturen an den Oberflächen, thermische Lasten usw. definiert. Danach wird das Simulationsmodell gelöst und ausgewertet. Der Speicher- und Rechenbedarf der Lösung hängt dabei maßgeblich von der Komplexität des Simulationsmodells ab. Je mehr Elemente es enthält, desto länger dauert in der Regel die Berechnung der Lösung. Die Reduzierung der Elemente bietet hier zwar eine schnellere Lösung, jedoch ist das thermische Verhalten des Aufbaus nur ungenau abgebildet und stellt lediglich eine grobe Abschätzung dar. Hier ist ein Kompromiss zwischen Modellkomplexität, Speicher- und Zeitbedarf sowie Genauigkeit zu bilden. Um diesen Kompromiss zu finden, wird der Aufbau mehrmals mit steigender Anzahl an Elementen simuliert. Mit jeder Verfeinerung des Netzes steigt die Genauigkeit der Simulation. Ab einem gewissen Verfeinerungsgrad ändert sich das Simulationsergebnis trotz steigender Anzahl an Elementen nicht mehr. Es ist konvergiert.

Simulationsprogramme wie ANSYS (ANSYS Inc.), COMSOL (COMSOL Inc.) oder Flotherm (Mentor Graphics Corp.) folgen diesem Arbeitsablauf. Die Simulationen dieser Arbeit wurden mit der ANSYS Workbench durchgeführt. Diese Arbeitsumgebung erlaubt neben dem strukturierten Abarbeiten der Simulationsschritte auch die Verknüpfung unterschiedlichster physikalischer Modelle. So sind z. B. thermomechanische, fluidische und thermoelektrische Simulationen möglich.

2.2 Methoden zur Bestimmung der thermischen Leitfähigkeit

2.2.1 Wiedemann-Franzsches Gesetz

Gute elektrische Leiter sind in der Regel auch gute thermische Leiter. Dies geht auf die freien Elektronen in elektrischen Leitern zurück, die neben dem elektrischen Strom auch Wärme übertragen (vgl. Abschnitt 2.1.3). Um die thermische Leitfähigkeit zu bestimmen, kann der Zusammenhang zwischen der spezifischen elektrischen Leitfähigkeit σ und der thermischen Leitfähigkeit λ von Metallen genutzt werden. Im Wiedemann-Franzsches Gesetz werden die beiden Größen über die Lorenz-Zahl L und die Temperatur T ins Verhältnis gesetzt (Gl. (2.64), [39], [40]). Aus der Definition von thermischer und elektrischer Leitfähigkeit folgt Gl. (2.65), wobei k_B die Boltzmann-Konstante und e die Elementarladung beschreibt.

$$\frac{\lambda}{\sigma} = LT \quad (2.64)$$

$$L = \frac{\pi^2}{3} \left(\frac{k_B}{e} \right)^2 = 2,45 \cdot 10^{-8} \frac{W\Omega}{K^2} \quad (2.65)$$

Dieser theoretische Wert der Lorenz-Zahl wurde experimentell bestätigt [41]. Hierbei wurden beide Leitfähigkeiten bei einer bestimmten Temperatur gemessen und die Lorenz-Zahl

bestimmt, siehe Tabelle 2.5. Aus Literaturwerten lässt sich ebenfalls die Lorenz-Zahl für einige Metalle bei 25 °C bestimmen.

Tabelle 2.5: Literaturwerte für die Lorenz-Zahl entnommen aus [41].

Metall chem. Zeichen	nach Literaturwerten für σ und λ bei 25 °C			Experimentell	
	σ [MS/m]	λ [W/(m · K)]	L [10 ⁻⁸ WΩ/K ²]	L bei 0 °C [10 ⁻⁸ WΩ/K ²]	L bei 100 °C [10 ⁻⁸ WΩ/K ²]
Ag	62,1	430	2,32	2,31	2,37
Au	45,5	320	2,36	2,35	2,40
Cd	13,8	97	2,36	2,42	2,43
Cu	58,8	400	2,28	2,23	2,33
Mo	18,9	139	2,47	2,61	2,79
Pb	4,8	35	2,45	2,47	2,56
Pt	9,6	72	2,52	2,51	2,60
Sn	9,1	66,6	2,45	2,52	2,49
W	18,9	174	3,09	3,04	3,2
Zn	16,9	116	2,30	2,31	2,33
Pd	9,5	72	2,54		

Im Rahmen dieser Arbeit wird für einige Materialien die thermische Leitfähigkeit über die Bestimmung der spezifischen elektrischen Leitfähigkeit ermittelt. Die spezifische elektrische Leitfähigkeit wird über eine Widerstands- und Geometriemessung durchgeführt. Dabei werden die zwei nachfolgend beschriebenen Methoden angewendet.

2.2.1.1 Van der Pauw Methode

Nach der van der Pauw Methode [42] wird an einer beliebigen Fläche zwischen den Punkten M N ein Strom eingepreßt und zwischen den Punkten P und O eine Potentialdifferenz gemessen (vgl. Abbildung 2.12).

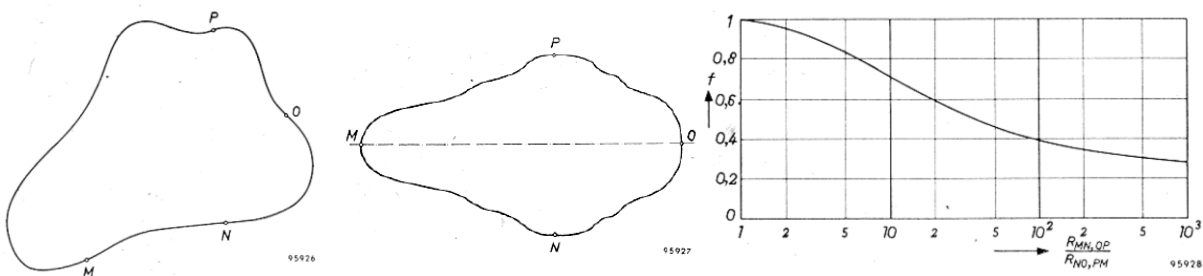


Abbildung 2.12: Links: Beliebige Fläche mit den Punkten M N O und P . Mitte: Fläche mit Symmetrieachse. Rechts: Korrekturfaktor f in Abh. von R Verhältnis. [42]

Die Messanordnung wird gedreht, der Strom über NO eingepreßt und die Potentialdifferenz zwischen M und P gemessen. Die resultierenden Widerstände ergeben sich nach Gl. (2.66).

Weist die Fläche eine Symmetrieachse auf, so sind die resultierenden Widerstände gleich groß (Gl. (2.67)).

$$R_{MN,OP} = \frac{U_P - U_O}{I_{MN}} \quad R_{NO,PM} = \frac{U_M - U_P}{I_{NO}} \quad (2.66)$$

$$R_{MN,OP} = R_{NO,PM} = R_F \quad (2.67)$$

Der Flächenwiderstand R_{\blacksquare} ergibt sich dann für eine Fläche mit Symmetrieachse nach Gl. (2.68) und für unsymmetrische Flächen nach Gl. (2.69). Dabei bezeichnet d die Dicke der Fläche und ρ den spezifischen elektrischen Widerstand. f steht für den Korrekturfaktor, der nur von dem Verhältnis $R_{MN,OP} / R_{NO,PM}$ abhängt (vgl. Abbildung 2.12 rechts).

$$R_{\blacksquare} = \frac{\rho}{d} = \frac{\pi}{\ln 2} R_F \quad (2.68)$$

$$R_{\blacksquare} = \frac{\rho}{d} = \frac{\pi}{\ln 2} \frac{R_{MN,OP} + R_{NO,PM}}{2} f \quad (2.69)$$

Bei Kenntnis der Dicke d kann der spezifische elektrische Widerstand bzw. Leitwert ermittelt werden. Das Modell geht dabei von einer rechteckförmigen Querschnittsfläche aus, sodass ein nicht rechteckförmiger Querschnitt auf einen rechteckförmigen Querschnitt mit äquivalenter Fläche zurückgeführt werden muss.

2.2.1.2 Vierleitermessung zur Bestimmung der elektrischen Leitfähigkeit

Bei der Vierleitermessung wird der zu messende Widerstand über zwei Zuleitungen mit dem Strom I gespeist und die Potentialdifferenz U über eine definierte Länge L bestimmt. Bei Kenntnis der Querschnittsfläche A der Leitung lässt sich der spezifische elektrische Leitwert nach Gl. (2.70) berechnen.

$$\frac{1}{\rho} = \sigma = \frac{I L}{U A} \quad (2.70)$$

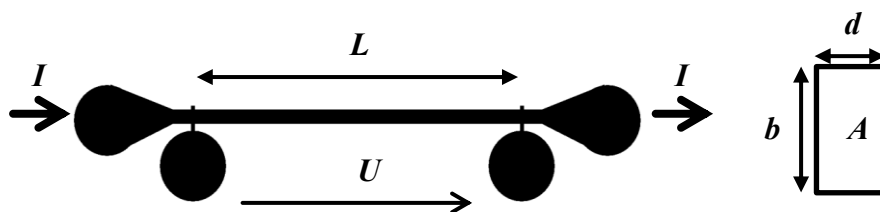


Abbildung 2.13: Schematische Darstellung einer Messstruktur für die Bestimmung der spezifischen elektrischen Leitfähigkeit nach der Vierleitermessung.

2.2.2 Laser Flash Analyse

Bei der Laser Flash Analyse (kurz: LFA) wird ein Probekörper des zu untersuchenden Materials mit einem Laserpuls beschossen und die Temperatur der Rückseite des Probekörpers über die Zeit aufgezeichnet [43], siehe Abbildung 2.14.

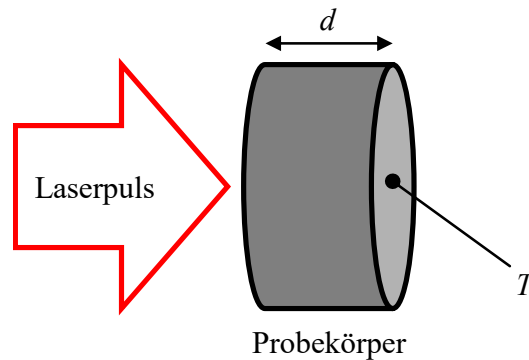


Abbildung 2.14: Schematische Darstellung der Laser-Flash-Analyse. Ein Probekörper wird mit einem Laserpuls beschossen und die Erwärmung der Rückseite über die Zeit gemessen.

Der Temperatur-Zeit-Verlauf ist beispielhaft in Abbildung 2.15 dargestellt.

Die Temperaturleitfähigkeit α des Probekörpers berechnet sich dabei nach Gl. (2.71). Hier steht d für die Dicke des Probekörpers und $t_{1/2}$ für den Zeitpunkt, an dem die Temperatur die Hälfte der maximalen Temperatur erreicht hat.

$$\alpha = 1,38 \cdot \frac{d^2}{\pi \cdot t_{1/2}} \quad (2.71)$$

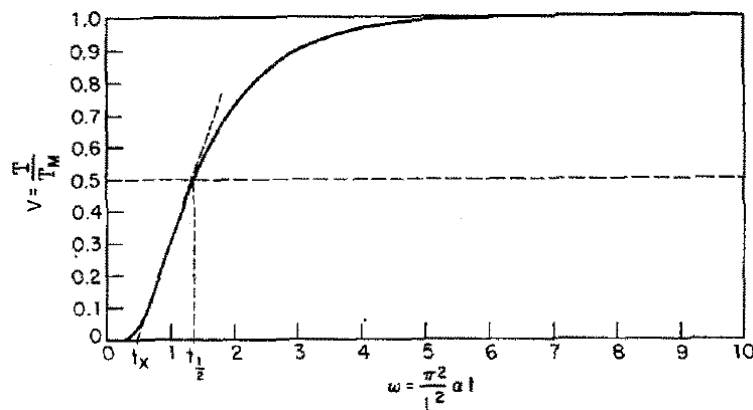


Abbildung 2.15: Beispielhafter Temperatur-Zeit-Verlauf der Rückseite eines Probekörpers [43]

Mit Kenntnis der Temperaturleitfähigkeit sowie der Dichte ρ und der spez. Wärmekapazität c_p kann die thermische Leitfähigkeit λ des Materials nach Gl. (2.72) berechnet werden. Die Temperaturabhängigkeit der Größen erfordert die Bestimmung bei unterschiedlichen Temperaturen.

$$\lambda(T) = \alpha(T) \cdot \rho(T) \cdot c_p(T) \quad (2.72)$$

2.2.3 Ermittlung der Wärmeleitfähigkeit nach ASTM D5470

In der Norm ASTM D5470 [44] wird ein Verfahren beschrieben, mit dem die thermische Leitfähigkeit von verschiedensten Materialien bestimmt werden kann. In diesem Verfahren wird der Probekörper zwischen zwei Referenzelementen mit bekannter thermischer Leitfähigkeit λ_R platziert, siehe Abbildung 2.16. Am Ende des oberen Referenzelementes befindet sich eine Wärmequelle wie z.B. ein elektrischer Heizer. Am Ende des unteren Referenzelementes wird eine Wärmesenke angebracht. Diese kann z.B. als Wasserkühler realisiert werden. Beide Referenzelemente sind gegenüber der Umgebung thermisch isoliert und enthalten exakt platzierte Temperatursensoren ($T_1 - T_4$) zur Bestimmung der Temperaturgradienten.

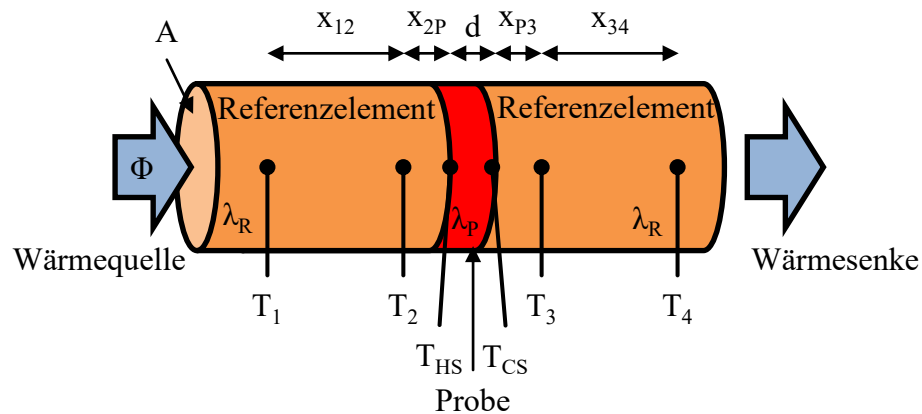


Abbildung 2.16: Modell des Messaufbaus nach ASTM D5470

Der durch die Wärmequelle generierte Wärmestrom Φ fließt entlang der Referenzelemente und der Probe zur Wärmesenke. Durch die Auswertung der Temperatursensoren kann der Wärmestrom dabei exakt bestimmt werden (Gl. (2.73)).

$$\Phi = \frac{\Phi_{HS} + \Phi_{CS}}{2} \quad \text{mit } \Phi_{HS} = \frac{T_1 - T_2}{x_{12}} \cdot \lambda_R \cdot A; \quad \Phi_{CS} = \frac{T_3 - T_4}{x_{34}} \cdot \lambda_R \cdot A \quad (2.73)$$

Der Temperaturgradient über der Probe wird nach Gl. (2.74) berechnet.

$$\Delta T_P = T_{HS} - T_{CS} \quad \text{mit } T_{HS} = T_2 - \frac{x_{2P}}{x_{12}} \cdot (T_1 - T_2); \quad T_{CS} = T_3 + \frac{x_{P3}}{x_{34}} \cdot (T_3 - T_4) \quad (2.74)$$

Basierend auf diesen Daten kann der thermische Widerstand (Gl. (2.75)) und die thermische Leitfähigkeit der Probe (Gl. (2.76)) bestimmt werden.

$$R_{th} = \frac{\Delta T_P}{\Phi} \quad (2.75)$$

$$\lambda_P = \frac{d}{A} \cdot \frac{\Delta T_P}{\Phi} \quad (2.76)$$

Die exakte Vermessung der Querschnittsfläche A und der Dicke d der Probe sind dabei Voraussetzung für eine genaue Bestimmung der thermischen Leitfähigkeit. Dieses Verfahren wurde in verschiedenen Prüfständen für die Bestimmung der thermischen Leitfähigkeit von TIM adaptiert, [45], [46].

Das Verfahren hat für die Aufbau- und Verbindungstechnologie in der Mikroelektronik jedoch nur begrenzten Praxisbezug [47]. So kann der Einfluss der Oberflächenmetallisierung und -struktur von Chip und Trägersubstrat auf den thermischen Widerstand der Verbindung nur unter erheblichem Aufwand nachgebildet werden. Die thermischen Grenzflächenwiderstände an den Schnittstellen Chip – Verbindungsmaterial und Verbindungsmaterial – Trägersubstrat können somit nicht abgebildet werden, was die Adaption der Messergebnisse auf TIM's im mikroelektronischen Aufbau erschwert. Daher wird dieses Verfahren in dieser Arbeit nicht eingesetzt.

2.3 Versuchsstand zur Bestimmung des thermischen Verhaltens

Um das thermische Verhalten von Aufbauten besser bewerten bzw. vorhersagen zu können, ist neben der analytischen Betrachtung und Simulation in den meisten Fällen auch die Messung an hergestellten Aufbauten notwendig. Diese Messung liefert eine genaue Aussage über das thermische Verhalten des Aufbaus und kann darüber hinaus für die Optimierung des Simulationsmodells genutzt werden. Die in dieser Arbeit durchgeführten thermischen Messungen dienen der Bestimmung der stationären thermischen Widerstände der Aufbauten.

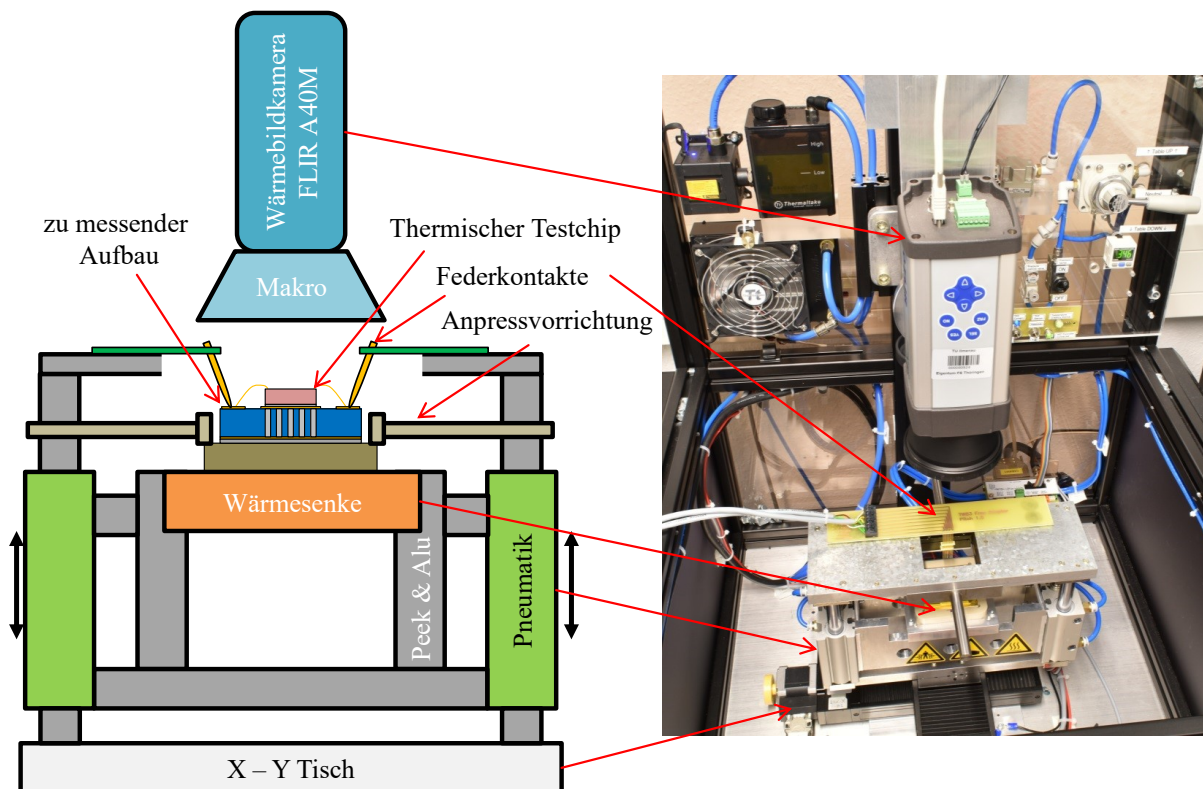


Abbildung 2.17: Versuchsstand zur Messung des stationären thermischen Widerstands.

Die Messung basiert auf der Ermittlung des Temperaturgradienten über den gesamten Aufbau bei einer applizierten thermischen Last und ist an die Norm [48] angelehnt. Dafür wurde ein Versuchsstand entwickelt, der aus den Komponenten Wärmesenke, pneumatische Anpressvorrichtung, Federkontakte, sowie einer Wärmebildkamera (A40M von FLIR Inc., Genauigkeit $\pm 2\%$, $\pm 2\text{ }^\circ\text{C}$, spektraler Bereich $7,5\text{ }\mu\text{m}$ bis $13\text{ }\mu\text{m}$) besteht. Dabei basiert der vorgestellte Versuchsstand auf der Konstruktion des Versuchsstands von [49] und stellt eine Weiterentwicklung dessen dar. Der Versuchsstand ist in Abbildung 2.17 schematisch und als Fotografie dargestellt.

Der zu messende Aufbau wird auf die Wärmesenke platziert und mittels der pneumatischen Anpressvorrichtung mit einem definierten Druck von min. 3 bar an die Wärmesenke gepresst. Eine thermische Last im Aufbau führt dann zu einem Temperaturgradienten zwischen der Wärmequelle im Aufbau und der Wärmesenke. Die Wärmequelle kann im einfachsten Fall ein Widerstand sein. In dieser Arbeit wurde der thermische Testchip (kurz: TTC) PST1 von Delphi und der TTC G423B von Infineon genutzt, die neben einem Flächenheizer auch einen Temperatursensor enthalten.

2.3.1 Charakterisierung des thermischen Testchips PST1

Der im Aufbau integrierte TTC hat einen flächigen Widerstand zur ohmschen Heizung und fünf in Reihe geschaltete pn-Übergänge zur Detektion der Kerntemperatur (engl. *junction temperature*) des Chips, siehe Abbildung 2.18. Er erfüllt damit die Anforderungen an thermische Testchips nach der Norm [50].

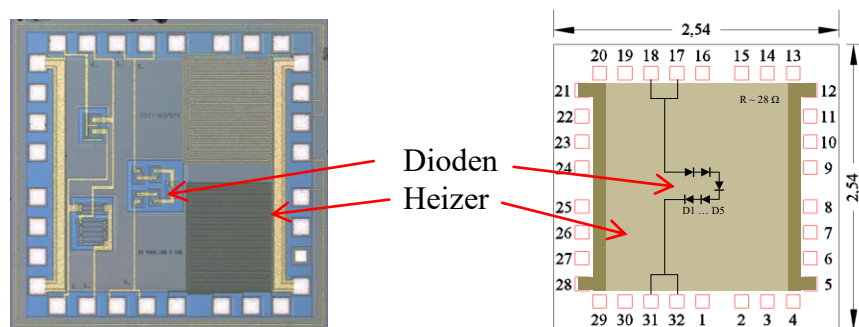


Abbildung 2.18: TTC PST1. Links: Mikroskopische Aufnahme. Rechts: Schematische Darstellung der internen Struktur bestehend aus Flächenwiderstand und fünf Dioden in Reihenschaltung.

Der Chip hat die Abmaße $2,54\text{ mm} \times 2,54\text{ mm} \times 0,271\text{ mm}$ und wird mittels Dünndrahtbonden mit einem LTCC Verdrahtungsträger verbunden. Hierbei werden der flächige Widerstand und die pn-Übergänge mit jeweils 4 Bonddrähten verbunden, sodass die Vierleitermessung angewandt werden kann. Die Rückseitenmetallisierung des Chips wurde mithilfe des *focused ion beam* (kurz: FIB), der Rasterelektronenmikroskopie (kurz: REM) und der energiedispersive Röntgenspektroskopie (kurz: EDX) ermittelt. Sie besteht aus 70 nm Au , 221 nm Ni und 78 nm Cr und ist somit hervorragend für die Chipmontage geeignet (vgl. Abschnitt 3.2.1). Der montierte Chip und die Rückseitenmetallisierung ist in Abbildung 2.19 dargestellt. Die Abbildung zeigt die Drahtbond-Variante (engl. *wire bond*) des TTC's.

Zusätzlich zur Drahtbond-Variante wurde auch die Flip-Chip-Variante des Chips mit Lotkontakten in der Arbeit verwendet.

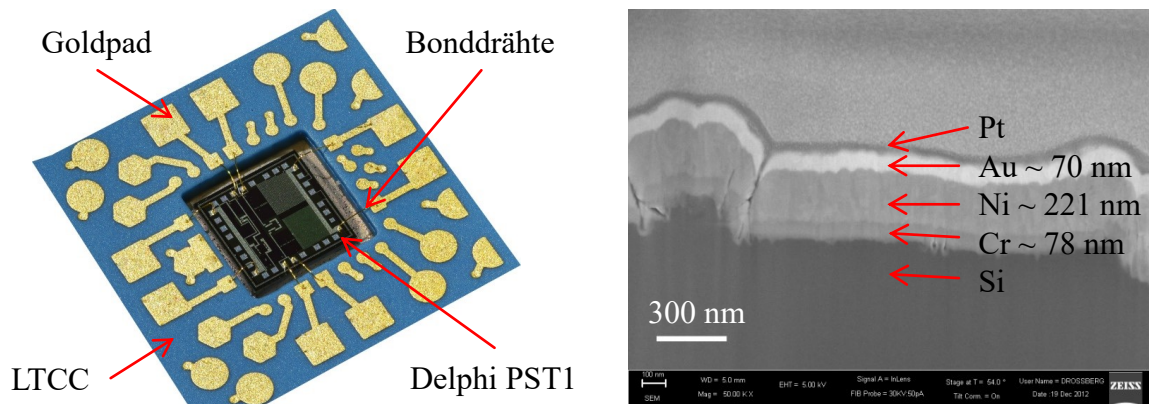


Abbildung 2.19: Links: Thermischer Testchip PST1 von Delphi, verbunden mit LTCC Trägersubstrat über Dünndrahtbonds. Rechts: REM Aufnahme der Rückseitenmetallisierung des PST1 bestehend aus 70 nm Au & 221 nm Ni & 78 nm Cr. Ermittelt durch FIB, REM und EDX. Die Platinschicht wurde während der FIB Prozessierung aufgebracht und ist nicht Bestandteil der Metallisierung.

Die Temperaturmessung mittels pn-Übergängen basiert auf dem Effekt, dass die Durchlassspannung einer Diode mit zunehmender Temperatur abfällt. Bei konstantem Diodenstrom fällt die Durchlassspannung linear ab, wenn die Temperatur linear ansteigt. Zu beachten ist, dass der eingespeiste Diodenstrom zu keiner signifikanten Eigenerwärmung des Chips führen darf. Der Diodenstrom sollte daher auf möglichst kleine Werte begrenzt werden. Allerdings sollte der Strom noch hoch genug sein, um einen sicher messbaren Spannungsabfall zu generieren. Typische Werte für thermische Testchips liegen im Bereich von 100 μA bis 5 mA [48]. Für die Generierung des Diodenstroms wurde in dieser Arbeit eine temperaturstabilisierte Stromquelle (LT3092, Linear Technology Corp.) verwendet [51]. Der Diodenstrom wurde auf 1 mA eingestellt und wies dabei eine Schwankung von 1 μA auf. Der Spannungsabfall über den Dioden wurde mit einer Schrittweite von 10 K im Temperaturbereich von 30 $^{\circ}\text{C}$ – 120 $^{\circ}\text{C}$ mit einem Multimeter (Agilent 34401, Agilent Technologies) gemessen, siehe Abbildung 2.20. Hierfür wurden jeweils 10 Wirebondchips und 10 Flip-Chips auf einem Aluminiumoxidträgersubstrat montiert und elektrisch verbunden. Um über den Wafer schwankende Halbleitereigenschaften zu berücksichtigen wurden die Chips von unterschiedlichen Positionen des Wafers entnommen. Die Testproben wurden in einen Konvektionsofen (FED 53, Binder GmbH) temperiert. Die Messung der Ofentemperatur erfolgte dabei mit einem Typ K Thermoelement, das an einen Datenlogger angeschlossen war (VOLT CRAFT K204 Datalogger, Genauigkeit $\pm (0,3 \% + 1 \text{ K})$). Hierbei wurde die Temperatur für eine Zeit von min. 15 min gehalten, um einen thermisch stationären Zustand zu erreichen. Nach Ablauf der Zeit wurde der Spannungsabfall aufgenommen.

Die gemessenen Temperatur-Spannungsverläufe bestätigen den linearen Zusammenhang zwischen Durchlassspannung und Temperatur. Mithilfe der linearen Regression wurde der Anstieg m und die Spannung bei 0 $^{\circ}\text{C}$ (U_0) für jeden einzelnen Testchip berechnet. Die sich daraus ergebende Regressionsgerade berechnet sich nach Gl. (2.77).

$$U(T) = m \cdot T + U_0 \quad (2.77)$$

Diese Gleichung kann nach der Temperatur umgestellt werden und ermöglicht so die Berechnung der Temperatur aus einem Spannungswert, siehe Gl. (2.78).

$$T = \frac{U(T) - U_0}{m} \quad (2.78)$$

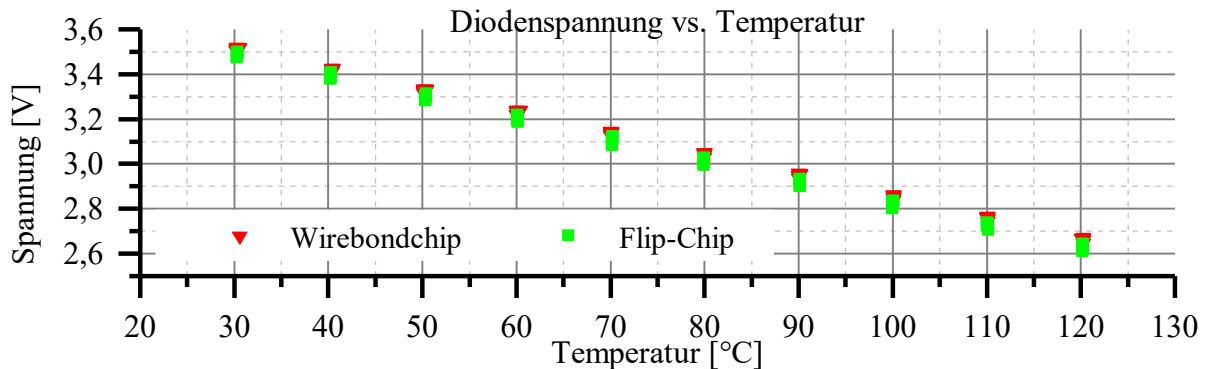


Abbildung 2.20: Temperaturverlauf der Diodenspannung des thermischen Testchips PST1 (Wirebondchip & Flip-Chip) im Temperaturbereich von 30 °C bis 120 °C. Der Diodenstrom wurde auf 1 mA eingestellt.

In [52] wurde ein Diodenstrom von 100 μA verwendet und die Diodenspannung bei jedem Temperaturschritt über 10 Chips gemittelt. Dies ergab einen Anstieg von $-2,08 \text{ mV/K}$ bei einer Standardabweichung der Diodenspannung von $0,57 \text{ mV}$. Die Messtoleranz wurde jedoch nicht angegeben. Ein geringer thermischer Widerstand führt bei vertretbarer Verlustleistung nur zu einem geringen, zu messenden Temperaturgradienten. Die Überprüfung der Signifikanz von diesem geringen Temperaturgradienten wird durch die fehlende Angabe der Messtoleranz erschwert. Daher wurden in dieser Arbeit separat die ermittelten Anstiege und U_0 für den Wirebondchip und Flip-Chip statistisch ausgewertet. Abbildung 2.21 enthält die entsprechenden Boxplots. In Tabelle 2.6 sind die Mittelwerte und die dazugehörigen Standardabweichungen angegeben.

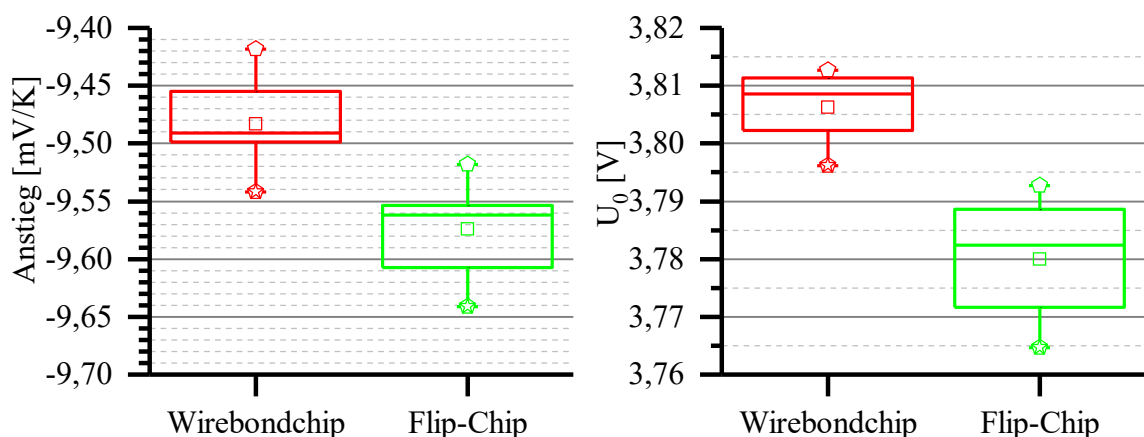


Abbildung 2.21: Boxplot von Anstieg (links) und U_0 (rechts) der Diodenspannung für den TTC PST1, rot Typ Wirebondchip, grün Typ Flip-Chip, Diodenstrom 1 mA; jeweils 10 Chips vermessen.

Tabelle 2.6: Mittelwert und Standardabweichung von Anstieg und U_0 der Temperatur-Spannungskennlinie des thermischen Testchips PST1 bei 1 mA Diodenstrom, jeweils 10 Chips vermessen.

	Anstieg m [mV/K]		U_0 [V]	
Wirebondchip	-9,483	$\pm 0,039$	3,806	$\pm 0,006$
Flip-Chip	-9,574	$\pm 0,042$	3,780	$\pm 0,010$

Aus der Auswertung wird ersichtlich, dass sich der Wirebondchip und der Flip-Chip sowohl im mittleren Anstieg als auch im mittleren U_0 unterscheiden. Die Verwendung des Mittelwerts der Anstiege für die Berechnung der Temperatur führt zu einer Toleranz von ca. 0,4 % im gemessenen Temperaturintervall für beide Chipvarianten. Bei der Verwendung des Mittelwerts von U_0 für die Berechnung der Temperatur kommt es zu einer Toleranz von ca. 0,6 % (Wirebondchip) bzw. 1,0 % (Flip-Chip). Die Fehlerbetrachtung zeigt, dass für eine exakte Temperaturbestimmung die Temperatur-Spannungskurve für jeden zu messenden Chip aufgenommen werden muss. Dies ist bei einem großen Probenumfang nicht immer praktikabel. Daher wurde in dieser Arbeit der Mittelwert des Anstieges für die Berechnung verwendet. Dabei wurde für jede Probe vor Beginn der Messung der Spannungsabfall bei Raumtemperatur bestimmt und U_0 nach Gl. (2.77) berechnet. Dies stellt einen guten Kompromiss zwischen Messgenauigkeit und Messaufwand dar.

2.3.2 Charakterisierung des thermischen Testchips G423B

Neben dem TTC PST1 von Delphi wurde in dieser Arbeit auch der TTC G423B von Infineon eingesetzt. Der Chip hat die Abmaße von $1 \times 1 \times 0,643 \text{ mm}^3$ und besitzt wie auch der PST1 eine Rückseitenmetallisierung aus 34 nm Cr, 259 nm Ni und 71 nm Au. Zur Generierung einer thermischen Last verfügt der Chip über einen Flächenheizer. Die Temperatur kann über einen integrierten pn-Übergang ermittelt werden. Damit erfüllt auch dieser Chip die Anforderungen an einen TTC nach der Norm [50]. Das Wafer Layout dieses Chips ist so gestaltet, dass die Chips untereinander verschaltet sind. Dabei sind in einer Zeile die Flächenheizer der Chips in Reihe verschaltet. Die Anoden der pn-Übergänge sind zeilenweise und die Kathoden spaltenweise kurzgeschlossen. Diese Verschaltung auf dem Wafer ermöglicht es, die Chipgröße des TTC beliebig in 1 mm Stufen zu gestalten. So zeigt z. B. Abbildung 2.22 rechts einen TTC mit einer Kantenlänge von 7 mm, der aus 49 verschalteten G423B besteht. Gut erkennbar ist die zeilenweise Kontaktierung der Flächenheizer.

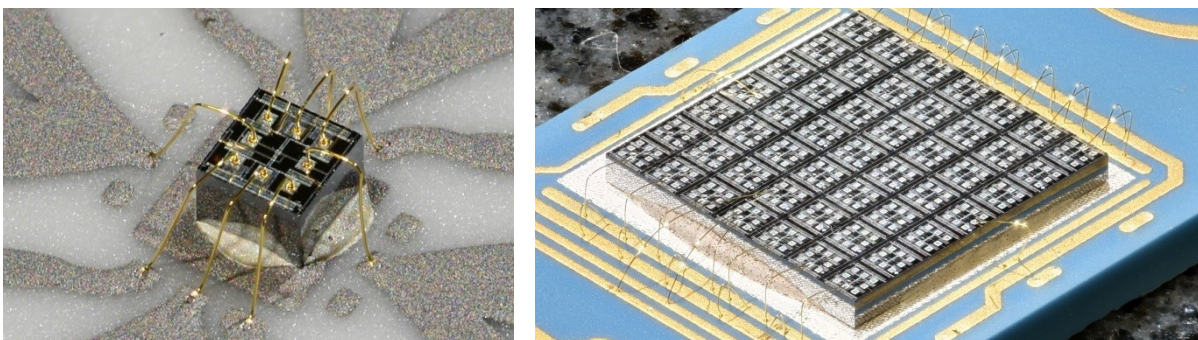


Abbildung 2.22: Links: Einzelner TTC G423B auf Aluminiumoxidsubstrat geklebt und elektrisch kontaktiert mittels Au Dünndrahtbonds. Rechts: 7×7 mm TTC, bestehend aus 49 G423B angeordnet in einer 7×7 Matrix.

Für die Kalibrierung des pn-Übergangs wurde der TTC auf einem metallisierten Aluminiumoxidsubstrat aufgeklebt und elektrisch mittels Au Dünndrahtbonden kontaktiert, siehe Abbildung 2.22 links. Die Ermittlung der Temperaturabhängigkeit der Durchflussspannung des pn-Übergangs erfolgte in gleicher Weise wie beim PST1 Chip an insgesamt 10 Chips. Dabei wurden die Kennlinien bei 3 verschiedenen Strömen aufgenommen, wie in Tabelle 2.7 dargestellt ist. Die Analyse der Daten zeigt, dass U_0 für jeden zu messenden pn-Übergang ermittelt werden muss und ein Diodenstrom von 0,5 mA aufgrund des höheren Anstiegs der Kennlinie verwendet werden sollte.

Tabelle 2.7 Mittelwert und Standardabweichung von Anstieg und U_0 Temperatur-Spannungskennlinie des TTC G423B bei variablen Diodenstrom, jeweils 10 Chips vermessen.

Diodenstrom [mA]	Anstieg m [mV/K]		U_0 [V]	
0,5	-1,710	$\pm 0,019$	0,792	$\pm 0,001$
1	-1,453	$\pm 0,030$	0,808	$\pm 0,002$
2	-1,116	$\pm 0,067$	0,841	$\pm 0,004$

2.3.3 Erfassung der Temperaturverteilung mittels Wärmebildkamera

Ein Körper mit der Temperatur $T_{obj.}$ gibt an seiner Oberfläche Wärme in Form von Strahlung ab. Die abgegebene Strahlungsleistung berechnet sich dabei nach dem Stefan-Boltzmann-Gesetz (vgl. Abschnitt 2.1.2), siehe Gl. (2.79). [23]

$$W_{obj} = \varepsilon(T) \cdot \sigma \cdot T_{obj}^4 \quad [W/m^2] \quad (2.79)$$

Strahlt eine andere thermische Wärmequelle zusätzlich infrarote Strahlung ab und trifft diese auf die zu messende Oberfläche, dann wird diese dort absorbiert, transmittiert und reflektiert. Intransparente Oberflächen reflektieren die ankommende Strahlung mit dem Faktor $(1 - \varepsilon)$. Sowohl die reflektierte, als auch die emittierte Strahlung werden bei Vorhandensein einer Atmosphäre durch diese mit dem Transmissionsfaktor τ abgeschwächt. Die Atmosphäre sendet dabei selbst infrarote Strahlung aus, welche abhängig von der Atmosphärentemperatur ist. Alle drei Strahlungsanteile gelangen zur Wärmebildkamera, welche die Summe aus allen Anteilen detektiert. Die detektierte Strahlungsleistung berechnet sich dabei nach Gl. (2.80). [23]

$$W_{ges} = \underbrace{\varepsilon(T) \cdot \tau \cdot \sigma \cdot T_{obj}^4}_{\text{Objektstrahlung}} + \underbrace{(1 - \varepsilon(T)) \cdot \tau \cdot W_{ref}}_{\text{reflektierte Strahlung}} + \underbrace{(1 - \tau) \cdot W_{atm}}_{\text{Atmosphärenstrahlung}} \quad (2.80)$$

Der Sensor der im Versuchsstand integrierten Wärmebildkamera (FLIR A40M, FLIR Systems Inc., Genauigkeit $\pm 2^\circ\text{C}$ bzw. $\pm 2\%$, Signalrauschen 0,1 K) besteht aus einem *focal plane array* (kurz: FPA), gebildet aus 320 x 240 ungekühlten Mikrobolometern. Diese einzelnen Elemente bestehen aus einem Körper, der infrarote Strahlung absorbiert und einem Temperatursensor, der die Erwärmung des Elementes misst. Der Temperatursensor generiert dabei ein temperaturäquivalentes Spannungssignal U_{ges} . Dieses wird von einer

Auswerteelektronik in einen digitalen Wert umgewandelt. Aus dem Spannungswert kann die aufgenommene Strahlungsleistung berechnet werden. Bei Kenntnis des Emissionsgrades der Oberfläche, sowie der Umgebungsbedingungen wird aus der Strahlungsleistung die Temperatur der Probenoberfläche berechnet. Durch Auswertung jedes einzelnen Mikrobolometers ist dann mittels Software die Darstellung der Temperaturverteilung auf der Oberfläche möglich. Die Messsituation, die Umwandlungsprozesse, sowie die resultierende Temperaturverteilung am Beispiel des thermischen Testchips PST1 sind schematisch in Abbildung 2.23 dargestellt.

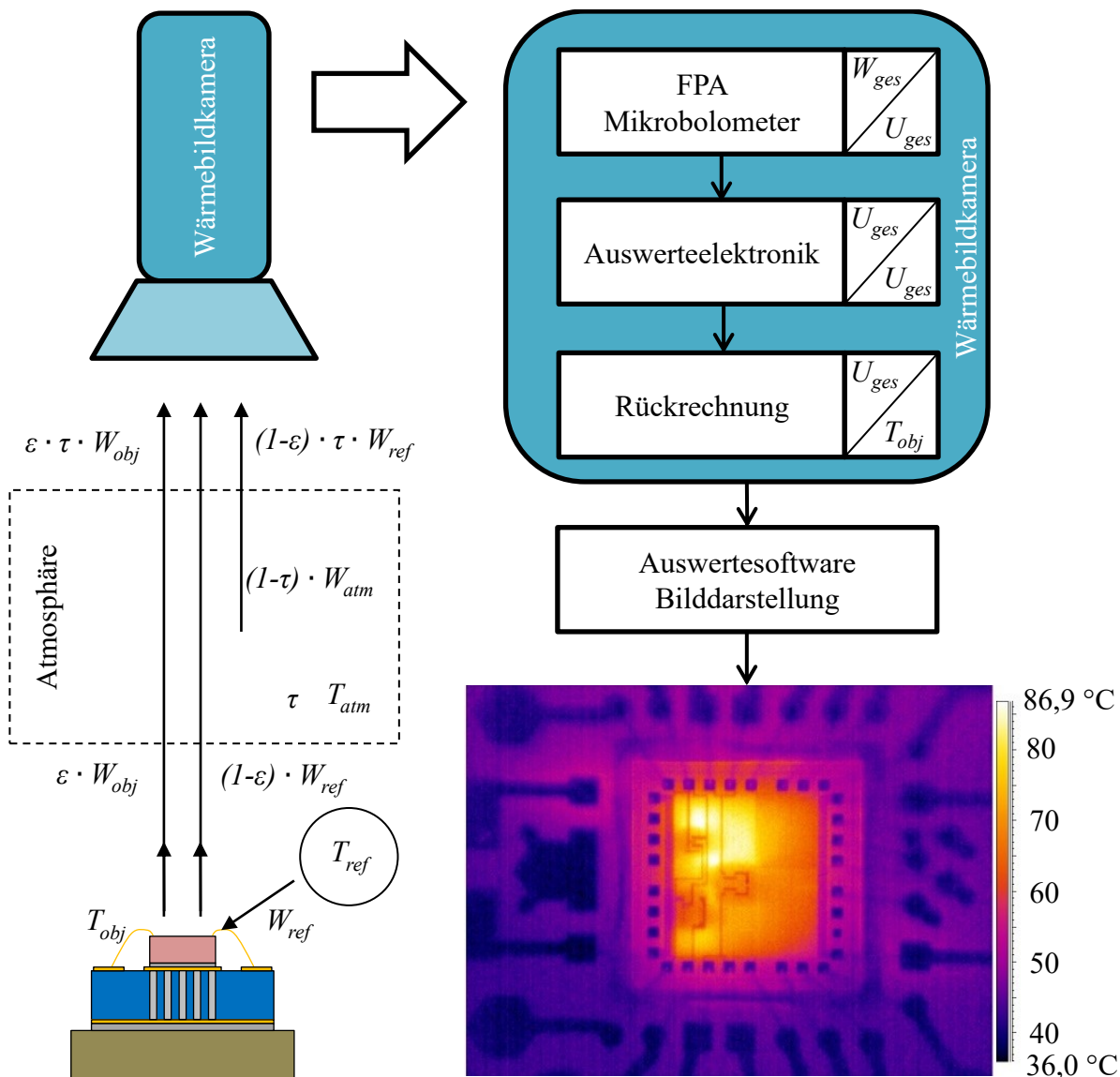


Abbildung 2.23: Darstellung der Messung der Temperaturverteilung der sich überlagernden Strahlungsanteile, die die Wärmebildkamera aufzeichnet, sowie die Rückführung des Spannungssignals auf eine bestimmte Temperatur.

Je näher die Oberflächentemperatur des Objekts der Temperatur des Störstrahlers kommt, desto stärker wird das Messsignal gestört. Dieser Effekt ist besonders bei Oberflächen mit niedrigem Emissionsgrad zu beobachten, da die Störstrahlung mit $(1 - \varepsilon)$ reflektiert wird. Grundsätzlich sollte die Oberflächentemperatur des Objektes signifikant höher sein als die

Atmosphärentemperatur, da auch hier der Störeinfluss bei Annäherung beider Temperaturen stark zunimmt.

Die Bestimmung der Absoluttemperatur der Oberfläche ist nur bei Kenntnis des Emissionsgrades der Oberfläche möglich. Wie in Abschnitt 2.1.2 beschrieben ist dieser stark von der Beschaffenheit der Oberfläche sowie der Temperatur abhängig. Bei farbigen Strahlern wie z.B. vielen metallischen Oberflächen ist der Emissionsgrad zudem abhängig von der Wellenlänge. Um dennoch verlässliche Temperaturmessungen an unbekanntem Oberflächen durchführen zu können, ist die Ermittlung des Emissionskoeffizienten notwendig. Hierfür kann die Oberfläche mit einem Material mit bekanntem Emissionsgrad beschichtet werden. Üblich sind hier schwarze Lacke die einen Emissionsgrad $> 0,9$ aufweisen. Diese Methode kann jedoch nur dann angewandt werden, wenn der spätere Verwendungszweck der Probe die Schwärzung erlaubt. Eine weitere Möglichkeit zur Ermittlung des Emissionsgrades besteht darin, die Oberfläche auf eine definierte Temperatur zu erwärmen und die emittierte Strahlungsleistung zu messen. Mit Gl. (2.80) kann dann der Emissionsgrad berechnet werden.

Aufgrund der Genauigkeit der Kamera von $\pm 2 \text{ }^\circ\text{C}$ bzw. $\pm 2 \%$ wurde das Messverfahren in der vorliegenden Arbeit nicht zur Bestimmung der absoluten Chiptemperatur eingesetzt.

2.3.4 Design und Steuerung der Wärmesenke

Neben der Bestimmung der Chiptemperatur ist die Schaffung einer stabilen Messumgebung entscheidend für die genaue Bestimmung des thermischen Widerstandes der Probe. Um ähnliche Bedingungen wie in FEM-Simulationen zu schaffen wird die Probe auf eine temperaturstabilisierte Wärmesenke platziert. Hierdurch kann die in der Simulation als konstant angenommene Temperatur der Probenrückseite nachgebildet werden. Die Steuerung der Wärmesenke muss dabei die Temperatur der Probenrückseite exakt messen und regeln können. Die in [49] konstruierte Wärmesenke wies bedingt durch eine Zweipunktregelung ein Hystereseverhalten von ca. $\pm 1 \text{ K}$ auf. Diese führte bei Proben mit niedrigem thermischen Widerstand ($< 2 \text{ K/W}$) zu einer Messunsicherheit von $> 5 \%$. Daher wurde in Rahmen dieser Arbeit die Wärmesenke des Versuchsstandes überarbeitet. Die neu konstruierte Wärmesenke besteht aus einem oberen und einem unteren Wärmespreizer, einem Peltier Element, einem Regler, sowie einen Wasserkühler. Der interne Aufbau der Wärmesenke ist in Abbildung 2.24 schematisch dargestellt. Der obere Wärmespreizer mit den Maßen $60 \text{ mm} \times 60 \text{ mm} \times 3 \text{ mm}$ besteht aus Kupfer und hat eine polierte Oberfläche. Diese ist mit $6 \text{ }\mu\text{m}$ Nickel und $1 \text{ }\mu\text{m}$ Gold beschichtet, um sie vor Korrosion zu schützen. Ein PT1000 F0,1 (Typ: 32 208 707, Heraeus GmbH) Widerstandssensor (engl. *resistance temperature detector*, kurz RTD) ist 1 mm unter der Oberfläche des Wärmespreizers in einer entsprechenden Aussparung mit einem thermisch hoch leitendem Kleber (DM6030Hk, Diemat Inc., $\lambda = 60 \text{ W/(m} \cdot \text{K)}$) befestigt und wurde anschließend vergossen, siehe Abbildung 2.25 links. Der RTD weist eine Genauigkeit von $\pm (0,1 \text{ K} + 0,0017 \cdot T)$ im Temperaturbereich von $0 \text{ }^\circ\text{C}$ bis $150 \text{ }^\circ\text{C}$ auf und ist nach der Norm [53] spezifiziert.

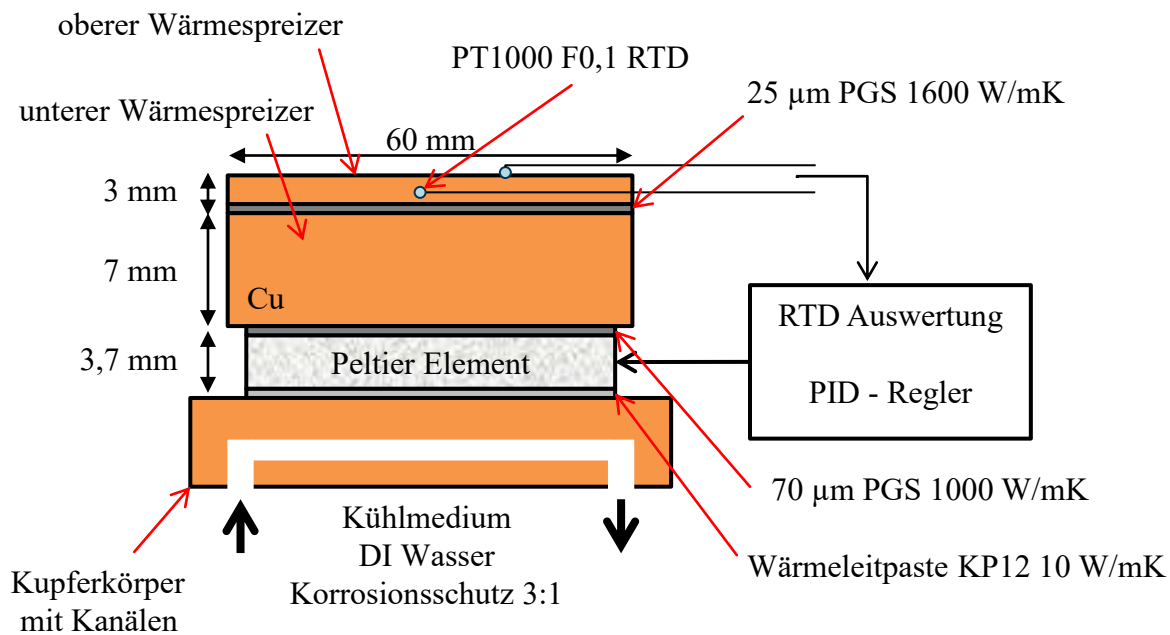


Abbildung 2.24: Schematische Darstellung der konstruierten Wärmesenke.

Der untere Wärmespreizer mit den Maßen 60 mm x 60 mm x 7 mm besteht aus Kupfer und ist ebenfalls mit der Nickel-Gold Beschichtung versehen. Dieser Wärmespreizer sorgt für eine homogene Temperaturverteilung über der gesamten Fläche der Wärmesenke. Obere und untere Wärmespreizer sind über Schrauben miteinander klemmend verbunden. Für einen optimalen Kontakt zwischen den Wärmespreizern wurde eine 25 µm dünne Graphitfolie (PGS 25 Type S, Panasonic Corp.) mit einer lateralen Wärmeleitfähigkeit von 1600 W/(m · K) [54] platziert, siehe Abbildung 2.25 links.

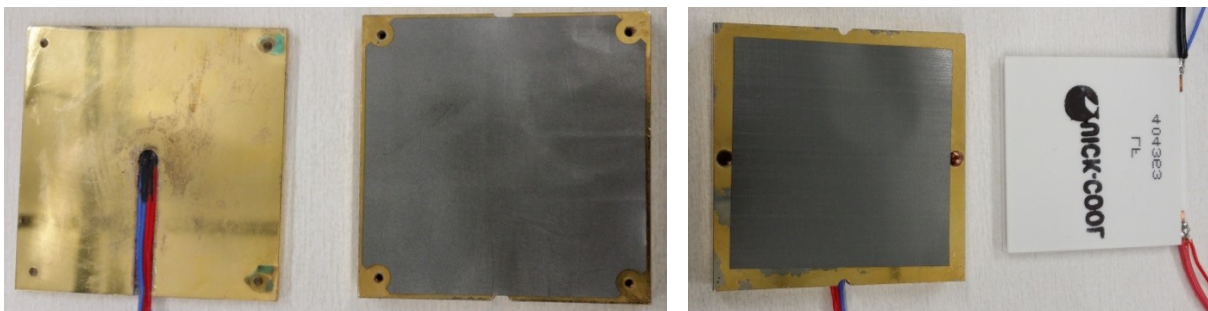


Abbildung 2.25: Links: Rückseite des oberen Wärmespreizers mit integriertem RTD und Vorderseite des unteren Wärmespreizers mit aufgelegter PGS25 Folie. Rechts: Rückseite des unteren Wärmespreizers mit aufgelegter PGS75 Folie und Vorderseite des Peltier Elements.

Der untere Wärmespreizer ist über eine 70 µm dicke Graphitfolie (laterale Wärmeleitfähigkeit von 1000 W/(m · K) [54]) mit dem Peltier Element (QC-127-2.0-15.0M, QUICK OHM Küpper & Co. GmbH) verbunden, siehe Abbildung 2.25 rechts. Das Peltier Element kühlt bzw. heizt die Wärmespreizer, sodass eine konstante Temperatur gehalten wird. Dabei liefert das Element eine maximale Kühl- bzw. Heizleistung von 130 W und wird von einem PID Regler (TED4015, Auflösung ± 1 mK, Stabilität ± 10 mK, Thorlabs) gesteuert. Der Regler

ermittelt dabei die Temperatur des RTD und nutzt diese als Ist-Wert für die Regelung der Wärmesenkentemperatur. Dabei ist der RTD in Vierleiterschaltung mit dem Regler verbunden.

An das Peltier Element ist ein Kupferkörper mit integrierten Fluidkanälen montiert. Zwischen Kupferkörper und Peltier Element befindet sich die Wärmeleitpaste KP 12 (KERATHERM, Kerafol) mit der Wärmeleitfähigkeit von $10 \text{ W}/(\text{m} \cdot \text{K})$ [55]. Mithilfe einer Pumpe wird raumtemperiertes, destilliertes und mit einem Korrosionsschutzzusatz versehenes Wasser durch die Fluidkanäle befördert. So wird die Rückseite des Peltier Elementes gekühlt. Das erwärmte Wasser fließt zu einem Wärmetauscher und gibt dort seine Wärme wieder an die Umgebung ab. Die Wärmesenke ist mit einer Einfassung aus Polyetheretherketon (kurz: PEEK) gegenüber dem restlichen Versuchsstand thermisch isoliert.

Mit der entwickelten Wärmesenke ist es möglich, die Wärmesenkentemperatur mit einer Genauigkeit von $\pm (0,1 \text{ K} + 0,0017 \cdot T)$ zu messen und im Temperaturbereich von $-10 \text{ }^\circ\text{C}$ bis $80 \text{ }^\circ\text{C}$ mit einer Stabilität von $\pm 10 \text{ mK}$ zu regeln. Zusätzlich kann ein weiterer RTD an den Versuchsstand angeschlossen werden. Dieser kann auf der Probenoberfläche platziert und für die Regelung genutzt werden. So ist es möglich, die Oberflächentemperatur der Probe exakt zu messen und zu kontrollieren.

3 Technologische Grundlagen und Stand der Technik

3.1 Entwurf und Herstellung von mehrlagigen keramischen Schaltungsträgern

Keramische Mehrlagenssubstrate bestehen aus einzelnen keramischen Folien, die separat prozessiert und anschließend mittels Sintern miteinander verbundenen werden. Die Verarbeitung mehrerer Folien parallel erlaubt dabei einen Prozess mit hohem Durchsatz. Zudem kann jede einzelne Folie nach jedem Fertigungsschritt inspiziert und so fehlerhafte Folien aussortiert werden. Das führt zu einer hohen Ausbeute in der Fertigung. Die Substrattechnologien werden dabei nach der Sintertemperatur unterteilt. Hochtemperatur-Einbrand-Keramiken (engl. *High Temperature Cofired Ceramics* kurz: HTCC) bestehen überwiegend aus Aluminiumoxid und werden bei Temperaturen von 1500 °C – 1800 °C gesintert. Als Metallisierungen kommen aufgrund der hohen Sintertemperatur hauptsächlich Refraktärmetalle wie Molybdän und Wolfram zum Einsatz. Diese haben im Vergleich zu Edelmetallen eine geringere elektrische Leitfähigkeit und müssen zudem für nachfolgende Löt- und Bondprozesse zusätzlich mit Nickel und Gold beschichtet werden. HTCC Substrate haben eine höhere mechanische Stabilität und thermische Leitfähigkeit im Vergleich zu Niedertemperatur-Einbrand-Keramiken (engl. *Low Temperature Cofired Ceramics*, kurz LTCC). Bei der Entwicklung von LTCC Materialien stand vor allem die Herabsenkung der notwendigen Sintertemperatur im Fokus. Die aus niedrigschmelzenden Gläsern, keramischen Füllstoffen und organischen Bindern bestehenden LTCC Folien sintern bereits bei Temperaturen < 900 °C, wodurch der Einsatz von Edelmetallen wie Silber und Gold als Metallisierung ermöglicht wird. Diese weisen eine deutlich höhere elektrische Leitfähigkeit auf als die bei HTCC Substraten verwendeten Refraktärmetalle. Am Markt existiert eine Vielzahl an kommerziell erhältlichen LTCC Systemen, die je nach Anwendungsfeld spezielle Eigenschaften aufweisen. Einige ausgewählte Materialien sind in Tabelle 3.1 mit ihren relevanten Materialeigenschaften und den verfügbaren Metallisierungen aufgelistet. In Abbildung 3.1 ist ein typisches, mehrlagiges LTCC Substrat schematisch dargestellt.

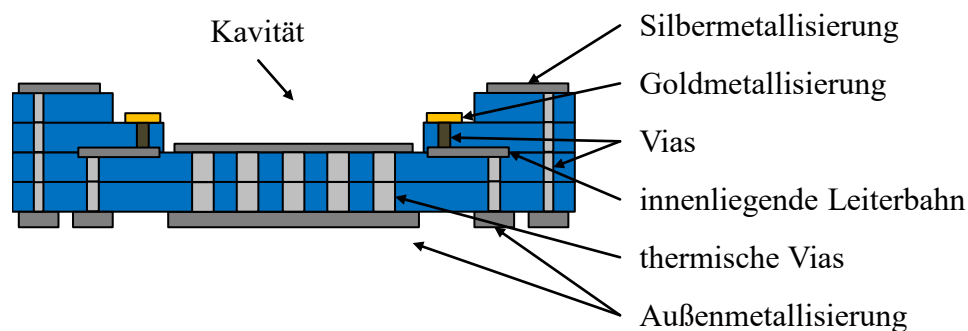


Abbildung 3.1: Schematische Darstellung eines mehrlagigen LTCC Substrates im Querschnitt.

Im Rahmen dieser Arbeit kommt das Materialsystem DP951 (Fa. DuPont Inc.) mit unterschiedlichen Metallisierungen zum Einsatz.

Tabelle 3.1: Auflistung von ausgewählten LTCC Systemen und der relevanten Materialeigenschaften, sowie die dafür verfügbaren Metallisierungen.

Name	Hersteller & Quelle	Dichte [g/cm ³]	Thermische Leitfähigkeit [W/(m · K)]	Ausdehnungskoeffizient [ppm/K]	Permittivität [F/m]	Biegefestigkeit [MPa]	E-Modul [GPa]	verfügbare Metallisierungen
DP951	DuPont	3,10	3,3	5,8	7,8	320	120	Au, Ag, AgPd, AgPt, Pt
DP9K7	[56]	3,10	4,6	4,4	7,1	230	145	Pt
A6M	Ferro [57]	2,45	2,0	7,0	5,9	170	92	Au, Ag, AuPt
41020	ESL [58]	3,16	2,5 – 3,0	7,4	7,0 – 8,5			Au, Ag, AgPd, AgPt
KLC	KOA [59]	2,8	3	5,5	7,0	250		Ag
GL952	Kyocera		1,8	8,3	7,7	250	119	Ag
GL570	[60]		2,8	3,4	7,7	200	128	Cu
LFC [®]	Murata [61]	2,9	2,5	5,5	7,7	270		Ag
NI-Ag3	Nikko [62]	2,85	3,5	5,5	7,1	250	56	Au, Ag, AgPd, AgPt

Abbildung 3.2 zeigt die herkömmlichen Schritte der LTCC Prozessierung, wie sie auch bei dieser Arbeit verwendet werden. Die einzelnen Prozessschritte werden nachfolgend kurz beschrieben und können vertiefend in [63] und [64] nachgelesen werden.

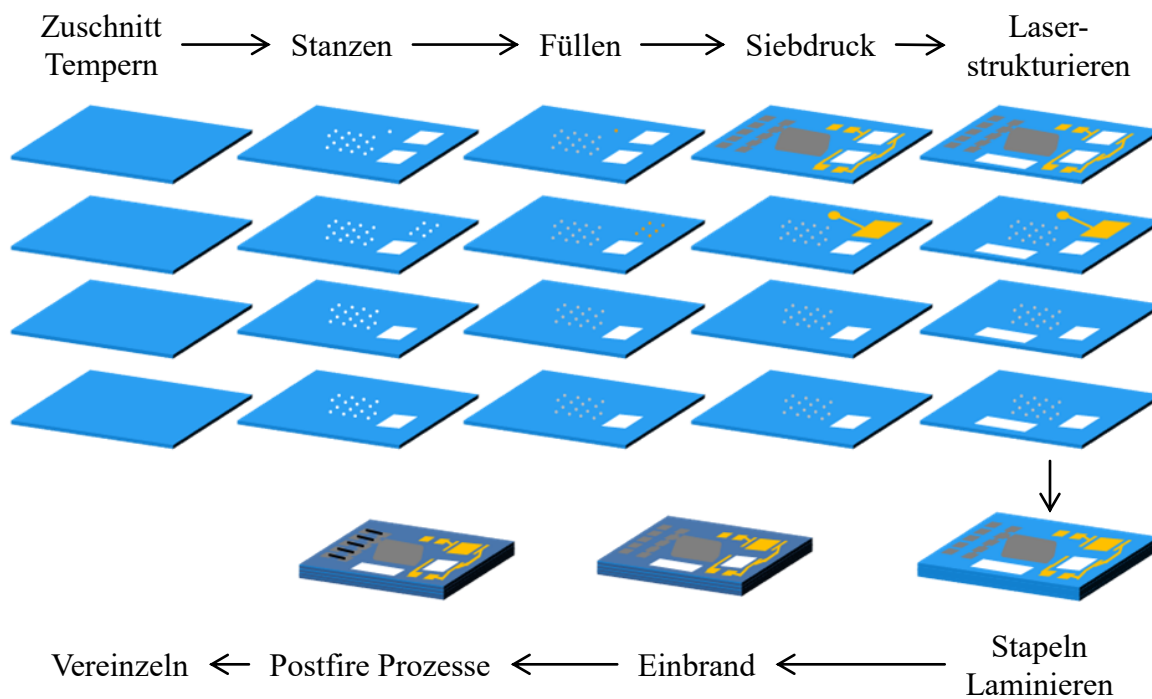


Abbildung 3.2: Typischer Ablauf der LTCC Prozessierung. Alle Schritte zwischen Tempern und Stapeln können an mehreren Folien parallel durchgeführt werden.

3.1.1 Vorbehandlung, Stanzen und Viafüllen

In Rahmen dieser Arbeit wurden auf 90 x 90 mm² zugeschnittene und bei 80 °C für 10 min getemperte LTCC Folien des Materialsystems DP951 der Firma DuPont verwendet. Zur Erzeugung von Durchkontaktierungen (engl. Vias) und Kavitäten wurden Löcher und Aussparungen die Folien gestanzt (Stanze PTC APS8718 Fa. PTC). Die Stanze erreichte dabei eine Positioniergenauigkeit von 2,54 µm. Mittels einer Viafüllmaschine (VF 1000 Fa. PTC) wurde eine Metallpaste in die gestanzten Löcher gefüllt. Diese Maschine presste dabei mittels eines Überdrucks die Metallpaste durch eine auf der Keramikfolie aufliegende Füllmaske. Das Füllen erfolgte dabei durch die Rückseite der Keramikfolie, an der sich zu diesem Zeitpunkt noch die Trägerfolie befand. Für eine gleichmäßige Verteilung des Überdrucks wurde eine flexible Gummimatte auf die Metallpaste aufgelegt. Eine dünne Folie trennte dabei die Paste von der Gummimatte. Die hochviskose Metallpaste wurde bei diesem Prozess durch die Füllmaske in die gestanzten Löcher der Keramikfolie gedrückt. Die Ausrichtung der Füllmaske zur Keramikfolie erfolgte dabei über Passerstifte, die sich exakt in die Passeröffnung von Füllmaske und Keramikfolie einfügen. Die zu füllende LTCC Folie wurde zusätzlich mittels Vakuum in der Maschine fixiert. Das Füllergebnis wurde neben dem Fülldruck auch durch die Füllzeit, die Viskosität der Metallpaste und durch das Verhältnis aus Lochdurchmesser und -tiefe bestimmt. In Abbildung 3.3 ist eine Skizze der wesentlichen Teile der verwendeten Viafüllmaschine gezeigt. Nach dem Füllvorgang wurde die Folie bei 80 °C für 10 min getrocknet.

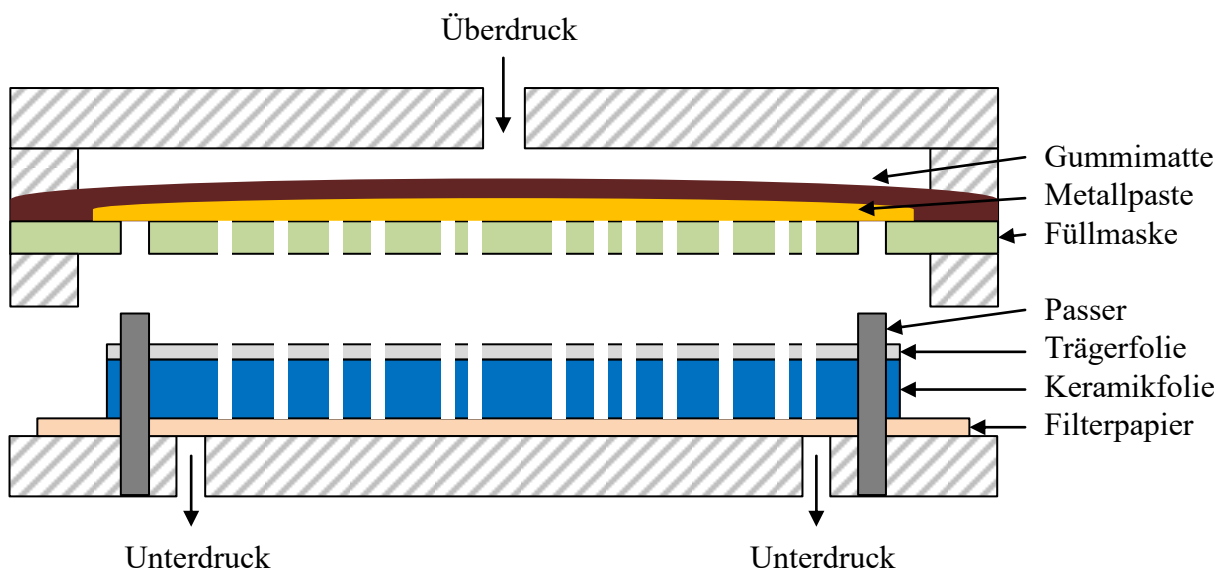


Abbildung 3.3: Schematische Darstellung der wesentlichen Teile einer Viafüllmaschine, vor dem Füllvorgang.

3.1.2 Siebdruck

Leiterbahnen, Löt-, Klebe- und Bondflächen wurden mittels Siebdruck (EKRA M2 ASYS Group GmbH) von Pasten auf die gestanzten und gefüllten Keramikfolien realisiert. Die Pasten sind speziell an das entsprechende Foliensystem angepasst und schrumpfen während

des Sintervorgangs in gewissen Grenzen mit. Die in dieser Arbeit verwendeten Siebe bestanden aus einem Edstahlgewebe, das mit einem 15 µm dicken, lichtempfindlichen Film beschichtet war. In diesem Film wurde das Druckbild über einen fotolithografischen Prozess strukturiert. Um dickere Schichten zu erzeugen kann es notwendig sein, mehrfach mit demselben Sieb auf der gleichen Stelle zu drucken und so die Struktur sequentiell aufzubauen. Alternativ können dicker Filmbeschichtungen verwendet werden. Diese sind bis 400 µm verfügbar [65]. Die erzielbare Schichtstärke der gedruckten Struktur kann nach Gl. (3.1) berechnet werden [64].

$$\text{Schichtstärke} = (\text{Filmdicke} + \text{Siebgewebedicke}) \cdot \text{offene Siebfläche} \quad (3.1)$$

Der Siebdruck wurde mit einem definierten Abstand zwischen Sieb und Substrat, dem sog. Absprung durchgeführt. Dieser betrug zwischen 0,7 mm und 3 mm. Die Rakel bewegte sich während des Siebdrucks mit einer konstanten Geschwindigkeit über das Sieb und drückte dabei die Paste mit einer konstanten Kraft durch die Öffnungen im Sieb. Abbildung 3.4 zeigt den Siebdruckvorgang. Die siebgedruckte Schicht verweilte für wenige Minuten bei Umgebungstemperatur um ein Nivellieren der Schicht zu erreichen. Danach wurde die Schicht bei einer bestimmten Temperatur (typ. 60 °C – 150 °C) für wenige Minuten getrocknet.

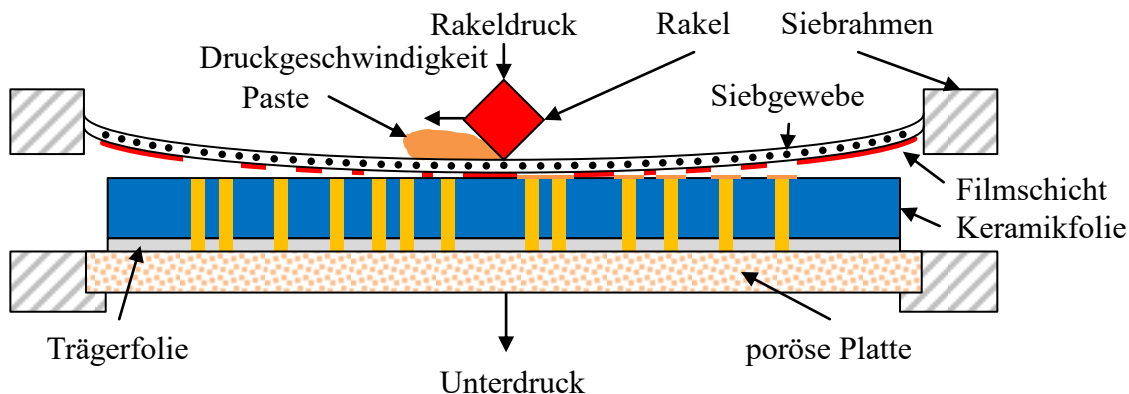


Abbildung 3.4: Schematische Darstellung des Druckvorgangs beim Siebdruck.

3.1.3 Laserstrukturierung

Zur Erzeugung von nicht oder nur schwer stanzbaren Öffnungen in den Keramikfolien wurde die Laserstrukturierung genutzt. Hierbei wurde ein gepulster Laserstrahl mit einer Wellenlänge von 355 nm auf die Folienoberfläche fokussiert. Dieser führte zum schlagartigen Verdampfen des Materials, was ein Loch in der Folie zur Folge hatte. Durch Bewegung des Substrats konnten so beliebige Strukturen aus der Folie herausgetrennt werden. Die Ausrichtung der Folie zum Lasersystem erfolgte dabei über Zielmarken. Im Rahmen dieser Arbeit wurde ein ns Laser (MUFU 100, LPKF Laser & Electronics AG, Leistung max. 7 W) und ein ps Laser (microSTRUCT C, 3D-Micromac AG, Leistung max. 12 W) verwendet.

3.1.4 Stapeln und Lamination

Nach der Strukturierung und Metallisierung der einzelnen Keramikfolien wurden diese in einem Stapelwerkzeug übereinander gelegt. Die Ausrichtung der Folien zueinander erfolgte dabei über Passerstifte im Werkzeug und Passerlöcher in den Folien. Der Folienstapel wurde anschließend laminiert. Für das in dieser Arbeit verwendete Foliensystem DP951 von DuPont wurde ein zweistufiges Laminationsverfahren angewandt. Die Folien wurden zuerst in einem auf 70 °C erwärmten Werkzeug aus Messing gestapelt, wobei auf die oberste Folienlage eine Trennfolie aus Mylar platziert wurde. Anschließend erfolgte die Vorlamination in einer uniaxialen Presse (P 200 S Vogt Maschinenbau GmbH) bei 70 °C, 2,8 MPa für 2 min, siehe Abbildung 3.5 links. Dabei wurde der Folienstapel nach 1 min um 180° in der Presse gedreht um Toleranzen der Planparallelität der Presse auszugleichen. Anschließend wurde der Folienstapel auf eine Messingträgerplatte aufgelegt und mit einer Silikonmatte (Härte 60 ± 5 Shore A) abgedeckt. Eingeschweißt in einer Folie erfolgte dann die Lamination in einer isostatischen Presse (PTC II-4008) bei 70 °C, 21 MPa für 10 min, siehe Abbildung 3.5 rechts.

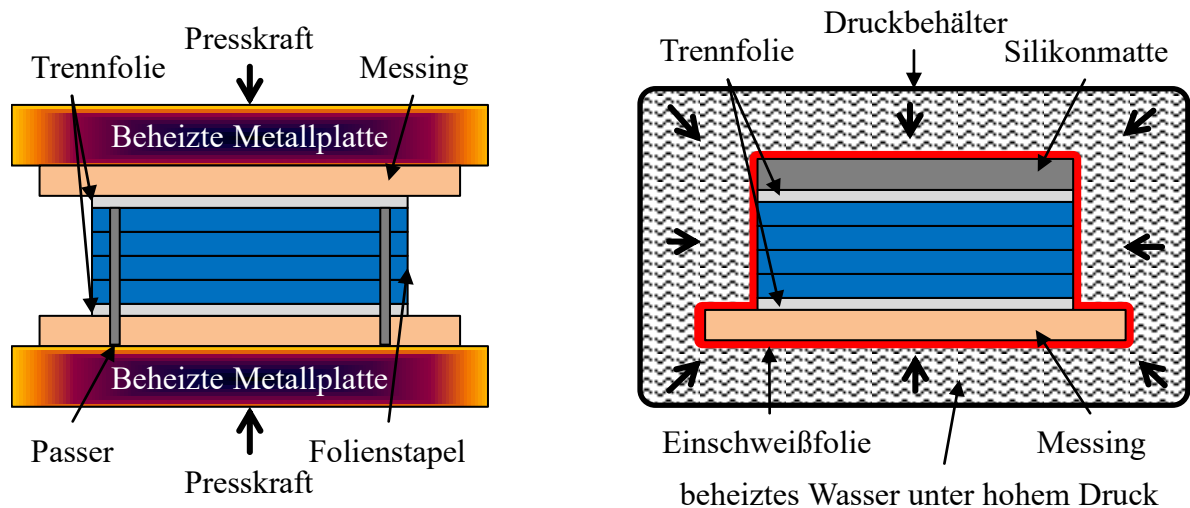


Abbildung 3.5: Schematische Darstellung von uniaxialer (links) und isostatischer (rechts) Lamination.

3.1.5 Einbrand und Post-Fire Prozesse

Das LTCC Laminat wurde in einem Sinterofen (PEO 603, Fa. ATV Technologie GmbH) gebrannt. Der Einbrand teilte sich dabei in zwei Temperaturbereiche auf. Im ersten Bereich bei ca. 400 °C bis 500 °C wurden die organischen Bestandteile des LTCC Laminates unter Vorhandensein von Sauerstoff verbrannt (*Burnout*). Zu diesem Zeitpunkt war das LTCC Material noch offenporig, sodass die Verbrennungsprodukte aus dem Material abtransportiert werden konnten. Nach der Burnout-Phase erfolgte die Sinterung des LTCC Materials bei 875 °C für 30 min in einem Flüssigphasensinterprozess. Hierbei versinterten und verschmolzen die im LTCC Material enthaltenen Glaspartikel miteinander, wodurch das Material verdichtet wurde und offene Poren geschlossen wurden. Das verwendete Sinterprofil ist in Abbildung 3.6 dargestellt. Während des Einbrands schrumpfte das Substrat aufgrund des

Materialverlustes in der Ausbrandphase und des Versinterns der Glaspartikel in der Sinterphase. Die Schrumpfrate betrug dabei ca. 13 % lateral und ca. 15 % in z-Richtung.

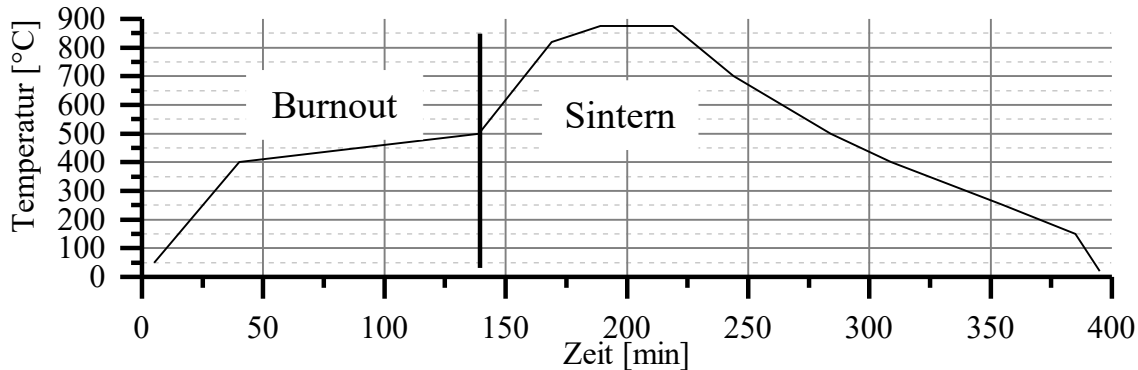


Abbildung 3.6: Standardmäßig verwendetes Sinterprofil für das Materialsystem DP951.

Zur Reduzierung des lateralen Schrumpfes wurden zudem die 0-Schrumpfprozesse erzwungenes, druckloses Sintern (engl. *pressure-less assisted sintering*, kurz PLAS) und druckunterstütztes Sintern (engl. *pressure assisted sintering*, kurz PAS) angewandt. Beiden Verfahren gemein ist die Verwendung von ungesinterten HTCC Folien, die an Ober- und Unterseite des LTCC Folienstapels laminiert wurden. Da diese Folien gut an dem LTCC Folienstapel haften und während des Einbrandes nicht schrumpfen, verminderten sie stark die laterale Schrumpfung des LTCC Substrates (Schrumpfrate $< 0,1\%$). Das führte zu einem erhöhten Schrumpf in z-Richtung (bis zu 41 %). Beim PAS wurde auf das Substrat während des Einbrandes zusätzlich ein Druck ausgeübt. Im Unterschied zum Standard PAS Prozess wurde jedoch keine Sinterpresse sondern ein Gewicht genutzt, um den Druck aufzubauen. Nach dem Einbrand war ein zusätzlicher Reinigungsschritt notwendig, um die Rückstände der HTCC Folie von dem gebrannten LTCC Substrat zu entfernen. In Abbildung 3.7 sind die beiden verwendeten 0-Schrumpfprozesse schematisch dargestellt. Alternativ zum Beschweren mit einem Gewicht kann der PAS Prozess auch in einer Sinterpresse durchgeführt werden. Hierbei können wesentlich höhere Drücke erreicht werden, als dies durch das Auflegen eines Gewichtes möglich ist. Im Rahmen dieser Arbeit war der PAS Prozess mit Beschwerung durch ein Gewicht jedoch ausreichend.

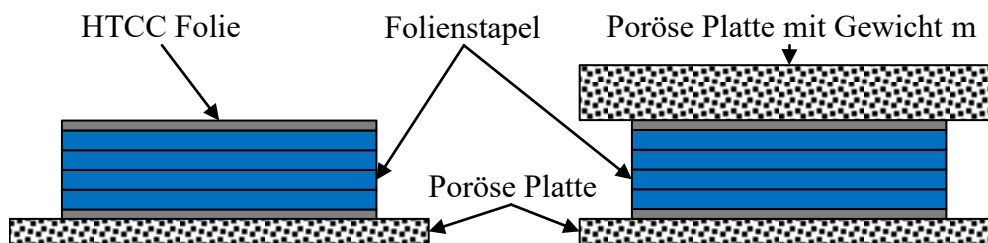


Abbildung 3.7: Schematische Darstellung des Folienstapels beim PLAS (links) und PAS Prozess (rechts) mit Beschwerung

Die 0-Schrumpfprozesse ermöglichten es, Materialien mit unterschiedlichen Schrumpfverhalten in einem Einbrand zu versintern. Darüber hinaus wiesen die so

gesinterten Substrate eine höhere Planarität als frei gesinterte Substrate auf. Die Gestaltung von Kavitäten und Substratdurchbrüchen war mit dieser Technologie allerdings nicht möglich. Nach dem Co-Fire Prozess wurden Metallisierungen auf die Außenlagen mittels Siebdruck aufgebracht. Diese wurden bei 850 °C für 10 min gebrannt.

3.2 Verfahren der Chipmontage und Verdrahtung

Unter dem Aspekt des thermischen Managements kann das Fügen von Chips grundsätzlich in zwei Arten unterteilt werden: Fügen von Drahtbondchips und Fügen von Flip Chips.

3.2.1 Fügen und Kontaktieren von Drahtbondchips

Chips, die mittels Drahtbonden oder *Tape Automated Bonding* (kurz: TAB) kontaktiert sind, werden typischerweise vollflächig mit dem Substrat verbunden. Dies ist Grundvoraussetzung für eine gute thermische Anbindung an das Substrat. Die Eigenschaften des Fügемaterials und die Metallisierungen von Chip und Substrat bestimmen dabei maßgeblich die elektrischen, thermischen und mechanischen Eigenschaften der Verbindung. Als Fügемaterial werden hauptsächlich Lotpasten und silbergefüllte Epoxide aufgrund deren hohen elektrischen und thermischen Leitfähigkeit eingesetzt. Diese werden mittels Dispensen, Stempeltransferdruck, Sieb- bzw. Schablonendruck auf das Substrat aufgebracht. Das Pastenvolumen wird beim Dispensen maßgeblich durch die Dispenszeit, den Dispensdruck, die Geometrie der Dispensspitze und die rheologischen Eigenschaften der Paste bestimmt. Beim Stempeltransferdruck sind die Geometrie des Stempels und die Schichtstärke des Pastenreservoirs entscheidend. Die Dicke der Schablone bzw. die Emulsionsdicke auf dem Sieb bestimmt beim Sieb- bzw. Schablonendruck hauptsächlich das Pastenvolumen. Im Rahmen dieser Arbeit wurden alle 4 Verfahren angewandt. Kleber wurden mittels Dispensen (DD-500, Automatik Dispenser, Nordson DIMA BV), Stempeltransferdruck (VICO Placer, Automatisches Pick & Placement System mit Stempelstation, Häcker Automation GmbH), Sieb- und Schablonendruck appliziert. Pastöse Lote wurden mittels laserstrukturierter Polyimidfolien (Kapton, Fa. DuPont Inc.) oder Messingschablonen auf das Substrat aufgebracht.

Nach dem Pastenauftrag wird der Chip in das applizierte Pastendepot gedrückt. In dieser Arbeit wurde hierfür ein präzises Platziergerät (Fineplacer Pico, Finetech GmbH & Co. KG) verwendet. Die dabei applizierte Aufsetzkraft betrug 2,9 N. Anschließend wird das Fügемaterial in einem bestimmten Temperatur-Zeit-Profil gehärtet bzw. umgeschmolzen. Für eine gute thermische Anbindung muss hierbei die Anzahl an Lufteinschlüssen in der Verbindung durch geeignete Verfahren auf ein Minimum reduziert werden. Im letzten Schritt erfolgt die Verdrahtung des Chips mittels Drahtbonden (engl. *Wire bonding*). Je nach Anwendung erfolgt dies im Dickdrahtverfahren (typ. Aluminiumdraht, Durchmesser 125 µm – 500 µm, [66]), Dünndrahtverfahren (Aluminiumdraht, Golddraht, Kupferdraht 15 µm – 75 µm, [66]) oder Bändchenbonden (typ. Aluminiumband, Goldband, 20 x 6 µm² – 2000 x 300 µm², [66]). Der in dieser Arbeit verwendete thermische Testchip PST1 wurde mit

einem Automatikbonder (5610, F & K Delvotec Bondtechnik GmbH) unter der Verwendung von 25 µm dünnem Golddraht kontaktiert.

Der Prozess der Chipmontage ist schematisch in Abbildung 3.8 dargestellt. Die Abbildung zeigt einen Chip, der auf ein Aluminiumoxidsubstrat mit Ag/Pd Metallisierung aufgeklebt und kontaktiert wurde.

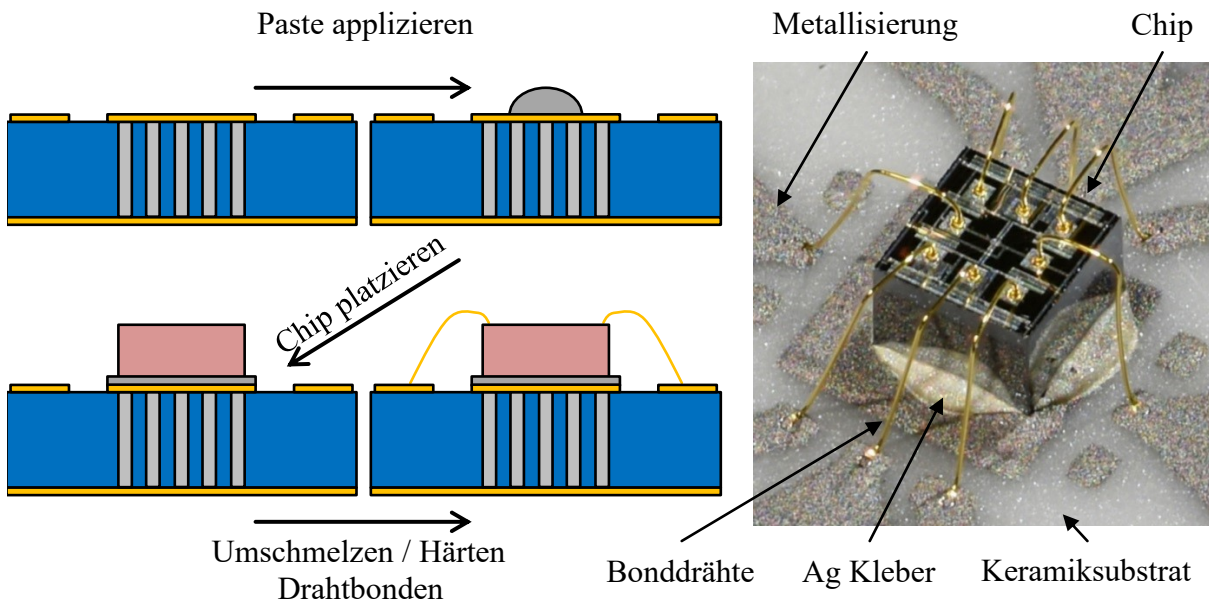


Abbildung 3.8: Links: Schematische Darstellung der Chipmontage. Rechts: aufgeklebter Si Chip. Der silbergefüllte Kleber wurde mittels Dispensen aufgebracht und der Chip mittels Dünndrahtbonds mit Golddraht kontaktiert.

3.2.1.1 Fügen mittels Niedertemperatursilbersintern

In der konventionellen Chipmontage kommen vornehmlich Lote bzw. Kleber zum Einsatz. Die Anforderungen an Gewicht, Größe, Zuverlässigkeit, Lebensdauer und Umgebungstemperatur im Bereich der Leistungselektronik sorgen jedoch für einen kontinuierlichen Anstieg der Betriebstemperatur über die Grenze aktueller Verbindungstechnologien. Lote und Kleber werden daher zunehmend in der Leistungselektronik durch Silberpasten ersetzt, die bei niedrigen Temperaturen sintern und sowohl eine hohe thermische als auch elektrische Leitfähigkeit besitzen. Der Sintermechanismus basiert dabei auf dem Festphasensintern von mikro- bis nanoskaligen Silberpartikeln. Dieser in drei Phasen aufteilbare Prozess beginnt mit der Ausprägung von sog. Sinterhälsen zwischen benachbarten Partikeln. Es entstehen erste Partikelcluster, die sich im Zwischenstadium weiter verbinden, wodurch es zu einer Verdichtung und damit einhergehend zu einer Schrumpfung des Materials kommt. Die Hohlräume bzw. Poren zwischen den Partikeln und Partikelclustern verkleinern sich im weiteren Verlauf des Prozesses und sind nahezu vollständig im Endstadium verschlossen. Der Sinterprozess wird durch die freie Oberflächenenergie der Partikel, sowie durch Diffusionsvorgänge verursacht. [67], [68]

Die Anbindung an den Chip bzw. das Substrat erfolgt über Diffusionsvorgänge zwischen dem Sintermaterial und der Chip- bzw. Substratmetallisierung. Etablierte Metallisierungen bestehen aus Silber-, Gold- bzw. Platinschichten [69]. Das Eindiffundieren des Silbers in das Substrat bzw. den Chip kann dabei mit einer Nickelschicht unterbunden werden [69].

Die Sinterrate bzw. der Grad der Verdichtung ist abhängig von der Partikelgröße. Mit kleiner werdenden Partikeln steigt deren Oberflächenenergie an, wodurch die Ausbildung von den sog. Sinterhälsen beschleunigt wird. Zudem steigt die Sinterrate mit zunehmender Temperatur, da die Diffusionsvorgänge während des Sinterns mit zunehmender Temperatur beschleunigt werden. Das Aufbringen eines externen Drucks auf das Material erhöht die Sinterrate und die Verdichtung, da das ungesinterte Material hierdurch verdichtet wird und sich somit die Anzahl an sich berührenden Partikeln bereits im Anfangsstadium erhöht. Während der Zwischenphase unterstützt der Druck die Verkleinerung der Poren, wodurch die Verdichtung steigt. [67], [68], [70]

Dieser Prozess ist im Unterschied zum Löten ein Festkörperprozess, da alle beteiligten Materialien während des Prozess in ihrer festen Phase vorliegen. Zudem ist der Prozess irreversibel, wodurch das gesinterte Material bis zu Temperaturen nahe der Schmelztemperatur des Materials erwärmt werden kann ohne dabei aufzuschmelzen. [71]

Dadurch kann die Betriebstemperatur der Elektronik bei gleichbleibender Zuverlässigkeit und Lebensdauer gesteigert werden. Die Einsatzfähigkeit dieser Materialien für die Chipmontage wurde in umfangreichen Studien belegt. [71] - [81]

Die oben beschriebene Paste kann je nach Viskosität und Rheologie dispenst, gestempelt, schablonen- bzw. siebgedruckt werden. Eine Agglomeration der Silberpartikel vor dem Sintern wird durch organische Additive verhindert, die bei einer niedrigeren Temperatur als der Sintertemperatur verdampfen. [70] Die Prozessierung erfolgt je nach Paste bei 200 °C – 300 °C, wobei der Chip während des Sinterns mit einer definierten Kraft auf das Substrat gedrückt wird. Wird mehr als ein Chip gefügt, sind komplexe Füge-tools notwendig, die zum einen eine homogene Kraftverteilung über alle zu fügenden Chips gewährleisten und zum anderen unterschiedliche Chipdicken ausgleichen müssen. Alternativ kann in einem seriellen Prozess jeder Chip separat gefügt werden, wodurch sich jedoch der Durchsatz des Prozesses massiv verringert. Diese Füge-technologie hat sich besonders beim Fügen von Leistungshalbleitern auf thermisch hoch leitenden Substraten wie z.B. DBC oder Mo30Cu durchgesetzt [77] - [81].

Eine Weiterentwicklung stellen drucklos prozessierbare Silbersinterpasten dar. Diese Materialien werden ohne Kraftauftrag gesintert, wodurch der Durchsatz des Prozesses gesteigert werden kann. Prozesszeit und Prozesstemperatur beeinflussen hierbei direkt und indirekt den Durchsatz und das Anwendungsfeld. Da kein Druck ausgeübt wird, ist die Sinterrate im Vergleich zu druckunterstütztem Sintern wesentlich geringer. Dadurch erhöht sich die Sinterzeit von einigen wenigen Minuten auf bis zu eine Stunde.

Weiterhin werden sog. Sinterkleber angeboten, die neben Silbernanopartikeln auch organische Bestandteile wie Epoxide enthalten. Der Fügevorgang erfolgt drucklos in zwei Stufen. In der ersten Stufe versintern die Nanopartikel untereinander und mit den Kontaktflächen der

Fügepartner bei einer definierten Temperatur. In der zweiten Stufe härtet die organische Komponente aus. Die dafür notwendige Temperatur muss höher als die Sintertemperatur sein, da sonst das Epoxid bereits beim Sintervorgang aushärtet, wodurch der Sintervorgang behindert wird. [82]

3.2.1.2 Löten mithilfe von reaktiven Materialien

Die steigende Verlustleistungsdichte im Hoch- und Höchstleistungsbereich kann es erfordern, den Leistungshalbleiter direkt auf einen metallischen Wärmespreizer zu montieren, vgl. Abschnitt 3.3.1. Die thermische Leitfähigkeit von Loten ist um ein Vielfaches höher als die thermische Leitfähigkeit silbergefüllter Leitkleber, sodass das Löten in dieser Anwendung die dominierende Chipmontagetechnologie ist. [64]

Diese Technologie stellt zwischen Chip und Wärmespreizer eine zuverlässige mechanische Verbindung her, die außerdem eine exzellente thermische Anbindung des Chips an den Wärmespreizer ermöglicht. Die für den Lötprozess notwendige Temperatur ist dabei 20 °C bis 30 °C höher als die Schmelztemperatur der gewählten Lotlegierung. Ein etabliertes Material ist die eutektische Legierung aus 80 % Gold und 20 % Zinn (Au20Sn). Diese Legierung weist eine thermische Leitfähigkeit von 57 W/(m · K) und eine Schmelztemperatur von 280 °C auf [64], [83].

Das Trägermaterial muss thermisch an den Leistungshalbleiter angepasst sein [64], da unterhalb der Liquidustemperatur des Lotes thermisch induzierte Spannungen nicht mehr abgebaut werden können. Diese führen bei stark unterschiedlichen thermischen Ausdehnungskoeffizienten von Chip und Trägermaterial zu Rissen innerhalb der Verbindungsschicht bzw. der Fügepartner. Die Verwendung von Trägermaterialien wie Verbundwerkstoffen aus Molybdän und Kupfer, Wolfram und Kupfer, bzw. Keramikträgern aus Aluminiumnitrid mit an den Halbleiter angepasstem thermischem Ausdehnungskoeffizienten ist daher notwendig. Diese Materialien sind jedoch um ein Vielfaches teurer als reines Kupfer und haben außerdem eine geringere thermische Leitfähigkeit. Um dennoch reines Kupfer als Wärmespreizermaterial nutzen zu können, muss die Prozesstemperatur reduziert werden. Hierfür bietet sich der Prozess des reaktiven Fügens mittels binärer Metallsysteme an [84], [85], [86]. Binäre Metallsysteme sind Mehrlagenstrukturen (engl. *Multilayer*) aus vielen Einzellagen von zwei verschiedenen Materialien mit einer Einzelschichtstärke von wenigen nm und werden zwischen die zu fügenden Bauteile platziert. Nach Induzierung eines thermischen Impulses reagieren beide Materialien in einer stark exothermen, selbsterhaltenden Reaktion miteinander. Die Initiierung der Reaktion kann dabei über Funkenschlag, durch einen kurzen thermischen Impuls mittels Heizer, durch einen fokussierten Laserstrahl mit ausreichend hoher Leistungsdichte oder auch durch einen mechanischen Aufschlag erfolgen [86], [87]. Die Reaktion breitet sich vom Ort des Impulses mit einer Geschwindigkeit im ein- bis zweistelligen m/s Bereich im Material aus [86]. Die dabei freigesetzte Wärme kann für das Aufschmelzen einer dünnen Lotschicht verwendet werden. Eine Bondkraft während des Fügens gewährleistet den sicheren Kontakt zwischen dem reaktiven Material, der Lotschicht, sowie den zu fügenden Bauteilen. Hierdurch wird die Benetzung der Komponenten mit der Lotschicht erhöht, was zu einer

Steigerung der Bondfestigkeit und der thermischen Performance führt [88], [89]. Die Wärmeinflusszone beschränkt sich auf einige 10 μm [84], [85], sodass sie Bauteile während der Reaktion nur sehr geringem thermischen Stress ausgesetzt werden. In Abbildung 3.9 sind das Prinzip des Fügens und eine transmissionselektronenmikroskopische Aufnahme (kurz: TEM) der kommerziell verfügbaren NanoFoil[®] (Indium Corp.) dargestellt.

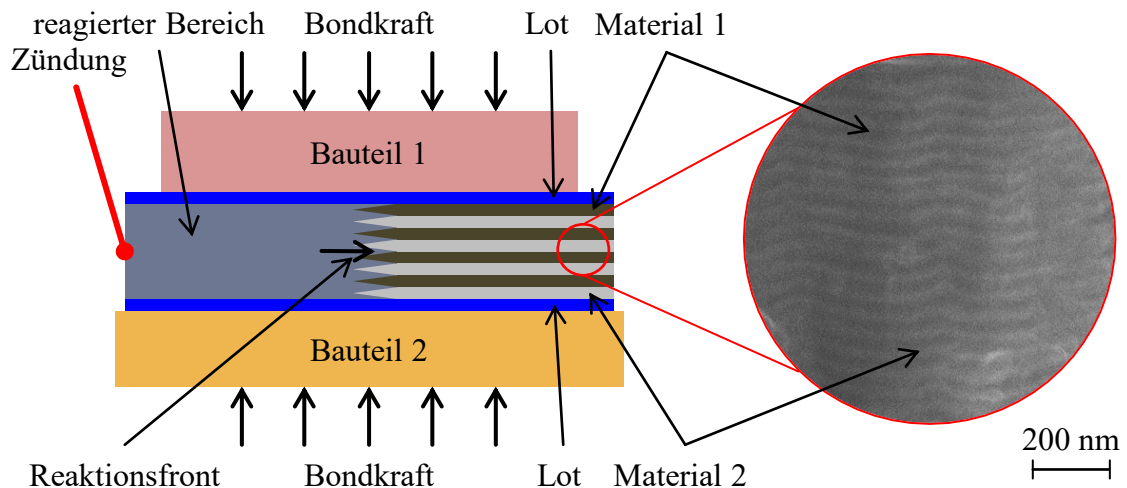


Abbildung 3.9: Links: schematische Darstellung des Fügevorgangs. Rechts: TEM Aufnahme der 40 μm NanoFoil, einzelne Aluminium- und Nickelschichten mit einer Einzelschichtstärke von jeweils ~ 25 nm sind erkennbar.

Binäre Metallsysteme mit hoher negativer Bildungsenthalpie wie Al/Ni [84] – [93], Al/Ti und Al/Ru [94], [95] werden als reaktives Material bereits eingesetzt. Daneben existiert noch eine Vielzahl an weiteren möglichen binären Metallsystemen [91], [94]. Eine etablierte Form der Herstellung dieser Multilayerschichtsysteme ist das Sputtern, insbesondere das Magnetronsputtern [96], [97]. Daneben sind noch mechanische Verfahren wie das Kaltwalzen [98], [99] und die galvanische Abscheidung [91] zur Schichterzeugung bekannt. Die hergestellten Schichten haben eine Dicke von einigen 10 μm und eine Einzelschichtstärke im zweistelligen nm Bereich. Die Reaktionsgeschwindigkeit und die freigesetzte Wärme sind dabei abhängig von der gewählten Materialpaarung, der Einzelschicht- und der Gesamtschichtstärke [84], [91], [94].

In [85] wurde eine 60 μm dicke Al/Ni Folie verwendet, um in einem Flip-Chip Package einen nickelbeschichteten Kupferwärmespreizer an die Rückseite eines goldbeschichteten Siliziumchips reaktiv zu fügen. Als Lotschicht kam Indium mit einer Schichtdicke von 30 μm bis 70 μm zum Einsatz. Der flächenbezogene, thermische Widerstand wurde mittels LFA bestimmt und lag im Bereich von $0,04 \text{ K} \cdot \text{cm}^2/\text{W}$ bis $0,06 \text{ K} \cdot \text{cm}^2/\text{W}$. Weitere Untersuchungen im Bereich der flächigen Chipmontage unter dem Aspekt der thermischen und mechanischen Performance sind nicht bekannt.

3.2.2 Fügen von Chips mittels der Flip-Chip Technologie

Neben der flächigen Chipmontage findet die Flip-Chip Montage Anwendung. Chips dieser Montageart verfügen über Metallsäulen auf ihren Kontaktflächen und werden kopfüber mit

dem Substrat verbunden. Die Metallsäulen stellen dabei neben dem mechanischen auch den elektrischen Kontakt zwischen Chip und Substrat her. Da die Querschnittsfläche aller Metallsäulen eines Chips im Vergleich zu seiner Grundfläche gering ist, ist die thermische Anbindung an das Substrat um ein Vielfaches schlechter als die von vollflächig gefügten Drahtbondchips, sodass die Abführung der Verlustleistung zusätzliche Maßnahmen erfordert (s. Abschnitt 3.3.7). Die Metallsäulen können aus umgeschmolzenen Loten wie auch aus Edelmetallen (z. B. Gold) bestehen. Der Chip wird anhand der Bondpads auf dem Substrat und seiner Metallsäulen ausgerichtet und platziert. Anschließend wird der Kontakt über Umschmelzen, Thermokompression-Bonden bzw. Thermosonic-Bonden hergestellt. Das angewandte Verfahren ist dabei abhängig von dem verwendeten Material der Metallsäulen, sowie auch von den Anforderungen der konkreten Anwendung. Besteht die Metallsäule aus Lot, kann es erforderlich sein, die Säulen vor dem Platzieren in Flussmittel zu tauchen bzw. Flussmittel auf die Kontaktflächen des Substrates zu applizieren, um so die Benetzung der Kontaktflächen des Substrates zu erhöhen. Zur mechanischen Stabilisierung des Chips kann der Spalt zwischen Substrat und Chip mit einem Epoxid aufgefüllt werden. Die als Underfill bekannten Epoxid Materialien sind niederviskos und verfließen aufgrund von Kapillarkräften im Spalt zwischen Chip und Substrat. Für optimale Fließeigenschaften kann eine Temperierung des Substrates erforderlich sein. Nach dem Verfließen wird der Underfill bei einer bestimmten Temperatur ausgehärtet. Der Flip-Chip Prozess ist schematisch in Abbildung 3.10 dargestellt. Neben den dargestellten Verfahren existieren auch Technologien mit nicht leitfähigen Klebern (engl.: *non-conductive adhesive*, kurz: NCA), anisotrop leitfähigen Klebern (engl.: *anisotropic-conductive adhesive*, kurz: ACA) und isotrop leitfähigen Klebern (engl.: *isotropic-conductive adhesive*, kurz: ICA) [100], die jedoch in dieser Arbeit nicht eingesetzt werden und daher keine weitere Betrachtung finden.

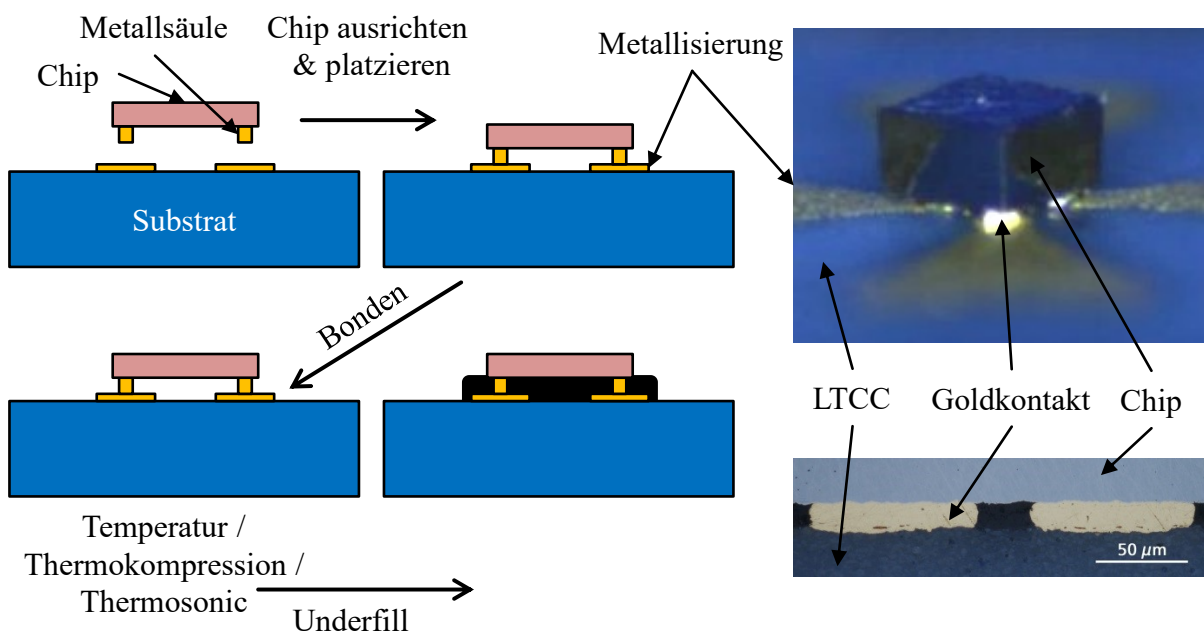


Abbildung 3.10: Links: Schematische Darstellung des Flip-Chip Prozesses. Rechts oben: mittels Thermokompression auf LTCC montierter Flip-Chip mit Goldkontakten von der Seite fotografiert. Ein Underfill wurde hier nicht verwendet. Rechts unten: Querschnitt durch Kontaktbereich zwischen Chip und Substrat.

Der in dieser Arbeit verwendete thermische Testchip PST1 wurde auch in einer Flip Chip Variante verwendet. Die Metallsäulen des Chips bestehen aus einer SnAgCu Lotlegierung (kurz: SAC). Die Montage des Chips erfolgte mit einem präzisen Platziergerät (Fineplacer Pico, Finetech GmbH & Co. KG). Hierbei wurde das Substrat auf eine steuerbare Heizplatte gelegt und der Chip mit einem beheizbaren Vakuumgreifer aufgenommen. Nach der Ausrichtung von Chip zu Substrat wurde der Chip platziert. Die Heizplatte und der Vakuumgreifer wurden anschließend auf ca. 240 °C erwärmt, was zum Umschmelzen der SAC Säulen führte und den Kontakt zwischen Chip und Substrat herstellte. Anschließend wurde der Spalt zwischen Chip und Substrat mit einem Underfill bei 70 °C (U8433, Namics Corp.) aufgefüllt. Nach dem Verfließen wurde der Underfill 1 h bei 150 °C ausgehärtet.

3.3 Entwärmungskonzepte in keramischen Packages

Die Entwärmung eines keramischen Packages kann mit verschiedensten Technologien und Methoden realisiert werden. Die Methoden unterscheiden sich dabei maßgeblich durch ihre thermische Leistungsfähigkeit, also der Möglichkeit Wärme effizient vom Chip abzuführen und in ihrer technologischen Komplexität. Im Folgenden sind die gängigsten Methoden zur Entwärmung von keramischen Packages aufgeführt. Diese stellen den Stand der Technik und der Forschung dar.

3.3.1 Chipmontage auf Wärmespreizer

Die Chipmontage auf einen Wärmespreizer stellt eine der effektivsten Möglichkeiten des thermischen Managements dar. Der Chip wird dabei durch einen Durchbruch in der LTCC direkt auf den Wärmespreizer montiert. Der Durchbruch kann dabei mittels Stanzen und Laserschneiden strukturiert werden. Damit lässt sich diese Entwärmungsmethode mit nur geringem Aufwand in die LTCC Technologie integrieren. Als Verbindungsmaterial zwischen Chip und Wärmespreizer kommen hauptsächlich Lote [64] zum Einsatz. Je nach Anwendung werden hochschmelzende Legierungen wie Au20Sn oder aber niedrigschmelzende Legierungen wie SnAgCu oder Indium Legierungen verwendet. Auch druckgesinterte Silberschichten können aufgrund ihrer hohen thermischen Leitfähigkeit eingesetzt werden [77]. Die Montage des LTCC Substrates kann mit demselben Prozess wie die Chipmontage erfolgen. Hierfür ist jedoch eine Rückseitenmetallisierung des LTCC Substrates notwendig um diese lötfähig bzw. kompatibel zum Silbersintern zu gestalten. Alternativ kann ein Tape-On-Substrate Verfahren genutzt werden, um ein LTCC-Metall Verbundsubstrat herzustellen, vgl. Abschnitt 3.3.4. Um Chip- und Substratbondebene auf ein Level zu bringen und so kurze Bonddrahtlängen zu ermöglichen, kann es zudem erforderlich sein, den Chip auf ein Metallpodest zu montieren oder eine gestufte Kavität in der LTCC zu verwenden [64]. Das Material des Kühlkörpers sollte einen ähnlich niedrigen thermischen Ausdehnungskoeffizienten (engl. coefficient of thermal expansion, kurz: CTE) wie das verwendete Halbleitermaterial und die LTCC aufweisen, um thermisch induzierte Spannungen im Package auf ein Minimum zu begrenzen. Das schließt die Verwendung von kostengünstigem Kupfer als Wärmespreizermaterial aus. Es werden überwiegend

Verbundwerkstoffe aus Molybdän, Kupfer und Wolfram bzw. Keramiken aus Aluminiumnitrid eingesetzt [64], die einen niedrigen thermischen Ausdehnungskoeffizienten aufweisen, jedoch eine geringere thermische Leitfähigkeit als Kupfer besitzen und zudem um ein Vielfaches teurer als Kupfer sind. Tabelle 3.2 listet einige Materialien auf, die diesen Kriterien entsprechen. Des Weiteren kann eine Beschichtung des Wärmespreizers mit Nickel und Gold bzw. Silber für den Chipmontageprozess notwendig sein.

Tabelle 3.2: Materialien für Wärmespreizer mit an LTCC angepassten CTE. Bei anisotropen Materialien erfolgt die Angabe der lateralen thermischen Leitfähigkeit λ_{xy} und der thermischen Leitfähigkeit durch das Material λ_z . Zum Vergleich sind die Daten auch für Silizium und LTCC angegeben. Die Materialkennwerte gelten für 20 °C.

Material	Dichte [g/cm ³]	CTE [ppm/K]	Thermische Leitfähigkeit [W/(m · K)]
Molybdän [101]	10,2	5,5	λ_{xyz} 142
Molybdän [102]	10,22	6,0	λ_{xyz} 138
Kovar [®] [102]	8,3	5,0	λ_{xyz} 17
Wolfram [101]	19,3	4,5	λ_{xyz} 165
Mo30Cu [101]	9,7	7,1	λ_{xyz} 205
Mo30Cu [102]	9,27	7,5	λ_{xyz} 183
W10Cu [101]	17,1	6,4	λ_{xyz} 195
Cu/Mo/Cu [101] (Laminat 1:4:1)	9,4 – 9,6	7 – 8	λ_{xy} 280 / λ_z 170
AlN [103]	3,24 – 3,4	3,5 – 5,6	λ_{xyz} 80 – λ_{xyz} 205
Si [104], [105], [106]	2,34	2,6	λ_{xyz} 149
LTCC DP951 [56]	3,1	5,8	λ_{xyz} 3,3

In Abbildung 3.11 ist ein LTCC Package mit einem Durchbruch und direkt montierten Chip schematisch und als Fotografie dargestellt. Der Chip wurde mittels Silbersintern auf einen vernickelt und versilberten Molybdän Kupfer Verbundwerkstoff aufgebracht. Die Montage des LTCC Substrates erfolgte in der gleichen Weise.

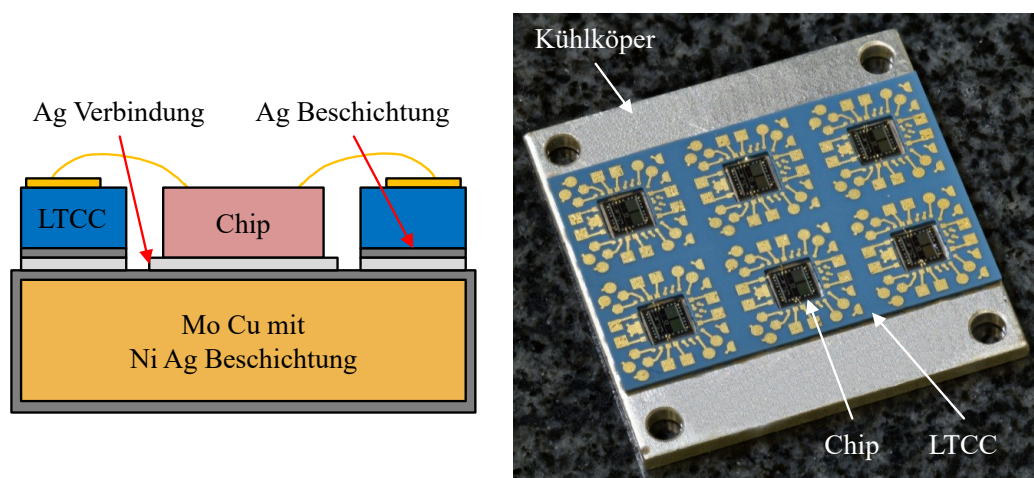


Abbildung 3.11: Links: Schematische Querschnitt; Rechts: Fotografie von LTCC Package mit direkt montierten Chip.

3.3.2 Thermische Vias

Durchkontaktierungen im thermischen Pfad des Schaltungsträgers reduzieren den thermischen Widerstand des Schaltungsträgers in diesem Bereich. Diese sind zumeist in Feldern angeordnet und haben einen festen Abstand (engl. *Pitch*, Abstand der Mittelpunkte) zueinander. In LTCC Schaltungsträgern werden hauptsächlich Silber- und Goldmetallisierungen als Füllmaterial eingesetzt. Diese bieten neben einem guten elektrischen Kontakt auch eine hohe thermische Leitfähigkeit. Der Querschnitt eines Substrates mit thermischen Vias ist in Abbildung 3.12 schematisch und als Mikroskopaufnahme dargestellt.

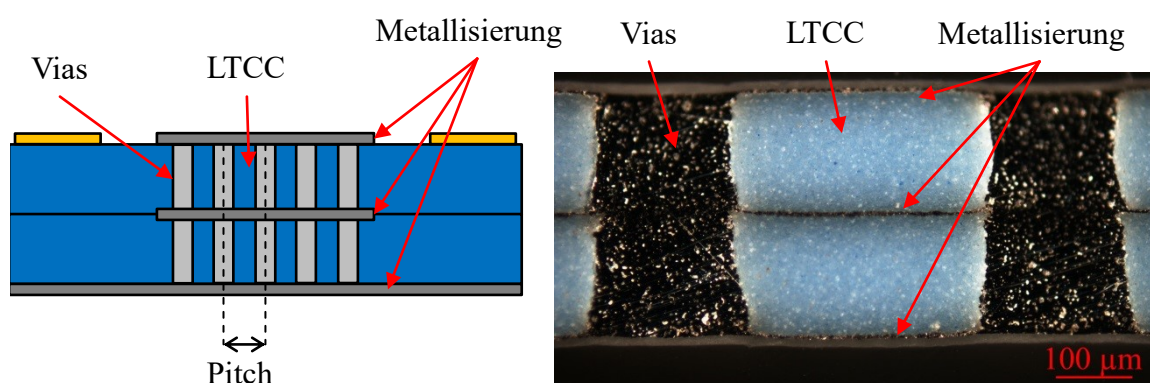


Abbildung 3.12: Links: Schematische Querschnitt. Rechts: Mikroskopische Aufnahme eines LTCC Substrates bestehend aus 2 Lagen mit thermischen Vias

Der effektive thermische Widerstand $R_{th,eff}$ eines Schaltungsträgers mit thermischen Vias ergibt sich aus der Parallelschaltung des thermischen Widerstandes vom Substrat und der Anordnung der thermischen Vias, siehe Gl. (3.2), vgl. Abschnitt 2.1.3 & 2.1.5.

$$R_{th,eff} = \frac{R_{th,Substrat} \cdot R_{th,Vias}}{R_{th,Substrat} + R_{th,Vias}} \quad (3.2)$$

mit

$$R_{th,Substrat} = \frac{h}{\lambda_{Substrat} \cdot A_{Substrat}} \quad R_{th,Vias} = \frac{h}{\lambda_{Vias} \cdot A_{Vias}}$$

$$A_{Vias} = N \cdot \frac{\pi}{4} \cdot d^2 \quad A_{Substrat} = l \cdot b - A_{Vias}$$

[107] zeigte, dass der Einsatz von Silber im Vergleich zu Gold als Viafüllmaterial den thermischen Widerstand um 25 % senken kann. Weiterhin kann durch die Verwendung eines Dickschichtwärmespreizers über den Vias der thermische Widerstand nochmals um 15 % reduziert werden.

In [108] wurde gezeigt, dass unterhalb eines Viaflächenanteils von 25 % der effektive thermische Widerstand des Substrates stark ansteigt. Darüber hinaus konnten Vianordnungen mit einem Flächenanteil von über 50 % durch die Verwendung von speziell angepassten Materialien erzeugt werden, die zu einer deutlichen Reduzierung des thermischen Widerstandes des Substrates führen. Mittels Laserflash Analyse wurde außerdem die effektive

thermische Leitfähigkeit von 0,635 mm dicken DP951 Substraten mit thermischen Vias bestehend aus DP6141 Silberpaste für verschiedene Viaanordnungen ermittelt, siehe Tabelle 3.3.

Tabelle 3.3: Effektive thermische Leitfähigkeit von DP951 Substraten mit DP6141 Silbervias für verschiedene Viaanordnungen, gemessen durch Laserflashanalyse. [108]

	#1	#2	#3	#4
Viadurchmesser [mm]	0,1	0,3	0,8	1,1
Pitch [mm]	0,3	0,9	1,1	1,3
Flächenanteil [%]	20	20	35	64
λ_{eff} [W/(m · K)]	59	59	103	185

Die Simulation in [109] hat gezeigt, dass der thermische Widerstand eines 0,84 mm dicken DP951 Substrates durch die Verwendung von Goldvias um ca. 27 % gesenkt werden kann. Die Verwendung von Silber statt Gold reduziert den thermischen Widerstand nochmals um 67 %. Weiterhin konnte gezeigt werden, dass der Zusammenhang zwischen dem Viaflächenanteil und des thermischen Widerstand des Substrates nicht linear ist.

Dieser Zusammenhang kann auch analytisch nach Gl. (3.2) berechnet werden, was in Abbildung 3.13 für ein DP951 Substrat (3 x 3 mm²) mit thermischen Vias aus DP6141 für verschiedene Substratdicken dargestellt ist. Die angenommene thermische Leitfähigkeit betrug 3,3 W/(m · K) [56] bzw. 289 W/(m · K) [108] für das Substratmaterial bzw. das Viafüllmaterial. Der thermische Widerstand ist dabei auf die gesamte Substratfläche normiert. Der nicht lineare Zusammenhang zwischen Viaflächenanteil und thermischem Widerstand zeigt sich auch hier. Außerdem kann gezeigt werden, dass der thermische Widerstand mit der Substratdicke nahezu linear skaliert.

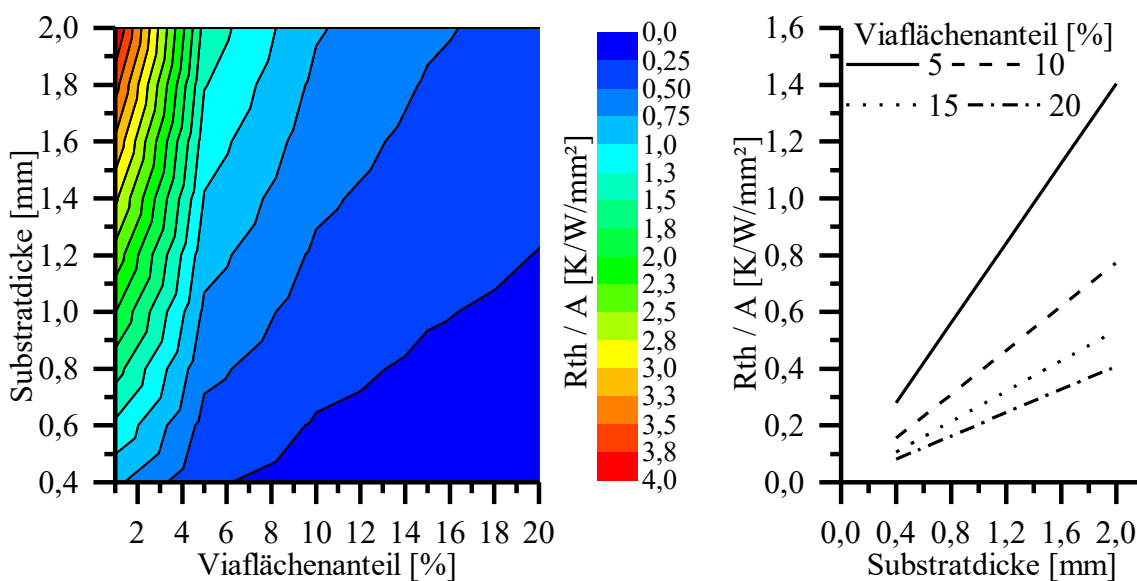


Abbildung 3.13: Darstellung des auf die Substratfläche normierten effektiven thermischen Widerstandes des Substrates in Abhängigkeit von Substratdicke und Viaflächenanteil. Links: Farbliche Darstellung. Rechts: Darstellung nur in Abhängigkeit der Substratdicke für 4 verschiedene Viaflächenanteile.

Die Reduzierung des thermischen Widerstandes durch thermische Vias ist jedoch technologisch begrenzt. Ein geringfügig anderes Schrumpfungsverhalten des Füllmaterials würde ab einem gewissen Metallisierungsgrad zu Verwölbungen oder Rissen im Substrat führen. Diese Grenze ist stark abhängig vom gewählten Materialsystem und liegt für den Standard DP951 Prozess bei ca. 20 % [64], [107] und [109]. Des Weiteren kann der Pitch nicht beliebig klein gestaltet werden, da bei Unterschreitung eines gewissen Abstandes der Vias das Folienmaterial aufgrund des mechanischen Stresses beim Stanzen beginnt, zwischen den gestanzten Löchern zu reißen. Neben den Verwölbungen der Substratoberfläche durch einen zu hohen Metallisierungsgrad hat auch der Viafüllgrad des Vias Einfluss auf die Planarität des Substrates. Eine Unterfüllung des Vias muss mit dem TIM ausgeglichen werden. Hier besteht zudem die Gefahr von Hohlräumen zwischen Vias einzelner Lagen, wie in Abbildung 3.14 gezeigt. Die Hohlräume wirken sich dabei negativ auf den thermischen Widerstand der Anordnung aus. Überfüllte Vias erschweren den Pastenauftrag des TIM und können außerdem zu einer inhomogenen Verbindungsschichtdicke (engl. *bond line thickness*, kurz: BLT) führen. Daneben kann eine Erhöhung der BLT notwendig sein, was sich wiederum negativ auf den thermischen Widerstand der Verbindung auswirkt.

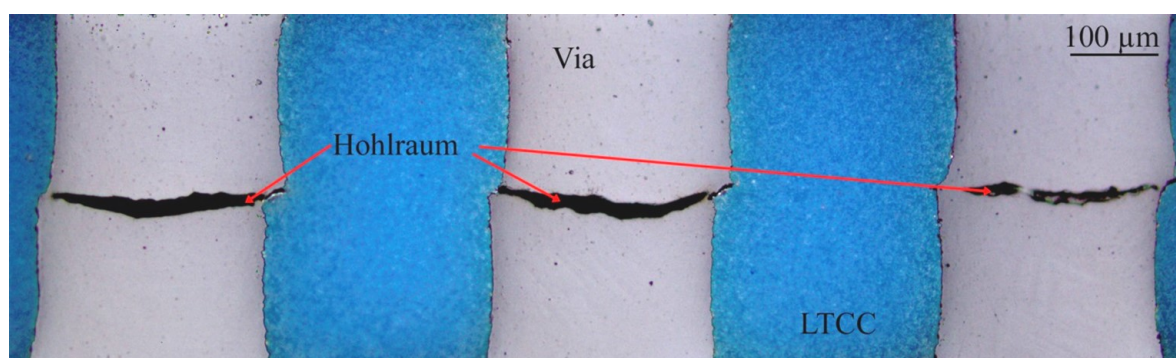


Abbildung 3.14: Querschnitt durch LTCC Substrat mit thermischen Vias aus Silber. Der Viafüllgrad war nicht ausreichend, sodass sich Hohlräume zwischen den Vias einzelner Lagen ausgebildet haben. Der Bereich der Vias wurde im Dunkelfeld, der der LTCC im Hellfeld aufgenommen, um einen optimalen Kontrast zwischen Keramik und Silber zu erhalten. Beide Aufnahmen wurden in einem Bild vereinigt. Die schwarze Umrandung der Vias ist ein Artefakt dieser Vereinigung.

Die Planarität des Substrates kann über Schleifprozesse so verbessert werden, dass der Bereich von Unter- bzw. Überfüllung vollständig entfernt wird [64], [110]. Dieser Prozess ist prinzipbedingt nur an thermische Vias auf der Substratober- bzw. Substratunterseite möglich und nicht für thermische Vias in Kavitäten einsetzbar. Auch können Außenmetallisierungen erst nach dem Schleifprozess aufgebracht werden, wodurch zusätzliche Prozessschritte erforderlich sind.

3.3.3 Dickschichtwärmespreizer

Substratintegrierte Wärmespreizer werden typischerweise mittels vollflächigem Siebdruck von metallhaltigen Dickschichtpasten realisiert. Diese zumeist in hohem Maße silber- bzw. goldhaltigen Pasten bieten eine hohe thermische Leitfähigkeit und sind zudem gut in den

Fertigungsprozess integrierbar. In keramischen Mehrlagensubstraten können sie sowohl in Innen- als auch auf Außenlagen eingesetzt werden. Da der Metallisierungsgrad aufgrund von geringfügig anderem Schrumpfungsverhalten limitiert ist, sind Dicke und Fläche von vergrabenen Dickschichtwärmespreizern begrenzt. Zudem wurde in [111] mittels FEM Simulation gezeigt, dass ein LTCC Modul mit einem vergrabenen Dickschichtwärmespreizer, welcher den thermischen Kontakt zwischen einem kleinem und einem großem Viefeld herstellt, eine nur um 2 K geringere Chiptemperatur aufweist, als ein LTCC Modul mit einem durchgängig kleinem Viefeld. Der Spreizeffekt ist hier durch die nur sehr geringe Spreizerdicke von angenommenen $15\ \mu\text{m}$ limitiert. Zur Veranschaulichung dieses Sachverhaltes wurde die Temperaturverteilung, sowie die Verteilung der Wärmestromdichte in einem 4 lagigen LTCC Modul mit einem kleinem 6×6 Viefeld und einem großen 14×14 Viefeld mittels FEM simuliert. Das LTCC Modul wies dabei in jeder inneren Lage einen Dickschichtwärmespreizer mit einer Dicke von $10\ \mu\text{m}$ auf, der die Vias thermisch verband. Das LTCC Modul verfügte zudem an den Außenseiten über $30\ \mu\text{m}$ dicke Wärmespreizer, die das kleine bzw. das große Viefeld überdeckten. Über einen Chip wurde ein Wärmestrom in das Modul eingeprägt und die resultierende Temperatur- und Wärmestromdichteverteilung simuliert, was in Abbildung 3.15 dargestellt ist. Es zeigte sich, dass sich der Wärmefluss im Bereich der Vias unter dem Chip konzentrierte, was die Untersuchung in [111] vermuten ließ.

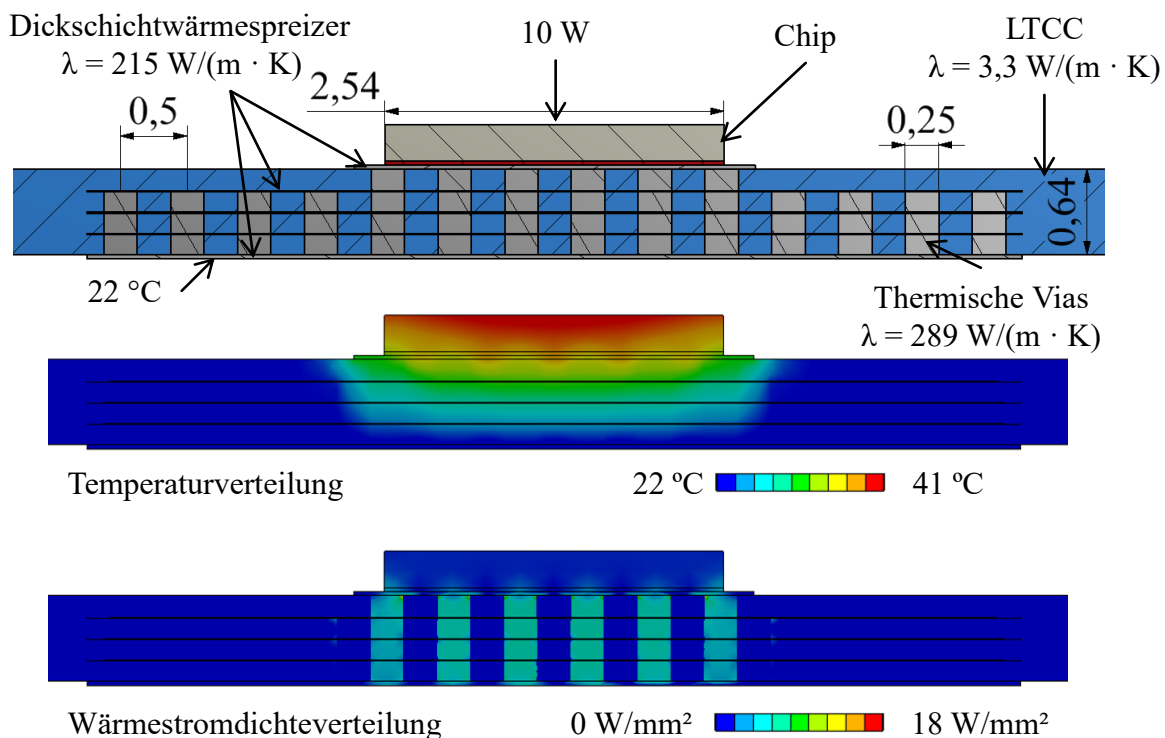


Abbildung 3.15: Oben: Geometrisches Modell von LTCC Modul mit kleinem und großem Viefeld. Mitte: Simulierte Temperaturverteilung. Unten: Simulierte Verteilung der Wärmestromdichte. Eine Konzentration des Wärmestroms in den Vias direkt unter dem Chip ist erkennbar.

Dickschichtwärmespreizer auf Außenlagen können im Post-Fire Verfahren strukturiert werden. Die Fläche und die Dicke der Wärmespreizer sind somit nicht begrenzt. Da die

erzielbare Einzelschichtstärke einer siebgedruckten Dickschicht nur wenige μm aufweist, müssen dickere Wärmespreizer durch serielles Drucken und Brennen mehrere deckungsgleicher Flächen hergestellt werden. Dies ist jedoch nur in gewissen Grenzen technologisch und ökonomisch sinnvoll. In Abbildung 3.16 ist eine REM Aufnahme eines Dickschichtwärmespreizers aus dem Silberbrazing System der Firma DuPont (DP 5081 & DP 5082) dargestellt. Diese wurde in einem 3 stufigen Post-Fire Prozess hergestellt. Der Siebdruck erfolgte mit einem Edelstahlsieb mit einem Fadendurchmesser von $24\ \mu\text{m}$, einer Maschenöffnung von $53\ \mu\text{m}$ und einer Filmemulsionsdicke von $15\ \mu\text{m}$. Es wurde zunächst die Paste DP 5081 gedruckt und anschließend bei $850\ ^\circ\text{C}$ gebrannt. Danach erfolgte das zweimalige Drucken und Brennen der Paste DP 5082. Die gebrannte Schichtstärke des Gesamtaufbaus beträgt dabei $24,9\ \mu\text{m} \pm 1,3\ \mu\text{m}$. Der effektive Widerstand eines Substrates mit integrierten Wärmespreizern kann nicht nach den in Abschnitt 2.1.3.1 vorgestellten Methoden berechnet werden, da das Substrat in Richtung des thermischen Pfades inhomogene thermische Leitfähigkeiten aufweist. Vielmehr hängt der effektive thermische Widerstand des Substrates von mehreren Faktoren ab. So beeinflussen die Dicke und Fläche des Wärmespreizers, die Lage im Substrat und eventuell vorhandene thermische Vias den effektiven thermischen Widerstand des Substrats. Im Folgenden wird dieser Zusammenhang anhand eines einfachen Simulationsmodells verdeutlicht.

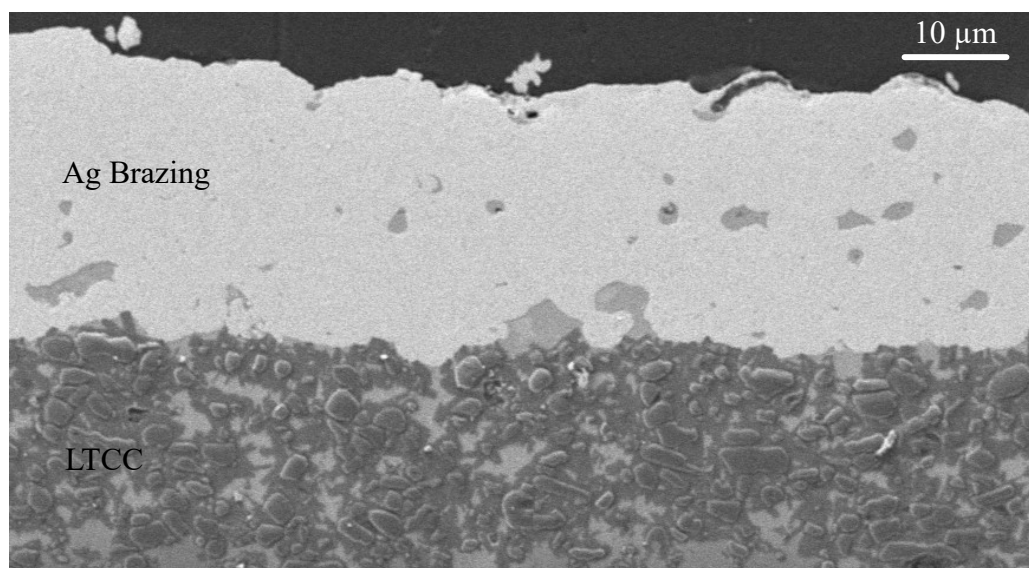


Abbildung 3.16: REM Aufnahme eines sequentiell aufgebauten Dickschichtwärmespreizers, bestehend aus einer Lage DP 5081 und zwei Lagen DP5082. Die gebrannte Schichtdicke beträgt $24,9\ \mu\text{m} \pm 1,3\ \mu\text{m}$.

Das Simulationsmodell beinhaltet einen quadratischen Chip, der mittels Gold-Zinn Lot auf ein quadratisches Substrat mit einem quadratischen Wärmespreizer aus Dickschichtsilber montiert ist. Die Dicke und Fläche des Wärmespreizers wurden variiert und der effektive thermische Widerstand des Substrates berechnet. Danach wurden thermische Vias im Chipbereich hinzugefügt und die Simulation erneut durchgeführt. In Abbildung 3.17 sind die geometrischen Modelle dargestellt.

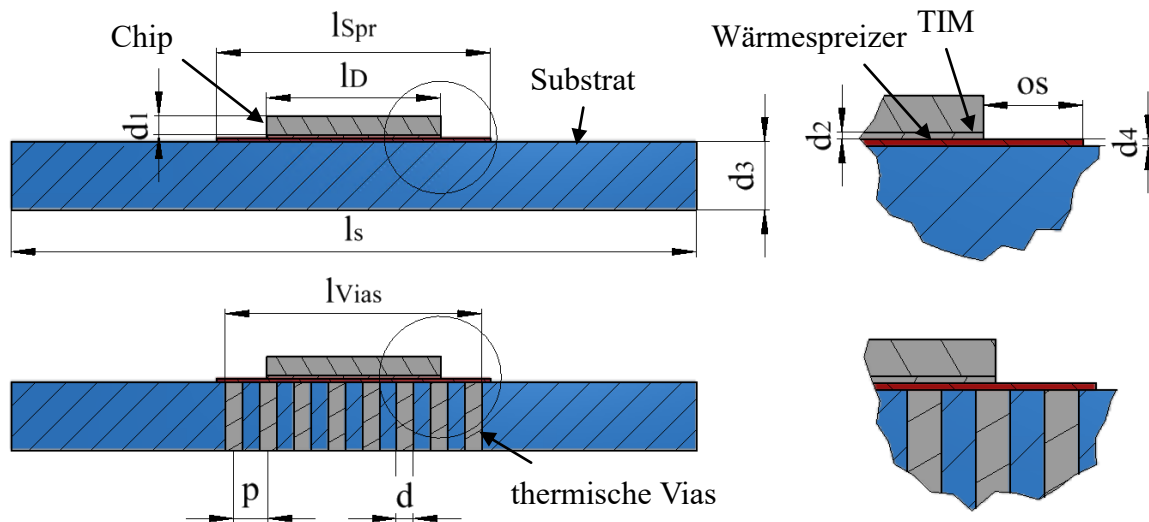


Abbildung 3.17: Geometrisches Modell des Aufbaus mit Dickschichtwärmespreizer. Oben: Ohne thermische Vias. Unten: Mit thermischen Vias.

Die wichtigsten Simulationsparameter sind in Tabelle 3.4 zusammengefasst. Die Simulation wurde in ANSYS Workbench durchgeführt. Es wurde eine thermische Last von 10 W, homogen auf der Chipoberfläche verteilt, angenommen. Die Substratrückseite wurde mit einer Temperatur von konstant 22 °C beaufschlagt, um die thermische Masse zu modellieren. Wärmeübertragung durch Konvektion oder Strahlung wurden aufgrund des zu erwartenden marginalen Einflusses auf den Wärmestrom in der Simulation nicht berücksichtigt [109]. Der Detailgrad des Simulationsnetzes wurde sukzessive erhöht, bis die Temperatur des Modells keine signifikante Änderung mehr aufwies. Die Netzanpassung wurde dabei für jede Geometrievariante durchgeführt.

Tabelle 3.4: Geometrische und physikalische Eigenschaften des Simulationsmodells

Name	Bedeutung	Wert
Geometrie		[mm]
l_s	Substratbreite	10
l_{Spr}	Wärmespreizerbreite	2,54 ... 9
l_{Vias}	Viafeldbreite	3,73
l_D	Chip- & TIM Breite	2,54
d_1	Chipdicke	0,27
d_2	TIM Dicke	0,05
d_3	Substratdicke	1
d_4	Wärmespreizerdicke	0,01 ... 0,05
os	Überstand Wärmespreizer	0 ... 3,23
p	Pitch	0,5
d	Viadurchmesser	0,25
Thermische Leitfähigkeit		[W/(m · K)]
Substrat	LTCC DP951	3,3
Wärmespreizer	Dickschichtsilber	215
TIM	AuSn20	57,3
Chip	Silizium	148
Via	Ag DP6141	289

Das Temperaturfeld im Querschnitt der Anordnung ist für das Modell mit Vias in Abbildung 3.18 dargestellt. Der Wärmespreizer hatte dabei eine Grundfläche von $4 \times 4 \text{ mm}^2$ und eine Dicke von $30 \text{ }\mu\text{m}$.

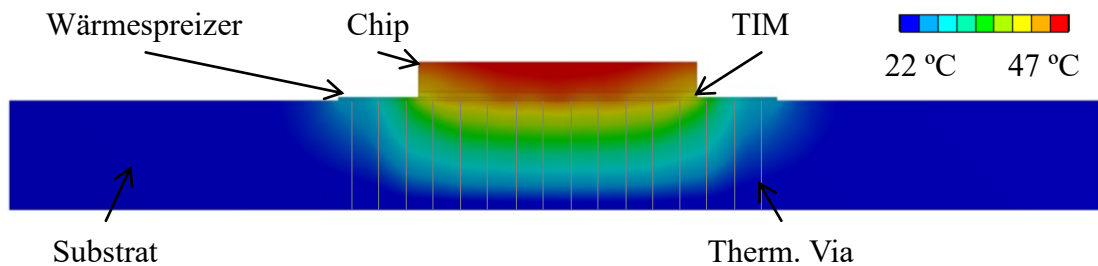


Abbildung 3.18: Simulierte Temperaturverteilung im Modell mit thermischen Vias. Der Wärmespreizer hatte eine Fläche von $4 \times 4 \text{ mm}^2$ und eine Dicke von $30 \text{ }\mu\text{m}$.

Die in Abbildung 3.18 dargestellte Temperaturverteilung des Aufbaus mit Vias zeigt deutlich, dass der Substratbereich außerhalb der Vias nur eine geringfügige Temperaturerhöhung aufweist und somit nur einen geringen Teil der Wärme ableitet. Der effektive thermische Widerstand der Anordnung wird daher maßgeblich durch den Substratbereich mit Vias bestimmt.

Nach Berechnung des Temperaturfeldes wurde der effektive thermische Widerstand der Anordnung mittels der Temperaturdifferenz zwischen Chip und Substratrückseite und der thermischen Last berechnet (Gl. (3.3)).

$$R_{th} = \frac{\vartheta_J - 22 \text{ }^\circ\text{C}}{10 \text{ W}} \quad (3.3)$$

Zur Verdeutlichung des Einflusses von Dicke und Fläche des Wärmespreizers, wurden die berechneten thermischen Widerstände auf den thermischen Widerstand des Modells mit dem kleinsten Wärmespreizer und die Breite des Wärmespreizers auf die Chipbreite normiert (Gl. (3.4)).

$$R'_{th} = \frac{R_{th}}{R_{th,Max}} \quad l'_{spr} = \frac{l_{spr}}{l_D} \quad (3.4)$$

Der Einfluss von Dicke und Breite des Wärmespreizers auf den effektiven thermischen Widerstand ist in Abbildung 3.19 grafisch dargestellt. Die Ergebnisse der Simulation zeigen, dass die thermischen Vias den effektiven thermischen Widerstand um das 9,8 fache absenken. Weiterhin zeigt sich, dass bei einem Substrat ohne thermische Vias die Breite des Wärmespreizers einen erheblichen Einfluss auf den effektiven thermischen Widerstand hat. Mit zunehmender Dicke des Wärmespreizers steigt dieser Einfluss nochmals. Die Dicke des Wärmespreizers zeigt jedoch erst ab Breiten vom 1,5 fachen der Chipbreite einen signifikanten Einfluss. Bei der Anordnung mit thermischen Vias ist der Einfluss von Dicke und Breite des Wärmespreizers auf den effektiven thermischen Widerstand deutlich reduziert.

Hier zeigt sich, dass eine Erhöhung der Breite über die Grenzen des Viafeldes hinaus keinen signifikanten Einfluss mehr auf den thermischen Widerstand hat.

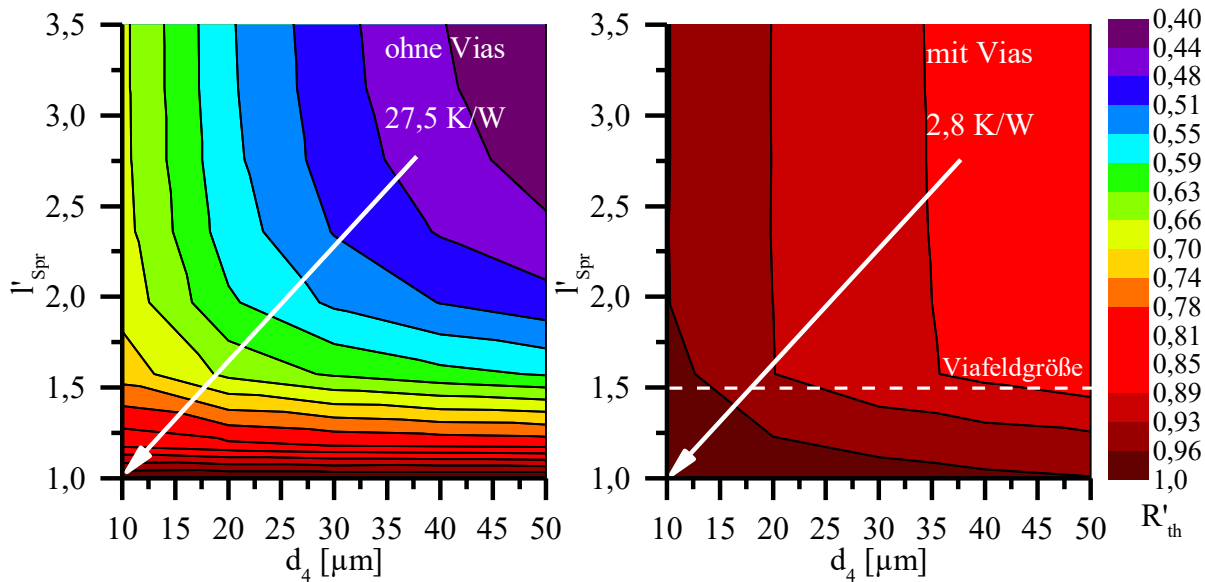


Abbildung 3.19: Farbliche Darstellung des normierten thermischen Widerstands in Abhängigkeit von der Dicke des Wärmespreizers und der auf die Chipbreite normierten Wärmespreizerbreite w^2 . Links: Modell ohne thermische Vias. Rechts: Modell mit thermischen Vias.

Aus den Ergebnissen der Simulationen können folgende Designempfehlungen für Dickschichtwärmespreizer abgeleitet werden:

- Dickschichtwärmespreizer sind nur an der Substratoberseite unmittelbar unter der aktiven Komponente in Verbindung mit thermischen Vias effektiv
- In Packages ohne thermische Vias sind die Wärmespreizer möglichst großflächig und dick auszuführen.
- Der Wärmespreizer kann bis zu einer Breite, die ca. der 1,5 fachen Chipbreite entspricht, dünn gestaltet werden. Bei größeren Breiten steigt die Effektivität des Wärmespreizers mit zunehmender Dicke signifikant.
- Wärmespreizer in Packages mit thermischen Vias können dünn gestaltet werden und sollten mindestens dieselbe Fläche wie der Chip aufweisen, jedoch maximal so groß wie die Anordnung der thermischen Vias sein.

3.3.4 LTCC – Metall Verbundsubstrat

Ein LTCC – Metall Verbundsubstrat (kurz: LTCC-M) besteht aus einem LTCC Stapel, der im ungesinterten Zustand auf ein glasiertes Metallsubstrat laminiert wird. Anschließend wird der Verbund bei 875 °C – 925 °C unter Schutzatmosphäre (z. B. Stickstoff) erhitzt, wodurch das im LTCC enthaltene Glas aufschmilzt in einem Flüssigphasensinterprozess sintert und dabei gleichzeitig die glasierte Metalloberfläche benetzt. [112], [113] & [114]. Diese formschlüssige Verbindung zeichnet sich durch eine hohe Festigkeit und Dichtigkeit auch bei

höheren Temperaturen aus. Hierdurch kann das bei hochtemperaturfesten Verbindungen eingesetzte Gold-Zinn Lot mit hohem Goldanteil eingespart werden, wodurch die Kosten des Moduls gesenkt werden können. Ein beispielhafter, schematischer Querschnitt ist in Abbildung 3.20 dargestellt.

LTCC und Metallsubstrat müssen im thermischen Ausdehnungskoeffizienten aufeinander exakt angepasst sein, um thermisch induzierte Spannungsrisse beim Abkühlen zu vermeiden und ein Verbundsubstrat von hoher Festigkeit zu erhalten. Hierfür war die Entwicklung eines speziell angepassten LTCC Materials notwendig [112]. Desweiteren hindert das Metallsubstrat die LTCC beim Ausbrand am lateralen Schrumpfen, wodurch sich der Schrumpf der Substratdicke auf ca. 40 % erhöht [115]. Aus diesem Grund war es notwendig, die bestehenden Designregeln für substratintegrierte, passive Komponenten wie Widerstände, Spulen und Kapazitäten anzupassen [116], [117]. Als Metallsubstrate können Verbundwerkstoffe aus Molybdän und Kupfer, Kupfer und Stahl, sowie Wolfram und Kupfer eingesetzt werden [118]. Kavitäten in der Keramik erlauben die direkte Montage von Leistungshalbleitern auf dem thermisch exzellent leitenden Metallsubstrat [118]. Daneben besteht auch die Möglichkeit, thermische Vias in der LTCC zu integrieren, sodass aktive Chips auch auf der LTCC Oberfläche montiert werden können [118].

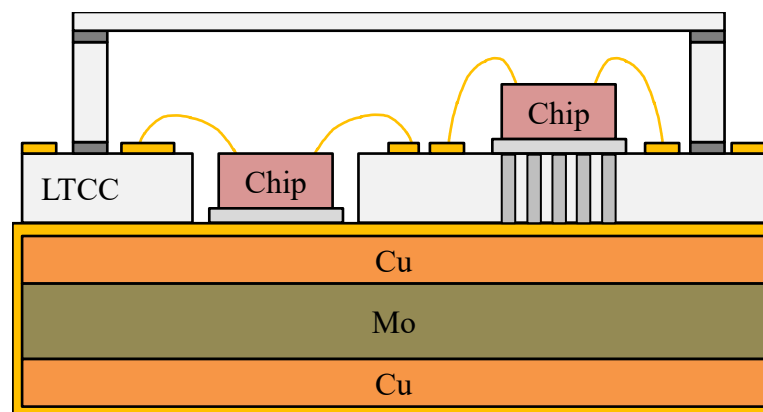


Abbildung 3.20: Schematischer Querschnitt durch LTCC-M mit montierten Chips.

Die Entwicklung des LTCC – Metall Verbundsubstrates geht auf die Sarnoff Corp. zurück, die ab ca. 1993, gefördert durch die Defense Advanced Research Projects Agency (kurz: DARPA, US Amerikanische Behörde), aktiv auf diesem Gebiet forschte. Die Hauptanwendung dieser Technologie lag, bedingt durch die finanzielle Unterstützung der DARPA, in Schaltkreisen für militärische Zwecke. Die Lamina Ceramics Inc. entwickelte seit 2001 LED Package Lösungen auf Basis von LTCC-M und patentierte diese Packages [119], [120]. Die begrenzte Verfügbarkeit des entwickelten LTCC Materials sowie die Übernahme der Lamina Ceramics Inc. durch die Lighting Science Group Corporation 2008, sowie der Sarnoff Corp. durch SRI International im Jahr 2011 beschränken allerdings den Zugang zu dieser Technologie.

3.3.5 Aktive Kühlung durch substratintegrierte Kühlkanäle

Bei der aktiven Kühlung von LTCC Modulen werden substratintegrierte Kühlkanäle genutzt, um ein Kühlmedium durch das Substrat zu leiten. Dabei wird die thermische Verlustleistung an das Kühlmedium über Leitungs- und Konvektionsvorgänge abgegeben und somit die Wärme aus dem Substrat abgeführt. In Abbildung 3.21 ist eine schematische Darstellung dieser Kühlmethode gezeigt. Als Kühlmedium können sowohl gasförmige als auch flüssige Stoffe eingesetzt werden. Aufgrund seiner hohen Wärmekapazität und unkomplizierten Handhabung eignet sich Wasser hierbei als ideales Kühlmedium.

Die Wärmeübertragung vom Chip zum Kühlmedium basiert im Substrat auf Leitung (vgl. Abschnitt 2.1.3) und zwischen Substrat und Kühlmedium auf Konvektion (vgl. Abschnitt 2.1.4.2). Daher setzt sich der gesamte thermische Widerstand dieser Entwärmungsmethode $R_{th,ges}$ aus dem effektiven thermischen Widerstand von Substrat und Verbindungsmaterialien $R_{th,L}$ und dem effektiven thermischen Widerstand der konvektiven Wärmeübertragung an das Kühlmedium $R_{th,K}$ zusammen, siehe Gl. (3.5).

$$R_{th,ges} = R_{th,L} + R_{th,K} \quad (3.5)$$

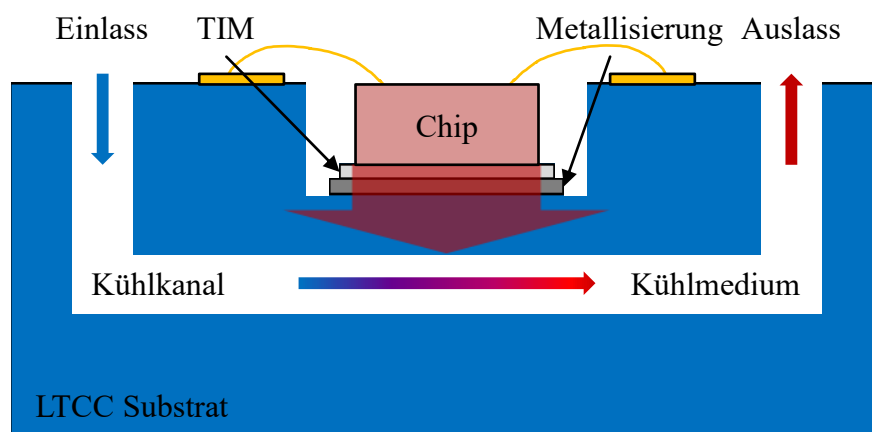


Abbildung 3.21: Schematische Darstellung der aktiven Kühlung durch substratintegrierte Kühlkanäle. Der Chip gibt die Wärme über das Substrat an das im Kühlkanal fließende Kühlmedium ab, welches die Wärme dann aus dem Modul transportiert.

Um die Kühlkanäle herzustellen, wird in den ungesinterten LTCC Folien mittels Laserschneiden, Stanzen bzw. Fräsen der Kanalverlauf strukturiert. Anschließend werden alle Folien laminiert. Um eine Deformation des Kanals während der Lamination und des Sinterns zu verhindern bzw. zu minimieren, sind zwei Methoden bekannt. Zum einen können die Folien uniaxial und unter reduziertem Druck laminiert werden [121] – [124]. Dabei wird ein Druck von ca. 7 MPa verwendet. Hierdurch wird die Deformation des Kanals während der Lamination vermindert. Eine sequentielle Lamination der einzelnen Folien verbessert dabei die Haftung zwischen den Folien [123]. Nachteilig an dieser Methode ist, dass die verringerte Verdichtung eine erhöhte Schrumpfung des Substrats verursacht, was zu einem erhöhten Materialeinsatz bei gleicher Nutzfläche führt. Außerdem weist ein so hergestellter Kanal trotz sorgfältig eingestelltem Laminationsdruck eine geringfügige Verformung auf, da die

Verdichtung prinzipbedingt im Kanalbereich inhomogen ist, was ein unterschiedliches Schrumpfungsverhalten bedingt.

Alternativ kann der Kanal mit einem Hilfsmaterial aufgefüllt werden. Hierbei können verschiedene Materialien genutzt werden, die je nach Materialart während des Sinterns verbrennen, nach dem Sintern aus dem Kanal geätzt oder mechanisch entfernt werden. In Tabelle 3.5 ist eine Auswahl in Frage kommender Materialien aufgelistet. Durch die Verfüllung des Kanals kann das Substrat mit empfohlenem Druck isostatisch laminiert werden, wodurch eine hohe und homogene Verdichtung des Substrates erreicht wird. Verbleibt das Material während der Sinterphase im Kanal, wird zusätzlich das Absacken der Kanaloberseite während der Sinterphase vermindert. So hergestellte Kanäle besitzen eine hohe Formtreue. Zum Zeitpunkt der Arbeit lagen bereits einige Forschungsarbeiten zum Thema Entwärmung mittels substratintegrierter Kühlkanäle vor. In [121] wurden substratintegrierte Kühlkanäle zur Kühlung eines Dickschichtwiderstandes genutzt. Hierbei wurden keine zusätzlichen Metallisierungen wie thermische Vias verwendet. In [122] wurde die aktive Kühlung durch einen über zwei Ebenen verteilten Kühlkanal mit der passiven Kühlung durch natürliche Konvektion verglichen. Es wurde gezeigt, dass durch die aktive Kühlung die mögliche Leistungsaufnahme des Moduls um den Faktor 12 erhöht werden kann, ohne das Modul zu überhitzen. Außerdem trägt der Kühlkanal zu einer gleichmäßigeren Temperaturverteilung über dem Modul bei.

Tabelle 3.5: Auswahl an Hilfsmaterialien für die Herstellung von substratintegrierten Kanälen

Material	Form	Entfernen	Quelle
Blei Bi-Silikat Glas	n. a.	Ätzen nach Ausbrand mit gepufferter Flusssäure	[125]
Walnusschalenmehl, Speisestärke, Mehl vermischt mit Binder / Plastifikatoren / Lösemitteln	Paste, Folie	Verbrennung während des Ausbrandes	[126], [127]
Keramik/Polymer Komposit	Folie	Ausblasen / Ausschütten nach Ausbrand	[127]
Wachs	Folie	Verbrennung während des Ausbrandes	[128] – [130]
Kapton, Wachs	Folie	Verbrennung während des Ausbrandes	[131]
Carbon vermischt mit Binder / Plastifikatoren / Lösemitteln	Paste, Folie	Verbrennung während des Ausbrandes	[132], [133]

In [123], [124] wurde ein LTCC Modul entwickelt, welches eine Laserdiode durch substratintegrierte Mikrodüsen kühlt. Dabei befindet sich die Laserdiode auf einem Zwischenträger aus elektrisch isolierendem Aluminiumnitrid, Diamant bzw. Berylliumoxid. Das LTCC Modul enthält fluidische Kanäle, die das Kühlmedium zu den Mikrodüsen führt. Diese befinden sich in einer offenen Kavität, die durch das Auflöten des Zwischenträgers verschlossen wird. Somit trifft das Kühlmedium auf die Rückseite des Zwischenträgers und kühlt damit indirekt die Laserdiode. Einen ähnlichen Ansatz verfolgt die Quelle [131].

Hier wird auf eine offene Kavität ein Chipwiderstand geklebt. Am Boden der Kavität befinden sich eine oder mehrere Mikrodüsen, durch welche das Kühlmedium direkt auf die Rückseite des Chipwiderstandes gespritzt wird. Der Test von verschiedenen Düsenkonfigurationen zeigte, dass eine einzelne große Düse eine höhere Kühlleistung erzielt, als viele kleine Düsen. [128] – [130] zeigen die Verwendung von substratintegrierten Kühlkanälen in Kombination mit thermischen Vias im Substrat und Kanal. Die Vias hatten einen Durchmesser von 0,86 mm, einen Pitch von 1,25 mm und waren in einer 8 x 8 Matrix angeordnet. Es wurde gezeigt, dass der Einsatz von thermischen Vias im Substrat den thermischen Widerstand um nahezu 50 % reduziert. Die Verwendung von Vias im Kanal zeigte jedoch keine signifikante Reduzierung des thermischen Widerstandes. In [134] ist die aktive Kühlung eines Dickschichtwiderstandes durch substratintegrierte Mikrokanäle realisiert. [135] zeigt ein LTCC Modul mit substratintegrierten Kühlkanälen zur aktiven Kühlung von Silizium Photomultipliern. Hierbei wurde gezeigt, dass nach Einschalten der Wasserkühlung die Temperatur des Moduls sich in 10 s stabilisiert. Vergleichend dazu wurde die Messung mit Raumluft statt Wasser als Kühlmedium durchgeführt, was die Zeit bis zur Temperaturstabilisierung des Moduls auf 130 s erhöhte. In Tabelle 3.6 sind die Forschungsarbeiten bzgl. der verwendeten Wärmequelle, des Kanals und Kühlmediums, sowie des flächenbezogenen, thermischen Widerstandes gegenübergestellt. Trotz der umfangreichen Arbeiten auf dem Gebiet der aktiven Kühlung durch substratintegrierte Kühlkanäle bleiben einige Fragestellungen noch unbeantwortet. So bestand in [128] – [130] die Wärmequelle aus einem Folienheizer, der auf einem Kupferträger montiert war. Die Entwärmung eines Leistungshalbleiters wurde jedoch mit diesem Kühlmechanismus noch nicht gezeigt. Des Weiteren wurde die Oberflächentopologie des eingesetzten Viafeldes nicht näher untersucht. Eine planare Substratfläche ist jedoch entscheidend für einen guten thermischen Kontakt zwischen Chip und Substrat (vgl. Abschnitt 3.3.2). Außerdem existiert noch kein Konzept zur aktiven Kühlung von Flip-Chips auf Basis von LTCC Technologie.

Tabelle 3.6: Gegenüberstellung der Forschungsarbeiten zu substratintegrierten Kühlkanälen. Wenn möglich wurde der thermische Widerstand auf die aktive Fläche normiert.

Wärmequelle	Kanalgeometrie Breite x Höhe	Kühlmedium Volumenstromrate	$R_{th} \cdot A$ [K · mm ² /W]	Quelle
Dickschichtwiderstand	0,8 x 0,35 mm ²	Wasser 2 ml/min	387	[121]
Platinheizer	Breite: 1 mm Höhe: n.a.	Wasser 1,74 ml/min	n.a.	[122]
Laserdiode	Mikrodüsen Ø: 200 µm	Wasser n.a.	n.a.	[123], [124]
Folienheizer	8 x 1,8 mm ²	Wasser 294 ml/min	270	[128] – [130]
Chipwiderstand	Mikrodüse Ø: 522 µm	Wasser 72 ml/min	21	[131]
Dickschichtwiderstand	0,2 x 0,2 mm ²	Wasser 2,48 ml/min	912	[134]
Silizium Photomultiplier	2,6 x 0,4 mm ²	Wasser n.a.	n.a.	[135]

3.3.6 Heatpipes in LTCC

Als Heatpipe (dt. Wärmerohr) wird ein Bauteil zur Wärmeübertragung bezeichnet, welches die Verdampfung eines Mediums zur Übertragung hoher Wärmestromdichten nutzt. Dabei besteht eine Heatpipe aus einem hermetisch versiegelten Rohr, welches eine kleine Menge eines Mediums in sowohl flüssiger als auch gasförmiger Form enthält. Die Wärmeübertragung erfolgt dabei von einer Wärmequelle, die Wärme an das im Rohr befindliche Medium abgibt und dieses verdampft. Infolge der Verdampfung steigt lokal der Druck in der Verdampferzone, was zu einem Druckgradienten in der Heatpipe führt. Das gasförmige Medium strömt entlang dieses Druckgradienten zum anderen Ende der Heatpipe, wo es die aufgenommene Wärme an eine angeschlossene Wärmesenke abgibt und dadurch kondensiert. Der Rücktransport des nun flüssigen Mediums erfolgt rein passiv unter Nutzung von Gravitations- und Kapillarkräften. Hierfür ist eine Kapillarstruktur in die Heatpipe integriert. Da der Druckgradient entlang der Heatpipe sehr gering ist, stellt sich auch nur ein sehr geringer Temperaturgradient ein. Daraus folgt, dass Heatpipes nur einen sehr geringen thermischen Widerstand besitzen. Entscheidend für den effektiven Betrieb einer Heatpipe ist der Rücktransport des Mediums vom Kondensator zum Verdampfer. Ist der durch die Kapillare erzeugte Kapillardruck zu klein, strömt nicht genügend Medium zum Verdampfer, sodass dieser austrocknet. Das kann zur Überhitzung des zu kühlenden Bauteils führen. Auch eine Kapillare, deren Förderkapazität nicht ausreichend hoch ist, kann zum Austrocknen des Verdampfers führen. Zusammengefasst werden diese beiden Effekte im kapillaren Limit der Heatpipe. Der Wert gibt einen Leistungspunkt an, an dem am Verdampfer mehr Medium verdampft als von der Kapillare zugeführt wird. Weiterhin sollte die Heatpipe vor der Befüllung evakuiert werden, um möglichst das ganze Volumen der Heatpipe mit dem Medium zu füllen und so für den Wärmetransport nicht nutzbares Totvolumen zu minimieren. Als Medium können je nach Einsatztemperatur und Leistungsfähigkeit z.B. Helium, Stickstoff, Ammoniak oder Wasser eingesetzt werden.

In Abbildung 3.22 ist schematisch der grundlegende Aufbau einer substratintegrierten Heatpipe in LTCC Technologie dargestellt. Der fluidische Kanal für den Dampftransport kann dabei mit den gleichen Technologien, wie in Abschnitt 3.3.5 beschrieben, hergestellt werden [136], [137]. In Kanalboden und -decke gefräste bzw. gelaserte Gräben können hier als Kapillare eingesetzt werden [138], [139]. Auch haben sich an Kanalboden und -decke angesinterte Silberpartikel als Kapillarstruktur bewährt [136]. In [137] ist die Erzeugung von schmalen Schlitzten seitlich des Kanals durch die Verwendung von Carbonfolie beschrieben. Als Wärmequelle dient ein direkt auf das Substrat montiertes Bauteil, welches Wärme über thermische Vias an das Medium im Kühlkanal abgibt [136]. Ein auf das Substrat montierter Kühler stellt die Wärmesenke dar [136]. Dieser kann über thermische Vias gut leitend mit dem Kanal verbunden sein. Zur Befüllung kann ein kurzes Metallrohr an das Substrat gelötet werden, das über ein Loch mit dem Kanal verbunden ist. Durch das Metallrohr wird der Kanal evakuiert und anschließend mit dem Medium befüllt. Nachfolgend wird das Metallrohr hermetisch mittels Crimpen / Lötens verschlossen [138].

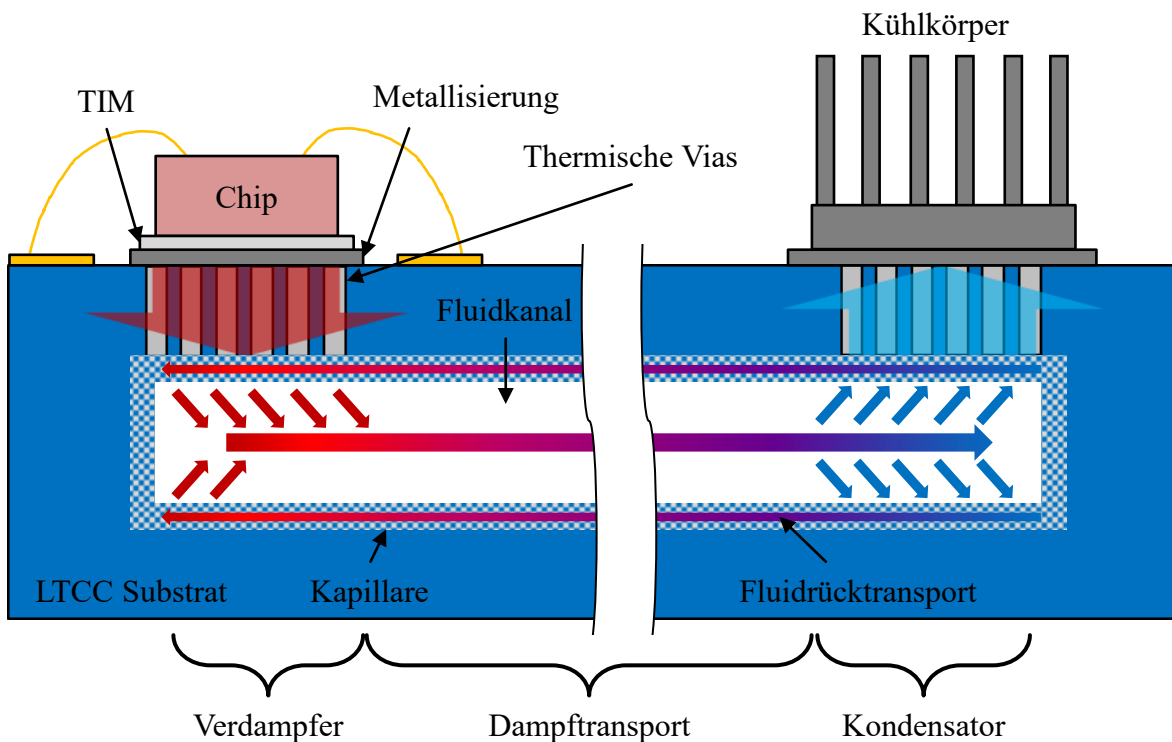


Abbildung 3.22: Schematische Darstellung des Wirkprinzips einer substratintegrierten Heatpipe in LTCC.

In Tabelle 3.7 sind die Kerndaten ausgewählter Forschungsarbeiten aufgelistet. Trotz einiger Fortschritte auf dem Gebiet der substratintegrierten Heatpipes sind einige Fragestellungen noch nicht abschließend geklärt. So wurde in [138] gezeigt, dass mit zunehmender Verlustleistung, bedingt durch die Annäherung an das kapillare Limit, die effektive thermische Leitfähigkeit der Heatpipe sinkt. Eine Steigerung des Limits ist nur durch Optimierung der Kapillare möglich, was in der publizierten Arbeit jedoch bereits unter Berücksichtigung der gegebenen technologischen Randbedingungen durchgeführt wurde. Eine Verbesserung des kapillaren Limits wurde in [136] durch die Verwendung von Silberpartikeln statt gefrästen / gelaserten Strukturen erreicht. Die Zuverlässigkeit dieser angesinterten Silberpartikel in Bezug auf mechanische Belastungen durch Erschütterung, Vibration, etc. wurde jedoch noch nicht untersucht. Außerdem ist der Einsatz von Silberpartikeln aus technologischer und finanzieller Sicht bedenklich. Des Weiteren zeigte sich in [137] und [139], dass die Befüllung der Heatpipe nicht trivial ist. Da das Volumen von substratintegrierten Heatpipes um ein Vielfaches kleiner als das herkömmlicher Heatpipes ist, kann die bestehende Fülltechnologie nicht beliebig skaliert werden.

Tabelle 3.7: Kerndaten ausgewählter Forschungsarbeiten.

Technologie	Geometrie [mm ³]	Kapillare	Kühlleistung	Quelle
LTCC Cofire	75x5x1,2	Ag Partikel, $d < 100 \mu\text{m}$	7 W	[136]
LTCC Cofire	51x11x0,6	Schlitze seitlich des Kanals	2 W	[137]
HTCC	63,5x5,1x0,6	laserstrukturierte Gräben	13 W	[138]
LTCC	10x3x0,4	laserstrukturierte Gräben	0,9 W	[139]

3.3.7 Passive Entwärmung von Flip-Chips

Da bei einem Flip-Chip Package der Kontakt zum Substrat nicht vollflächig sondern über einzelne Kontaktstellen erfolgt, ist die wärmetransportierende Querschnittsfläche gegenüber vollflächig montierten Chips stark reduziert. Auch der Einsatz von Underfill kann den thermischen Kontakt nicht maßgeblich verbessern [140], da die thermische Leitfähigkeit dieser Materialien selten größer als $1 \text{ W}/(\text{m} \cdot \text{K})$ ist. Zudem ist die Substratfläche für thermische Vias unter dem Chip durch die Pads für die elektrische Kontaktierung des Chips begrenzt. Durch diese Beschränkung findet die Entwärmung von Flip-Chip Packages typischerweise durch einen auf den Flip-Chip montierten Kühler statt. Der Wärmestrom fließt dabei nicht durch das Substrat sondern von der Flip-Chip Rückseite in den Kühler. Ist dies aus Kosten-, Platz-, und / oder Designgründen nicht praktikabel, kann der Einsatz eines auf die Flip-Chip Rückseite montierten / aufgebrachten metallenen Wärmespreizers sinnvoll sein. Dieser verteilt den Wärmestrom lateral und führt ihn zu thermischen Vias, die ringförmig um den Chip angeordnet sind. Der Wärmespreizer kann dabei aus einer aufgelöteten Metallkappe, Metallplatte, bzw. einer galvanisch aufgebrachten Metallschicht bestehen [141], [52], vgl. Abbildung 3.23 a) – c).

Alternativ kann der Flip-Chip in einer Kavität auf der Substratrückseite montiert werden, siehe Abbildung 3.23 d). Nach Verfüllen der Kavität wird die Substratrückseite geschliffen, sodass sich Chiprückseite und Substratrückseite auf gleicher Höhe befinden und der Chip abgedünnt wird [52], [141]. Die Substratrückseite wird anschließend über Dünnschichtprozesse wie Gasphasenabscheidung oder Sputtern metallisiert und über galvanische Prozesse verstärkt. Im letzten Schritt wird die Substratrückseite mit einem Kühlkörper verbunden. Diese Package Lösung stellt aufgrund des kurzen thermischen Pfades die effektivste Methode für die passive Entwärmung von Flip-Chips dar. Die thermische Leistungsfähigkeit dieser Flip-Chip Packages wurde in [52] und [141] mittels des TTC PST1 bewertet. Dabei wurden sowohl thermische Simulationen mit ANSYS als auch Messungen an aufgebauten Packages durchgeführt.

Tabelle 3.8 listet den simulierten, sowie den gemessen, thermischen Widerstand der Flip-Chip Packages auf, wobei ein Package ohne montierten Wärmespreizer als Referenz dient. Wie erwartet, zeigt das Package mit dem Flip-Chip auf der Substratrückseite den geringsten thermischen Widerstand.

Tabelle 3.8: Simulierter und gemessener, thermischer Widerstand der verschiedenen Flip-Chip Packages [52], [141].

Flip-Chip Package	R_{th} simuliert [K/W]	R_{th} gemessen [K/W]
Referenz	18	20
a) Kupferkappe	11	12
b) Kupferplatte	5	-
c) Galvanisch Kupfer	13	15
d) Chip auf Substratrückseite	1	2 - 3

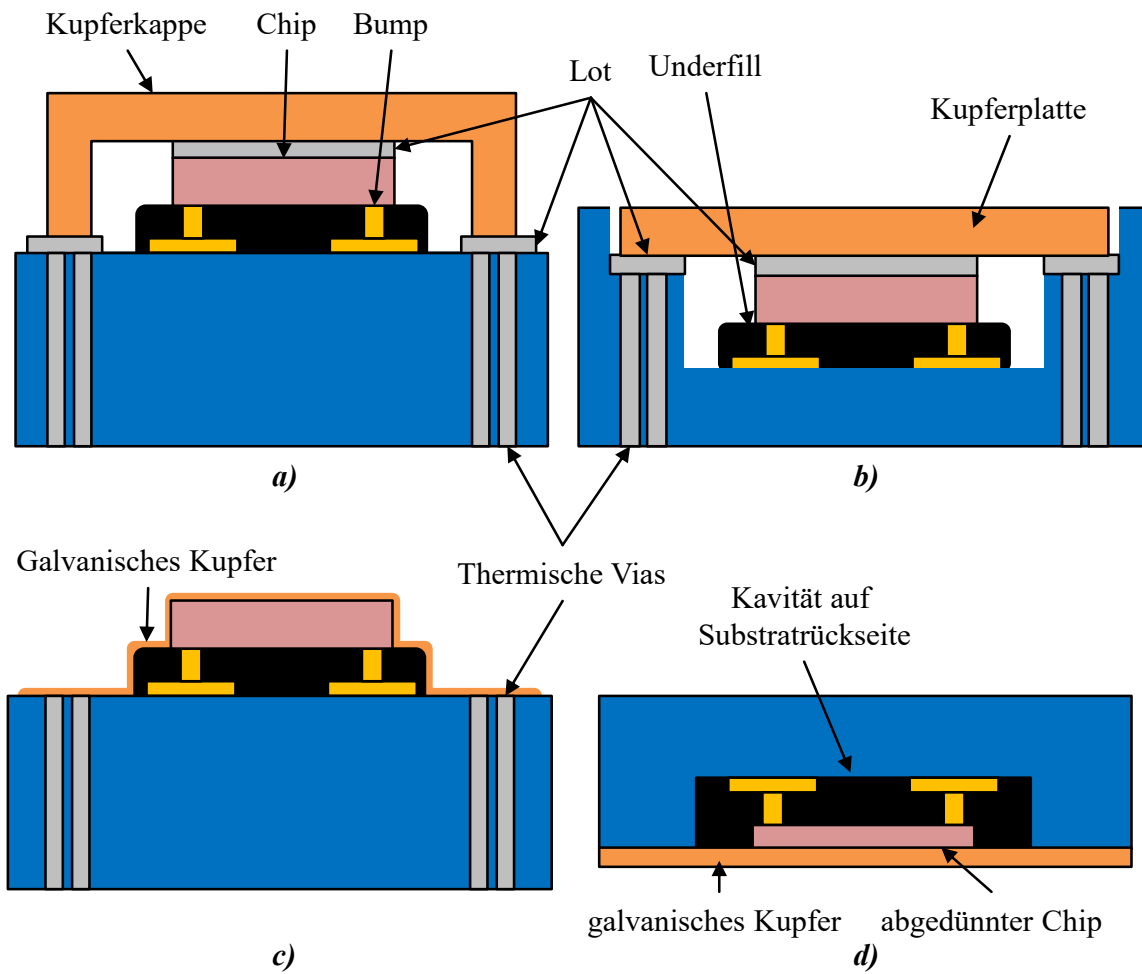


Abbildung 3.23: Schematische Darstellung von Konzepten zur Entwärmung von Flip-Chip Packages. a) Einsatz einer Kupferkappe. b) Verwendung einer Kupferplatte. c) Package mit galvanisch abgeschiedenen Kupfer. d) Chip in Kavität auf Substratrückseite montiert.

4 Chipmontage auf Wärmespreizern mittels neuartiger Materialien

4.1 Druckloses Niedertemperatursilbersintern

Im Rahmen dieser Arbeit wird die Einsetzbarkeit von drucklos prozessierbaren Sinterpasten und Sinterklebern für die Chipmontage auf metallisierten LTCC Substraten (DP951 + Ag Brazing System DP5081/82) und metallisierten Wärmespreizern (Mo30Cu + NiAg Beschichtung), die im thermischen Ausdehnungskoeffizient an LTCC angepasst sind, bewertet. Hierfür werden von verschiedenen Herstellern sowohl Sintermaterialien als auch Sinterkleber getestet. Als Referenzmaterial dienen dabei ein silbergefüllter Epoxid mit hoher thermischer Leitfähigkeit, ein AuSn-Lot sowie eine bleihaltige und eine bleifreie Lotlegierung. Die Auflistung der Materialien, deren Prozesstemperatur, Prozesszeit sowie deren Eigenschaften kann Tabelle 4.1 entnommen werden. Weiterhin wird der Einfluss der Prozesstemperatur auf die genannten Eigenschaften für einen Teil der Materialien untersucht. Für jeweils einen Kandidaten aus der Gruppe der Sintermaterialien und der Gruppe der Sinterkleber, sowie den Referenzkleber wird mittels Temperaturwechselbelastungen das Alterungsverhalten der Verbindung analysiert. Darüber hinaus wird die Scherfestigkeit aller Materialien bei verschiedenen Betriebstemperaturen ermittelt.

Tabelle 4.1: Übersicht über die getesteten Materialien. Die Prozesstemperatur, die Haltezeit sowie die Eigenschaften sind angegeben. Für SM1 – SM3 lag keine Freigabe für die Verwendung der Klarnamen seitens der Hersteller vor.

Nummer	Name	Scherfestig -keit [MPa]	Elektr. Leitfähigkeit [MS/m]	Therm. Leitfähigkeit [W/(m · K)]	Haltezeit [min] bei Temperatur [°C]
Sintermaterialien					
SM1		40	16,7	n. a.	30 min bei 160 °C
SM2		>10	>15	100	60 min bei 230 °C
SM3		>10	>10	100	60 min bei 230 °C
SM4	NanoJoin	n. a.	n. a.	n. a.	60 min bei 250 °C
Sinterkleber – Hersteller: Namics [142] – [144]					
SK1	XH9890-6	25	5	60	60 min bei 200 °C
SK2	H9890-6A	50	12,5	140	60 min bei 200 °C
SK3	XH9890-6S	45	9	100	60 min bei 200 °C
Silberleitkleber – Hersteller: Diemat [145]					
Ag Epoxy	DM6030Hk	n. a.	12,5	60	30 min bei 200 °C
Weichlote [146], [147], [148], [149]					
AuSn	Au20Sn	42	6,2 – 6,3	57	2 min bei 330 °C
SnPb	Sn37Pb	40,3	6,9	50	0,5 min bei 200 °C
SAC	Sn3Ag0.5Cu	n. a.	7,6	58	0,5 min bei 230 °C

4.1.1 Methodik zur Evaluierung der Chipmontage

Die Eignung der Materialien für die Chipmontage wird durch eine Testmethode überprüft. Die Methodik der Bewertung orientiert sich dabei an etablierten Standards. So werden die elektrischen, thermischen und die mechanischen Eigenschaften der Verbindung zwischen Chip und Substrat analysiert. Im Rahmen dieser Arbeit wurden neue Teststrukturen und Testmethoden entwickelt, mit deren Hilfe die aufgeführten Eigenschaften ermittelt werden konnten. Diese Methoden können vollständig oder in Teilen auch für andere Materialien der Aufbau- und Verbindungstechnologie genutzt werden.

4.1.1.1 Elektrische Leitfähigkeit

Die elektrische Leitfähigkeit des zu testenden Materials wurde über Widerstandsmessung in Vierleiterschaltung und Querschnittsbestimmung durch zweidimensionale Profilometrie an einem Leiterzug bestimmt. Hierfür wurde das zu testende Material mittels Schablonendruck bzw. Siebdruck auf ein unmetallisiertes LTCC Substrat aufgebracht. Die dabei entstehende Struktur hat eine definierte Leiterzugbreite und Leiterzuglänge. In dieser Arbeit wurde eine Leiterzugbreite von 1 mm und eine Länge von 4 mm bzw. 10 mm genutzt. 4 Kontaktpads ermöglichten die Einspeisung eines Stromes I und die Messung der Potentialdifferenz U über einen definierten Abstand L . Der Strom wurde mittels eines regelbaren Labornetzteils (Agilent E3634A, Agilent Technologies) generiert und mit einem Multimeter (Agilent 34401A, Agilent Technologies) gemessen. Die Potentialdifferenz wurde mit dem gleichen Multimeter ermittelt. Die Analyse des Leiterzugquerschnittes A erfolgte an drei verschiedenen Stellen des Leiterzuges und wurde mittels Lasertriangulation (CyberScan 3D, cyberTECHNOLOGIES GmbH) bzw. Querschliffpräparation und Mikroskopie des Querschnitts durchgeführt. Basierend auf den Messwerten konnte die elektrische Leitfähigkeit nach Gl. (2.70) ermittelt werden, vgl. Abschnitt 2.2.1.2. Die Temperatur des LTCC Substrats wurde mittels einer Wärmesenke auf einer definierten Temperatur gehalten (22 °C).

In Abbildung 4.1 links ist ein siebgedruckter Leiterzug mit Kontaktpads dargestellt. Der Verlauf der Querschnittsmessung ist rot gekennzeichnet. Dieselbe Abbildung rechts zeigt die drei gemessenen Profile, aus denen mittels Riemannintegral die Querschnittsfläche A bestimmt wurde.

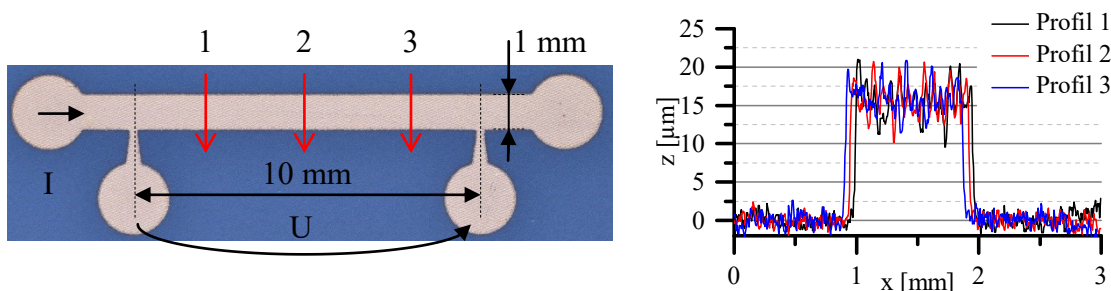


Abbildung 4.1: Links: Siebgedruckter, gesinterter Leiterzug. Rechts: Gemessene Profilschans

4.1.1.2 Scherfestigkeit

Die Scherfestigkeit der Verbindung zwischen Chip und Substrat gibt Aufschluss über die Integrität des Verbindungsmaterials und damit über die mechanische Stabilität der Verbindung. Die Scherfestigkeit wurde in dieser Arbeit mit einem standardisierten Prüfverfahren ermittelt, das an die Norm MIL STD883 [150] angelehnt ist. Der Aufbau bestand aus einem Siliziumtestchip, der mit dem zu testenden Material auf ein metallisiertes Substrat gefügt wurde. Dabei wurde das Material mittels Schablonendruck (50 μm dicke Messingschablone) auf das Substrat aufgebracht. Der Testchip hatte eine Fläche von $1 \times 1 \text{ mm}^2$, eine Dicke von 0,5 mm und verfügte über eine Rückseitenmetallisierung aus der Schichtfolge 80 nm Cr, 220 nm Ni und 70 nm Au. Mittels eines Schertesters (Condor 70, XYZTEC BV) wurde die Verbindung mit einer Scherkraft bis zum Bruch belastet und die maximal wirkende Scherkraft ermittelt. Diese, bezogen auf die Chipfläche, ergab die Scherfestigkeit der Verbindung. In Abbildung 4.2 ist der Aufbau schematisch dargestellt. Für den Test wurde eine Scherhöhe von 20 μm und einer Schergeschwindigkeit von 250 $\mu\text{m/s}$ gewählt. Die Norm schreibt eine minimale Scherkraft vor, mit der die Verbindung belastet werden muss. Führt diese Kraft zur Zerstörung der Verbindung, ist das Verbindungsmaterial bzw. der Prozess für die Chipmontage ungeeignet. Diese Kraft ist dabei abhängig von der Chipgrundfläche, wie aus Abbildung 4.2 rechts ersichtlich wird. Die Scherfestigkeit der Verbindung, bezogen auf den genutzten Testchip, muss demnach $\geq 12,1 \text{ MPa}$ sein [150].

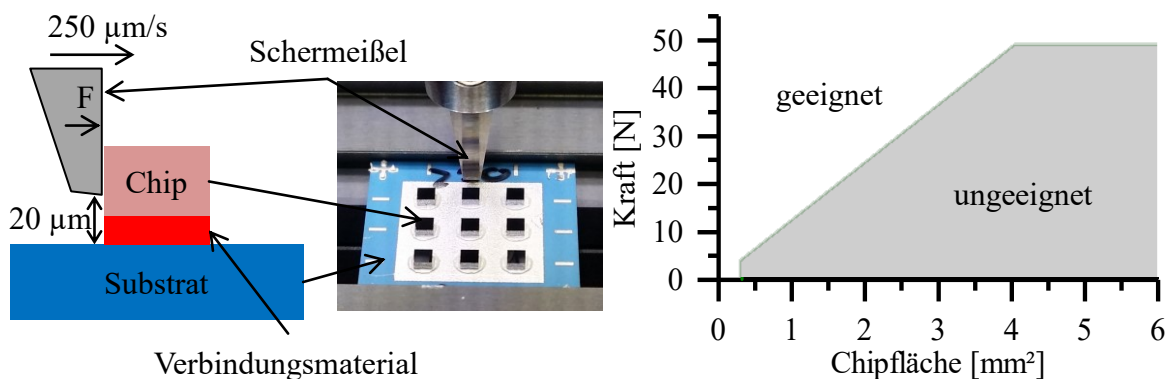


Abbildung 4.2: Links: Schematischer Aufbau und Fotografie des Testaufbaus. Rechts: Minimale Scherkraft in Abhängigkeit von der Chipfläche, mit der die Verbindung unbeschadet belastet werden muss, um als für die Chipmontage geeignet zu gelten [150].

4.1.1.3 Thermischer Widerstand

Um die thermische Leistungsfähigkeit der Materialien zu bewerten, wurden insgesamt 6 TTC vom Typ PST1 auf ein 1,5 mm dickes Mo30Cu Substrat mit dem zu testenden Material gefügt. Das Applizieren des Materials erfolgte dabei über eine 50 μm dicke, laserstrukturierte Messingschablone. Das Substrat war mit $6 \mu\text{m} - 9 \mu\text{m}$ Nickel und $1,0 \mu\text{m} - 1,5 \mu\text{m}$ Silber, der verwendete Chip mit 78 nm Chrom, 221 nm Nickel und 70 nm Gold beschichtet. Die elektrische Kontaktierung des TTC erfolgte über das Drahtbonden auf einen LTCC Träger, der ebenfalls mit dem zu testenden Material an den Wärmespreizer gefügt war und über eine

Rückseitenmetallisierung verfügte (DuPont Au Brazing DP5062 DP5063). Damit entspricht dieser Aufbau dem Entwärmungskonzept der direkten Chipmontage, welches unter Abschnitt 3.3.1 dargestellt ist. Nach erfolgter Montage wurde der thermische Widerstand des Packages im thermischen Teststand ermittelt. Hierfür wurde eine Verlustleistung P im TTC generiert und nach Erreichen des thermischen Gleichgewichts die Chiptemperatur ϑ_J über den im TTC integrierten Sensor gemessen. Das Mo30Cu Substrat wurde während der Messung mit 7 bar auf die temperaturgeregelte Wärmesenke des Teststands gepresst. Die Wärmesenke hatte dabei eine Temperatur von konstant 22 °C . Zur Vermeidung von Luftspalten zwischen Substrat und Wärmesenke wurde eine $100\text{ }\mu\text{m}$ dicke Graphitfolie (PGS 100 Type S, Panasonic Corp.) mit einer anisotropen Wärmeleitfähigkeit von $700\text{ W}/(\text{m}\cdot\text{K})$ in xy-Richtung und $3,3\text{ W}/(\text{m}\cdot\text{K})$ in z-Richtung bei 7 bar Anpressdruck [54] zwischen Substrat und Wärmesenke platziert. In Abbildung 4.3 ist der Testaufbau schematisch und als Fotografie dargestellt.

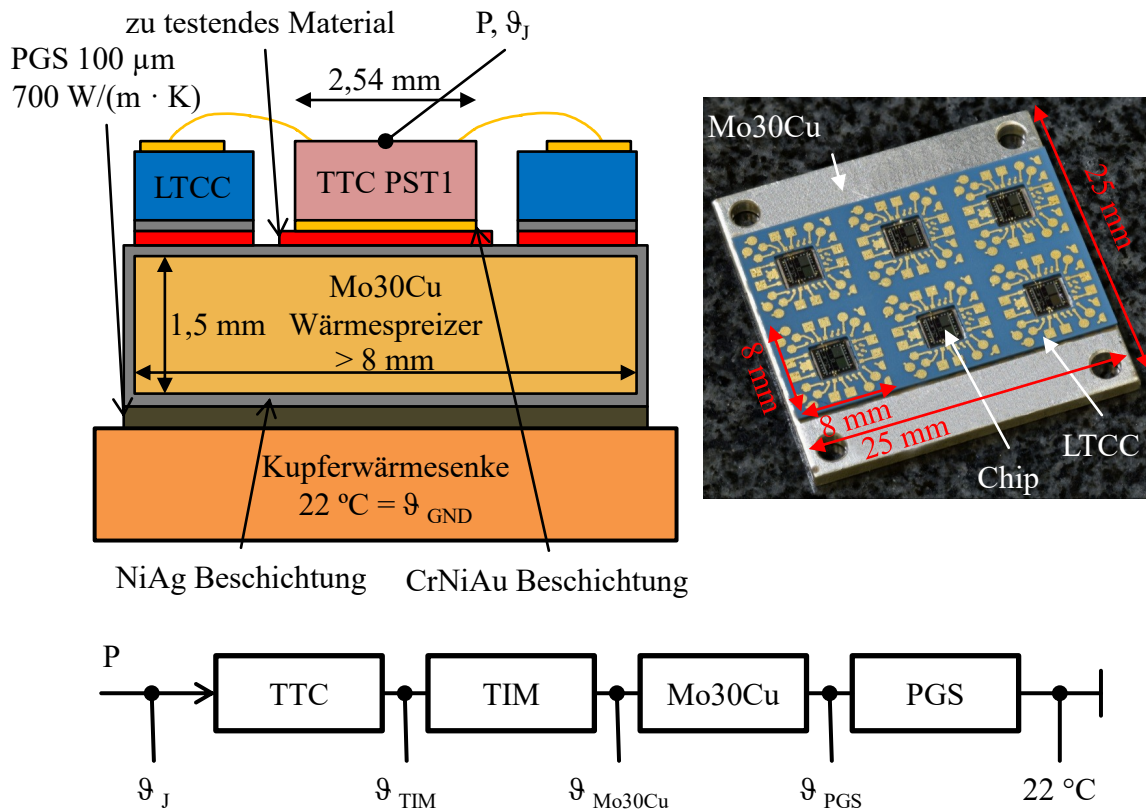


Abbildung 4.3: Links: Schematische Darstellung des Testpackages. Rechts: Fotografie des Testpackages mit sechs gefügten Chips und LTCC Verbindungsträger. Unten: Thermisches Ersatzschaltbild der Anordnung.

Der thermische Widerstand der Anordnung $R_{th,ges}$ wird nach Gl. (4.1) berechnet.

$$R_{th,ges} = \frac{\vartheta_J - 22\text{ °C}}{P} \quad (4.1)$$

Dieser kann bei Kenntnis der thermischen Widerstände von TTC, Mo30Cu Substrat und Graphitfolie auf den thermischen Widerstand der Verbindungsschicht $R_{th,TIM}$ zurückgeführt werden. Es gilt:

$$R_{th,TIM} = \frac{\vartheta_J - 22 \text{ }^\circ\text{C}}{P} - R_{th,TTC} - R_{th,Mo30Cu} - R_{th,PGS} \quad (4.2)$$

Zur Berechnung der thermischen Widerstände von TTC, Wärmespreizer und Graphitfolie bieten die Gleichungen zur Wärmeleitung und –spreizung (vgl. Abschnitt 2.1.3) eine erste Abschätzung. Der thermische Widerstand vom TTC kann mittels Geometriedaten und thermischer Leitfähigkeit errechnet werden, vgl. Gl. (2.20). Die Berechnung gilt jedoch nur für eine über das Chipvolumen konstante Temperatur, da die thermische Leitfähigkeit von Silizium temperaturabhängig ist [151], [104]. Als Approximation wird hier eine Chiptemperatur von 40 °C angenommen, wie sie auch im Experiment angestrebt wird. Zur Abschätzung der effektiven thermischen Widerstände von Mo30Cu Substrat und Graphitfolie kann die Gl. (2.23) angewendet werden. Die Gleichung gilt nur für eine isotrope thermische Leitfähigkeit und kann somit die Wärmespreizung in einem Mehrmaterialsystem nicht wiedergeben. Als Approximation wird das Mo30Cu Substrat, sowie die Graphitfolie gelöst vom restlichen Aufbau betrachtet. Der Wärmespreizwinkel wird für das Mo30Cu Substrat basierend auf der normierten Substratdicke nach Gl. (2.28) berechnet, da dieses Modell die beste Übereinstimmung mit FEM Modellen zeigte [29]. Der Wärmespreizwinkel innerhalb der Graphitfolie wird auf Basis des Verhältnisses der thermischen Leitfähigkeiten von Graphitfolie und der nachfolgenden Kupferwärmesenke nach Gl. (2.27) berechnet, welches nach [29] eine gute Modellierung von dünnen Materialien ermöglicht. Hierbei wird die Leitfähigkeit in xy-Richtung der Graphitfolie angenommen. Für die Berechnung des effektiven Widerstandes der Folie nach Gl. (2.23) wird die Leitfähigkeit der z-Richtung verwendet. Außerdem ergibt sich die in die Graphitfolie Wärme einkoppelnde Fläche aus der Berechnung des Wärmespreizwinkels innerhalb des Mo30Cu Substrates. Tabelle 4.2 enthält alle für die Berechnung relevanten Parameter sowie die Ergebnisse der Berechnungen.

Tabelle 4.2: Auflistung der Material- und Geometrieparameter, sowie der berechneten Wärmespreizwinkel und effektiven thermischen Widerstände.

	λ [W/(m · K)]	d [mm]	A [mm ²]	β [°]	Rth [K/W]
TTC	139 @ 40 °C [104]	0,27	6,45	n. a.	0,30
Mo30Cu	xyz ¹⁸³ [102]	1,5	n. a.	37,3	0,67
Graphitfolie	xy ⁷⁰⁰ ; z ^{3,3} [54]	0,1	n. a.	60,3	1,21

Zur Validierung der effektiven thermischen Widerstände wurde die Temperaturverteilung des Testaufbaus in einer thermisch stationären Simulation berechnet. Die Metallisierung des Substrates und des TTC's wurden aufgrund ihrer geringen Dicke und dem damit verbundenen, nicht messbaren Einfluss auf den thermischen Widerstand vernachlässigt. Das

TIM wurde mit einer Schichtdicke von 30 μm und einer thermischen Leitfähigkeit von 120 $\text{W}/(\text{m} \cdot \text{K})$ angenommen. Diese Werte sind an die getesteten Niedertemperatur-sinterpasten angelehnt. In Abbildung 4.4 links ist das Simulationsmodell mit den wesentlichen Simulationsparametern dargestellt. Das Modell umfasst alle sechs TTC, wobei nur zwei Fälle relevant sind. Im ersten Fall wurde ein außenliegender TTC mit 10 W Verlustleistung vollflächig belastet und die sich ergebende Temperaturverteilung analysiert, wie in Abbildung 4.4 rechts dargestellt. Im zweiten Fall erfolgte die Belastung auf einem TTC in der Mitte. Die restlichen vier TTC's sind zum ersten bzw. zum zweiten Fall identisch.

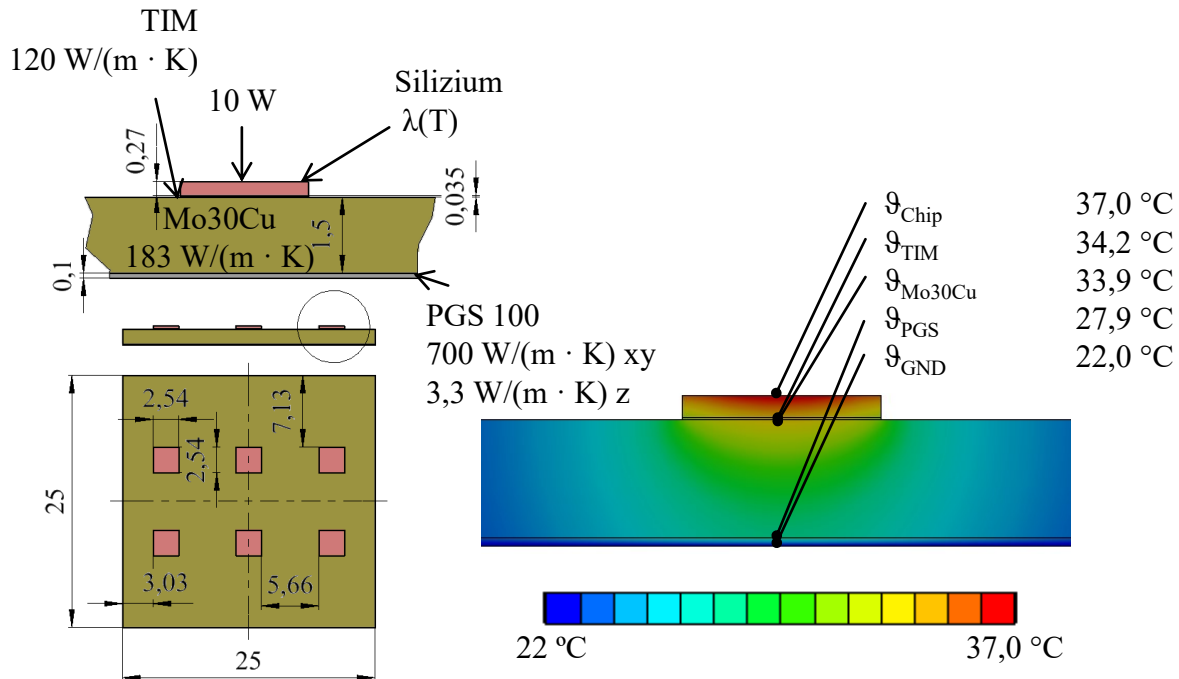


Abbildung 4.4: Links: Geometrisches Simulationsmodell mit allen relevanten Simulationsparametern. Rechts: Simulierte Temperaturverteilung im Querschnitt für den Fall des TTC's am Rand des Mo30Cu Substrates.

Basierend auf den Temperaturgradienten entlang des thermischen Pfades und dem Wärmestrom von 10 W können die thermischen Widerstände der einzelnen Komponenten ermittelt werden. Es gilt:

$$R_{th,1} = \frac{\vartheta_1 - \vartheta_2}{10 \text{ W}} \quad (4.3)$$

Die simulierte Temperaturen der einzelnen Komponenten und deren thermischen Widerstände sind in Tabelle 4.3 aufgelistet. Die Auswertung der einzelnen thermischen Widerstände von Fall 1 und 2 zeigt keine signifikanten Unterschiede zwischen einem TTC am Rand und einem TTC in der Mitte des Substrates. Dagegen weisen die analytisch berechneten thermischen Widerstände eine signifikante Abweichung zu den durch Simulation berechneten Werten auf. Der Unterschied zwischen analytischer Berechnung und FEM Simulation ist bei dem thermischen Widerstand des TTC mit einer Abweichung von 0,02 K/W am kleinsten. Das zeigt, dass die Temperaturabhängigkeit des Siliziums im simulierten Temperaturbereich nur einen geringen Einfluss auf den thermischen Widerstand hat. Auch die Approximation des

Mo30Cu Substrats mittels Wärmespreizung nach Gl. (2.23) & (2.28) zeigt einen geringen Fehler von 0,07 K/W. Der analytisch berechnete thermische Widerstand der Graphitfolie hat eine deutlich höhere Abweichung zum simulierten Wert. Hier zeigt sich, dass die Berechnung des Wärmespreizwinkels über das Verhältnis der thermischen Leitfähigkeiten nicht für anisotrope Materialien angewendet werden kann.

Tabelle 4.3: Auflistung der simulierten Temperaturen der einzelnen Komponenten im thermischen Pfad und deren thermische Widerstände. Der Wärmespreizer bestand aus Mo30Cu. Die analytisch berechneten Widerstände und deren Abweichung zum simulierten Wert sind mit aufgeführt.

	TTC	TIM	Mo30Cu	Graphitfolie
	Temperatur [°C]			
TTC am Rand	37,0	34,2	33,9	27,9
TTC in der Mitte	36,7	33,9	33,6	27,7
	Thermischer Widerstand [K/W]			
TTC am Rand	0,28	0,04	0,60	0,59
TTC in der Mitte	0,28	0,04	0,60	0,57
Analytische Berechnung	0,30	0,04	0,67	1,21
Fehler [%]	7,1	0,0	11,7	> 100

Die Simulation hat gezeigt, dass die analytische Berechnung der thermischen Widerstände von TCC, Mo30Cu Substrat und Graphitfolie jeweils um 7,1 % bis > 100 % von der Simulation abweicht. Deshalb werden für die Berechnung des $R_{th,TIM}$ aus dem gemessenen $R_{th,Gesamt}$ die auf Grundlage der Simulation berechneten thermischen Widerstände von TTC, Mo30Cu Substrat und Graphitfolie verwendet. Ferner wird zwischen dem Fall TTC am Substratrand bzw. TTC in der Mitte des Substrates unterschieden, siehe Gl. (4.4) & (4.5).

$$TTC_{Rand} \rightarrow R_{th,TIM} = \frac{\vartheta_j - 22 \text{ °C}}{P} - 1,47 \text{ K/W} \quad (4.4)$$

$$TTC_{Mitte} \rightarrow R_{th,TIM} = \frac{\vartheta_j - 22 \text{ °C}}{P} - 1,45 \text{ K/W} \quad (4.5)$$

Aus dem ermittelten thermischen Widerstand wird nach Gl. (4.6) die effektive thermische Leitfähigkeit λ_{eff} des Verbindungsmaterial berechnet. Die dafür notwendige Schichtdicke d (*bond line thickness*, kurz: BLT) wird aus Querschliffen gewonnen. Die Wärme transportierende Fläche A entspricht der Chipfläche.

$$\lambda_{eff} = \frac{d}{R_{th,TIM} \cdot A} \quad (4.6)$$

4.1.1.4 Porosität

Mithilfe der Porosität des Materials können Vorhersagen zur Festigkeit, effektiven thermischen Leitfähigkeit und Dichtigkeit der Verbindungsmaterialien getroffen werden. So sinken mit steigender Porosität die Scherfestigkeit und die effektive thermische Leitfähigkeit. Wird das Material zum hermetischen Verschluss von Packages genutzt, führt eine erhöhte

Porosität unmittelbar zu einer höheren Leckrate. Zur Ermittlung der Porosität der Verbindungsmaterialien wurden Querschliffe der Leiterzüge angefertigt. Hierfür wurden die Leiterzüge genutzt, die zur Bestimmung der elektrischen Leitfähigkeit dienten. Die Querschliffe wurden mittels REM analysiert und der Porenanteil des Materials berechnet. Die Ermittlung des Porenanteils erfolgte dabei durch die Analyse der Grauwerte des Bildes. Hierbei ist ein Schwellwert zu definieren, ab dem ein Pixel zu einer Pore gezählt wird. Erfolgte die Porenzählung an mehr als einem Bild pro Material, so wurde derselbe Schwellwert verwendet. In Abbildung 4.5 ist links eine REM Aufnahme des Sinterklebers SK2 mit einer Porosität von 3,8 % dargestellt.

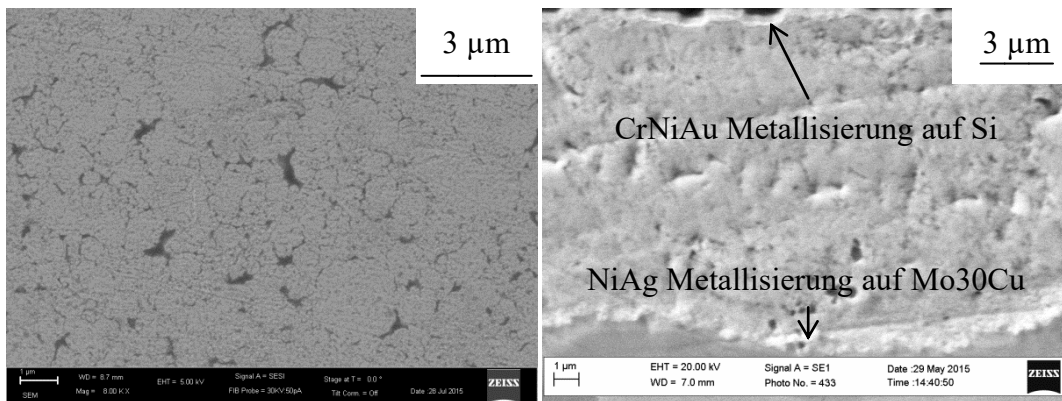


Abbildung 4.5: Links: REM Aufnahme des Sinterklebers SK2 zur Bestimmung der Porosität, hier 3,8 %. Rechts REM Aufnahme des Sinterklebers SK2 in Verbindung mit Substrat und Chipmetallisierung. Die Porosität dieser Probe betrug 4,2 %.

Die untersuchten Proben wurden auf einer LTCC ohne Metallisierung gesintert bzw. geklebt, wodurch das Material beim Sintern bzw. Aushärten nicht von einer Metallisierung beeinflusst wurde. Es ist davon auszugehen, dass dieser Einfluss sich nur auf den Kontaktbereich des Verbindungsmaterials zur Metallisierung auswirkt. Die in Abbildung 4.5 rechts dargestellte REM Aufnahme des Sinterklebers SK2 in Verbindung mit einer CrNiAu Metallisierung und einer NiAg Metallisierung bestätigt diese Vermutung. Hier wurde eine Porosität von 4,2 % ermittelt, was eine Abweichung von nur 0,4 % zur Porosität des ohne Metallisierungseinfluss gesinterten Materials darstellt. So sind zwar keine Vorhersagen zur Adhäsion zwischen Metallisierung Verbindungsmaterial möglich, jedoch gibt die Porosität Aufschluss über die Kohäsion des Materials. Die gleichen Einschränkungen gelten auch für die effektive thermische Leitfähigkeit und Dichtheit.

4.1.1.5 Hermetizität

Wie bereits beschrieben, können Verbindungsmaterialien zum hermetischen Verschluss von Packages genutzt werden. Um die Hermetizität der Verbindung zu überprüfen, hat sich die Methode der Leckratenbestimmung mittels Heliumlecktest etabliert [152]. Während der Messung wird auf der einen Seite der Verbindung ein Unterdruck und auf der anderen Seite eine Heliumatmosphäre generiert. Ein heliumsensitives Massenspektrometer detektiert Helium, welches die Verbindung durchdringt. Grundsätzlich muss hier zwischen dem

Heliumtransport durch das Material über Absorption, Diffusion und Desorption und dem Heliumtransport durch Mikrokanäle bzw. offenporige Strukturen im Material unterschieden werden. Ausschlaggebend für die Bewertung ist der Transport durch die Mikrokanäle bzw. offenporige Strukturen, da die Zeitkonstante um ein vielfaches kleiner und die zu erwartenden Leckraten um ein vielfaches größer sind, als beim Heliumtransport durch Absorption, Diffusion und Desorption [153]. Die Wahrscheinlichkeit, dass ein Mikrokanal bzw. eine Pore sich durch die komplette Verbindung erstreckt und so zu einem Leck führt, sinkt dabei mit steigender Bondrahmenbreite. Aus der Menge an detektiertem Helium und der Messzeit wird eine äquivalente Leckrate berechnet. Ist diese kleiner als $1 \cdot 10^{-8}$ (mbar · l)/s ist die Verbindung als hermetisch dicht anzusehen [152]. Zur Ermöglichung eines schnellen Probenwechsels wurde eine Vorrichtung konstruiert, welche die Probe zwischen zwei O-Ringen aus Fluorkautschuk klemmt. Die Proben bestanden hier aus zwei metallisierten LTCC Trägern (DP951 + DP5081 DP5082 Ag Brazing), die mit dem zu testenden Material gefügt wurden. Dabei wurde das Material mittels Siebdruck ($40 \mu\text{m}$ Filmemulsion für SM1 – SM4, SK1 – SK3, Ag Epoxy) bzw. Schablonendruck ($150 \mu\text{m}$ Messingschablone für Lote) als Ring mit einem Außendurchmesser von 6 mm und einem Innendurchmesser von 4 mm auf einen LTCC Träger aufgebracht. So ergab sich eine Bondrahmenbreite von 1 mm. Der LTCC Träger wies zudem eine Silbermetallisierung mit der gleichen Ringstruktur auf. Ein LTCC Träger war mit einer Öffnung versehen, welche eine Evakuierung des Raums zwischen den LTCC Trägern ermöglichte. Für die Leckratenbestimmung wurde ein Prüfunterdruck von $5 \cdot 10^{-4}$ mbar erzeugt und das einströmende Helium mittels Massenspektrometer ermittelt (Smart Test, Pfeifer Vacuum GmbH). In Abbildung 4.6 ist links der Versuchsaufbau schematisch, mittig die Vorrichtung zur Probenaufnahme und rechts die Generierung der Heliumatmosphäre dargestellt.

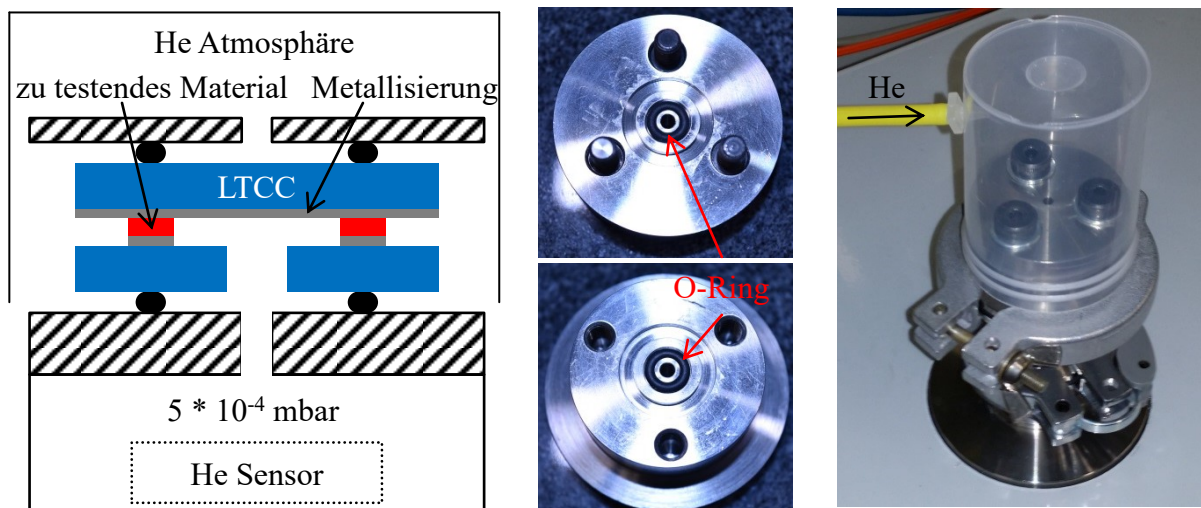


Abbildung 4.6: Links: Schematischer Aufbau des Lecktest. Mitte: Vorrichtung zur Klemmung der Probe zwischen zwei O-Ringen. Rechts: Generierung der Heliumatmosphäre.

4.1.2 Ergebnisse der Untersuchungen und Bewertung

4.1.2.1 Prozessierung nach Herstellervorgaben

Die Materialien aus Tabelle 4.1 wurden nach Herstellervorgaben prozessiert und die mechanischen, elektrischen und thermischen Eigenschaften der Materialien charakterisiert. Die verwendeten Temperatur-Zeit-Profile sind dem Anhang beigefügt.

Elektrische Leitfähigkeit:

In Abbildung 4.7 ist die elektrische Leitfähigkeit der getesteten Materialien dargestellt. Rot kennzeichnet dabei den Datenblattwert und grün den gemessenen Wert. Der gemessene Wert ist dabei um 3 % – 43 % mit einer Ausnahme geringer als der Datenblattwert. Im Vergleich zu Loten zeigen die Silbermaterialien SM1, SM4, SK2 und Ag Epoxy eine um den Faktor 2 – 3 höhere elektrische Leitfähigkeit, wobei das Material SM4 mit 22,2 MS/m die höchste elektrische Leitfähigkeit im gesamten Testfeld aufweist.

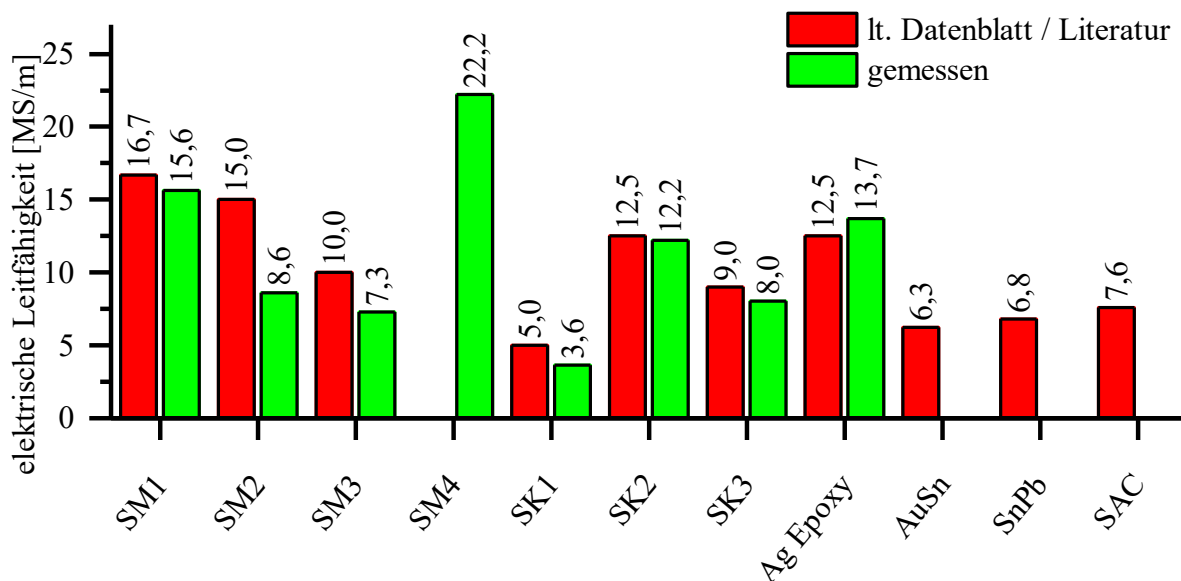


Abbildung 4.7: Elektrische Leitfähigkeit der getesteten Materialien, gesintert / gehärtet nach Herstellervorgaben im Vergleich zu Datenblattwerten. Die elektrischen Leitfähigkeiten der Lote wurde aus der Tabelle 4.1 übernommen.

Scherfestigkeit:

Die gemessene Scherfestigkeit aller Materialien ist in Abbildung 4.8 dargestellt. Dabei zeigt das linke Diagramm die ermittelten Scherfestigkeiten der Chips, die mit den Materialien auf ein Mo30Cu Substrat mit NiAg Beschichtung gebondet wurden. Das rechte Diagramm listet die Scherfestigkeiten auf einem LTCC Substrat mit Ag Brazing Metallisierung auf.

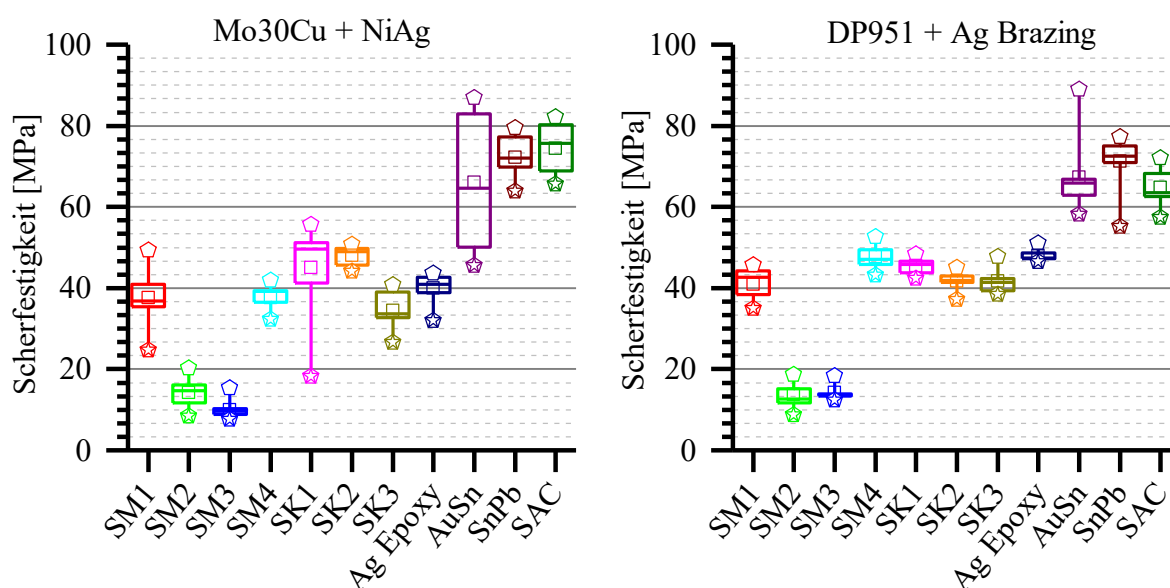


Abbildung 4.8: Scherfestigkeit der getesteten Materialien in Kombination mit Chip und Substrat. Es wurden jeweils 9 (LTCC) bzw. 10 (Mo30Cu) Proben pro Material vermessen.

Mit Ausnahme der Materialien SM2 und SM3 zeigen alle getesteten Proben eine Scherfestigkeit, die deutlich über den geforderten 12,1 MPa liegt. Mit Ausnahme des Materials SM4 in Verbindung mit dem Substrat Mo30Cu lag bei allen getesteten Silbermaterialien ein Kohäsionsbruch in der Verbindungsschicht zwischen Chip und Substrat vor. Das Material SM4 zeigte einen Adhäsionsbruch zwischen Verbindungsschicht und der Metallisierung des Mo30Cu Substrats. Bei den gelöteten Verbindungen lag ein Mischbruch in Form eines Kohäsionsbruchs in der Verbindungsschicht, eines Adhäsionsbruchs zwischen Verbindungsschicht und Chipmetallisierung, sowie eines Kohäsionsbruchs im Chipmaterial vor. In Tabelle 4.4 sind die Silbermaterialien mit den höchsten Scherfestigkeiten im Testfeld aufgelistet. Sie erreichen 53 % – 71 % der gemittelten Scherfestigkeit aller Lote. Die ermittelten Scherfestigkeiten korrelieren gut mit Literaturangaben zur Scherfestigkeit von drucklos gesinterten Silberverbindungen [76], [154] und Sinterklebern [82], [142] – [144].

Tabelle 4.4: Vergleich der Scherfestigkeit zwischen den Sintermaterialien / Sinterklebern mit den höchsten Scherfestigkeiten und den Loten. Die Silbermaterialien erreichen 53 % – 71 % der gemittelten Scherfestigkeit der Lotverbindungen.

	Mo30Cu + NiAg	LTCC + Ag Brazing
Sintermaterialien	SM4	SM4
Mittlere Scherfestigkeit	37,7 MPa ± 3,0 MPa	47,8 MPa ± 3,1 MPa
Vergleich mit Loten	53 %	71 %
Sinterkleber	SK2	SK1
Mittlere Scherfestigkeit	48,1 MPa ± 2,2 MPa	45,4 MPa ± 2,1 MPa
Vergleich mit Loten	64 %	67 %

Thermische Eigenschaften:

In Abbildung 4.9 ist links der thermische Widerstand der getesteten Materialien als Boxplot abgetragen.

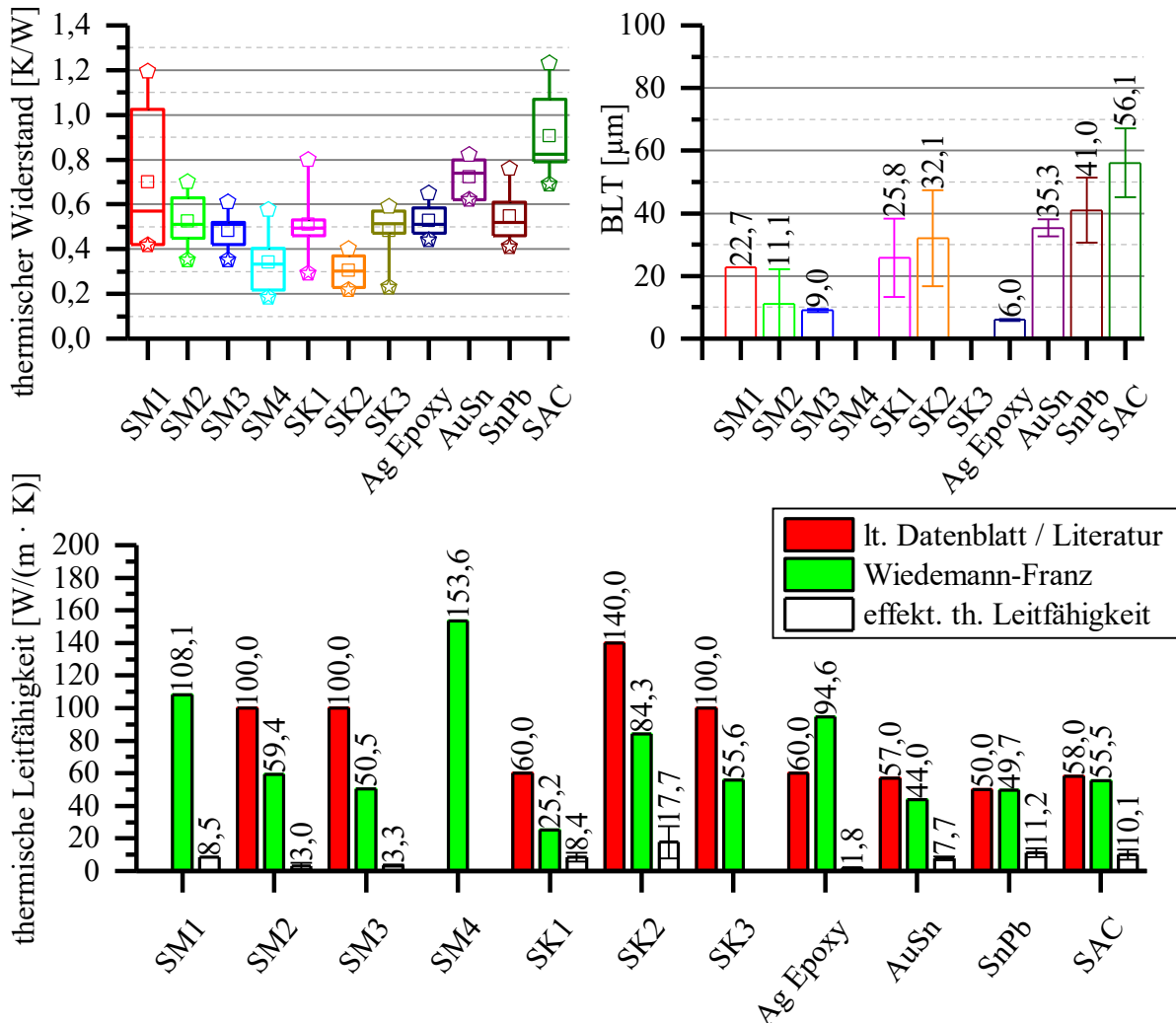


Abbildung 4.9: Links: Boxplot vom thermischen Widerstand der getesteten Materialien. Es wurden jeweils sechs Proben pro Material vermessen. Rechts: Anhand von Querschliffen ermittelte BLT. Unten: Effektive thermische Leitfähigkeit. Zum Vergleich wurden die Datenblatt- / Literaturwerte und die nach dem Wiedemann-Franz-Gesetz (vgl. Abschnitt 2.2.1) berechneten thermischen Leitfähigkeiten angegeben.

Im Bereich der Sintermaterialien zeigt das Material SM4 den mit 0,34 K/W geringsten thermischen Widerstand. Der Sinterkleber SK2 hat mit 0,30 K/W den geringsten thermischen Widerstand im Testfeld. Der thermische Widerstand dieses Materials ist damit um den Faktor 1,8 bis 3 geringer als der thermische Widerstand der getesteten Lotmaterialien. Das untere Diagramm enthält den Datenblattwert der thermischen Leitfähigkeit, rot dargestellt. Die nach dem Wiedemann-Franz Gesetz (vgl. Abschnitt 2.2.1) berechnete thermische Leitfähigkeit ist daneben in grün abgebildet. Für die Berechnung wurde, soweit vorhanden, die gemessene elektrische Leitfähigkeit und die Lorenzzahl für Silber genutzt. Der direkte Vergleich der berechneten thermischen Leitfähigkeit mit dem thermischen Widerstand zeigt jedoch keine

Korrelation. Da der thermische Widerstand neben der BLT auch von den Grenzsichtwiderständen der Schnittstellen Chipmetallisierung – Verbindungsmaterial und Verbindungsmaterial – Substratmetallisierung abhängt, kann von der thermischen Leitfähigkeit des Verbindungsmaterials nicht unmittelbar auf den thermischen Widerstand geschlossen werden. Zudem können Poren im Verbindungsmaterial zur Erhöhung des thermischen Widerstands führen. Diese Einflüsse können in einer effektiven thermischen Leitfähigkeit zusammengefasst werden. Um die effektive thermische Leitfähigkeit der Materialien zu berechnen, wurde anhand von Querschliffen der Aufbauten die BLT bestimmt, siehe Abbildung 4.9 rechts.

Die eindeutige Bestimmung der BLT war nicht bei allen Proben möglich, da die fragile Mikrostruktur einiger Proben beim Präparationsprozess zerstört wurde. Hierdurch sind bei einigen Materialien weniger als sechs Messwerte, bzw. keine Messwerte verfügbar. Mittels der BLT und der Chipfläche von $2,54 \times 2,54 \text{ mm}^2$ konnte die effektive thermische Leitfähigkeit nach Gl. (2.20) berechnet werden. Dies ist in Abbildung 4.9 unten dargestellt. Der Sinterkleber SK2 zeigt hier die mit $17,7 \text{ W}/(\text{m} \cdot \text{K})$ höchste, effektive thermische Leitfähigkeit. Sie ist um den Faktor 1,6 bis 2,3 höher als die der getesteten Lotmaterialien.

Dichtigkeit:

Alle getesteten Silbermaterialien zeigen eine Leckrate $> 1 \cdot 10^{-5} \text{ mbar} \cdot \text{l/s}$. Sie sind somit nicht geeignet für den Einsatz als hermetisches Verbindungsmaterial. Alle gelöteten Proben zeigen hingegen eine Leckrate $< 1 \cdot 10^{-8} \text{ mbar} \cdot \text{l/s}$, sodass hier von einer hermetischen Verbindung ausgegangen werden kann. Basierend auf den erarbeiteten Ergebnissen wurden die vielversprechendsten Materialien für weitere Untersuchungen ausgewählt.

4.1.2.2 Alterungsverhalten

Die Materialeigenschaften von gesinterten Verbindungen zwischen Chip und Substrat können sich über ihre Lebensdauer ändern. Dies kann bei höheren Betriebstemperaturen durch Diffusionsprozesse verursacht werden. Weiterhin können Temperaturwechselbeanspruchungen, wie sie z. B. beim Ein- und Ausschalten von Modulen, Systemen, Geräten etc. auftreten, zu thermisch induzierten mechanischen Spannungen im Aufbau führen. Diese verursachen bei einer ausreichend hohen Anzahl von Wechselzyklen Ermüdungsbrüche im Material, die die mechanischen, elektrischen bzw. thermischen Eigenschaften der Verbindung beeinflussen [155]. Zur Charakterisierung des Alterungsverhaltens haben sich die Temperaturlagerung bei höheren Temperaturen, der Temperaturwechseltest und der Thermoschocktest etabliert [156] – [160]. Um das Alterungsverhalten von den gesinterten Silberschichten zu bewerten, wurden die Verbindungen mittels Temperaturwechselbeanspruchung künstlich gealtert. Die minimale und maximale Temperatur, die Aufheiz- und Abkühlraten sowie die Haltezeiten sind dabei entsprechend der zu erwartenden Schädigungen auszuwählen. Es ist zu beachten, dass die Maximaltemperatur nicht zu weiteren Sintervorgängen bzw. Diffusionsprozessen des Materials führt. Die

Untersuchungen in [161] haben gezeigt, dass die Adhäsion zwischen Silbersintermaterial und silbermetallisierten Substraten bei 300 °C Auslagerung ansteigt, wohingegen die Adhäsion zwischen Silbersintermaterial und goldmetallisierten Substraten abnimmt. Somit würde das Ergebnis bei einer hohen Maximaltemperatur verfälscht. Neben diesen Randbedingungen limitiert die verwendete Klimakammer (Feutron 3633/15, Feutron Klimasimulation GmbH) die Zyklusparameter. In Abbildung 4.10 ist der verwendete Temperaturzyklus dargestellt. Dieser ist an die Norm [156] angelehnt. Die Maximaltemperatur von 125 °C wird für 15 min gehalten. Danach wird die Kammer mit maximaler Leistung auf -35 °C abgekühlt und 15 min bei dieser Temperatur gehalten. Anschließend erfolgt die Erwärmung auf 125 °C mit maximaler Leistung. Ein Zyklus benötigt dabei 2,75 h.

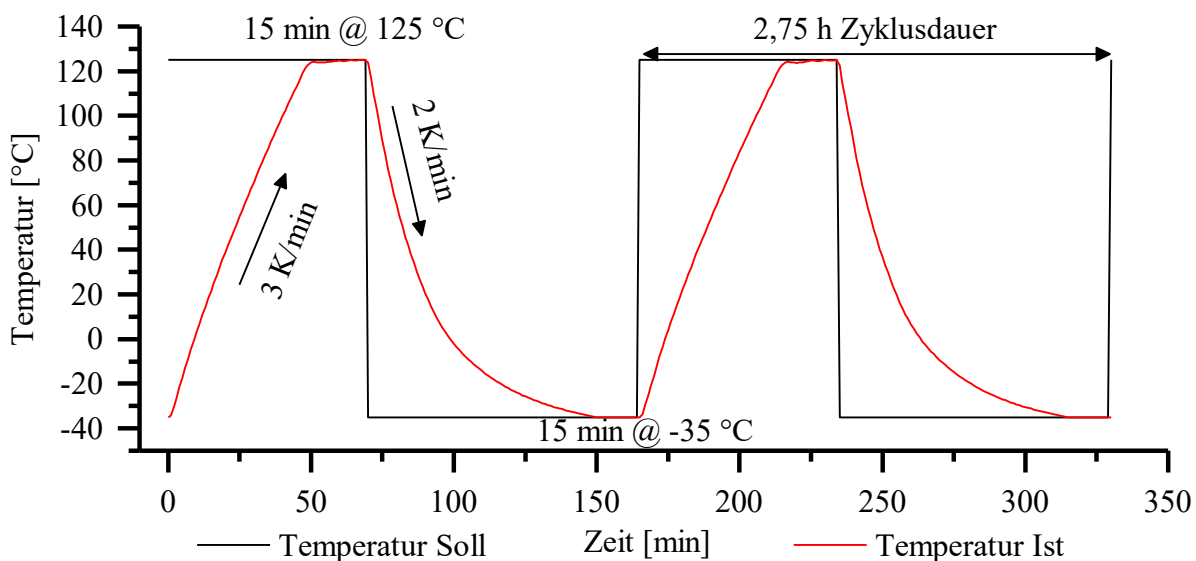


Abbildung 4.10: Temperaturverlauf während zweier Temperaturwechselzyklen. Die schwarze Kurve stellt die Vorgabe, die rote Kurve den tatsächlichen Verlauf dar.

Für die Alterungstests wurden, stellvertretend für die Gruppe der Sintermaterialien, SM4, und für die Sinterkleber, SK2 ausgewählt. Beide Kandidaten zeichnen sich durch ihre hohe Scherfestigkeit auf beiden verwendeten Substraten und ihren geringen thermischen Widerstand aus. Als Referenzmaterial diente der Ag Epoxy. Die Materialien wurden mittels Siebdruck (325 mesh, 24 µm Fadendurchmesser, 53 µm Maschenöffnung, 40 µm Filmemulsion) auf den Substraten strukturiert. Anschließend wurden die Materialien hinsichtlich ihrer elektrischen, mechanischen und thermischen Eigenschaften mit den vorgestellten Methoden charakterisiert. Die Charakterisierung erfolgte zu Beginn der Alterung, nach 100, 250 und 400 Zyklen. Die Messdaten sind der Arbeit [162] entnommen.

Auswertung Sintermaterial SM4

Die Ergebnisse der Alterungstests von Material SM4 sind in Abbildung 4.11 dargestellt. Die Scherfestigkeit auf dem Mo30Cu Substrat mit NiAg Beschichtung fällt bereits nach 100 Zyklen unterhalb der geforderten Scherfestigkeit ab. Abbildung 4.12 zeigt die Bruchstelle.

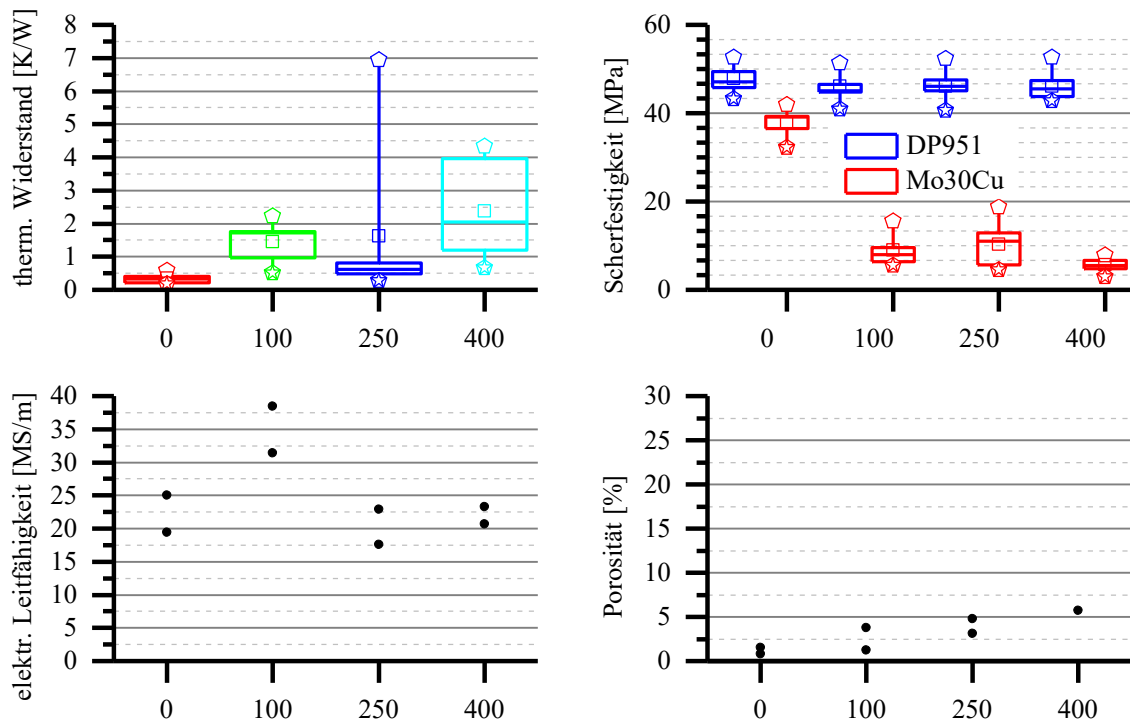


Abbildung 4.11: Ermittelte Werte für den thermischen Widerstand, die elektrische Leitfähigkeit, die Scherfestigkeit sowie die Porosität in Abhängigkeit von der Anzahl der Zyklen (0, 100, 250 & 400) für das Material SM4, Datenbasis aus [162] entnommen.

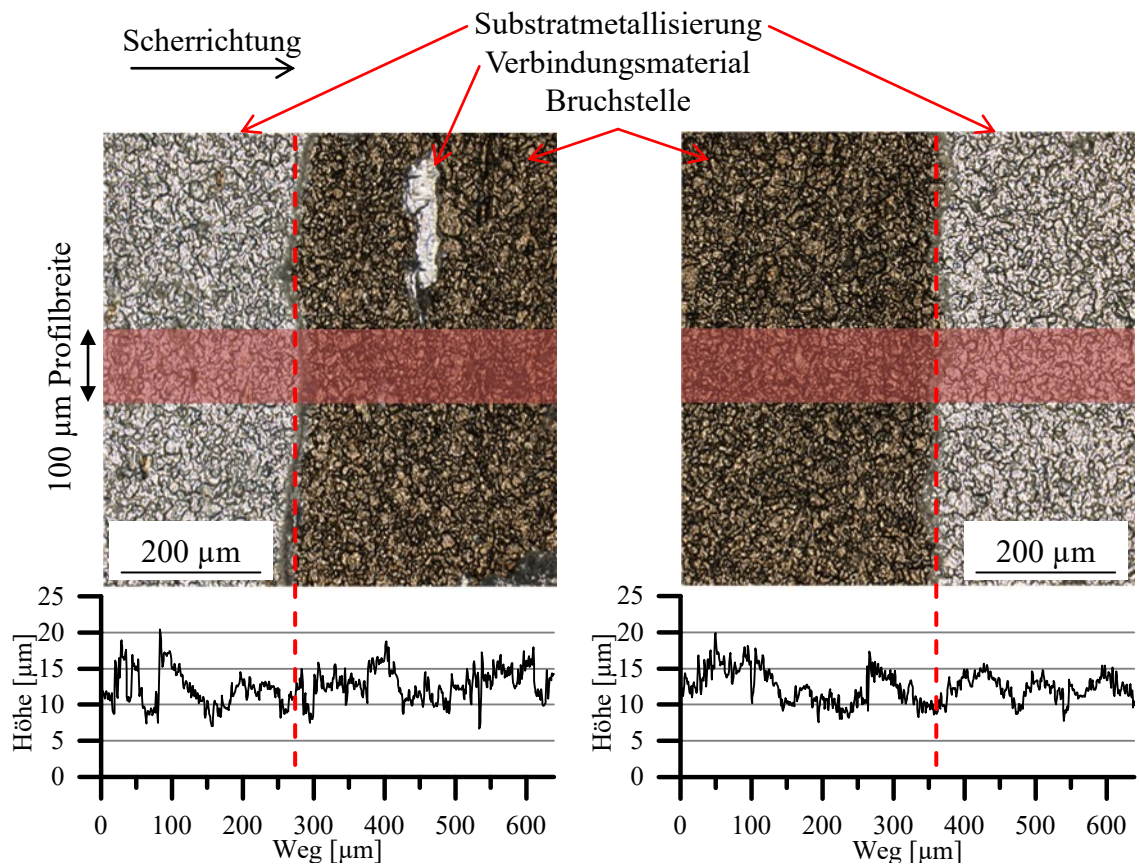


Abbildung 4.12: Mikroskopaufnahme des linken und rechten Rands der Bruchstelle zwischen SM4 und Mo30Cu, sowie das Oberflächenprofil, modifiziert nach [162].

Der Fügebereich zeigt eine dunkle Verfärbung. Die Oberflächentextur gleicht dabei der der Substratmetallisierung. Die NiAg Beschichtung des Mo30Cu Substrats ist in Summe $7\ \mu\text{m}$ – $10,5\ \mu\text{m}$ dick. Das Profil zeigt hingegen keine signifikanten Höhenunterschiede zwischen Fügebereich und Substratmetallisierung. Daher kann von einem Adhäsionsbruch zwischen SM4 und NiAg Metallisierung ausgegangen werden.

In Abbildung 4.13 ist ein Querschliff durch den Aufbau nach 400 Zyklen im Chiprandbereich dargestellt. Eine Delamination zwischen Verbindungsschicht und Chipmetallisierung kann beobachtet werden. Die Delamination tritt zudem auch an der Schnittstelle Verbindungsschicht – Substratmetallisierung auf.

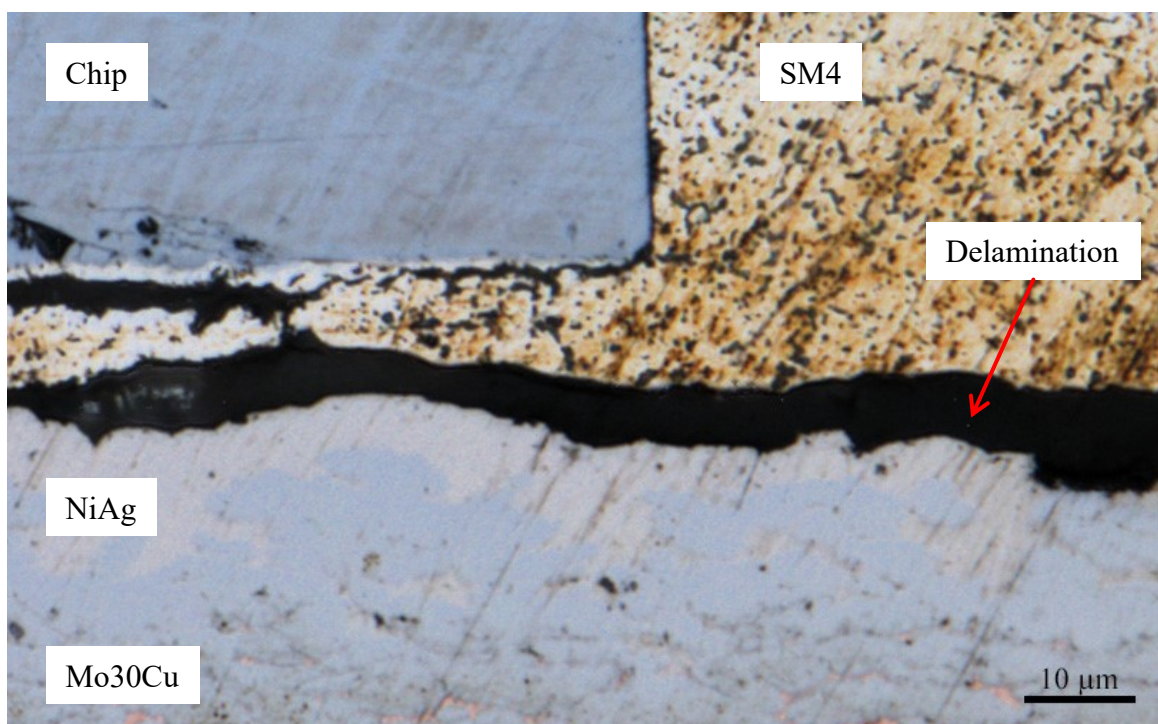


Abbildung 4.13: Querschliff durch Aufbau mit Mo30Cu Substrat und SM4 im Randbereich des Chips nach 400 Zyklen. Eine Delamination des Sintermaterials von der NiAg Beschichtung des Mo30Cu Substrates ist erkennbar. Die Delamination zwischen Chipmetallisierung und Sintermaterial kann dabei auf ein Präparationsartefakt aufgrund der geringen Scherfestigkeit zurückgeführt werden.

In [80] wurde ein Sandwichaufbau, bestehend aus zwei silbermetallisierten DBC Substraten und einem in der Mitte befindlichen, goldmetallisierten Si Leistungshalbleiter, mittels Temperaturwechselbelastungen ($-40\ ^\circ\text{C}$... $150\ ^\circ\text{C}$, jeweils 10 min Haltezeit) künstlich gealtert. Der Si Chip war dabei über druckunterstütztes Silbersintern mit nanoskaliger Silberpaste mit den DBC Substraten verbunden. Der CTE der DBC Substrate wurde mit $7,4\ \text{ppm/K}$ und der der Si Chips mit $2,5\ \text{ppm/K}$ angegeben. Hier konnte mittels thermomechanischer Simulation gezeigt werden, dass es aufgrund der unterschiedlichen CTE's zu hohem mechanischen Stress während der Temperaturwechselbelastung kam. Der zyklische, mechanische Stress führte dabei zur Bildung von Poren im Material [163]. Diese traten verstärkt am äußeren Chiprand auf, da hier der mechanische Stress maximal ist. Mit

steigender Anzahl an Zyklen nahm die Porenanzahl zu, was bereits nach wenigen Zyklen zu einem signifikanten Abfall der Scherfestigkeit führte. Im weiteren Verlauf des Tests kam es durch das voranschreitende Porenwachstum zur Delamination zwischen dem Chip und den DBC Substraten. In [82] konnte ein ähnliches Verhalten beobachtet werden. Hier bestand der Aufbau aus einem silbermetallisierten Al_2O_3 Substrat (CTE 6,9 ppm/K), auf dem ein goldmetallisierter Siliziumchip mittels drucklosem Silbersintern montiert war. Der Aufbau wurde mittels Temperaturwechselbelastung (-55 °C ... 150 °C, 60 min Zyklusdauer) künstlich gealtert. Hier fiel die Scherfestigkeit nach 250 Zyklen deutlich ab. Rissbildung im Verbindungsmaterial nahe dem Chiprand führte hier zu einer Schwächung der Chip-Substrat-Verbindung.

Beide Untersuchungen zeigen, dass es aufgrund von unterschiedlichen CTE von Chip und Substrat zu thermisch induzierten Spannungen während der Temperaturwechselbelastung kommt. Diese zyklischen Belastungen führen zu einer Rissbildung / Porenbildung im Verbindungsmaterial nahe des Chiprandes, was eine Schwächung der Chip-Substrat-Verbindung bzw. eine lokale Delamination zur Folge hat. Die in dieser Arbeit eingesetzten Chip- und Substratmaterialien zeigen eine ähnliche Fehlanpassung im CTE (ΔCTE 5 ppm/K). Weiterhin ist die Metallisierung von Chip und Substrat mit den in der Literatur angegebenen Metallisierungen vergleichbar. Daher ist es sehr wahrscheinlich, dass der vorgestellte Schädigungsprozess auch im Fall vom SM4 vorliegt.

Bei Verwendung eines LTCC Substrates mit Ag Brazing Metallisierung verändert sich die Scherfestigkeit hingegen auch nach 400 Zyklen nicht signifikant, was auf eine zuverlässige Verbindung hindeutet. Die Fehlanpassung ist hier mit einem ΔCTE von 3,3 ppm/K deutlich geringer, als beim Aufbau mit dem Mo30Cu Substrat. Die thermisch induzierten Spannungen sind infolgedessen geringer. Es ist zu erwarten, dass die Scherfestigkeit des Materials in diesem Aufbau erst bei einer höheren Zyklenanzahl abnimmt.

Ebenso zeigt sich, dass bereits nach 100 Zyklen der thermische Widerstand des Aufbaus signifikant ansteigt. Die Untersuchungen der Scherfestigkeit haben eine Schädigung der Verbindung bereits nach 100 Zyklen ergeben. Die Schädigung führte hier vermutlich zu Unterbrechungen von hoch leitenden Silberpfaden an der Grenzschicht zur Substratmetallisierung. Hierdurch reduziert sich die effektive, wärmetransportierende Querschnittsfläche, wodurch der thermische Widerstand ansteigt. Zusätzlich nimmt die Porosität des Materials mit steigender Zyklenanzahl zu, wodurch auch der Anstieg des thermischen Widerstands mit zunehmender Zyklenanzahl noch verstärkt wird. Eine Änderung der elektrischen Leitfähigkeit konnte auch nach 400 Zyklen nicht festgestellt werden. Die hohe Abweichung der Messwerte bei 100 Zyklen ist der ungenauen Ermittlung der Querschnittsfläche geschuldet. Die Adhäsion der Silberschicht auf der blanken LTCC Oberfläche war nach der Sinterung nur marginal. Hierdurch kam es zu Luftspalten zwischen Silberschicht und Keramik, sodass die Ermittlung der Querschnittsfläche nicht mittels Lasertriangulation sondern anhand von Querschliffen durchgeführt wurde. Die Bestimmung der Querschnittsfläche erfolgte dabei anhand der Mikroskopaufnahmen des Querschliffes manuell.

Auswertung Sintermaterial SK2

Die Abbildung 4.14 zeigt, dass sich der thermische Widerstand, die Scherfestigkeit, die elektrische Leitfähigkeit und die Porosität des Verbindungsmaterials über 400 Zyklen nicht signifikant verändern. Es ist sehr wahrscheinlich, dass das Risswachstum, welches beim SM4 beobachtet wurde, beim SK2 durch das im Material enthaltenen Epoxid unterbunden bzw. minimiert wurde [82]. Die Ergebnisse zeigen, dass der Sinterkleber auch nach 400 Zyklen noch eine zuverlässige Verbindung zwischen Chip und Substrat gewährleistet.

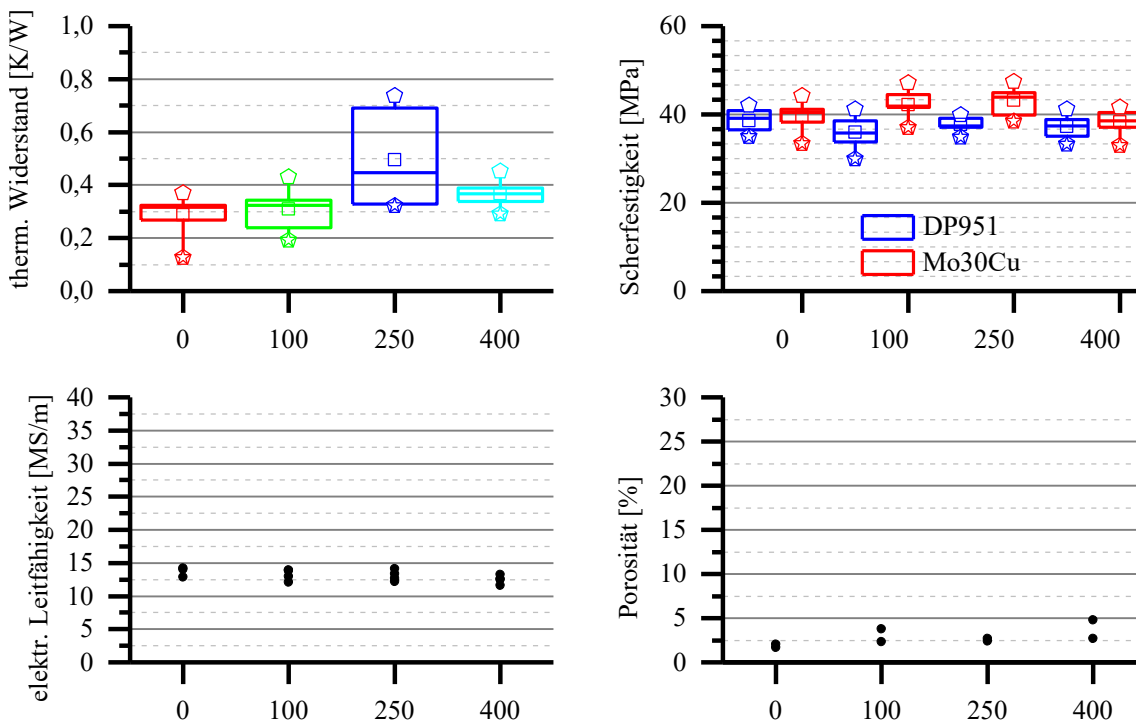


Abbildung 4.14: Ermittelte Werte für den thermischen Widerstand, die elektrische Leitfähigkeit, die Scherfestigkeit sowie die Porosität in Abhängigkeit von der Anzahl der Zyklen (0, 100, 250 & 400) für das Material SK2, Datenbasis aus [162] entnommen.

Auswertung Ag Epoxy

Auch beim Referenzmaterial Ag Epoxy konnten keine Veränderungen der getesteten Materialeigenschaften im Verlauf der künstlichen Alterung beobachtet werden, wie Abbildung 4.15 verdeutlicht. Das lässt auch hier auf eine zuverlässige Verbindung schließen.

4.1.2.3 Einfluss der Prozesstemperatur

Bei der Montage von temperaturempfindlichen Komponenten wie z. B. *vertical cavity surface emitting laser* (kurz: VCSEL) und Photodioden [164] ist die Prozesstemperatur limitiert. Eine niedrige Prozesstemperatur ist daher notwendig, um die Komponenten zerstörungsfrei zu fügen.

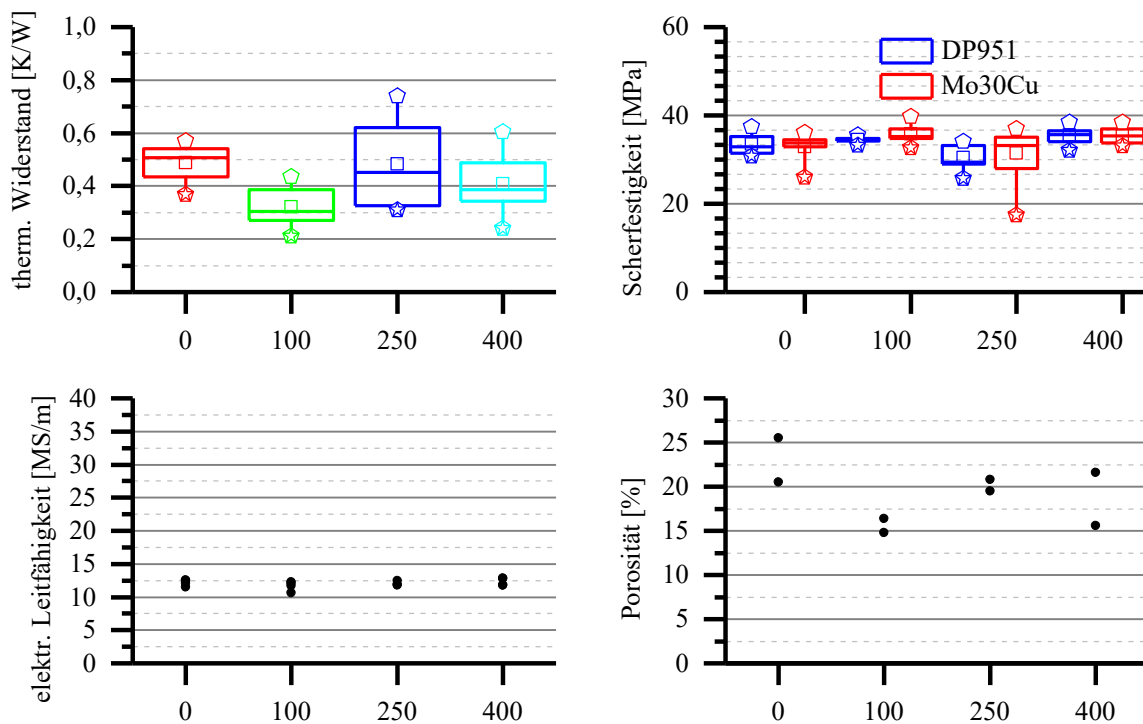


Abbildung 4.15: Ermittelte Werte für den thermischen Widerstand, die elektrische Leitfähigkeit, die Scherfestigkeit sowie die Porosität in Abhängigkeit von der Anzahl der Zyklen (0, 100, 250 & 400) für das Material Ag Epoxy, Datenbasis aus [162] entnommen.

Gleichzeitig muss die beim Fügen entstandene Verbindung den mechanischen, elektrischen und thermischen Anforderungen der jeweiligen Anwendung entsprechen. Um Silbersintermaterialien auch für diese Anwendungen einsetzen zu können, kann eine Absenkung der Sintertemperatur notwendig sein. Da beim Festphasensintern die Sinterrate neben der Partikelgröße maßgeblich von der Sintertemperatur abhängt [68], ist davon auszugehen, dass mit Absenkung der Sintertemperatur bei konstanter Sinterzeit der Sintergrad abnimmt. Der Sintergrad bestimmt dabei maßgeblich die mechanischen, elektrischen und thermischen Eigenschaften der gesinterten Verbindung. Daher wird im Rahmen dieser Arbeit der Einfluss der Sintertemperatur auf die genannten Eigenschaften der Verbindung bewertet. Hierfür werden die Sintermaterialien SM1 und SM3 ausgewählt, da diese im gesamten Testfeld die geringste, vom Hersteller empfohlene Sintertemperatur aufweisen und somit die aussichtsreichsten Kandidaten für die Montage temperaturempfindlicher Komponenten darstellen. Außerdem wird der vielversprechendste Sinterkleber SK2 in den Test integriert. Neben der Sinterrate wird bei dem Sinterkleber auch der Härteprozess des Epoxids durch die Prozesstemperatur beeinflusst. Die drei ausgewählten Materialien werden mit den in Abschnitt 4.1.1 vorgestellten Methoden charakterisiert. Es werden pro Material insgesamt drei verschiedene Sintertemperaturen getestet (150 °C, 175 °C und 200 °C). Die Sinterzeit ist bei allen Versuchen auf 60 min festgelegt. Dies entspricht der empfohlenen Sinterzeit der Materialien SM3 und SK2. Zusätzlich zu den in Abschnitt 4.1.2.1 durchgeführten Charakterisierungen wird auch die Porosität der Materialien bestimmt, um Veränderungen am Gefüge des Materials quantitativ zu bewerten. Die Dichtigkeit der Verbindung wird nicht bewertet, da sich bereits im Abschnitt 4.1.2.1 gezeigt hat, dass diese Materialien keine

hermetisch dichte Verbindung generieren und durch eine Absenkung der Sintertemperatur keine Verringerung der Leckrate zu erwarten ist. In den Abbildungen 4.16 – 4.19 sind die ermittelten elektrischen, thermischen und mechanischen Eigenschaften der getesteten Materialien in Abhängigkeit von der Sintertemperatur dargestellt.

Auswertung Sintermaterial SM1

Wie aus Abbildung 4.16 ersichtlich wird, zeigt das Sintermaterial SM1 bei Absenkung der Sintertemperatur von 200 °C auf 150 °C eine Zunahme der Porosität um den Faktor 2, infolge dessen die BLT im Mittel um 20 µm steigt. Zudem sinkt die elektrische Leitfähigkeit mit sinkender Sintertemperatur um 0,04 MS/K.

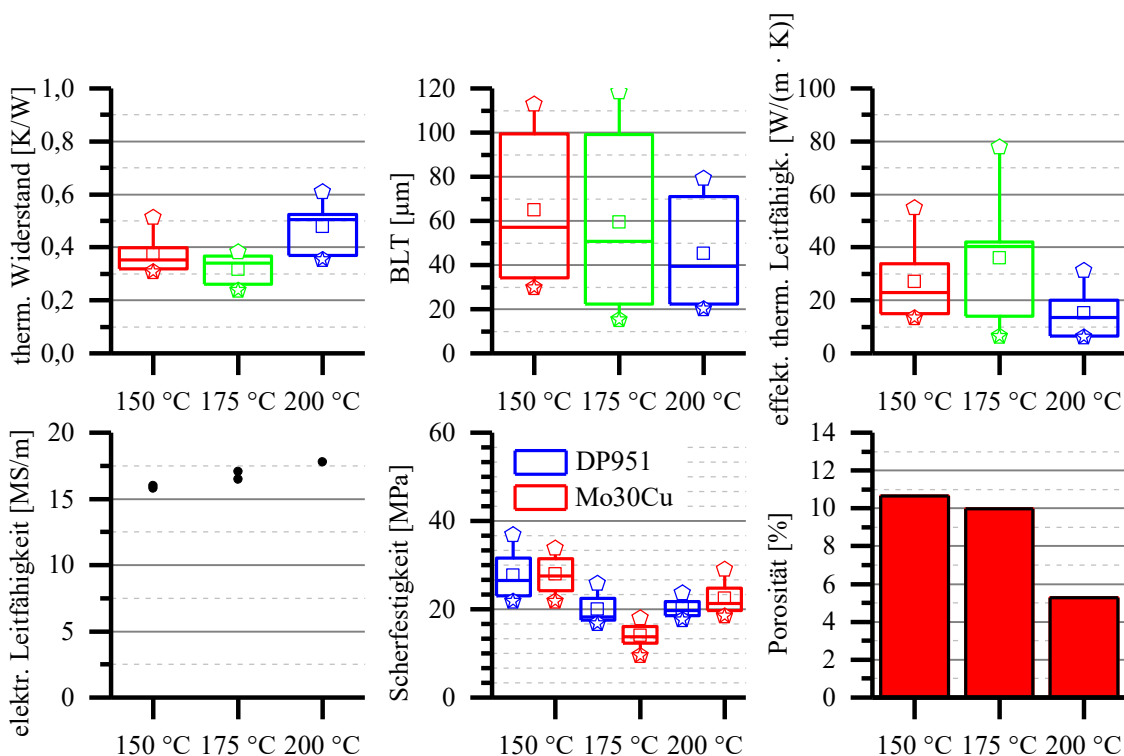


Abbildung 4.16: Ermittelte Werte für den thermischen Widerstand, BLT, effektive thermische Leitfähigkeit, elektrische Leitfähigkeit, Scherfestigkeit sowie Porosität in Abhängigkeit von der Sintertemperatur für das Material SM1.

Die niedrige Sintertemperatur führt hier zu einer verringerten Sinterrate, wodurch der Sintervorgang nach einer Haltezeit von 60 min noch nicht soweit fortgeschritten ist, wie dies bei einer höheren Sintertemperatur der Fall wäre. Dadurch ist Verdichtung des Materials geringer, als bei höheren Sintertemperaturen. Der Grad der Verdichtung bestimmt dabei unmittelbar die Anzahl und Größe der Poren in der Verbindung [67], sowie die Dicke der gesinterten Schicht. Mit zunehmender Verdichtung sinken infolge dessen die Porosität und die BLT. Die elektrische Leitfähigkeit steigt mit zunehmender Verdichtung an, da der stromleitende Anteil der Querschnittsfläche ansteigt. Somit zeigt das Sintermaterial SM1 ein für Silbersintermaterialien typisches Verhalten. Der thermische Widerstand erreicht bei

175 °C mit 0,32 K/W sein Minimum. Infolge dessen hat die effektive thermische Leitfähigkeit bei 175 °C mit 36 W/(m · K) ihr Maximum. Durch die hohe Streuung der BLT (72 %) streut diese um 78 %. Bei der Reduktion der Sinter Temperatur auf 150 °C steigt der thermische Widerstand infolge der Erhöhung der BLT um den Faktor 1,2 an. Die effektive thermische Leitfähigkeit sinkt um 25 %, verursacht durch den höheren Porenanteil im Querschnitt der Verbindung. Auch dieses Verhalten ist bei einer Silbersinterpaste zu erwarten. Bei der Erhöhung der Sinter Temperatur von 175 °C auf 200 °C steigt hingegen der thermische Widerstand um den Faktor 1,5 an. Die effektive thermische Leitfähigkeit nimmt dabei um 58 % ab. Dies ist ein Indiz dafür, dass bei dieser Paste die Diffusionsvorgänge zwischen dem Silber der Paste und der Goldmetallisierung des Chips beschleunigt werden. In [165] & [166] führte die Sinterung bei höheren Temperaturen ebenfalls zu einer Beschleunigung der Diffusionsvorgänge. Hier konnte gezeigt werden, dass eine höhere Sinter Temperatur zu lokalen Delaminationen an der Schnittstelle Goldmetallisierung Chip – Sintermaterial führte, wodurch die Scherfestigkeit signifikant abnahm. Bei der Verwendung von silberbeschichteten Chips konnte dieser Effekt an der Verbindungsstelle hingegen nicht beobachtet werden. In [161] wurden mit Silber beschichtete Si Chips auf mit Gold beschichtete Substrate mittels drucklosem Silbersintern montiert und anschließend bei 300 °C temperaturlausgelagert. Auch hier zeigte sich mit steigender Auslagerungszeit ein Anstieg der Delamination bzw. Porenwachstum an der Schnittstelle Chip Goldmetallisierung – Sintermaterial. Es ist wahrscheinlich, dass es auch im vorliegenden Fall zu lokalen Delaminationen gekommen ist, in deren Folge sich die wärmeübertragende Querschnittsfläche verringert. Hierdurch steigt der thermische Widerstand an. In Abbildung 4.17 ist der Querschnitt eines gefügten TTC auf Mo30Cu dargestellt. Die Sinter Temperatur betrug 175 °C (links) bzw. 200 °C (rechts).

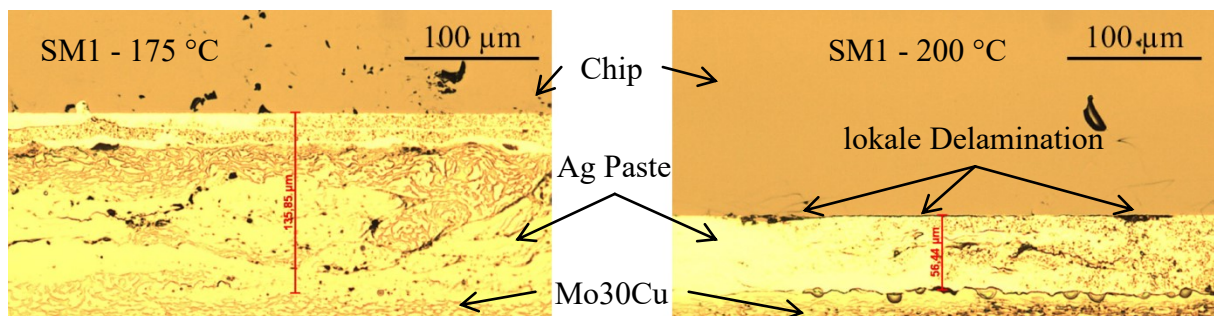


Abbildung 4.17: Querschnittsbild von gefügten TTC auf Mo30Cu unter Verwendung des Materials SM1. Links: 60 min gesintert bei 175 °C. Rechts: 60 min gesintert bei 200 °C. Die Verringerung der BLT und Porosität bei Erhöhung der Sinter Temperatur ist erkennbar. Außerdem zeigt die bei 200 °C gesinterte Verbindung lokale Delaminationen zwischen Chipmetallisierung und Sintermaterial.

Die Abbildungen veranschaulichen zum einen den Schrumpf der BLT und Porosität bei steigender Sinter Temperatur. Zum anderen zeigt die bei 200 °C gesinterte Verbindung lokale Delaminationen zwischen Chipmetallisierung und Sintermaterial, womit die oben beschriebene Vermutung bestätigt wird. Die Scherfestigkeit des Materials SM1 hat bei 150 °C mit 28 MPa ihr Maximum. Das Versagen der Verbindung erfolgte vorrangig im Sintermaterial durch einen Kohäsionsbruch. Mit steigender Sinter Temperatur sank die Scherfestigkeit signifikant. Es bildete sich ein Mischbruch sowohl im Verbindungsmaterial

als auch in den Grenzschichten aus. Auch hier ist davon auszugehen, dass es infolge der höheren Sintertemperatur zu lokalen Delaminationen gekommen ist. Dieser Effekt ist im Unterschied zum thermischen Widerstand bereits bei dem Temperaturschritt 150 °C auf 175 °C erkennbar. Beim Temperaturschritt von 175 °C auf 200 °C bleibt die Scherfestigkeit auf DP951 konstant bzw. erhöht sich im Falle von Mo30Cu um 8 MPa. Es ist davon auszugehen, dass hier die zunehmende Verdichtung zu einer Steigerung der Kohäsion im Sintermaterial führt. Gleichzeitig steigt durch die erhöhte Sintertemperatur der Delaminationsgrad. Die sich überlagernden Effekte führen hier vermutlich zu der konstanten bzw. leicht erhöhten Scherfestigkeit bei der Erhöhung der Sintertemperatur von 175 °C auf 200 °C.

Auswertung Sintermaterial SM3

Abbildung 4.18 zeigt, dass das Sintermaterial SM3 bei einer Erhöhung der Sintertemperatur von 150 °C auf 175 °C eine Verringerung der BLT um 38 % aufweist. Gleichzeitig sinkt der thermische Widerstand um 35 %.

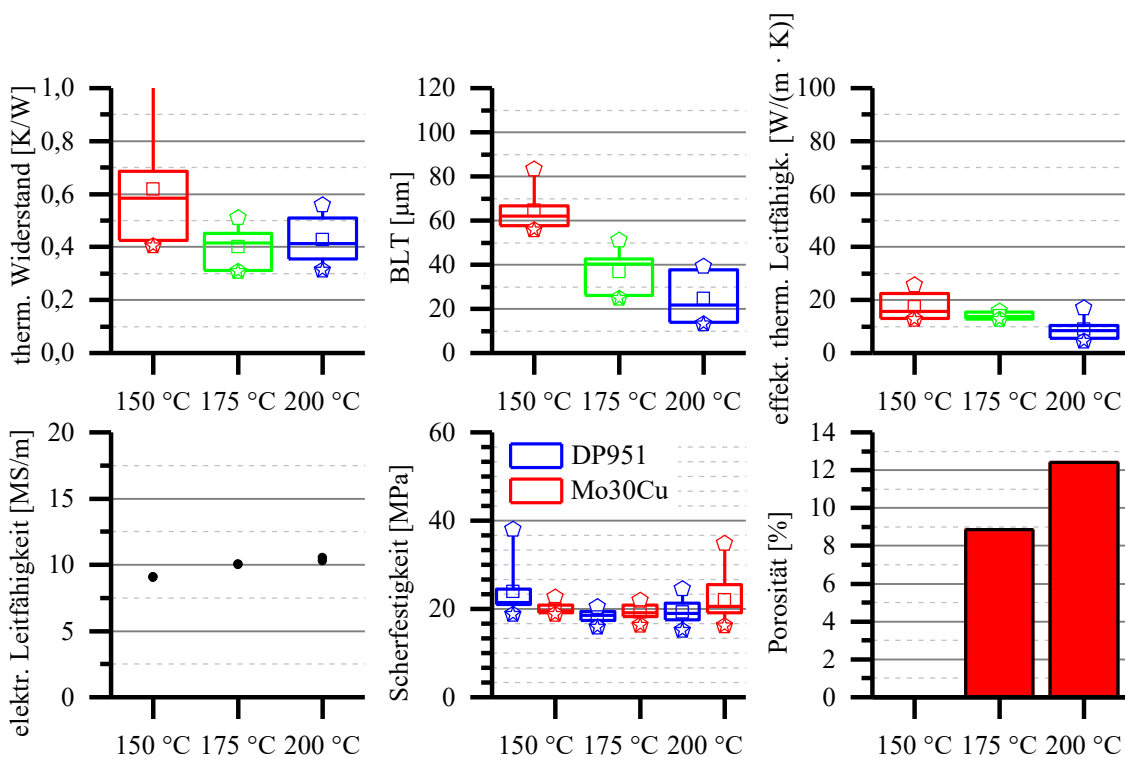


Abbildung 4.18: Ermittelte Werte für den thermischen Widerstand, BLT, effektive thermische Leitfähigkeit, elektrische Leitfähigkeit, Scherfestigkeit sowie Porosität in Abhängigkeit von der Sintertemperatur für das Material SM3.

Die elektrische Leitfähigkeit nimmt um 11 % zu. Auch hier kann davon ausgegangen werden, dass mit steigender Sintertemperatur die Verdichtung steigt, was zu dem beobachteten Trend führt. Eine Erhöhung der Sintertemperatur auf 200 °C führt zu keiner signifikanten Änderung der BLT und der elektrischen Leitfähigkeit. Dies ist ein Indiz dafür, dass der Sintervorgang

bereits nach 60 min bei 175 °C abgeschlossen ist und keine weitere Verdichtung erfolgt. Die Porosität steigt hingegen um 3,5 %. Dies führt zu einer Erhöhung des thermischen Widerstandes um 5,9 % und damit zu einer Reduzierung der effektiven thermischen Leitfähigkeit um 36 %. Die Porosität der Verbindung bei 150 °C konnte nicht ausgewertet werden, da die Duktilität des bei 150 °C gesinterten Materials die Anfertigung des Querschliffs ohne Materialverschleppung verhinderte. Die Scherfestigkeit der Verbindung liegt im Bereich von 15 MPa – 38 MPa und ist nahezu unabhängig von Sintertemperatur und Substrat. Auch hier versagte die Verbindung beim Schertest vorrangig durch Kohäsionsbruch im Sintermaterial.

Auswertung Sinterkleber SK2

In Abbildung 4.19 sind die Ergebnisse der Untersuchung mit dem Sinterkleber SK2 dargestellt. Es zeigt sich, dass hier eine Erhöhung der Sintertemperatur von 150 °C auf 175 °C die BLT um 59 % sinkt. Gleichzeitig reduziert sich der thermische Widerstand nur um 12 %, was zu einem Abfall der effektiven thermischen Leitfähigkeit um 55 % führte. Die elektrische Leitfähigkeit erhöhte sich hingegen um den Faktor 2.

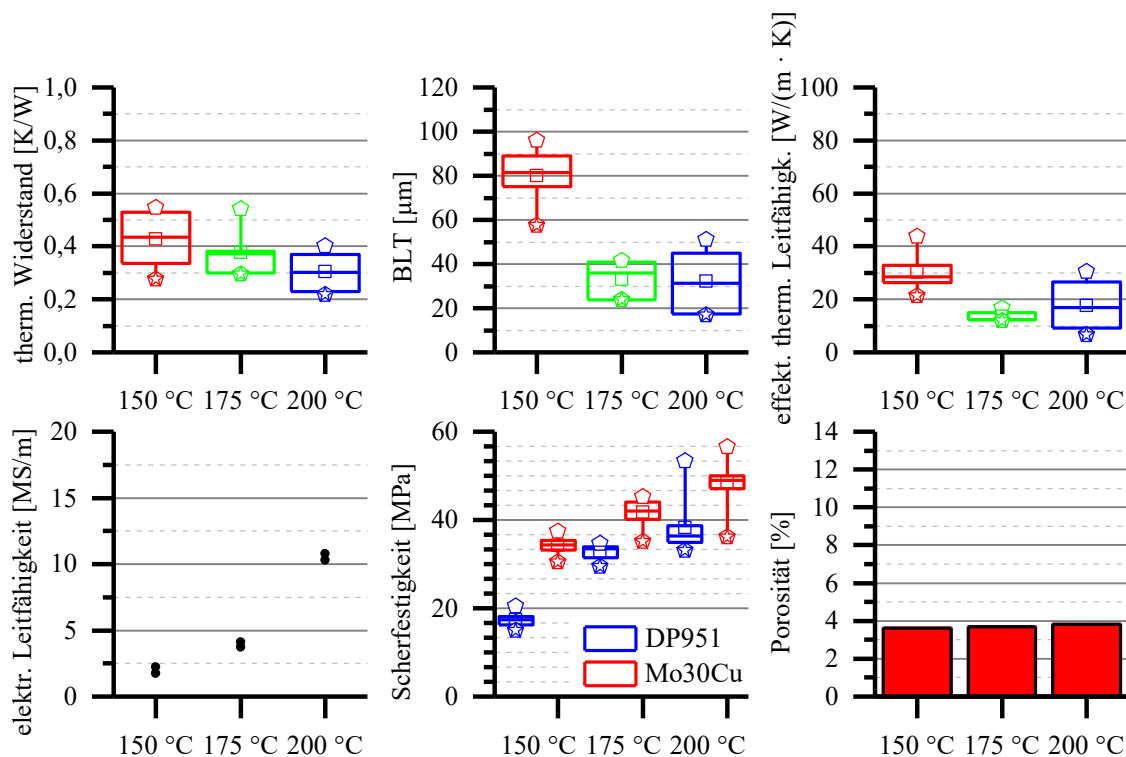


Abbildung 4.19: Ermittelte Werte für den thermischen Widerstand, BLT, effektive thermische Leitfähigkeit, elektrische Leitfähigkeit, Scherfestigkeit sowie Porosität in Abhängigkeit von der Sintertemperatur für das Material SK2.

Die Scherfestigkeit stieg um 15 MPa (DP951) bzw. 7 MPa (Mo30Cu) an. Das Bruchbild ließ auf einen Kohäsionsbruch im Sinterkleber schließen. Hier kann davon ausgegangen werden, dass mit der steigende Sintertemperatur der Verdichtungsgrad des sinternden Anteils des

Sinterklebers und die Kohäsion des Epoxids im Sinterkleber stieg. Der Abfall der effektiven thermischen Leitfähigkeit ist ein Indiz dafür, dass die Verdichtung hauptsächlich durch den Schrumpfung des Epoxiden erfolgte und weniger durch den Schrumpfung beim Festkörpersintern. Bei der Erhöhung der Sintertemperatur von 175 °C auf 200 °C stieg die elektrische Leitfähigkeit nochmals um den Faktor 2,7 an. Der thermische Widerstand sank dabei um 19 %. Die BLT veränderte sich nicht mehr signifikant, wodurch sich die effektive thermische Leitfähigkeit um 30 % erhöhte. Die Scherfestigkeit stieg nochmals um 6 MPa (DP951) bzw. 7 MPa (Mo30Cu) an. Auch hier war der Kohäsionsbruch im Sinterkleber der vorherrschende Versagenstyp. Der signifikante Anstieg der elektrischen Leitfähigkeit und der Scherfestigkeit zeigt, dass der kombinierte Sinter- und Härteprozess bei 175 °C noch nicht abgeschlossen ist. Es ist wahrscheinlich, dass die höhere Sintertemperatur zu einer höheren Sinterrate und damit zu einer stärker ausgeprägten Vernetzung der einzelnen Silbercluster im Sinterkleber führte. Gleichzeitig steigerte die höhere Sintertemperatur die Kohäsion des Epoxidanteils. Das Stagnieren der BLT kann durch den Epoxidanteil im Sinterkleber verursacht worden sein, der die Poren im Sintermaterial ausfüllte, aushärtete und somit eine weitere Verdichtung bei Erhöhung der Sintertemperatur verhinderte. Dementsprechend konnte bei der Porosität des Sinterklebers keine Abhängigkeit von der Sintertemperatur festgestellt werden, da die Poren mit Epoxid aufgefüllt waren.

4.1.2.4 Scherfestigkeit in Abhängigkeit der Betriebstemperatur

Die maximal zulässige Betriebstemperatur einer gelöteten / geklebten Chip-Substrat Verbindung ist u.a. durch die Schmelztemperatur des Lotes bzw. der Glasübergangstemperatur des Klebers bestimmt. Mit Annäherung an die Schmelztemperatur von Loten sinkt die Festigkeit des verwendeten Lotes [167], [168]. Epoxid Klebstoffe, wie sie in der Aufbau- und Verbindungstechnologie eingesetzt werden, zeigen bei einer Erhöhung der Temperatur über ihrer Glasübergangstemperatur einen rapiden Abfall ihrer Festigkeit [169]. Demgegenüber zeigen Silbersintermaterialien aufgrund des irreversiblen Festkörperprozesses einen starken Abfall ihrer Festigkeit erst nahe der Schmelztemperatur von Silber [71]. Die Temperaturabhängigkeit der Scherfestigkeit der eingesetzten Materialien wurde mittels Schertest (vgl. Abschnitt 4.1.1.2) bei Temperaturen von 100 °C bis 250 °C evaluiert. Hierfür wurde der Schertester mit einer beheizbaren Substrataufnahme versehen. Der Abfall der Scherfestigkeit in Abhängigkeit von der Temperatur wurde anhand der mittleren Scherfestigkeit bei den verschiedenen Testtemperaturen berechnet. Hierfür wurden jeweils 9 Testchips mit dem zu testenden Material auf eine silbermetallisierte DP951 Keramik gefügt. In Abbildung 4.20 sind die ermittelten Scherfestigkeiten der Sintermaterialien SM1 – SM4 in Boxplots dargestellt. Der Abfall der Scherfestigkeit ist mit -0,02 MPa/K bis -0,11 MPa/K nur gering. Abbildung 4.21 zeigt die ermittelten Scherfestigkeiten der Sinterkleber sowie des silbergefüllten Epoxidklebers. Die Temperaturabhängigkeit der Scherfestigkeit der Sinterkleber ist mit -0,08 MPa/K bis -0,16 MPa/K höher. Die Annäherung an die Glasübergangstemperatur des Epoxids im Sinterkleber führt zur Reduzierung der Festigkeit des Epoxids. Der ermittelte Abfall der Scherfestigkeit deckt sich dabei gut mit den Herstellerangaben [142], [143], [144]. Der silbergefüllte Kleber zeigt ein ähnliches Verhalten.

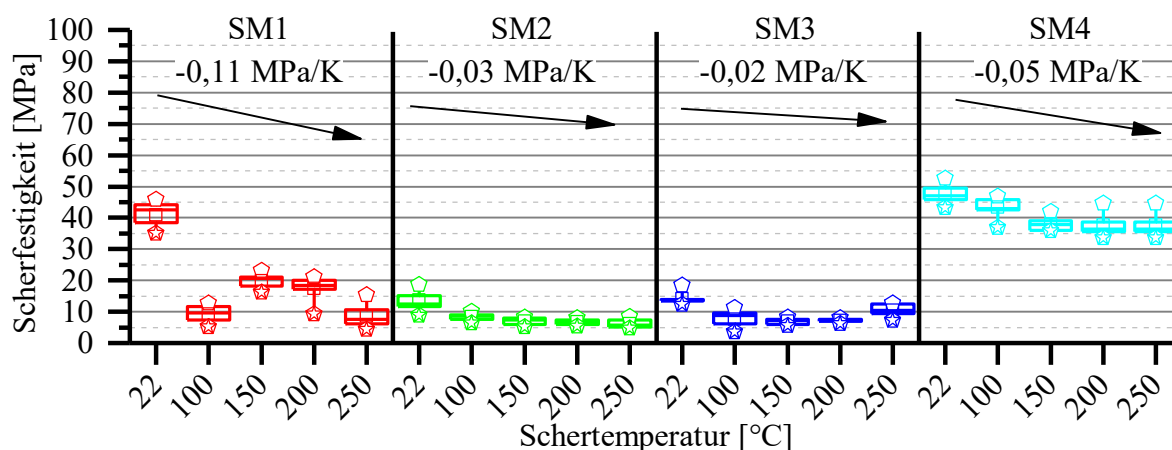


Abbildung 4.20: Scherfestigkeit der Sintermaterialien in Abhängigkeit von der Scher­temperatur. Der mittlere Abfall der Scherfestigkeit pro Kelvin ist angegeben. Pro Material und Temperatur wurden neun Proben gemessen.

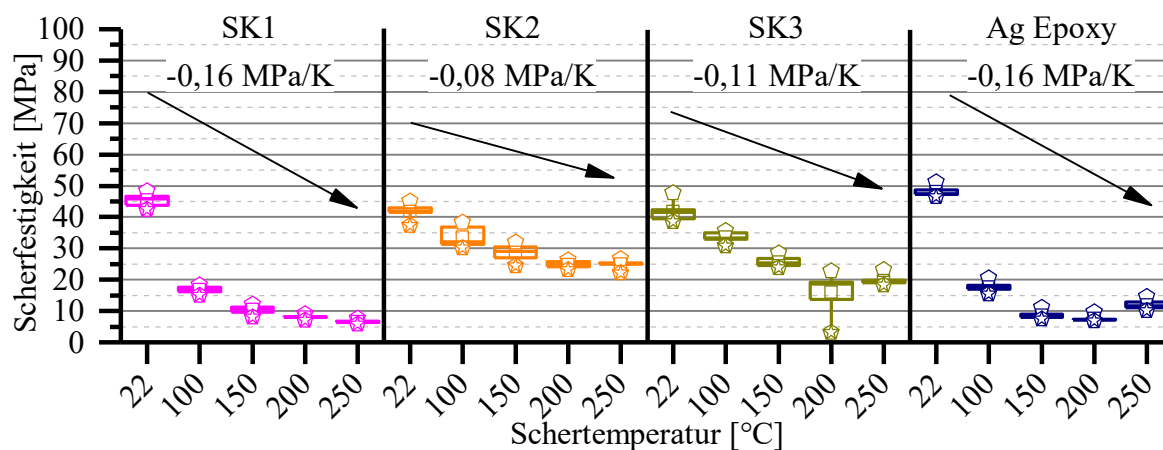


Abbildung 4.21: Scherfestigkeit der Sinterkleber und des Ag Epoxy in Abhängigkeit von der Scher­temperatur. Der mittlere Abfall der Scherfestigkeit pro Kelvin ist angegeben. Pro Material und Temperatur wurden neun Proben gemessen.

Die verwendeten Lote weisen erwartungsgemäß eine wesentlich höhere Temperaturabhängigkeit der Scherfestigkeit auf, als die Scherfestigkeit der Sintermaterialien bzw. Sinterkleber. Dies bestätigt sich anhand der ermittelten Scherfestigkeiten, wie sie in Abbildung 4.22 dargestellt sind. Dabei wurden das SnPb Lot und das SAC Lot nur bis 150 °C getestet, da deren Schmelztemperatur kleiner als 200 °C war. Der Abfall der Scherfestigkeit lag im Bereich von -0,16 MPa/K bis -0,38 MPa/K.

Tabelle 4.5 führt die mittleren Scherfestigkeiten des Sintermaterials SM4 und des Sinterklebers SK2 im Vergleich zu den mittleren Scherfestigkeiten der Lote bei einer Temperatur von 150 °C bzw. 250 °C auf. Bei einer Temperatur von 150 °C weist nur das AuSn-Lot eine höhere Scherfestigkeit als das Sintermaterial bzw. der Sinterkleber auf. Die Scherfestigkeit des AuSn-Lotes reduziert sich von 150 °C auf 250 °C um 60,6 %. Dagegen sinkt die Scherfestigkeit des Sintermaterials bzw. des Sinterkleber nur um 1,6 % bzw. um 12,6 %. Hierdurch erreicht die Scherfestigkeit des Sintermaterials bei 250 °C einen höheren Wert als die Scherfestigkeit des AuSn-Lotes. Die Werte verdeutlichen nochmals, dass die

Materialien SM4 und SK2 auch bei Betriebstemperaturen bis zu 250 °C eingesetzt werden können und dabei höhere bzw. vergleichbare Scherfestigkeiten wie die getesteten Lote aufweisen.

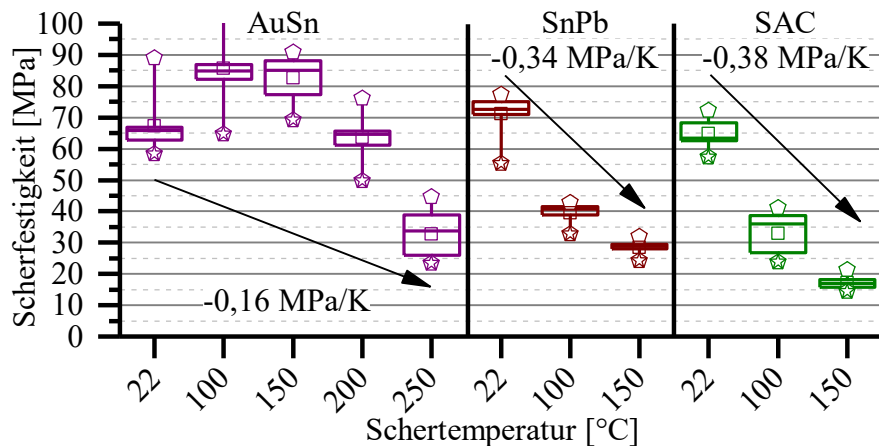


Abbildung 4.22: Scherfestigkeit der Lote in Abhängigkeit von der Schertemperatur. Der mittlere Abfall der Scherfestigkeit pro Kelvin ist angegeben. Pro Material und Temperatur wurden neun Proben gemessen.

Tabelle 4.5: Übersicht über die mittleren Scherfestigkeiten der Lote im Vergleich zu dem Sintermaterial SM4 und dem Sinterkleber SK2 bei einer Schertemperatur von 150 °C bzw. 250 °C

Material	150 °C	250 °C
AuSn	82,7 MPa ± 7,3 MPa	32,6 MPa ± 7,5 MPa
SnPb	28,5 MPa ± 2,4 MPa	n. a.
SAC	17,1 MPa ± 2,1 MPa	n. a.
SM4	38,1 MPa ± 2,1 MPa	37,5 MPa ± 3,2 MPa
SK2	28,6 MPa ± 2,6 MPa	25,0 MPa ± 1,3 MPa

4.1.3 Zusammenfassung der Ergebnisse

Die Untersuchungen haben gezeigt, dass die getesteten Silbersintermaterialien und Silbersinterkleber für die Chipmontage auf silbermetallisierten LTCC Substraten und Metallsubstraten mit an LTCC angepassten CTE geeignet sind. Die Messungen haben nachgewiesen, dass diese Materialien durch ihren hohen Silberanteil eine hohe elektrische Leitfähigkeit im Vergleich zu Loten besitzen. Zudem kann durch die Substitution von Loten mit Silbermaterialien eine Reduzierung des thermischen Widerstands erreicht werden. Die ermittelte Scherfestigkeit der gesinterten Verbindungen erreicht hierbei nicht die Scherfestigkeit von Lotverbindungen. Sie liegt jedoch deutlich über dem vorgeschriebenen Wert. Anders als Lote können Silbermaterialien aufgrund ihrer porösen Mikrostruktur nicht für den hermetischen Verschluss von Aufbauten verwendet werden.

Die Alterungstests haben gezeigt, dass die Scherfestigkeit gealterter, gesinteter Silberverbindungen einerseits von der CTE Differenz zwischen Substrat und Chip, sowie andererseits von den Oberflächenmetallisierungen beider Komponenten abhängt. So zeigte sich kein Abfall der Scherfestigkeit über den gesamten Testzeitraum bei der Verwendung von

LTCC Substraten mit Silberdickschichtmetallisierung. Die CTE Differenz betrug hier 3,2 ppm/K. Beim Aufbau mit Mo30Cu Substrat, welches eine CTE Differenz von 4,9 ppm/K zum Chip hatte, trat bereits nach kurzer Testzeit ein signifikanter Abfall der Scherfestigkeit und damit ein Anstieg des thermischen Widerstands ein. Der getestete Sinterkleber zeigte hingegen über den gesamten Testzeitraum auf beiden Substraten keinen signifikanten Abfall der Scherfestigkeit und des thermischen Widerstands. Die elektrische Leitfähigkeit des Sinterklebers und des Sintermaterials degradierte zudem nicht über den Testzeitraum.

Die Untersuchungen zur Prozesstemperatur haben gezeigt, dass eine chipseitige Goldmetallisierung für Sintermaterialien ungeeignet ist, da bei steigender Prozesstemperatur es infolge von Diffusionsprozessen zu lokalen Delaminationen zwischen Verbindungsschicht und Metallisierung kommt. Der getestete Sinterkleber zeigte dieses Verhalten hingegen nicht. Darüber hinaus ergab sich aus den Untersuchungen, dass die Materialien SM1 und SK2 für die Chipmontage bei 150 °C genutzt werden können.

Basierend auf diesen Erkenntnissen können die Materialien SM4 und SK2 für die Chipmontage auf silbermetallisierten LTCC Substraten empfohlen werden. Darüber hinaus eignet sich das Material SK2 auch zur Chipmontage auf silbermetallisierten Mo30Cu Substraten. Die Materialien zeichnen sich zudem durch eine gute Integrierbarkeit in bestehende Prozesse und Technologien der Aufbau- und Verbindungstechnik aus. Die drucklose Prozessierung der Materialien trägt hier maßgeblich zur Minimierung der notwendigen Investitionen bei der Umstellung von Lot- bzw. Klebeverbindungen auf Sinterverbindungen bei. Zudem zeigt die Scherfestigkeit beider Materialien eine nur geringe Abhängigkeit (-0,05 MPa/K SM4, -0,08 MPa/K SK2) von der Betriebstemperatur.

Die ermittelten Materialeigenschaften der empfohlenen Materialien sind quantitativ in Tabelle 4.6 aufgelistet und mit den verwendeten Loten verglichen.

Tabelle 4.6: Materialeigenschaften der empfohlenen Materialien im Vergleich zu den getesteten Loten. *Die Werte wurden aus der Literatur entnommen, siehe Tabelle 4.1.

Material	SM4	SK2	AuSn	SnPb	SAC
Scherfestigkeit auf LTCC + Ag Brazing [MPa]					
Bei 22 °C	48 ± 3	42 ± 2	67 ± 9	71 ± 7	65 ± 5
Bei 250 °C	38 ± 3	25 ± 1	33 ± 8		
Scherfestigkeit auf Mo30Cu + NiAg [MPa]	38 ± 3	48 ± 2	66 ± 17	72 ± 5	74 ± 6
Therm. Widerstand [K/W]	0,34 ± 0,14	0,30 ± 0,08	0,72 ± 0,09	0,55 ± 0,12	0,90 ± 0,20
Elektr. Leitfähigkeit [MS/m]	22,2	12,2	6,3*	6,8*	7,6*
Empf. Chipmetallisierung	Ag	Au, Ag			

4.2 Reaktives Löten

Wie in Abschnitt 3.2.1.2 beschrieben, eignen sich reaktive Materialien für das Fügen von Bauteilen mit unterschiedlichen CTE. Um diese Materialien für die Chipmontage und LTCC Montage auf Wärmespreizern mit großer CTE Differenz zu LTCC und Si zu charakterisieren, wurde die kommerziell erhältliche NanoFoil[®] (Indium Corp.) verwendet. Diese Folie besteht aus Aluminium-Nickel Schichten mit einer Einzelschichtstärke von 25 nm und einer Gesamtschichtstärke von 40 μm . Die Folie ist beidseitig mit jeweils 1 μm Incusil und 10 μm Zinn beschichtet, was die Schnittstellen zu Chip und Wärmespreizer darstellt. Die Reaktionsgeschwindigkeit der Folie wurde anhand von Hochgeschwindigkeitsaufnahmen (VW-9000D, Keyence GmbH, Aufnahmegeschwindigkeit: 23000 fps) bestimmt und beträgt 6,5 m/s – 7,1 m/s, siehe Abbildung 4.24.

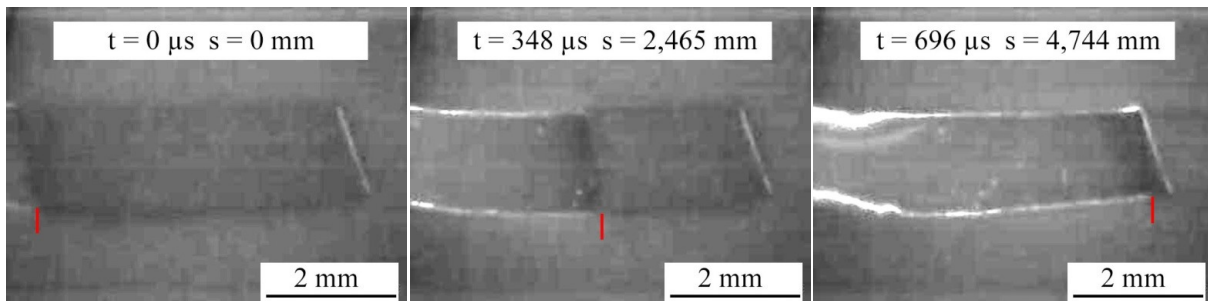


Abbildung 4.23: Mikroskopische Hochgeschwindigkeitsaufnahme einer reagierenden NanoFoil[®], die Reaktionsfront ist rot markiert.

Dieses Ergebnis deckt sich gut mit den Herstellerangaben 2 m/s – 10 m/s [87]. Die exotherme Reaktion kann eine Energie von 23 J/cm² – 25 J/cm² freisetzen, wobei Temperaturen von bis zu 1600 °C erreicht werden können [87]. Das stabile Reaktionsprodukt des Al/Ni Multilayers ist eine Mischung verschiedener intermetallischer Phasen aus Ni und Al [87], [97], die mittels Röntgendiffraktometrie (engl. X-ray diffraction, kurz: XRD) detektiert wurden [170]. Dabei konnte die NiAl Phase nachgewiesen werden, welche die dominierende Phase darstellt [171]. Weiterhin konnte die Ni₃Al₄ Phase detektiert werden. Die wichtigsten physikalischen Eigenschaften des Reaktionsprodukts sind in Tabelle 4.7 aufgelistet. Zum Vergleich sind auch die Parameter des eutektischen Lots Au20Sn aufgeführt.

Tabelle 4.7: Physikalische Eigenschaften der reagierten NanoFoil[®] im Vergleich zum eutektischen Lot Au20Sn.

	reagierte 40 μm NanoFoil [®]	Au20Sn
Quelle	[87], [172], [173]	[146], [174]
Thermische Leitfähigkeit [W/(m · K)]	25	57
CTE [ppm]	11,5	16,5
Schmelzpunkt [°C]	1638	280
E-Modul [GPa]	196	59,1
G-Modul [GPa]	72	21,1

4.2.1 Chipmontage auf Wärmespreizern

Um die Eignung der NanoFoil[®] für die Chipmontage zu beurteilen, wurde sie zum reaktiven Fügen von Siliziumchips auf metallene Wärmespreizer eingesetzt. Dabei wurden drei verschiedene Wärmespreizer mit einer Dicke von jeweils 1,5 mm verwendet: Kupfer mit einer Nickel-Gold Beschichtung, Kupfer mit einer Nickel-Silber Beschichtung, sowie der Verbundwerkstoff aus 70 % Molybdän und 30 % Kupfer (Mo30Cu) mit einer Nickel-Silber Beschichtung. Außerdem wurde ein LTCC Substrat mit Silbermetallisierung (DP951 mit DP5081 DP5082) als Trägersubstrat verwendet. Als Chip kam Silizium mit einer Cr/Ni/Au Rückseitenmetallisierung zum Einsatz. Es wurden die Scherfestigkeit, der thermische Widerstand, sowie die effektive thermische Leitfähigkeit der reaktiv gefügten Verbindung ermittelt. Zum Vergleich mit konventionellen Fügeverfahren wurde die eutektische Legierung Au20Sn in Kombination mit dem M30Cu Träger und LTCC Träger getestet. Die Folie wurde zwischen Trägersubstrat und Chip platziert. Anschließend wurde mittels Federklammern ein Druck von ca. 2 MPa – 3 MPa ausgeübt. Ein LTCC Plättchen diente dabei als Druckverteilung. Die Initiierung der Reaktion erfolgte über Funkenschlag. Der Fügeaufbau und eine resultierende Probe sind in Abbildung 4.24 dargestellt.

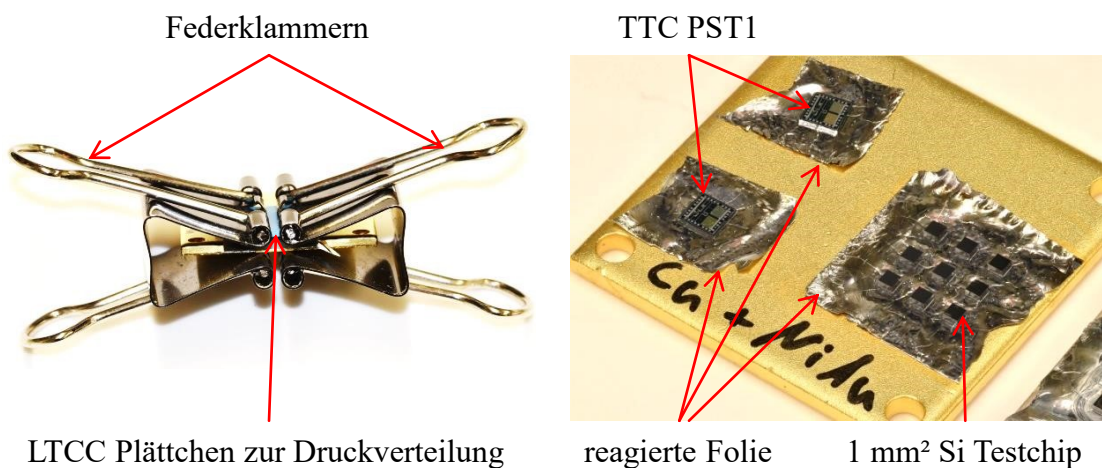


Abbildung 4.24: Links: Aufbau beim Fügen mit Federklammern. Rechts: Kupferträger mit TTC und Testchip für die Ermittlung der Scherfestigkeit.

In Abbildung 4.25 ist ein Querschnitt durch die Verbindungsschicht nach dem Fügen dargestellt. Risse in der reaktierten Folie sind deutlich zu erkennen, welche bei den Aufbauten mit silbermetallisierten Substraten mit Lot aufgefüllt sind, wodurch sich die verbleibende Lotschichtdicke auf einige wenige μm reduziert. Bei der Verwendung eines goldmetallisierten Substrates sind einige Risse nicht aufgefüllt. Dies kann auf eine erhöhte Benetzung der Goldschicht während der Reaktion hinweisen, die das schmelzflüssige Lot bindet und ein Auffüllen der Risse vermindert. Die BLT nach dem Fügen betrug bei allen Proben $46 \mu\text{m} \pm 1 \mu\text{m}$. Die reaktierte Folie ist dabei um 10 % auf $36 \mu\text{m}$ geschrumpft. Ein Teil des Zinns hat die Risse in der reaktierten Folie aufgefüllt, sodass sich die Schichtdicke des Zinns nach dem Prozess auf $5 \mu\text{m}$ beidseitig reduzierte.

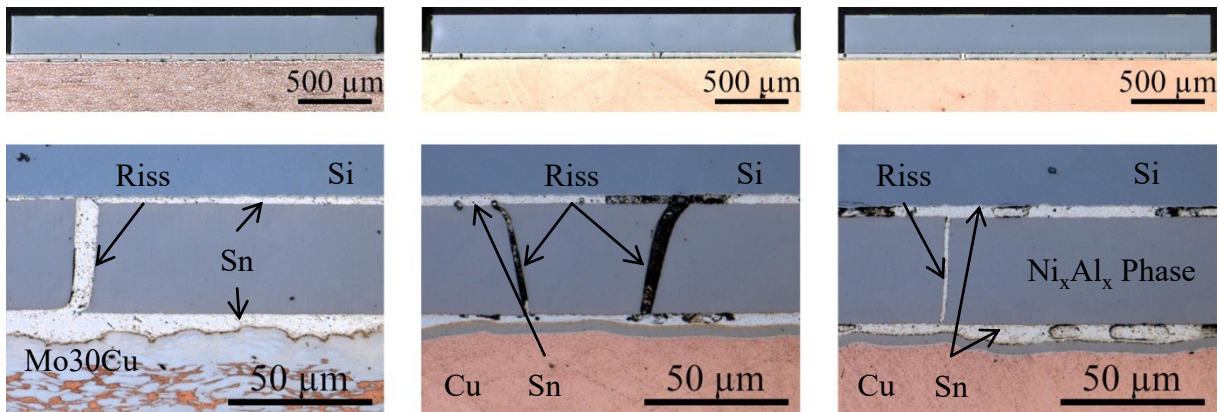


Abbildung 4.25: Verbindungsschicht nach Fügen; Links: Mo30Cu + NiAg Träger, Mitte: Cu + NiAu Träger. Rechts: Cu + NiAg Träger.

4.2.1.1 Scherfestigkeit reaktiv gefügter Chip-Substrat-Verbindungen

Die Verbindung wurde auf Scherbelastung bis zum Bruch mit dem in Abschnitt 4.1.1.2 vorgestellten Schertest untersucht. Hierbei fand ein Siliziumchip mit einer Fläche von 1 mm² und einer Cr/Ni/Au Rückseitenmetallisierung Verwendung. Pro Materialkombination wurden 9 bzw. 10 Proben vermessen. Das Versagen der Verbindung erfolgte vorrangig in der Zinnschicht durch einen Kohäsionsbruch. Dies lässt auf eine gute Benetzung der Chip- und Trägermetallisierung durch das Zinn schließen. Bei dem mit NiAu beschichteten Träger konnte zudem ein Bruch innerhalb der reagierten Folie beobachtet werden. Bei den Aufbauten mit AuSn-Lot führte ein Kohäsionsbruch zum Versagen der Verbindung. In Abbildung 4.26 sind die erzielten Scherfestigkeiten dargestellt.

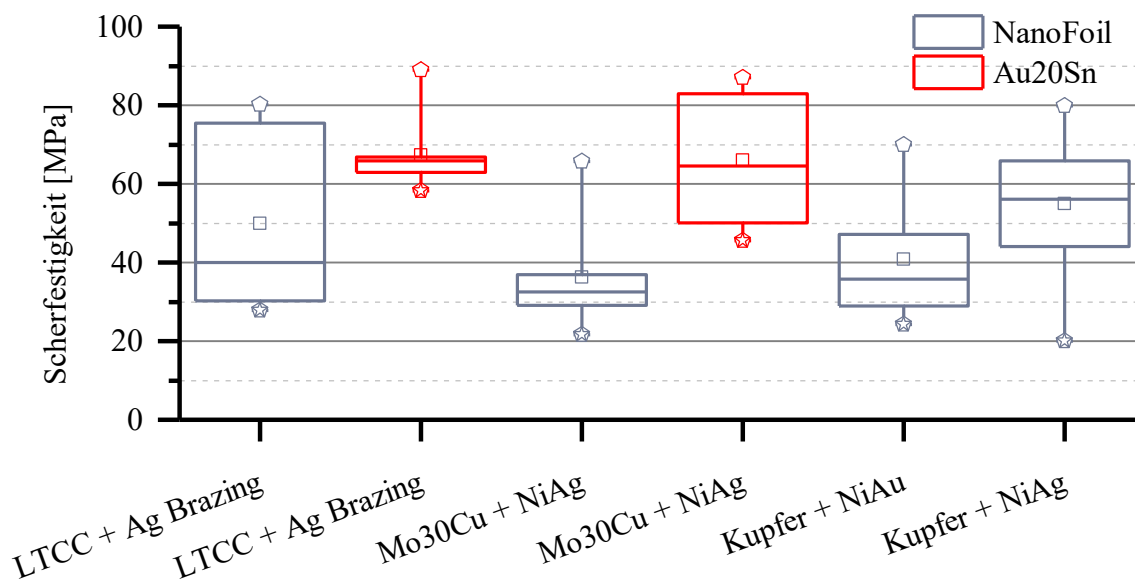


Abbildung 4.26: Boxplot der Scherfestigkeit dargestellt für jede getestete Materialkombination. Es wurden insgesamt 9 bzw. 10 Proben vermessen.

Die minimale gemessene Scherfestigkeit betrug 20 MPa. Damit ist die laut Norm [150] geforderte minimale Scherfestigkeit von 12,1 MPa übertroffen. Dieses Ergebnis zeigt, dass das reaktive Fügen grundsätzlich für die Chipmontage geeignet ist. Die reaktiv gefügten Verbindungen weisen im Vergleich zu den Gold-Zinn gelöteten Verbindungen eine um 45,1 % (Mo30Cu Träger) bzw. 25,8 % (LTCC Träger) geringere Scherfestigkeit auf. Ursächlich hierfür könnten die höhere mechanische Festigkeit der Gold-Zinn Schicht im Vergleich zur reinen Zinnschicht sein [175]. Das schnelle Aufschmelzen gefolgt vom raschen Erstarren der Zinnschicht könnte ebenso zu einer Versprödung der Schicht geführt haben. Der Aufbau mit einem NiAg beschichteten Kupferträger weist die mit 55,0 MPa höchste mittlere Scherfestigkeit auf. Die Verwendung von einem NiAu beschichteten Kupferträger führt hier zu einer Reduzierung der Scherfestigkeit auf 40,8 MPa. Vermutlich führten die nicht aufgefüllten Risse innerhalb der reagierten Folie zu einer Abschwächung der Festigkeit. Mit einem NiAg beschichteten Mo30Cu Träger wurde eine mittlere Scherfestigkeit von 36,2 MPa erreicht. Die Risse sind hier mit Lot aufgefüllt. Allerdings weist die NiAg Beschichtung des Mo30Cu Trägers eine inhomogenere Mikrostruktur auf, als die NiAg Beschichtung des Kupferträgers. Hierdurch wird vermutlich die Benetzbarkeit reduziert, wodurch die Festigkeit der Verbindung absinkt. Die Scherfestigkeit bei Verwendung eines silberbeschichteten LTCC Trägers weist mit 49,9 MPa eine hohe mittlere Scherfestigkeit auf. Diese streut jedoch mit 46,9 % stark. Auch hier unterscheidet sich die Mikrostruktur der Beschichtung stark von der NiAg Beschichtung des Kupferträgers, da es sich bei der LTCC Silberbeschichtung um eine offenporige Dickschicht handelt. Die hohe Streuung der Scherfestigkeit weist hier auf eine ungleichmäßige Benetzung der Dickschichtmetallisierung hin.

4.2.1.2 Thermischer Widerstand und effektive thermische Leitfähigkeit

Die Ermittlung des thermischen Widerstandes erfolgte am thermischen Versuchsstand auf Basis des unter Abschnitt 4.1.1.3 vorgestellten Tests. Als Chip kam der TTC PST1 mit einer Fläche von 6,45 mm² und einer CrNiAu Rückseitenmetallisierung zum Einsatz. Zur Ermittlung des thermischen Widerstandes der Verbindungsschicht wurde das Simulationsmodell aus Abschnitt 4.1.1.3 angepasst. Der Mo30Cu Wärmespreizer wurde durch einen Kupferwärmespreizer ersetzt, das Temperaturfeld simuliert und die effektiven thermischen Widerstände der einzelnen Komponenten errechnet. Die simulierten Temperaturen und berechneten thermischen Widerstände sind in Tabelle 4.8 aufgelistet. Für die Position am Rand des Wärmespreizers ergibt sich demnach ein effektiver thermischer Widerstand 0,95 K/W für Chip, Wärmespreizer und Graphitfolie. Für eine mittlere Position beträgt er 0,92 K/W.

Die gemessenen thermischen Widerstände des gesamten Aufbaus sind in Abbildung 4.27 links dargestellt. Zu Vergleichszwecken wurde zusätzlich ein NiAg beschichteter Mo30Cu Wärmespreizer verwendet. Außerdem ist der thermische Widerstand eines Gold-Zinn gelöteten Aufbaus mit Mo30Cu Wärmespreizer mit dargestellt.

Tabelle 4.8: Auflistung der simulierten Temperaturen der einzelnen Komponenten im thermischen Pfad und deren thermische Widerstände. Der Wärmespreizer bestand aus Kupfer. Die analytisch berechneten Widerstände und deren Abweichung zum simulierten Wert sind mit aufgeführt.

	TTC	TIM	Cu	Graphitfolie
Temperatur [°C]				
TTC am Rand	33,9	31,1	28,7	26,0
TTC in der Mitte	33,5	30,7	28,4	25,7
Thermischer Widerstand [K/W]				
TTC am Rand	0,28	0,24	0,27	0,40
TTC in der Mitte	0,28	0,23	0,27	0,37
Analytische Berechnung	0,30	0,25	0,32	1,27
Fehler [%]	7,1	4,2 – 8,7	18,5	> 100

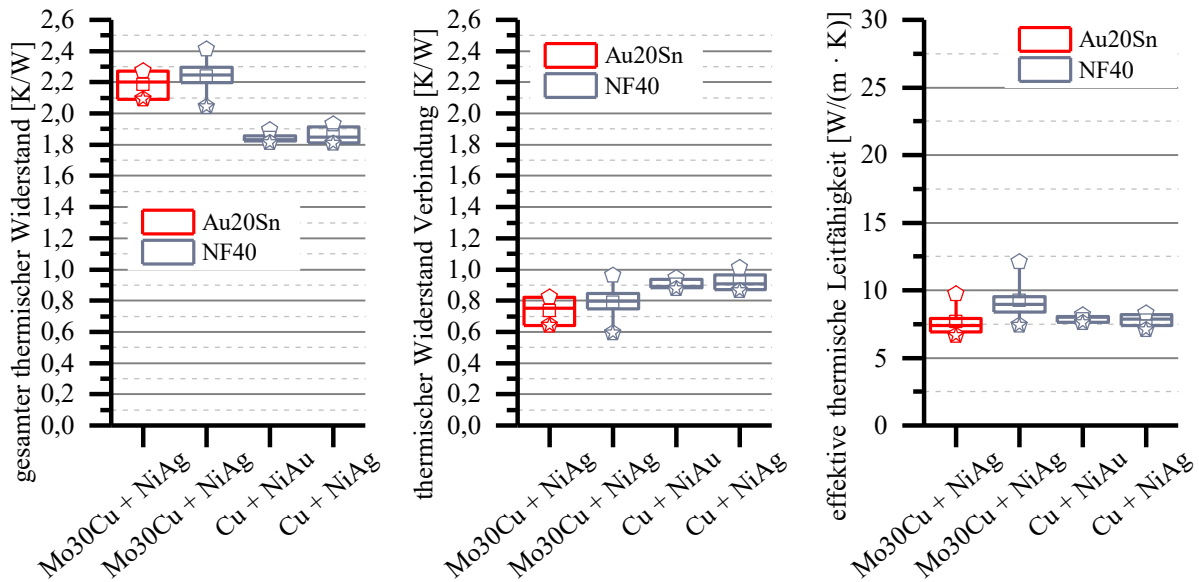


Abbildung 4.27: Boxplot des gesamten thermischen Widerstandes, des thermischen Widerstandes der Verbindungsschicht, sowie der berechneten effektiven thermischen Leitfähigkeit der Verbindungsschicht. Für jede getestete Materialkombination wurden 6 Proben gemessen.

Die BLT der Gold-Zinn Schicht betrug im Mittel $35,3 \mu\text{m} \pm 2,5 \mu\text{m}$. Im Vergleich zum Gold-Zinn Aufbau zeigt der reaktiv gelötete Aufbau einen um $0,05 \text{ K/W}$ höheren thermischen Widerstand. Die Streuung ist jedoch mit $0,08 \text{ K/W}$ bzw. $0,12 \text{ K/W}$ deutlich höher, sodass hier kein signifikanter Unterschied zwischen den beiden Aufbauten vorliegt. Die Verwendung eines Kupferwärmespreizers reduziert im Mittel den thermischen Widerstand des gesamten Aufbaus um $0,39 \text{ K/W}$. Ein signifikanter Unterschied zwischen der NiAg und NiAu Beschichtung konnte dabei nicht festgestellt werden. Die Reduzierung des thermischen Widerstandes beim Wechsel von Mo30Cu ($0,6 \text{ K/W}$) auf Kupfer ($0,27 \text{ K/W}$) korreliert gut mit dem berechneten effektiven thermischen Widerstand der Wärmespreizer. Dieser reduziert sich um $0,33 \text{ K/W}$. Der thermische Widerstand der reagierten Schicht liegt im Mittel zwischen $0,79 \text{ K/W}$ und $0,92 \text{ K/W}$. Ein signifikanter Einfluss des Wärmespreizermaterials und dessen Beschichtung kann nicht festgestellt werden. Die berechnete effektive thermische Leitfähigkeit beträgt im Mittel $7,8 \text{ W}/(\text{m} \cdot \text{K}) - 9,2 \text{ W}/(\text{m} \cdot \text{K})$.

Dies ist 63,2 % – 68,8 % geringer als die angegebene thermische Leitfähigkeit der reagierten Folie. Die Reduzierung der thermischen Leitfähigkeit kann auf den Einfluss der Grenzschichten zwischen Verbindung, Chip und Wärmespreizer zurückgeführt werden, welcher bei der im Datenblatt angegebenen thermischen Leitfähigkeit nicht berücksichtigt ist. Die Gold-Zinn Schicht zeigt eine mit $7,7 \text{ W}/(\text{m} \cdot \text{K})$ deutlich geringere thermische Leitfähigkeit als der Datenblattwert ($57 \text{ W}/(\text{m} \cdot \text{K})$). Auch hier wird die Reduzierung der thermischen Leitfähigkeit durch den Einfluss der Grenzschichten dominiert.

4.2.1.3 Analytische Betrachtung der thermisch induzierten Spannungen

In Aufbauten, die aus Materialien mit unterschiedlichen CTE bestehen, entstehen thermisch induzierte mechanische Spannungen, die mit Zunahme des Temperaturgradientens zwischen Prozesstemperatur und Betriebstemperatur steigen. Diese können ab einem gewissen Wert zu Brüchen im Chip, Verbindungsmaterial bzw. im Substrat führen und limitieren daher die Betriebstemperatur. Bei konventionellen Fügeverfahren steigen die Spannungen in der Abkühlphase des Prozesses ab dem Erstarrungspunkt bzw. der Glasübergangstemperatur des Verbindungsmaterials an. [105]

Bei den vorliegenden, reaktiv gefügten Verbindungen beschränkt sich die Wärmeeinflusszone auf einige $10 \mu\text{m}$ [84], [85]. Zudem ist die Temperaturverteilung des Aufbaus wenige ms nach Initiierung der Reaktion wieder homogen [84], [85]. Hierdurch sind die Spannungen im Aufbau nach dem Fügevorgang nahezu null. Erhöht sich der Temperaturgradient zwischen der Temperatur beim Fügen und der Betriebstemperatur, so steigen die Spannungen im Aufbau an. Die Spannungen im Aufbau können dabei nach dem Modell von Suhir [176], [105] abgeschätzt werden. Das Modell besteht aus einem Chip mit der Dicke d_1 und der Länge $2 \cdot l$, einem Verbindungsmaterial mit der Dicke d_2 und einem Wärmespreizer der Dicke d_3 . Das Modell ist in Abbildung 4.28 schematisch dargestellt.

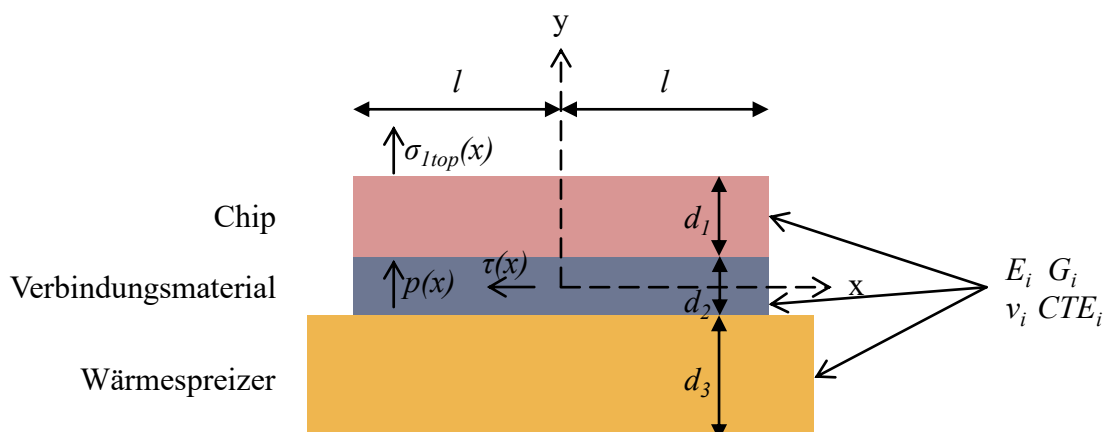


Abbildung 4.28: Schematischer Querschnitt durch das Modell zur Ermittlung der thermisch induzierten Spannungen im Verbindungsmaterial (Scherbelastung $\tau(x)$, Schälspannung $p(x)$), sowie an der Oberseite des Chips (Normalspannung $\sigma_{top}(x)$), modifiziert nach [105].

Es werden die Scherbelastung $\tau(x)$ (Gl. (4.7)) und Schälspannung $p(x)$ (Gl. (4.8)) im Verbindungsmaterial, sowie die Normalspannung an der Oberseite des Chips $\sigma_{1top}(x)$ (Gl. (4.9)) basierend auf den Materialkennwerten (E_i – Elastizitätsmodul, G_i – Schubmodul, ν_i – Poissonzahl, CTE_i) und dem Temperaturgradienten zwischen Betriebs- und Prozesstemperatur berechnet. Das Modell geht dabei von einer homogenen Temperaturverteilung aus.

Scherbelastung des Verbindungsmaterials nach [105], [176]:

$$\tau(x) = k \cdot \frac{\Delta CTE \cdot \Delta T}{\lambda \cdot \cosh(k \cdot l)} \cdot \sinh(k \cdot x) \quad (4.7)$$

mit

$$k = \sqrt{\frac{\lambda}{\kappa}} = \sqrt{\frac{\lambda_1 + \lambda_3 + \lambda_{13}}{\kappa_1 + 2\kappa_2 + \kappa_3}} = \sqrt{\frac{\frac{1 - \nu_1}{E_1 \cdot d_1} + \frac{1 - \nu_3}{E_3 \cdot d_3} + \frac{d^2}{4 \cdot D}}{\frac{d_1}{3G_1} + 2 \frac{d_2}{3G_2} + \frac{d_3}{3G_3}}}$$

$$D = D_1 + D_2 + D_3 = \frac{E_1 \cdot d_1^3}{12 \cdot (1 - \nu_1^2)} + \frac{E_2 \cdot d_2^3}{12 \cdot (1 - \nu_2^2)} + \frac{E_3 \cdot d_3^3}{12 \cdot (1 - \nu_3^2)}$$

$$G_i = \frac{1}{2(1 + \nu_i)} \cdot E_i$$

$$\Delta T = T_{Prozess} - T_{Betrieb}$$

$$\Delta CTE = CTE_3 - CTE_1$$

Schälspannung des Verbindungsmaterials nach [105], [176]:

$$p(x) = -\frac{d_3 \cdot D_1 - d_1 \cdot D_3}{2 \cdot \kappa \cdot D} \cdot \Delta CTE \cdot \Delta T \cdot \frac{\cosh(k \cdot x)}{\cosh(k \cdot l)} \quad (4.8)$$

Normalspannung an der Chipoberseite nach [105], [176]:

$$\sigma_{1top}(x) = -\frac{\Delta CTE \cdot \Delta T}{\lambda \cdot d_1} \cdot \left(1 - 3 \frac{d \cdot D_1}{d_1 \cdot D}\right) \cdot \left(1 - \frac{\cosh(k \cdot x)}{\cosh(k \cdot l)}\right) \quad (4.9)$$

Es werden die Spannungen in einem reaktiv gefügten Aufbau mit stark unterschiedlichen CTE's berechnet und mit den Spannungen in einem konventionell Gold-Zinn gelöteten Aufbau mit angepassten CTE's verglichen. Als Basisgeometrie dienen hierbei die unter Abschnitt 4.2.1.2 untersuchten Aufbauten. Der reaktiv gefügte Aufbau besteht aus einem 1,5 mm dicken Kupferwärmespreizer, einer 50 μm dicken reagierten NanoFoil[®] sowie einem 0,271 mm dicken Siliziumchip. Der konventionell gelötete Aufbau setzt sich aus einem 1,5 mm dicken Mo30Cu Wärmespreizer, einer aufgeschmolzenen, 50 μm dicken Gold-Zinn Schicht, sowie aus dem gleichen Siliziumchip zusammen. Der eutektische Punkt des Lotes lag dabei bei 280 °C. Die Materialkennwerte und Geometrieparameter sind in Tabelle 4.9

aufgelistet. Die Metallisierungen des Chips und des Wärmespreizers sind aufgrund des nur geringen Einflusses auf die Spannungen im Modell vernachlässigt.

Tabelle 4.9: Elastizitätsmodul, Poissonzahl, thermische Ausdehnungskoeffizient, Dicke und Länge der verwendeten Materialien. Da die Verbindungsschicht aus Zinn, Incusil und Ni_3Al_x Phasen besteht, wurden Mischwerte, basierend auf den Volumenanteilen der Zinn, Incusil und der dominierenden NiAl Phase berechnet [87], [172]. *Dieser Wert wurde auf Basis der Volumenanteile von Kupfer und Molybdän im Mo30Cu Träger berechnet.

	Elastizitätsmodul E_i [GPa]	Poissonzahl ν_i	CTE_i [ppm/K]	Dicke & Länge t_i & $2 \cdot l$ [mm]
Kupfer [177]	117	0,34	16,5	1,5 / –
Mo30Cu [177]	240	0,31*	7,5	1,5 / –
Si [105]	187	0,25	2,6	0,271 / 2,54
NF40 + 2 μm Incusil + 10 μm Zn [87], [172]	140,9	0,33	15,4	0,050 / 2,54
Au20Sn [174]	59,1	0,4	16,5	0,050 / 2,54

In Abbildung 4.29 ist links der Verlauf der Spannungen im konventionellen Aufbau bei 22 °C dargestellt. Der Temperaturgradient betrug 258 K. Der Verlauf beginnt in der Mitte des Aufbaus und reicht bis dessen Außenkante. Die Abbildung verdeutlicht, dass die Belastungen des Verbindungsmaterials in der Mitte des Aufbaus minimal sind und zur Außenkante des Aufbaus ansteigen. Die Belastung des Chips ist dagegen in der Aufbaumitte maximal und nimmt zur Außenkante hin ab. In der gleichen Abbildung sind rechts die Maximalwerte der Spannungen in den beiden Aufbauten in Abhängigkeit von der Betriebstemperatur dargestellt.

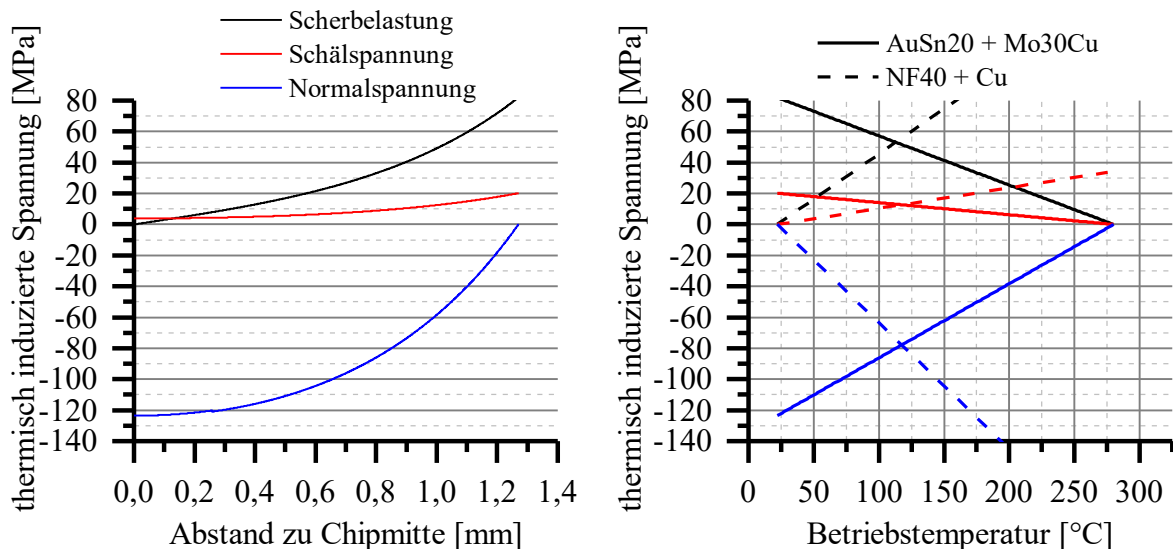


Abbildung 4.29: Links: Thermisch induzierte mechanische Spannungen von Gold – Zinn gelötetem Si Chip auf Mo30Cu bei 22 °C, $\Delta T = 258$ K, Verlauf entlang des Querschnitts. Rechts: Vergleich der thermisch induzierten Spannungen in zwei verschiedenen Aufbauten in Abhängigkeit der Betriebstemperatur. Es sind die Maximalwerte der Spannungen dargestellt. Die durchgezogenen Linien stellen das Package mit einem Gold – Zinn gelöteten Si Chip auf Mo30Cu dar. Die gestrichelten Linien zeigen die Spannungen in einem reaktiv gefügten Package, bestehend aus Si Chip, 50 μm reagiertem Material und Kupfer. Die Spannungen des reaktiv gefügten Packages wurden zur einfacheren Vergleichbarkeit mit -1 multipliziert.

Beim konventionell gelöteten Aufbau steigen diese mit Absenken der Betriebstemperatur betragsmäßig an. Der reaktiv gefügte Aufbau zeigt einen gegensätzlichen Verlauf. Hier steigen die Spannungen betragsmäßig mit steigender Betriebstemperatur an. Der Vergleich beider Aufbauten zeigt, dass bis zu einer Betriebstemperatur von 110 °C die Spannungen im reaktiv gefügten Aufbau trotz stark unterschiedlichen CTE's kleiner sind, als im konventionell gelöteten Aufbau. Beim Vergleich der Scherbelastung mit der gemessenen Scherfestigkeit der reaktiv gefügten Verbindung ($55 \text{ MPa} \pm 18,2 \text{ MPa}$) ergibt sich eine maximal zulässige Betriebstemperatur von 84 °C für den modellierten Aufbau.

4.2.2 LTCC Montage auf Kupferwärmespreizern

Neben der Chipmontage eignet sich das reaktive Löten auch für die Montage der LTCC auf den Kupferwärmespreizer. In Abbildung 4.30 sind reaktiv gefügte LTCC-Kupfer-Verbindungen mit Abmessungen von 1 mm x 1 mm bis zu 24,4 mm x 16,2 mm gezeigt. Die LTCC Substrate verfügten über eine vollflächige Silber- bzw. Goldmetallisierung (DuPont Ag Brazing DP5081 DP5082 bzw. Au Brazing DP5062 DP5063). Der 1,5 mm dicke Kupferwärmespreizer war mit einem NiAg Metallisierung versehen. Für den Fügeprozess wurde die bereits beschriebene 40 µm dicke, mit Incusil und Zinn beschichtete NanoFoil[®] verwendet. Diese wurde zwischen Kupfer und LTCC platziert und ein Druck von 0,4 MPa bis 3 MPa mittels eines Platziergerätes (Fineplacer Pico, Finetech GmbH & Co. KG) bzw. durch Federklammern ausgeübt. Das Platziergerät ermöglichte dabei eine maximale Bondkraft von 150 N. Nach Erreichen des Fügedrucks wurde die Folie mittels Funkenschlag gezündet. Die freigesetzte Wärme schmolz das Lot auf, welches die Metallisierungen beider Bauteile benetzte und diese dadurch verband.

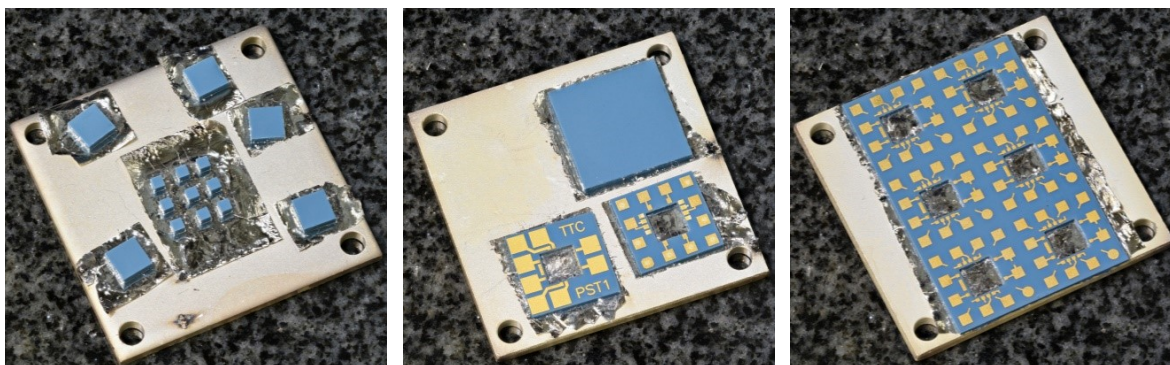


Abbildung 4.30: Reaktiv gefügte LTCC-Kupfer-Verbindungen. Links: 1 mm² und 9 mm² LTCC Proben. Mitte: 7,8 mm x 7,6 mm bis 10 mm x 10 mm messende Aufbauten. Rechts: 24,4 mm x 16,2 mm messender Aufbau.

In Abbildung 4.31 ist ein Querschliff durch den reaktiv gefügten LTCC-Kupfer-Verbund dargestellt. Die Probe wurde mit 1,5 MPa gefügt. Mikrorisse in der reagierten Folie sind erkennbar. Diese sind partiell durch Zinn aufgefüllt. Zudem sind Lunker in den beiden Zinnschichten zu erkennen. Die BLT betrug $54 \mu\text{m} \pm 2 \mu\text{m}$, woran die reagierte Folie einen Anteil von $38 \mu\text{m} \pm 1 \mu\text{m}$ hatte.

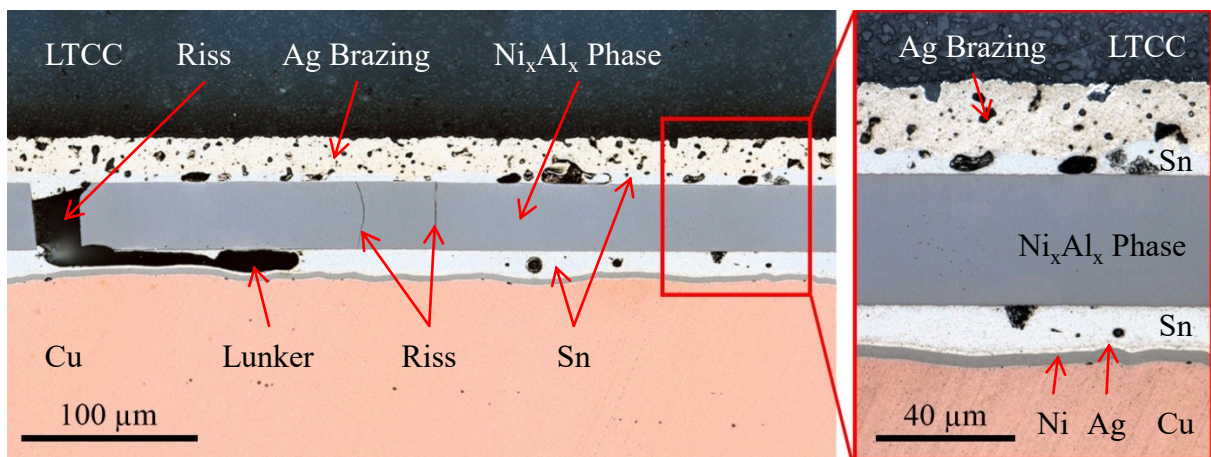


Abbildung 4.31: Querschliff durch LTCC-Kupfer-Verbund, gefügt bei 1,5 MPa. Lunker in den Zinnschichten sind zu erkennen. Die BLT beträgt $54 \mu\text{m} \pm 2 \mu\text{m}$, wobei die reagierte Folie eine Dicke von $38 \mu\text{m} \pm 1 \mu\text{m}$ aufweist.

4.2.2.1 Festigkeit reaktiv gefügter LTCC-Kupfer-Verbindungen

Zur Quantifizierung der Festigkeit reaktiv gefügter LTCC-Kupfer-Verbindungen wurden 0,8 mm dicke LTCC Substrate an 1,5 mm dicke Kupfersubstrate bei Raumtemperatur gefügt. Hierfür wurde die bereits beschriebene NanoFoil[®] verwendet. Die LTCC Substrate verfügten über eine vollflächige Silbermetallisierung (DuPont Ag Brazing DP5081 DP5082). Die Kupferträger waren mit einer NiAg Metallisierung versehen.

Scherfestigkeit

Die Scherfestigkeit wurden anhand von quadratischen LTCC Substraten mit einer Fläche von 1 mm², 4 mm² und 9 mm² ermittelt, die auf Kupfersubstraten mit der in Abschnitt 4.2.1 bereits beschriebenen Methode gefügt wurden. Dabei betrug der Fügedruck bei allen Proben 3 MPa und wurde über Federklammern appliziert. Die Scherfestigkeit der LTCC-Kupfer-Verbindungen wurde wie im Abschnitt 4.2.1.1 beschrieben an jeweils neun Proben ermittelt. Die mechanische Stabilität des Schermeißels begrenzte dabei die Scherkraft auf 200 N. Alle 9 mm² Proben widerstanden diesem Limit, sodass die Scherfestigkeit dieser Proben größer als 22,2 MPa war.

In Abbildung 4.32 sind die ermittelten Scherfestigkeiten der 1 mm² bzw. 4 mm² Proben als Boxplot dargestellt. Die mittlere Scherfestigkeit betrug dabei 19,6 MPa (1 mm²) bzw. 31,5 MPa (4 mm²) und streute um 55 % bzw. 33 %. Der Bruch verlief bei allen Proben in der Zinnschicht zwischen der Metallisierung der LTCC und der reagierten Folie. Dieselbe Abbildung zeigt zudem Fotografien der Bruchstelle auf der Seite der reagierten Folien. Dabei ist ersichtlich, dass bei Proben mit geringer Scherfestigkeit nur eine Teilfläche eine Verbindung mit der Metallisierung der LTCC eingegangen ist. Dies deutet auf eine ungleichmäßige Benetzung der Metallisierung der LTCC hin.

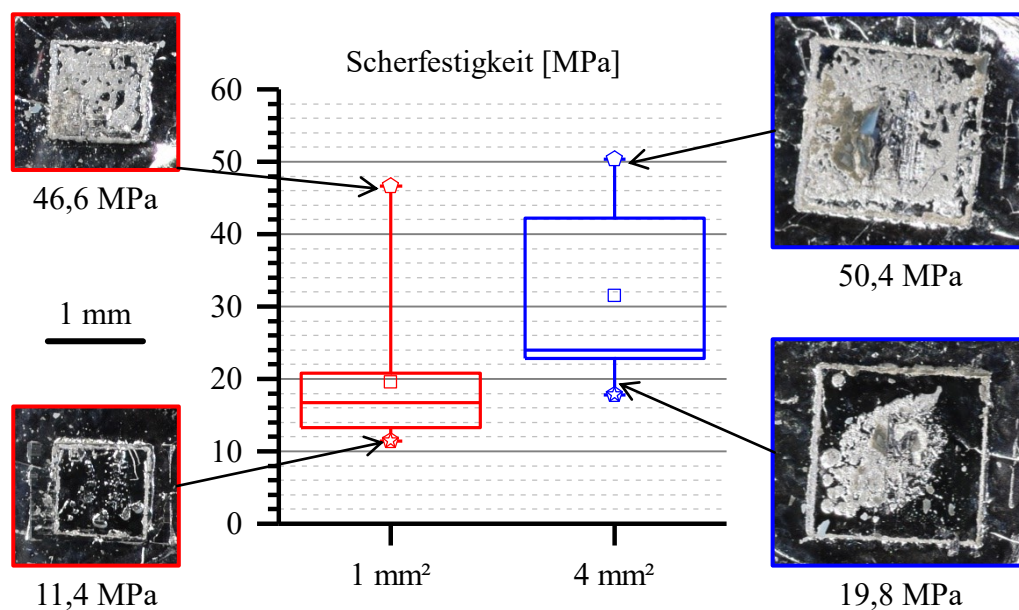


Abbildung 4.32: Scherfestigkeit der 1 mm² und 4 mm² messenden, reaktiv gefügten LTCC-Kupfer-Verbindungen, dargestellt als Boxplot. Links und rechts sind jeweils Fotografien der Proben nach dem Schertest dargestellt, wobei die Bilder die Bruchstelle auf der Seite der reagierten Folie zeigen. Dabei ist ersichtlich, dass bei Proben mit geringer Scherfestigkeit nur eine Teilfläche eine Verbindung mit der Metallisierung der LTCC eingegangen ist.

Zugfestigkeit

Zur Ermittlung der Zugfestigkeit des LTCC-Kupfer-Verbundes wurden 100 mm² messende LTCC Substrate an Kupfersubstrate gefügt. Der Fügedruck betrug 1,5 MPa und wurde mit einem Platziergerät generiert. An den gefügten Verbund wurden Aluminiumbolzen mit einem Epoxid (EHAJ, iKTZ innovative Klebtechnik Zimmermann, Jena) geklebt. Das Epoxid härtete bei Raumtemperatur aus. Die Aluminiumbolzen dienten der Arretierung in der verwendeten Zugmaschine. In einem Zugversuch wurden fünf Proben bis zum Bruch belastet. Der Bruch erfolgte bei Zugkräften von 1,2 kN bis 2,5 kN und verlief bei allen Proben in der Epoxidschicht zwischen dem Aluminiumbolzen und der LTCC. Somit limitierte die Kleberschicht die maximal mögliche Zugkraft. Die reaktiv gefügte Verbindung zwischen LTCC und Kupfer blieb bei dem Zugversuch unbeschädigt. Ausgehend von der maximal gemessenen Zugkraft von 2,5 kN und der Bondfläche von 100 mm² ist die Zugfestigkeit des LTCC-Kupfer-Verbundes größer als 25 MPa.

4.2.2.2 Hermetizität des reaktiv gelöteten LTCC-Kupfer-Verbundes

Die reaktiv gefügten Verbindungen wurde hinsichtlich ihrer Hermetizität mittels dem in Abschnitt 4.1.1.5 beschriebenen Verfahren untersucht. Dabei zeigten 6 von 6 Proben eine Leckrate $> 1 \cdot 10^{-5}$ mbar · l/s. Somit ist der Verbund nicht hermetisch dicht. Die Wahrscheinlichkeit eines durchgehenden Mikrokanals, hervorgerufen durch die Risse in der reagierten Folie und Lunker in den Zinnschichten, ist dabei als hoch zu bewerten, vgl. Abbildung 4.31.

4.2.3 Zusammenfassung der Ergebnisse

Das reaktive Fügen bietet die Möglichkeit, Materialien mit stark unterschiedlichen CTE wie Silizium und Kupfer zu fügen. Im direkten Vergleich zu einem konventionell gelöteten Aufbau mit angepassten CTE's konnte eine Reduzierung des thermischen Widerstandes des Aufbaus um 15,3 % durch die Verwendung eines Kupferwärmespreizers erreicht werden. Der Prozess ist mit einer Scherfestigkeit der Verbindung von > 20 MPa für die Chipmontage geeignet. Die analytische Betrachtung der thermisch induzierten mechanischen Spannungen zeigt zudem, dass die Spannungen im reaktiven gefügten Aufbau bis zu einer Betriebstemperatur von 110 °C geringer sind, als im konventionell gelöteten Aufbau. Durch gezieltes Abkühlen bzw. Erwärmen des Packages auf die Betriebstemperatur während des Fügens könnten die Spannungen noch weiter minimiert werden. Damit stellt dieses Verfahren eine mögliche alternative Chipmontage-technologie zu konventionellen Fügeprozessen dar. Zudem eignet sich das Verfahren auch zur Montage eines mit Ag Brazing metallisierten LTCC Substrates auf einem NiAg metallisierten Kupferwärmespreizer. Hierbei werden Scherfestigkeiten von $11,4$ MPa bis $50,4$ MPa und eine Zugfestigkeit > 25 MPa erreicht. Zum zeitgleichen Fügung von Chip und LTCC Substrat ist eventuell ein an die Dicken der Komponenten angepasstes Fügwerkzeug erforderlich.

5 Passive Wärmeableitung im Schaltungsträger

5.1 Thermische Vias unter dem Aspekt der Hermetizität

5.1.1 Einflussfaktoren

Bei der Realisierung von thermischen Vias sind neben dem maximal zulässigen Metallisierungsgrad von ca. 20 % auch die Hermetizität der Anordnung zu beachten. Vias in der LTCC Technologie haben einen hohen Metallanteil um eine gute elektrische Leitfähigkeit zu gewährleisten. Dies bedingt einen reduzierten Glasanteil im Material und erschwert dadurch die stoffschlüssige Verbindung zwischen Keramikwand und Via. Dies birgt die Gefahr von Mikrokanälen in Richtung des Vias, was zu einer Undichtigkeit im Substrat an der Stelle des Vias führen könnte. In [178] wurde gezeigt, dass bei thermischen Vias aus Gold durch eine Erhöhung der Lagenanzahl und einem alternierenden Viadurchmesser eine Verringerung der Fehlerquote erreicht wird. Im Rahmen dieser Arbeit wird der Einfluss von Viametallisierung, Viadurchmesser, Lagenanzahl sowie Fangpads auf die Hermetizität der Vianordnung bewertet. Dafür werden $14 \times 14 \text{ mm}^2$ große LTCC Substrate mit 25 Vias pro Lage versehen. Diese sind dabei in einer 5×5 Matrix angeordnet und haben einen Abstand von $500 \mu\text{m}$ zueinander. Die Vias sind sowohl auf der Ober- als auch auf der Unterseite des Substrates mit einer $3 \times 3 \times 0,03 \text{ mm}^3$ großen Metallisierung bedeckt. Der Viadurchmesser alterniert von Lage zu Lage (d_{v1} & d_{v2}) und variiert dabei von $131 \mu\text{m}$ bis $261 \mu\text{m}$, wodurch sich ein Viaüberlapp OL von $(d_{v1} - d_{v2})/2$ ergibt. Insgesamt sieben verschiedene Varianten werden dabei getestet. Es werden sowohl Substrate mit 2 Lagen DP951 PX als auch Substrate mit 4 Lagen DP951 PX mit einer Gesamtdicke von $426 \mu\text{m}$ bzw. $853 \mu\text{m}$ erstellt. In Abbildung 5.1 ist der schematische Querschnitt des Aufbaus dargestellt.

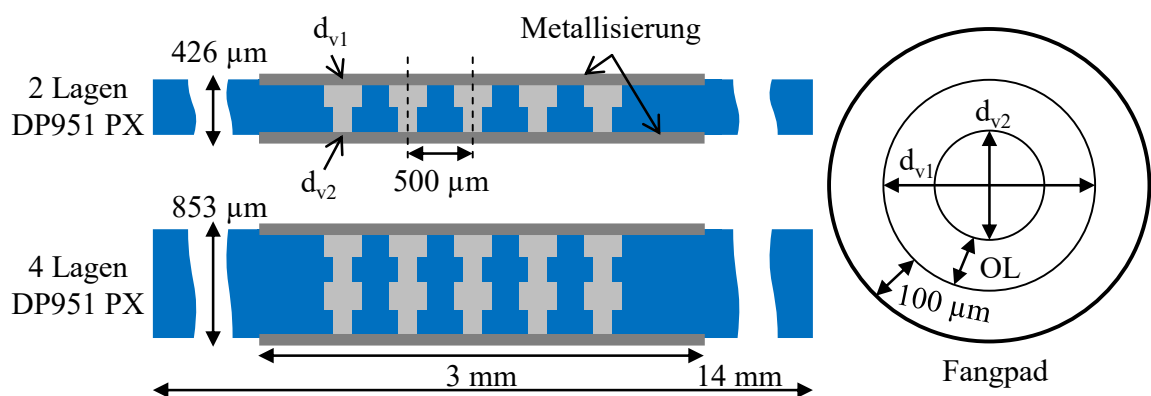


Abbildung 5.1: Links: Schematischer Querschnitt durch alternierende Via Struktur. Rechts: Geometrie des Fangpads.

Neben Vias aus Silber werden auch Vias aus Gold untersucht. Zusätzlich sind bei einigen Proben Fangpads zwischen den Vias mit einem $100 \mu\text{m}$ großem Überlapp integriert. Die Auswahl der Metallisierung von Fangpad sowie der Ober- und Unterseite folgt dabei Herstellerempfehlungen. In Tabelle 5.1 sind die Einflussfaktoren und deren Ausprägung

aufgelistet. Der Metallisierungsgrad ergibt sich aus dem Volumenanteil der Vias im Verhältnis zum Gesamtvolumen des Substrates im Bereich der Ober- und Unterseitenmetallisierung. Pro Lagenanzahl und Viametallisierung sind insgesamt 3 Substrate mit Standard LTCC Technologie hergestellt worden (vgl. Abschnitt 3.1). Dabei war pro Substrat jede Viakonfiguration mit bzw. ohne Fangpads einmal vorhanden. Es wurde die freie Sinterung ohne zusätzlichen Druck verwendet. Die Ober- und Unterseitenmetallisierung wurde nach dem Einbrand in mehreren Postfire Schritten erstellt. Zur Bewertung des Einflusses der Metallisierung wurden 2 lagige LTCC Module mit Silbervias und ohne Metallisierung verwendet.

Tabelle 5.1: Einflussfaktoren und deren Ausprägung.

Einflussfaktor	Ausprägung						
Viadurchmesser d_{v1} [μm]	261	261	261	261	218	218	174
Viadurchmesser d_{v2} [μm]	261	218	174	131	174	131	131
Viaüberlapp OL [μm]	0	21,5	43,5	65	22	43,5	21,5
Metallisierungsgrad [%]	15	13	11	9	8	7	5
Viakonfiguration	V1	V2	V3	V4	V5	V6	V7
Lagenanzahl	2 Lagen DP951 PX			4 Lagen DP951 PX			
Fangpad	ja			nein			
Metallisierungssystem	Silber			Gold			
Viafüllmaterial	DP 6141			DP 5738			
Fangpad Metallisierung	DP 6145			DP 5740A			
Ober- und Unterseitenmetallisierung	DP 5081 + DP 5082 keine			DP 5062 + DP 5063			

In Abbildung 5.2 sind hergestellte Module mit Silber- bzw. Goldmetallisierung gezeigt. Zudem ist auch ein Modul mit Silbervias ohne Ober- und Unterseitenmetallisierung dargestellt.

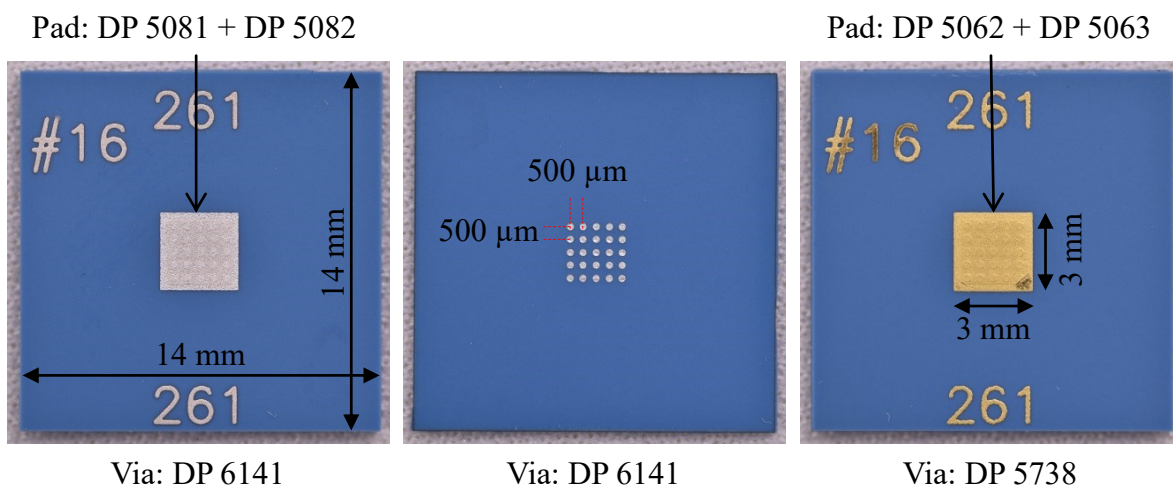


Abbildung 5.2: LTCC Module zur Ermittlung der Hermetizität von Vias. Das linke Modul ist im Silbersystem metallisiert. Das mittlere Modul ist ebenfalls im Silbersystem metallisiert, verfügt jedoch nicht über Ober- und Unterseitenmetallisierung. Das rechte Modul ist im Goldsystem metallisiert.

5.1.2 Ermittlung der Hermetizität mittels Heliumlecktest

Die Ermittlung der Hermetizität erfolgte mit der gleichen Methode, wie sie bereits in Abschnitt 4.1.1.5 dargestellt wurde. Auch hier wurde die zu testende Probe mittels Adapter zwischen zwei O-Ringe gepresst und auf einer Probenseite evakuiert. Nach Generierung einer Heliumatmosphäre kann Helium durch mögliche Mikrokanäle im Substrat / Via in den evakuierten Bereich strömen. Das an das Vakuum angeschlossene, heliumsensitive Massenspektrometer detektiert dabei das einströmende Helium. Auch hier galten Proben mit einer Leckrate $> 1 \cdot 10^{-8}$ (mbar · l)/s als nicht hermetisch dicht. In Abbildung 5.3 ist links der Versuchsaufbau schematisch, mittig die Vorrichtung zur Probenaufnahme und rechts die Generierung der Heliumatmosphäre dargestellt. Die Hermetizität des Aufbaus wurde vor jeder Messung mit einer hermetisch dichten, keramischen Referenzprobe überprüft. Die dabei ermittelte Leckrate stellte die Referenzleckrate für die nachfolgende Messung dar.

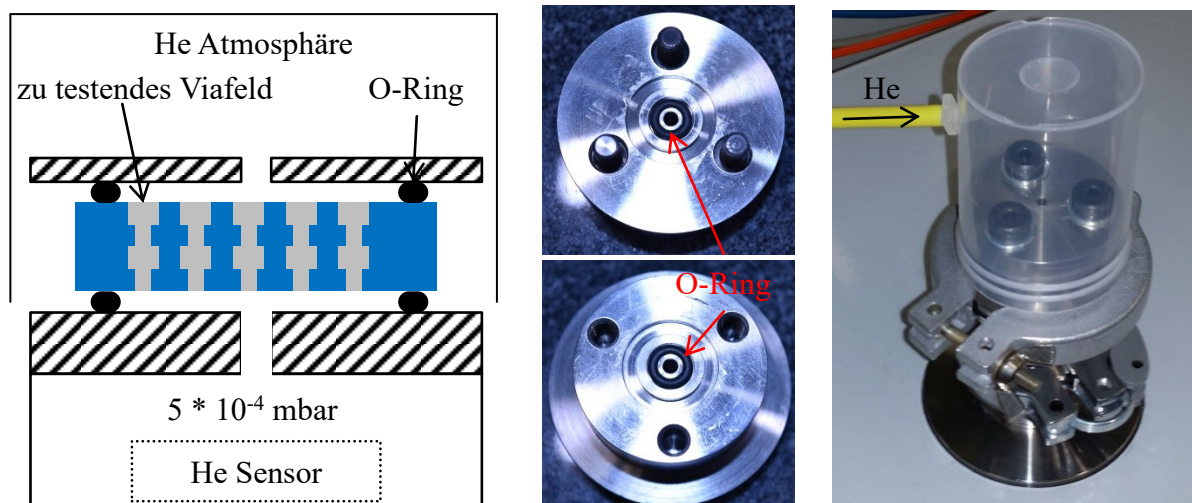


Abbildung 5.3: Links: Schematischer Aufbau des Lecktest. Mitte: Vorrichtung zur Klemmung der Probe zwischen zwei O-Ringen. Rechts: Generierung der Heliumatmosphäre.

Bei der Auswertung der Leckraten erfolgt eine Klassifizierung in *dicht* (grün) und *nicht dicht* (rot) anhand des genannten Ausfallkriteriums. Unabhängig von der Leckrate konnte jede getestete Probe den Prüfdruck aufrechterhalten, sodass größere Lecks im Aufbau bzw. der Probe selbst ausgeschlossen werden konnten. Weiterhin wird die Auswertung separat für jede Variation der Lagenanzahl und jedes Metallisierungssystem durchgeführt.

Auswertung Silbersystem

In Abbildung 5.4 ist die Auswertung der Hermetizität von LTCC Modulen mit Vias im Silbersystem dargestellt. Es zeigt sich, dass die Viakonfiguration V1 mit einem Viadurchmesser von $261 \mu\text{m}$ in allen Lagen unabhängig von der Lagenzahl hermetisch dicht ist. Eine signifikante Abhängigkeit der Hermetizität von Fangpads und Viakonfiguration kann den Messdaten hingegen nicht entnommen werden. Der Vergleich zwischen den zweilagigen Modulen mit und ohne Ober- und Unterseitenmetallisierung zeigt zudem, dass die

Oberflächenmetallisierung nicht zu einer Verbesserung der Hermetizität führt. Eine Verdopplung der Lagenanzahl führt hingegen zu einer geringeren Fehlerquote.

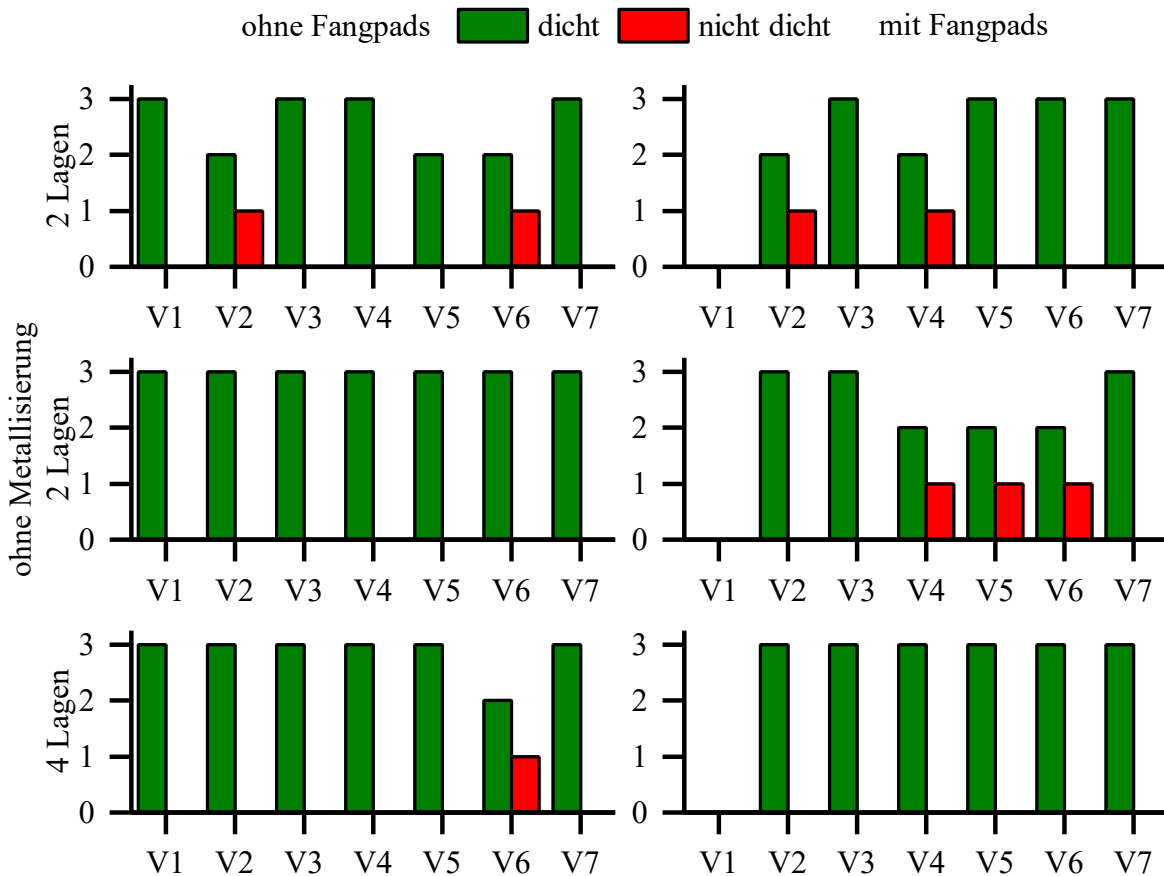


Abbildung 5.4: Auswertung der Hermetizität von LTCC Modulen mit Vias im Silbersystem. Die Graphen in der linken Spalte stellen die Ergebnisse für die Proben ohne Fangpads, die in der rechten Spalte mit Fangpads dar. Die erste und zweite Zeile enthalten dabei die Ergebnisse von zweilagigen Modulen mit Metallisierung bzw. ohne Metallisierung. In der dritten Zeile sind die Ergebnisse von vierlagigen Modulen mit Metallisierung dargestellt. Pro Viakonfiguration (V1 – V7) wurden drei Proben getestet. Grün steht bei der Auswertung für dicht und rot für nicht dicht.

Die Ergebnisse legen den Schluss nahe, dass die Ursachen der Leckagen nicht systematischer sondern stochastischer Natur sind.

Systematische Fehler betreffen zumeist das ganze Substrat. Sie können durch Viafüllpasten hervorgerufen werden, die in ihrem Sinterverhalten und ihrer Materialzusammensetzung nicht an das verwendete LTCC angepasst sind. Weiterhin kann ein stumpfer Stanzstift eine höhere mechanische Belastung der LTCC Folie verursachen, was bei einem feinen Viapitch mitunter Risse in der Folie zur Folge haben kann. Des Weiteren kann eine gealterte Viafüllpaste ihre rheologischen Eigenschaften verändern, was zu einem fehlerhaften Füllprozess führen kann. Selbiger kann auch unpassend eingestellt sein, was eine Unterfüllung bzw. Überfüllung der Vias bedingt. Stochastische Fehlerquellen sind in den Schwankungen der verwendeten Prozesse zu finden. Als besonders kritisch sind hierbei der Viafüllprozess und die dabei verwendete Paste zu bewerten. Die Paste wird vor Prozessbeginn homogenisiert, um definierte rheologische Eigenschaften der Paste und eine homogene

Materialzusammensetzung zu generieren. Danach wird die Paste in die Anlage gebracht. Eine Agglomeration der in der Paste enthaltenen Partikel kann während der Einbringung und des Füllprozesses jedoch nie ganz ausgeschlossen werden. Dies kann zu einem ungleichmäßigen Füllergebnis führen, was unterfüllte Vias in einigen Bereichen des Substrates zur Folge haben kann. Unterfüllte Vias können dabei zur Bildung von Mikrokanälen während der Sinterung und damit zum Verlust der Hermetizität führen. Dieser stochastische Fehler betrifft dabei jede einzelne Lage des Substrates. Mit steigender Lagenanzahl sinkt demnach die Wahrscheinlichkeit eines durchgängigen Mikrokanals.

In Abbildung 5.5 ist ein Querschliff durch einen vierlagigen Viaaufbau mit der Konfiguration V4 ohne Fangpads (links) und mit Fangpads (rechts) dargestellt. Der Querschliff zeigt, dass das Viafüllmaterial DP 6141 dicht sintert, wobei sich eine Porenbildung im Randbereich zeigt. Das Fangpad weist hingegen eine größere Porenanzahl auf. Zudem besteht zwischen Via und LTCC ein Formschluss. Die geringe Porenanzahl und der Formschluss verringern die Wahrscheinlichkeit eines durchgehenden Mikrokanals, was sich in den Messergebnissen widerspiegelt.

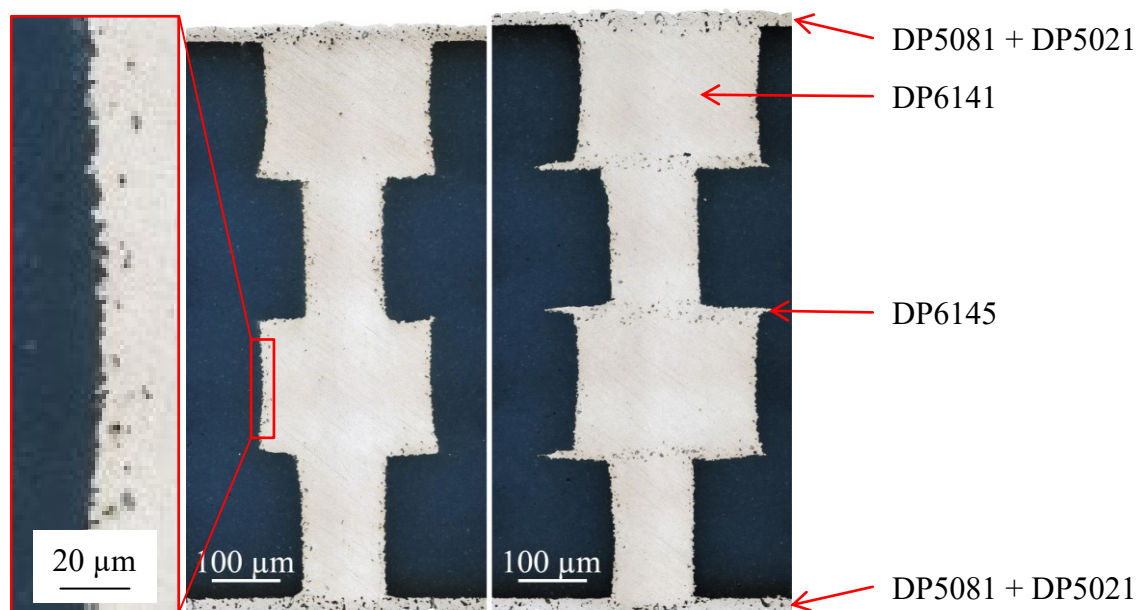


Abbildung 5.5: Querschliff durch vierlagigen Viaaufbau mit der Konfiguration V4. Links ist der Aufbau ohne und rechts mit Fangpads abgebildet.

Basierend auf diesen Ergebnissen können für das Design von thermischen Vias aus Silber (DP 6141) unter dem Aspekt der Hermetizität folgende Empfehlungen erteilt werden:

- Anzahl der Lagen: ≥ 2 , besser jedoch 4 oder mehr
- Viadurchmesser kann in allen Lagen gleich sein
- Fangpads nur bei entsprechend kleinem Viadurchmesser zur Kompensation von Stapeltoleranzen notwendig
- Oberflächenmetallisierung für Hermetizität nicht notwendig
- Aspektverhältnis zwischen Lagendicke und Viadurchmesser kann bis zu 1,2 betragen

Auswertung Goldsystem

Bei der Verwendung von Gold als Metallisierungssystem zeigt sich eine deutliche Abhängigkeit der Hermetizität von Fangpad, Viakonfiguration und Lagenanzahl, wie aus Abbildung 5.6 ersichtlich wird. So sind alle zwei- und vierlagigen Substrate ohne Fangpads bis auf eine Ausnahme nicht hermetisch. Die Verwendung von Fangpads verringert die Fehlerquote geringfügig. Die Verdopplung der Lagenanzahl wirkt sich zudem positiv auf die Hermetizität aus. Keinen Ausfall gab es dabei in einem 4 lagigem Substrat mit Fangpads und einem Viaüberlapp von $65\ \mu\text{m}$ (V4) bzw. $43,5\ \mu\text{m}$ (V6).

Die Fehlermechanismen sind hier vermutlich sowohl systematischer als auch stochastischer Natur. Im Datenblatt der auf Gold basierenden Viafüllpaste ist ein Widerstand von $3\ \text{m}\Omega$ für ein Via mit einem Durchmesser von $220\ \mu\text{m}$ und einer Höhe von $100\ \mu\text{m}$ angegeben [179]. Ein Via aus Silber mit den gleichen Dimensionen erreicht laut Datenblatt ebenfalls $3\ \text{m}\Omega$ [180]. Da reines Gold nur etwa 74 % der spezifischen elektrischen Leitfähigkeit von reinem Silber besitzt, ist vermutlich der Metallanteil der Goldpaste höher als der der Silberpaste. Ein höherer Metallanteil bedingt dabei einen geringeren Glasanteil in der Paste. Das kann, wie im vorherigen Abschnitt schon beschrieben, zur Verschlechterung der stoffschlüssigen Verbindung zwischen Keramikwand und Via und damit zur Bildung von Mikrokanälen führen. Dieser Fehlermechanismus ist sowohl systematischer als auch stochastischer Natur, da die Ausbildung der Mikrokanäle von der lokalen Materialzusammensetzung der Viafüllpaste beeinflusst wird. Wie in [178] beschrieben, kann ein alternierender Viadurchmesser die Fehlerquote senken. Mikrokanäle entlang einer Viawand enden dabei am Übergang vom großen zum kleinen Durchmesser im keramischen Grundmaterial. Die Ausbildung von lateral verlaufenden Mikrokanälen in der Grenzregion zweier Vias wird dabei durch die Verwendung von Fangpads noch erschwert.

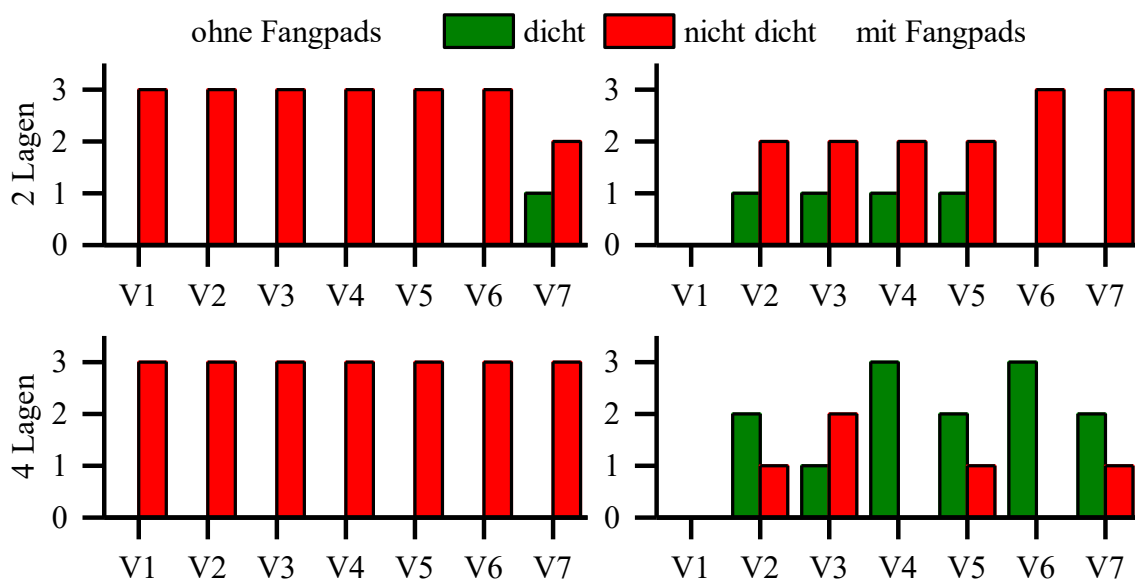


Abbildung 5.6 Auswertung der Hermetizität von LTCC Modulen mit Vias im Goldsystem. Die Graphen in der linken Spalte stellen die Ergebnisse für die Proben ohne Fangpads, die in der rechten Spalte mit Fangpads dar. Die erste Zeile enthält dabei die Ergebnisse von zweilagigen Modulen. In der zweiten Zeile sind die Ergebnisse von vierlagigen Modulen dargestellt. Pro Viakonfiguration (V1 – V7) wurden drei Proben getestet. Grün steht bei der Auswertung für dicht und rot für nicht dicht.

5.1.3 Thermischer Widerstand alternierender Via Strukturen

Zur Evaluierung des thermischen Widerstandes der LTCC Module mit thermischen Vias wird der TTC PST1 verwendet. Dieser wurde mit einem silbergefüllten Leitkleber (DM6030, vgl. Abschnitt 4.1) auf den Ag Dickschichtwärmespreizer montiert und mit einem Epoxid verkapselt. Die elektrische Kontaktierung des Chips erfolgte mit einem LTCC Verdrahtungsträger, der auf das LTCC Modul geklebt wurde. Der thermische Widerstand der Anordnung wurde im gleichen Verfahren, wie in Abschnitt 4.1.1.3 erläutert, gemessen. In Abbildung 5.8 ist der schematische Querschnitt, eine Fotografie des LTCC Moduls mit verkapseltem TTC und Verdrahtungsträger sowie das thermische Ersatzschaltbild der Anordnung dargestellt.

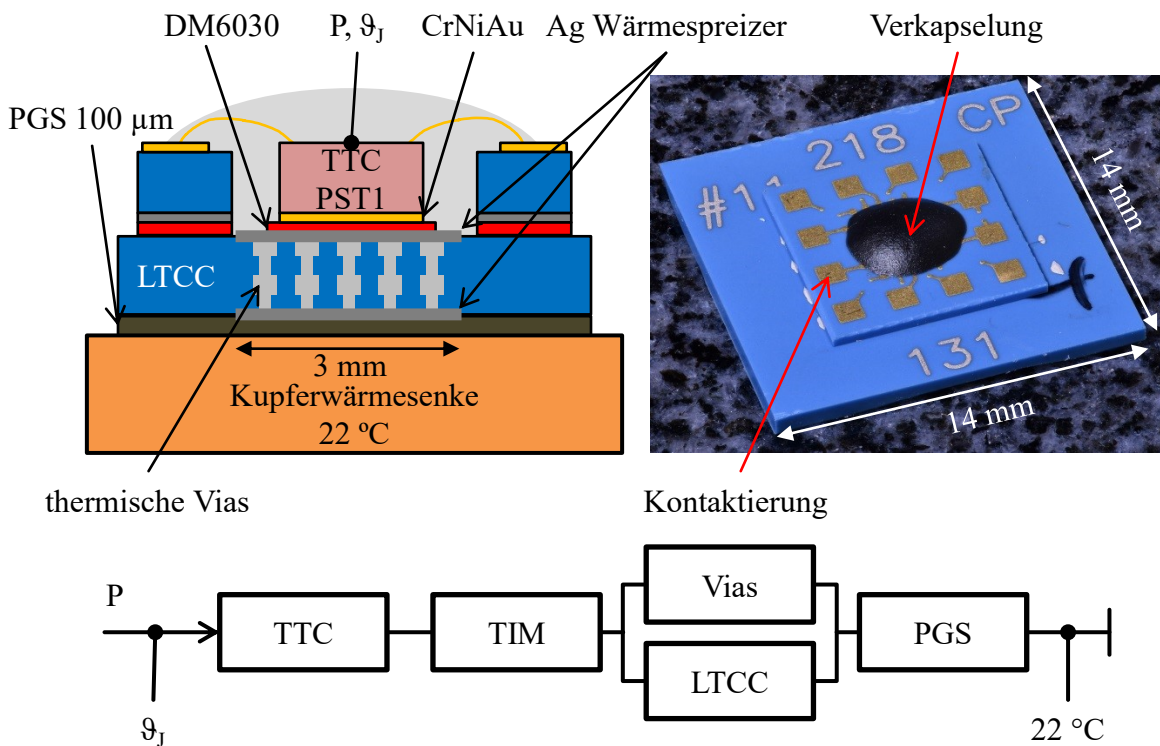


Abbildung 5.8: Links: Schematischer Querschnitt durch Messaufbau zur Bestimmung des thermischen Widerstandes der Module. Rechts: Fotografie eines Moduls mit montiertem und verkapseltem TTC. Unten: Thermisches Ersatzschaltbild der Anordnung.

Die Ergebnisse der Messung sind in Abbildung 5.9 aufgeführt. Wie erwartet, sinkt der thermische Widerstand mit steigendem Metallisierungsgrad. Außerdem steigt er bei der Verwendung von Silber statt Gold als Füllpaste bzw. bei Verdopplung der Lagenanzahl an. Aus der Abhängigkeit des Widerstandes von der Lagenanzahl kann bei Kenntnis der thermischen Leitfähigkeit des Keramikgrundmaterials auf die thermische Leitfähigkeit des thermischen Vias geschlossen werden. Die notwendigen mathematischen Schritte sind im Folgenden erläutert.

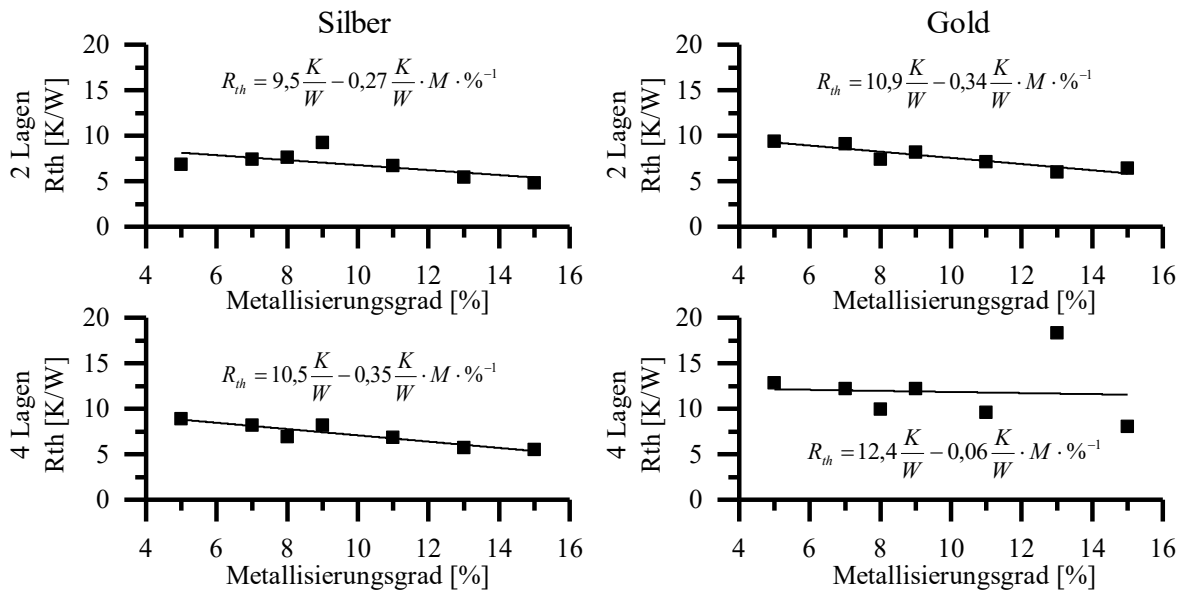


Abbildung 5.9: Gemessener thermischer Widerstand der LTCC Module mit thermischen Vias, sowie die Regressionsgerade der Messwerte. Der Messwert bezieht sich auf den gesamten Widerstand der Messanordnung. In der linken Spalte sind die Messwerte für Silber- und in der rechten Spalte für Goldvias aufgeführt. Dabei umfasst die erste Zeile alle zweilagigen und die zweite Zeile alle vierlagigen Module. Die Gleichung der Regressionsgeraden ist für jedes Diagramm angegeben. M steht hier für den Metallisierungsgrad in %.

Der gesamte thermische Widerstand der Anordnung setzt sich aus der Summe der Widerstände aller Komponenten im thermischen Pfad zusammen, wie Gl. (5.1) darstellt.

$$R_{th,Gesamt} = R_{th,TTC} + R_{th,TIM} + R_{th,Substrat} + R_{th,PGS} \quad (5.1)$$

Wie in Abschnitt 3.3.2 bereits beschrieben, setzt sich der thermische Widerstand des Substrates aus den Widerständen des Keramikmaterials und des Viafüllmaterials zusammen.

$$R_{th,Substrat} = \frac{R_{th,LTCC} \cdot R_{th,Via}}{R_{th,LTCC} + R_{th,Via}} \quad (5.2)$$

Gemessen wurden sowohl zweilagige als auch vierlagige Module mit doppelter Substratdicke. Für den gemessenen thermischen Widerstand gilt:

$$R_{th,Gesamt,2-Lagen} = R_{th,TTC} + R_{th,TIM} + R_{th,Substrat} + R_{th,PGS} \quad (5.3)$$

$$R_{th,Gesamt,4-Lagen} = R_{th,TTC} + R_{th,TIM} + 2 \cdot R_{th,Substrat} + R_{th,PGS} \quad (5.4)$$

Nach subtrahieren von Gl. (5.3) von (5.4) folgt Gl. (5.5).

$$\Delta R_{th,Gesamt} = R_{th,Substrat} = \frac{R_{th,LTCC} \cdot R_{th,Via}}{R_{th,LTCC} + R_{th,Via}} \quad (5.5)$$

Hieraus kann die effektive thermische Leitfähigkeit des Substrates berechnet werden. Für den höchsten im Aufbau verwendeten Metallisierungsgrad von 15 % ergibt sich aus der Gl. (5.5) und Gl. (2.20) die effektive thermische Leitfähigkeit des Substrates. Diese betrug für LTCC Module mit Silbervias 46,2 W/(m · K) und für Goldvias 30,9 W/(m · K).

Der effektive thermische Widerstand des Viafüllmaterials kann aus Gl. (5.5) durch Umstellen nach $R_{th,Via}$ berechnet werden, siehe Gl. (5.6).

$$R_{th,Via} = \frac{R_{th,LTCC} \cdot \Delta R_{th,Gesamt}}{R_{th,LTCC} - \Delta R_{th,Gesamt}} = \frac{d}{\lambda_{Via} \cdot A \cdot M} \quad (5.6)$$

Der thermische Widerstand des Keramikmaterials berechnet sich dabei aus Gl. (5.7). M steht dabei für den Metallisierungsgrad, d für die Substratdicke (hier 426 μm) und A für die Substratfläche. Der Substratanteil, der keine thermischen Vias enthält und nicht vom Wärmespreizer bedeckt ist, hat keinen signifikanten Einfluss auf den thermischen Widerstand, wie in Abschnitt 3.3.3 gezeigt wurde. Daher ist die Substratfläche durch die Fläche des Ag Wärmespreizers (3 x 3 mm²) definiert. Das verwendete Material DP951 hat eine Leitfähigkeit von 3,3 W/(m · K) [56], sodass sich ein thermischer Widerstand von 16,9 K/W für ein Metallisierungsgrad von 15 % ergibt.

$$R_{th,LTCC} = \frac{d}{\lambda_{LTCC} \cdot A \cdot (1 - M)} \quad (5.7)$$

Die Differenz der thermischen Widerstände zwischen zwei- und vierlagigen Modulen mit 15 % Metallisierungsgrad wird anhand der in Abbildung 5.9 angegebenen Regressionsgeraden bestimmt. Er betrug für den Silberviaaufbau 1 K/W und 1,5 K/W für den Goldviaaufbau.

Basierend auf Gl. (5.6) und (5.7) kann die effektive thermische Leitfähigkeit des Viafüllmaterials berechnet werden, wie in Gl. (5.8) dargelegt wird.

$$\lambda_{Via} = \frac{R_{th,LTCC} - \Delta R_{th,Gesamt}}{R_{th,LTCC} \cdot \Delta R_{th,Gesamt}} \cdot \frac{d}{A \cdot M} \quad (5.8)$$

Die berechnete, effektive thermische Leitfähigkeit des Viafüllmaterials DP 6141 betrug 289,3 W/(m · K), was sich mit der in [108] durchgeführten LFA Messung deckt (289 W/(m · K)). Für das Viafüllmaterial DP 5738 beträgt sie 187,6 W/(m · K). Somit besitzen die Goldvias nur etwa 65 % der thermischen Leitfähigkeit der getesteten Silbervias. Reines Gold erreicht hingegen etwa 74 % der thermischen Leitfähigkeit von reinem Silber. Die Abweichung lässt vermuten, dass Zusätze im Viafüllmaterial wie Gläser oder andere Stoffe die thermische Leitfähigkeit negativ beeinflussen.

5.1.4 Hermetizität von Vias im 0-Schrumpfprozess

Im 0-Schrumpfungsprozess gesinterte Substrate weisen eine höhere Planarität als frei gesinterte Substrate auf, vgl. Abschnitt 3.1.5. Dies ist besonders im Bereich thermischer Vias von Bedeutung. Die Minimierung des lateralen Schrumpfes erfolgt beim erzwungen drucklosen Sintern über den Haftmechanismus von HTCC Folien, die an das ungesinterte Substrat laminiert wurden. Dies kann durch Druck während der Sinterung noch unterstützt werden [63]. Beiden Verfahren gemein ist, dass der minimierte laterale Schrumpf einen gesteigerten Schrumpf in z-Richtung bedingt.

Die Übertragung des Zwangs erfolgt von der Substratoberfläche in das innere Substrat. Mit zunehmendem Abstand zur Substratoberfläche sinkt jedoch der laterale Zwang, sodass es mit zunehmender Substratdicke zu geometrischen Verzerrungen im Inneren des Substrates kommen kann. Die dabei auftretenden mechanischen Belastungen können im Übergangsbereich zweier Materialien wie Viafüllung und Keramikgrundmaterial zu Ablöseerscheinungen führen. Dies kann die Bildung von Mikrokanälen begünstigen, die durch das Substrat verlaufen und zum Verlust der Hermetizität führen. Ein niedriger Glasanteil im Viafüllmaterial wie bei der DP 6141 kann diesen Mechanismus noch verstärken.

Um den Einfluss des 0-Schrumpfprozesses auf die Hermetizität von thermischen Vias zu bewerten, wurde ein zweilagiges LTCC Modul mit thermischen Vias aus drei verschiedenen Materialien (DP 6141, DP E 104, DP TC701) hergestellt. Die Pasten unterscheiden sich in ihrer Materialzusammensetzung und in ihrem empfohlenen Einsatzgebiet. Das Material DP E 104 ist eine 0-Schrumpfkompatible Paste und besteht zu einem großen Teil aus Silber. Die Paste DP TC701 wird hingegen als Übergangsmaterial zwischen Gold- und Silbermetallisierungen verwendet und hat neben einem Silber- auch einen Goldanteil. Die Vias hatten einen Durchmesser von 250 μm in beiden Lagen und waren in einer 6 x 6 Matrix mit einem Pitch von 500 μm angeordnet. Die Substratfläche betrug 3 x 3 mm^2 , sodass sich ein Metallisierungsgrad von 19,6 % ergab. Um mögliche Mikrokanäle zu verschließen, wurde zusätzlich ein 3 x 3 mm^2 großes Metallpad aus der AgPd Paste DP 6146 auf die Substratober- und -unterseite sowie auf die Innenlage gedruckt. An das ungesinterte Substrat wurden HTCC Folien (Ceramtape A, CeramTec GmbH) isostatisch anlamiert. Das laminierte Substrat wurde anschließend in einem druckunterstützten Sinterprozess gebrannt. Dabei wurde ein Druck von 1,7 kPa während des gesamten Einbrandes auf das Substrat ausgeübt. In Abbildung 5.10 sind Querschliffe der Viastrukturen nach der Sinterung abgebildet.

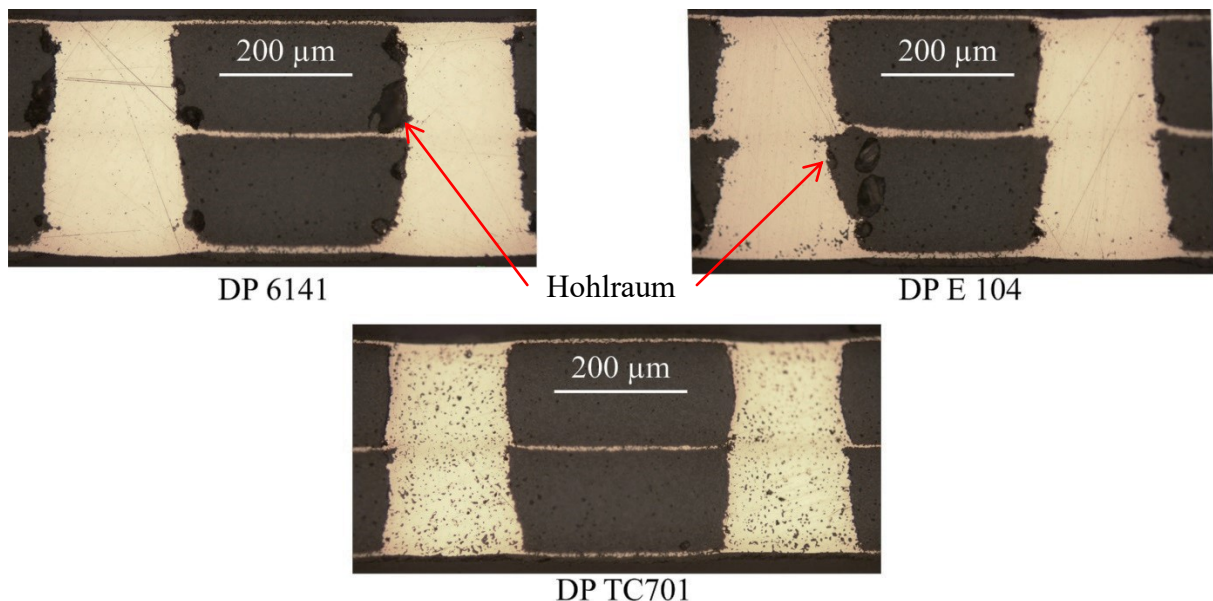


Abbildung 5.10: Querschliff von im 0-Schrumpfprozess gesinterten thermischen Vias der drei getesteten Materialien. Die Anordnung mit DP 6146 und DP E 104 zeigen Hohlräume im Übergangsbereich zwischen Via und Keramik. Das Material DP TC701 weist eine erhöhte Porosität auf.

Bei den Anordnungen mit der Paste DP 6141 und DP E 104 zeigen sich Hohlräume im Übergangsbereich zwischen Via und Keramik. Zudem weisen die Vias einen ungleichmäßigen Querschnitt auf. Dies deutet auf eine geometrische Verzerrung hin. Die Anordnung mit der Paste DP TC701 weist hingegen keine Hohlräume im Übergangsbereich auf. Die Porosität des Vias ist im Vergleich zu den anderen getesteten Pasten leicht erhöht. Zudem zeigt sich auch bei dieser Anordnung eine Querschnittsverteilung der Vias. Die Hermetizität der Anordnungen wurde mit dem in Abschnitt 5.1.2 erläuterten Verfahren ermittelt. Pro Viafüllmaterial wurden 9 Proben getestet. Dabei zeigte keine einzige Probe eine Leckrate $< 1 \cdot 10^{-8}$ mbar · l/s. Die Hohlräume bzw. Porosität haben hier zum Verlust der Hermetizität geführt.

Neben der Hermetizität wurde auch der thermische Widerstand der Vianordnung ermittelt. Dies erfolgte auf die gleiche Weise wie im vorherigen Abschnitt. Die Ergebnisse sind in Abbildung 5.11 links dargestellt. Die Anordnung mit der Paste DP 6141 weist erwartungsgemäß den geringsten thermischen Widerstand auf. Es zeigt sich, dass die Paste DP E 104 zu einem um 5,1 % erhöhten thermischen Widerstand der Anordnung führt. Die Paste DP TC701 hat bedingt durch ihren Goldanteil einen um 64,1 % erhöhten thermischen Widerstand. Basierend auf dem Unterschied im thermischen Widerstand zwischen den Modulen, dem Unterschied der Substratdicken und der im vorherigen Abschnitt ermittelten thermischen Leitfähigkeit der Paste DP 6141 können die thermischen Leitfähigkeiten der getesteten Pasten berechnet werden, siehe Gl. (5.9).

$$\lambda = \frac{R_{th}}{R_{th,DP6141}} \cdot \frac{d_{DP6141}}{d} \cdot \lambda_{DP6141} \quad (5.9)$$

Dies ist in Abbildung 5.11 rechts dargestellt. Die Pasten DP E 104 und DP TC701 weisen demnach eine thermische Leitfähigkeit von 288 W/(m · K) bzw. 162 W/(m · K) auf.

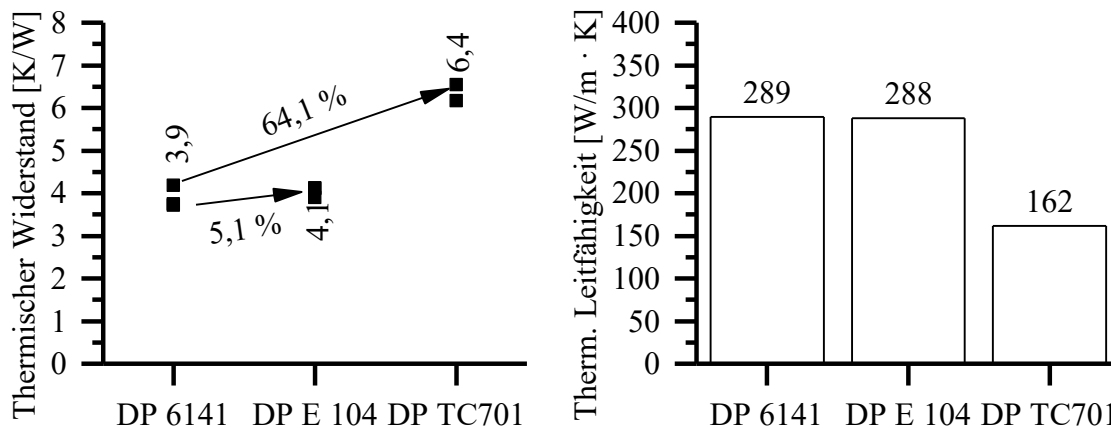


Abbildung 5.11: Links: Thermischer Widerstand der Anordnung mit im 0-Schrumpfprozess gesinterten Vias in Abhängigkeit des Viafüllmaterials. Pro Material wurden zwei bzw. drei Proben gemessen. Der angegebene thermische Widerstand stellt dabei den Mittelwert dar. Rechts: Berechnete thermische Leitfähigkeit der Füllmaterialien.

5.2 Substratintegrierte, dicke Silberwärmespreizer im Co-Fire Prozess

Der thermische Widerstand des thermischen Pfades im Substrat wird maßgeblich durch die wärmetransportierende Querschnittsfläche bestimmt. Der in Abschnitt 1.1 beschriebene Trend der Miniaturisierung führt bei gleichbleibender Verlustleistung zu einer Steigerung der Leistungsdichte. Eine Aufspreizung der wärmetransportierenden Querschnittsfläche ist daher notwendig, um den thermischen Widerstand des thermischen Pfades zu minimieren und damit die Chipübertemperatur gering zu halten. Wärmespreizung in LTCC Substraten erfolgt durch die Kombination von thermischen Vias und Dickschichtwärmespreizern. Wie in den Abschnitten 3.3.2 und 3.3.3 erläutert, ist die thermische Performance dieser Strukturen jedoch durch den maximal zulässigen Metallisierungsgrad von $\sim 20\%$ und die geringe Höhe der Dickschichtwärmespreizer begrenzt. Im Rahmen dieser Arbeit wird daher die Möglichkeit diskutiert, die LTCC lokal im thermischen Pfad durch ein thermisch gut leitendes Material zu substituieren. In [181] wurde hierfür eine Silberfolie entwickelt, die im Sinterverhalten an das Material DP951 angepasst ist. Die Verarbeitbarkeit im Co-Fire Prozess wurde gezeigt. Die Ermittlung der thermischen Performance erfolgte hingegen noch nicht. Die kommerzielle Verfügbarkeit dieser proprietären Folie ist zudem nicht gegeben. In dieser Arbeit wird hingegen eine kommerziell verfügbare Silberfolie verwendet. Diese Folie basiert auf sog. precious metal clay (kurz: PMC, deutsch: Edelmetall-Ton) der Firma Mitsubishi [182]. Eingesetzt wird diese Folie in der Schmuck- und Kunstindustrie zur Herstellung von freigeformten Metallobjekten wie Ringen, Anhängern und Ähnlichem [183]. Die Folie hat einen Silberanteil von $> 90\%$ und ist in einer Dicke von $250\ \mu\text{m}$ verfügbar. Sie sintert bei Temperaturen zwischen $800\ \text{°C}$ und $900\ \text{°C}$ zu einer kristallinen Struktur und weist dabei einen lateralen Schrumpfung von ca. 12% auf [184]. Die Materialeigenschaften, die Verarbeitbarkeit im Co-Fire Prozess, sowie die thermische Performance werden im Folgendem untersucht.

5.2.1 Materialanalyse der Silberfolie

In Abbildung 5.12 ist links eine REM Aufnahme der ungesinterten Silberfolie dargestellt. Die Partikel liegen als ovale bis längliche Körner mit einer Größe zwischen $0,7\ \mu\text{m}$ und $9\ \mu\text{m}$ vor. Nach der Sinterung bei $875\ \text{°C}$ für 30 min zeigt das Material eine kristalline Textur, wie in derselben Abbildung rechts ersichtlich ist. Der Silbergehalt der Probe wurde mittels REM-EDX und Röntgenfluoreszenzanalyse (kurz: RFA) bestimmt. Er betrug $> 90\%$. Dies deckt sich gut mit der Dichte der gesinterten Silberfolie, welche über das Archimedische Prinzip, sowie über die Bestimmung von Volumen und Gewicht der Probe bei $22\ \text{°C}$ ermittelt wurde. Mit $9,66\ \text{g/cm}^3$ bis $9,76\ \text{g/cm}^3$ erreichte die Dichte 92% bis 93% der theoretischen Dichte von reinem Silber. Der Schrumpfung der Silberfolie wurde mittels geometrischer Vermessung vor und nach der Sinterung bestimmt. Dabei wurde die Schrumpfung sowohl während der freien Sinterung als auch unter Zwang mit $1,7\ \text{kPa}$ Sinterdruck bestimmt. Hierbei wurde das Standard DP951 Sinterprofil (vgl. Abschnitt 3.1.5) verwendet. Für die freie Sinterung betrug der laterale Schrumpfung 12% und der Schrumpfung in z-Richtung 35% . Das Sintern unter Zwang führte zu einem lateralen Schrumpfung von $0,5\%$. Der Schrumpfung in z-Richtung ist bei diesem

Sinterverfahren mit 40 % leicht erhöht. Die spezifische Wärmekapazität wurde mittels dynamischer Differenzkalorimetrie (engl. *differential scanning calorimetry*, kurz: DSC) gemessen und erreichte $0,28 \text{ J}/(\text{g} \cdot \text{K})$ bei $22 \text{ }^\circ\text{C}$. Dies deckt sich gut mit der spezifischen Wärmekapazität von reinem Silber ($0,24 \text{ J}/(\text{g} \cdot \text{K})$).

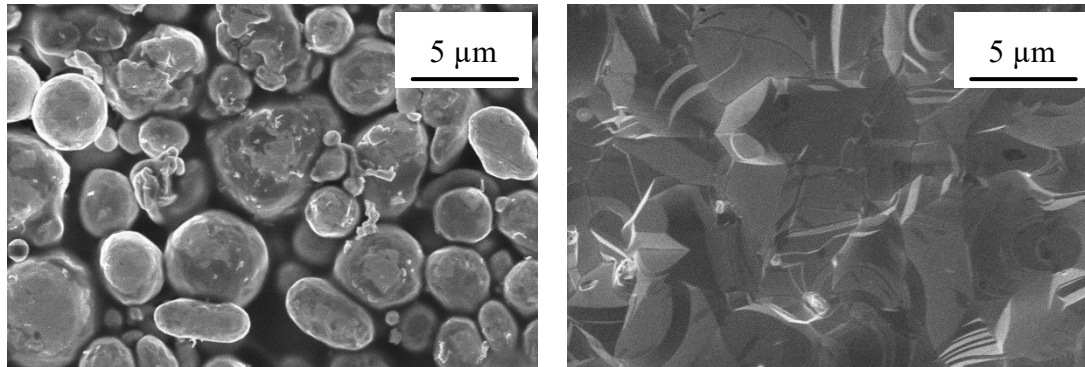


Abbildung 5.12: Links: REM Aufnahme der ungesinterten Silberfolie. Einzelne Partikel mit einer Größe von $0,7 \mu\text{m}$ bis $9 \mu\text{m}$ sind erkennbar. Rechts: REM Aufnahme der bei $875 \text{ }^\circ\text{C}$ für 30 min gesinterten Silberfolie. Eine kristalline Struktur ist erkennbar.

Zur Ermittlung der thermischen Leitfähigkeit wurde zunächst die elektrische Leitfähigkeit mittels der Van der Pauw Methode und der Vierleitermessung bei $22 \text{ }^\circ\text{C}$ bestimmt. Anschließend erfolgte die Rückrechnung der elektrischen Leitfähigkeit auf die thermische Leitfähigkeit mit dem Wiedemann-Franzschens-Gesetz, vgl. Abschnitt 2.2.1. Hierfür wurden Messstrukturen aus einer unter Zwang gesinterten Silberfolie mittels Laser herausgetrennt. Hierfür wurde ein ps-Laser (microSTRUCT C, 3D-Micromac AG) mit einer Wellenlänge von 355 nm , einer Pulsbreite von 10 ps , einer Leistung $2,9 \text{ W}$ und einer Schnittgeschwindigkeit von 500 mm/s verwendet. Die $140 \mu\text{m}$ dicke, gesinterte Silberfolie wurde dabei in fünf Stufen durchtrennt, wobei pro Stufe der Laserfokus um $40 \mu\text{m}$ abgesenkt wurde. Auf jeder Stufe erfolgte das Lasern der Geometrie 10-mal. In Abbildung 5.13 links ist eine Messstruktur für die Vierleitermessung dargestellt.

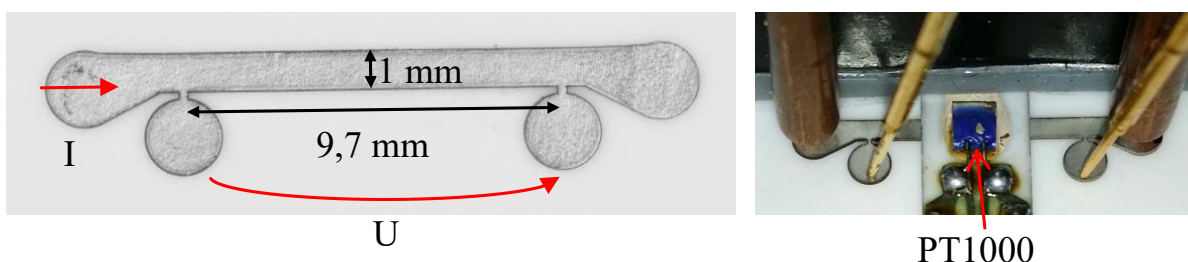


Abbildung 5.13: Links: Messstruktur für Vierleitermessung. Rechts: Messaufbau zur Ermittlung des Temperaturkoeffizienten.

Die Probe hatte eine effektive Länge von $9,7 \text{ mm}$, eine Breite von 1 mm und eine Dicke von $161 \mu\text{m}$. Die elektrische Leitfähigkeit betrug $49,6 \text{ MS}/\text{m} \pm 4,3 \%$, was 81% der elektrischen Leitfähigkeit von reinem Silber entspricht. Die rückgerechnete thermische Leitfähigkeit erreichte mit $340,5 \text{ W}/(\text{m} \cdot \text{K})$ 79% der thermischen Leitfähigkeit von reinem Silber.

Zur Aufnahme des Temperaturkoeffizienten erfolgte die Messung bei 22 °C bis 80 °C. Hierfür wurde die in Abschnitt 2.3.4 vorgestellte Wärmesenke und ein PT1000 genutzt, siehe Abbildung 5.13 rechts.

Die elektrische Leitfähigkeit zeigte eine lineare Temperaturabhängigkeit mit einem Temperaturkoeffizienten von -0,13 MS/m / K. Dementsprechend weist auch die berechnete thermische Leitfähigkeit einen negativen Temperaturkoeffizienten auf (-0,92 W/(m · K) / K). Die Ermittlung des thermischen Ausdehnungskoeffizienten erfolgte mittels eines Schubstangendilatometers (Netzsch DIL409E, NETZSCH-Gerätebau GmbH) im Temperaturbereich von 80 °C bis 400 °C und betrug $23 \cdot 10^{-6} / \text{K} \pm 11,4 \%$. In Tabelle 5.2 sind die ermittelten Materialeigenschaften der Silberstruktur zusammengefasst.

Tabelle 5.2: Zusammenfassung der ermittelten Materialeigenschaften der Silberstruktur bei 22 °C.

Eigenschaft	Wert	Messmethode
Dichte		
ungesintert	5,98 g/cm ³	Volumen und Gewicht
gesintert	9,66 g/cm ³ – 9,76 g/cm ³	Archimedisches Prinzip,
relativ zu Ag rein	92 % – 93 %	Volumen und Gewicht
Spezifische Wärmekapazität	0,28 J/(g · K)	DSC
Elektrische Leitfähigkeit	49,6 MS/m \pm 4,3 %	4 Punkt Methode, Van der
Temperaturkoeffizient	-0,13 MS/m / K	Pauw
Thermische Leitfähigkeit	340,5 W/(m · K) \pm 4,3 %	Berechnet aus elektrischer
Temperaturkoeffizient	-0,92 W/(m · K) / K	Leitfähigkeit
CTE	$23 \cdot 10^{-6} / \text{K} \pm 11,4 \%$	Schubstangendilatometer
Korngrößen vor Sintern	0,7 μm – 9 μm	REM
Schrumpfung während Sintern		
Freie Sinterung	_{xy} 12 % _z 35 %	Optisch, Taktile
Druckunterstützt (1,7 kPa)	_{xy} 0,5 % _z 39,8 %	Optisch, Taktile
Silberanteil nach Sinterung	> 90 %	REM-EDX, RFA

5.2.2 Scherfestigkeit von geklebten bzw. gesinterten Chips auf dem Silbermaterial

Zur Ermittlung der Eignung der gesinterten Silberfolie als Bondfläche für die Chipmontage wurden 1 x 1 mm² messende Siliziumchips mit CrNiAu Rückseitenmetallisierung an die Silberfolie gefügt. Da die im Mittel 164 μm dicke Silberfolie nicht die erforderliche Steifigkeit für den Schertest aufwies, wurde sie vor der Chipmontage auf einen 635 μm dicken Al₂O₃ Träger mit aluminiumgefüllten Epoxid (2AIF, iKTZ GmbH) aufgeklebt. Der Kleber wurde bei 180 °C für 15 min in einem Konvektionsofen ausgehärtet. Anschließend erfolgte die Chipmontage. Dabei wurden sowohl ein Silberleitkleber (Ag Epoxy), ein Sinterkleber (SK2), als auch ein Silbersintermaterial (SM4) verwendet. Pro Paste wurden insgesamt neun Chips bestückt. In Abbildung 5.14 sind die 3 Aufbauten dargestellt. Die Scherfestigkeit von Chip-Substrat-Verbindungen unter Verwendung dieser Pasten wurde bereits Abschnitt 4.1.2 für LTCC Substrate mit Silberbeschichtung und Mo₃₀Cu Substrate mit NiAg Beschichtung qualifiziert.

Die Nummerierung der Pasten, deren Verarbeitung und die Testmethode sind dabei identisch, sodass eine direkte Vergleichbarkeit gegeben ist.

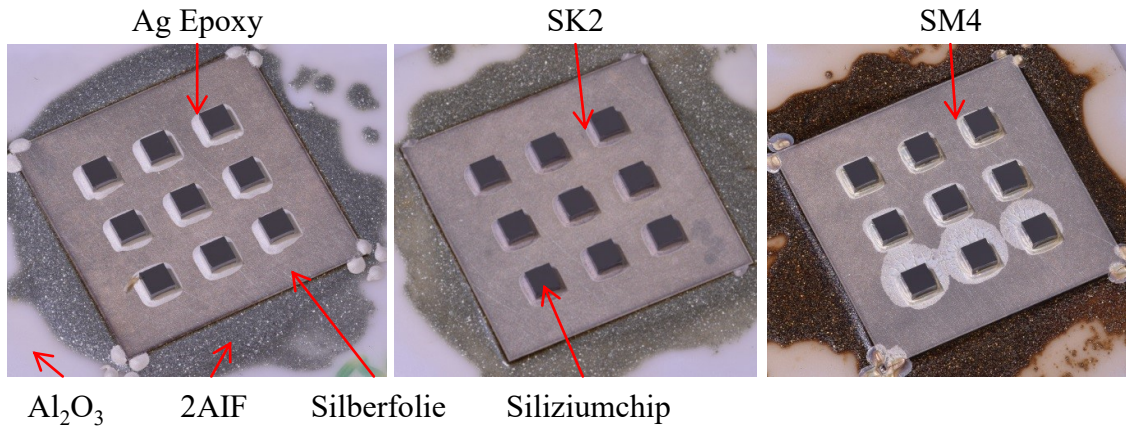


Abbildung 5.14: Aufbauten zur Bestimmung der Scherfestigkeit. Der Farbunterschied des 2AIF Klebers resultiert aus den unterschiedlichen Prozesstemperaturen und Zeiten der für die Chipmontage verwendeten Pasten.

In Abbildung 5.15 sind die Scherfestigkeiten der drei Pasten auf den drei verschiedenen Substraten dargestellt.

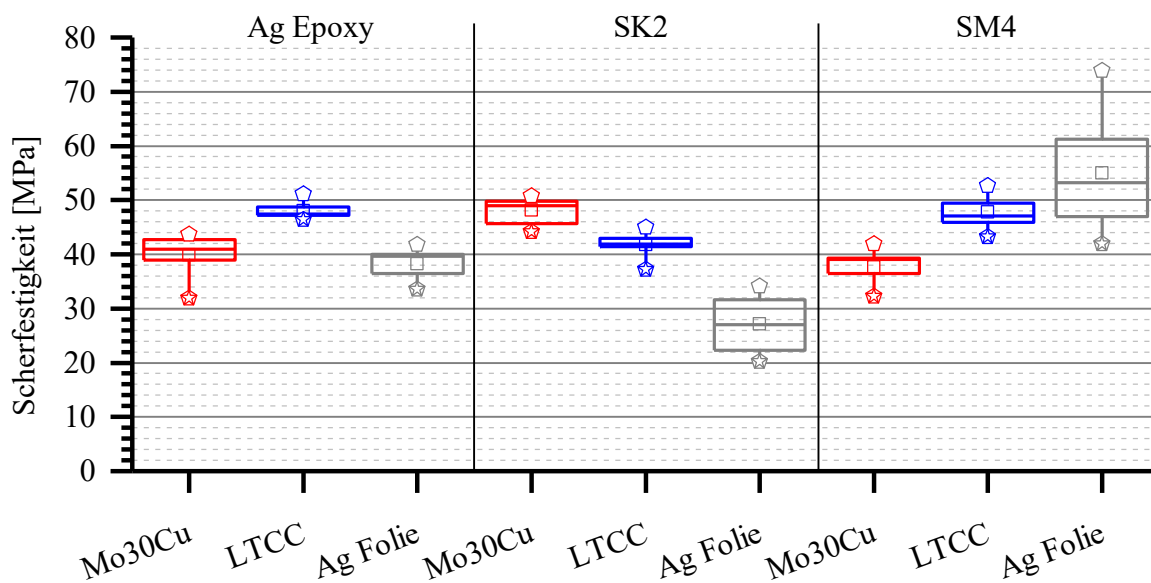


Abbildung 5.15: Ermittelte Scherfestigkeit von gefügten Chips auf 3 verschiedenen Substraten. In rot sind die Messwerte basierend auf einem Mo30Cu Substrat mit NiAg Beschichtung, in blau basierend auf einer LTCC mit Silberbeschichtung und in grau basierend auf der Silberfolie dargestellt. Pro Boxplot sind 9 bzw. 10 Messwerte aufgenommen worden.

Die Scherfestigkeit aller gefügten Chips lag deutlich über dem Grenzwert von 12,1 MPa, womit die Silberfolie als Bondfläche für die Chipmontage geeignet ist. Der Vergleich der Fügmaterialien auf unterschiedlichen Substraten zeigt zudem, dass der Ag Epoxy in Kombination mit der Silberfolie eine geringere Scherfestigkeit aufweist, als auf einem NiAg beschichteten Mo30Cu Substrat bzw. einer silbermetallisierten LTCC.

Der Unterschied ist beim Material SK2 noch deutlicher. Das Sintermaterial SM4 zeigt hingegen eine höhere Scherfestigkeit auf der Silberfolie. Da das Material SM4 bei Materialien mit unterschiedlichen CTE bei Temperaturwechselbelastungen bereits nach kurzer Zeit einen deutlichen Abfall der Scherfestigkeit zeigte (vgl. Abschnitt 4.1.2.2) und die Silberfolie einen wesentlich höheren CTE als der Siliziumchip besitzt, wird das Material Ag Epoxy für die Chipmontage auf der Silberfolie favorisiert.

5.2.3 Ermittlung der Haftfestigkeit des LTCC – Ag Verbundes

Die Ermittlung der Haftfestigkeit des LTCC – Ag Verbundes erfolgte mittels eines Zugversuches. Hierfür wurden laserstrukturierte Silberfolien in ein achtlagiges LTCC Substrat mittig in laserstrukturierte, passende Kavitäten eingebettet. Zur Laserstrukturierung wurde der bereits verwendete ps Laser mit einer Leistung von 2,9 W genutzt. Die Substrate wurden dabei in zwei Stufen durchtrennt, wobei pro Stufe der Laserfokus um 150 µm abgesenkt wurde. Die Geometrie wurde auf der ersten Stufe 20-mal und auf der zweiten Stufe 40-mal laserstrukturiert. Zusätzlich wurde auf Kavitätboden und –deckel eine Silberdickschicht als Haftvermittlerschicht mittels Siebdruck aufgebracht. Das Substrat wurde isostatisch laminiert und in der freien Sinterung ausgebrannt (vgl. Abschnitt 3.1.5). Anschließend erfolgte die Vereinzelung der Proben mittels Trennschleifens auf eine Größe von 9,4 x 9,4 mm². Für die Aufnahme in der Zugmaschine wurden Aluminiumbolzen an die Probekörper mit einem aluminiumgefüllten Epoxid (2AIF, iKTZ GmbH) geklebt. Die Aushärtung des Epoxids erfolgte dabei bei 180 °C für 15 min. Anschließend wurde die Probe bis zum Bruch zugbelastet und die Kraft beim Bruch ermittelt. Durch Umrechnung der Kraft auf die Probenfläche konnte die Haftfestigkeit bestimmt werden. Die Haftfestigkeit wurde sowohl für Proben mit verschiedenen Haftvermittlern als auch für Proben ohne Haftvermittler gemessen. Pro Variation wurden mindestens drei Proben vermessen. In Abbildung 5.16 sind ein schematischer Querschnitt durch die Probe, das Bruchbild einer Probe ohne Haftvermittler, sowie die ermittelten Haftfestigkeiten gezeigt. Die Abszissenachse bezeichnet dabei den verwendeten Haftvermittler.

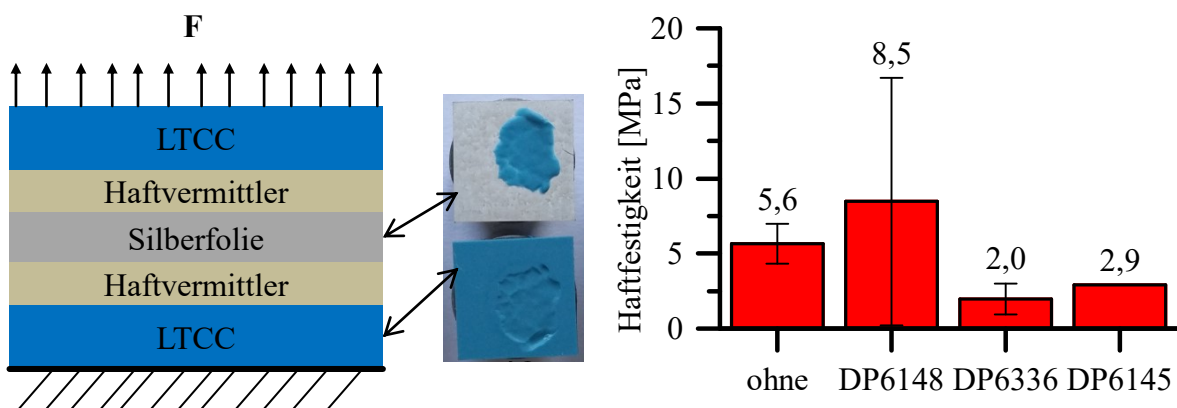


Abbildung 5.16: Links: Schematischer Querschnitt durch LTCC – Ag Verbund. Mitte: Probe ohne Haftvermittler nach Zugversuch. Bei dieser Probe lag eine Mischung aus Adhäsions- und Kohäsionsbruch vor. Rechts: Balkendiagramm der gemessenen Haftfestigkeit der Proben ohne und mit verschiedenen Haftvermittlern.

Nach dem Zugversuch wurde das Bruchbild analysiert. Der Bruch lag bei den Proben ohne Haftvermittler als Adhäsionsbruch zwischen der LTCC und Silberfolie und als Kohäsionsbruch innerhalb der LTCC vor. Die Haftfestigkeit dieser Proben beträgt im Mittel $5,6 \text{ MPa} \pm 1,3 \text{ MPa}$. Bei der Verwendung eines Haftvermittlers erfolgte der Bruch an der Schnittstelle LTCC – Haftvermittler und innerhalb der LTCC. Die Ergebnisse zeigen, dass die getesteten Haftvermittler nicht zu einer signifikanten Steigerung der Haftfestigkeit führen. Daher werden alle nachfolgenden Versuche ohne zusätzlichen Haftvermittler zwischen LTCC und Silberfolie durchgeführt.

5.2.4 Demonstrator Package zur Ermittlung der thermischen Performance

Zur Ermittlung der thermischen Performance der Silberfolie wurden zwei verschiedene Packages realisiert. Das erste Package enthält einen thermischen Pfad, in welchem die LTCC vollständig durch die Silberfolie substituiert wird. Das zweite Package demonstriert die thermische Spreizwirkung der Silberfolie beim Einsatz als vergrabener Wärmespreizer in Kombination mit thermischen Vias. Die Messung des thermischen Widerstandes der Packages erfolgte mittels dem TTC PST1 am thermischen Versuchsstand, vgl. Abschnitt 2.3. Der TTC war dabei mit silbergefülltem Epoxid (DM6030, Diemat Inc.) an den Aufbau gefügt und mittels Dam & Fill (G8345D & G8345-6, Namics Europe GmbH) verkapselt.

5.2.4.1 Substitution der LTCC im gesamten thermischen Pfad

Um den thermischen Pfad möglichst kurz zu halten, wurde ein zweilagiger LTCC Aufbau aus DP951 mit einer Gesamtdicke von $420 \mu\text{m}$ gewählt, der in der oberen Lage eine $3 \times 3 \text{ mm}^2$ Kavität und in der unteren Lage eine Kavität mit variabler Größe ($5 \times 5 \text{ mm}^2$; $6 \times 6 \text{ mm}^2$; $7 \times 7 \text{ mm}^2$) aufwies. Die untere Kavität war dabei mit der Silberfolie aufgefüllt. Der schematische Querschnitt des Aufbaus ist in Abbildung 5.17 links dargestellt.

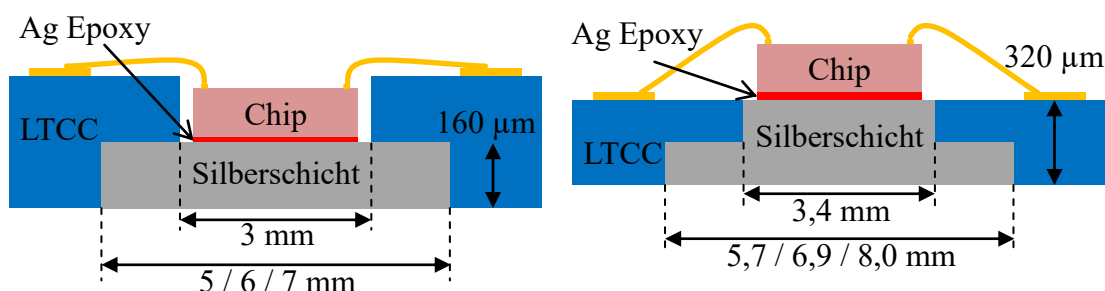


Abbildung 5.17: Schematischer Querschnitt durch Aufbau. Links: Aufbau für freie Sinterung. Rechts: Aufbau für Sinterung unter Zwang.

Die Prozessierung des Substrates wurde mit Standard LTCC Technologie durchgeführt (vgl. Abschnitt 3.1). Die Kavitäten in der LTCC und die Silberfolie wurden dabei mit der im vorherigen beschriebenen Methode laserstrukturiert. Die obere Kavität wurde mit laserstrukturierter Carbonfolie (Thick Film Technologies, Everett, WA, USA) aufgefüllt, um

während der isostatischen Lamination eine homogene Druckverteilung über das gesamte Substrat zu erreichen. Die Carbonfolie sublimiert bei Temperaturen $> 600\text{ }^{\circ}\text{C}$. Das Standardsinterprofil wurde entsprechend um einen 3,15 h Halteschritt bei $620\text{ }^{\circ}\text{C}$ nach dem Burnout erweitert.

In einem zweiten Aufbau wurde auch die obere Kavität mit Silberfolie aufgefüllt, siehe Abbildung 5.17 rechts. Die Kavitäten weisen hierbei eine Fläche von $3,4 \times 3,4\text{ mm}^2$ bzw. $5,7 \times 5,7\text{ mm}^2$; $6,9 \times 6,9\text{ mm}^2$; $8 \times 8\text{ mm}^2$ auf. Dieser Aufbau ermöglicht die Nutzung des PLAS und des PAS Prozesses, vgl. Abschnitt 3.1.5. Mittels HTCC-Folien, die an Ober- und Unterseite der LTCC isostatisch laminiert wurden, wurde der laterale Schrumpfung minimiert. Beim druckunterstützten Sintern wurde auf das Substrat zusätzlich ein Druck von $1,7\text{ kPa}$ ausgeübt. Der Ausbrand erfolgte unter Verwendung des Standardsinterprofils für DP951. Nach dem Ausbrand wurden die Rückstände der HTCC-Folie mittels eines Schleifprozesses (Polybloc, Schleifkörner in Kunststoffbindung) entfernt. Anschließend wurde die Oberflächentopologie des Substrates mittels Weißlichtinterferometrie ermittelt, siehe Abbildung 5.18.

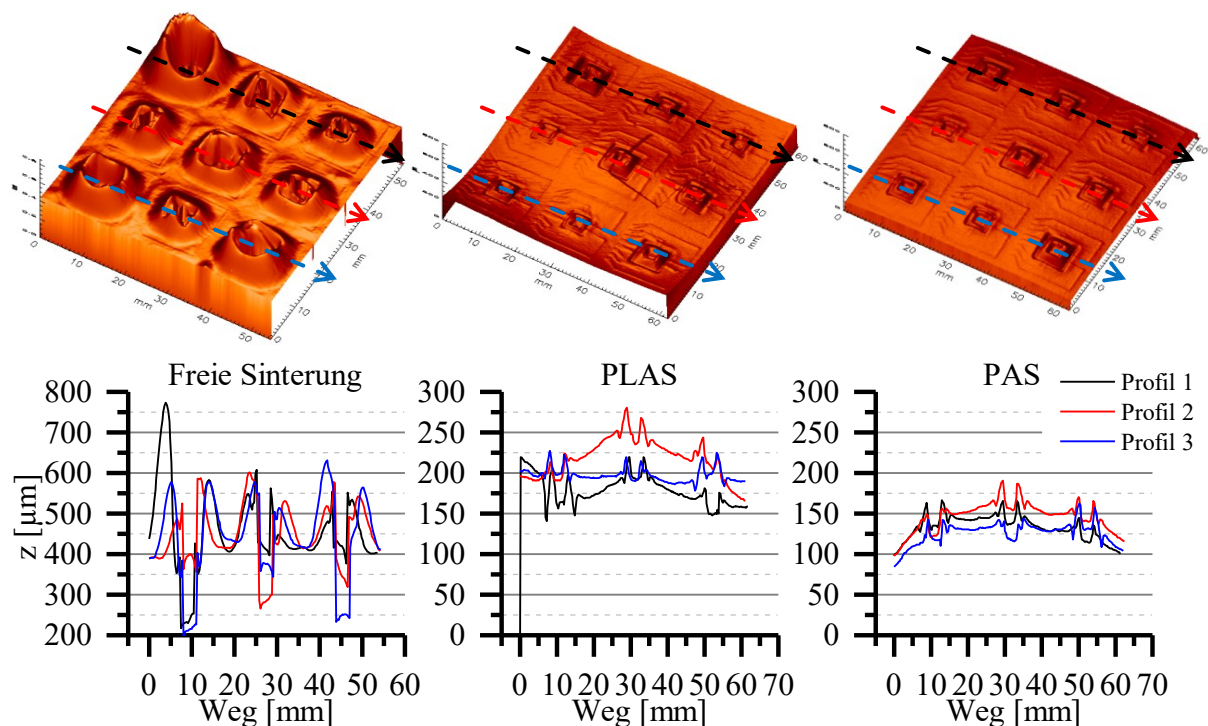


Abbildung 5.18: In der oberen Zeile sind die Oberflächentopologien der drei Substrate als 3D Bild dargestellt. Die untere Zeile zeigt die aus den 3D-Daten generierten Oberflächenprofile an drei verschiedenen Stellen. Die linke Spalte zeigt die Messwerte für das frei gesinterte Substrat. Die mittlere Spalte enthält die Messwerte für das drucklose Sintern unter Zwang mit HTCC-Folie (PLAS). Die rechte Spalte stellt die Messwerte für das unter Druck gesinterte Substrat dar (PAS).

Das frei gesinterte Substrat zeigt starke Verwölbungen der Substratoberfläche. Die Verwölbungen sind maximal im Bereich der Silberfolie und schwanken zwischen $100\text{ }\mu\text{m}$ und $400\text{ }\mu\text{m}$. Der unterschiedliche CTE von Silberfolie und LTCC führen wahrscheinlich während der Abkühlphase zu thermomechanischen Spannungen, die das noch flexible LTCC Material verformen.

Diese Verwölbungen können durch das Sintern unter Zwang minimiert werden, wie die Abbildung 5.18 veranschaulicht. Das drucklos gesinterte Substrat zeigt eine Verwölbung im Bereich von 50 μm bis 100 μm . Diese konzentriert sich um den Bereich der Silberfolie. Das druckunterstützt gesinterte Substrat weist eine Verwölbung $< 30 \mu\text{m}$ auf. Auch hier können die Verwölbungen im Bereich der Silberfolie lokalisiert werden. Da das druckunterstützte Sintern zu den geringsten Substratverwölbungen führte, wird dieses Verfahren für alle weiteren Untersuchungen genutzt.

In Abbildung 5.19 ist ein Querschliff des druckgesinterten Substrats mit bestücktem TTC (PST1, Fläche = 2,54 x 2,54 mm^2) abgebildet. Der TTC ist dabei mit silbergefülltem Leitkleber (vgl. Abschnitt 4.1 Material Ag Epoxy) auf der Silberfolie geklebt und anschließend mittels Dam & Fill Verfahren verkapselt. Es zeigt sich, dass sich die Silberfolie in Folge der unterschiedlichen CTEs um 99 μm von der Kante der LTCC gelöst hat. Dies führte zu lokalen Delaminationen der Silberfolie von der LTCC, wie aus der Querschliffaufnahme auf der rechten Seite der Abbildung 5.19 ersichtlich wird. Die Schnittstelle zwischen der LTCC und der Silberfolie zeigt in Bereichen ohne Delamination einen Formschluss. Die Dicke der Silberstruktur beträgt insgesamt 307 μm . Das Substrat hat im Bereich der LTCC eine Dicke von 320 μm .

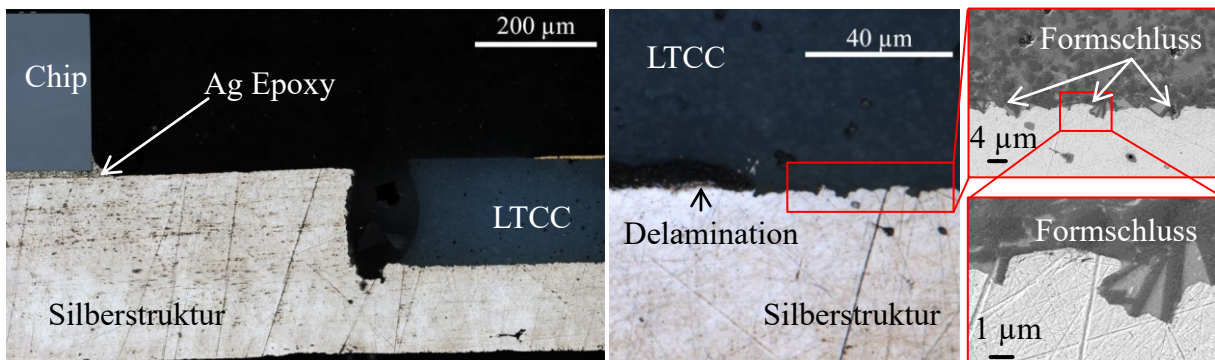


Abbildung 5.19: Links: Querschliff durch das hergestellte Modul. Der Spalt zwischen LTCC und Silberstruktur ist ersichtlich. Rechts: Detailaufnahme optisch sowie REM der LTCC – Silberfolie Schnittstelle. Bereiche mit Formschluss als auch lokaler Delamination sind zu erkennen.

In Abbildung 5.20 ist links eine Fotografie eines LTCC Moduls auf der Wärmesenke gezeigt. Die elektrische Kontaktierung erfolgte über Federkontakte. Die LTCC Probe wurde über eine Vorrichtung mittig mit 7 bar Druck an die Wärmesenke gepresst und der thermische Widerstand ermittelt. Die Auswertung der Messergebnisse ist in Abbildung 5.20 rechts dargestellt. Nach Gl. (2.28) beträgt der Wärmespreizwinkel der Anordnung 28° , was zu einer kritischen Länge der Spreizerstruktur von 2,87 mm nach Gl. (2.22) führt. Dies entspricht der 1,13 fachen Chiplänge. Da sich der effektive thermische Widerstand einer Spreizerstruktur bei einer Erhöhung der Länge über die kritische Länge nicht mehr signifikant verringert und die erste Lage der Silberstruktur bereits um 0,53 mm länger ist als die kritische Länge der Anordnung, hat die Länge der Silberfolie in der unteren Lage keinen signifikanten Einfluss auf den thermischen Widerstand der Anordnung. Die Messungen bestätigen diese Annahme. Der thermische Widerstand beträgt im Mittel $1,58 \text{ K/W} \pm 5,2 \%$ und ist nicht von der Länge

der Silberfolie in der unteren Lage abhängig. Zum Vergleich ist in dem Diagramm auch der thermische Widerstand der druckunterstützt gesinterten LTCC mit thermischen Vias aus Abschnitt 5.1.4 dargestellt. Da der gleiche Fertigungsprozess genutzt wurde, ist eine direkte Vergleichbarkeit der LTCC Module gegeben. Das LTCC Modul mit thermischen Vias hatte auf einer Fläche von $3 \times 3 \text{ mm}^2$ 36 thermische Vias mit einem Durchmesser von $250 \mu\text{m}$, sodass sich ein Metallisierungsgrad von 19,6 % ergab. Es zeigt sich, dass die Substitution der LTCC mit thermischen Vias durch die Silberfolie den thermischen Widerstand um den Faktor 2,5 verringert.

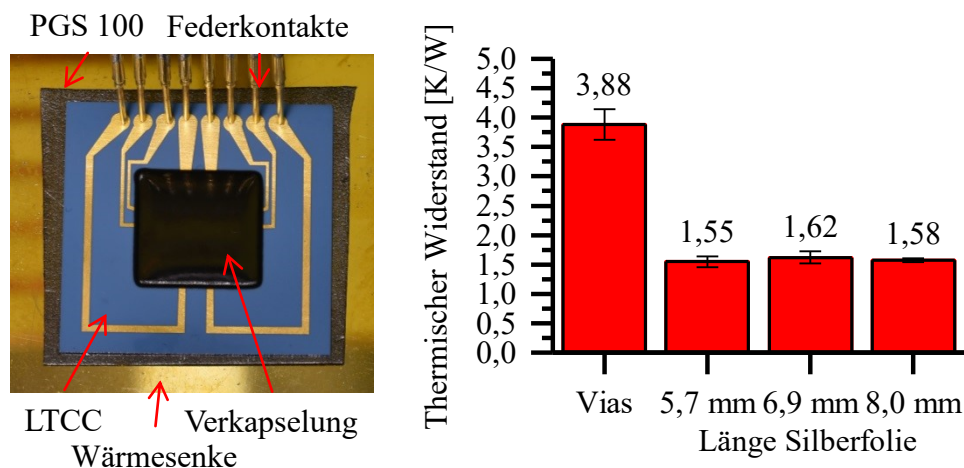


Abbildung 5.20: Links: Fotografie einer LTCC Probe auf der Wärmesenke. Der elektrische Kontakt erfolgt über Federkontakte. Rechts: Gesamter, thermischer Widerstand der Packages mit Silberfolie in Abhängigkeit der Spreizergröße, verglichen mit dem thermischen Widerstand des LTCC Moduls mit thermischen Vias.

5.2.4.2 Einsatz als vergrabener Wärmespreizer

Wie in Abschnitt 3.3.3 beschrieben, ist die Wärmespreizung innerhalb des Substrats mit Dickschichtwärmespreizern und thermischen Vias aufgrund des geringen Querschnitts der Spreizerstruktur stark limitiert. Die Silberfolien bieten hier die Möglichkeit, den Spreizerquerschnitt stark zu erhöhen. Dafür wird eine Silberfolie im Substrat, eine Lage unter der Oberfläche, mit einer definierten Länge und Breite integriert. Die Vergrößerung des Querschnitts führt zu einer Erhöhung des Spreizeffektes und damit zu einer Reduzierung des effektiven thermischen Widerstandes des Substrats. Die Silberfolie hat zudem eine höhere thermische Leitfähigkeit als das mit thermischen Vias versehene Substrat. Hierdurch reduziert sich der thermische Widerstand nochmals. Der Einfluss der integrierten Spreizerstruktur auf den effektiven thermischen Widerstand wird quantitativ mittels FEM Simulation und thermischer Messung bestimmt. Die FEM Simulation beinhaltet dabei drei verschiedene Modelle. Allen Modellen gemein ist, dass sie aus vier Lagen bestehen und eine Gesamtdicke von $640 \mu\text{m}$ aufweisen. Weiterhin befindet sich in der obersten Lage ein Viafeld, das 36 Vias mit einem Durchmesser von $250 \mu\text{m}$ und einem Pitch von $500 \mu\text{m}$ auf einer Fläche von $3 \times 3 \text{ mm}^2$ verteilt.

Zudem verfügen alle Modelle über eine 30 µm dicke Oberflächenmetallisierung, auf die ein 2,54 x 2,54 x 0,27 mm³ messender TTC mit einem silbergefüllten Leitkleber montiert ist. Die BLT wurde mit 30 µm angenommen. Die Rückseite des Substrates befindet sich auf einer 100 µm dicken thermischen Ausgleichsfolie, die auch bei der Messung Verwendung findet.

In Modell (1) setzt sich das Viafeld der ersten Lage in den darunterliegenden Lagen fort. Dabei sind die Vias thermisch und elektrisch mit einem Dickschichtwärmespreizer verbunden. Dieser hatte dabei die Abmaße von 3 x 3 x 0,01 mm³. Die Unterseite des Substrats ist mit einem 3 x 3 x 0,03 mm³ großen Dickschichtwärmespreizer metallisiert.

In Modell (2) sind die Viafelder, die internen Dickschichtwärmespreizer und die Rückseitenmetallisierung auf 7 x 7 mm² vergrößert. Dadurch steigt die Viaanzahl auf 196 bei gleichbleibendem Durchmesser und Pitch.

Modell (3) beinhaltet eine 160 µm dicke Silberfolie unmittelbar unter dem ersten Viafeld. In den beiden Lagen unter der Silberfolie befinden sich Viafelder und ein Dickschichtwärmespreizer mit der gleichen Länge und Breite wie die Silberfolie. Die Länge und Breite der Silberfolie wurde dabei zwischen 3 mm bis 7 mm variiert, um die Spreizwirkung quantitativ zu bewerten. Eine analytische Abschätzung nach den in Abschnitt 2.1.3.1 vorgestellten Methoden ist hierbei nicht möglich, da das Substrat durch die Vias und die Silberstruktur keine homogene thermische Leitfähigkeit besitzt. In Tabelle 5.3 sind die angenommenen thermischen Leitfähigkeiten der Materialien aufgelistet.

Tabelle 5.3: Angenommene thermische Leitfähigkeiten der Materialien.

Name	Material	Thermische Leitfähigkeit [W/(m · K)]
LTCC	DP951 [56]	3,3
Thermische Vias	DP6141	289
Dickschichtwärmespreizer	DP6146	215
Ag Epoxy	DM6030 [145]	60
Silberfolie	PMC	340,5
TTC	Silizium [104]	temperaturabhängig, 133 bei 25 °C
Ausgleichsfolie	PGS 100 [54]	_{xy} 700 _z 3,3

Die geometrischen Modelle sind in Abbildung 5.21 dargestellt. Für das Modell 3 sind stellvertretend die Strukturen mit einer 3 x 3 mm² und 7 x 7 mm² messenden Silberfolie gezeigt.

Der TTC wurde mit einer thermischen Last von 10 W beaufschlagt und die Rückseite der thermischen Ausgleichsfolie konstant auf 0 °C temperiert. Die sich ergebende Wärmestromdichte ist in Abbildung 5.22 als Verteilung im Querschnitt und als Profil 50 µm entfernt von der Substratrückseite dargestellt. Es zeigt sich, dass die 7 x 7 mm² messende Silberfolie in Modell (3_7) maßgeblich zur Spreizung des Wärmestroms beiträgt. Zudem kann gezeigt werden, dass die thermischen Vias im Randbereich dieses Modells einen höheren Anteil am Wärmestrom haben, als die Vias im Modell (2) an derselben Stelle, was durch die verbesserte Wärmespreizung im Substrat verursacht wird.

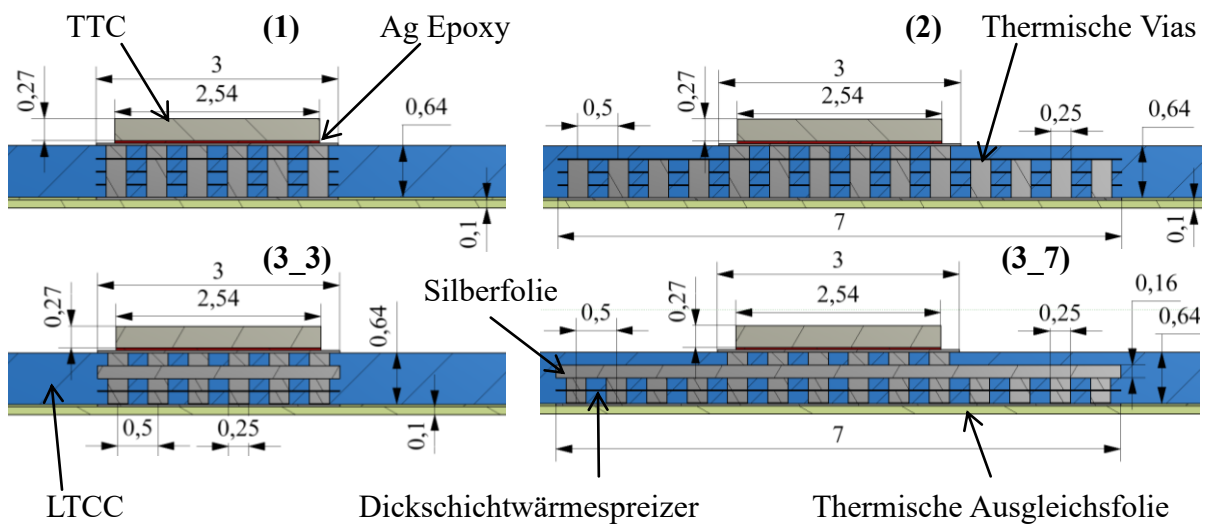


Abbildung 5.21: Geometrische Modelle der FEM Simulation zur quantitativen Bewertung des Einflusses von integrierten dicken Silberwärmespreizern. (1) Modell mit durchgehendem $3 \times 3 \text{ mm}^2$ Viasfeld. (2) Modell mit $3 \times 3 \text{ mm}^2$ und $7 \times 7 \text{ mm}^2$ Viasfeld. (3_3) & (3_7) Modell mit $3 \times 3 \text{ mm}^2$ Viasfeld, $3 \times 3 \text{ mm}^2$ bzw. $7 \times 7 \text{ mm}^2$ Silberfolie und Viasfeld.

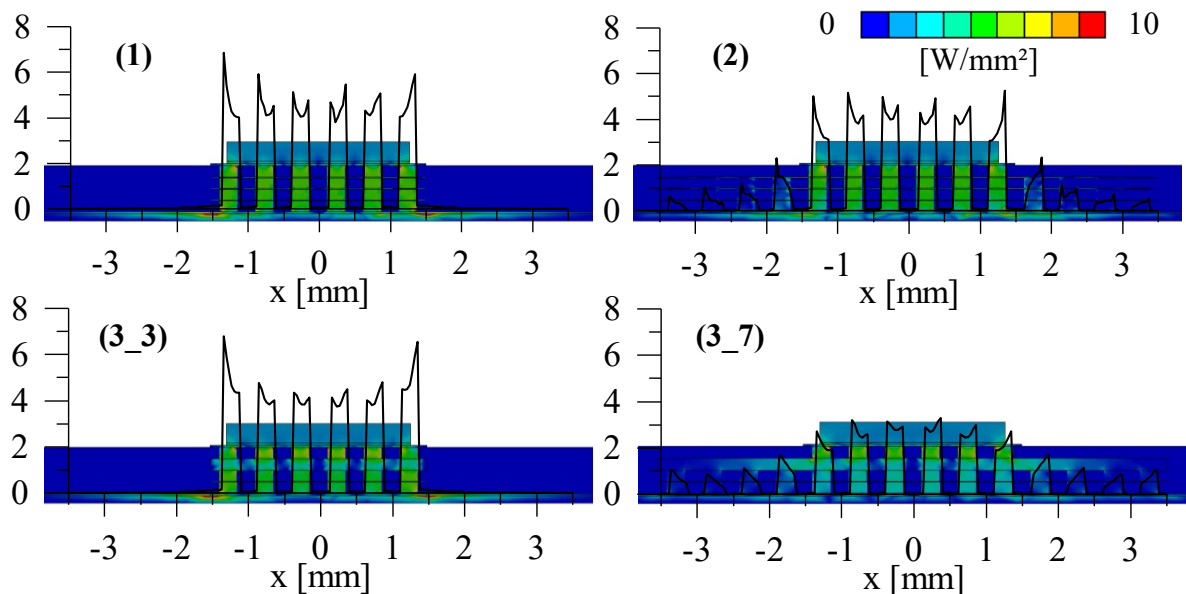


Abbildung 5.22: Wärmestromdichteverteilung und Verlauf der Wärmestromdichte im LTCC Substrat $50 \mu\text{m}$ von der Substratrückseite entfernt für die Modelle (1), (2), (3_3) sowie (3_7). Es zeigt sich, dass die 7 mm lange und breite Silberfolie in Modell (3_7) maßgeblich zur Spreizung des Wärmestroms beiträgt. Zudem kann gezeigt werden, dass die thermischen Vias im Randbereich dieses Modells einen höheren Anteil am Wärmestrom haben, als die Vias im Modell (2) an der gleichen Stelle.

Basierend auf der Verteilung des Wärmestroms konnte das Temperaturfeld der Modelle berechnet werden, welche in Abbildung 5.23 dargestellt sind. Zwischen den Modellen (1) und (3_3), die mit $3 \times 3 \text{ mm}^2$ die gleiche Grundfläche des thermischen Pfads besitzen, zeigt sich kein signifikanter Unterschied in der Temperaturverteilung. Die Maximaltemperatur des TTC ist in Modell (3_3) um 7 % geringer, was auf die höhere thermische Leitfähigkeit der Silberfolie im Vergleich zur LTCC mit thermischen Vias zurückzuführen ist.

Die zusätzlichen Vias in Modell (2) führen zu einer um 6 % reduzierten Maximaltemperatur des TTC's. Zwischen den Modellen (2) und (3_7), die mit 7 x 7 mm² die gleiche Grundfläche des thermischen Pfads besitzen, besteht ein deutlicher Unterschied in Temperaturverteilung und Maximaltemperatur des TTC's. Hier führt die Silberfolie in Modell (3_7) zu einer erhöhten Spreizung der Temperatur im Substrat, was auf die Spreizung des Wärmestroms zurückgeführt werden kann. Auch ist die Maximaltemperatur in diesem Modell um 25 % geringer als im Modell (2) ohne Silberfolie.

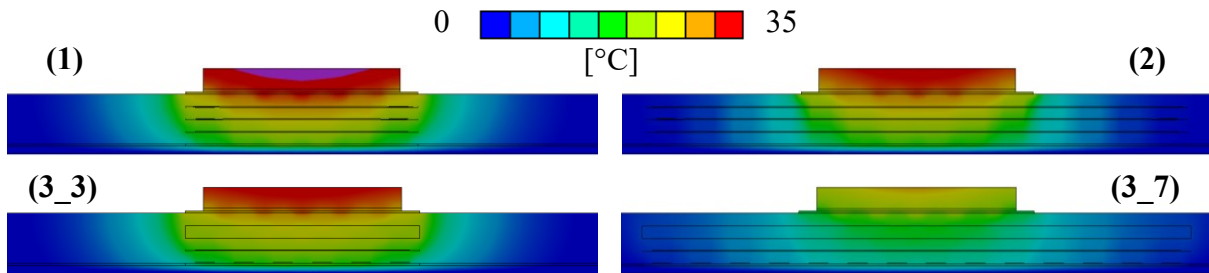


Abbildung 5.23: Temperaturverteilung in den Modellen (1), (2), (3_3) sowie (3_7). Es zeigt sich, dass die 7 mm lange und breite Silberfolie in Modell (3_7) maßgeblich zur Reduzierung der Chiptemperatur beiträgt.

Basierend auf der Maximaltemperatur des TTC's, der Temperatur der Ausgleichsfolie, sowie der thermischen Last von 10 W kann der thermische Widerstand berechnet werden. Die Ergebnisse für alle Modelle sind in Abbildung 5.24 dargestellt. Es zeigt sich, dass mit steigender Länge und Breite der vergrabenen Silberfolie der thermische Widerstand exponentiell abfällt. Der Unterschied zwischen 6 mm und 7 mm ist dabei nur noch marginal.

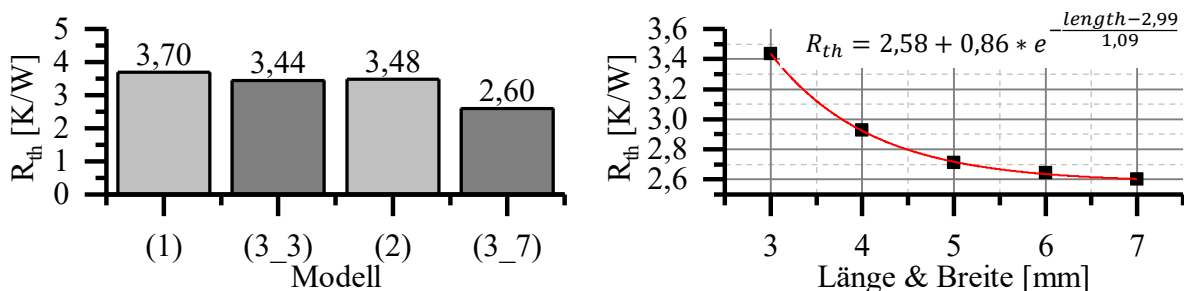


Abbildung 5.24: Links: Simulierter thermischer Widerstand der Modelle (1), (2), (3_3) sowie (3_7). Rechts: Simulierter thermischer Widerstand in Abhängigkeit von Länge und Breite der Silberfolie.

Nach der Simulation wurden die Modelle (1), (2) und (3_7) als LTCC Modul gefertigt. Dabei kam die gleiche Technologie zum Einsatz, wie sie im vorherigen Abschnitt beschrieben wurde. Die Metallisierung der Vias und des Dickschichtwärmespreizers bestand aus DP6141 bzw. DP6146. Als Sinterprozess wurde das druckunterstützte Sintern mit HTCC-Folien und einem Druck von 1,7 kPa genutzt. Die Metallisierung der Substratrück- und -vorderseite wurde dabei im Post-Fire Verfahren mit der Paste DP5081 und DP5082 erstellt. Die Goldmetallisierung der Bondpads bestand aus der Paste QR150. Die Oberflächentopologie der hergestellten Module ist in Abbildung 5.25 dargestellt. Im Modul (1) ist keine Verwölbung erkennbar, jedoch beträgt die Padhöhe 41 µm. Das Modul (2) zeigt infolge des

großen Viafeldes eine Verwölbung um $34\ \mu\text{m}$. Die Padhöhe beträgt hier hingegen nur $25\ \mu\text{m}$. Die Verwendung der Silberfolie führt im Modul (3_7) zu einer $17\ \mu\text{m}$ hohen Verwerfung im Bereich des Übergangs zwischen Silberfolie und LTCC. Die Padhöhe beträgt hier $26\ \mu\text{m}$.

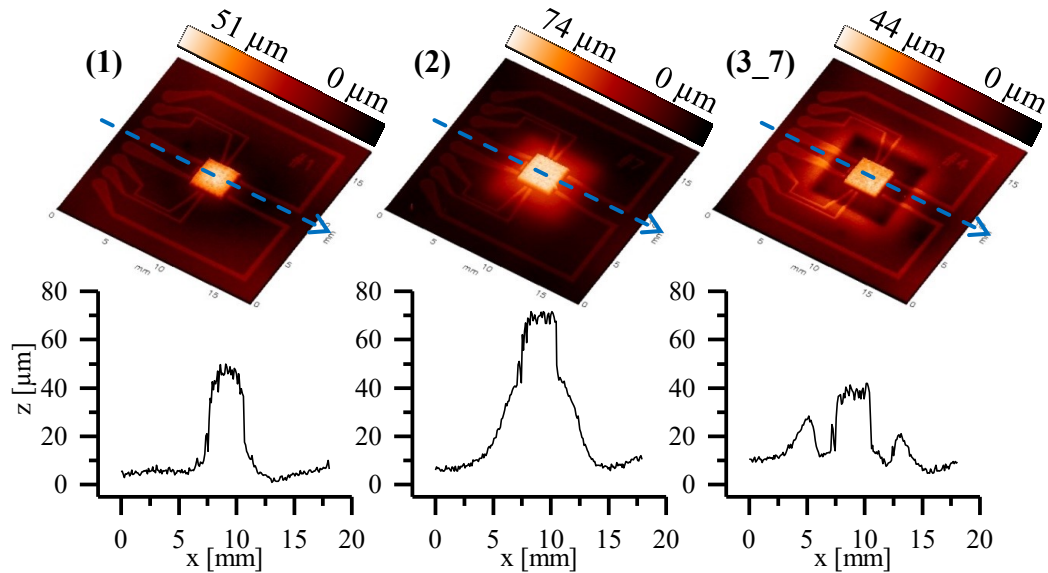


Abbildung 5.25: Oberflächentopologie und -profil der hergestellten Module.

In Abbildung 5.26 sind oben röntgenmikroskopische Aufnahmen des hergestellten Moduls (3_7) dargestellt.

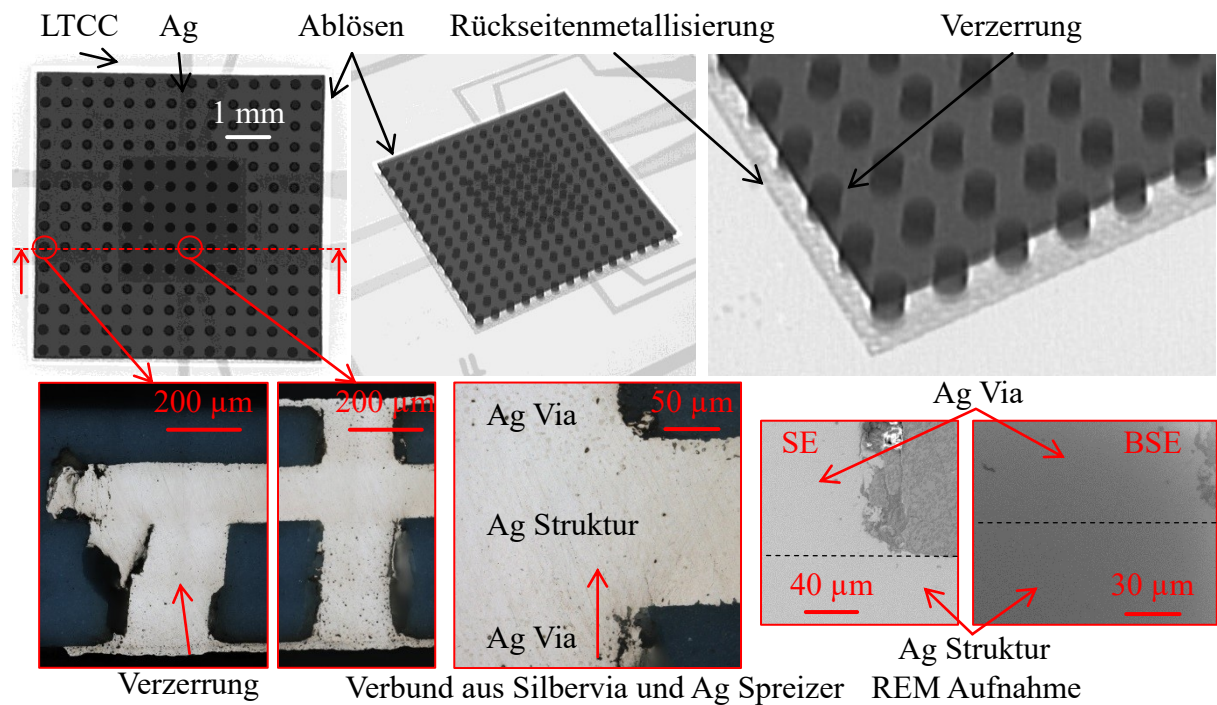


Abbildung 5.26: Oben: Röntgenmikroskopische Aufnahme des hergestellten Moduls (3_7). Ein heller Bereich um die Silberstruktur sowie eine Verwölbung der äußeren Viastruktur ist erkennbar. Unten: Querschliff durch das Modul. Ein Ablösen des Silbermaterials und der Vias von der LTCC-Wand ist erkennbar. Die äußeren Vias zeigen einer Verwölbung zur Mitte der Struktur. Zudem zeigt sich zwischen Silberspreizer und Silbervias ein Form- und Stoffschluss.

Ein heller Bereich um den Silberwärmespreizer deutet auf eine Ablösung des Silbermaterials von der LTCC Wandung hin, was bereits beim vorhergehenden Package beobachtet werden konnte. Zudem ist eine Verzerrung der Struktur des großen Viafeldes im Randbereich zur Mitte hin zu beobachten. Dies deutet auf eine gute Haftung des Viamaterials an der Silberstruktur hin. In der gleichen Abbildung sind unten Aufnahmen vom Querschliff durch das Modul dargestellt. Es zeigen sich ein Form- und Stoffschluss zwischen dem Silberspreizer und den Silbervias, sowie ein Formschluss zwischen dem Silberspreizer und der ober- und unterhalb befindlichen LTCC. Die Ablösung des Silbermaterials von der LTCC Wandung, sowie die Verzerrung der äußeren Viastrukturen ist erkennbar. Das Ablösen erfolgt vermutlich während der Abkühlphase aufgrund der unterschiedlichen CTE's von LTCC und Silbermaterial.

Die Messung des thermischen Widerstands der LTCC Module erfolgte mit der gleichen Methode, wie sie im vorherigen Abschnitt beschrieben ist. Es kam ebenfalls der PST1 mit einer Grundfläche von $2,54 \times 2,54 \text{ mm}^2$ zum Einsatz. Der Probenumfang betrug pro Modell neun Module. In Abbildung 5.27 sind links das hergestellte LTCC Modul vom Typ (3_7) mit bestücktem TTC, das verkapselte LTCC Modul, sowie Ergebnisse der Messungen in einem Boxplot dargestellt.

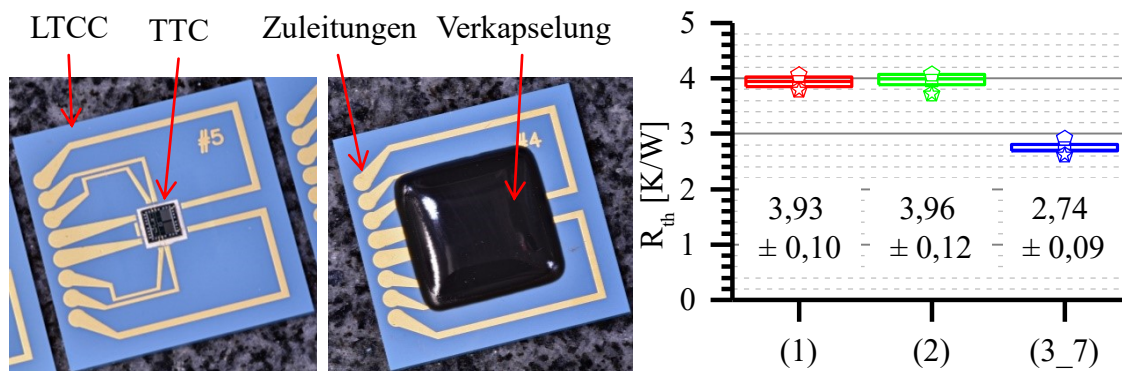


Abbildung 5.27: Links: mit TTC bestücktes LTCC Modul des Typs (3_7) mit integriertem Silberwärmespreizer. Rechts: Boxplot des gemessenen thermischen Widerstands der Module. Pro Modell wurden neun Proben hergestellt und gemessen.

Es zeigt sich, dass der thermische Widerstand der Module des Typs (1) und (2) keinen signifikanten Unterschied aufweist. Das größere Viafeld im Modul (2) führt somit nicht zu einer Verringerung des thermischen Widerstands. Im Mittel weisen diese Module einen thermischen Widerstand von $3,94 \text{ K/W} \pm 0,11 \text{ K/W}$ auf, was einer Abweichung von 6,2 % bzw. 13,8 % zur Simulation entspricht. Die Module des Typs (3_7) mit dem integrierten Silberwärmespreizer zeigen einen deutlich reduzierten thermischen Widerstand. Er lag bei $2,74 \text{ K/W} \pm 0,09 \text{ K/W}$, was einer Abweichung von 5,4 % zur Simulation entspricht. Somit verringert der integrierte Silberwärmespreizer den thermischen Widerstand um 30,5 % im Vergleich zu einem Package mit thermischen Vias und Dickschichtwärmespreizern.

5.2.5 Hermetizität des LTCC – Ag Verbundes

Die Hermetizität des LTCC – Ag Verbundes wurde mit dem im Abschnitt 5.1.2 beschriebenen Aufbau ermittelt. Pro Sintervariante, Kantenlänge der Silberstruktur und Modul wurden drei Proben vermessen. Alle Proben wiesen dabei eine Leckrate von $> 1 \cdot 10^{-5}$ mbar · l/s. Somit ist der Verbund nicht hermetisch dicht. Die Silberstruktur wurde separat auf Hermetizität getestet. Dabei wurde zwei Proben getestet. Die ermittelte Leckrate war $< 1 \cdot 10^{-10}$ mbar · l/s, sodass die Gasdichtigkeit der reinen Silberstruktur nachgewiesen werden konnte. Die Leckage des Verbundes ist daher an der Schnittstelle LTCC – Silberstruktur zu finden. Die unterschiedliche Schwindung von LTCC und Silberstruktur führt während der Abkühlphase des Sinterprozesses zur teilweisen Delamination der Silberstruktur von der LTCC (siehe Abbildung 5.19) und damit zur Bildung von Mikrokanälen.

5.2.6 Zusammenfassung der Ergebnisse

Die verwendete Silberfolie zeigt eine hohe elektrische und thermische Leitfähigkeit, wodurch sich ihr Einsatz sowohl im thermischen Management als auch für Leiter mit hoher Stromtragfähigkeit anbietet. Der hohe thermische Ausdehnungskoeffizient der Folie führt während der Abkühlphase zu Substratverwölbungen, die durch einen druckunterstützten Sinterprozess minimiert werden können. Dabei bildet sich ein Formschluss zwischen der LTCC und der Silberfolie aus, der an den seitlichen Wandungen und durch lokale Delamination unterbrochen ist. Diese verhindern eine hermetische Verbindung zwischen LTCC und Silberfolie. Die Anbindung an Silbervias erfolgt in einem Form- und Stoffschluss. Ein zweilagiges LTCC Modul mit TTC, das im thermischen Pfad durch die Silberfolie substituiert wurde, erzielt einen thermischen Widerstand, der um den Faktor 2,5 kleiner ist, als ein vergleichbares Modul mit thermischen Vias im thermischen Pfad. Dabei ist der thermische Widerstand unabhängig von der Länge und Breite der Silberfolie, solange diese größer als die 1,13 fache Chiplänge bzw. –breite sind. Die Wärme kann in LTCC Modulen mit thermischen Vias nicht effektiv gespreizt werden. Erst der Einsatz von massiven Silberstrukturen zeigt einen Spreizeffekt und führt so zu einer Reduzierung des thermischen Widerstandes um 30,5 %. Dabei hat eine Erhöhung der Spreizerlänge über das 2,8 fache der Chiplänge keinen signifikanten Einfluss mehr auf den thermischen Widerstand des LTCC Moduls.

6 Aktive Wärmeableitung im Schaltungsträger

Die Integration aktiver Entwärmungskonzepte im Schaltungsträger bietet die Möglichkeit, die Wärme nahe an der verlustbehafteten Komponente abzuführen und somit den thermischen Pfad kurz und den thermischen Widerstand gering zu halten. Zudem können durch den Verzicht von wärmespreizenden Strukturen und Kühlflächen im Package Substratfläche und damit Kosten eingespart werden. Die fertigungstechnische Integration dieser Konzepte in LTCC Substrate, sowie die Methodik der Charakterisierung werden im Folgenden beschrieben. Die thermische Leistungsfähigkeit wird anschließend anhand zweier Konzepte für Drahtbondchips und Flip-Chips bewertet.

6.1 Design, Fertigung und Charakterisierung

6.1.1 Integration von fluidischen Elementen in LTCC

Wie in Abschnitt 3.3.5 beschrieben, können fluidische Elemente in LTCC durch das Laserschneiden von ungesinterter LTCC Folie und das Auffüllen dieser mit einem Hilfsmaterial generiert werden. Das Hilfsmaterial unterstützt dabei die Druckverteilung während der isostatischen Lamination, schützt die fluidische Struktur vor Verformung während der Lamination und sublimiert restlos während des Sintervorgangs. Im Rahmen dieser Arbeit kam eine 254 μm dicke Carbonfolie (Thick Film Technologies, Everett, WA, USA) zum Einsatz, die mittels Laser strukturiert und in eine ebenfalls laserstrukturierte LTCC Folie gleicher Dicke (DP951PX) eingelegt wurde. Die Laserstrukturierung erfolgte mittels eines ns Lasers (MUFU 100, LPKF Laser & Electronics AG, Wellenlänge 355 nm) bei einer Leistung von 2,7 W und einer Schnittgeschwindigkeit von 15 mm/s. Die Carbonfolie sublimiert bei Temperaturen $> 600\text{ }^\circ\text{C}$, was einen Hohlraum innerhalb der Keramik zur Folge hat. Das Standardsinterprofil wurde entsprechend um einen 3,15 h Halteschritt bei $620\text{ }^\circ\text{C}$ nach dem Burnout erweitert. Das fluidische Element kann sich auch über mehrere LTCC Lagen erstrecken. Hierbei werden zwei oder mehr LTCC Lagen laserstrukturiert und mit zwei oder mehr laserstrukturierten Carbonfolien aufgefüllt. In Abbildung 6.1 sind die Querschliffe vier verschiedener Kanalgometrien gezeigt. Dabei erstreckt sich der Kanal über eine bzw. zwei Lagen.



Abbildung 6.1: Verschiedene realisierte Kanalgometrien mit Carbonfolie in einer bzw. zwei Lagen.

Zur Erzeugung von thermischen Vias im Kanal kann die Carbonfolie zusätzlich gestanzt und mit Metallpaste gefüllt werden. Dieser Prozess erfolgt vor der Laserstrukturierung. In Abbildung 6.2 links ist eine gestanzte, gefüllte und laserstrukturierte Carbonfolie dargestellt. Diese wurde verwendet, um einen $3 \times 0,2 \text{ mm}^2$ Kanal mit thermischen Vias in einem LTCC Substrat zu erzeugen. Der Querschliff durch das gesinterte Substrat ist in derselben Abbildung rechts dargestellt.

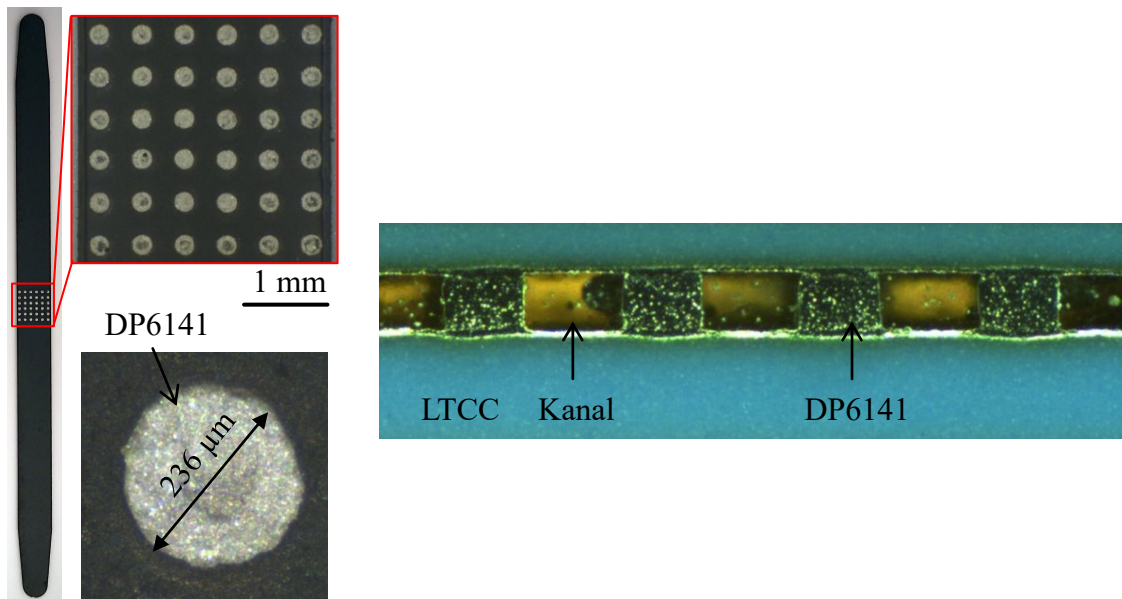


Abbildung 6.2: Links: Gestanzte, mit DP6141 gefüllte und laserstrukturierte Carbonfolie. Rechts: Querschliff durch LTCC Substrat mit Kanal und Vias im Kanal.

Die Geometrie des fluidischen Elements ist fertigungsbedingt limitiert. So ist die Dicke beschränkt auf ein Vielfaches der Einzellagenstärke der verwendeten LTCC Folie. Zudem ist Carbonfolie fragil, was die Handhabung der laserstrukturierten Elemente mit abnehmender Breite und zunehmender Länge des fluidischen Elements erschwert. Um Mikrokanäle mit einer Dicke kleiner als der Einzellagenstärke zu erzeugen, kann das Carbon in pastöser Form per Siebdruck auf die ungesinterte LTCC Folie aufgebracht werden. Eine entsprechende Aussparung in der LTCC Folie ist dabei nicht notwendig. Die Geometrie dieser Mikrokanäle ist nur durch die Siebdruckauflösung limitiert. In Abbildung 6.3 ist ein REM Aufnahme des Querschliffs durch siebgedruckte Mikrokanäle gezeigt.

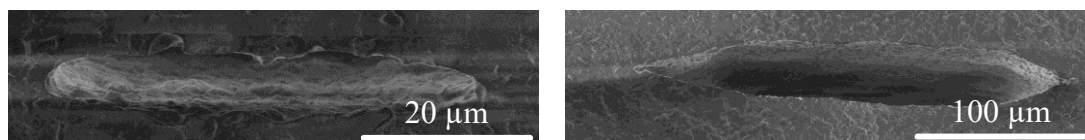


Abbildung 6.3: Links: $53 \times 7 \mu\text{m}^2$ Mikrokanal, realisiert mittels einmaligen Druck von Carbonpaste. Rechts: $256 \times 34 \mu\text{m}^2$ Mikrokanal, realisiert mittels 4-maligen Druck von Carbonpaste.

Für den Siebdruck wurde ein Edelmetallsieb mit 400 mesh und einer Filmemulsion mit einer Stärke von $15 \mu\text{m}$ verwendet. Der linke Querschnitt zeigt einen $53 \mu\text{m}$ breiten und $7 \mu\text{m}$ hohen Kanal, welcher durch einmaliges Drucken der Carbonpaste erzeugt wurde. Der rechte

Querschnitt zeigt einen 256 μm breiten und 34 μm hohen Kanal. Die größere Kanalhöhe wurde durch einen 4 stufigen, sequentiellen Druck- und Trockenprozess erzielt.

6.1.2 Thermische Charakterisierung

Die thermische Charakterisierung der aktiven Kühlkonzepte erfolgt anhand des thermischen Widerstands. Dieser wird analytisch mittels Modellgleichungen, sowie computational fluid dynamics (kurz: CFD) Simulation abgeschätzt. Anschließend erfolgt die Ermittlung des thermischen Widerstands anhand eines hergestellten LTCC Packages. Das Package enthält dabei einen TTC zur Generierung einer thermischen Last P und zur Bestimmung der Chiptemperatur T_J . Daneben sind im Substrat ein oder mehrere Temperatursensoren integriert, welche die Fluidein- und Ausgangstemperatur ermitteln. Die Fluideingangstemperatur T_F dient dabei als Bezugsgröße bei der Berechnung des thermischen Widerstands des Packages, siehe Gl. (6.1).

$$R_{th} = \frac{T_J - T_F}{P} \quad (6.1)$$

Zum einfachen Probenwechsel wird ein Versuchsstand entwickelt, der neben fluidischen auch elektrische Schnittstellen bereitstellt. Die substratintegrierten Temperatursensoren und der Versuchsstand sind im Folgenden beschrieben.

6.1.2.1 Substratintegrierter Platintemperatursensor

Der Temperatursensor wird im Co-Fire Verfahren mittels Siebdruck (Edelstahlsieb, 400 mesh, 15 μm Filmemulsion) einer Platinpaste (DP9896, DuPont) auf den Kanalboden realisiert. Er hat einen Flächenwiderstand von 30 $\text{m}\Omega$ und ist mäanderförmig mit einer Linienbreite und Linienabstand von 100 μm ausgelegt. Zur elektrischen Isolation gegenüber dem Kühlmedium ist er mit einer 40 μm dicken LTCC Lage aus DP951C2 abgedeckt.

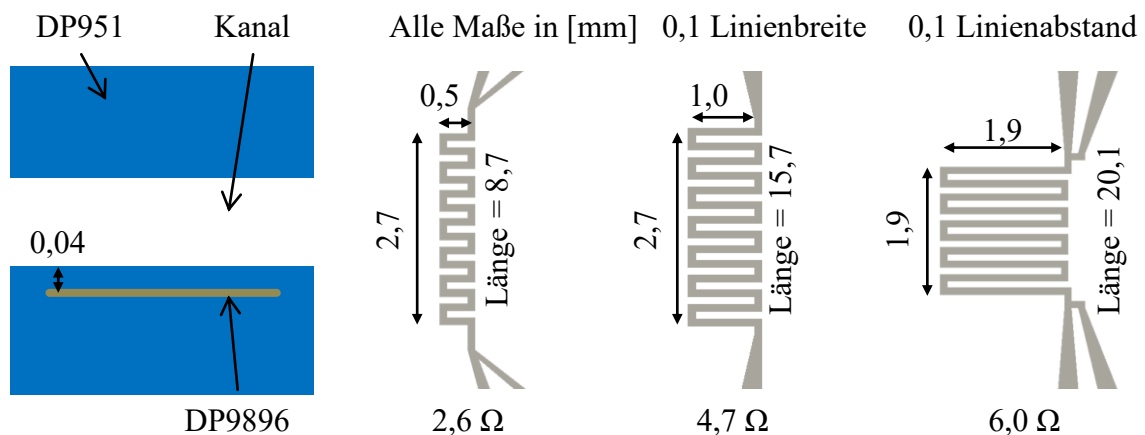


Abbildung 6.4: Links: Schematische Querschnitt durch LTCC Package mit Sensor. Rechts: Geometrie des Sensors in drei verschiedenen Konfigurationen. Die Linienbreite und der Linienabstand betragen 100 μm .

Die Ankontaktierung der Mäanderstruktur erfolgt mittels vier Zuleitungen, um Vierspitzenmessung zu ermöglichen. Es wurden insgesamt drei verschiedene Sensorgeometrien mit unterschiedlichem Zielwert für unterschiedliche Kanalquerschnitte realisiert. Dabei wurde eine Geometrie sowohl in der freien Sinterung als auch mittels PLAS mit HTCC-Folien hergestellt. Die Sensorgeometrien sind schematisch in Abbildung 6.4 dargestellt. Zudem ist der erwartete Widerstandswert mit angegeben.

Die Kalibrierung des Temperatursensors wird in einem Konvektionsofen durchgeführt. Das Package mit dem Sensor befindet sich hierbei auf einer Aluminiumplatte, an die ein RTD (PT100 F0,15 Genauigkeit $\pm (0,15 + 0,002 \cdot T)$ [53]) montiert ist. Dieser ist mittels Vierleiterschaltung an einen Datenlogger angeschlossen (Agilent 34970A). Die Temperatur des Ofens wird im Bereich von 30 °C bis 130 °C in 10 K-Schritten variiert, wobei die Temperatur pro Schritt für mindestens 10 min gehalten wird. Die Ermittlung des Widerstands erfolgt während der Haltezeit in 10 s-Abständen über Federkontaktstifte, die an einen Datenlogger (Agilent 34970A) angeschlossen sind. Abbildung 6.5 zeigt die Messanordnung.

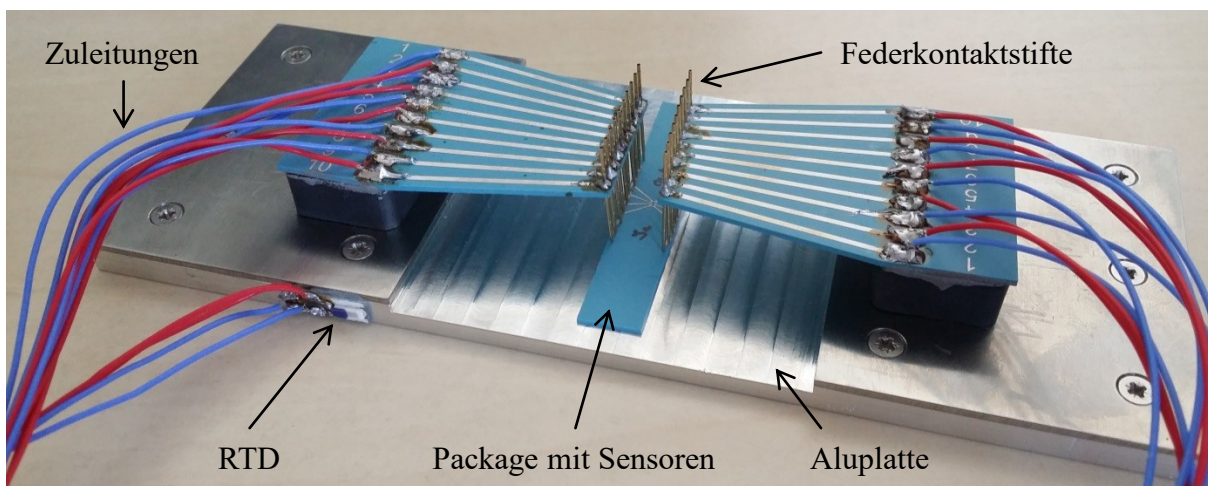


Abbildung 6.5: Messanordnung zur Kalibrierung der substratintegrierten Temperatursensoren.

Aus der aufgenommenen Temperatur-Widerstandskennlinie wird mittels Regression der Kurvenverlauf approximiert. Hierbei zeigt der lineare Ansatz nach Gl. (6.2) mit einem Bestimmtheitsmaß von über 0,99 bei allen Datensätzen die beste Anpassung.

$$R = R_0 \cdot (1 + \alpha_R \cdot T) \quad (6.2)$$

Die Ergebnisse der linearen Regression sind in Abbildung 6.6 dargestellt. Abgetragen sind jeweils der Widerstandswert bei 0 °C R_0 sowie der Temperaturkoeffizient α in einem Boxplot. Es zeigt sich, dass der gemessene Widerstandswert von allen frei gesinterten Sensoren im Mittel um 3 % - 21 % geringer ist als der Erwartungswert. Dabei streut R_0 mit zunehmender Widerstandslänge im Bereich von 3,5 % bis 10,2 %. Der unter Zwang gesinterte Widerstand zeigt hingegen einen um 15 % höheren Wert als der Erwartungswert und streut um 4,9 %. Der höhere Widerstandswert deutet auf eine geringere Schichtdicke der Leiterbahn hin, was auf den höheren z-Schrumpf der Leiterbahn infolge des lateralen Zwangs während der Sinterung

zurückzuführen ist. Der Temperaturkoeffizient der Sensoren liegt im Bereich von $3,75 \cdot 10^{-3} \cdot \text{K}^{-1}$ bis $3,79 \cdot 10^{-3} \cdot \text{K}^{-1}$ mit einer Streuung von 0,3 % bis 0,6 %. Damit weisen die hergestellten Sensoren eine vergleichbare Empfindlichkeit wie die kommerziell verfügbaren Draht- und Dünnschicht RTD's PT100 und PT1000 auf. Diese besitzen einen Temperaturkoeffizienten von $3,851 \cdot 10^{-3} \cdot \text{K}^{-1}$ [53].

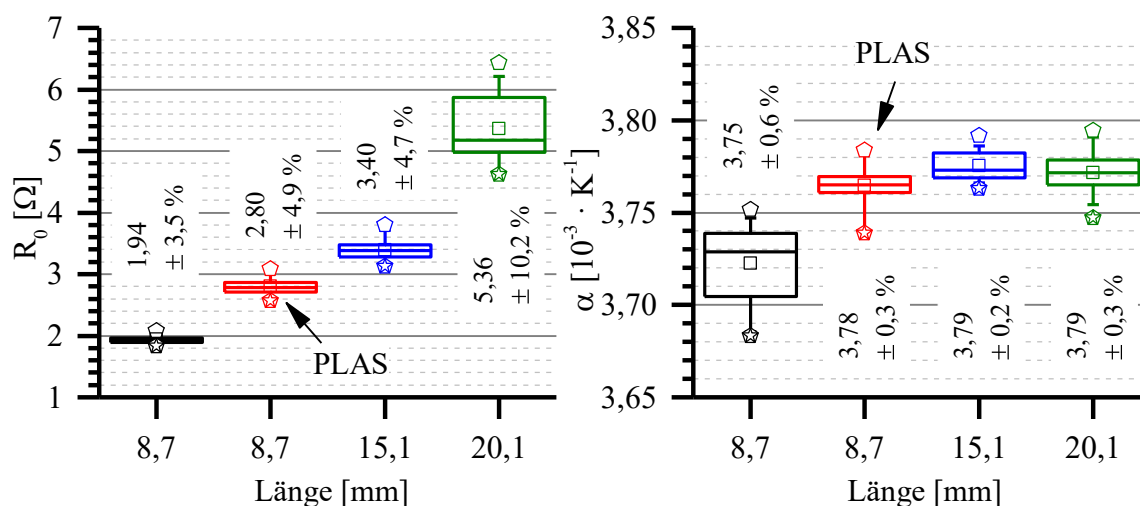


Abbildung 6.6: Ergebnis der linearen Regression der Widerstands-Temperaturkennlinien. Links: Widerstand bei 0 °C. Rechts: Temperaturabhängigkeit des Widerstands.

6.1.2.2 Versuchsstand mit elektrischen und fluidischen Schnittstellen

Zur thermischen Charakterisierung der Packages mit aktiven Entwärmungskonzepten wurde ein Versuchsstand mit fluidischen und elektrischen Schnittstellen realisiert, der einen konstanten Volumenstrom im Bereich von 10 ml/min bis 400 ml/min mittels einer Kolbenpumpe (1000D, Teledyne Isco Inc.) bereitstellt. Auf 22 °C temperiertes, destilliertes Wasser wurde dabei als Kühlmedium genutzt. Der fluidische Einlass und Auslass des Packages sind über Schläuche und Quetschverschraubungen mit der Pumpe bzw. einem Reservoir verbunden. Die Quetschverschraubungen dichten dabei zum einen die fluidischen Schnittstellen ab und fixieren zum anderen das Package in einem Halter aus PEEK. Zur elektrischen Kontaktierung der Temperatursensoren und des TTC's weist das Package an der Unterseite Kontaktpads in einem festen Raster auf. Der Versuchsstand verfügt über Federkontaktstifte im gleichem Raster, welche die Pads elektrisch mit der Steuer- und Auswertelektronik verbinden. Die Ansteuerung des TTC's erfolgte dabei auf die gleiche Weise, wie in den Abschnitten 2.3.1 und 2.3.2 beschrieben. Zur Automatisierung der Messung wurde ein Datenlogger genutzt, in dem die Temperatur-Spannungskennlinie des TTC's und die Temperatur-Widerstandskennlinien der Sensoren hinterlegt wurden. Zudem detektierte der Datenlogger die in den TTC eingespeiste Leistung. So kann aus den elektrischen Messwerten direkt der thermische Widerstand des Packages nach Gl. (6.1) berechnet werden. Zur Ermittlung des Druckabfalls über das Package wurde der in der Pumpe integrierte Drucksensor genutzt. Dieser misst den Pumpenausgangsdruck, aus welchem nach

Abzug des Druckabfalls über der fluidischen Wegstrecke ohne Package der Druckabfall über das Package berechnet werden kann. In Abbildung 6.7 ist der Versuchsstand dargestellt. Links ist dabei der Versuchsstand mit zwei Packages von der Vorder- und Rückseite, in der Mitte der Versuchsstand mit montierten Package und rechts eine Quetschverschraubung abgebildet. Das dargestellte Package weist dabei zwei TTC's auf.

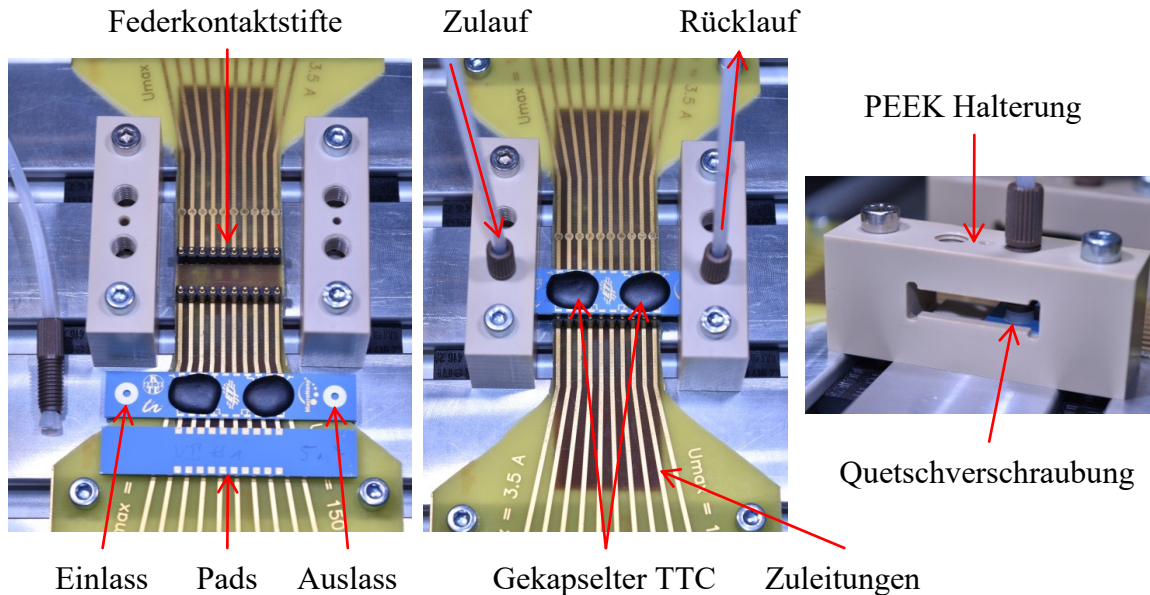


Abbildung 6.7: Links: Versuchsstand und zwei Packages von der Vorder- und Rückseite. Mitte: Versuchsstand mit montierten Package. Rechts: Quetschverschraubung auf Package.

6.2 Kühlkonzept für Drahtbondchips

Die Verlustleistung P von Drahtbondchips wird vollflächig über die Chiprückseite an das Substrat abgeleitet. Um die Chipübertemperatur dabei möglichst gering zu halten, sollte der thermische Pfad so kurz wie möglich gestaltet werden. Dies kann durch die Integration von fluidischen Kanälen im Substrat erreicht werden. Diese leiten ein Kühlmedium durch das Substrat, was die Verlustleistung effizient aus dem Modul abführt. Hierfür sind mindestens ein fluidischer Ein- und ein fluidischer Ausgang erforderlich. Der thermische Widerstand des Moduls setzt sich dabei aus dem Widerstand der konvektiven Wärmeübertragung an das Kühlmedium $R_{th,K}$ und dem summierten konduktiven Widerstand der im thermischen Pfad verwendeten Materialien $R_{th,L}$ zusammen. Die Wärmeübertragung durch Strahlung und natürliche Konvektion an die Umgebung ist hier aufgrund des nur geringen Einflusses auf den gesamten Wärmestrom vernachlässigt. In Abbildung 6.8 ist das grundlegende Konzept und das vereinfachte thermische Ersatzschaltbild schematisch dargestellt. Der konduktive Widerstand keramischer Substrate kann durch den Einsatz von thermischen Vias verringert werden, wie in Abschnitt 3.3.2 gezeigt wurde. Der konvektive Wärmeübergang kann durch im Kanal stehende thermische Vias optimiert werden, da diese die wärmeübertragende Fläche vergrößern. Im Folgenden wird der Einfluss von im Substrat und Kanal integrierten thermischen Vias auf den thermischen Widerstand und die Substratebenheit bewertet. Zudem

werden Möglichkeiten zur Optimierung der Substrateinheit untersucht. Anschließend erfolgt die Bewertung der Skalierbarkeit des Kühlkonzepts für verschiedene Chipgrößen. Weiterhin wird die Möglichkeit der elektrischen Isolation des Chips vom Kühlmedium diskutiert und ein Demonstrator Package vorgestellt.

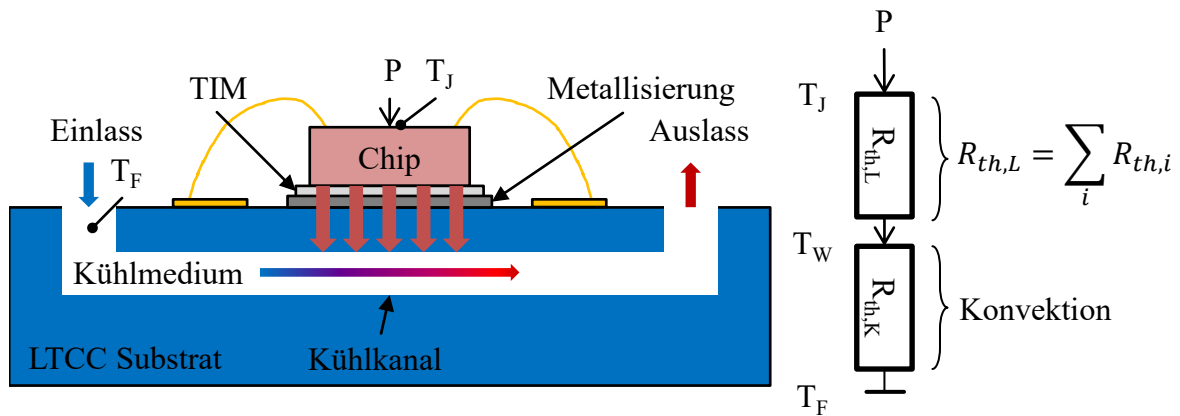


Abbildung 6.8: Links: Schematische Darstellung der aktiven Kühlung durch substratintegrierte Kühlkanäle. Der Chip gibt über das Substrat die Wärme an das im Kühlkanal fließende Kühlmedium ab, welches die Wärme dann aus dem Modul transportiert. Rechts: Vereinfachtes thermisches Ersatzschaltbild des Moduls.

6.2.1 Einfluss von thermischen Vias auf den thermischen Widerstand

Um den Einfluss von thermischen Vias auf den thermischen Widerstand des LTCC Moduls mit aktiver Kühlung zu bewerten, wurden insgesamt drei unterschiedliche Designs erstellt. In Abbildung 6.9 sind die Designs schematisch dargestellt. Die Designs sind dabei auf den TTC PST1 dimensioniert, welcher über ein 10 μm dickes TIM und ein 10 μm dickes Pad an das Substrat angebunden ist.

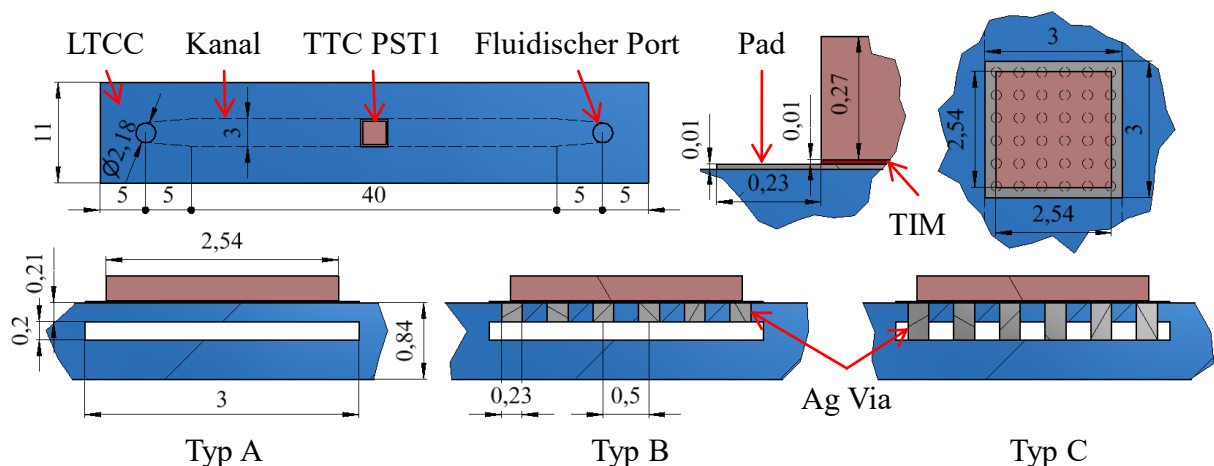


Abbildung 6.9: Modell des fluidischen Entwärmungskonzeptes für Drahtbondchips. Drei verschiedene Designs sind im Querschnitt dargestellt. Typ A stellt dabei das Referenzmodell dar. Typ B enthält thermische Vias im LTCC Substrat. Typ C verfügt sowohl über thermische Vias im LTCC Substrat als auch im Kanal. Die Vias sind dabei mittig unter dem TTC in einer 6 x 6 Matrix angeordnet, wie aus der Draufsicht oben rechts ersichtlich wird. Der TTC ist über ein TIM und Pad an das Substrat angebunden.

Allen Designs gemein ist ein 3 mm breiter und 200 μm hoher Kanal, der in einer Tiefe von 210 μm im LTCC Substrat integriert ist. Typ A stellt das Referenzmodell dar. Typ B enthält 36 thermische Vias im LTCC Substrat, um den konduktiven thermischen Widerstand des keramischen Substrats zu senken. Diese haben einen Durchmesser von 230 μm und sind in einer 6 x 6 Matrix mit einem Pitch von 500 μm mittig unter dem TTC angeordnet. Dies entspricht einem Metallisierungsgrad von 16,6 %. Typ C verfügt sowohl über thermische Vias im LTCC Substrat als auch im Kanal. Diese weisen die gleiche Geometrie wie bei Typ B auf.

In Tabelle 6.1 sind die angenommenen thermischen Leitfähigkeiten der Materialien aufgelistet.

Tabelle 6.1: Angenommenen thermischen Leitfähigkeiten der Materialien.

Name	Material	Thermische Leitfähigkeit [W/(m · K)]
LTCC	DP951 [56]	3,3
TTC PST1	Silizium [104]	133 bei 25 °C
Pad	DP6146	215
TIM	DM6030 [145]	60
Ag Via	DP6141	289

Analytische Betrachtung:

Der thermische Widerstand der Typen A – C wurde analytisch berechnet. Dabei unterschieden sich Typ A & B in der Berechnung des konduktiven Anteils der LTCC. Die Berechnung des thermischen Widerstandes der LTCC von Typ A erfolgte unter Berücksichtigung der Wärmespreizung nach Gl. (2.23), (2.26) und (2.28). Die Ausgangsfläche der Spreizung wurde dabei mit der Chipfläche von 2,54 x 2,54 mm² approximiert, da eine Wärmespreizung im Pad aufgrund der geringen Dicke nicht zu erwarten ist, vgl. Abschnitt 3.3.3. Ein berechneter Spreizwinkel von 25,8° in der LTCC vergrößert dabei die wärmeübertragende Fläche auf 2,74 x 2,74 mm². Somit wird nicht die volle Kanalbreite für die Wärmeübertragung genutzt. Der thermische Widerstand von Chip, TIM und Pad wurde nach Gl. (2.20) berechnet. Der gesamte konduktive Anteil des thermischen Widerstands betrug für Typ A 9,48 K/W. Der thermische Widerstand von Typ B & C erfolgte auf Basis der Gl. (3.2), die den Einfluss thermischer Vias auf den effektiven thermischen Widerstand des Substrats nachbildet. Dabei wurde eine Substratfläche von 3 x 3 mm² angenommen. Die Berechnung der thermischen Widerstände von Chip, TIM und Pad wurde auf gleiche Weise wie bei Typ A durchgeführt, sodass der gesamte konduktive Anteil des thermischen Widerstands von Typ B & C 0,86 K/W betrug. Zur Berechnung des konvektiven Anteils wurde für Typ A & B die Gl. (2.39) verwendet, die den thermischen Widerstand auf die dimensionslose Nußelt-Zahl zurückführt. Diese ist abhängig von dem Volumenstrom, der Kanalgeometrie und der Prandtl-Zahl des Kühlmediums, vgl. Gl. (2.38). Es wurde Wasser mit einer Eingangstemperatur von 25 °C als Kühlmedium angenommen, sodass sich eine Prandtl-Zahl von 7,0 nach Gl. (2.33) ergab. Die Prandtl-Zahl wird durch die Erwärmung in der Nähe der wärmeübertragenden Kanalwand beeinflusst, wodurch die Lösung nur iterativ möglich ist.

Um eine geschlossene Lösung zu erhalten, wurde der Korrekturfaktor der Prandtl-Zahl in Gl. (2.38) mit 1 approximiert. Der Volumenstrom wurde von 10 ml/min bis 300 ml/min variiert und hierbei der konvektive Anteil des thermischen Widerstands berechnet. Für Typ C wurde der konvektive Anteil des thermischen Widerstands nach Gl. (2.41) berechnet. Diese Gleichung modelliert die Wärmeübertragung bei Queranströmung eines Zylinderbündels, was im vorliegenden Fall das Viafeld darstellt. Die Wärmeübertragung an der Kanalwandung wurde dabei vernachlässigt. Die Ergebnisse der Berechnung sind in Abbildung 6.10 dargestellt. Alle Typen zeigen dabei einen exponentiell abklingenden Verlauf. So nimmt mit steigendem Volumenstrom die Änderung des thermischen Widerstandes ab, sodass sich dieser asymptotisch einem Endwert annähert. Die Differenz von A zu B ergibt sich aus dem unterschiedlich hohen konduktiven Anteil des thermischen Widerstands und der größeren wärmeübertragenden Fläche von Typ B. Mit zunehmendem Volumenstrom sinkt die Differenz, sodass sie bei 300 ml/min 8,94 K/W beträgt, was nahezu dem Unterschied im konduktiven Anteil entspricht. Die thermischen Vias im Substrat führen somit zu einer Reduktion des gesamten thermischen Widerstands um 71,2 %, was auf die Reduktion des konduktiven Anteils des thermischen Widerstands zurückzuführen ist. Die Differenz von B zu C beträgt bei 300 ml/min 1,93 K/W, was einer Reduktion um 53,8 % entspricht. Die thermischen Vias im Kanal vergrößern die wärmeübertragende Fläche um 12,3 %, wobei angenommen wird, dass nur die halbe Mantelfläche der Vias Wärme überträgt. Somit ist die Reduktion des thermischen Widerstands nicht nur durch die Flächenvergrößerung bedingt, sondern wird vornehmlich durch die Queranströmung der Vias erzielt.

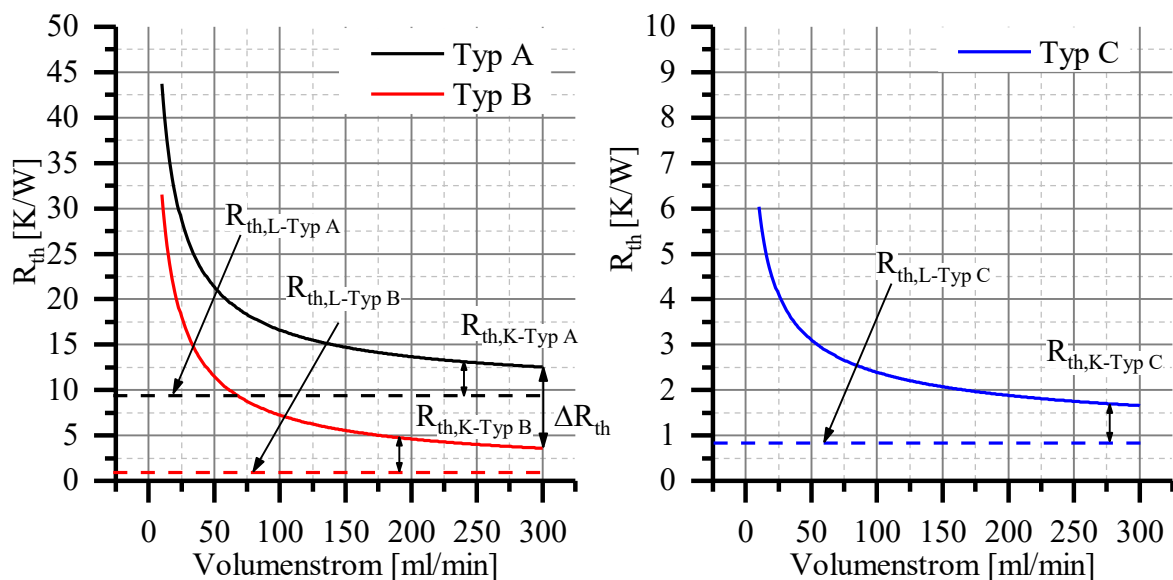


Abbildung 6.10: Berechneter thermischer Widerstand der Typen A – C in Abhängigkeit vom Volumenstrom. Die gestrichelte Linie stellt dabei den konduktiven Anteil des thermischen Widerstands dar. Die durchgängige Linie beschreibt den Verlauf des gesamten thermischen Widerstands.

Simulative Betrachtung:

Die Designs wurden in ANSYS CFX nachgebildet und simuliert. Hierzu wurde an einem fluidischen Port ein variabler Volumenstrom von 25 °C warmen Wasser eingepreßt. Der Ausgangsport wies einen Druck von 0 bar auf. Der Chip wurde mit variabler Leistung P belastet und das sich ergebende Temperaturfeld berechnet. Die Konfiguration der Simulation ist schematisch in Abbildung 6.11 oben dargestellt. Die Vernetzung des Fluids in Wandnähe erfolgte dabei über die Bildung von 10 Prismenschichten mit einer Anfangsgröße von 1 μm und einer Wachstumsrate von 1,2. Ein wand- und krümmungsabhängiger Vernetzungsalgorithmus sorgte zudem für einen hohen Vernetzungsgrad in Regionen mit hohem Gradienten der Strömungsgeschwindigkeit. Die Abbildung 6.11 zeigt im unteren Bereich den Querschnitt durch das Netzmodell von Typ A – C quer zur Strömungsrichtung, wodurch der hohe Vernetzungsgrad in Wandnähe deutlich wird.

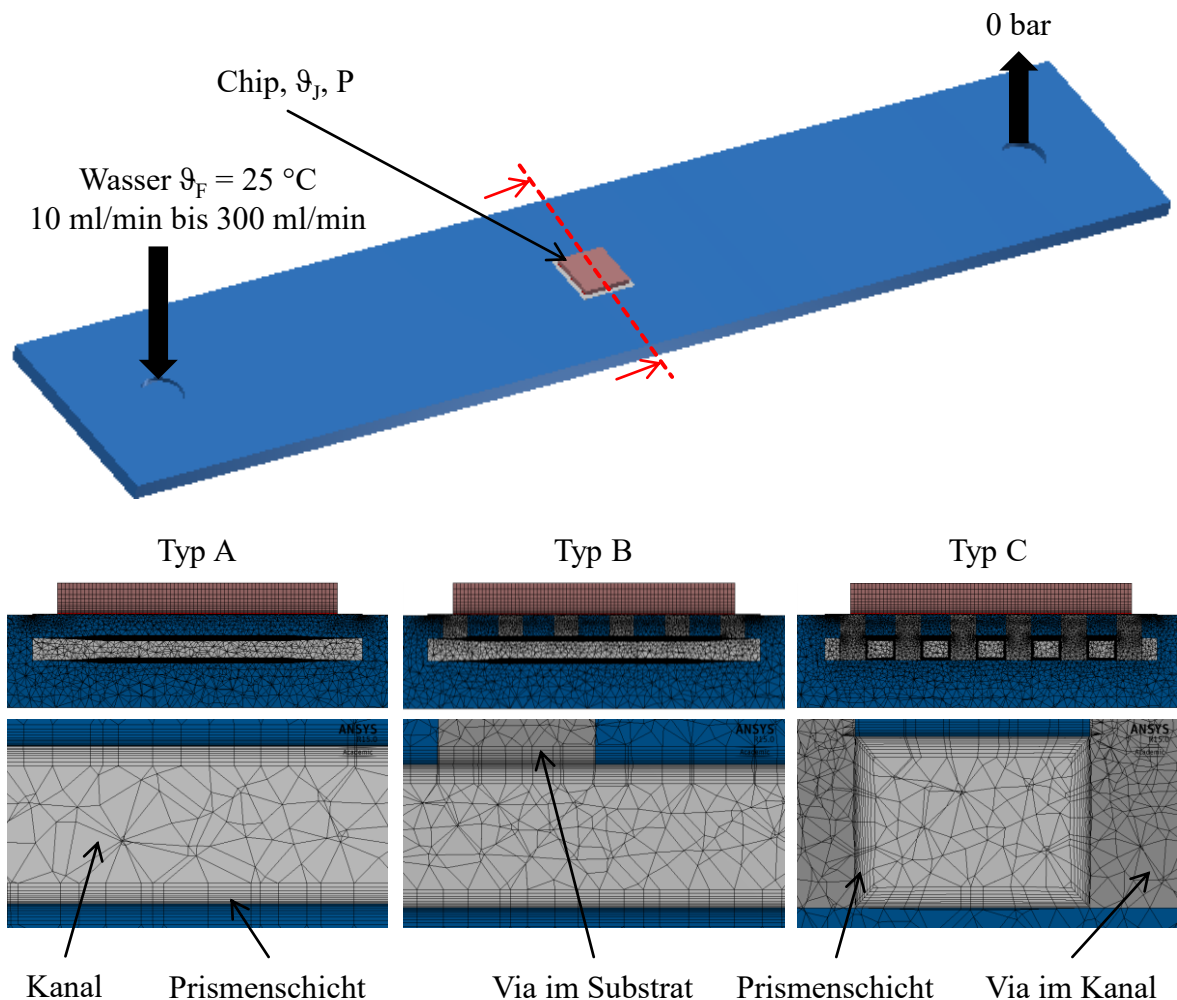


Abbildung 6.11: Oben: Konfiguration der fluidischen Simulation. Unten: Querschnitt des Netzmodells von Typ A, B und C. In der Detailansicht sind die einzelnen Prismenschichten an den wärmeübertragenden Flächen erkennbar.

Der TTC wurde mit einer thermischen Last beaufschlagt und das sich ergebende Temperaturfeld simuliert. In Abbildung 6.12 ist der Querschnitt in Strömungsrichtung des

Temperaturfeldes für eine thermische Last von 5 W und einem Volumenstrom von 300 ml/min dargestellt.

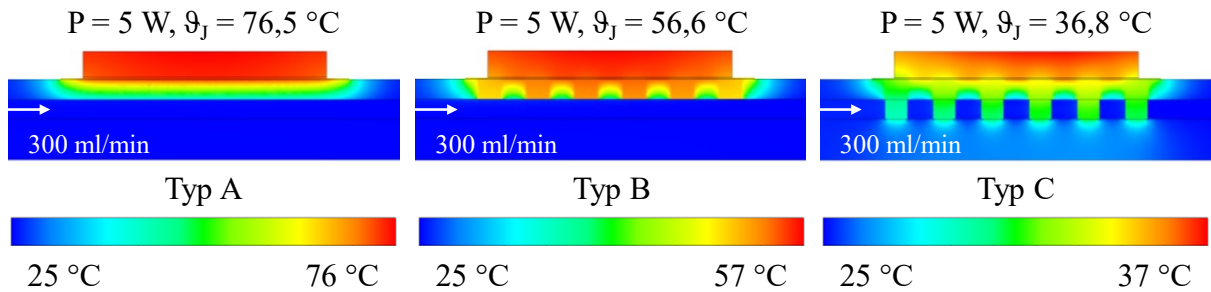


Abbildung 6.12: Querschnitt in Strömungsrichtung des simulierten Temperaturfeldes für Typ A – C bei einer Leistung von 5 W und einem Volumenstrom von 300 ml/min.

Typ A und B weisen dabei ein homogenes Temperaturfeld im thermischen Pfad auf. Die Erwärmung der LTCC geht dabei über die Fläche des Pads hinaus. Typ C zeigt eine Verschiebung des Temperaturfeldes in Richtung des Volumenstroms. So kann ein Temperaturgradient auf der Chipoberseite in Strömungsrichtung beobachtet werden. Dieser deutet auf einen guten Wärmeübergang zwischen thermischen Vias im Kanal und Kühlmedium hin. Zudem wird durch die Vias im Kanal auch die untere Hälfte des LTCC Substrates erwärmt. Basierend auf den Temperaturfeldern und der eingespeisten thermischen Leistung kann der thermische Widerstand der Designs nach Gl. (6.1) berechnet werden. In Abbildung 6.13 ist der thermische Widerstand der Designs in Abhängigkeit vom Volumenstrom dargestellt. Alle Typen zeigen dabei einen exponentiell abklingenden Verlauf.

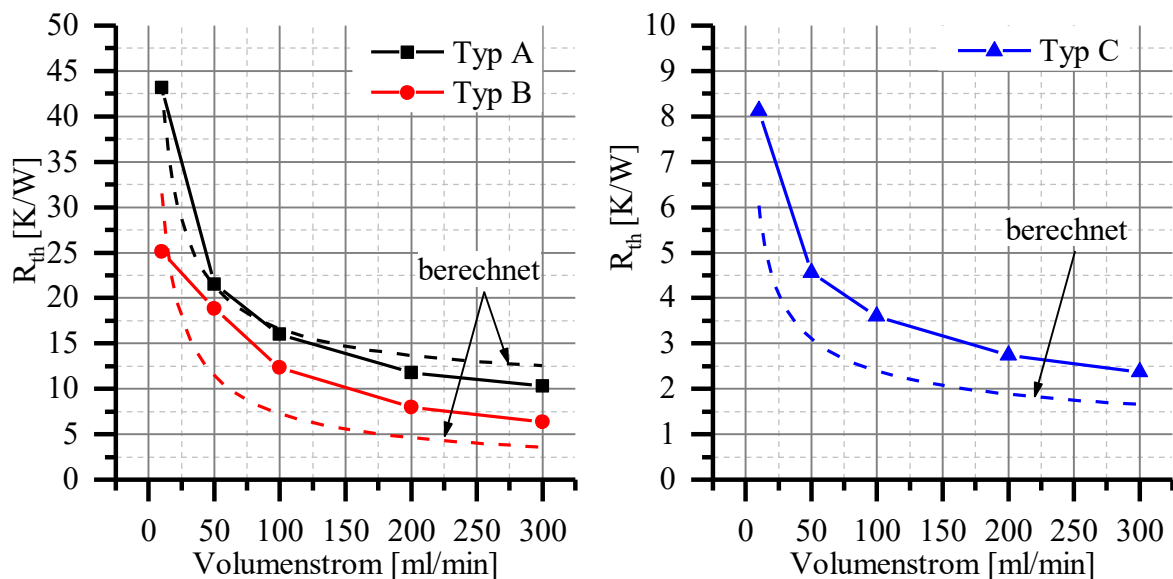


Abbildung 6.13: Simulierter thermischer Widerstand der Typen A – C in Abhängigkeit vom Volumenstrom. Zu Vergleichszwecken wurde der berechnete Verlauf als gestrichelte Linie mit dargestellt.

Der analytisch ermittelte, thermische Widerstand von Typ A ist bei 300 ml/min um 21 % größer als der simulativ bestimmte Wert. Diese Abweichung zeigt, dass die wärmeübertragende Fläche an der Kanalwand größer ist, als die analytisch durch das Modell der Wärmespreizung in der LTCC ermittelte, was durch die Temperaturverteilung im Querschnitt (Abbildung 6.12) verdeutlicht wird. Außerdem konnte die Störung des Strömungsprofils durch den fluidischen Ein- und Ausgang im analytischen Modell nicht berücksichtigt werden. Hierdurch könnten sich Unterschiede in der Strömungsgeschwindigkeit im wärmeübertragenden Bereich zwischen dem analytischen Modell und dem Simulationsmodell ergeben, was eine Abweichung in der Nußeltzahl, respektive im Wärmeübergangskoeffizienten bedingt, vgl. Gl. (2.32), (2.35), (2.38). Der analytisch bestimmte thermische Widerstand von Typ B ist um 43 % geringer als der simulierte Wert. Die Kurve der Simulation und der analytischen Bestimmung zeigt zudem einen nahezu gleichförmigen Verlauf, der sich nur durch einen Offset unterscheidet. Dies deutet auf einen Unterschied im konduktiven Anteil des thermischen Widerstands hin, da dieser nicht vom Volumenstrom abhängig ist. Der simulierte Wert zeigt dabei einen höheren konduktiven Anteil als der analytisch bestimmte Wert. Die Simulation hat zudem gezeigt, dass die thermischen Vias im Substrat den thermischen Widerstand um 38,8 % reduzieren.

Typ C weist einen Unterschied von 29 % zwischen Simulation und analytischer Bestimmung bei einem Volumenstrom von 300 ml/min auf. Die Temperaturverteilung zeigt einen Temperaturgradienten auf der Chipoberfläche, was auf einen Temperaturgradienten im Kühlmedium in Strömungsrichtung zurückgeführt werden kann. Das analytische Modell setzt eine konstante Fluidtemperatur im thermischen Pfad voraus, was zu einer zu optimistischen Berechnung führt. Die Simulation hat ferner gezeigt, dass die zusätzlichen thermischen Vias im Substrat den thermischen Widerstand im Vergleich zu Typ B um 38,1 % reduzieren.

Herstellung und Messung:

Die Designs wurden im DP951 System mit den unter Abschnitt 6.1.1 vorgestellten Technologien hergestellt. Die Kanallage wurde dabei durch eine Lage DP951 PX mit einer gebrannten Dicke von 210 μm realisiert. Der Kanal wurde mit einer Lage DP951 PX abgedeckt, sodass sich ein thermischer Pfad mit einer Länge von 210 μm im Substrat ergab. Das Pad auf der Substratoberseite wurde mittels Siebdruck im Co-Fire Verfahren mit der Paste DP6146 realisiert. Die thermischen Vias vom Design B und C wurden mit einem 300 μm messenden Stanzstift gestanzt und mit der Paste DP6141 aufgefüllt. Abbildung 6.14 zeigt auf der linken Seite den Querschnitt durch das Design B. Eine Verwölbung der Substratoberseite um $177 \mu\text{m} \pm 8 \mu\text{m}$ ist erkennbar. Der hohe Metallisierungsgrad führt zu einem geringeren Schrumpf im Viafeld, wodurch sich die Substratoberfläche an dieser Stelle aufwirft. In Design C wurde auf die Kanalober- und unterseite eine Metallfläche mit der Paste DP6146 per Siebdruck strukturiert. Diese trägt zum Kurzschluss der thermischen Vias bei. Der Querschnitt von Design C, dargestellt in Abbildung 6.14 auf der rechten Seite, zeigt eine Verwölbung um $83 \mu\text{m} \pm 13 \mu\text{m}$. Diese ist um 53 % geringer als die Verwölbung von Design B. Vermutlich wird die Verwölbung der Substratoberfläche durch den Kontakt der Vias im Kanal mit dem unteren Teil der LTCC vermindert.

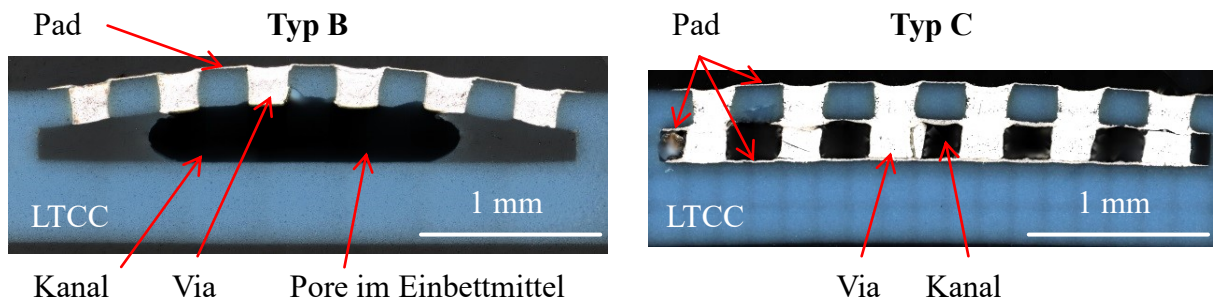


Abbildung 6.14: Links: Querschnitt durch Design B. Eine Verwölbung der Substratoberfläche von $177 \mu\text{m} \pm 8 \mu\text{m}$ ist erkennbar. Rechts: Querschnitt durch Design C. Eine Verwölbung der Substratoberfläche von $83 \mu\text{m} \pm 13 \mu\text{m}$ ist erkennbar. Die quadratische Musterung der LTCC im unteren Bildbereich ist ein Artefakt der Bildgebung.

Der TTC PST1 wurde mit dem Silberleitkleber DM6030 auf das Pad geklebt und elektrisch mittels Gold-Dünndrahtbonden kontaktiert. Der Chip wurde anschließend mit einem Glob-Top (AMICON 50400-1, Emerson & Cuming) verkapselt. Abbildung 6.15 stellt eine Fotografie und die Röntgenaufnahmen der gefertigten Module A – C dar.

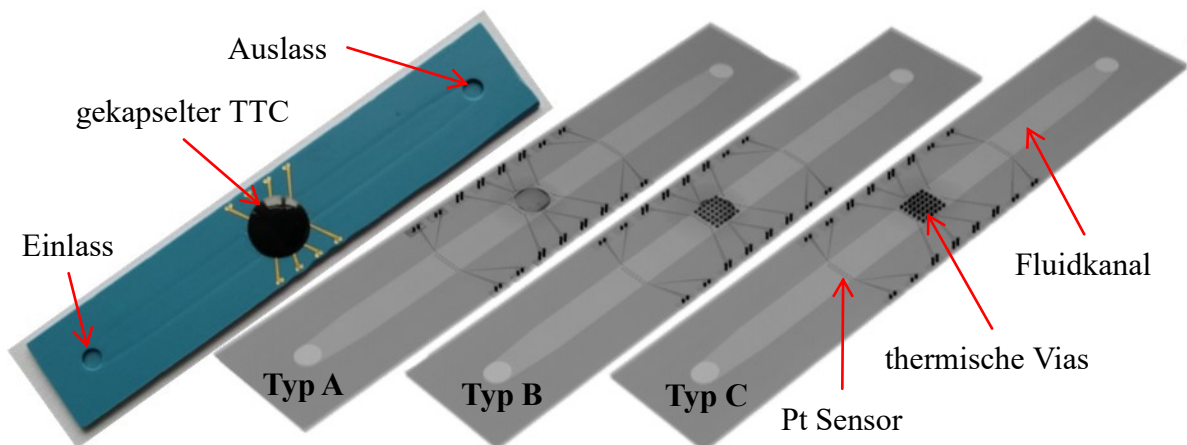


Abbildung 6.15: Links: Fotografie des hergestellten Moduls A mit gekapseltem TTC. Rechts: Röntgenaufnahmen der gefertigten Module A – C. Die thermischen Vias von Typ B und C sowie die Platinsensoren sind erkennbar.

Die Ermittlung des thermischen Widerstandes erfolgte mit der unter Abschnitt 6.1.2 vorgestellten Methode. Destilliertes Wasser mit einer Temperatur von $22 \text{ }^\circ\text{C}$ wurde als Kühlmedium verwendet. Die gemessenen thermischen Widerstände von Typ A – C sind in Abhängigkeit vom Volumenstrom in Abbildung 6.16 dargestellt. Dabei wurden von Typ A und C jeweils drei Module und von Typ B ein Modul vermessen.

Die Messungen haben gezeigt, dass sich ein zur Simulation und analytischen Bestimmung vergleichbarer Verlauf mit exponentiellem Abklingen einstellt. Ohne thermische Vias im Substrat und Kanal wird ein thermischer Widerstand von $11,9 \text{ K/W} \pm 0,1 \text{ K/W}$ bei einem Volumenstrom von 300 ml/min erzielt. Dieser ist um $13,5 \%$ größer als der simulierte Wert. Abweichungen der gefertigten Geometrie, der Übergangswiderstand des Chipklebers (vgl. Abschnitt 4.1), sowie die Oberflächenrauheit der Kanalwandung wurden in der Simulation nicht berücksichtigt und sind als mögliche Ursachen für die Abweichung anzuführen.

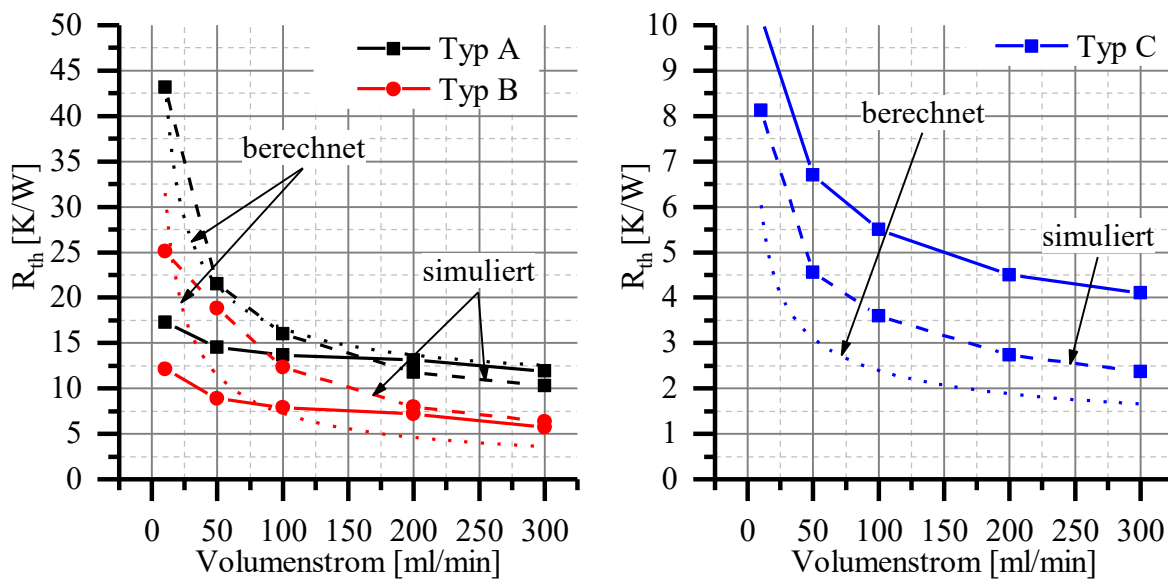


Abbildung 6.16: Gemessener thermischer Widerstand von Typ A – C in Abhängigkeit vom Volumenstrom. Zu Vergleichszwecken ist der simulierte und analytisch bestimmte Verlauf mit dargestellt.

Mit thermischen Vias im Substrat verringert sich der thermische Widerstand um 52,1 % auf 5,7 K/W bei einem Volumenstrom von 300 ml/min. Dieser weicht um -10,9 % von der Simulation ab. Der konduktive Anteil des gemessenen thermischen Widerstands steigt infolge der Substratverwölbung. Die Verwölbung führt ferner zu einer Vergrößerung des Kanalquerschnitts und damit zu einer Erhöhung der wärmeübertragenden Fläche, wodurch der konvektive Anteil des gemessenen Widerstands sinkt. Die Erhöhung des konduktiven Anteils wird hierdurch überlagert, sodass die Abweichung zur Simulation geringer als erwartet ausfällt. Vias, die zusätzlich im Kanal platziert werden, verringern den thermischen Widerstand nochmals um 28,1 % auf 4,1 K/W \pm 0,1 K/W bei einem Volumenstrom von 300 ml/min. Die Abweichung zur Simulation beträgt 42,2 %. Die gemessene Kurve und die simulierte Kurve zeigen zudem einen nahezu gleichförmigen Verlauf, der sich nur durch einen Offset unterscheidet. Dies deutet auf einen Unterschied im konduktiven Anteil des thermischen Widerstands hin, da dieser nicht vom Volumenstrom abhängig ist. Der simulierte Wert zeigt dabei einen geringeren konduktiven Anteil als der gemessene Wert. Mögliche Ursachen sind hier der in der Simulation nicht berücksichtigte Übergangswiderstand des Chipklebers sowie die Erhöhung des konduktiven Anteils des thermischen Widerstands durch die Substratverwölbung.

In Abbildung 6.17 ist der gemessene Druckabfall über den Modulen in Abhängigkeit vom Volumenstrom dargestellt. Das Modul B weist bei 300 ml/min einen Druckabfall von 2,8 bar auf. Dieser ist um 0,2 bar geringer als der Druckabfall über das Modul A, was durch die Querschnittsvergrößerung des Kanals von Modul B im Bereich der thermischen Vias verursacht wird. Das Modul C zeigt einen Druckabfall von 6,3 bar. Die thermischen Vias im Kanal vergrößern hier den fluidischen Widerstand des Kanals, sodass der Druckabfall sich mehr als verdoppelt.

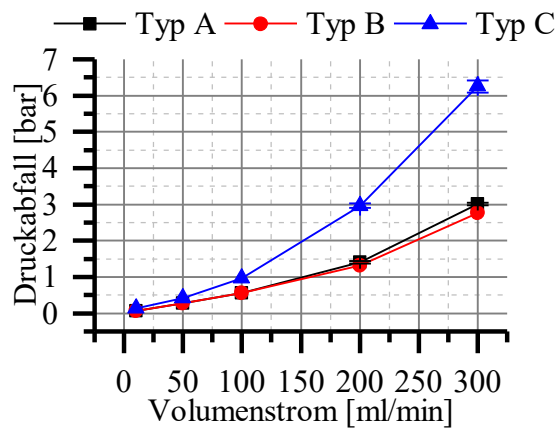


Abbildung 6.17: Gemessener Druckabfall über den Modulen A – C in Abhängigkeit des Volumenstroms.

In Tabelle 6.2 sind die analytisch bestimmten, simulierten, sowie die gemessenen thermischen Widerstände der Typen A – C für einen Volumenstrom von 300 ml/min zur Übersicht dargestellt. Zudem ist der gemessene Druckabfall bei gleichem Volumenstrom angegeben.

Tabelle 6.2: Berechneter, simulierter und gemessener thermischer Widerstand, sowie der gemessene Druckabfall von Typ A – C bei einem Volumenstrom von 300 ml/min.

	Typ A	Typ B	Typ C
R_{th} – berechnet [K/W]	12,5	3,6	1,7
R_{th} – simuliert [K/W]	10,3	6,3	2,4
R_{th} – gemessen [K/W]	$11,9 \pm 0,1$	5,7	$4,1 \pm 0,1$
Druckabfall [bar]	$3,0 \pm 0,0$	2,8	$6,3 \pm 0,2$

6.2.2 Optimierung der Substratplanarität

Zum Nachweis der Abhängigkeit der Verwölbung vom Metallisierungsgrad wurde das Design B und C mit unterschiedlichen Viadurchmessern hergestellt. Dabei wurde der Durchmesser des Stanzstiftes zur Erzeugung der thermischen Vias von 100 μm bis 300 μm variiert und die Substratverwölbung im Bereich des Substratpads mittels Lasertriangulation (CyberScan 3D, cyberTECHNOLOGIES GmbH) vermessen. Um die Verwölbung zu minimieren, wurden die Designs A – C zusätzlich im PLAS Prozess gesintert (vgl. Abschnitt 3.1.5). Hierzu wurde eine HTCC-Folie (Release Tape DuPont) an Ober- und Unterseite des LTCC Substrates laminiert. Die HTCC-Folie minimierte während der Sinterung die laterale Schrumpfung, sodass das unterschiedliche Schrumpfungsverhalten von hochmetallisiertem Viafeld und umgebender LTCC kompensiert wurde. Abbildung 6.18 zeigt die ermittelten Verwölbungen in Abhängigkeit von Stanzdurchmesser, Design und Sintervariante. Pro Stanzdurchmesser, Design und Sintervariante wurden dabei fünf Strukturen gefertigt und vermessen. Es zeigte sich, dass mit kleiner werdendem Stanzdurchmesser die Substratverwölbung abnimmt. Dabei weist das Design B über alle Stanzdurchmesser eine nahezu doppelt so hohe Verwölbung wie Design C auf. Die Verwölbung der unter Zwang gesinterten Module (PLAS) ist minimiert und zeigt zudem keine signifikante Abhängigkeit von Viadurchmesser und Design.

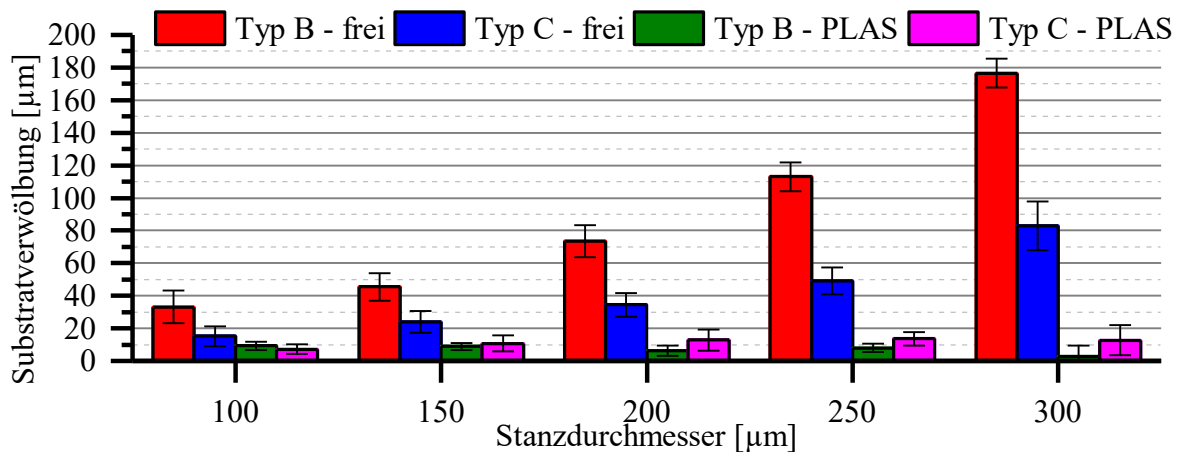


Abbildung 6.18: Substratverwölbung von Design B und C in Abhängigkeit von Stanzdurchmesser und Sintervariante.

Infolge des minimierten lateralen Schrumpfes stieg der Schrumpf in Z-Richtung. Hierdurch wurden die Modulabmessungen in Z-Richtung, sowie der Viadurchmesser verändert. Die veränderten Abmessungen wurden anhand von Querschliffen bestimmt und sind in Tabelle 6.3 für die einzelnen Designs aufgelistet. Dabei wurden nur die Querschliffe der Designs, die mit dem 300 µm Stanzstift hergestellt wurden, angefertigt.

Tabelle 6.3: Auflistung der durch das Sintern unter Zwang veränderten Modulabmessungen. Die Daten wurden anhand von Querschliffen von Design B & C, gefertigt mit einem 300 µm Stanzstift, ermittelt.

[µm]	Typ A	Typ B	Typ C
Dicke kanalabdeckende Lage	154 ± 2,3	171 ± 0,8	164 ± 2,9
Kanalhöhe	189 ± 3,1	143 ± 11,8	189 ± 5,4
Viadurchmesser	n. a.	220 ± 7,0	208 ± 3,9

In Abbildung 6.19 sind Querschliffe durch das Design B und C gezeigt.

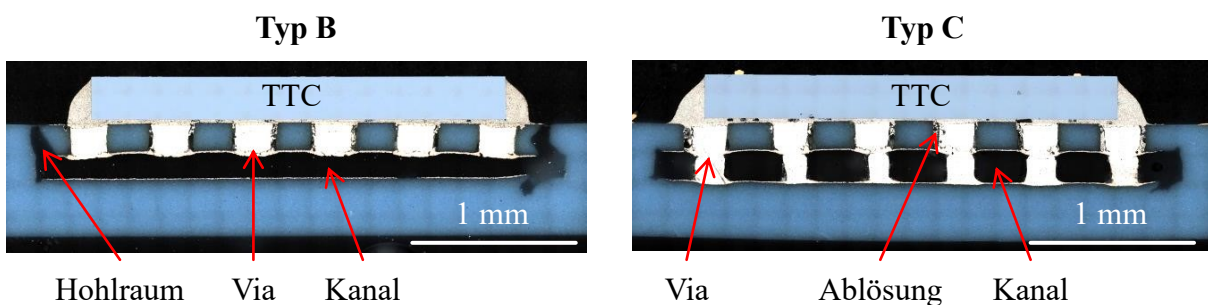


Abbildung 6.19: Querschnitt durch Modul mit bestücktem TTC, gesintert unter Zwang mit HTCC-Folie. Links: Design B, Hohlräume am linken und rechten Kanalrand sind erkennbar. Rechts: Design C, Ablösen der Vias von der umgebenden LTCC Wandung ist erkennbar. Die quadratische Musterung der LTCC im unteren Bildbereich ist ein Artefakt der Bildgebung.

Die Abbildung zeigt die Designs in der Variante mit einem Stanzdurchmesser von 300 µm. Ein Abriss der Vias von der umgebenden LTCC Wandung ist zu erkennen. Hierdurch wurde der Viadurchmesser auf 220 µm (Typ B) bzw. 208 µm (Typ C) reduziert. Die Hermetizität des Substrats wird hierdurch beeinträchtigt (vgl. Abschnitt 5.1.4). Zudem sind in Design B am

linken und rechten Rand des Kanals größere Hohlräume zu erkennen, die die Dicke der oberen LTCC Schicht nochmals verringern. Dies deutet auf ein inhomogenes Ausgasen des sublimierten Carbons infolge der Abdeckung der Substratoberflächen mit HTCC-Folien hin.

In Abbildung 6.20 ist der Druckabfall über die Module A – C in Abhängigkeit des Volumenstroms dargestellt. Pro Design wurden drei Module (A & C) bzw. ein Modul (B) vermessen.

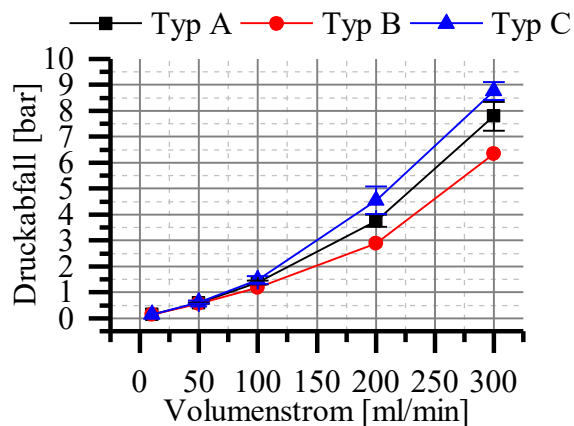


Abbildung 6.20: Gemessener Druckabfall über den Modulen A – C in Abhängigkeit des Volumenstroms.

Design C weist infolge der im Kanal stehenden Vias bei 300 ml/min den mit $8,8 \text{ bar} \pm 0,3 \text{ bar}$ höchsten Druckabfall auf. Dieser ist um 2,5 bar höher, als der Druckabfall über dem frei gesinterten Modul C, was auf die geringere Kanalhöhe des mit dem PLAS Prozess gesinterten Moduls zurückgeführt werden kann. Gleiches gilt für die Module A, die mit $7,8 \text{ bar} \pm 0,6 \text{ bar}$ einen um 4,8 bar höheren Druckabfall aufweisen als die frei gesinterten Module A. Das Modul B zeigt mit 6,3 bar einen um 3,5 bar höheren Druckabfall. Im Vergleich zu den Modulen A & C generiert das Modul B den geringsten Druckabfall. Die Messungen des Kanalquerschnitts zeigen jedoch, dass das Modul B die geringste Kanalhöhe aufweist, was einen höheren Druckabfall impliziert. Diese Diskrepanz deutet darauf hin, dass der durch die Vermessung des Querschliffs ermittelte Kanalquerschnitt nicht über die gesamte Kanallänge konstant ist. Während der Ermittlung des Druckabfalls sind vereinzelt Module geborsten. Der Riss trat dabei an der Substratoberseite entlang des Kanals auf. Der Ausfall konnte bei den Modulen A & C ab einem Volumenstrom $> 200 \text{ ml/min}$ und bei dem Modul B bei einem Volumenstrom $> 100 \text{ ml/min}$ beobachtet werden. Die frei gesinterten Module wiesen dieses Verhalten hingegen nicht auf. Dies zeigt, dass durch die geringere Schichtdicke der den Kanal abdeckenden LTCC Lage die mechanische Stabilität des Moduls beeinträchtigt ist. Zudem reduzieren die Hohlräume an der linken und rechten Kanalwand die obere LTCC Schichtdicke nochmals. Daher war es notwendig, den Volumenstrom für die Module A & C auf 200 ml/min und für die Module B auf 100 ml/min zu begrenzen.

Zur Ermittlung des Einflusses der erhöhten Z-Schrumpfung auf den thermischen Widerstand wurde der thermische Widerstand mit den bereits beschriebenen Methoden analytisch

ermittelt, simuliert und gemessen. Für das Design A & C wurden jeweils drei, für das Design B zwei Module vermessen. Die Ergebnisse sind in Abbildung 6.21 dargestellt.

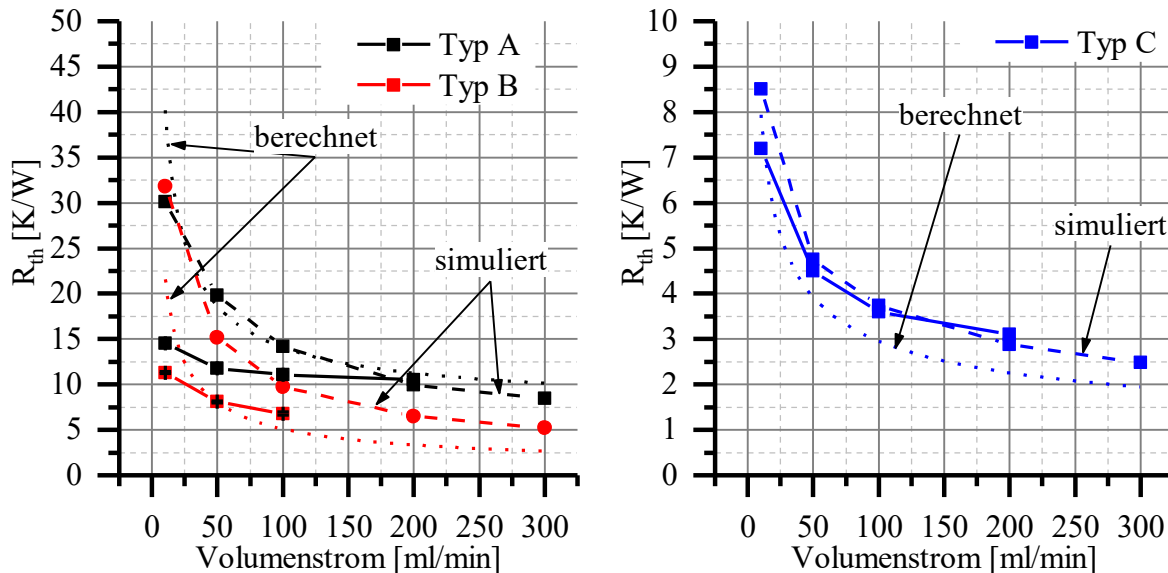


Abbildung 6.21: Gemessener thermischer Widerstand in Abhängigkeit vom Volumenstrom, der Designs A – C, gesintert unter Zwang. Zu Vergleichszwecken ist der simulierte und analytisch bestimmte Verlauf mit dargestellt.

Das Design A weist einen thermischen Widerstand von $10,5 \text{ K/W} \pm 0,2 \text{ K/W}$ bei einem Volumenstrom von 200 ml/min auf. Dieser ist um $2,6 \text{ K/W}$ geringer als der thermische Widerstand der frei gesinterten Module des Typs A. Die Reduzierung der Schichtdicke der den Kanal abdeckenden LTCC Lage um $26,7 \%$ führt hier zu einer Reduzierung des thermischen Widerstands um $19,8 \%$. Das Design B zeigt bei 100 ml/min einen mit $6,8 \text{ K/W} \pm 0,2 \text{ K/W}$ um $1,1 \text{ K/W}$ geringeren thermischen Widerstand als die frei gesinterten Module des Typs B, was einer Reduzierung um $13,9 \%$ entspricht. Die den Kanal abdeckende LTCC Lage ist dabei um $18,6 \%$ dünner. Der thermische Widerstand des Design C beträgt bei einem Volumenstrom von 200 ml/min $3,1 \text{ K/W} \pm 0,0 \text{ K/W}$ und ist damit um $1,4 \text{ K/W}$ niedriger als der thermische Widerstand der frei gesinterten Module des Typ C. Dies stellt eine Reduzierung um $31,1 \%$ dar. Demgegenüber steht eine Reduzierung der Schichtdicke der den Kanal abdeckenden LTCC Lage um $21,9 \%$.

Aus den Messdaten wurde der Verlauf des thermischen Widerstands über die zulässige Volumenstromrate hinaus interpoliert. Hierfür wurde ein exponentieller Ansatz verwendet, Gl. (6.3). \dot{V} steht hier für den Volumenstrom. Die Approximation zeigte mit einem Bestimmtheitsmaß $> 0,98$ eine gute Anpassung. Der Modellparameter k_1 gibt hier den theoretischen Minimalwert des thermischen Widerstands bei unendlich hohem Volumenstrom an.

$$R_{th} = k_1 + k_2 \cdot e^{-(\dot{V}-k_3)/k_4} \quad (6.3)$$

Die Tabelle 6.4 enthält die Koeffizienten k_1 bis k_4 und das Bestimmtheitsmaß. Darüber hinaus sind die analytisch bestimmten, simulierten und interpolierten thermischen Widerstände der

Designs A – C für einen Volumenstrom von 300 ml/min aufgelistet. Zudem ist der Fehler der analytischen Bestimmung und der Simulation bezogen auf den interpolierten Wert aufgeführt.

Tabelle 6.4: Analytisch bestimmter, simulierter und interpolierter thermischer Widerstand für einen Volumenstrom von 300 ml/min. Die prozentuale Abweichung der analytischen Bestimmung und Simulation von den interpolierten Werten ist ebenfalls angegeben.

	Typ A	Typ B	Typ C
k₁ [K/W]	10,57981	6,26855	3,1219
k₂ [K/W]	3,90271	5,03145	4,06853
k₃ [ml/min]	10	10	10
k₄ [ml/min]	36,82063	40,03808	38,23331
Bestimmtheitsmaß	0,983	0,983	0,995
R_{th} – interpoliert [K/W]	10,6	6,3	3,1
R_{th} – berechnet [K/W]	10,1	2,6	1,9
R_{th} – simuliert [K/W]	8,5	5,2	2,5
Berechnungsfehler [%]	4,7	58,7	38,7
Simulationsfehler [%]	19,8	17,5	19,3

Das Design A mit 4,7 % bzw. 19,8 % eine geringe Abweichung vom realen Wert auf. Somit kann das Design A gut durch das analytische Modell und die Simulation abgeschätzt werden. Das analytische Modell von Design B weicht mit 58,7 % stark vom realen Wert ab. Die Simulation zeigt hingegen mit 17,5 % Abweichung eine gute Anpassung. Somit kann das Design B gut durch die Simulation abgeschätzt werden. Die analytische Bestimmung des thermischen Widerstandes von Design C weicht mit 38,7 % weit vom realen Wert ab. Der Verlauf der Kurven ist jedoch gleichförmig. Dies zeigt, dass das analytische Modell den konduktiven Anteil des thermischen Widerstands zu optimistisch abbildet. Die Simulation zeigt hingegen eine gute Anpassung an den realen Verlauf der Kurve. Die Abweichung beträgt hier 19,3 %, sodass das Design C gut durch die Simulation abgeschätzt werden kann. Die interpolierten Werte wurden genutzt um den Einfluss der thermischen Vias auf den thermischen Widerstand zu berechnen. So reduzieren Vias in der LTCC den thermischen Widerstand um 40,6 %. Besteht die Möglichkeit, Vias zusätzlich im Kanal zu integrieren, wird der thermische Widerstand des Moduls um 70,8 % im Vergleich zu Modulen ohne thermische Vias reduziert.

Basierend auf den Erkenntnissen wurde das Design C angepasst. Zur Reduzierung des Metallanteils wurde das Viafeld von 6 x 6 Vias auf 5 x 5 Vias bei gleichem Pitch verkleinert. Hierdurch reduziert sich der Metallanteil von 16,6 % auf 11,5 % bezogen auf den gewählten 300 µm Stanzdurchmesser und den 3 x 3 mm² Querschnitt des thermisch aktiven Bereichs. Zudem wurden die thermischen Vias kurzschließenden Metallisierungen im Substrat und Kanal entfernt, da diese den Wärmefluss nicht signifikant beeinflussen (vgl. Abschnitt 3.3.3 & 5.2.4.2). Zur Erhöhung der mechanischen Stabilität wurde die Dicke der den Kanal abdeckenden LTCC Lage verdoppelt. Zudem erfolgte die Strukturierung des Substratpads für das Chipbonden im Post-Fire Verfahren mit dem Silberbrazingsystem der Firma DuPont (DP 5081 & DP 5082), sodass sich eine Padhöhe von 30 µm ergab. Das so angepasste Design wurde frei gesintert und wies eine Verwölbung von 3,1 µm ± 1,6 µm.

Um den konduktiven Anteil des thermischen Widerstands zu verringern, wurde der TTC mit dem Sinterkleber H9890-6A (Namics) auf dem Pad befestigt. Dieser weist eine um den Faktor 2,3 [143], [145] höhere thermische Leitfähigkeit als der Silberleitkleber DM6030 auf und zeichnet sich durch eine hohe Scherfestigkeit in Kombination mit der verwendeten Substrat- und Chipmetallisierung aus (vgl. Abschnitt 4.1). Der thermische Widerstand wurde mit den bereits genannten Methoden gemessen. Abbildung 6.22 zeigt den thermischen Widerstand in Abhängigkeit vom Volumenstrom. Zu Vergleichszwecken sind die thermischen Widerstände des frei gesinterten Designs C mit nur einer den Kanal abdeckenden Lage, sowie des mittels des PLAS Prozesses gesinterten Designs C dargestellt.

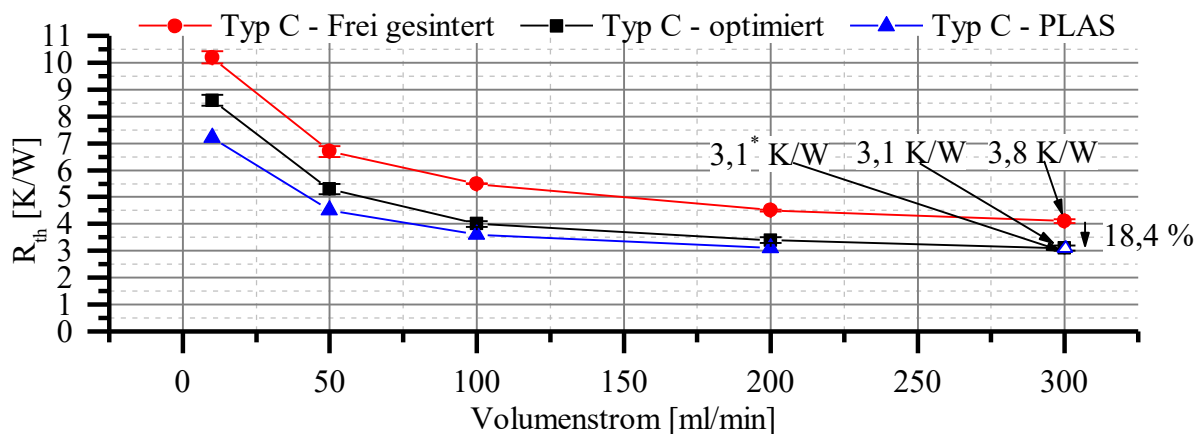


Abbildung 6.22: Gemessener thermischer Widerstand des Design C in Abhängigkeit vom Volumenstrom. Zu Vergleichszwecken sind die thermischen Widerstände des frei gesinterten Designs C mit nur einer den Kanal abdeckenden Lage (Typ C – Frei gesintert), sowie des mittels des PLAS Prozess gesinterten Designs C (Typ C – PLAS), dargestellt. *Der thermische Widerstand von Typ – C PLAS bei 300 ml/min wurde auf Basis des exponentiellen Ansatzes (Gl. (6.3)) interpoliert.

Das optimierte Design weist bei 300 ml/min einen thermischen Widerstand von 3,1 K/W auf. Dieser ist um 18,4 % geringer als der thermische Widerstand des nicht optimierten Designs C. Der Verlauf des thermischen Widerstands beider Designs ist gleichförmig, sodass von einer Differenz im konduktiven Anteil des thermischen Widerstands ausgegangen werden kann. Im Vergleich zum mittels PLAS Prozess gesinterten Design C ergibt sich eine Abweichung < 1 %. Der Einfluss der dickeren LTCC Schicht auf den thermischen Widerstand wird hier durch den Chipkleber mit höherer thermischer Leitfähigkeit, sowie den größeren Kanalquerschnitt und damit der größeren wärmeübertragenden Fläche kompensiert.

6.2.3 Skalierbarkeit des Kühlkonzeptes

Das Design C wurde für verschiedene Chipgrößen adaptiert, um die Skalierbarkeit des Kühlkonzeptes zu bewerten. Hierfür wurde der TTC G423B von Infineon verwendet, dessen Chiplayout in 1 x 1 mm² Zellen segmentiert ist, sodass die Chiplänge und –breite in einem 1 mm Raster beliebig groß gewählt werden kann, vgl. Abschnitt 2.3.2. Insgesamt drei verschiedene Chipgrößen wurden gewählt um die Skalierbarkeit zu bewerten. Die Kanalbreite und die Viaanzahl wurden entsprechend angepasst. Das Viafeld enthält dabei quer zur

Kanalrichtung eine Reihe mehr als in Kanalrichtung. Tabelle 6.5 listet die verwendeten Chipgrößen und die den thermischen Widerstand beeinflussenden Geometrieparameter auf. Pro Modul wurden zwei Chips integriert um den Herstellungsaufwand zu reduzieren.

Tabelle 6.5: Chipgrößen und die den thermischen Widerstand beeinflussenden Geometrieparameter.

Parameter	Typ C3	Typ C5	Typ C7
Chipfläche	3 x 3 mm ²	5 x 5 mm ²	7 x 7 mm ²
Kanalbreite	3 mm	5 mm	7 mm
Viafeld	6 x 5	10 x 9	14 x 13
Kanalhöhe		179 µm	
Viadurchmesser gestanzt		300 µm	
Viadurchmesser gebrannt		260 µm	
Pitch		500 µm	
Dicke der oberen LTCC Lage		412 µm	

Die Herstellung der Module erfolgte wie im vorherigen Abschnitt beschrieben. Die den Kanal abdeckende LTCC Schicht bestand dabei ebenso aus zwei Lagen DP951PX um die mechanische Integrität des Moduls auch bei höheren Volumenströmen zu gewährleisten. Die Module wurden mittels freier Sinterung gebrannt. Nach der Sinterung erfolgte die Strukturierung des Substratpads für das Chipbonden im Post-Fire Verfahren mit dem Silberbrazingsystem der Firma DuPont. Zudem wurde das Silberbrazingsystem verwendet, um einen lötbaren Metallring um die fluidischen Ports des Moduls zu realisieren. Dieser dient der Lötmontage von zukünftigen fluidischen Ports und hat in dieser Arbeit keine Funktion. Die Bondpads für das Drahtbonden wurden mittels der Post-Fire Goldpaste QR150 der Firma DuPont im Siebdruckverfahren hergestellt. Die Rückseitenkontakte der Module wurden mit dem Goldbrazing System der Firma DuPont (DP5062 & DP5063) strukturiert. Der elektrische Kontakt zwischen den Bondpads auf der Oberseite und den Kontaktpads auf der Unterseite wurde über Durchkontaktierungen aus der Goldpaste DP5738 hergestellt. Abbildung 6.23 zeigt ein Modul des Typs C7 mit montierten und drahtgebondeten TTC's vor der Verkapselung.

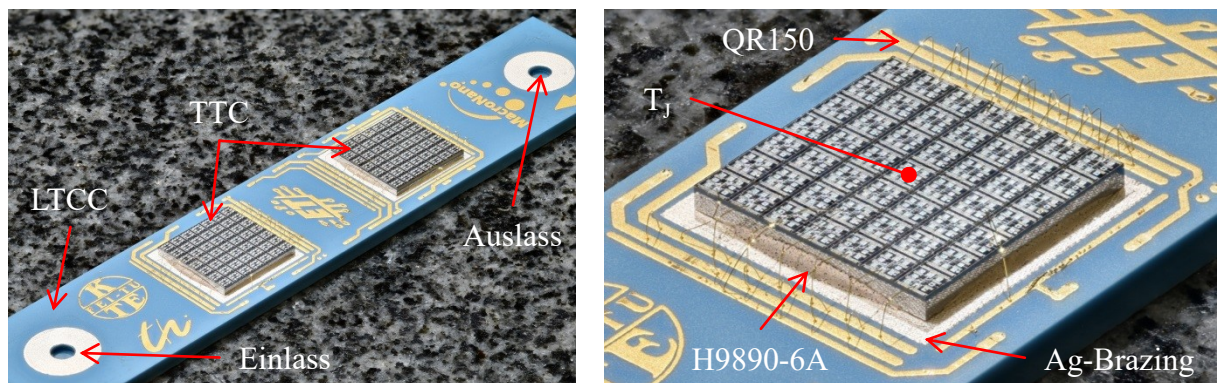


Abbildung 6.23: Übersicht und Detailaufnahme des Moduls C7. Die TTC's und das TIM H9890-6A sind erkennbar.

Zur Bewertung der Substratebenheit wurde die Verwölbung des Substratpads mittels Lasertriangulation bestimmt. Dabei zeigte der Typ C3 mit $9 \mu\text{m} \pm 1 \mu\text{m}$ eine vergleichbare Substratebenheit wie die im vorherigen Abschnitt dargestellten Module. Der Typ C5 wies eine Verwölbung von $41 \mu\text{m} \pm 4 \mu\text{m}$ auf. Das Substratpad des Typs C7 mit der größten Chipfläche zeigte eine Verwölbung von $123 \mu\text{m} \pm 31 \mu\text{m}$. Die Messungen zeigen, dass mit zunehmender Kanalbreite und Viaanzahl die Substratverwölbung steigt. Dies muss durch eine entsprechend dicke TIM-Schicht ausgeglichen werden. Die Montage der TTC's erfolgte mit dem Sinterkleber H9890-6A (Namics). Nach dem Drahtbonden wurden die TTC's mit einem Epoxid gekapselt (AMICON 50400-1, Emerson & Cuming).

Die thermische Charakterisierung der Module und die Messung des Druckabfalls über die Module erfolgten auf die bereits beschriebene Weise. Die Chiptemperatur T_J wurde dabei in der Mitte des TTC's gemessen. Pro Typ wurden mindestens zwei Chips charakterisiert. Abbildung 6.24 zeigt links den ermittelten thermischen Widerstand in Abhängigkeit des Volumenstroms. Rechts stellt die Abbildung den Druckabfall über die Module dar.

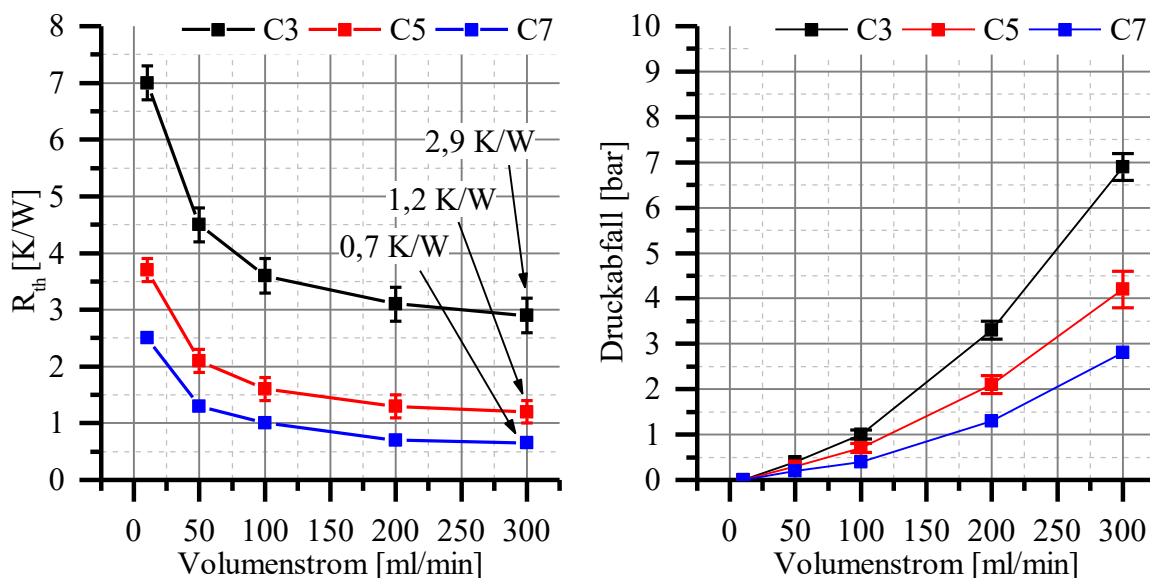


Abbildung 6.24: Links: Thermischer Widerstand der Module C3, C5 und C7 in Abhängigkeit vom Volumenstrom. Rechts: Druckabfall über die Module.

Erwartungsgemäß sinkt der thermische Widerstand mit steigender Chipfläche. Zudem reduziert sich der Druckabfall mit steigender Kanalbreite. Zur Bewertung der Skalierbarkeit wurde der gemessene thermische Widerstand auf die Chipfläche nach Gl. (6.4) normiert und verglichen.

$$R'_{th} = R_{th} \cdot A_{chip} \quad (6.4)$$

Die Tabelle 6.6 listet dabei den thermischen Widerstand, die Chipfläche und den normierten thermischen Widerstand für die Module C3, C5 und C7 auf. Den Werten kann entnommen werden, dass der normierte thermische Widerstand keine signifikante Abhängigkeit von der Chipfläche zeigt. Die leichte Steigerung des mittleren normierten thermischen Widerstands

mit zunehmender Chipfläche kann dabei auf die zunehmende Verwölbung des Substratpads zurückgeführt werden. Somit ist das Kühlkonzept in dem betrachteten Bereich der Chipfläche von $3 \times 3 \text{ mm}^2$ bis $7 \times 7 \text{ mm}^2$ skalierbar.

Tabelle 6.6: Auflistung des gemessenen thermischen Widerstandes bei 300 ml/min, der Chipfläche sowie des auf die Chipfläche normierten thermischen Widerstands.

	Typ C3	Typ C5	Typ C7
Thermischer Widerstand [K/W]	$2,93 \pm 0,31$	$1,17 \pm 0,17$	$0,65 \pm 0,04$
Chipfläche [mm ²]	9	25	49
Norm. therm. Widerstand [K · mm ² /W]	$26,33 \pm 2,81$	$29,17 \pm 4,36$	$31,85 \pm 2,00$

6.2.4 Elektrische Isolation zwischen Chip und Kühlmedium

Für manche Anwendungen ist erforderlich, den Halbleiter gegenüber dem Kühlmedium elektrisch zu isolieren. Die elektrische Isolation kann dabei durch eine LTCC Schicht, die zwischen thermischen Vias und Chippad eingebettet wird, erfolgen. Da diese den konduktiven Anteil des thermischen Widerstands aufgrund ihrer geringen thermischen Leitfähigkeit erhöht, sollte diese Schicht so dünn wie möglich gestaltet werden. Zur qualitativen Bewertung des Einflusses einer zusätzlichen LTCC Schicht zwischen Chippad und thermischen Vias wurden die Designs aus dem vorherigen Abschnitt modifiziert. Eine Lage DP951C2 wurde zusätzlich auf die oberste Lage laminiert. Diese stellt mit einer ungesinterten Dicke von 50 μm die dünnste verfügbare LTCC Folie des DuPont 951 Systems dar. Während der freien Sinterung schrumpfte die Schichtdicke auf 35 μm . Die so modifizierten Designs wurden mit den gleichen Methoden wie im vorherigen Abschnitt hergestellt und geometrisch sowie thermisch vermessen. Es zeigte sich, dass die Substratverwölbung im Bereich des Chippads reduziert werden konnte. So wiesen die Module C3_{iso} nur noch eine Verwölbung von $3 \mu\text{m} \pm 1 \mu\text{m}$ auf. Die Module C5_{iso} zeigten eine Verwölbung von $9 \mu\text{m} \pm 3 \mu\text{m}$. Bei der größten untersuchten Chipfläche C7_{iso} betrug die Verwölbung $16 \mu\text{m} \pm 5 \mu\text{m}$. Der thermische Widerstand der Module erhöhte sich infolge der zusätzlichen LTCC Schicht. Alle gemessenen Module wiesen hier bei einem Volumenstrom von 300 ml/min einen um den Faktor 1,9 bis 2,0 höheren thermischen Widerstand auf, als die Module ohne zusätzliche elektrische Isolationsschicht. Eine Abhängigkeit von der Chipfläche konnte dabei nicht festgestellt werden.

6.2.5 LGA Package mit fluidischen Schnittstellen

Neben der Verwendung von LTCC als Einzelträger, wie z.B. bei Getriebesteuerschaltungen [13], werden LTCC Träger auch als Packagelösungen in Verbindung mit organischen Schaltungsträgern eingesetzt [10]. Sollen LTCC Packages mit fluidischen Strukturen auf einem organischen Schaltungsträger montiert werden, kann neben den elektrischen Schnittstellen auch eine fluidische Schnittstelle sinnvoll sein. Diese bietet die Möglichkeit, den fluidischen Anschluss auf dem organischen Schaltungsträger zu montieren. Dadurch kann die mechanische Belastung auf das LTCC Package und die elektrische Schnittstelle zwischen

LTCC Package und organischem Schaltungsträger beim Montieren der fluidischen Zuleitungen minimiert werden. Zudem können im organischen Schaltungsträger fluidische Strukturen integriert werden, die das Kühlmedium in der Ebene verteilen [185] – [189]. So können mehrere LTCC Packages auf einem organischen Schaltungsträger über eine fluidische Zuleitung versorgt werden. Das trägt zur Reduzierung der Systemgröße bei, da auf externe fluidische Verbindungen zwischen den LTCC Packages und der Umgebung verzichtet werden kann. Im Folgenden wird daher eine fluidische Schnittstelle zwischen einem LTCC Package mit fluidischen Strukturen und einem organischen Schaltungsträger mit fluidischen Strukturen entwickelt.

6.2.5.1 Design LTCC LGA Package

Das Design des LTCC LGA Packages basiert auf dem unter Abschnitt 6.2.2 vorgestellten optimierten Fluidmodul Typ C. Das Package hat die Abmaße von $12 \times 8 \times 1,08 \text{ mm}^3$ und verfügt über einen integrierten fluidischen Kanal mit dem Querschnitt von $3 \times 0,2 \text{ mm}^2$. Der Kanal ist durch zwei LTCC Lagen DP951PX mit einer Gesamtschichtstärke von $420 \mu\text{m}$ abgedeckt. Auf dem Kanalboden sind zwei Platinsensoren zur Ermittlung der Fluideingangs- und Ausgangstemperatur integriert. Diese sind durch eine $40 \mu\text{m}$ dicke LTCC Schicht vom Kühlmedium elektrisch isoliert. Den Packageboden bilden zwei LTCC Lagen aus DP951PX. Dieser verfügt über zwei $2,2 \text{ mm}$ messende Öffnungen, die den Zugang zum Kanal ermöglichen. Thermische Vias aus der Paste DP6141 sind in der oberen LTCC Schicht und dem Fluidkanal integriert. Sie haben einen Durchmesser von $260 \mu\text{m}$ und sind in einer 5×5 Matrix mit einem Pitch von $500 \mu\text{m}$ angeordnet. Das Package wurde mit der Carboninlay Technologie (vgl. Abschnitt 6.1.1) in freier Sinterung gefertigt. Nach der Sinterung erfolgte die Strukturierung der außenliegenden Metallflächen im Post-Fire Prozess. Die thermischen Vias wurden dabei auf der Substratoberseite durch ein $30 \mu\text{m}$ hohes Metallpad kurzgeschlossen. Das Pad stellt dabei die Schnittstelle für das Chipbonden bereit und wurde mit dem Silberbrazingsystem der Firma DuPont (DP5081 & DP5082) realisiert. Ebenfalls auf der Substratoberfläche wurden mit der Goldpaste QR150 die Pads für das Drahtbonden realisiert. Auf der Substratunterseite wurden $1 \times 0,6 \text{ mm}^2$ messende Kontaktflächen mit einem Pitch von 1 mm mit dem Silberbrazingsystem strukturiert. Diese sind dabei über Vias mit den Platinsensoren und den Bondpads auf der Oberseite elektrisch verbunden. Auf der Substratunterseite sind die Vias mit der Glaspaste DP9615 abgedeckt. Die Glaspaste erfüllt dabei die Funktion eines Lotstopps. Ringförmige Flächen mit einem Außendurchmesser von $3,9 \text{ mm}$ und einer Stegbreite von $0,8 \text{ mm}$ wurden zentriert um die Öffnungen im Packageboden mittels Silberbrazingsystem metallisiert. Diese bilden dabei die Schnittstelle für die fluidischen Verbindungen mit dem Trägersubstrat. Zur Demonstration der thermischen Leistungsfähigkeit des Package wurde der TTC PST1 mit einer Fläche von $2,54 \times 2,54 \text{ mm}^2$ mit dem Sinterkleber H9890-6A (Namcis) auf das Silberpad gebondet. Nach dem elektrischen Kontaktieren mittels Golddünndrahtbonden erfolgte die Verkapselung des Chips mittels Dam & Fill Verfahren. Das LTCC Package ist schematisch und als Fotografie in Abbildung 6.25 dargestellt.

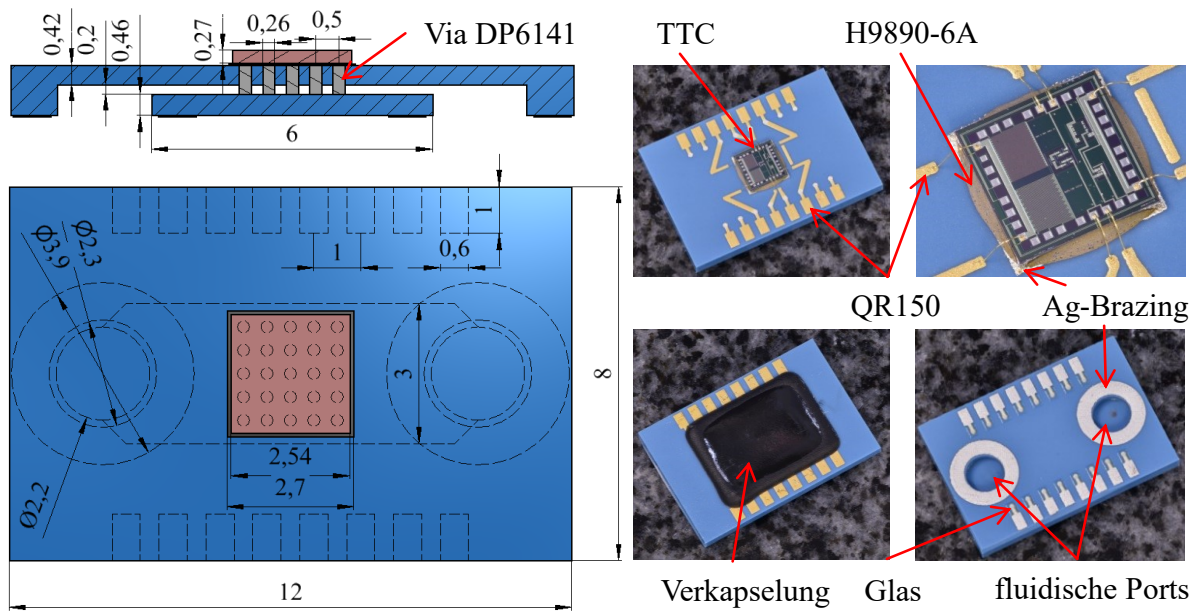


Abbildung 6.25: Links: Schematische Darstellung des LTCC LGA Packages. Die gestrichelten Linien zeigen dabei verdeckte Strukturen. Die für das Drahtbonden verwendete Goldmetallisierung auf der Substratoberseite sowie die integrierten Temperatursensoren sind nicht dargestellt. Rechts: Fotografie der Ober- und Unterseite des Packages mit bestückten TTC, sowie ein verkapseltes Package.

6.2.5.2 Organischer Multilayer mit fluidischen Kanälen

Zur Herstellung eines organischen Multilayers mit integrierten fluidischen Strukturen existieren bereits einige Lösungsansätze. So wurden in [185] fluidische Strukturen auf Basis organischer Schaltungsträger hergestellt, die sich über das Verkleben von einer kupferbeschichteten und strukturierten Leiterplatte mit einem Deckel ausbilden. Die Höhe der Fluidstruktur ist dabei durch die Kupferschichtdicke und den Klebespalt bestimmt. Als Fügmaterial kam dabei ein Harz zum Einsatz, welches vollflächig auf der Leiterplatte und dem Träger aufgetragen wurde. Neben der mechanischen Fixierung konnte das Harz auch zur Maskierung des hygroskopischen Leiterplattenmaterials genutzt werden. Da die Kupferschichtstärke die Kanalhöhe auf wenige μm beschränkte, war der Volumenstrom auf einige ml/min beschränkt. Daher wurde das Verfahren in [186] erweitert. Eine Leiterplatte mit gefrästen Kavitäten wurde zwischen Leiterplattenboden und Deckel platziert und mit diesen durch eine Harzglasfaserfolie (sog. Prepreg) verklebt. Hierdurch konnte der Kanalquerschnitt erhöht und ein Volumenstrom im Bereich von einigen l/min erzielt werden. Mögliche Anwendungen wie Mikropumpen, Mischer oder auch die Strömungsanalyse im chemischen, biologischen und medizinischen Bereich wurden in [186] – [188] skizziert. Durch ihre Hygroskopie eignen sich Prepregs und epoxidbasierte Harze nicht in wässrigen Umgebungen, sodass diese Technologie nicht zur Realisierung von Kanälen genutzt werden kann, in denen wässrige Kühlmedien transportiert werden sollen. In [189] wurde ein organischer Multilayer mit fluidischen Strukturen auf FR4 Basis vorgestellt, der das thermische Management in 3D Packages demonstriert. Hier befand sich in der Mitte eines 11-lagigen FR4 Aufbaus ein verlustbehaftetes Bauelement, dessen Verlustleistung über Kühlkanäle aus dem Aufbau geführt wurde. Die Verbindung zwischen den einzelnen Lagen erfolgte über Lötprozesse. Der

Boden, die Decke und die Wandungen der Kühlkanäle waren dabei kupferkaschiert, sodass das hygroskopische FR4 vom Kühlmedium isoliert wurde.

In der vorliegenden Arbeit wurde ebenfalls ein Lotprozess verwendet, um mehrere Lagen FR4 mit gefrästen fluidischen Strukturen miteinander zu verbinden. Dabei wurden Standardprozesse der Leiterplattentechnologien wie Bohren, Fräsen, Durchkontaktieren und Ätzen angewandt. Abbildung 6.26 zeigt schematische Querschnitte durch den Multilayer, sowie die Draufsicht der drei FR4 Lagen.

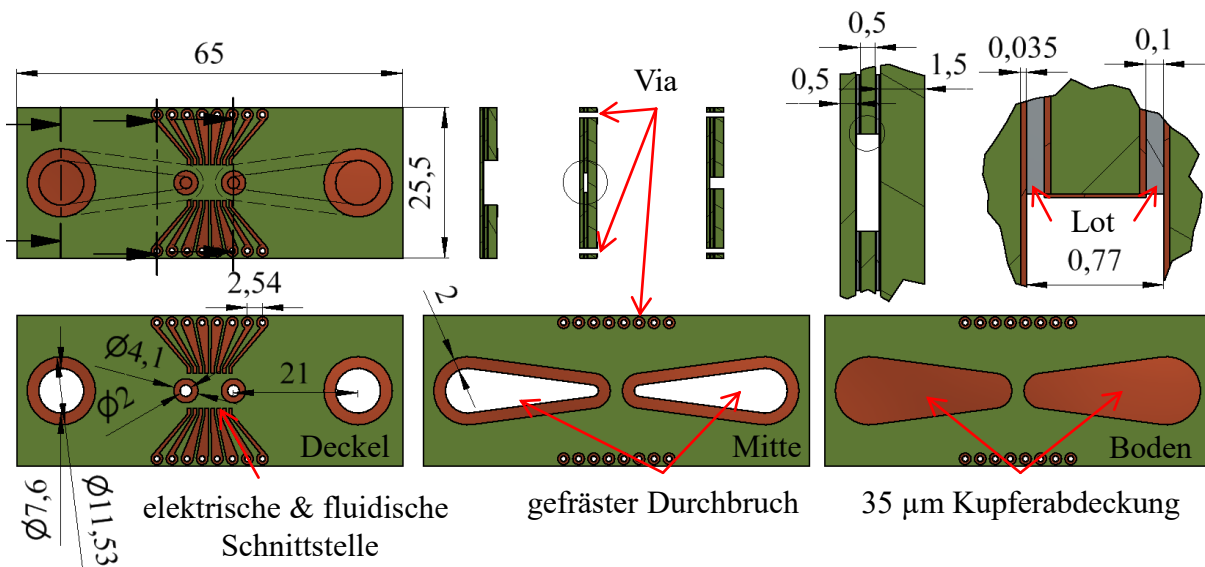


Abbildung 6.26: Schematische Darstellung des organischen Multilayers mit integrierten fluidischen Strukturen. Die obere Zeile zeigt links die Draufsicht auf den Multilayer. Rechts sind verschiedene Querschnitte in unterschiedlichen Zoomstufen gezeigt. In der unteren Zeile sind die einzelnen Lagen in der Draufsicht dargestellt.

Die Decklage war 1,5 mm dick und enthielt auf Ober- und Unterseite eine strukturierte, 35 µm dicke Kupferschicht. Zur Realisierung der fluidischen Schnittstelle zum LTCC wurden 2 Durchkontaktierungen mit einem Durchmesser von 2 mm integriert. Das Fangpad der Durchkontaktierung hatte einen Durchmesser von 4,1 mm und stellte die Lötfläche für die fluidische Schnittstelle zum LTCC bereit. Das Layout der elektrischen Schnittstelle enthielt Pads mit gleicher Größe und Pitch wie die Pads des LTCC Moduls. Die Schnittstelle zu den fluidischen Anschlüssen wurde über zwei Durchkontaktierungen mit einem Durchmesser von 7,6 mm realisiert. Hier bildete ein Fangpad mit einem Durchmesser von 11,53 mm die Lötfläche zur Befestigung des fluidischen Anschlusses. Die Kupferschicht der Rückseite der Decklage bildete die Metallisierung der Kanaldecke. Die Mittellage war 0,5 mm dick, beidseitig mit 35 µm Kupfer kaschiert und bildete die Kanallage. Der Kanal wurde mittels eines Fräsprozesses strukturiert. Anschließend erfolgte die Durchkontaktierung, sodass die Kanalwandung metallisiert wurde. Ein Fangpad mit einer Stegbreite von 2 mm stellte die Lötfläche dar. Die Bodenlage war 0,5 mm dick und im Bereich des Kanals kupferkaschiert. Alle drei Lagen enthielten an den Kanten Durchkontaktierungen zur Realisierung einer Verbindung von der Oberseite zur Unterseite des Multilayers. Das Layout wurde in einem Mehrfachnutzen gefertigt, das neben dem Layout auch Löcher zur Justierung während des

Stapeln enthält. Die Verbindung der drei Lagen erfolgte in einem Lotprozess mit bleifreiem Lot (SAC305, OM338 Alpha Assembly Solutions, Liquidustemperatur 220 °C [149]). Hierfür wurde mittels eines Schablonendruckers und einer 150 µm dicken, laserstrukturierten Messingschablone eine Lotschicht auf der Boden- und Mittellage gedruckt. Zur Realisierung der ringförmigen Struktur des Kanals in der Schablone wurde die Struktur segmentiert. Die Stegbreite betrug dabei 100 µm. Während des Stapeln der einzelnen Lagen wurden die segmentierten Lotdepots zu einer durchgehenden Lotschicht verquetscht. Nach dem Stapeln erfolgte das Lötens in einem Lötöfen. Das Lotprofil ist in Abbildung 6.27 dargestellt.

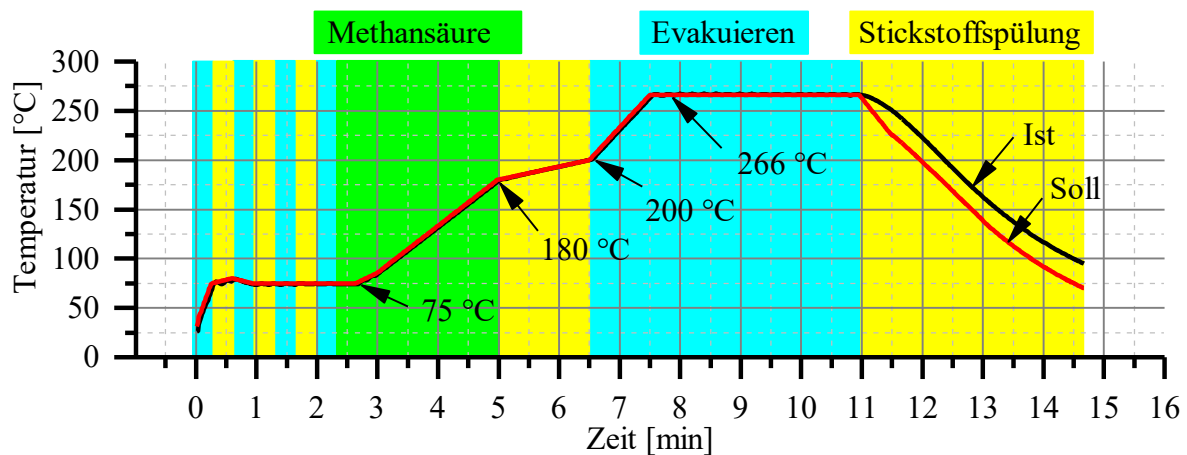


Abbildung 6.27: Verwendetes Lotprofil mit Soll- und Ist-Temperatur. Cyan gefärbte Zeitabschnitte markieren Bereiche mit aktivierter Evakuierung. Gelb steht für die Stickstoff- und grün für die Spülung Methansäure.

Zur Reduzierung der Lunker in der Lotschicht wurde zu Beginn des Lotprozesses die Ofenkammer mehrmals evakuiert und mit Stickstoff gespült. Anschließend wurde die Kammer mit verdampfter Methansäure gespült, was die Benetzung der Kupferschicht verbesserte. Danach erfolgte eine 1,5 minütige Spülung der Kammer mit Stickstoff und anschließend das Aufheizen auf die Lottemperatur von 266 °C, welche für 3,5 min gehalten wurde. Während der Auf- und Umschmelzphase wurde die Kammer evakuiert, was die Lunkeranzahl in der Lotschicht nochmals verringerte. Nach der Umschmelzphase wurde die Kammer mittels Stickstoffspülung abgekühlt. Die Prozessstemperatur von nachfolgenden Verbindungs- und Montageprozessen sollte die Liquidustemperatur des Lotes nicht übersteigen, um die Lotverbindungen im Multilayer nicht erneut aufzuschmelzen. Falls höhere Prozesstemperaturen notwendig sind, muss das SAC Lot durch ein Lot mit höherem Schmelzpunkt ersetzt werden. Die maximale Prozessstemperatur und -zeit ist dabei durch das Leiterplattengrundmaterial FR4 limitiert.

6.2.5.3 Verbindung LTCC-FR4 und fluidische Anschlüsse

Für die Montage des LTCC Moduls sollte ein Lot mit geringerer Liquidustemperatur wie z.B. Zinn-Bismut oder Zinn-Indium basierte Legierungen verwendet werden. Alternativ kann das LTCC Modul im Lotprozess des Multilayers an den Multilayer gefügt werden. In dieser

Arbeit wurde letztere Methode aufgrund der reduzierten Prozessschritte favorisiert. Zu diesem Zweck wurde auf die oberste Lage des noch nicht verbundenen FR4 Multilayers im Schablonendruckprozess das bereits für die Boden- und Mittellage verwendete Lot gedruckt. Anschließend wurde das LTCC Modul mittels Pick & Place Verfahren auf die Leiterplatte bestückt. Bei diesem Vorgang wurden die segmentierten Lotdepots zu einer durchgängigen Struktur verquetscht, was in Abbildung 6.28 anhand der Seitenansicht vor und während der Bestückung eines LTCC Testchips mit Bruchkante ersichtlich wird.

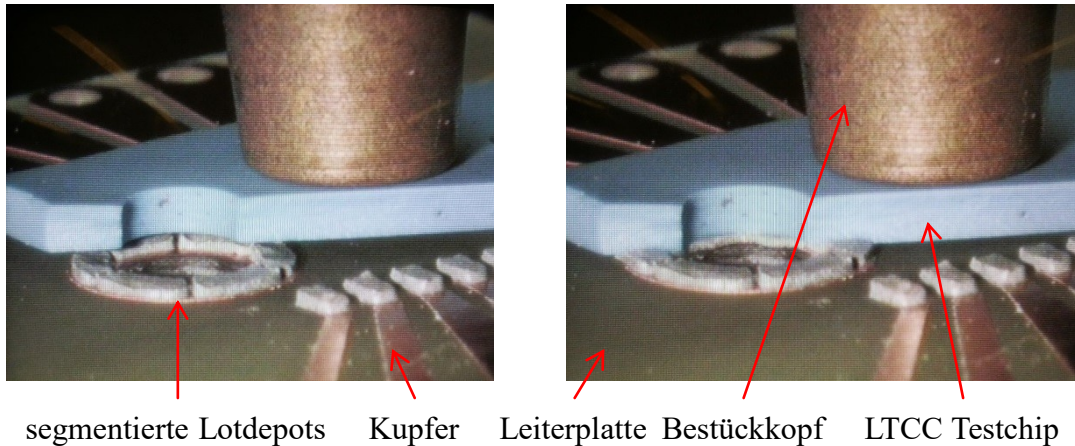


Abbildung 6.28: Seitenansicht vor und während der Bestückung eines LTCC Testchips mit Bruchkante. Die segmentierten Lotdepots werden während der Bestückung zu einer durchgehenden Lotschicht verquetscht.

Nach der Bestückung des LTCC Moduls wurden verzinnnte Stahlgewindeträger (KF2-M5, Gewindetyp M5, KVT-Fastening) auf den fluidischen Anschlussstellen platziert. Die Gewindeträger ermöglichen dabei die einfache Montage von fluidischen Standardkonnectoren mit Gewinde. Anschließend wurde die bestückte Decklage des FR4 Multilayers mit Boden- und Mittellage gestapelt und im bereits beschriebenen Lotprozess gelötet. Abbildung 6.29 zeigt den so hergestellten FR4 Multilayer mit bestücktem LTCC Modul und den fluidischen Anschlüssen (CRQS-M5-6, Edelstahl, Steckanschluss für 6 mm Schlauch, Festo Vertrieb GmbH & Co. KG).

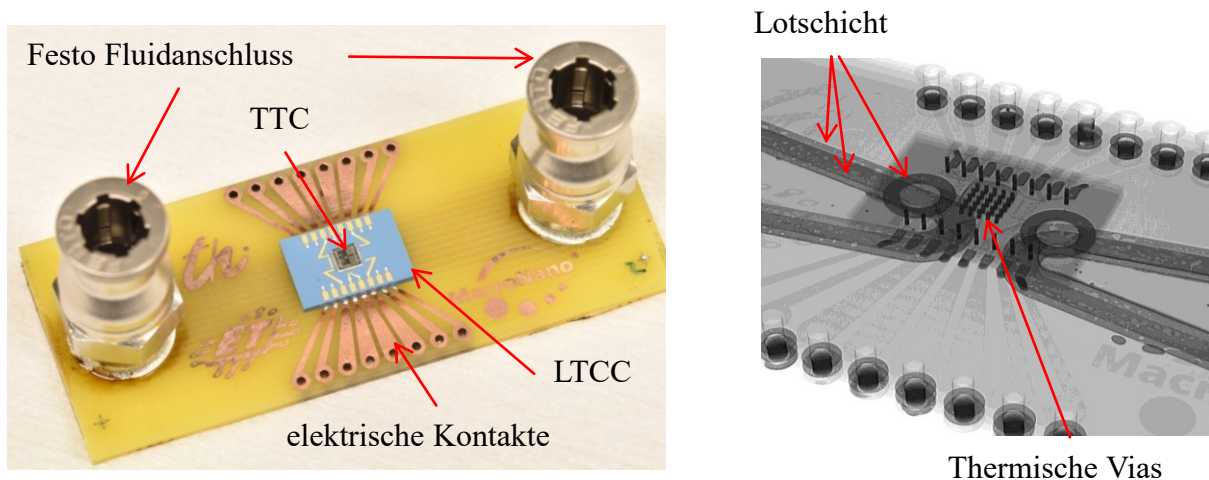


Abbildung 6.29: Links: Bestückter und gelöteter FR4 Multilayer mit LTCC Modul und Fluidanschlüssen.

Die Verkapselung des TTC's wurde zur Veranschaulichung eingespart. Auf der rechten Seite ist eine um 50° gekippte Röntgenaufnahme durch das Modul abgebildet. Die einzelnen Lotschichten sind erkennbar und zeigen trotz Vakuumlötprozess einen geringen Lunkeranteil. Gut ersichtlich sind zudem die im LTCC Modul enthaltenen thermischen Vias. Die durch den Schablonendruckprozess abgeschiedene Lotschicht war für die hermetische Verbindung zwischen Gewindeträger und Kupfer, aufgrund der großen Oberfläche des Gewindeträgers nicht ausreichend, sodass hier nach dem Lötprozess manuell mittels LötKolben und Lotdraht zusätzliches Lot appliziert wurde. Zur Erhöhung der gedruckten Lotmenge könnte eine gestufte Schablone eingesetzt werden, die im Bereich der Pads für die Fluidanschlüsse dicker ist, als im Bereich der LTCC Pads.

Zur Verifizierung der Hermetizität des Kupfer-Lot-Ag-LTCC Verbundes wurde die Verbindung mit den unter 4.1.1.5 beschriebenen Verfahren getestet. Insgesamt 4 Proben wurden mit den beschriebenen Verfahren hergestellt und vermessen. In Abbildung 6.30 ist ein LTCC Träger mit metallisiertem Ring und ein gelöteter Verbund aus Leiterplatte und LTCC gezeigt. Alle Proben wiesen eine Leckrate $< 2 \cdot 10^{-9}$ mbar · l / s auf, sodass die Gasdichtigkeit und damit die Dichtigkeit gegenüber flüssigen Medien nachgewiesen wurde.

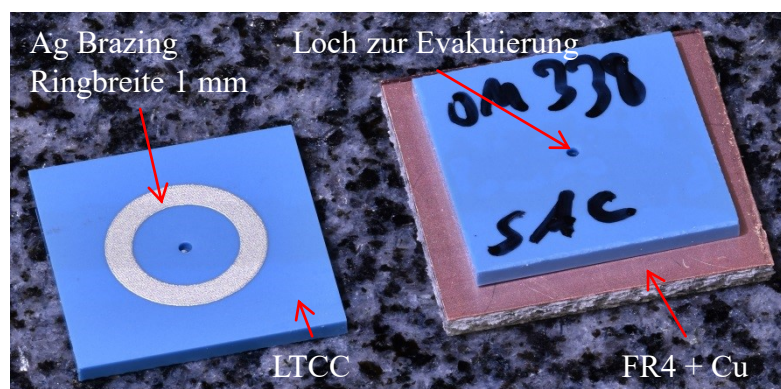


Abbildung 6.30: Links: LTCC Modul mit Silberbrazing Ring. Rechts: Gelöteter Verbund aus FR4 + Cu + SAC Lot + LTCC mit Silberbrazing zur Ermittlung der Hermetizität des Verbundes.

6.2.5.4 Charakterisierung

Die thermische Charakterisierung erfolgte mit der unter Abschnitt 6.1.2 beschriebenen Methode. Dabei wurde der fluidische Teststand so modifiziert, dass 6 mm Schläuche zum Transport des Kühlmediums genutzt werden konnten. Von vier Modulen wurde der thermische Widerstand und der Druckabfall über den Modulen im Volumenstrombereich von 10 ml/min bis 400 ml/min gemessen. Abbildung 6.31 stellt den gemittelten Verlauf der Kurven dar. Wie bei den Messungen zuvor zeigt sich ein exponentiell abklingender Verlauf des thermischen Widerstandes mit zunehmendem Volumenstrom, welcher gut mit dem in Gl. (6.3) genannten Ansatz approximiert werden kann. Der Verlauf des thermischen Widerstands dieser Module stimmt dabei mit dem Verlauf des thermischen Widerstands des optimierten Designs Typ C aus Abschnitt 6.2.2 überein, da die LTCC Module auf demselben Design basieren. Bei einem Volumenstrom von 400 ml/min wurde ein thermischer Widerstand von

3,0 K/W erzielt. Bei einer maximal zulässigen Chiptemperatur von 120 °C und einer Fluideingangstemperatur von 20 °C kann so normiert auf die Chipfläche A eine Wärmestromdichte \dot{q} von 516,7 W/cm² abgeführt werden, siehe Gl. (6.5).

$$\dot{q} = \frac{\Delta T}{R_{th} \cdot A} = \frac{100 \text{ K}}{3,0 \frac{\text{K}}{\text{W}} \cdot (0,254 \text{ cm})^2} = 516,7 \frac{\text{W}}{\text{cm}^2} \quad (6.5)$$

Der Druckabfall Δp kann mit einem Polynom zweiten Grades nach Gl. (6.6) approximiert werden.

$$\Delta p = k_1 + k_2 \cdot \dot{V} + k_3 \cdot \dot{V}^2 \quad (6.6)$$

Es zeigt sich, dass ab ca. 100 ml/min die Erhöhung des Volumenstroms den thermischen Widerstand nur noch im geringen Maße verringert. Der Druckabfall steigt jedoch mit zunehmendem Volumenstrom markant an. So erhöht sich der Druckabfall von 300 ml/min auf 400 ml/min um den Faktor 1,7. Der thermische Widerstand reduziert sich dabei nur noch um 3,2 %.

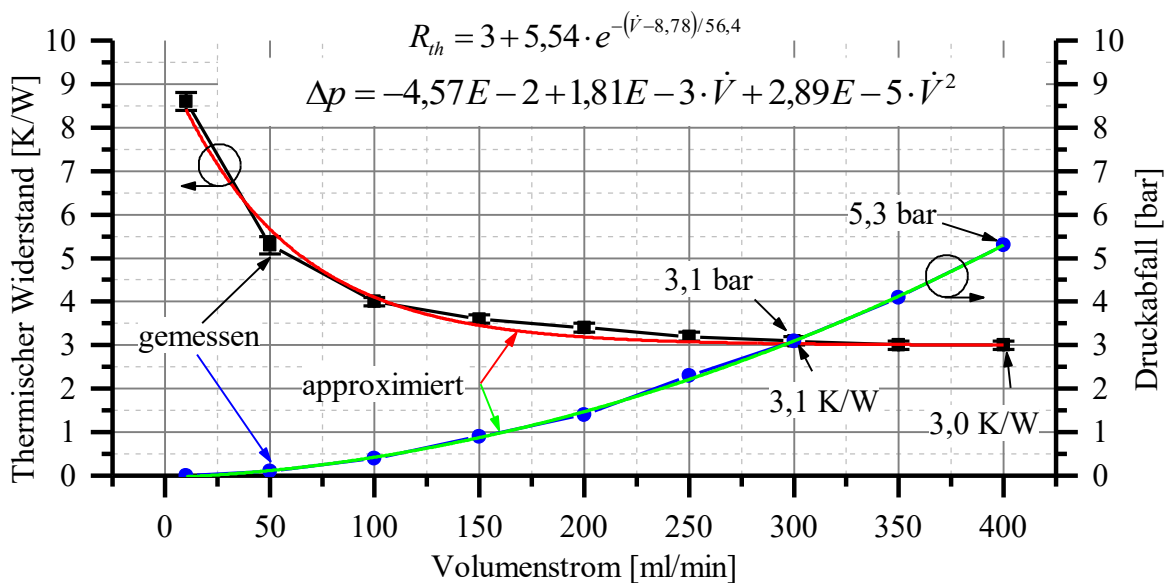


Abbildung 6.31: Thermischer Widerstand und Druckabfall des LGA Packages in Abhängigkeit vom Volumenstrom.

6.2.6 Zusammenfassung der Ergebnisse

Die Untersuchungen zur aktiven Entwärmung eines Drahtbondchips haben gezeigt, dass durch den Einsatz von thermischen Vias sowohl im Substrat als auch im Kanal der thermische Widerstand um 70,8 % im Vergleich zu einem Package ohne thermische Vias reduziert werden kann. Dabei tragen die Vias im Substrat mit 40,6 % und die Vias im Kanal mit 30,2 % zur Reduzierung bei. Infolge des hohen Metallisierungsgrades kommt es zu einer Substratverwölbung im Bereich der thermischen Vias, die die thermische Anbindung des Chips an das Substrat erschwert. Die Verwölbung kann durch eine Reduktion des

Metallisierungsgrades, durch Sintern unter Zwang und durch die Verdopplung der Lagenanzahl der den Kanal abdeckenden LTCC Lagen reduziert werden. Dabei führt das Sintern unter Zwang zu einem Abriss des Viamaterials von der umgebenden LTCC, was potentielle Undichtigkeiten im Substrat begünstigt. Daher ist die freie Sinterung in Kombination mit doppelter Lagenanzahl und reduzierten Metallisierungsgrad zu bevorzugen. Zur Gewährleistung der mechanischen Stabilität des LTCC Moduls sollten der Kanalboden und –Deckel eine Dicke von min. 400 μm aufweisen, was durch den Einsatz von jeweils zwei Lagen DP951PX erreicht werden kann.

Die Skalierbarkeit des Kühlkonzepts wurde für eine Chipfläche von 2,54 x 2,54 mm^2 bis 7 x 7 mm^2 nachgewiesen. Ist eine elektrische Isolation zwischen Chip und Kühlmedium erforderlich, kann eine 40 μm dünne LTCC Lage zwischen thermischen Vias im Substrat und Chipbondpad integriert werden. Diese erhöht den thermischen Widerstand um den Faktor 2.

Bei allen gemessenen Modulen zeigt sich eine exponentielle Abhängigkeit des thermischen Widerstands vom Volumenstrom, welcher mit einem exponentiell abklingenden Ansatz approximiert werden kann. So reduziert sich der thermische Widerstand ab ca. 100 ml/min nicht mehr markant. Der Druckabfall über den Modulen steigt hingegen mit zunehmendem Volumenstrom stark an und kann mit einem Polynom zweiten Grades approximiert werden. Der optimale Arbeitspunkt stellt daher einen Kompromiss aus thermischen Widerstand und Druckabfall dar.

Die Praxistauglichkeit dieses Konzeptes wurde in einem Demonstrator nachgewiesen. Hierfür wurde ein LTCC LGA Package mit integriertem fluidischen Kanal gefertigt und auf einen FR4 Multilayer Träger mit integrierten fluidischen Strukturen hermetisch aufgelötet. Die Herstellung des FR4 Multilayers folgte dabei dem Stand der Wissenschaft und Technik. Mit dem entwickelten Demonstrator war es möglich eine Wärmestromdichte von 516,7 W/cm^2 abzuführen.

6.3 Kühlkonzept für Flip-Chips

Wie bereits in Abschnitt 3.3.7 dargestellt, ist Entwärmung von Flip-Chips über das Substrat ineffizient, da der an das Substrat abgegebene Wärmestrom durch die geringe Kontaktfläche der Flip-Chip Bumps gegenüber der vollflächigen Chipmontage stark reduziert ist. Die Entwärmung sollte daher von der Chiprückseite erfolgen. Ein passives Konzept wurde in Abschnitt 3.3.7 vorgestellt. Im Folgenden wird ein Kühlkonzept für die aktive Entwärmung von Flip-Chips betrachtet. Das Konzept basiert auf einem modularen Package, in dem sich ein Flip-Chip in einem fluidischen Kanal befindet und von dem Kühlmedium umspült wird. Das Package besteht dabei aus zwei Teilen. Ein Teil des Package stellt die elektrische Verbindungen und Bondflächen für den Flip-Chip bereit. Der zweite Teile enthält die fluidischen Strukturen zur Führung des Kühlmediums und wird nach der Flip-Chip Montage mit dem ersten Teil des Packages mittels geeigneter Fügeverfahren verbunden. Die thermische Leistungsfähigkeit des Packages wird analytisch abgeschätzt. Danach wird der Einfluss der Fluidgeometrie auf die thermische Leistungsfähigkeit mittels CFD Simulation bewertet, wobei hier drei verschiedene Anströmszenarien betrachtet werden. Nach der

Fertigung der vielversprechendsten Kandidaten erfolgt die thermische Charakterisierung und Bewertung.

6.3.1 Analytische Betrachtung

Das Konzept sieht eine Anströmung des Flip-Chips durch eine über ihm befindliche Düse vor, was in Abbildung 6.32 schematisch dargestellt ist. Zur Gewährleistung der Vergleichbarkeit orientieren sich die Abmaße an den im Abschnitt 6.3.3 gefertigten Strukturen.

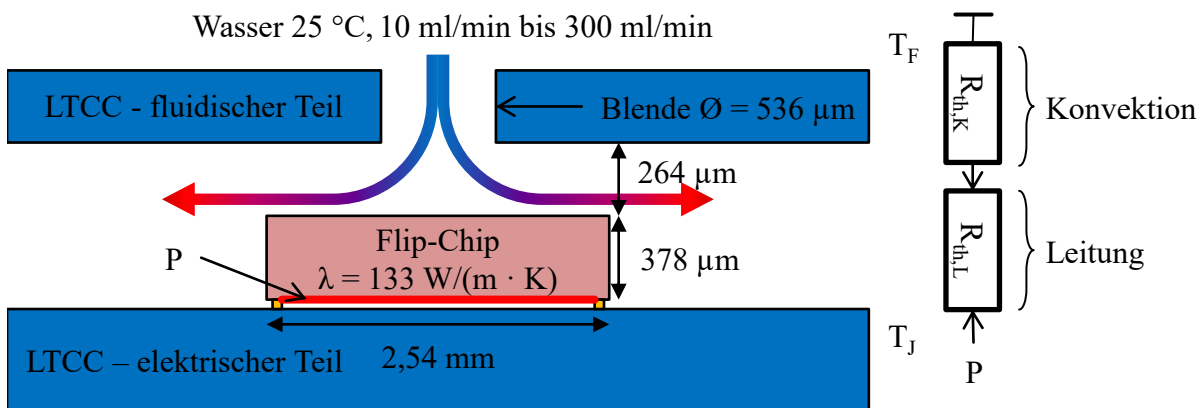


Abbildung 6.32: Links: Schematischer Querschnitt des Kühlkonzepts. Rechts: Thermisches Ersatzschaltbild bestehend aus dem konduktiven Anteil des Flip-Chips und dem konvektiven Anteil der Prallströmung in Reihenschaltung.

Der thermische Widerstand der Anordnung setzt sich aus dem konduktiven Anteil des Flip-Chips $R_{th,L}$ und dem konvektiven Anteil der Kühlung durch die Prallströmung $R_{th,K}$ zusammen. Der konduktive Anteil wurde dabei über Gl. (2.20) berechnet, die den thermischen Widerstand des Flip-Chips basierend auf seiner Grundfläche, Dicke und thermischer Leitfähigkeit bestimmt. Wärmespreizung im Chip lag nicht vor, da die thermische Last P homogen über die Chipgrundfläche verteilt war. Die Berechnung des konvektiven Anteils basierte auf Gl. (2.44), die den thermischen Widerstand bei erzwungener Konvektion durch Prallströmung modelliert. Der konvektive Anteil ist dabei von den geometrischen Abmaßen, dem Volumenstrom, den Materialeigenschaften und der Temperatur des Kühlmediums abhängig. Der gesamte thermische Widerstand der Anordnung wurde für einen Volumenstrom von 10 ml/min bis 300 ml/min berechnet, wobei Wasser mit einer Eingangstemperatur von 25 °C als Kühlmedium angenommen wurde. Der Verlauf des thermischen Widerstands in Abhängigkeit vom Volumenstrom ist in Abbildung 6.33 dargestellt. Es zeigt sich ein exponentiell abklingender Verlauf, der bei einem Volumenstrom von 300 ml/min einen thermischen Widerstand von 1,14 K/W erreicht. Dabei beträgt der konduktive Anteil des thermischen Widerstands 0,44 K/W, was 38,6 % des gesamten thermischen Widerstands entspricht.

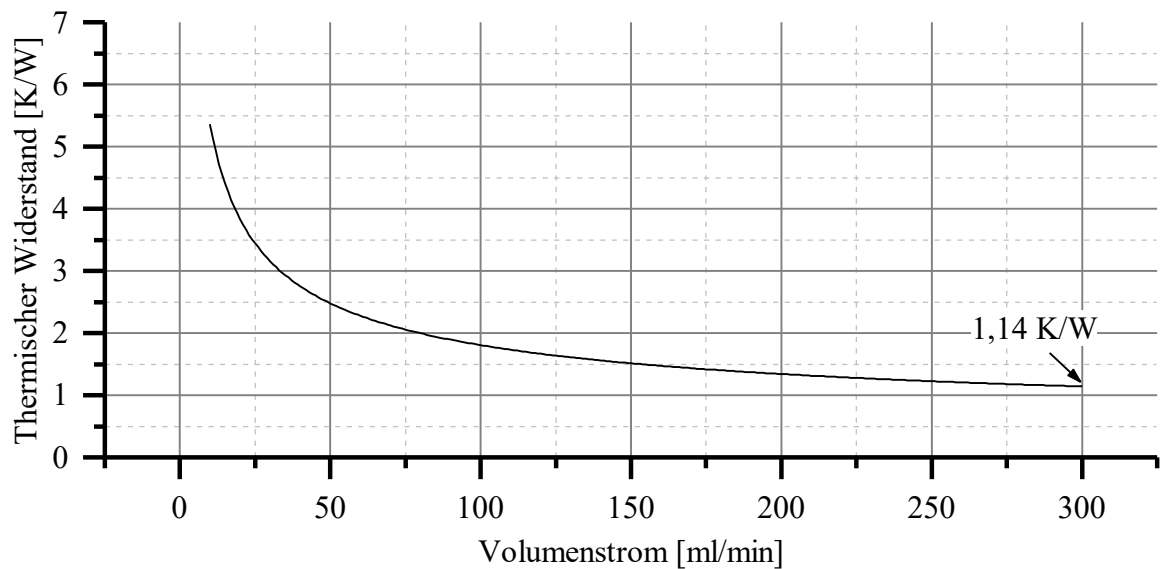


Abbildung 6.33: Berechneter Verlauf des thermischen Widerstands in Abhängigkeit vom Volumenstrom.

6.3.2 CFD Simulation

Basierend auf den Ergebnissen der analytischen Berechnung wurde ein Simulationsmodell erstellt, dessen Geometrie um Elemente zur lateralen Führung des Fluids erweitert wurde. Das geometrische Modell sowie das Simulationsnetz ist in Abbildung 6.34 dargestellt.

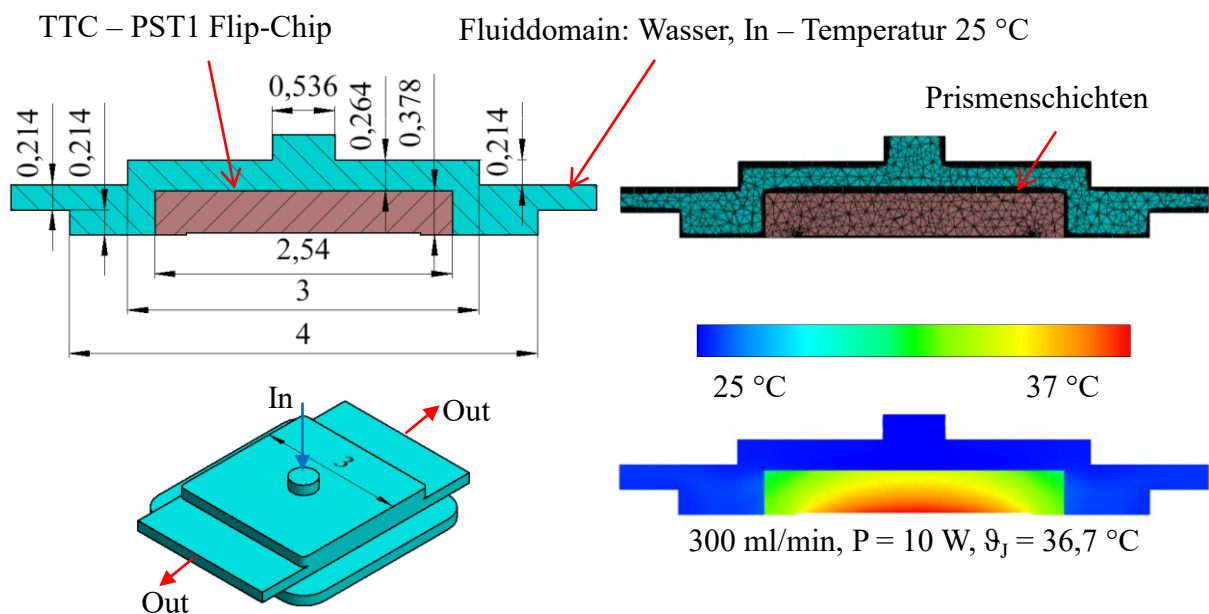


Abbildung 6.34: Links: Simulationsmodell und bemaßter, schematischer Querschnitt. Rechts oben: Querschnitt durch das Netzmodell. Die Prismenschichten sind nur als schwarze Verdickung erkennbar. Rechts unten: Temperaturverteilung im Querschnitt bei einem Volumenstrom von 300 ml/min und einer Last von 10 W.

Dabei bildet das Modell den Chip (TTC PST1) als Festkörperdomain und die fluidische Struktur als Fluidomain ab. Die Fluidomain besteht aus drei 214 μm dicken Lagen. Auf der obersten Lage mit einer Grundfläche von 3 x 3 mm^2 ist ein Zylinder mit einem Durchmesser von 536 μm platziert. Der Zylinder bildet dabei die Düse ab, welche Wasser mit einer Temperatur von 25 $^{\circ}\text{C}$ in die Fluidomain leitet. Die zweite Lage der Fluidomain ist in zwei Richtungen gestreckt. An den beiden Enden der Lage wird der fluidische Ausgang abgebildet, sodass das Fluid die Fluidomain symmetrisch durchströmt und die Domain an zwei Ausgängen verlässt. Die unterste Lage hat eine Grundfläche von 4 x 4 mm^2 und bildet den Kontakt zum hier nicht berücksichtigten, elektrischen Teil des Packages ab. Die umgebende LTCC Keramik wurde im Modell nicht berücksichtigt, da deren Einfluss auf den Wärmefluss vernachlässigt werden kann. Die Vernetzung des Fluids in Wandnähe erfolgte über die Bildung von 20 Prismenschichten mit einer Anfangsgröße von 1 μm und einer Wachstumsrate von 1,1. Ein wand- und krümmungsabhängiger Vernetzungsalgorithmus sorgte zudem für einen hohen Vernetzungsgrad in Regionen mit hohem Gradienten der Strömungsgeschwindigkeit.

Der Volumenstrom wurde im Bereich von 10 ml/min bis 300 ml/min variiert und der sich ergebende thermische Widerstand ermittelt. Die Ergebnisse der Simulation und der analytischen Bestimmung sind in Abbildung 6.35 links dargestellt. Die Ergebnisse zeigen, dass die analytische Betrachtung gut mit der Simulation übereinstimmt. Bei einem Volumenstrom von 300 ml/min beträgt der simulierte thermische Widerstand 1,17 K/W. Die analytische Betrachtung weicht hiervon mit einem berechneten thermischen Widerstand von 1,14 K/W nicht maßgeblich ab.

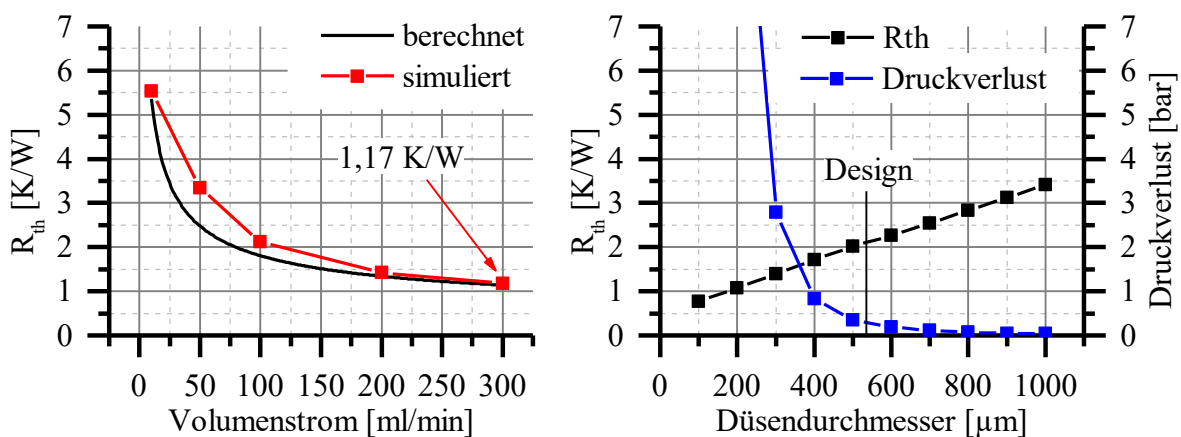


Abbildung 6.35: Links: Thermischer Widerstand in Abhängigkeit vom Volumenstrom. Die rote Kurve zeigt die Ergebnisse aus der Simulation. Die schwarze Kurve stellt die Ergebnisse der analytischen Betrachtung dar. Rechts: Thermischer Widerstand und Druckverlust in Abhängigkeit vom Düsendurchmesser.

Weiterhin wurde der Düsendurchmesser im Bereich von 100 μm bis 1 mm variiert. Der Volumenstrom wurde dabei auf 100 ml/min fixiert. Der thermische Widerstand und der sich ergebende Druckverlust zwischen fluidischem Ein- und Ausgang wurden simuliert. Die Ergebnisse sind in Abbildung 6.35 rechts dargestellt. Wie erwartet steigt mit sinkendem Düsendurchmesser der Druckverlust exponentiell an. Zudem sinkt der thermische Widerstand

mit sinkendem Düsendurchmesser. Der sinkende Düsendurchmesser führt bei konstantem Volumenstrom zu einer Erhöhung der Strömungsgeschwindigkeit und der Reynolds-Zahl, vgl. Gl. (2.42). Hierdurch steigt auch die Nußelt-Zahl (Gl. (2.43)), was eine Absenkung des thermischen Widerstands bedingt, vgl. Gl. (2.44). Der Designpunkt bei einem Düsendurchmesser von $536\ \mu\text{m}$ stellt dabei einen Kompromiss aus Druckverlust, thermischen Widerstand und verfügbaren Stanzstiften dar.

Das Kanaldesign des fluidischen LTCC Teils ist durch die Top-Down Führung des Fluids im Package erheblich komplexer als bei Kühlkonzepten für Drahtbondchips mit nur einem über einer Lage verteilten fluidischen Kanal, vgl. Abschnitt 6.2. Alternativ zur Anströmung des Chips durch eine Düse kann der Chip auch quer durch einen Kanal angeströmt werden. Die Top-Down Führung entfällt in diesem Fall, da fluidischer Ein- und Ausgang in einer Ebene liegen können. Hierdurch kann die Komplexität des Kanaldesigns reduziert werden. Der Einfluss der Queranströmung auf den thermischen Widerstand wurde in einer weiteren CFD Simulation bewertet. Das Simulationsmodell basiert dabei auf der bereits beschriebenen dreilagigen Fluidomain und der Festkörperdomain. Die Düse wurde entfernt und einer der beiden fluidischen Ausgänge durch einen fluidischen Eingang ersetzt. Das Simulationsmodell ist in Abbildung 6.36 links dargestellt. In einem weiteren Simulationsmodell wurde zudem die anströmende Lage in der obersten Lage der Fluidomain platziert, um die Anströmung der Chipstirnseite zu minimieren. Das geometrische Modell ist in Abbildung 6.36 rechts dargestellt.

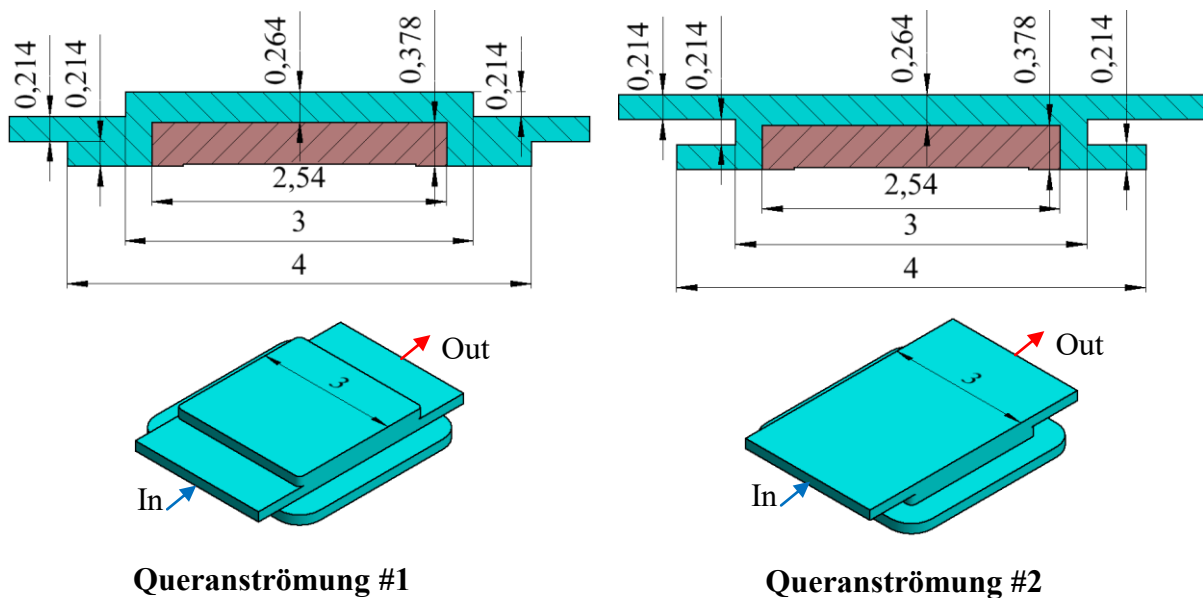


Abbildung 6.36: Geometrisches Modell und bemaßter schematischer Querschnitt der Queranströmung.

Abbildung 6.37 stellt links die Temperaturverteilung im Querschnitt bei einem Volumenstrom von $300\ \text{ml/min}$ und einer thermischen Last von $10\ \text{W}$ für beide Modelle dar. Das Modell #1 zeigt eine deutliche Verschiebung der Temperaturverteilung im Chip. Dies resultiert aus der direkt angeströmten Stirnseite des Chips in Kombination mit der Erwärmung des Fluids

entlang des Chips. Bei Modell #2 ist die Verschiebung weniger stark ausgeprägt, da hier nur die Chiprückseite direkt angeströmt wird. Auf der rechten Seite derselben Abbildung ist der thermische Widerstand in Abhängigkeit vom Volumenstrom für beide Modelle abgetragen. Bei 300 ml/min beträgt der thermische Widerstand von Modell #1 2,26 K/W. Dieser ist um den Faktor 1,92 höher als der thermische Widerstand des Designs mit Düse. Der größere Strömungsquerschnitt reduziert hier bei konstantem Volumenstrom die Strömungsgeschwindigkeit, sodass die Reynolds-Zahl und Nußelt-Zahl sinken, wodurch der thermische Widerstand steigt, vgl. Gl. (2.42) – (2.44). Im Vergleich zu Modell #1 zeigt Modell #2 bei einem Volumenstrom von 300 ml/min einen um den Faktor 1,1 höheren thermischen Widerstand, was auf die kleinere, direkt angeströmte Fläche zurückgeführt werden kann.

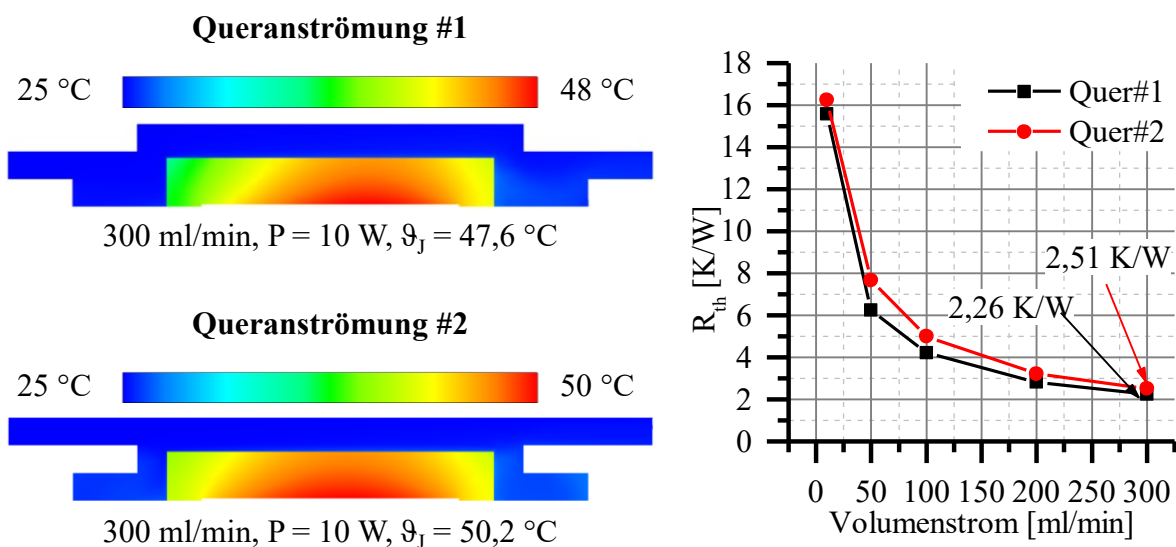


Abbildung 6.37: Links: Temperaturverteilung im Querschnitt bei einem Volumenstrom von 300 ml/min und einer Last von 10 W. Rechts: Thermischer Widerstand in Abhängigkeit vom Volumenstrom für Anströmung Quer#1 (schwarz) und Anströmung Quer#2 (rot).

6.3.3 Modulare Fertigung des Packages

Die Fertigung des Packages erfolgte in zwei separaten LTCC Modulen, die nach dem Fügen des Flip-Chips miteinander verbunden wurden.

6.3.3.1 Elektrischer Teil des Packages

Der elektrische Teil des Packages besteht aus vier Lagen DP951PX und einer Lage DP951C2. Er umfasst zwei Platintemperatursensoren, Substratbondpads für die Montage des Flip-Chips sowie Pads auf der Modulrückseite. Diese dienen als elektrische Schnittstelle und weisen die gleichen Abmessungen und Position wie die Rückseitenpads des Kühlkonzepts für Drahtbondchips auf, siehe Abschnitt 6.2.1. Substratbondpads und Rückseitenpads wurden mit der lötbaren AgPd Paste DP6146 im Siebdruckverfahren realisiert. Die Verbindung von Vorder- und Rückseite erfolgte über Durchkontaktierungen aus der Paste TC701. Die Temperatursensoren sind durch die DP951C2 Lage abgedeckt und ebenfalls über

Durchkontaktierungen mit den Rückseitenpads verbunden. Im Bereich der Substratbondpads ist die oberste Lage freigestellt. Das Substrat hat die Abmaße von $60 \times 11 \times 0,89 \text{ mm}^3$ und wurde im Standard LTCC Prozess gefertigt. Nach der Sinterung erfolgte die Flip-Chip Montage des TTC's mit dem unter Abschnitt 3.2.2 genannten Verfahren. Der Abstand zwischen Chiprückseite und Substratoberfläche wurde an neun gefertigten Modulen mithilfe einer Präzisionsmessuhr bestimmt und betrug $403 \mu\text{m} \pm 6 \mu\text{m}$. Die elektrischen Kontakte des Flip-Chips wurden mittels Underfill gekapselt. Anschließend erfolgte eine Beschichtung der Moduloberseite mit 10 nm Ti und 100 nm Au im Sputterprozess, was der Isolation des hygroskopischen Underfill gegenüber dem Kühlmedium diente. Nicht zu beschichtende Bereiche können dabei mit selbstklebender Folie maskiert werden. Abbildung 6.38 zeigt das Modul als Fotografie und Röntgenaufnahme.

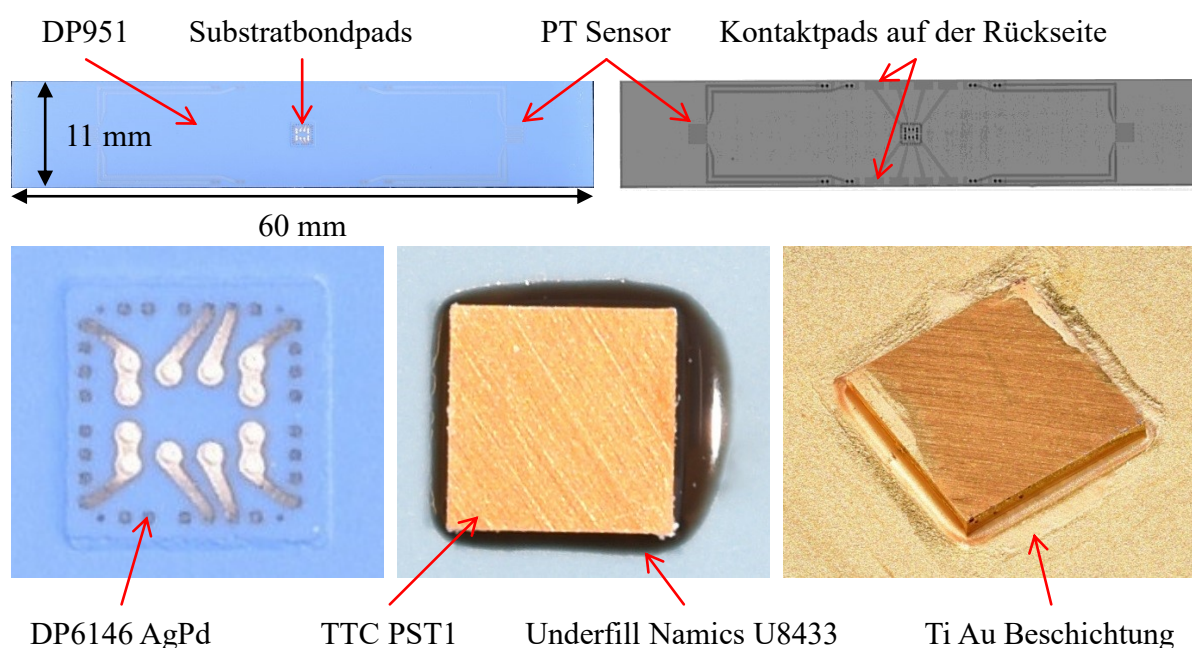


Abbildung 6.38: Elektrischer Teil des Packages als Fotografie sowie Röntgenaufnahme. Die vergrabenen Platintemperatursensoren sind erkennbar.

6.3.3.2 Fluidischer Teil des Packages

Der fluidische Teil des Packages hat die gleiche Grundfläche wie der elektrische Teil und dient der Führung des Kühlmediums. Hierfür sind fluidische Schnittstellen und Kanäle in das LTCC Substrat integriert. Öffnungen an der Substratoberseite stellen die fluidischen Schnittstellen dar. Diese weisen die gleiche Position und den gleichen Durchmesser wie die fluidischen Schnittstellen des Kühlkonzepts für Drahtbondchips auf, siehe Abschnitt 6.2.1. Die Öffnungen führen durch das gesamte Substrat. Auf der Rückseite schließt sich ein kurzer Kanal mit einer Höhe von 0,21 mm an. Dieser ist dabei an der Position des Temperatursensors des elektrischen Parts platziert, sodass die Temperatur des Kühlmediums beim Ein- und Austritt aus dem Modul ermittelt werden kann. Von dem Ende des kurzen Kanals führen Öffnungen in das Innere des LTCC Substrats, wo Kanäle mit einer Höhe von 0,21 mm integriert sind. Diese Kanäle leiten das Kühlmedium zu einer fluidischen

Kavität bzw. von dieser weg. Die Kavität stellt dabei die Aussparung dar, in der sich im gefügten Modul der Flip-Chip befindet. Die Geometrie der Kavität und deren Anströmung basiert dabei auf den simulierten Strukturen. Der thermische Widerstand der Queranströmung #2 war geringfügig höher als der thermische Widerstand der Queranströmung #1, sodass neben der Düsenanströmung nur die Queranströmung #1 realisiert wurde. Die Substrate der Düsenanströmung bzw. Queranströmung #1 haben die Abmaße von $60 \times 11 \times 1,68 \text{ mm}^3$ bzw. $60 \times 11 \times 1,26 \text{ mm}^3$ und wurden mit acht bzw. sechs Lagen DP951PX im Standard LTCC Prozess in Kombination mit Carboninlaytechnologie (Abschnitt 6.1.1) gefertigt. In Abbildung 6.39 sind die schematischen, bemaßten Darstellungen der Substrate als Draufsicht und als Querschnitt dargestellt. Die Abbildung zeigt zudem die Rückseiten der gefertigten Substrate und jeweils eine Röntgenaufnahme, die den Kanalverlauf im Substrat veranschaulicht. Die Tiefe der fluidischen Kavität wurde mittels Lasertriangulation bestimmt und betrug $620 \mu\text{m}$.

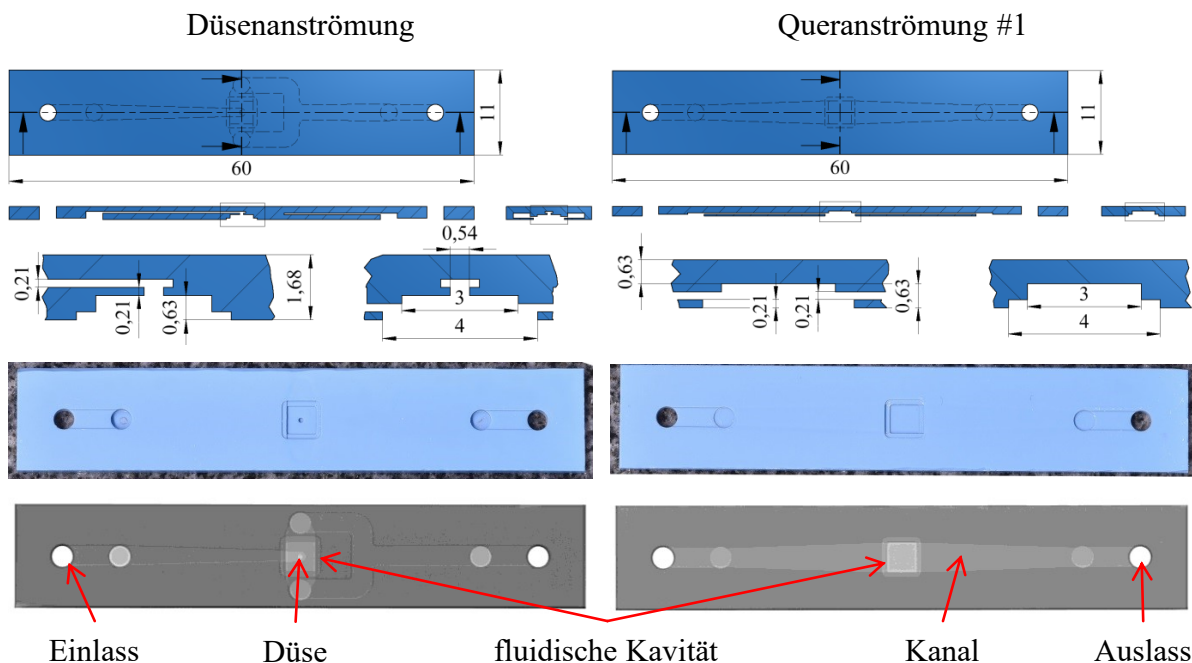


Abbildung 6.39: Schematische, bemaßte Darstellung der Geometrie als Draufsicht und als Querschnitt. Fotografie der gefertigten Substrate von der Rückseite und Röntgenaufnahme der gefertigten Module.

6.3.3.3 Fügen von elektrischem und fluidischem Teil

Das Fügen der beiden LTCC Teile kann durch Lötten oder Kleben erfolgen. Dabei ist zu beachten, dass die Prozesstemperatur nicht deutlich über die Liquidustemperatur der Lotlegierung der Flip-Chip-Bumps steigt, um die gelötete Verbindung zwischen Chip und Substrat nicht negativ zu beeinflussen. Das Lötten erfordert Metallisierungen am elektrischen und fluidischen Part. Hier kann das Silberbrazingsystem der Firma DuPont eingesetzt werden, das neben einer hohen Haftfestigkeit auf der LTCC auch für die hermetische Verbindung mittels Lot geeignet ist, vgl. Abschnitt 6.2.5.3. Die Beschichtung mit Titan und Gold des elektrischen Parts ist im Bereich der Silberbrazingmetallisierung nicht erforderlich und kann in diesem Bereich maskiert werden. Da der eingesetzte Underfill U8433 eine

Feuchtigkeitsaufnahme von 1 wt% nach 20 h in wässriger Umgebung [190] aufweist und der Testzyklus nur wenige Minuten andauert, ist die TiAu-Beschichtung des elektrischen Parts für die thermische Charakterisierung nicht erforderlich und wurde aus Kostengründen eingespart. Beim Fügen des elektrischen und fluidischen Parts mittels Kleben ist darauf zu achten, dass der verwendete Klebstoff gegenüber dem Kühlmedium chemisch beständig ist. Die Verbindung von elektrischen und fluidischen Part erfolgte in dieser Arbeit mit einem metallgefüllten Epoxidkleber (2AIF, iKTZ innovative Klebtechnik Zimmermann, Jena), der mittels Dispensen auf den elektrischen Part aufgetragen wurde. Anschließend wurde der fluidische Teil zu dem elektrischen Teil ausgerichtet und platziert. Hierfür wurde eine Pick&Placing Maschine verwendet (Fineplacer pico, Finetech GmbH). Der Kleber wurde in einem Konvektionsofen bei 180 °C für 15 min ausgehärtet. Die Zugfestigkeit der geklebten Verbindung wurde mittels Zugversuch an quadratischen, geklebten LTCC Substraten mit einer Fläche von 12 x 12 mm² ermittelt. Die im Zugversuch maximal zulässige Zugkraft von 2000 N wurde dabei überschritten, sodass eine Zugfestigkeit > 14 MPa bestimmt und der Test abgebrochen wurde. Die geklebte Verbindung wurde hinsichtlich ihrer Hermetizität mittels dem Abschnitt 4.1.1.5 beschriebenen Verfahren untersucht. Dabei zeigten 6 / 6 Proben eine Leckrate < $9 \cdot 10^{-9}$ mbar · l / s, sodass die Gasdichtigkeit und damit Dichtigkeit gegenüber flüssigen Medien nachgewiesen wurde. Zudem zeichnet sich der verwendete Klebstoff durch eine gute chemische Beständigkeit aus [191]. Nach dem Fügen wurde die BLT der Verbindung durch die Messung der Moduldicke und Differenzbildung mit den Dicken des elektrischen und fluidischen Teils bestimmt. Die an neun Modulen ermittelte BLT betrug $47 \mu\text{m} \pm 4 \mu\text{m}$. Basierend auf der BTL, dem Abstand des Flip-Chips zur Substratoberfläche des elektrischen Parts (403 μm) und der Tiefe der fluidischen Kavität (620 μm) konnte der Abstand der Flip-Chip Rückseite zur Düse bzw. Decke der fluidischen Kavität ermittelt werden. Dieser betrug im Mittel 264 μm .

6.3.4 Charakterisierung und Bewertung

Die Charakterisierung erfolgte im fluidischen / elektrischen Versuchstand mit den unter Abschnitt 6.1.2 beschriebenen Methoden. Dabei wurde der thermische Widerstand und der Druckabfall über das Modul in Abhängigkeit vom Volumenstrom bestimmt. Dieser wurde im Bereich von 10 ml/min bis 300 ml/min variiert. Pro Anströmungskonzept wurden vier Module vermessen. Die Ergebnisse sind in Abbildung 6.40 dargestellt. Es zeigt sich, dass die ermittelten thermischen Widerstände der beiden Anströmungskonzepte bei 300 ml/min nur geringfügig vom simulierten thermischen Widerstand abweichen. So weist die Düsenanströmung einen thermischen Widerstand von $1,09 \text{ K/W} \pm 0,01 \text{ K/W}$. Die Abweichung der Simulation ist hierbei 0,08 K/W bzw. 7,3 %. Der gemessene thermische Widerstand der Queranströmung #1 bei 300 ml/min beträgt $2,30 \text{ K/W} \pm 0,02 \text{ K/W}$. Die Simulation weicht davon mit 0,04 K/W bzw. 1,7 % nur gering ab. Bei einer maximal zulässigen Chiptemperatur von 120 °C und einer Fluideingangstemperatur von 20 °C kann so normiert auf die Chipfläche A eine Wärmestromdichte \dot{q} von 1422 W/cm² (Düsenanströmung) bzw. 674 W/cm² (Queranströmung #1) abgeführt werden, siehe Gl. (6.7) und (6.8).

$$\dot{q} = \frac{\Delta T}{R_{th} \cdot A} = \frac{100 \text{ K}}{1,09 \frac{\text{K}}{\text{W}} \cdot (0,254 \text{ cm})^2} = 1422 \frac{\text{W}}{\text{cm}^2} \quad \dots \text{Düsenanströmung} \quad (6.7)$$

$$\dot{q} = \frac{\Delta T}{R_{th} \cdot A} = \frac{100 \text{ K}}{2,30 \frac{\text{K}}{\text{W}} \cdot (0,254 \text{ cm})^2} = 674 \frac{\text{W}}{\text{cm}^2} \quad \dots \text{Queranströmung \#1} \quad (6.8)$$

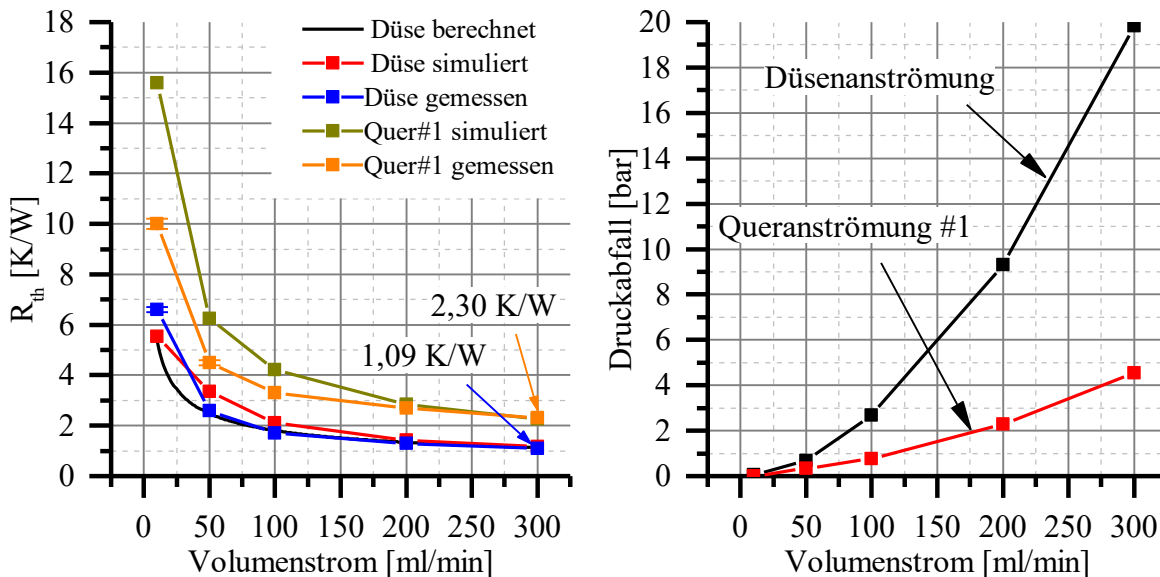


Abbildung 6.40: Links: Gemessener thermischer Widerstand der Düsenanströmung und Queranströmung #1 in Abhängigkeit vom Volumenstrom. Zum Vergleich sind die Ergebnisse der analytischen Bestimmung und der CFD Simulation mit abgetragen. Rechts: Druckabfall über Modul mit Düsenanströmung (schwarz) und Queranströmung #1 (rot).

Der Verlauf des thermischen Widerstandes ist für beide Anströmungskonzepte exponentiell abklingend und kann gut mit dem gleichnamigen Ansatz aus Gl. (6.3) approximiert werden. Gl. (6.9) und (6.10) beschreibt den approximierten Verlauf der Düsenanströmung bzw. der Queranströmung #1.

$$R_{th} = 1,09 + 5,53 \cdot e^{-(\dot{V}-9,73)/33,16} \quad (6.9)$$

$$R_{th} = 2,30 + 7,77 \cdot e^{-(\dot{V}-9,49)/35,07} \quad (6.10)$$

Der Druckabfall Δp über die Module kann mit einem Polynom zweiten Grades nach Gl. (6.6) approximiert werden. Gl. (6.11) stellt dies für die Düsenanströmung und Gl. (6.12) für die Queranströmung dar. Der Druckabfall der Queranströmung #1 beträgt bei einem Volumenstrom von 300 ml/min $4,5 \text{ bar}$. Die Düsenanströmung zeigt bei gleichem Volumenstrom einen Druckabfall von $19,8 \text{ bar}$. Die Erhöhung um den Faktor 4,4 kann auf die komplexere Führung des Kühlmediums und die Kanaleinengung im Bereich der Düse zurückgeführt werden.

$$\Delta p = -8,15E - 2 + 7,66E - 3 \cdot \dot{V} + 1,95E - 4 \cdot \dot{V}^2 \quad (6.11)$$

$$\Delta p = -1,24E - 2 + 4,18E - 3 \cdot \dot{V} + 3,66E - 5 \cdot \dot{V}^2 \quad (6.12)$$

6.3.5 Zusammenfassung der Ergebnisse

Das vorgestellte Kühlkonzept für Flip-Chips ermöglicht die Entwärmung des Packages direkt an der Chiprückseite. Hierdurch entfallen wärmespreizende Flächen sowie Kühlkörper, was die für die Kühlung benötigte Fläche und den konduktiven Anteil des thermischen Widerstands reduziert. Zwei verschiedene Anströmszenarien wurden untersucht. Die Anströmung über eine Düse oberhalb des Chips zeigte hierbei den mit 1,09 K/W kleinsten thermischen Widerstand bei einem Volumenstrom von 300 ml/min, sodass eine Wärmestromdichte von 1422 W/cm² bei einer maximalen Chipübertemperatur von 100 K sicher abgeführt werden kann. Das Anströmszenario konnte dabei gut mit Modellgleichungen und CFD Simulation nachgebildet werden. Dies erlaubt die einfache Adaption des Konzepts auf andere Chipgrößen. Die Queranströmung des Chips erlaubt eine Vereinfachung der Führung des Kühlmediums im Substrat, was eine kurze fluidische Wegstrecke und damit einen geringeren Druckabfall über das Modul bedingt. Sie kann dabei gut mittels CFD Simulation nachgebildet werden. Der thermische Widerstand ist mit 2,30 K/W um den Faktor 2,1 höher als der thermische Widerstand der Düsenanströmung. Dies kann auf die geringere Strömungsgeschwindigkeit bedingt durch den größeren Querschnitt der Anströmung und damit auf die reduzierte Nußelt-Zahl zurückgeführt werden. Die Queranströmung kann hierdurch eine Wärmestromdichte von 674 W/cm² abführen. Die modulare Fertigung des Packages erlaubt zudem eine Kombination des fluidischen Parts mit dem unter Abschnitt 3.3.7 vorgestellten passiven Entwärmungskonzept. Dabei kann durch das Abdünnen des Flip-Chips der konduktive Anteil des thermischen Widerstands nochmals reduziert werden, was eine Steigerung der abführbaren Wärmestromdichte erlaubt.

7 Zusammenfassung & Ausblick

Im Folgenden werden die wichtigsten Ergebnisse der vorliegenden Arbeit zusammengefasst und ihr Potential für zukünftige Anwendungen skizziert.

7.1 Druckloses Niedertemperatursilbersintern

Silbersintermaterialien eignen sich grundsätzlich als Verbindungsmaterial für die Chipmontage auf metallisierten LTCC Substraten und Metallsubstraten. Dieser Sinterprozess ist im Unterschied zum Löten ein Festkörperprozess, da alle beteiligten Materialien während des Prozesses in ihrer festen Phase vorliegen. Zudem ist der Prozess irreversibel, wodurch das gesinterte Material bis zu Temperaturen nahe der Schmelztemperatur des Materials erwärmt werden kann ohne dabei aufzuschmelzen. [71] Hierdurch könnte die Chipmontage auf LTCC Substraten mittels Silbersintermaterialien bei der Hochtemperaturelektronik Anwendung finden. Um Diffusionsprozesse zwischen Metallisierung und Verbindungsmaterial zu minimieren, sollte die Chip- und Substratmetallisierung mit einer Silberschicht abschließen. Zusätzliche Sperrschichten wie Nickel können erforderlich sein, um eine Diffusion des Silbers in das Substrat bzw. den Chip zu unterbinden. Der CTE von Chip und Substrat sollte genau aufeinander abgestimmt werden, da bereits eine geringe Abweichung zu thermomechanischem Stress beim Abkühlen und während Temperaturwechselbeanspruchung führt. Beim Aufbau mit einem Mo30Cu Substrat, welches eine CTE Differenz von 4,9 ppm/K zum Chip hatte, zeigte sich bereits nach wenigen Belastungszyklen ein signifikanter Abfall der Scherfestigkeit und damit ein Anstieg des thermischen Widerstands. Bei der Verwendung eines LTCC Substrats mit Dickschichtmetallisierung zeigte sich hingegen kein Abfall der Scherfestigkeit über den gesamten Testzeitraum. Die CTE Differenz betrug hier 3,2 ppm/K. Um die Zuverlässigkeit der Verbindung bei größerem CTE Unterschied zu erhöhen, wird die Verwendung eines Sinterklebers empfohlen. Der getestete Sinterkleber zeigte bei der Verwendung der LTCC bzw. des Mo30Cu Substrats auch nach 400 Belastungszyklen keinen signifikanten Abfall der mechanischen und thermischen Eigenschaften.

Die getesteten Silbersinterverbindungen zeichnen sich durch eine hohe elektrische Leitfähigkeit und ausreichend hohe Scherfestigkeit auch bei höheren Betriebstemperaturen aus. Im Vergleich zu Gold-Zinn Loten zeigen sie zudem einen > 50 % geringeren thermischen Widerstand bei vergleichbarer BLT. Durch die Substitution von Loten durch Sintermaterialien könnte so die Chiptemperatur verringert bzw. die Leistungsaufnahme des Chips erhöht werden. Eine Anpassung der Substrat- und Chipmetallisierung kann hierfür erforderlich sein. Die drucklose Verarbeitung der Pasten erlaubt zudem die einfache Integration in bestehende Prozessketten mit nur geringem Investitionsaufwand.

7.2 Löten mithilfe von reaktiven Materialien

Das Löten mit reaktiven Al/Ni Multilayern ermöglicht das Fügen bei Raumtemperatur. Durch den nur wenige Millisekunden andauernden Temperaturpuls wird das Lot aufgeschmolzen

ohne dabei die Fügepartner thermisch zu belasten. Das aufgeschmolzene Lot benetzt die Fügepartner und erstarrt dabei wieder. Hierdurch ist es möglich, Materialien mit stark unterschiedlichen CTE wie Halbleitermaterialien und Metalle zu fügen. Hieraus ergeben sich für das thermische Management in LTCC Packages zwei wesentliche Vorteile gegenüber dem Löten mittels herkömmlichen Loten.

Der Einsatz von Kupfer als Wärmespreizmaterial anstelle von teureren, im CTE angepassten Materialien wie Mo30Cu oder WCu wird ermöglicht. Hierdurch können Kosten eingespart und der thermische Widerstand um 15,3 % im Vergleich zu Wärmespreizern aus Mo30Cu abgesenkt werden. Die Scherfestigkeit der reaktiv gelöteten Verbindung erfüllt dabei mit > 20 MPa die Spezifikation nach MIL Standard [150]. Zudem eignet sich das Verfahren auch zur Montage des LTCC Substrates auf einem Kupferwärmespreizer, wobei Scherfestigkeiten von 11,4 MPa bis 50,4 MPa und eine Zugfestigkeit > 25 MPa erreicht werden. Zum gleichzeitigen Fügen von Chip und LTCC Substrat ist eventuell ein an die Dicken der Komponenten angepasstes Fügwerkzeug erforderlich.

Weiterhin zeigen analytische Betrachtungen der thermisch induzierten mechanischen Spannungen, dass die Spannungen im reaktiv gefügten Aufbau bis zu einer Betriebstemperatur von 110 °C geringer sind, als in konventionell mittels Gold-Zinn gelöteten Aufbauten. Durch gezieltes Abkühlen bzw. Erwärmen des Packages auf die Betriebstemperatur während des reaktiven Fügens könnten die Spannungen noch weiter minimiert werden, wodurch ein nahezu spannungsfreier Betrieb möglich wäre. Hierbei muss jedoch berücksichtigt werden, dass der sich im Package ausbildende Temperaturgradient zwischen verlustbehaftetem Bauelement und Kühlkörper auch im reaktiv gefügten Package zu thermisch induzierten Spannungen führt, die bei thermischer Fehlanpassung zum Versagen der Verbindung führen könnten. Lebensdaueruntersuchungen mittels Temperaturwechselbelastungstests bzw. Temperaturschockbelastungen könnten hier Aufschluss über die zu erwartende Lebensdauer einer bei Raumtemperatur bzw. Betriebstemperatur reaktiv gefügten Verbindung geben. Zudem sollte der Einfluss der Bondkraft auf die Mikrostruktur der Verbindung untersucht werden, da nach [88] und [89] eine Erhöhung der Bondkraft zu einer Verringerung der Porenanzahl und –größe führt und so die Festigkeit und die thermische Performance gesteigert werden. Weiterhin könnte so auch eine Verbesserung der Hermetizität erreicht werden, da mit sinkender Porenanzahl und –Größe die Wahrscheinlichkeit eines durch die Verbindung gehenden Mikrokanals sinkt. Zusätzlich könnte auch der Einfluss der Bondrahmenbreite auf die Hermetizität bewertet werden.

7.3 Thermische Vias unter dem Aspekt der Hermetizität

Basierend auf den Ergebnissen der Untersuchungen zur Hermetizität von thermischen Vias können für das Design von thermischen Vias aus Silber (DP 6141) folgende Empfehlungen erteilt werden:

- Anzahl der Lagen: ≥ 2 , besser jedoch 4 oder mehr
- Viadurchmesser kann in allen Lagen gleich sein

- Fangpads nur bei entsprechend kleinem Viadurchmesser zur Kompensation von Stapeltoleranzen notwendig
- Oberflächenmetallisierung für Hermetizität nicht notwendig
- Aspektverhältnis zwischen Lagendicke und Viadurchmesser kann bis zu 1,2 betragen

Für thermische Vias aus Gold (DP5738) können unter dem Aspekt der Hermetizität folgende Empfehlungen erteilt werden:

- Anzahl der Lagen: ≥ 4 , besser mehr
- Viadurchmesser sollte alternieren, Überlapp $\geq 43,5 \mu\text{m}$
- Fangpads aus DP 5740A sind zu verwenden
- Aspektverhältnis zwischen Lagendicke und Viadurchmesser kann bis zu 1,2 betragen

Die thermische Leitfähigkeit der Silber und Gold Viafüllpasten (DP 6141, DP 5738R) wurde durch Differenzbildung des gemessenen thermischen Widerstands eines zwei- und eines vierlagigen Substrates und anschließender Rückrechnung bestimmt. Dabei stimmt die ermittelte thermische Leitfähigkeit der Silberviafüllpaste ($289 \text{ W}/(\text{m} \cdot \text{K})$) gut mit der durch LFA bestimmten thermischen Leitfähigkeit überein [108]. Die Goldviafüllpaste zeigte eine im Vergleich zur Silberviafüllpaste um 34 % geringere thermische Leitfähigkeit.

Im 0-Schrumpfprozess gefertigte Substrate mit thermischen Vias weisen eine Undichtigkeit im Bereich der Vias auf. Diese wird durch den Abriss des Viafüllmaterials von der umgebenden LTCC verursacht. Hierbei wurden neben der Silberfüllpaste DP 6141 noch zwei weitere Füllpasten (DP E 104, DP TC701) erfolglos getestet. Der thermische Widerstand der Substrate wurde gemessen. Basierend auf der thermischen Leitfähigkeit der Silberfüllpaste und der Differenz der thermischen Widerstände der einzelnen Substrate mit unterschiedlichen Viafüllmaterial konnten die thermischen Leitfähigkeiten der beiden Viafüllpasten ermittelt werden. Die thermische Leitfähigkeit der Paste DP E 104 war dabei um 0,4 % geringer als die thermische Leitfähigkeit der Silberviafüllpaste DP 6141. Die Paste DP TC 701 erreichte eine um 44 % geringere thermische Leitfähigkeit.

7.4 Substratintegrierte, dicke Silberwärmespreizer im Co-Fire Prozess

Die Integration von sich über die gesamte Foliendicke erstreckenden Silberstrukturen (*full tape thickness feature*, kurz: FTTF) ermöglicht effiziente Wärmespreizung im Substrat. Zudem kann für hohe Anforderungen an die thermische Performance das LTCC Material vollständig im thermischen Pfad durch die Silberstruktur substituiert werden. Im Rahmen dieser Arbeit wurde hierfür eine Silberfolie verwendet, die mittels Inlaytechnologie im Co-Fire Prozess verarbeitet werden kann. Die Verwendung des 0-Schrumpfprozesses mit Druckunterstützung ist hierbei erforderlich, um die Planarität des Substrats zu gewährleisten. Die mechanische Verbindung zwischen LTCC und Silberfolie erfolgt in einem Formschluss, welcher stellenweise durch delaminierte Bereiche unterbrochen ist. Hierdurch kann der

LTCC-Silber Verbund potentielle Leckagen aufweisen, sodass bei der Verwendung in hermetischen Packages zusätzliche Deckschichten erforderlich sind. Zudem versintert die Silberfolie mit Silbervias zu einem form- und stoffschlüssigen Verbund.

Die Silberfolie verfügt über eine hohe thermische Leitfähigkeit ($340,5 \text{ W}/(\text{m} \cdot \text{K})$), wodurch der thermische Widerstand von wärmespreizenden Strukturen aus diesem Material gering ist. So weist ein 2 lagiges LTCC Modul mit TTC, das im thermischen Pfad durch die Silberfolie substituiert wurde, einen thermischen Widerstand von $1,58 \text{ K/W}$ auf. Der Widerstand ist dabei um den Faktor 2,5 geringer, als bei einem vergleichbaren Modul mit thermischen Vias im thermischen Pfad. So wird eine Verlustleistungsdichte von $981 \text{ W}/\text{cm}^2$ bei einer Temperaturdifferenz von 100 K zwischen Chip und Substratboden ermöglicht.

Die Verwendung der Folie als interner Wärmespreizer in Kombination mit thermischen Vias verringert den thermischen Widerstand des Substrates um $30,5 \%$ im Vergleich zu Substraten mit ausschließlich thermischen Vias. Dabei hat eine Erhöhung der Spreizerlänge über das 2,8 fache der Chiplänge keinen signifikanten Einfluss mehr auf den thermischen Widerstand des LTCC Moduls. Der thermische Widerstand eines vierlagigen Moduls mit TTC beträgt hier $2,74 \text{ K/W}$, wodurch eine Verlustleistungsdichte von $566 \text{ W}/\text{cm}^2$ bei einer Temperaturdifferenz von 100 K zwischen Chip und Substratboden ermöglicht wird.

Die hohe elektrische Leitfähigkeit von $49,6 \text{ MS}/\text{m}$ erlaubt zudem den Einsatz der Silberstrukturen als hochstromtragfähige Leiterzüge in LTCC Modulen. Die Leiterzugdicke ist dabei durch die Folienstärke bestimmt, wobei mehrere Silberfolien übereinandergestapelt werden können. So wurden bereits Schichtdicken von $160 \mu\text{m}$ und $307 \mu\text{m}$ erzielt. Die form- und stoffschlüssige Verbindung der Silberfolie mit Silbervias ermöglicht zudem eine verlustarme Übertragung hoher Ströme in verschiedene Substratebenen.

Der CTE der Silberfolie ist mit 23 ppm wesentlich höher als der CTE der LTCC. Bei Temperaturbelastungen könnte dies Spannungen im Substrat induzieren, die zu Rissen im Substrat nach einer gewissen Zeit führen. Die zu erwartende Lebensdauer des Substrats könnte dabei mittels Temperaturwechselbelastungstests bzw. Temperaturschockbelastungen untersucht werden.

Anwendung könnten die LTCC Substrate mit integrierten Silberstrukturen bei der Fertigung von Multichipmodulen (*multi chip module ceramic*, kurz MCM-C) finden. Hier könnten in einem Package verlustbehaftete Bauelemente wie DC/DC Wandler mit verlustärmeren Bauelementen wie z. B. Logikbaugruppen vereint werden. Dabei stellt das Package einen hochleitenden thermischen Pfad für die verlustbehafteten Bauelemente bereit und verfügt zudem über die nötige Verdrahtungsdichte, um komplexe Bauelemente mit hoher Pinanzahl zu entflechten. Weiterhin sind passive Elemente wie Widerstände, Kondensatoren und Induktivitäten direkt im LTCC Substrat integrierbar. Durch diese MCM-C Packages kann der Platzbedarf zur Realisierung bestimmter Funktionen gegenüber dem Einzelchippackaging (*single chip module*, kurz SCM) maßgeblich reduziert werden.

7.5 Aktive Wärmeableitung im Schaltungsträger

Durch die Integration aktiver Entwärmungskonzepte im Schaltungsträger kann die Wärme nahe an der verlustbehafteten Komponente abgeführt und somit der thermische Pfad kurz und der thermische Widerstand gering gehalten werden. Hierdurch kann die Chip- und Modultemperatur reduziert werden, was nach dem Gesetz von Arrhenius zu einer Steigerung der Lebensdauer des Moduls führt. Zudem kann durch den Verzicht von wärmespreizenden Strukturen und Kühlflächen im Package Substratfläche und damit Kosten eingespart werden. Im Rahmen der vorliegenden Arbeit wurden im LTCC Substrat integrierte, aktive Entwärmungskonzepte für Drahtbondchip und Flip-Chip LTCC Packages entwickelt und charakterisiert. Die LTCC Packages basieren dabei auf dem DP951 System der Firma DuPont, wobei fluidische Elemente mittels der Inlaytechnologie mit Carbonfolie gefertigt wurden.

LTCC Packages mit integriertem aktivem Kühlkonzept für Drahtbondchips verfügen dabei über einen Kanal, der in der Höhe durch die Lagendicke der LTCC und in der Breite durch die Chipbreite bestimmt ist. Dabei sollte das Package thermische Vias direkt unter dem Chip und im Kanal enthalten. Werden Vias aus silberbasierter Viafüllpaste (DP 6141) mit einem Durchmesser von 260 μm und einem Pitch von 500 μm verwendet, kann der thermische Widerstand des Moduls um 70,8 % gegenüber einem Package ohne thermische Vias reduziert werden. Die LTCC Schicht mit thermischen Vias, die gleichzeitig den Kanal abdeckt, sollte dabei aus mindestens zwei 210 μm dicken LTCC Lagen bestehen. Hierdurch wird die Planarität des Substrats im Bereich der thermischen Vias verbessert und die mechanische Stabilität des Substrats im Kanalbereich erhöht. Von der Verwendung des 0-Schrumpfprozesses für diese Packages zur Verbesserung der Substratplanarität ist abzuraten, da der erhöhte z-Schrumpf zu einer Reduzierung der Schichtstärken der LTCC Lage führt. Dadurch reduziert sich die mechanische Stabilität des Moduls, was durch die Erhöhung der Lagenanzahl kompensiert werden müsste. Zudem neigen Vias im 0-Schrumpfprozess zum Abriss von der umgebenden LTCC, was zu Undichtigkeiten führen kann. Hierdurch könnte Kühlflüssigkeit aus dem Package austreten. Die Skalierbarkeit des Kühlkonzepts wurde für eine Chipfläche von 2,54 x 2,54 mm^2 bis 7 x 7 mm^2 nachgewiesen. Ist eine elektrische Isolation zwischen Chip und Kühlmedium erforderlich, kann eine 40 μm dünne LTCC Lage zwischen thermischen Vias im Substrat und Chipbondpad integriert werden. Diese erhöht den thermischen Widerstand um den Faktor 2. Der thermische Widerstand zeigt eine starke Abhängigkeit vom Volumenstrom, welche mit einem exponentiell abklingenden Ansatz approximiert werden kann. So reduziert sich der thermische Widerstand ab ca. 100 ml/min nicht mehr markant. Der Druckabfall über den Modulen steigt hingegen mit zunehmendem Volumenstrom stark an und kann mit einem Polynom zweiten Grades approximiert werden. Der optimale Arbeitspunkt stellt daher einen Kompromiss aus thermischen Widerstand und Druckabfall dar. Die Praxistauglichkeit des Kühlkonzepts wurde in einem Demonstrator nachgewiesen. Hierfür wurde ein LTCC LGA Package mit integriertem fluidischen Kanal gefertigt und auf einen FR4 Multilayer Träger mit integrierten fluidischen Strukturen hermetisch aufgelötet. Die Herstellung des FR4 Multilayers folgte dabei dem Stand der Wissenschaft und Technik. Mit dem entwickelten Demonstrator war es möglich eine

Wärmestromdichte von 517 W/cm^2 bei einer Temperaturdifferenz von 100 K zwischen Chip und Kühlmedium abzuführen.

Die Entwärmung eines Packages mit Flip-Chips ist über das Substrat ineffizient, da der an das Substrat abgegebene Wärmestrom durch die geringe Kontaktfläche der Flip-Chip Bumps gegenüber der vollflächigen Chipmontage stark reduziert ist. Die Entwärmung sollte daher von der Chiprückseite erfolgen. Das entwickelte Kühlkonzept für Flip-Chip Packages ermöglicht eben dies. Hierdurch entfallen wärmespreizende Flächen sowie Kühlkörper, was die für die Kühlung benötigte Fläche und den konduktiven Anteil des thermischen Widerstands reduziert. Das Kühlkonzept basiert dabei auf zwei separat gefertigten LTCC Substraten. Ein Substrat realisiert dabei die elektrischen Schnittstellen zur Ankontaktierung des Flip-Chips und der Umgebung. Das andere Substrat enthält die fluidischen Elemente zur Führung des Kühlmediums und wird nach der Flip-Chip Montage auf das den elektrischen Teil enthaltende Substrat gefügt. Eine Anströmung des Chips über eine Düse oberhalb des Chips zeigte dabei den mit $1,09 \text{ K/W}$ kleinsten thermischen Widerstand bei einem Volumenstrom von 300 ml/min , sodass eine Wärmestromdichte von 1422 W/cm^2 bei einer maximalen Chipübertemperatur von 100 K sicher abgeführt werden kann. Eine geringe Abweichung zu analytischen und simulatorischen Modellen erlaubt zudem die einfache Adaption des Konzepts auf andere Chipgrößen. Der durch den komplexen Kanalverlauf hervorgerufene hohe Druckabfall über dem Modul könnte durch eine Vereinfachung des Kanalverlaufs reduziert werden. Dabei wird der Chip nicht von oben durch eine Düse, sondern seitlich angeströmt. Der thermische Widerstand erhöht sich hierdurch um den Faktor $2,1$ auf $2,30 \text{ K/W}$. Die Queranströmung kann hierdurch eine Wärmestromdichte von 674 W/cm^2 abführen. Die modulare Fertigung des Packages erlaubt zudem eine Kombination des fluidischen Parts mit dem unter Abschnitt 3.3.7 vorgestellten passiven Entwärmungskonzept. Dabei kann durch die Abdünnung des Flip-Chips der konduktive Anteil des thermischen Widerstands nochmals reduziert werden, was eine Steigerung der abführbaren Wärmestromdichte erlaubt. Genau wie beim Kühlkonzept für Drahtbondchips zeigen der thermische Widerstand der Packages und der Druckabfall eine starke und gegenläufige Abhängigkeit vom Volumenstrom, sodass ein optimaler Arbeitspunkt einen Kompromiss aus thermischem Widerstand und Druckabfall darstellt.

Anwendung könnten die LTCC Module mit integrierten aktiven Kühlkonzepten für Packagelösungen in der Leistungselektronik, wie beispielsweise Power LED Packages, Gleichspannungswandler oder Frequenzumrichter finden. Zudem erlaubt die Integration der Kühlkanäle in das Package die Miniaturisierung bestehender aktiver Kühlsysteme, da der thermische Pfad kurz und der thermische Widerstand gering ist, sodass die wärmeübertragende Fläche klein gewählt werden kann. Hierdurch könnten die Packagelösungen in Systemen mit begrenztem Bauraum wie beispielsweise Servermodulen oder LED-Scheinwerfern im Automobilbereich eingesetzt werden.

Abbildungsverzeichnis

Abbildung 1.1: Entwicklung der integrierten Schaltkreise am Beispiel von Intel Mikroprozessoren. Daten aus [4].....	1
Abbildung 1.2: Links: System-in-Package auf Basis eines keramischen Schaltungsträgers. Rechts: übereinander gestapelte Chips. Mit freundlicher Genehmigung der Micro Systems Engineering GmbH.....	2
Abbildung 1.3: Anforderungen an Schaltungsträger und deren Auswirkungen auf Schaltungsträger.	3
Abbildung 1.4: Schematischer Querschnitt eines typischen, mikroelektronischen Aufbaus auf Basis von keramischen Schaltungsträgern.	5
Abbildung 1.5: Darstellung von Messdaten; Links: Boxplot mit allen relevanten Quantilen. Rechts: Säulendiagramm mit Standardabweichung.	7
Abbildung 1.6: Schematischer Ablauf und Zusammenhang des Design-, Realisierungs- und Bewertungsprozess.	8
Abbildung 2.1: Schema der Wärme- und Leistungsbilanz in einem Körper.....	9
Abbildung 2.2: Übersicht über Wärmestrahlung die auf einen Körper trifft.	10
Abbildung 2.3: Schema des Wärmestroms in einem Quader entlang der Flächennormale.	12
Abbildung 2.4: Modell der Wärmespreizung in einem mikroelektronischen Aufbau.	13
Abbildung 2.5: Modell der Wärmespreizung für einen Substrat mit einer Länge kleiner als $l_{\text{Krit.}}$	14
Abbildung 2.6: Schema der Kanalströmung mit Wärmeabgabe von einer Seite.	19
Abbildung 2.7: Schema der Queranströmung eines Zylinderbündels. Links fluchtende Anordnung. Rechts: versetzte Anordnung [32].....	20
Abbildung 2.8: Schema der Prallströmung durch eine Blende auf eine beheizte Oberfläche..	21
Abbildung 2.9: Thermisches Ersatzschaltbild für den Fall des stationären Wärmetransports.	22
Abbildung 2.10: Linienelement der Finiten – Elementen – Methode.	23
Abbildung 2.11: Typischer Arbeitsablauf bei einer FEM Simulation.	26
Abbildung 2.12: Links: Beliebige Fläche mit den Punkten M N O und P. Mitte: Fläche mit Symmetrieachse. Rechts: Korrekturfaktor f in Abh. von R Verhältnis. [42].....	28
Abbildung 2.13: Schematische Darstellung einer Messstruktur für die Bestimmung der spezifischen elektrischen Leitfähigkeit nach der Vierleitermessung.	29
Abbildung 2.14: Schematische Darstellung der Laser-Flash-Analyse. Ein Probekörper wird mit einem Laserpuls beschossen und die Erwärmung der Rückseite über die Zeit gemessen.	30

Abbildung 2.15: Beispielhafter Temperatur-Zeit-Verlauf der Rückseite eines Probekörpers [43].....	30
Abbildung 2.16: Modell des Messaufbaus nach ASTM D5470	31
Abbildung 2.17: Versuchsstand zur Messung des stationären thermischen Widerstands.	32
Abbildung 2.18: TTC PST1. Links: Mikroskopaufnahme. Rechts: Schematische Darstellung der internen Struktur bestehend aus Flächenwiderstand und fünf Dioden in Reihenschaltung.	33
Abbildung 2.19: Links: Thermischer Testchip PST1 von Delphi, verbunden mit LTCC Trägersubstrat über Dünndrahtbonden. Rechts: REM Aufnahme der Rückseitenmetallisierung des PST1 bestehend aus 70 nm Au & 221 nm Ni & 78 nm Cr. Ermittelt durch FIB, REM und EDX. Die Platinschicht wurde während der FIB Prozessierung aufgebracht und ist nicht Bestandteil der Metallisierung.	34
Abbildung 2.20: Temperaturverlauf der Diodenspannung des thermischen Testchips PST1 (Wirebondchip & Flip-Chip) im Temperaturbereich von 30 °C bis 120 °C. Der Diodenstrom wurde auf 1 mA eingestellt.	35
Abbildung 2.21: Boxplot von Anstieg (links) und U_0 (rechts) der Diodenspannung für den TTC PST1, rot Typ Wirebondchip, grün Typ Flip-Chip, Diodenstrom 1 mA; jeweils 10 Chips vermessen.	35
Abbildung 2.22: Links: Einzelner TTC G423B auf Aluminiumoxidsubstrat geklebt und elektrisch kontaktiert mittels Au Dünndrahtbonden. Rechts: 7 x 7 mm TTC, bestehend aus 49 G423B angeordnet in einer 7 x 7 Matrix.	36
Abbildung 2.23: Darstellung der Messung der Temperaturverteilung der sich überlagernden Strahlungsanteile, die die Wärmebildkamera aufzeichnet, sowie die Rückführung des Spannungssignals auf eine bestimmte Temperatur.	38
Abbildung 2.24: Schematische Darstellung der konstruierten Wärmesenke.....	40
Abbildung 2.25: Links: Rückseite des oberen Wärmespreizers mit integriertem RTD und Vorderseite des unteren Wärmespreizers mit aufgelegter PGS25 Folie. Rechts: Rückseite des unteren Wärmespreizers mit aufgelegter PGS75 Folie und Vorderseite des Peltier Elements.	40
Abbildung 3.1: Schematische Darstellung eines mehrlagigen LTCC Substrates im Querschnitt.	43
Abbildung 3.2: Typischer Ablauf der LTCC Prozessierung. Alle Schritte zwischen Tempern und Stapeln können an mehreren Folien parallel durchgeführt werden.	44
Abbildung 3.3: Schematische Darstellung der wesentlichen Teile einer Viafüllmaschine, vor dem Füllvorgang.	45
Abbildung 3.4: Schematische Darstellung des Druckvorgangs beim Siebdruck.....	46
Abbildung 3.5: Schematische Darstellung von uniaxialer (links) und isostatischer (rechts) Lamination.	47

- Abbildung 3.6: Standardmäßig verwendetes Sinterprofil für das Materialsystem DP951.....48
- Abbildung 3.7: Schematische Darstellung des Folienstapels beim PLAS (links) und PAS Prozess (rechts) mit Beschwerung.....48
- Abbildung 3.8: Links: Schematische Darstellung der Chipmontage. Rechts: aufgeklebter Si Chip. Der silbergefüllte Kleber wurde mittels Dispensen aufgebracht und der Chip mittels Dünndrahtbonden mit Golddraht kontaktiert.50
- Abbildung 3.9: Links: schematische Darstellung des Fügevorgangs. Rechts: TEM Aufnahme der 40 μm NanoFoil, einzelne Aluminium- und Nickelschichten mit einer Einzelschichtstärke von jeweils ~ 25 nm sind erkennbar.53
- Abbildung 3.10: Links: Schematische Darstellung des Flip–Chip Prozesses. Rechts oben: mittels Thermokompression auf LTCC montierter Flip–Chip mit Goldkontakten von der Seite fotografiert. Ein Underfill wurde hier nicht verwendet. Rechts unten: Querschliff durch Kontaktbereich zwischen Chip und Substrat..... 54
- Abbildung 3.11: Links: Schematische Querschnitt; Rechts: Fotografie von LTCC Package mit direkt montierten Chip..... 56
- Abbildung 3.12: Links: Schematische Querschnitt. Rechts: Mikroskopische Aufnahme eines LTCC Substrates bestehend aus 2 Lagen mit thermischen Vias57
- Abbildung 3.13: Darstellung des auf die Substratfläche normierten effektiven thermischen Widerstandes des Substrates in Abhängigkeit von Substratdicke und Viaflächenanteil. Links: Farbliche Darstellung. Rechts: Darstellung nur in Abhängigkeit der Substratdicke für 4 verschiedene Viaflächenanteile. 58
- Abbildung 3.14: Querschnitt durch LTCC Substrat mit thermischen Vias aus Silber. Der Viafüllgrad war nicht ausreichend, sodass sich Hohlräume zwischen den Vias einzelner Lagen ausgebildet haben. Der Bereich der Vias wurde im Dunkelfeld, der der LTCC im Hellfeld aufgenommen, um einen optimalen Kontrast zwischen Keramik und Silber zu erhalten. Beide Aufnahmen wurden in einem Bild vereinigt. Die schwarze Umrandung der Vias ist ein Artefakt dieser Vereinigung. 59
- Abbildung 3.15: Oben: Geometrisches Modell von LTCC Modul mit kleinem und großem Viafeld. Mitte: Simulierte Temperaturverteilung. Unten: Simulierte Verteilung der Wärmestromdichte. Eine Konzentration des Wärmestroms in den Vias direkt unter dem Chip ist erkennbar.60
- Abbildung 3.16: REM Aufnahme eines sequentiell aufgebauten Dickschichtwärmespreizers, bestehend aus einer Lage DP 5081 und zwei Lagen DP5082. Die gebrannte Schichtdicke beträgt $24,9 \mu\text{m} \pm 1,3 \mu\text{m}$61
- Abbildung 3.17: Geometrisches Modell des Aufbaus mit Dickschichtwärmespreizer. Oben: Ohne thermische Vias. Unten: Mit thermischen Vias. 62
- Abbildung 3.18: Simulierte Temperaturverteilung im Modell mit thermischen Vias. Der Wärmespreizer hatte eine Fläche von $4 \times 4 \text{ mm}^2$ und eine Dicke von $30 \mu\text{m}$ 63

- Abbildung 3.19: Farbliche Darstellung des normierten thermischen Widerstands in Abhängigkeit von der Dicke des Wärmespreizers und der auf die Chipbreite normierten Wärmespreizerbreite w^2 . Links: Modell ohne thermische Vias. Rechts: Modell mit thermischen Vias..... 64
- Abbildung 3.20: Schematischer Querschnitt durch LTCC-M mit montierten Chips. 65
- Abbildung 3.21: Schematische Darstellung der aktiven Kühlung durch substratintegrierte Kühlkanäle. Der Chip gibt die Wärme über das Substrat an das im Kühlkanal fließende Kühlmedium ab, welches die Wärme dann aus dem Modul transportiert. 66
- Abbildung 3.22: Schematische Darstellung des Wirkprinzips einer substratintegrierten Heatpipe in LTCC..... 70
- Abbildung 3.23: Schematische Darstellung von Konzepten zur Entwärmung von Flip-Chip Packages. a) Einsatz einer Kupferkappe. b) Verwendung einer Kupferplatte. c) Package mit galvanisch abgeschiedenen Kupfer. d) Chip in Kavität auf Substratrückseite montiert..... 72
- Abbildung 4.1: Links: Siebgedruckter, gesinterter Leiterzug. Rechts: Gemessene Profils cans 74
- Abbildung 4.2: Links: Schematischer Aufbau und Fotografie des Testaufbaus. Rechts: Minimale Scherkraft in Abhängigkeit von der Chipfläche, mit der die Verbindung unbeschadet belastet werden muss, um als für die Chipmontage geeignet zu gelten [150]. ... 75
- Abbildung 4.3: Links: Schematische Darstellung des Testpackages. Rechts: Fotografie des Testpackages mit sechs gefügten Chips und LTCC Verbindungsträger. Unten: Thermisches Ersatzschaltbild der Anordnung..... 76
- Abbildung 4.4: Links: Geometrisches Simulationsmodell mit allen relevanten Simulationsparametern. Rechts: Simulierte Temperaturverteilung im Querschnitt für den Fall des TTC's am Rand des Mo30Cu Substrates..... 78
- Abbildung 4.5: Links: REM Aufnahme des Sinterklebers SK2 zur Bestimmung der Porosität, hier 3,8 %. Rechts REM Aufnahme des Sinterklebers SK2 in Verbindung mit Substrat und Chipmetallisierung. Die Porosität dieser Probe betrug 4,2 %..... 80
- Abbildung 4.6: Links: Schematischer Aufbau des Lecktest. Mitte: Vorrichtung zur Klemmung der Probe zwischen zwei O-Ringen. Rechts: Generierung der Heliumatmosphäre. 81
- Abbildung 4.7: Elektrische Leitfähigkeit der getesteten Materialien, gesintert / gehärtet nach Herstellervorgaben im Vergleich zu Datenblattwerten. Die elektrischen Leitfähigkeiten der Lote wurde aus der Tabelle 4.1 übernommen..... 82
- Abbildung 4.8: Scherfestigkeit der getesteten Materialien in Kombination mit Chip und Substrat. Es wurden jeweils 9 (LTCC) bzw. 10 (Mo30Cu) Proben pro Material vermessen.. 83
- Abbildung 4.9: Links: Boxplot vom thermischen Widerstand der getesteten Materialien. Es wurden jeweils sechs Proben pro Material vermessen. Rechts: Anhand von Querschliffen ermittelte BLT. Unten: Effektive thermische Leitfähigkeit. Zum Vergleich wurden die

Datenblatt- / Literaturwerte und die nach dem Wiedemann-Franz-Gesetz (vgl. Abschnitt 2.2.1) berechneten thermischen Leitfähigkeiten angegeben.	84
Abbildung 4.10: Temperaturverlauf während zweier Temperaturwechselzyklen. Die schwarze Kurve stellt die Vorgabe, die rote Kurve den tatsächlichen Verlauf dar.....	86
Abbildung 4.11: Ermittelte Werte für den thermischen Widerstand, die elektrische Leitfähigkeit, die Scherfestigkeit sowie die Porosität in Abhängigkeit von der Anzahl der Zyklen (0, 100, 250 & 400) für das Material SM4, Datenbasis aus [162] entnommen.	87
Abbildung 4.12: Mikroskopaufnahme des linken und rechten Rands der Bruchstelle zwischen SM4 und Mo30Cu, sowie das Oberflächenprofil, modifiziert nach [162].....	87
Abbildung 4.13: Querschliff durch Aufbau mit Mo30Cu Substrat und SM4 im Randbereich des Chips nach 400 Zyklen. Eine Delamination des Sintermaterials von der NiAg Beschichtung des Mo30Cu Substrates ist erkennbar. Die Delamination zwischen Chipmetallisierung und Sintermaterial kann dabei auf ein Präparationsartefakt aufgrund der geringen Scherfestigkeit zurückgeführt werden.	88
Abbildung 4.14: Ermittelte Werte für den thermischen Widerstand, die elektrische Leitfähigkeit, die Scherfestigkeit sowie die Porosität in Abhängigkeit von der Anzahl der Zyklen (0, 100, 250 & 400) für das Material SK2, Datenbasis aus [162] entnommen.	90
Abbildung 4.15: Ermittelte Werte für den thermischen Widerstand, die elektrische Leitfähigkeit, die Scherfestigkeit sowie die Porosität in Abhängigkeit von der Anzahl der Zyklen (0, 100, 250 & 400) für das Material Ag Epoxy, Datenbasis aus [162] entnommen...	91
Abbildung 4.16: Ermittelte Werte für den thermischen Widerstand, BLT, effektive thermische Leitfähigkeit, elektrische Leitfähigkeit, Scherfestigkeit sowie Porosität in Abhängigkeit von der Sintertemperatur für das Material SM1.....	92
Abbildung 4.17: Querschnittsbild von gefügten TTC auf Mo30Cu unter Verwendung des Materials SM1. Links: 60 min gesintert bei 175 °C. Rechts: 60 min gesintert bei 200 °C. Die Verringerung der BLT und Porosität bei Erhöhung der Sintertemperatur ist erkennbar. Außerdem zeigt die bei 200 °C gesinterte Verbindung lokale Delaminationen zwischen Chipmetallisierung und Sintermaterial.	93
Abbildung 4.18: Ermittelte Werte für den thermischen Widerstand, BLT, effektive thermische Leitfähigkeit, elektrische Leitfähigkeit, Scherfestigkeit sowie Porosität in Abhängigkeit von der Sintertemperatur für das Material SM3.....	94
Abbildung 4.19: Ermittelte Werte für den thermischen Widerstand, BLT, effektive thermische Leitfähigkeit, elektrische Leitfähigkeit, Scherfestigkeit sowie Porosität in Abhängigkeit von der Sintertemperatur für das Material SK2.....	95
Abbildung 4.20: Scherfestigkeit der Sintermaterialien in Abhängigkeit von der Schertemperatur. Der mittlere Abfall der Scherfestigkeit pro Kelvin ist angegeben. Pro Material und Temperatur wurden neun Proben gemessen.	97

- Abbildung 4.21: Scherfestigkeit der Sinterkleber und des Ag Epoxy in Abhängigkeit von der Schertemperatur. Der mittlere Abfall der Scherfestigkeit pro Kelvin ist angegeben. Pro Material und Temperatur wurden neun Proben gemessen..... 97
- Abbildung 4.22: Scherfestigkeit der Lote in Abhängigkeit von der Schertemperatur. Der mittlere Abfall der Scherfestigkeit pro Kelvin ist angegeben. Pro Material und Temperatur wurden neun Proben gemessen. 98
- Abbildung 4.23: Mikroskopische Hochgeschwindigkeitsaufnahme einer reagierenden NanoFoil[®], die Reaktionsfront ist rot markiert. 100
- Abbildung 4.24: Links: Aufbau beim Fügen mit Federklammern. Rechts: Kupferträger mit TTC und Testchip für die Ermittlung der Scherfestigkeit. 101
- Abbildung 4.25: Verbindungsschicht nach Fügen; Links: Mo30Cu + NiAg Träger, Mitte: Cu + NiAu Träger. Rechts: Cu + NiAg Träger. 102
- Abbildung 4.26: Boxplot der Scherfestigkeit dargestellt für jede getestet Materialkombination. Es wurden insgesamt 9 bzw. 10 Proben vermessen. 102
- Abbildung 4.27: Boxplot des gesamten thermischen Widerstandes, des thermischen Widerstandes der Verbindungsschicht, sowie der berechneten effektiven thermischen Leitfähigkeit der Verbindungsschicht. Für jede getestet Materialkombination wurden 6 Proben gemessen. 104
- Abbildung 4.28: Schematischer Querschnitt durch das Modell zur Ermittlung der thermisch induzierten Spannungen im Verbindungsmaterial (Scherbelastung $\tau(x)$, Schälspannung $p(x)$), sowie an der Oberseite des Chips (Normalspannung $\sigma_{top}(x)$), modifiziert nach [105]. 105
- Abbildung 4.29: Links: Thermisch induzierte mechanische Spannungen von Gold – Zinn gelötetem Si Chip auf Mo30Cu bei 22 °C, $\Delta T = 258$ K, Verlauf entlang des Querschnitts. Rechts: Vergleich der thermisch induzierten Spannungen in zwei verschiedenen Aufbauten in Abhängigkeit der Betriebstemperatur. Es sind die Maximalwerte der Spannungen dargestellt. Die durchgezogenen Linien stellen das Package mit einem Gold – Zinn gelöteten Si Chip auf Mo30Cu dar. Die gestrichelten Linien zeigen die Spannungen in einem reaktiv gefügten Package, bestehend aus Si Chip, 50 μm reagiertem Material und Kupfer. Die Spannungen des reaktiv gefügten Packages wurden zur einfacheren Vergleichbarkeit mit -1 multipliziert.... 107
- Abbildung 4.30: Reaktiv gefügte LTCC-Kupfer-Verbindungen. Links: 1 mm² und 9 mm² LTCC Proben. Mitte: 7,8 mm x 7,6 mm bis 10 mm x 10 mm messende Aufbauten. Rechts: 24,4 mm x 16,2 mm messender Aufbau. 108
- Abbildung 4.31: Querschliff durch LTCC-Kupfer-Verbund, gefügt bei 1,5 MPa. Lunker in den Zinnschichten sind zu erkennen. Die BLT beträgt 54 $\mu\text{m} \pm 2 \mu\text{m}$, wobei die reagierte Folie eine Dicke von 38 $\mu\text{m} \pm 1 \mu\text{m}$ aufweist..... 109
- Abbildung 4.32: Scherfestigkeit der 1 mm² und 4 mm² messenden, reaktiv gefügten LTCC-Kupfer-Verbindungen, dargestellt als Boxplot. Links und rechts sind jeweils Fotografien der Proben nach dem Schertest dargestellt, wobei die Bilder die Bruchstelle auf der Seite der

- reagierten Folie zeigen. Dabei ist ersichtlich, dass bei Proben mit geringer Scherfestigkeit nur eine Teilfläche eine Verbindung mit der Metallisierung der LTCC eingegangen ist. 110
- Abbildung 5.1: Links: Schematischer Querschnitt durch alternierende Via Struktur. Rechts: Geometrie des Fangpads..... 113
- Abbildung 5.2: LTCC Module zur Ermittlung der Hermetizität von Vias. Das linke Modul ist im Silbersystem metallisiert. Das mittlere Modul ist ebenfalls im Silbersystem metallisiert, verfügt jedoch nicht über Ober- und Unterseitenmetallisierung. Das rechte Modul ist im Goldsystem metallisiert. 114
- Abbildung 5.3: Links: Schematischer Aufbau des Lecktest. Mitte: Vorrichtung zur Klemmung der Probe zwischen zwei O-Ringen. Rechts: Generierung der Heliumatmosphäre..... 115
- Abbildung 5.4: Auswertung der Hermetizität von LTCC Modulen mit Vias im Silbersystem. Die Graphen in der linken Spalte stellen die Ergebnisse für die Proben ohne Fangpads, die in der rechten Spalte mit Fangpads dar. Die erste und zweite Zeile enthalten dabei die Ergebnisse von zweilagigen Modulen mit Metallisierung bzw. ohne Metallisierung. In der dritten Zeile sind die Ergebnisse von vierlagigen Modulen mit Metallisierung dargestellt. Pro Viakonfiguration (V1 – V7) wurden drei Proben getestet. Grün steht bei der Auswertung für dicht und rot für nicht dicht. 116
- Abbildung 5.5: Querschliff durch vierlagigen Viaaufbau mit der Konfiguration V4. Links ist der Aufbau ohne und rechts mit Fangpads abgebildet. 117
- Abbildung 5.6 Auswertung der Hermetizität von LTCC Modulen mit Vias im Goldsystem. Die Graphen in der linken Spalte stellen die Ergebnisse für die Proben ohne Fangpads, die in der rechten Spalte mit Fangpads dar. Die erste Zeile enthält dabei die Ergebnisse von zweilagigen Modulen. In der zweiten Zeile sind die Ergebnisse von vierlagigen Modulen dargestellt. Pro Viakonfiguration (V1 – V7) wurden drei Proben getestet. Grün steht bei der Auswertung für dicht und rot für nicht dicht. 118
- Abbildung 5.7: Querschliff durch vierlagigen Viaaufbau mit der Konfiguration V4. Links ist der Aufbau ohne und rechts mit Fangpads abgebildet. 119
- Abbildung 5.8: Links: Schematischer Querschnitt durch Messaufbau zur Bestimmung des thermischen Widerstandes der Module. Rechts: Fotografie eines Modules mit montiertem und verkapseltem TTC. Unten: Thermisches Ersatzschaltbild der Anordnung. 120
- Abbildung 5.9: Gemessener thermischer Widerstand der LTCC Module mit thermischen Vias, sowie die Regressionsgerade der Messwerte. Der Messwert bezieht sich auf den gesamten Widerstand der Messanordnung. In der linken Spalte sind die Messwerte für Silber- und in der rechten Spalte für Goldvias aufgeführt. Dabei umfasst die erste Zeile alle zweilagigen und die zweite Zeile alle vierlagigen Module. Die Gleichung der Regressionsgeraden ist für jedes Diagramm angegeben. M steht hier für den Metallisierungsgrad in %. 121
- Abbildung 5.10: Querschliff von im 0-Schrumpfprozess gesinterten thermischen Vias der drei getesteten Materialien. Die Anordnung mit DP 6146 und DP E 104 zeigen Hohlräume im

- Übergangsbereich zwischen Via und Keramik. Das Material DP TC701 weist eine erhöhte Porosität auf. 123
- Abbildung 5.11: Links: Thermischer Widerstand der Anordnung mit im 0-Schrumpfprozess gesinterten Vias in Abhängigkeit des Viafüllmaterials. Pro Material wurden zwei bzw. drei Proben gemessen. Der angegebene thermische Widerstand stellt dabei den Mittelwert dar. Rechts: Berechnete thermische Leitfähigkeit der Füllmaterialien. 124
- Abbildung 5.12: Links: REM Aufnahme der ungesinterten Silberfolie. Einzelne Partikel mit einer Größe von 0,7 μm bis 9 μm sind erkennbar. Rechts: REM Aufnahme der bei 875 °C für 30 min gesinterten Silberfolie. Eine kristalline Struktur ist erkennbar. 126
- Abbildung 5.13: Links: Messstruktur für Vierleitermessung. Rechts: Messaufbau zur Ermittlung des Temperaturkoeffizienten. 126
- Abbildung 5.14: Aufbauten zur Bestimmung der Scherfestigkeit. Der Farbunterschied des 2AIF Klebers resultiert aus den unterschiedlichen Prozesstemperaturen und Zeiten der für die Chipmontage verwendeten Pasten. 128
- Abbildung 5.15: Ermittelte Scherfestigkeit von gefügten Chips auf 3 verschiedenen Substraten. In rot sind die Messwerte basierend auf einem Mo30Cu Substrat mit NiAg Beschichtung, in blau basierend auf einer LTCC mit Silberbeschichtung und in grau basierend auf der Silberfolie dargestellt. Pro Boxplot sind 9 bzw. 10 Messwerte aufgenommen worden. 128
- Abbildung 5.16: Links: Schematischer Querschnitt durch LTCC – Ag Verbund. Mitte: Probe ohne Haftvermittler nach Zugversuch. Bei dieser Probe lag eine Mischung aus Adhäsions- und Kohäsionsbruch vor. Rechts: Balkendiagramm der gemessenen Haftfestigkeit der Proben ohne und mit verschiedenen Haftvermittlern. 129
- Abbildung 5.17: Schematischer Querschnitt durch Aufbau. Links: Aufbau für freie Sinterung. Rechts: Aufbau für Sinterung unter Zwang. 130
- Abbildung 5.18: In der oberen Zeile sind die Oberflächentopologien der drei Substrate als 3D Bild dargestellt. Die untere Zeile zeigt die aus den 3D Daten generierten Oberflächenprofile an drei verschiedenen Stellen. Die linke Spalte zeigt die Messwerte für das frei gesinterte Substrat. Die mittlere Spalte enthält die Messwerte für das drucklose Sintern unter Zwang mit HTCC-Folie (PLAS). Die rechte Spalte stellt die Messwerte für unter Druck gesinterte Substrat dar (PAS). 131
- Abbildung 5.19: Links: Querschliff durch das hergestellte Modul. Der Spalt zwischen LTCC und Silberstruktur ist ersichtlich. Rechts: Detailaufnahme optisch sowie REM der LTCC – Silberfolie Schnittstelle. Bereiche mit Formschluss als auch lokaler Delamination sind zu erkennen. 132
- Abbildung 5.20: Links: Fotografie einer LTCC Probe auf der Wärmesenke. Der elektrische Kontakt erfolgt über Federkontakte. Rechts: Gesamter, thermischer Widerstand der Packages mit Silberfolie in Abhängigkeit der Spreizergröße, verglichen mit dem thermischen Widerstand des LTCC Moduls mit thermischen Vias. 133

Abbildung 5.21: Geometrische Modelle der FEM Simulation zur quantitativen Bewertung des Einflusses von integrierten dicken Silberwärmespreizern. (1) Modell mit durchgehendem 3 x 3 mm ² Viafeld. (2) Modell mit 3 x 3 mm ² und 7 x 7 mm ² Viafeld. (3_3) & (3_7) Modell mit 3 x 3 mm ² Viafeld, 3 x 3 mm ² bzw. 7 x 7 mm ² Silberfolie und Viafeld.	135
Abbildung 5.22: Wärmestromdichteverteilung und Verlauf der Wärmestromdichte im LTCC Substrat 50 µm von der Substratrückseite entfernt für die Modelle (1), (2), (3_3) sowie (3_7). Es zeigt sich, dass die 7 mm lange und breite Silberfolie in Modell (3_7) maßgeblich zur Spreizung des Wärmestroms beiträgt. Zudem kann gezeigt werden, dass die thermischen Vias im Randbereich dieses Modells einen höheren Anteil am Wärmestrom haben, als die Vias im Modell (2) an der gleichen Stelle.	135
Abbildung 5.23: Temperaturverteilung in den Modellen (1), (2), (3_3) sowie (3_7). Es zeigt sich, dass die 7 mm lange und breite Silberfolie in Modell (3_7) maßgeblich zur Reduzierung der Chiptemperatur beiträgt.	136
Abbildung 5.24: Links: Simulierter thermischer Widerstand der Modelle (1), (2), (3_3) sowie (3_7). Rechts: Simulierter thermischer Widerstand in Abhängigkeit von Länge und Breite der Silberfolie.	136
Abbildung 5.25: Oberflächentopologie und –profil der hergestellten Module.	137
Abbildung 5.26: Oben: Röntgenmikroskopische Aufnahme des hergestellten Moduls (3_7). Ein heller Bereich um die Silberstruktur sowie eine Verzerrung der äußeren Viastruktur ist erkennbar. Unten: Querschliff durch das Modul. Ein Ablösen des Silbermaterials und der Vias von der LTCC Wandung ist erkennbar. Die äußeren Vias zeigen einer Verzerrung zur Mitte der Struktur. Zudem zeigt sich zwischen Silberspreizer und Silbervias ein Form- und Stoffschluss.	137
Abbildung 5.27: Links: mit TTC bestücktes LTCC Modul des Typs (3_7) mit integriertem Silberwärmespreizer. Rechts: Boxplot des gemessenen thermischen Widerstands der Module. Pro Modell wurden neun Proben hergestellt und gemessen.	138
Abbildung 6.1: Verschiedene realisierte Kanalgeometrien mit Carbonfolie in einer bzw. zwei Lagen.	141
Abbildung 6.2: Links: Gestanzte, mit DP6141 gefüllte und laserstrukturierte Carbonfolie. Rechts: Querschliff durch LTCC Substrat mit Kanal und Vias im Kanal.	142
Abbildung 6.3: Links: 53 x 7 µm ² Mikrokanal, realisiert mittels einmaligen Druck von Carbonpaste. Rechts: 256 x 34 µm ² Mikrokanal, realisiert mittels 4-maligen Druck von Carbonpaste.	142
Abbildung 6.4: Links: Schematische Querschnitt durch LTCC Package mit Sensor. Rechts: Geometrie des Sensors in drei verschiedenen Konfigurationen. Die Linienbreite und der Linienabstand betragen 100 µm.	143
Abbildung 6.5: Messanordnung zur Kalibrierung der substratintegrierten Temperatursensoren.	144

Abbildung 6.6: Ergebnis der linearen Regression der Widerstands-Temperaturkennlinien. Links: Widerstand bei 0 °C. Rechts: Temperaturabhängigkeit des Widerstands.	145
Abbildung 6.7: Links: Versuchsstand und zwei Packages von der Vorder- und Rückseite. Mitte: Versuchsstand mit montierten Package. Rechts: Quetschverschraubung auf Package.	146
Abbildung 6.8: Links: Schematische Darstellung der aktiven Kühlung durch substratintegrierte Kühlkanäle. Der Chip gibt über das Substrat die Wärme an das im Kühlkanal fließende Kühlmedium ab, welches die Wärme dann aus dem Modul transportiert. Rechts: Vereinfachtes thermisches Ersatzschaltbild des Moduls.	147
Abbildung 6.9: Modell des fluidischen Entwärmungskonzeptes für Drahtbondchips. Drei verschiedene Designs sind im Querschnitt dargestellt. Typ A stellt dabei das Referenzmodell dar. Typ B enthält thermische Vias im LTCC Substrat. Typ C verfügt sowohl über thermische Vias im LTCC Substrat als auch im Kanal. Die Vias sind dabei mittig unter dem TTC in einer 6 x 6 Matrix angeordnet, wie aus der Draufsicht oben rechts ersichtlich wird. Der TTC ist über ein TIM und Pad an das Substrat angebunden.	147
Abbildung 6.10: Berechneter thermischer Widerstand der Typen A – C in Abhängigkeit vom Volumenstrom. Die gestrichelte Linie stellt dabei den konduktiven Anteil des thermischen Widerstands dar. Die durchgängige Linie beschreibt den Verlauf des gesamten thermischen Widerstands.	149
Abbildung 6.11: Oben: Konfiguration der fluidischen Simulation. Unten: Querschnitt des Netzmodells von Typ A, B und C. In der Detailansicht sind die einzelnen Prismenschichten an den wärmeübertragenden Flächen erkennbar.	150
Abbildung 6.12: Querschnitt in Strömungsrichtung des simulierten Temperaturfeldes für Typ A – C bei einer Leistung von 5 W und einem Volumenstrom von 300 ml/min.	151
Abbildung 6.13: Simulierter thermischer Widerstand der Typen A – C in Abhängigkeit vom Volumenstrom. Zu Vergleichszwecken wurde der berechnete Verlauf als gestrichelte Linie mit dargestellt.	151
Abbildung 6.14: Links: Querschnitt durch Design B. Eine Verwölbung der Substratoberfläche von $177 \mu\text{m} \pm 8 \mu\text{m}$ ist erkennbar. Rechts: Querschnitt durch Design C. Eine Verwölbung der Substratoberfläche von $83 \mu\text{m} \pm 13 \mu\text{m}$ ist erkennbar. Die quadratische Musterung der LTCC im unteren Bildbereich ist ein Artefakt der Bildgebung.	153
Abbildung 6.15: Links: Photographie des hergestellten Moduls A mit gekapseltem TTC. Rechts: Röntgenaufnahmen der gefertigten Module A – C. Die thermischen Vias von Typ B und C sowie die Platinsensoren sind erkennbar.	153
Abbildung 6.16: Gemessener thermischer Widerstand von Typ A – C in Abhängigkeit vom Volumenstrom. Zu Vergleichszwecken ist der simulierte und analytisch bestimmte Verlauf mit dargestellt.	154
Abbildung 6.17: Gemessener Druckabfall über den Modulen A – C in Abhängigkeit des Volumenstroms.	155

- Abbildung 6.18: Substratverwölbung von Design B und C in Abhängigkeit von Stanzdurchmesser und Sintervariante..... 156
- Abbildung 6.19: Querschnitt durch Modul mit bestücktem TTC, gesintert unter Zwang mit HTCC-Folie. Links: Design B, Hohlräume am linken und rechten Kanalrand sind erkennbar. Rechts: Design C, Ablösen der Vias von der umgebenden LTCC Wandung ist erkennbar. Die quadratische Musterung der LTCC im unteren Bildbereich ist ein Artefakt der Bildgebung. 156
- Abbildung 6.20: Gemessener Druckabfall über den Modulen A – C in Abhängigkeit des Volumenstroms..... 157
- Abbildung 6.21: Gemessener thermischer Widerstand in Abhängigkeit vom Volumenstrom, der Designs A – C, gesintert unter Zwang. Zu Vergleichszwecken ist der simulierte und analytisch bestimmte Verlauf mit dargestellt. 158
- Abbildung 6.22: Gemessener thermischer Widerstand des Design C in Abhängigkeit vom Volumenstrom. Zu Vergleichszwecken sind die thermischen Widerstände des frei gesinterten Designs C mit nur einer den Kanal abdeckenden Lage (Typ C – Frei gesintert), sowie des mittels des PLAS Prozess gesinterten Designs C (Typ C –PLAS), dargestellt. * Der thermische Widerstand von Typ – C PLAS bei 300 ml/min wurde auf Basis des exponentiellen Ansatzes (Gl. (6.3)) interpoliert. 160
- Abbildung 6.23: Übersicht und Detailaufnahme des Moduls C7. Die TTC's und das TIM H9890-6A sind erkennbar. 161
- Abbildung 6.24: Links: Thermischer Widerstand der Module C3, C5 und C7 in Abhängigkeit vom Volumenstrom. Rechts: Druckabfall über die Module..... 162
- Abbildung 6.25: Links: Schematische Darstellung des LTCC LGA Packages. Die gestrichelten Linien zeigen dabei verdeckte Strukturen. Die für das Drahtbonden verwendete Goldmetallisierung auf der Substratoberseite sowie die integrierten Temperatursensoren sind nicht dargestellt. Rechts: Fotografie der Ober- und Unterseite des Packages mit bestückten TTC, sowie ein verkapseltes Package. 165
- Abbildung 6.26: Schematische Darstellung des organischen Multilayers mit integrierten fluidischen Strukturen. Die obere Zeile zeigt links die Draufsicht auf den Multilayer. Rechts sind verschiedene Querschnitte in unterschiedlichen Zoomstufen gezeigt. In der untern Zeile sind die einzelnen Lagen in der Draufsicht dargestellt..... 166
- Abbildung 6.27: Verwendetes Lotprofil mit Soll- und Ist-Temperatur. Cyan gefärbte Zeitabschnitte markieren Bereiche mit aktivierter Evakuierung. Gelb steht für die Stickstoff- und grün für die Spülung Methansäure. 167
- Abbildung 6.28: Seitenansicht vor und während der Bestückung eines LTCC Testchips mit Bruchkante. Die segmentierten Lotdepots werden während der Bestückung zu einer durchgehenden Lotschicht verquetscht. 168
- Abbildung 6.29: Links: Bestückter und gelöteter FR4 Multilayer mit LTCC Modul und Fluidanschlüssen..... 168

Abbildung 6.30: Links: LTCC Modul mit Silberbrazing Ring. Rechts: Gelöteter Verbund aus FR4 + Cu + SAC Lot + LTCC mit Silberbrazing zur Ermittlung der Hermetizität des Verbundes.	169
Abbildung 6.31: Thermischer Widerstand und Druckabfall des LGA Packages in Abhängigkeit vom Volumenstrom.	170
Abbildung 6.32: Links: Schematischer Querschnitt des Kühlkonzepts. Rechts: Thermisches Ersatzschaltbild bestehend aus dem konduktiven Anteil des Flip-Chips und dem konvektiven Anteil der Prallströmung in Reihenschaltung.	172
Abbildung 6.33: Berechneter Verlauf des thermischen Widerstands in Abhängigkeit vom Volumenstrom.	173
Abbildung 6.34: Links: Simulationsmodell und bemaßter, schematischer Querschnitt. Rechts oben: Querschnitt durch das Netzmodell. Die Prismenschichten sind nur als schwarze Verdickung erkennbar. Rechts unten: Temperaturverteilung im Querschnitt bei einem Volumenstrom von 300 ml/min und einer Last von 10 W.	173
Abbildung 6.35: Links: Thermischer Widerstand in Abhängigkeit vom Volumenstrom. Die rote Kurve zeigt die Ergebnisse aus der Simulation. Die schwarze Kurve stellt die Ergebnisse der analytischen Betrachtung dar. Rechts: Thermischer Widerstand und Druckverlust in Abhängigkeit vom Düsendurchmesser.	174
Abbildung 6.36: Geometrisches Modell und bemaßter schematischer Querschnitt der Queranströmung.	175
Abbildung 6.37: Links: Temperaturverteilung im Querschnitt bei einem Volumenstrom von 300 ml/min und einer Last von 10 W. Rechts: Thermischer Widerstand in Abhängigkeit vom Volumenstrom für Anströmung Quer#1 (schwarz) und Anströmung Quer#2 (rot).	176
Abbildung 6.38: Elektrischer Teil des Packages als Fotografie sowie Röntgenaufnahme. Die vergrabenen Platintemperatursensoren sind erkennbar.	177
Abbildung 6.39: Schematische, bemaßte Darstellung der Geometrie als Draufsicht und als Querschnitt. Fotografie der gefertigten Substrate von der Rückseite und Röntgenaufnahme der gefertigten Module.	178
Abbildung 6.40: Links: Gemessener thermischer Widerstand der Düsenanströmung und Queranströmung #1 in Abhängigkeit vom Volumenstrom. Zum Vergleich sind die Ergebnisse der analytischen Bestimmung und der CFD Simulation mit abgetragen. Rechts: Druckabfall über Modul mit Düsenanströmung (schwarz) und Queranströmung #1 (rot).	180

Tabellenverzeichnis

Tabelle 2.1: Nußelt-Zahl für verschiedene Szenarien der freien Konvektion an waagerechten Oberflächen [23], [33], α_K berechnet für Luft bei 20 °C.....	17
Tabelle 2.2: Nußelt-Zahl für freie Konvektion an einer senkrechten Oberfläche [23], [33], α_K berechnet für Luft bei 20 °C.....	18
Tabelle 2.3: Nußelt-Zahl für Wärmeübergang in einem rechteckförmigen Kanal, mit einer wärmeabgebenden Fläche für verschiedene a/h Verhältnisse. Die Werte sind [35]entnommen und auf eine Stelle nach dem Komma gerundet.	19
Tabelle 2.4: Analogie zwischen elektrischen und thermischen Größen.....	22
Tabelle 2.5: Literaturwerte für die Lorenz-Zahl entnommen aus [41].....	28
Tabelle 2.6: Mittelwert und Standardabweichung von Anstieg und U_0 der Temperatur-Spannungskennlinie des thermischen Testchips PST1 bei 1 mA Diodenstrom, jeweils 10 Chips vermessen.	36
Tabelle 2.7 Mittelwert und Standardabweichung von Anstieg und U_0 Temperatur-Spannungskennlinie des TTC G423B bei variablen Diodenstrom, jeweils 10 Chips vermessen.	37
Tabelle 3.1: Auflistung von ausgewählten LTCC Systemen und der relevanten Materialeigenschaften, sowie die dafür verfügbaren Metallisierungen.....	44
Tabelle 3.2: Materialien für Wärmespreizer mit an LTCC angepassten CTE. Bei anisotropen Materialien erfolgt die Angabe der lateralen thermischen Leitfähigkeit λ_{xy} und der thermischen Leitfähigkeit durch das Material λ_z . Zum Vergleich sind die Daten auch für Silizium und LTCC angegeben. Die Materialkenndaten gelten für 20 °C.....	56
Tabelle 3.3: Effektive thermische Leitfähigkeit von DP951 Substraten mit DP6141 Silbervias für verschiedene Viaanordnungen, gemessen durch Laserflashanalyse. [108].....	58
Tabelle 3.4: Geometrische und physikalische Eigenschaften des Simulationsmodells	62
Tabelle 3.5: Auswahl an Hilfsmaterialien für die Herstellung von substratintegrierten Kanälen	67
Tabelle 3.6: Gegenüberstellung der Forschungsarbeiten zu substratintegrierten Kühlkanälen. Wenn möglich wurde der thermische Widerstand auf die aktive Fläche normiert.	68
Tabelle 3.7: Kerndaten ausgewählter Forschungsarbeiten.	70
Tabelle 3.8: Simulierter und gemessener, thermischer Widerstand der verschiedenen Flip-Chip Packages [52], [141].	71
Tabelle 4.1: Übersicht über die getesteten Materialien. Die Prozesstemperatur, die Haltezeit sowie die Eigenschaften sind angegeben. Für SM1 – SM3 lag keine Freigabe für die Verwendung der Klarnamen seitens der Hersteller vor.....	73

Tabelle 4.2: Auflistung der Material- und Geometrieparameter, sowie der berechneten Wärmespreizwinkel und effektiven thermischen Widerstände.	77
Tabelle 4.3: Auflistung der simulierten Temperaturen der einzelnen Komponenten im thermischen Pfad und deren thermische Widerstände. Der Wärmespreizer bestand aus Mo30Cu. Die analytisch berechneten Widerstände und deren Abweichung zum simulierten Wert sind mit aufgeführt.	79
Tabelle 4.4: Vergleich der Scherfestigkeit zwischen den Sintermaterialien / Sinterklebern mit den höchsten Scherfestigkeiten und den Loten. Die Silbermaterialien erreichen 53 % – 71 % der gemittelten Scherfestigkeit der Lotverbindungen.	83
Tabelle 4.5: Übersicht über die mittleren Scherfestigkeiten der Lote im Vergleich zu dem Sintermaterial SM4 und dem Sinterkleber SK2 bei einer Schertemperatur von 150 °C bzw. 250 °C	98
Tabelle 4.6: Materialeigenschaften der empfohlenen Materialien im Vergleich zu den getesteten Loten. *Die Werte wurden aus der Literatur entnommen, siehe Tabelle 4.1.	99
Tabelle 4.7: Physikalische Eigenschaften der reagierten NanoFoil [®] im Vergleich zum eutektischen Lot Au20Sn.	100
Tabelle 4.8: Auflistung der simulierten Temperaturen der einzelnen Komponenten im thermischen Pfad und deren thermische Widerstände. Der Wärmespreizer bestand aus Kupfer. Die analytisch berechneten Widerstände und deren Abweichung zum simulierten Wert sind mit aufgeführt.	104
Tabelle 4.9: Elastizitätsmodul, Poissonzahl, thermische Ausdehnungskoeffizient, Dicke und Länge der verwendeten Materialien. Da die Verbindungsschicht aus Zinn, Incusil und Ni _x Al _x Phasen besteht, wurden Mischwerte, basierend auf den Volumenanteilen der Zinn, Incusil und der dominierenden NiAl Phase berechnet [87], [172]. *Dieser Wert wurde auf Basis der Volumenanteile von Kupfer und Molybdän im Mo30Cu Träger berechnet.	107
Tabelle 5.1: Einflussfaktoren und deren Ausprägung.	114
Tabelle 5.2: Zusammenfassung der ermittelten Materialeigenschaften der Silberstruktur bei 22 °C.	127
Tabelle 5.3: Angenommene thermische Leitfähigkeiten der Materialien.	134
Tabelle 6.1: Angenommenen thermischen Leitfähigkeiten der Materialien.	148
Tabelle 6.2: Berechneter, simulierter und gemessener thermischer Widerstand, sowie der gemessene Druckabfall von Typ A – C bei einem Volumenstrom von 300 ml/min.	155
Tabelle 6.3: Auflistung der durch das Sintern unter Zwang veränderten Modulabmessungen. Die Daten wurden anhand von Querschliffen von Design B & C, gefertigt mit einem 300 µm Stanzstift, ermittelt.	156
Tabelle 6.4: Analytisch bestimmter, simulierter und interpolierter thermischer Widerstand für einen Volumenstrom von 300 ml/min. Die prozentuale Abweichung der analytischen Bestimmung und Simulation von den interpolierten Werten ist ebenfalls angegeben.	159

Tabelle 6.5: Chipgrößen und die den thermischen Widerstand beeinflussenden Geometrieparameter.	161
Tabelle 6.6: Auflistung des gemessenen thermischen Widerstandes bei 300 ml/min, der Chipfläche sowie des auf die Chipfläche normierten thermischen Widerstands.	163

Symbolverzeichnis

Formelzeichen

$[D]$	Werkstoffmatrix
$[K]$	Leitfähigkeitsmatrix der gesamten Struktur
$[k]_e$	Leitfähigkeitsmatrix des Elements e
$[N], [B]$	Formmatrix
a	Absorptionsgrad
A	Fläche
A_{Chip}, A_1	Chipfläche
A_K	Kanalquerschnittsfläche
$A_{Substrat}, A_2$	Substratfläche
A_{Vias}	Viafläche
A_ϕ	wärmeübertragende Fläche
b	Breite
C	elektrische Kapazität
c_p	spezifische Wärmekapazität
C_{th}	thermische Kapazität
d	Dicke
d	Durchmesser
d_1	Chipdicke
d_2	Dicke des Verbindungsmaterials
d_3	Substratdicke
d_{Bulk}	Dicke des nicht spreizenden Anteils
d_h	hydraulische Durchmesser
d_n	normierte Substratdicke
$d_{Spr.}$	Dicke des spreizenden Anteils
d_{v1}, d_{v2}	Viadurchmesser 1, 2
e	Einheitsvektor
E_i	Elastizitätsmodul
E_{pot}	potentiellen Energie
$E_{pot,a}$	zu- bzw. abgeführte Energie
$E_{pot,i}$	innere Energie
$F, f, f_A, \varphi_1, \varphi_2, \psi$	Korrekturfaktor

G_i	Schubmodul
Gr	Grashof-Zahl
h	Höhe
I	Strom
k_1, k_2, k_3, k_4	Modellparameter
l	Länge
l_D	Chiplänge
$l_{krit.}$	kritische Länge
l_S	Substratlänge
L	konstruktive Länge
m	Anstieg einer Geraden
M	Metallisierungsgrad
M_G	emittierte Strahlung eines Körpers
M_S	emittierten Strahlung eines schwarzen Strahlers
n	Länge
N	Anzahl
Nu	Nußelt-Zahl
Nu_{lam}	Nußelt-Zahl für laminare Strömung
Nu_{quer}	Nußelt-Zahl der Queranströmung eines Zylinderbündels
Nu_{turb}	Nußelt-Zahl für turbulente Strömung
$p(x)$	Schälspannung im Verbindungsmaterial
P	elektrische Leistung
$P_{Verlust}$	elektrische Verlustleistung
P_{Nutz}	Nutzleistung
Pr	Prandtl-Zahl
Pr_{Tf}	Prandtl-Zahl des Mediums bei der Fluideingangstemperatur
Pr_{Tw}	Prandtl-Zahl des Mediums bei der Kanalwandtemperatur
\dot{q}	Wärmestromdichte
Q, Q_{th}	joulesche Wärme, thermische Energie
Q_{el}	Ladung
r	Reflektionsgrad
R	elektrischer Widerstand
R'_{th}	normierter thermischer Widerstand
R_0	elektrischer Widerstand bei 0 °C

Re	Reynolds-Zahl
Re_{ψ}	korrigierte Reynolds-Zahl
R_{th}	thermischer Widerstand
$R_{th,1}, R_{th,2}, R_{th,3}, R_{th,4}$	thermischer Widerstand der Komponente 1, 2, 3, 4
$R_{th,Bulk}$	thermischer Widerstand des nicht spreizenden Anteils
$R_{th,eff}$	effektiver thermischer Widerstand
$R_{th,ges}$	gesamter thermischer Widerstand
$R_{th,K}$	konvektiver Anteil des thermischen Widerstands
$R_{th,L}$	konduktiver Anteil des thermischen Widerstands
$R_{th,LTCC}$	thermischer Widerstand der LTCC
$R_{th,Mo30Cu}$	thermischer Widerstand des Mo30Cu Wärmespreizers
$R_{th,PGS}$	thermischer Widerstand der PGS Folie
$R_{th,Spr.}$	thermischer Widerstand des spreizenden Anteils
$R_{th,Substrat}$	thermischer Widerstand des Substrates
$R_{th,TIM}$	thermischer Widerstand des TIM
$R_{th,TTC}$	thermischer Widerstand des Testchips
$R_{th,Vias}$	thermischer Widerstand der Vias
s_1	Mittelpunktabstand Zylinderbündel, mittige Anordnung
s_2	Mittelpunktabstand Zylinderbündel, versetzte Anordnung
t	Zeit
t_1, t_2	Zeit zum Zeitpunkt 1, 2
T	Temperatur
T_{CS}	Temperatur an kalter Seite der Probe
T_F, ϑ_F	Fluideingangstemperatur
T_{HS}	Temperatur an heißer Seite der Probe
T_J, ϑ_J	Junctiontemperatur
T_n, T_{n+1}	Temperatur des Knotens n, des Knotens n+1
T_{obj}	Temperatur des Objektes
T_{ref}	Referenztemperatur
T_U	Umgebungstemperatur
T_W	Kanalwandtemperatur
u	Umfang
U	elektrische Spannung
U_0	Spannung bei 0 °C

U_{ges}	Gesamtspannung
v	Strömungsgeschwindigkeit
\dot{V}	Volumenstrom
\dot{W}	Leistungsdichte
W_{atm}	Strahlungsleistung der Atmosphäre
W_{ges}	gesamte Strahlungsleistung
W_{obj}	Strahlungsleistung des Objektes
W_{ref}	reflektierte Strahlungsleistung
x, y, z	Koordinate
x_{12}, x_{34}	Abstand zwischen den Temperatursensoren 1 und 2, 3 und 4
x_{2P}	Abstand zwischen dem Temperatursensor 2 und der Probe
x_{P3}	Abstand zwischen der Probe und dem Temperatursensor 3
Z_{th}	thermische Impedanz
α	Temperaturleitfähigkeit
α_K	konvektive Wärmeübergangskoeffizient
α_R	Temperaturkoeffizient des elektrischen Widerstandes
α_S	Wärmeübergangszahl der Wärmestrahlung
β	Wärmespreizwinkel
β_∞	Volumenausdehnungskoeffizient
Δp	Druckabfall
ΔT	Temperaturgradient
ε	Emissionskoeffizient
η	dynamische Viskosität
ϑ_1, ϑ_2	Temperatur der Komponente 1, 2
ϑ_{Mo30Cu}	Temperatur des Mo30Cu Wärmespreizers
ϑ_{PGS}	Temperatur der PGS Folie
ϑ_{TIM}	Temperatur des TIM
λ	thermische Leitfähigkeit
λ_1, λ_2	thermische Leitfähigkeit der Komponente 1, 2
λ_e	thermische Leitfähigkeit des Elements e
λ_{eff}	effektive thermische Leitfähigkeit
λ_p	thermische Leitfähigkeit der Probe
λ_R	thermische Leitfähigkeit der Referenz
$\lambda_{Substrat}$	thermische Leitfähigkeit des Substrates

λ_{Via}	thermische Leitfähigkeit der Vias
ν	kinematische Viskosität
ν_i	Poissonzahl
ρ	Dichte
σ	spezifische elektrische Leitfähigkeit
$\sigma_{Itop}(x)$	Normalspannung an der Oberseite des Chips
τ	Transmissionsgrad
$\tau(x)$	Scherbelastung im Verbindungsmaterial
φ	Potential
Φ	Wärmestrom
Φ_a	absorbierter Wärmestrom
Φ_{CS}	Wärmestrom in kalter Seite der Referenz
$\Phi_{Em.}$	emittierter Wärmestrom
Φ_{HS}	Wärmestrom in heißer Seite der Referenz
$\Phi_{Konv.}$	Wärmestrom transportiert über Konvektion
$\Phi_{Leit.}$	Wärmestrom transportiert über Wärmeleitung
Φ_r	reflektierter Wärmestrom
Φ_{Str}	Wärmestrom transportiert über Wärmestrahlung
Φ_t	transmittierter Wärmestrom
ω	Kreisfrequenz

Konstanten

e	Elementarladung
g	Fallbeschleunigung
k_B	Boltzmann-Konstante
L	Lorenz-Zahl
γ	Euler-Mascheroni-Konstante
σ	Stefan-Boltzmann-Konstante

Abkürzungen

Abh.	Abhängig
Au20Sn	Eutektisches Lot mit 80 % Gold- und 20 % Zinnanteil
BLT	bond line thickness
CAD	Computer-aided design
CFD	Computational fluid dynamics

COB	chip-on-board
CTE	coefficient of thermal expansion
DARPA	Defense Advanced Research Projects Agency
DBC	direct-bonded-copper
DOE	Design-of-Experiment
DSC	differential scanning calorimetry
EDX	Energiedispersive Röntgenspektroskopie
FEA	Finite – Elementen – Analyse
FEM	Finite – Elementen – Methode
FIB	focused ion beam
FPA	focus plane array
FTTF	Full tape thickness feature
GaN	Galliumnitrid
Gl.	Gleichung
HDI	high density interconnect
HTCC	High Temperature Cofired Ceramic
IMS	insulated-metal-substrate
LFA	Laser Flash Analyse
LTCC	Low Temperature Cofired Ceramic
LTSS	low temperature silver sintering
MCM-C	multi chip module ceramic
Mo ₃₀ Cu	Verbundwerkstoff bestehend aus 70 % Molybdän und 30 % Kupfer
PAS	pressure assisted sintering
PEEK	Polyetheretherketon
PLAS	pressure-less assisted sintering
PMC	precious metal clay
REM	Rasterelektronenmikroskopie
RFA	Röntgenfluoreszenzanalyse
RTD	resistance temperature detector
SAC	Lotlegierung aus Zinn mit geringem Silber- und Kupferanteil
SCM	single chip module
SiC	Siliziumcarbid
SMD	surface mounted device
SMT	surface mounted technology

spez.	spezifisch
TAB	tape automated bonding
TEM	Transmissionselektronenmikroskopie
TIM	thermal interface material
TOS	Tape-On-Substrate
XRD	Röntgendiffraktometrie, engl: X-ray diffraction

Literaturverzeichnis

- [1] Bardeen, J.; Brattain, W. H.: The Transistor, A Semi-Conductor Triode. In: Phys. Rev., 1948, 74 (2), S. 230–231. DOI: 10.1103/PhysRev.74.230
- [2] Kilby, J. S.: Miniaturized self-contained circuit modules and method of fabrication. TEXAS INSTRUMENTS INC. Anmeldenr. US19590811486 19590506, US. 23.06.1964. US. Veröffentlichungsnr. US3138744 (A), 1964.
- [3] Noyce, R. N.: Semiconductor device-and-lead structure. FAIRCHILD SEMICONDUCTOR. Anmeldenr. US19590830507 19590730, US. 25.04.1961. US. Veröffentlichungsnr. US2981877 (A), 1961.
- [4] Intel Corporation: Intel Chips timeline. URL: <https://www.intel.com/content/www/us/en/history/history-intel-chips-timeline-poster.html> – Zugriff am 13.06.2017
- [5] Moore, G.: Progress In Digital Integrated Electronics [Technical literature, Copyright 1975 IEEE. Reprinted, with permission. Technical Digest. International Electron Devices Meeting, IEEE, 1975, pp. 11-13.]. In: IEEE Solid-State Circuits Newsl., 2006, 20 (3), S. 36–37. DOI: 10.1109/N-SSC.2006.4804410
- [6] Eisler, P.: Manufacture of electric circuits and circuit components. HAROLD VEZEY STRONG; EISLER PAUL. Anmeldenr. GB19430001749 19430202, GB. 21.06.1950. GB. Veröffentlichungsnr. GB639111 (A), 1950.
- [7] Choyke, W. J.; Adlerstein, M. G.; Cuomo, J. J.; Foyt, A. G., Jr.; Kimerling, L. C.; Pinto, M. R.; Tamor, M. A.; Turlik, I.: Materials for high-temperature semiconductor devices, Washington, D.C. : National Academy Press, 1995. ISBN: 0309053358
- [8] Agarwal, A. K.; Augustine, G.; Balakrishna, V.; Brandt, C. D.; Burk, A. A.; Li-Shu Chen; Clarke, R. C.; Esker, P. M.; Hobgood, H. M.; Hopkins, R. H.; Morse, A. W.; Rowland, L. B.; Seshadri, S.; Siergiej, R. R.; Smith, T. J.; Sriram, S.: SiC electronics. In: International Electron Devices Meeting. Technical Digest, San Francisco, CA, USA, S. 225–230, 1996. DOI: 10.1109/IEDM.1996.553573
- [9] Müller, J.: Entwurf, Herstellung und HF-Charakterisierung gedruckter passiver Bauelemente und Strukturen in LTCC, Dissertation, Technische Universität Ilmenau, 1997.
- [10] Humbla, S.; Kaleem, S.; Müller, J.; Rentsch, S.; Stephan, R.; Stöpel, D.; Vogt, G.; Hein, M. A.: On-Orbit Verification of a 4×4 Switch Matrix for Space Applications based on the Low Temperature Co-fired Ceramics Technology. In: Frequenz, 2012, 66 (11-12)DOI: 10.1515/freq-2012-0106
- [11] Ariza, A. Paolo, Garcia; Müller, R.; Wollenschläger, F.; Schulz, A.; Elkhoully, M.; Sun, Y.; Glisic, S.; Trautwein, U.; Stephan, R.; Müller, J.; Thomä, R. S.; Hein, M. A.: 60 GHz Ultrawideband Polarimetric MIMO Sensing for Wireless Multi-Gigabit and

- Radar. In: IEEE Trans. Antennas Propagat., 2013, 61 (4), S. 1631–1641. DOI: 10.1109/TAP.2013.2243398
- [12] Schulz, A.; Rentsch, S.; Xia, L.; Müller, R.; Müller, J.: A Low-Loss Fully Embedded Stripline Parallel Coupled BPF for Applications using the 60 GHz Band. In: Int. J. Appl. Ceram. Technol., 2013, 10 (2), S. 307–312. DOI: 10.1111/j.1744-7402.2011.02738.x
- [13] Continental Automotive: Getriebesteuerungen. URL: http://www.continental-automotive.de/www/automotive_de_de/themes/passenger_cars/powertrain/transmission_de.html?page=2 – Zugriff am 13.06.2017
- [14] Fournier, Y.; Maeder, T.; Boutinard-Rouelle, G.; Barras, A.; Craquelin, N.; Ryser, P.: Integrated LTCC pressure/flow/temperature multisensor for compressed air diagnostics. In: Sensors (Basel, Switzerland), 2010, 10 (12), S. 11156–11173. DOI: 10.3390/s101211156
- [15] Geiling, T.; Welker, T.; Müller, J.; Ehrling, C.: Design, Fabrication, and Operation of a Nitrogen Monoxide Measurement Device Based on LTCC. In: J. Microelectron. Electron. Packag., 2012, 9 (4), S. 171–177. DOI: 10.4071/imaps.343
- [16] Rydosz, A.; Maziarz, W.; Pisarkiewicz, T.; Bartsch de Torres, H.; Müller, J.: A Micropreconcentrator Design Using Low Temperature Cofired Ceramics Technology for Acetone Detection Applications. In: IEEE Sensors J., 2013, 13 (5), S. 1889–1896. DOI: 10.1109/JSEN.2013.2245888
- [17] Bartsch de Torres, H.; Rensch, C.; Fischer, M.; Schober, A.; Hoffmann, M.; Müller, J.: Thick film flow sensor for biological microsystems. In: Sensors and Actuators A: Physical, 2010, 160 (1-2), S. 109–115. DOI: 10.1016/j.sna.2010.04.010
- [18] Malecha, K.; Pijanowska, D. G.; Golonka, L. J.; Torbicz, W.: LTCC microreactor for urea determination in biological fluids. In: Sensors and Actuators B: Chemical, 2009, 141 (1), S. 301–308. DOI: 10.1016/j.snb.2009.06.026
- [19] Ciosek, P.; Zawadzki, K.; Łopacińska, J.; Skolimowski, M.; Bembnowicz, P.; Golonka, L. J.; Brzózka, Z.; Wróblewski, W.: Monitoring of cell cultures with LTCC microelectrode array. In: Analytical and bioanalytical chemistry, 2009, 393 (8), S. 2029–2038. DOI: 10.1007/s00216-009-2651-x
- [20] Dow, A.; Zentgraf, J.: Low-temperature, co-fired hybrids for next generation medical devices. In: Hybrid Circuit Technology, 1991, 8 (6), S. 24–25.
- [21] Sigliano, R. E.; Graddy, E.; Weinberg, A.: Advances in ceramic substrate technology for implantable medical electronics. In: Proceedings of the SPIE - The International Society for Optical Engineering, 1999, 3582, S. 944–948.
- [22] Gundlach, C.: Entwicklung eines ganzheitlichen Vorgehensmodells zur problemorientierten Anwendung der statistischen Versuchsplanung, Dissertation, Kassel : Kassel Univ. Press, 2004. ISBN: 3-89958-068-0

-
- [23] Baehr, H. Dieter; Stephan, K.: Wärme- und Stoffübertragung, 6. Aufl., Berlin, Heidelberg : Springer, 2008. ISBN: 978-3-540-87688-5
- [24] Bechtold, S.: Kompakte Modellierung von thermischen Effekten in Mikrosystemen, Dissertation, Universität Bremen, 2003.
- [25] Vermeersch, B.; Mey, G. de: Influence of substrate thickness on thermal impedance of microelectronic structures. In: MICROELECTRONICS RELIABILITY, 2007, 47 (2-3), S. 437–443. DOI: 10.1016/j.microrel.2006.05.017
- [26] Vermeersch, B.; Mey, G. de: A Fixed-Angle Heat Spreading Model for Dynamic Thermal Characterization of Rear-Cooled Substrates. In: Twenty Third Annual IEEE SEMICONDUCTOR THERMAL MEASUREMENT AND MANAGEMENT SYMPOSIUM, San Jose, CA, S. 95–101, 2007. DOI: 10.1109/STHERM.2007.352393
- [27] David, R.: Computerized Thermal Analysis of Hybrid Circuits. In: IEEE Trans. Parts, Hybrids, Packag., 1977, 13 (3), S. 283–290. DOI: 10.1109/TPHP.1977.1135213
- [28] Nguyen, N. B.: Properly implementing thermal spreading will cut cost while improving device reliability. In: 1996 International Symposium on Microelectronics, Minneapolis, MN, USA, S. 383–388, 1996.
- [29] Yang, X.; Hopkins, D. C.: Misconception of thermal spreading angle and misapplication to IGBT power modules. In: Applied Power Electronics Conference and Exposition (APEC), 2014 Twenty-Ninth Annual IEEE, S. 545–551, 2014. DOI: 10.1109/APEC.2014.6803362
- [30] Lasance, C.: Computer Analysis of Heat Transfer Problems to Check the Validity of Engineering Formulae. In: 8th International Heat Transfer Conference (IHTC), San Francisco, USA, S. 325–330, 1986.
- [31] Cerbe, G.; Wilhelms, G.: Technische Thermodynamik : Theoretische Grundlagen und praktische Anwendungen : mit 40 Tafeln, 130 Beispielen, 137 Aufgaben und 181 Kontrollfragen, 15. Aufl., München : Hanser, 2008. ISBN: 978-3-446-41561-4
- [32] Stephan, P.: VDI-Wärmeatlas, 11. Aufl., Berlin, Heidelberg : Springer Berlin Heidelberg, 2013. ISBN: 978-3-642-19981-3
- [33] Churchill, S. W.; Chu, H. H.S: Correlating equations for laminar and turbulent free convection from a vertical plate. In: International Journal of Heat and Mass Transfer, 1975, 18 (11), S. 1323–1329. DOI: 10.1016/0017-9310(75)90243-4
- [34] Spurk, J. H.; Aksel, N.: Strömungslehre : Einführung in die Theorie der Strömungen ; mit Aufgaben und Übungsbeispielen auf CD-ROM, 8. Aufl., Berlin, Heidelberg : Springer (Springer-Lehrbuch), 2010. ISBN: 9783642131424
- [35] Shah, R. K.; London, A. L.: Laminar flow forced convection in ducts : A source book for compact heat exchanger analytical data, New York : Academic Press (Advances in heat transfer. Supplement 1), 1978. ISBN: 978-0-12-020051-1

- [36] Lutz, J.: Halbleiter-Leistungsbaulemente : Physik, Eigenschaften, Zuverlässigkeit, 2. Aufl., Berlin : Springer (SpringerLink : Bücher), 2012. ISBN: 3642297951
- [37] Groth, C.; Müller, G.: FEM für Praktiker : Band 1: Grundlagen, 8., neu bearb. Aufl., Renningen : expert-Verl. (Edition expertsoft 23), 2007. ISBN: 978-3-8169-2685-6.
- [38] Groth, C.; Müller, G.: FEM für Praktiker : Band 3: Temperaturfelder, 5., neu bearb. Aufl., Renningen : expert-Verl. (Edition expertsoft 45), 2009. ISBN: 978-3-8169-2714-3
- [39] Franz, R.; Wiedemann, G.: Ueber die Wärme-Leitungsfähigkeit der Metalle. In: Ann. Phys. Chem., 1853, 165 (8), S. 497–531. DOI: 10.1002/andp.18531650802
- [40] Lorenz, L.: Bestimmung der Wärmegrade in absolutem Maasse. In: Ann. Phys. Chem., 1872, 223 (11), S. 429–452. DOI: 10.1002/andp.18722231107
- [41] Kittel, C.: Einführung in die Festkörperphysik, 14., überarb. und erw. Aufl, München [u.a.] : Oldenbourg, 2006. ISBN: 3486577239
- [42] Van der Pauw, L. J.: A Method of Measuring the Resistivity and Hall Coefficient on Lamellae and Arbitrary Shape. In: Philips Technical Review, 1958, 20 (8), S. 220–224.
- [43] Parker, W. J.; Jenkins, R. J.; Butler, C. P.; Abbott, G. L.: Flash Method of Determining Thermal Diffusivity, Heat Capacity, and Thermal Conductivity. In: JOURNAL OF APPLIED PHYSICS, 1961, 32 (9), S. 1679–1684. DOI: 10.1063/1.1728417
- [44] ASTM D5470. 2012. Test Method for Thermal Transmission Properties of Thermally Conductive Electrical Insulation Materials
- [45] Hanson, K.: ASTM D 5470 TIM material testing. In: Twenty-Second Annual IEEE Semiconductor Thermal Measurement and Measurement Symposium (IEEE Cat. No.06CH37767C), 2006, S. 50–54. DOI: 10.1109/STHERM.2006.1625205
- [46] Murray, C. T.; Kendall, P.; Larson, A.; Harvey, C.; Staus, G.: Ruminaton on Design and Build of an ASTM D-5470 Thermal Interface Test Instrument. In: Thermal conductivity 28 : Thermal expansion 16: joint conferences, St. Andrews-by-the -Sea, New Brunswick, Canada, S. 309–318, DEStech Publications, 2006.
- [47] Goel, N.; Anoop, T. K.; Bhattacharya, A.; Cervantes, J. A.; Mongia, R. K.; Machiroutu, S. V.; Hau-Lan Lin; Ya-Chi Huang; Kuang-Cheng Fan; Bar-Long Denq; Chen-Hua Liu; Chun-Hung Lin; Chi-Wei Tien; Pan, J.-H.: Technical review of characterization methods for thermal interface materials (TIM). In: 2008 11th Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITHERM '08), 2008, S. 248–258.
- [48] JESD51-1. 1995. Integrated Circuits Thermal Measurement Method - Electrical Test Method (Single Semiconductor Device)

-
- [49] Mach, M.: Designoptimierung keramischer Mehrlagenmodule unter den Aspekten des thermischen Managements und der Bauelemente-Zuverlässigkeit, Dissertation, Technische Universität Ilmenau, Ilmenau : ISLE, 2011. ISBN: 978-3-938843-65-9
- [50] JESD51-4. 1997. Thermal Test Chip Guideline (Wire Bond Type Chip)
- [51] Linear Technology Corp.: LT3092 - 200mA 2-Terminal Programmable Current Source. URL: <http://www.linear.com/product/LT3092> – Zugriff am 10.02.2016
- [52] Norén, M.: Flip-Chip-Technologie auf keramische Substrate, Dissertation, Ilmenau : Univ.-Verl. Ilmenau (Werkstofftechnik aktuell 4), 2010. ISBN: 978-3-939473-91-6
- [53] Deutsche Fassung DIN EN 60751. 2009. Industrielle Platin-Widerstandsthermometer und Platin-Temperatursensoren (IEC 60751:2008)
- [54] Panasonic: Datasheet Pyrolytic Graphite Sheet (PGS). URL: <https://na.industrial.panasonic.com/products/circuit-thermal-protection/thermal-protection/pyrolytic-graphite-sheet-pgs> – Zugriff am 11.02.2016
- [55] Kerafol: Datenblatt KERATHERM KP12. URL: <http://www.kerafol.com/thermal-management/keratherm-produktuebersicht/keratherm-waermeleitpasten.html> – Zugriff am 12.02.2016
- [56] DuPont: GreenTape™ LTCC System. URL: <http://www.dupont.com/products-and-services/electronic-electrical-materials/low-temperature-co-fire-ceramic-materials/brands/greentape-ceramic-circuit.html> – Zugriff am 18.02.2016
- [57] Ferro Electronic Packaging Materials: LTCC Materials - A6M Tape System. URL: <http://www.ferro.com/non-cms/ems/EPM/content/6M-tape.html> – Zugriff am 18.02.2016
- [58] ESL ElectroScience: Ceramic Tape Systems. URL: http://www.electroscience.com/ceramic_tape_systems.html – Zugriff am 18.02.2016
- [59] KOA Corp.: LTCC substrate, Hybrid IC. URL: <http://www.koaglobal.com/en/product/ltcc.aspx#CategoryTitle1> – Zugriff am 18.02.2016
- [60] Kyocera: Ceramic Packages - Material Properties. URL: <http://global.kyocera.com/prdct/semicon/material/index.html> – Zugriff am 18.02.2016
- [61] Murata: Outline of LTCC. URL: <http://www.murata.com/products/substrate/ltcc/outline> – Zugriff am 18.02.2016
- [62] Nikko Company: LTCC (Low Temperature Co-fired Multilayer Ceramic Substrates). URL: http://www.nikko-company.co.jp/ceramics_e/product/product_07.html – Zugriff am 18.02.2016
- [63] Bruch, H.; Herrmann, G.; Egerer, K. A.; Jillek, W.; Keller, G.: Handbuch der Leiterplattentechnik, Saulgau/Württ : E. G. Leuze Verlag, 1982 (1989 printing)-2003. ISBN: 3-87480-184-5

- [64] Barlow, F. D.; Elshabini, A.: Ceramic interconnect technology handbook, Boca Raton : CRC Press/Taylor & Francis, 2007. ISBN: 0-8493-3557-4
- [65] Koenen GmbH: Koenen Webshop. URL: <http://www.koenen.de/service/shop.html> – Zugriff am 13.05.2016
- [66] Heraeus Electronics: Bonding Wires for Semiconductor Technology. URL: www.heraeus-electronics.com – Zugriff am 15.07.2016
- [67] Rahaman, M. N.: Ceramic Processing and Sintering, second edition, Boca Raton : CRC Press, 2003. ISBN: 0-8247-0988-8
- [68] Richerson, D. W.: Modern ceramic engineering: Properties, processing, and use in design, 3rd ed., Boca Raton, FL : CRC Taylor & Francis (Materials engineering 29), 2006. ISBN: 9781574446937
- [69] Jiang, L.: Thermo-Mechanical Reliability of Sintered-Silver Joint versus Lead-Free Solder for Attaching Large-Area Devices, Master Thesis, Virginia Polytechnic Institute and State University, 2010.
- [70] Bai, G.: Low-temperature sintering of nanoscale silver paste for semiconductor device interconnection, Dissertation, Blacksburg, Va. : University Libraries, Virginia Polytechnic Institute and State University, 2005.
- [71] Wereszczak, A. A.; Liang, Z.; Ferber, M. K.; Marlino, L. D.: Uniqueness and Challenges of Sintered Silver as a Bonded Interface Material. In: Int. J. Microcircuits Electron. Packag., 2014, 11 (4), S. 158–165. DOI: 10.4071/HITEC-WA23
- [72] Zhang, Z.; Guo-Quan Lu: Pressure-assisted low-temperature sintering of silver paste as an alternative die-attach solution to solder reflow. In: IEEE TRANSACTIONS ON ELECTRONICS PACKAGING MANUFACTURING, 2002, 25 (4), S. 279–283. DOI: 10.1109/TEPM.2002.807719
- [73] Mertens, C.: Die Niedertemperatur-Verbindungstechnik der Leistungselektronik, Dissertation, Technische Universität Braunschweig, Düsseldorf : VDI-Verl (Fortschritt-Berichte VDI Reihe 21, Elektrotechnik 365), 2004. ISBN: 3183365219
- [74] Zhiye Zhang; Calata, J. N.; Suchicital, C.; Guo-Quan Lu; Hasselman, D.: Comparison of the interfacial thermal resistivity of silver and solder die-attach using laser flash technique, Bd. 1. In: The 9th Intersociety Conference on Thermal and Thermomechanical Phenomena In Electronic Systems, Las Vegas, NV, USA, S. 45–49, 2004. DOI: 10.1109/ITHERM.2004.1319152
- [75] Bai, J.; Zhang, Z.; Calata, J.; Lu, G.-q.: Characterization of Low-Temperature Sintered Nanoscale Silver Paste for Attaching Semiconductor Devices. In: Conference on High Density Microsystem Design and Packaging and Component Failure Analysis, Shanghai, China, S. 1–5, 2005. DOI: 10.1109/HDP.2005.251412
- [76] Bai, J. G.; Calata, J. N.; Lei, G.; Lu, G. Quan: Thermomechanical reliability of low-temperature sintered silver die-attachment. In: Thermal and Thermomechanical Phenomena in Electronics Systems, 2006. IOTHERM '06. The Tenth Intersociety

- Conference on, San Diego, CA, USA, S. 1126–1130, 2006. DOI: 10.1109/ITHERM.2006.1645471
- [77] Göbl, C.; Faltenbacher, J.: Low temperature sinter technology die attachment for power electronic applications. In: 6th International Conference on Integrated Power Electronics Systems (CIPS), Nuremberg, Germany, S. 1–5, 2010.
- [78] Jin, H. Hwai; Kanagavel, S.; Chin, W. Foo: Novel conductive paste using Hybrid Silver Sintering Technology for high reliability power semiconductor packaging. In: 64th Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, S. 1790–1795, 2014. DOI: 10.1109/ECTC.2014.6897541
- [79] Blank, T.; Leyrer, B.; Maurer, T.; Meisser, M.; Bruns, M.; Weber, M.: Copper thick-film substrates for power electronic applications. In: Electronic System-Integration Technology Conference (ESTC), Helsinki, Finland, S. 1–6, IEEE, 2014. DOI: 10.1109/ESTC.2014.6962860
- [80] Mei, Y.-H.; Lian, J.-Y.; Chen, X.; Chen, G.; Li, X.; Lu, G.-Q.: Thermo-Mechanical Reliability of Double-Sided IGBT Assembly Bonded by Sintered Nanosilver. In: IEEE Trans. Device Mater. Reliab., 2014, 14 (1), S. 194–202. DOI: 10.1109/TDMR.2013.2280668
- [81] Chang, J.-Y.; Su-Yu Fun; Leu, F.-J.; Kao, K.-S.; Chih-Ming Tzeng; Wei-Kuo Han; Chang, T.-C.: Characteristics of 600 V / 450 A IGBT module assembled by Ag sintering technology. In: International Conference on Electronics Packaging (ICEP), Toyama, Japan, S. 96–100, 2014. DOI: 10.1109/ICEP.2014.6826669
- [82] Sasaki, K.; Mizumura, N.: Development of low temperature sintered nano silver pastes using MO technology and resin reinforcing technology. In: IEEE 63rd Electronic Components and Technology Conference (ECTC), Las Vegas, NV, USA, S. 1066–1070, 2013. DOI: 10.1109/ECTC.2013.6575705
- [83] Thang, T. Seng; Decai, S.; Huck, K. Koay; Sabudin, M. F.; Thompson, J.; Martin, P.; Rajkomar, P.; Haque, S.: Characterization of Au-Sn eutectic die attach process for optoelectronics device. In: International Symposium on Electronics Materials and Packaging (EMAP), S. 118–124, 2005. DOI: 10.1109/EMAP.2005.1598246
- [84] Wang, J.; Besnoin, E.; Duckham, A.; Spey, S. J.; Reiss, M. E.; Knio, O. M.; Weihs, T. P.: Joining of stainless-steel specimens with nanostructured Al/Ni foils. In: J. Appl. Phys., 2004, 95 (1), S. 248–256. DOI: 10.1063/1.1629390
- [85] Subramanian, J. S.; Rodgers, P.; Newson, J.; Rude, T.; He, Z.; Besnoin, E.; Weihs, T. P.; Evely, V.; Pechr, M.: Room temperature soldering of microelectronic components for enhanced thermal performance. In: 6th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Micro-Electronics and Micro-Systems (EuroSimE), 2005, Berlin, Germany, S. 681–686, 2005. DOI: 10.1109/ESIME.2005.1502888

- [86] Weihs, T. P.: Fabrication and Characterization of Reactive Multilayer Films and Foils. In: Barmak, Katayun; Coffey, Kevin (Hrsg.): *Metallic Films for Electronic, Optical and Magnetic Applications: Structure, Processing and Properties*. 1. Aufl. Swaston, UK, Woodhead Publishing, 2014 (Woodhead Publishing Series in Electronic and Optical Materials), S. 160–243.
- [87] Indium Corp.: NanoFoil® Properties. URL: <http://www.indium.com/nanofoil/properties/> – Zugriff am 15.02.2016
- [88] Wang, J.; Besnoin, E.; Knio, O. M.; Weihs, T. P.: Investigating the effect of applied pressure on reactive multilayer foil joining. In: *Acta Materialia*, 2004, 52 (18), S. 5265–5274. DOI: 10.1016/j.actamat.2004.07.012
- [89] Kanetsuki, S.; Miyake, S.; Kuwahara, K.; Namazu, T.: Influence of bonding pressure on thermal resistance in reactively-bonded solder joints. In: *JAPANESE JOURNAL OF APPLIED PHYSICS*, 2016, 55 (6), S. 1–6. DOI: 10.7567/JJAP.55.06GP17
- [90] Gunduz, I. Emre; Fadenberger, K.; Kokonou, M.; Rebholz, C.; Doumanidis, C. C.: Investigations on the self propagating reactions of nickel and aluminum multilayered foils. In: *Appl. Phys. Lett.*, 2008, 93 (13), S. 1–4. DOI: 10.1063/1.2994670
- [91] Bräuer, J.: Erarbeitung eines Raumtemperatur-Waferbondverfahrens basierend auf integrierten und reaktiven nanoskaligen Multilagensystemen, Dissertation, Technischen Universität Chemnitz, 2013.
- [92] Barako, M. T.; Gao, Y.; Won, Y.; Marconnet, A. M.; Asheghi, M.; Goodson, K. E.: Reactive Metal Bonding of Carbon Nanotube Arrays for Thermal Interface Applications. In: *IEEE Trans. Compon., Packag. Manufact. Technol.*, 2014, 4 (12), S. 1906–1913. DOI: 10.1109/TCPMT.2014.2369371
- [93] Schumacher, A.; Gaiß, U.; Knappmann, S.; Dietrich, G.; Braun, S.; Pflug, E.; Roscher, F.; Vogel, K.; Hertel, S.; Kähler, D.; Reinert, W.: Assembly and Packaging of Micro Systems by Using Reactive Bonding Processes. In: 20th European Microelectronics and Packaging Conference & Exhibition (EMPC), Friedrichshafen, Germany, S. 1–6, 2015.
- [94] Woll, K.: Festkörper- und selbstfortschreitende Reaktionen in Multilagen zur RuAl-Dünnschichtsynthese, Dissertation, Universität des Saarlandes (Saarbrücker Reihe Materialwissenschaft und Werkstofftechnik Bd. 34), 2012.
- [95] Guitar, M. A.; Aboulfadl, H.; Pauly, C.; Leibenguth, P.; Migot, S.; Mücklich, F.: Production of single-phase intermetallic films from Ru-Al multilayers. In: *Surface and Coatings Technology*, 2014, 244, S. 210–216. DOI: 10.1016/j.surfcoat.2014.02.022
- [96] Glocker, D. A.: *Handbook of thin film process technology*, 1997 ed., Bristol, UK [u.a.] : Inst. of Physics, 1997. ISBN: 9780750304092
- [97] Rogachev, A. S.: Exothermic reaction waves in multilayer nanofilms. In: *USPEKHI KHIMII*, 2008, 77 (1), S. 22–38. DOI: 10.1070/RC2008v077n01ABEH003748

- [98] X Qiu, X.: Reactive multilayer foils and their applications in joining, Masterthesis, Louisiana State University and Agricultural and Mechanical College, 2007.
- [99] Qiu, X.; Liu, R.; Guo, S.; Graeter, J. Harris; Kecskes, L.; Wang, J.: Combustion Synthesis Reactions in Cold-Rolled Ni/Al and Ti/Al Multilayers. In: METALLURGICAL AND MATERIALS TRANSACTIONS A-PHYSICAL METALLURGY AND MATERIALS SCIENCE, 2009, 40A (7), S. 1541–1546. DOI: 10.1007/s11661-009-9840-2
- [100] Tong, H. M.; Lai, Y. S.; Wong, C. P.: Advanced Flip Chip Packaging: Springer US, 2013. ISBN: 9781441957689
- [101] Plansee SE: Wärmepreizer und Gehäusekomponenten. URL: <http://www.plansee.com/> – Zugriff am 19.05.2016)
- [102] Technotron GmbH: Hybridgehäuse - Präzisionsgehäuse. URL: <http://www.technotron-gmbh.de> – Zugriff am 25.08.2016
- [103] CoorsTek Inc.: Aluminium Nitrit. URL: <https://www.coorstek.com/english/solutions/materials/technical-ceramics/nitrides/aluminum-nitride/> – Zugriff am 21.09.16
- [104] Ho, C. Y.; Powell, R. W.; Liley, P. E.: Thermal Conductivity of the Elements. In: Journal of Physical and Chemical Reference Data, 1972, 1 (2), S. 279–421.
- [105] Lau, John H. (Hrsg.): Thermal Stress and Strain in Microelectronics Packaging, Boston, MA : Springer US, 1993. ISBN: 9781468477696
- [106] Greenwood, N. N.; Earnshaw, A.; Hückmann, K.: Chemie der Elemente, 1. Aufl., 1. korr. Nachdr. 1990 der 1. Aufl. 1988, Weinheim : VCH, 1990. ISBN: 3527261699
- [107] Poulin, T. R.; Nguyen, L. T.: Green Tape via design-FEM and proposed design philosophy. In: IEEE 43rd Electronic Components and Technology Conference (ECTC '93), Orlando, FL, USA, S. 904–909, 1993. DOI: 10.1109/ECTC.1993.346744
- [108] Zampino, M. A.; Kandukuri, R.; Jones, W. K.: High performance thermal vias in LTCC substrates. In: 8th Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm), San Diego, California, S. 179–185, 2002. DOI: 10.1109/ITHERM.2002.1012455
- [109] Müller, J.; Mach, M.; Thust, H.; Kluge, C.; Schwanke, D.: Thermal design considerations for LTCC microwave packages. In: 4th European Microelectronics and Packaging Symposium (EMPS), Slovenia, Terme Čatež, S. 159–164, 2006.
- [110] Gutzeit, N.; Fischer, M.; Bartsch, H.; Müller, J.: Lapping and polishing of different LTCC substrates for thin film applications. In: 20th European Microelectronics and Packaging Conference & Exhibition (EMPC), Friedrichshafen, Germany, S. 1–4, 2015.

- [111] Mach, M.; Müller, J.: Thermal Design Considerations on Wire-Bond Packages. In: 17th European Microelectronics and Packaging Conference and Exhibition (EMPC), Rimini, Italy, IMAPS, 2009.
- [112] Prabhu, A. N.; Cherukuri, S. C.; Onyshkevych, L. S.; Thaler, B. J.; Mindel, M. J.: Co-fired ceramic on metal multilayer circuit board technology for multichip module packaging. In: Proceedings of the 1992 International Symposium on Microelectronics, San Francisco, CA, USA (SPIE, v. 1847), S. 601–606, The Society, 1992.
- [113] Kumar, A. H.; Prabhu, A. N.; Pendrick, V. A.; Thaler, B. J.: Versatile, low cost, multilayer ceramic board on metal core. In: International Journal of Microcircuits and Electronic Packaging, 1995, 18 (4), S. 343–349.
- [114] Prabhu, A. Narayan; Tormey, E. Schwartz: Thick ceramic on metal multilayer circuit board. Sarnoff Corp; Sharp KK. Anmeldenr. US19970812172 19970306. 02.02.1999. Veröffentlichungsnr. US5866240 A, 1999.
- [115] Geller, B.; Thaler, B.; Fathy, A.; Liberatore, M. J.; Chen, H. D.; Ayers, G.; Pendrick, V.; Narayan, Y.: LTCC-M: An enabling technology for high performance multilayer RF systems. In: MICROWAVE JOURNAL, 1999, 42 (7), S. 64.
- [116] Fathy, A.; Pendrick, V.; Ayers, G.; Geller, B.; Narayan, Y.; Thaler, B.; Chen, H. D.; Liberatore, M. J.; Prokop, J.; Choi, K. L.; Swaminathan, M.: Design of embedded passive components in Low-Temperature Cofired Ceramic on Metal (LTCC-M) technology. In: 1998 IEEE MTT-S International Microwave Symposium Digest (Cat. No.98CH36192), Baltimore, MD, USA, S. 1281–1284, 1998. DOI: 10.1109/MWSYM.1998.700608
- [117] Fathy, A.; McGinty, F.; Pendrick, V.; Ayers, G.; Geller, B.; Narayan, Y.; Thaler, B.; Chen, H. D.; Liberatore, M. J.: Low temperature co-fired ceramic on metal (LTCC-M) packaging technology. In: IEEE 9th Topical Meeting on Electrical Performance of Electronic Packaging, Scottsdale, AZ, USA, S. 261–264, 2000. DOI: 10.1109/EPEP.2000.895541
- [118] Prabhu, A. N.; Cherukuri, S. C.; Thaler, B. J.; Mindel, M. J.: Co-fired ceramic on metal multichip modules for advanced military packaging. In: National Aerospace and Electronics Conference (NAECON 93), USA, S. 217, Institute of Electrical and Electronics Engineers, 1993. DOI: 10.1109/NAECON.1993.290918
- [119] Hammond, M. Stuart; Tormey, E. Schwartz; Thaler, B. Jay; Hozer, L.; Chen, H. Tse Daniel; Geller, B. Dov; Frederickson, G.: Ceramic multilayer circuit boards mounted on a patterned metal support substrate and method of making. Lamina Ceramics, Inc. Anmeldenr. US20020284544 20021030, US. 03.04.2003. US. Veröffentlichungsnr. US6739047 (B2), 2003.
- [120] Mazzochette, J.; Tormey, E. Schwartz; Thaler, B. Jay: Method and structures for enhanced temperature control of high power components on multilayer LTCC and LTCC-M boards. Lamina Ceramics, Inc. Anmeldenr. US20030702957 20031106. 27.02.2007. Veröffentlichungsnr. US7183640 (B2), 2007.

- [121] Thelemann, T.; Thust, H.; Bischoff, G.; Kirchner, T.: Liquid cooled LTCC substrates for high power applications. In: *Int. J. Microcircuits Electron. Packag.*, 2000, 23 (2), S. 209–214.
- [122] Kita, J.; Dziejczak, A.; Golonka, L. J.; Zawada, T.: Laser treatment of LTCC for 3D structures and elements fabrication. In: *Microelectronics International*, 2002, 19 (3), S. 14–18. DOI: 10.1108/13565360210444998
- [123] Stephens, E. F.; Feeler, R.; Kemner, G.; Barlow, F.; Wood, J.; Elshabini, A.: Micro-Fluidic Optoelectronic Packages based on LTCC. In: 40th International Symposium on Microelectronics, San Jose, CA, USA, 2007.
- [124] Barlow, F.; Wood, J.; Elshabini, A.; Stephens, E. F.; Feeler, R.; Kemner, G.; Junghans, J.: Fabrication of Precise Fluidic Structures in LTCC. In: *Int. J. Appl. Ceram. Technol.*, 2009, 6 (1), S. 18–23. DOI: 10.1111/j.1744-7402.2008.02315.x
- [125] Gongora-Rubio, M. R.; Espinoza-Vallejos, P.; Sola-Laguna, L.; Santiago-Avilés, J. J.: Overview of low temperature co-fired ceramics tape technology for meso-system technology (MsST). In: *Sensors and Actuators A: Physical*, 2001, 89 (3), S. 222–241. DOI: 10.1016/S0924-4247(00)00554-9
- [126] Alexander, J. H.: Method of making ceramic article with cavity using LTCC tape. FERRO CORP [US]. Anmeldenr. US19950367560 19950103, US. 11.02.1997. US. Veröffentlichungsnr. US5601673 (A), 1997.
- [127] Cawley, J. D.; Heuer, A. H.; Newman, W. S.: Method for constructing three dimensional bodies from laminations. UNIV CASE WESTERN RESERVE [US]. Anmeldenr. US19960631378 19960412, US. 14.07.1998. US. Veröffentlichungsnr. US5779833 (A), 1998.
- [128] Adluru, H.; Zampino, M. A.; Liu, Y.; Jones, K. W.: Embedded Heat Exchanger in LTCC Substrate. In: *IMAPS Conference and Exhibition on Ceramic Interconnect Technology (CICMT)*, Denver, Colorado, 2003.
- [129] Adluru, H. Kishore: Design and analysis of micro-channel heat-exchanger embedded in Low Temperature Co-fire Ceramic (LTCC), Masters Thesis, Miami, FL, USA : FIU Digital Commons, 2004.
- [130] Aravelli, A.; Rao, S. S.; Adluru, H. K.: Multiobjective design optimization of microchannel cooling system using high performance thermal vias in LTCC substrates. In: *J. Microelectron. Electron. Packag.*, 2013, 10 (1), S. 40–47. DOI: 10.4071/imaps.360
- [131] Zampino, M.; Jones, W. K.; Kappagantula, S.: A Closed Loop Submerged Jet Impingement Cooling System in Low Temperature Cofired Ceramic Substrates. In: *Thermal and Thermomechanical Phenomena in Electronics Systems*, 2006. ITherm '06. The Tenth Intersociety Conference on, S. 161–166, 2006. DOI: 10.1109/ITHERM.2006.1645338

- [132] Peterson, K. A.; Patel, K. D.; Ho, C. K.; Rohde, S. B.; Nordquist, C. D.; Walker, C. A.; Wroblewski, B. D.; Okandan, M.: Novel microsystem applications with new techniques in low-temperature co-fired ceramics. In: *Int. J. Appl. Ceram. Technol.*, 2005, 2 (5), S. 345–363. DOI: 10.1111/j.1744-7402.2005.02039.x
- [133] Peterson, K. A.; Knudson, R. T.; Garcia, E. J.; Patel, K. D.; Okandan, M.; Ho, C. K.; James, C. D.; Rohde, S. B.; Rohrer, B. R.; Smith, F.; Zawicki, L. R.; Wroblewski, B. D.: LTCC in microelectronics, microsystems, and sensors. In: *Mixed Design of Integrated Circuits and Systems, 2008. MIXDES 2008. 15th International Conference on*, Poznań, Poland, S. 23–37, 2008.
- [134] Hu, D.-w.; Mao, M.; Ma, S.-l.; Fang, R.-n.; Guo, S.-c.; Jin, Y.-f.: Investigation of cooling performance of micro-channel structure embedded in LTCC substrate for 3D micro-system. In: *2012 IEEE 11th International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, Xian, China, S. 1–3, 2012. DOI: 10.1109/ICSICT.2012.6467839
- [135] Dohle, R.; Rittweg, T.; Chernyshev, V.; Beyer, E.; Gößler, J.; Sacco, I.; Fischer, P.: Very compact, water-cooled SiPM module for PET/MRT applications. In: *20th European Microelectronics and Packaging Conference & Exhibition (EMPC)*, Friedrichshafen, Germany, 2015.
- [136] Jones, W. K.; Liu, Y. Q.; Gao, M. C.: Micro heat pipes in low temperature cofire ceramic (LTCC) substrates. In: *IEEE TRANSACTIONS ON COMPONENTS AND PACKAGING TECHNOLOGIES*, 2003, 26 (1), S. 110–115. DOI: 10.1109/TCAPT.2003.811475
- [137] Mach, M.; Müller, J.: 3D-Fluidic Cooling Structures in LTCC. In: *Proc. of the 16th European Microelectronics and Packaging Conference and Exhibition (EMPC)*, Oulu/Finland, 2007.
- [138] Zampino, M. A.; Jones, W. Kinzy; Cao, Y.: Substrate Embedded Heat Pipes Compatible With Ceramic Cofired Processing. In: *The International Journal of Microcircuits and Electronic Packaging*, 1998, 21 (1), S. 52–58.
- [139] Shi, P. Z.; Chua, K. M.; Wong, S. C. K.; Tan, Y. M.: Design and performance optimization of miniature heat pipes in LTCC. In: *J. Phys.: Conf. Ser.*, 2006, 34, S. 142–147. DOI: 10.1088/1742-6596/34/1/024
- [140] Norén, M.; Hoffmann, C.; Salz, W.; Aichholzer, K.: Aspects on Advanced Thermal Management and Reliability for Flip Chip on LTCC. In: *4th International Conference and Exhibition on Ceramic Interconnect and Ceramic Microsystems Technologies (CICMT)*, Munich, Germany, 2008.
- [141] Müller, J.; Norén, M.; Mach, M.; Brunner, S.; Hoffmann, C.: Small Size LTCC FlipChip-Package for RF-Power Applications. In: *17th European Microelectronics and Packaging Conference and Exhibition (EMPC)*, Rimini, Italy, IMAPS, 2009.

- [142] Namics CORPORATION: Datenblatt Sinterkleber XH9890-6. Niigata City, Japan, 02.06.2014
- [143] Namics CORPORATION: Datenblatt Sinterkleber H9890-6A. Niigata City, Japan, 12.08.2015
- [144] Namics CORPORATION: Datenblatt Sinterkleber XH9890-6S. Niigata City, Japan, 02.06.2014
- [145] Diemat Inc.: Datenblatt silbergefüllter Kleber der DM6030 Serie. Byfield, MA, USA, 03.19.2008
- [146] Thang, T. Seng; Decai, S.; Huck, K. Koay; Sabudin, M. F.; Thompson, J.; Martin, P.; Rajkomar, P.; Haque, S.: Characterization of Au-Sn eutectic die attach process for optoelectronics device. In: Electronics Materials and Packaging, 2005. EMAP 2005. International Symposium on, S. 118–124, 2005. DOI: 10.1109/EMAP.2005.1598246
- [147] Bajwa, A. Ahmad: New assembly and packaging technologies for high-power and high-temperature GaN and SiC devices, Dissertation, Freiburg : Universität, 2015 DOI: 10.6094/UNIFR/10311
- [148] Siewert, T.; Liu, S.; Smith, D. R.; Madeni, J. Carlos: Database for Solder Properties with Emphasis on New Lead-free Solders. Colorado, 11.02.2002
- [149] Bolotoff, Paul V.: Solder Alloys: Physical and Mechanical Properties. URL: http://alasir.com/reference/solder_alloys/ – Zugriff am 12.09.2016
- [150] MIL-STD-883, 2014, Test Method Standard Microcircuits – Die Shear Strength, Rev. J, Method 2019.9
- [151] Glassbrenner, C. J.; Slack, G. A.: Thermal Conductivity of Silicon and Germanium from 3°K to the Melting Point. In: Phys. Rev., 1964, 134 (4A), A1058-A1069. DOI: 10.1103/PhysRev.134.A1058
- [152] MIL-STD-883, 2014, Test Method Standard Microcircuits – Seal, , Rev. J, Method 1014.14
- [153] Jousten, K.: Wutz Handbuch Vakuumtechnik, 11., überarb. und erw. Aufl., Wiesbaden : Springer Vieweg, 2012. ISBN: 978-3-8348-1745-7
- [154] Siow, K. S.; Lin, Y. T.: Identifying the Development State of Sintered Silver (Ag) as a Bonding Material in the Microelectronic Packaging Via a Patent Landscape Study. In: J. Electron. Packag, 2016, 138 (2), S. 20804. DOI: 10.1115/1.4033069
- [155] Dudek, R.: Technische Zuverlässigkeit von stoffschlüssigen Verbindungen: Prognostik auf Basis thermomechanischer Analysen. In: Scheel, Wolfgang; Hanke, Hans-Joachim (Hrsg.): Baugruppenttechnologie der Elektronik. 1. Aufl. Berlin, Verl. Technik, 1999, S. 784–846..
- [156] JESD22-A105C, 2004, Power and Temperature Cycling, JEDEC Solid State Technology Association, Arlington, VA, USA.

- [157] IPC-9701, 2002, Performance Test Methods and Qualification Requirements for Surface Mount Solder Attachments, Northbrook, Illinois, USA.
- [158] JESD22-A103D, 2010, High Temperature Storage Life, JEDEC Solid State Technology Association, Arlington, VA, USA.
- [159] MIL-STD-883, 2014, Test Method Standard Microcircuits – Temperature cycling, Rev. J, Method 1010.8.
- [160] MIL-STD-883, 2014, Test Method Standard Microcircuits – Thermal shock, Rev. J, Method 1011.9.
- [161] Paknejad, S. A.; Dumas, G.; West, G.; Lewis, G.; Mannan, S. H.: Microstructure evolution during 300°C storage of sintered Ag nanoparticles on Ag and Au substrates. In: Journal of Alloys and Compounds, 2014, 617, S. 994–1001. DOI: 10.1016/j.jallcom.2014.08.062
- [162] Rombach, P.: Zuverlässigkeit und Dichtigkeit von Verbindungen unter Verwendung von Niedertemperatursilbersinterpasten, Masterarbeit, Technische Universität Ilmenau, 2016.
- [163] Shi, L. T.; Tu, K. N.: Finite-element stress analysis of failure mechanisms in a multilevel metallization structure. In: J. Appl. Phys., 1995, 77 (7), S. 3037. DOI: 10.1063/1.358653
- [164] VI Systems GmbH: VCSEL, PD, LED – Optical Chips. URL: <http://v-i-systems.com/chips/> – Zugriff am 15.09.2016
- [165] Xu, Q.; Mei, Y.; Li, X.; Lu, G.-Q.: Correlation between interfacial microstructure and bonding strength of sintered nanosilver on ENIG and electroplated Ni/Au direct-bond-copper (DBC) substrates. In: Journal of Alloys and Compounds, 2016, 675, S. 317–324. DOI: 10.1016/j.jallcom.2016.03.133
- [166] Yu, F.; Johnson, R. Wayne; Hamilton, M. C.: Pressureless Sintering of Microscale Silver Paste for 300 °C Applications. In: IEEE Trans. Compon., Packag. Manufact. Technol., 2015, 5 (9), S. 1258–1264. DOI: 10.1109/TCPMT.2015.2455811
- [167] Namazu, T.; Takemoto, H.; Fujita, H.; Inoue, S.: Uniaxial tensile and shear deformation tests of gold–tin eutectic solder film. In: Science and Technology of Advanced Materials, 2007, 8 (3), S. 146–152. DOI: 10.1016/j.stam.2006.12.009
- [168] Fix, A. Richard: Auswirkungen von thermischen, mechanischen und thermomechanischen Belastungen auf die Mikrostruktur bei SMD-Lötstellen, Dissertation, Freiburg im Breisgau, Freiburg im Breisgau, 2007.
- [169] Brockmann, W.: Klebtechnik : Klebstoffe, Anwendungen und Verfahren, Weinheim : Wiley-VCH, 2005. ISBN: 9783527310913
- [170] Grieseler, R.: Untersuchung der Eigenschaften sowie der Anwendung von reaktiven Mehrschichtsystemen in der Aufbau- und Verbindungstechnik, Dissertation, Ilmenau :

- Univ.-Verl. Ilmenau; Univ.-Bibliothek (Werkstofftechnik aktuell 12), 2015. ISBN: 978-3-86360-117-1
- [171] Wang, J.; Besnoin, E.; Knio, O. M.; Weihs, T. P.: Effects of physical properties of components on reactive nanolayer joining. In: *J. Appl. Phys.*, 2005, 97 (11), S. 114307. DOI: 10.1063/1.1915540
- [172] Weihs, T.: Materialeigenschaften der reagierten NanoFoil ohne Beschichtung und in Kombination mit Incusil und Zinn Beschichtung. Telefonat. 05.10.2016. Welker, Tilo (Adressat)
- [173] Zhang Chuan-Hui; Huang Shuo; Shen Jiang; Chen Nan-Xian: Chen's lattice inversion embedded-atom method for Ni-Al alloy. In: *CHINESE PHYSICS B*, 2012, 21 (11)DOI: 10.1088/1674-1056/21/11/113401
- [174] Sergent, J. E.; Krum, A.: *Thermal management handbook: For electronic assemblies*, London [u.a.] : McGraw-Hill (McGraw-Hill electronic packaging and interconnection series), 1998. ISBN: 0070266999
- [175] Lambracht, P.: *Materialwissenschaftliche Aspekte bei der Entwicklung bleifreier Lotlegierungen*, Dissertation, Technische Universität Darmstadt, 2002.
- [176] Suhir, E.: Die attachment design and its influence on thermal stresses in the die and the attachment. In: *37th Electronic Components Conference*, Boston, Massachusetts, S. 508–517, 1987.
- [177] Shields, John: *Applications of Mo Metal and its Alloys*. URL: <http://www.chinatungsten.com/information-bank/e-book-of-molybdenum/applications-molybdenum-metal.pdf> – Zugriff am 23.09.2016
- [178] Müller, J.; Pohlner, J.; Schwanke, D.; Reppe, G.; Thust, H.; Perrone, R.: *Development and Evaluation of Hermetic Ceramic Microwave Packages for Space Applications*. In: *1st International Conference and Exhibition on Ceramic Interconnect and Ceramic Microsystems Technologies (CICMT)*, Baltimore, MA, USA, IMAPS, AcerS, 2005.
- [179] DuPont: *DuPont 5738R Au Co-fire Via Fill Composition*. URL: <http://www.dupont.com/products-and-services/electronic-electrical-materials/low-temperature-co-fire-ceramic-materials/brands/greentape-ceramic-circuit.html> – Zugriff am 18.02.2016
- [180] DuPont: *DuPont 6141 Ag Co-fire Via Fill*. URL: <http://www.dupont.com/products-and-services/electronic-electrical-materials/low-temperature-co-fire-ceramic-materials/brands/greentape-ceramic-circuit.html> – Zugriff am 18.02.2016.
- [181] Wang, P.; Jones, K. W.; Liu, Y.: *Thick Silver Tape in Low Temperature Cofire Ceramic (LTCC) for Thermal Management*. In: *IMAPS 34th International Symposium on Microelectronics (International Symposium on Microelectronics)*, Baltimore, Maryland, S. 384–388, 2001.
- [182] Hoshino, K.; Morikawa, M.; Kohno, T.; Ueda, K.; Miyakawa, M.: *Moldable mixture for use in the manufacturing of precious metal articles*. *MITSUBISHI MATERIALS*

- CORP [JP]. Anmeldenr. US19920978507 19921118, US. 12.07.1994. US. Veröffentlichungsnr. US5328775 (A), 1994.
- [183] Mitsubishi: Precious metal clay (PMC) | Mitsubishi Materials Trading Corporation. URL: <http://www.mmmtc.co.jp/en/products/pmc.html> – Zugriff am 10.11.2016
- [184] Metalclays.com: PMC+ PAPER/SHEET. URL: <http://www.metalclays.com/p/108/pmc-papersheet-5-grams> – Zugriff am 10.11.2016
- [185] Merkel, T.; Graeber, M.; Pagel, L.: A new technology for fluidic microsystems based on PCB technology. In: SENSORS AND ACTUATORS A-PHYSICAL, 1999, 77 (2), S. 98–105. DOI: 10.1016/S0924-4247(99)00062-X
- [186] Pagel, L.; Gassmann, S.: Integrated Fluidics in printed circuit board technology — Scaling behavior. In: Industrial Technology (ICIT), 2010 IEEE International Conference on, S. 1543–1547, 2010. DOI: 10.1109/ICIT.2010.5472465
- [187] Gassmann, S.; Pagel, L.; Luque, A.; Perdigones, F.; Aracil, C.: Fabrication of electroosmotic micropump using PCB and SU-8. In: IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society, S. 3958–3961, 2012. DOI: 10.1109/IECON.2012.6389259
- [188] Aracil, C.; Perdigones, F.; Miguel Moreno, J.; Luque, A.; Manuel Quero, J.: Portable Lab-on-PCB platform for autonomous micromixing. In: Microelectronic Engineering, 2015, 131, S. 13–18. DOI: 10.1016/j.mee.2014.10.018
- [189] Schindler-Saefkow, F.; Wittler, O.; May, D.; Michel, B.: Thermal Management in a 3D-PCB-Package with Water Cooling. In: 1st Electronic Systemintegration Technology Conference (ESTC), Dresden, Germany, S. 107–110, 2006. DOI: 10.1109/ESTC.2006.279986
- [190] Namics CORPORATION: Datenblatt Underfill U8433. Niigata City, Japan, 02.06.2014
- [191] iKTZ innovative Klebtechnik Zimmermann: Datenblatt 1k Epoxy 2AIF. Jena, 2005

Thesen

1. Lotverbindungen können durch Verbindungen aus Niedertemperatursilbersinterpasten ersetzt werden. Hierdurch können die elektrischen und thermischen Eigenschaften der Verbindung verbessert werden. Die Verbesserung kann dabei auf den hohen Silbergehalt und die vielen leitfähigen Pfade der gesinterten Verbindung zurückgeführt werden.
2. Die Scherfestigkeit von Verbindungen aus Niedertemperatursilbersinterpasten ist aufgrund ihrer porösen Mikrostruktur geringer als die Scherfestigkeit von Lotverbindungen. Jedoch nimmt sie mit steigender Temperatur weniger stark ab, als die Scherfestigkeit von Lot- und Klebverbindungen.
3. Verbindungen aus Niedertemperatursilbersinterpasten eignen sich aufgrund ihrer porösen Mikrostruktur nicht als Verbindung für den hermetischen Verschluss.
4. Die effektive thermische Leitfähigkeit einer Chip-Substrat-Verbindung wird durch die thermische Leitfähigkeit des Verbindungsmaterials, die Lufteinschlüsse in der Verbindung, sowie die Grenzschichtwiderstände an den Übergängen Chipmetallisierung-Verbindungsmaterial und Substratmetallisierung-Verbindungsmaterial bestimmt.
5. Reaktive Lote eignen sich für die Montage von metallisierten Siliziumchips und metallisiertes LTCC Substraten an metallisierte Kupfersubstrate.
6. Der thermische Widerstand einer reaktiv gelöteten Chip-Substrat-Verbindung entspricht dem thermischen Widerstand einer mittels Reflow-Verfahren gelöteten Chip-Substrat-Verbindung bei vergleichbarer Verbindungsdicke.
7. Die Scherfestigkeit von reaktiv gelöteten Chip-Substrat-Verbindungen ist aufgrund von Mikrorissen in der reagierten Schicht geringer als die Scherfestigkeit mittels Reflow-Verfahren gelöteten Chip-Substrat-Verbindungen.
8. Die Mikrorisse in der reagierten Schicht einer reaktiv gelöteten Verbindung erhöhen die Wahrscheinlichkeit eines durch die Verbindung führenden Mikrokanals, der die Hermetizität der Verbindung beeinträchtigt.
9. Die Hermetizität von LTCC Substraten mit thermischen Vias ist durch die Mikrostruktur des gesinterten Vias und die Verbindung zwischen Via und LTCC bestimmt. Dabei führt die hohe Porosität der Goldviafüllpaste DP 5738 des DuPont 951 Systems zu einer Beeinträchtigung der Hermetizität des Substrates.
10. Thermische Vias, bestehend aus der Silberviafüllpaste DP 6141 des DuPont 951 Systems, weisen einen geringeren thermischen Widerstand auf als Vias, bestehend aus der Goldviafüllpaste DP 5738 des DuPont 951 Systems.
11. Das Sintern mittels des PLAS-Prozesses führt zum Abreißen des Viamaterials von der umgebenden LTCC, wodurch die Hermetizität des LTCC Substrates beeinträchtigt wird.

12. Silberfolien mit ähnlichem Sinterverhalten wie LTCC eignen sich für die Generierung von hochleitenden Pfaden in einem LTCC Substrat. Hierdurch weist ein LTCC Substrat, dessen Keramik im thermischen Pfad durch die Silberfolie ersetzt wird, einen wesentlich geringeren thermischen Widerstand auf, als LTCC Substrate mit thermischen Vias.
13. Die gesinterte Oberfläche der Silberfolie eignet sich für die Montage von Chips mittels silbergefüllten Klebern und Niedertemperatursilbersinterpasten.
14. Der thermische Widerstand eines Substrates mit Dickschichtmetallisierungen und thermischen Vias wird bei einer Vergrößerung der Fläche der Dickschichtmetallisierung und des Viafeldes über die Chipfläche hinaus nicht wesentlich reduziert.
15. Die laterale Wärmespreizung im Substrat wird durch den Einsatz einer vergrabenen Silberfolie verbessert. Hierdurch reduziert sich der thermische Widerstand des Substrates im Vergleich zu einem Substrat ohne Silberfolie. Ab einer von der Chipfläche abhängigen Fläche reduziert eine Vergrößerung der wärmespreizenden Fläche nicht mehr wesentlich den thermischen Widerstand.
16. Der thermische Widerstand eines LTCC Substrates mit integrierten Kühlkanälen ist von der Strömungsgeschwindigkeit des Kühlmediums abhängig. Dabei fällt der thermische Widerstand exponentiell mit steigender Strömungsgeschwindigkeit ab.
17. Thermische Vias, die im fluidischen Kanal eines LTCC Substrates platziert werden, verbessern die Wärmeabgabe an das Fluid und reduzieren so den thermischen Widerstand.
18. Die Kühlung eines verlustbehafteten Chips durch eine auf die Chipoberfläche gerichtete Prallströmung ist effektiver, als die Kühlung des Chips durch integrierte Kühlkanäle, da der thermische Pfad kürzer und damit der thermische Widerstand geringer ist.
19. Die Anströmung des Chips orthogonal zur Chipoberfläche durch eine Düse ist bzgl. des thermischen Widerstandes effektiver als die seitliche Anströmung des Chips durch einen Kanal, da der wärmeübertragende Bereich und die Strömungsgeschwindigkeit größer ist. Dabei beeinflusst der Durchmesser der Düse die Strömungsgeschwindigkeit und somit den thermischen Widerstand.
20. Die fluidische Verbindung zwischen einem metallisierten LTCC Substrat und einer kupferkaschierten FR4 Leiterplatte kann mittels SAC Lot realisiert werden, da diese Substrat-Substrat-Verbindung hermetisch dicht ist und kein Wasser aufnimmt.

Publikationsverzeichnis

Zeitschriften

1. Geiling, T.; Welker, T.; Bartsch, H.; Müller, J.: Design and Fabrication of a Nitrogen Monoxide Measurement Device Based on Low Temperature CoFired Ceramics. In: *Int. J. Appl. Ceram. Technol.*, 2012, 9 (1), S. 37–44. DOI: 10.1111/j.1744-7402.2011.00694.x
2. Geiling, T.; Welker, T.; Müller, J.; Ehrling, C.: Design, Fabrication, and Operation of a Nitrogen Monoxide Measurement Device Based on LTCC. In: *J. Microelectron. Electron. Packag.*, 2012, 9 (4), S. 171–177. DOI: 10.4071/imaps.343
3. Grieseler, R.; Welker, T.; Müller, J.; Schaaf, P.: Bonding of low temperature co-fired ceramics to copper and to ceramic blocks by reactive aluminum/nickel multilayers. In: *Phys. Status Solidi A*, 2012, 209 (3), S. 512–518. DOI: 10.1002/pssa.201127470
4. **Welker, T.**; Geiling, T.; Bartsch, H.; Müller, J.: Design and Fabrication of Transparent and Gas-Tight Optical Windows in Low-Temperature Co-Fired Ceramics. In: *Int. J. Appl. Ceram. Technol.*, 2013, 10 (3), S. 405–412. DOI: 10.1111/ijac.12034
5. Piekarz, I.; Sorocki, J.; Wincza, K.; Gruszczynski, S.; Müller, J.; Welker, T.: Miniaturized quasi-lumped coupled-line single-section directional coupler designed in multilayer LTCC technology. In: *Microw. Opt. Technol. Lett.*, 2013, 55 (6), S. 1401–1405. DOI: 10.1002/mop.27582
6. **Welker, T.**; Günschmann, S.; Gutzeit, N.; Müller, J.: Design, Fabrication and Characterization of Heat Spreaders in Low-Temperature Co-Fired Ceramic (LTCC) utilizing Thick Silver Tape in the Co-Fire Process. In: *Journal of Ceramic Science and Technology*, 2015, 6 (4), S. 301–304. DOI: 10.4416/JCST2015-00042
7. Bartsch, H.; Welker, T.; Welker, K.; Witte, H.; Müller, J.: LTCC based bioreactors for cell cultivation. In: *IOP Conf. Ser.: Mater. Sci. Eng.*, 2016, 104, S. 1–10. DOI: 10.1088/1757-899X/104/1/012001
8. Pietrikova, A.; Girašek, T.; Lukacs, P.; Welker, T.; Müller, J.: Simulation of cooling efficiency via miniaturised channels in multilayer LTCC for power electronics. In: *Journal of Electrical Engineering*, 2017, 68 (2), S. 132–137. DOI: 10.1515/jee-2017-0018
9. Girasek, T.; Pietrikova, A.; Welker, T.; Müller, J.: Simulation of Heat Transfer by Cooling Channels in LTCC Substrate. In: *AEI*, 2017, 17 (2), S. 11–15. DOI: 10.15546/aei-2017-0010

Konferenzbeiträge

10. **Welker, T.**; Geiling, T.; Müller, J.: 3D Integration in LTCC am Beispiel einer Mikroreaktionskammer. In: IMAPS Konferenz München, 2011.
11. Geiling, T.; Welker, T.; Bartsch, H.; Müller, J.: Measurement of Nitrogen Monoxide Levels in Gas Flows with a Micro Total Analytical System Based on LTCC. In: 7th International Conference and Exhibition on Ceramic Interconnect and Ceramic Microsystems Technologies (CICMT), San Diego, California, S. 152–158, 2011.
12. **Welker, T.**; Geiling, T.; Bartsch, H.; Müller, J.: Design and Fabrication of Gas Tight Optical Window in LTCC. In: 9th International Conference and Exhibition on Ceramic Interconnect and Ceramic Microsystems Technologies (CICMT), Erfurt, Germany, 2012.
13. Geiling, T.; Welker, T.; Müller, J.: Design, Fabrication and Operation of a Nitrogen Measurement Device Based on LTCC. In: 9th International Conference and Exhibition on Ceramic Interconnect and Ceramic Microsystems Technologies (CICMT), Erfurt, Germany, 2012.
14. Piekarz, I.; Sorocki, J.; Wincza, K.; Gruszczynski, S.; Müller, J.; Welker, T.: Meandered coupled-line single-section directional coupler designed in multilayer LTCC technology. In: 20th Telecommunications Forum Telfor (TELFOR), Belgrade, Serbia, S. 983–986, 2012. DOI: 10.1109/TELFOR.2012.6419374
15. Schulz, A.; Welker, T.; Gutzeit, N.; Stöpel, D.; Wollenschläger, F.; Müller, J.: Optimized Cavities for Microwave Applications Using the New Low Loss LTCC Material DuPont 9k7. In: 9th International Conference and Exhibition on Ceramic Interconnect and Ceramic Microsystems Technologies (CICMT), Erfurt, Germany, 2012.
16. **Welker, T.**; Grieseler, R.; Müller, J.; Schaaf, P.: Bonding of ceramics using reactive NanoFoil[®]. In: 4th Electronic System-Integration Technology Conference (ESTC), Amsterdam, Netherlands, S. 1–4, 2012. DOI: 10.1109/ESTC.2012.6542143
17. Geiling, T.; Dressler, L.; Welker, T.; Hoffmann, M.: Fine dust measurement with electrical fields - concept of a hybrid particle detector. In: 9th International Conference and Exhibition on Ceramic Interconnect and Ceramic Microsystems Technologies (CICMT), Orlando, Florida, S. 131–136, Curran, 2013.
18. **Welker, T.**; Müller, J.: Design and fabrication of integrated fluidic channels for liquid cooling of a LTCC device. In: 10th International Conference and Exhibition on Ceramic Interconnect and Ceramic Microsystems Technologies (CICMT), Osaka, Japan, S. 1–5, 2014.
19. Kaleem, S.; Rentsch, S.; Welker, T.; Müller, J.; Hein, M. A.: Thermal analysis, design, and characterization of a reconfigurable switch matrix based on LTCC technology for

- satellite communications. In: 47th International Symposium on Microelectronics, San Diego, CA, USA, S. 692–697, 2014. DOI: 10.4071/isom-WP35
20. **Welker, T.**; Günschmann, S.; Gutzeit, N.; Müller, J.: Integration of Silver Heat Spreaders in LTCC utilizing Thick Silver Tape in the Co-fire Process. In: 11th International Conference and Exhibition on Ceramic Interconnect and Ceramic Microsystems Technologies (CICMT), Dresden, Germany, S. 62–66, 2015.
 21. Gutzeit, N.; Welker, T.; Fischer, M.; Müller, J.: Thin film strain gauges on LTCC membranes for surface monitoring of high power lasers mirrors. In: 11th International Conference and Exhibition on Ceramic Interconnect and Ceramic Microsystems Technologies (CICMT), Dresden, Germany, 2015.
 22. Mathew, S.; Spira, S.; Stephan, R.; Welker, T.; Gutzeit, N.; Müller, J.; Hein, M. A.: Geometrical tolerance of optical fiber and laser diode for the passive alignment using LTCC technology. In: 9th German Microwave Conference (GeMiC), Nürnberg, Germany, S. 363–366, 2015. DOI: 10.1109/GEMIC.2015.7107828
 23. **Welker, T.**; Müller, J.; Krämer, F.; Wiese, S.: Electrical, Thermal and Mechanical Characterization of Low Temperature, Pressure-less Sintered Silver Bond Interfaces. In: 20th European Microelectronics and Packaging Conference & Exhibition (EMPC), Friedrichshafen, Germany, S. 1–7, 2015.
 24. **Welker, T.**; Mathew, S.; Spira, S.; Ralf, S.; Gutzeit, N.; Müller, J.; Hein, M. A.: An analog optical transmitter module with a passive aligned fiber based on a flip chip mounted VCSEL. In: 20th European Microelectronics and Packaging Conference & Exhibition (EMPC), Friedrichshafen, Germany, 2015.
 25. Müller, J.; Welker, T.; Schulz, A.: Advanced LTCC Processes for Microwave Structures and Components in LTCC. In: 20th European Microelectronics and Packaging Conference & Exhibition (EMPC), Friedrichshafen, Germany, 2015.
 26. Bartsch, H.; Welker, T.; Witte, H.; Müller, J.: LTCC Based Bioreactors for Cell Cultivation. In: 39th International Conference of IMAPS Poland (IMAPS Poland), Gdańsk, Poland, 2015.
 27. Fischer, M.; Karolewski, D.; Welker, T.; Schelestow, K.; Gropp, S.; Hoffmann, M.; Müller, J.: Thermisches Verhalten von SiCer - ein innovatives Verbundsubstrat für MEMS. In: Mikro System Technik Kongress 2015 (MST Kongress), Karlsruhe, Germany, S. 262–265, VDE Verlag GmbH, 2015.
 28. Mathew, S.; Welker, T.; Gutzeit, N.; Spira, S.; Stephan, R.; Müller, J.; Hein, M. A.: Passive alignment of an optical fiber on a multi-layer ceramic module for radio-over-fiber applications. In: 10th German Microwave Conference (GEMIC), Bochum, Germany, S. 53–56, 2016. DOI: 10.1109/GEMIC.2016.7461554
 29. Schulz, A.; Gutzeit, N.; Stopel, D.; Welker, T.; Hein, M.; Müller, J.: High resolution patterning of LTCC based microwave structures for Q/V-band satellite applications.

- In: 10th German Microwave Conference (GEMIC), Bochum, Germany, S. 19–22, 2016. DOI: 10.1109/GEMIC.2016.7461545
30. Spira, S.; Schneider, M.; Welker, T.; Müller, J.; Hein, M. A.: Compact Three-Dimensional Four-Way Vectorial Steering Module for Satellite-Based Ka-Band Array Antenna Applications in LTCC Technology. In: 3rd ESA Workshop on Advanced Flexible Telecom Payloads, Noordwijk, Netherlands, 2016.
31. **Welker, T.**; Müller, J.: Evaluierung von drucklos gesinterten Silberschichten für die Chipmontage. In: IMAPS Frühjahrseminar 2016, Nürnberg, Germany, 2016.
32. Gutzeit, N.; Welker, T.; Drüe, K.-H.; Müller, J.: High resolution LTCC laser processing in the green and fired state for future technologies. In: 12th International Conference and Exhibition on Ceramic Interconnect and Ceramic Microsystems Technologies (CICMT), Denver, CO, USA, 2016.
33. Fischer, M.; Welker, T.; Leistritz, B.; Gropp, S.; Schäffel, C.; Hoffmann, M.; Müller, J.: Investigations of Metal Systems in a Silicon Ceramic Composite Substrate for Electrical and Thermal Contacts as well as Associated Mounting Aspects. In: 12th International Conference and Exhibition on Ceramic Interconnect and Ceramic Microsystems Technologies (CICMT), Denver, CO, USA, S. 1–4, 2016.
34. Spira, S.; Schneider, M.; Welker, T.; Müller, J.; Matthias, H. A.: Compact Three-Dimensional Four-Way Vectorial Steering Module for Ka-Band Multiple Feeds-per-Beam Satellite Payload Applications. In: IEEE MTT International Microwave Symposium 2016 (IMS), San Francisco, CA, USA, 2016. DOI: 10.1109/MWSYM.2016.7540005
35. **Welker, T.**; Müller, J.: Design, Simulation and Fabrication of Liquid Cooled LTCC Devices Utilizing Integrated Channels. In: 15th Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm), Las Vegas, NV, USA, S. 830–835, 2016. DOI: 10.1109/ITHERM.2016.7517632
36. Pietrikova, A.; Girašek, T.; Lukacs, P.; Welker, T.; Müller, J.: Simulation of Cooling Methods Via Channels in LTCC Substrates for Power Electronic Devices. In: 2nd IMAPS flash Conference, Brno, Czech Republic, S. 1–8, 2016.
37. Müller, J.; Stöpel, D.; Spira, S.; Gutzeit, N.; Welker, T.; Mathew, S.; Ebert, A.; Matthias, H.: Technologies to implement complex microwave functions in LTCC for the use in communication satellites. In: 40th International Microelectronics and Packaging IMAPS Poland Conference (IMAPS Poland Conference), Wałbrzych, Poland, 2016.
38. Uhlig, P.; Serwa, A.; Altmann, U.; Welker, T.; Müller, J.; Schwanke, D.; Pohlner, J.; Rittweg, T.: Liquid Cooling in an LTCC-Module for a Switched Mode Amplifier. In: Nordic Conference on Microelectronics Packaging (NordPac), Gothenburg, Sweden, S. 1–7, 2017.

-
39. **Welker, T.**; Gutzeit, N.; Müller, J.: Enhanced Heat Spreading in LTCC Packages utilizing Thick Silver Tape in the Co-fire Process. In: European Microelectronics and Packaging Conference (EMPC), Warsaw, Poland, 2017.
 40. Gutzeit, N.; Schulz, A.; Welker, T.; Wagner, C.; Schäfer, E.; Müller, J.: High-precision picosecond laser structuring on LTCC for silicon chip assembly with high electrical contact density. In: European Microelectronics and Packaging Conference (EMPC), Warsaw, Poland, 2017.
 41. Schulz, A.; Goudouri, O. Menti; Kollenberg, W.; Welker, T.; Gutzeit, N.; Nikolay, D.; Kemmling, N.; Müller, J.: 3D printed ceramic structures based on LTCC: Materials, Processes and Characterizations. In: European Microelectronics and Packaging Conference (EMPC), Warsaw, Poland, 2017.
 42. Girasek, T.; Pietrikova, A.; Welker, T.; Müller, J.: Influence of various micro channels integrated in LTCC multilayer module on the thermal resistance. In: European Microelectronics and Packaging Conference (EMPC), Warsaw, Poland, 2017.