法政大学学術機関リポジトリ HOSEI UNIVERSITY REPOSITORY

オーディオアプリケーションに用いる低消費電力ア ナログデジタル変換回路の提案

著者	吉田 知朗
出版者	法政大学大学院理工学研究科
雑誌名	法政大学大学院紀要.理工学・工学研究科編
巻	59
ページ	1-7
発行年	2018-03-31
URL	http://doi.org/10.15002/00021579

オーディオアプリケーションに用いる 低消費電力アナログデジタル変換回路の提案

LOW POWER ANALOG-TO-DIGITAL CONVERSION CIRCUIT FOR AUDIO APPLICATION

吉田知朗 Tomoro YOSHIDA 指導教員 安田 彰

法政大学大学院理工学研究科電気電子工学専攻修士課程

In recent years, demand for a mixed signal LSI used for electronic equipment is increasing. High precision and low power consumption are required for ADCs for audio applications. $\Delta\Sigma$ ADC is a method to realize highly accurate AD conversion. However, power efficiency is poor as compared with general ADC configuration. This paper proposes a two steps ADC using a SAR-ADC and $\Delta\Sigma$ -ADC. The SAR-ADC arranged in the preceding stage can relax the required performance of the analog circuit of $\Delta\Sigma$ ADC. Therefore, low power consumption can be achieved. This proposal is designed with 0.18um CMOS. The performance of proposed system is confirmed by system simulation using MATLAB / Simulink and circuit simulation using Virtuoso / spectre, respectively.

Key Words : delta sigma modulator, Successive approximation, ADC, low power.

1. はじめに

近年,各種電子機器に用いられる回路技術は半導体プロセスの微細化の恩恵を受け高集積化や高速動作化が可能となった.これらの回路にはデジタル回路だけでなくアナログ回路も混載されるミックスドシグナル LSI [1] としてワンチップ上で実装されることが多くなり,ますます用途の広がりを見せている.その中でもオーディオアプリケーション向けに用いられる ADC には高精度化と低消費電力化が要求されている.

ADC には多種多様な変換方式が存在しており、デルタ シグマ型アナログデジタル変換器(ΔΣADC)[2][3][4]は オーバーサンプリング方式を用いた変換方法、積分器と 負帰還によるノイズシェーピング特性から、精度の高い AD 変換を実現する手法として広く用いられている.しか し、システムの伝達特性から、初段積分器に要求される 性能は厳しく、構成回路であるオペアンプに大きな負荷 がかかる.したがって、一般的な ADC と比較して、電力 効率が悪いという特徴を持つ.

本論文は高精度変換を維持した上で低消費電力化を可 能とする 2 ステップ ADC を提案する.提案構成では前段 Successive Approximation (SAR) ADC によるコース変換 と後段の $\Delta \Sigma$ ADC によるファイン変換によって, $\Delta \Sigma$ ADC のアナログ回路に対する要求性能の緩和を実現する.

2. 従来の AD 変換技術

(1) アナログデジタル変換回路の特徴

ADC には様々な変換方式が存在する. それぞれの ADC には様々な変換方式が存在する. それぞれの ADC には得意とする変換周波数,分解能があり,設計者は用途に応じて適切な構成を選択する必要がある. 図1にいくつかの代表的な ADC の分解能,変換周波数の分布を示す. ただし,縦軸は変換周波数[Hz],横軸は分解能[bit]を示している.



ADC は、ナイキスト型とオーバーサンプリング型に大きく区分することができる.本章では提案手法で採用した逐次比較型 ADC および $\Delta \Sigma$ ADC について議論する.

(2)逐次比較型 ADC

逐次比較型 ADC (SAR ADC) [3] は、中高速動作、低消費 電力動作などの特徴を持った AD 変換器の方式である.入 カアナログ信号をサンプル・ホールド回路によって保持 し、コンパレータによって繰り返し判定を行うことで、 AD 変換を実現する(図 2).



図2 SAR-ADC の概念図

具体的な回路実現の例として,図3に5-bit SAR-ADC の概念図を示す.ただし,説明の簡略化のためシングル エンド構成で表記している.



図3について,この方式は電荷再分配型SARと呼ばれ, 内部DACとサンプル・ホールド回路が一体となった構成 で,広く用いられている.

DAC およびサンプル・ホールド回路はバイナリ加重(*C*, *C/2*, *C/4*, *C/8*, *C/16*) されたキャパシタのラダーとスイ ッチによって構成されている. *n*をビット数としたとき, キャパシタラダーの中で最小容量のキャパシタ(*C*/2^{*m*-1}) は二つ並列接続され,全体の容量値が2*C*になっている. また各容量に接続されたスイッチは一般的に MOS によっ て実現される. コンパレータの差動入力の一方には接地 電位が印加され,もう一方には入力信号および内部 DAC によって生成された基準電圧が印加される.

サンプリングされた入力信号は,はじめに参照電圧の 中点と比較される.コンパレータから出力された判定結 果は MSB(most significant bit)として制御回路に送ら れる.制御回路は判定結果に応じて,内部 DAC の基準電 圧を操作し、2 ケタ目のデータを判定するための基準電 圧を生成する.これら判定と内部 DAC の操作を繰り返し 行うことで、入力信号に対応したバイナリコードを得る ことができる.この変換方式は、オペアンプ等の定常的 なバイアス電流を必要とする回路を用いないため、電力 効率の良い AD 変換を実現できる.

a) セルフクロッキング型 SAR ADC

通常, Nビット精度の SAR-ADC では変換周波数が Fs の場合, 1/Fsの内に DAC の切り替えとコンパレータで の判定を N回以上行わなければならない.したがって, 制御回路や DAC を動作させるクロック周波数は, Fsの N倍以上が必要となり,課題となっていた.この節で議 論するセルフクロッキング技術[5],[6]の登場によって, 外部から入力されたサンプリング周波数 Fsのみ用いて, 任意のビット数の AD 変換が可能となった.図4に,セ ルフクロッキング技術を搭載した SAR-ADC の回路図を 示す.



図4 セルフクロッキング型 SAR-ADC

内部クロック生成回路(図4点線内)はクロックの加 算を行う NAND 回路, DFF (D-フリップフロップ回路) によるカウンター, OR 回路,遅延器によって構成され る.出力はコンパレータのクロックとなるため,フィー ドバックループの構成となっている.

このループは外部入力のサンプリングクロック Fsの 立下りタイミングでスタートする. コンパレータから出 力された判定結果は加算され,参照クロックとして内部 クロック生成回路に入力される. 内部クロック生成回路 内には, DFF がカウンターとして配置され,任意のビッ ト分(ここでは4回),クロックの立ち上がりをモニタし, ck4 まで立ち上がりを検知した場合にはループを終了さ せる. したがって,外部からサンプリングクロック Fs を印加するのみで,一連の変換動作を可能とする.

(3) デルタシグマ型 ADC

デルタシグマ型 ADC($\Delta \Sigma$ ADC)は、オーバーサンプリン グ方式とノイズシェーピング技術による高精度 AD 変換 器として、広く用いられている.オーバーサンプリング 方式とは、入力信号 FBに対して、ナイキスト周波数より も高いサンプリング周波数 Fs で標本化を行うことであ る.サンプリングクロックの周波数を信号帯域の2倍で 割った値は OSR(oversampling ratio)と呼ばれる.

この方式によって, 内部 AD 変換器(量子化器)で発生す る,量子化誤差を広域に引き延ばす.量子化誤差の総量 は一定であるため、信号帯域内の雑音電力を低減するこ とができる(図5).



 $\Delta \Sigma$ 変調器の基本的なシステム図を図 6 に示す. ただし、内部フィルタの次数は1次とする.



 $\Delta \Sigma$ 変調器は、フィルタと内部 ADC(量子化器)、フ ィードバックによる入力信号の減算によって構成されて いる.ただし、*QE* は量子化器で発生する量子化雑音と する.入力を *X*(*z*)、出力を *Y*(*z*)としてシステムの伝達関 数を求めると、

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})QE$$
(1)

ここで、STF (Signal Transfer Function) は z^{-1} が付加さ れるのみである.したがって、入力信号 X(z)は遅延をも って出力に現れるが、周波数特性を持たない.また NTF (noise Transfer Function) は($1-z^{-1}$)となり、QEはハイパス 特性を持って出力に現れる.量子化雑音に対して、ハイ パス特性を持たせているため、信号帯域内の量子化雑音 を高域にシフトできる.このように、量子化雑音の周波 数成分を変化させることをノイズシェーピングと呼ぶ.

入力信号に対して OSR を高くすることで,信号帯域内 の量子化雑音電力を低減させることや,ノイズシェーピ ングによって雑音成分に変調をかけることで精度の高い AD 変換を実現する.

(4) オーディオ帯域向け ADC の性能と課題点

現在普及しているオーディオ製品には、精度の高い AD変換器が用いられている.所望帯域は約 20Hz~24kHz の可聴域となるため、低周波域の変換を得意とする $\Delta \Sigma$ ADC が広く採用されている.また、通信分野の帯域と比 較すると、狭い範囲に帯域が限られるため、OSRを上げ やすく,高精度化が容易であることが利点として挙げられる.

図7は,過去約10年間にオーディオ帯域向けに設計された $\Delta \Sigma$ 変調を用いる ADC の発表論文を一部抜粋したものである[8~26].精度(SNR)と消費電力の関係をまとめた.ただし,縦軸は消費電力,横軸は SNR である.また縦軸は対数表示となっている.



図 7 から,高精度(=95dB 以上)な AD 変換を実現するためには,消費電力が 1mW 前後となる傾向がある.また, 精度と消費電力にはトレードオフの関係が存在すること が分かる.一般的なΔ Σ ADC は,オーバーサンプリング, ノイズシェーピング技術によって性能向上を実現できる. しかし,内部のアナログ回路の性能要求が厳しくなる特 徴があることから,低消費電力化へのボトルネックとなっている.

3. 2 ステップ ADC

本論文では低消費電力化のボトルネックの解消を目的 とした,2ステップ ADC を提案する.図8に基本的な2 ステップ ADC のシステムを示す.



図 8 2 ステップ ADC

2 ステップ ADC とは,前段のコース変換器と後段のフ ァイン変換器によって,2 段階の AD 変換を行う ADC の 方式である.

入力信号は、初段のコース変換器へ入力される. コー ス変換の出力は上位ビットのデジタル信号として扱われ る. 上位ビットは、コース変換器の次段に接続された DAC へ転送され、データに応じた電圧値に再変換する. 生成された電圧値と入力信号の差をとることで、コース 変換器で発生した量子化誤差を電圧信号として取り出す ことができる.この量子化誤差を後段のファイン変換器 で更に AD 変換する.コース・ファイン変換器の各出力 は最終段で加算され、デジタル信号として出力する.単 一の ADC と比較すると、量子化誤差成分を効率良く低 減できるため、高精度変換が可能となる.

4. 回路実現およびシミュレーション結果

本堤案では,前段に 4bit SAR-ADC,後段に 5 レベル 2 次 Δ Σ ADC を用いて,2 ステップ ADC を実現する.提案構成の概念図を図 9 に示す.



4bit SAR-ADC は、制御論理回路内にセルフクロッキン グ技術を搭載し、サンプリングクロック F_s の入力で 4-bit の AD 変換を行う.前段の ADC で発生した、量子化 誤差の電圧データは後段の $\Delta \Sigma$ ADC によって AD 変換され る.また更に、ファイン変換で生じた量子化誤差はノイ ズシェーピングによって変調がかかり、高精度変換を実 現する.

SAR のコース変換によって量子化誤差電圧の振幅を低 減させ、 $\Delta \Sigma$ ADC の内部振幅の要求を緩和させる.また $\Delta \Sigma$ ADC のアナログ回路に要求される、熱雑音の性能要 求を緩和できる.

(1) DAC の精度補償

本提案で採用した DAC の精度補償に関する技術につい て議論する.一般的な SAR-ADC やΔ Σ ADC の内部マルチ ビット DAC は,同一値の基準容量や抵抗(セグメント) によって構成される.DAC に入力されたデジタルデータ に対応した数のセグメントを選択し,電荷もしくは電圧 に変換することで,アナログ信号が得られる.スイッチ ドキャパシタや電流源,抵抗ラダーによって回路実現さ れる.

理想的なマルチビット DAC ではすべてのセグメントに 誤差が無く,線形的な入出力特性となる.しかし,製造 誤差によって個々のセグメントにミスマッチが発生する と,図 10 のようにマルチビット DAC では出力に非線形成 分が現れる.一方,1-bit DAC では,0,1を一つのセグメ ントを用いて再現するため,誤差が起きた場合において も,線形性は必ず確保される.



マルチビット DAC の精度補償のために、ミスマッチシェーパーという技術が用いられている.図11 は本提案で 採用した Data Weighted Averaging (DWA)[7]という方式 である.



この方式は、DAC の各セグメントをシャッフリングし、 ミスマッチによる影響を低減する手法である.前回,DA 変換した際に用いたセグメントを論理回路で記憶する. 次にDA 変換する際は、前回使用したセグメントの隣から 選択を開始することで、常にまんべんなくDAC のセルを 使用する.ミスマッチの成分をシャッフリングすること で、線形性の劣化を低減することが可能となる.この他 にも、高次のデジタル積分器を用いてループフィルタを 形成する Noise Shaping Dynamic Element matching (NSDEM)などがある[7].

(2) シミュレーション結果

本節では、図9に示されたシステムを Virtuoso / spectre を用いてシミュレーションした結果を示す.表1にシミ ュレーション条件を示す.ただし、検証では熱雑音およ びフリッカ雑音の影響は考慮しないものとする.

表 1 検証条件				
信号帯域	24	k[Hz]		
入力周波数	20	k[Hz]		
電源電圧	1.2	[V]		
入力振幅	0.6	[V]		
CMOSプロセス	0.18	u[m]		
サンプリング周波数 <i>Fs</i>	6.144	M[Hz]		
OSR	128	\succ		
DFT ポイント数	16875	\succ		

図12に本提案構成の出力スペクトルを示す.



図 12 出力スペクトル

シミュレーション結果から求められた性能を表2に示す.

表 2 性能一覧					
項目	値	単位			
SNR	95.6	[dB]			
SFDR	104	[dBc]			
THD	-96.2	[dB]			
消費電力(アナログ)	536.4	u[W]			
消費電力(デジタル)	351.6	u[W]			

表 3 および図 13 に回路ブロックごとの消費電流の内 訳を示す.

表3 消費電流の内訳

回路名	円グラフ名	消費電流[uA]
4bit SAR ADC	SAR	195
初段積分器	INT1	153
次段積分器	INT2	57
加算器	ADD	152
5レベルフラッシュADC	FLASH	10.6
DWA	DWA	98
クロックジェネレータ	CKGN	53
バイアス回路	BIAS	20
出力回路	DFF	1.4



図13 消費電流の割合

5. まとめと今後の課題

本論文では、低消費電力化を目的とする、SAR-ADC と $\Delta \Sigma$ ADC による2ステップ ADC を提案し、シミュレ ーションと理論計算によって性能検証を行った.本研究 では、Virtuoso/spectre を用いて回路設計を行い、検証を 行った.結果として、消費電力888 uW となり1 mW を 下回る低消費電力動作を実現した.また SNR は95 dB となった.今後の課題として、設計した回路の IC 試作し、 性能評価を行うことが挙げられる.

謝辞:本研究を進めるにあたりご指導ご鞭撻いただいた 法政大学理工学部電気電子工学科安田彰教授,吉野理貴 先生に深く感謝いたします.また日頃,有意義なアドバ イスを下さった安田研究室の皆様にも心から感謝してお ります.本研究は東京大学大規模集積システム設計教育 研究センター(VDEC)を通じ日本ケイデンス株式会社の 協力の下で行われたものであり,ここに深く感謝します.

参考文献

- W井 至, : Verilog AMS 入門-アナログ回路・ディ ジタル回路混在設計のための HDL, CQ 出版, 2002/04.
- 2) Schreier, R., & Temes, G.C. (YEAR). An introduction to $\Delta \Sigma$ analog / digital converters (translated from the Japanese by T. Waho & A. Yasuda), Maruzen Co., Ltd, 2007/07.
- 3) 松澤 昭,: アナログ RF CMOS 集積回路設計 基礎編, 培風館, 2010/01.
- 4)谷口研二,: LSI 設計のための CMOS アナログ回路 入門(半導体シリーズ), CQ 出版, 2004/12.
- 5) 松澤 昭, :アナログ・ADC開発の今後, 東京工業大 学, 大学院理工学研究科, 2013, http://www.ssc.pe.titech.ac.jp/publications/2013/RFanalog/ matsu_open_130315.pdf.
- 6) Chun-Cheng Liu, Soon-Jyh Chang, Guan-Ying Huang, and Ying-Zu Lin, : A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 45, NO. 4, APRIL 2010,pp. 731 – 740.
- 7)安田 彰,岡村 喜博,:ハイレゾオーディオ技術読本, オーム社, 2014/10/25.
- 8) Jinghua Zhang, Yong Lian, Libin Yao, and Bo Shi, : A 0.6-V 82-dB 28.6uW Continuous-Time Audio Delta-Sigma Modulator, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 46, NO. 10, OCTOBER 2011, pp.2326 – 2335
- 9) Gil-Cho Ahn, Dong-Young Chang, Matthew E. Brown, Naoto Ozaki, Hiroshi Youra, Ken Yamamura, Koichi Hamashita, Kaoru Takasuka, Gábor C. Temes, Life, and Un-Ku Moon, : A 0.6-V 82-dB Delta-Sigma Audio ADC Using Switched-RC Integrators, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 40, NO. 12, DECEMBER 2005,pp.2398 – 2407
- 10) Zhenglin Yang, Libin Yao, Yong Lian, : A 0.7-V 100-μW Audio Delta-Sigma Modulator with 92-dB DR in 0.13-μm CMOS, Circuits and Systems (ISCAS), 2011 IEEE International Symposium on , 2011,pp.2011 – 2014.
- Hyunsik Park, KiYoung Nam , David K. Su, Katelijn Vleugels, and Bruce A. Wooley, : A 0.7V 870uW Digital Audio CMOS Sigma Delta Modulator, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 44, NO. 4, APRIL 2009,pp. 1078 – 1088.
- 12) Hao Luo, Yan Han, Ray C.C. Cheung, Xiaopeng Liu, and Tianlin Cao, : A 0.8-V 230-uW 98-dB DR Inverter-Based sigma-delta Modulator for Audio Applications, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 48, NO. 10, OCTOBER 2013, pp. 2430 – 2441.
- 13) Min Gyu Kim, Gil-Cho Ahn, Pavan Kumar Hanumolu, Sang-Hyeon Lee, Student, Sang-Ho Kim, Seung-Bin You,

Jae-Whui Kim, Gabor C. Temes, Life, and Un-Ku Moon, : A 0.9 V 92 dB Double-Sampled Switched-RC Delta-Sigma Audio ADC, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 43, NO. 5, MAY 2008,1195 – 1206.

- 14) Yoon Hwee Leow, Howard Tang, Zhuo Chao Sun, and Liter Siek, : A 1 V 103 dB 3rd-Order Audio Continuous-Time $\Delta \Sigma$ ADC With Enhanced Noise Shaping in 65 nm CMOS, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 51, NO. 11, NOVEMBER 2016,pp.2625 – 2638.
- 15) Young-Min Park, Tae-In Kwon, Kang-Il Cho, Yong-Sik Kwak, Gil-Cho Ahn , Chang-Seob Shin, Myung-Jin Lee, Seung-Bin You, Ho-Jin Park, : A 1.1 V 82.3dB audio Δ Σ ADC using asynchronous SAR type quantizer, IEEE International Conference on Electronics, Circuits, and Systems (ICECS 2012) , 2012,pp. 637 – 640.
- 16) Burak Gönen, Fabio Sebastiano, Robert van Veldhoven, Kofi A. A. Makinwa, : A 1.65mW 0.16mm2 dynamic zoom-ADC with 107.5dB DR in 20kHz BW, IEEE International Solid-State Circuits Conference (ISSCC) ,2016,pp. 282 – 283.
- 17) Yongsheng Wang, Hongying Wang, Fengchang Lai, Bei Cao, Yang Liu, Xiaowei Liu, : A 16-Bit Low-Power Double-Sampled Delta Sigma Modulator for Audio Applications, IEEE 11th International Conference on ASIC (ASICON),2015,pp. 1 4.
- 18) Khiem Nguyen, Robert Adams, Karl Sweetland, and Huaijin Chen, : A 106-dB SNR Hybrid Oversampling Analog-to-Digital Converter for Digital Audio, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 40, NO. 12, DECEMBER 2005,pp.2408 – 2415.
- 19) Burak Gönen, Fabio Sebastiano, Rui Quan, Robert van Veldhoven, and Kofi A. A. Makinwa, : A Dynamic Zoom ADC With 109-dB DR for Audio Applications, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 52, NO. 6, JUNE 2017,pp. 1542 – 1550.
- 20) Hashem Zare-Hoseini, Izzet Kale and Richard C. S. Morling , : A Low-Power Continuous-Time $\Delta \Sigma$ Modulator for Electret Microphone Applications, IEEE Asian Solid-State Circuits Conference , November 8-10,2010,pp. 1 – 4.
- 21) Jin-Seon Kim, Tae-In Kwon, Gil-Cho Ahn, Yi-Gyeong Kim, Jong-Kee Kwon, : A Δ Σ ADC using 4-bit SAR type quantizer for audio applications, 2011 International SoC Design Conference,2011,pp. 73 – 75.
- 22) Bahman Yousefzadeh, Mohammad Sharifkhani, : An Audio Band Low Voltage CT- $\Delta \Sigma$ Modulator with VCO-Based Quantizer, 2011 18th IEEE International Conference on Electronics, Circuits, and Systems, pp. 232 – 235.

- 23) Heiner Alarcon Cubas, Joao Navarro, : Design of an OTA-Miller for a 96dB SNR SC multi-bit Sigma-Delta modulator based on gm/ID methodology , 2013 IEEE 4th Latin American Symposium on Circuits and Systems (LASCAS),2013,pp. 1 – 4.
- 24) Niels Marker-Villumsen, Ivan H. H. Jørgensen, Erik Bruun, : Low Power Continuous-Time Delta-Sigma ADC with Current Output DAC, 2015 European Conference on Circuit Theory and Design (ECCTD),pp. 1 – 4.
- 25) Amrith Sukumaran and Shanthi Pavan, Senior Member, IEEE, :Low Power Design Techniques for Single-Bit Audio Continuous-Time Delta Sigma ADCs Using FIR Feedback, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 49, NO. 11, NOVEMBER 2014,pp. 2515 – 2525.
- 26) Feyyaz Melih Akçakaya, Günhan Dündar, : Low power sigma delta converter with SAR ADC for audio frequencies, 2013 IEEE Faible Tension Faible Consommation, pp. 1 4.