

無線通信システム用A/D変換器の高性能化に関する研究

著者	伊藤 朋彦
著者別名	ITO Tomohiko
その他のタイトル	A Research on High-Performance Analog-to-Digital Converters in Wireless Communication Systems
ページ	1-146
発行年	2013-09-15
学位授与番号	32675乙第213号
学位授与年月日	2013-09-15
学位名	博士(工学)
学位授与機関	法政大学 (Hosei University)
URL	http://hdl.handle.net/10114/8509

法政大学審査学位論文

無線通信システム用 A/D 変換器の
高性能化に関する研究

A Research on High-Performance
Analog-to-Digital Converters
in Wireless Communication Systems

2013 年 9 月

伊藤 朋彦

目次

1	序論	5
1.1	研究の背景	5
1.2	研究の目的と概要	17
2	A/D 変換器の性能指標	23
2.1	量子化誤差と理想的な A/D 変換器の信号雑音比	23
2.2	SNDR(ENOB)/SNR/SFDR	25
2.3	Figure of Merit(FoM)	26
2.4	DNL/INL	28
3	サンプリングキャパシタの相対ミスマッチ測定回路	31
3.1	はじめに	31
3.2	ミスマッチ測定回路	32
3.3	仮定の妥当性について	34
3.4	相対ミスマッチ測定回路の回路構成と動作	38
3.5	試作および測定結果	43
3.6	まとめ	45
4	オペアンプシェアリングおよび疑似差動低消費電力化回路技術の検討および 10bit,80MS/s パイプライン A/D 変換器への適用	47
4.1	はじめに	47
4.2	電力削減効果の検討	50
4.3	設計例	52
4.4	測定結果	55
4.5	まとめ	61
4.6	DC オフセット検出を行う従来のパイプライン型 A/D 変換器におけるトランスコンダクタンスの最適化	62
5	スルーレートを考慮したパイプライン型 A/D 変換器の変換ステージ構成法の検討	64
5.1	はじめに	64

5.2	非線形モデルを用いた消費電力最適設計	65
5.3	変換ステージ構成	68
5.4	設計例	79
5.5	まとめ	80
6	4G システム用消費電力 55mW, 電源電圧 1.2V, 分解能 12bit, 動作速度 100MS/s パイプライン型 A/D 変換器	82
6.1	はじめに	82
6.2	最適 bit/stage 検討	83
6.3	I/Q アンプシェアリング技術	83
6.4	アーキテクチャ	87
6.5	消費電力見積もりとオペアンプの回路構成について	90
6.6	疑似差動オペアンプの回路構成	91
6.7	測定結果	96
6.8	まとめ	101
7	0.9V で動作する無線通信用 12bit、40MS/s パイプライン型 A/D 変換器	104
7.1	はじめに	104
7.2	回路アーキテクチャ	106
7.3	I _{ch} /Q _{ch} で共用化されたクロック昇圧回路	110
7.4	疑似差動オペアンプ	112
7.5	試作および測定結果	118
7.6	まとめ	124
8	電源電圧 1V で動作する 3GS/s 5bit 低消費電力フラッシュ型 A/D 変換器	127
8.1	はじめに	127
8.2	アーキテクチャ	128
8.3	従来の DC オフセット電圧補正方法	130
8.4	提案する DC オフセット電圧補正方法	133
8.5	測定結果	136
8.6	まとめ	141
9	結論	144
9.1	本研究での成果	144

9.2	開発した A/D 変換器の無線通信システム応用例	146
-----	------------------------------------	-----

1 序論

1.1 研究の背景

1.1.1 無線通信システムにおける A/D 変換器の役割

携帯電話や無線 LAN に代表される無線通信機器は、既に日常生活に欠かせない電子機器であり、自宅や職場、公共機関等において様々なシーンで利用されている。近年、無線端末におけるインターネット利用の爆発的増加に伴い、無線通信機器への高性能化や多機能化に対する要求が非常に高まってきている。

無線通信においては、情報を媒介する特定の周波数帯域を持つ無線アナログ信号に対して各種の信号処理を施すことにより、無線機器間で情報のやりとりを行う。半導体微細加工技術の進展により、デジタル回路の低コスト化が進んだ結果、かつてはアナログ信号で行っていた信号処理を、デジタル信号に置換してから実施するようになってきた。デジタル信号は、データの圧縮／伸長、適応処理、誤り訂正、暗号化など、アナログ信号処理では困難であった複雑な信号処理が実現できることから無線通信機器の性能向上に好適である。また、アナログ信号に比べ、ノイズや素子ばらつき、経時劣化等に強く、複雑な信号処理を動作環境によらず安定して実行できる利点がある。

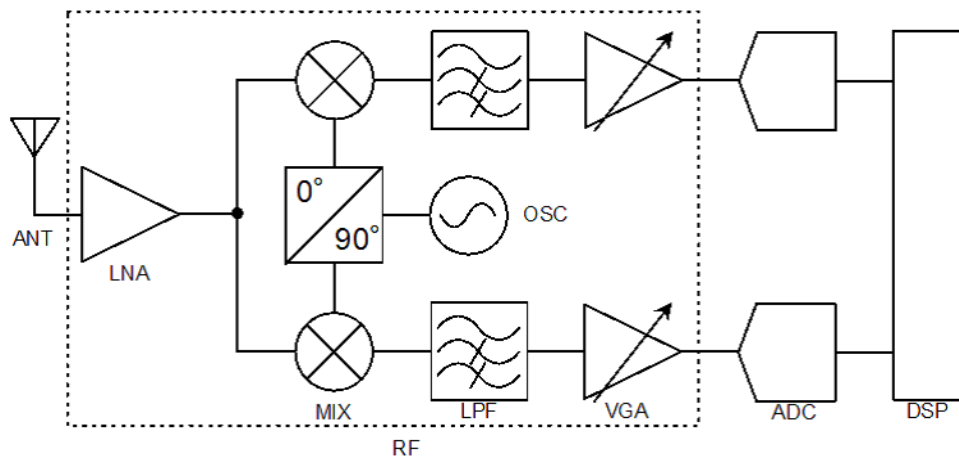


図 1 無線通信システムにおける受信 IC の一般的な構成 (ダイレクトコンバージョン受信機)

無線通信機器において、デジタル信号処理を実施するためには、アナログデジタル変換器 (A/D 変換器) を用いて、受信したアナログ信号をデジタル信号に置換する必要がある。

1 序論

図1は、一般的なトランシーバICにおける受信側の回路ブロックを示している。受信ICは、主に、アンテナ、高周波 (RF) 回路、A/D 変換器、デジタル信号処理回路 (DSP) で構成されている。

一般に、アンテナ (ANT) で受信したアナログ無線信号は、低雑音増幅器 (LNA)、周波数変換器 (MIX)、ローパスフィルタ (LPF)、可変利得増幅器 (VGA)、局部発信器 (OSC) などで構成される RF 回路での周波数変換やフィルタリング、信号増幅を経て A/D 変換器が扱いやすい信号振幅と直流付近の周波数帯域を持つベースバンドアナログ信号に変換される。ベースバンドアナログ信号は、A/D 変換器により、デジタル信号に変換される。変換後のデジタル信号は、デジタルシグナルプロセッサ (DSP) において各種の信号処理が実施される。

1.1.2 無線通信システムと伝送速度の変遷

無線通信機器で扱う情報量の増加に伴い、それを支える無線通信システムに対しては高速大容量化が求められている。

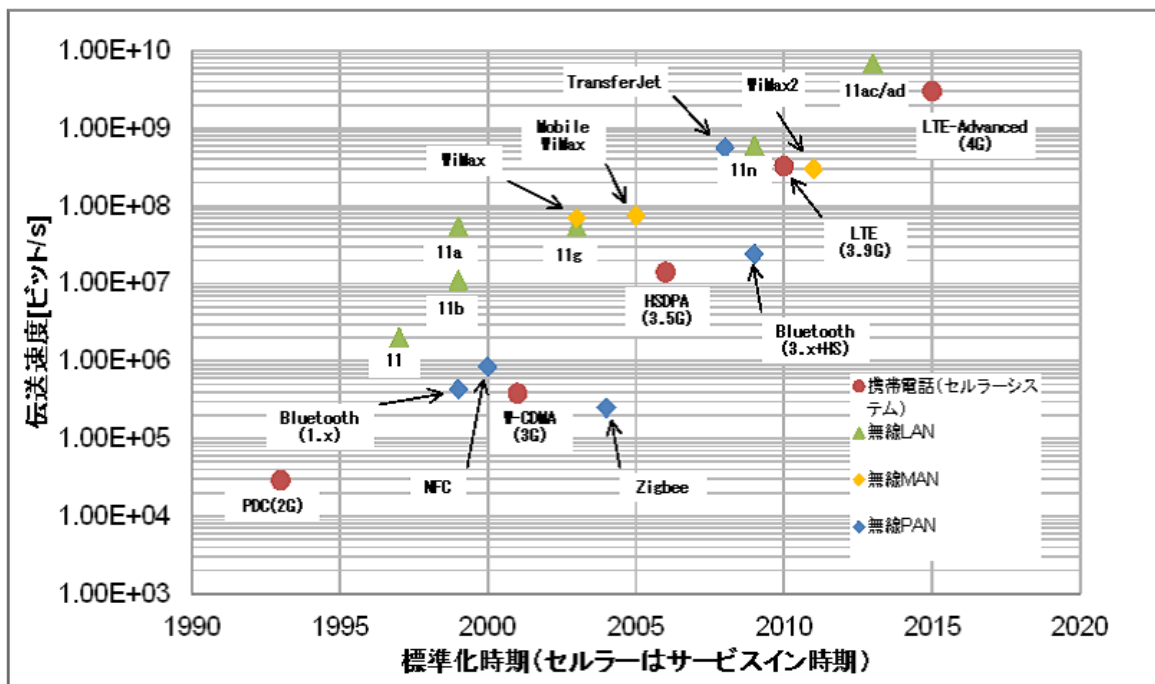


図2 無線通信システムと伝送速度の変遷 (規格上の最大伝送速度でプロット)

図2は、無線通信システムを通信範囲と伝送速度で分類したものである。通信範囲が広い携帯電話で採用するセルラーシステムでは、1990年代に利用されたPDCなどの第二

1 序論

世代や、2001年に世界に先駆けて日本でサービスが開始された [1] 伝送速度 384k ビット/s の W-CDMA などの第 3 世代から発展し、第 3.5 世代の HSDPA などを経て、現在では、伝送速度数十 M~300Mbit/s の LTE という高速無線通信規格が普及期を迎えている。さらに、次世代の LTE-Advanced では、最大 3Gbit/s という光ファイバーによる有線通信と同等の高速大容量無線通信システム構築が検討されている。

都市間など中長距離を無線で結ぶ無線 MAN(Metropolitan Area Network) については、最大伝送速度が約 60M ビット/s (ダウンロード時) の WiMax(IEEE802.16a) やモバイル WiMax(IEEE802.16e) などがすでに普及している。さらに、その後継規格で 2011 年に承認された WiMax2(IEEE802.16m) では、最大約 300M ビット/s の伝送速度を実現が目標として掲げられている。

100m 程度の範囲内での無線通信システムである無線 LAN(Local Area Network) では、2009 年に規格化された IEEE802.11n で最大 600M ビット/s が達成されている [2]。次世代の規格である IEEE802.11ac やミリ波帯を用いた IEEE802.11ad などでは、最大数 G ビット/s クラスの伝送速度実現が見込まれている。

カバー範囲が LAN よりも狭い無線 PAN(Personal Area Network) では、伝送速度数百 K ビット/s~数十 M ビット/s の Bluetooth が、ワイヤレスヘッドセットやワイヤレスマウスなどで利用されている。今後、データ量の大きな動画などの瞬時転送などを目的として開発された規格上の最大伝送速度が 560M ビット/s (実効 375M ビット/s) である TransferJet(TM)[3][4] を搭載した機器の製品化が進む見通しである。

1.1.3 無線通信用 A/D 変換器の課題

無線通信システムの高速大容量化実現のためには、A/D 変換器の高性能化が必須である。

高速大容量無線通信システム実現のための主な方法は、利用する無線周波数帯域の拡大と周波数利用効率の向上である。無線周波数帯域を広げることで、搬送波 (キャリア) に対する変調速度が向上し、単位時間あたりに送受信可能な情報量は増える。また、QAM(Quadrature Amplitude Modulation) に代表されるより複雑な変調方式を導入し、ある周波数の信号の振幅や位相を多値化することで、1 シンボルあたりの情報量を増やすことが出来る。

サンプリング定理より、A/D 変換器に入力するベースバンドアナログ信号の情報を変換後の出力デジタル信号から完全に復元するためには、A/D 変換器の動作速度をベースバンドアナログ信号周波数の少なくとも 2 倍より上げる必要がある。無線周波数帯域の拡大により、ベースバンドアナログ信号の帯域幅も拡大する。よって、利用する周波数帯域

1 序論

を拡大するためには、A/D 変換器の高速化が不可欠である。また、無線信号の振幅および位相が多値化されるほど、A/D 変換後のデジタル信号において区別しなければならない情報が増加し、結果、A/D 変換器に高分解能化が求められる。

さらに、無線通信システムでは、モバイル端末を用いて情報のやりとりをする場合が多い。これらのデバイスは、電源を電池に頼っていることから、動作電力低減による待ち受け時間の長時間化が課題であり、A/D 変換器にも低消費電力化が求められる。

加えて、半導体微細化技術の発展に伴い、回路の集積度は飛躍的に向上し、送受信に必要な RF 回路から DSP まで全てを 1 チップ化するシステムオンチップ (SoC) が一般的になってきている。また、微細化によるトランジスタのゲート耐圧低下に対応して、IC の電源電圧が下がってきている。一般に、デジタル回路の消費電力は、電源電圧の 2 乗に比例しているため、電源電圧の低下による低消費電力化が期待できる。しかしながら、オペアンプやコンパレータなどのアナログ回路で構成される A/D 変換器では、電源電圧低下につれ、回路内で扱われる信号電力が小さくなることで信号雑音比の低下に伴う分解能劣化や消費電力増加などのデメリットが発生しやすくなる。よって、低電源電圧下でも動作できる A/D 変換器の実現は、無線通信用 SoC 実現に欠かせない。

このように、無線通信用 A/D 変換器の要求される代表的な性能指標としては、

- ・動作速度
- ・分解能
- ・消費電力
- ・電源電圧

があり、それぞれ、高速化、高分解能化、低消費電力化、低電源電圧動作実現による性能向上が期待されている。

1 序論

1.1.4 A/D 変換器の性能と回路アーキテクチャ

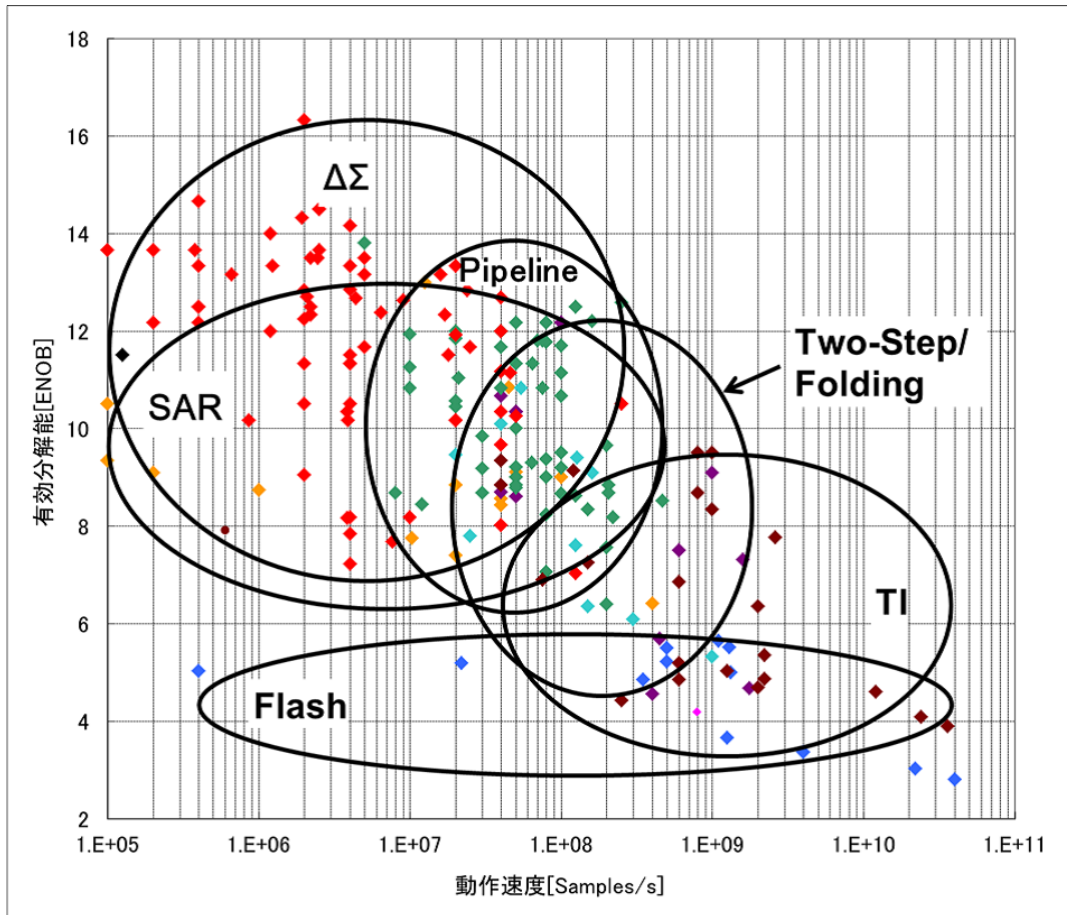


図3 過去発表された A/D 変換器の動作速度と分解能 (※ $\Delta\Sigma$ 型は、信号帯域の2倍を動作速度としてプロット)

A/D 変換器を実現するための回路アーキテクチャは多数存在する。それぞれに、高速動作が実現しやすいもの、高分解能化に適したものなど特徴がある。A/D 変換器開発においては、まず、開発する電子機器の仕様から A/D 変換器に要求される性能を実現しやすい回路アーキテクチャを選択する。

図3は、1997年～2011年にアナログ回路の主要学会である ISSCC (International Solid-State Circuit Conference) で報告された A/D 変換器を動作速度と有効ビット数という2つの性能指標についてプロットし、採用された回路アーキテクチャ別に分類したものである [5]。

1 序論

例えば、A/D 変換器に要求される動作速度が 1 ギガサンプル/秒 (GS/s) を超える場合、そのほとんどは、フラッシュ型 (Flash) か時分割多重型 (Time Interleave:TI) の回路アーキテクチャで実現されていることがわかる。これらの回路アーキテクチャを持つ A/D 変換器は、広い無線周波数を利用して高速大容量通信を実現するミリ波帯 (30GHz~300GHz) 帯の無線通信システムなどに利用される [6][7]。一方、動作速度は数十 MS/s 程度に限定されるものの、12bit を超える高分解能を実現する場合、主に $\Delta \Sigma$ 型が選択される場合が多い。 $\Delta \Sigma$ 型 A/D 変換器の無線通信システムへの利用例としては、数 100KHz ~ 数 MHz 程度の限られた狭い無線周波数で高度な変調方式を用いる GSM などの携帯電話システムなどが挙げられる [8][9]。また、100 メガサンプル/秒 (MS/s) 前後の動作速度と 8~12bit 程度の有効分解能については、ノイズシェーピング技術なしに所望分解能が得られるため、 $\Delta \Sigma$ 型よりも高速動作が実現しやすいパイプライン型 (Pipeline) や逐次比較型 (SAR) で実現される場合が多い。これらの A/D 変換器は、無線 LAN などを中心に多く採用されている [10]。Two-step 型や Folding 型は、数百 MS/s の動作速度と 8bit 程度前後の有効分解能を実現するのに用いられる場合が多い [11][12]。

このような性能の違いは、主に、A/D 変換器の回路アーキテクチャの違いに由来する。次節以降では、本論文で取り扱うフラッシュ型とパイプライン型の A/D 変換器を例として、回路アーキテクチャの違いと性能のトレードオフについて説明する。

1 序論

1.1.5 フラッシュ型 A/D 変換器

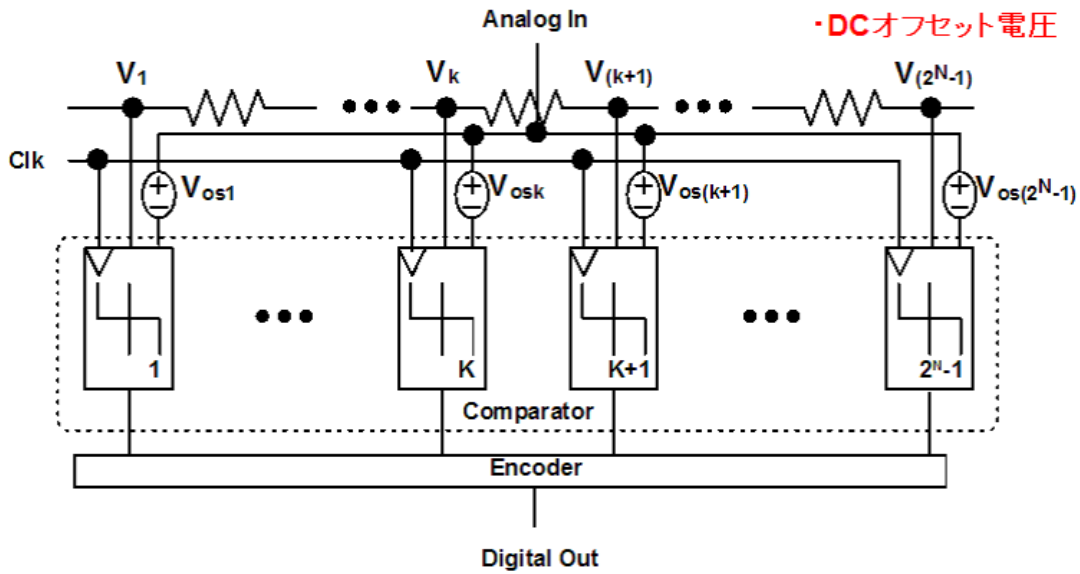


図 4 一般的なフラッシュ型 A/D 変換器

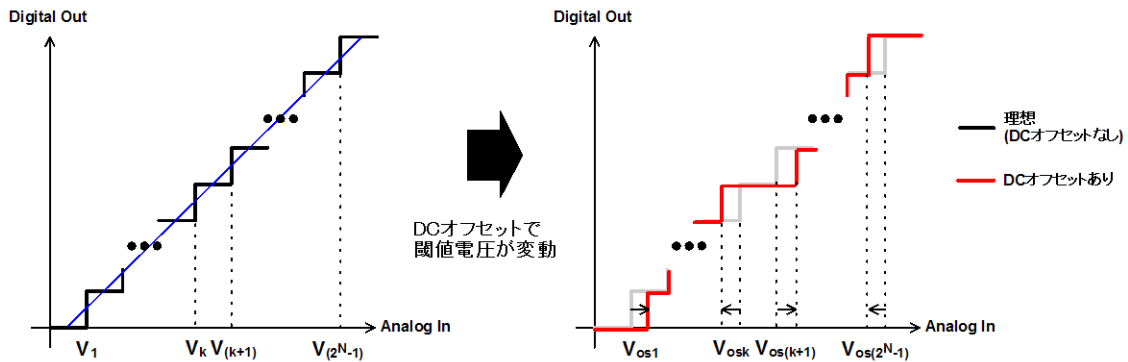


図 5 DC オフセット電圧による非線形誤差

図 4 は、一般的なフラッシュ型の回路アーキテクチャを示している。フラッシュ型は、 N bit の分解能を実現するために、 2^N-1 個のコンパレータ (Comparator) を並列に使用する。各コンパレータでは、入力アナログ信号電圧 (Analog In) と、抵抗列で発生された一定間隔を持つ参照電圧 ($V_1 \sim V_{2^N-1}$) が入力され、2 つの信号の大小がそれぞれ比較される。例えば、 $1 \sim K$ 番目のコンパレータ出力が High、 $K+1 \sim 2^N-1$ 番目のコンパレータ出

1 序論

力が Low の場合、入力アナログ信号電圧は、 K 番目と $K+1$ 番目の参照電圧の間にあると判別できる。この結果は、エンコーダ (Encoder) へ送られ、Nbit バイナリコードのデジタル信号などに変換され出力される。

フラッシュ型の特徴は、全てのコンパレータが共通のクロック信号 (Clk) により同時に動作することである。1 クロックで Nbit の A/D 変換を行うため、コンパレータが実現できる動作速度の上限まで A/D 変換器の動作速度を向上することが可能であり、高速動作に適している。しかしながら、分解能を 1bit 向上させようとする、必要なコンパレータ数が 2 倍となり、比例して、面積、消費電力が 2 倍になる。このように、フラッシュ型は分解能向上とともに面積が増大したり、電力効率が悪くなる欠点があるため、6bit 以下の分解能に限って利用される場合がほとんどである。

フラッシュ型 A/D 変換器を設計する際の課題は、コンパレータ等の DC オフセット電圧に起因した分解能劣化をいかに抑制しつつ、所望の動作速度を実現するかである。コンパレータを構成するトランジスタのプロセスバラつきにより、コンパレータの入力端子には DC オフセット電圧 (V_{os}) が発生する。これにより、A/D 変換器の伝達特性に非線形歪みが生じ、分解能が劣化する。図 5 は、DC オフセット電圧による非線形性を示した図である。左図に示される DC オフセット電圧がない理想的な条件においては、アナログ入力信号 (Analog In) は、等間隔で量子化され、デジタル出力信号 (Digital Out) に置換されるため、1 段あたりの幅がすべて等しくなる。このとき、伝達特性は直線で近似できる。一方、DC オフセット電圧がある場合、右図で示されるように、1 段あたりの幅が理想的な条件に比べて広がる (もしくは狭くなる)。これにより、伝達特性には非線形歪みが発生し、A/D 変換器の分解能が劣化する。

一般に、DC オフセット電圧は、トランジスタサイズの拡大により小さくできる。しかしながら、サイズの拡大は、トランジスタ寄生容量の増大を招き、結果として、動作速度が低下する欠点がある。この動作速度と分解能のトレードオフを緩和するためには、トランジスタサイズを変えずに DC オフセットを低減する技術の導入が重要である。すでに、DC オフセットに起因した誤差を近接するコンパレータ間で平均化することで DC オフセット電圧の影響を低減するアベレージング技術 [13][14][15][16] や、発生した DC オフセットを検出し打ち消す回路を追加することで DC オフセットを小さくする DC オフセット補正技術 [17][18][19][20] などが報告されているが、さらなる高性能化のためには新規の技術提案が必要である。

1.1.6 パイプライン型 A/D 変換器

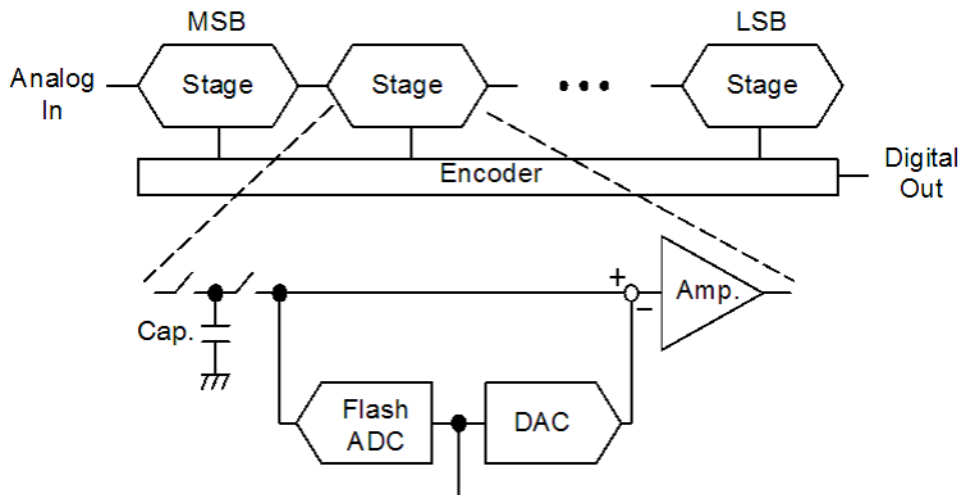


図6 一般的なパイプライン型 A/D 変換器

図6は、一般的なパイプライン型の回路アーキテクチャを示している。

パイプライン型では、変換ステージ (Stage) と呼ばれる 1~4bit 程度の分解能が低いフラッシュ型 A/D 変換器 (Flash ADC) を上位 bit (MSB) から下位 bit (LSB) まで縦列に接続した回路アーキテクチャを持つ。各変換ステージは、サンプルモードとホールドモードの2つを半クロックずつ繰り返す。サンプルモードでは、前段からの入力信号を容量 (Cap.) にサンプルする。ホールドモードでは、A/D 変換後の残余アナログ信号を増幅して後段へ出力する機能を有する。残余アナログ信号は、入力したアナログ信号と Flash ADC の出力デジタル信号を再び D/A 変換器 (DAC) でアナログ値に戻した信号との差である。

パイプライン型は、高速高精度化が比較的容易という特徴を持つ。基本的にコンパレータが1つしかなく、また、コンパレータの比較結果が定まるまで、次 bit のコンパレータの入力信号状態が定まらない SAR 型 A/D 変換器などと異なり、パイプライン型では、変換ステージそれぞれに独立したサンプル容量 (Cap.) とコンパレータを持ち、かつ、偶数段の変換ステージと奇数段の変換ステージの動作モードが互いに半クロックずれているため、複数のコンパレータが同時並列的に動作することが可能であり、高速化がしやすい。

また、冗長ビットを利用したエラー訂正技術 [21] を導入することで、コンパレータの

1 序論

DC オフセット電圧が A/D 変換器の分解能に与える影響を広範囲に取り除く事ができることや、Nbit の A/D 変換を実施するのに必要なコンパレータ数が N 個のオーダーであり、Flash 型に比べ分解能向上に伴うコンパレータの面積や電力の増加が緩やかであることから、必要に応じて変換ステージの数を増やすことにより高分解能化が実現できる。

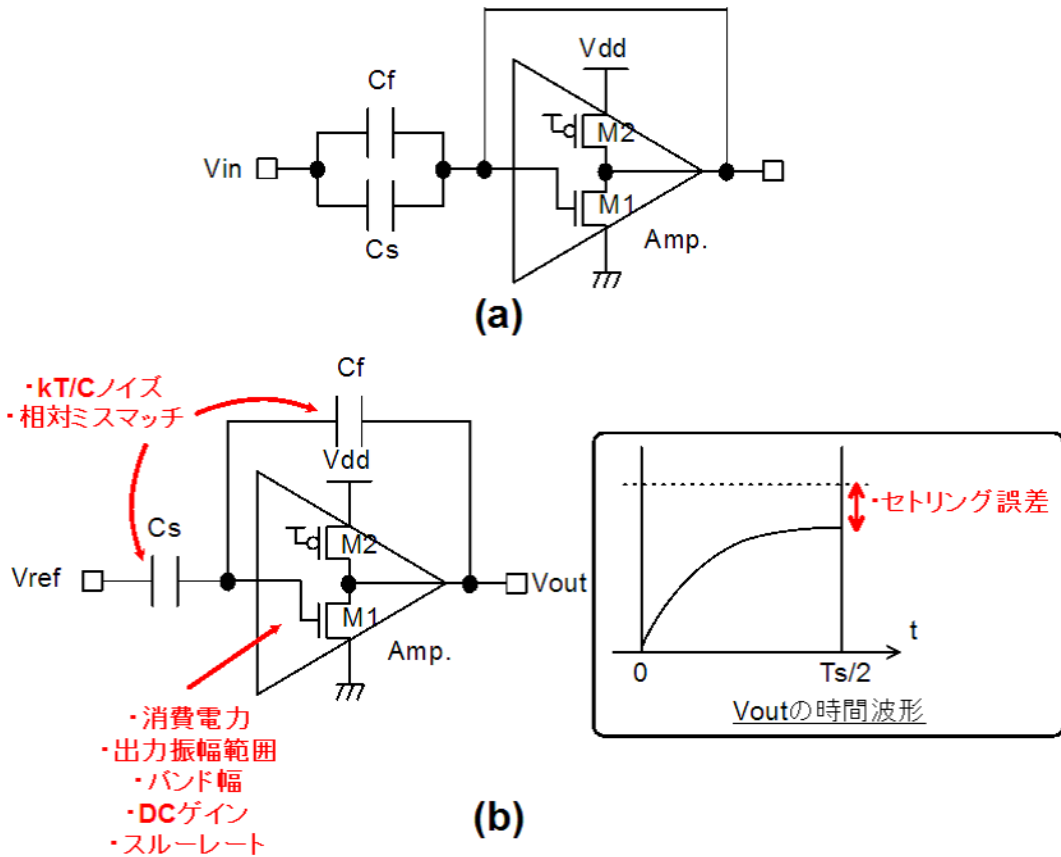


図7 一般的なパイプライン型 A/D 変換器のステージ構成

一方、パイプライン型の主な問題としては、容量ミスマッチやオペアンプの非理想的動作に起因した分解能劣化や、高速高分解能化に伴うオペアンプの消費電力増加などが挙げられる。

図7は、一般的なパイプライン型の変換ステージにおける回路構成を示している。パイプライン型の各変換ステージはスイッチトキャパシタ構成であり、オペアンプ (Amp.) と容量 (C_s , C_f) を用いて、アナログ信号を前段から後段の変換ステージへ必要な精度で伝達していく。1クロックの時間を T_s とする。

図7(a)は、サンプルモードを示している。前段の変換ステージからの入力信号 (V_{in}) が

1 序論

容量 C_s 、 C_f に入力される。図 7(b) は、ホールドモードを示している。このとき、容量 C_s の一端の電圧には参照電圧 V_{ref} が入力される。また、容量 C_f がオペアンプのフィードバックループに接続され、残余アナログ信号が増幅される。

ホールドモード時の出力アナログ信号 V_{out} について考慮する。図 7(b) の接続状態における V_{out} は、

$$V_{out} = \frac{C_f + C_s}{C_f} V_{in} - \frac{C_s}{C_f} V_{ref} \quad (1.1)$$

とかける。

容量ミスマッチがなく ($C_s = C_f$)、かつ、オペアンプが理想的な場合、 V_{out} は、

$$V_{out} = 2V_{in} - V_{ref} \quad (1.2)$$

となり、入力電圧 V_{in} のと参照電圧 V_{ref} の半分の差である残余アナログ信号が 2 倍に増幅され、次段に伝達される。

しかし実際には、プロセスばらつきにより、まったく同じ形状の容量を 2 つ配置しても、2 つの容量値には統計的な相対ミスマッチが生じ、 $C_s \neq C_f$ となる。このとき、式 (1.1) の V_{out} は、式 (1.2) に比べ、入力電圧 V_{in} や参照電圧 V_{ref} の利得が変化してしまう。これがパイプライン型 A/D 変換器の分解能を劣化させる一因となる。

一般に、容量の相対ミスマッチは、容量値の 2 乗根に反比例しており、要求される分解能を得るためには、相対ミスマッチの影響が無視できる程度まで容量値を増加する必要がある。しかしながら、容量値を増やすと、それを駆動するオペアンプの電流も増加しなければならない。パイプライン型では、オペアンプで消費される電力が支配的なため、この電流増加が A/D 全体の消費電力に与える影響は大きい。このように、容量値と消費電力はトレードオフの関係にあるため、最適化のためには、予め使用するプロセスの相対容量ミスマッチを把握し、所望分解能を確保できる最小の容量値で設計することが肝要である。

オペアンプの非理想的な動作に起因した誤差も発生する。例えば、オペアンプの DC ゲインは、理想的には無限大だが、現実には有限の値しか得ることができない。オペアンプの DC ゲインを A と置くと、式 (1.2) の V_{out} は、

$$V_{out} = \left(\frac{1}{1 + \frac{2}{A}} \right) (2V_{in} - V_{ref}) \quad (1.3)$$

となり、入力電圧 V_{in} や参照電圧 V_{ref} の利得が下がる。式 (1.3) から、出力電圧 V_{out} を、式 (1.2) で示される理想値に近づけるためには、オペアンプの DC ゲイン A を十分大きくする必要があることがわかる。

1 序論

オペアンプの DC ゲインは、 V_{out} の電圧によっても変化する。一般に、 V_{out} が電源電位 (Vdd) やグラウンド電位に近づくにつれ、オペアンプの DC ゲインが低下する傾向にある。これは、オペアンプの出力段を構成するトランジスタ M1 や M2 のドレイン-ソース間電圧が小さくなり、出力インピーダンスが下がることに起因している。したがって、出力電圧 V_{out} の振幅は、DC ゲインが十分確保できる範囲に限定して使用する必要がある。

出力電圧 V_{out} の振幅範囲は、消費電力と電源電圧の下限値、もしくは、消費電力と分解能に関するトレードオフと密接に関わっている。A/D 変換器で所望分解能を得るためには、信号雑音 (S/N) 比を一定以下にする必要がある。 V_{out} の振幅範囲が狭まると、回路内で扱える信号電力が小さくなるので、S/N 比を保つには、比例して、雑音電力も小さくしなければならない。

パイプライン型で発生する雑音は、通常、容量 C_s や C_f の kT/C ノイズが支配的である。例えば、出力振幅が半分になると、信号電力は $1/4$ になるので、 kT/C ノイズも $1/4$ に下げなければならない。容量値を 4 倍に大きくする必要がある。このとき、動作速度を一定に保つためには、容量への充放電速度を 4 倍にする必要が生じ、これを単純なスケールアップで実現できたとしても、オペアンプの消費電力が 4 倍に増加してしまう。また、近年の CMOS プロセス微細化技術の発展に伴い、トランジスタの耐圧が低下してきており、それに伴い、使用できる電源電圧が下がってきている。電源電圧の低下は、DC ゲインが確保できるオペアンプの出力振幅範囲を狭めるため、S/N 比を維持するためには、やはり容量値を増やさなければならない。消費電力が増加する。さらに、 V_{out} の出力振幅範囲が一定でも、分解能を 1bit 増加したい場合は、S/N 比を 6dB 増加しなければならない。やはりオペアンプの消費電力が増加する。このことから、回路構成の工夫により、オペアンプの出力振幅範囲を可能な限り広くとり、容量値が小さくても所望 S/N 比が確保できるようにすることが重要である。

オペアンプの非理想的な過渡応答に起因した誤差が発生する。図 7(b) に、オペアンプの出力アナログ信号 V_{out} の時間波形の一例を示す。点線で示される電圧は、オペアンプの出力が定常状態に達した場合の電圧を示している。ホールドモード時、オペアンプは次段の容量に対して、半クロック ($T_s/2$) 以内に信号を充放電する必要がある。この充放電速度は、主に、オペアンプのバンド幅、および、オペアンプの出力可能な電流値と負荷容量の大きさの比であるスルーレートで定まる。オペアンプのバンド幅やスルーレートが不十分だと、定常状態からの誤差であるセトリング誤差が増加し、A/D 変換器の分解能が劣化する。よって、所望の分解能を得るためには、セトリング誤差が十分小さくなるようにオペアンプを設計する必要がある。

このことが、高速高精度化と消費電力のトレードオフに直結する。高速化するにつれ、

1 序論

1 クロックあたりの時間 T_s が短くなる。セトリング誤差が一定の場合、 T_s が短くなるにつれ、充放電速度を上げる必要が生ずる。充放電速度を向上するには、オペアンプのバンド幅を拡大したり、スルーレートを大きくしなければならず、消費電力が増加する。また、分解能を向上するためには、セトリング誤差を小さくしなければならない。これも充放電速度を上げることで達成されるため、オペアンプの消費電力が増加する。

以上のように、パイプライン型では、オペアンプに求められる性能が多岐に及んでいることから、オペアンプで達成できる充放電速度がコンパレータの動作速度よりも低くなり、100MS/s オーダーの動作速度で用いられる場合が多い。また、パイプライン型を $\Delta\Sigma$ 型並みの高分解能で利用するには、消費電力面で課題が多く、通常は、分解能と消費電力のバランスがとりやすい 8~12bit での利用が多い。

1.2 研究の目的と概要

本論文では、無線通信システム用 A/D 変換器の高速化／高分解能化／低消費電力化／低電源電圧化、ならびに、そのトレードオフ緩和による性能向上を目的とする。

第 3 章では、容量の相対ミスマッチに関する新たな測定手法を提案する。1.1.6 で議論したように、パイプライン型では使用する容量の容量値により分解能と消費電力のトレードオフが存在する。このトレードオフ緩和にあたっては、設計で使用するプロセスにおける容量の相対ミスマッチを事前に把握することが重要である。しかしながら、10bit クラスの A/D 変換器を実現するために要求される相対容量誤差は非常に小さく、従来、その測定には高価な測定器が必要になるという問題があった。これを、スイッチトキャパシタ構成の相対容量誤差測定回路を用いることで、安価な測定器のみでも精度よく測定できるようにした。本章では、その動作原理、測定結果等について述べる。

第 4 章では、パイプライン型 A/D 変換器のオペアンプ電力削減技術に関する比較検討結果について述べる。1.1.3 に記載したように、モバイル用途が多い無線通信システム端末においては、送受信器の低消費電力化が重要である。パイプライン型では、電力の大半を消費するオペアンプの電力削減をいかに実施するかが低消費電力化のキーポイントである。本章では、有効なオペアンプ低消費電力化手法であるソース接地型擬似差動構成アンプを用いる技術と、1つのアンプを前後の変換ステージで共用化するアンプシェアリング技術の2つの電力削減効果について理論検討を実施し、アンプシェアリング技術の優位性を導く。また、試作による検証を通じて、その電力削減効果について考察する。本章を通じて、パイプライン型 A/D 変換器の電力削減のためには、アンプシェアリング技術の採用が有利であることが理解される。

1 序論

第5章では、パイプライン型 A/D 変換器のオペアンプ電力を削減するための最適変換ステージ構成を検討するための新たな手法について提案する。パイプライン型では、各変換ステージに割り当てるビット数に応じて、A/D 変換器として必要なオペアンプ数、各変換ステージのオペアンプの許容セトリング誤差、サンプル容量の容量値などが変化し、結果として、全オペアンプの合計消費電流が異なってくる。よって、低消費電力化のためには、オペアンプの電力を最小化できる最適な変換ステージ構成を採用することが有利である。この最適ステージ構成については、従来、オペアンプのバンド幅のみを考慮した線形モデルで議論がされていた。この章では、従来手法に代え、オペアンプのスルーレートをも考慮に入れた非線形モデルから、最もオペアンプ電力が少なくできる変換ステージ構成を導く手法を提案する。また、提案手法を使って導いた変換ステージ構成を採用した試作を実施し、他研究機関の試作結果と比較して手法の妥当性を示す。

第6章では、パイプライン型 A/D 変換器の消費電力削減と高分解能の両立できる技術の提案を行う。第4章や第5章よりも分解能が高い 12bit の分解能を、無線端末で利用可能な 100mW 程度の消費電力で実現することを目的とする。1.1.3 で述べたように、分解能と消費電力はトレードオフの関係にあるため、目標達成のためには、低消費電力化技術の導入によるトレードオフの緩和が重要であり、特に、電力の大半を消費するオペアンプに対する低消費電力化が必須である。本研究では、オペアンプの低消費電力化を実現するため、オペアンプ電力最適化のための変換ステージ構成と I/Q アンプシェアリング技術を用いた方法を提案し、オペアンプの利用効率を向上して低消費電力化を図る。また同時に、電力の大半を消費する S/H 回路と初段の変換ステージにソース接地型擬似差動構成アンプを用いることで、従来よりアンプそのものの電力効率を高め、電力を削減する技術を提案する。

第7章では、パイプライン型 A/D 変換器の低電源電圧化技術について述べる。第??章で採用した方法では、オペアンプの出力振幅範囲を狭めなければ、同相信号の累積的なオフセットを完全に解消することができず、そのことが低電源電圧下の妨げになっていた。本章では、この問題を解決するために、2 段の利得段を持つフィードバック型の同相電圧調節回路を提案する。提案回路の採用により、ソース接地型擬似差動構成アンプの出力同相電圧を安定化することで、オペアンプの出力振幅範囲を以前より広く使えるようになり、0.9V の低電源電圧下においても、所望の分解能が確保できるようになった。

第8章では、A/D 変換器の高速化ならびに低電源電圧動作技術を提案する。本章の課題は、ミリ波帯の周波数を用いた無線通信システムで必要とされる 3GS/s の超高速動作下における低電源電圧動作、分解能の改善、低消費電力化である。低電源電圧下では、トランジスタのトランスコンダクタンス（電圧電流変換比）などの低下により、コンパレー

1 序論

タの動作速度が低下する傾向にある。また、信号振幅の低下により、コンパレータの DC オフセット電圧に起因した分解能劣化が著しくなる。この 2 つを改善できる新たな DC オフセット補正技術を提案する。提案技術では、補正順序の工夫により、コンパレータの入力同相電圧が高く維持することで必要なコンパレータの動作速度を確保すると同時に、効率的にプリアンプを利用することで、補正後の残留 DC オフセット電圧の入力換算値と小さくできるようになり、分解能向上と消費電力増加を抑制できるようになった。試作の結果、1V の低電源電圧下において、従来比トップレベルの電力効率を達成した。

参考文献

- [1] *RFワールド*. CQ 出版社, 2008, no. 2.
- [2] 勝部泰弘, 庄木裕樹, “進化を続ける無線ネットワーク技術と応用サービスの新展開,” *東芝レビュー*, vol. 66, no. 4, pp. 2–6, 2011.
- [3] M. Tamura, F. Kondo, K. Watanabe, Y. Aoki, Y. Shinohe, K. Uchino, Y. Hashimoto, F. Nishiyama, H. Miyachi, I. Nagase, I. Uezono, R. Hisamura, and I. Maekawa, “A 1V 357Mb/s-throughput transferjet(TM) SoC with embedded transceiver and digital baseband in 90nm CMOS,” in *ISSCC Dig. Tech. Papers*, pp. 440–442, Feb. 2012.
- [4] D. Miyashita, K. Agawa, H. Kajihara, K. Sami, M. Iwanaga, Y. Ogasawara, T. Ito, D. Kurose, N. Koide, T. Hashimoto, H. Sakurai, T. Yamaji, T. Kurihara, K. Sato, I. Seto, H. Yoshida, R. Fujimoto, and Y. Unekawa, “A -70dBm-Sensitivity 522Mbps 0.19nJ/bit-TX 0.43nJ/bit-RX Transceiver for Transfer-Jet(TM) SoC in 65nm CMOS,” in *VLSI Circuits Symp. Dig. Tech. Papers*, pp. 74–75, Jun. 2012.
- [5] B. Murmann, “ADC Performancy Survey(rev20110620),” <http://www.stanford.edu/~murmman/adcsurvey.html>.
- [6] T. Mitomo, Y. Tsutsumi, H. Hoshino, M. Hosoya, T. Wang, Y. Tsubouchi, R. Tachibana, A. Sai, Y. Kobayashi, D. Kurose, T. Ito, K. Ban, T. Tandai, and T. Tomizawa, “A 2Gb/s-Throughput CMOS Transceiver Chipset with In-Package Antenna for 60GHz Short-Range Wireless Communication,” in *ISSCC Dig. Tech. Papers*, pp. 266–267, Feb. 2012.
- [7] K. Okada, K. Kondou, M. Miyahara, M. Shinagawa, H. Asada, R. Minami, T. Yamaguchi, A. Musa, Y. Tsukui, Y. Asakura, S. Tamonoki, H. Yamagishi, Y. Hino, T. Sato, H. Sakaguchi, N. Shimasaki, T. Ito, Y. Takeuchi, N. Li, Q. Bu, R. Murakami, K. Bunsen, K. Matsushita, M. Noda, and A. Matsuzawa, “A Full 4-Channel 6.3Gb/s 60GHz Direct-Conversion Transceiver with Low-Power Analog and Digital Baseband Circuitry,” in *Proc. of ISSCC Dig. Tech. Papers*, pp. 218–219, Feb. 2012.
- [8] A. Nagari, A. Mecchia, E. Viani, S. Pernici, P. Confalonieri, and G. Nicollini, “A 2.7-V 11.8-mW Baseband ADC With 72-dB Dynamic Range for GSM Applica-

- tions,” *IEEE J. of Solid-State Circuits*, pp. 798–806, Jun. 2000.
- [9] L. Bos, G. Vandersteen, P. Rombouts, A. Geis, A. Morgado, Y. Rolain, G. van der Plas, and J. Ryckaert, “Multirate Cascaded Discrete-Time Low-Pass $\Delta\Sigma$ Modulator for GSM/Bluetooth/UMTS,” *IEEE J. of Solid-State Circuits*, pp. 1198–1208, Jun. 2010.
- [10] K. Gulati, M. S. Peng, A. Pulincherry, C. E. Muñoz, M. Lugin, A. R. Bugeja, J. Li, and A. P. Chandrakasan, “A Highly Integrated CMOS Analog Baseband Transceiver With 180 MSPS 13-bit Pipelined CMOS ADC and Dual 12-bit DACs,” *IEEE J. of Solid-State Circuits*, pp. 1856–1866, Aug. 2006.
- [11] G. Geelen and E. Paulus, “An 8b 600MS/s 200mW CMOS Folding A/D Converter Using an Amplifier Preset Technique,” in *Proc. of ISSCC Dig. Tech. Papers*, pp. 254–255, Feb. 2004.
- [12] Y. Shimizu, S. Murayama, K. Kudoh, and H. Yatsuda, “A Split-Load Interpolation-Amplifier-Array 300MS/s 8b Subranging ADC in 90nm CMOS,” in *Proc. of ISSCC Dig. Tech. Papers*, pp. 552–553, Feb. 2008.
- [13] K. Bult and A. Buchwald, “An Embedded 240-mW 10-b 50-MS/s CMOS ADC in 1- mm^2 ,” *IEEE J. of Solid-State Circuits*, vol. 32, pp. 1887–1895, Dec. 1997.
- [14] H. Pan and A. A. Abidi, “Spatial Filtering in Flash A/D Converters,” *IEEE Trans. Circuits and Syst. II*, vol. 50, pp. 424–436, Aug. 2003.
- [15] Y.-Z. Lin, Y.-T. Liu, and S.-J. Chang, “A 5-bit 4.2-GS/s Flash ADC in 0.13- μm CMOS,” in *Proc. IEEE Custom Integrated Circuits Conf.*, pp. 213–216, Sep. 2007.
- [16] K. Deguchi, N. Suwa, M. Ito, T. Kumamoto, and T. Miki, “A 6-bit 3.5-GS/s 0.9-V 98-mW Flash ADC in 90-nm CMOS,” *IEEE J. of Solid-State Circuits*, vol. 43, pp. 2303–2310, Oct. 2008.
- [17] T. Ito and T. Itakura, “A 3-GS/s 5-bit 36-mW Flash ADC in 65-nm CMOS,” in *Proc. of IEEE Asian Solid-State Circuits Conf.*, pp. 181–184, Nov. 2010.
- [18] S. Park, Y. Palaskas, A. Ravi, R. E. Bishop, and M. P. Flynn, “A 3.5-GS/s 5-b Flash ADC in 90 nm CMOS,” in *Proc. IEEE Custom Integrated Circuits Conf.*, pp. 489–492, Sep. 2006.
- [19] M. Kijima, K. Ito, K. Kamei, and S. Tsukamoto, “A 6b 3GS/s Flash ADC with Background Calibration,” in *Proc. IEEE Custom Integrated Circuits Conf.*, pp. 283–286, Sep. 2009.

- [20] Y. Nakajima, A. Sakaguchi, T. Ohkido, N. Kato, T. Matsumoto, and M. Yotsuyanagi, "A Background Self-Calibrated 6b 2.7GS/s ADC With Cascade-Calibrated Folding-Interpolating Architecture," *IEEE J. of Solid-State Circuits*, pp. 707–718, Apr. 2010.
- [21] S. H. Lewis, H. S. Fetterman, J. G. F. Gross, R. Ramachandran, and T. R. Viswanathan, "A 10-b 20-Msample / s Analog-to-Digital Converter," *IEEE J. of Solid-State Circuits*, pp. 351–358, Mar. 1992.

2 A/D 変換器の性能指標

A/D 変換器の性能を比較する際に用いられる主な性能指標として、SNR/SNDR(ENOB) や SFDR の AC 特性、微分非直線性/積分比直線性 (DNL/INL) の DC 特性がある。また、動作速度と有効分解能、消費電力の 3 つで定められる FoM がある。

本章では、最初に A/D 変換に伴い発生する量子化誤差と、量子化誤差のみを考慮した理想的な A/D 変換器の信号雑音比について述べる。続いて、上記の性能指標の算出方法について説明する。

2.1 量子化誤差と理想的な A/D 変換器の信号雑音比

Nbit の A/D 変換器では、入力アナログ信号を出力可能な 2^N 個のデジタルコードのうち、最も近い値に変換する。デジタルコードは、とびとびの値を持つ離散的な値であるため、連続的な入力アナログ信号の値との間に誤差を生ずる。これを量子化誤差と呼ぶ。量子化誤差は、回路内で一切の雑音や非線形歪みの生じない理想的な A/D 変換器にも発生し、出力デジタルコードの信号雑音比に上限を与える。

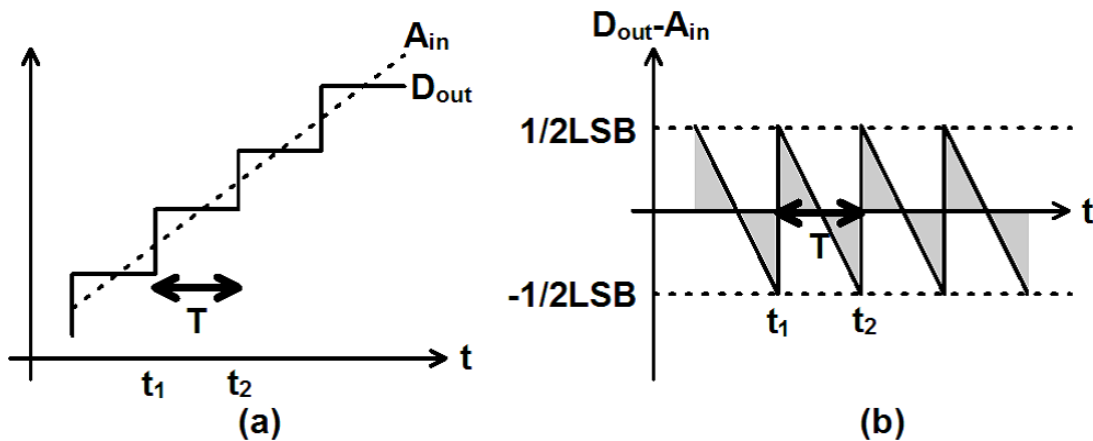


図8 ランプ波入力時の A/D 変換結果 (a) 入出力波形 (b) 量子化誤差

図8は、理想 A/D 変換器にランプ波が入力した場合の入出力波形と量子化誤差 Q_n の大きさを表す。

図8(a) の A_{in} はランプ波入力、 D_{out} は、A/D 変換後の出力デジタルコードを A_{in} と同じフルスケールを持つアナログ信号に換算したときの値を示す。量子化誤差は、 $Q_n = D_{out} - A_{in}$ と計算される。図8(b) は、量子化誤差 Q_n の大きさを示している。1

2 A/D 変換器の性能指標

つのデジタルコード内において、量子化誤差の大きさは $1/2LSB$ から $-1/2LSB$ まで線形に変化する。この変化がデジタルコードが 1 つ大きくなるたびに合計 2^N 回繰り返される。

量子化誤差の 2 乗平均値 $Q_{n(rms)}$ を計算する。図 8(b) は、同じ波形の繰り返しであり、A/D 変換器全体の $Q_{n(rms)}$ と 1 つのデジタルコード内における $Q_{n(rms)}$ は一致する。そのため、ある 1 つのデジタルコード内での $Q_{n(rms)}$ について考えれば十分である。

図 8(b) に示すように、A/D 変換器の出力デジタルコードが 1 つ変化した時間を t_1 、次のデジタルコードに変化する時間を t_2 とする。また、1LSB の大きさを V_{LSB} とする。

このとき、量子化誤差の大きさ Q_n は、

$$Q_n = \frac{t_2 + t_1}{2T} V_{LSB} - \frac{V_{LSB}}{T} t \quad (t_1 \leq t \leq t_2) \quad (2.1)$$

とかける。

式 (2.1) から、量子化誤差の 2 乗平均値 $Q_{n(rms)}$ は、

$$\begin{aligned} Q_{n(rms)} &= \sqrt{\left[\frac{1}{T} \int_{t_1}^{t_2} Q_n^2 dt \right]} \\ &= \sqrt{\left[\frac{1}{T} \int_{-T/2}^{T/2} V_{LSB}^2 \left(\frac{-t}{T} \right)^2 dt \right]} \\ &= \frac{V_{LSB}}{\sqrt{12}} \end{aligned} \quad (2.2)$$

と計算される。

理想 Nbit の A/D 変換器について、その信号雑音比 (Signal to Noise Ratio:SNR) を考える。一般的に、A/D 変換器の性能指標としては、シングルトーンのサイン波がフルスケール入力した場合の SNR が用いられる。

Nbit の A/D 変換器へフルスケール入力したサイン波の信号電力の 2 乗平均値 $V_{sin(rms)}$ は、

$$V_{sin(rms)} = \frac{2^N V_{LSB}}{2\sqrt{2}} \quad (2.3)$$

である。

2 A/D 変換器の性能指標

(2.2) 式と (2.3) 式から、理想的な Nbit の A/D 変換器における SNR は、

$$\begin{aligned} SNR[dB] &= 20 \log_{10} \left(\frac{V_{sin(rms)}}{Q_{n(rms)}} \right) \\ &= 20 \log_{10} \left(\frac{\frac{2^N V_{LSB}}{2\sqrt{2}}}{\frac{V_{LSB}}{\sqrt{12}}} \right) \\ &= 6.02N + 1.76 \end{aligned} \quad (2.4)$$

と計算される。

2.2 SNDR(ENOB)/SNR/SFDR

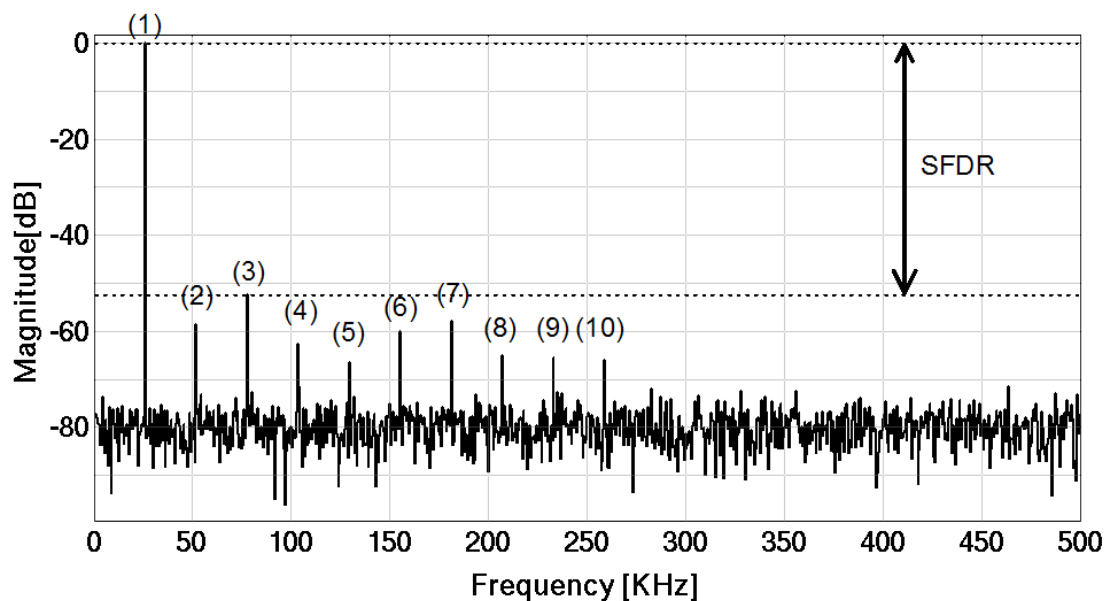


図9 周波数スペクトラムの例

A/D 変換器の最も重要な性能の一つに分解能がある。

実際の A/D 変換器の分解能は、回路内で発生する雑音や非線形性に起因した誤差などに起因して、(2.4) 式にて与えられる理想 SNR より劣化する。このような劣化を考慮した A/D 変換器の分解能は、有効ビット数 ENOB(Effective Number of Bits) で表現される。

ENOB は、非線形歪みを含んだ信号雑音比 SNDR(Signal to Noise and Distortion

2 A/D 変換器の性能指標

Ratio) の実測値を (2.4) 式の SNR として代入したときのビット数 N の値であり、

$$ENOB = \frac{SNDR[dB] - 1.76}{6.02} \quad (2.5)$$

と計算される。

SNDR は、通常、実測において、A/D 変換器にシングルトーンのサイン波をフルスケール入力し、得られた出力デジタル信号をフーリエ変換した周波数スペクトラムから計算される。図 9 は、周波数スペクトラムの例である。横軸は信号周波数、縦軸はその周波数における電力を示す。また、(1) は入力サイン波の信号電力、(2)~(10) は、 N 次 ($N=2 \sim 10$) 高調波のスペリアスを示す。SNDR は、信号電力 (1) とそれ以外の電力との比で計算される。

SNDR は、A/D 変換器で発生する雑音や非線形性などの非理想特性を全て含んだ指標である。雑音や非線形性の各々が分解能に与える影響を調べるには信号雑音比 SNR(Signal-to-Noise Ratio) や全高調波歪み THD(Total Harmonic Distortion) が利用される。これらの指標も周波数スペクトラムから計算される。

SNR は、雑音が分解能に与える影響を示す指標であり、SNDR から非線形歪みの影響で発生するスペリアスの電力を取り除いたものである。通常、スペリアスとして扱われるのは、2 次~10 次高調波であり、それ以外は雑音として扱われる。つまり、SNR は、SNDR から図 9(2)~(10) の電力を減算して得られる。反対に、THD は、非線形歪みが分解能に与える影響を示す指標であり、信号電力 (1) とスペリアス電力 (2)~(10) の合計との比の逆数で計算される。

また、搬送波の最小電力と妨害波の最大電力との区別が必要な通信用途においては、SFDR(Spurious Free Dynamic Range) が重要視される場合が多い。図 9 に示されるように、SFDR は、信号電力と最大スペリアス電力との比で計算される SFDR 計算時のスペリアス電力としては、入力信号の高調波のみに限定されない。また、SFDR の単位は、搬送波 (Carrier) を 0dB とした dBc が多用される。

2.3 Figure of Merit(FoM)

動作速度、分解能、消費電力などの要求仕様は、採用されるアプリケーションによって大きく異なるため、A/D 変換器の性能を比較する指標として FoM(Figure of Merit) がよく用いられる [1]。FoM は、A/D 変換器の動作速度 f_{samp} 、有効ビット数 ENOB、消費

2 A/D 変換器の性能指標

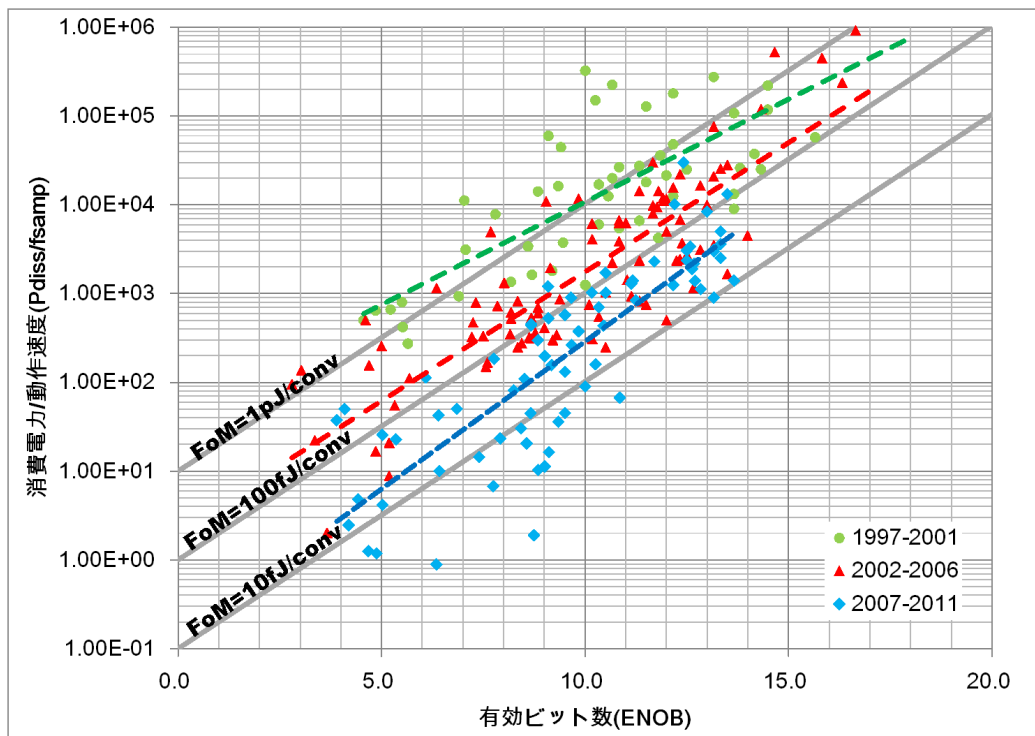


図 10 FoM(ISSCC1997-2001) ※ $\Delta \Sigma$ 型の動作速度は信号帯域 $\times 2$

電力 P_{diss} の 3 つから計算され、

$$FoM = \frac{P_{diss}}{f_{samp} 2^{ENOB}} [J/conv] \quad (2.6)$$

と定義される。

FoM の単位は $[J/conv]$ であり、動作速度と分解能 (2 の有効ビット数乗) の積で表される性能を実現するために A/D 変換器に必要な消費電力を示している。FoM の数値が小さいほど、一定の性能実現に要する消費電力が少なく高性能と言える。

図 10 は、国際学会 ISSCC で 1997 年～2001 年の 15 年間に報告された A/D 変換器の性能を、横軸に有効ビット数 (ENOB)、縦軸に消費電力と動作速度の比 (P_{diss}/f_{samp}) をとってプロットしたものである [2]。図 10 では、発表年を 5 年ごとに区切り、各年代別に分類した。点線は、各年代のデータの近似曲線を示す。FoM が一定となる線を斜線で示した。この図においては、プロットしたデータが右下へ行くほど、FoM が小さくなり、A/D 変換器が高性能であることを示している。

図 10 から、年代が進むごとに A/D 変換器の FoM は徐々に小さくなり、すなわち、高性能化してきていることがわかる。

2.4 DNL/INL

微分非直線性 (Differential Nonlinearity:DNL) は、あるデジタルコードをその前後のデジタルコードに 1bit 変化させるために必要な入力アナログ信号の大きさを示している。積分非直線性 (Integral Nonlinearity:INL) は、DNL の積分であり、A/D 変換器の理想的な伝達曲線 (transfer curve) と実際の伝達曲線との最大誤差量を把握するのに利用される。通常、DNL/INL は、LSB 単位で表される。また、A/D 変換器の性能表やデータシート等でみられる DNL/INL の数値は、DNL/INL の最大変動幅である。

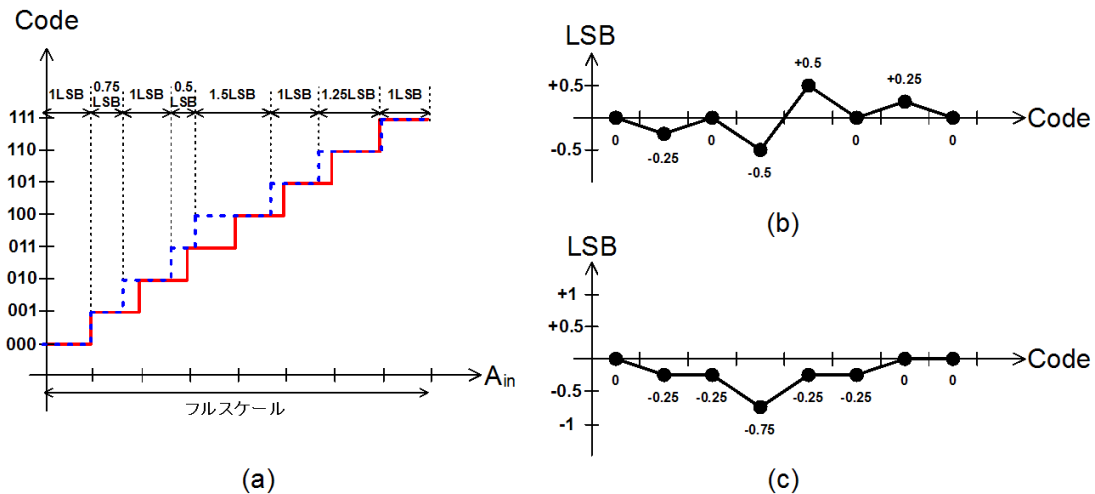


図 11 3bit A/D 変換器に関する DNL/INL の説明図 (a) A/D 変換器の伝達曲線 (transfer curve) (b) DNL (c) INL

図 11 は、ある 3bit の A/D 変換器に関する DNL/INL の説明図である。図 11(a) は、伝達曲線を示す。横軸が入力アナログ信号 (A_{in})、縦軸が出力デジタルコード (Code) をそれぞれ表す。実線の理想 3bit の場合、 A_{in} が 1LSB 大きくなるごとに全てのコードが 1bit ずつ増える。しかし、実際の A/D 変換器では、点線のように、Code を 1bit 増加させるために必要な A_{in} の大きさが 1LSB から変化する。この変化量が DNL である。DNL は、Code を 1bit 変化させる必要な A_{in} の大きさを $\Delta(A_{in})$ とすると、

$$DNL = (\Delta(A_{in}) - 1)LSB \quad (2.7)$$

で定義される。すなわち、 $\Delta(A_{in})=1LSB$ の理想 A/D 変換器では、 $DNL=0$ である。

図 11(b)(c) は、図 11(a) の伝達曲線から得られた各 Code の $\Delta(A_{in})$ を (2.7) 式に代入して求めた DNL と、その積分値である INL をプロットしたものである。図 11(b)(c)

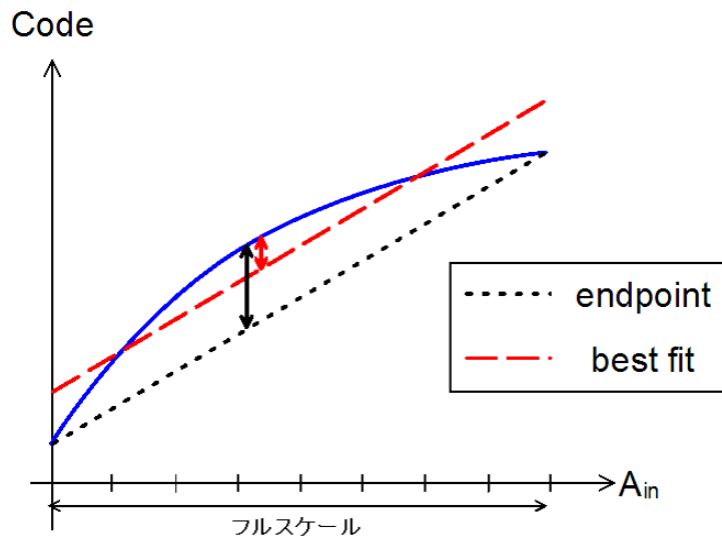


図 12 INL の計算方法について

から、点線で示される A/D 変換器の DNL/INL の最大変動幅が、 $DNL=+0.5LSB/-0.5LSB$ 、 $INL=0LSB/-0.75LSB$ と把握できる。一般に、DNL/INL の数値が小さいほど A/D 変換器の線形性がよく高分解能である。

INL の計算方法については、大きく分けてエンドポイント (endpoint) 法とベストフィット (best fit) 法の 2 通り存在する。図 12 は、INL の計算方法を図示したものである。実線は伝達曲線を示す。エンドポイント法では、伝達曲線の両端を結んだ直線との距離で INL を計算する。一方、ベストフィット法では、伝達曲線との 2 乗平均値が最小となる近似直線からの距離として INL が計算される。このときの近似曲線の傾きおよび $A_{in}=0$ 時の出力は、A/D 変換器の利得およびオフセット電圧を表している。よって、ベストフィット法で求められた INL は、オフセット誤差と利得誤差の影響を取り除いた後の直線性を示している。

本論文の A/D 変換器の性能表で示される DNL/INL は、全てベストフィット法で計算されている。

参考文献

- [1] R. H. Walden, "Analog-to-Digital Converter Survey and Analysis," *IEEE J. of Selected Areas in Communications*, pp. 539–550, Apr. 1999.
- [2] B. Murmann, "ADC Performancy Survey(rev20110620)," <http://www.stanford.edu/~murmman/adcsurvey.html>.

3 サンプリングキャパシタの相対ミスマッチ測定回路

3.1 はじめに

パイプライン型 A/D 変換器において、分解能を劣化させる主な要因の 1 つは、各変換ステージの内部で D/A 変換器として用いる複数のキャパシタ間の相対ミスマッチに起因した利得誤差である [1]。

相対ミスマッチを減らす方法の 1 つは、キャパシタのサイズを大きくすることである。例えば、容量値 C_u を持つキャパシタの容量値の標準偏差を σ_u とすると、ミスマッチは、 σ_u/C_u となる。このとき、キャパシタサイズを 2 倍にすると、容量値とその標準偏差はそれぞれ、 $2C_u$ 、 $\sqrt{2}\sigma_u$ なので、ミスマッチは $\sqrt{2}\sigma_u/2C_u$ であり、キャパシタサイズを大きくする前に比べて減少する。

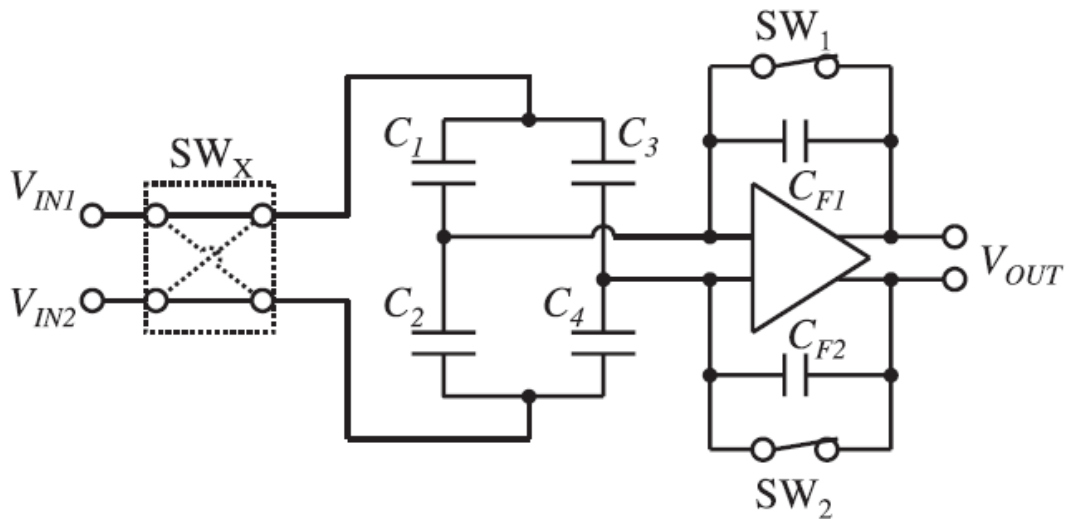
しかしながら、キャパシタサイズを大きくするにつれ、各変換ステージにおいて、キャパシタに信号を充放電するために用いるオペアンプの消費電流が増加してしまう欠点がある。一般に、パイプライン型 A/D 変換器においては、オペアンプで消費される電力が支配的であるので、キャパシタサイズが A/D 変換器の電力効率に対する影響は深刻である。

したがって、パイプライン A/D 変換器において、システム等から要求される分解能を満足しつつ消費電力を低減するためには、キャパシタサイズの最適化が重要であり、使用するプロセスにおける精度の良いキャパシタ相対ミスマッチの把握が不可欠である。例えば、CMOS プロセスを用い、10bit もしくはそれよりも高分解能なパイプライン型 A/D 変換器を実現するためには、 $2^{-10} \cong 0.1\%$ かそれ以下の相対ミスマッチを持つキャパシタが必要である。

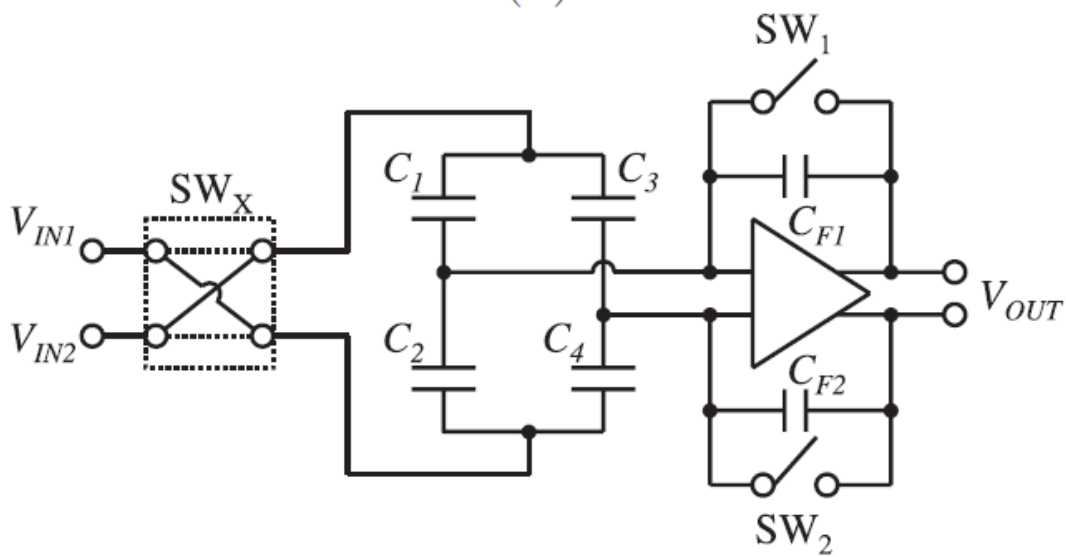
1pF 以下の容量値を持つキャパシタを用いて、9.0 有効ビット (Effective Number Of Bits:ENOB) 以上の分解能を達成した例が過去数件報告されている [2][3] ことから考えて、目的の分解能と消費電力の両立を図れるキャパシタサイズの最適値は、1pF よりかなり小さいと予想される。このような小さなキャパシタの容量は、IC の入出力パッドの寄生容量に近い値になるため正確な測定が難しく、過去の報告例 [4][5] を見ても、測定に高精度な計測器を用いるなど、測定のハードルは高い。このため、多数のキャパシタの相対ミスマッチを容易に測定する手法の確立が望まれている。

本研究では、小さなキャパシタの相対ミスマッチを容易に測定可能なスイッチトキャパシタ回路構成を用いた相対ミスマッチ測定回路を提案する。

3.2 ミスマッチ測定回路



(a)



(b)

図 13 スイッチトキャパシタ回路構成を用いたキャパシタ相対ミスマッチ測定回路
(a) リセットモード (b) 相対ミスマッチ検出モード

3 サンプルングキャパシタの相対ミスマッチ測定回路

図 13 は、提案するスイッチトキャパシタ回路構成を用いたキャパシタ相対ミスマッチ測定回路の回路図を示している。この回路を用いてキャパシタの相対ミスマッチを測定する場合、計測器として必要なのは、通常のクロック源とデジタルオシロスコープのみであり、高精度な計測器は不要である。

提案するキャパシタ相対ミスマッチ測定回路は、被測定対象である 4 つのキャパシタと、フィードバックループにキャパシタを持つ高利得オペアンプおよびスイッチで構成される。

次に、提案する測定回路の動作について述べる。説明を簡単化するため、以下の仮定を行う。

1. オペアンプの DC オフセットを無視する。
2. オペアンプの利得および同相除去比 (Common-Mode Rejection Ratio:CMRR) は十分に高いとする。
3. C_1 、 C_2 、 C_3 、 C_4 の平均値を C_0 とし、また、 $\Delta C_i = C_i - C_0 (i = 1 \sim 4)$ の標準偏差をそれぞれ $\sigma_i (i = 1 \sim 4)$ とする。
4. フィードバックキャパシタ C_{F1} 、 C_{F2} は同じ容量値を持ち、かつ、ミスマッチがないと仮定する。すなわち、 $C_{F1} = C_{F2} = C_F$ であり、かつ、 C_F/C_0 の偏差は無視できるとする。
5. 全ての寄生容量を無視する。
6. 全てのスイッチは理想的であり、クロックフィードスルー等はないものとする。

これらの仮定の下で、提案する測定回路は、原理的に 2 つの動作モードを繰り返し行いながらキャパシタ $C_1 \sim C_4$ の相対ミスマッチを出力する。

(a) リセットモード .. 図 13(a) のように、 SW_X は入力とキャパシタ $C_1 \sim C_4$ の間を短絡するように、 SW_1 、 SW_2 は、オペアンプの入出力間を短絡するようにそれぞれ接続される。オペアンプの入力電圧は、オペアンプの出力同相電圧 V_{COM} と等しくなる。このとき、 $C_1 \sim C_4$ の電荷は、それぞれ $Q_{1R} = C_1(V_{IN1} - V_{COM})$ 、 $Q_{2R} = C_2(V_{IN2} - V_{COM})$ 、 $Q_{3R} = C_3(V_{IN1} - V_{COM})$ 、 $Q_{4R} = C_4(V_{IN2} - V_{COM})$ となる。

(b) 相対ミスマッチ検出モード .. 図 13(b) のように、 SW_X は、(a) のモードで接続された側と反対の入力端子とキャパシタ $C_1 \sim C_4$ の間を短絡し、 SW_1 、 SW_2 は開放される。このとき、オペアンプとフィードバックパスに接続されたキャパシタ C_F は、電荷電圧変換器として機能する。 $C_1 \sim C_4$ の電荷は、それぞれ $Q_{1D} = C_1(V_{IN2} - V_{COM})$ 、 $Q_{2D} = C_2(V_{IN1} - V_{COM})$ 、 $Q_{3D} = C_3(V_{IN2} - V_{COM})$ 、 $Q_{4D} = C_4(V_{IN1} - V_{COM})$ となる。

電荷 $Q_{1R} \sim Q_{4R}$ 、 $Q_{1D} \sim Q_{4D}$ から、オペアンプの出力差動電圧 V_{out} は、 $V_{IN} = V_{IN1} -$

V_{IN2} とすると、

$$\begin{aligned} V_{out} &= \frac{(Q_{1R} - Q_{1D}) - (Q_{2R} - Q_{2D})}{C_{F1}} - \frac{(Q_{3R} - Q_{3D}) - (Q_{4R} - Q_{4D})}{C_{F2}} \\ &= \frac{C_1 - C_2 - C_3 + C_4}{C_F} (V_{IN1} - V_{IN2}) \\ &= \frac{\Delta C_1 - \Delta C_2 - \Delta C_3 + \Delta C_4}{C_F} V_{IN} \end{aligned} \quad (3.1)$$

とかける。

式 (3.1) から、出力差動電圧 V_{out} は、キャパシタ $C_1 \sim C_4$ のミスマッチの大きさに比例していることがわかる。

出力差動電圧 V_{out} は、通常のアナログオシロスコープで容易に測定可能である。今回は、ノイズを低減するためのアベレージング機能を用いるため、サンプリングオシロスコープを用いた。

式 (3.1) から、出力差動電圧の標準偏差 σ_v は、

$$\sigma_v = \frac{V_{IN}}{C_F} \sqrt{\sum_{i=1}^4 \sigma_i^2} = \frac{2V_{IN}}{C_F} \sigma_i \quad (3.2)$$

式 (3.2) から、キャパシタ相対ミスマッチの標準偏差は、

$$\frac{\sigma_i}{C_0} = \frac{C_F}{2C_0} \frac{\sigma_v}{V_{IN}} \quad (3.3)$$

と求まる。

結果として、キャパシタミスマッチの標準偏差は、複数サンプルの出力差動電圧を測定することで求められる。

3.3 仮定の妥当性について

本節では、3.2 節で仮定した 1～6 の妥当性について議論する。

まず、キャパシタ相対ミスマッチの標準偏差について、本論文では、測定誤差を約 30% 許容できるとする。

例えば、相対ミスマッチが A/D 変換器の分解能に与える影響を 3σ で 0.5LSB 以下にしたい場合、99.7% の 1 対のキャパシタが 0.5LSB 以下のミスマッチを持つことになる。このとき、もし実際のキャパシタ相対ミスマッチの標準偏差が測定で得られた値より 30% 大きかったとしても、依然として 96.4% のキャパシタ対の相対ミスマッチは 0.5LSB 以内であり、許容範囲内であると考えられる。

3 サンプリングキャパシタの相対ミスマッチ測定回路

次に、提案する相対ミスマッチ検出回路を定量的に議論する。

$C_F/C_0 = 0.5$ 、 $V_{IN} = V_{IN1} - V_{IN2} = 0.5V$ にする。このとき、式 (3.3) から、出力差動電圧 1mV がキャパシタ相対ミスマッチ 0.05% に相当する。

このような条件の下で、次の 6 つの影響が無視できる。

1. オペアンプの DC オフセット… 数 mV オーダーで発生すると推測される。Fig13(a) のリセットモードで検出し、評価結果から影響を取り除く事が可能。

2. オペアンプの直流利得と CMRR… シミュレーション結果から、相対ミスマッチ検出回路に使用したオペアンプの直流利得は約 60dB、CMRR は約 80dB である。よって、オペアンプのループ利得が有限なことに起因した測定誤差は、1% 以下で無視できる。また、CMRR が有限なことによる測定誤差は、さらに小さい値であり、同様に無視できる。

3. C_F/C_0 のばらつき… このばらつきは数 % と推定される。このばらつきによって、測定する出力電圧が標準偏差 σ_v の数 % の誤差を持つ可能性がある。被測定対象の相対ミスマッチについては、 $\Delta C_i (i=1,2,3,4)$ の平均が 0 であり、その標準偏差 σ_i は、0 より十分大きいので、 σ_i は検出可能であり、 C_F/C_0 のばらつきは無視できる。

4. フィードバックキャパシタのミスマッチ… もし、 $C_{F1} = C_F(1 + \alpha)$ 、 $C_{F2} = C_F(1 - \alpha)$ (α は数 % 以下) とすると、式 (3.1) は、

$$\begin{aligned} V_{out} &= \frac{Q_{12}}{C_{F1}} - \frac{Q_{34}}{C_{F2}} \\ &\cong \frac{Q_{12}(1 - \alpha) - Q_{34}(1 + \alpha)}{C_F} \\ &= \frac{Q_{12} - Q_{34} - \alpha(Q_{12} + Q_{34})}{C_F} \end{aligned} \quad (3.4)$$

となる。ここで、 $Q_{12} = (Q_{1R} - Q_{1D}) - (Q_{2R} - Q_{2D})$ 、 $Q_{34} = (Q_{3R} - Q_{3D}) - (Q_{4R} - Q_{4D})$ である。

式 (3.1) は、 $|Q_{12} - Q_{34}| \ll |Q_{12} + Q_{34}|$ が成り立つ場合、 α は出力差動電圧 V_{OUT} に影響を与える。しかしながら、 $Q_{12} - Q_{34}$ と $Q_{12} + Q_{34}$ の標準偏差は明らかに同等であり、また、 α は 1 より十分小さい。よって、 α が V_{OUT} の標準偏差に与える影響は無視できる。

5. 寄生容量… オペアンプの入力部の寄生容量は、オペアンプが仮想接地されており、入力部の電圧が一定なので無視できる。入力スイッチ SW_X の寄生容量は、周波数応答を変化させるものの、入力信号 V_{IN1} 、 V_{IN2} が一定であることから出力電圧には影響を与えない。

6. クロックフィードスルー… 入力スイッチ SW_X は MOS トランジスタなので、短絡

3 サンプルングキャパシタの相対ミスマッチ測定回路

時にゲート下に存在する電荷が開放時にキャパシタ $C_1 \sim C_4$ に印加して可能性があるが、5. と同様に、入力信号 V_{IN1} 、 V_{IN2} が一定であることから、印加された電荷は低インピーダンスノードであるこれらの入力信号源に吸収されてしまうため、無視できる。

オペアンプのフィードバックパスに接続されているスイッチ SW_1 、 SW_2 のオペアンプ入力部へのクロックフィードスルーは、フィードスルーする電荷量がそれぞれ同量であれば、出力差動電圧 V_{OUT} は変化しないが、通常、スイッチ SW_1 、 SW_2 を構成する MOS トランジスタにミスマッチがあるため、 V_{OUT} は変化する。

これを補正するため、提案するキャパシタ相対ミスマッチ測定回路の動作モードを 2 つ追加し、合計 4 つのモード (a)' ~ (d)' で動作させるようにした。図 14 に各動作モードの回路図を示す。

(a)' リセットモード (Reset) … 前述 (a) のリセットモードと同じ。

(b)' クロックフィードスルーモード (Feed-through) … SW_1 と SW_2 のみ開放し、 SW_X は (a)' のリセットモードのまま保つ。この動作モードにおいて、 SW_1 と SW_2 のオペアンプ入力部へのフィードスルーによる影響が出力差動電圧 V_{OUT} を変化させる。

(c)' リセットモード (Reset) … 再び、前述 (a) のリセットモードに戻して動作させる。

(d)' 相対ミスマッチ検出モード (Mismatch) … 前述 (b) の相対ミスマッチ検出モードと同じ。

提案するキャパシタ相対ミスマッチ測定回路の各動作モードにおける差動出力電圧波形は、図 15 のようになる。本章の目的であるキャパシタ相対ミスマッチは、(b)' のクロックフィードスルーモードと (d)' の相対ミスマッチ検出モードでの出力差動電圧 V_{OUT} の差から導出される。

3 サンプリングキャパシタの相対ミスマッチ測定回路

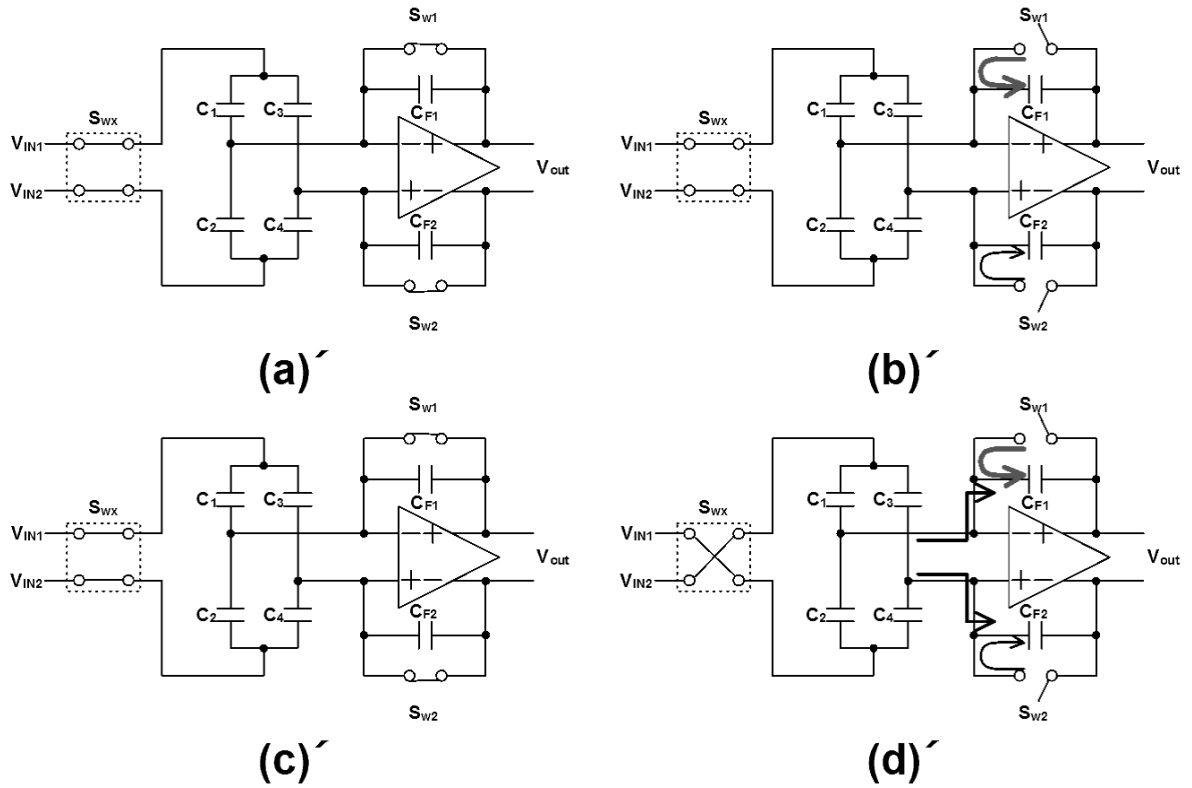


図 14 提案するキャパシタ相対ミスマッチ測定回路の各動作モードにおける回路図

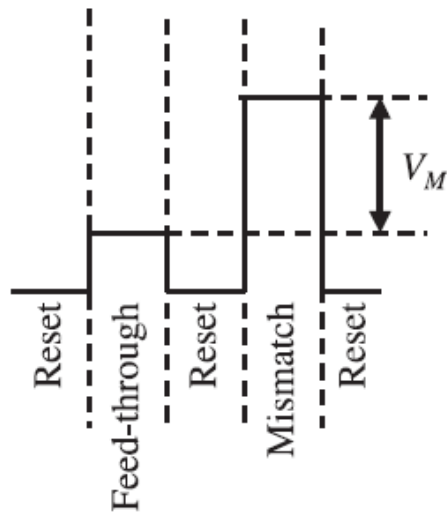


図 15 提案するキャパシタ相対ミスマッチ測定回路の各モードにおける差動出力電圧波形

3.4 相対ミスマッチ測定回路の回路構成と動作

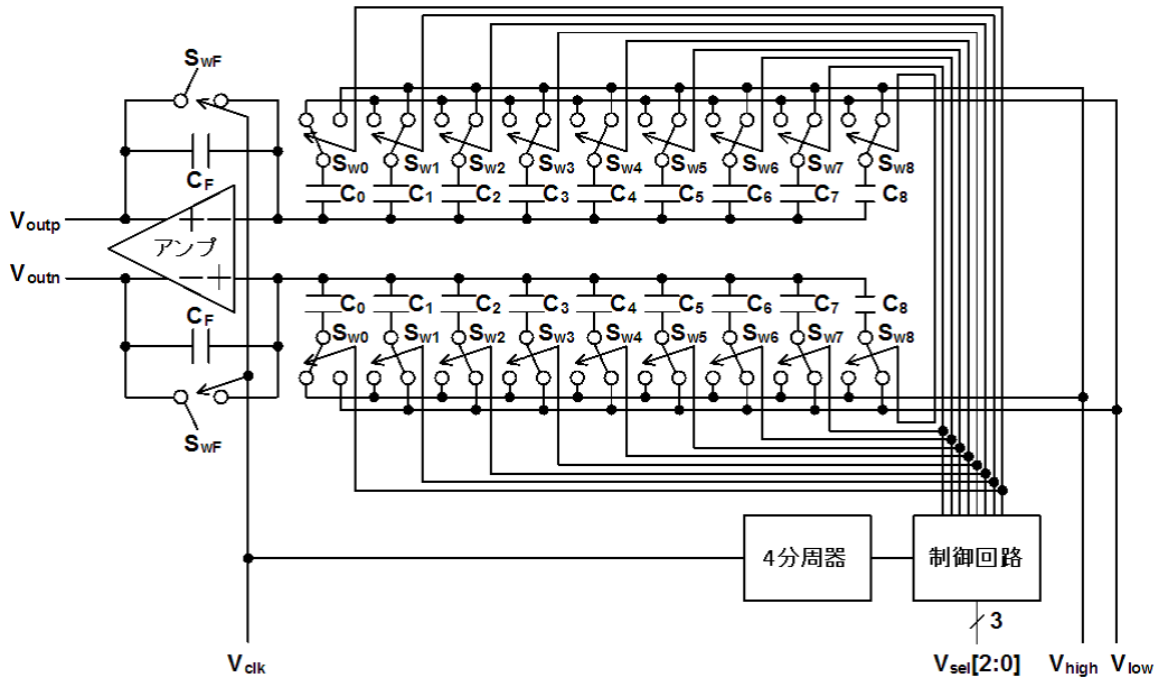


図 16 設計した相対ミスマッチ測定回路の回路ブロック図

図 16 に、設計した相対ミスマッチ測定回路のブロック図を示す。被測定対象である MIM キャパシタ、アンプ、制御回路、および、入力クロック信号を 4 分周する回路で構成される。計 9 つの MIM キャパシタ $C_0 \sim C_8$ の一端はアンプの入力端子に接続され、もう一端はスイッチ $S_{w0} \sim S_{w8}$ にそれぞれ接続されている。電源電圧は 2.5V であり、2 つのリファレンス電圧 $V_{high}=1.5V$ 、 $V_{low}=1V$ で設計した。アンプの出力同相電圧 $V_{cm}=1.25V$ である。

入力クロック信号 C_{clk} は、アンプのフィードバックループに接続されたスイッチ S_{wF} へ供給されると同時に、4 分周された後、スイッチ S_{w0} とスイッチ $S_{w1} \sim S_{w8}$ のいずれか一つに供給される。スイッチ $S_{w1} \sim S_{w8}$ のどれに供給するかは、IC 外部から 3bit の選択信号 $V_{sel}[2:0]$ を制御回路に入力することで決定される。すなわち、設計した回路では、 C_0 を基準とした $C_1 \sim C_8$ の中の選択された容量に関する相対ミスマッチがアンプの出力差動電圧 $\Delta V_{out} = V_{outp} - V_{outn}$ として検出される。後述のように、基準となる容量 C_0 と選択された容量の大きさの大小関係と出力電圧の +-との関係を把握するため、 C_8 の大き

3 サンプリングキャパシタの相対ミスマッチ測定回路

さは $C_0 \sim C_7$ の半分に設計した。

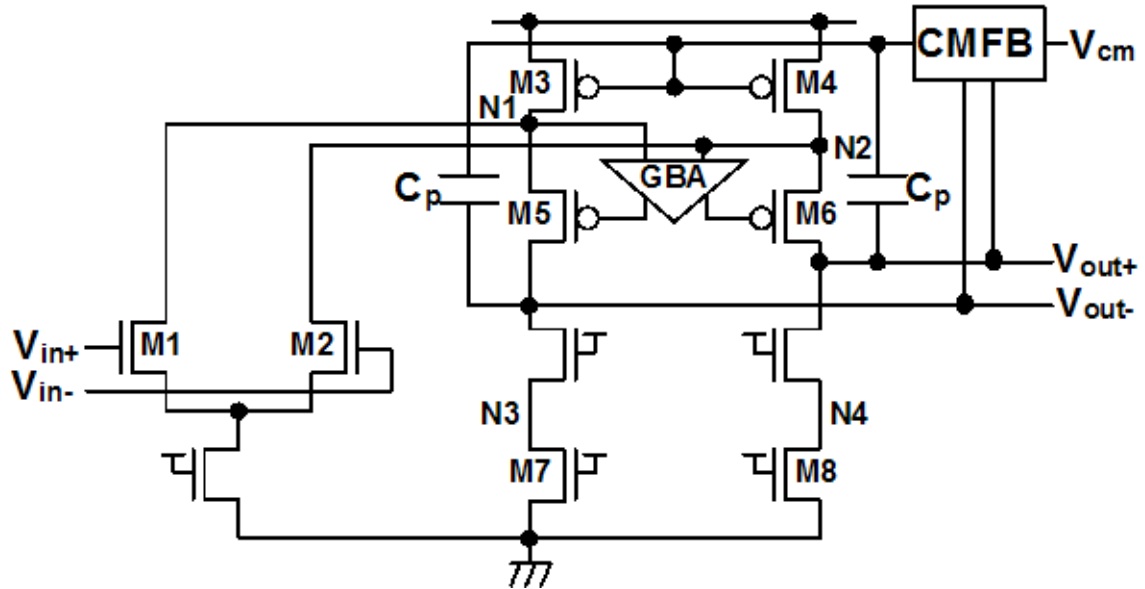


図 17 メインアンプ

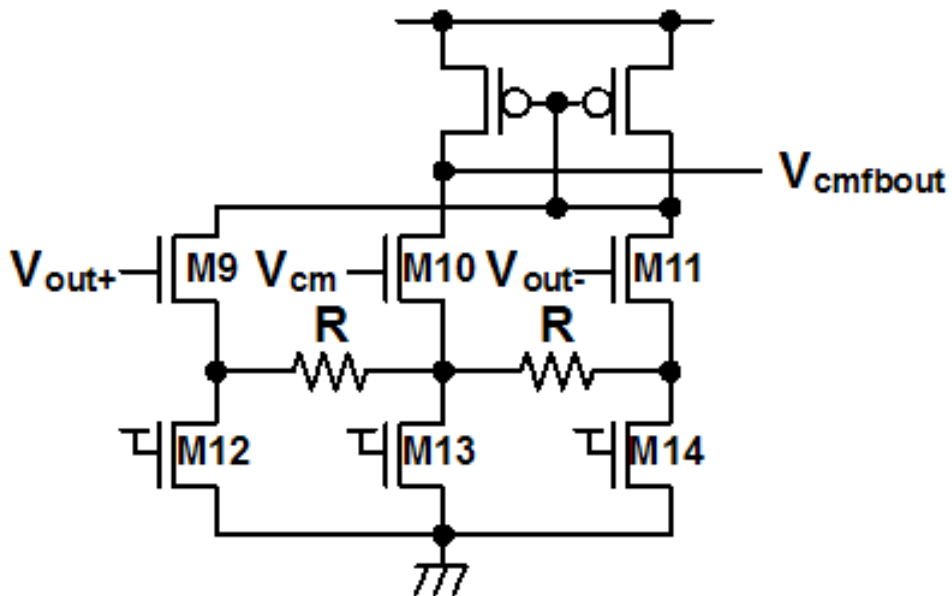


図 18 CMFB 回路

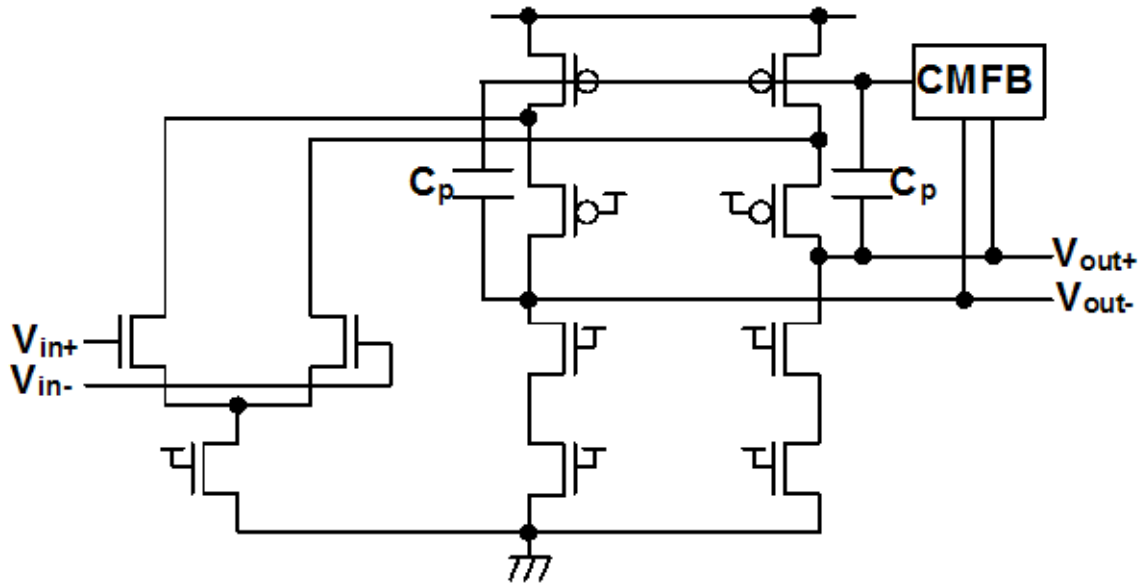


図 19 ゲインブーストアンプ

図 17 に、試作回路のメインアンプの回路図を示す。フォールディッドカスコード型の回路構成を採用している。

このアンプでは、NMOS トランジスタ M1、M2 の差動対からの電流が、出力段の PMOS トランジスタ M3、M4 で折り返されて出力端子へ流れる。折り返しノード N1、N2 では、M1、M2 および M3、M4 のドレインが並列に接続されており、折り返しがないノード N3、N4 の NMOS トランジスタ M7、M8 に比べ、出力インピーダンスが低下する。この出力インピーダンス低下を補い、アンプの利得を増加するため、出力段の PMOS トランジスタ M5、M6 にのみゲインブーストアンプ GBA が追加されている。また、出力同相電圧を安定化させるため、コモンモードフィードバック (Common-Mode FeedBack:CMFB) 回路が使用されている。C_p は、CMFB 回路に関するループの安定性を確保するための位相補償容量である。

図 18 に、使用された CMFB 回路の回路図を示す。NMOS トランジスタ M9 と M11 のゲートには、それぞれメインアンプの出力電圧 V_{out+} と V_{out-} にそれぞれ接続される。また、NMOS トランジスタ M10 のゲートには、アンプの出力同相電圧を定めるバイアス電圧 V_{cm}=1.25V が接続される。M9～M11 のゲート長は同じであり、M10 のゲート幅は、M9 および M11 の 2 倍に設計されている。電流源トランジスタ M12～M14 の出力電流は、M9～M11 の電流密度が一定になるようにスケールアップされている。

この CMFB 回路では、V_{out+} と V_{out-} の平均値であるメインアンプの出力同相電圧と

3 サンプリングキャパシタの相対ミスマッチ測定回路

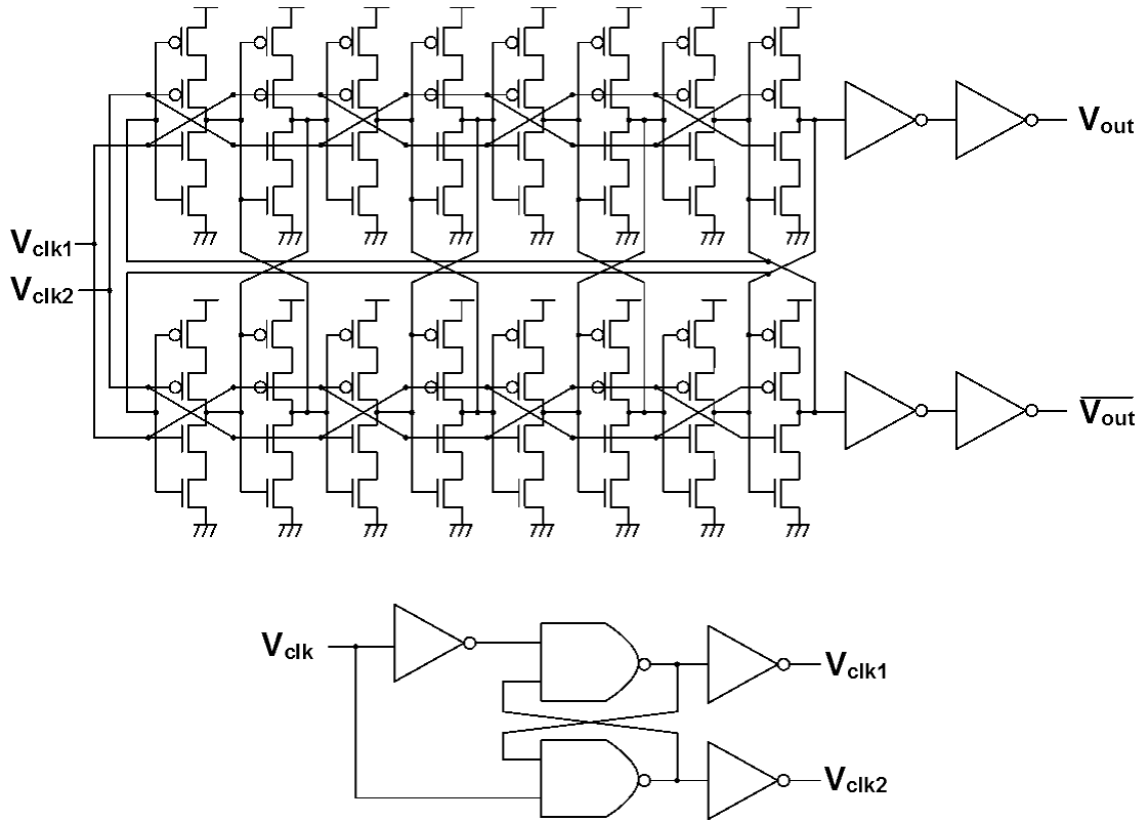


図 20 4分周器

V_{cm} の差電圧に対して、M9～M11 のソースに接続された抵抗 R を流れる電流の変化を通じて非反転増幅を行い、 $V_{cmfbout}$ が出力される。CMFB 回路の出力 $V_{cmfbout}$ は、メインアンプの M3 と M4 のゲートに接続されている。M3 と M4 のゲート電圧はそれぞれ反転増幅され、CMFB 回路のループ全体として、出力同相電圧が V_{cm} に一致するように負帰還がかかる。

図 19 に、ゲインブーストアンプの回路図を示す。メインアンプと同じくフォールディッドカスコード型が使用されている。また、CMFB 回路もメインアンプと同じ回路構成である。

図 20 に、4 分周器の回路図を示す。クロックドインバータをリング状に接続し、ノンオーバーラップクロック V_{clk1} 、 V_{clk2} で ON/OFF を制御することで、入力クロック信号 V_{clk} の 4 倍の周期を持つ差動クロック信号 V_{out} 、 $\overline{V_{out}}$ を生成している。差動クロック信号 V_{out} 、 $\overline{V_{out}}$ は、 S_{w0} と $S_{w1} \sim S_{w8}$ の中のいずれか 1 つに対して、それぞれ供給される。

図 21 に、試作回路のタイミングチャートを示す。3.3 節で説明したように、試作回路は

3 サンプルングキャパシタの相対ミスマッチ測定回路

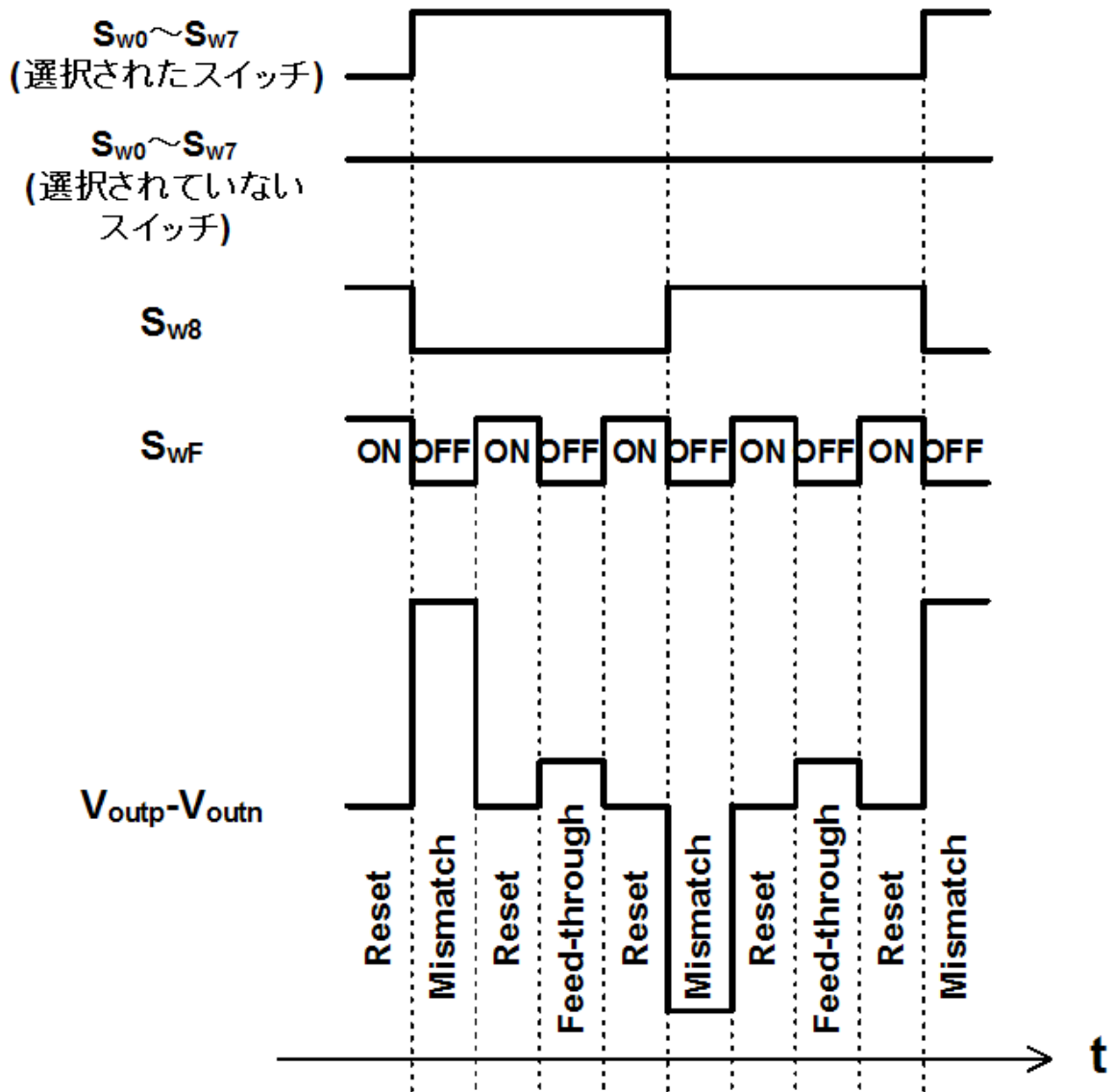


図 21 試作回路のタイミングチャート

4つの動作モードを繰り返す。スイッチ S_{w0} とスイッチ $S_{w1} \sim S_{w8}$ のいずれか一つは、スイッチ S_{wF} の $1/4$ の速度で動作している。例えば、スイッチ S_{w0} が容量 C_0 とリファレンス電圧 V_{high} を短絡しているとき、スイッチ $S_{w1} \sim S_{w8}$ のいずれか一つは、反対側のリファレンス電圧 V_{low} と $V_{sel}[2:0]$ によって選択された測定対象の容量との間を短絡するように動作する。このとき、測定対象以外の容量では、スイッチは動作せず、一方のリファレンス電圧に固定されたままになっているため、電荷の移動は生じない。

3 サンプリングキャパシタの相対ミスマッチ測定回路

相対ミスマッチ誤差に起因した出力差動電圧 ΔV_{out} には、+-両方の値を取りうる。+-を判断するために、まず、 C_0 と容量値が半分である C_8 の相対ミスマッチを測定した。 C_8 は C_0 に比べ十分小さいため、図 23 のように ΔV_{out} が大きく表示され、この方向を-と判断できる。

3.5 試作および測定結果

提案する相対ミスマッチ測定回路を 130nmCMOS プロセスを用いて試作した。図 22 に、試作回路のレイアウト図を示す。コア部分の面積は $160\mu\text{m} \times 260\mu\text{m}$ である。

図 23 に、測定時のオシロスコープ画面を示す。提案する相対ミスマッチ測定回路を利用し、32 サンプルが測定された。被測定対象のキャパシタ $C_1 \sim C_4$ の容量値は約 0.1pF である。

測定により得られた出力差動電圧 V_{OUT} の平均値は 0.4V、標準偏差は 0.8mV であった。式 (3.3) から、標準偏差 0.8mV は相対ミスマッチ 0.04% に相当する。

この結果から、 $3\sigma=0.5\text{LSB}$ となる容量値は 0.6pF であることがわかった。0.6pF という容量値は、パイプライン型 A/D 変換器において、10bit の分解能を得るための kT/C ノイズから計算される必要な容量値より十分小さい。よって、キャパシタの相対ミスマッチは、パイプライン型 A/D 変換器の分解能劣化の要因としては大きな問題ではないことがわかった。

3 サンプルングキャパシタの相対ミスマッチ測定回路

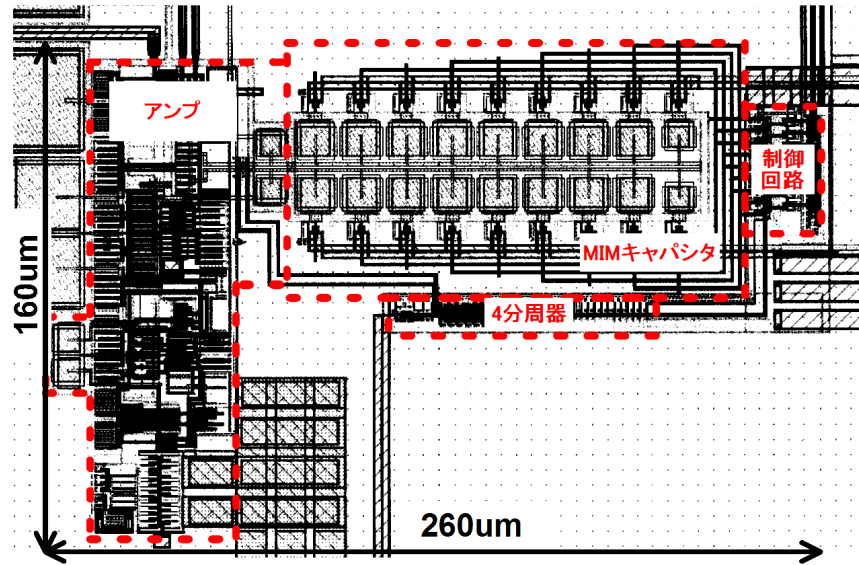


図 22 レイアウト図

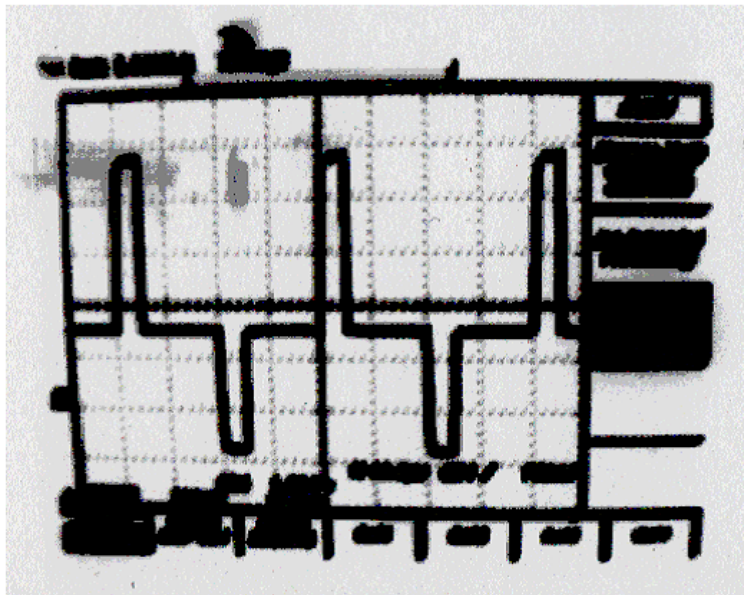


図 23 測定時のオシロスコープ画面

3.6 まとめ

パイプライン型 A/D 変換器の消費電力を最適化するためには、使用するプロセスにおける容量の相対ミスマッチを正確に把握し、所望の分解能が得られる最小サイズの容量を用いる必要がある。本研究では、小さなキャパシタの相対ミスマッチを容易に測定可能な相対ミスマッチ測定回路を提案された。

提案の相対ミスマッチ測定回路では、スイッチトキャパシタ回路構成を用い、容量の相対ミスマッチを出力電圧に変換して測定するため、アンプのフィードバックループに接続されたスイッチのクロックフィードスルーのばらつきにより測定される出力電圧に誤差が発生する懸念がある。これを解決するため、測定回路にクロックフィードスルーのみに起因した出力電圧を測定する動作モードを追加し、この動作モードで得られた出力電圧を測定結果から取り除くことで正確な測定を可能とした。

130nmCMOS プロセスを用いた試作および測定結果から、使用するプロセスの MIM キャパシタにおける相対ミスマッチは 10bit の分解能を得るための kT/C ノイズから計算される必要な容量値より十分小さく、分解能劣化の要因としては大きな問題ではないことがわかった。

参考文献

- [1] S. H. Lewis, H. S. Fetterman, J. G. F. Gross, R. Ramachandran, and T. R. Viswanathan, "A 10-b 20-Msample / s Analog-to-Digital Converter," *IEEE J. of Solid-State Circuits*, pp. 351–358, Mar. 1992.
- [2] K. Y. Kim, N. Kusayanagi, and A. A. Abidi, "A 10b 100MS/s cmos A/D Converter," *IEEE J. of Solid-State Circuits*, vol. 32, pp. 302–311, Mar. 1997.
- [3] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter," *IEEE J. of Solid-State Circuits*, vol. 34, pp. 599–606, May 1999.
- [4] J. L. McCreary and D. A. Sealer, "Precision capacitor ratio measurement technique for integrated circuit capacitor array," *IEEE Trans. Instrum. Meas.*, vol. IM-28, no. no.1, pp. 142–147, Mar. 1979.
- [5] J. Hunter, P. Gudem, and S. Winters, "A differential floating gate capacitance mismatch measurement technique," in *Proc. 2000 Intl. Conf. Microelectronic Test Structures (ICMTS 2000)*, pp. 142–147, Mar. 2000.

4 オペアンプシェアリングおよび疑似差動低消費電力化回路 技術の検討および 10bit,80MS/s パイプライン A/D 変換器 への適用

4.1 はじめに

携帯電話に代表されるバッテリー駆動の無線モバイル端末では、1回の充電で使用できる時間の長時間化が常に求められている。長時間化のため、使用する無線送受信機においては、通信のために必要な諸性能を、可能な限り低消費電力で実現することを求められる。A/D変換器は、無線送受信機を構成するために欠かせない回路ブロックの1つであり、そのため、低消費電力動作への要求が常に存在する。

現状のFOMAに代表される第三代移動電話システム(3G)に続いて今後導入されることが予想される第四世代移動電話システム(4G)においては、送受信機におけるA/D変換器への要求仕様として、動作速度数十MS/s以上、分解能10bit以上、消費電力100mW以下が推定される。この要求仕様を満足するA/D変換器を実現するに好適な回路アーキテクチャとして、パイプライン型A/D変換器が挙げられる。過去発表された試作例[1][2]の中に、要求される動作速度や分解能を満足しつつ消費電力を抑制した報告があるが、更なる低消費電力化が求められている。

今回、研究の対象として1.5bit/stageの変換ステージを持つ、分解能10bitのパイプライン型A/D変換器を選択した。回路構成を図24に示す。

図24の10bit、1.5bit/stage回路構成のパイプライン型A/D変換器は、主に、トラックアンドホールド回路、9つの変換ステージ、および、デジタル誤差補正回路で構成される。各変換ステージは、2bitのフラッシュ型A/D変換器のみで構成される最終段を除き、1.5bitのフラッシュ型A/D変換器であるSub-ADCと、A/D変換後の残余アナログ信号を増幅して、後段の変換ステージへ出力するMDAC(Multipling Digital-to-Analog Converter)で構成される。

パイプライン型A/D変換器の消費電力を削減する有力な技術の1つは、報告例[1]で採用されているように、MDACに疑似差動オペアンプを用いることである。疑似差動オペアンプとは、2つのシングルエンド構成のソース接地型アンプを従来パイプライン型によく利用されていたフォールディッドカスコード(folded-cascode)やテレスコーピック(telescopic)のような全差動オペアンプの代わりに用いたものである。

疑似差動オペアンプを用いると、フォールディッドカスコード型オペアンプのようにオ

4 オペアンプシェアリングおよび疑似差動低消費電力化回路技術の検討および 10BIT,80MS/S パイプライン A/D 変換器への適用

ペアンプの入力段から出力段に対して電流の折り返しがないため、フォールディッドカスコード型オペアンプ使用時に比べ、オペアンプの消費電流を半減できる。また、電流源トランジスタを省略した回路構成を持つため、電源-GND間の縦積みトランジスタ数がテレスコーピック型オペアンプに比べ少なく、その分、低電源電圧動作が可能である。

一般に、パイプライン型 A/D 変換器では、オペアンプの消費電力が支配的であることから、疑似差動オペアンプを用いることで、A/D 変換器全体の大幅な消費電力削減が可能となる。

もう一つの有力な消費電力削減技術は、報告例 [2] で採用されているアンプシェアリング技術である。このアンプシェアリング技術では、1つのオペアンプを、2つの連続する変換ステージ間で共用化することで1つのパイプライン型 A/D 変換器で利用するオペアンプ数を減らし、消費電力を削減する。

もし、疑似差動オペアンプとアンプシェアリング技術を組み合わせて実施できたとすると、より効果的に電力削減が可能であると考えられる。しかしながら、疑似差動オペアンプを用いた場合、各変換ステージに入力信号を充放電するサンプルモードにおいて、オペアンプの入出力のバイアス電圧を安定化するための時間が必要となり、2つの変換ステージ間でオペアンプを共用化する時間が確保できないため、2つの電力削減技術の両立は困難である。

図 25 は、疑似差動オペアンプを用いた T/H 回路のサンプルモード時の接続状態を表

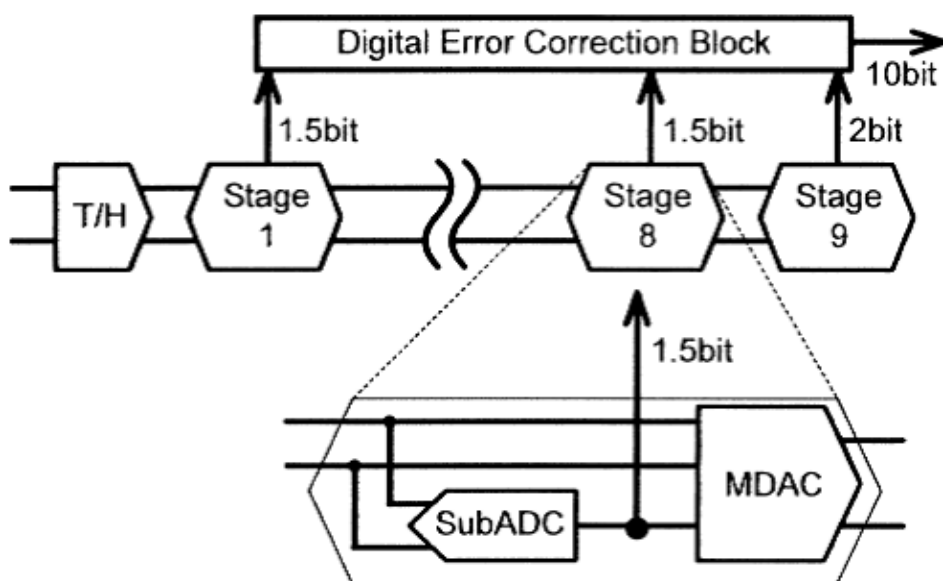


図 24 一般的な 10bit パイプライン型 A/D 変換器の回路ブロック図

4 オペアンプシェアリングおよび疑似差動低消費電力化回路技術の検討および
10BIT,80MS/S パイプライン A/D 変換器への適用

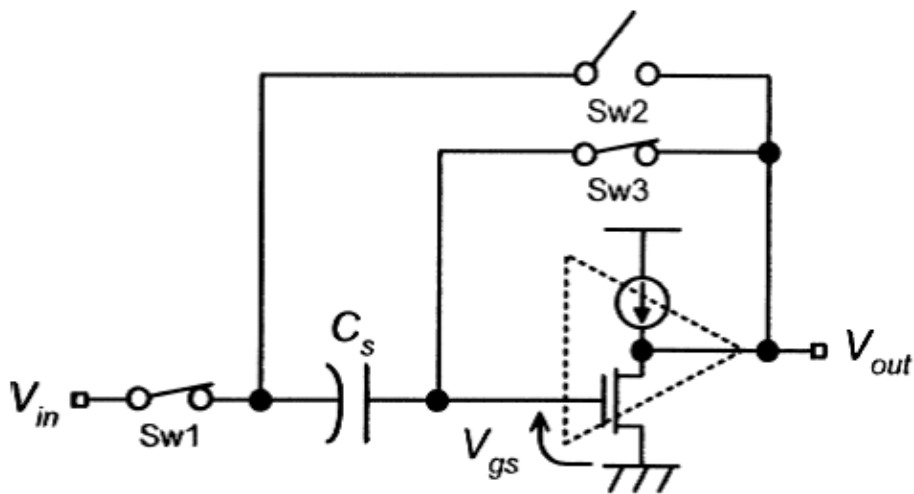


図 25 疑似差動オペアンプを用いた T/H 回路 (サンプルモード時)

している。簡単化のため、疑似差動オペアンプをシングルエンド構成で示している。

疑似差動オペアンプを用いた T/H 回路では、サンプルモードにおいて、図 25 のように、 $SW1$ 、 $SW3$ を短絡、 $SW2$ を開放させる。このとき、入力トランジスタのゲートドレイン間が接続され、疑似差動オペアンプの出力電圧は、入力トランジスタのゲートソース間電圧 V_{gs} に安定化される。サンプル容量 C_s の両端電圧は、それぞれ入力信号電圧 V_{in} 、 V_{gs} となり、 $V_{in} - V_{gs}$ に充電される。ホールドモード時、 $SW1$ 、 $SW3$ は開放、 $SW2$ は短絡となり、サンプル容量 C_s が疑似差動オペアンプの入出力間に接続される。このとき、出力電圧 V_{out} は、サンプル容量 C_s の両端電圧 $V_{in} - V_{gs}$ - 入力電圧 $V_{gs} = V_{in}$ となり、サンプルモードでの入力電圧 V_{in} に等しくなる。

一方、全差動構成のオペアンプは、コモンモードフィードバック (Common-Mode FeedBack:CMFB) 回路があり、サンプルモード時に、入力トランジスタのゲートドレイン間を短絡しなくても出力電圧が安定化できる。そのため、後述のようにオペアンプの DC オフセット検出のために、サンプルモード時にオペアンプの入出力間を短絡して用いる場合を除けば、オペアンプは、サンプルモード時には使用せず、ホールドモードでのみ必要となる。パイプライン型では、2つの連続する変換ステージにおいて、サンプルモードとホールドモードの時間が互いに半クロックずれているため、1つのオペアンプをそれぞれの変換ステージのホールドモード時に利用することで共用化が実現できる。

4 オペアンプシエアリングおよび疑似差動低消費電力化回路技術の検討および 10BIT,80MS/S パイプライン A/D 変換器への適用

本研究では、まず疑似差動オペアンプを用いた場合の電力削減効果と、アンプシエアリング技術を用いた場合の電力削減効果について比較検討し、アンプシエアリング技術の方がより効果的に電力を削減できることを示す。また、検討結果を実証するため、130nmCMOS プロセスを用いて分解能 10bit、動作速度 80-MS/s のパイプライン A/D 変換器の試作を行い、アンプシエアリング技術を用いて試作した A/D 変換器において、消費電力 55mW を実現した。

4.2 電力削減効果の検討

疑似差動オペアンプを用いた場合の電力削減効果と、アンプシエアリング技術を用いた場合の電力削減効果について比較検討する。

議論を簡単にするため、まず、フォールディッドカスコード型オペアンプを用い、サンプルモード時に DC オフセット検出を実施する従来型のパイプライン型 A/D 変換器について考慮する。その上で、この従来型と疑似差動オペアンプを用いた場合とアンプシエアリング技術を用いた場合とをそれぞれ消費電力の観点から比較を行い、上記 2 つの電力削減技術のどちらが効率的かについて結論を導く。

前章で述べたように、疑似差動オペアンプの消費電流は、フォールディッドカスコード型の消費電流の半分である。

一方、アンプシエアリング技術を採用した場合、従来型と大きく異なる点は、サンプルモード時のオペアンプの DC オフセット検出を省略することと、連続する 2 つの変換ステージ間でオペアンプを共用化することの 2 点である。

図 26(a) は、DC オフセット検出技術を利用した場合の T/H 回路と初段変換ステージの様子とその小信号等価回路を示している。

T/H 回路がホールドモードの時、初段変換ステージ内の MDAC はサンプルモードで動作している。 G_{m1} 、 G_{m2} は、それぞれ、T/H 回路と初段 MDAC 内のオペアンプのトランスコンダクタンスを示している。 C_1 、 C_2 は、サンプルモードにおいてはサンプル容量として利用される。 C_1 、 C_2 のどちらか一方は、ホールドモード時、オペアンプの入出力間に接続され、フィードバックキャパシタとして用いられる。小信号等価回路を簡単にするため、全てのスイッチは理想的とし、T/H 回路は出力抵抗 $1/G_{m1}$ を持つ電圧源 V_s とする。

回路の時定数 τ_1 は、全サンプル容量 $C = C_1 + C_2$ とすると、

$$\tau_1 = \left(\frac{1}{G_{m1}} + \frac{1}{G_{m2}} \right) C \quad (4.1)$$

4 オペアンプシェアリングおよび疑似差動低消費電力化回路技術の検討および
10BIT,80MS/S パイプライン A/D 変換器への適用

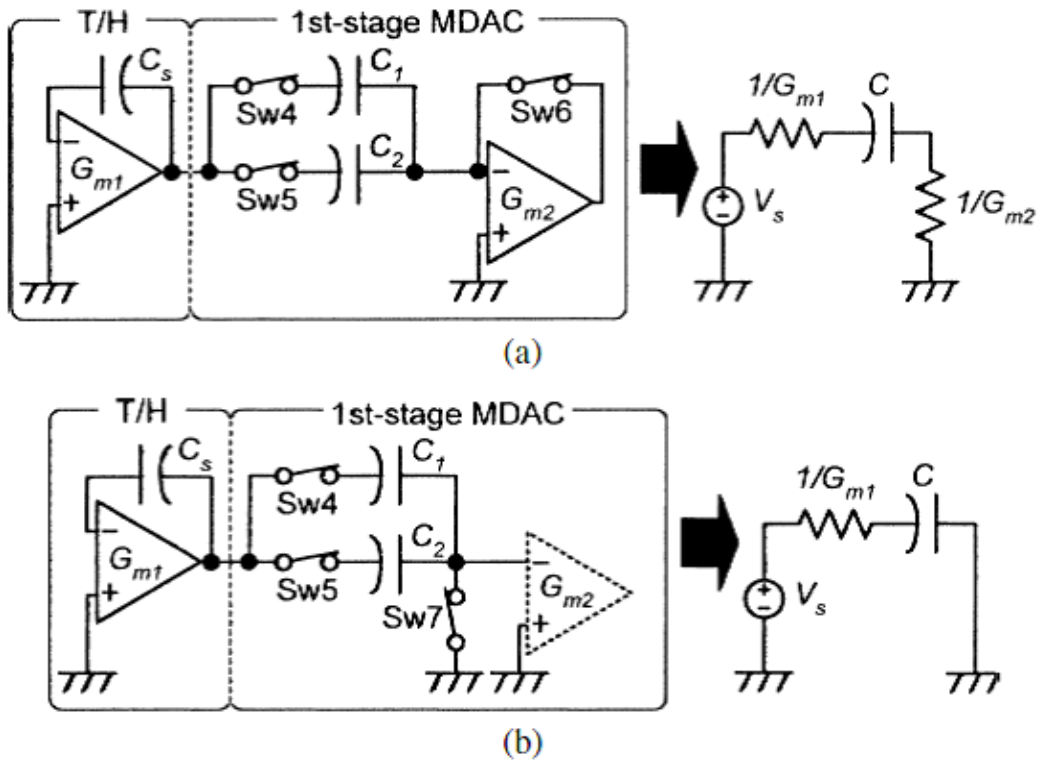


図 26 T/H 回路と初段変換ステージの回路図 (a)DC オフセット検出技術を利用した場合、(b)DC オフセット検出技術を省略した場合

となる。

容量 C は、要求されるノイズ性能から決定されるため、A/D 変換器を高速化するためには、トランスコンダクタンス G_{m1} 、 G_{m2} を大きくする必要がある。

図 26(b) は、DC オフセット検出技術を省略した場合の T/H 回路と初段変換ステージの様子とその小信号等価回路を示している。

初段 MDAC のオペアンプは使用しないため、 G_{m2} は時定数に影響せず、

$$\tau_2 = \left(\frac{1}{G_{m1}} \right) C \quad (4.2)$$

となる。

このような DC オフセット検出技術の有無による時定数の違いは、全ての連続する 2 つの変換ステージ間でも同様である。

DC オフセット検出を実施する場合、4.6 節で後述するように T/H 回路と初段 MDAC のオペアンプのトランスコンダクタンスを等しく、つまり、 $1/G_{m1}=1/G_{m2}$ になる場合

4 オペアンプシェアリングおよび疑似差動低消費電力化回路技術の検討および 10BIT,80MS/S パイプライン A/D 変換器への適用

に、最も消費電力が小さくできる。したがって、もしアンプシェアリング技術を利用しなくても、DC オフセット検出を省略することで、DC オフセット検出を実施していた従来のパイプライン型 A/D 変換器に比較して消費電力を半減できる。さらに、アンプシェアリング技術も利用すると、使用するオペアンプ数も少なくできるので、消費電力が従来比で半分以下に減らすことができる。

以上の検討結果から、アンプシェアリング技術を採用した場合の方が疑似差動オペアンプを利用した場合よりもより多くの消費電力削減効果が見込める。

4.3 設計例

4.2 節での検討内容を検証するため、130nmCMOS プロセスを利用し、2 種類のパイプライン型 A/D 変換器を試作した。試作した 2 種類の A/D 変換器は、両方とも DC オフセット検出を省略している。異なる点は、アンプシェアリング技術の有無である。2 種類の消費電力を比べることで、アンプシェアリング技術による電力削減効果がわかる。

試作した A/D 変換器は、2.5V と 1.8V の 2 つの電源電圧で動作している。T/H 回路や MDAC は、電源電圧 2.5V で動作している。一方、SubADC やデジタル誤差訂正回路などのデジタル部は、電源電圧 1.8V で動作している。入力アナログ差動信号のフルスケールは、1V_{pp} である。

図 27 は、試作した A/D 変換器の T/H 回路および MDAC で使用したオペアンプの回路図を示している。

利得段 1 段構成のフォールディッドカスコード型オペアンプを使用した。

パイプライン型 A/D 変換器では、前段の変換ステージほど高分解能が要求されるため、前段の変換ステージに用いられるオペアンプほどより大きな DC ゲインが必要となる。高い DC ゲイン要求を満足するため、T/H 回路や初段 MDAC のオペアンプは、図 27 に示すような PMOS と NMOS の両方のカスコードトランジスタに対してゲインブーストアンプが追加されている。2 段目より後ろの変換ステージの MDAC のオペアンプに関しては、その変換ステージに要求される DC ゲインに合わせて、NMOS 側は省略され、PMOS 側のみゲインブーストアンプが追加されたものと、全くゲインブーストアンプを使用しないものが利用されている。

全てのオペアンプの出力バイアス電圧は、図 28 に示されるスイッチトキャパシタコモンモードフィードバック (Switched-Capacitor Common-Mode Feedback:SC-CMFB) 回路 [3] によって安定化されている。

T/H 回路において、サンプル容量の大きさは 3pF(片側) である。また、オペアンプの

4 オペアンプシェアリングおよび疑似差動低消費電力化回路技術の検討および
10BIT,80MS/S パイプライン A/D 変換器への適用

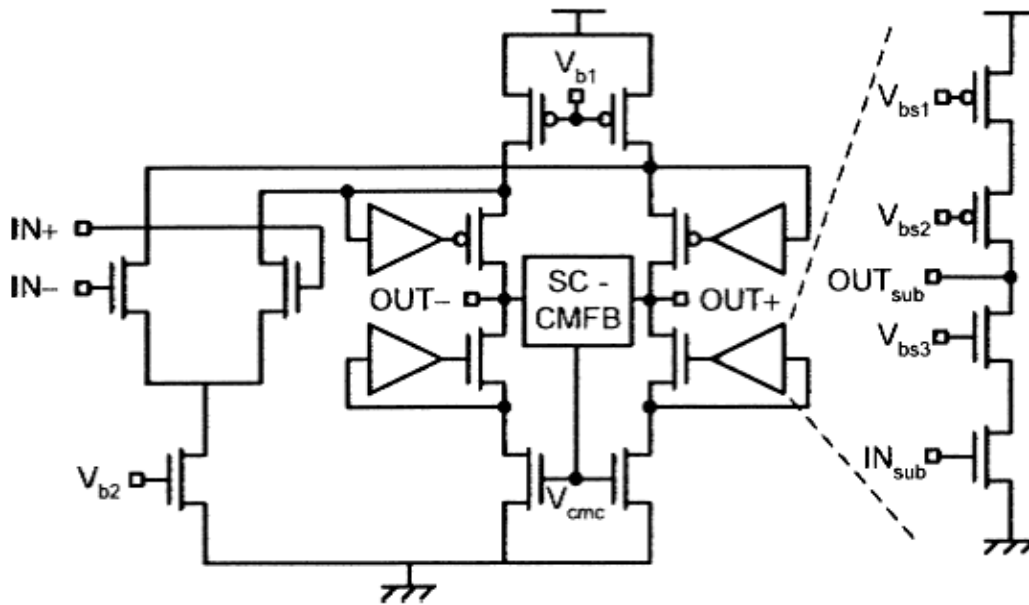


図 27 フォールドデッドカスコード型オペアンプ

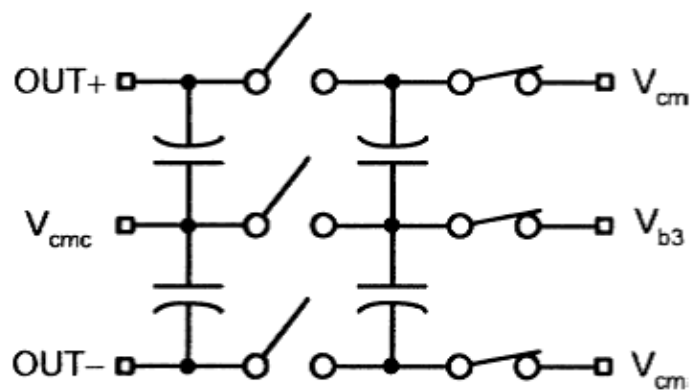


図 28 スイッチトキャパシタコモンモードフィードバック回路

4 オペアンプシェアリングおよび疑似差動低消費電力化回路技術の検討および 10BIT,80MS/S パイプライン A/D 変換器への適用

入力トランジスタのゲート幅/ゲート長は、 $64\ \mu\text{m}/0.4\ \mu\text{m}$ である。A/D 変換器全体の消費電力を最小化するために、分解能要求が緩和される後段の変換ステージほどサンプル容量は小さくスケールアップされている [4]。サンプル容量のスケールアップに合わせて、オペアンプの入力トランジスタのゲート幅も変換ステージごとにスケールアップしている。

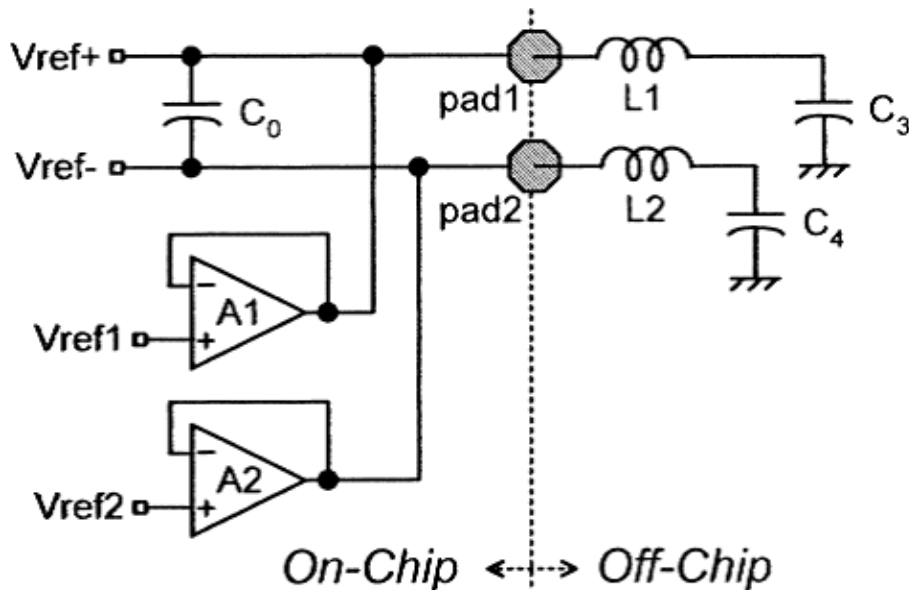


図 29 リファレンス電圧発生回路

リファレンス電圧発生回路の消費電力も考慮されるべき設計事項の 1 つである。図 29 は、今回の試作で使用されたリファレンス回路の回路構成を簡単に示したものである。

リファレンス電圧 V_{ref+} 、 V_{ref-} がバッファアンプ A1、A2 を介して全ての変換ステージへ供給される。 V_{ref+} 、 V_{ref-} に所望のセトリング精度を得るため、リファレンス回路の出力インピーダンスは十分低くする必要がある。動作速度が低い場合、IC 外部のキャパシタ $C3$ 、 $C4$ は効果的に出力インピーダンスを下げる。しかし、動作速度が高くなるにつれて、次第にボンディングワイヤ等の寄生インダクタンス $L1$ 、 $L2$ が無視できなくなり、キャパシタ $C3$ 、 $C4$ が効果的に機能しなくなる。そのため、今回の試作では、IC 内部に 100pF を超えるオンチップキャパシタが追加することで、バッファアンプ A1、A2 への性能要求を緩和し、リファレンス回路の消費電力を削減している。オンチップキャパシタとして、図 30 に示されるようなパラレルワイヤ構造を持つ金属配線キャパシタ (Metal-to-Metal Capacitor: MOM Cap)[5] を利用した。MOM Cap は、プロセス微細化

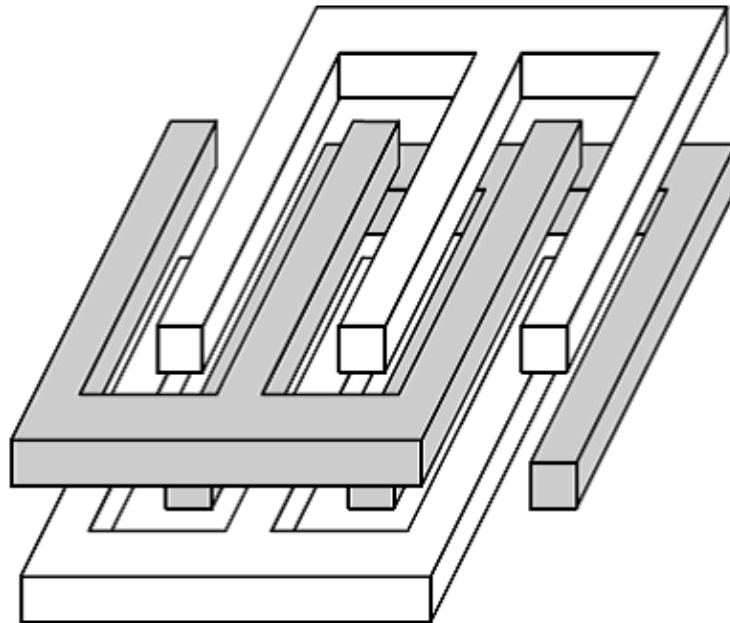


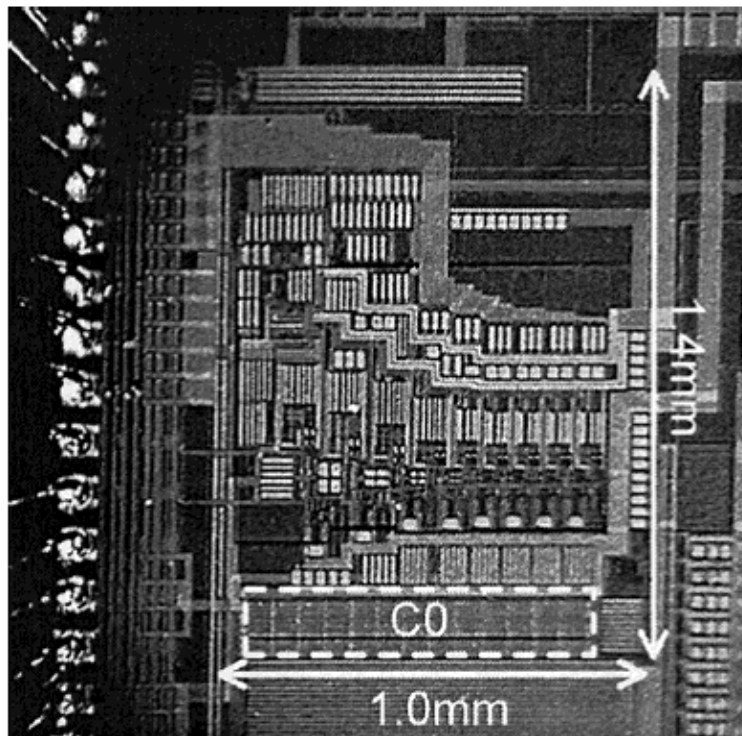
図 30 パラレルワイヤ構造を持つ金属配線キャパシタ

技術が進み、金属配線の最小線幅が狭くできるようになるにつれ面積が小さくなる利点がある。

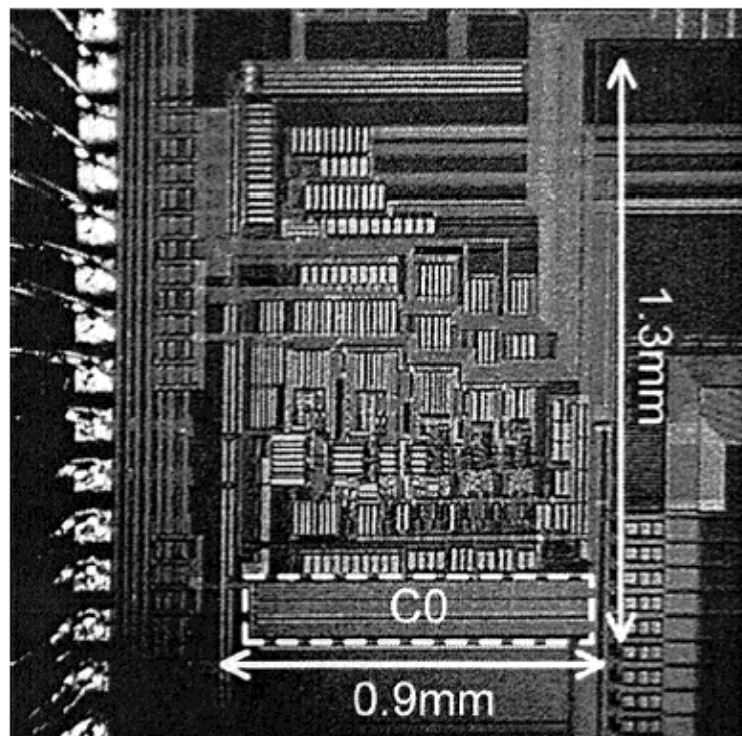
4.4 測定結果

図 31 は、試作した 2 種類のパイプライン型 A/D 変換器のチップ写真である。図 31(a) は、アンプシェアリングを実施しない A/D 変換器（以後、NS-ADC(Nonsharing ADC) と記載) を示している。NS-ADC のコア回路面積は $1.4\text{mm} \times 1.0\text{mm}$ である。図 31(b) は、アンプシェアリング技術を実装した A/D 変換器（以後、AS-ADC(Amplifier sharing ADC) と記載) を示している。NS-ADC のコア回路面積は $1.3\text{mm} \times 0.9\text{mm}$ である。図 31 の点線で囲まれた C_0 は、図 30 の MOM Cap をそれぞれ示している。

4 オペアンプシェアリングおよび疑似差動低消費電力化回路技術の検討および
10BIT,80MS/S パイプライン A/D 変換器への適用



(a)



(b)

図 31 試作したパイプライン型 A/D 変換器のチップ写真 (a) アンプシェアリング無し (Nonsharing ADC: NS-ADC) (b) アンプシェアリング有り (Amplifier sharing ADC: AS-ADC)

4 オペアンプシェアリングおよび疑似差動低消費電力化回路技術の検討および
10BIT,80MS/S パイプライン A/D 変換器への適用

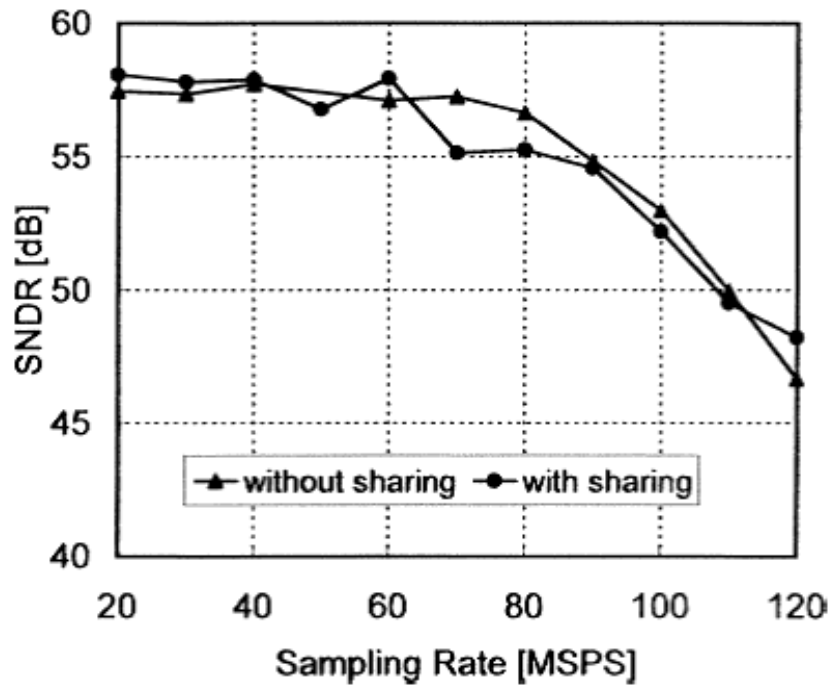


図 32 入力信号周波数 0.99MHz 時の SNDR 測定結果

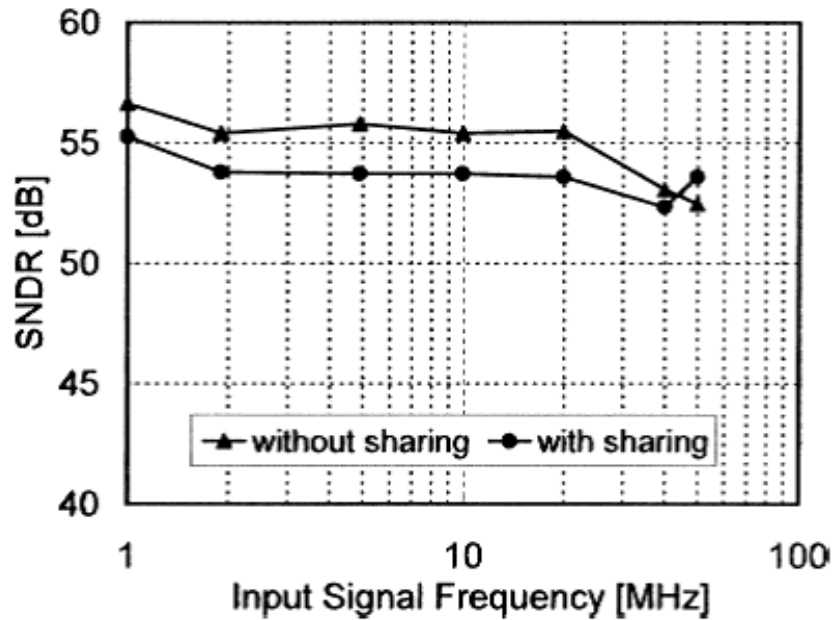


図 33 動作速度 80MS/s 時の SNDR 測定結果

4 オペアンプシェアリングおよび疑似差動低消費電力化回路技術の検討および 10BIT,80MS/S パイプライン A/D 変換器への適用

図 32 は、入力信号周波数 0.99MHz 時の動作速度と信号雑音歪み比 (SNDR) の評価結果を示す。NS-ADC の SNDR は、動作速度 20MS/s のとき 57.5dB、動作速度 80MS/s のとき 56.6dB であった。SNDR から換算される有効ビット数 (Effective Numbers of Bits:ENOB) は、それぞれ 9.3bit、9.1bit であった。AS-ADC の SNDR は、動作速度 20MS/s のとき 58.1dB、動作速度 80MS/s のとき 55.3dB であった。SNDR から換算される有効ビット数 (Effective Numbers of Bits:ENOB) は、それぞれ 9.4bit、8.9bit であった。動作速度 80MS/s 時、消費電力は NS-ADC が 69.4mW、AS-ADC が 54.7mW であった。

本研究より過去の試作例において、分解能 10bit で動作速度 100MS/s 程度のパイプライン型 A/D 変換器では、NS-ADC や AS-ADC よりも低消費電力動作を実現しているものもある [6] [7] が、これらの ENOB は全て 9bit 以下である。ENOB が 9bit を超えるものの中で比較すると、アンプシェアリング技術を採用していない NS-ADC であっても、本研究と同時期に発表された最も低消費電力な A/D 変換器の 1 つである [2] [8] [9]。

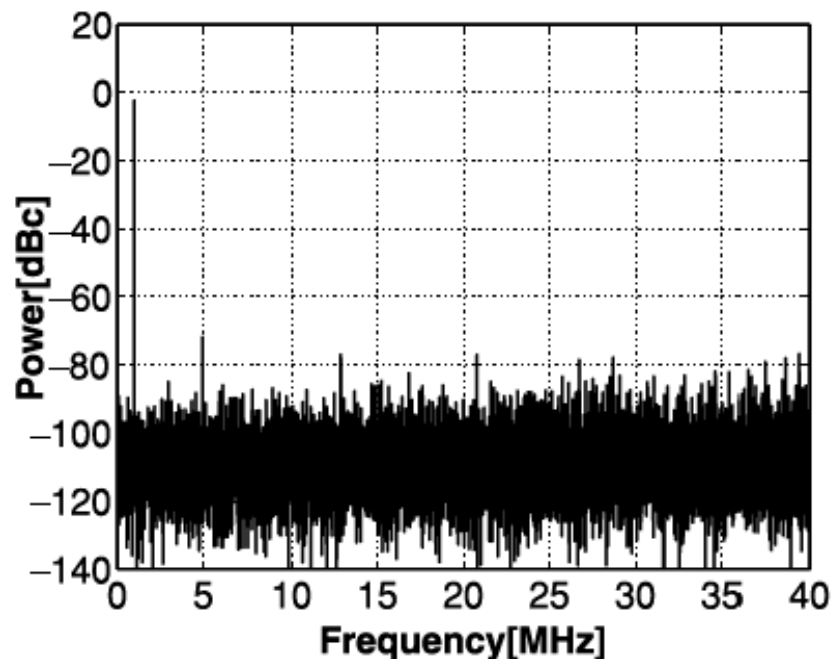


図 34 動作速度 80MS/s、入力信号周波数 0.99MHz 時の FFT 図 (NS-ADC)

4 オペアンプシェアリングおよび疑似差動低消費電力化回路技術の検討および 10BIT,80MS/S パイプライン A/D 変換器への適用

NS-ADC と AS-ADC との消費電力比較から、アンプシェアリング技術は 22% の電力削減効果があるとわかる。また、4.2 節の検討結果から、アンプシェアリング技術を用いず DC オフセット検出を省略した NS-ADC の電力削減効果と疑似差動オペアンプを利用した場合の電力削減効果が同じである。これらから、アンプシェアリング技術を用いる方が疑似差動オペアンプを採用した場合に比べて 22% の電力低減効果があることがわかった。

図 33 は、動作速度 80MS/s 時の入力信号周波数と SNDR に関する評価結果を示す。入力信号周波数約 40MHz において、NS-ADC の SNDR は 53.1dB、AS-ADC の SNDR は 52.3dB であった。どちらの A/D 変換器も入力信号周波数が低い場合に比較し、3dB 程度 SNDR が低下していた。

図 34 は、動作速度 80MS/s 時、入力信号周波数 0.99MHz における出力信号の FFT 結果を示している。信号電力と最も大きな高調波歪み電力との比であるスプリアスフリーダイナミックレンジ (Spurious Free Dynamic Range:SFDR) は、約 70dB であった。

図 35 は、入力信号周波数 0.99MHz、動作速度 80MS/s 時に測定から得られた DNL/INL を示している。図 35(a) は NS-ADC の結果であり、最大 DNL/INL は、それぞれ +0.66LSB/-0.60LSB、+0.98LSB/-0.84LSB であった。図 35(b) は AS-ADC の結果であり、最大 DNL/INL は、それぞれ +0.61LSB/-0.73LSB、+1.37LSB/-1.45LSB であった。

4 オペアンプシェアリングおよび疑似差動低消費電力化回路技術の検討および
10BIT,80MS/S パイプライン A/D 変換器への適用

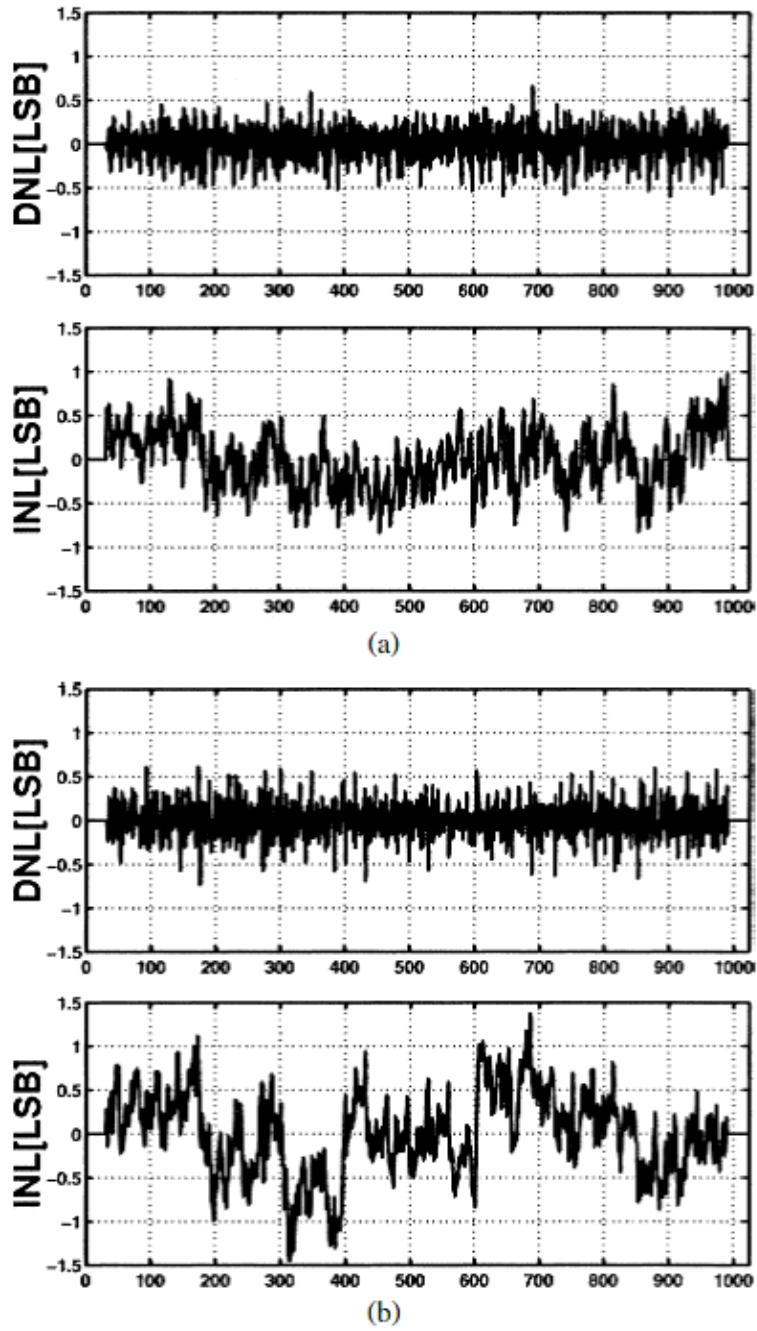


図 35 動作速度 80MS/s、入力信号周波数 0.99MHz 時の DNL/INL(a)NS-ADC(b)AS-ADC

4.5 まとめ

A/D 変換器の低消費電力化設計という観点から、2つの既存の低消費電力化技術の電力削減効果について比較検討した。

検討結果から、アンプシェアリング技術を利用した場合の方が疑似差動オペアンプを利用した場合よりもより消費電力を低減できることがわかった。

検証のため、アンプシェアリング技術の有無が異なる2種類のパイプライン型 A/D 変換器を試作した。測定の結果、アンプシェアリング技術を使用しない A/D 変換器の消費電力は 69.4mW であり、アンプシェアリング技術を使用した A/D 変換器の消費電力は 54.7mW であった。

試作の結果として、アンプシェアリング技術によって消費電力を約 22% 削減できることがわかった。

4.6 DC オフセット検出を行う従来のパイプライン型 A/D 変換器における トランスコンダクタンスの最適化

低消費電力設計の観点から、T/H 回路や MDAC 内に使用するオペアンプのトランスコンダクタンスの最適化について考慮する。

最適化において、オペアンプのバイアス電流や使用するトランジスタのゲート幅については、単位ゲート幅あたりの電流密度を一定に保つようにスケーリングを実施する。こうすると、オペアンプのトランスコンダクタンスは、そのバイアス電流に比例する。また、このスケーリングにおいては、オペアンプに関するバイアス電圧や DC ゲインは一定に保たれる。

4.2 節で検討したように、時定数 τ は、

$$\tau = \left(\frac{1}{G_{m1}} + \frac{1}{G_{m2}} \right) C \quad (4.3)$$

となる。 G_{m1} 、 G_{m2} は、それぞれオペアンプのトランスコンダクタンスである。

2つのオペアンプの全バイアス電流 I_{bias} は、

$$\begin{aligned} I_{bias} &= I_{bias1} + I_{bias2} \\ &= K (G_{m1} + G_{m2}) \end{aligned} \quad (4.4)$$

となる。 I_{bias1} 、 I_{bias2} は、それぞれのオペアンプのバイアス電流である。 K は、上記前提条件におけるトランスコンダクタンスとバイアス電流に関する比例定数である。

2つの連続するオペアンプの消費電流を最小化するために、

$$\frac{\delta I_{bias}}{\delta G_{m1}} = K \left(1 + \frac{\delta G_{m2}}{\delta G_{m1}} \right) = 0 \quad (4.5)$$

となる。

(4.3) 式、(4.5) 式から、

$$\frac{\delta I_{bias}}{\delta G_{m1}} = K \frac{G_{m1}(G_{m1} - 2C/\tau)}{(G_{m1} - C/\tau)^2} = 0 \quad (4.6)$$

となる。

(4.6) 式から、 I_{bias} は、 $G_{m1} = G_{m2} = 2C/\tau$ のとき最小となる。

参考文献

- [1] D. Miyazaki, S. Kawahito, and M. Furuta, "A 10-b 30-MS/s Low-Power Pipelined CMOS A/D converter Using a Pseudodifferential Architecture," *IEEE J. of Solid-State Circuits*, vol. 38, pp. 369–373, Feb. 2003.
- [2] B. M. Min, P. Kim, F. W. Bowman, D. M. Boisvert, and A. J. Aude, "69-mW 10-bit 80-MSample/s pipelined CMOS ADC," *IEEE J. of Solid-State Circuits*, vol. 38, pp. 2031–2039, Dec. 2003.
- [3] D. Senderowicz, S. F. Dreyer, J. H. Huggins, C. F. Rahim, and C. A. Laber, "A family of differential NMOS analog circuits for a PCM codec filter chip," *IEEE J. of Solid-State Circuits*, vol. 17, pp. 1014–1023, Dec. 1982.
- [4] D. W. Cline and P. R. Gray, "A Power Optimized 13-b 5 Msamples/s Pipelined Analog-to-Digital Converter in 1.2 μm CMOS," *IEEE J. of Solid-State Circuits*, vol. 31, pp. 294–303, Mar. 1996.
- [5] R. Aparicio and A. Hajimiri, "Capacity Limits and Matching Properties of Integrated Capacitors," *IEEE J. of Solid-State Circuits*, vol. 37, pp. 384–393, Mar. 2002.
- [6] P. Bogner, "A 28mW 10b 80MS/s pipelined ADC in 0.13 μm CMOS," in *Proc. of IEEE Int. Symp. Circuits and Systems*, vol. 1, pp. I–17–20, May 2004.
- [7] M. Yoshioka, M. Kubo, K. Gotoh, and Y. Watanabe, "A 10b 125MS/s 40mW Pipelined ADC in 0.18 μm CMOS," in *ISSCC 2005 Dig. Tech. Papers*, pp. 282–283, Feb. 2005.
- [8] D. Miyazaki, M. Furuta, and S. Kawahito, "A 75mW 10bit 120MSample/s parallel pipeline ADC," in *Proc. European Solid-State Circuits Conf.*, pp. 719–722, Sep. 2003.
- [9] B. Hernes, A. Briskemyr, T. N. Andersen, F. Telstø, T. E. Bonnerud, and Ø. Moldsvor, "A 1.2 V 220 MS/s 10 b Pipeline ADC implemented in 0.13 μm Digital CMOS," in *Proc. of ISSCC Dig. Tech. Papers*, pp. 256–257, Feb. 2004.

5 スルーレートを考慮したパイプライン型 A/D 変換器の変換ステージ構成法の検討

5.1 はじめに

4 章では、動作速度 80MS/s のパイプライン型 A/D 変換器の試作例を報告した。本章では、動作速度 200MS/s まで高速化した 10bit パイプライン型 A/D 変換器の試作例について報告する。試作には 90nm CMOS プロセスを使用し、消費電力 105mW を達成した。

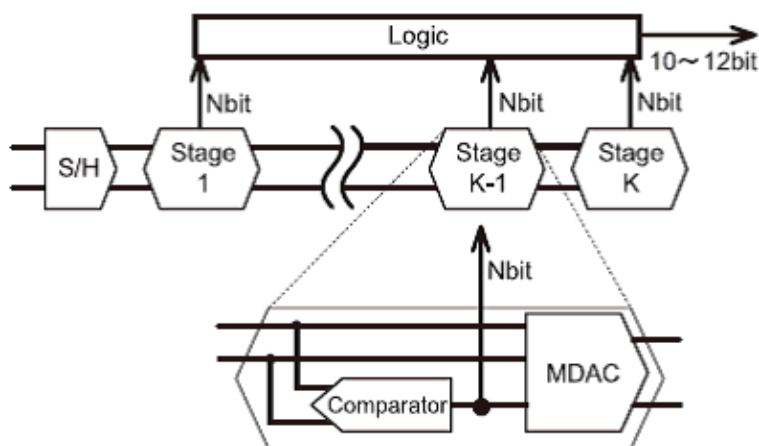


図 36 パイプライン型 A/D 変換器のブロック図

図 36 は、パイプライン型 A/D 変換器のブロック図である。パイプライン型 A/D 変換器は、主に、サンプルホールド (S/H) 回路、変換ステージ、エラー訂正回路 (Logic) で構成される。変換ステージは、最終段を除き、コンパレータ (Comparator) で構成された Sub-ADC 回路と、MDAC で構成される。最終段の変換ステージは、Sub-ADC 回路のみである。

S/H 回路と MDAC はともにスイッチトキャパシタ回路で構成されており、前段から後段へのアナログ信号の伝達は、容量への充放電によって行われる。動作速度の高速化に伴い、容量への充放電をより短い時間で行う必要がある。この充放電はオペアンプを用いて行うため、高速動作に対応したオペアンプを設計する必要がある。オペアンプの高速化は、通常、消費電力の増加を伴う。無線通信システム用 A/D 変換器には、常に低消費電

5 スルーレートを考慮したパイプライン型 A/D 変換器の変換ステージ構成法の検討

力化が望まれる。パイプライン型において、電力の大半はオペアンプで消費されるため、低消費電力化には、オペアンプの電力効率向上が必要である [1][2]。

パイプライン型 A/D 変換器においては、1 つの変換ステージあたりで A/D 変換するビット数 (bit/stage) の違いにより、オペアンプに必要なとされる電力が異なってくる事が知られている [3]。以上から、使用するプロセスやシステムから要求される動作速度、分解能に対して、低消費電力化の観点から bit/stage の最適化を図ることは重要課題の 1 つである。

文献 [3] においては、オペアンプの線形モデルに基づく bit/stage の最適化方法に関する報告がされている。しかしながら、この報告では、オペアンプの非線形効果、言い換えれば、オペアンプのスルーレートを考慮に入れていない。そこで本研究では、オペアンプの非線形モデルをも考慮に入れた上で、低消費電力設計という立場から bit/stage の最適化方法について議論する。

5.2 非線形モデルを用いた消費電力最適設計

5.2.1 線形モデル

パイプライン型 A/D 変換器のようなスイッチトキャパシタ回路においては、線形モデル、すなわち、キャパシタと線形のトランスコンダクタンスで構成される回路として解析がなされる場合が多い [3]。

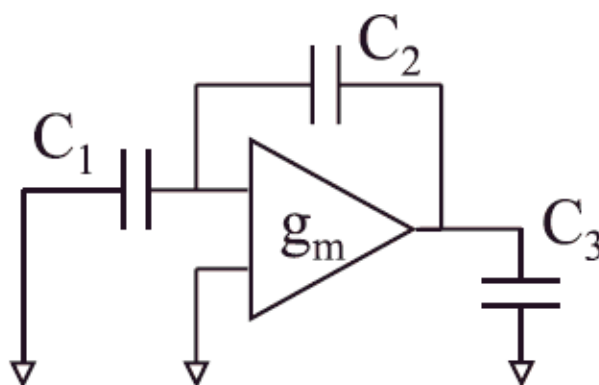


図 37 スイッチトキャパシタ回路の線形モデル

図 37 は、スイッチトキャパシタ回路の線形モデルを示す。所望のセトリング精度を達成するためには、オペアンプの帯域を十分広くする必要がある。

5 スルーレートを考慮したパイプライン型 A/D 変換器の変換ステージ構成法の検討

オペアンプの閉ループ帯域は、オペアンプのトランスコンダクタンスを g_m 、負荷容量を C_L 、フィードバック係数を β とすると、

$$f_{clbw} = \frac{g_m}{C_L} \beta \quad (5.1)$$

で示される。

負荷容量 C_L 、フィードバック係数 β は、それぞれ、

$$C_L = C_3 + \frac{C_1 C_2}{C_1 + C_2}, \quad (5.2)$$

$$\beta = \frac{C_2}{C_1 + C_2}, \quad (5.3)$$

である。

オペアンプの利得段が 1 段だと仮定すると、オペアンプのバイアス電流 I_{bias} は、入力トランジスタのオーバードライブ電圧 $V_{gs} - V_{th}$ の g_m 倍に比例し、

$$I_{bias} \propto g_m (V_{gs} - V_{th}) \quad (5.4)$$

と表される。

使用する 90nmCMOS プロセスにおいては、電源電圧が 1.2V と低く、トランジスタのオーバードライブ電圧は 100mV~200mV に制限される。オーバードライブ電圧 $V_{gs} - V_{th}$ の許容範囲が狭い場合、(5.4) 式より、トランスコンダクタンス g_m は、バイアス電流 I_{bias} にほぼ比例することになる。

5.3 節で後述するように、オペアンプの寄生容量を無視すると、S/H 回路のフィードバック係数 β は $1(C_1=0)$ である。また、1.5bit/stage 構成のパイプライン型 A/D 変換器において、MDAC のフィードバック係数 β は $1/2(C_1=C_2)$ である。よって、S/H 回路と MDAC の負荷容量が同じだとすると、式 (5.1) より、MDAC のオペアンプにおいて S/H 回路のオペアンプと同じ閉ループ帯域を得るためには、MDAC のオペアンプに流すバイアス電流を、S/H 回路の 2 倍にする必要がある。

同様に、2.5bit/stage 構成のパイプライン型 A/D 変換器の場合、S/H 回路のフィードバック係数 β は $1(C_1=0)$ 、MDAC のフィードバック係数 β は $1/4(C_1=3 C_2)$ なので、S/H 回路と MDAC の負荷容量が同じだとすると、MDAC のオペアンプのバイアス電流は、S/H 回路のオペアンプの 4 倍となる。

以上から、線形モデルを用いて消費電力の最適化を検討する場合は、1 変換ステージあたりのビット数 (bit/stage) が少ない方が有利な場合が多い。

5.2.2 非線形モデル

CMOS 微細化技術の発達に伴い、トランジスタの最小ゲート長が小さくなるにつれ、所望のトランスコンダクタンスを得るために必要なバイアス電流が徐々に小さくなってきている。線形モデルで考える限り、これは低消費電力化にとって好ましい。

しかしながら、使用するオペアンプのスルーレートに対する考慮も必要である。動作速度を高速化するためには、負荷容量により短い時間で信号を充放電するために、オペアンプの出力電流を十分に増加させなければならない。

f_{SR} を A/D 変換器の動作速度、 V_{FS} をフルスケールとし、動作速度の半分の時間をサンプリング時間とすると、フルスケールの充放電を実施するのに最低限必要なスルーレートは、

$$2f_{SR}V_{FS} \quad (5.5)$$

と表される。

少なくとも、オペアンプのスルーレートを $2f_{SR}V_{FS}$ よりも大きくしなければならない。それに伴い、オペアンプの出力電流 I_{lim} は、 $I_{lim} = 2f_{SR}V_{FS}C_L$ よりも増加しなければならない。トランスコンダクタンスと異なり、 I_{lim} はフィードバック係数 β と独立である。

スルーレートについては、オペアンプに必要な最小電流は、S/H 回路や MDAC のオペアンプが駆動する負荷容量の総量 C_L が同じなら、1 ステージあたりの変換 bit 数によらず一定である。この結果から、使用する CMOS プロセスの最小ゲート長が短いほど、1 ステージあたりの変換 bit 数を増加させる方が、変換ステージ数を減らすことができるので、消費電流を小さくできると言える。この結論は、5.2.1 節の線形モデルでのみ考慮した場合の結論と異なっている。

5.3 変換ステージ構成

本研究では、分解能 10bit のパイプライン型 A/D 変換器において、1.5bit/stage、2.5bit/stage、3.5bit/stage の 3 つの変換ステージ構成について A/D 変換器に使用する全オペアンプの総消費電力を見積もった。本節では、見積もりの前提となる各 bit/stage の回路アーキテクチャについて述べる。

5.3.1 各変換ステージのサンプル容量

パイプライン型において、雑音電力に支配的なのは、S/H 回路や変換ステージ内の MDAC で利用するサンプル容量の kT/C ノイズである。S/H 回路のサンプル容量を V_{s0} 、変換ステージ数が N 段、前段から k 番目の MDAC の容量を $V_{sk}(k=1\sim N)$ とすると、発生する kT/C ノイズの入力換算雑音の合計 $\overline{V_{ntotal}}^2$ は、

$$\overline{V_{ntotal}}^2 = \frac{kT}{C_{s0}} + \frac{kT}{C_{s1}} + \left(\frac{1}{A}\right)^2 \frac{kT}{C_{s2}} + \cdots + \left(\frac{1}{A^{(N-1)}}\right)^2 \frac{kT}{C_{sN}} \quad (5.6)$$

と表される。

ここで、 A は変換ステージの 1 段あたりの電圧利得である。S/H 回路は利得が 1 なので、初段 MDAC のサンプル容量で発生した kT/C ノイズ kT/C_{s1} の大きさは、入力換算しても同じである。一方、2 段目以降の MDAC で発生した kT/C ノイズ $kT/C_{sk}(k=2\sim N)$ は、入力換算すると、それより前段の MDAC の電圧利得の 2 乗に反比例して減少する。

連続する 2 つの変換ステージの kT/C ノイズについて考慮する。 k 番目と $(k+1)$ 番目の変換ステージにおける入力換算雑音 $\overline{V_{noise}}^2$ は、

$$\overline{V_{noise}}^2 = \alpha \left[\frac{kT}{C_{sk}} + \left(\frac{1}{A}\right)^2 \frac{kT}{C_{s(k+1)}} \right] \quad (5.7)$$

と表される。 α は比例定数である。

低消費電力化のためには、オペアンプの負荷となるサンプル容量ができるだけ小さいことが望ましい。今、 C_{sk} と $C_{s(k+1)}$ の容量比 R を

$$R = \frac{C_{sk}}{C_{s(k+1)}} \quad (5.8)$$

とする。

式 (5.7) と式 (5.8) から、サンプル容量の合計は、

$$C_{sk} + C_{s(k+1)} = \alpha \frac{kT}{V_{noise}^2} \left(\frac{R}{A^2} + \frac{1}{R} + 1 + \frac{1}{A^2} \right) \quad (5.9)$$

とかける。

式 (5.9) の両辺を R で微分し、容量比 R の最小値を求める。

$$\frac{d}{dR} (C_{sk} + C_{s(k+1)}) = \alpha \frac{kT}{V_{noise}^2} \left(-\frac{1}{R^2} + \frac{1}{A^2} \right) = 0 \quad (5.10)$$

式 (5.10) から、 R の最小値は、

$$R = A \quad (5.11)$$

と求まる。

オペアンプの寄生容量を無視すると、1.5bit/stage、2.5bit/stage、3.5bit/stage の MDAC における電圧利得 A は、それぞれ 2、4、8 である。よって、連続する 2 つの変換ステージ間においてサンプル容量を最小化するには、後段のサンプル容量の大きさを、前段の 1/2、1/4、1/8 にスケールするとよい。一方、S/H 回路と初段の MDAC の間については、前段の S/H 回路の電圧利得 A が 1 なので、S/H 回路と初段 MDAC のサンプル容量の大きさは同じとするとよい。

5.3.2 S/H 回路

図 36 に示されるように、検討対象のパイプライン型 A/D 変換器においては、変換ステージの前段に、連続時間の入力アナログ信号を離散化する S/H 回路を有している。S/H 回路は、スイッチトキャパシタ回路であり、サンプルモードとホールドモードの 2 つの動作モードを、半クロックずつ交互に繰り返す。

図 38(a) は、S/H 回路におけるサンプルモード時の状態を示す。実際の回路では差動構成を用いているが、簡単化のため以下の説明図ではシングルエンド構成で図示する。入力信号 V_{in0} が容量 C_{s0} へサンプルされる。このとき、オペアンプは利用していない。同様に、最終段を除く変換ステージにおいても、サンプルモードでオペアンプは利用しない。

オペアンプの電力は、オペアンプを利用して次段へ信号を伝達するホールドモードの構成によって定まる。図 38(b) は、S/H 回路におけるホールドモード時の状態を示す。容量 C_{s0} がオペアンプのフィードバックループに接続され、初段の変換ステージ (Stage1) の容量 C_{s1} に信号 V_{out0} が出力される。ここで、容量 C_{i0} はオペアンプの入力寄生容量、容量 C_{o0} はオペアンプの出力寄生容量、容量 C_{comp} は Stage1 に利用されるコンパ

5 スルーレートを考慮したパイプライン型 A/D 変換器の変換ステージ構成法の検討

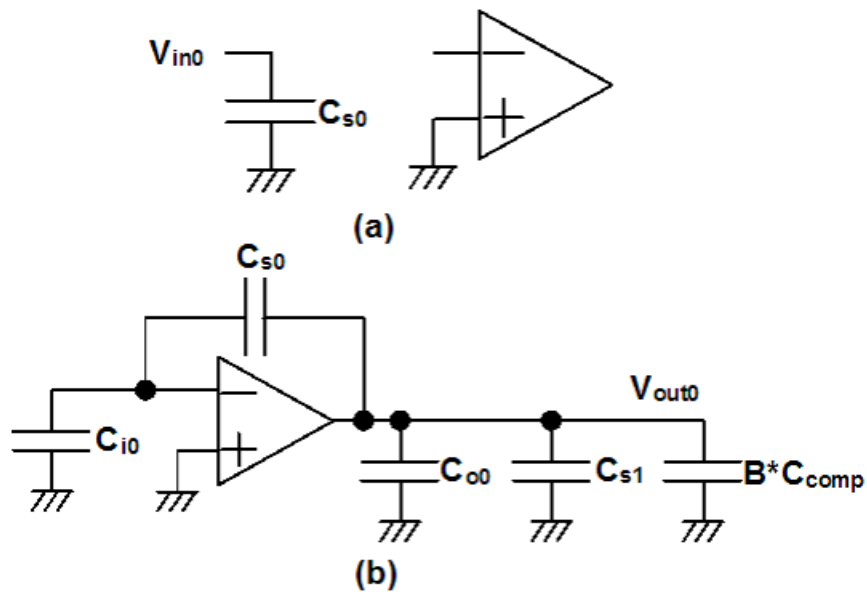


図 38 S/H 回路 (a) サンプルモード (b) ホールドモード

レータ 1 つあたりの入力寄生容量である。Stage1 で使用されるコンパレータの数 B は、1.5bit/stage、2.5bit/stage、3.5bit/stage では、それぞれ 2、6、14 である。

このとき、図 37 における $C_1 \sim C_3$ との対応関係は、それぞれ

$$C_1 = C_{i0} \quad (5.12)$$

$$C_2 = C_{s0} \quad (5.13)$$

$$C_3 = C_{o0} + C_{s1} + BC_{comp} \quad (5.14)$$

となる。

5.3.3 1.5bit/stage

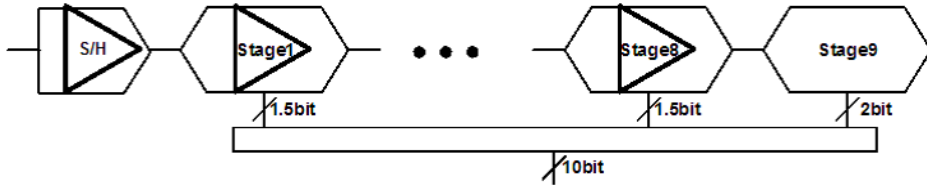


図 39 1.5bit/stage 構成

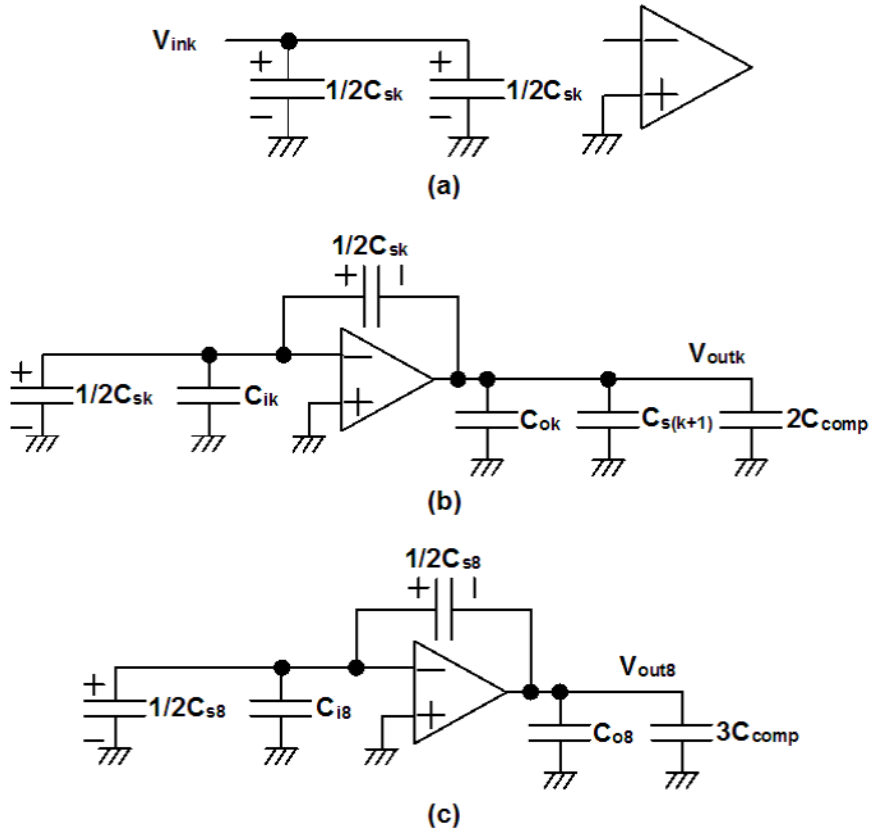


図 40 1.5bit/stage 構成の MDAC(a) サンプルモード (b) ホールドモード (StageK(K=1~7))(c) ホールドモード (Stage8)

図 39 は、1.5bit/stage の変換ステージ構成を示す。先頭に、連続する入力アナログ信号を離散化する S/H 回路があり、続いて、9 つの変換ステージが縦列に接続されている。SubADC 回路のみの最終段 (Stage9) を除く 8 つの変換ステージには、次段へ信号を伝

5 スルーレートを考慮したパイプライン型 A/D 変換器の変換ステージ構成法の検討

達するためにオペアンプを用いており、S/H 回路も含め計 9 つのオペアンプを使用する。Stage9 は、MDAC が存在せず、2bit の A/D 変換を行う 3 つのコンパレータで構成された SubADC 回路のみである。

図 40(a) は、K(K=1~8) 番目の変換ステージ内の MDAC におけるサンプルモード時の状態を示す。サンプル容量 C_{sk} に前段からの入力信号がサンプルされる。

図 40(b) は、K(K=1~7) 番目の変換ステージ内の MDAC におけるホールドモード時の状態を示す。サンプル容量 C_{sk} の半分がオペアンプのフィードバックループに接続され、次段の変換ステージ (Stage(K+1)) の容量 $C_{s(k+1)}$ に信号 V_{outk} が出力される。ここで、容量 C_{ik} はオペアンプの入力寄生容量、容量 C_{ok} はオペアンプの出力寄生容量、容量 C_{comp} は Stage(K+1) に利用されるコンパレータ 1 つあたりの入力寄生容量である。1.5bit/stage では、最終段を除き、1 つの変換ステージで 2 つのコンパレータを用いるため $2C_{comp}$ となる。

このとき、MDAC の電圧利得 A は、

$$A = \frac{C_{sk} + C_{ik}}{\frac{1}{2}C_{sk}} \quad (5.15)$$

とかける。オペアンプの入力寄生容量 C_{ik} を無視すると、 $A = 2$ である。

図 37 における $C_1 \sim C_3$ との対応関係は、それぞれ

$$C_1 = \frac{1}{2}C_{sk} + C_{ik} \quad (5.16)$$

$$C_2 = \frac{1}{2}C_{sk} \quad (5.17)$$

$$C_3 = C_{ok} + C_{s(k+1)} + 2C_{comp} \quad (5.18)$$

と表される。

図 40(c) は、Stage8 の MDAC におけるホールドモード時の状態を示す。図 40(b) との違いは、次段の Stage9 には MDAC が存在せず、SubADC 回路のみで構成されることであり、3 つのコンパレータの入力寄生容量 $3C_{comp}$ のみがオペアンプの負荷となる。

図 37 における $C_1 \sim C_3$ との対応関係は、それぞれ

$$C_1 = \frac{1}{2}C_{s8} + C_{i8} \quad (5.19)$$

$$C_2 = \frac{1}{2}C_{s8} \quad (5.20)$$

$$C_3 = C_{o8} + 3C_{comp} \quad (5.21)$$

とかける。

5.3.4 2.5bit/stage

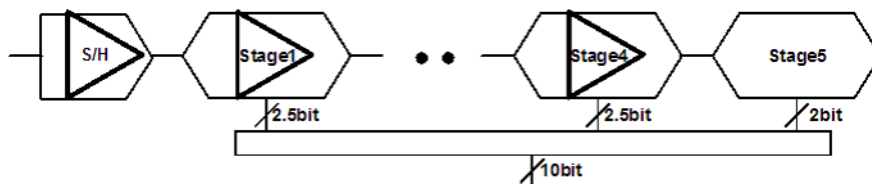


図 41 2.5bit/stage 構成

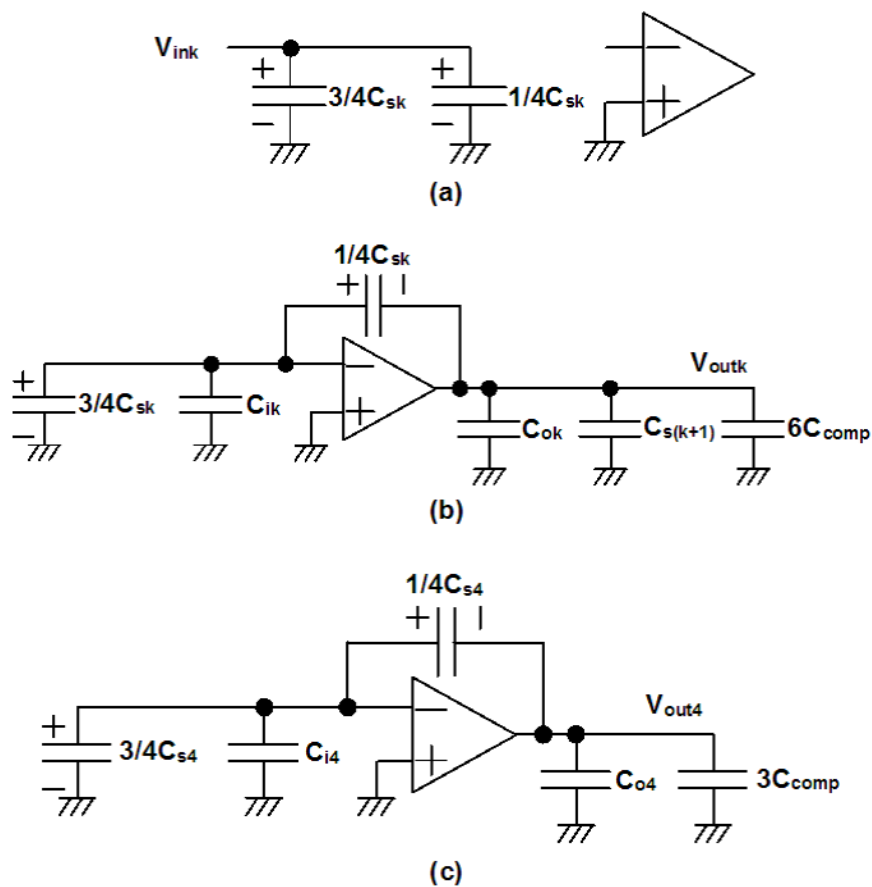


図 42 2.5bit/stage 構成の MDAC(a) サンプルモード (b) ホールドモード (StageK(K=1~3))(c) ホールドモード (Stage4)

図 41 は、2.5bit/stage の変換ステージ構成を示す。先頭に、連続する入力アナログ信号を離散化する S/H 回路があり、続いて、5 の変換ステージが縦列に接続されている。

5 スルーレートを考慮したパイプライン型 A/D 変換器の変換ステージ構成法の検討

SubADC 回路のみの最終段 (Stage5) を除く 4 つの変換ステージには、次段へ信号を伝達するためにオペアンプを用いており、S/H 回路も含め計 5 つのオペアンプを使用する。Stage5 は、MDAC が存在せず、2bit の A/D 変換を行う 3 つのコンパレータで構成された SubADC 回路のみである。

図 42(a) は、 $K(K=1\sim 4)$ 番目の変換ステージ内の MDAC におけるサンプルモード時の状態を示す。1.5bit/stage 同様、サンプル容量 C_{sk} に前段からの入力信号がサンプルされる。

図 42(b) は、 $K(K=1\sim 3)$ 番目の変換ステージ内の MDAC におけるホールドモード時の状態を示す。サンプル容量 C_{sk} の $1/4$ がオペアンプのフィードバックループに接続され、次段の変換ステージ (Stage($K+1$)) の容量 $C_{s(k+1)}$ に信号 V_{outk} が出力される。2.5bit/stage では、最終段を除き、1 つの変換ステージで 6 つのコンパレータを用いるため $6C_{comp}$ となる。

このとき、MDAC の電圧利得 A は、

$$A = \frac{C_{sk} + C_{ik}}{\frac{1}{4}C_{sk}} \quad (5.22)$$

とかける。オペアンプの入力寄生容量 C_{ik} を無視すると、 $A = 4$ である。

図 37 における $C_1\sim C_3$ との対応関係は、それぞれ

$$C_1 = \frac{1}{4}C_{sk} + C_{ik} \quad (5.23)$$

$$C_2 = \frac{3}{4}C_{sk} \quad (5.24)$$

$$C_3 = C_{ok} + C_{s(k+1)} + 6C_{comp} \quad (5.25)$$

と表される。

図 42(c) は、Stage4 の MDAC におけるホールドモード時の状態を示す。Stage5 の 3 つのコンパレータの入力寄生容量 $3C_{comp}$ のみがオペアンプの負荷となる。

図 37 における $C_1\sim C_3$ との対応関係は、それぞれ

$$C_1 = \frac{1}{4}C_{s4} + C_{i4} \quad (5.26)$$

$$C_2 = \frac{3}{4}C_{s4} \quad (5.27)$$

$$C_3 = C_{o4} + 3C_{comp} \quad (5.28)$$

とかける。

5.3.5 3.5bit/stage

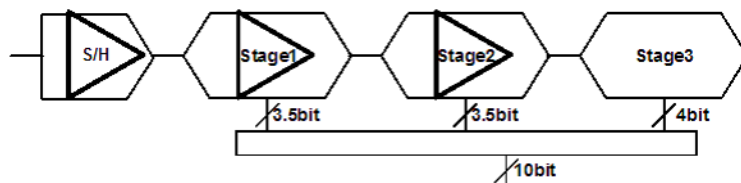


図 43 3.5bit/stage 構成

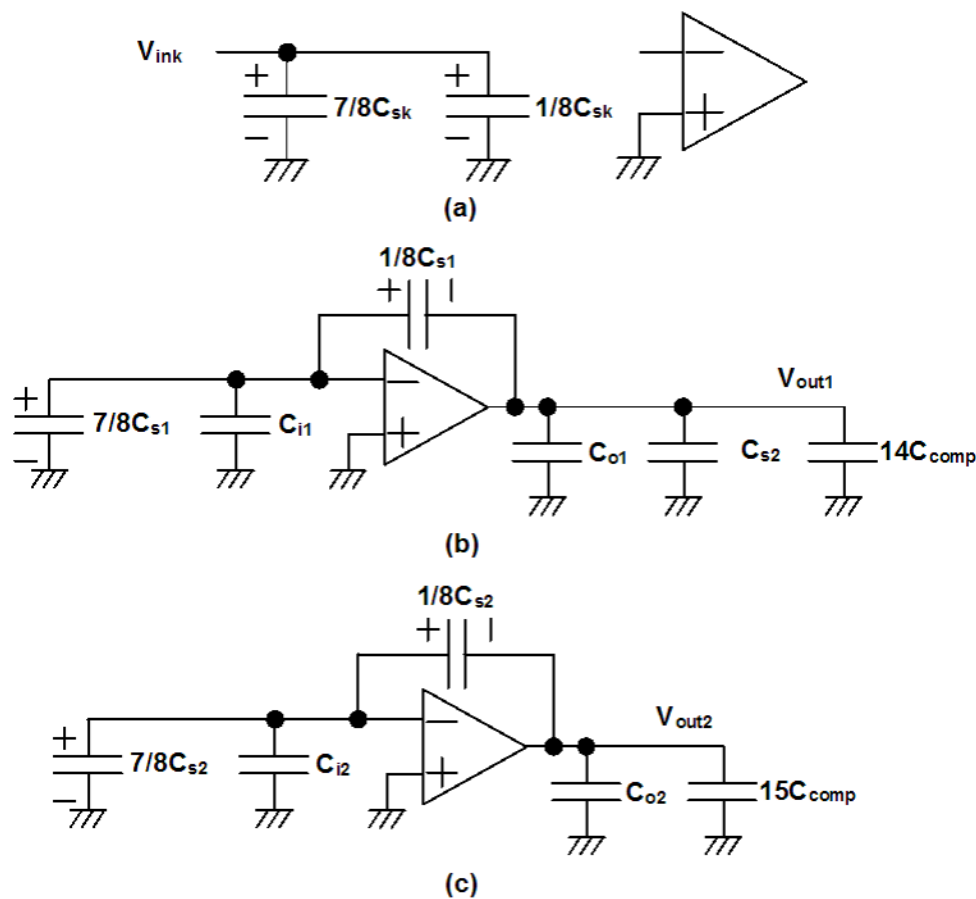


図 44 3.5bit/stage 構成の MDAC(a) サンプルモード (b) ホールドモード (Stage1)(c) ホールドモード (Stage2)

図 43 は、3.5bit/stage の変換ステージ構成を示す。変換ステージ数は 3 である。S/H 回路と Stage1~2 に計 3 つのオペアンプを使用する。最終段 (Stage3) は、4bit の A/D

変換を行う 15 個のコンパレータのみで構成される。

図 44(a) は、 $K(K=1\sim 2)$ 番目の変換ステージ内の MDAC におけるサンプルモード時の状態を示す。サンプル容量 C_{sk} に前段からの入力信号がサンプルされる。

図 44(b) は、Stage1 の MDAC におけるホールドモード時の状態を示す。サンプル容量 C_{s1} の $1/8$ がオペアンプのフィードバックループに接続され、次段の Stage2 の容量 C_{s2} に信号 V_{out1} が出力される。3.5bit/stage では、最終段の Stage3 を除き、1 つの変換ステージで 14 つのコンパレータを用いるため $14C_{comp}$ となる。

このとき、MDAC の電圧利得 A は、

$$A = \frac{C_{sk} + C_{ik}}{\frac{1}{8}C_{sk}} \quad (5.29)$$

とかける。オペアンプの入力寄生容量 C_{ik} を無視すると、 $A = 8$ である。

図 37 における $C_1\sim C_3$ との対応関係は、それぞれ

$$C_1 = \frac{1}{8}C_{s1} + C_{i1} \quad (5.30)$$

$$C_2 = \frac{7}{8}C_{s1} \quad (5.31)$$

$$C_3 = C_{o1} + C_{s2} + 14C_{comp} \quad (5.32)$$

と表される。

図 44(c) は、Stage2 の MDAC におけるホールドモード時の状態を示す。Stage3 の入力寄生容量 $15C_{comp}$ のみがオペアンプの負荷となる。

図 37 における $C_1\sim C_3$ との対応関係は、それぞれ

$$C_1 = \frac{1}{8}C_{s2} + C_{i2} \quad (5.33)$$

$$C_2 = \frac{7}{8}C_{s2} \quad (5.34)$$

$$C_3 = C_{o2} + 15C_{comp} \quad (5.35)$$

とかける。

5.3.6 最適変換ステージ構成の検討手順

現実の回路においては、使用するオペアンプはスルーレートとトランスコンダクタンスの両方の要求を満足する必要がある。A/D 変換器の消費電流検討において、スルーレートの影響を反映させるためには、出力電流に制限されたトランスコンダクタンスモデルが必要である。

本研究では、まず、90nmCMOS プロセスを用い、動作速度 200MS/s の S/H 回路のオペアンプを設計した。次に、設計したオペアンプから、出力電流で制限されたスルーレートを抽出し、その値を用いて、1.5bit/stage, 2.5bit/stage, 3.5bit/stage の変換ステージ構成に関して、オペアンプに必要な消費電流を見積った [4]。各変換ステージ構成における変換ステージ間のサンプル容量比は、5.3.1 節での検討結果に従った。

5.3.7 CMOS プロセスと最適 bit/stage の関係

動作速度 200MS/s、分解能 10bit のパイプライン型 A/D 変換器を設計する場合に使用する CMOS プロセスとオペアンプの消費電力の関係について、5.2.1 節の線形モデルと 5.2.2 節の非線形モデルの両方で比較した。検討に必要な各テクノロジーにおけるパラメータは、国際半導体技術ロードマップ (ITRS) に基づいた。

図 45 は、線形モデルでの結果を示す。5.2.1 節に記載したように、オペアンプのスルーレートを考慮しない線形モデルにおいては、プロセスによらず MDAC のフィードバック係数 β が大きく確保できる 1.5bit/stage が有利である。

図 46 は、非線形モデルでの結果を示す。本研究で採用したオペアンプのスルーレートを考慮した非線形モデルにおいては、90nmCMOS プロセスより微細化が進んだ場合、2.5bit/stage が最適であることがわかる。

このように、非線形モデルを用いた検討の結果、90nmCMOS プロセスにおいては、1.5bit/stage 構成が最も低消費電力であることが分かった。また、非線形モデルの導入により、初段 MDAC のオペアンプに要求される消費電流は、S/H 回路の 1.3 倍であることがわかった。1.3 倍という量は、線形モデルで見積もった場合の 2 倍よりも十分に小さい。

線形モデルと非線形モデルでの結果の違いは、主に、プロセスの世代が進むとともに、オペアンプのスルーレートが消費電力に与える影響が大きくなることに起因する。トランジスタがより微細化すると、単位電流当たりのトランスコンダクタンスが大きくなり、オペアンプが高速化する。一方で、電源電圧が低下し、オペアンプの出力信号範囲が狭まるため、一定の信号雑音比を確保するためには、 kT/C ノイズを下げなければならず、負荷容量が増加する。スルーレートを維持するためには、負荷容量の増加に合わせて、オペア

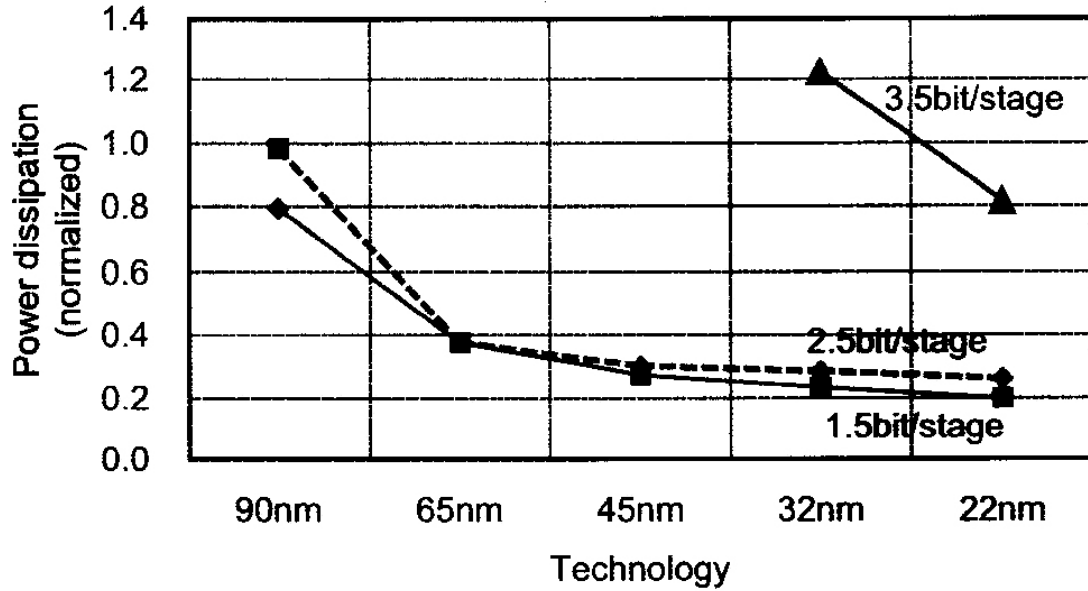


図 45 プロセスと消費電力の関係 (線形モデル)

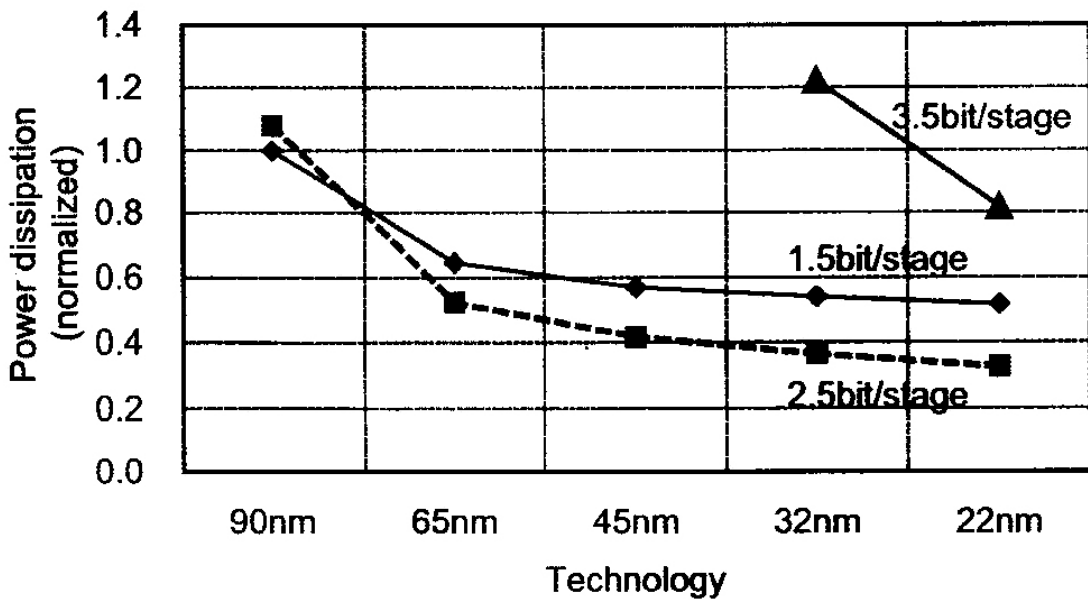


図 46 プロセスと消費電力の関係 (非線形モデル)

5 スルーレートを考慮したパイプライン型 A/D 変換器の変換ステージ構成法の検討

ンプの電流を増加させなければならない。そのため、変換ステージ数が削減して A/D 全体の負荷容量が小さくする方が消費電力に有利となる。

3.5bit/stage については、フィードバック係数 β が小さく、200MS/s 動作実現のために、オペアンプの入力トランジスタを大きくしてトランスコンダクタンスを上げなければならない、オペアンプの入力寄生容量が増大する。この入力寄生容量もオペアンプの負荷容量の一部となるため、オペアンプの消費電力が増大する傾向にあり、1.5bit/stage や 2.5bit/stage に比べ電力的に不利となる。

5.4 設計例

前節までの議論を検証するため、10bit、200MS/s のパイプライン型 A/D 変換器を 90nmCMOS プロセスを用いて試作した。面積は 1.8mm × 1.4mm であり、電源電圧 1.2V において消費電力は 105mW であった。

測定された DNL および INL は、+0.89LSB/-0.75LSB、+1.45LSB/-1.44LSB であった。SNDR は、入力信号周波数 10MHz 時 54.2dB であった。有効ビット数は 8.7ENOB であった。

表 1 に、既発表の 10bit パイプライン型 A/D 変換器のベンチマーク結果を示す。FoM(Figure of Merit) は、性能あたりの消費電力を示しており、 $P_{\text{diss}}/f_{\text{SR}}2^{\text{ENOB}}$ で定義される。このベンチマークから、試作した A/D 変換器が高速動作と低消費電力を両立していることや、採用した 1.5bit/stage の回路構成が電力削減のために適していることがわかる。

	Technology [nm]	bit arr. [bit/stage]	ENOB [bit]	f_{SR} [MHz]	P_{diss} [mW]	1/FoM
Thiswork	90	1.5	8.7bit	200MHz	105mW	8.0×10^{-11}
Hernes [1]	130	1.5	8.7bit	220MHz	135mW	6.8×10^{11}
Yoo [5]	180	4	8.4bit	150MHz	123mW	4.1×10^{11}

表 1 10bit 精度パイプライン型 A/D 変換器性能比較

5.5 まとめ

パイプライン型 A/D 変換器の消費電力を最小するために、最適な bit/stage 構成が検討された。この検討にあたっては、オペアンプのスルーレートも考慮に入れた非線形モデルが用いられた。

非線形モデルを用いた検討の結果、今回用いた 90nm プロセスにおいて、200MS/s、10bit のパイプライン型 A/D 変換器を設計する場合、1.5bit/stage の構成が最適であることが分かった。また、S/H 回路と初段 MDAC のオペアンプに必要な消費電流の比は、1:1.3 であることが判明した。これは、線形モデルで計算される 1:2 と比較して十分小さい。

検討結果に基づいて、1.5bit/stage で試作した A/D 変換器は、既発表の同等の性能を持つパイプライン型 A/D 変換器よりも高性能であり、提案した最適化手法を用いることで、高速でかつ低消費電力なパイプライン型 A/D 変換器が設計可能であることがわかった。

以上のことから、最適 bit/stage 検討にあたっては、オペアンプのトランスコンダクタンスのみを考慮した線形モデルでは不十分であり、スルーレートも考慮に入れる必要があることが示された。

参考文献

- [1] B. Hernes, A. Briskemyr, T. N. Andersen, F. Telstø, T. E. Bonnerud, and Ø. Moldsvor, "A 1.2 V 220 MS/s 10 b Pipeline ADC implemented in 0.13 mm Digital CMOS," *in Proc. of ISSCC Dig. Tech. Papers*, pp. 256–257, Feb. 2004.
- [2] T. Ito, D. Kurose, T. Ueno, T. Yamaji, and T. Itakura, "Low-Power Design of 10-bit 80-MSPS Pipeline ADCs," *in Proc. Analog VLSI Work Shop*, pp. 167–171, Oct. 2004.
- [3] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter," *IEEE J. of Solid-State Circuits*, vol. 34, pp. 599–606, May 1999.
- [4] T. Ueno, T. Yamaji, and T. Itakura, "Optimum bit/stage configuration for a pipeline A/D converter," *Proc. of the 2004 IEICE Society Conf. A-1-7(in Japanese)*, Sept. 2004.
- [5] S.-M. Yoo, J.-B. Park, H.-S. Yang, H.-H. Bae, K.-H. Moon, H.-J. Park, S.-H. Lee, and J.-H. Kim, "A 10-b 150-MS/s 123-mW 0.18- μ m CMOS Pipelined ADC," *in ISSCC 2003 Dig. Tech. Papers*, pp. 326–327, Feb. 2003.

6 4G システム用消費電力 55mW, 電源電圧 1.2V, 分解能 12bit, 動作速度 100MS/s パイプライン型 A/D 変換器

6.1 はじめに

本章では、第四世代無線通信システム (4G) 用に 90nmCMOS プロセスを用い開発された電源電圧 1.2V、分解能 12bit、動作速度 100MS/s の低電源電圧、高速高精度パイプライン型 A/D 変換器の低消費電力化技術を提案する。

超高速大容量無線通信の実現を目指した 4G システムでは、A/D 変換器に対して、動作速度 100MS/s 以上、分解能 10bit 以上の性能が要求されると予測される。また、携帯電話などのモバイル用途を想定すると、消費電力 100mW 以下に抑制する必要がある。さらに、無線送受信アナログ部とデジタル信号処理部とのワンチップ化のためには、デジタル信号処理部の高速化、低消費電力化および小面積化に貢献する微細化 CMOS プロセスに対応した A/D 変換器の開発が必須となる。

本研究以前に上記性能を満足した A/D 変換器としては、参考文献 [1] などが挙げられるが、電源電圧は 1.8V であった。本研究の目的は、1.2V の電源電圧である 90nmCMOS プロセスにおいて上記性能を達成することである。

微細化 CMOS プロセスにおけるパイプライン型 A/D 変換器開発の課題の一つは、低電源電圧動作と低消費電力化のトレードオフである。一般に、CMOS 微細化が進むと、トランジスタ耐圧が低下し、使用できる電源電圧が下がってくる。電源電圧低下に伴い、回路内で扱われる信号の振幅が狭まり、信号電力が小さくなる。よって、一定の信号雑音比を確保するには、回路内で発生するノイズを抑制する必要がある。

パイプライン型 A/D 変換器では、S/H 回路や変換ステージ間で信号伝達時に利用されるサンプル容量の kT/C ノイズが支配的である。 kT/C ノイズ低減には、サンプル容量 C のサイズを大きくすることが必要である。このとき、動作速度を一定に保つには、容量値 C の増加に合わせて、容量に対する信号の充放電能力を上げなければならず、S/H 回路や MDAC に用いられるオペアンプの電流を増やす必要が生じ、パイプライン型 A/D 変換器の消費電力が増加する。

このトレードオフを打開するには、出力振幅をできるだけ広く確保できるオペアンプを利用し扱われる信号電力を増加すること、オペアンプ単体の電力最適化を図ること、ならびに、オペアンプの利用効率を向上できる回路構成を採用することである。

本研究では、前章の非線形モデルを用いた bit/stage 最適化手法による検討を実施し、

6 4G システム用消費電力 55mW, 電源電圧 1.2V, 分解能 12BIT, 動作速度 100MS/S パイプライン型 A/D 変換器

最も電力効率が高い 2.5bit/stage の変換ステージ構成を採用した。また、我々が先に提案した I/Q アンプシェアリング技術 [2][3] による回路構成の工夫により、オペアンプの利用効率を向上した。さらに、疑似差動オペアンプを用いることで、広い信号振幅と低消費電力化の両立を図った。この疑似差動オペアンプでは、新規に開発した利得段 2 段のゲインブーストアンプを使うことで、従来よりも低消費電力で、かつ、12bit 精度を確保できる十分な DC ゲインを確保した。結果として、電源電圧 1.2V ながら消費電力 55mW という従来比で大幅な電力削減を達成した。

6.2 最適 bit/stage 検討

消費電力最適化のため、変換ステージ当たりの bit 数を検討した。

12bit の高分解能化を実現するため、 kT/C ノイズを小さくする必要があり、サンプル容量は増大する。サンプル容量が増加するにつれ、オペアンプのスルーレートが性能に与える影響が大きくなる。この場合、パイプライン型全体で使用するサンプル容量の合計値を小さくした方が消費電力的に有利になる。

5.3.1 節で検討されたように、パイプライン型では、変換ステージ当たりの bit 数を多くした方が、1 つの変換ステージ当たりの利得が増えるため、 kT/C ノイズの入力換算値が小さくなり、サンプル容量の合計値が小さくできる。

5 章のオペアンプのトランスコンダクタンスとスルーレートの両方を考慮した非線形モデルを用い検討した結果、2.5bit/stage の変換ステージ構成が最も低消費電力であり、次に消費電力の少ない 1.5bit/stage 構成よりも 15% 程度の電力削減が可能であることがわかった。

6.3 I/Q アンプシェアリング技術

本研究では、従来より電力効率の高い I/Q アンプシェアリング技術 [3] の採用により、低消費電力化を実現した。

アンプシェアリング技術とは、複数の変換ステージ間で 1 つのオペアンプを時分割に利用することで、使用するオペアンプ数を減らすことにより、低消費電力化を図る技術である。

図 47 は、従来のアンプシェアリング技術を示す。従来のアンプシェアリング技術では、1 つのオペアンプを連続する奇数段と偶数段の 2 つの変換ステージ間で共用化する [4]。今、1 クロックを T_s とする。各変換ステージは、サンプルモードとホールドモードの 2

6 4G システム用消費電力 55MW, 電源電圧 1.2V, 分解能 12BIT, 動作速度 100MS/S
 パイプライン型 A/D 変換器

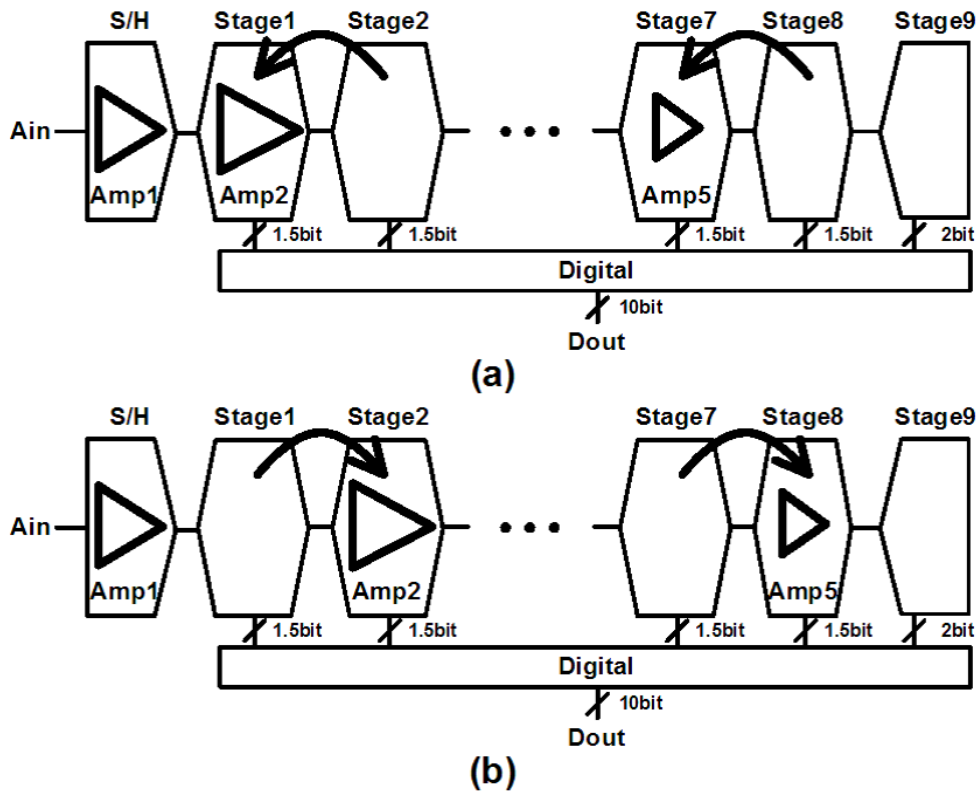


図 47 従来のアンプシェアリング技術 (a) $t=0$ (b) $t=Ts/2$ [4]

つの動作モードを繰り返すことで信号を前段から後段へ伝達するが、この動作モードは、奇数段と偶数段で互いに半クロック ($T_s/2$) ずつずれている。

図 47(a) は、 $t=0$ の動作モードを示しており、奇数段はホールドモード、偶数段はサンプルモードである。4 章でも説明したように、アンプシェアリング技術では、オフセットキャンセルを省略することで、サンプルモードではオペアンプが不要となる。よって、偶数段ではオペアンプは不要であり、奇数段にのみオペアンプが存在すればよい。

図 47(b) は、 $t=Ts/2$ の動作モードを示しており、奇数段はサンプルモード、偶数段はホールドモードに変化する。このとき、 $t=0$ では奇数段にあったオペアンプの接続先をスイッチで切り替え、偶数段で利用する。こうすると、A/D 変換器の動作を妨げることなく、オペアンプ数を変換ステージ数の半分程度に削減して低消費電力を図ることができる。

しかしながら、5.3.1 節で述べたように、パイプライン型では前段ほどサンプル容量が大きいので、奇数段の方が偶数段に比べオペアンプが駆動しなければならない負荷容量が大きい。よって、奇数段と偶数段でオペアンプを共用化する場合、オペアンプの電流を奇

6 4G システム用消費電力 55MW, 電源電圧 1.2V, 分解能 12BIT, 動作速度 100MS/S
 パイプライン型 A/D 変換器

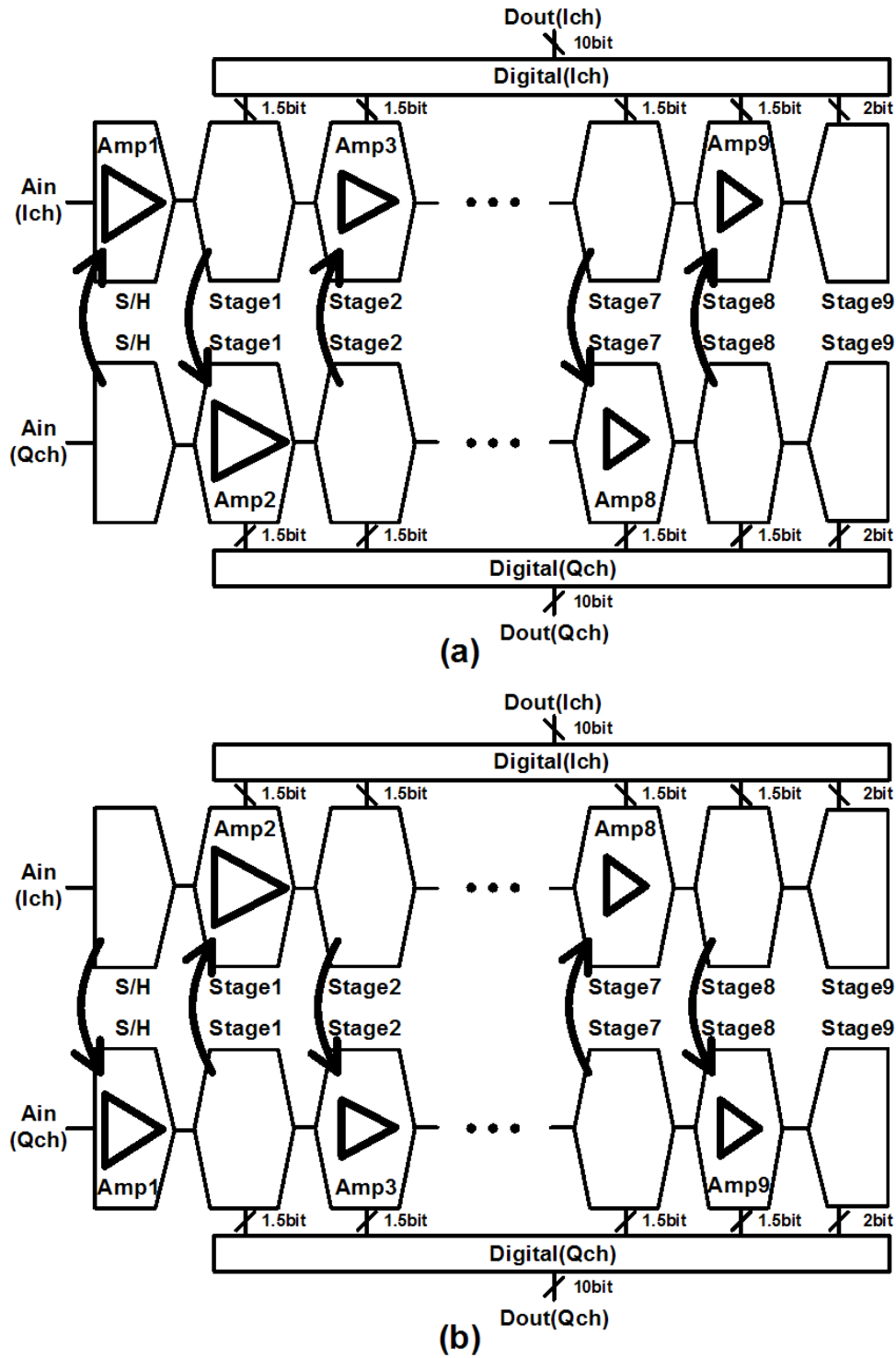


図 48 I/Q アンプシェアリング技術 (a) $t=0$ (b) $t=T_s/2$ [3]

6 4G システム用消費電力 55MW, 電源電圧 1.2V, 分解能 12BIT, 動作速度 100MS/S パイプライン型 A/D 変換器

数段に合わせて設計せざるを得ず、このオペアンプを偶数段で使用する場合はオーバースペックになり、結果として、オペアンプ数が半減しても、消費電力は半減しない。さらに、この従来のアンプシェアリング技術では、駆動する負荷容量が大きい S/H 回路のオペアンプは共用化できないため、オペアンプの消費電流削減効果が小さい。このような理由から、先に実施した 4 章での試作においては、従来のアンプシェアリング技術の消費電力削減効果は約 22% であった。

これらの欠点を改善し、電力効率を向上する技術として、先に提案された I/Q アンプシェアリング技術 [2][3] がある。

現在の無線通信用 IC では、無線信号の位相の変化に情報を載せて送信し、受信側において直交復調を行う場合が多い。直交復調では、互いに 90° の位相差を持つ 2 つのベースバンドアナログ信号、I 信号 (In-phase Signal) と Q (Quadrature Signal) 信号をデジタル信号に変換するため、同じ性能の A/D 変換器を 2 つ必要とする。I/Q アンプシェアリング技術では、この I 信号用と Q 信号用の 2 つのパイプライン型 A/D 変換器の同じ変換ステージ間で、オペアンプを共用化する。

図 48 は、I/Q アンプシェアリング技術を示す。図 48(a) は、 $t=0$ での動作を表す。上側が Ich 用の A/D 変換器を、下側が Qch 用の A/D 変換器をそれぞれ示す。Ich 側では、奇数段の変換ステージがサンプルモード、S/H 回路および偶数段の変換ステージがホールドモードである。反対に、Qch 側では、S/H 回路および偶数段の変換ステージがサンプルモード、奇数段がホールドモードである。Ich と Qch の 2ch 合計でオペアンプ数は 9 つ存在し、それぞれホールドモード側で利用されている。

図 48(b) は、 $t=Ts/2$ での動作を表す。Ich/Qch とともに動作モードが変化し、Ich 側では、S/H 回路および偶数段の変換ステージがサンプルモード、奇数段がホールドモードとなり、Qch 側では、奇数段の変換ステージがサンプルモード、S/H 回路および偶数段の変換ステージがホールドモードとなる。この動作モードの変化に合わせて、全オペアンプの接続先が切り替わる。このように、I/Q アンプシェアリング技術では、オペアンプが同じ S/H 回路間、および、同じ変換ステージ間で共用化される。

I/Q アンプシェアリング技術では、図 47 の従来技術と異なり、1ch 当たりのオペアンプ数を完全に半分にすることが可能である。また、同じ特性を持つ 2 つの A/D 変換器間での共用化であり、オペアンプが駆動する負荷容量が変わらないため、オペアンプに流す電流がオーバースペックになることがなく、結果として、パイプライン型 A/D 変換器の消費電力を 50% 削減する事が可能となる。

6.4 アーキテクチャ

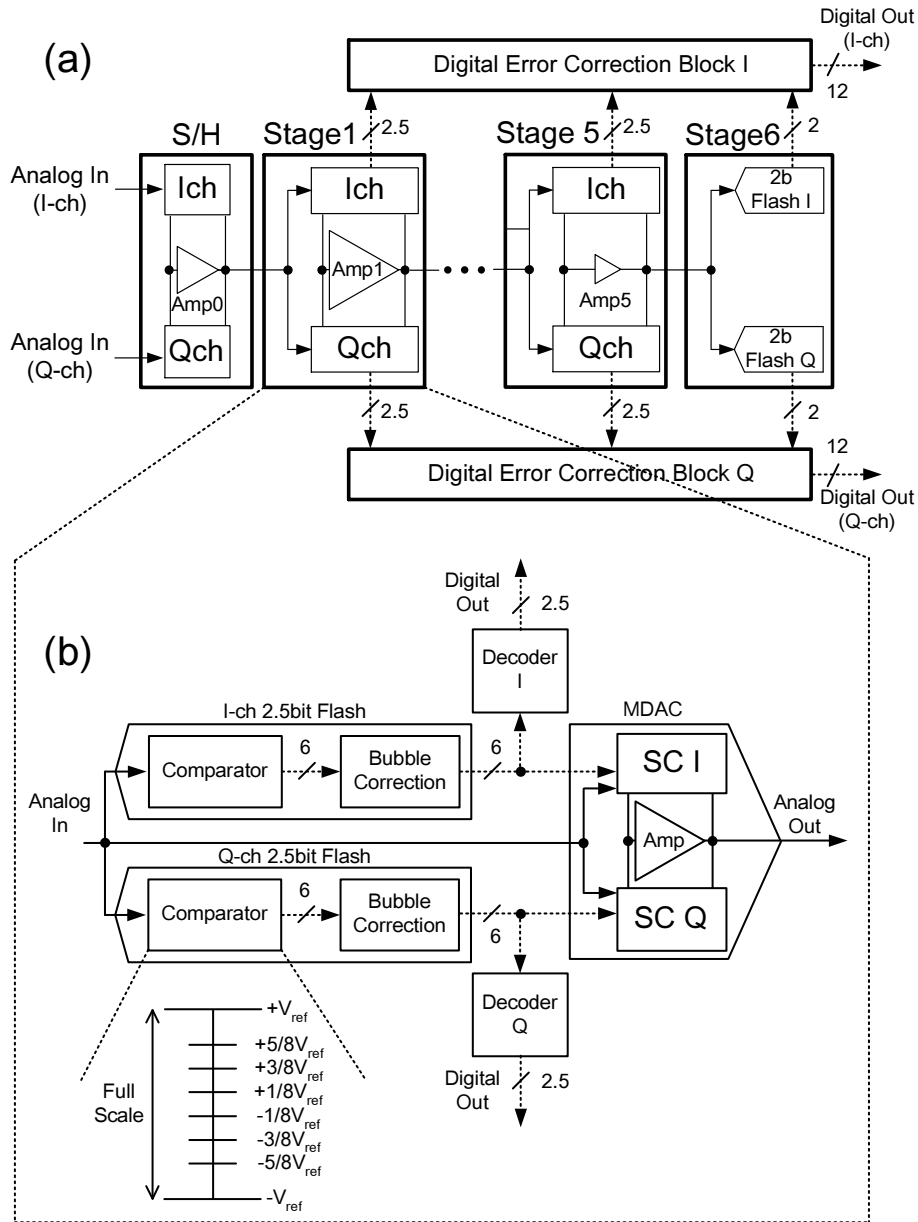


図 49 (a) I/Q アンプシェアリング技術を用いた 2.5bit/stage パイプライン型 A/D 変換器 (b) 変換ステージ構成

図 49(a) は、I/Q アンプシェアリング技術を用いた 2.5bit/stage パイプライン型 A/D 変換器のブロック図を示す。I 信号 (Ich) 用と Q 信号 (Qch) 用の 2 つの A/D 変換器を含

6 4G システム用消費電力 55MW, 電源電圧 1.2V, 分解能 12BIT, 動作速度 100MS/S パイプライン型 A/D 変換器

んでいる。

各々の A/D 変換器は、S/H 回路、6 つの変換ステージとデジタルエラー補正回路で構成されている。3 つのコンパレータのみで構成されている最終段の変換ステージを除き、Ich と Qch の間で 1 つのオペアンプが共用化されている。例えば [5] のように、1 つの入力アナログ信号が 2 つの A/D 変換器で時分割多重されているのではなく、Ich と Qch の 2 つの A/D 変換器には、それぞれ別のアナログ信号が入力される。これらの入力アナログ信号は、半クロックごとに交互にサンプルされ、独立にデジタル化される [2]。

図 49(b) は、ある変換ステージを示す。各々の変換ステージは、MDAC と 2 つの 2.5bit サブ A/D 変換器とデコーダーで構成される。MDAC においては、1 つのオペアンプが Ich 用のサンプル容量 (SC I) と Qch 用のサンプル容量 (SC Q) の間で共用化される。

2.5bit サブ A/D 変換器は、フラッシュ型であり、6 つのコンパレータで構成される。消費電力削減のため、比較動作の間のみ電流が流れるダイナミック型のラッチドコンパレータを採用した [6]。このコンパレータの閾値電圧は、単相入力信号電圧の最大値 V_{max} と最小値 V_{min} を線形領域で動作する入力トランジスタのサイズ比で調整することにより決定される。入力信号のフルスケールを $\pm V_{ref}$ ($V_{ref} = V_{max} - V_{min}$) とし、それぞれ $\pm 1/8V_{ref}$, $\pm 3/8V_{ref}$, $\pm 5/8V_{ref}$ になるように設計されている。 V_{max} と V_{min} は、MDAC に利用されるリファレンス電圧と同じ電圧であるため、コンパレータの閾値電圧を発生させるための回路を省略できる利点がある。

2.5bit サブ A/D 変換器により、前段の変換ステージからの入力アナログ信号は、温度計コードの 6bit デジタル信号に変換される。変換時、コンパレータの比較動作開始タイミングのばらつきにより、温度計コードにバブルエラーが発生し、A/D 変換器の S/N 比が劣化する可能性がある。今回の試作では、この影響を抑えるため、2.5bit サブ A/D 変換器の直後にバブルエラーを訂正するための 2 段のビットスワップ回路 [7] を追加している。

図 49(a) に見られるように、各変換ステージからのデジタル信号は、デジタルエラー訂正回路ブロック (Digital Error Correction Block) へ出力される。変換ステージからデジタルエラー訂正ブロックはレイアウト上距離があるため、信号伝送には、出力バッファが必要となる。必要な出力バッファの数が増えると消費電力が増加するため、6bit の温度計コードは、いったん各変換ステージ内のデコーダ (Decoder) で 2.5bit のバイナリコードに変換してから伝送される。

図 50 は、Ich の A/D 変換器がホールドモード、Qch の A/D 変換器がサンプルモードにあるときの MDAC を示している。Ich と Qch の 2 つの A/D 変換器で 1 つのオペアンプを共用化するために、スイッチ SW_I とスイッチ SW_Q が追加されている。

6 4G システム用消費電力 55MW, 電源電圧 1.2V, 分解能 12BIT, 動作速度 100MS/S
 パイプライン型 A/D 変換器

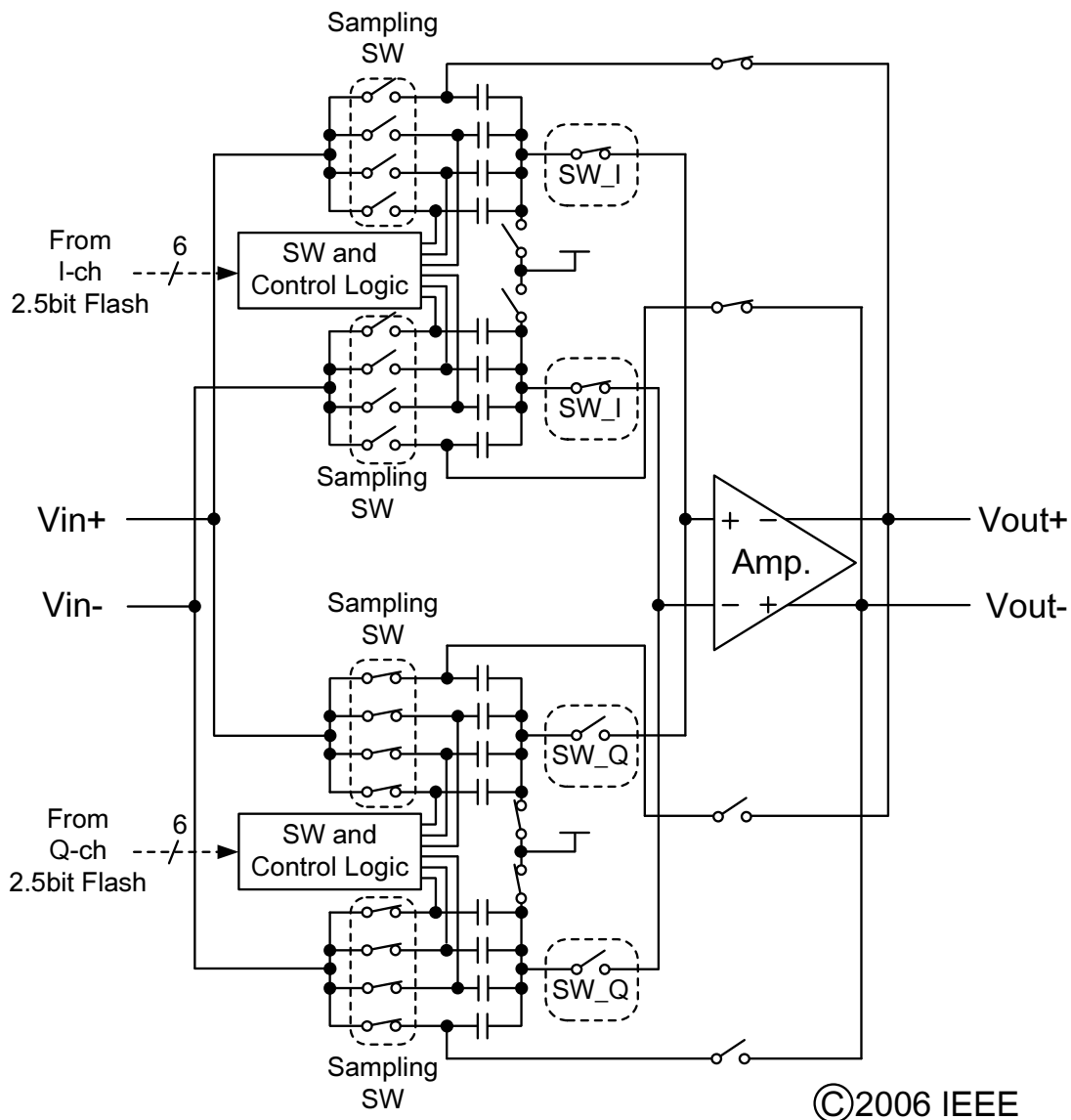


図 50 I/Q アンプシェアリング技術を持つ MDAC(Ich 側がホールドモード、Qch 側がサンプルモード)

パイプライン型 A/D 変換器では、前段のステージほど入力アナログ信号に高い S/N 比が要求される。S/N 劣化の要因の 1 つとして、サンプリングスイッチ (SamplingSW) の On 抵抗の非線形性が挙げられる。本研究では、10bit 以上の高い S/N 比を要求される S/H 回路と初段の MDAC については、ブートストラップ回路を使用し、サンプリングスイッチとして使用される MOS トランジスタのゲート-ソース間電圧を一定に保つことで、On 抵抗歪みを抑制した。ただし、ブートストラップ回路には、サンプリングスイッ

6 4G システム用消費電力 55MW, 電源電圧 1.2V, 分解能 12BIT, 動作速度 100MS/S パイプライン型 A/D 変換器

チのゲート寄生容量よりも十分大きなプリチャージ用の容量が必要であり、面積が増大する欠点があるため、要求 S/N が緩和される 2 段目以降の MDAC では、通常の CMOS スイッチを使用した。

6.5 消費電力見積もりとオペアンプの回路構成について

A/D 変換器に使用するサンプル容量の大きさからオペアンプの消費電力を見積もった。

各変換ステージのサンプル容量の大きさを、変換ステージの利得に反比例させることで消費電力について最適化できる [8]。2.5bit/stage 構成の場合、変換ステージ 1 段あたり 4 倍の利得があるので、ある変換ステージに使用するサンプル容量の容量値は、前段の変換ステージの 1/4 になる。6.3 節で述べたように、これに比例して、オペアンプに必要な消費電流も小さくできる。

S/H 回路のサンプル容量は、A/D 変換器の前に接続された回路が駆動するため考慮から除外すると、2.5bit/stage 構成では、初段と 2 段目の変換ステージに使用されるサンプル容量の容量値が A/D 変換器全体の 90% 以上を占める。よって、低消費電力化のためには、この 2 つのサンプル容量を駆動する S/H 回路と初段 MDAC のオペアンプの電力をいかに抑制するかが重要である。

以上の見積もりに基づいて、本研究では、S/H 回路と初段 MDAC のオペアンプとして、疑似差動オペアンプが用いられた。4 章で説明したように、疑似差動オペアンプは、[2] などで用いられてきたフォールディッドカスコード型オペアンプに比べ消費電力を半減できる利点がある。

全ての変換ステージに疑似差動オペアンプを用いれば、さらに電力を削減できる。しかしながら、入力部の電流源トランジスタが省略されている疑似差動オペアンプは、同相信号除去比 (Common-Mode Rejection Ratio: CMRR) が低い。このことに起因して、サンプリングスイッチ等のチャージインジェクション等に起因して発生した同相電圧オフセットがオペアンプに入力されると、そのままオペアンプの出力段の同相電圧ずれとなる。パイプライン型 A/D 変換器では、同相電圧オフセットが、変換ステージを経るごとに増幅され累積していくので、1 段あたりで発生する同相電圧オフセットが小さくても、後段では大きなずれとなる。オペアンプ出力段の同相電圧オフセットが許容範囲を超えて大きくなると、ホールドモード時におけるオペアンプの差動信号利得の非線形性が増加し、A/D 変換器の分解能が大きく劣化してしまう [9]。

この欠点を避けるため、本研究では、消費電力が小さい 2 段目以降のオペアンプは全て、従来のフォールディッドカスコード型のままとした。十分な CMRR を持つフォール

6 4G システム用消費電力 55MW, 電源電圧 1.2V, 分解能 12BIT, 動作速度 100MS/S パイプライン型 A/D 変換器

ディッドカスコード型を使用することで、S/H 回路や初段 MDAC で発生した同相電圧オフセットが 2 段目以降で解消されるようになり、結果として、低消費電力化と所望分解能の確保が図れる。

6.6 疑似差動オペアンプの回路構成

高い直流利得と低消費電力を両立するため、利得段が 1 段の疑似差動オペアンプを提案した。

図 51(a) は開発した疑似差動オペアンプの回路図である。トランジスタ M1、M2 は入力トランジスタである。今回開発したオペアンプでは、M1、M2 とグランド電位の間に M3~M6 が追加されている。

本試作のパイプライン型 A/D 変換器では、アンプシェアリング技術を採用しており、オペアンプは、Ich 側のホールドモードと Qch 側のホールドモードにおいて、それぞれほぼ半クロックずつ交互に使用される。ホールドモード時、オペアンプは、フィードバックループにサンプル容量の一部が接続され、閉ループとなる。ただし、Ich と Qch の間の接続を切り替える瞬間、オペアンプは開ループとなる。オペアンプにコモンモードフィードバック回路がない場合、開ループの間に、出力同相電圧が大きくずれ、これが元に戻る時間だけセトリング時間が長くなることで動作速度が低下する懸念がある。これを防ぐため、トランジスタ M5、M6 が加えられている。M5、M6 は、開ループ時には、コモンモードフィードバック回路として機能し、オペアンプの出力同相電圧が大きくずれを防いでいる。また、M5、M6 は、M1、M2 に縦積みされているため、追加の消費電力はない。入力トランジスタ M1、M2 のゲート端子とその下の M3、M4 のゲート端子が短絡されている。この接続は、M3~M6 が線形領域で動作することを保証している。線形領域で動作するトランジスタのドレインソース間電圧は小さいので、M5、M6 を縦積みしても、オペアンプ出力段の信号増幅範囲がほとんど狭くならない。ただし、M5、M6 は線形領域で動作しているため、トランスコンダクタンスが小さく、オペアンプの出力インピーダンスが小さくなる閉ループ時には、コモンモードフィードバック回路としての機能が不十分になる。

図 51(b) は、疑似差動オペアンプに追加されたゲインブーストアンプの回路図である。このゲインブーストアンプは、1.2V の低電源電圧において、オペアンプの出力振幅範囲を広く確保するため、トランスインピーダンス型とした [2][10][11]。また、直流利得を大きくするために利得段を 2 段に設計した。

トランジスタ M7 のゲート端子は、ノード N1 に接続されている。トランジスタ M8

6 4G システム用消費電力 55MW, 電源電圧 1.2V, 分解能 12BIT, 動作速度 100MS/S
 パイプライン型 A/D 変換器

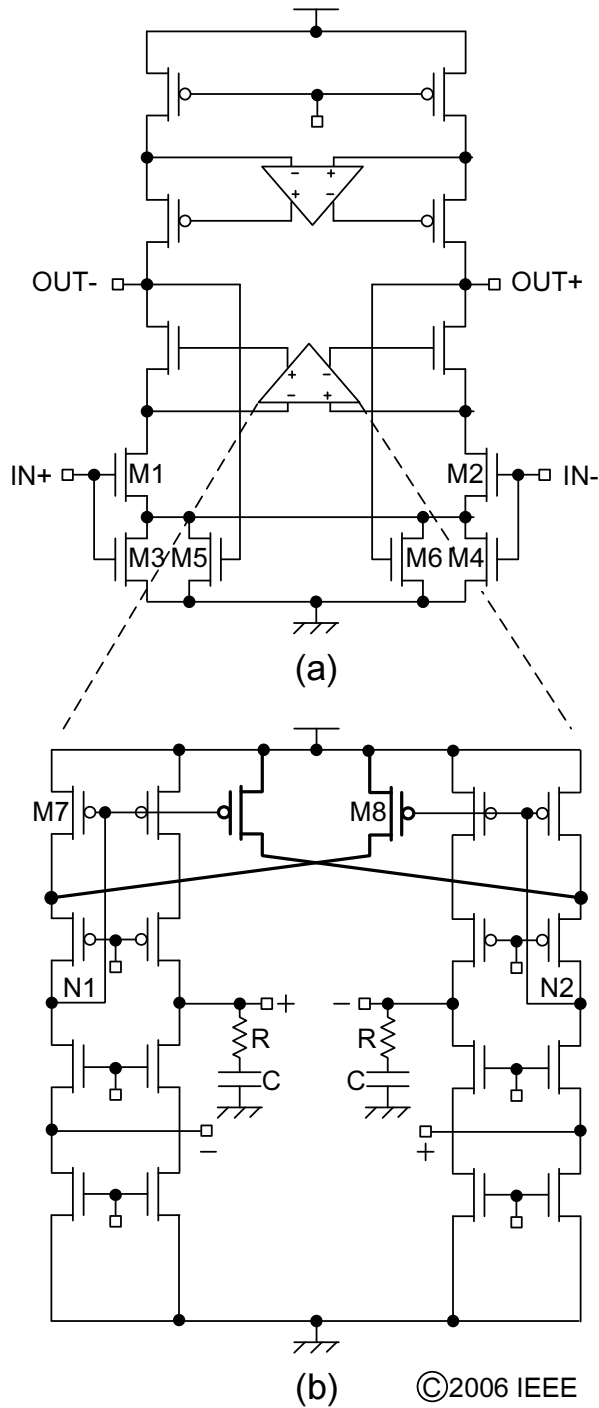
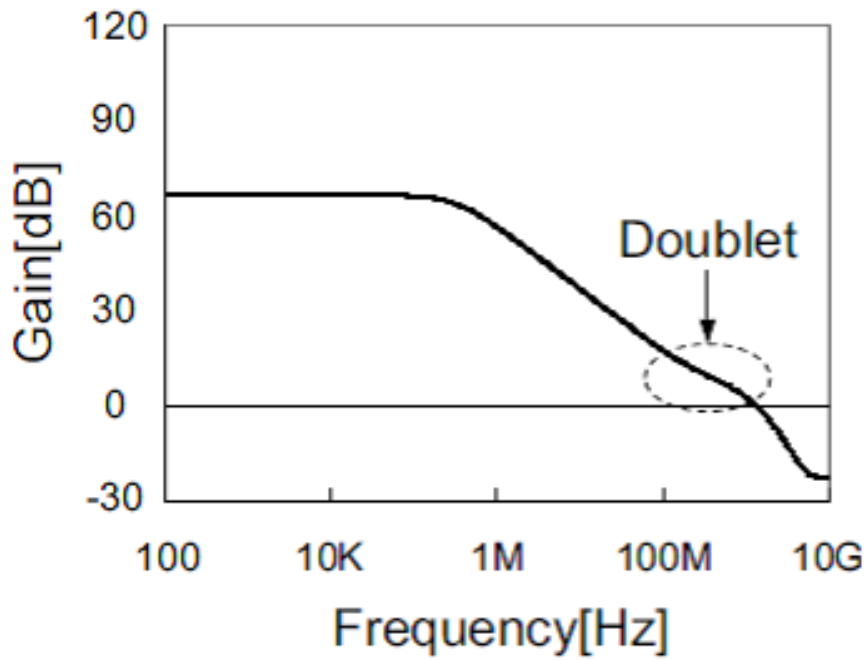
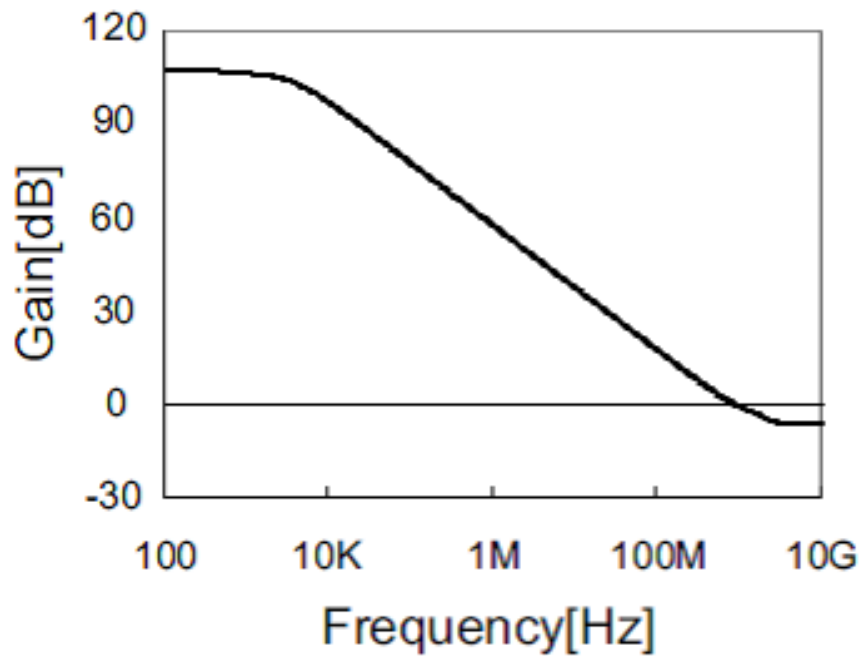


図 51 S/H 回路と初段 MDAC に用いられた疑似差動オペアンプ (a) メインアンプ
 (b) ゲインブーストアンプ



(a)



(b)

図 52 シミュレーションによる開ループ時の利得一周波数の関係 (a) ゲインブースト
アンプ (b) オペアンプ全体 (メインアンプ + ゲインブーストアンプ)

6 4G システム用消費電力 55MW, 電源電圧 1.2V, 分解能 12BIT, 動作速度 100MS/S
 パイプライン型 A/D 変換器

は、M7 に並列に接続されており、そのゲート端子は、ノード N1 と逆相で動作するノード N2 に接続されている。この正帰還を持つ回路構成により、ゲインブーストアンプの初段の出力インピーダンスが大きくなり、直流利得が増加する。結果として、オペアンプ全体の直流利得が 90dB 以上となり、12bit 分解能を満足するために十分な直流利得が確保できた。図 51(b) にみられるように、ゲインブーストアンプの位相補償のため、出力段に RC を加えた。1/RC によるゼロ点をノード N1 で発生するポールの近くに配置することで、ゲインブーストアンプとしての十分なバンド幅が確保できる。

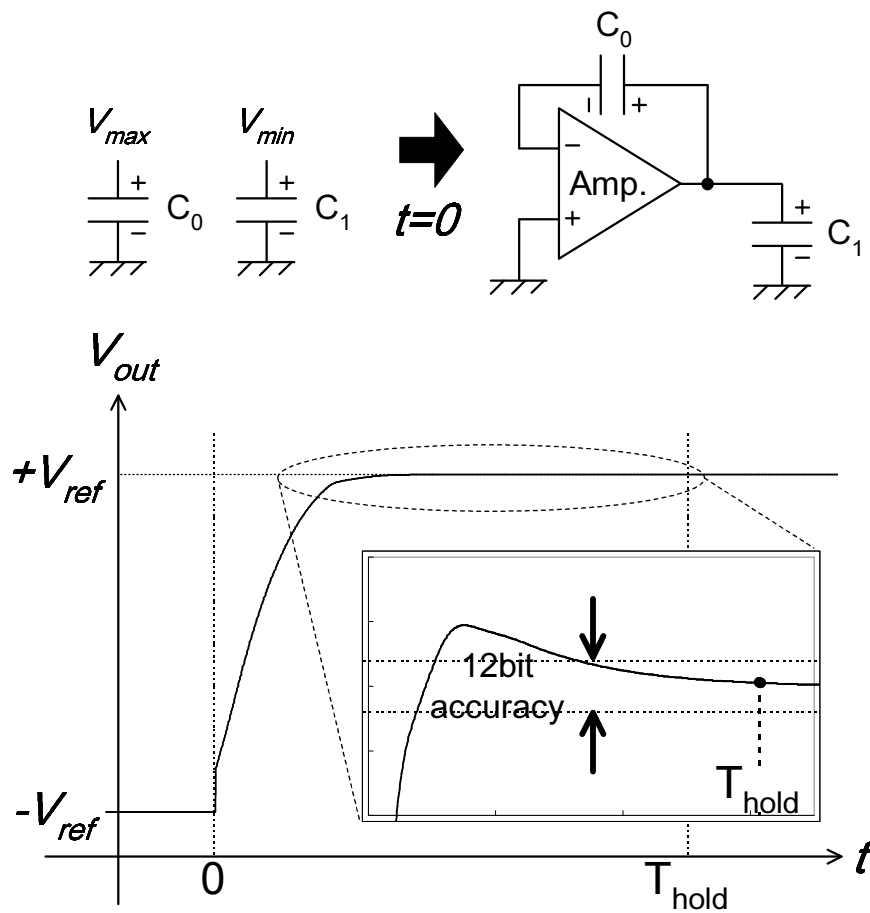


図 53 シミュレーションによるホールドモード時のオペアンプ出力波形 (S/H 回路)

ゲインブーストアンプに採用した位相保証方法では、通常、ダブルット (キャンセルされないポール-ゼロ点のペア) ができる。一般的に、メインアンプでダブルットが発生すると、時定数の大きな項ができてしまい、オペアンプに要求されるセトリング速度が満足できなくなる可能性がある。しかしながら、ゲインブーストアンプは、メインアンプのカスコードトランジスタを挟んでフィードバックループを形成しており、このローカルな

6 4G システム用消費電力 55MW, 電源電圧 1.2V, 分解能 12BIT, 動作速度 100MS/S パイプライン型 A/D 変換器

フィードバックがダブレットの影響を小さくする [12]。

図 52(a) は、シミュレーションによる開ループ時のゲインブーストアンプの利得一周波数の関係を示す。点線で囲まれた部分にダブレットがはっきり見られる。一方、図 52(b) は、オペアンプ全体（メインアンプ+ゲインブーストアンプ）の開ループ時の利得一周波数の関係を示す。明らかに、ゲインブーストアンプで発生したダブレットの影響はみられず、利得のカーブがスムーズになっている。

さらに、メインアンプ自体は、信号を次段の変換ステージへ伝えるホールドモード時には、閉ループで用いられている。閉ループにすることで、ダブレットの影響はさらに小さくなるため、セトリング速度の遅い項の係数が小さくなり [12]、結果として、ゲインブーストアンプで発生したダブレットがセトリング速度に与える影響は無視できる。

検証のため、オペアンプの出力応答をシミュレーションした。図 53 は、シミュレーション条件とその条件下における出力応答波形を示している。要求される分解能が最も高く、セトリング誤差を最も小さくする必要がある S/H 回路において、ホールドモード時に、オペアンプの出力電圧がフルスイング振れる条件でシミュレーションを実施した。時刻 $t=0$ において、電圧 V_{max} のサンプル容量 C_0 をオペアンプのフィードバックループに、電圧 V_{min} の負荷容量 C_1 をオペアンプ出力にそれぞれ同時に接続した。なお、図 53 には、簡略化のためシングルエンド構成で記載されているが、実際には差動構成である。このシミュレーション結果から、ホールドモード時間終了時（ホールドモードの時間 $t = T_{hold}$ は、最大で A/D 変換器の半クロック 5ns だが、Ich/Qch のスイッチング時間やノンオーバーラップ時間を考慮して、このシミュレーションでは、 $T_{hold}=4.6\text{ns}$ とした。）において、出力電圧 V_{out} がフルスケール電圧から誤差 $\pm 0.024\%$ 以内であり、セトリング精度を 12bit 以上確保できていることが確認できた。

ゲインブーストアンプの消費電流はメインアンプの 1/10 以下であり、オペアンプ全体の消費電力に与える影響は小さい。

6.7 測定結果

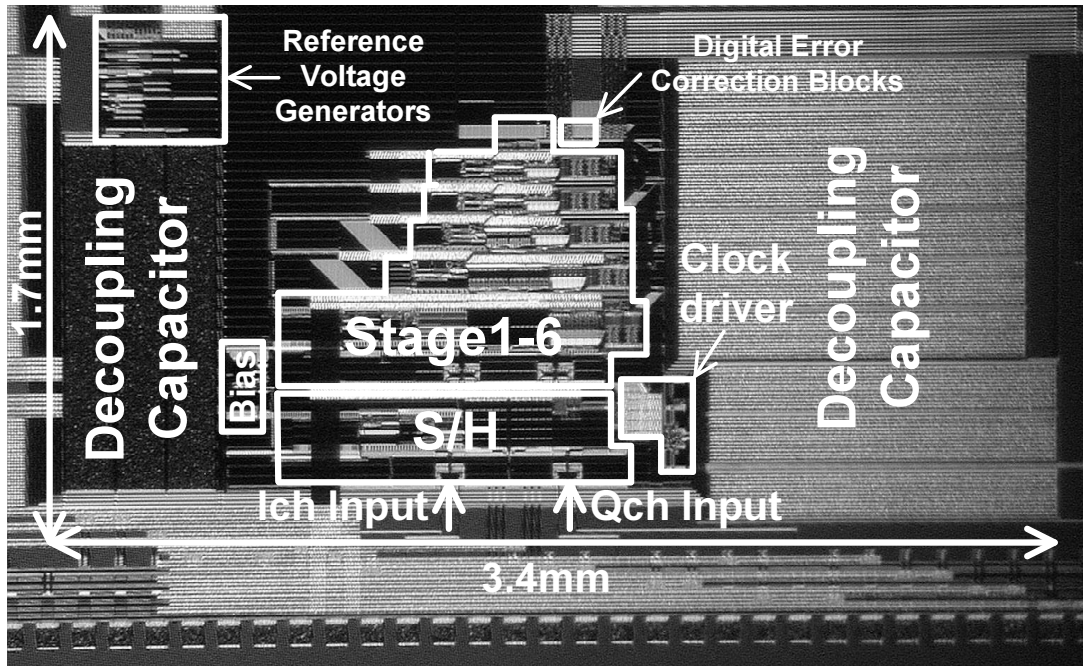
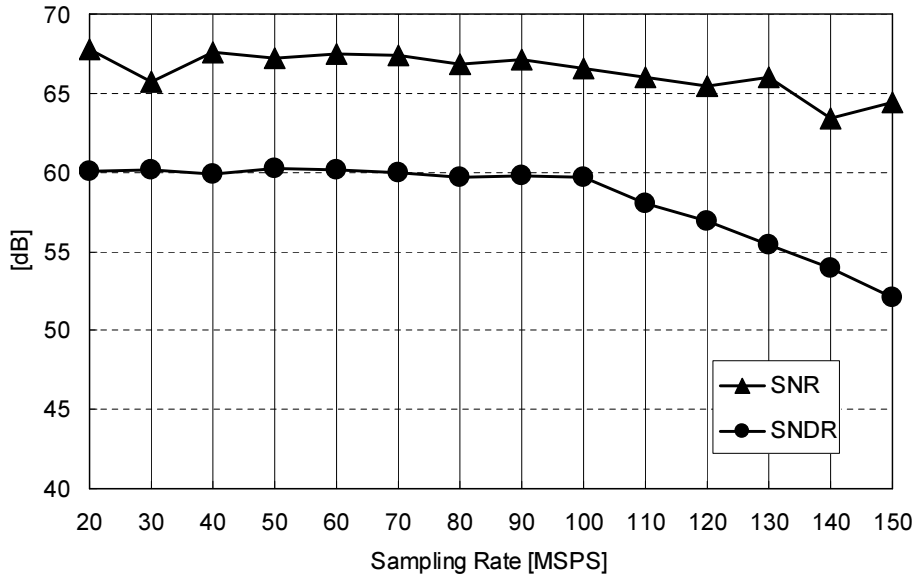


図 54 チップ写真

90-nmCMOS プロセスで試作した。図 54 は、試作したパイプライン型 A/D 変換器のチップ写真である。面積は、1.7mm × 3.4mm である。サンプル容量やパスコンなど全ての容量を、従来多用されてきた MIM(Metal-Insulator-Metal) キャパシタに代え、追加の製造工程を必要としない配線間容量を利用した MOM(Metal-Oxide-Metal) キャパシタを採用した [13]。全ての回路ブロックの電源電圧は 1.2V である。

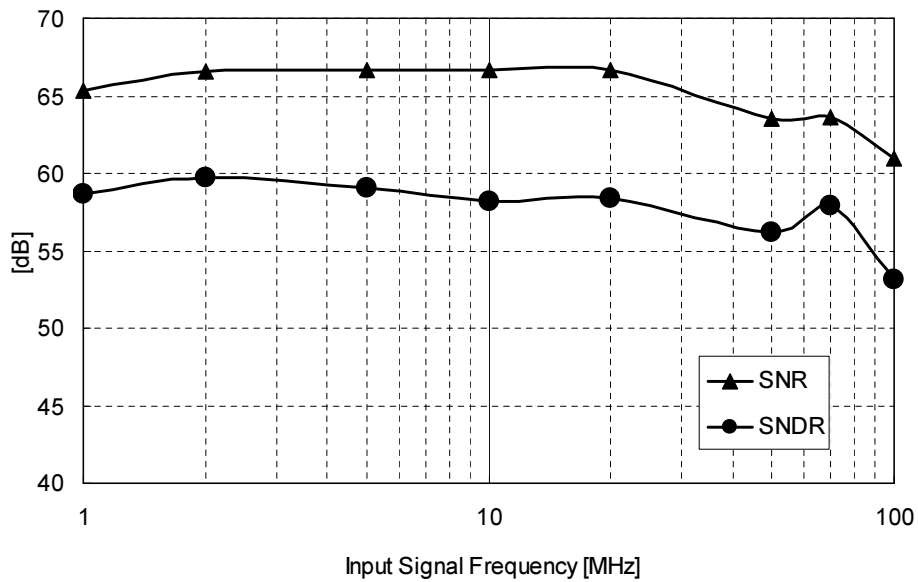
図 55 は、入力信号周波数 2MHz 時の SNR と SNDR の測定結果を示す。SNR は、動作速度 20MS/s 時で 67.8dB、100MS/s 時で 66.7dB であり、130MS/s でも 65dB を超えている。SNDR は、100MS/s 時で 59.7 dB であり、これは有効ビット数 (ENOB) として 9.63bit に相当する。ENOB は、動作速度 100MS/s まで 9.6bit 以上を保持している。動作速度 100MS/s で設計されており、それ以上の動作速度では徐々に劣化していく。

6 4G システム用消費電力 55MW, 電源電圧 1.2V, 分解能 12BIT, 動作速度 100MS/S
 パイプライン型 A/D 変換器



©2006 IEEE

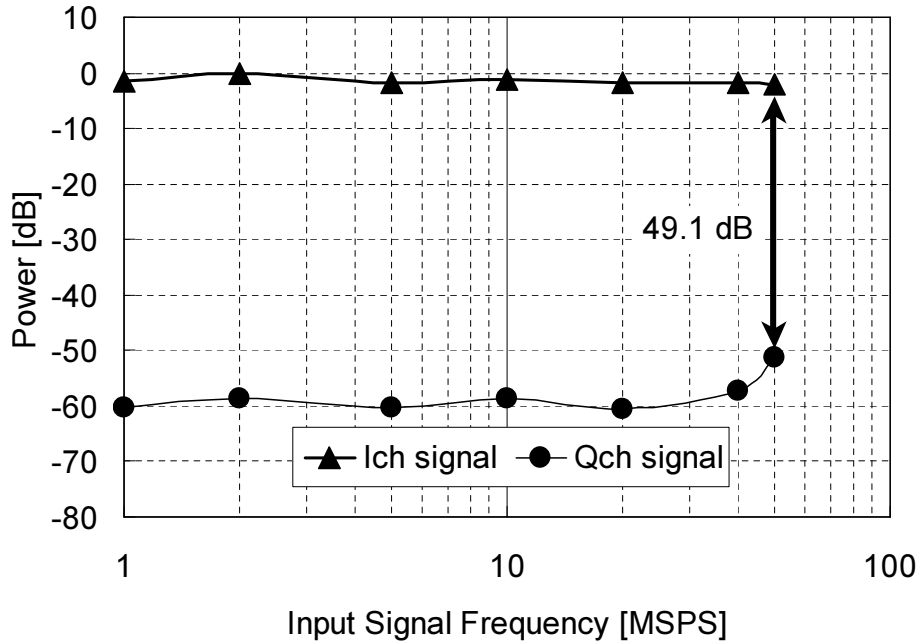
図 55 入力信号周波数 2MHz 時の動作速度と SNR、SNDR



©2006 IEEE

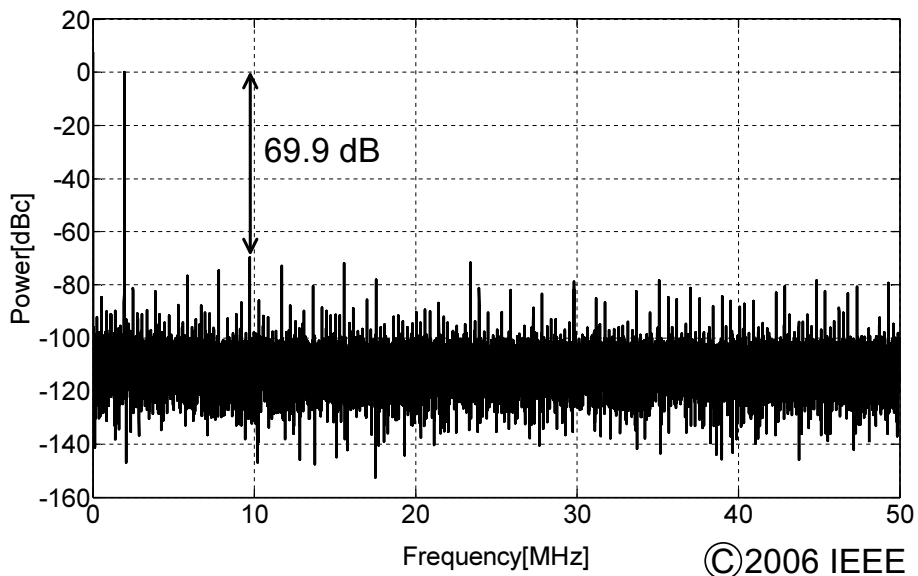
図 56 動作速度 100MS/s 時の入力信号周波数と SNR、SNDR

6 4G システム用消費電力 55MW, 電源電圧 1.2V, 分解能 12BIT, 動作速度 100MS/S
 パイプライン型 A/D 変換器



©2006 IEEE

図 57 Ich の信号振幅と Qch のリーク信号振幅 (動作速度 100MS/s)



©2006 IEEE

図 58 FFT 結果 (100MS/s 動作時)

6 4G システム用消費電力 55mW, 電源電圧 1.2V, 分解能 12BIT, 動作速度 100MS/S
パイプライン型 A/D 変換器

表 2 低消費電力 12bitA/D 変換器の性能比較

	P_{diss}	V_{dd}	f_{SR}	SNR	FoM1	FoM2
This work	55 mW	1.2 V	100 MHz	66.7 dB	0.69	0.83
Andersen [1]	97 mW	1.8 V	110 MHz	67.1 dB	0.65	1.2
Zjajo [14]	100 mW	1.8 V	80 MHz	66.3 dB	1.5	2.7
Loloe [15]	259 mW	3 V	80 MHz	65 dB	1.8	5.4

図 56 は、動作速度 100MS/s 時の入力信号周波数と SNR、SNDR の関係を示している。入力信号周波数が約 50MHz のナイキスト周波数において、SNDR=56.2dB であり、ENOB=9.04bit であった。図 56 に示されるように、試作した A/D 変換器ではナイキスト周波数まで ENOB9bit 以上を得られた。

動作速度 100MS/s において、1ch 当たりの消費電力は 55mW であった。この消費電力にはリファレンスアンプやデジタルエラー補正ブロックも含んでいる。表 I は、今回の試作以前に発表された動作速度 100MS/s 前後、12bit 分解能を持つ A/D 変換器の性能を示している。消費電力 55mW は、明らかに最も低消費電力である。また、SNR=66.7dB も他の試作例と同等である。

表 I には、他の試作例との比較を容易にするため、2 種類の FoM、FoM1 と FoM2[16] が記載されている。動作速度を f_{samp} 、消費電力を P_{diss} 、電源電圧を V_{dd} とすると、FoM1 と FoM2 は以下のように定義される。

$$FoM1 = \frac{P_{diss}}{f_{samp} 2^{ENOB}} \text{ [pJ/step]},$$

$$FoM2 = \frac{P_{diss}}{f_{samp} 2^{ENOB}} V_{dd} \text{ [pJV/step]},$$

表 I から、今回試作した A/D 変換器の FoM1 は、過去の試作例における最も高性能なものと同等であることがわかる。また、電源電圧も同時に考慮した場合の性能を示す FoM2 は、過去の試作例よりも高性能であることがわかる。

図 58 は、動作速度 100MS/s、入力信号周波数 2MHz 時の FFT 結果である。SFDR(Spurious-Free Dynamic Range)=69.9 dB であった。

1 つのオペアンプを Ich と Qch の 2 つの A/D 変換器で共用化しているため、無線通信用途としては、チャンネル間の信号漏えいが問題となる可能性がある [2]。図 57 は、Ich 側にフルスケールの単一周波数を持つアナログ信号を入力し、かつ Qch 側は無信号である

6 4G システム用消費電力 55mW, 電源電圧 1.2V, 分解能 12BIT, 動作速度 100MS/S パイプライン型 A/D 変換器

場合のチャンネル間アイソレーションを測定した結果である。2つのチャンネルとも、入力はいずれも 50 オーム終端されている。図 57 から少なくとも 49 dB のアイソレーションが確保されていることがわかる。この結果から、試作した A/D 変換器のチャンネル間信号漏えい量は、無線通信用途として問題ないことがわかった。

試作した A/D 変換器の性能を表 II にまとめる。

表 3 試作 A/D 変換器の性能

使用プロセス	90-nm CMOS
電源電圧	1.2 V
消費電力	55.0 mW/channel
分解能	12 bit
動作速度	100 MSPS
フルスケール	0.8 V _{p-p} (differential)
SNR	66.7dB@Fin=2 MHz 63.5dB@Fin=50 MHz
SNDR	59.7dB@Fin=2 MHz 56.2dB@Fin=50 MHz
SFDR	69.9dB@Fin=2 MHz
DNL	+0.97/-1.00 LSB
INL	+3.37/-3.40 LSB
面積	1.7 mm × 3.4 mm (2ch)

6.8 まとめ

第四世代無線通信用として分解能 12bit、動作速度 100MS/s のパイプライン型 A/D 変換器を 90nmCMOS プロセスで試作した。

低電源電圧動作と低消費電力化の両立のため、I/Q アンプシェアリング技術、2.5bit/stage の変換ステージ構成を採用し、さらに、新規に開発した疑似差動オペアンプを S/H 回路と初段 MDAC に使用した。

試作の結果、1.2V の低電源電圧ながら、55mW という低消費電力で所望の動作速度や分解能を得ることができた。

参考文献

- [1] T. N. Andersen, A. Briskemyr, F. Telstø, J. Bjørnsen, T. E. Bonnerud, B. Hernes, and Ø. Moldsvor, "A 97mW 100MS/s 12b Pipeline ADC Implemented in $0.18\mu\text{m}$ Digital CMOS," in *Proc. European Solid-State Circuits Conf.*, pp. 247–250, Sep. 2004.
- [2] D. Kurose, T. Ito, T. Ueno, T. Yamaji, and T. Itakura, "55-mW 200-MSPS 10-bit Pipeline ADCs for Wireless Receivers," in *Proc. European Solid-State Circuits Conf.*, pp. 527–530, Sep. 2005.
- [3] D. Kurose, T. Ito, T. Ueno, T. Yamaji, and T. Itakura, "55-mW 200-MSPS 10-bit Pipeline ADCs for Wireless Receivers," *IEEE J. of Solid-State Circuits*, pp. 1589–1595, Jul. 2006.
- [4] B. M. Min, P. Kim, F. W. Bowman, D. M. Boisvert, and A. J. Aude, "69-mW 10-bit 80-MSample/s pipelined CMOS ADC," *IEEE J. of Solid-State Circuits*, vol. 38, pp. 2031–2039, Dec. 2003.
- [5] K. Nagaraj, H. S. Fetterman, J. Anidjar, S. H. Lewis, and R. G. Renninger, "A 250-mW, 8-b, 52-Msamples/s Parallel-Pipelined A/D Converter with Reduced Number of Amplifiers," *IEEE J. of Solid-State Circuits*, vol. 32, pp. 312–320, Mar. 1997.
- [6] T. B. Cho and P. R. Gray, "A 10b, 20Msamples/s, 35mW Pipeline A/D Converter," *IEEE J. of Solid-State Circuits*, vol. 30, pp. 166–172, Mar. 1995.
- [7] V. E. Garuts, E. O. Traa, Y.-C. S. Yu., and T. Yamaguchi, "A DUAL 4-BIT 1.5Gs/s ANALOG TO DIGITAL CONVERTER," in *Proc. BCTM*, pp. 141–144, 1988.
- [8] D.W.Cline and P.R.Gray, "A Power Optimized 13-b 5 Msamples/s Pipelined Analog-to-Digital Converter in $1.2\mu\text{m}$ CMOS," *IEEE J. of Solid-State Circuits*, vol. 31, pp. 294–303, Mar. 1996.
- [9] D. Miyazaki, S. Kawahito, and M. Furuta, "A 10-b 30-MS/s Low-Power Pipelined CMOS A/D converter Using a Pseudodifferential Architecture," *IEEE J. of Solid-State Circuits*, vol. 38, pp. 369–373, Feb. 2003.
- [10] T. Itakura, T. Ueno, H. Tanimono, and T. Arai, "A 2Vpp Linear Input-Range Fully Balanced CMOS Transconductor and Its Application to a 2.5V 2.5MHz

- Gm-C LPF,” in *Proc. CICC*, pp. 509–512, May 1999.
- [11] L. Sumanen, M. Waltari, and K. A. I. Halonen, “A 10-bit 200-MS/s CMOS parallel pipeline A/D converter,” *IEEE J. of Solid-State Circuits*, pp. 1048–1055, July 2001.
 - [12] R. J. Apfel and P. R. Gray, “A Fast-Settling Monolithic Operational Amplifier Using Doublet Compression Techniques,” *IEEE J. of Solid-State Circuits*, vol. 6, pp. 332–340, Dec. 1974.
 - [13] R. Aparicio and A. Hajimiri, “Capacity Limits and Matching Properties of Integrated Capacitors,” *IEEE J. of Solid-State Circuits*, vol. 37, pp. 384–393, Mar. 2002.
 - [14] A. Zjajo, H. van der Ploeg, and M. Vertregt, “A 1.8V 100mW 12-bits 80Msam-ple/s two-step ADC in 0.18- μ m CMOS,” in *Proc. European Solid-State Circuits Conf.*, pp. 241–244, Sep. 2003.
 - [15] A. Loloee, A. Zanchi, J. Huawen, S. Shehata, and E. Bartolome, “A 12b 80MSps pipelined ADC core with 190mW consumption from 3V in 0.18 μ m dig-ital CMOS,” in *Proc. European Solid-State Circuits Conf.*, pp. 467–470, Sep. 2002.
 - [16] Y. Chiu, P. R. Gray, and B. Nikolic, “A 1.8 V 14 b 10 MS/s pipelined ADC in 0.18 μ m CMOS with 99 dB SFDR,” in *ISSCC 2004 Dig. Tech. Papers*, pp. 458–459, Feb. 2004.

7 0.9V で動作する無線通信用 12bit、40MS/s パイプライン型 A/D 変換器

7.1 はじめに

本章では、0.9V の低電源電圧で動作する無線通信用のパイプライン型 A/D 変換器について述べる。

近年、CMOS プロセス微細化技術の進展に伴い、トランジスタ耐圧が下がり、使用できる電源電圧が下がってきている。

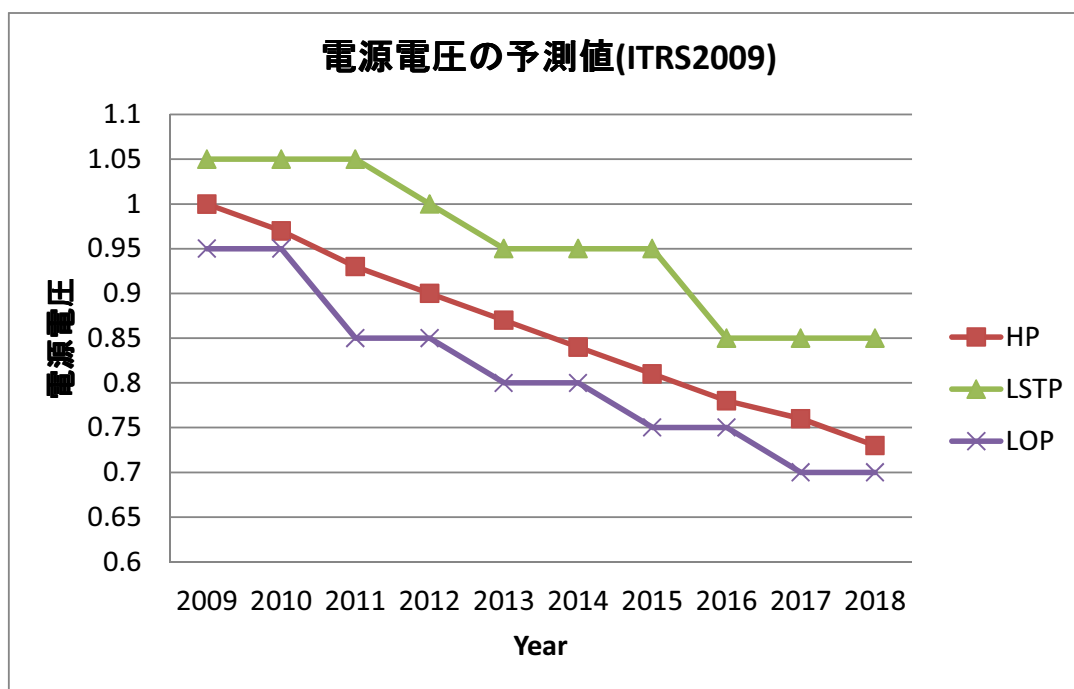


図 59 CMOS プロセスの電源電圧予測値 (ITRS2009)

図 59 は、2009 年度版国際半導体ロードマップ (International Technology Roadmap for Semiconductors:ITRS) による年度別の電源電圧の予測値を示す。HP(High Performance) は、サーバーなど高速動作用途向けのトランジスタ、LOP(Low Operation Power) は、モバイル PC など動作時の低消費電力化が要求される用途向けのトランジスタ、LSTP(Low Standby Power) は、携帯携帯など待機時の低消費電力化が要求される用途向けのトランジスタをそれぞれ示している。これを見ると、最も低電源電圧の LOP で 2010 年～2011 年頃、HP で 2012 年頃、最も電源電圧の高い LSTP でも 2015 年～2016

7 0.9V で動作する無線通信用 12BIT、40MS/S パイプライン型 A/D 変換器

年頃には、CMOS プロセスの電源電圧は 0.9V 程度まで下がってくると予想されている。

A/D 変換器は、システム内においてデジタル信号処理回路とワンチップ化される場合が多い。プロセス微細化技術の進歩による低電源電圧化は、デジタル信号処理回路にとっては、低面積化、低消費電力化など利点が多い。一方、A/D 変換器のようなアナログ回路にとっては、入力信号振幅範囲が狭くなることによる S/N 比の低下など課題も多く、低電源電圧でも動作可能な A/D 変換器の回路アーキテクチャに関する設計技術開発が重要である。

本研究では、WLAN/WiMAX 向けに、分解能 12bit、動作速度 40MS/s の A/D 変換器をパイプライン型の回路アーキテクチャを用いて開発した。

パイプライン型 A/D 変換器の電源電圧低下による課題の一つは、S/H 回路や変換ステージに用いられているサンプリングスイッチである。サンプリングスイッチとして一般に用いられる CMOS スイッチは、電源電圧低下に伴い、On 抵抗の線形性が確保できる範囲が狭くなる。そのため、同じ入力信号振幅を確保しようとする、入力アナログ信号の非線形性が増加し、A/D 変換器の分解能が劣化する [1]。

電源電圧低下による 2 つ目の課題は、オペアンプ出力段の信号振幅範囲が狭くなることである。影響を緩和する方法の一つとして、従来用いられてきた全差動オペアンプに変え、電流源トランジスタを省略できる疑似差動オペアンプを使用し、電源—グランド間の縦積みされるトランジスタ数を少なくすることで出力振幅範囲を広げる方法がある [2][3]。しかしながら、疑似差動オペアンプは、電流源トランジスタを省略しているため、同相信号除去比は低いという欠点がある。パイプライン型 A/D 変換器では、ある変換ステージで発生したアナログ信号の同相電圧のオフセットは、信号が後段へ伝わるたびに各変換ステージの持つ利得により増幅された上で蓄積されていく。この影響により、オペアンプ出力段において、同相電圧がずれ、所望の線形性が確保できる信号振幅範囲が狭くなり、結果、分解能が劣化してしまう。

一般に、全差動オペアンプでは、オペアンプに追加された共通モードフィードバック回路 (Common-Mode FeedBack:CMFB) の働きにより、出力段の同相電圧を一定電位に安定化することができる。しかしながら、疑似差動オペアンプでは、CMFB 回路で出力段の同相電圧を調節すると、入力段のトランスコンダクタンスが変動してしまう。オペアンプが、アナログ信号を次段の変換ステージのサンプリング容量に充放電する時のセトリング速度は、トランスコンダクタンスに依存しているため、オペアンプのトランスコンダクタンスの変動は、A/D 変換器の動作速度低下や分解能劣化につながる [4]。

上記 2 つの課題、同相電圧オフセットの蓄積やトランスコンダクタンスの変動による分解能劣化を抑制する方法の一つとして、疑似差動オペアンプと全差動オペアンプを両方

用いる回路アーキテクチャを採用する方法がある [2][5]。S/H 回路や前段の変換ステージの中に利用される消費電力の大きな全差動オペアンプのいくつかを疑似差動オペアンプに置換し電力を削減する。一方で、消費電力の比較的小さな後段の変換ステージには、全部 [5] もしくは一部 [2] を CMFB 回路を持つ全差動オペアンプを利用し、疑似差動オペアンプで発生した同相電圧オフセットを全差動オペアンプで補正し、後段まで蓄積されないようにする。この方法では、疑似差動オペアンプを利用する変換ステージにおいては、同相電圧オフセットは補正されないため、その分、疑似差動オペアンプの出力振幅範囲に同相電圧オフセットに対するマージンが必要であり、このことが低電源電圧化を妨げる欠点がある。

また、オペアンプ単独ではなく、2つの連続する変換ステージ間で同相電圧オフセットを補正する手段を持たせることで、全ての変換ステージで疑似差動オペアンプを使用可能にする方法もある [3][4][6]。この方法では、オペアンプで発生した同相電圧オフセットを検出し、変換ステージのサンプリング容量の一端の電圧に対して、CMFF(Common-Mode FeedForward) 回路を利用し補正をかけるか [4]、もしくは CMFF 回路と CMFB 回路の両方を用いて [3] 補正をかける。しかしながら、前者の方法 [4][6] では、同相オフセットの蓄積は避けられるものの、各段の同相オフセット誤差は補正されないまま残る。また、後者の方法 [3] では、 $\Delta\Sigma$ ループを用いた離散時間の CMFF 回路および CMFB 回路を用いており、回路が複雑になる。

本研究では、以上の課題を解決するために、変換ステージのサンプリングスイッチを制御するクロック信号を電源電圧を超えて昇圧することで線形性を確保した。このクロック昇圧回路は、Ich/Qch の 2つの A/D 変換器で共用することで小面積化した。また、疑似差動オペアンプのセトリング速度に影響を与えることなく同相電圧オフセットを補正できる 2 段の利得段を持つ CMFB 回路を新たに開発することで、S/H 回路と全ての変換ステージのオペアンプを疑似差動オペアンプにし、消費電力を削減した。

7.2 回路アーキテクチャ

図 60(a) は、開発したパイプライン型 A/D 変換器の回路ブロック図を示す。低消費電力化のため、1.5bit/stage の変換ステージ構成において、6 章に記載した I/Q アンプシェア技術を採用した [7]。各チャンネルの A/D 変換器は、それぞれ S/H 回路、11 個の変換ステージとデジタルエラー補正回路 (Digital Error Correction Block) を有している。疑似差動オペアンプと全差動オペアンプの 2 種類が使われた 6 章と異なり、本研究では、疑似差動オペアンプを S/H 回路と全ての MDAC に採用した。最終段の変換ステージは、オ

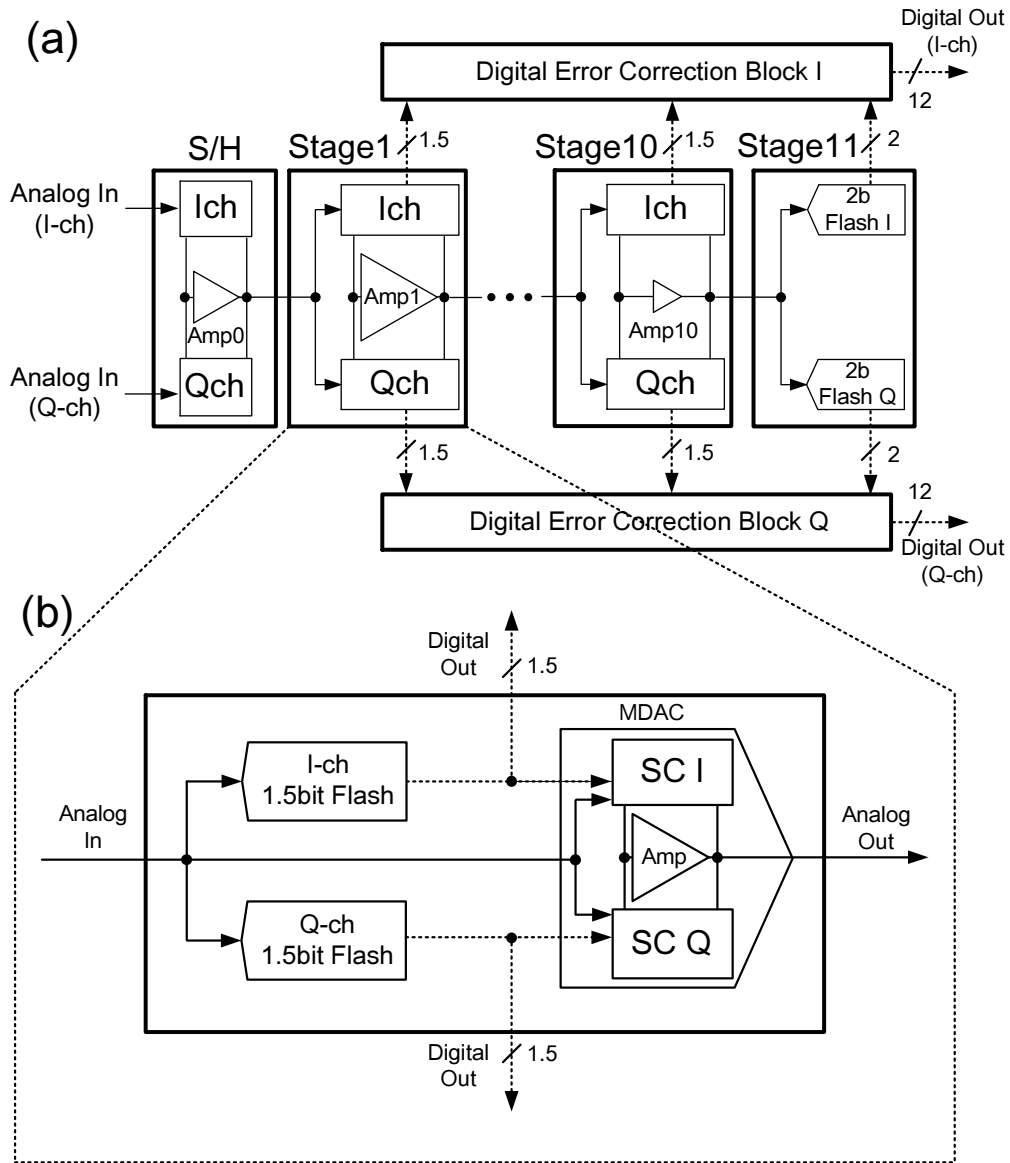


図 60 (a)I/Q アンプシェア技術を採用した 1.5bit/stage パイプライン型 A/D 変換器 (b) 変換ステージ

ペアンプがなく、2bit フラッシュ型のサブ A/D 変換器 (2bit Flash) のみで構成されている。

図 60(b) は、最終段を除く変換ステージを示している。Ich 用/Qch 用の 2 つの 1.5bit のフラッシュ型サブ A/D 変換器 (1.5bit Flash) と、両方の ch で共用化された 1 つの MDAC がある。1.5bit サブ A/D 変換器で A/D 変換されたのちのデジタル信号は、MDAC と各 ch のデジタルエラー補正回路に出力される。

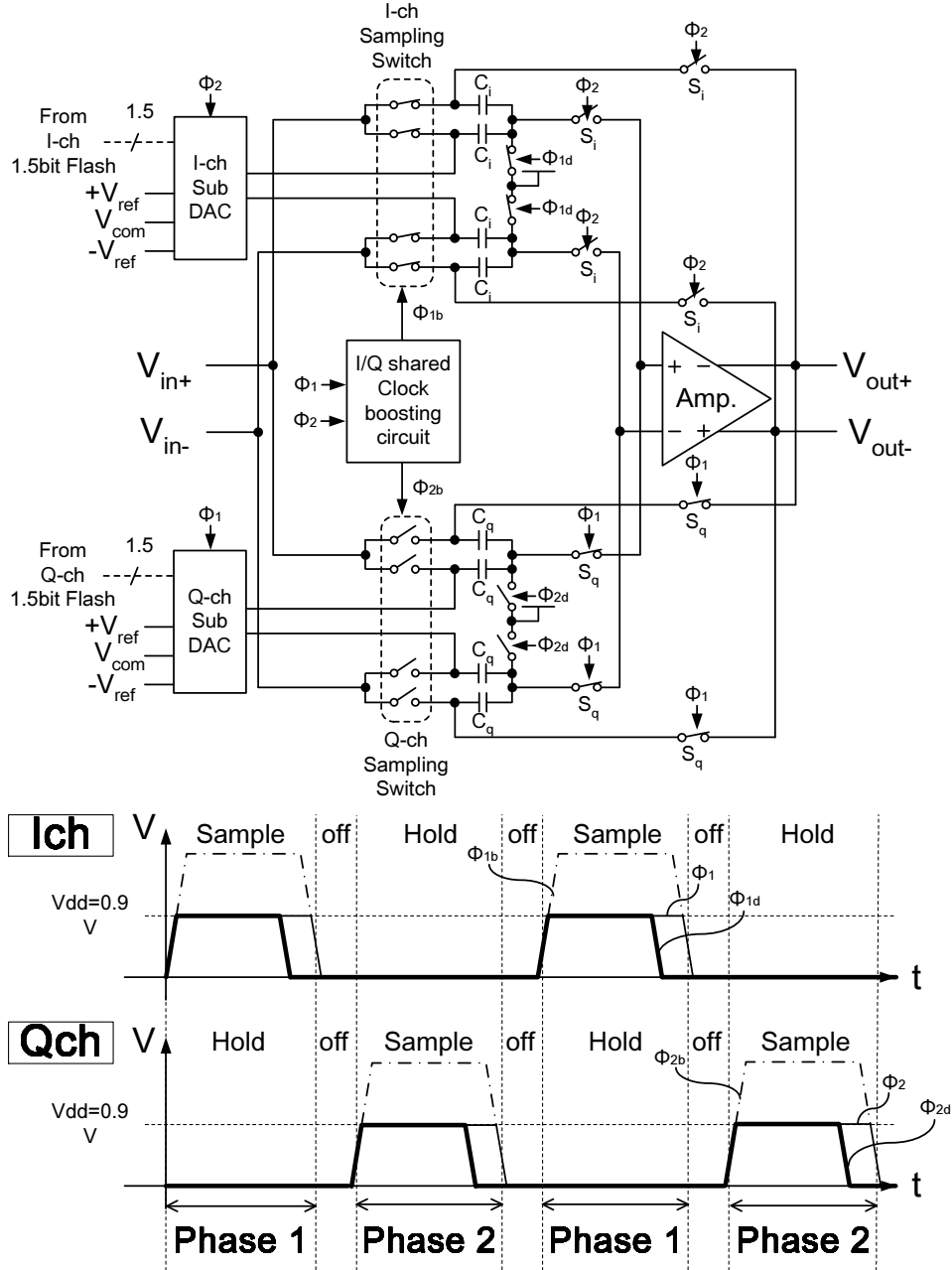


図 61 I/Q でクロックブースト回路を共用化した MDAC とそのクロック波形

図 61 は、MDAC の回路図とそのクロック波形を示している。MDAC は、1つのオペアンプと、Ich/Qch それぞれのためのキャパシタ、スイッチ、サブ D/A 変換器 (SubDAC) で構成される。リファレンス電圧として、単相アナログ信号の最大値/最小値とその平均値 $+V_{ref}/-V_{ref}/V_{com}$ の 3 種類が使用される。1.5bit サブ A/D 変換器の出力コードに応じて、この 3 つのリファレンス電圧のうち 1 つが選択され、ホールドモード時に、サブ

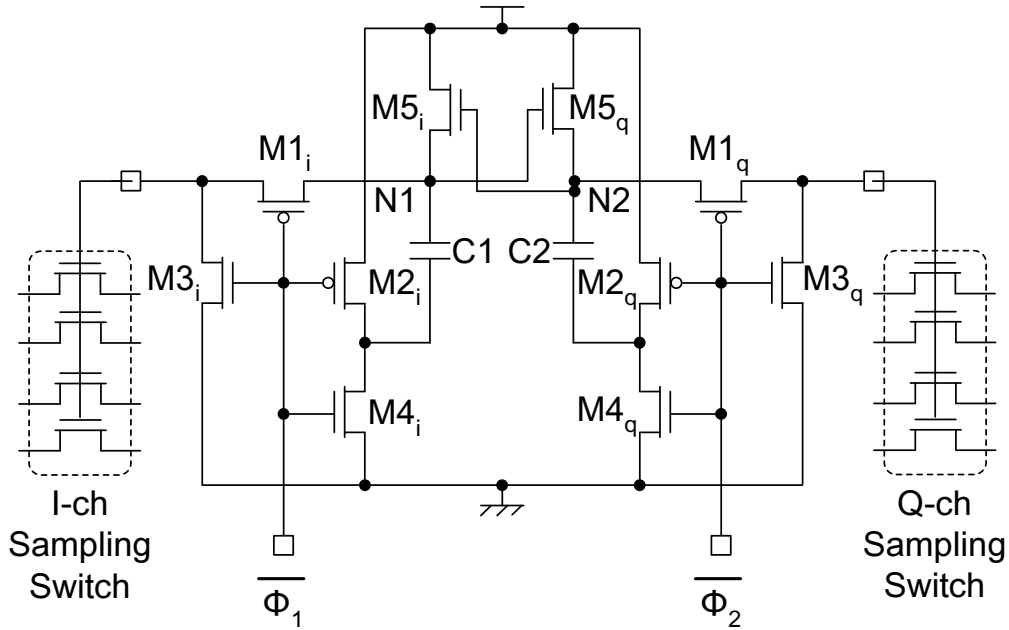
D/A 変換器を介して、各 ch のキャパシタへ出力される。

スイッチの On/Off は、ノンオーバラップクロックによって制御されている。Phase1 では、Ich は、前段からの信号をサンプリングキャパシタ C_i に入力するサンプリングモードにある。同時に、Qch は、1.5bit サブ A/D 変換器での A/D 変換後の残余アナログ信号を増幅して後段に出力するホールドモードにある。半クロック後の Phase2 では、Ich と Qch の動作モードが反対になり、Ich はホールドモード、Qch はサンプリングモードとなる。I/Q アンプシェア技術を実施するため、Phase1 においては、スイッチ S_i が Off され、スイッチ S_q が On される。この On/Off により、Qch 側のキャパシタがオペアンプのフィードバックループに接続され、オペアンプは閉ループとなり、Qch 側の残余アナログ信号の信号増幅に使用される。Phase2 においては、スイッチ S_i が On、スイッチ S_q が Off してオペアンプが Ich 側に切り替えられる。一方、Phase1 と Phase2 の間のノンオーバラップ時間において、全てのスイッチが Off しており、オペアンプは開ループとなる。

図 61 のクロック波形のうち、 ϕ_1 および ϕ_2 は、昇圧される前のサンプリングスイッチのクロック信号、 ϕ_{1b} および ϕ_{2b} は、昇圧後のサンプリングスイッチのクロック信号、 ϕ_{1d} および ϕ_{2d} は、サンプリング容量の他端に接続されたスイッチのクロック信号を示している。7.1 節で前述したように、本研究では、サンプリングスイッチの非線形性による分解能劣化を抑制するため、サンプリングスイッチのクロック信号は、I/Q で共用化されたクロック昇圧回路 (I/Q shared clock-boosting circuit) により昇圧されて、電源電圧 0.9V よりも高い電圧で使用されている。

クロック信号の昇圧により、昇圧しない場合に比べ、サンプリングスイッチのチャネルチャージが増加する欠点がある。その結果、サンプリングスイッチが Off するときに、チャネルチャージの一部がサンプリング容量に入力することによって発生する誤差が大きくなる可能性がある。この誤差を避けるために、クロック信号 ϕ_{1d} および ϕ_{2d} の立下り時間は ϕ_1 および ϕ_2 の立下り時間よりも早めに Off し、サンプリングスイッチのチャネルチャージがサンプリング容量に入力しないように設計した。

7.3 I-ch/Qch で共用化されたクロック昇圧回路



※ $\overline{\Phi_1}$ ($\overline{\Phi_2}$): inversed clock signal of Φ_1 (Φ_2)

図 62 I/Q で共用化されたクロックブースト回路

高分解能化のためには、サンプリングスイッチの On 抵抗の非線形歪みを抑制する必要がある。電源電圧が低いとき、これを解決する有効な方法の一つは、スイッチにブートストラップ回路を追加し、スイッチのゲートソース間電圧に一定に保ち、スイッチの On 抵抗の入力電圧依存性をなくすことである [8][9]。しかしながら、ブートストラップ回路の寄生容量が前段のオペアンプの負荷容量を増加し、結果として、オペアンプの消費電力が増えてしまう欠点がある。一般に、ブートストラップ回路は、スイッチ Off 時に容量に所定電圧をプリチャージしたり、スイッチを On 時にその容量をスイッチトランジスタのゲートソース間に接続したりするために多くのトランジスタを必要とするため、寄生容量が大きい。さらに、ブートストラップ回路内のいくつかのトランジスタは、トランジスタ耐圧を保証するため、ゲート膜が厚い高耐圧トランジスタが用いられる場合が多い [9]。高耐圧トランジスタは、薄膜トランジスタよりも最小ゲート長が大きく、また、閾値電圧が高いため、一定の On 抵抗を得るためには、それだけゲート幅を大きくせざるを得ず、寄生容量が増加する傾向にある。これらの理由から、ブートストラップ回路の追加による

7 0.9V で動作する無線通信用 12BIT、40MS/S パイプライン型 A/D 変換器

オペアンプの消費電力増加は無視できない値となる。

A/D 変換器の消費電力を削減するため、前段にオペアンプが存在する全ての MDAC については、ブートストラップ回路の代わりにクロック昇圧回路が用いられた。クロック昇圧回路を利用し、スイッチトランジスタのゲート電圧を電源電圧を超えて昇圧し、On 抵抗を低下させることで、スイッチの線形性を確保した。クロック昇圧回路は、昇圧するスイッチトランジスタのゲート端子とアナログ信号が入力するスイッチトランジスタのソース端子とは接続されていないので、前段のオペアンプが駆動する寄生容量にはならず、ブートストラップ回路の場合と異なり消費電力に影響しない。なお、前段にオペアンプが存在しない S/H 回路に関しては、ブートストラップ回路を使用した。

クロック昇圧回路の欠点としては、スイッチの On 抵抗を十分低くするために、スイッチトランジスタのゲート端子の寄生容量よりも十分大きなプリチャージ用容量を用いる必要があり面積が増大する事である [10]。小面積化のため、本研究では、クロック昇圧回路を Ich 用 A/D 変換器と Qch 用 A/D 変換器の 2 つで共用化した。

図 62 は、Ich/Qch で共用化されたクロック昇圧回路の回路図である。例えば、図 61 の Phase1 において、 ϕ_1 の反転クロック信号により PMOS トランジスタ $M1_i$ と $M2_i$ は On し、Ich のサンプリングスイッチはプリチャージ用容量 $C1$ と接続され、ゲート電圧が昇圧される。同時に、 ϕ_2 は Low となり、NMOS トランジスタ $M4_q$ と $M5_q$ が On し、プリチャージ用容量 $C2$ の両端電圧が電源電位とグランド電位にそれぞれプリチャージされる。また、このとき、NMOS トランジスタ $M3_q$ が On し、Qch のサンプリングスイッチは Off する。従来のクロック昇圧回路は、1 つの MDAC のサンプリングスイッチを昇圧するために 2 つのプリチャージ用容量を必要とするが、今回採用されたクロック昇圧回路は、Ich/Qch で共用化されているため、プリチャージ用容量が半減でき、結果として、面積が小さくなる。

7.4 疑似差動オペアンプ

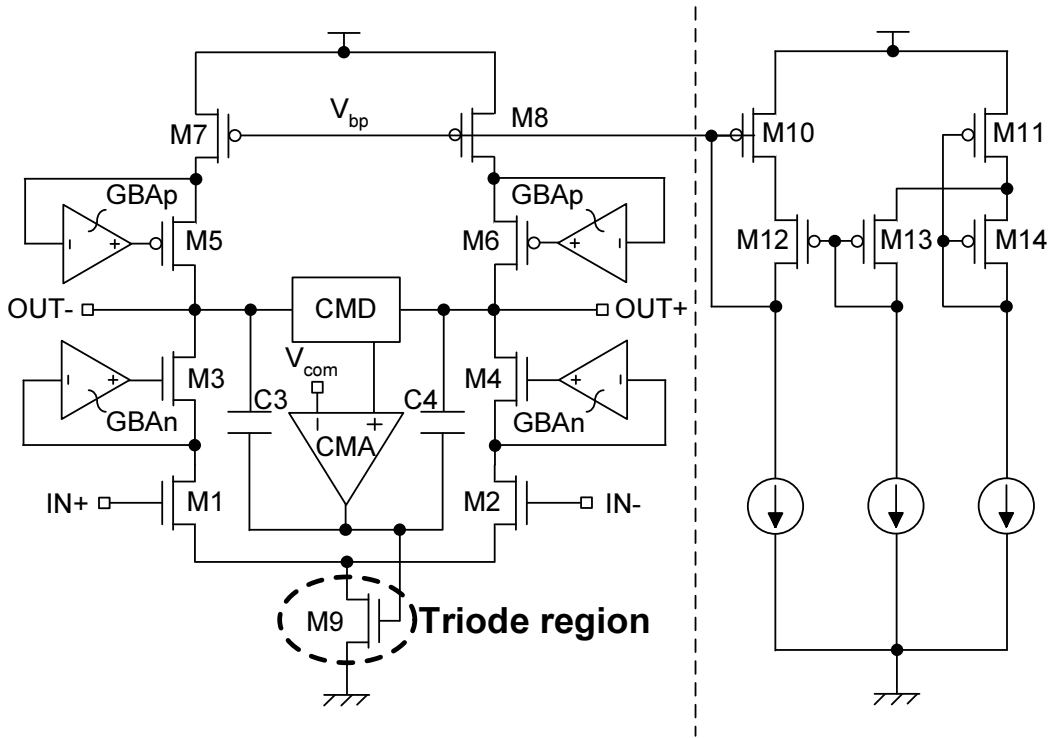


図 63 疑似差動オペアンプ

7.4.1 利得段 2 段の CMFB 回路を持つメインアンプ

図 63 は、S/H 回路や MDAC に使用した疑似差動オペアンプを示している。6 章で採用したオペアンプ同様、トランジスタ M9 は電流源ではなく線形領域で動作しているため M9 のドレインソース電圧は小さくてよく、オペアンプは広い出力振幅範囲を持つ。また、M9 の出力抵抗によって、入力段トランジスタ M1 と M2 はある程度と同相除去比 (CMRR) を持つ。

本研究では、同相電圧オフセットによるオペアンプの出力信号範囲変動に起因した分解能低下を避けるため、疑似差動オペアンプに新たに 2 段の利得段を持つ CMFB 回路を導入した。この CMFB 回路の採用により、入力トランジスタ M1 と M2 のバイアス電流を一定に保ちながら、出力同相電圧を所望電圧に安定化させられるようになり、6 章で問題となった疑似差動オペアンプのトランスコンダクタンス変動に伴う動作速度や分解能の低下を解消できる。

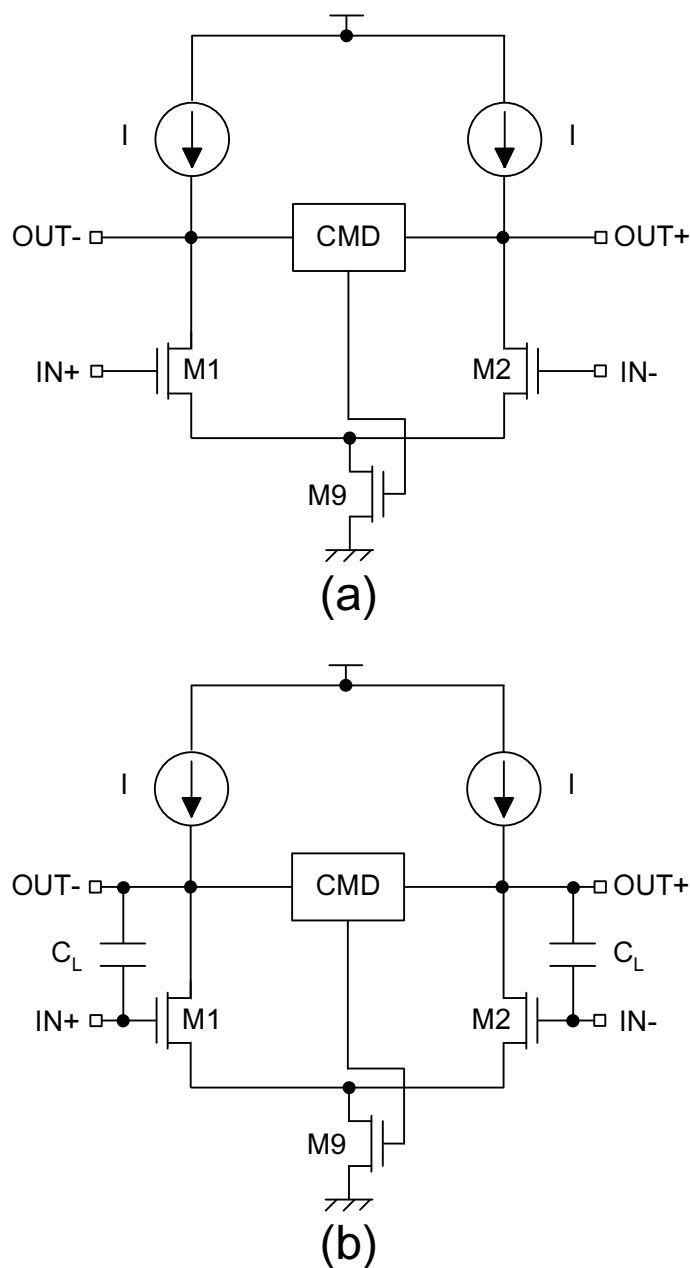


図 64 S/H 回路に疑似差動オペアンプを用いた場合 (a) ノンオーバーラップ期間 (b)Phase1 と Phase2

図 63 に示されるように、導入した CMFB 回路は、同相電圧検出回路 (CMD)、初段の利得段として機能するアンプ (CMA)、2 段目の利得段として機能する M9、位相保証容量 $C3$ 、 $C4$ で構成される。オペアンプ出力段の同相電圧を所望の電圧に安定化するためには、CMFB 回路に十分なループ利得が必要である。6 章のオペアンプで採用した線形

7 0.9V で動作する無線通信用 12BIT、40MS/S パイプライン型 A/D 変換器

領域トランジスタ M9 のみで構成された利得段が 1 段の CMFB 回路に比べ、今回導入した利得段 2 段の CMFB 回路は、追加した CMA の利得 A_{cma} だけループ利得が増加しているため、出力同相電圧が安定になる。その理由について、以下に述べる。

図 64 は、CMA が無い疑似差動オペアンプを用いた S/H 回路を表している。

図 64(a) は、疑似差動オペアンプのフィードバックパスにキャパシタが接続されていないノンオーバーラップ期間を示している。もし、電流源 I の出力抵抗が十分に大きいと仮定すると、疑似差動オペアンプの同相モードの出力抵抗は、

$$\frac{g_{m[sat]}r_{o[sat]}r_{o[tri]}}{4}, \quad (7.1)$$

と近似される。ここで、 $r_{o[tri]}$ は線形領域で動作する M9 の出力抵抗、 $g_{m[sat]}$ と $r_{o[sat]}$ は飽和領域で動作する M1 もしくは M2 のトランスコンダクタンスと出力抵抗を示している。式 (7.1) から、ノンオーバーラップ期間においては、同相モードの出力抵抗が十分に高く、同相電圧を安定化するための CMFB のループ利得は十分確保できる。

一方、I/Q アンプシェア技術を用いているので、ノンオーバーラップ期間以外の Phase1 もしくは Phase2 においては、図 64(b) で示されるように、疑似差動オペアンプのフィードバックパスに I_{ch} もしくは Q_{ch} のキャパシタが接続されている。このとき、オペアンプの出力端子はキャパシタ C_L を介して、入力トランジスタのゲート端子とダイオード接続されているので、同相モードの出力抵抗は、

$$\frac{2}{g_{m[sat]}} + r_{o[tri]}, \quad (7.2)$$

と与えられる。式 (7.2) は、Phase1 もしくは Phase2 の期間、オペアンプの同相モードの出力抵抗が低いことを示している。また、M9 は線形領域なので、そのトランスコンダクタンスは小さい。

以上の理由から、図 64 で示される従来の利得段を 1 段しか持たない CMFB 回路は、Phase1 もしくは Phase2、すなわち、ホールドモードの間、十分なループ利得が得られないため、出力同相電圧を安定化するためには、追加の利得段としての CMA が必要である。

同相電圧で所望のセトリング精度を得るためには、十分なバンド幅を CMFB 回路に持たせる必要がある。Phase1 もしくは Phase2 において、CMFB 回路のバンド幅は CMA によって決定される。CMA を広帯域化しようとする、CMA の消費電力は増加する。

CMA の負荷容量は、位相補償容量 $C3$ 、 $C4$ と M9 の寄生容量である。通常の 2 段アンプを想定すると、位相補償容量 $C3$ 、 $C4$ はミラー効果により、CMA の負荷容量が大きく見えるため、CMA の追加による消費電力増加が懸念される。しかしながら、図 64(b)

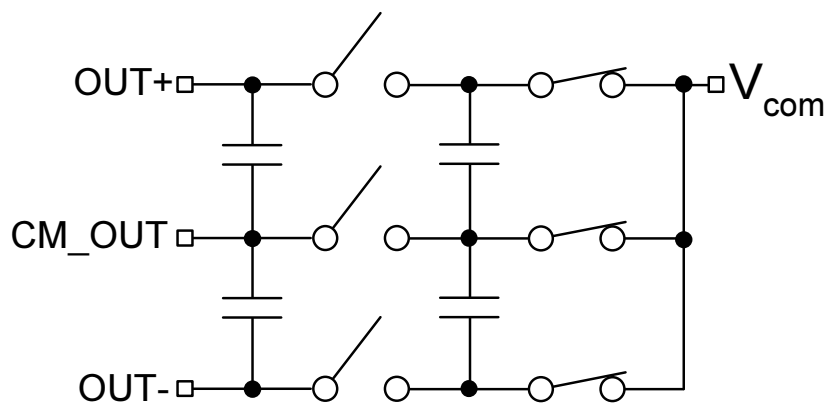


図 65 同相電圧検出回路

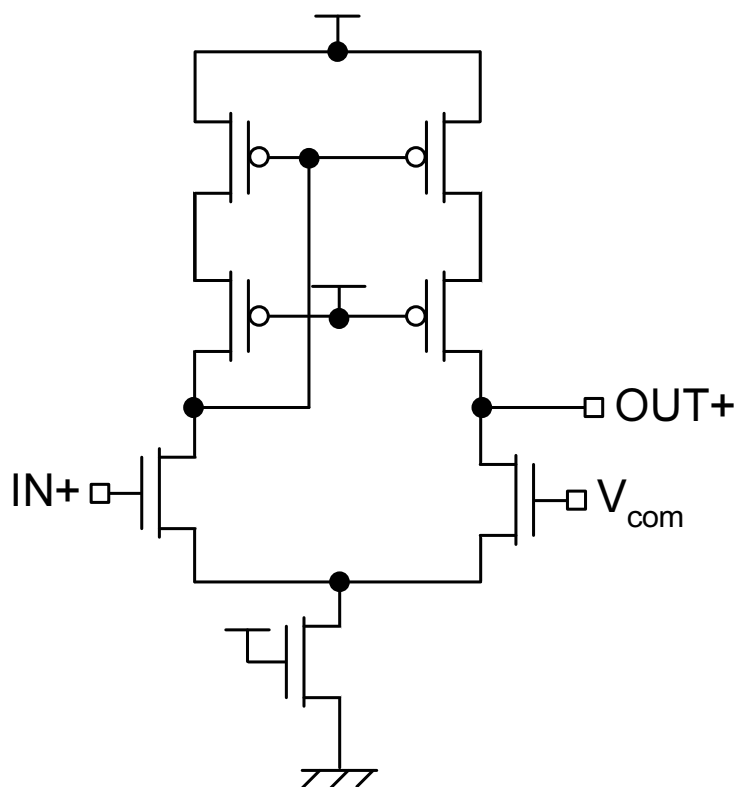


図 66 2 段の利得段を持つ CMFB の初段回路構成

で説明されているように、Phase1 もしくは Phase2 の間、M9 と入力段とする CMFB 回路の 2 段目の利得は小さく、ミラー効果による CMA の負荷容量増加は無視できるため、CMA は、必要な帯域を少ない消費電力で確保することができる。今回試作した疑似差動オペアンプでは、CMA の消費電流はメインアンプの消費電流の約 1/20 であり十分小

さい。

図 63 の回路構成からわかるように、6 章の疑似差動オペアンプ同様、CMFB 回路の動作に依らず、電流源トランジスタ M7、M8 のバイアス電流の大きさは一定である。そのため、疑似差動オペアンプの入力段のトランスコンダクタンスは不変であり、差動モードのセトリング速度は一定に保つことができる。

疑似差動オペアンプの電源電圧変動除去比 (Power Supply Rejection Ratio:PSRR) については、電源電圧/グランド電圧の両方の揺れに対するオペアンプ出力電圧の揺れを考慮する必要がある。図 63 に示されるように、電源源トランジスタ M7、M8 のゲートバイアス電流 V_{bp} が、バイアス回路 M10~M14 で決められており、電源電圧が揺れても M7、M8 のゲートソース間電圧が一定になるため、電源電圧の揺れに対する PSRR は十分大きい。一方、グランド電圧の揺れについては、CMFB 回路で決まっており、通常の全差動オペアンプと同程度の PSRR が確保できている。

7.4.2 ゲインブーストアンプ

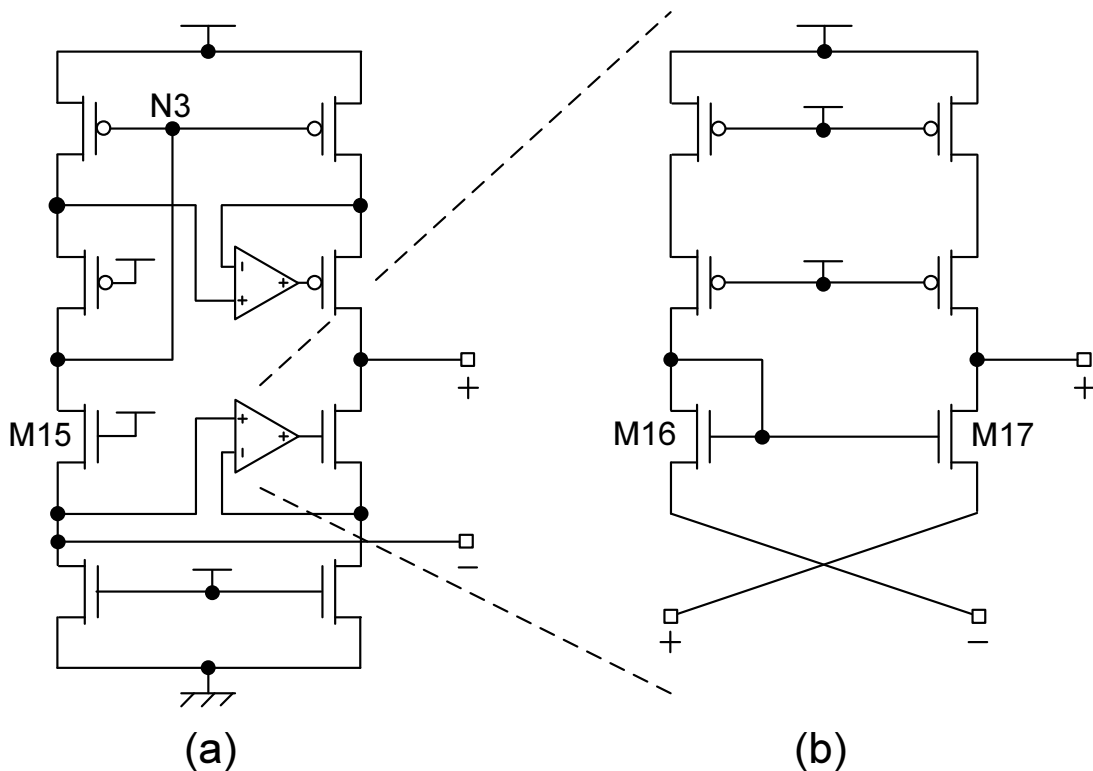


図 67 ゲインブーストアンプ

図 63 に見られるように、疑似差動オペアンプには、DC 利得を上昇させるためにゲイ

ンブーストアンプ GBAn と GBAp が追加されている。

例として、GBAn の回路図を図 67(a) に示す。全てのゲインブーストアンプとして、トランスインピーダンスアンプが用いられている [7][11][12]。トランスインピーダンスアンプの入力トランジスタ M15 のソース電圧がメインアンプの入力トランジスタ M1 のドレイン電圧を決定する。M1 が飽和領域を保持できる程度にできるだけ M1 のドレイン電圧を低下させることにより、オペアンプ出力段の振幅範囲を広く確保できる。これは、メインアンプの入力段を模擬したバイアス回路によって、トランジスタ M15 のゲート電圧を定めることにより実現している。

パイプライン型では、各変換ステージから出力される残余アナログ信号に許容される誤差は、それより後段の変換ステージで A/D 変換するビット数が増えるにつれ小さくなる。すなわち、前段の変換ステージに利用されるオペアンプほど、セトリング誤差が小さくすることが要求される。セトリング誤差を小さくするためには、オペアンプに十分高い DC 利得が必要となる。

今回、S/H 回路と、初段および 2 段目の変換ステージの疑似差動オペアンプには、DC 利得をさらに増加させるため、ゲインブーストアンプに図 67(b) に示される補助アンプが追加した。補助アンプもまた、トランスインピーダンスアンプで構成されている。トランジスタ M16 のゲートソース間電圧分レベルシフトした信号が、トランジスタ M17 により増幅される。ゲインブーストアンプとの違いは、図 67(a) のノード N3 のような電流折り返しノードがないことである。折り返しノードでは高次のポールができるが、補助アンプでは、これを省略する回路構成を採用することで、広帯域化を容易にした。

シミュレーション結果から、ゲインブーストアンプの追加により、疑似差動オペアンプの DC 利得は、出力振幅範囲全体に渡って 100dB 以上を確保している。

7.5 試作および測定結果

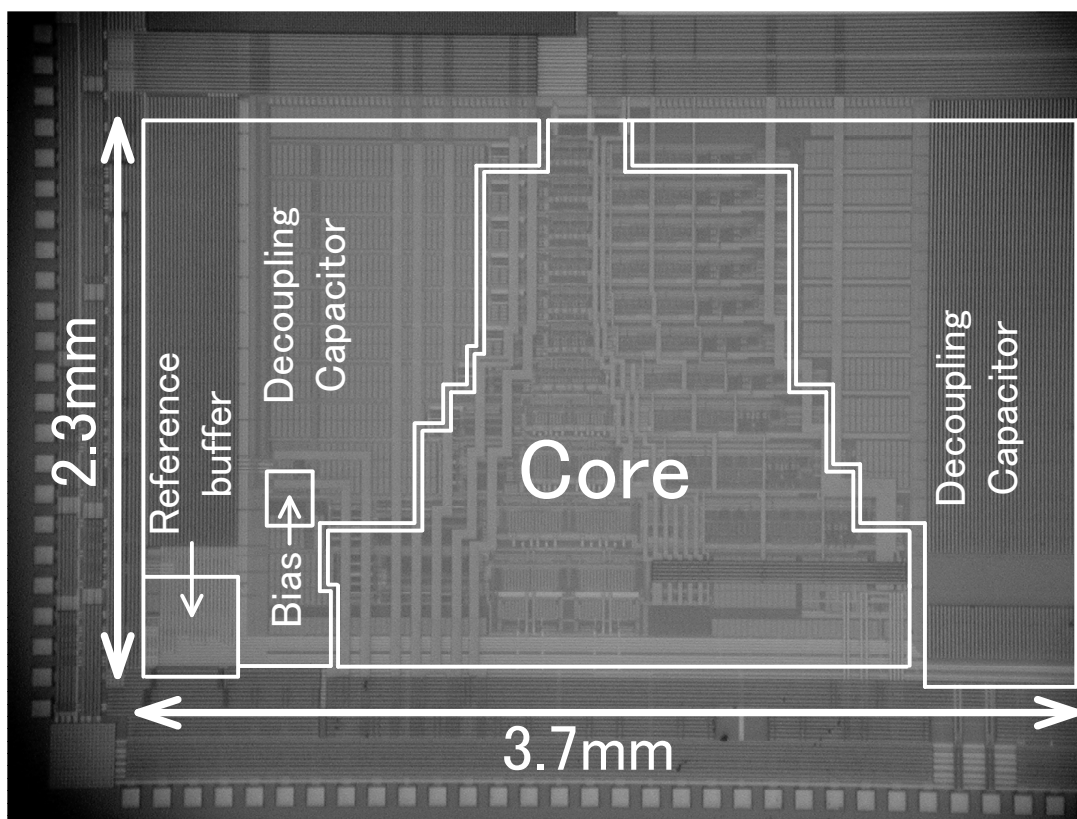


図 68 チップ写真

90nmCMOS プロセスを用いて、分解能 12bit、動作速度 40MS/s のパイプライン型 A/D 変換器を試作した。チップ写真を、図 68 に示す。リファレンス回路、バイアス回路、デカップリングキャパシタを含む Ich/Qch の 2 つの A/D 変換器の面積は、2.3 mm × 3.7 mm である。電源電圧は 0.9V である。

図 69 は、動作速度 40MS/s における入力信号周波数と SNR および SNDR の評価結果を示す。入力信号周波数 500KHz において、SNR は 62.7dB、SNDR は 59.3dB であり、有効ビット数 (ENOB) は 9.6bit であった。入力信号周波数が DC 付近からナイキスト周波数にかけての SNDR の劣化は-1.4dB 以内である。ナイキスト周波数での ENOB は 9.3bit である。

図 70 は、動作速度 40MS/s、入力信号周波数 5MHz 時の FFT スペクトラムを示す。SFDR は 68.9dB であった。

7 0.9V で動作する無線通信用 12BIT、40MS/S パイプライン型 A/D 変換器

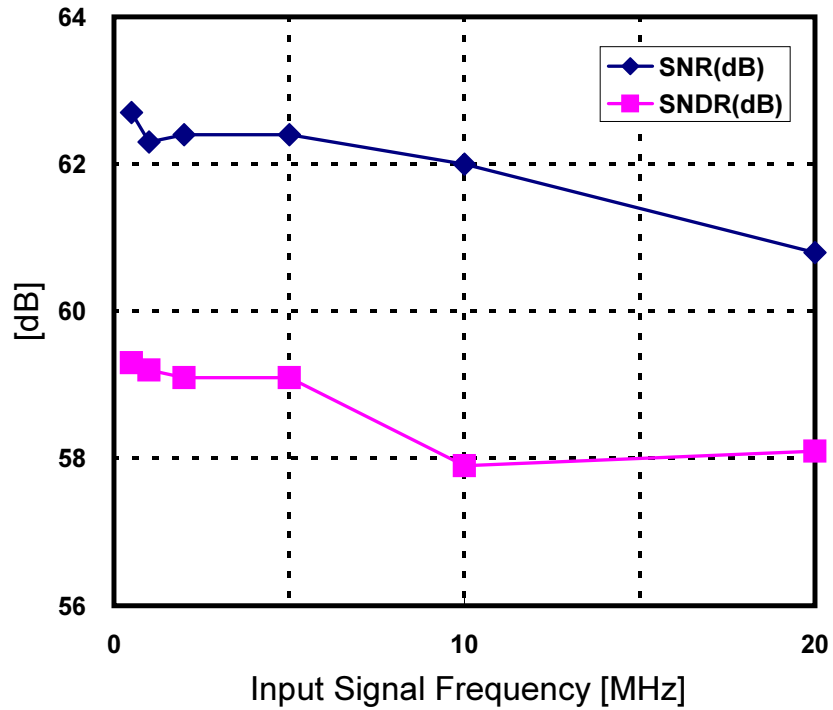


図 69 動作速度 40MS/s における入力信号周波数と SNR、SNDR

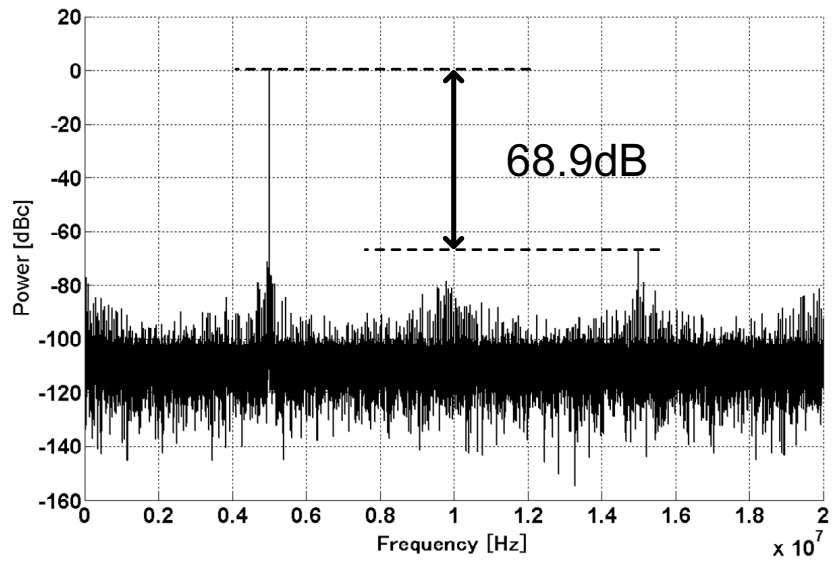


図 70 動作速度 40MS/s での FFT スペクトラム

7 0.9V で動作する無線通信用 12BIT、40MS/S パイプライン型 A/D 変換器

図 71 および図 72 は、測定結果から得られた DNL/INL を示す。DNL と INL は、それぞれ $+0.95\text{LSB}/-0.90\text{LSB}$ と $+3.41\text{LSB}/-3.68\text{LSB}$ であった。

A/D 変換器の分解能は、リファレンス電圧の揺れで制限されている。図 73 は、ホールドモード時の MDAC の簡略化された図である。MDAC の出力電圧 V_{out} は、サンプリング容量 C_{s1} と C_{s2} との間の電荷再分配によって決定するため、リファレンスアンプから出力された V_{ref} の揺れに対して感度が高い。

図 73 に見られるように、消費電力削減のために、大容量の off-chip キャパシタがリファレンスアンプの出力に接続されている [13]。この構成においては、リファレンス電圧は、IC パッケージや、ソケット、評価ボードの寄生インダクタによって変動し、この揺れが分解能を制限する要因となっている。

図 74 は、寄生容量を 1nH と仮定した場合のリファレンス電圧のシミュレーション結果である。リファレンス電圧の揺れは約 1mV であり、9bit から 10bit 程度の分解能に相当する。今回の試作結果以上の分解能を得るためには、リファレンス電圧をより安定化する必要がある。

測定結果を表 4 にまとめる。消費電力は、A/D 変換器 1 つあたり 17.3mW である。以上の結果は、WLAN/WiMAX を実現する上で要求される性能を満足している。

7 0.9V で動作する無線通信用 12BIT、40MS/S パイプライン型 A/D 変換器

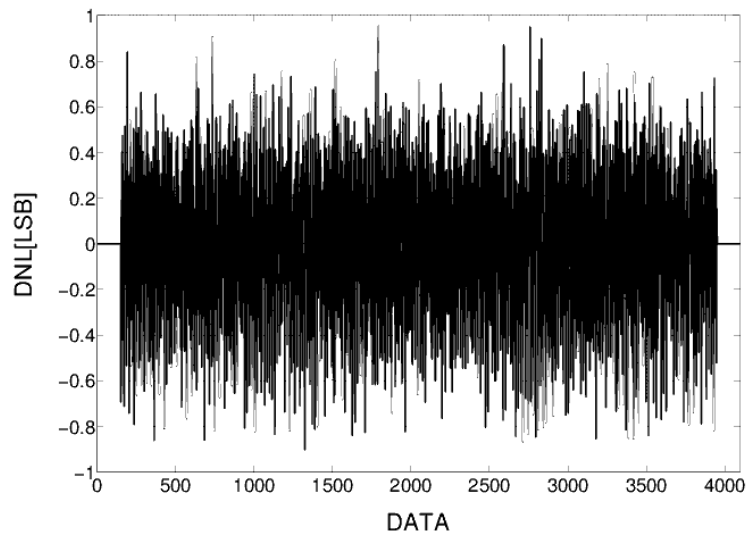


図 71 DNL

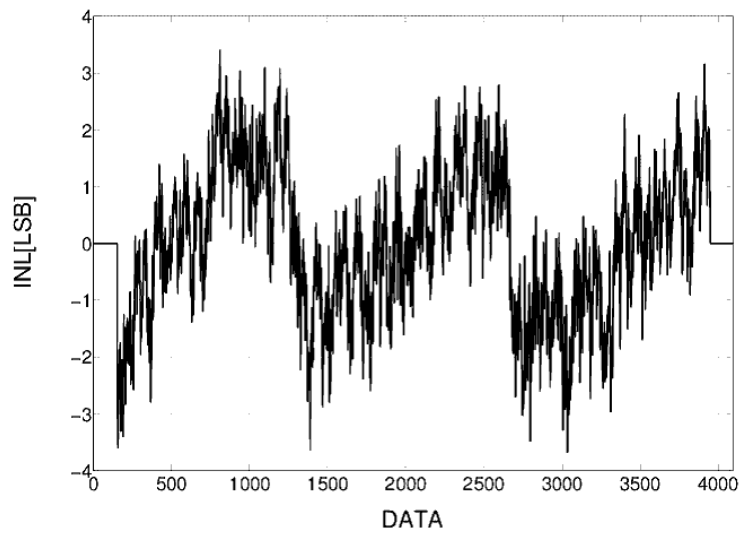


図 72 INL

7 0.9V で動作する無線通信用 12BIT、40MS/S パイプライン型 A/D 変換器

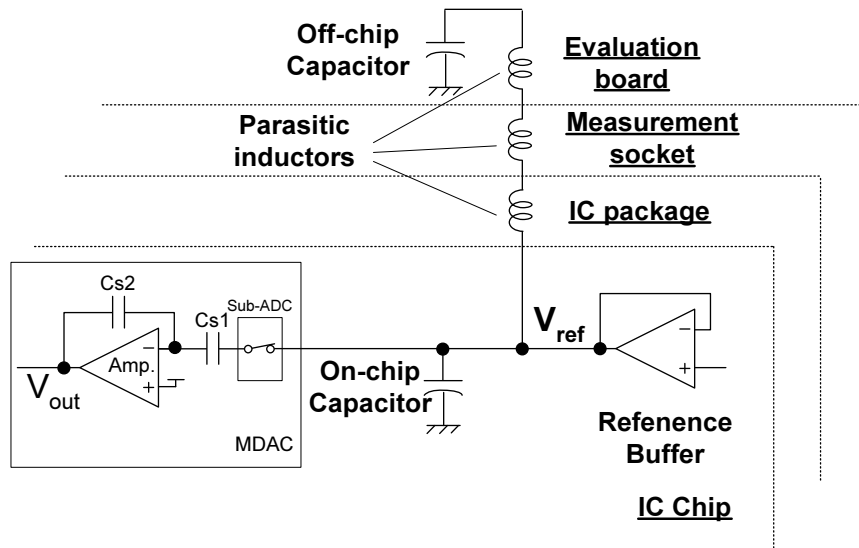


図 73 簡略化されたリファレンス回路および MDAC の回路ブロック図

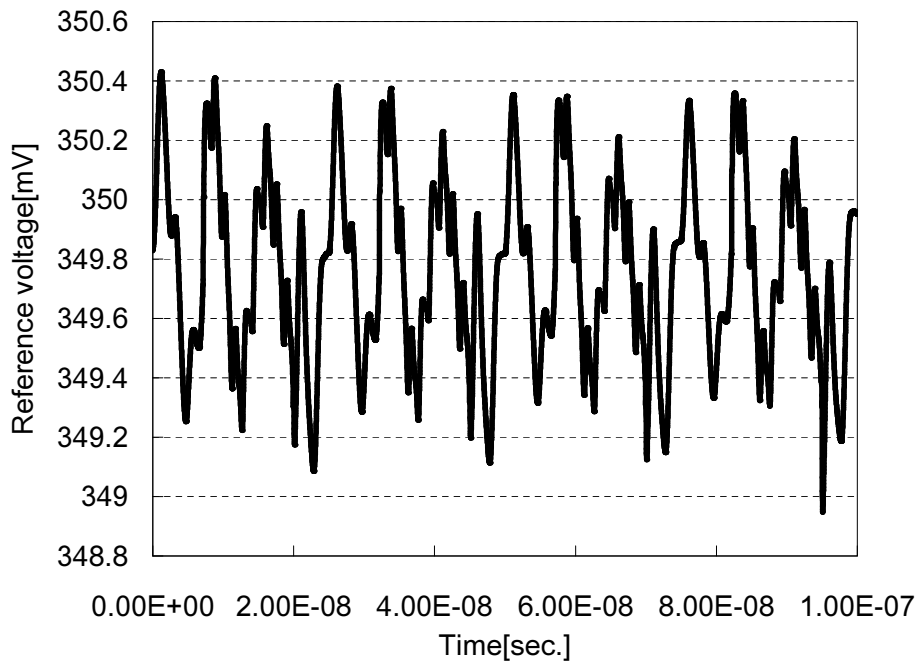


図 74 リファレンス電圧のシミュレーション結果

7 0.9V で動作する無線通信用 12BIT、40MS/S パイプライン型 A/D 変換器

表 4 測定結果

Technology	90-nm 1-P 7-M CMOS
Supply Voltage	0.9 V
Power	17.3 mW/channel
Resolution	12 bit
Sampling Rate	40 MSPS
Full Scale	0.7 V _{p-p} (differential)
SNR	62.7dB@Fin=500 KHz 60.8dB@Fin=20 MHz
SNDR	59.3dB@Fin=500 KHz 58.1dB@Fin=20 MHz
SFDR	68.6dB@Fin=500 KHz
DNL	+0.95/-0.90 LSB
INL	+3.41/-3.68 LSB
Area	2.3 mm × 3.7 mm (2ch)

7.6 まとめ

0.9V の低電源電圧において、サンプリングスイッチの線形性を得るため、Ich/Qch で共用化されたクロック昇圧回路を採用した。このクロック昇圧回路は、小面積化と疑似差動オペアンプの消費電力削減に貢献する。

疑似差動オペアンプの低い CMRR に起因した分解能の劣化を避けるため、利得段 2 段の CMFB 回路を疑似差動オペアンプに追加した。追加した CMFB 回路の働きにより、差動モードのセトリング速度を保ちつつ、オペアンプの出力同相電圧を安定化することができる。また、この CMFB 回路の回路構成はシンプルであり、メインアンプに対して十分に低消費電力である。

試作した A/D 変換器は、電源電圧 0.9V において、有効ビット数 9.3bit 以上を実現した。また、1 つの A/D 変換器当たりの消費電力は 17.3mW である。これらの性能は、WLAN/WiMAX のような無線システム用途として好適である。

参考文献

- [1] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter," *IEEE J. of Solid-State Circuits*, vol. 34, pp. 599–606, May 1999.
- [2] D. Miyazaki, S. Kawahito, and M. Furuta, "A 10-b 30-MS/s Low-Power Pipelined CMOS A/D converter Using a Pseudodifferential Architecture," *IEEE J. of Solid-State Circuits*, vol. 38, pp. 369–373, Feb. 2003.
- [3] Y. Chiu, P. R. Gray, and B. Nikolic, "A 14-b 12-MS/s CMOS Pipeline ADC with over 100-dB SFDR," *IEEE J. of Solid-State Circuits*, pp. 2139–2151, 2004.
- [4] T. Ueno, T. Ito, D. Kurose, T. Yamaji, and T. Itakura, "A 1.2 V, 24 mW/ch, 10 bit, 80 MSample/s Pipelined A/D converters," in *Proc. IEEE Custom Integrated Circuits Conf.*, pp. 501–504, Sep. 2006.
- [5] T. Ito, D. Kurose, T. Ueno, T. Yamaji, and T. Itakura, "55-mW 1.2-V 12-bit 100-MSPS Pipeline ADCs for Wireless Receivers," in *Proc. European Solid-State Circuits Conf.*, pp. 540–543, Sep. 2006.
- [6] T. Ueno, T. Ito, D. Kurose, T. Yamaji, and T. Itakura, "A 1.2 V, 24 mW/ch, 10 bit, 80 MSample/s Pipelined A/D converters," in *IEICE Trans. Fund.*, vol. E91-A, pp. 454–460, Feb. 2008.
- [7] D. Kurose, T. Ito, T. Ueno, T. Yamaji, and T. Itakura, "55-mW 200-MSPS 10-bit Pipeline ADCs for Wireless Receivers," in *Proc. European Solid-State Circuits Conf.*, pp. 527–530, Sep. 2005.
- [8] M. Dessouky and A. Kaiser, "Very Low-Voltage Digital-Audio $\Delta\Sigma$ modulator with 88-dB Dynamic Range Using Local Switching Bootstrapping," *IEEE J. of Solid-State Circuits*, vol. 36, pp. 349–355, Mar. 2001.
- [9] H. Ishii, K. Tanabe, and T. Iida, "A 1.0V 40mW 10b 100MS/s Pipeline ADC in 90nm cmos," in *Proc. IEEE Custom Integrated Circuits Conf.*, pp. 395–398, Sep. 2005.
- [10] T. B. Cho and P. R. Gray, "A 10b, 20Msamples/s, 35mW Pipeline A/D Converter," *IEEE J. of Solid-State Circuits*, vol. 30, pp. 166–172, Mar. 1995.
- [11] T. Itakura, T. Ueno, H. Tanimono, and T. Arai, "A 2Vpp Linear Input-Range Fully Balanced CMOS Transconductor and Its Application to a 2.5V 2.5MHz

- Gm-C LPF,” in *Proc. CICC*, pp. 509–512, May 1999.
- [12] L. Sumanen, M. Waltari, and K. A. I. Halonen, “A 10-bit 200-MS/s CMOS parallel pipeline A/D converter,” *IEEE J. of Solid-State Circuits*, pp. 1048–1055, July 2001.
- [13] T. Ito, D. Kurose, T. Ueno, T. Yamaji, and T. Itakura, “Low-Power Design of 10-bit 80-MSPS Pipeline ADC,” in *IEICE Trans. on Fund.*, vol. E89-A, pp. 2003–2008, July 2006.

8 電源電圧 1V で動作する 3GS/s 5bit 低消費電力フラッシュ型 A/D 変換器

8.1 はじめに

CMOS 微細化技術の進歩により、近年、MOSFET の高周波性能は周波数 30GHz～300GHz のミリ波帯を扱えるまでに向上した。ミリ波帯の中でも、特に 60GHz 帯においては、数 GHz の広い信号帯域幅を無線用途にフル活用できることから、この周波数帯を用いた Gbps クラスの大容量無線通信システムの実現が期待されている [1][2][3]。

1.1.3 節に記載したように、無線帯域が広がるほどそれだけ A/D 変換器には高速動作が要求される。数 GHz のベースバンド帯域を持つ受信信号を A/D 変換するためには、数 GS/s の動作速度を持つ A/D 変換器が必要である。一方、広い周波数帯域を利用できるため、複雑な変調方式を用いなくても大容量化が実現できるため、A/D 変換器に求められる分解能は、現状 4～6bit 程度である [4][5]。

1.1.4 節の図 3 にみられるように、このような比較的低い分解能でかつ高速な A/D 変換器を実現するうえでは、フラッシュ型の回路アーキテクチャが多用される。

本章では、ミリ波帯通信用に開発した動作速度 3GS/s、5bit の低消費電力フラッシュ型 A/D 変換器について述べる。

A/D 変換器の技術課題の 1 つとして、微細化プロセス採用に伴う分解能劣化の改善が挙げられる。CMOS 微細化技術が進歩し、トランジスタサイズが小さくなると、トランジスタの寄生容量が減り、高速動作の実現が容易になる。一方で、製造バラつき等に起因したトランジスタのミスマッチが増える。このことが、回路で使用するプリアンプやコンパレータの DC オフセット電圧を増加させ、A/D 変換器の分解能を劣化させる。

また、トランジスタの微細化はゲート耐圧の低下を伴うため、使用できる電源電圧が下がってくる。電源電圧の低下に伴い、回路内で扱える入力信号の振幅が狭まる。結果として、素子のミスマッチが信号の線形性に与える影響がより大きくなり、分解能が劣化しやすくなる。

本研究のフラッシュ型 A/D 変換器では、主な分解能劣化要因であるミスマッチにより発生したプリアンプやコンパレータの DC オフセット電圧を、フォアグラウンドキャリブレーション技術により十分小さくすることで、分解能を向上させた。補正の順序を工夫したフォアグラウンドキャリブレーションを新規に開発することで、簡単な回路構成ながら、低電源電圧下においても、高速性と高分解能化の両立を可能にした。

8 電源電圧 1V で動作する 3GS/S 5BIT 低消費電力フラッシュ型 A/D 変換器

65nmCMOS プロセスで試作し、動作速度 3GS/s、1V の低電源電圧、5bit の A/D 変換器において、入力信号周波数 200MHz において有効ビット数 4.7ENOB を、ナイキスト周波数である 1.5GHz の入力信号周波数においても 4.3ENOB 以上をそれぞれ達成した。

また、消費電力は 36.2mW であった。FoM=0.6pJ/conv であり、3GS/s の動作速度を持つフラッシュ型 A/D 変換器としては、世界トップレベルの電力効率を達成した。

8.2 アーキテクチャ

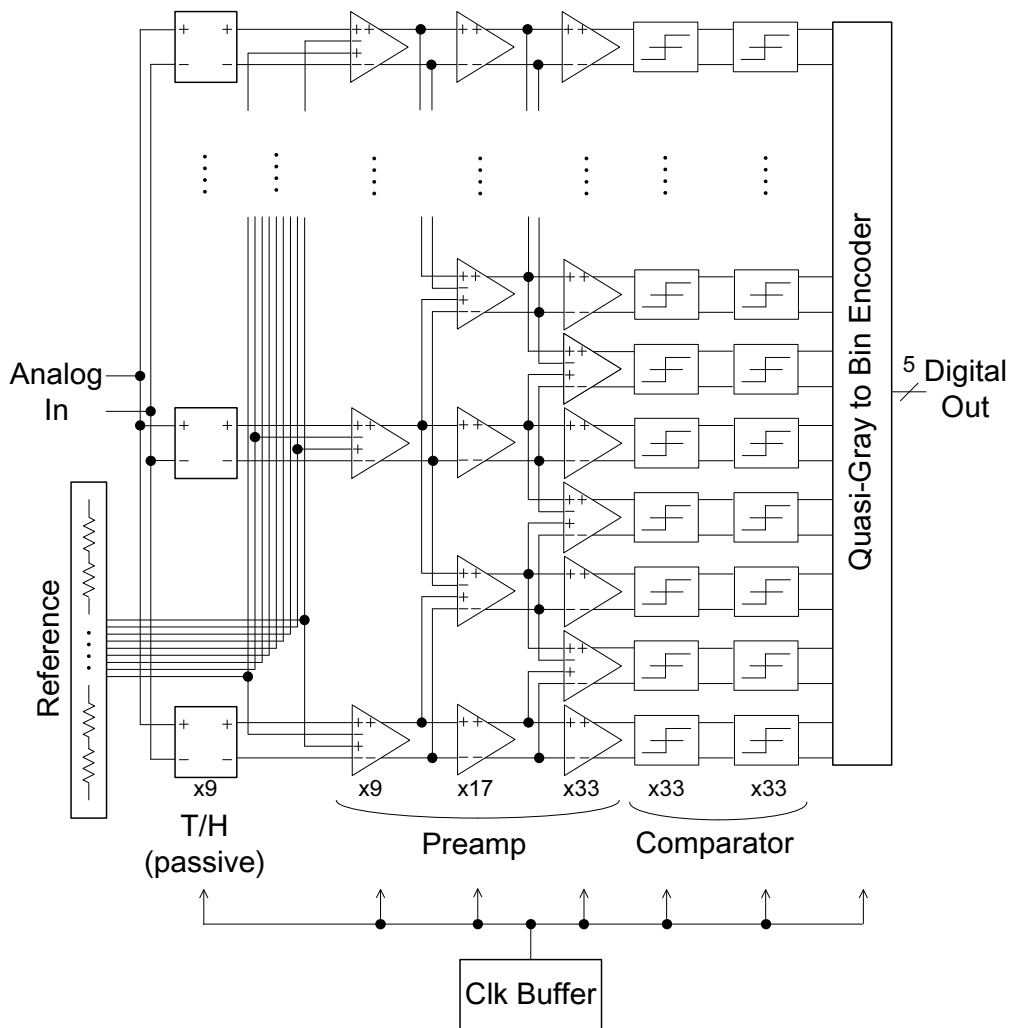


図 75 試作したフラッシュ型 A/D 変換器のブロック図

図 75 は、開発したフラッシュ型 A/D 変換器のブロック図である。トラックアンドホールド回路 (T/H)、リファレンス回路 (Reference)、プリアンプ (preamp)、コンパレータ

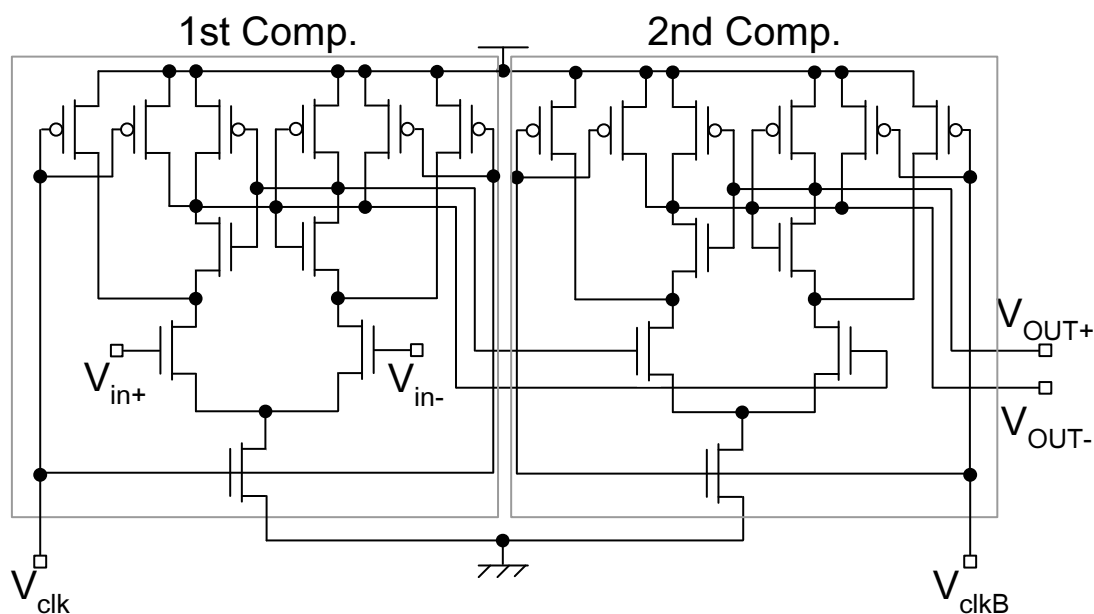


図 76 コンパレータ

(comparator)、エンコーダ (encoder)、クロックバッファ (clock buffer) で構成される。

入力アナログ信号は、トラックアンドホールド回路においてサンプリングされる。消費電力削減のため、スイッチとサンプリング容量のみのパッシブ型を採用し、9つの初段プリアンプそれぞれに分散して構成した [5]。

サンプルされた信号は、3段縦続接続されたプリアンプに入力される。2対の差動対を持つ初段プリアンプにおいて、入力差動電圧と、抵抗およびリファレンスアンプで構成されるリファレンス回路で生成した差動閾値電圧の差が増幅され、出力される。図 75 で示されるように、1段目と2段目のプリアンプでは、1段ごとに2倍のインターポーレーションされている。インターポーレーションにより、T/H回路の数は9つで済むため、T/H回路間のタイミングスキューによる分解能劣化を緩和できる。また、リファレンス回路である抵抗列のタップ抵抗数を8つに減らすことができ、小面積化が可能となる。本研究では、並列するプリアンプ間の相互作用を避けるため、4入力プリアンプを用いたアクティブインターポーレーション技術が採用された。前段の近接する2つのプリアンプの出力電圧を、2組の差動対を持つ次段の4入力プリアンプで平均化し、閾値電圧を補間している。

全てのプリアンプには、高分解能化および低消費電力化のため、リセットスイッチが追加されている [6]。ある時間にプリアンプによって増幅された出力差動電圧は、プリアン

プ出力の寄生容量に保持される。この電荷が、次の信号増幅で 0 に戻りきらないと、プリアンプの入力信号と出力信号の間に誤差が生じ、分解能が劣化する。プリアンプの出力抵抗を小さくし、寄生容量との積で定まる時定数を下げれば、0 に戻すことが可能だが、プリアンプの利得を一定に維持するためには、プリアンプのトランスコンダクタンスを増加しなくてはならず、消費電力が増えてしまう。フラッシュ型 A/D 変換器では、通常、プリアンプの消費電力割合が多く、低消費電力化の観点からプリアンプの電力削減に関する工夫が必須である [7]。

負荷抵抗に比べ On 抵抗が小さなりセットスイッチをプリアンプ差動出力間に追加し、信号増幅の合間に On させ、一時的にプリアンプ出力の時定数を低下させることで飽和した出力差動電圧を短時間で 0 に戻すことができ、分解能劣化を回避できる。この場合、信号増幅時は、リセットスイッチを Off するので、プリアンプの負荷抵抗を小さくする必要がなく、消費電力が増加しない。

図 76 は、コンパレータの回路図である。電力削減のため、比較動作時以外に定常電流が流れないダイナミック型コンパレータが使用された。このコンパレータは、3GS/s の動作速度を満足するため 2 段縦続接続して使用された。

コンパレータの出力デジタル信号は、3 入力 NAND で構成される 1-of-N エンコーダ [8] と、疑似グレイエンコーダ [9] を介して、5 ビットのバイナリコードに変換され、出力される。

8.3 従来の DC オフセット電圧補正方法

フラッシュ型 A/D 変換器の線形性について、高い歩留りを保証するためには、プリアンプやコンパレータに起因した入力換算 DC オフセット電圧を $\sigma = 0.1LSB$ の標準偏差に抑制する必要がある [8]。

電流出力型 D/A 変換器 (CS-DAC) を用いたフォアグラウンドの DC オフセットキャリブレーションは、要求される線形性を満たすための有効な方法の 1 つである [5][10]。キャリブレーション対象であるプリアンプやコンパレータの差動入力電圧を 0 した状態で、A/D 変換器を動作させると、DC オフセット電圧の正負に基づいて、コンパレータの出力論理値が High/Low に変化する。この High/Low を反転させる向きに、CS-DAC の電流をプリアンプの負荷抵抗に流すことで、トリミング電圧を発生し、プリアンプやコンパレータの DC オフセット電圧を相殺する。

従来の DC オフセットキャリブレーションでは、CS-DAC の電流を、先頭のプリアンプ出力に流すことで、DC オフセット電圧を補正していた [5]。この方法の問題点は、イ

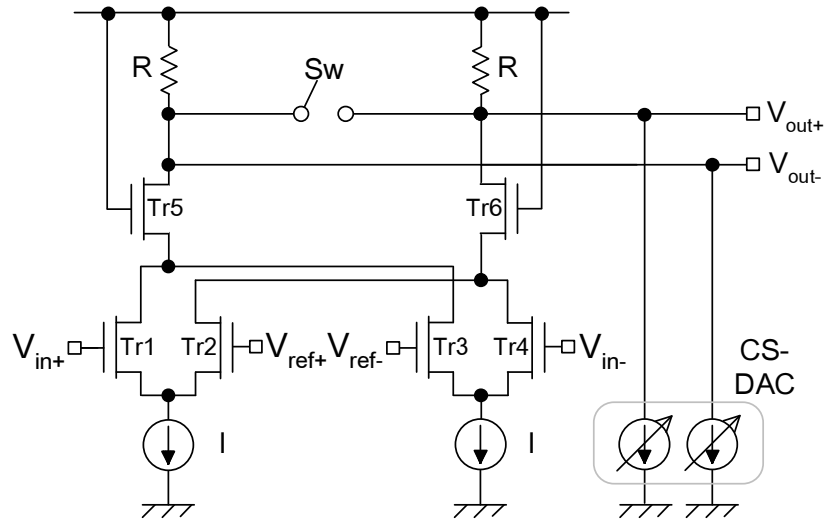


図 77 初段プリアンプ

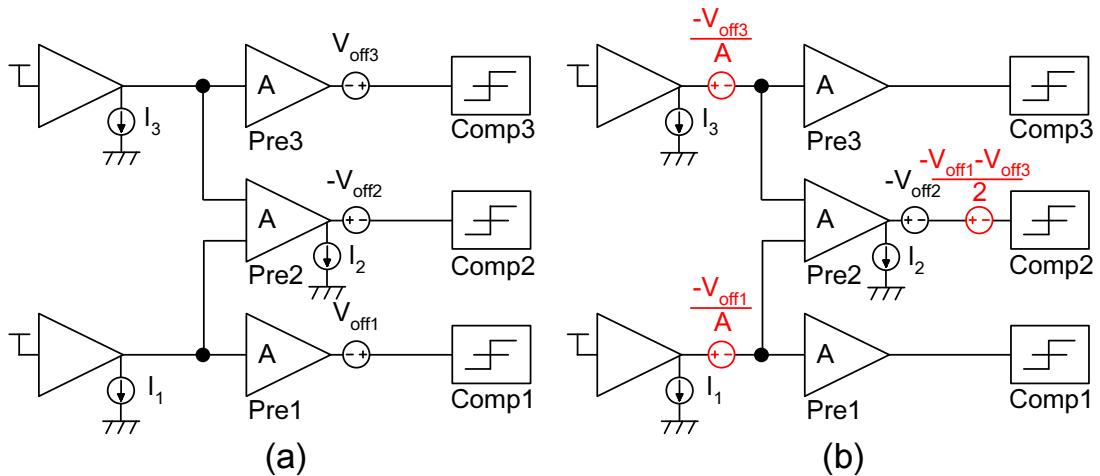


図 78 電流出力型 DAC(CS-DAC) を用いた従来のオフセット補正回路

インターポーレーション技術との併用である。プリアンプの利得が増えるにつれ、DC オフセット電圧が分解能に与える影響は小さくなる。しかしながら、低消費電力化のためプリアンプの消費電流を抑制すると、プリアンプ 1 つあたりの利得が大きく出来ない。そのため、DC オフセット補正後の性能は、CS-DAC の補正レンジや最小分解能に依存するようになる。このような場合に、従来方法でキャリブレーションを実施すると、閾値電圧を補間しているノードの DC オフセット電圧増加に伴って、CS-DAC の補正レンジを広げなければならない、動作速度の高速化や低電源電圧化の面で非効率となる。

図 77 は、初段プリアンプの回路図を示す。トランジスタ $Tr1 \sim Tr4$ は、2 組の差動対を構成している。各々の差動対には、入力信号電圧 $V_{in\pm}$ の一方とリファレンス電圧 $V_{ref\pm}$ の一方とがそれぞれ入力される。リファレンス電圧 $V_{ref\pm}$ は固定なので、シングルエンド構成となっており、バイアス電流の半分しか入力信号を増幅するのに貢献しない。それゆえに、同じバイアス電流で比較すると、初段プリアンプの利得は、後段のプリアンプよりも小さくなる。

高速化の観点から、プリアンプの負荷抵抗を大きくすることで利得を上げるのは困難である。プリアンプには、レイアウト配線寄生容量等に起因した出力寄生容量が数十 fF 程度存在する。寄生容量に起因したプリアンプの過渡応答を考慮すると、プリアンプにおいて利得を確保するには、動作速度よりも十分広い帯域が必要であり、そのため、プリアンプの負荷抵抗を十分に小さくする必要がある。また、キックバックノイズ低減のため、初段プリアンプにはカスコードトランジスタ $Tr5$ 、 $Tr6$ が追加されており、プリアンプを構成するトランジスタを飽和領域で動作させるための出力振幅範囲が狭くなっている。よって、低電源電圧下において DC 電流を増加して初段プリアンプの電圧利得を増加させるのも難しい。

図 78(a) は、DC オフセットキャリブレーションの従来手法 [5] を示す。単純化のため、2 段のシングルエンド構成プリアンプとコンパレータで説明する。 $Pre1 \sim Pre3$ は、2 段目のプリアンプ列であり、それぞれの列の出力換算 DC オフセット電圧が $V_{off1} \sim V_{off3}$ として示される。 $Comp1 \sim Comp3$ は、 $Pre1 \sim Pre3$ にそれぞれ接続されたコンパレータである。また、 A はプリアンプの利得、 $I_1 \sim I_3$ は CS-DAC の出力電流を表す。

従来方法による DC オフセットキャリブレーションを実施する場合、理想的には、 $Pre1$ と $Pre3$ の DC オフセット電圧 V_{off1} と V_{off3} は、 I_1 と I_3 で生成したトリミング電圧 $-V_{off1}/A$ および $-V_{off3}/A$ によって完全に相殺される。現実には、CS-DAC の最小分解能や出力電流ばらつきにより、キャリブレーション実施後も、完全に相殺されるわけではなく、DC オフセット電圧が残る。この残留 DC オフセット電圧の入力換算電圧は、プリアンプの利得 A だけ小さくなる。しかしながら、前述の理由により、本研究の A/D 変換器では、プリアンプ 3 段の合計利得は 10dB 程度あるが、初段プリアンプの利得は 3dB 程度と小さい。そのため、残留 DC オフセット電圧の入力換算電圧は、0.1LSB を超えてしまう。

図 78(a) において、2 入力プリアンプ $Pre1$ (もしくは $Pre3$) とその後段に接続されている $Comp1$ (もしくは $Comp3$) に起因した V_{off1} (もしくは V_{off3}) と、インターポーレーションのための 4 入力プリアンプ $Pre2$ とそのコンパレータ $Comp2$ に起因した V_{off2} との間には相関がない。そのため、図 78(b) に示されるように、 I_1 や I_3 によるキャリブ

レーションによって、 $-V_{off2}$ が $-(V_{off1} + V_{off3})/2$ だけ増加してしまう可能性がある。増加した DC オフセット電圧を補正するには、 I_2 を増やして、補正レンジを広げなければならない。 I_2 が増加すると、 $Pre2$ の出力同相電圧が下がる。図 76 のように、コンパレータの入力は、NMOS トランジスタで構成されており、比較動作をする際には、ソース端子が GND に対して接続される疑似差動構成になる。 $Pre2$ の出力同相電圧が下がると、コンパレータのトランスコンダクタンスが下がり、コンパレータの動作速度が下がってしまう。この傾向は、電源電圧が下がるにつれ、より顕著になる。

8.4 提案する DC オフセット電圧補正方法

残留オフセット電圧の入力換算電圧を 0.1LSB 以内に抑えるため、新たな DC オフセット補正方法を考案し、採用した。

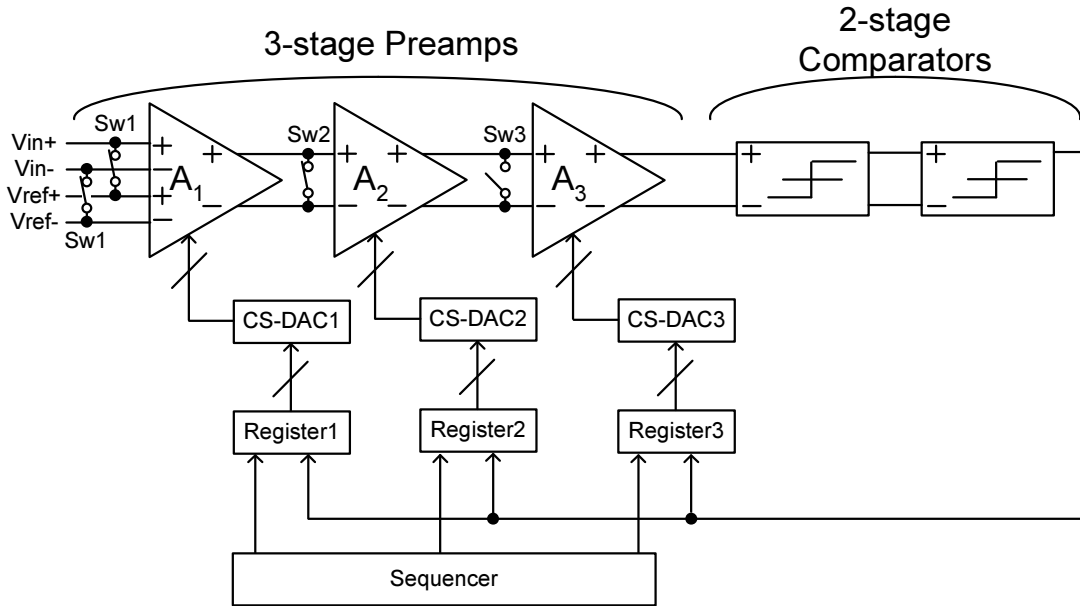
図 79(a) は、提案する DC オフセット補正回路のブロック図である。単純化のため、3 段のプリアンプと 2 段のコンパレータで構成された一列のみが示されている。それぞれのプリアンプには、CS-DAC とレジスタ (Register) が接続されている。スイッチ Sw1～Sw3 は、各段のプリアンプの差動入力間に接続されている。シーケンサ (Sequencer) はスイッチとレジスタの動作を制御する。

図 79(b) は、提案する DC オフセットキャリブレーションのタイミングチャートである。

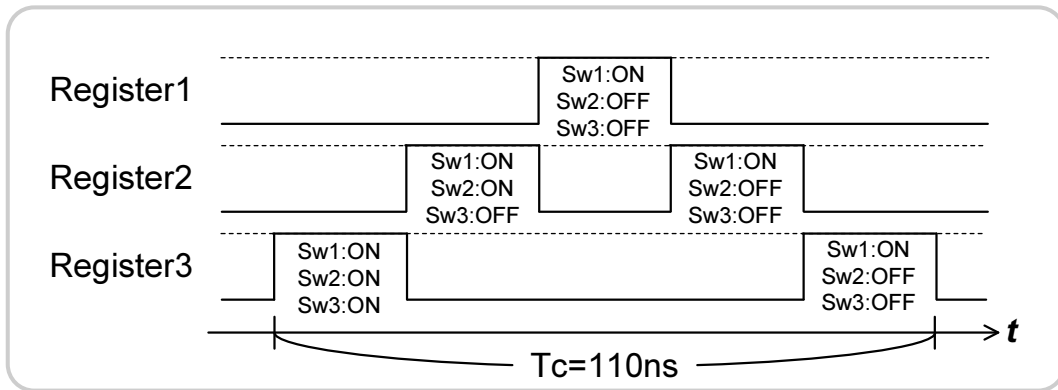
第一段階として、後段から前段にかけて DC オフセットキャリブレーションが実施される。

最初に、Sw1～Sw3 の全てが短絡され、3 段すべてのプリアンプの差動入力電圧が 0 となる。この状態で、CS-DAC3 が動作し、3 段目のプリアンプとコンパレータで発生した DC オフセット電圧が補正される。次に、Sw1 と Sw2 が短絡されたまま、Sw3 のみを開放し、CS-DAC2 を動作させる。すでに、3 段目のプリアンプとコンパレータは補正されているので、2 段目のプリアンプで発生した DC オフセットが補正される。同様の手順で、Sw1 のみ短絡、Sw2、Sw3 が解放の状態、CS-DAC1 が動作し、初段プリアンプの DC オフセットが補正される。この方法では、あるプリアンプの補正動作時には、それより後段にある回路で発生した DC オフセット電圧がすでに補正されてしまっているため、前節で説明したような 2 入力プリアンプから 4 入力プリアンプへの DC オフセット電圧の移動が避けられる。このことが、A/D 変換器の低電源電圧化と高速化に貢献する。

第一段階終了時には、最後に補正を実施した初段プリアンプの出力に、残留 DC オフセット電圧が発生している。この入力換算電圧を小さくするため、第二段階として、前段



(a)



(b)

図 79 提案する DC オフセット電圧補正回路

から後段にかけて DC オフセットキャリブレーションを再び実施する。

まず、Sw1 のみ短絡、Sw2、Sw3 が解放の状態、CS-DAC2 を再び動作させる。この補正動作により、初段プリアンプの残留 DC オフセット電圧と 2 段目プリアンプの DC オフセット電圧の合計が CS-DAC2 により補正される。補正後、残留 DC オフセット電圧が 2 段目プリアンプの出力に移動する。CS-DAC2 の動作が終了したのち、CS-DAC3 を動作させる。

提案する DC オフセット補正方法により、従来手法では初段プリアンプの出力に存在し

た残留 DC オフセット電圧が 3 段目プリアンプの出力に移動させることができる。こうすると、残留 DC オフセット電圧の入力換算電圧は、3 段プリアンプの合計利得小さくなり、結果として、 $\sigma=0.1\text{LSB}$ 以内に抑制することができる。

従来の DC オフセット補正方法では、一列のプリアンプやコンパレータの DC オフセットの合計をあるプリアンプの出力一か所で全て補正するため、補正範囲が大きくなる必要がある。補正範囲の拡大に伴い、プリアンプ出力範囲を広げなければならず、その分電源電圧を高くする必要性が生ずる。一方、本研究の提案手法では、あるプリアンプで発生した DC オフセットはそのプリアンプの出力で補正するため、従来手法に比較して、1 つのプリアンプあたりの補正範囲は狭くてよく、低電源電圧下に向いている。また、変更に伴いプリアンプやコンパレータなどへの素子追加や信号配線追加が不要であり、シーケンサの変更のみで実現できるため、実施が容易であり、また、寄生容量増加等による動作速度低下は起こらない。さらに、GS/s オーダーの高速 A/D 変換器であることやフォアグラウンドでの補正であることから、参考文献 [5] のようなバックグラウンドの補正と異なり、図 79(b) で示されるように、補正時間が 110ns と十分短い。送受切り替え時間が存在する無線通信システムにおいては、切り替え時間内に十分補正が可能であるため、温度変動等などへの追従も可能である。

8.5 測定結果

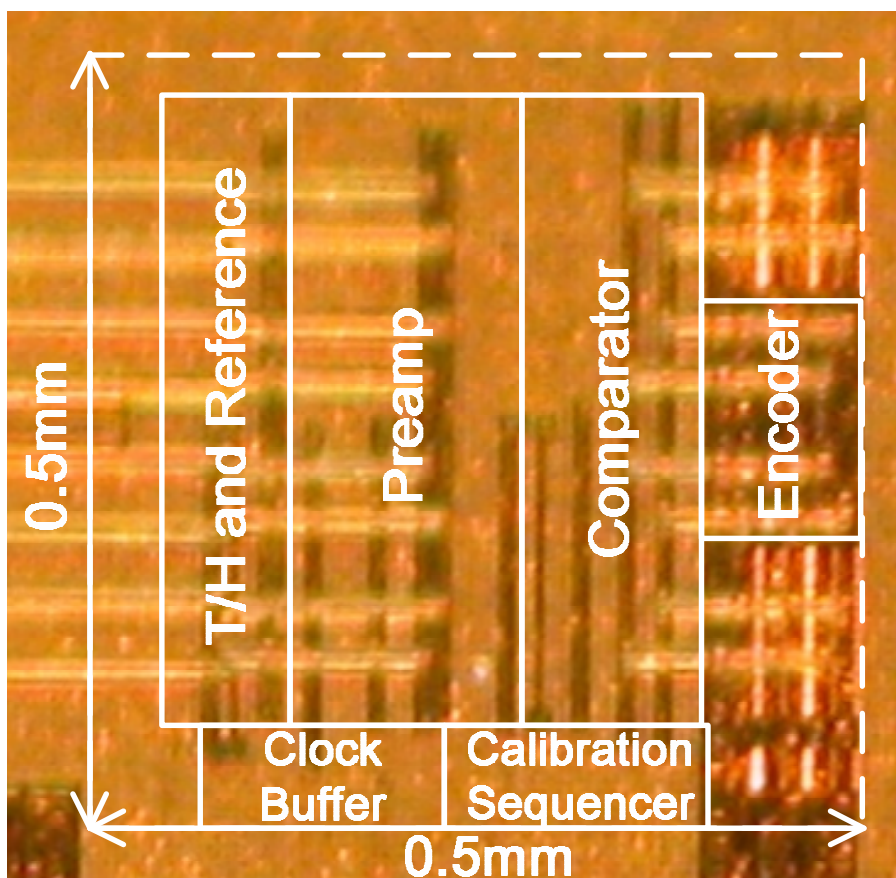


図 80 チップ写真

図 80 は、試作したフラッシュ型 A/D 変換器のチップ写真である。65nmCMOS プロセスが使用された。コア面積は 0.25 mm^2 である。

図 81 は、動作速度 3GS/s 時に、DC オフセットキャリブレーション実施後に測定された入力信号周波数と SNDR の関係を示す。入力信号周波数 200MHz 時、SNDR=29.9dB であり、有効ビット数 4.7ENOB であった。入力信号周波数がナイキスト周波数に近い 1496MHz 時には、SNDR=27.8dB であり、有効ビット数 4.3ENOB であった。入力信号周波数に依らず、5bit の A/D 変換器として 4ENOB 以上の有効ビット数を得られており、本提案の DC オフセット分解能が有効に機能していることがわかる。また、有効バンド幅 (Effective Resolution Bandwidth:ERBW) がナイキスト周波数まで確保できており、ミリ波のような広帯域のベースバンド信号を A/D 変換する性能を十分満足している。

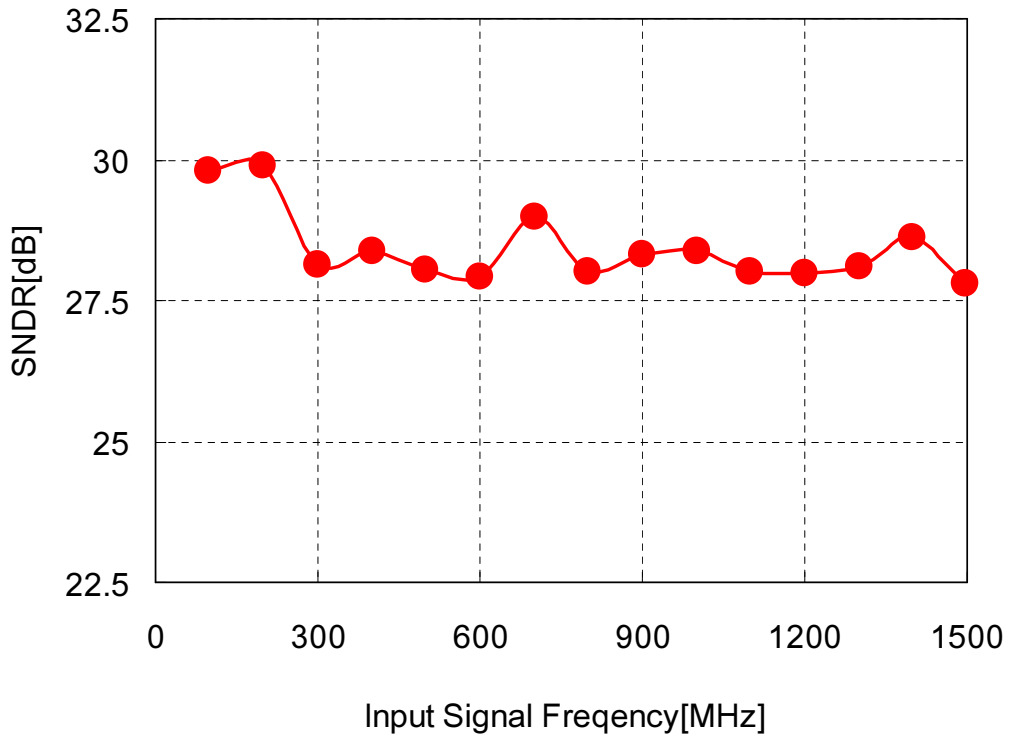


図 81 動作速度 3GS/s 時の入力信号周波数と SNDR

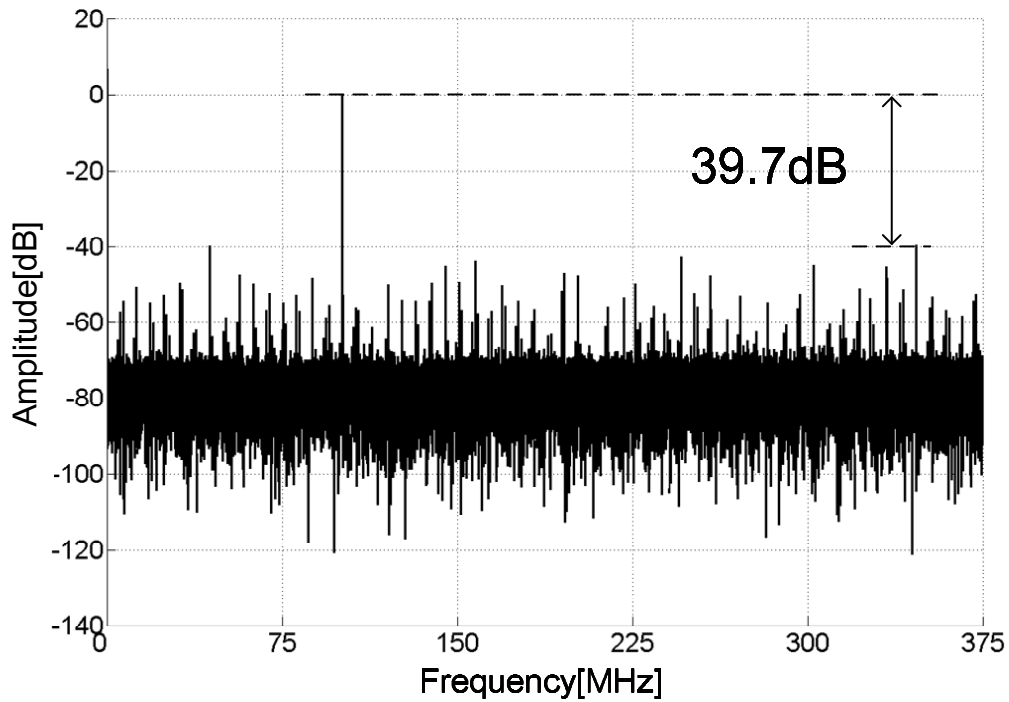


図 82 動作速度 3GS/s 時、入力信号周波数 1399MHz 時の FFT スペクトラム

8 電源電圧 1V で動作する 3GS/S 5BIT 低消費電力フラッシュ型 A/D 変換器

図 82 は動作速度 3GS/s、入力信号周波数 1399MHz 時の FFT スペクトラムを示している。デジタル I/O の動作速度制限のため、A/D 変換器の出力デジタル信号は 1/4 に間引き (デシメーション) されている。SFDR は 39.7dB であった。FFT スペクトラムの結果から、入力信号周波数が高い場合においてもスプリアスが十分に抑制されている事がわかる。

図 83 と図 84 は、DC オフセットキャリブレーション後に測定された DNL/INL である。DNL=+0.36/-0.35 LSB であり、INL=+0.41/-0.40 LSB であった。

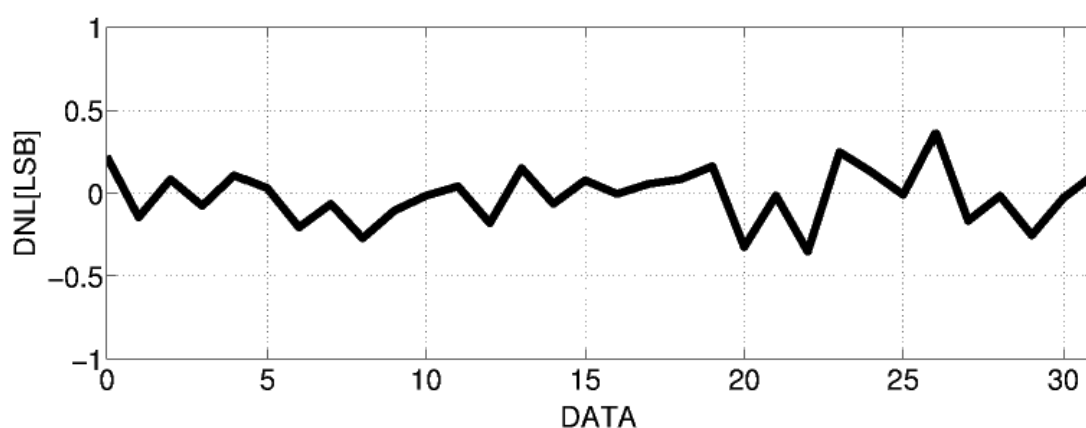


図 83 DNL

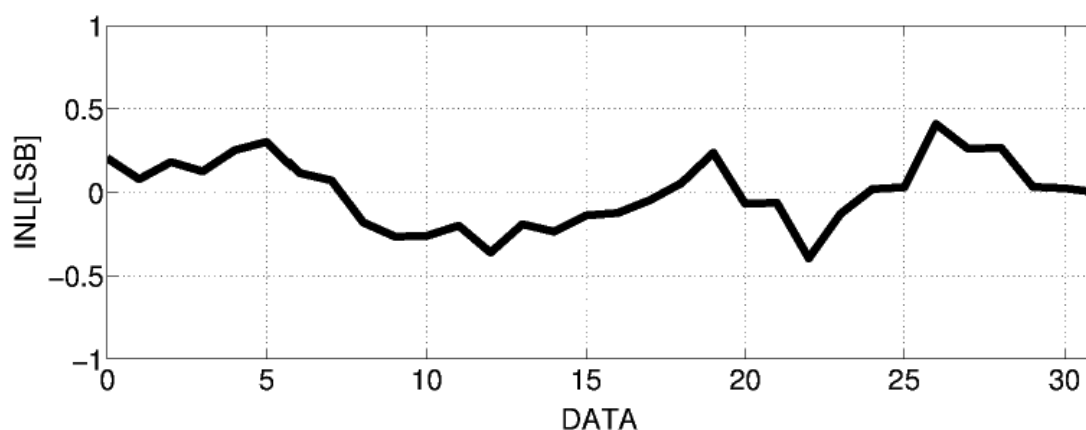


図 84 INL

表 5 に、今回開発された A/D 変換器の性能をまとめる。

消費電力は、動作速度 3 GS/s 時、電源電圧 1V で、36.2mW であった。消費電力の内訳は、それぞれ、プリアンプで 13.2mW、コンパレータとエンコーダで 10.7mW、クロックバッファで 11.7mW、リファレンス回路で 0.6mW であった。

表 5 A/D 変換器の性能

Technology	65-nm 1-P 8-M CMOS
Supply Voltage	1 V
Full Scale	0.5 V _{p-p} (diff.)
Power	36.2 mW
Sampling Rate	3 GS/s
Resolution	5 bit
SFDR	43.1 dB @ 200 MHz input 39.6 dB @ 1496 MHz input
SNDR	29.9 dB @ 200 MHz input 27.8 dB @ 1496 MHz input
FoM	470 fJ/conv @ 200 MHz input 600 fJ/conv @ 1496 MHz input
DNL	+0.36/-0.35 LSB @ after calib.
INL	+0.41/-0.40 LSB @ after calib.
Area	0.25 mm ² (0.5 mm × 0.5 mm)

今回開発された A/D 変換器の FoM は、600fJ/conv であった。FoM は、

$$FoM = \frac{Power[J/conv]}{2^{ENOB@Nyquist} * \text{Min}(2 * ERBW, fs)}. \quad (8.1)$$

で定義される。

表 6 は、近年発表された動作速度 3GS/s 前後の A/D 変換器の性能を示している。今回開発された A/D 変換器は、FoM が 1pJ/conv を下回っており、最も高性能なものの一つであると言える。

表 6 3GS/s 前後の動作速度を持つ A/D 変換器の性能

	Deguchi [11] (JSSC'08)	Nakajima [5] (JSSC'10)	Alpman [12] (ISSCC'09)
動作速度 (GS/s)	3.5	2.7	2.5
電源電圧 (V)	0.9	1.0	1.1
ENOB (bit)	4.9	5.3	5.4
DNL (LSB)	+0.50/-0.48	0.50	±0.5
INL (LSB)	+0.96/-0.39	0.73	±0.8
ERBW (MHz)	1650	1350	1250
Power (mV)	98	50(25)	50
FoM (pJ/conv)	0.95	0.47(0.25)	0.48
補正方式	Averaging	Calibration	Calibration
プロセス (nm)	90	65	45

Park [13] (CICC'06)	Lin [14] (CICC'07)	Kijima [15] (CICC'09)	This work
3.5	3.2(4.2)	3	3
1.8(1.4)	1.2	1.2	1.0
3.6@1GHz	4.4(4.2)	5.3@500MHz	4.3
+0.93/-0.83	0.60	±0.2	+0.36/-0.35
+0.88/-0.89	0.65	±0.2	+0.41/-0.40
-	1650(1750)	500	1500
227	180	90	36.2
9.4@1GHz	2.51(2.80)	2.3	0.60
Calibration	Averaging	Calibration	Calibration
90	130	90	65

8.6 まとめ

ミリ波帯無線通信システム実現のため、高速フラッシュ型 A/D 変換器が開発された。

フラッシュ型 A/D 変換器の主な分解能劣化要因である DC オフセット電圧を、補正順序を工夫した新規のフォアグラウンドキャリブレーション技術で補正することにより、低電源電圧下においても高速性を犠牲にすることなく、高分解能化を可能にした。

試作の結果、動作速度 3GS/s、1V の低電源電圧において、入力信号周波数によらず、4.3ENOB 以上の有効ビット数を実現した。

また、3GS/s の動作速度を持つフラッシュ型 A/D 変換器としては、世界トップレベルの電力効率 (FoM) を実現した。

参考文献

- [1] T. Mitomo, Y. Tsutsumi, H. Hoshino, M. Hosoya, T. Wang, Y. Tsubouchi, R. Tachibana, A. Sai, Y. Kobayashi, D. Kurose, T. Ito, K. Ban, T. Tandai, and T. Tomizawa, “A 2Gb/s-Throughput CMOS Transceiver Chipset with In-Package Antenna for 60GHz Short-Range Wireless Communication,” *in ISSCC Dig. Tech. Papers*, pp. 266–267, Feb. 2012.
- [2] K. Okada, K. Kondou, M. Miyahara, M. Shinagawa, H. Asada, R. Minami, T. Yamaguchi, A. Musa, Y. Tsukui, Y. Asakura, S. Tamonoki, H. Yamagishi, Y. Hino, T. Sato, H. Sakaguchi, N. Shimasaki, T. Ito, Y. Takeuchi, N. Li, Q. Bu, R. Murakami, K. Bunsen, K. Matsushita, M. Noda, and A. Matsuzawa, “A Full 4-Channel 6.3Gb/s 60GHz Direct-Conversion Transceiver with Low-Power Analog and Digital Baseband Circuitry,” *in Proc. of ISSCC Dig. Tech. Papers*, pp. 218–219, Feb. 2012.
- [3] T. Tsukizawa, N. Shirakata, T. Morita, K. Tanaka, J. Sato, Y. Morishita, M. Kanemaru, R. Kitamura, T. Shima, T. Nakatani, K. Miyanaga, T. Urushihara, H. Yoshikawa, T. Sakamoto, H. Motozuka, Y. Shirakawa, N. Yosoku, A. Yamamoto, R. Shiozaki, and N. Saito, “A fully integrated 60GHz CMOS transceiver chipset based on WiGig/IEEE802.11ad with built-in self calibration for mobile applications,” *in Proc. of ISSCC Dig. Tech. Papers*, pp. 230–231, Feb. 2013.
- [4] D. A. Sobel and R. W. Brodersen, “A 1Gbps Mixed-Signal Analog Front End for a 60GHz Wireless Receiver,” *in VLSI Circuits Symp. Dig. Tech. Papers*, pp. 156–157, Jun. 2008.
- [5] Y. Nakajima, A. Sakaguchi, T. Ohkido, N. Kato, T. Matsumoto, and M. Yotsuyanagi, “A Background Self-Calibrated 6b 2.7GS/s ADC With Cascade-Calibrated Folding-Interpolating Architecture,” *IEEE J. of Solid-State Circuits*, pp. 707–718, Apr. 2010.
- [6] M. Choi and A. A. Abidi, “A 6-b 1.3-Gsample/s A/D Converter in 0.35- μ m CMOS,” *IEEE J. of Solid-State Circuits*, vol. 36, pp. 1847–1858, Dec. 2001.
- [7] K. Ohhata, K. Uchino, Y. Shimizu, K. Oyama, and K. Yamashita, “Design of a 770-mhz, 70-mw, 8-bit subranging adc using reference voltage precharging architecture,” *IEEE J. of Solid-State Circuits*, pp. 2881–2890, Nov. 2009.

- [8] K. Uyttenhove and M. S. J. Steyaert, "A 1.8-V 6-Bit 1.3 GHz Flash ADC in 0.25- μm CMOS," *IEEE J. of Solid-State Circuits*, pp. 1115–1122, Jul. 2003.
- [9] Y. Akazawa, A. Iwata, T. Wakimoto, T. Kamato, H. Nakamura, and H. Ikawa, "A 400MSPS 8b Flash AD Conversion LSI," in *Proc. of ISSCC Dig. Tech. Papers*, pp. 98–99, Feb. 1987.
- [10] S. Park, Y. Palaskas, and M. P. Flynn, "A 4-GS/s 4-bit Flash ADC in 0.18- μm CMOS," *IEEE J. of Solid-State Circuits*, pp. 1865–1872, Sep. 2007.
- [11] K. Deguchi, N. Suwa, M. Ito, T. Kumamoto, and T. Miki, "A 6-bit 3.5-GS/s 0.9-V 98-mW Flash ADC in 90-nm CMOS," *IEEE J. of Solid-State Circuits*, vol. 43, pp. 2303–2310, Oct. 2008.
- [12] E. Alpman, H. Lakdawala, L. R. Carley, and K. Soumyanath, "A 1.1V 50mW 2.5GS/s 7b Time-Interleaved C-2C SAR ADC in 45nm LP Digital CMOS," in *Proc. of ISSCC Dig. Tech. Papers*, pp. 76–77, Feb. 2009.
- [13] S. Park, Y. Palaskas, A. Ravi, R. E. Bishop, and M. P. Flynn, "A 3.5-GS/s 5-b Flash ADC in 90 nm CMOS," in *Proc. IEEE Custom Integrated Circuits Conf.*, pp. 489–492, Sep. 2006.
- [14] Y.-Z. Lin, Y.-T. Liu, and S.-J. Chang, "A 5-bit 4.2-GS/s Flash ADC in 0.13- μm CMOS," in *Proc. IEEE Custom Integrated Circuits Conf.*, pp. 213–216, Sep. 2007.
- [15] M. Kijima, K. Ito, K. Kamei, and S. Tsukamoto, "A 6b 3GS/s Flash ADC with Background Calibration," in *Proc. IEEE Custom Integrated Circuits Conf.*, pp. 283–286, Sep. 2009.

9 結論

9.1 本研究での成果

本論文では、無線通信システム用 A/D 変換器の高速化／高分解能化／低消費電力化／低電源電圧化、ならびに、そのトレードオフ緩和による性能向上を目的とし、特に、パイプライン型、フラッシュ型の回路アーキテクチャを持つ A/D 変換器について、性能向上のための各種回路設計技術の提案を行った。

第 1 章では、本研究の背景や目的について述べた。まず、無線通信システムにおける A/D 変換器の役割と主な課題について説明した。次に、A/D 変換器の各種回路アーキテクチャと実現しやすい性能の関係について述べた。特に、本論文で取り上げたパイプライン型とフラッシュ型の回路アーキテクチャについては、その回路アーキテクチャに起因した利点と問題点、および、性能のトレードオフについて詳細に述べた。

第 2 章では、A/D 変換器の主な性能指標について言及した。A/D 変換器の本質的な分解能制限要因である量子化誤差や、回路内で発生する雑音や非線形誤差に起因した SNDR/SNR/THD/SFDR などの AC 特性、素子バラつき等に起因した DNL/INL などの DC 特性について、その定義や計算方法を説明した。また、要求仕様の異なる A/D 変換器の性能を比較するために多用される FoM について言及した。

第 3 章では、容量の相対ミスマッチを容易に測定できるスイッチトキャパシタ回路構成の測定回路を提案した。容量の相対ミスマッチは、A/D 変換器の静的な分解能を決定する主な要因の 1 つであり、プロセス毎にその量を正確に把握することが、A/D 変換器を設計する上で重要である。この測定回路では、MOS スwitch のクロックフィードスルーのばらつきに起因して、測定結果に誤差が生ずる問題がある。解決のため、クロックフィードスルーの量のみを測定できる動作モードを追加し、この動作モードで得られた測定値、相対ミスマッチ込みの測定値から減算することで、クロックフィードスルーの影響を取り除く工夫を加えた。測定の結果、10bit 程度のパイプライン型 A/D 変換器を設計する際、相対ミスマッチが分解能に与える影響は、 kT/C ノイズより十分小さく、 kT/C ノイズのみを考慮した最小のサンプリングキャパシタサイズで設計することで、分解能と消費電力のトレードオフの最適化が図れることが分かった。

第 4 章では、パイプライン型 A/D 変換器のオペアンプ電力削減技術の効果に関する比較検討結果について述べた。理論検討により、オフセットキャンセル技術の省略により消費電力が 50% が削減できることがわかった。また、前後の変換ステージ間でオペアン

プを共用化するアンプシェアリング技術の電力削減効果の方が全オペアンプをフォールディッド型全差動構成から、回路構成が簡素な疑似差動構成のオペアンプに変更することによって折り返し電流を省略した結果得られる消費電力削減効果よりも大きいことが明らかになった。検討結果に基づき、アンプシェアリング技術の有無に違いがある 2 種類の 80MS/s、10bit のパイプライン型 A/D 変換器を 130nmCMOS プロセスにおいて試作し、結果として、アンプシェアリング技術の電力削減効果が、従来言われていた 50% ではなく、約 22% 程度であることが把握できた。

第 5 章では、パイプライン型 A/D 変換器の低消費電力化を実現するため、オペアンプ電力を削減するための最適変換ステージ構成検討のための新たな手法について提案した。提案手法では、電力最適化をより厳密に検討するため、従来は考慮されていなかったオペアンプのスルーレートが消費電力に与える影響をも考慮した非線形モデルを用いた。検討の結果、200MS/s、10bit のパイプライン型 A/D 変換器を 90nmCMOS プロセスで開発する場合、1.5bit/stage の変換ステージ構成が最適であることがわかった。この検討に基づいた試作の結果、消費電力 105mW という世界トップレベルの電力効率を達成し、提案手法の妥当性を確認できた。

第 6 章では、パイプライン型 A/D 変換器の電力削減と高速高分解能化の両立できる技術の提案を行った。第一に、第 5 章での提案方法により、最適化された 2.5bit/stage の変換ステージ構成を採用した。第二に、先に著者らが提案した I/Q アンプシェアリング技術の採用により、オペアンプ数と電力を同時に半減した。採用した I/Q アンプシェアリング技術は、図 1 で示されるような受信 IC に 2 つの ADC が必要な無線通信システム用に好適であり、第 4 章で理論検討する従来のアンプシェアリング技術よりも電力削減効果が高い。第三に、オペアンプ自体を消費電力の少ないソース接地型疑似差動構成アンプに変更することで電力を削減した。このオペアンプでは、簡易な同相電安定化回路の追加により、消費電力の増加なしにオープンループ時の出力同相電圧を安定化することで、オフセットキャンセル技術の省略を可能にした。また、この同相電圧安定化回路と、後段の変換ステージには全差動アンプを用いたハイブリッド構造の採用により、電力増加を避けつつソース接地型疑似差動構成アンプを変換ステージに用いた場合の欠点である同相信号の累積的なオフセットによる分解能劣化を抑制し、高分解能化を図った。さらに、高い DC ゲインを従来より少ない電力で実現可能な新たなゲインブーストアンプの提案により、高分解能化と低消費電力化が両立を図った。以上の技術を用いて、100MS/s、12bit のパイプライン型 A/D 変換器を 90nmCMOS プロセスで試作し、55mW の消費電力で所望の動作を実現した。これは、同等の動作速度と分解能を持つ従来のパイプライン A/D 変換器と比較して消費電力の半減であり、1.2V という低電源電圧を考慮すれば、世界トップ

の電力効率であり、提案手法の電力低減効果の有効性が立証できた。

第7章では、パイプライン型 A/D 変換器の低電源電圧化技術について提案した。第6章の研究では、パイプライン型に従来ソース接地型擬似差動構成アンプを採用した場合に問題となる同相電圧の累積的オフセットによる分解能劣化を抑制するため、ソース接地型擬似差動アンプと全差動アンプとハイブリッド構造を利用していた。しかしながら、これにはアンプの出力振幅範囲にマージンが必要であり、動作電圧を下げると、このマージン確保が困難となり、分解能が劣化する問題があった。そこで本研究では、ソース接地型擬似差動構成アンプに新規提案の2段の利得段を持つフィードバック型の同相電圧調節回路を追加することにより、出力段電流を変動させることなく出力同相電圧を安定化できるようにした。提案回路の導入により、出力振幅範囲を以前より広く使えるようになり、結果として、従来より低電源電圧下においても、所望分解能が確保できるようになった。以上の技術を用いて、40MS/s、12bit のパイプライン型 A/D 変換器を 90nmCMOS プロセスで試作し、0.9V の低電源電圧下においても、0.9V の電源電圧、WLAN/WiMAX を実現するうえで十分な分解能を実現した。また、本研究の回路構成では、全変換ステージのオペアンプにソース接地型擬似差動構成が採用されており、第6章で導入されたハイブリッド構造が不要な分、電力効率の改善も期待できる。

第8章では、フラッシュ型 A/D 変換器の高速化と低電源電圧動作を両立できる技術を提案した。多段プリアンプによる DC オフセット補正アルゴリズムの改善により、低電源電圧下におけるコンパレータの動作速度低下を抑制しつつ、高速動作時の多段プリアンプの不完全なセトリングをも考慮した効率的な DC オフセット補正を実施することで、1V の低電源電圧下において、ミリ波帯を用いた大容量無線通信システム実現に好適な動作速度 3GS/s の超高速動作を、世界トップレベルの電力効率にて達成した。

9.2 開発した A/D 変換器の無線通信システム応用例

6章や7章に記載された I/Q アンプシェアリング技術と、ソース接地型オペアンプを組み合わせて開発されたパイプライン型 A/D 変換器については、低消費電力性が求められるモバイル WiMAX の受信器に利用されている [1]。

8章で記載されたフォアグラウンドキャリブレーション技術で開発されたフラッシュ型 A/D 変換器については、所望の高速動作を要求される大容量近距離ミリ波無線システム [2] や、TransferJet(TM)[3] の受信器に利用されている。

このように、本研究を通じて提案されたアイデアや検討手法が、無線通信システムの高性能化に貢献している。

参考文献

- [1] J. Deguchi, D. Miyashita, Y. Ogasawara, G. Takemura, M. Iwanaga, K. Sami, R. Ito, J. Wadatsumi, Y. Tsuda, S. Oda, S. Kawaguchi, N. Itoh, and M. Hamada, "A Fully Integrated 2×1 Dual-Band Direct-Conversion Mobile WiMAX Transceiver With Dual-Mode Fractional Divider and Noise-Shaping Transimpedance Amplifier in 65 nm CMOS," *IEEE J. of Solid-State Circuits*, pp. 2774–2784, Dec. 2010.
- [2] T. Mitomo, Y. Tsutsumi, H. Hoshino, M. Hosoya, T. Wang, Y. Tsubouchi, R. Tachibana, A. Sai, Y. Kobayashi, D. Kurose, T. Ito, K. Ban, T. Tandai, and T. Tomizawa, "A 2Gb/s-Throughput CMOS Transceiver Chipset with In-Package Antenna for 60GHz Short-Range Wireless Communication," *in ISSCC Dig. Tech. Papers*, pp. 266–267, Feb. 2012.
- [3] D. Miyashita, K. Agawa, H. Kajihara, K. Sami, M. Iwanaga, Y. Ogasawara, T. Ito, D. Kurose, N. Koide, T. Hashimoto, H. Sakurai, T. Yamaji, T. Kurihara, K. Sato, I. Seto, H. Yoshida, R. Fujimoto, and Y. Unekawa, "A -70dBm-Sensitivity 522Mbps 0.19nJ/bit-TX 0.43nJ/bit-RX Transceiver for TransferJet(TM) SoC in 65nm CMOS," *in VLSI Circuits Symp. Dig. Tech. Papers*, pp. 74–75, Jun. 2012.

研究業績

審査付論文

<筆頭>

- 1) T. Ito, T. Yamaji, D. Kurose, T. Itakura, "Capacitance Mismatch Evaluation for Low-power Pipeline ADC Design", IEICE Electronics Express, vol.1, No.3, pp.63-68, May, 2004. (第2章)
- 2) T. Ito, D. Kurose, T. Ueno, T. Yamaji, T. Itakura, "Low-Power Design of 10-bit 80-MSPS Pipeline ADCs", IEICE Trans. Fund., vol.E89-A, No.7, pp.2003-2008, Jul. 2006. (第3章)
- 3) T. Ito, T. Ueno, D. Kurose, T. Yamaji, T. Itakura, "A 10-bit, 200-MSPS, 105-mW pipeline A-to-D converter", IEICE Electronics Express, vol.2, No.15, pp.429-433, Aug, 2005. (第4章)
- 4) T. Ito, D. Kurose, T. Ueno, T. Yamaji, T. Itakura, "55-mW 1.2-V 12-bit 100-MSPS Pipeline ADCs for Wireless Receivers", IEICE Trans. Elec., vol.E91-C, No.6, pp.887-893, Jun. 2008. (第5章)
- 5) T. Ito, T. Itakura, "A 0.9-V 12-bit 40-MSPS Pipeline ADC for Wireless Receivers", IEICE Trans. Fund., vol.E93-A, No.2, pp.395-401, Feb. 2010. (第6章)

<その他>

- 1) D. Kurose, T. Ito, T. Ueno, T. Yamaji, T. Itakura, "55-mW 200-MSPS 10-bit Pipeline ADCs for Wireless Receivers", IEEE J. Solid-State Circuits, vol.41, No.7, pp. 1589-1595, Jul. 2006. (第5、6章)
- 2) T. Ueno, T. Ito, D. Kurose, T. Yamaji, T. Itakura, "A 1.2 V, 24 mW/ch, 10 bit, 80 MSample/s Pipelined A/D Converters", IEICE Trans. Fund., vol.E91-A, No.2, pp.454-460, Feb. 2008. (第5、6章)
- 3) T. Mitomo, Y. Tsutsumi, H. Hoshino, M. Hosoya, T. Wang, Y. Tsubouhi, R. Tahibana, A. Sai, Y. Kobayashi, D. Kurose, T. Ito, K. Ban, T. Tandai, and T. Tomizawa, "A 2-Gb/s Throughput CMOS Transceiver Chipset With In-Package Antenna for 60-GHz Short-Range Wireless Communication", IEEE J. of Solid-State Circuits, pp.3160-3171, Dec. 2012. (第7章)

審査付国際学会

<筆頭>

- 1) T. Ito, D. Kurose, T. Ueno, T. Yamaji, T. Itakura, "Low-Power Design of 10-bit 80-MSPS Pipeline ADCs", in Proc. IEEJ Analog VLSI Workshop, Oct. 2004, pp. 167-171. (第3章)
- 2) T. Ito, D. Kurose, T. Ueno, T. Yamaji, T. Itakura, "55-mW 1.2-V 12-bit 100-MSPS Pipeline ADCs for Wireless Receivers", in Proc. European Solid-State Circuits Conf., pp. 540-543, Sep. 2006. (第5章)
- 3) T. Ito, T. Itakura, "A 3-GS/s 5-bit 36-mW Flash ADC in 65-nm CMOS", in Proc. IEEE Asian Solid-State Circuits Conf., Nov. 2010. (第7章)

<その他>

- 1) D. Kurose, T. Ito, T. Ueno, T. Yamaji, T. Itakura, "55-mW 200-MSPS 10-bit pipeline ADCs for wireless receivers", in Proc. European Solid-State Circuits Conf., pp. 527-530, Sep. 2005. (第5、6章)
- 2) T. Ueno, T. Ito, D. Kurose, T. Yamaji, T. Itakura, "A 1.2 V, 24 mW/ch, 10 bit, 80 MSample/s Pipelined A/D Converters", in Proc. of CICC, pp. 501-504, Sep. 2006. (第5、6章)
- 3) T. Mitomo, Y. Tsutsumi, H. Hoshino, M. Hosoya, T. Wang, Y. Tsubouhi, R. Tahibana, A. Sai, Y. Kobayashi, D. Kurose, T. Ito, K. Ban, T. Tandai, and T. Tomizawa, "A 2Gb/s-Throughput CMOS Transceiver Chipset with In-Package Antenna for 60GHz Short-Range Wireless Communication," in ISSCC Dig. Tech. Papers, pp. 266-267, Feb. 2012. (第7章)
- 4) D. Miyashita, K. Agawa, H. Kajihara, K. Sami, M. Iwanaga, Y. Ogasawara, T. Ito, D. Kurose, N. Koide, T. Hashimoto, H. Sakurai, T. Yamaji, T. Kurihara, K. Sato, I. Seto, H. Yoshida, R. Fujimoto, and Y. Unekawa, "A -70dBm-Sensitivity 522Mbps 0.19nJ/bit-TX 0.43nJ/bit-RX Transceiver for TransferJet(TM) SoC in 65nm CMOS," in VLSI Circuits Symp. Dig. Tech. Papers, pp.74-75, Jun. 2012. (第7章)

学会報告

<筆頭>

- 1) 伊藤朋彦・山路隆文・板倉哲朗, ”MIM キャパシタ相対誤差の測定”, 電子情報通信学会 ソサイエティ大会 A-1-16, 2003 年 9 月 (第 2 章)
- 2) 伊藤朋彦, 上野武司, 黒瀬大介, 山路隆文, 板倉哲朗, ”高速 A/D 変換回路の低消費電力化に関する一検討”, 電気学会 電子回路研究会 2005 年 6 月 (第 4 章)
- 3) 伊藤朋彦・上野武司・黒瀬大介・山路隆文・板倉哲朗, ”無線通信用 A/D 変換器の低消費電力化”, 電子情報通信学会 集積回路研究会 2006 年 12 月 (第 5 章)
- 4) 伊藤朋彦・板倉哲朗, ”A 3-GS/s 5-Bit 36-mW Flash ADC in 65-nm CMOS”, 電子情報通信学会 シリコンアナログ RF 研究会 2010 年 10 月 (第 7 章)

<その他>

- 1) 山路隆文・伊藤朋彦・黒瀬大介・上野武司・板倉哲朗, ”[技術展示] 次世代移動体通信システムに向けた AD 変換器の試作”, 電子情報通信学会 ソフトウェア無線研究会 2005 年 7 月
- 2) 山路隆文・黒瀬大介・上野武司・伊藤朋彦・板倉哲朗・崔 明秀, ”200MSPS 低消費電力 AD/DA 変換器の開発”, 電子情報通信学会 ソフトウェア無線研究会 2005 年 11 月
- 3) 黒瀬大介・山路隆文・上野武司・伊藤朋彦・板倉哲朗・崔 明秀, ”200MSPS 低消費電力 AD/DA 変換器の開発”, 電子情報通信学会 集積回路研究会 2005 年 12 月

受賞学術賞

電子情報通信学会 学術奨励賞 (2003 年度)

登録特許

<日本>

- 1) 「AD変換装置の補正方法、AD変換装置、無線機」 P5150471
- 2) 「A/D変換装置、A/D変換方法、通信装置」 P5175700
- 3) 「A/D変換装置」 P5072607
- 4) 「差動増幅回路」 P4192183
- 5) 「電力制御回路および無線通信装置」 P4110166
- 6) 「容量素子を含む電子回路装置」 P3851898
- 7) 「演算増幅回路」 P3655290
- 8) 「アナログ/デジタル変換回路および通信装置」 P3910929
- 9) 「定電流回路、定電圧回路及び差動増幅回路」 P3655892

<米国>

- 1) 「Comparing circuit and parallel analog-to-digital converter 」 US8390498
- 2) 「Analog-to-digital converter 」 US8390499
- 3) 「Calibration method, A/D converter, and radio device 」 US7940200
- 4) 「A/D conversion apparatus, A/D conversion method, and communication apparatus 」 US8040271
- 5) 「Sample/hold circuit, and analog-to-digital converter 」 US7868797
- 6) 「A/D converting apparatus 」 US7884749
- 7) 「Differential amplifying circuit 」 US7414472
- 8) 「Differential amplifying circuit 」 US7532069

謝辞

本論文をまとめるにあたり、終始懇切なる御指導と御鞭撻を賜りました法政大学工学部電気電子工学科の安田彰教授に心より感謝いたします。また、本論文の作成にあたり、貴重なご助言や御指導を賜りました法政大学工学部電気電子工学科の斉藤利通教授、中村徹教授に感謝の意を表します。

本論文は、筆者が東芝研究開発センターにおいて、回路グループに在籍していた約9年間の研究成果をまとめたものです。在籍期間中、プロジェクトリーダーとして、数々の御助言や貴重な研究機会を与えていただきました東芝研究開発センターの板倉哲朗技監、東芝セミコンダクター&ストレージ社の藤本竜一主幹に感謝いたします。また、特に技術面において、最も叱咤激励をいただき、現在に至るまで、私のアナログ回路技術者としての目標であり続ける東芝セミコンダクター&ストレージ社の山路隆文参事に感謝いたします。さらに、貴重な時間を割いてアナログ回路の基礎的な知識から教えていただきました東芝研究開発センターの上野武司主務、また、一緒に学んだ仲間である東芝セミコンダクター&ストレージ社の荒井誠主務、黒瀬大介主務に感謝いたします。

本論文の執筆した週末に、私の代わりに2人の若い娘達の面倒を良く見てくれた妻の美保子に、この場を借りて深く感謝いたします。本論文を執筆している部屋に、遊びに来ようとする長女の小春に対して、そのつど我慢するように言い聞かせるのは大変だったと思います。また、次女の千早は、本論文の執筆を開始直後に生まれ、一番手がかかる頃であり、それを1人で抱える苦労は想像以上だったと思います。本論文やその作成過程が、妻や娘達のわずかの支えや、将来、何かを始めるきっかけの1つになれば幸いです。

最後に、本論文の研究を支えていただきました全ての関係者の皆様に、改めて深く感謝いたします。

2013年9月 伊藤 朋彦