

INSTITUTO TECNOLÓGICO Y DE ESTUDIOS SUPERIORES DE OCCIDENTE

Reconocimiento de validez oficial de estudios de nivel superior según acuerdo secretarial 15018, publicado en el Diario Oficial de la Federación el 29 de noviembre de 1976.

Departamento de Electrónica, Sistemas e Informática
ESPECIALIDAD EN DISEÑO DE SISTEMAS EN CHIP



DISEÑO DEL TRANSMISOR ANALÓGICO DE UN SISTEMA SERDES EN TECNOLOGÍA DE FABRICACIÓN DE 130 NM

Tesina para obtener el grado de:
ESPECIALISTA EN DISEÑO DE SISTEMAS EN CHIP

Presentan: Alex Velásquez Meling

Director: Dr. Iván Rodrigo Padilla Cantoya

San Pedro Tlaquepaque, Jalisco. Noviembre de 2017.

Agradecimientos

Agradezco al Consejo Nacional de Ciencia y Tecnología (CONACyT) por su apoyo económico para la realización de este proyecto.

Agradezco al Instituto Tecnológico de Estudios Superiores de Occidente (ITESO), institución de gran calidad, que me brindó todo el apoyo durante el estudio de mi posgrado.

Quiero agradecerle a mi asesor de tesis, el Dr. Iván Rodrigo Padilla Cantoya, sus conocimientos brindados para llevar a cabo esta investigación y por su gran paciencia para la finalización de este proyecto.

Dedicatoria

A mi familia.

Por siempre apoyarme en mis estudios, por dejarme ser libre y tomar riesgos, por ser quienes me enseñaron el valor de luchar día a día por conseguir nuestros sueños.

A mis amigos.

Gracias por su amistad y por darme ánimos en mis momentos de debilidad, por alentarme a terminar esta especialidad y estar conmigo en las buenas y en las malas.

A mis maestros.

Por compartir sus conocimientos y por su ardua labor de enseñar de la mejor manera, gracias por su paciencia y por ser una fuente de inspiración.

Abstract

The present research is based on the development of an analogic data transmitter through differential signals in a 130-nanometer process design technology. The transmitter is one of the 5 modules integrated in a high-speed communication SerDes system and developed with electronic design tools from the system-on-chip design specialty. The output impedance, amplitude and pre-emphasis of the designed analog transmitter are configurable, that is, it has ports designed to control the waveform of the output signal and adapt the output impedance to the transmission line. For this project, a full-custom design that guarantees a working speed of 1 GHz (Giga-Hertz) was chosen. In addition, DRC (Design Rule Check) and LVS (Layout Vs Schematic) tests were fulfilled to avoid manufacturing errors. The verification process of the proposed module was achieved through simulation test benches and the developed system is available to be manufactured at any time.

Resumen

La presente investigación se basó en el desarrollo de un módulo de transmisión analógica de datos de forma diferencial en tecnología de diseño de 130 nanómetros. Es uno de los 5 módulos que fueron integrados a un sistema SerDes para comunicaciones de alta velocidad y que fueron desarrollados con herramientas de diseño electrónico de la especialidad de diseño de sistemas en chip. La impedancia de salida, la amplitud y el preénfasis del transmisor analógico diseñado son configurables, es decir, posee puertos destinados a controlar la forma de onda de la señal de salida y a adaptar la impedancia de salida a la línea de transmisión. Para este proyecto, se eligió un diseño full-custom que garantiza una velocidad de trabajo de 1 GHz (Giga-Hertz). Adicionalmente, se verificó que el sistema cumpliera con las pruebas de DRC (Design Rule Check) y LVS (Layout Vs Schematic) para evitar errores de fabricación. El proceso de verificación del módulo propuesto se realizó a través de camas de prueba y el sistema desarrollado está disponible para ser fabricado en cualquier momento.

Lista de figuras

Figura 2-1. Componentes del SerDes.	9
Figura 2-2. Ejemplos de diferentes representaciones de una celda digital inversora	10
Figura 2-3. Símbolo de la compuerta inversora compuesto del VDD, GND (ground), in (A), out (Z.)	11
Figura 2-4. Símbolo de la compuerta inversora con retardo compuesto del VDD, GND (ground), in (A), out (Z).	12
Figura 2-5. Símbolo de la compuerta NAND donde A y B son las señales de entrada y out es la señal de salida.	13
Figura 2-6. Símbolo de la compuerta NAND de 3 entradas. A, B y C son entradas y OUTPUT es salida.	14
Figura 2-7. Símbolo de la compuerta NOR de 2 entradas. A y B son entradas y OUT es salida	15
Figura 2-8. Símbolo de la compuerta NOR de 3 entradas. A, B y C son entradas y OUTPUT salida.	16
Figura 2-9. Símbolo del multiplexor de 2 a 1. A y B son entradas, EN es la señal del selector y OUTPUT es salida.	17
Figura 2-10. Símbolo del buffer de dos estados donde A es la señal de entrada y OUTPUT es la señal de salida.	18
Figura 2-11. Símbolo del buffer de 3 estados 1. A y EN son entradas, EN habilita el buffer y OUTPUT es salida.	19
Figura 2-12. Símbolo del decodificador de 4 a 12.	20
Figura 2-13. Símbolo del decodificador de 2 a 3.	21
Figura 2-14. Símbolo del circuito de amarre de estado lógico.	22
Figura 2-15. Símbolo del controlador de amplitud.	22
Figura 3-1. Símbolo del transmisor analógico.	23
Figura 3-2. Módulos que componen el transmisor, en la parte superior el módulo	24
Figura 3-3. Cada módulo del transmisor está integrado por 3 bloques: DATA_CONTROL, ZAP_CONTROL y ZAP.	25
Figura 3-4. Celdas digitales del bloque DATA_CONTROL.	26
Figura 3-5. bloque DATA_CONTROL del transmisor analógico.	26
Figura 3-6. Bloque ZAP_CONTROL del transmisor analógico.	27
Figura 3-7. Componentes internos del bloque ZAP_CONTROL del transmisor analógico.	28
Figura 3-8. Componentes internos del bloque ZAP del transmisor analógico.	29
Figura 3-9. Bloque ZAP del transmisor analógico.	29
Figura 3-10. Componentes internos de la unidad ZAP.	30
Figura 3-11. Esquemático del inversor.	31
Figura 3-12. Esquemático del inversor con retardo.	32
Figura 3-13. Esquemático de la NAND de 2 entradas.	33
Figura 3-14. Esquemático de la NAND de 3 entradas.	34
Figura 3-15. Esquemático de la NOR de 2 entradas	35
Figura 3-16. Esquemático de la NOR de 3 entradas.	36
Figura 3-17. Esquemático del multiplexor de 2 a 1.	37
Figura 3-18. Esquemático del buffer de 2 estado.s.	38
Figura 3-19. Esquemático del buffer de 3 estados.	39
Figura 3-20. Esquemático de los bloques decodificador de 4 a 12.	40
Figura 3-21. Esquemático del bloque BLOCK_2 del decodificador de 4 a 12.	41
Figura 3-22. Esquemático del bloque BLOCK_1 del decodificador de 4 a 12.	41
Figura 3-23. Esquemático del decodificador de 2 a 3.	42
Figura 3-24. Esquemático del circuito de amarre de estado lógico	43
Figura 3-25. Esquemático del circuito básico controlador de amplitud.	44
Figura 3-26. Layout del inversor.	46
Figura 3-27. Layout del inversor con retardo.	46
Figura 3-28. Layout de la compuerta NAND de 2 entradas.	47
Figura 3-29. Layout de la compuerta NAND de 3 entradas.	47
Figura 3-30. Layout de la compuerta NOR de 2 entradas.	48
Figura 3-31. Layout de la compuerta NOR de 3 entradas.	48
Figura 3-32. Layout del multiplexor de 2 a 1.	49
Figura 3-33. Layout del buffer de 2 estados.	49
Figura 3-34. Layout del buffer de 3 estados.	50

Figura 3-35. De izquierda a derecha, layout del BLOCK_1 y BLOCK_2.....	50
Figura 3-36. Layout del decodificador de 4 a 12.....	51
Figura 3-37. Layout del decodificador de 2 a 3.....	51
Figura 3-38. Layout del circuito de amarre de estado lógico.....	52
Figura 3-39. Layout del circuito básico controlador de amplitud.....	52
Figura 3-40. De arriba hacia abajo, layout del bloque DATA_CONTROL y DATA_CONTROL_INV.....	53
Figura 3-41. Layout del bloque ZAP_CONTROL.....	53
Figura 3-42. Layout de la unidad ZAP.....	54
Figura 3-43. Layout del transmisor con salida positiva de la señal diferencial.....	55
Figura 3-44. Layout del transmisor con salida negativa de la señal diferencial.....	55
Figura 3-45. Layout del transmisor con salida diferencial.....	56
Figura 4-1. Testbench del inversor.....	57
Figura 4-2. Respuesta del inversor.....	58
Figura 4-3. Testbench del inversor con retardo.....	58
Figura 4-4. Respuesta del inversor con retardo.....	59
Figura 4-5. Testbench de la NAND de 2 entradas.....	59
Figura 4-6. Respuesta de la NAND de 2 entradas.....	60
Figura 4-7. Testbench de la NAND de 3 entradas.....	60
Figura 4-8. Respuesta de la NAND de 3 entradas.....	61
Figura 4-9. Testbench del multiplexor de 2 a 1.....	61
Figura 4-10. Respuesta del multiplexor de 2 a 1.....	62
Figura 4-11. Testbench del buffer de 2 estados.....	62
Figura 4-12. Respuesta del buffer de 2 estados.....	63
Figura 4-13. Testbench del buffer de 3 estados.....	63
Figura 4-14. Respuesta del buffer de 3 estados.....	64
Figura 4-15. Testbench del decodificador de 4 a 12.....	64
Figura 4-16. Respuesta del decodificador de 4 a 12.....	65
Figura 4-17. Testbench del decodificador de 2 a 3.....	65
Figura 4-18. Respuesta del decodificador de 2 a 3.....	66
Figura 4-19. Respuesta del circuito de amarre de estado lógico.....	67
Figura 4-20. Testbench del circuito de amarre de estado lógico.....	67
Figura 4-21. Testbench de la compuerta NOR de 2 entradas.....	68
Figura 4-22. Respuesta de la compuerta NOR de 2 entradas.....	68
Figura 4-23. Testbench de la compuerta NOR de 3 entradas.....	69
Figura 4-24. Respuesta de la compuerta NOR de 3 entradas.....	69
Figura 4-25. Testbench del circuito básico controlador de amplitud.....	70
Figura 4-26. Respuesta del circuito básico controlador de amplitud.....	70
Figura 4-27. Testbench de la unidad ZAP.....	71
Figura 4-28. Respuesta de la unidad ZAP.....	71
Figura 4-29. Testbench de transmisor analógico con salida diferencial.....	72
Figura 4-30. Respuesta del transmisor analógico para los cambios en el preénfasis.....	73
Figura 4-31. Respuesta del transmisor analógico para los cambios de amplitud.....	73
Figura 4-32. Testbench de las pruebas PVT.....	75
Figura 4-33. Comportamiento del transmisor a una temperatura de 0 ° C.....	76
Figura 4-34. Comportamiento del transmisor a una temperatura de 27 ° C.....	77
Figura 4-35. Comportamiento del transmisor a una temperatura de 70 ° C.....	78
Figura 4-36. Validación de DRC del transmisor analógico con salida diferencial.....	79
Figura 4-37. Validación de LVS del transmisor analógico con salida diferencial.....	80

Lista de tablas

<i>Tabla 2-1. La tabla de verdad muestra el comportamiento de la compuerta inversora.</i>	11
<i>Tabla 2-2. La tabla de verdad muestra el comportamiento de la compuerta NAND de dos entradas.</i>	13
<i>Tabla 2-3. La tabla de verdad muestra el comportamiento de la compuerta NAND de tres entradas.</i>	14
<i>Tabla 2-4. La tabla de verdad muestra el comportamiento de la compuerta NOR de dos entradas.</i>	15
<i>Tabla 2-5. La tabla de verdad muestra el comportamiento de la compuerta NOR de tres entradas.</i>	16
<i>Tabla 2-6. La tabla de verdad muestra el comportamiento del multiplexor de 2 a 1.</i>	17
<i>Tabla 2-7. La tabla de verdad muestra el comportamiento del buffer de dos estados.</i>	18
<i>Tabla 2-8. La tabla de verdad muestra el comportamiento del buffer de 3 estados, donde AZ = Alta Impedancia.</i>	19
<i>Tabla 2-9. La tabla de verdad muestra el comportamiento del decodificador de 4 a 12.</i>	20
<i>Tabla 2-10. La tabla de verdad muestra el comportamiento del decodificador de 2 a 3.</i>	21
<i>Tabla 3-1. Descripción de las señales del transmisor analógico.</i>	24
<i>Tabla 3-2. Señales relacionadas al bloque de DATA_CONTROL</i>	25
<i>Tabla 3-3. Descripción de las señales del bloque ZAP_CONTROL</i>	27
<i>Tabla 3-4. Descripción de las señales que componen el bloque ZAP</i>	30
<i>Tabla 3-5. Valores de las resistencias de la unidad ZAP</i>	31
<i>Tabla 3-6. Valores de los transistores del inversor.</i>	32
<i>Tabla 3-7. Valores de los transistores del inversor con retardo.</i>	32
<i>Tabla 3-8. Valores de los transistores de la NAND de 2 entradas</i>	33
<i>Tabla 3-9. Valores de los transistores de la NAND de 3 entradas.</i>	34
<i>Tabla 3-10. Valores de los transistores de la NOR de 2 entradas.</i>	35
<i>Tabla 3-11. Valores de los transistores de la NOR de 3 entradas.</i>	36
<i>Tabla 3-12. Valores de los transistores del multiplexor 2 a 1</i>	37
<i>Tabla 3-13. Valores de los transistores del buffer de 2 estados.</i>	38
<i>Tabla 3-14. Valores de los transistores del buffer de 3 estados.</i>	39
<i>Tabla 3-15. Valores de los transistores del circuito de amarre de estado lógico</i>	43
<i>Tabla 3-16. Valores de las resistencias del circuito básico.</i>	44
<i>Tabla 4-1. Descripción de las esquinas de proceso.</i>	74
<i>Tabla 4-2. Valores de las señales de entrada del testbench</i>	75

Listado de abreviaturas y acrónimos

Bit	Dígito binario
CML	Current Mode Logic
CMOS	Complementary Metal Oxide-Semiconductor
DRC	Design Rule Check
E1	Metal 7
fF	femto-Faradios
FF	Fast-Fast
FS	Fast-Slow
Gb/s	Gigabits por segundo
GHz	Giga Hertz
GND	Tierra
IBM	International Business Machines
ITESO	Instituto Tecnológico de Estudios Superiores de Occidente
L	Largo
LVS	Layout Vs Schematic
LY	Metal 6
m	Multiplicidad
M1	Metal 1
M2	Metal 2
M3	Metal 3
MA	Metal 8
MG	Metal 5
MQ	Metal 4
nf	Número de fingers
Nm	Nanómetros
NMOS	Negative channel Metal Oxide Semiconductor
° C	Grados Celsius
PC	Poli silicio
PMOS	Positive channel Metal Oxide Semiconductor
PVT	Proceso, Voltaje, Temperatura
R	Resistencia
SerDes	Serializador\Deserializador
SF	Slow-Fast
SGMII	Serial Gigabit Media-Independent Interface
SS	Slow-Slow
SST	Source-Series Terminated
TT	Typical-Typical
us	Microsegundo
Vdd	Voltaje de alimentación
W	Ancho
ZAP	Impedance, Amplitude, Pre-emphasis

Contenido

Instituto Tecnológico y de Estudios Superiores de Occidente	i
1. Antecedentes	7
2. Marco teórico	9
2.1. SERDES EN TECNOLOGÍA DE 130 NM	9
2.2. CELDAS DIGITALES	10
2.3. CELDAS DIGITALES BÁSICAS DEL TRANSMISOR ANALÓGICO EN TECNOLOGÍA DE FABRICACIÓN DE 130 NANÓMETROS	11
2.3.1 Inversor	11
2.3.2 Inversor con retardo	12
2.3.3 NAND de 2 entradas	13
2.3.4 NAND de 3 entradas	14
2.3.5 NOR de 2 entradas	15
2.3.6 NOR de 3 entradas	16
2.3.7 Multiplexor de 2 a 1	17
2.3.8 Buffer de 2 estados.....	18
2.3.9 Buffer de 3 estados.....	19
2.4. CELDAS DIGITALES COMPLEJAS DEL TRANSMISOR ANALÓGICO EN TECNOLOGÍA DE FABRICACIÓN DE 130 NANÓMETROS	20
2.4.1 Decodificador de 4 a 12	20
2.4.2 Decodificador de 2 a 3	21
2.5. CELDAS AUXILIARES DEL TRANSMISOR ANALÓGICO EN TECNOLOGÍA DE FABRICACIÓN DE 130 NANÓMETROS	22
2.5.1 Circuito de amarre de estado lógico.....	22
2.5.2 Circuito básico controlador de amplitud	22
3. Metodología	23
3.1. GENERALIDADES DEL DISEÑO DEL TRANSMISOR ANALÓGICO EN 130 NM	23
3.1.1 Bloque DATA_CONTROL	25
3.1.2 Bloque ZAP_CONTROL.....	27
3.1.3 Bloque ZAP.....	28
3.2. DISEÑO DE LAS CELDAS DIGITALES BÁSICAS DEL TRANSMISOR ANALÓGICO.....	31
3.2.1 Inversor	31
3.2.2 Inversor con retardo	32
3.2.3 NAND de 2 entradas	33
3.2.4 NAND de 3 entradas	34
3.2.5 NOR de 2 entradas	35
3.2.6 NOR de 3 entradas	36
3.2.7 Multiplexor de 2 a 1	37
3.2.8 Buffer de 2 estados.....	38
3.2.9 Buffer de 3 estados.....	39
3.3. DISEÑO DE LAS CELDAS DIGITALES COMPLEJAS DEL TRANSMISOR ANALÓGICO.....	40

3.3.1	Decodificador de 4 a 12	40
3.3.2	Decodificador de 2 a 3	42
3.4.	DISEÑO DE LAS CELDAS AUXILIARES DEL TRANSMISOR ANALÓGICO	43
3.4.1	Circuito de amarre de estado lógico.....	43
3.4.2	Circuito básico controlador de amplitud	44
3.5.	DISEÑO DEL LAYOUT DE LAS CELDAS DIGITALES BÁSICAS, COMPLEJAS Y CELDAS AUXILIARES DEL TRANSMISOR ANALÓGICO	45
3.5.1	Inversor	46
3.5.2	Inversor con retardo	46
3.5.3	NAND de 2 entradas	47
3.5.4	NAND de 3 entradas	47
3.5.5	NOR de 2 entradas	48
3.5.6	NOR de 3 entradas	48
3.5.7	Multiplexor de 2 a 1	49
3.5.8	Buffer de 2 estados.....	49
3.5.9	Buffer de 3 estados.....	50
3.5.10	Decodificador de 4 a 12	50
3.5.11	Decodificador de 2 a 3	51
3.5.12	Circuito de amarre de estado lógico.....	52
3.5.13	Circuito básico controlador de amplitud	52
3.5.14	Bloque DATA_CONTROL y DATA_CONTROL_INV	53
3.5.15	Bloque ZAP_CONTROL.....	53
3.5.16	Bloque ZAP.....	54
3.5.17	Transmisor con salida positiva de la señal diferencial	55
3.5.18	Transmisor con salida negativa de la señal diferencial	55
3.5.19	Transmisor con salida diferencial	56

4. Resultados57

4.1.	VERIFICACIÓN DE LA FUNCIONALIDAD DE LAS CELDAS DIGITALES	57
4.1.1	Inversor	57
4.1.2	Inversor con retardo	58
4.1.3	NAND de 2 entradas	59
4.1.4	NAND de 3 entradas	60
4.1.5	Multiplexor de 2 a 1	61
4.1.6	Buffer de 2 estados.....	62
4.1.7	Buffer de 3 estados.....	63
4.1.8	Decodificador de 4 a 12	64
4.1.9	Decodificador de 2 a 3	65
4.1.10	Circuito de amarre de estado lógico.....	66
4.1.11	NOR de 2 entradas	68
4.1.12	NOR de 3 entradas	69
4.1.13	Circuito básico controlador de amplitud	70
4.1.14	Unidad ZAP	71
4.1.15	Transmisor con salida diferencial	72
4.1.	VERIFICACIÓN PRE-LAYOUT DE ESQUINAS PVT	74
4.1.1	Comportamiento a 0 ° C.....	76
4.1.2	Comportamiento a 27 ° C.....	77
4.1.3	Comportamiento a 70 ° C.....	78
4.2.	VERIFICACIÓN DRC Y LVS DEL LAYOUT DE LAS CELDAS DIGITALES.....	79

5. Discusión	81
6. Conclusión	83
7. Referencias	85
8. Anexos	86

Introducción

En esencia, las comunicaciones electrónicas son la transmisión, recepción y procesamiento de información usando circuitos electrónicos. La información se define como el conocimiento o las señales inteligentes comunicadas o recibidas [1]. A través de los años, los sistemas que utilizan estas comunicaciones han pasado de una sola entidad, a un conjunto de módulos dedicados que trabajan en equipo, facilitando su diseño y depuración. Los microprocesadores son un ejemplo de ello y su comunicación es esencial para su correcto funcionamiento.

En la electrónica, la comunicación se realiza de dos maneras. La primera es de forma paralela, es decir, se envían todos los datos de manera simultánea en un solo instante de tiempo. La segunda es de manera serial, los datos son enviados en diferentes instantes de tiempo y llevan un ordenamiento lógico. Cada una posee características específicas que pueden ser una ventaja o desventaja dependiendo de la aplicación en la que se va a implementar. Para sistemas donde el espacio en silicio donde se localiza el circuito es limitado, implementar una comunicación paralela es complicado ya que, por su tipología, necesita un área más grande comparada con la comunicación serial.

A pesar de que el uso de la comunicación serial se ha hecho muy popular por su sencilla implementación y por el área reducida que requieren, el procesamiento de datos se sigue realizando de manera paralela. Esto, debido a que las instrucciones que controlan la funcionalidad solo tienen sentido si son tratadas de esta forma. Si hablamos de procesamiento de datos, tratamos cada dato binario de forma paralela, si queremos enviarlos hacia otro sistema, es necesario convertirlos a la forma serial para aprovechar los beneficios que este tipo de comunicación ofrece.

Convertir significa hacer que algo se transforme en algo distinto de lo que era inicialmente [2]. Aplicando esta definición a las comunicaciones, los convertidores de datos son un tipo de sistema que se encargan del proceso de conversión de datos paralelos a seriales y viceversa con la finalidad de que sean tratados en una tarea específica, como lo puede ser enviarlos a través de un canal de comunicación o usarlos para su procesamiento. Un ejemplo de esto es el bloque conocido como SerDes (*Serializador/Deserializador*).

El SerDes tiene como finalidad transmitir o recibir datos y asegurar que estén disponibles en tiempo y forma para los módulos que los requieren para cumplir con una tarea. Se compone de 5 bloques internos: receptor analógico, deserializador, serializador, transmisor analógico y módulo de pruebas, cada uno cumpliendo una función específica. Las características eléctricas del SerDes dependen, entre otros factores de la tecnología de fabricación en la que se diseñe.

La tecnología de fabricación se refiere a todas las reglas y procedimientos que deben cumplirse para plasmar un diseño electrónico en una oblea de silicio. El ITESO (*Instituto Tecnológico de Estudios Superiores de Occidente*) ofrece la posibilidad de hacer diseños en una tecnología de 130 nm (*nanómetros*) bajo el proceso IBM cmrf8sf con la licencia universitaria del fabricante MOSIS [3]. El diseño del transmisor se realiza con las herramientas de diseño electrónico ofrecidas por la empresa Cadence Design Systems, Inc. [4] que además permiten realizar las simulaciones y verificaciones de cada módulo del SerDes.

El objetivo de esta tesina es dar a conocer el diseño y desarrollo del módulo de transmisión analógica de un sistema SerDes en tecnología CMOS (del inglés *Complementary Metal-Oxide-Semiconductor*) de 130 nm (*nanómetros*). El proyecto del transmisor continúa con los trabajos de tesinas anteriores de estudiantes del ITESO y se alinea con el objetivo de la especialidad, el cual se enfoca en el diseño de sistemas electrónicos a escalas nanométricas utilizando las herramientas y los conocimientos adquiridos durante el estudio de este posgrado.

1. Antecedentes

En las últimas décadas, se ha incrementado el uso de la comunicación serial en sistemas digitales. La constante innovación tecnológica en el diseño de chips ha dado un impulso notable a la fabricación de transmisores y receptores capaces de procesar datos a velocidades cada vez más altas, permitiendo obtener diseños que puedan satisfacer la gran demanda de transmisión/recepción de datos utilizando un menor número de líneas de transmisión.

Timothy O. Dickson y Sorin P. Voin (2007) proponen técnicas de diseño para fabricar un transmisor serial de bajo consumo de potencia fabricado en tecnología de 130 nm y que puede alcanzar velocidades de hasta 86 Gb/s (*Gigabits por segundo*). El circuito se alimenta con un V_{dd} (*Voltaje de alimentación*) de 2.5 Volts, tiene un consumo de energía por debajo de 1 W (*Watt*) y cuya velocidad de operación es verificada a través de pruebas de cambios de temperatura [5]. Además de las técnicas de diseño, otro requisito importante es la definición de la topología del transmisor.

Las topologías de los transmisores son variadas y su implementación depende de la línea de transmisión a través de la cual se van a enviar los datos. En 2008, R.A. Philpott et al. describen el diseño de un transmisor de tipo SST (del inglés, *Source-Series Terminated*) de bajo consumo fabricado en tecnología de 65 nm con ajuste de control interno como voltaje de terminación, impedancia y preénfasis, para acoplarse a las líneas de transmisión y asegurar una tasa de transmisión de datos de 20Gb/s [6].

Los transmisores SST presentan grandes ventajas comparadas con otros diseños, como lo mencionan Shuai Chen et al. (2011) donde afirman que la topología SST es más eficiente que la CML (del inglés, *Current Mode Logic*) ya que consume solo $\frac{1}{4}$ de potencia y ofrece un rango de configuraciones de impedancia y ecualización independientes [7]. Esto beneficia en gran medida al transmisor en su rendimiento y le permite funcionar con diferentes estándares de líneas de transmisión.

Trabajar con diferentes estándares de líneas de transmisión permite que el transmisor sea compatible con diversos módulos que soporten la comunicación serial de alta velocidad. El protocolo SGMII (del inglés, *Serial Gigabit Media-Independent Interface*) es un ejemplo de este tipo de comunicaciones. Sanjeev Mahalawat et al. lo propusieron con la finalidad de crear una interfaz serial que opere a velocidades de 10/100/1000/2500 Mb/s [8] . El módulo transmisor diseñado es capaz de transmitir a una tasa de 1 Gigabit por segundo.

2. Marco teórico

2.1. SerDes en tecnología de 130 nm

EL SerDes es un sistema electrónico de modo mixto (analógico/digital) que funciona a altas velocidades y es el encargado de la conversión de datos seriales a paralelo y viceversa, como se muestra en la Figura 2-1. Se compone de 5 módulos que cumplen funciones específicas: El receptor, encargado de recibir datos seriales del exterior; el deserializador, su función es de convertir estos datos seriales a paralelo; el serializador está a cargo de transformar datos paralelos a seriales; el transmisor tiene la tarea de enviar los datos paralelos hacia el exterior y, finalmente, el módulo de pruebas, su objetivo es aplicar casos de pruebas a los distintos módulos que conforman el SerDes.

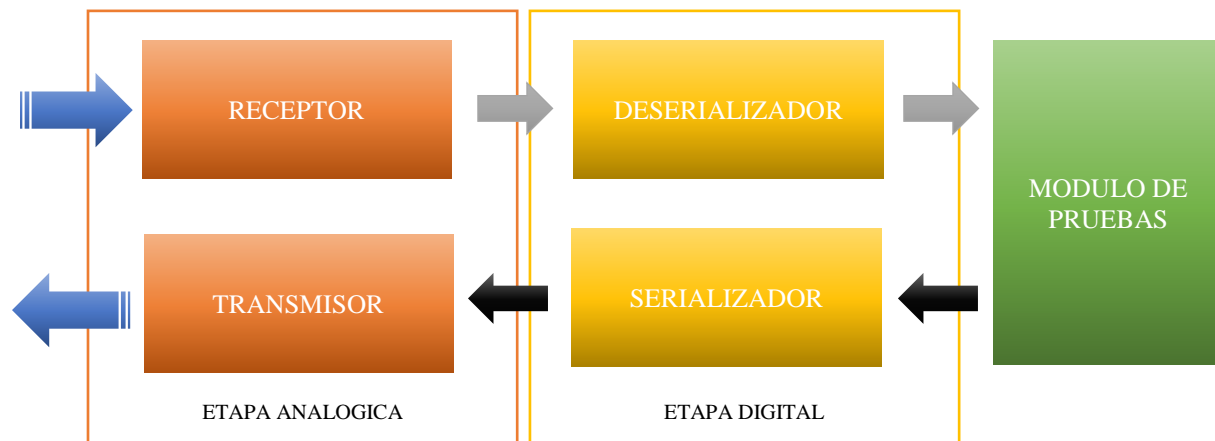


Figura 2-1. Componentes del SerDes.

El diseño del SerDes se basa en el uso de celdas digitales básicas y complejas que, en conjunto, definen el comportamiento, la frecuencia de trabajo y el tamaño del sistema final. Una celda digital posee características y funcionalidades únicas que están definidas a continuación.

2.2. Celdas digitales

Las celdas digitales son circuitos electrónicos cuya función principal es realizar una operación lógica simple sobre las señales de entrada como lo puede ser una operación AND, OR, NOT, NAND, NOR y XOR. Pueden ser representadas por su gráfica (Figura 2-2, A), por tabla de verdad (Figura 2-2, B) y de forma algebraica (Figura 2-2, C) a través de su función booleana [9].

Una función booleana es una expresión matemática que solo puede tomar valores de 0 y 1 [10]. De esta manera, los valores a la salida de la celda estarán definidos por cada señal de entrada del circuito permitiendo que su estado sea conocido y controlado.

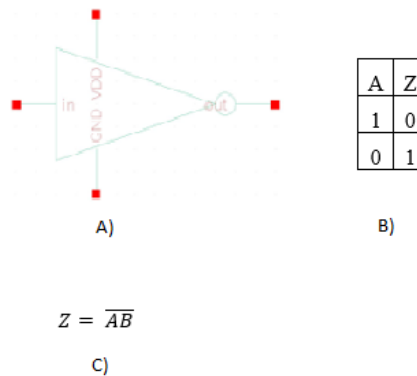


Figura 2-2. Ejemplos de diferentes representaciones de una celda digital inversora

2.3. Celdas digitales básicas del transmisor analógico en tecnología de fabricación de 130 nanómetros

2.3.1 Inversor

La compuerta inversora (Figura 2-3) es un circuito digital compuesto de un par de transistores complementarios que se encargan de invertir la señal de entrada [11]. La señal de salida presenta un desfase de 180 grados con respecto a la entrada.

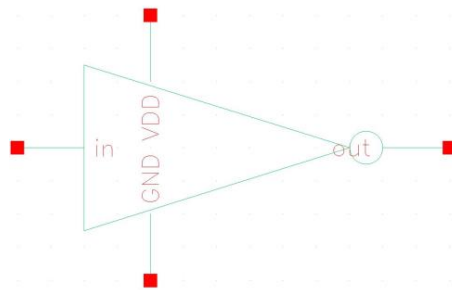


Figura 2-3. Símbolo de la compuerta inversora compuesto del VDD, GND (ground), in (A), out (Z.)

Su comportamiento está definido por su tabla de verdad (Tabla 2-1) y su función booleana es la siguiente:

$$Z = \bar{A} \quad (2-1)$$

Donde:

A = señal de entrada

Z = señal de salida

Tabla 2-1. La tabla de verdad muestra el comportamiento de la compuerta inversora.

A	Z
1	0
0	1

2.3.2 Inversor con retardo

El circuito digital de la compuerta inversora con retardo (Figura 2-4) es parecido al de la compuerta descrita anteriormente y cuyo retardo está definido por el tamaño de los transistores. La señal de salida presenta un desfase de 90 grados más un retraso con respecto a la entrada. El funcionamiento está definido en (2-1) y su tabla de verdad es similar a la compuerta inversora (Tabla 2-1).

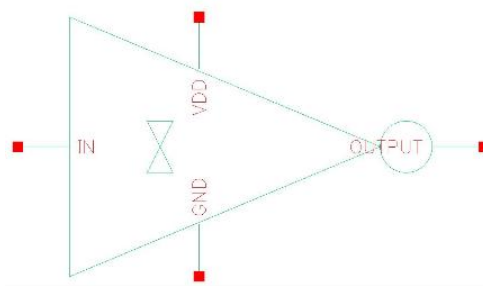


Figura 2-4. Símbolo de la compuerta inversora con retardo compuesto del VDD, GND (ground), in (A), out (Z).

2.3.3 NAND de 2 entradas

La compuerta NAND (Figura 2-5) de 2 entradas se encarga de realizar la operación lógica AND e invertirla [12]. La señal de salida es el resultado de dicha operación.

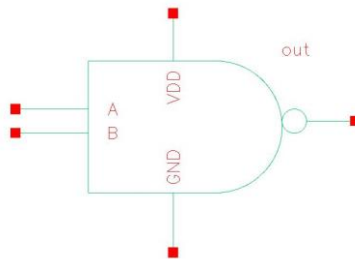


Figura 2-5. Símbolo de la compuerta NAND donde A y B son las señales de entrada y out es la señal de salida.

En la Tabla 2-2, podemos ver su funcionamiento por tabla de verdad y su función booleana en (2-2):

$$Z = \overline{AB} \quad (2-2)$$

Donde:

A = señal de entrada A Z = señal de salida

B = señal de entrada B

Tabla 2-2. La tabla de verdad muestra el comportamiento de la compuerta NAND de dos entradas.

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

2.3.4 NAND de 3 entradas

En la Figura 2-6, se muestra la compuerta NAND de 3 entradas que se encarga de realizar la operación lógica AND e invertirla. La señal de salida es el resultado de dicha operación.

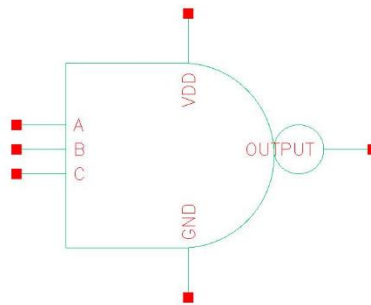


Figura 2-6. Símbolo de la compuerta NAND de 3 entradas. A, B y C son entradas y OUTPUT es salida.

Se comporta de acuerdo con la Tabla 2-3 y tiene por función booleana la siguiente:

$$Z = \overline{ABC} \quad (2-3)$$

Donde:

A = señal de entrada *A* *Z* = señal de salida

B = señal de entrada *B*

C = señal de entrada *C*

Tabla 2-3. La tabla de verdad muestra el comportamiento de la compuerta NAND de tres entradas.

A	B	C	Z
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

2.3.5 NOR de 2 entradas

Como se muestra en la Figura 2-7, la compuerta NOR de 2 entradas se encarga de realizar la operación lógica OR e invertirla.

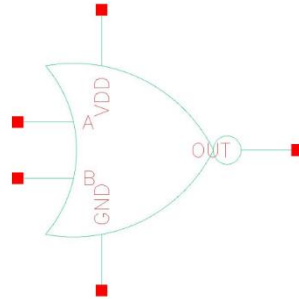


Figura 2-7. Símbolo de la compuerta NOR de 2 entradas. A y B son entradas y OUT es salida

Se comporta de acuerdo con los valores de su tabla de verdad en la Tabla 2-4 y por su función booleana en (2-4):

$$Z = \overline{A + B} \quad (2-4)$$

Donde:

A = señal de entrada A Z = señal de salida
 B = señal de entrada B

Tabla 2-4. La tabla de verdad muestra el comportamiento de la compuerta NOR de dos entradas.

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	0

2.3.6 NOR de 3 entradas

La compuerta NOR (Figura 2-8) de 3 entradas, es un circuito digital que se encarga de realizar la operación lógica OR e invertirla. La señal de salida es el resultado de dicha operación.

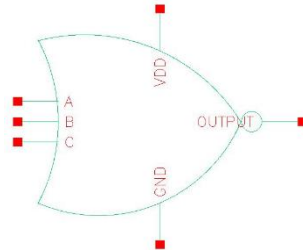


Figura 2-8. Símbolo de la compuerta NOR de 3 entradas. A, B y C son entradas y OUTPUT salida.

Su comportamiento está definido por su tabla de verdad (Tabla 2-5) y su ecuación booleana es la siguiente:

$$Z = \overline{A + B + C} \quad (2-5)$$

Donde:

A = señal de entrada A Z = señal de salida

B = señal de entrada B

C = señal de entrada C

Tabla 2-5. La tabla de verdad muestra el comportamiento de la compuerta NOR de tres entradas.

A	B	C	Z
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

2.3.7 Multiplexor de 2 a 1

El Multiplexor 2 a 1 (Figura 2-9) es un circuito digital que se encarga de seleccionar una entrada y transferirla a la salida. La señal de salida es igual a la señal de entrada seleccionada.

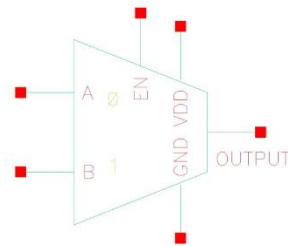


Figura 2-9. Símbolo del multiplexor de 2 a 1. A y B son entradas, EN es la señal del selector y OUTPUT es salida.

La Tabla 2-6 define el funcionamiento de la celda, al igual que su ecuación booleana definida en (2-6):

$$Z = \bar{S}A + SB \quad (2-6)$$

Donde:

A = señal de entrada A Z = señal de salida

B = señal de entrada B

EN = señal del selector

Tabla 2-6. La tabla de verdad muestra el comportamiento del multiplexor de 2 a 1.

S	Z
0	A
1	B

2.3.8 Buffer de 2 estados

El buffer de 2 estados (Figura 2-10) es un circuito digital que se encarga de regenerar la señal de entrada, suministrándole potencia y estableciendo los niveles lógicos a los niveles eléctricos correspondientes. La señal de salida es igual a la señal de entrada regenerada.

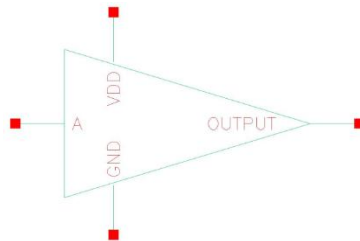


Figura 2-10. Símbolo del buffer de dos estados donde A es la señal de entrada y OUTPUT es la señal de salida.

La tabla de verdad en Tabla 2-7 define el comportamiento del Buffer de 2 estados y su ecuación booleana es la siguiente:

$$Z = A \quad (2-7)$$

Donde:

A = señal de entrada A Z = señal de salida

Tabla 2-7. La tabla de verdad muestra el comportamiento del buffer de dos estados.

ENTRADA	Z
A	A

2.3.9 Buffer de 3 estados

El buffer de 3 estados (Figura 2-11) es un circuito digital que cuando está habilitado, se encarga de regenerar la señal de entrada, suministrándole potencia y estableciendo los niveles lógicos a los niveles eléctricos correspondientes. Cuando no está habilitado, la salida es puesta en un estado de alta impedancia.

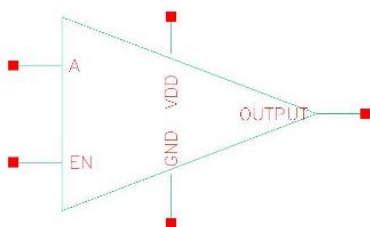


Figura 2-11. Símbolo del buffer de 3 estados 1. A y EN son entradas, EN habilita el buffer y OUTPUT es salida.

Su comportamiento está definido por su tabla de verdad (Tabla 2-8) y su ecuación booleana es la siguiente:

$$Z = ENA \quad (2-8)$$

Donde:

A = señal de entrada *A*

EN = señal para habilitar el buffer

Z = señal de salida

Tabla 2-8. La tabla de verdad muestra el comportamiento del buffer de 3 estados, donde AZ = Alta Impedancia.

ENTRADA	EN	Z
0	0	AZ
A	1	A

A diferencia de las celdas digitales básicas, las celdas complejas realizan funciones que requieren más de un solo circuito lógico para trabajar correctamente, por lo que su ecuación booleana requiere un mayor análisis y tiempo de diseño que las celdas vistas anteriormente. A continuación, se presentan las celdas que se utilizan en el transmisor analógico.

2.4. Celdas digitales complejas del transmisor analógico en tecnología de fabricación de 130 nanómetros

2.4.1 Decodificador de 4 a 12

Este circuito tiene como objetivo controlar el estado de las señales de salida S0, S1, S2, S4... S11, a través del valor de la señal de entrada definido por A, B, C y D, su símbolo está representado por la Figura 2-12 y su tabla de verdad en la Tabla 2-9.

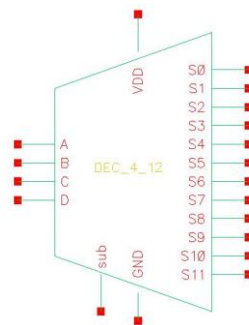


Figura 2-12. Símbolo del decodificador de 4 a 12.

Tabla 2-9. La tabla de verdad muestra el comportamiento del decodificador de 4 a 12.

SEÑALES DE ENTRADA				SEÑALES DE SALIDA											
A	B	C	D	S0	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	1
0	0	1	1	0	0	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1
0	1	0	1	0	0	0	0	0	0	0	1	1	1	1	1
0	1	1	0	0	0	0	0	0	0	1	1	1	1	1	1
0	1	1	1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
1	0	0	1	0	0	0	1	1	1	1	1	1	1	1	1
1	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1
1	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

2.4.2 Decodificador de 2 a 3

Al igual que el decodificador de 4 a 12, este circuito controla el estado de las salidas S0, S1 y S2 a través del valor de la señal de entrada definido por A y B, su símbolo está representado por la Figura 2-13 y su tabla de verdad en la Tabla 2-10.

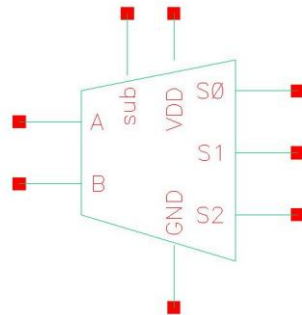


Figura 2-13. Símbolo del decodificador de 2 a 3.

Tabla 2-10. La tabla de verdad muestra el comportamiento del decodificador de 2 a 3.

ENTRADA		SALIDA		
0	0	0	0	0
0	1	0	0	1
1	0	0	1	1
1	1	1	1	1

2.5. Celdas auxiliares del transmisor analógico en tecnología de fabricación de 130 nanómetros

Las celdas auxiliares se caracterizan por no tener una función booleana definida, pero su comportamiento está determinado por un conjunto transistores conectados, de tal manera que el funcionamiento depende de dicha conexión. Las celdas auxiliares del transmisor son las siguientes:

2.5.1 Circuito de amarre de estado lógico

Este circuito es encargado de definir los estados lógicos 1 y 0 en su salida, otorgando dichos estados a la etapa que esté conectada a esas salidas. Como podemos ver en su símbolo definido en la Figura 2-14, el valor de la salida TIED_1 es un estado lógico verdadero y en salida TIED_0 tendremos un valor binario falso.

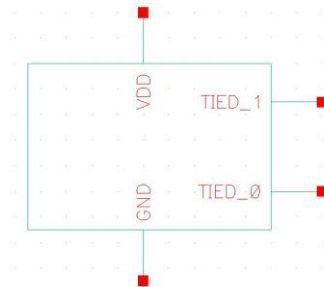


Figura 2-14. Símbolo del circuito de amarre de estado lógico.

2.5.2 Circuito básico controlador de amplitud

El controlador de amplitud tiene como objetivo variar el valor del voltaje de la señal de entrada, EN1 y EN2, ambos contribuyen a la señal de salida con un valor del 50% de la amplitud de la señal de entrada y su símbolo se muestra en la Figura 2-15.

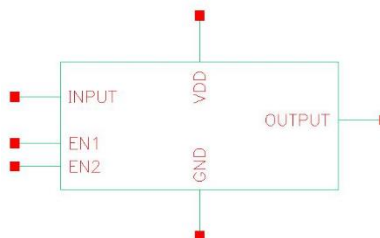


Figura 2-15. Símbolo del controlador de amplitud.

3. Metodología

3.1. Generalidades del diseño del transmisor analógico en 130 nm

Para el diseño del transmisor analógico en 130 nm, las restricciones de diseño fueron las siguientes:

- ✓ Velocidad máxima de trabajo de 1 GHz
- ✓ Señal de entrada de datos tipo single-ended
- ✓ Controlador de amplitud, impedancia y de preénfasis
- ✓ Señal de salida diferencial
- ✓ Rango de operación de 0 a 70 grados centígrados

Teniendo en cuenta dichas restricciones, el diseño propuesto se muestra en la Figura 3-1. La descripción de las señales se encuentra en la Tabla 3-1.

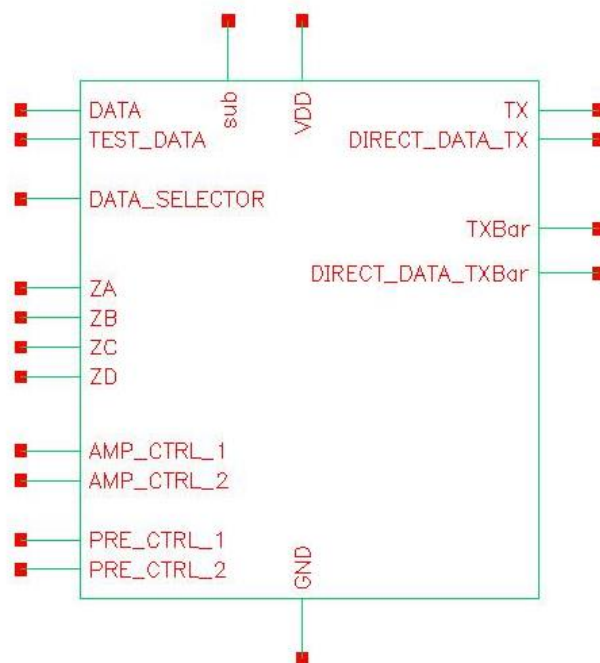


Figura 3-1. Símbolo del transmisor analógico.

Tabla 3-1. Descripción de las señales del transmisor analógico.

NOMBRE DE LA SEÑAL	DIRECCIÓN	FUNCIÓN
DATA	Entrada	Contiene los datos de entrada
DATA_TEST	Entrada	Contiene los datos de prueba
DATA_SELECTOR	Entrada	Señal de selección de datos (DATA o DATA_TEST)
ZA, ZB, ZC, ZD	Entrada	Control de impedancia
AMP_CTRL_1, AMP_CTRL_2	Entrada	Control de amplitud
PRE_CTRL_1, PRE_CTRL_2	Entrada	Control de preénfasis
TX	Salida	Contiene la señal de datos de salida
DIRECT_OUTPUT_TX	Salida	Contiene la señal de datos/datos de prueba sin procesar
TXBar	Salida	Contiene la señal de datos de salida invertida
DIRECT_OTPUT_TXBar	Salida	Contiene la señal de datos/datos de prueba invertidos
VDD	N/A	Voltaje de alimentación
GND	N/A	Tierra
sub	N/A	Substrato

Para respetar el diseño jerárquico del sistema, el transmisor analógico se compone de dos módulos (Figura 3-2), cada uno encargado de procesar la señal de entrada para generar la señal de salida que valida el comportamiento diferencial especificado en las restricciones.

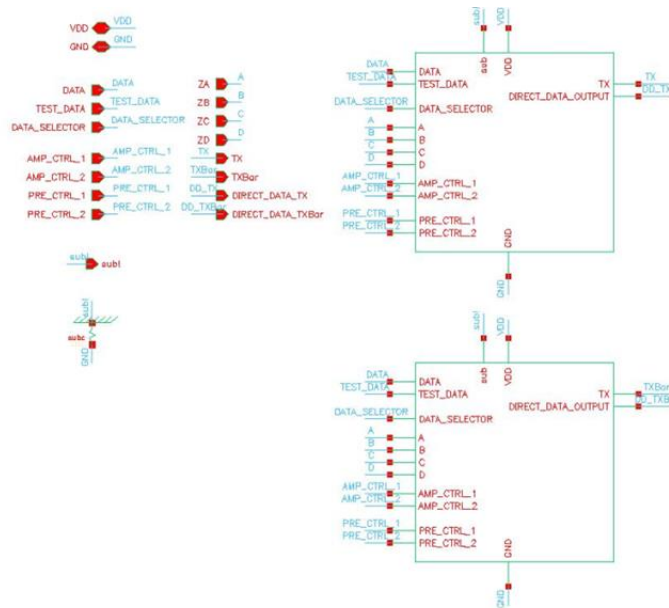


Figura 3-2. Módulos que componen el transmisor, en la parte superior el módulo que genera la señal TX y en la parte inferior el que genera la señal TXBar.

Cada módulo descrito en la Figura 3-2, contiene 3 bloques encargados de ejecutar tareas específicas: DATA_CONTROL, ZAP_CONTROL y ZAP, como podemos ver en la Figura 3-3. La descripción de cada bloque se menciona a continuación.

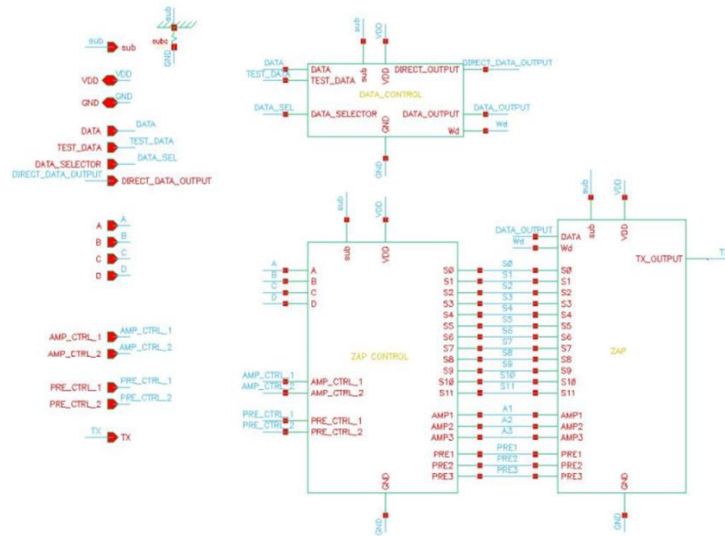


Figura 3-3. Cada módulo del transmisor está integrado por 3 bloques: DATA_CONTROL, ZAP_CONTROL y ZAP

3.1.1 Bloque DATA_CONTROL

Este bloque (Figura 3-5) se encarga de controlar la señal de datos que se va a enviar al bloque ZAP. De acuerdo con las restricciones, podemos tener uno de los dos tipos de señales siguientes: señal de datos reales o señal de datos de prueba. Las señales que conforman al bloque están definidas en la Tabla 3-2.

Tabla 3-2. Señales relacionadas al bloque de DATA_CONTROL

NOMBRE DE LA SEÑAL	DIRECCIÓN	FUNCIÓN
DATA	Entrada	Contiene los datos reales
TEST_DATA	Entrada	Contiene los datos de prueba
DATA_SEL	Entrada	Selecciona el tipo de datos (DATA o TEST_DATA)
DIRECT_DATA_OUTPUT	Salida	Contiene la señal de entrada sin procesar
DATA_OUTPUT	Salida	Contiene la señal de entrada seleccionada por DATA_SEL
Wd	Salida	Contiene la señal de entrada retardada 50 ns

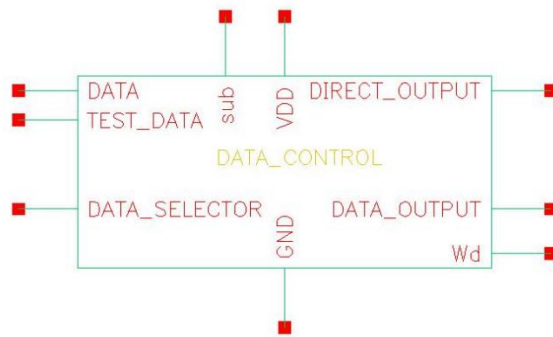


Figura 3-5. bloque DATA_CONTROL del transmisor analógico.

La Figura 3-4 muestra las celdas digitales que componen el bloque DATA_CONTROL y cuya descripción está definida en el apartado de diseño de celdas digitales en tecnología de 130 nm.

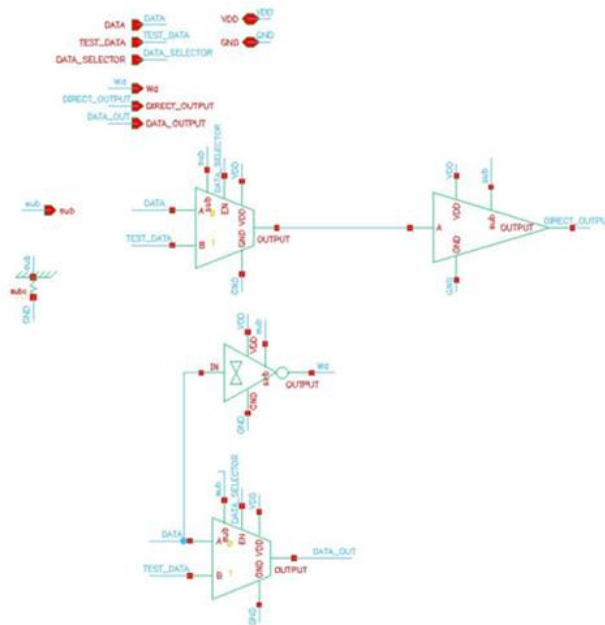


Figura 3-4. Celdas digitales del bloque DATA_CONTROL.

3.1.2 Bloque ZAP_CONTROL

La funcionalidad de este bloque (Figura 3-6), radica en el control de las señales que van a entrar y definir los valores para la amplitud, la impedancia hacia la línea de transmisión y el preénfasis del transmisor en el bloque ZAP.

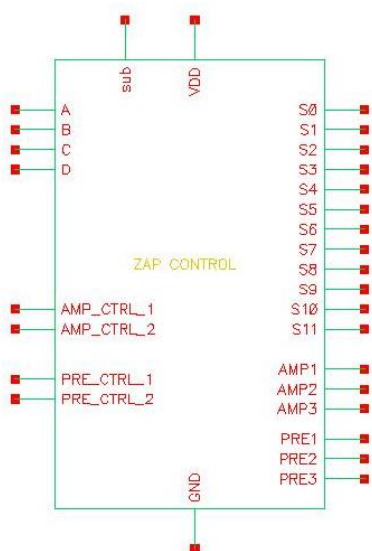


Figura 3-6. Bloque ZAP_CONTROL del transmisor analógico.

La Tabla 3-3 describe las señales que se aprecian en el bloque ZAP_CONTROL.

Tabla 3-3. Descripción de las señales del bloque ZAP_CONTROL

NOMBRE DE LA SEÑAL	DIRECCIÓN	FUNCIÓN
A, B, C, D	Entrada	Configura el nivel de impedancia deseado, representado por un numero binario de 4 bits
AMP_CTRL_1, AMP_CTRL_2	Entrada	Configura el nivel de amplitud deseado, representado por un numero binario de 2 bits
PRE_CTRL_1, PRE_CTRL_2		Configura el nivel de preénfasis deseado, representado por un numero binario de 2 bits
S0, S1, S2, S3, S4, S5, S6, S7, S8, S9, S10, S11	Salida	Contiene el nivel de impedancia deseado
AMP1, AMP2, AMP3	Salida	Contiene el nivel de amplitud deseado
PRE1, PRE2, PRE3	Salida	Contiene el nivel de preénfasis

La Figura 3-7 muestra los componentes internos del bloque ZAP_CONTROL.

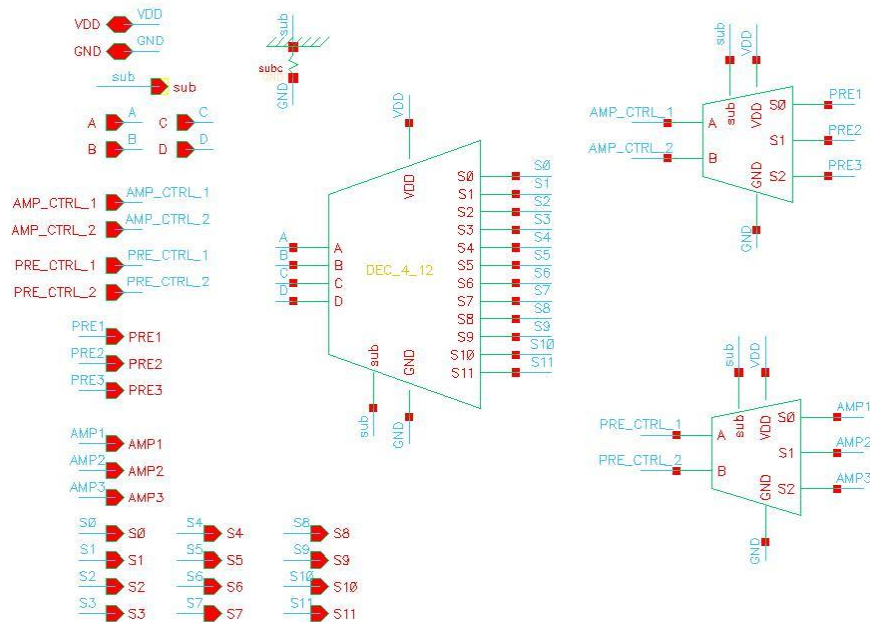


Figura 3-7. Componentes internos del bloque ZAP_CONTROL del transmisor analógico.

3.1.3 Bloque ZAP

El circuito encargado de configurar la impedancia, amplitud y preénfasis a través de las señales de control provenientes del bloque ZAP_CONTROL, es el bloque ZAP. El nombre ZAP significa Impedancia, Amplitud y Preénfasis, respectivamente. Está compuesto de 3 unidades ZAP que contribuyen a definir la forma de la señal de salida.

En la Figura 3-9, podemos apreciar el símbolo de dicho bloque. Los componentes internos se muestran en la Figura 3-8. Las señales y su descripción están contenidas en la Tabla 3-4.

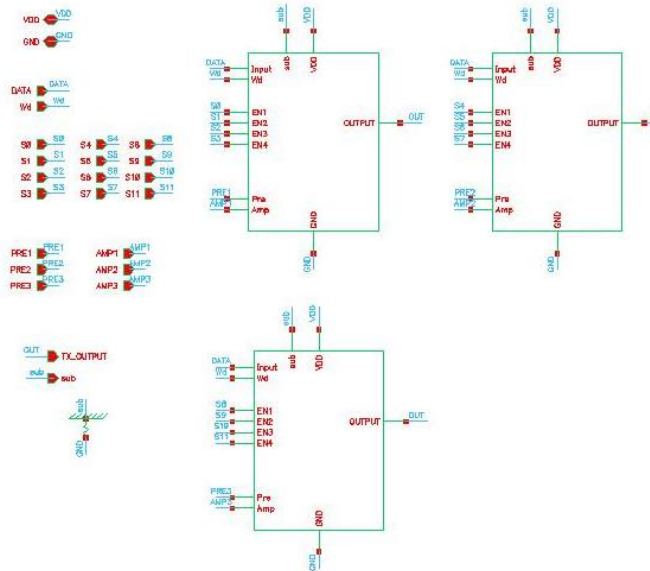


Figura 3-8. Componentes internos del bloque ZAP del transmisor analógico.

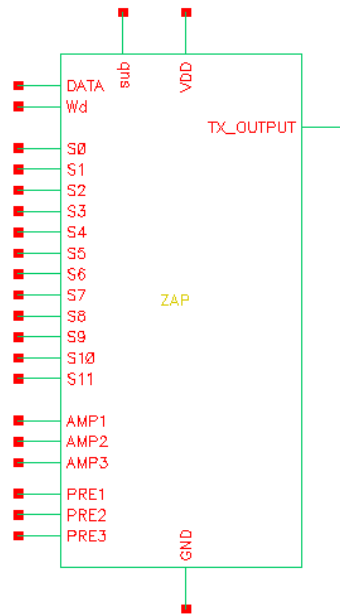


Figura 3-9. Bloque ZAP del transmisor analógico.

En la Figura 3-10, los 3 bloques internos son instancias de unidades ZAP (, dichas unidades son encargadas de modificar la señal de salida con la finalidad de adaptarla a la línea de transmisión y asegurar la calidad de los datos. Los valores de las resistencias se muestran en la Tabla 3-5.

Tabla 3-4. Descripción de las señales que componen el bloque ZAP

NOMBRE DE LA SEÑAL	TIPO DE SEÑAL	DESCRIPCIÓN DE LA SEÑAL
DATA	Entrada	Contiene los datos reales
Wd	Entrada	Contiene la señal de datos con un retraso de 50 us
S0, S1, S2, S3, S4, S5, S6, S7, S8, S9, S10, S11	Entrada	Están a cargo del control de la impedancia
AMP1, AMP2, AMP3	Entrada	Están a cargo del control de la amplitud
PRE1, PRE2, PRE3	Entrada	Están a cargo del control del preénfasis
TX_OUTPUT	Salida	Señal diferencial de salida

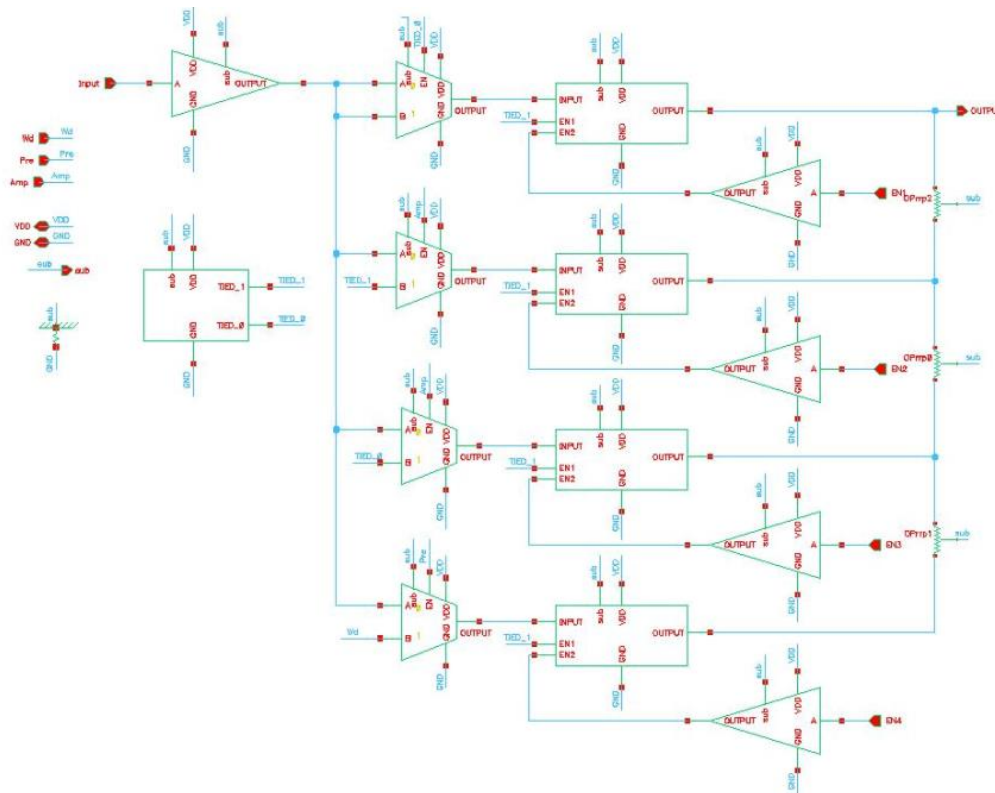


Figura 3-10. Componentes internos de la unidad ZAP

Tabla 3-5. Valores de las resistencias de la unidad ZAP

RESISTENCIAS	VALOR
OPrrp0	818 Ohms
OPrrp1	818 Ohms
OPrrp2	818 Ohms

3.2. Diseño de las celdas digitales básicas del transmisor analógico

El diseño *full-custom* de las celdas digitales básicas del transmisor es realizado bajo la herramienta de diseño asistido por computadora Cadence Design Suite, siguiendo las reglas del proceso de fabricación cmrf8sf de IBM y las relaciones de W y L de trabajos anteriores [13] para cumplir con la velocidad máxima de trabajo especificada.

3.2.1 Inversor

Para el inversor (Figura 3-11), la relación de tamaños de W y L de los transistores esta descrita en la Tabla 3-6.

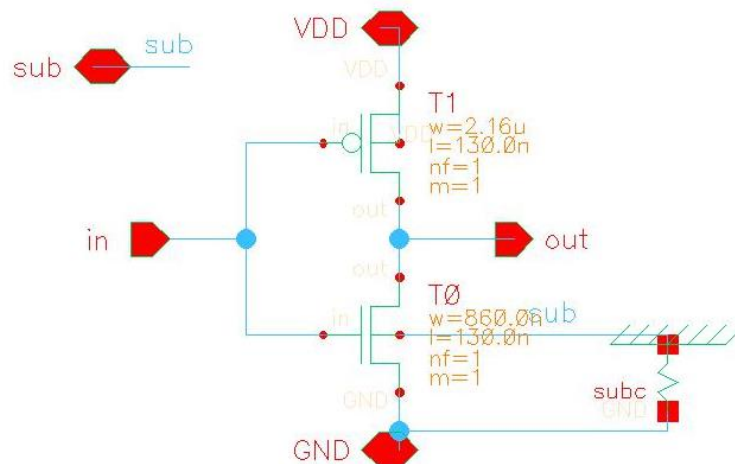


Figura 3-11. Esquemático del inversor.

Tabla 3-6. Valores de los transistores del inversor.

TRANSISTOR	W (total)	L	nf	m
T1	2.16um	130 nm	1	1
T0	860 um	130 nm	1	1

3.2.2 Inversor con retardo

Compuesto por 6 transistores, el esquemático del inversor con retardo esta descrito en la Figura 3-12 y sus valores en la Tabla 3-7.

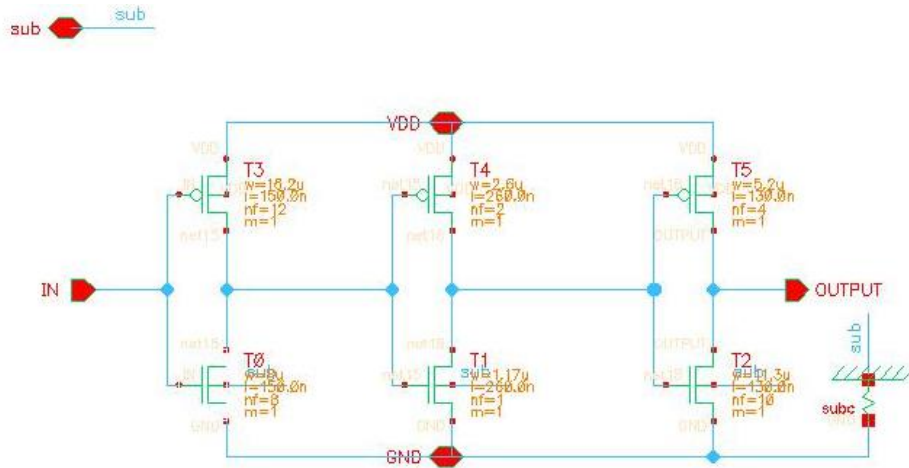


Figura 3-12. Esquemático del inversor con retardo.

Tabla 3-7. Valores de los transistores del inversor con retardo.

TRANSISTOR	W (total)	L	nf	m
T0	8 um	150 nm	8	1
T1	1.17 um	260 nm	1	1
T2	11.3 um	130 nm	10	1
T3	16.2 um	150 nm	12	1
T4	2.6 um	260 nm	2	1
T5	5.2 um	130 nm	4	1

3.2.3 NAND de 2 entradas

Para la NAND de 2 entradas, el esquemático correspondiente esta descrito en la Figura 3-13.

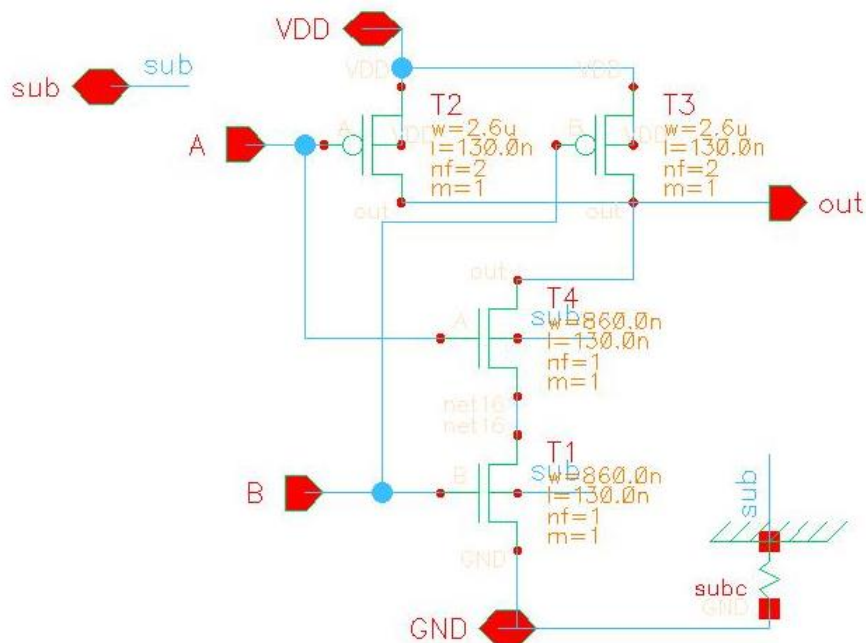


Figura 3-13. Esquemático de la NAND de 2 entradas.

Los valores de W y L están definidos en la Tabla 3-8.

Tabla 3-8. Valores de los transistores de la NAND de 2 entradas

TRANSISTOR	W (total)	L	nf	m
T1	860 nm	130 nm	1	1
T2	2.6 μ m	130 nm	2	1
T3	2.6 μ m	130 nm	2	1
T4	860 nm	130 nm	1	1

3.2.4 NAND de 3 entradas

El diseño de la NAND de 3 entradas se muestra en la Figura 3-14 y la Tabla 3-9 presenta los valores del largo y ancho del canal de cada transistor.

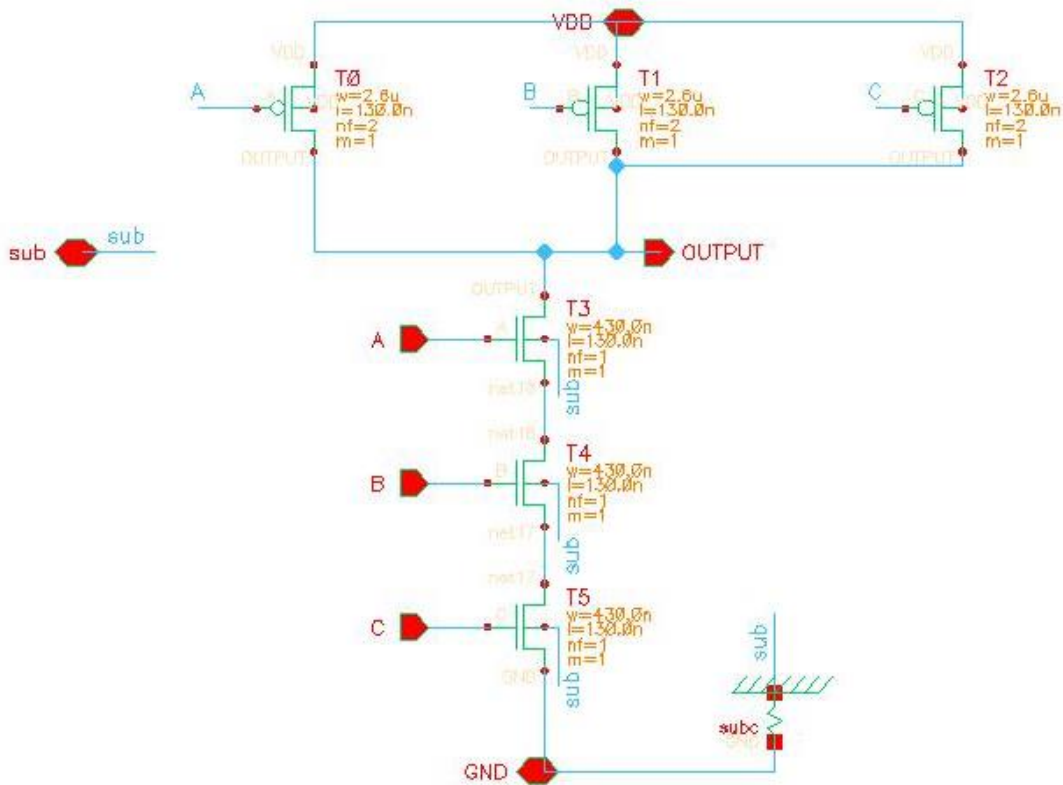


Figura 3-14. Esquemático de la NAND de 3 entradas.

Tabla 3-9. Valores de los transistores de la NAND de 3 entradas.

TRANSISTOR	W (total)	L	nf	m
T0	2.6 um	130 nm	2	1
T1	2.6 um	130 nm	2	1
T2	2.6 um	130 nm	2	1
T3	430 nm	130 nm	1	1
T4	430 nm	130 nm	1	1
T5	430 nm	130 nm	1	1

3.2.5 NOR de 2 entradas

El diseño de la compuerta NOR de 2 entradas está representado en la Figura 3-15.

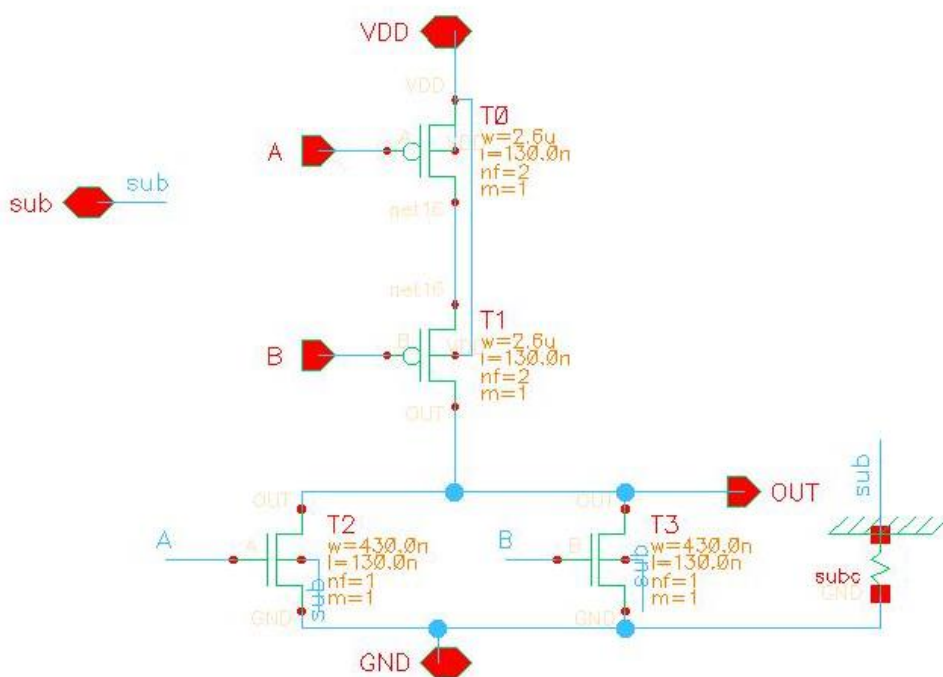


Figura 3-15. Esquemático de la NOR de 2 entradas

La Tabla 3-10 muestra los valores definidos para los transistores de la compuerta.

Tabla 3-10. Valores de los transistores de la NOR de 2 entradas.

TRANSISTOR	W (total)	L	nf	m
T0	2.6 um	130 nm	2	1
T1	2.6 um	130 nm	2	1
T2	430 nm	130 nm	1	1
T3	430 nm	130 nm	1	1

3.2.6 NOR de 3 entradas

Para la compuerta NOR de 3 entradas, la Figura 3-16 describe el diseño de la compuerta NOR de 3 entradas y la Tabla 3-11 muestra los valores de W y L .

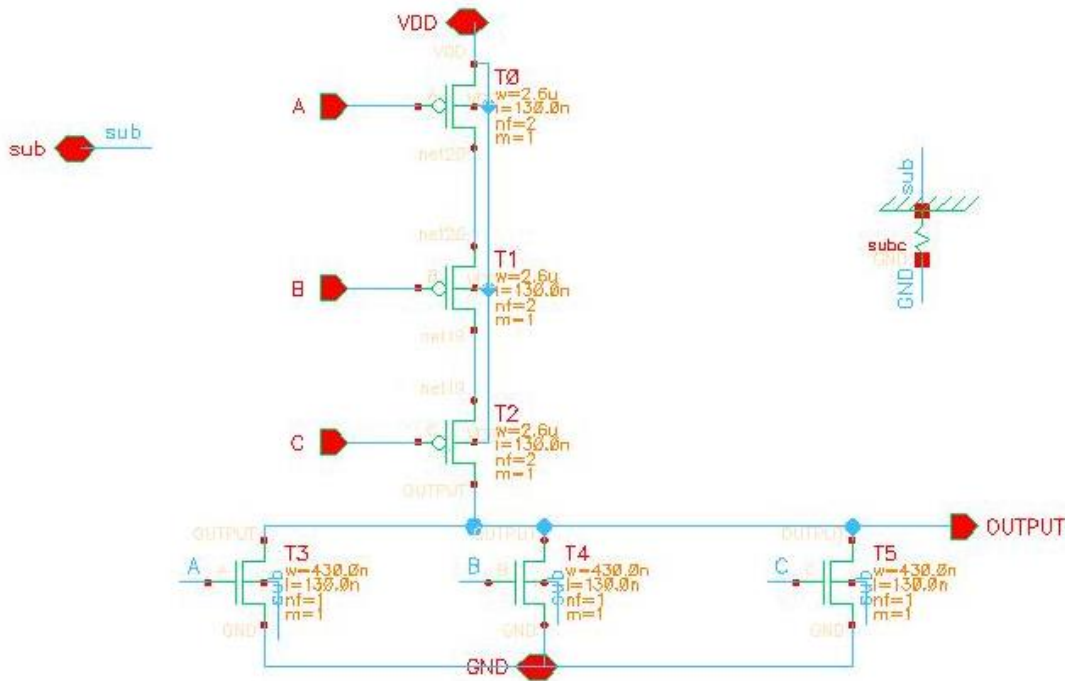


Figura 3-16. Esquemático de la NOR de 3 entradas.

Tabla 3-11. Valores de los transistores de la NOR de 3 entradas.

TRANSISTOR	W (total)	L	nf	m
T0	2.6 um	130 nm	2	1
T1	2.6 um	130 nm	2	1
T2	2.6 um	130 nm	2	1
T3	430 nm	130 nm	1	1
T4	430 nm	130 nm	1	1
T5	430 nm	130 nm	1	1

3.2.7 Multiplexor de 2 a 1

Compuesto por 12 transistores, el esquemático del multiplexor de 2 a 1 esta descrito en la Figura 3-17 y sus valores en la Tabla 3-12.

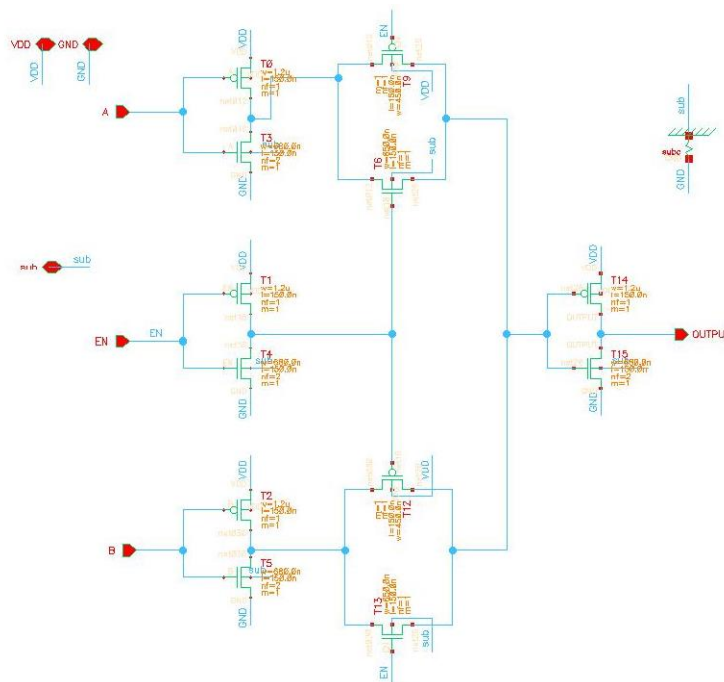


Figura 3-17. Esquemático del multiplexor de 2 a 1

Tabla 3-12. Valores de los transistores del multiplexor 2 a 1

TRANSISTOR	W (total)	L	nf	m
T0	1.2 um	150 nm	1	1
T1	1.2 um	150 nm	1	1
T2	1.2 um	150 nm	1	1
T3	600 nm	150 nm	2	1
T4	600 nm	150 nm	2	1
T5	600 nm	150 nm	2	1
T6	850 nm	150 nm	1	1
T9	450 nm	150 nm	1	1
T12	450 nm	150 nm	1	1
T13	850 nm	150 nm	1	1
T14	1.2 um	150 nm	1	1
T15	600 nm	150 nm	2	1

3.2.8 Buffer de 2 estados

Para el buffer de 2 estados, el diseño realizado se aprecia en la Figura 3-18 y los valores de los transistores están definidos en la Tabla 3-13.

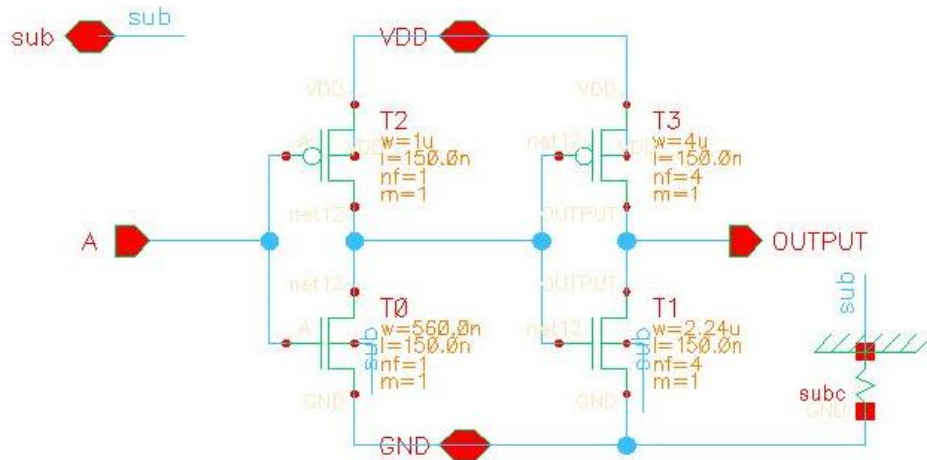


Figura 3-18. Esquemático del buffer de 2 estado.s

Tabla 3-13. Valores de los transistores del buffer de 2 estados.

TRANSISTOR	W (total)	L	nf	m
T0	560 nm	150 nm	1	1
T1	2.24 um	150 nm	4	1
T2	1 um	150 nm	1	1
T3	4 um	150 nm	4	1

3.2.9 Buffer de 3 estados

El diseño del buffer de 3 estados está representado en la Figura 3-19.

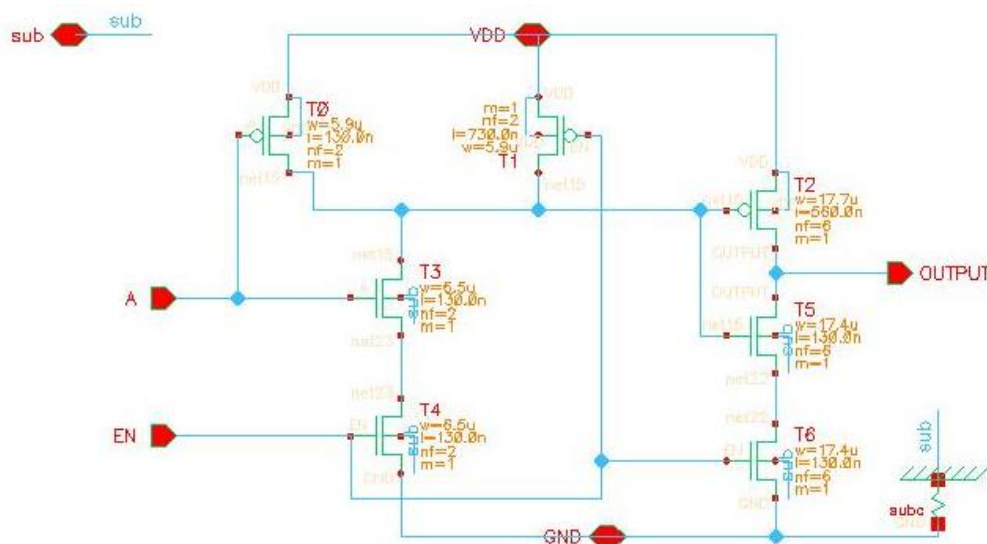


Figura 3-19. Esquemático del buffer de 3 estados.

La Tabla 3-14 muestra los valores definidos para los transistores del buffer.

Tabla 3-14. Valores de los transistores del buffer de 3 estados.

TRANSISTOR	W (total)	L	nf	m
T0	5.9 um	130 nm	2	1
T1	5.9 um	730 nm	2	1
T2	17.7 um	560 nm	6	1
T3	6.5 um	130 nm	2	1
T4	6.5 um	130 nm	2	1
T5	17.4 um	130 nm	6	1
T6	17.4 um	130 nm	6	1

3.3. Diseño de las celdas digitales complejas del transmisor analógico

El diseño de las celdas digitales complejas descrito a continuación, está basado en el uso de compuertas básicas descritas anteriormente, por lo que su representación no es a nivel transistor sino a un nivel de bloques interconectados de dichas celdas.

3.3.1 Decodificador de 4 a 12

El decodificador de 4 a 12 está compuesto por dos bloques que, en conjunto, definen el funcionamiento de la celda (Figura 3-20).

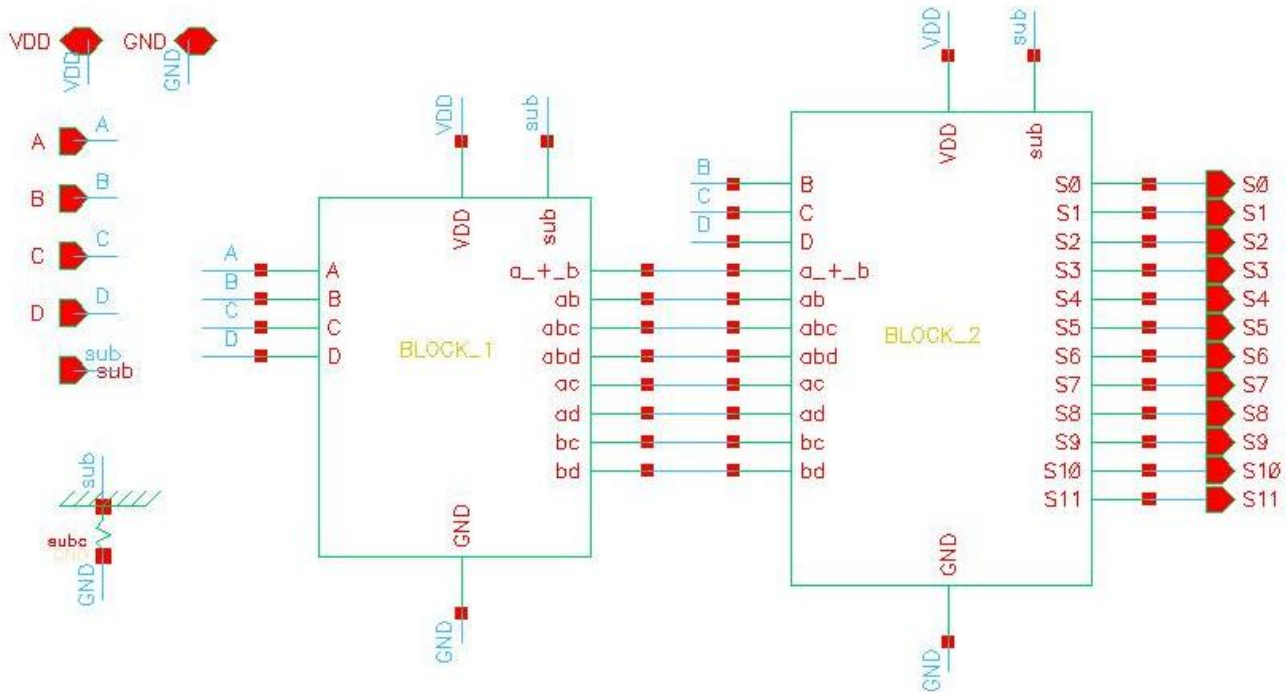


Figura 3-20. Esquema de los bloques decodificador de 4 a 12.

El esquema del bloque BLOCK_1 se muestra en la Figura 3-22. Por otra parte, el bloque BLOCK_2 se aprecia en la Figura 3-21.

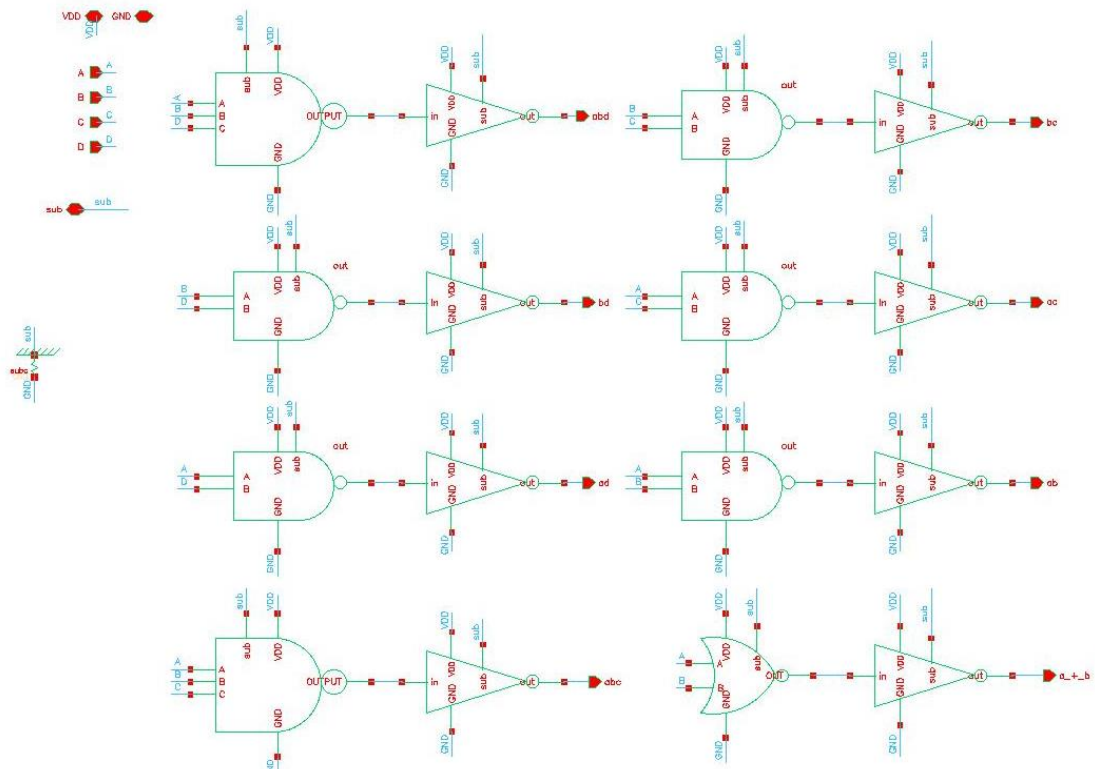


Figura 3-22. Esquemático del bloque BLOCK_1 del decodificador de 4 a 12.

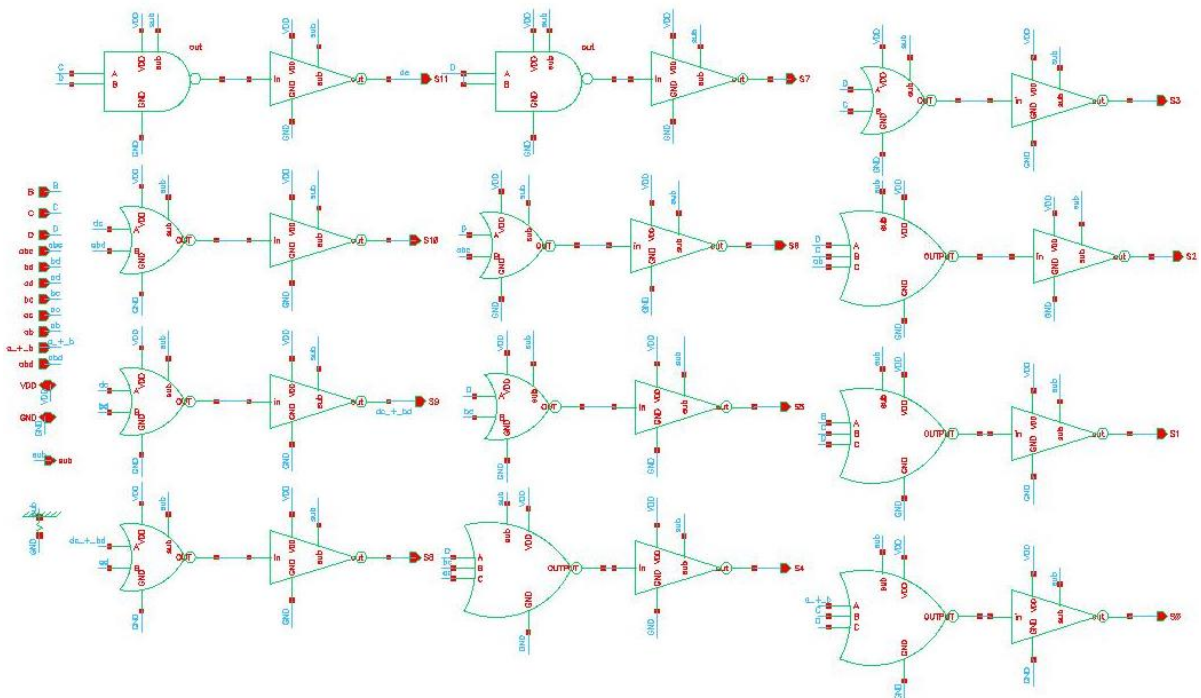


Figura 3-21. Esquemático del bloque BLOCK_2 del decodificador de 4 a 12.

3.3.2 Decodificador de 2 a 3

Para el decodificador de 2 a 3, la Figura 3-23 muestra las celdas que lo conforman.

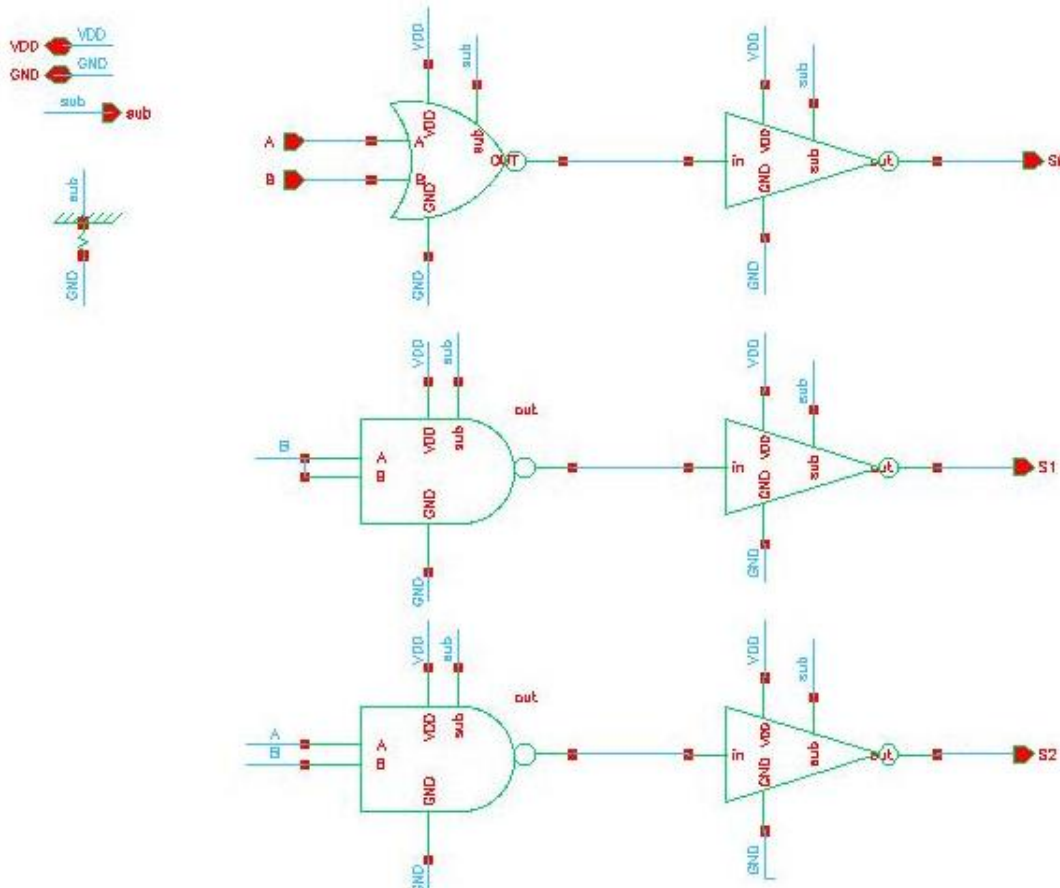


Figura 3-23. Esquemático del decodificador de 2 a 3.

3.4. Diseño de las celdas auxiliares del transmisor analógico

En esta sección, se describe el diseño a nivel transistor de las celdas auxiliares, las cuales tienen un funcionamiento específico y no poseen ecuaciones booleanas que describan su comportamiento.

3.4.1 Circuito de amarre de estado lógico

En la Figura 3-24 se aprecia la conexión de los 6 transistores que componen este circuito. La Tabla 3-15 contiene los valores de los transistores.

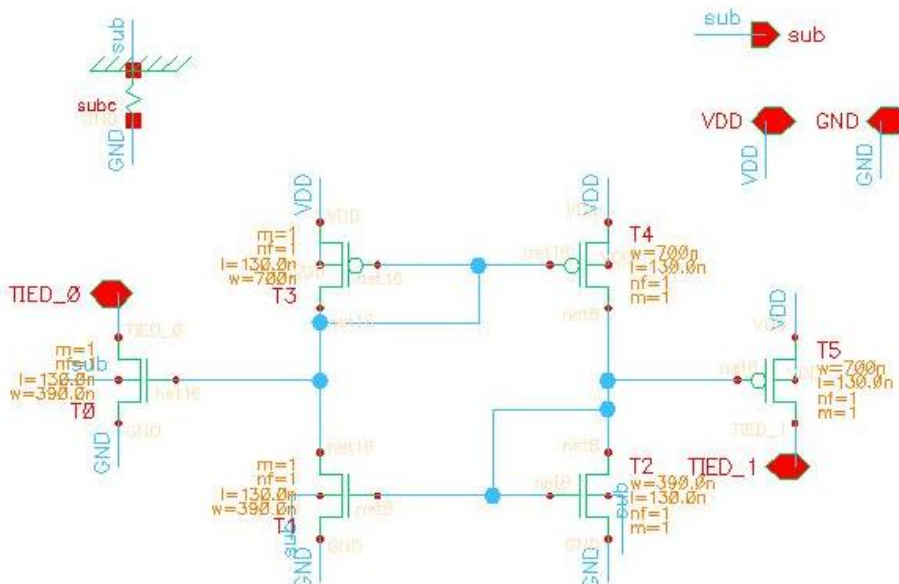


Figura 3-24. Esquemático del circuito de amarre de estado lógico

Tabla 3-15. Valores de los transistores del circuito de amarre de estado lógico

TRANSISTOR	W (total)	L	nf	m
T0	390 nm	130 nm	1	1
T1	390 nm	130 nm	1	1
T2	390nm	130 nm	1	1
T3	700 nm	130 nm	1	1
T4	700 nm	130 nm	1	1
T5	700 nm	130 nm	1	1

3.4.2 Circuito básico controlador de amplitud

Para esta celda auxiliar, los buffers y resistencias fueron conectados de tal manera que la Figura 3-25 muestra el diseño de este circuito. La Tabla 3-16 muestra el valor de las resistencias del circuito.

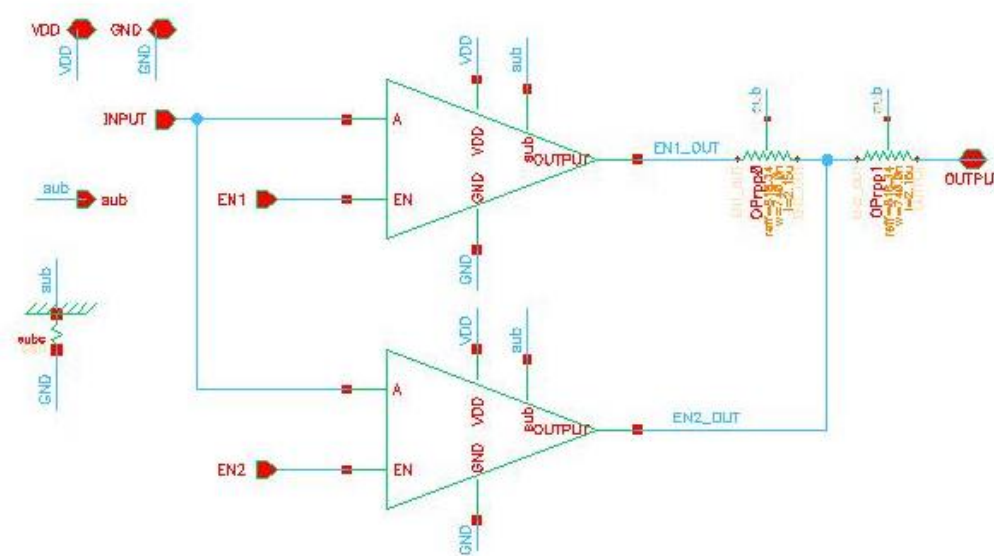


Figura 3-25. Esquemático del circuito básico controlador de amplitud.

Tabla 3-16. Valores de las resistencias del circuito básico.

RESISTENCIA	R (total)
OPrpp8	860 Ohms
OPrpp1	860 Ohms

3.5. Diseño del layout de las celdas digitales básicas, complejas y celdas auxiliares del transmisor analógico

En esta sección se presenta el layout diseñado para cada celda digital incluida en el diseño de transmisor analógico. El layout está definido por las diferentes capas de metales descritas en el manual de referencia de la tecnología de fabricación. De manera general, la tecnología de fabricación cmrf8sf está compuesta por 8 capas de metales para crear interconexiones:

- M1: Metal 1
- M2: Metal 2
- M3: Metal 3
- MQ: Metal 4
- MG: Metal 5
- LY: Metal 6
- E1: Metal 7
- MA: Metal 8

Estas capas permiten realizar una conexión más compacta y tener más opciones de ruteo a la hora de crear el layout del módulo propuesto. En las siguientes páginas se muestran los layout de cada celda, así como los metales utilizados para la interconexión.

3.5.1 Inversor

La Figura 3-26 muestra el diseño final del inversor, en el cual solo se utilizaron las capas de metal M1 y PC para las interconexiones.

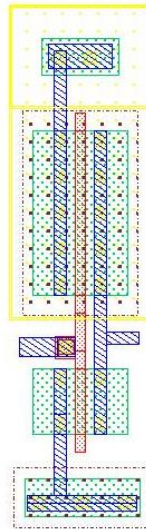


Figura 3-26. Layout del inversor.

3.5.2 Inversor con retardo

Conectado a través de metales M1 y M2, el layout del inversor con retardo se aprecia en la Figura 3-27.

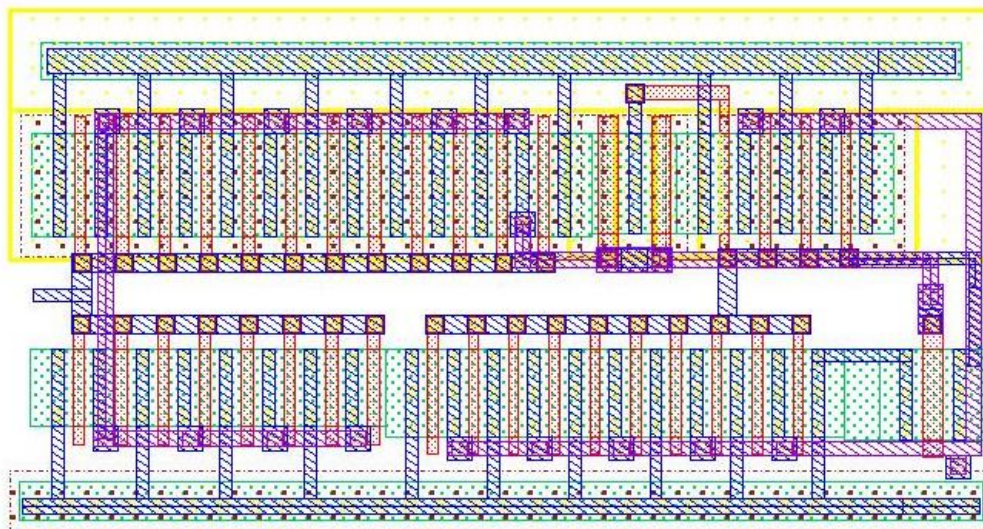


Figura 3-27. Layout del inversor con retardo.

3.5.3 NAND de 2 entradas

El diseño final de la NAND de 2 entradas se muestra en la Figura 3-28 y sus conexiones se realizaron únicamente en metal M1.

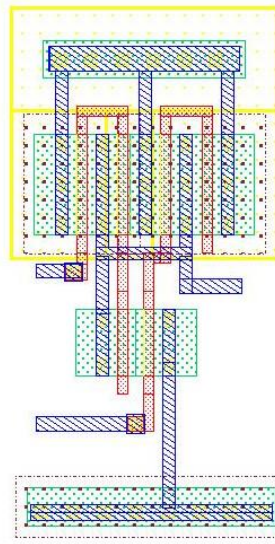


Figura 3-28. Layout de la compuerta NAND de 2 entradas.

3.5.4 NAND de 3 entradas

En la Figura 3-29, se muestra el layout de la compuerta NAND de 3 entradas conectado con metal M1.

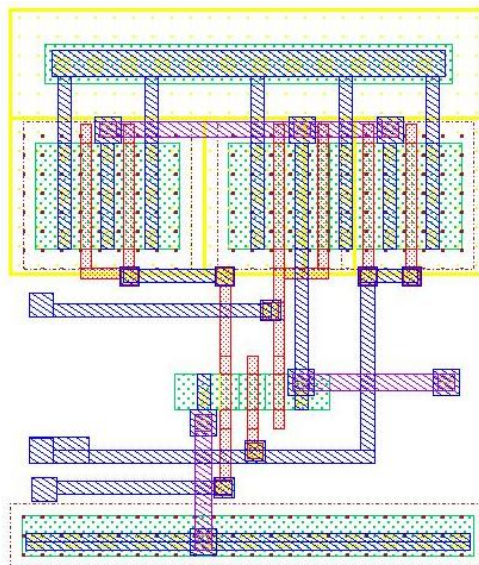


Figura 3-29. Layout de la compuerta NAND de 3 entradas.

3.5.5 NOR de 2 entradas

La compuerta NOR de 2 entradas tiene por layout el definido en la Figura 3-30.

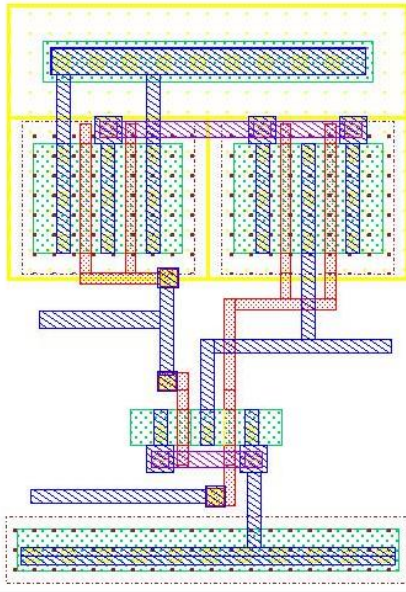


Figura 3-30. Layout de la compuerta NOR de 2 entradas.

3.5.6 NOR de 3 entradas

Para la compuerta NOR de 3 entradas, el diseño del layout corresponde a la Figura 3-31.

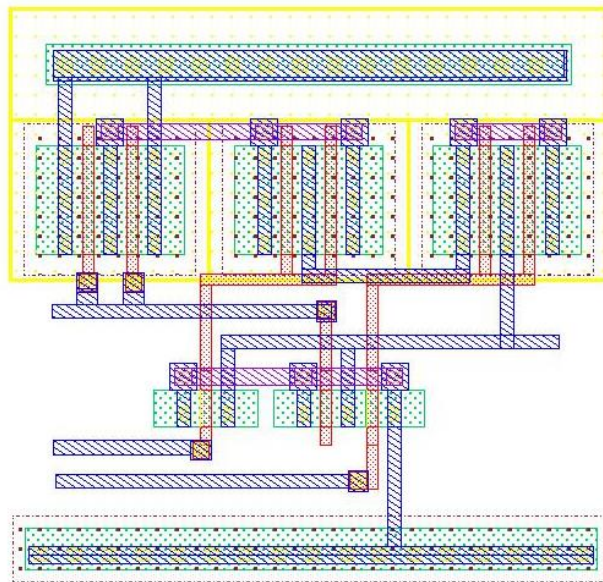


Figura 3-31. Layout de la compuerta NOR de 3 entradas.

3.5.7 Multiplexor de 2 a 1

Como se muestra en la Figura 3-32, el multiplexor de 2 a 1 está conectado con capas de metal M1 y M2 entre sus interconexiones.

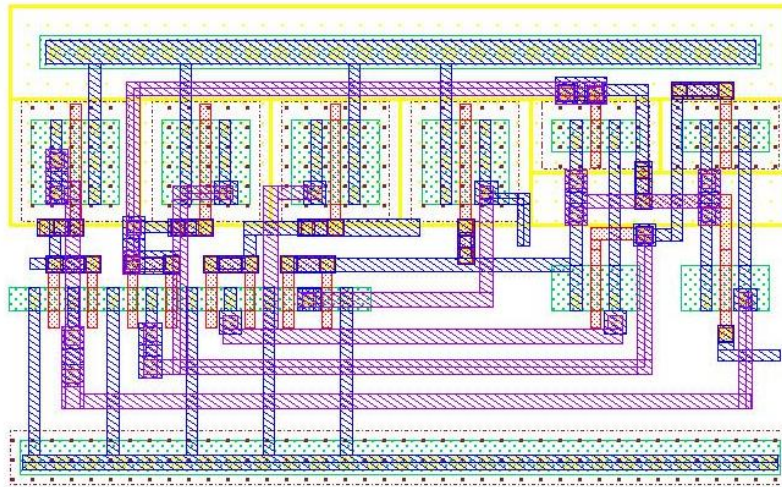


Figura 3-32. Layout del multiplexor de 2 a 1.

3.5.8 Buffer de 2 estados

El layout final del buffer de 2 estados se muestra en la Figura 3-33.

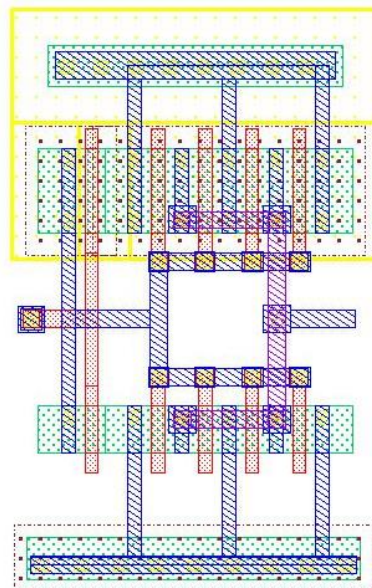


Figura 3-33. Layout del buffer de 2 estados.

3.5.9 Buffer de 3 estados

Conectado con metal M1 y M2, la Figura 3-34 muestra el diseño final del layout del buffer de 3 estados.

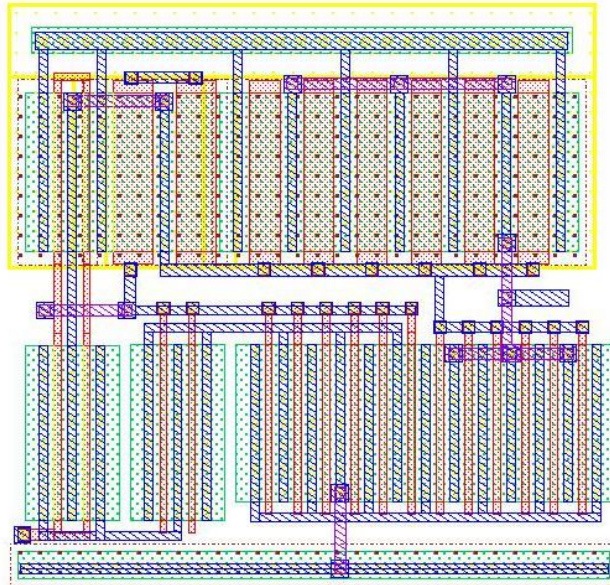


Figura 3-34. Layout del buffer de 3 estados.

3.5.10 Decodificador de 4 a 12

Dado que el decodificador es un componente muy grande, su layout final (Figura 3-36) depende de dos bloques: BLOCK_1 y BLOCK_2 (Figura 3-35).

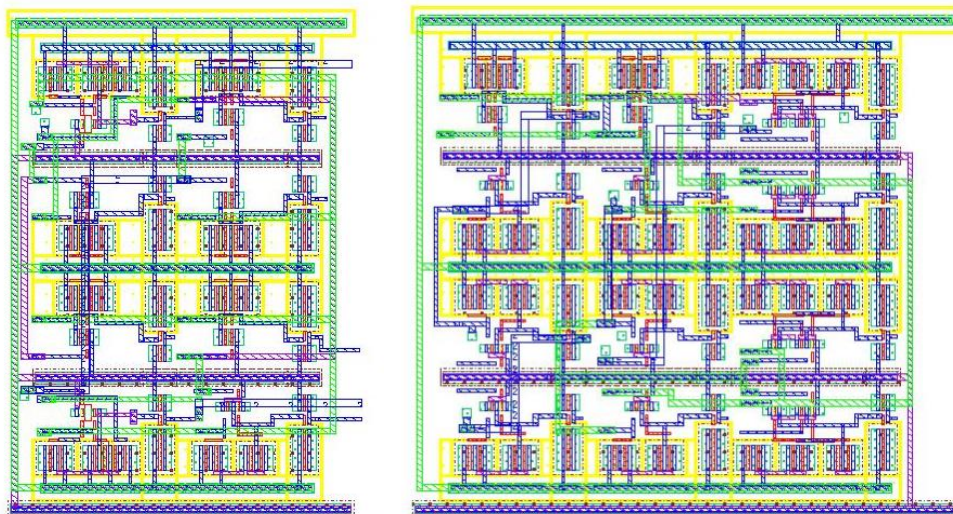


Figura 3-35. De izquierda a derecha, layout del BLOCK_1 y BLOCK_2.

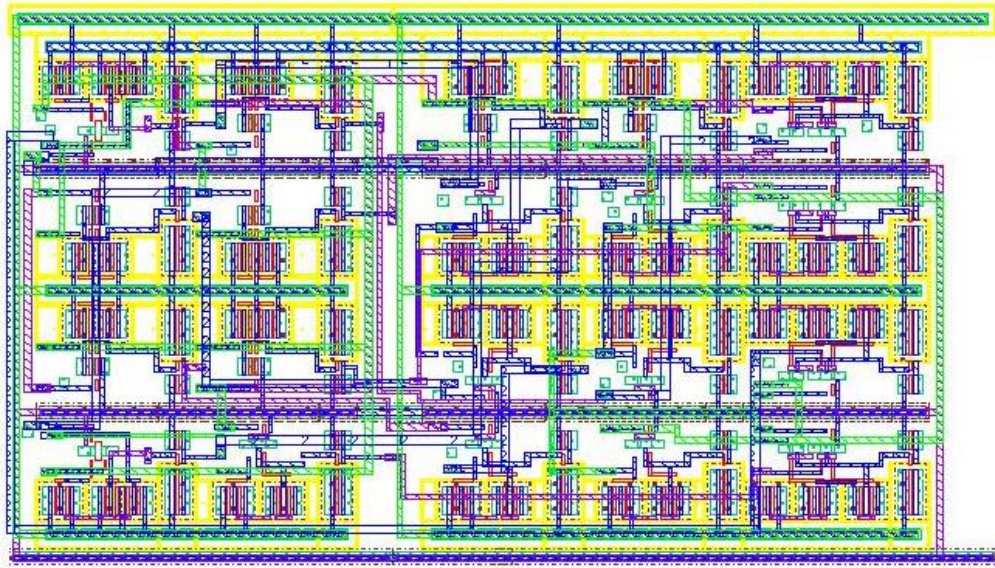


Figura 3-36. Layout del decodificador de 4 a 12.

3.5.11 Decodificador de 2 a 3

La Figura 3-37 muestra el diseño del layout de decodificador de 2 a 3.

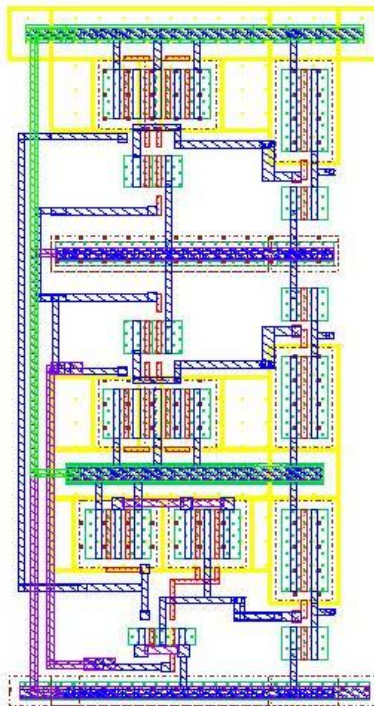


Figura 3-37. Layout del decodificador de 2 a 3.

3.5.12 Circuito de amarre de estado lógico

La representación del layout del circuito de amarre de estado lógico se puede observar en la Figura 3-38.

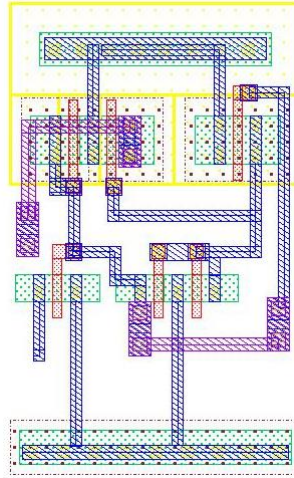


Figura 3-38. Layout del circuito de amarre de estado lógico.

3.5.13 Circuito básico controlador de amplitud

El layout mostrado en la Figura 3-39 corresponde al circuito básico controlador de amplitud.

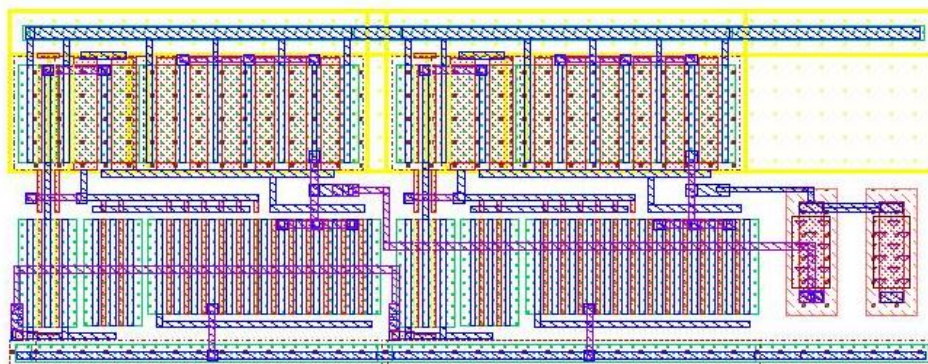


Figura 3-39. Layout del circuito básico controlador de amplitud.

3.5.14 Bloque DATA_CONTROL y DATA_CONTROL_INV

En la Figura 3-40, se muestra el layout del bloque DATA_CONTROL y DATA_CONTROL_INV.

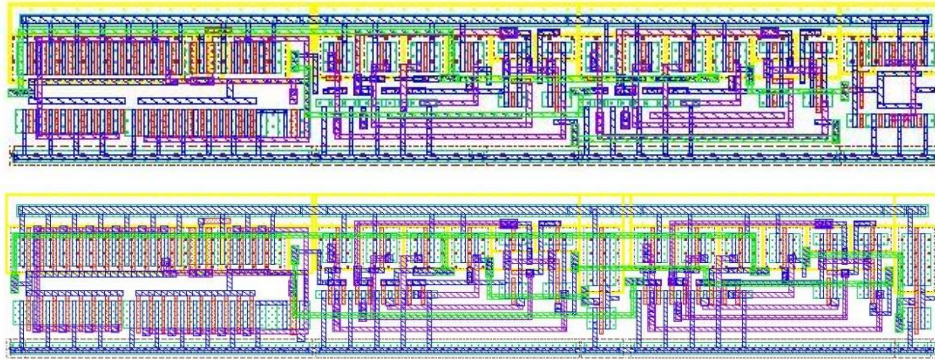


Figura 3-40. De arriba hacia abajo, layout del bloque DATA_CONTROL y DATA_CONTROL_INV.

3.5.15 Bloque ZAP_CONTROL

El layout del bloque ZAP_CONTROL está representado en la Figura 3-41.

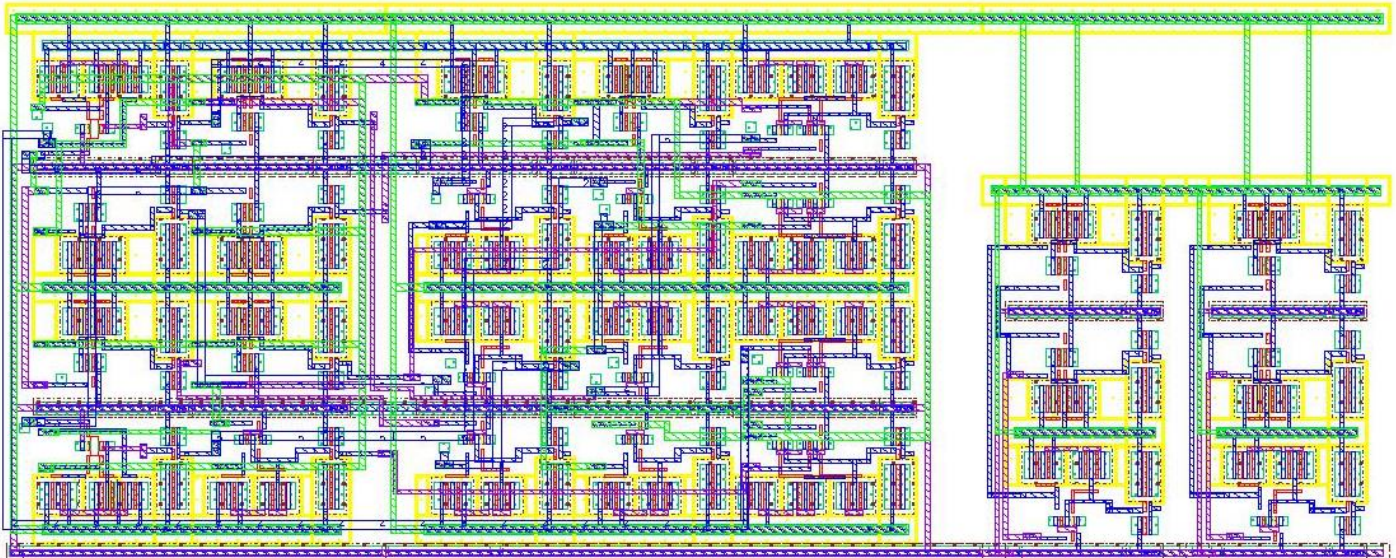


Figura 3-41. Layout del bloque ZAP_CONTROL.

3.5.16 Bloque ZAP

Anteriormente, se describe al bloque ZAP como un conjunto de 3 unidades ZAP, la Figura 3-42 corresponde al diseño del layout final de una solo unidad.

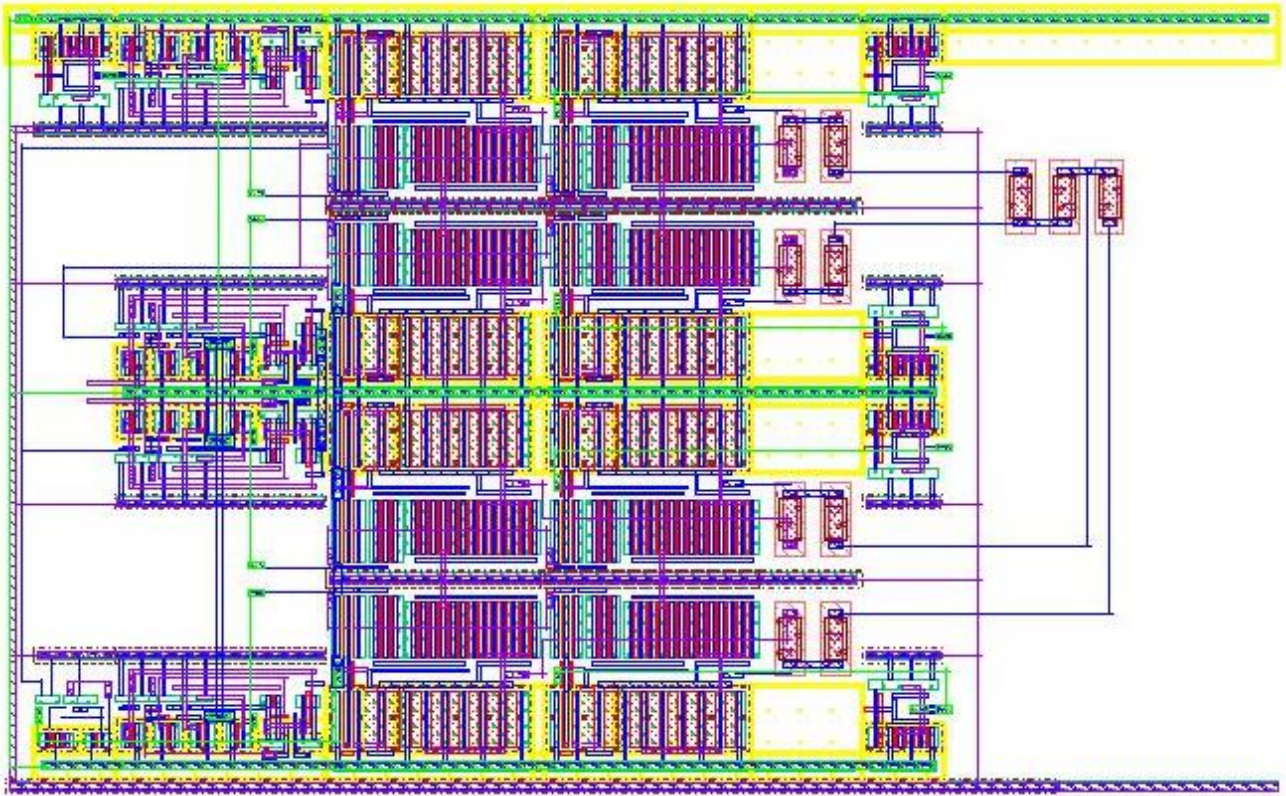


Figura 3-42. Layout de la unidad ZAP

3.5.17 Transmisor con salida positiva de la señal diferencial

La Figura 3-43 muestra el layout del transmisor solamente con salida positiva de la señal diferencial.

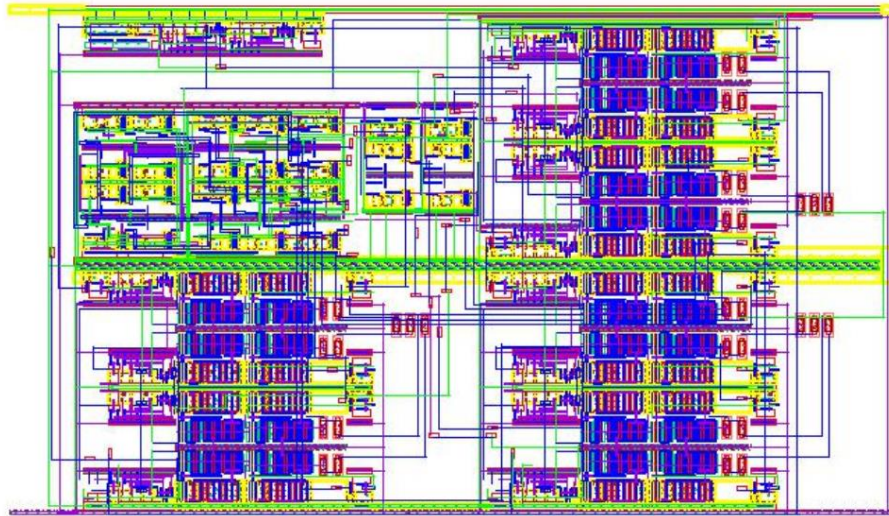


Figura 3-43. Layout del transmisor con salida positiva de la señal diferencial.

3.5.18 Transmisor con salida negativa de la señal diferencial

El layout del transmisor con salida negativa se muestra en la Figura 3-44.

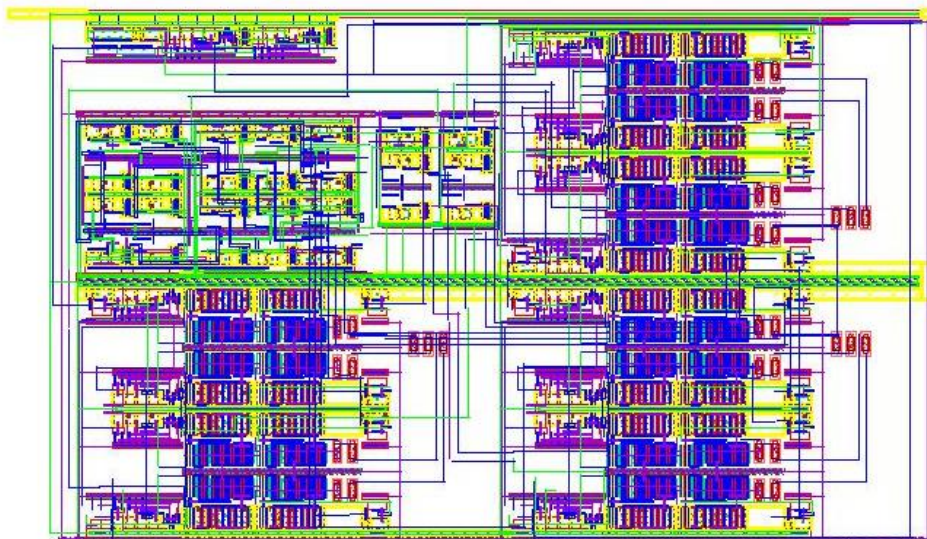


Figura 3-44. Layout del transmisor con salida negativa de la señal diferencial.

3.5.19 Transmisor con salida diferencial

El layout final del transmisor analógico se muestra en la Figura 3-45.

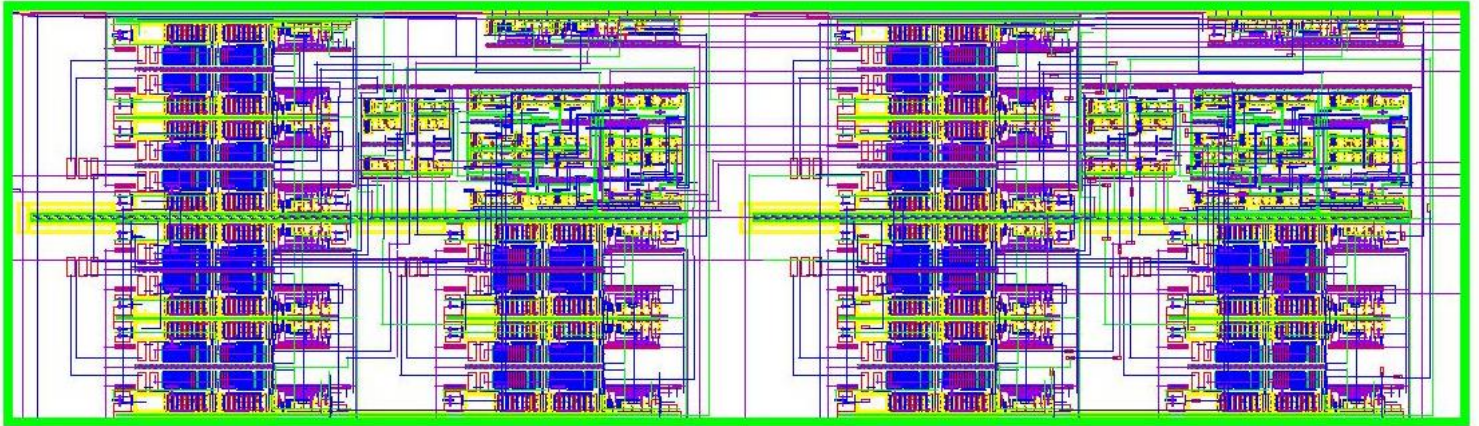


Figura 3-45. Layout del transmisor con salida diferencial.

4. Resultados

4.1. Verificación de la funcionalidad de las celdas digitales

El correcto funcionamiento de las celdas digitales se comprueba a través de camadas de pruebas o *testbench*, cuyo objetivo es simular el contexto en el cual la celda va a estar operando y fijar las condiciones básicas de operación. Dado que una de las especificaciones es la velocidad de trabajo a 1 GHz, esta frecuencia es la utilizada para simulaciones.

4.1.1 Inversor

La Figura 4-1 muestra el testbench propuesto para verificar la funcionalidad del inversor para una carga de $50fF$ (femto-Faradios). El comportamiento se aprecia en la gráfica de la Figura 4-2.

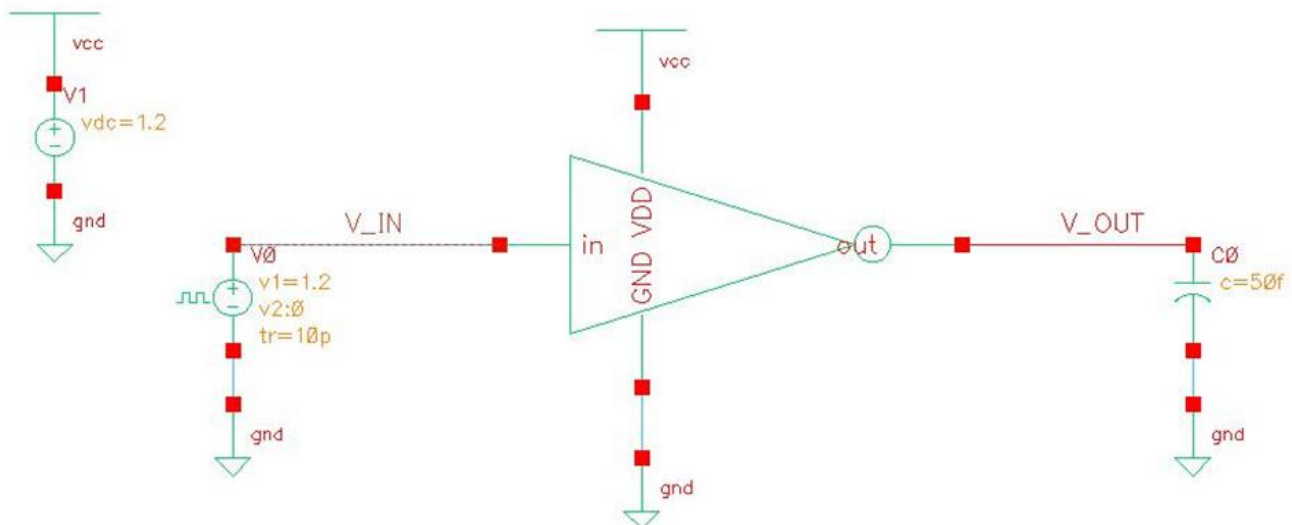


Figura 4-1. Testbench del inversor.

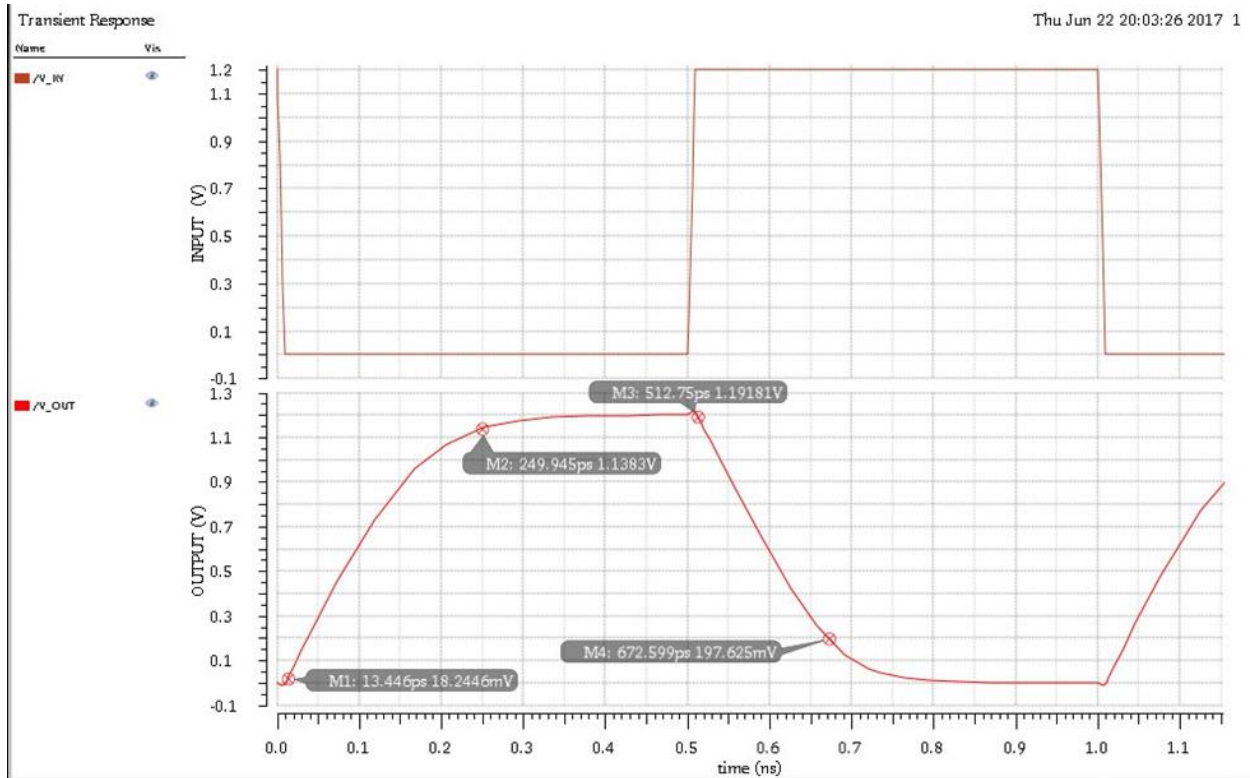


Figura 4-2. Respuesta del inversor.

4.1.2 Inversor con retardo

El testbench del inversor con retardo está representado en la Figura 4-3.

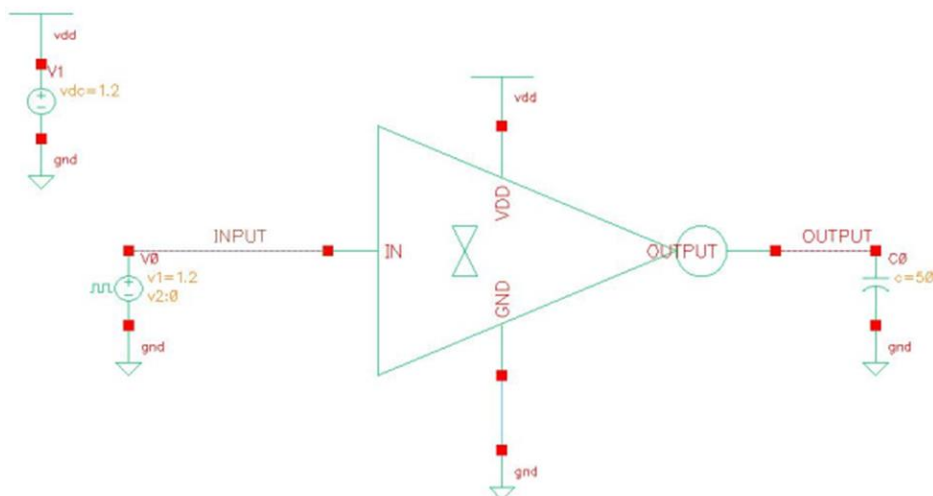


Figura 4-3. Testbench del inversor con retardo.

La gráfica de la Figura 4-4 muestra el comportamiento del inversor con retardo.

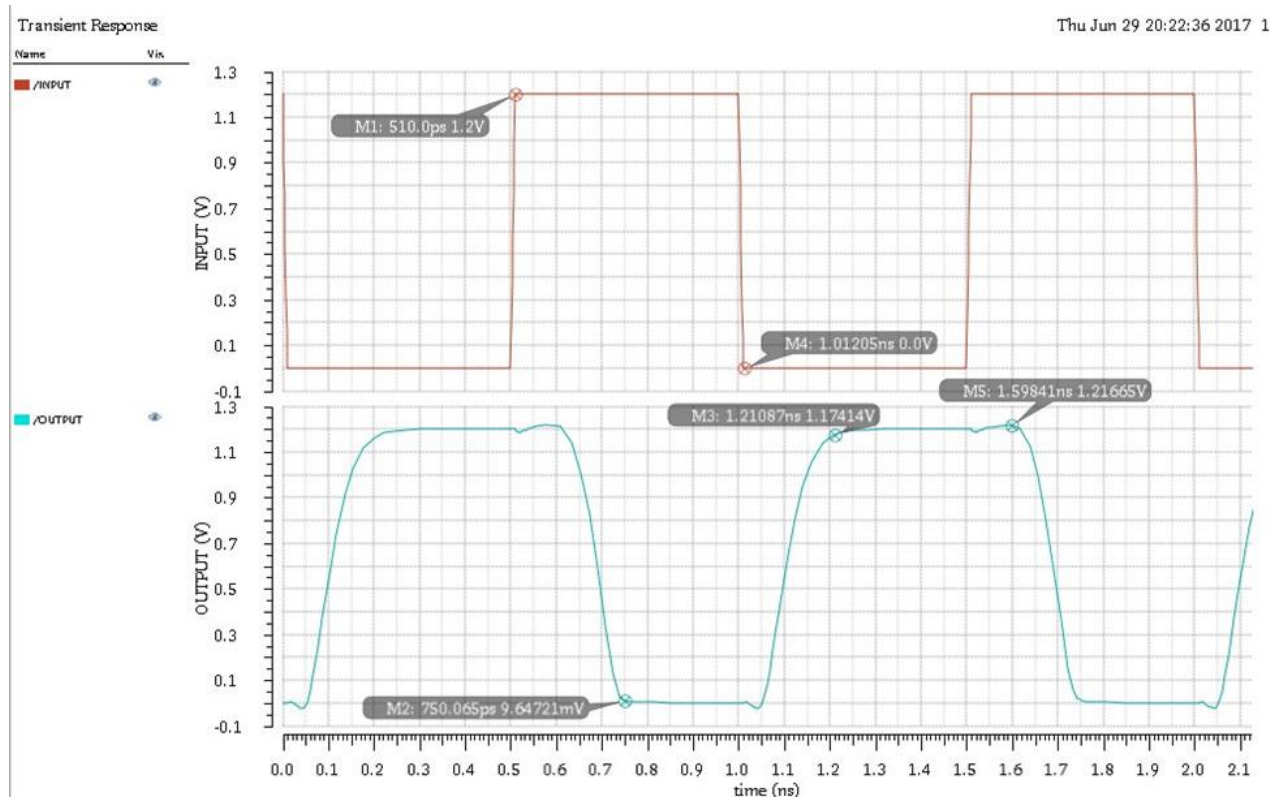


Figura 4-4. Respuesta del inversor con retardo

4.1.3 NAND de 2 entradas

Para la NAND de 2 entradas, el testbench propuesto se indica en la Figura 4-5 y los resultados de simulación en la gráfica de la Figura 4-6.

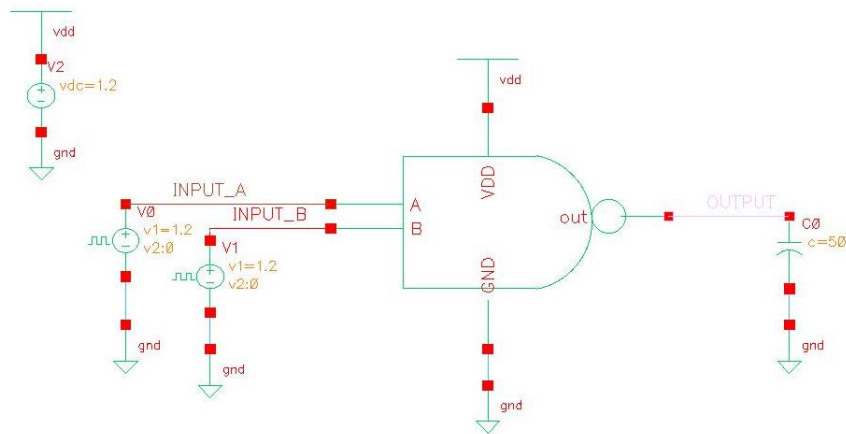


Figura 4-5. Testbench de la NAND de 2 entradas.

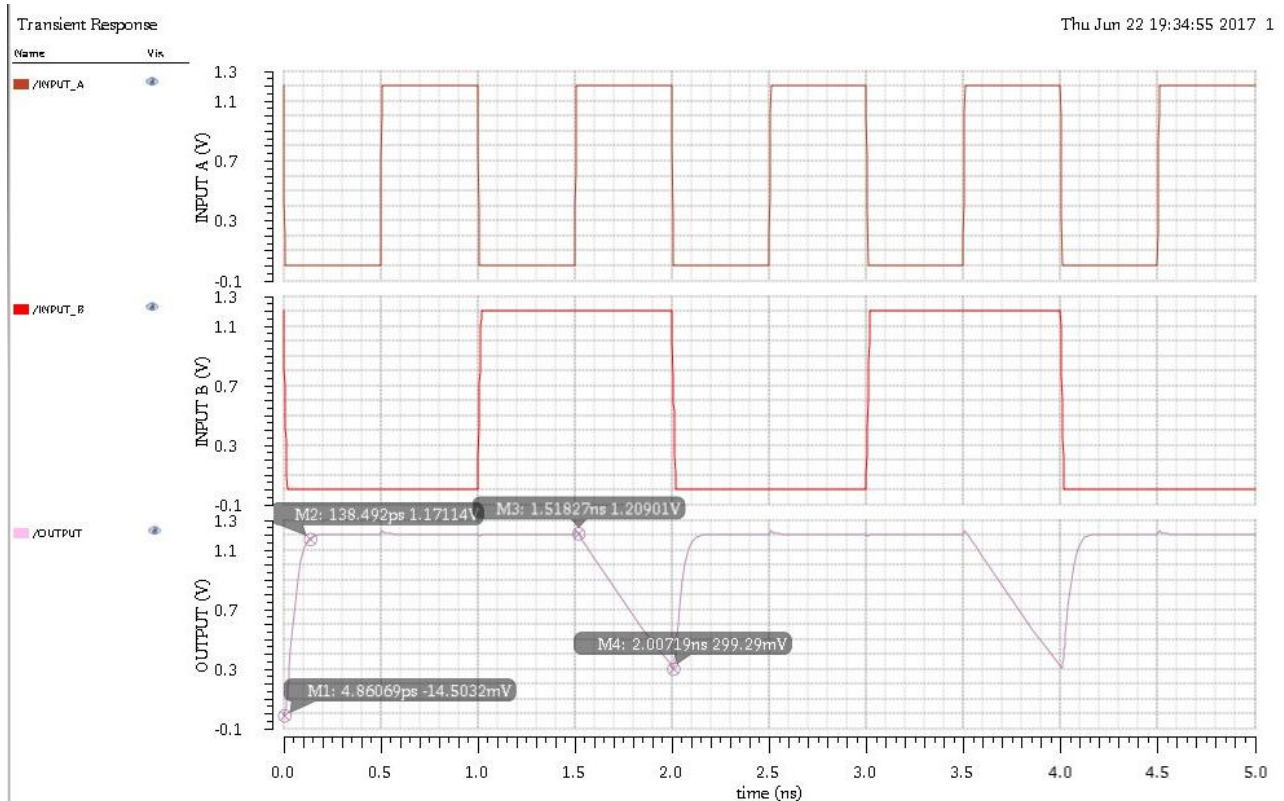


Figura 4-6. Respuesta de la NAND de 2 entradas.

4.1.4 NAND de 3 entradas

La Figura 4-7 muestra la configuración del testbench para la NAND de 3 entradas y el comportamiento del circuito se muestra en la Figura 4-8.

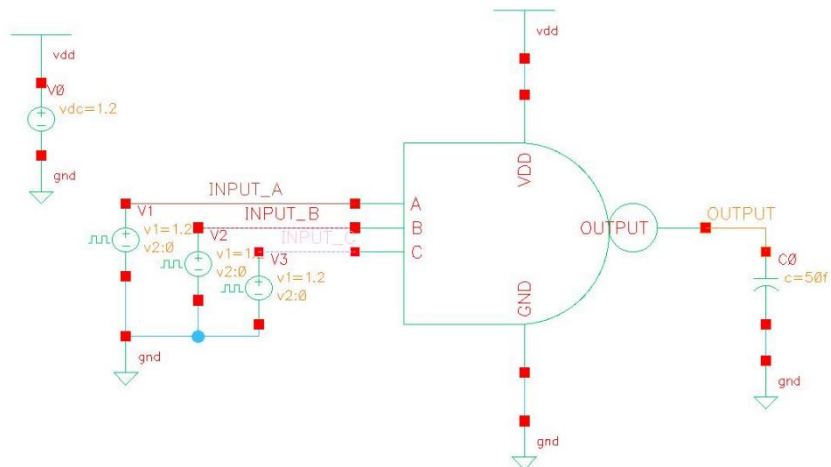


Figura 4-7. Testbench de la NAND de 3 entradas.

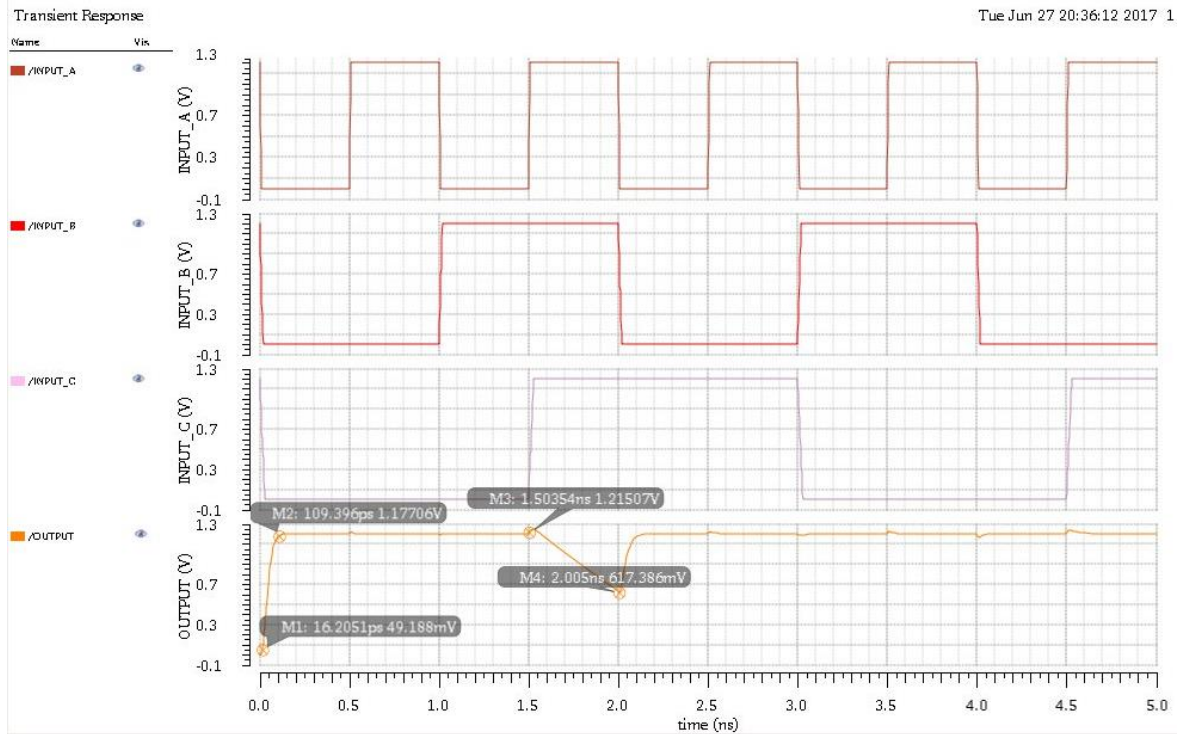


Figura 4-8. Respuesta de la NAND de 3 entradas.

4.1.5 Multiplexor de 2 a 1

El testbench relacionado al funcionamiento del multiplexor de 2 a 1 se aprecia en la Figura 4-9, mientras que la Figura 4-10 presenta la respuesta en el tiempo a los estímulos definidos en la prueba.

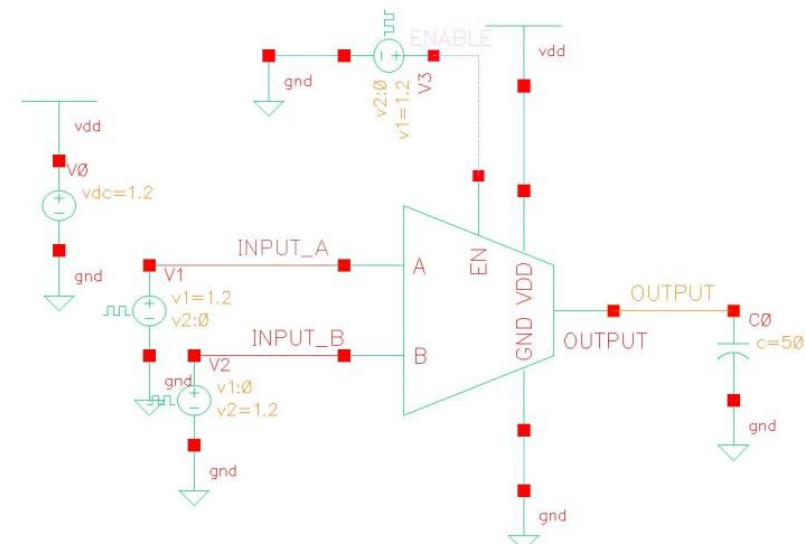


Figura 4-9. Testbench del multiplexor de 2 a 1.

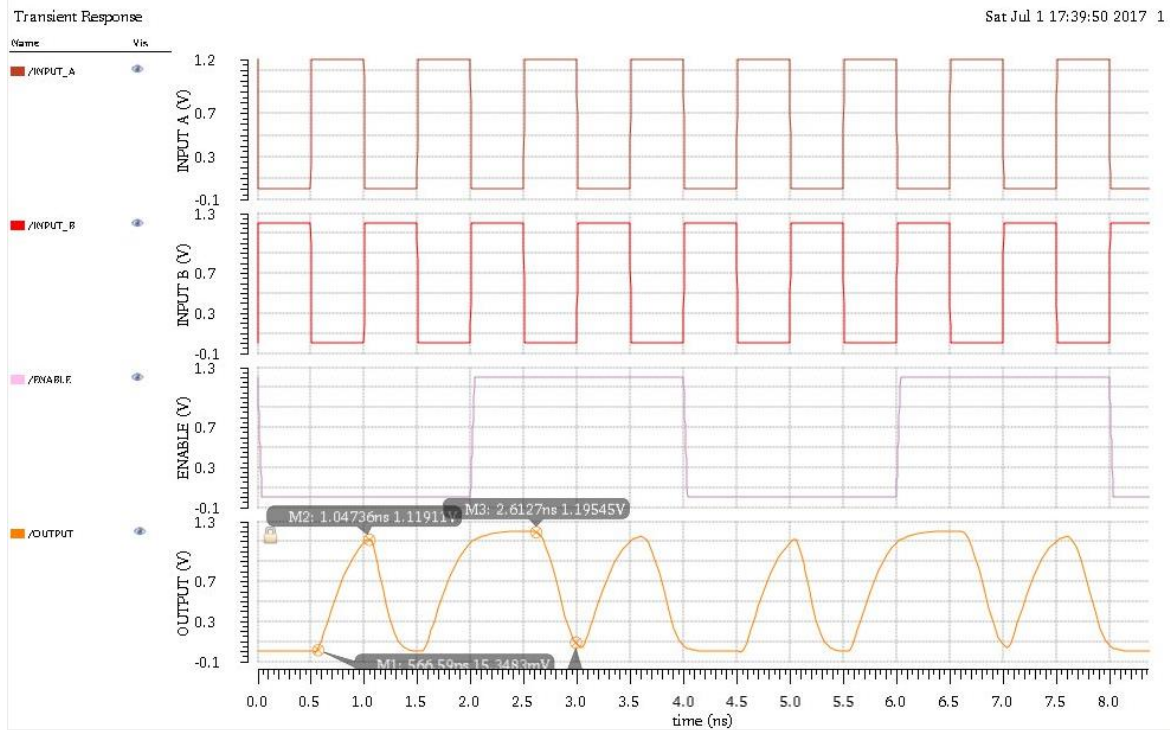


Figura 4-10. Respuesta del multiplexor de 2 a 1.

4.1.6 Buffer de 2 estados

Para el buffer de 2 estados, el diseño de la prueba se muestra en la Figura 4-11 y el comportamiento lo podemos visualizar en la gráfica de la Figura 4-12.

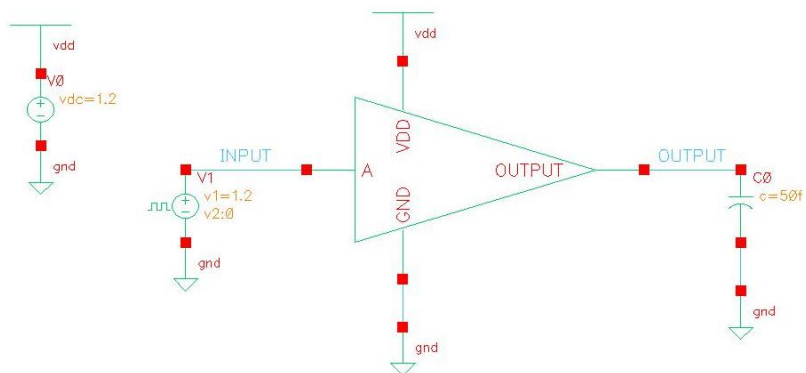


Figura 4-11. Testbench del buffer de 2 estados.

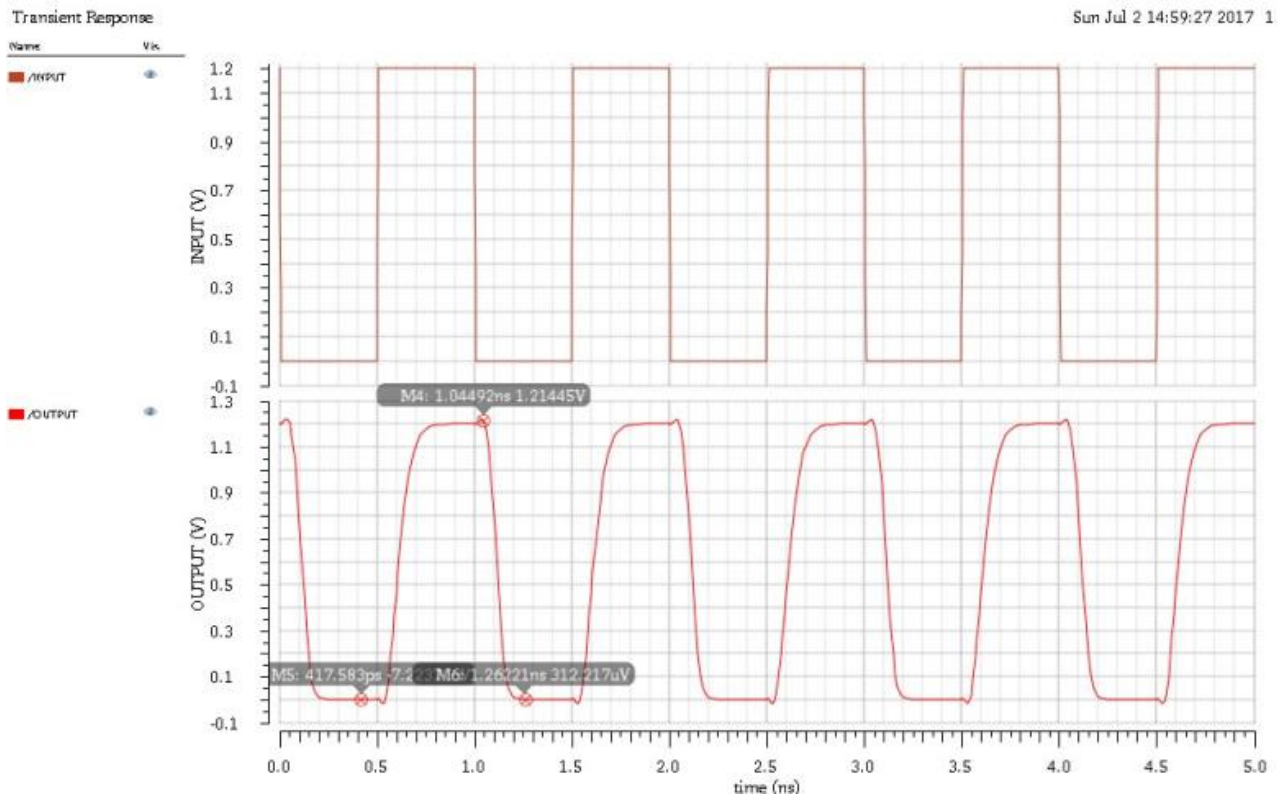


Figura 4-12. Respuesta del buffer de 2 estados.

4.1.7 Buffer de 3 estados

La Figura 4-13 muestra el testbench del buffer de 3 estados, los comportamientos de las señales estimuladas se pueden apreciar en la Figura 4-14. El objetivo de esta prueba es comprobar que el buffer puede permanecer en los 3 estados mencionados anteriormente en este documento.

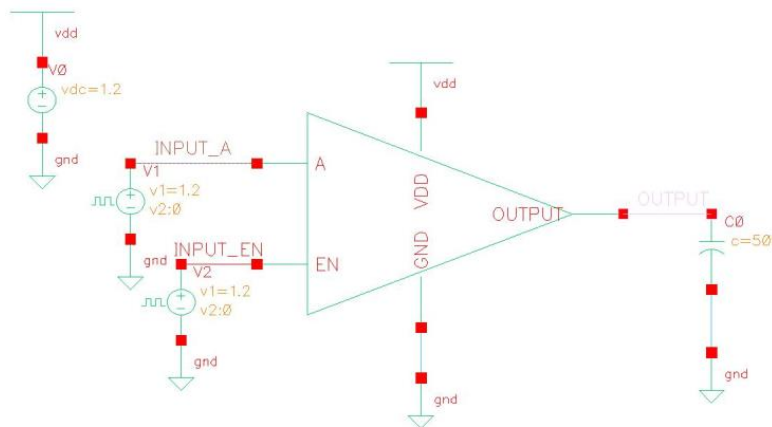


Figura 4-13. Testbench del buffer de 3 estados.

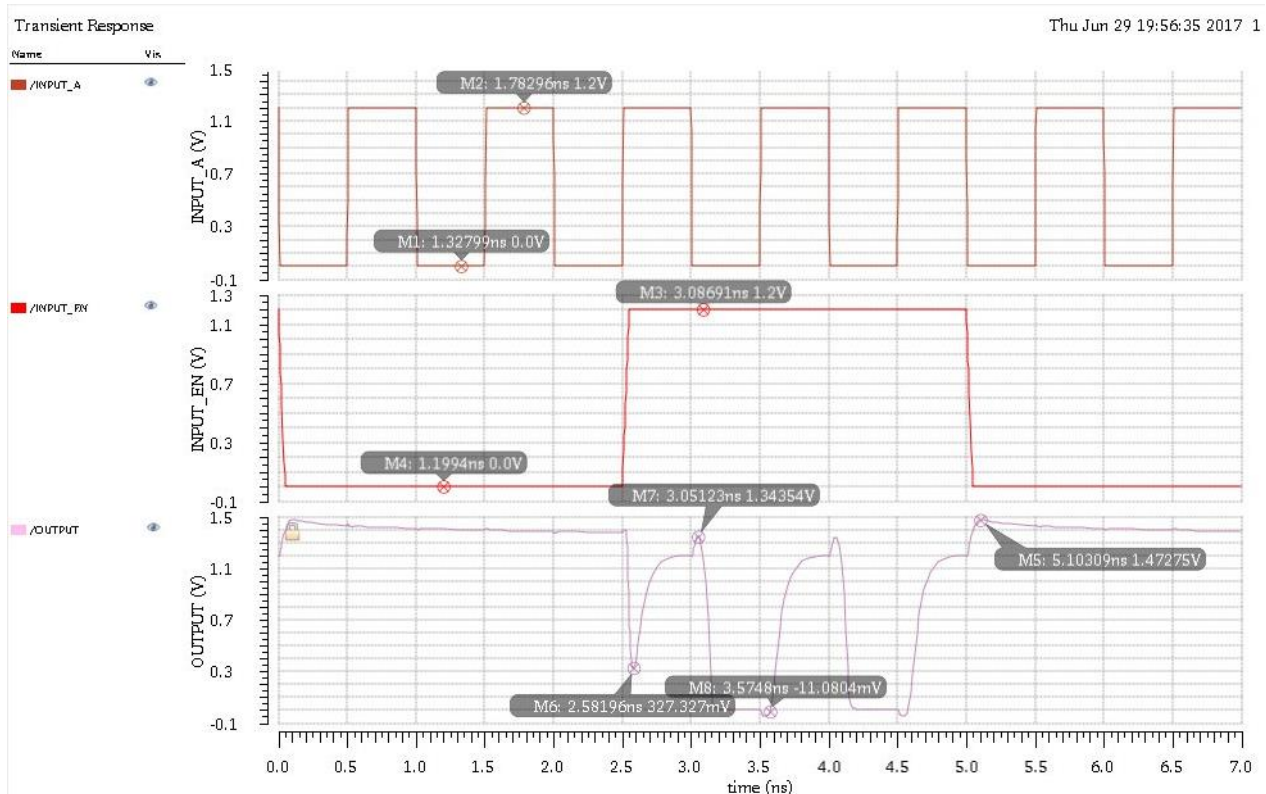


Figura 4-14. Respuesta del buffer de 3 estados.

4.1.8 Decodificador de 4 a 12

La configuración del testbench del decodificador de 4 a 12 se muestra en la Figura 4-15.

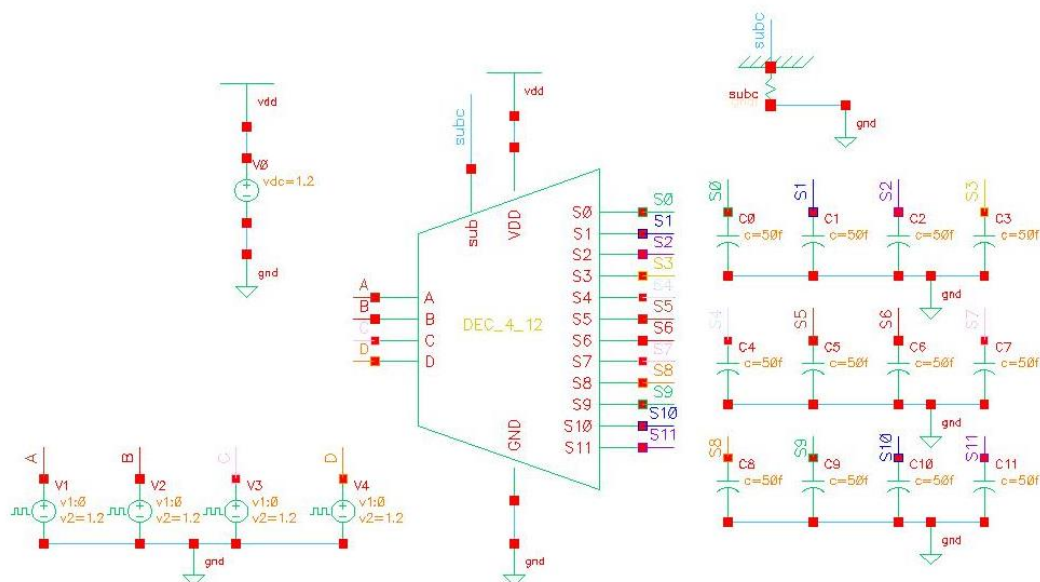


Figura 4-15. Testbench del decodificador de 4 a 12.

El comportamiento del decodificador de 4 a 12 se aprecia en la gráfica de la Figura 4-16.

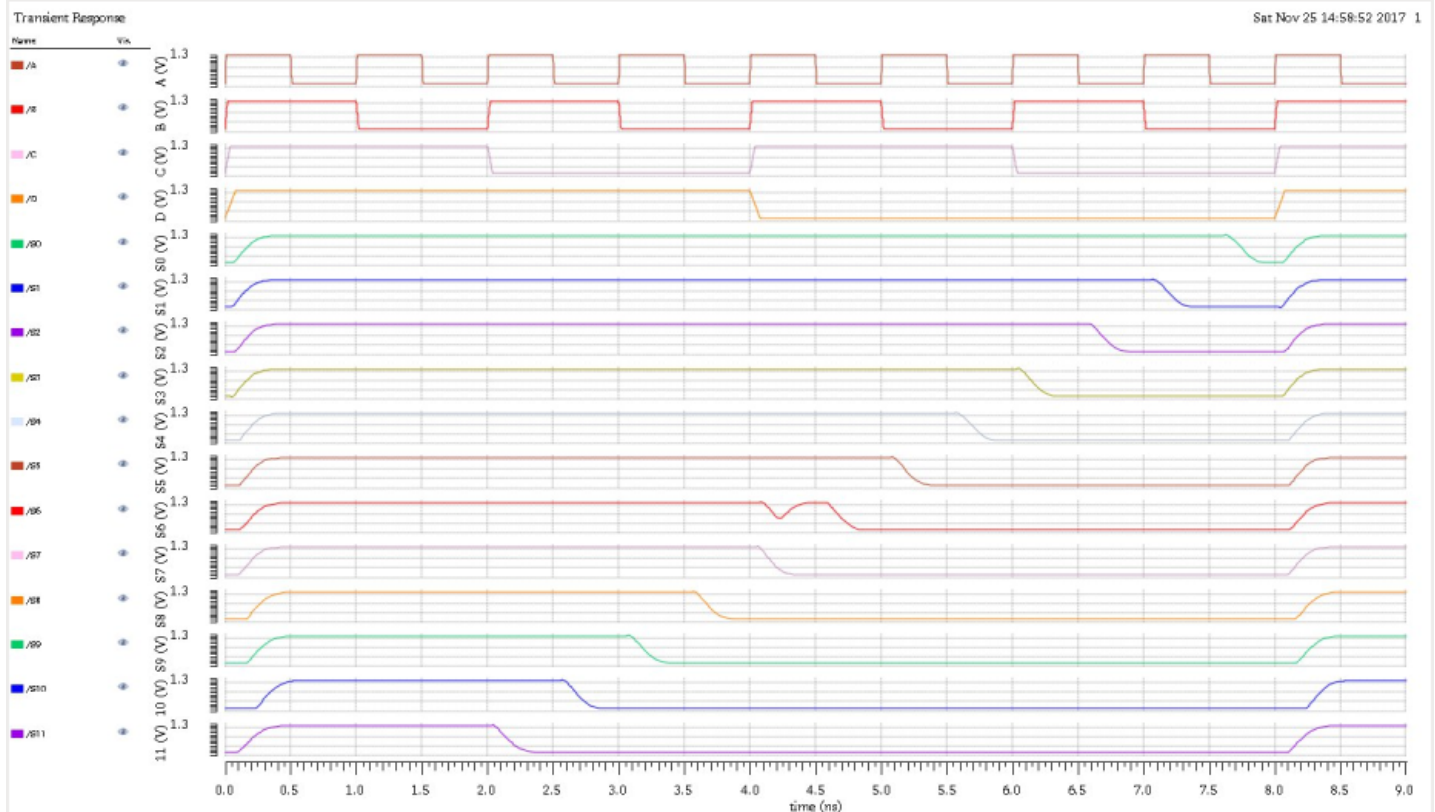


Figura 4-16. Respuesta del decodificador de 4 a 12.

4.1.9 Decodificador de 2 a 3

La prueba de funcionalidad del decodificador de 2 a 3 se muestra en la Figura 4-17.

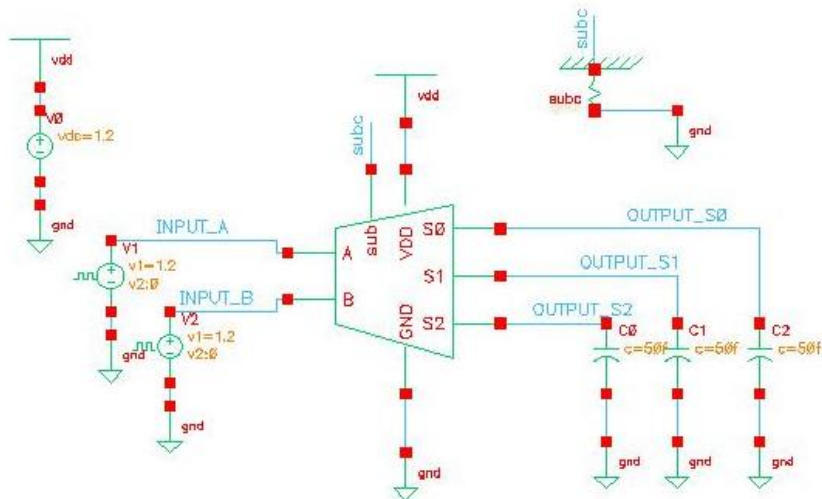


Figura 4-17. Testbench del decodificador de 2 a 3.

La funcionalidad del decodificador puede ser comprobada con la gráfica de la Figura 4-18, en la que podemos observar que las señales de salida cambian de acuerdo con el valor del dato binario de 2 bits en la entrada del decodificador.

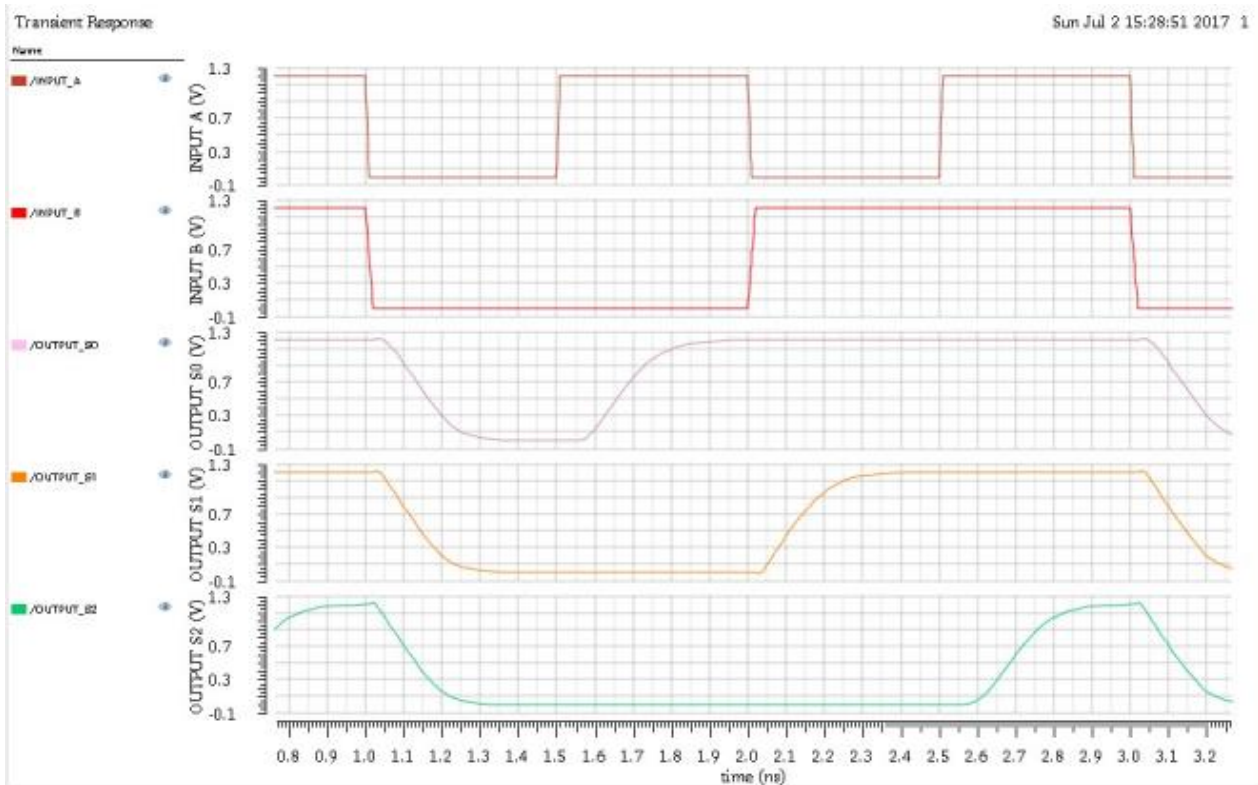


Figura 4-18. Respuesta del decodificador de 2 a 3.

4.1.10 Circuito de amarre de estado lógico

El objetivo de esta prueba es verificar que el circuito de amarre de estado lógico pueda mantener los estados lógicos 0 y 1 en la carga conectada que se aprecia en la Figura 4-20. El resultado de esta prueba se muestra en la Figura 4-19.

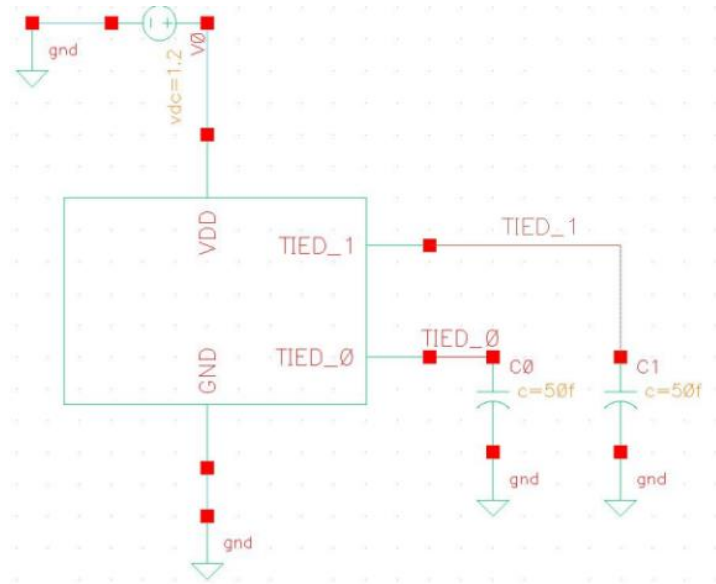


Figura 4-20. Testbench del circuito de amarre de estado lógico.

Transient Response

Sat Jul 1 18:54:49 2017 1

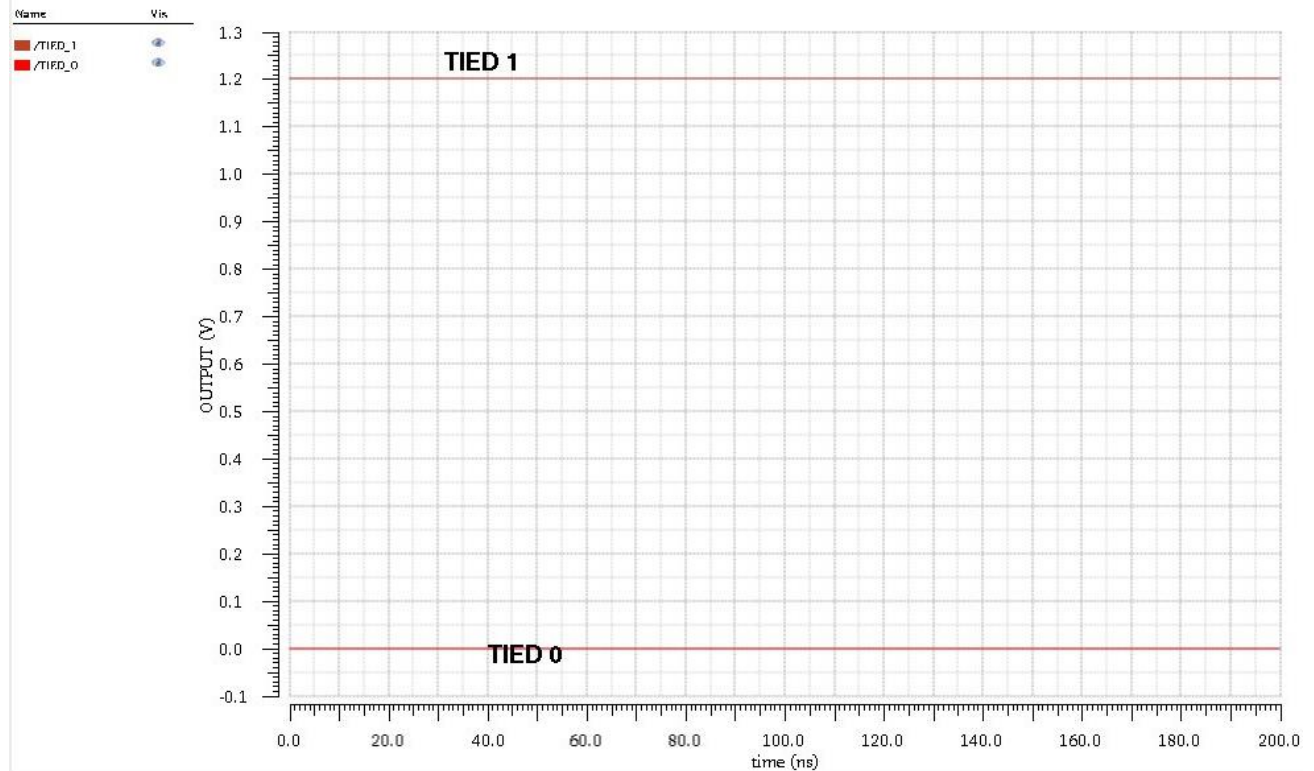


Figura 4-19. Respuesta del circuito de amarre de estado lógico.

4.1.11 NOR de 2 entradas

El objetivo de esta prueba es comprobar que la compuerta cumple NOR con su funcionalidad, el testbench propuesto se muestra en la Figura 4-21 y su respuesta se aprecia en la Figura 4-22.

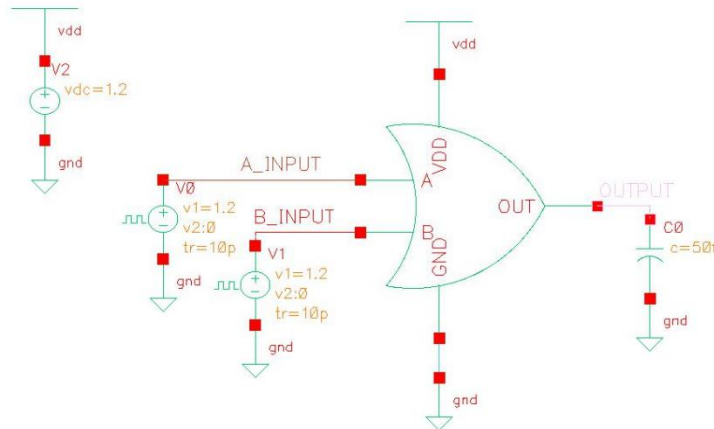


Figura 4-21. Testbench de la compuerta NOR de 2 entradas.

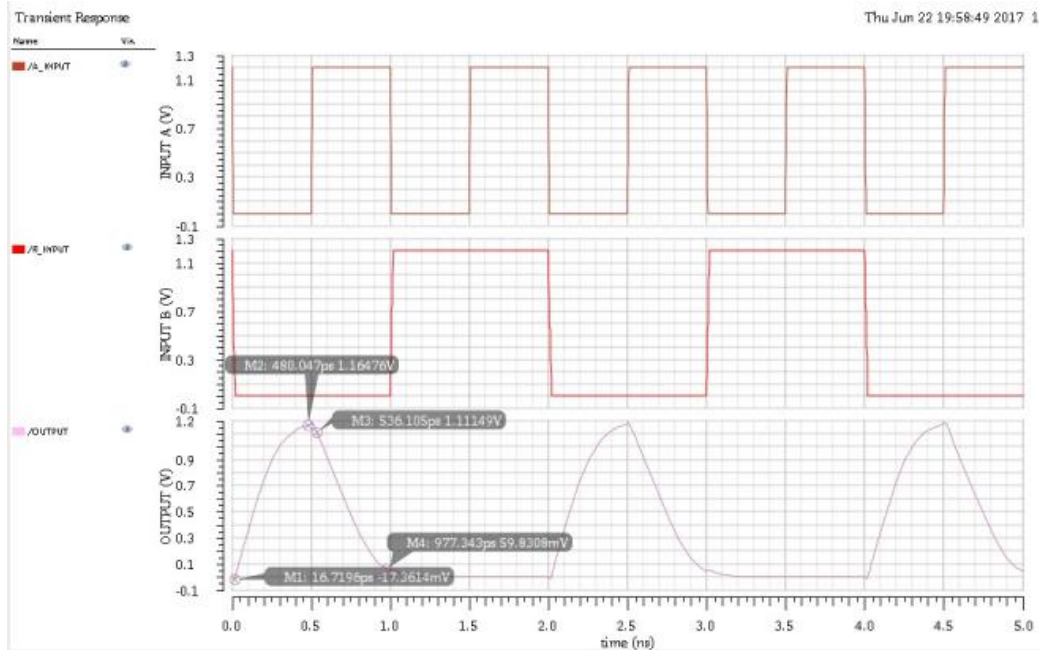


Figura 4-22. Respuesta de la compuerta NOR de 2 entradas.

4.1.12 NOR de 3 entradas

La Figura 4-23 muestra el testbench configurado para comprobar el funcionamiento de la compuerta NOR de 3 entradas diseñada. La Figura 4-24 muestra el comportamiento ocasionado por los estímulos generados desde el testbench.

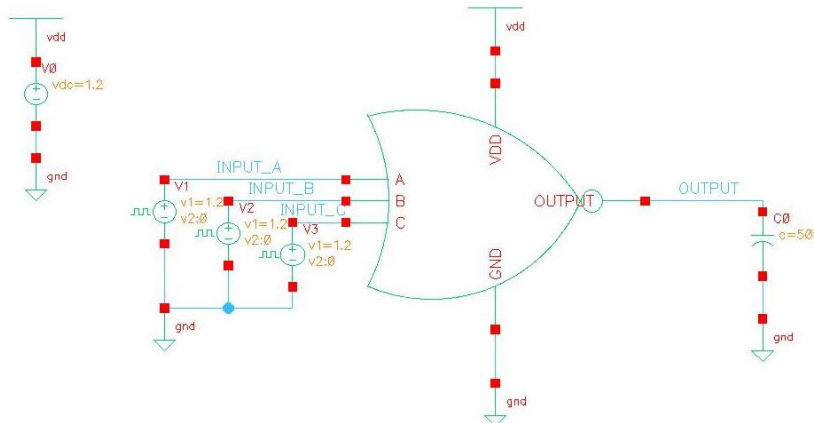


Figura 4-23. Testbench de la compuerta NOR de 3 entradas.

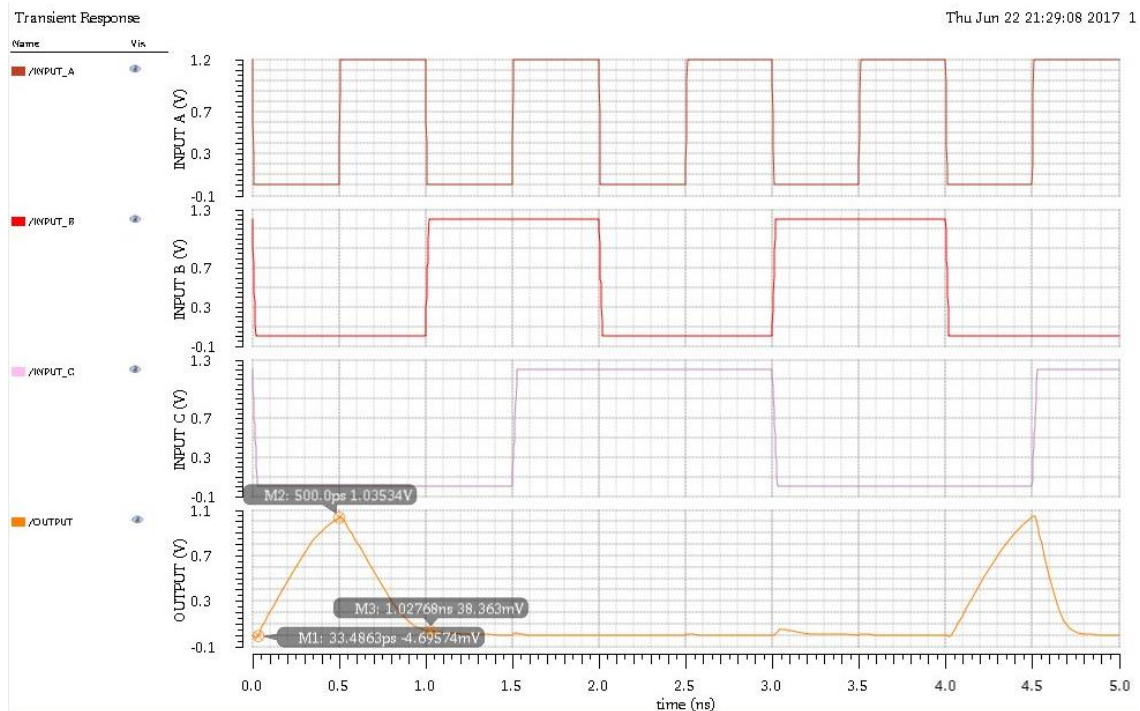


Figura 4-24. Respuesta de la compuerta NOR de 3 entradas.

4.1.13 Circuito básico controlador de amplitud

Comprobar que los cambios de amplitud aplicados a la señal de entrada se ven reflejados en la señal de salida, es el objetivo de esta prueba. El testbench es el propuesto en la Figura 4-25 y la respuesta a los estímulos provocados al circuito se muestra en la Figura 4-26.

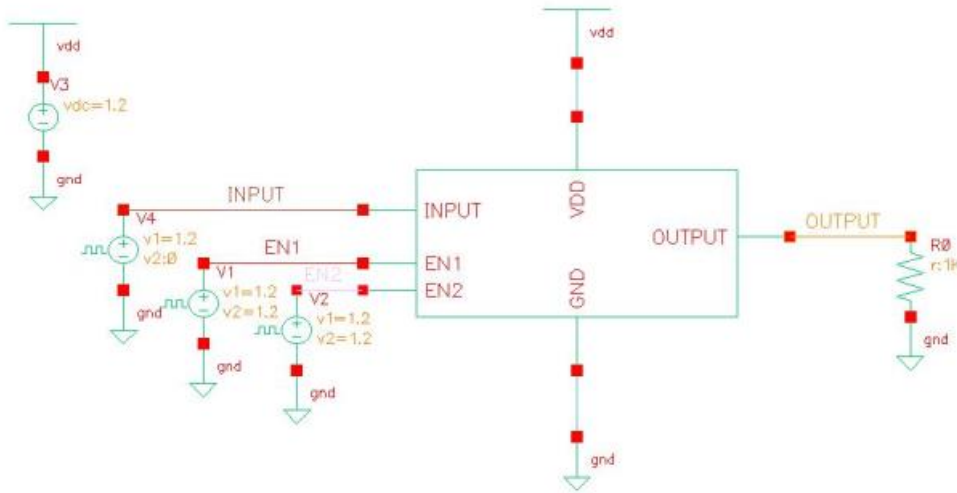


Figura 4-25. Testbench del circuito básico controlador de amplitud.

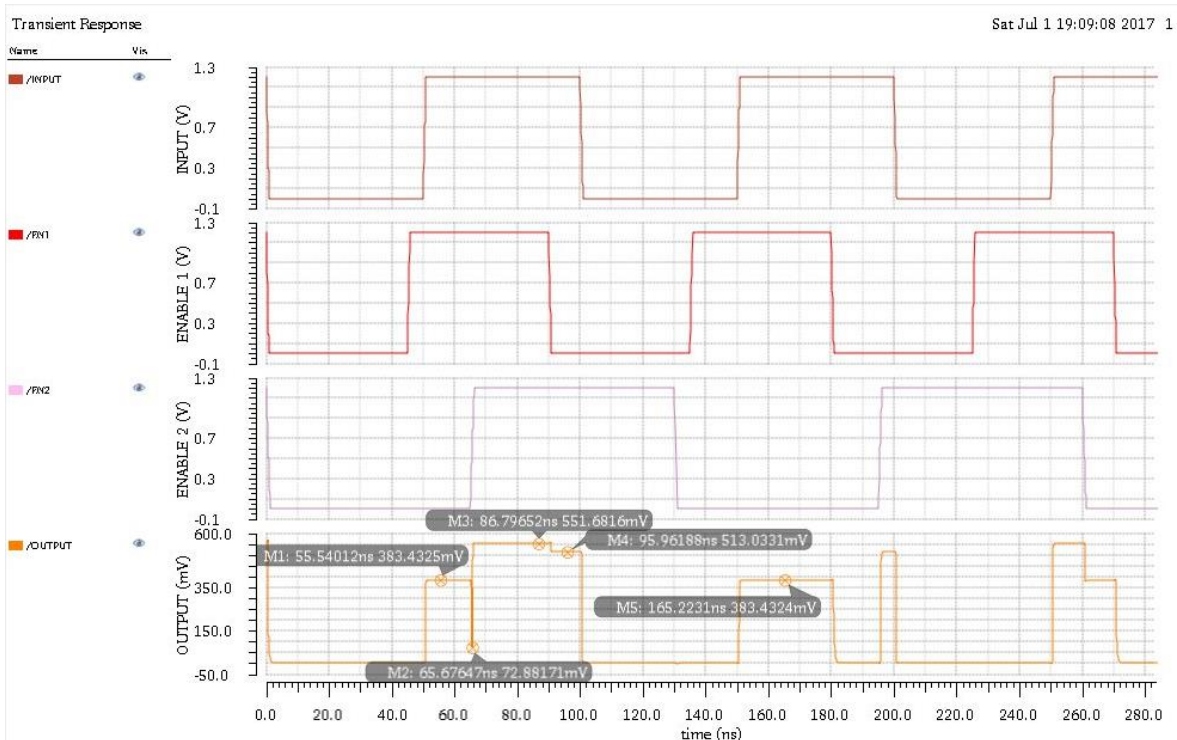


Figura 4-26. Respuesta del circuito básico controlador de amplitud.

4.1.14 Unidad ZAP

El objetivo de esta prueba es comprobar que las modificaciones de impedancia, amplitud y preénfasis sean ven reflejadas en la señal de salida a través de la configuración del testbench mostrado en la Figura 4-27 y la respuesta en la Figura 4-28.

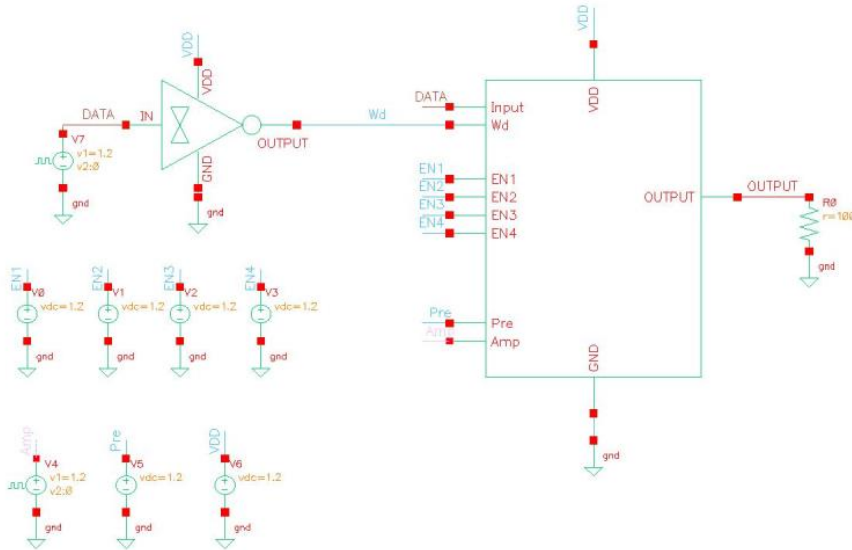


Figura 4-27. Testbench de la unidad ZAP.

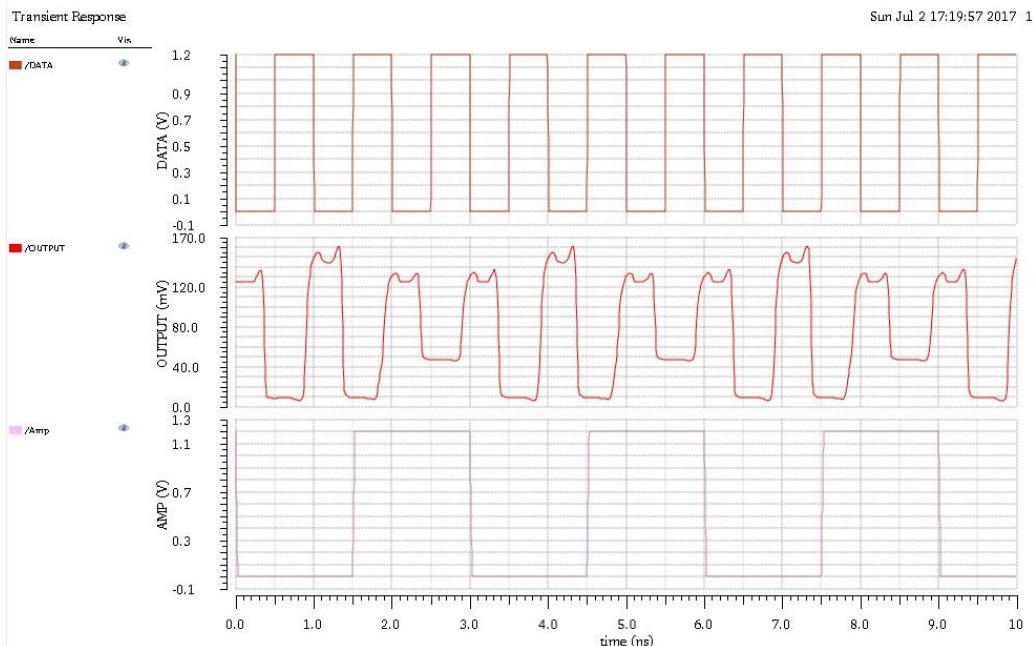


Figura 4-28. Respuesta de la unidad ZAP.

4.1.15 Transmisor con salida diferencial

El transmisor analógico recibe una señal de entrada single-ended y a la salida tenemos una señal diferencial equivalente. Este testbench tiene por objetivo verificar que la funcionalidad se cumpla (Figura 4-29). Los cambios de amplitud se pueden apreciar en la Figura 4-31 y los cambios de preénfasis en la Figura 4-30.

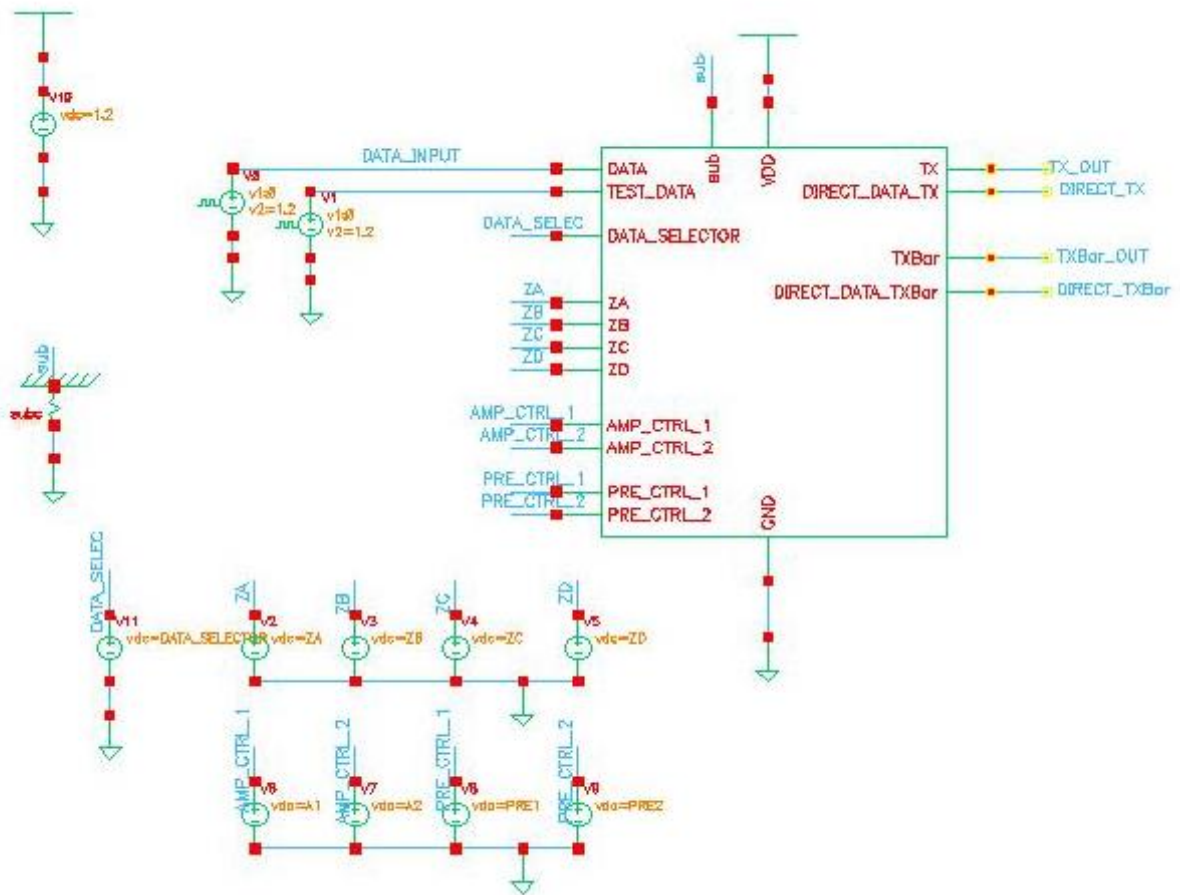


Figura 4-29. Testbench de transmisor analógico con salida diferencial.

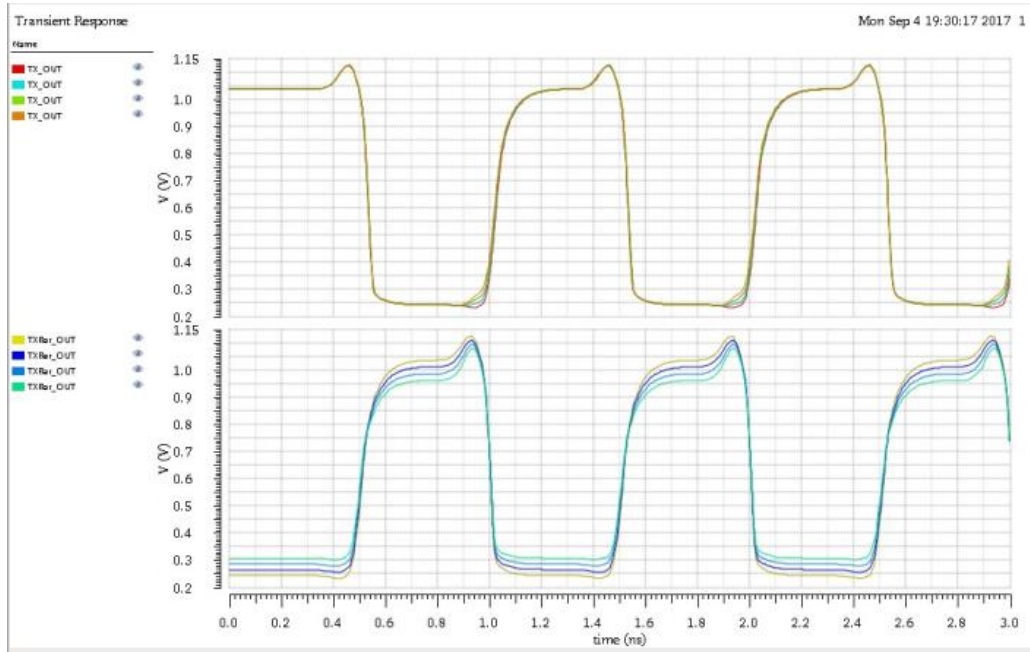


Figura 4-30. Respuesta del transmisor analógico para los cambios en el preénfasis.

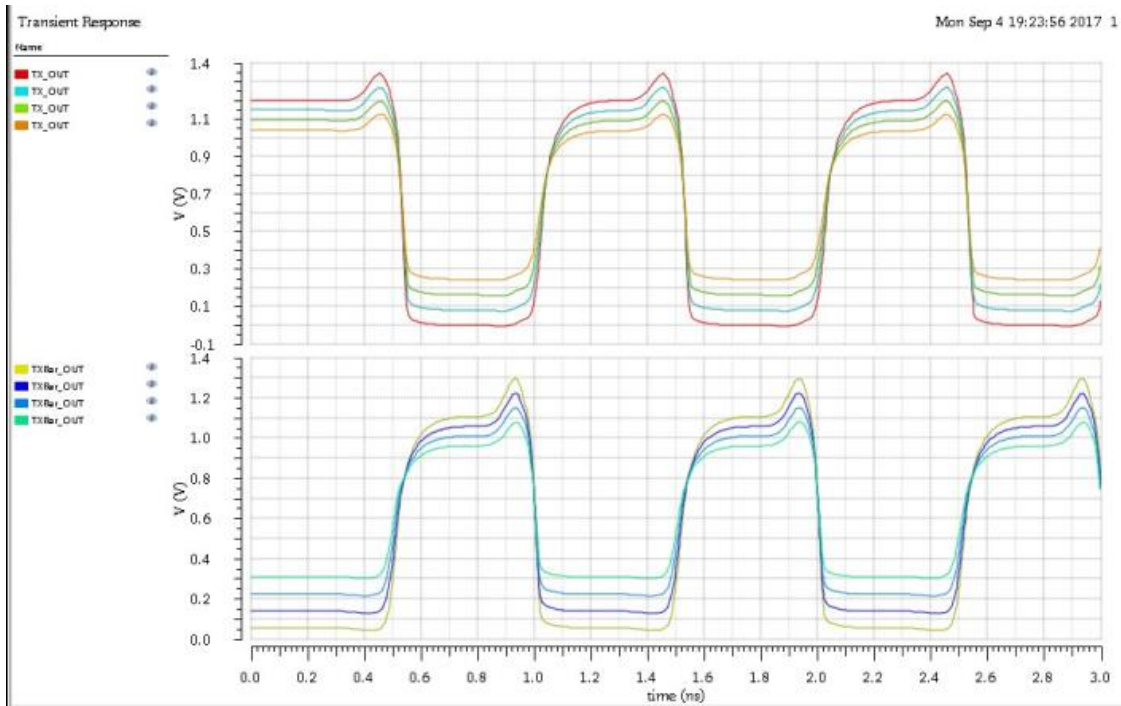


Figura 4-31. Respuesta del transmisor analógico para los cambios de amplitud.

4.1. Verificación pre-layout de esquinas PVT

Las pruebas PVT (del inglés, *Process-Voltage-Temperature*) permiten caracterizar al transistor en diferentes escenarios de condiciones de presión, temperatura y voltaje con el fin de determinar si el circuito integrado opera en el rango de valores definido en los requisitos [14] . Debido a variaciones en el proceso de manufactura, el sistema debe asegurar su funcionamiento en todas las esquinas de proceso.

Las esquinas de proceso son datos estadísticos sobre la respuesta del transistor en diferentes condiciones PVT y está ligada directamente al proceso de fabricación de circuitos integrados. El objetivo de esta verificación es asegurar que el diseño funciona en los casos de prueba desde el mejor hasta el peor de los casos. En total, podemos encontrar 5 esquinas de proceso: TT (*Typical- Typical*), FF (*Fast-Fast*), SF (*Slow-Fast*), FS (*Fast-Slow*) y SS (*Slow-Slow*), dichas relaciones están ligadas a los transistores complementarios y su significado lo podemos apreciar en la Tabla 4-1.

Tabla 4-1. Descripción de las esquinas de proceso.

Esquina de proceso o caso de prueba	Descripción
TT	Transistores NMOS y PMOS de valores típicos
FF	Transistores NMOS y PMOS rápidos
SF	Transistor NMOS lento y PMOS rápido
FS	Transistor NMOS rápido y PMOS lento
SS	Transistores NMOS y PMOS lentos

Para la realización de esta prueba se utilizó el testbench mostrado en la Figura 4-32. Los valores de las señales de impedancia (Z_A, Z_B, Z_C, Z_D) así como de las señales AMP_CTRL_1 , AMP_CTRL_2 , PRE_CTRL_1 , PRE_CTRL_2 y $DATA_SELECTOR$ se muestran en la Tabla 4-2.

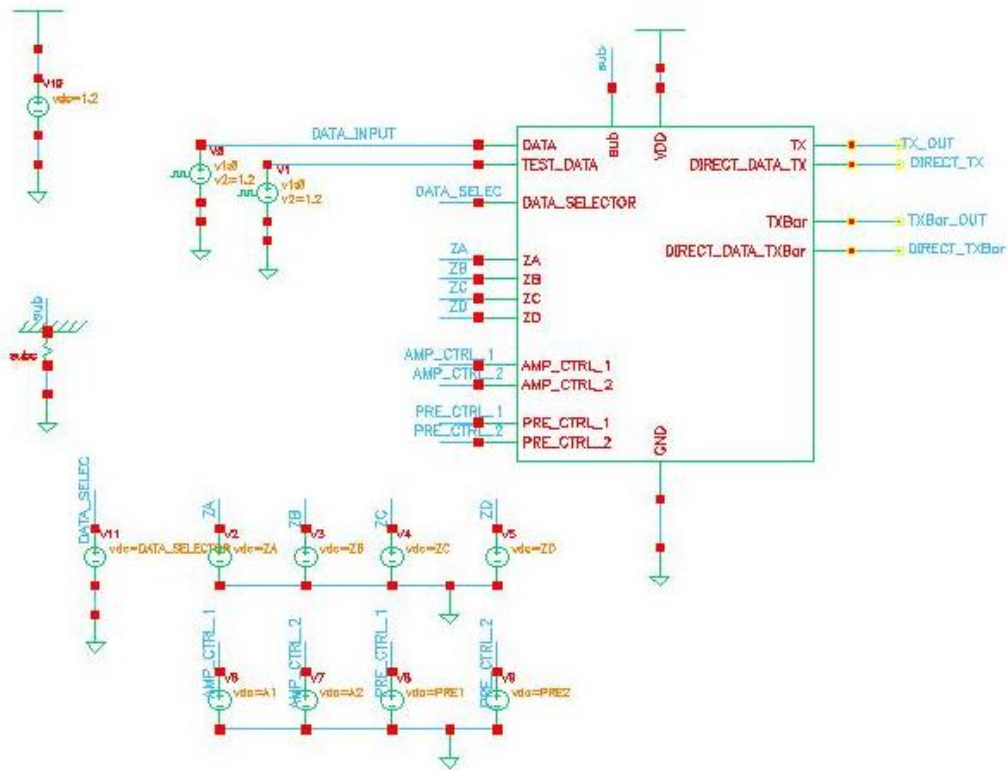


Figura 4-32. Testbench de las pruebas PVT

Tabla 4-2. Valores de las señales de entrada del testbench

SEÑAL	VALOR
ZA, ZB, ZC, ZD	0 V
AMP_CTRL_1, AMP_CTRL_2	0 V
PRE_CTRL_1, PRE_CTRL_2	0 V
DATA_SELECTOR	0 V
DATA	Frecuencia de 1Ghz (período de 1 ns (nanosegundo))

La configuración de las señales que se muestran en la Tabla 4-2, otorgan la máxima amplitud y la mínima impedancia de salida de la señal de datos procesada, permitiendo visualizar de mejor manera los cambios introducidos por los diferentes niveles de temperatura.

4.1.1 Comportamiento a 0 ° C

La primera prueba consiste en apreciar el comportamiento a una temperatura de 0 ° C, el resultado de esta verificación se muestra en la Figura 4-33.

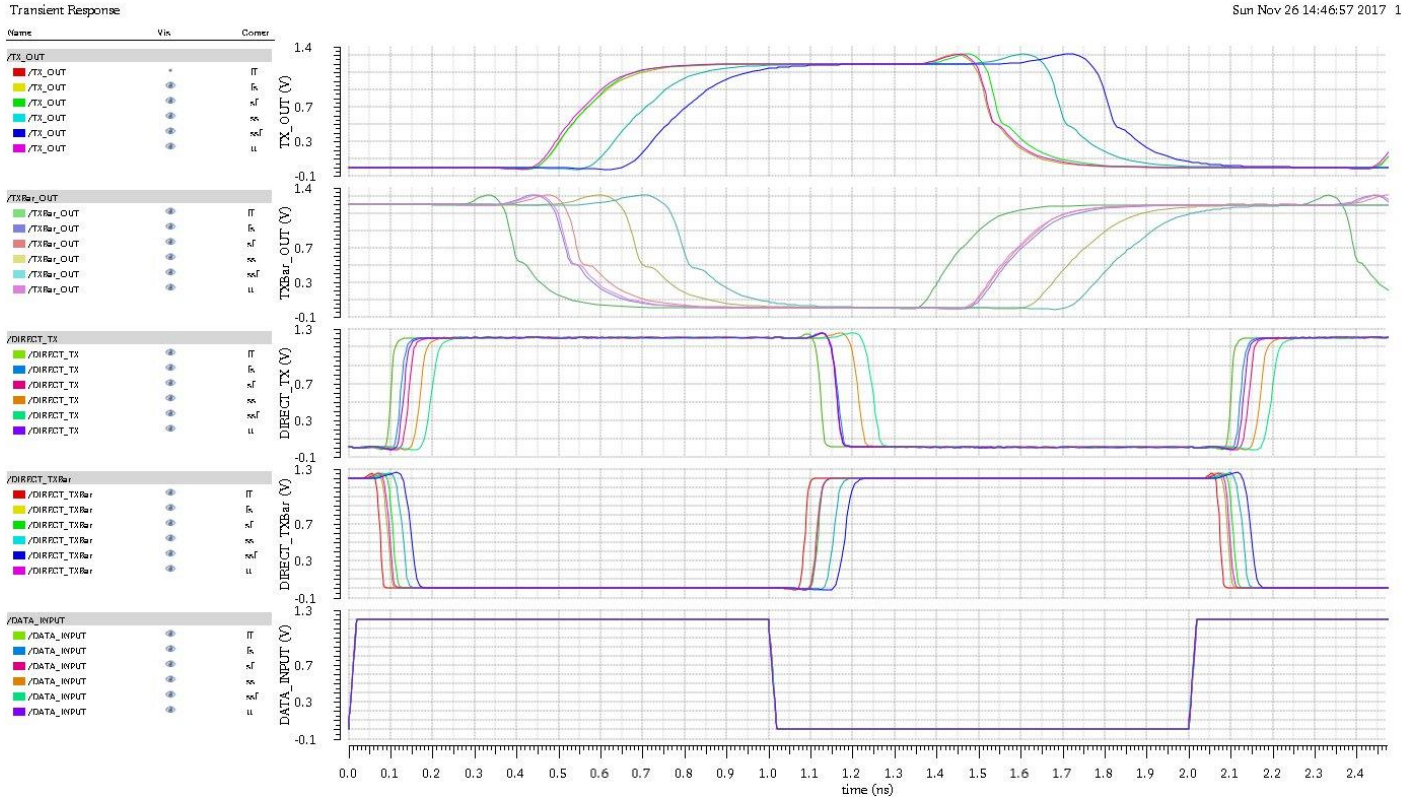


Figura 4-33. Comportamiento del transmisor a una temperatura de 0 ° C.

La gráfica de la Figura 4-33 contiene 5 señales que corresponden, de arriba hacia abajo, con los siguientes puertos del transmisor: TX, TXBar, DIRECT_TX, DIRECT_TBar, DATA. Podemos apreciar que la respuesta más rápida corresponde a la esquina de proceso FF y la más lenta a la esquina FF. Sin embargo, la señal de salida no sufre afectaciones graves y sigue operando de manera estable.

4.1.2 Comportamiento a 27 ° C

En el caso donde la temperatura es de 27 ° C (temperatura ambiente), el resultado de esta verificación se muestra en la Figura 4-34.

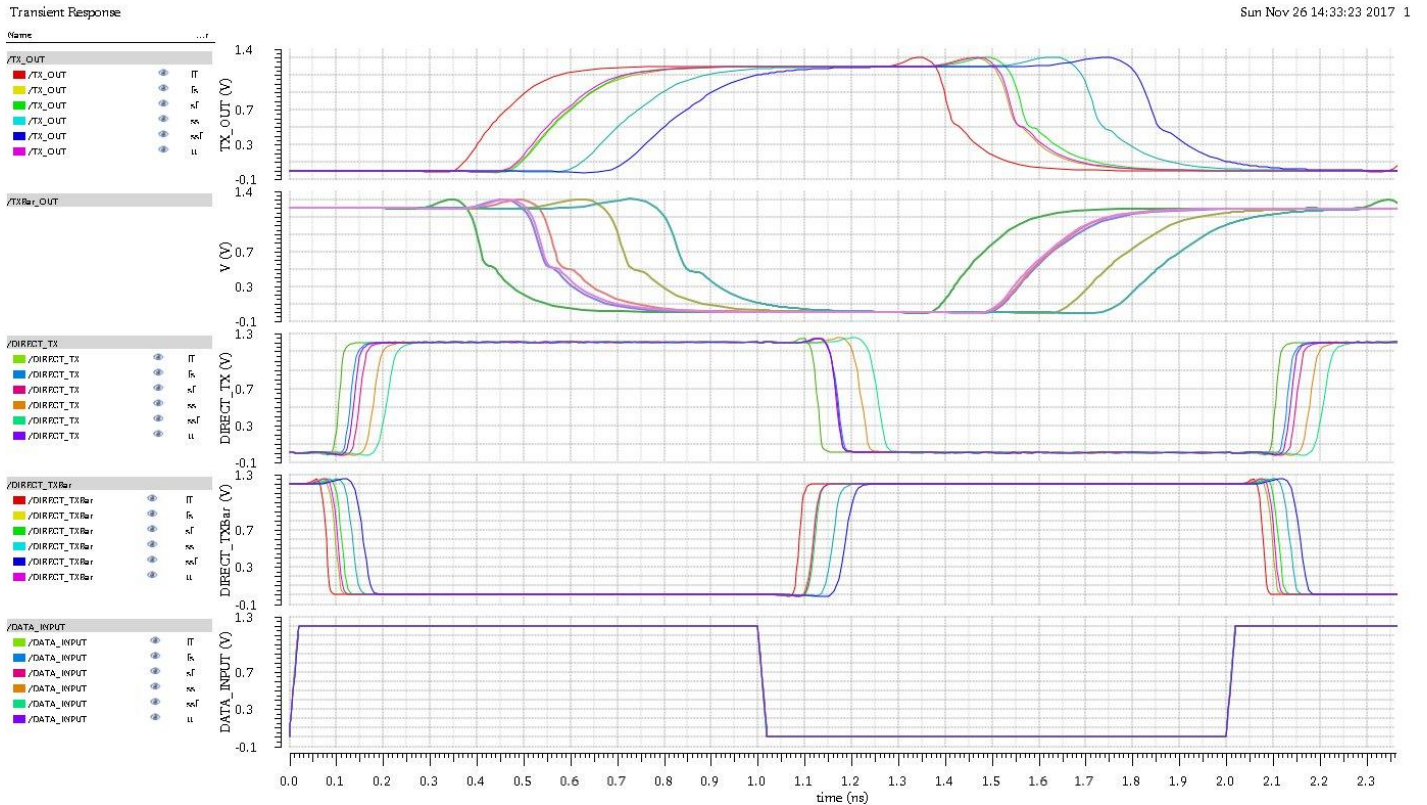


Figura 4-34. Comportamiento del transmisor a una temperatura de 27 ° C.

De igual manera, podemos apreciar en la Figura 4-34 que incluso utilizando transistores de respuesta lenta, el sistema sigue trabajando dentro de un rango estable en todas las esquinas de proceso.

4.1.3 Comportamiento a 70 ° C

El resultado de la simulación del módulo a una temperatura de 70 ° C se observa en la gráfica de la Figura 4-35.

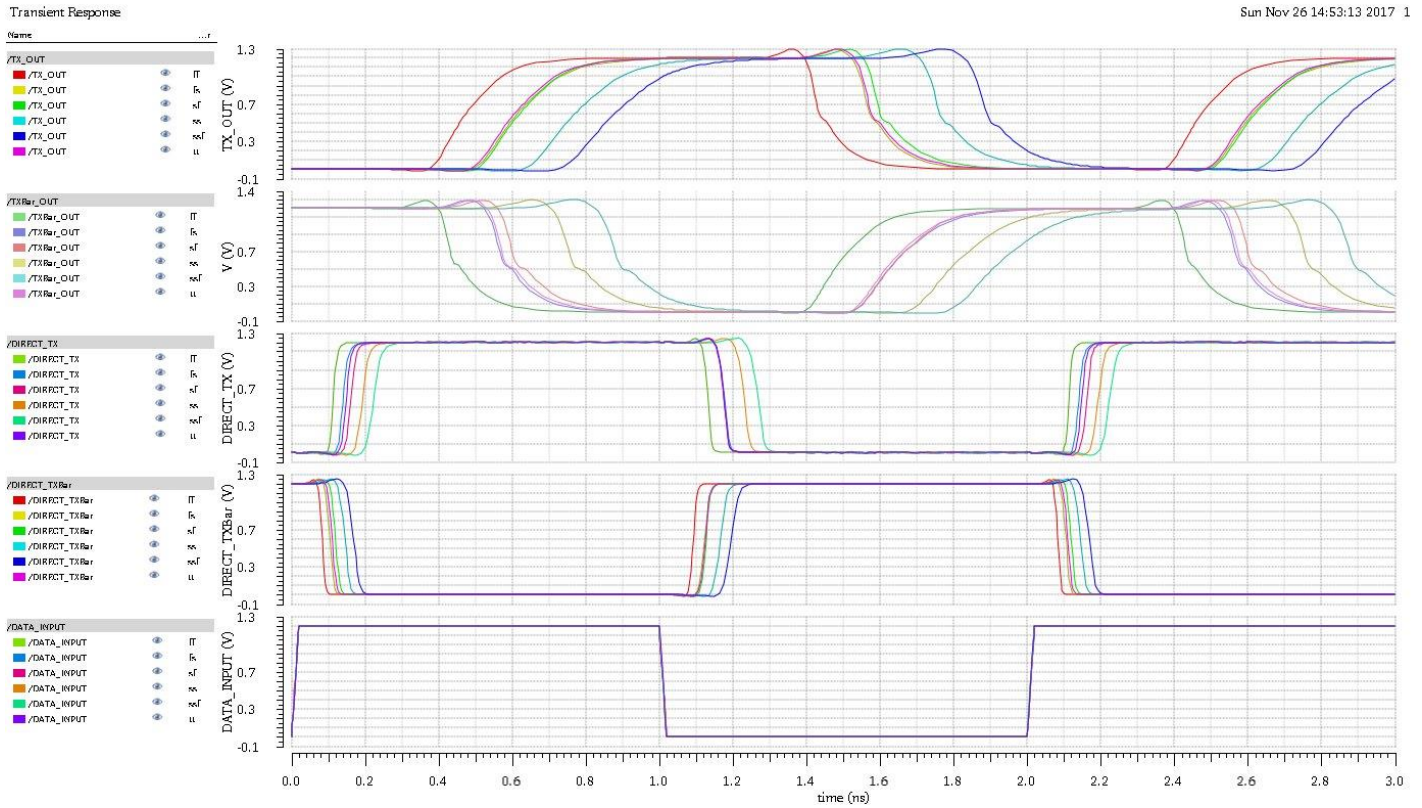


Figura 4-35. Comportamiento del transmisor a una temperatura de 70 ° C.

Podemos comprobar que la señales TX y TXBar no se ven afectadas gravemente en el retardo ocasionado por la temperatura elevada.

4.2. Verificación DRC y LVS del layout de las celdas digitales

Para asegurar que el layout del transmisor analógico está diseñado de acuerdo con las reglas de diseño impuestas por la tecnología de fabricación del 130 nm, las pruebas DRC y LVS deben estar validadas. La prueba DRC (del inglés, *Design Rule Check*) se refiere a la revisión de todas las reglas de distancias, separación, ancho y largo de metales que existen en el layout; se resume a un script que automatiza esta tarea y arroja un reporte indicando el número de reglas aprobadas y no aprobadas.

```
RULECHECK GRT3WQCAP24a ..... TOTAL Result Count = 0
RULECHECK GRT3WQCAP24b ..... TOTAL Result Count = 0
RULECHECK GR594 M1 ..... TOTAL Result Count = 0
RULECHECK GRT3W594a_M1 ..... TOTAL Result Count = 0
RULECHECK GRT3W594b_M1 ..... TOTAL Result Count = 0
RULECHECK GR595 M1 ..... TOTAL Result Count = 0
RULECHECK GRT3W595 M1 ..... TOTAL Result Count = 0
RULECHECK GR594 M2 ..... TOTAL Result Count = 0
RULECHECK GRT3W594a_M2 ..... TOTAL Result Count = 0
RULECHECK GRT3W594b_M2 ..... TOTAL Result Count = 0
RULECHECK GR595 M2 ..... TOTAL Result Count = 0
RULECHECK GRT3W595 M2 ..... TOTAL Result Count = 0
RULECHECK GR594 M3 ..... TOTAL Result Count = 0
RULECHECK GRT3W594a_M3 ..... TOTAL Result Count = 0
RULECHECK GRT3W594b_M3 ..... TOTAL Result Count = 0
RULECHECK GR595 M3 ..... TOTAL Result Count = 0
RULECHECK GRT3W595 M3 ..... TOTAL Result Count = 0
-----
--- RULECHECK RESULTS STATISTICS (BY CELL)
---
--- SUMMARY
---
TOTAL CPU Time: 1
TOTAL REAL Time: 2
TOTAL Original Layer Geometries: 81 (95)
TOTAL DRC RuleChecks Executed: 1655
TOTAL DRC Results Generated: 0 (0)
```

Figura 4-36 . Validación de DRC del transmisor analógico con salida diferencial.

La Figura 4-36 muestra el resultado de la prueba aplicada al transmisor analógico. Podemos observar que no se han violado reglas de acuerdo con el *TOTAL DRC Results Generated* en la parte baja de la figura.

5. Discusión

El propósito de la verificación de la funcionalidad de las celdas digitales, que se muestra en la sección 4.1, es comprobar que, para una velocidad de 1 GHz, las celdas digitales operan de acuerdo con la ecuación booleana respectiva que se definió en la sección 2 de este documento.

Para la celda inversora, podemos ver en su respuesta (Figura 4-2) que presenta un flanco de subida suave y un flanco de bajada un poco más pronunciado, lo cual es esperado debido a que la movilidad de los electrones en los transistores tipo P y tipo N no es la misma. Sin embargo, el comportamiento sigue siendo estable y de acuerdo con su ecuación booleana (2-1).

La respuesta de la NAND de 2 y 3 entradas (Figura 4-6 y Figura 4-8, respectivamente), presenta complicaciones debido a que la definición del estado lógico 0 apenas se logra, el ancho de los transistores tiene una gran influencia sobre este comportamiento, aun así, la tabla de verdad para cada una de ellas, se cumple. Lo mismo ocurre con la respuesta de las celdas NOR de 3 y 3 entradas.

Continuando con los buffers de 2 y 3 estados, el comportamiento que presentan es el que se buscó desde el diseño planteado, la señal de salida (Figura 4-12 para el buffer de 2 estados y Figura 4-14 para el buffer de 3 estados) se ve totalmente regenerada y las amplitudes van de 0V a 1.2V sin ningún problema.

Para los decodificadores de 4 a 12 y de 2 a 3 (Figura 4-16 y Figura 4-18, respectivamente), se esperaba una respuesta con retardo debido a la gran cantidad de transistores que contribuyen con este defecto, la cual se aprecia en el cambio de estado lógico 1 a 0, donde se ve una transición suave pero aceptable y que cumple con las tablas de verdad descritas en la Tabla 2-9 para el decodificador de 4 a 12 y en la Tabla 2-10 para el de 2 a 3.

En la Figura 4-19 de la respuesta del circuito de amarre de estado lógico, el objetivo fue apreciar los estados lógicos 1 y 0 bien definidos, lo cual se cumple ya que el estado lógico 1 siempre permanece alrededor de 1.2 V y el estado lógico 0 cercano a 0V.

Ahora, el transmisor con salida diferencial presenta a la salida dos señales que son complementarias (Figura 4-30) y que cumplen la definición de señal diferencial. El retardo que presentan con respecto a la señal de entrada es esperado debido a que la señal pasa a través de submódulos que van ocasionando una demora que se ve reflejada en la señal de salida. Se aprecia también que los diferentes niveles de amplitud (Figura 4-31) son controlados por las señales especificadas.

En la parte de verificación pre-layout de esquinas PVT, el comportamiento general para todos los diferentes grados de temperatura se esperaba que fuera el mismo ya que la prueba que se realizó no toma en cuenta los efectos introducidos por el enrutado en el layout. Efectivamente, las 3 gráficas que se muestran en la sección 4.1 muestran que la respuesta es la misma para los 3 niveles de temperatura.

La validación de DRC y LVS es aprobada satisfactoriamente, estos datos indican que el transmisor no presenta conexiones erróneas y que la separación, la geometría y mínimos de área de los metales es suficiente para mandarse a fabricar.

6. Conclusión

El módulo transmisor fue diseñado en su totalidad. Las etapas que se concluyeron exitosamente son las siguientes:

- Diseño de esquemáticos a nivel transistor de las celdas digitales básicas, complejas y las celdas auxiliares.
- Simulación de esquemáticos a través de los test benches descritos para verificar la funcionalidad y la velocidad de 1 GHz propuesta en las especificaciones.
- Diseño de layout respetando las reglas de verificación DRC y LVS para crear un diseño fabricable y sin errores de conexión.
- Pruebas PVT pre-layout para asegurar el funcionamiento del transmisor en las 5 esquinas de proceso.

Además, el diseño del esquemático del transmisor utiliza una estructura jerárquica, es decir, los cientos de transistores se agrupan en módulos que representan una funcionalidad del transmisor. Dichas agrupaciones contienen, a su vez, submódulos cuyo último nivel jerárquico son las celdas digitales básicas. De esta manera, la comprensión global de los módulos del transmisor es rápida y clara, permitiendo realizar modificaciones y corregir errores eficazmente.

Por otra parte, el diseño del layout fue realizado comenzando por la conexión de los transistores de las celdas digitales básicas y auxiliares, ambas con el mismo nivel de altura, pero de ancho variable, también conocidas como celdas estándares. Esto facilitó la interconexión entre módulos y evitó la aparición de huecos dentro del transmisor creando un diseño final más uniforme y ordenado. Se sugiere volver a revisar las celdas estándares diseñadas y optimizarlas, si es posible, para reducir el tamaño final del transmisor.

El objetivo de integrar el transmisor analógico al sistema SerDes no fue totalmente exitoso. A pesar de entregar el módulo diseñado con las pruebas DRC y LVS limpias, la herramienta utilizada para realizar la integración de módulos digitales y analógicos arrojó errores con el archivo

LEF generado y, junto con el poco tiempo restante, se decidió no enviar a fabricar el SerDes. En un futuro, se aconseja definir con anticipación los pasos y las configuraciones de los archivos generados para que la integración resulta exitosa.

La extracción de parásitas para realizar pruebas post-layout fue impedida por errores fatales con la herramienta utilizada que no fueron solucionados, por lo que no se realizó ningún tipo de prueba post-layout. Se recomienda realizar una investigación para encontrar la causa raíz del problema y evitar que se repita en futuras interacciones con la herramienta.

Finalmente, el objetivo de crear un sistema de transmisión de datos a través de señales complementarias utilizando las herramientas y los conocimientos aprendidos durante el estudio del posgrado, se cumplió.

7. Referencias

- [1] W. Tomasi, *Sistemas de comunicaciones electrónicas*. Pearson Educación, 2003.
- [2] R.- ASALE, “Diccionario de la lengua española - Edición del Tricentenario,” *Diccionario de la lengua española*. [Online]. Available: <http://dle.rae.es/?w=diccionario>. [Accessed: 03-Sep-2017].
- [3] “MOSIS Integrated Circuit Fabrication Service.” [Online]. Available: <https://www.mosis.com/>. [Accessed: 03-Sep-2017].
- [4] “EDA Tools and IP for System Design Enablement | Cadence.” [Online]. Available: https://www.cadence.com/content/cadence-www/global/en_US/home.html. [Accessed: 03-Sep-2017].
- [5] T. O. Dickson and S. P. Voinigescu, “Low-Power Circuits for a 2.5-V, 10.7-to-86-Gb/s Serial Transmitter in 130-nm SiGe BiCMOS,” in *2006 IEEE Compound Semiconductor Integrated Circuit Symposium*, 2006, pp. 235–238.
- [6] R. A. Philpott, J. S. Humble, R. A. Kertis, K. E. Fritz, B. K. Gilbert, and E. S. Daniel, “A 20Gb/s SerDes transmitter with adjustable source impedance and 4-tap feed-forward equalization in 65nm bulk CMOS,” in *2008 IEEE Custom Integrated Circuits Conference*, 2008, pp. 623–626.
- [7] S. Chen, L. Yang, H. Jing, F. Zhang, and Z. Gao, “A novel SST transmitter with mutually decoupled impedance self-calibration and equalization,” in *2011 IEEE International Symposium of Circuits and Systems (ISCAS)*, 2011, pp. 173–176.
- [8] S. Mahalawat, J. McCool, C. Metivier, and S.-D. Chen, “10/100/1000/2500 Mbps serial media independent interface (SGMII),” US7356047 B1, 08-Apr-2008.
- [9] J. F. Wakerly, “DISEÑO DIGITAL PRINCIPIOS Y PRACTICAS (3ª ED.).” [Online]. Available: https://latam.casadellibro.com/libro-diseno-digital-principios-y-practicas-3-ed/9789702607205/1115354?utm_source=google&utm_medium=GoogleBooks&utm_campaign=2922&utm_content=GoogleProducts2. [Accessed: 27-Nov-2017].
- [10] R. J. Tocci and N. S. Widmer, *Sistemas digitales: principios y aplicaciones*. Pearson Educación, 2003.
- [11] “INTRODUCCION A LAS TECNICAS CIRCUITOS INT. | GINZBURG | Comprar Libro México 9788429134568.” [Online]. Available: <https://latam.casadellibro.com/libro-introduccion-a-las-tecnicas-circuitos-int/9788429134568/275933>. [Accessed: 27-Nov-2017].
- [12] M. M. Morris, “Diseño digital (3ra ed.).” [Online]. Available: <https://latam.casadellibro.com/libro-diseno-digital-3-ed/9789702604389/921496>. [Accessed: 27-Nov-2017].
- [13] J. A. Núñez-Corona, “Design of the Analog Transmitter Module in 130 nm CMOS technology,” ITESO, 2016.
- [14] L. Lavagno, I. L. Markov, G. Martin, and L. K. Scheffer, *Electronic Design Automation for IC Implementation, Circuit Design, and Process Technology*. CRC Press, 2017.

8. Anexos