View metadata, citation and similar papers at core.ac.uk

brought to you by CORE

provided by PolyPublie

POLYPUBLIE
Polytechnique Montréal

POLYTECHNIQUE MONTRÉAL
LE GÉNIE EN PREMIÈRE CLASSE

Titre: Title:	Rapport annuel 1997-1998
Auteurs: Authors:	Groupe de recherche en microélectronique et microsystèmes
Date:	1998
Type:	Rapport / Report
Référence: Citation:	Groupe de recherche en microélectronique et microsystèmes. (1998). *Rapport annuel 1997-1998* (Rapport). Tiré de https://www.grm.polymtl.ca/PAGES/Rapports_Annuels/...

Document en libre accès dans PolyPublie
Open Access document in PolyPublie

URL de PolyPublie: PolyPublie URL:	https://publications.polymtl.ca/3239/
Version:	Version officielle de l'éditeur / Published version Non révisé par les pairs / Unrefereed
Conditions d'utilisation: Terms of Use:	Autre / Other

Document publié chez l'éditeur officiel
Document issued by the official publisher

Maison d'édition: Publisher:	Polytechnique Montréal
URL officiel: Official URL:	https://www.grm.polymtl.ca/PAGES/Rapports_Annuels/tous_rapports_annuels.html
Mention légale: Legal notice:	Tous droits réservés / All rights reserved

Ce fichier a été téléchargé à partir de PolyPublie, le dépôt institutionnel de Polytechnique Montréal
This file has been downloaded from PolyPublie, the institutional repository of Polytechnique Montréal

http://publications.polymtl.ca

REMERCIEMENTS

Nous désirons remercier tous les membres du GRM (Groupe de Recherche en Microélectronique) professeurs et étudiants pour l'effort et l'attention qu'ils ont accordés afin de compléter leurs parties du présent rapport. Nos remerciements s'adressent aussi à madame Ghyslaine Éthier Carrier pour son excellent travail de secrétariat afin de produire ce rapport. Soulignons aussi la contribution financière de la direction des études supérieures et de la recherche pour sa préparation et sa diffusion.

INTRODUCTION

Le Groupe de Recherche en Microélectronique (GRM) de l'École Polytechnique de Montréal a poursuivi sa progression sur plusieurs fronts. Le présent document décrit ses objectifs, la composition du groupe, les subventions et contrats obtenus, les équipements et outils qu'il possède et les publications et principales réalisations récentes. Pendant l'année 1997 – 1998, 85 étudiants inscrits à la maîtrise ou au doctorat, professionnels et techniciens ont participé aux travaux de recherche du groupe, sous la direction de différents professeurs du GRM. Les membres du groupe ont connu des succès importants aux programmes de subvention du Conseil de Recherche en Sciences Naturelles et en Génie du Canada (CRSNG) et auprès du Fonds pour la formation de Chercheurs et l'Aide à la Recherche du Québec (FCAR), ainsi qu'au programme de prêt d'équipement de la Société Canadienne de Microélectronique. Ils participent aussi à trois projets réalisés dans le cadre de Micronet, le centre d'excellence en Microélectronique et à un projet de IRIS dans le cadre du centre d'excellence en vision. Citons aussi les projets réalisés avec des partenaires industriels, BNR/NT, MiroTech, ainsi que ceux réalisés pour le Ministère de la Défense. Il est à noter finalement que la plupart des professeurs membres réguliers du GRM sont impliqués dans la réalisation d'un projet de grande envergure subventionné par le programme Synergie du gouvernement du Québec Ce projet qui s'appelle PULSE implique trois partenaires industriels : Genesis, Miranda et MiroTech. Le groupe tend vers un équilibre entre les recherches orientées et les recherches académiques, les premières influençant grandement les orientations développées dans les dernières. Nous croyons fermement qu'il s'agit là d'un gage de pertinence et de qualité des travaux et des orientations prises par le groupe.

COLLABORATIONS EN 97-98

L'année 97 – 98 a été marquée par plusieurs faits saillants, notamment les collaborations entre les membres du GRM et des chercheurs d'autres groupes et centres de recherche. Soulignons à titre d'exemple la collaboration entre les professeurs Savaria et Audet de l'Université du Québec à Chicoutimi (Méthodes de conception de circuits tolérants aux défectuosités); la collaboration entre Savaria et Massicotte de l'Université du Québec à Trois-Rivières (Modélisation d'échantillonneurs rapides); Savaria et Thibeault de l'École de Technologie Supérieure (Méthode de restructuration laser); Savaria et Aboulhamid de l'Université de Montréal (Parallélisation de boucles et compilation de description synthétisable à partir de spécification en langage C); Savaria et Blaquière de l'Université du Québec à Montréal (Conception de réseaux de neurones et conception logiciel-logiciel); Raut et Sawan (circuits en mode courant), Davidson de l'UQAM et Sawan (processeur spécialisés et FPDs), Bennis de l'ETS et Sawan (circuits de prédiction) Homsy de l'Université de Montréal et Sawan (systèmes ultrasoniques), Fortier de l'Université d'Ottawa et Sawan (stimulateur de Cortex), Van der Puije de l'Université de Carleton et Sawan (électrodes implantables), De plus, R. Maciejko travaille sur la modélisation et la caractérisation des lasers à semi-conducteurs avec R. Leonelli, Université de Montréal, sur l'étude de la Photoluminescence de monostructures avec D. Morris, Université de Sherbrooke et de la Photoluminescence résolue en temps et échantillonnage électro-optique. Notons la collaboration avec plusieurs membres du centre Poly-Grames notamment les professeurs Savaria, Laurin et Wu (interconnexions de circuits VLSI à très haute vitesse) Sawan et Bosisio (circuits mixtes VLSI et micro-ondes), Sawan et Ghannouchi (Applications des circuits DSPs en micro-ondes), notons aussi la collaboration avec le GRBB (Groupe de Recherche en Biomatériaux et Biomécanique), entre les professeurs Sawan et Yahia (Électrodes et Matériaux implantables).

OBJECTIFS DU GRM

Tel que défini par ses statuts, le Groupe de Recherche en Microélectronique a pour objectif général de «promouvoir et de regrouper les activités de recherche en Microélectronique à l'École Polytechnique de Montréal».

Plus spécifiquement, le Groupe de Recherche en Microélectronique poursuit les objectifs suivants

- Regrouper dans une entité visible et identifier les chercheurs qui œuvrent dans des secteurs reliés à la Microélectronique;
- Offrir aux chercheurs en Microélectronique un lieu de communication et d'échange en vue de promouvoir et de faciliter la collaboration et le travail en équipe;
- Assurer le bon fonctionnement des laboratoires du GRM;
- Faciliter l'accès à la technologie Microélectronique aux autres chercheurs de l'École et de l'extérieur de l'École susceptibles d'en profiter.

Ces objectifs n'ont pas été modifiés depuis la constitution officielle du groupe.

COMPOSITION DU GROUPE

Le Groupe de Recherche en Microélectronique relève du directeur du département de génie électrique et de génie informatique et se compose des membres réguliers et membres associés suivants:

Liste des membres réguliers:

- **Dr Yvon Savaria:** professeur titulaire au département de génie électrique et de génie informatique, directeur du Groupe de Recherche en Microélectronique, responsable administratif du laboratoire de VLSI. Il s'intéresse à la méthodologie du design des systèmes intégrés, aux problèmes de testabilité, à l'intégration ULSI et aux applications de ces technologies.
- **Dr Guy Bois:** professeur adjoint au département de génie électrique et de génie informatique, qui s'intéresse à l'aspect algorithmique de la conception de circuits intégrés, en particulier, à la synthèse de très haut niveau et à la synthèse de masques.
- **Dr Jean-Louis Houle:** professeur titulaire au département de génie électrique et de génie informatique, qui s'intéresse aux applications du VLSI et aux architectures parallèles pour le traitement des signaux et des images.
- **Dr Bozena Kaminska:** professeure agrégée au département de génie électrique et de génie informatique, qui s'intéresse à la conception pour la testabilité, aux problèmes de testabilité, à la synthèse de haut niveau ainsi qu'aux interconnexions optiques.
- **M. Bernard Lanctôt:** professeur titulaire au département de génie électrique et de génie informatique, qui s'intéresse aux méthodes de conception et au développement de logiciels de conception VLSI.
- **Dr Romain Maciejko:** professeur titulaire au département de génie physique, dont le domaine de recherche porte sur l'étude et la réalisation de dispositifs optoélectroniques intégrés.
- **Dr Mohamad Sawan:** professeur agrégé au département de génie électrique et de génie informatique, qui s'intéresse à la synthèse, la conception et la réalisation de circuits mixtes (numériques-analogiques) et à leurs applications dans les domaines industriel et biomédical, spécifiquement, les stimulateurs et capteurs sensoriels.

Liste des membres associés:

- **Dr David Haccoun:** professeur titulaire au département de génie électrique et de génie informatique, qui dirige des projets de recherche sur la méthodologie de conception de codeurs-décodeurs complexes, y compris l'impact de l'intégration en VLSI.
- **Dr Michel Meunier:** professeur titulaire au département de génie physique et directeur du Groupe de recherche en physique et technologie des Couches Minces (GCM). Il effectue des projets de recherche sur les procédés pour la microélectronique, plus spécifiquement sur l'utilisation de laser dans la fabrication de couches minces et la modification de matériaux. Il collabore avec Yvon Savaria sur la restructuration par laser pour la microélectronique.

Liste d'autres professionnels et chercheurs

De plus, les personnes suivantes collaborent ou ont collaboré aux travaux du groupe à divers titres:

- M. Zahir Boukari: associé de recherche.
- M. Hervé Daniel: associé de recherche
- M. Ivan Kraljic: chercheur
- M. Paul Marriott: chercheur
- M. Claude Villeneuve: associé de recherche
- M. Jean Bouchard: technicien du laboratoire VLSI.
- M. Réjean Lepage: technicien du laboratoire GRM.

Ces personnes forment le Groupe de Recherche en Microélectronique de l'École Polytechnique, dont la reconnaissance officielle par l'École démontre la priorité que celle-ci accorde au domaine de la Microélectronique.

PROGRAMME DE RECHERCHE EN VLSI

Domaines

Les programmes de recherche et de formation de chercheurs en VLSI de l'École Polytechnique recouvrent les sous secteurs suivants;

- La technologie VLSI en elle-même, y compris les problèmes de test et de tolérance aux pannes et aux défectuosités;

- Les applications, surtout en télécommunications, en traitement des signaux et des images, en algorithmes et architectures parallèles, en biomédical par la réalisation de micro stimulateurs implantables et dans la réalisation d'échantillonneurs rapides;

- Les logiciels de synthèse, de conception et de test assistés par ordinateur;

- Les dispositifs électroniques et électro-optiques ainsi que les technologies de fabrication.

Activités des membres réguliers

La description détaillée de notre programme de recherche débute sur une synthèse par chaque membre de ses activités au sein du GRM.

Activités du professeur Savaria

Il conduit des recherches selon deux grands axes: l'élaboration de méthodes de conception et l'utilisation des technologies microélectroniques dans des applications spécifiques. Le premier axe englobe des travaux sur les méthodes de conception de circuits à haute vitesse, sur l'accélération des calculs, sur la cosynthèse et le codesign de systèmes électroniques et sur les techniques d'autotest et de tolérance aux pannes et aux défectuosités. Le second axe couvre des thèmes divers comme la conception d'un classificateur de haute performance, la conception d'organes de calcul pour un système de vision 3D, la conception d'un décodeur de Viterbi, la réalisation d'échantillonneurs rapides et la mise en œuvre de processeurs spécialisés. Plusieurs de ces travaux sont réalisés en collaboration avec d'autres chercheurs. La suite reprend chacun de ces thèmes en élaborant brièvement.

Méthodes de conception

Un premier thème est la conception de circuits de haute vitesse. Nous concentrons nos efforts sur les technologies CMOS et bipolaires au silicium. Nous élaborons des méthodes pour concevoir, modéliser et automatiser la conception de réseaux de distribution d'horloge et de circuits synchrones rapides. Nos travaux exploitent aussi les techniques de synchronisation à une phase (True Single Phase Clocking (TSPC)). De plus, nous utilisons les lignes à délai verrouillable (Delay Locked Loop (DLL)) pour produire des bases de temps ultra-rapides, nécessaires aux applications de haute performance. Enfin, nos travaux récents portent sur l'impact du placement et du routage sur le fonctionnement à haute vitesse et sur les méthodes de tests adaptés pour ces circuits.

Un autre axe de recherche poursuivi est l'élaboration de méthodes pour concevoir des coprocesseurs dédiés à des applications intensives en calcul. De tels coprocesseurs peuvent être synthétisés puis chargés au besoin dans une batterie de réseaux logiques programmables afin de réaliser un amalgame performant, fruit d'un compromis matériel logiciel.

Nous travaillons aussi à l'élaboration de méthodes qui permettent de concevoir des circuits auto-testables. Nos recherches portent sur la technologie bipolaire CML, dont le comportement en présence de défectuosités présente des particularités intéressantes.

Applications

Dans le cadre de cet axe plus appliqué, nous avons étudié les techniques de mise en œuvre de réseaux de neurones artificiels et nous avons proposé de nouvelles règles d'apprentissage pour les réseaux ART. Ce type de réseau est envisagé pour la classification en temps réel des signaux radars.

Nous exploitons les techniques de conception de circuits rapides afin de concevoir des circuits d'échantillonnage ultra-rapides. Nos efforts portent sur la conception d'échantillonneurs précis. Plus spécifiquement, nous développons des méthodes de traitement de signal pour compenser les imprécisions introduites par la bande passante limitée, les couplages parasites et les variations paramétriques.

Nos travaux portent enfin sur l'accélération des calculs dans les applications de traitement des signaux. Un premier axe de recherche porte sur l'utilisation d'une architecture d'accélérateur de calcul reconfigurable appliqué aux télécommunications et à la corrélation optique. Le second porte sur les architectures adaptées pour le traitement vidéo.

Nous explorons le domaine de la télévision numérique comme une classe d'applications pour des circuits intégrés dédiés. Nos travaux portent sur la mise en œuvre d'un puce pour insérer et extraire des données ancillaires dans un signal de télévision numérique. Une des fonctionnalités importante requise est la synthèse d'horloge directe de haute précision. Nos travaux portent aussi sur la conception d'interfaces sérielles pour la télévision à haute définition où les taux de transfert atteignent 1.5Gbits. Nous considérons enfin des applications de télécommunication qui ont des besoins similaires comme la norme OC-24 qui exige de traiter les données à 1.2 Gbit/sec.

Activités du professeur Bois

Le professeur Bois conduit des recherches dans le domaine de la Microélectronique, principalement dans la conception d'algorithmes pour la synthèse automatique de circuits intégrés. Ces recherches sont divisées en deux thèmes: 1. cosynthèse et cosynthèse logiciel/matériel et 2. la synthèse d'horloges rapides pour circuits VLSI et ULSI.

1. Codesign et cosynthèse logiciel/matériel

La recherche et le développement en codesign se divise à son tour en deux parties, selon le type d'architecture visé lors des spécifications: 1.1 Les microprocesseurs de type DSP de haute performance TMS320C40, ADSP21060, TMS320C60, etc) et 1.2 les microprocesseurs de type contrôleur embarqué DSP (TMS320C54, ARM7, etc).

1.1 Applications avec processeurs DSP de haute performance

L'objectif premier de cette recherche est de proposer une approche pour accélérer la vitesse de calcul en traitement du signal (DSP) et de l'image. Considérant trop lent l'utilisation d'un processeur commercial (e.g. *Motorola, Texas Instrument,* etc.), jusqu'à tout récemment deux approches existaient pour accélérer: a) l'approche des circuits intégrés, très performante mais très dispendieuse en frais de développement pour des volumes modérés, b) l'approche multiprocesseur, beaucoup moins dispendieuse à cause de sa souplesse au niveau programmation mais beaucoup moins performante.

En assistant le processeur commercial d'un réseau de logique reconfigurable (FPGAs) jouant le rôle d'accélérateur, nous obtenons une troisième approche, qui est celle du système dédié reconfigurable de haute performance. Ce dernier offre un excellent compromis, c'est-à-dire la performance des circuits intégrés à coût abordable.

Le second objectif de cette recherche est de développer une méthode de partitionnement logiciel/matériel pour la synthèse de systèmes dédiés reconfigurables de haute performance. Ce partitionnement se fait à deux niveaux: le premier niveau concerne le partitionnement entre le processeur commercial et le réseau de logique reconfigurable, alors que le deuxième concerne uniquement le partitionnement du réseau de logique reconfigurable. Au deuxième niveau nous travaillons au développement d'une librairie matérielle (par analogie à librairie logicielle pour DSP). Plus précisément, à chaque opération spécialisée (convolution, FFT, etc.) exécutée sur le réseau de logique reconfigurable correspond une représentation binaire qui configure le(s) FPGA(s) afin d'exécuter la fonctionnalité requise.

1.2 Applications avec contrôleurs embarqués DSP

On s'intéresse aux microprocesseurs embarqués ayant des fonctionnalités pour des opérations de base DSP, dont les performances vont de 40 à 200 MIPS (TI TMS320C50, ARM ARM7, Lucent DSP 1620, etc.). Le domaine d'application visé est la télécommunication pour des applications de faible consommation (modems rapides, téléphone cellulaire, communications mobiles, etc.), et qui par moment peuvent requérir une vitesse d'exécution supérieure à 200 MIPS. La conception de ses systèmes nécessite d'intégrer (embarquer) le microprocesseur dans un appareil de telle manière à respecter un ensemble de contraintes non fonctionnelles (temps d'exécution, dissipation de puissance, espace mémoire, sécurité, facilité à prédire le temps de développement, etc.). À partir d'outils commerciaux existants l'objectif est donc de développer une méthodologie de codesign logiciel/matériel pour cette famille d'application.

Ces travaux dans le domaine du codesign et de la cosynthèse logiciel/matériel sont réalisés avec les sociétés MiroTech Microsystems, Nortel et Mentor Graphics.

2. Synthèse d'horloges rapides

Des travaux sur la synthèse d'horloges performantes se poursuivent. Ces travaux traitent de l'impact des variations du procédé de fabrication sur les systèmes intégrés synchrones de haute performance. Nous travaillons à un meilleur modèle des biais de synchronisation dans les circuits VLSI et ULSI de haute performance. Nous travaillons aussi sur la manière optimale d'effectuer les compromis entre la bande passante, le délai, le biais de synchronisation, la surface consommée et la puissance dissipée. Ceci devrait conduire d'ici peu à une méthode automatique de synthèse des systèmes d'horloge.

Au premier niveau, nous travaillons à accélérer de manière automatique des applications en langage C, en les transférant sur du matériel. Ceci implique une série de transformations (parallélisation, allocation et ordonnancement) puis une génération en VHDL synthétisable.

Activités du professeur Houle

La recherche du professeur Jean-Louis Houle découle de résultats acquis. Afin d'assurer une bonne continuité, nous maintenons l'orientation de travaux fondamentaux et leurs relations à une classe limitée d'applications. Le travail est donc en deux volets:

1. Algorithmes et architectures pour multiprocesseurs à objectifs spécifiques;

2. Conception, simulation et évaluation de performances de prototypes pour le traitement en temps-réel de signaux de contrôle dans de très grands réseaux électriques.

Dans le premier volet, nous développons des outils informatiques pour évaluer la fonctionnalité et la performance de processeurs spécialisés par analyse et simulation. Nous avons déjà des architectures de processeurs élémentaires (PE) que nous devons optimiser. Ces PE seront ensuite interconnectés en structures parallèles pour des applications spécifiques.

Dans le deuxième volet, l'application principale est l'étude de grands réseaux électriques qui requièrent des équations algébriques de réseaux et des équations différentielles pour modéliser différents équipements électrotechniques. La simulation en temps réel rigide (« hard real-time ») de phénomènes de stabilité transitoire nécessite des processeurs parallèles pour exécuter indépendamment les uns des autres, mais ils sont synchronisés. Des graphes de précédances et des graphes de communications sont utilisés. Puisque l'assignation des tâches est de complexité NP, des algorithmes de type A* modifiés doivent être mis au point.

Les deux volets comportent des aspects fondamentaux nécessaires aux prototypes de laboratoire, qui sont testés à l'Institut de recherche d'Hydro-Québec et au laboratoire de calcul parallèle de l'École de Technologie Supérieure. L'originalité des travaux est dans l'adaptation de la structure du réseau d'ordinateurs à celle du réseau électrique. L'importance est dans l'augmentation de l'efficacité de grands réseaux électriques.

Le professeur Jean-Louis Houle dirige des projets d'implantation en VLSI d'architectures parallèles pour le traitement temps réel de signaux et d'images. Il s'intéresse à la réalisation en FPGA d'algorithmes pour des applications spécifiques en utilisant en particulier des transformées en ondelettes (wavelets). Il travaille aussi sur des algorithmes parallèles pour le traitement de matrice creuses (sparse) appliquées à l'analyse dynamique de la sécurité des grands réseaux électriques ainsi qu'à la simulation de leur instabilité transitoire. Il codirige trois étudiants de cycles supérieurs à l'IREQ et cinq autres au laboratoire GRM (au total 3 doctorats et 4 maîtrises).

Collaborations universitaires et industrielles:

Des collaborations avec le professeur Jacob Davidson de l'Université du Québec à Montréal se poursuivent sous forme de codirection de recherche au 2ième et 3ième cycles. En particulier, un étudiant de M.Sc.A., Philippe Guénette en stage chez FOCAM Technologies Inc. A conçu un circuit analogique programmable et reconfigurable en BiCMOS, 0,8mm en FPAA (Field Programmable Analog Array). Ce circuit a été fabriqué à la SCM.

Le professeur Jean-Paul Longuemard de l'École Centrale de Paris continue de collaborer dans le domaine des essais non-destructifs qui ont amené un design de processeurs spécialisés en parallèle pour le calcul de la transformée rapide en ondelettes. Des démarches sont en cours avec les Sociétés Prate Design de France et Bioma Recherche Inc. de Montréal sur la conception et réalisation de systèmes microélectroniques et informatiques appliqués à des domaines médicaux et industriels.

Activités du professeur Kaminska

Les activités de recherche de la professeure Bozena Kaminska pour 1996-1997 sont principalement concentrées dans les domaines suivants:

- Technologie d'interconnexion et de commutation à grande vitesse destinée aux réseaux de communication à fibres optiques et optoélectroniques avec une attention plus marquée aux services à large bande. En particulier, elle concentre ses efforts dans les domaines de l'interconnexion optique entre les organes d'entrée et les réseaux à fibres optiques. La conception de circuits à haute vitesse est basée sur des technologies rapides AsGa de la société TriQuint Semiconductors, Oregon. Notre matrice de commutation fabriquée et testée avec une fréquence maximale qui dépasse 3.4 GHz est destinée aux protocoles multiples de communication. Nous avons réalisé également des récepteurs optiques et différentes autres structures à haute vitesse et haute performance. Ces travaux sont réalisés en collaboration avec nos partenaires industriels, NHC Communications, Conseil National de Recherche et OPCOM.

- Test et conception de circuits analogiques et mixtes, analogiques et numériques. Notre but est de développer un ensemble d'outils qui permettent d'intégrer la conception et le test.

Collaboration industrielle

Les partenaires industriels principaux de nos activités sont:

- NHC Communication Inc. et hfOPTEX Inc. Nous travaillons ensemble sur les matrices de commutations ainsi que sur le système optoélectronique.

- OPMAXX Inc. est notre collaborateur dans le domaine du test de circuits analogiques et mixtes.

Le concept de développement aide à la conception axée sur la vérification systématique et la génération de vecteurs de test pour les circuits analogiques et mixtes durant toutes les phases de la conception. Cet ensemble d'outils aide à concevoir des circuits et systèmes analogiques et mixtes facilement testables, "manufacturables" et auto-testables en cas de besoin. Ils peuvent être utilisés pour déterminer l'ensemble minimal de vecteurs de test permettant une couverture de panne maximale. Le projet est constitué de cinq éléments:

- Un outil d'aide à la conception et à l'optimisation des circuits et systèmes microélectroniques utilisant l'analyse de sensibilité.
- Un outil de génération de vecteurs de test pour les circuits analogiques.
- Un outil de génération de vecteurs de test pour les circuits mixtes.
- Un outil d'aide à la conception pour la manufacturabilité intégrant la conception et le test à toutes les phases de production.
- Un outil d'insertion automatique de BIST pour les circuits mixtes.

Activités du professeur Lanctôt

Le professeur Lanctôt agit en tant que représentant de l'École auprès de la Société Canadienne de Microélectronique (SCMC). Il est membre et vice-président du Conseil d'administration de cette société ainsi que de son Comité exécutif. Il a présidé, au cours de 1994, le Comité d'Affectation des Ressources de la SCMC, ainsi que plusieurs autres comités depuis 1989.

Activités du professeur Maciejko

Le professeur Romain Maciejko dirige le laboratoire d'optoélectronique. Sa recherche porte sur l'application à la photonique des matériaux nouveaux, plus spécialement les semi-conducteurs, pour fabriquer de nouveaux composants. Sa recherche a deux volets: un côté théorique et un côté expérimental. Le volet théorique comprend l'étude de la réponse ultra-rapide des semi-conducteurs, notamment le transport des porteurs de charge à l'aide d'un simulateur Monte Carlo produit dans son laboratoire. Nous travaillons particulièrement à la simulation des lasers DFB. On a aussi développé une banque de programmes pour simuler des composants optoélectroniques: Cette banque comprend : la méthode de propagation des faisceaux (BPM), la simulation des guides optiques par la méthode des éléments finis, le calcul de bandes dans les semi-conducteurs à l'aide de l'hamiltonien de Kohn-Luttinger, la résolution de l'équation de Schrödinger pour les puits quantiques simultanément avec l'équation de Poisson et d'autres programmes de moindre importance.

Le volet expérimental comprend des activités de fabrication de composant et des activités de caractérisation. La fabrication se fait à partir de couches épitaxiées (nanostructures) obtenues d'autres laboratoires (NORTEL). La caractérisation comprend l'étude de la photoluminescence résolue en temps à l'aide d'un laser titane-saphir femto seconde construit par nous-mêmes. Nous avons fait des études à des températures cryogéniques et nous utilisons un système de comptage de photons ultrasensible pour la détection. Cette caractérisation nous permet d'étudier les processus sur des échelles de temps de l'ordre de 50 femto secondes. De plus, nous avons fabriqué un commutateur optoélectronique ultra-rapide utilisant la photoconduction activée par un laser d'impulsions ultra-brèves. Nous utilisons l'échantillonnage électro-optique pour caractériser des circuits in situ grâce à des effets photoréfractifs.

Depuis plusieurs années, nous avons eu des collaborations soutenues avec les laboratoires des Technologies Nortel à Ottawa, impliquant entre autre chose, l'embauche d'un de nos étudiants de façon permanente et l'engagement d'un stagiaire pour 8 mois. On sait que ce laboratoire est un des chefs de file dans le domaine de la photonique au niveau mondial. Il serait peut-être bon de rappeler ici que professeur Maciejko, avant de venir à l'École Polytechnique, a été à l'emploi des Recherches Bell Northern à Ottawa pendant 6 ans dont 3 ans comme directeur du laboratoire des Applications des Fibres Optiques au Laboratoire des Technologies de Pointe (Advanced Technology Laboratory). Depuis mars 1997, seulement, nous avons produit 12 publications et comptes rendus de conférence avec des chercheurs de Nortel.

De plus, notre collaboration avec le Dr E Berolo du Centre de Recherche sur les Communications du Canada à Ottawa (CRC) offre des possibilités superbes pour la fabrication. Nous avons identifié les AOS comme un dispositif-clé offrant beaucoup de possibilités pour les futurs systèmes. Parmi les applications possibles des AOS, on peut citer un convertisseur pour les systèmes de multiplexage en longueur d'onde (WDM); c'est ce dernier aspect qui intéresse d'une façon toute particulière les laboratoires CRC. Il y a déjà une collaboration entre le Dr. Berolo du CRC et le professeur Maciejko de l'École Polytechnique pour l'étude et la réalisation d'AOS pour les applications dans le domaine du multiplexage en longueur d'onde. Un étudiant au doctorat a déjà été choisi pour travailler sur ce projet.

Suite à notre subvention stratégique du CRSNG avec les professeurs Leonelli de l'Université de Montréal et Denis Morris de l'Université de Sherbrooke, nous maintenons des rapports étroits avec de dernier. Un de nos étudiants utilise de temps à autre son laboratoire pour faire certaines mesures. Nous avons produit quelques publications ensemble.

Nous avons aussi eu un projet entre notre laboratoire et celui du professeur Claude Alibert de Montpellier, subventionné par le programme France-Québec. Il y a eu plusieurs échanges de stages entre les deux laboratoires.

De par le passé, nous avons eu des professeurs visiteurs, dont le professeur R. Chisleag de Bucarest et le professeur Pierre Tronc de l'ESPCI de Paris (là où les Currie ont découvert le radium). Ce dernier est venu nous visiter régulièrement, presque à chaque année, pour faire des études de luminescence sur des matériaux à puits quantiques. De plus, une de ses étudiantes au doctorat est venue faire un stage de 3 mois au Laboratoire d'optoélectronique. Ces travaux ont mené à 5 publications conjointes.

Activités du professeur Sawan

Le professeur Sawan dirige une équipe de recherche ayant des activités qui se diversifient selon sept grandes priorités:

1. la conception VLSI et le test des circuits intégrés numériques et analogiques
2. la conception des systèmes pour l'acquisition, l'analyse et la génération des signaux ainsi que le traitement d'images;
3. les appareillages médicaux et plus particulièrement les micro stimulateurs et capteurs sensoriels implantables et non-implantables;
4. la conception et la réalisation des circuits mixtes (numérique-analogique) et les différentes technologies d'intégration (PCB, SMT, MCM, etc…);
5. les circuits intégrés reprogrammables FPGA (Field Programmable Gate Arrays), FPAD (Field Programmable Analog Devices) FPMA (Field Programmable Mixed-Arrays) et les systèmes reconfigurables.
6. les systèmes ultrasoniques portables;
7. la synthèse de haut niveau des circuits électroniques analogiques et mixtes.

L'ensemble de ces priorités s'articule autour de deux objectifs essentiels suivants:

1. la mise au point de fonctions et de systèmes complets servant à des applications industrielles variées;
2. la création des outils de haute performance servant à la récupération des organes et/ou des fonctions chez les patients ayant perdu l'usage (ou n'ayant pas) de ces fonctions.

La plupart de ces outils regroupent l'ensemble des activités non seulement en microélectronique mais dans les différentes activités en sciences et génie. Autrement dit, ce type de projet pluridisciplinaire implique des connaissances en physique, mécanique, chimie, biologie, biomatériaux, micromachinage, médecine, etc… Nous nous intéressons présentement à développer un bon nombre de systèmes soient: un implant urinaire composé d'un capteur et d'un stimulateur servant à contrôler les deux fonctions de la vessie (rétention et incontinence); un implant visuel dédié à la récupération d'une vision acceptable chez les non-voyants; un système de stimulation dédié à la récupération de mouvements simples de bras paralysés qui est basé sur un modèle de mouvements naturels; un dispositif détecteur de volume d'urine dans la vessie, en se servant d'une technique ultrasonique. Nous nous intéressons au développement d'un circuit non-implantable miniaturisé dédié aux enfants énurétiques; un système de télémétrie pour le test et la surveillance des activités des neurostimulateurs implantables; un cathéter ayant une paire d'électrodes et une paire de capteurs piézo-électriques pour évaluer les pressions d'estomac, de poumons et de l'EMG à plusieurs niveaux.

Ces systèmes dédiés à des applications médicales doivent être très performants, (dimensions réduites et à très basse consommation d'énergie) fiables et flexibles. De plus, et pour répondre aux besoins des applications industrielles, nous élargissons nos activités de recherche et nous nous intéressons à la conception et à la réalisation des fonctions et systèmes analogiques et mixtes. A titre d'exemple, nous développons deux catégories de circuits de conversion analogique à numérique (rapide et à haute précision) qui nécessitent la plupart des fonctions analogiques de base, soit un amplificateur opérationnel à large bande passante et un convertisseur numérique/analogique (DAC), etc. Nous travaillons à la mise au point d'un système de linéarisation des amplificateurs de puissance dédiés aux applications en communication cellulaire et ce système est basé sur un circuit DSP (TMS320C40). Nous proposons des filtres passe-bande reconfigurables et à bande passante très élevée. Des amplificateurs reconfigurables, des préamplificateurs à très faible niveau de bruit et à large bande passante, des PLL (Phase-Look Loop) à grande plage d'opération et des circuits intégrés mixtes programmables font aussi l'objet de nos travaux de recherche. Nous traitons des circuits en mode courant et en courant commuté. Dans le cadre de l'implant visuel, nous nous intéressons à la réalisation d'un capteur d'image et de traitement complet de l'image reçue, sur la même puce de silicium CMOS. Pour plus de détails sur les différents projets, le lecteur est invité à lire les descriptions des projets d'étudiants dans ce rapport.

Le professeur Sawan est co-fondateur de l'IFESS (International Function Electrical Stimulation Society), membre de l'AUE (Association for Urology and Engineering) et membre de plusieurs comités de programme de conférences nationales et internationales. À l'École Polytechnique, le professeur Sawan est fondateur du laboratoire de recherche PolyStim (Laboratoire de neurotechnologie) et coordonnateur de l'enseignement de la microélectronique au département de génie électrique et génie informatique à l'École Polytechnique.

ÉTUDIANTS AUX CYCLES SUPÉRIEURS

Étudiants aux cycles supérieurs ont effectué des recherches associées à l'équipe durant la période couverte par ce rapport:

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
Abderrahman, Abdessatar	Ph.D.	B. Kaminska	E. Cerny
Abou-Khali, Michel	Ph.D.	K. Wu	R. Maciejko
Achard, Éric	M.Sc.A.	Y. Savaria	Y. Blaquière
Achour, Chokri	Ph.D.	J.-L. Houle	J. Davidson
Antaki, Bernard	M.Sc.A.	Y. Savaria	
Arabi, Karim	Ph.D.	B. Kaminska	
Assaad, Maher	Ph.D.	Y. Savaria	
Assi, Ali	Ph.D.	M. Sawan	
Balazinski, Bartosz	M.Sc.A.	J.-L. Houle	
Beauchamp-Parent, Alexandre	M.Sc.A.	M. Sawan	
Beaudin, Sylvain	M.Sc.A.	M. Bois	R. Marceau
Bélanger, Normand	Ph.D.	Y. Savaria	
Belhaouane, Adel	Ph.D.	Y. Savaria	B. Kaminska
Boubezari, Samir	Ph.D.	B. Kaminska	E. Cerny
Bourret, Sylvain	M.Sc.A.	M. Sawan	
Boyer, François-Raymond	Ph.D.	M. Aboulhamid	Y. Savaria
Boyer, Stéphane	M.Sc.A.	M. Sawan	
Boyogueno Bendé, André	Ph.D.	B. Kaminska	
Brais, Louis-Philippe	M.Sc.A.	M. Sawan	
Calbaza, Dorin-Emil	M.Sc.A.	Y. Savaria	
Campagna, Isabelle	M.Sc.A.	G. Bois	
Cantin, Marc-André	M.Sc.A.	Y. Blaquière	Y. Savaria
Cantin, Pierre-Luc	M.Sc.A.	M. Sawan	
Chabini, Nourreddine	M.Sc.A.	M. Aboulhamid	Y. Savaria
Chen, Jianyao	Ph.D.	R. Maciejko	
Contandriopoulos, Nicolas	M.Sc.A.	Y. Savaria	Y. Blaquière
Cousineau, Cynthia	M.Sc.A.	Y. Savaria	
Crampon, Marie-Agathe	M.Sc.A.	M. Sawan	
Deslauriers, Yann	M.Sc.A.	Y. Savaria	
Djebbar, Abderrahmane	M.Sc.A.	G. Bois	
Djemouai, Abdelouahab	Ph.D.	M. Sawan	
Donfack, Colince	M.Sc.A.	Y. Savaria	
Ehsanian-Mofrad, Mehdi	Ph.D.	B. Kaminska	
El-Hassan, Fadi	M.Sc.A.	Y. Savaria	M. Sawan
Fortin, Guillaume	M.Sc.A.	B. Kaminska	
Fouzar, Youcef	Ph.D.	Y. Savaria	
Gadiri, Abdel Karim	Ph.D.	Y. Savaria	
Gagnon, Mathieu	M.Sc.A.	B. Kaminska	
Gagnon, Yves	M.Sc.A.	M. Meunier	Y. Savaria
Granger, Éric	Ph.D.	Y. Savaria	
Güçlü, Alev Devrim	M.Sc.A.	R. Maciejko	
Guénette, Philippe	M.Sc.A.	J.-L. Houle	J. Davidson
Harb, Adnan	M.Sc.A.	M. Sawan	
Harvey, Jean-François	M.Sc.A.	M. Sawan	
Hu, Yamu	M.Sc.A.	M. Sawan	
Jecklen, Ernesto	Ph.D.	M. Sawan	
Khali, Hakim	Ph.D.	Y. Savaria	J.-L. Houle
Lavoie, Michel	Ph.D.	J.-L. Houle	J. Davidson
Le Chapelain, Bertrand	M.Sc.A.	Y. Savaria	G. Bois
Lestrade, Michel	M.Sc.A.	R. Maciejko	

ÉTUDIANTS AUX CYCLES SUPÉRIEURS (suite)

Li, Ran	M.Sc.A.	G. Bois	
Michaud, Guy	M.Sc.A.	J.-L. Houle	P. Cohen
Moujoud, Abderrafia	Ph.D.	R. Maciejko	
Nekili, Mohamed	Ph. D.	Y. Savaria	G. Bois
Nsame, Pascal	Ph.D.	Y. Savaria	
Oudghiri, Houria	Ph.D.	B. Kaminska	
Patenaude, Serge	M.Sc.A.	Y. Savaria	
Poiré, Pascal	M.Sc.A.	Y. Savaria	
Pronovost, Natalie	M.Sc.A.	J.-L. Houle	
Rabel, Claude-Eddy	Ph.D.	M. Sawan	
Rahal, Ali	Ph.D.	R. Bosisio	M. Sawan
Reid, Benoit	Ph.D.	R. Maciejko	
Rejeb, Chedly	Ph.D.	R. Maciejko	
Ridouh, Kamel	M.Sc.A.	G. Bois	
Robin, Simon	M.Sc.A.	M. Sawan	
Romain, Luc	M.Sc.A.	M. Sawan	
Roy, Martin	M.Sc.A.	M. Sawan	
Ryel, Kim	M.Sc.A.	R. Maciejko	
Sahraoui, Nadjiba	Ph.D.	G. Bois	
Schneider, Éric	M.Sc.A.	Y. Savaria	
Shaditalab, Manoucher	M.Sc.A.	M. Sawan	G. Bois
Shaiek, Boubahar	M.Sc.A.	B. Kaminska	
Sylla, Iboun Tainiya	Ph.D.	B. Kaminska	
Teghbit, Saliha	M.Sc.A.	M. Sawan	
Thériault, Lévis	M.Sc.A.	D. Audet	Y. Savaria
Vado, Patrice	M.Sc.A.	Y. Savaria	
Vaillancourt, Pierre	M.Sc.A.	M. Sawan	
Voghell, Jean-Charles	M.Sc.A.	M. Sawan	
Wong, Tony	Ph.D.	J.-L. Houle	

ÉTUDIANTS RÉCEMMENT INSCRITS

Nom de l'étudiant	Diplôme en cours	Directeurs	Codirecteurs
Bilodeau, Marc	M.Sc.A.	Y. Savaria	
Boukari, Zahir	M.Sc.A.	Y. Savaria	
Delage, Jean-François	M.Sc.A.	M. Sawan	
Kerkoud, Rachid	M.Sc.A.	Y. Savaria	
Mongeau, Robert	Ph.D.	G. Bois	

Titres des projets et diplômes en cours de chaque étudiant

Cette section du document contient une liste de projets avec le nom des personnes concernées. Par la suite, nous fournissons plus de détails sur chacun des projets en insistant sur les réalisations.

Nom de l'étudiant - diplôme en cours - le titre de son projet

Abderrahman, A.	Ph.D.	Génération de tests robustes pour les circuits analogiques linéaires.
Abou-Khali, M.	Ph.D.	Modélisation du transport des porteurs de charge dans les dispositifs photoniques et à puits quantiques par la méthode Monte-Carlo.
Achard, E.	M.Sc.A.	Système de correction d'erreurs en temps réel dans le cas de la vision 3-D par ordinateur.
Achour, C.	Ph.D.	Architecture VLSI pour la compression d'images par ondelettes.
Antaki, B.	M.Sc.A.	Outil d'étude des comportements de circuits logiques CML lorsqu'en présence de différents défauts et conception de détecteurs pour augmenter leur testabilité.
Arabi, K.	Ph.D.	Conception pour la fiabilité des systèmes biomédicaux implantables.
Assaad, M.	Ph.D.	Conception en technologie CMOS d'un système de recouvrement d'horloge/données pour des signaux vidéo (HDTV).
Assi, A.	Ph.D.	Techniques de conception de circuits analogiques intégrés à haute performance en CMOS.
Balazinski, B.	M.Sc.A.	Événements asynchrones générés par un commutateur numérique utilisé en téléphonie mobile.
Beauchamp-Parent, A.	M.Sc.A.	Conception et réalisation d'une alarme de conditionnement ultrasonore reconfigurable dédiée au traitement de l'énurésie nocturne.
Beaudin, S.	M.Sc.A.	Simulation rapide avec PULSE de la stabilité transitoire dans les réseaux de transport d'énergie électrique.
Bélanger, N.	Ph.D.	Outils et méthodes pour le traitement parallèle de calculs sur des tableaux.
Belhaouane, A.	Ph.D.	Modélisation d'un échantillonneur rapide et reconstitution d'un signal à partir d'un nombre fini d'intervalles.
Boubezari, S.	Ph.D.	Analyse de testabilité et insertion de points test au niveau transfert de registres.
Bourret, S.	M.Sc.A.	Proposition d'une stratégie de stimulation neuro-musculaire uniarticulaire en boucle ouverte et mise au point d'un étage de sortie pour microstimulateur intégré.
Boyer, F.-R.,	Ph.D.	Optimisation lors de la synthèse de circuits à partir de langages de haut niveau.
Boyer, S.	M.Sc.A.	Nouvel implant urinaire dédié à la stimulation neurale sélective.
Boyogueno Bendé, A.	Ph.D.	Techniques de conception et testabilité des circuits intégrés optoélectroniques en GaAs, application aux communications optiques.
Brais, L.-P.	M.Sc.A.	Égalisateur adaptatif numérique haute performance pour signaux QAM.
Calbaza, D. -E.	M.Sc.A.	Conception d'un circuit de synthèse numérique de fréquence.
Campagna, I.	M.Sc.A.	Réalisation logicielle/matérielle du standard Universal ADSL pour modem de haute performance.
*Cantin, M.*A.	Ph.D.	Implantation du réseau de neurones Fuzzy ART.
Cantin, P.-L.	M.Sc.A.	Interface universelle pour capteurs.
Chabini, N.-E.	M.Sc.A.	Estimation des performances d'applications exprimées en ANSI C en vue d'être implémentées sur un système SIMD.

Titres des projets et diplômes en cours de chaque étudiant (suite)

Chen, J.	Ph.D.	Modélisation et analyse d'un semi-conducteur laser DFB couplé par gain.
Contandriopoulos, N.	M.Sc.A.	Partitionnement logiciel/logiciel automatique sur des architectures parallèles hétérogènes.
Cousineau, C.	M.Sc.A.	Conception et mise en œuvre d'un système de reconfiguration dynamique.
Crampon, M.-A.	M.Sc.A.	Réalisation d'une électrode de stimulation nerveuse basée sur une armature en alliage à mémoire de forme.
Deslauriers, Y.	M.Sc.A.	Conception d'un circuit qui insère/extrait en temps réel des données ancillaires dans une trame vidéo.
Djebbar, A.	M.Sc.A.	Accélération d'un décodeur Reed-Solomon sur une plate forme logicielle-matérielle DSP-FPGA.
Djemouai, A.	Ph.D.	Interface transcutanée bidirectionnelle dédiée aux implants neuro-musculaires.
Donfack, C.	M.Sc.A.	Stimulateur de caractérisation et de test in vivo des électrodes dédiées à un implant visuel.
Ehsanian-Mofrad, M.	Ph.D.	Convertisseur analogique-numérique de type intervalle à haute résolution et à grande vitesse.
El-Hassan, F.	M.Sc.A.	Implantation du décodeur de Viterbi sur une plate-forme mixte matériel logiciel.
Fortin, G.	M.Sc.A.	Conception de circuits en AsGa pour la transmission de données par fibre optique.
Fouzar, Y.	Ph.D.	Conception de circuits intégrés CMOS très rapides dédiés à des interfaces de communication.
Gadiri, A.	Ph.D.	Échantillonnage parallèle multi seuils, théorie et applications.
Gagnon, M.	M.Sc.A.	Conception d'un récepteur optique en CMOS.
Gagnon, Y.	M.Sc.A.	Restructuration pour faisceau laser des circuits intégrés VLSI.
Granger, É.	Ph.D.	Étude des réseaux de neurones artificiels pour la reconnaissance rapide d'impulsions radars.
Güçlü, A.D.	M.Sc.A.	Étude théorique des dispositifs à puits quantiques par la méthode Monte Carlo.
Guénette, P.	M.Sc.A.	Circuits analogiques programmables et reconfigurables en microélectronique.
Harb, A.	Ph.D..	Détection des activités neuronales vésicales et leur utilisation pour récupérer la fonction de la rétention.
Harvey, J.-F.	Ph.D..	Intégration d'un contrôle externe dédié à un implant visuel.
Hu, Y.,	M.Sc.A.	Réduction de bruit 1/f de préamplificateur.
Jecklen, E.,	Ph.D.	Technique de linéarisation numérique des amplificateurs de puissance.
Khali, H.	Ph.D.	Algorithmes et architectures spécialisés pour un système optique autosynchronisé à précision accrue.
Lavoie, M.	Ph.D.	Calculs de stabilité de réseaux en temps réel pour architectures de processeurs parallèles.
Le Chapelain, B.	M.Sc.A.	Développement d'une bibliothèque TSPC de haute performance et conception de gros blocs logiques TSPC (Convolueur 3*3).
Lestrade, M.	M.Sc.A.	Modélisation et caractérisation de diodes lasers.
Li, R.	M.Sc.A.	Estimateurs de performance pour contrôleurs embarqués de haute performance.
Michaud, G.	M.Sc.A.	Génération de vues par ondelettes.
Moujoud, A.	Ph.D.	Échantillonnage électro-optique.
Nekili, M.	Ph.D.	Synthèse de réseaux de distribution d'horloge en présence de variations des procédés de fabrication.
Nsame, P.	Ph.D.	Techniques et méthodes de conception des systèmes intégrés.
Oudghiri, H.	Ph.D.	Algorithme de partitionnement hardware/software au niveau système.

Titres des projets et diplômes en cours de chaque étudiant (suite)

Patenaude, S.	M.Sc.A.	Modélisation des pannes dans les circuits numériques rapides réalisés en technologie bipolaire ECL et CML.
Poiré, P.	M.Sc.A.	Conception d'un système de post traitement vidéo pour un corrélateur optique.
Pronovost, N.	M.Sc.A.	Système géomatique pour la télésurveillance d'un réseau de câblo-distribution.
Rabel, C.-E.	Ph.D.	Conception et réalisation d'un FPMA («Field Programmable Mixed-Signal (Digital-Analog) Array»).
Rahal, A.	Ph.D.	Étude et conception de sources de fréquence intégrée en ondes millimétriques.
Reid, B.	Ph.D.	Étude de la dynamique ultra-rapide des porteurs dans les nanostructures.
Rejeb, C.	Ph.D.	Étude des processus de transfert ultra-rapides des porteurs dans les hétérostructures.
Ridouh, K.	M.Sc.A.	Méthodes de conception automatique de circuits haute performance.
Robin, S.	M.Sc.A.	Développement de stimulateurs neuro-musculaires implantables.
Romain, L.	M.Sc.A.	Conception d'un cathéter servant à mesurer la pression trans-diaphragmatique et l'électromyogramme du diaphragme (EMGdi).
Roy, M.	M.Sc.A.	Prototype d'un système électronique dédié à un stimulateur visuel implantable.
Ryel, K.	M.Sc.A.	Étude théorique sur des cristaux photoniques bidimensionnels pour un système *InGaAsPInP* dans l'infrarouge proche et dans le visible.
Sahraoui, N.	Ph.D.	Partitionnement sous contraintes de ressources pour la synthèse automatique d'architectures reconfigurables.
Schneider, E.	M.Sc.A.	Un émetteur récepteur RF de haute performance pour des capteurs implantables.
Shaditalab, M.	M.Sc.A.	Conception d'une transformée rapide de Fourier (TRF) reconfigurable basée sur une architecture parallèle et pipelinée.
Shaiek, B.	M.Sc.A.	Implantation de BIST basé sur la stratégie de test par oscillation.
Sylla, I.T.	Ph.D.	Analyse de la testabilité des circuits RF.
Teghbit, S.	M.Sc.A.	Conception d'un système de surveillance du syndrome de la mort subite chez le nourrisson.
Thériault, L.	M.Sc.A.	Développement d'estimateurs de performance pour des applications de co-design logiciel/matériel.
Vado, P.	M.Sc.A.	Conception d'un outil basé sur la méthode dite de mutation permettant la validation de circuits VLSI.
Vaillancourt, P.	M.Sc.A	Étude de la propagation des ondes électromagnétiques d'un lien à fréquence-radio de transfert d'énergie dédié à un implant de stimulation du cortex visuel.
*Voghell, J.*C.	M.Sc.A.	Technique de réalisation de filtres analogiques reconfigurables utilisant des cellules Gm-C.
Wong, T.	Ph.D.	Répartition automatique des tâches dans la simulation en temps réel des réseaux électriques.

Description détaillée des projets d'étudiants

ABDERRAHMAN, Abdessatar **DIPLÔME: Ph.D.**

TITRE:

Génération de tests robustes pour les circuits analogiques linéaires.

RÉSUMÉ:

Le test des circuits analogiques intégrés est un problème difficile et coûteux. On se propose d'élaborer une méthode permettant de générer un ensemble de tests de qualité maximale.

PROBLÉMATIQUE:

Le test des circuits analogiques intégrés est un problème difficile. Cette difficulté émane de la complexité naturelle de ces circuits impliquant un spectre continu de défauts. Cela est dû à la variation continue dans le temps des quantités physiques qui caractérisent ces circuits. Il en résulte une absence de modèle adéquat de défaut similaire à un modèle numérique "collé à". Les effets de masquage causés par les tolérances des paramètres ainsi que l'incertitude que ces derniers induisent sur les caractéristiques de ces circuits compliquent encore plus le problème du test analogique. En outre, la non-linéarité de ces caractéristiques ainsi que le manque d'accessibilité aux nœuds internes rendent ce problème plus complexe.

La génération de vecteurs de test vise à minimiser le coût du test de production tout en assurant une qualité de test maximale. Nous nous proposons donc de mettre en œuvre un algorithme qui permet de générer un ensemble minimal de tests assurant une couverture individuelle maximale pour les composants de circuits analogiques linéaires.

MÉTHODOLOGIE:

Pour assurer une couverture de défauts individuelle maximale, il faut déterminer pour chaque composant la plus petite (responsivité la plus grande) déviation positive (responsivité négative) détectable. Ceci doit être accompli en tenant compte de l'effet maximal de masquage dû à la tolérance des composants. Pour atteindre ce but, le problème de génération de test a été formulé comme une série de problèmes d'optimisation.

RÉSULTATS:

Mise en œuvre d'un algorithme qui génère un ensemble de tests de qualité maximale pour le test de circuits analogiques. Initialement, nous avons résolu les problèmes d'optimisation formulés à l'aide d'une méthode de programmation non-linéaire, en l'occurrence la programmation quadratique séquentielle (SQP) disponible dans l'outil de mathématiques MATLAB. Cependant, de telles méthodes d'optimisation ne peuvent pas garantir que la solution trouvée est globale. Cela peut donc conduire à une sélection erronée de tests affectant ainsi la qualité de l'ensemble de tests généré. De plus, ces méthodes ne sont pas automatiques et dépendent de plusieurs paramètres qui doivent être choisis par un usager expérimenté. Nous avons alors élaboré une nouvelle méthode basée sur la programmation logique de contraintes (CLP), qui permet de résoudre les problèmes d'optimisation formulés comme une série de problèmes de satisfaction de contraintes. Cette méthode est automatique et génère des bornes étroites, infaillibles et garanties à l'intérieur desquelles se trouvent les optimums (minimum et maximum) globaux d'une fonction non-linéaire.

ABOU-KHALI, Michel **DIPLÔME: Ph.D.**

TITRE:

Modélisation du transport des porteurs de charge dans les dispositifs photoniques et à puits quantiques par la méthode Monte-Carlo.

RÉSUMÉ:

Le projet consiste à développer et valider un modèle numérique pour la simulation du transport des porteurs de charge. Le programme porte sur la simulation des dispositifs réels et sur le traitement animé des résultats numériques. Le modèle englobe entre autre les effets quantiques sur les hétérojonctions par un calcul autoconsistant.

PROBLÉMATIQUE:

La simulation du transport des porteurs de charge nécessite la connaissance des distributions moyennes de l'état énergétique des porteurs dans le temps ainsi que dans l'espace de phase. La distribution de vitesse, l'occupation des bandes d'énergie et la densité de porteurs sont des exemples de quantités physiques importantes à analyser par le modèle. De plus, puisque la distribution des porteurs modifie le potentiel effectif et le champ électrique dans le dispositif, il est donc nécessaire de suivre simultanément cette variation.

MÉTHODOLOGIE:

La méthode utilisée pour modéliser le transport inclut l'étude de la dynamique des porteurs, leur interaction avec le réseau cristallographique ainsi que leur interaction avec d'autres porteurs. Les porteurs sont considérés comme des particules classiques: leur dynamique est dominée par l'influence des forces extérieures, qui modifient leur énergie et leur parcours. D'autre part, les interactions physiques sont connues sous forme de différents types de diffusion et sont exprimés par un taux et une probabilité déterminée en fonction de l'énergie. L'application de cette méthode dans des dispositifs réels exige une considération détaillée de la déformation des bandes, des niveaux d'énergie quantifiés, de leurs fonctions d'onde correspondantes ainsi que de la distribution des porteurs dans chaque niveau. Cela est réalisé par le calcul autoconsistant de la méthode Monte-Carlo, de la solution de l'équation de Poisson et de la solution de l'équation de Schrödinger, ce qui forme un ensemble connu sous le nom «Ensemble de Monte-Carlo ».

RÉSULTATS:

Un modèle unipolaire a été réalisé et la vitesse de dérive des électrons dans le GaAs, l'InP et l'AlInAs purs a été calculée. Les résultats sont en bon accord avec d'autres calculs numériques et des mesures expérimentales. L'application de la méthode à la simulation d'un transistor à haute mobilité (HEMT), d'un varactor à barrière quantique (QBV) et du temps de capture dans des puits quantiques a été fait. On a pu tirer la courbe caractéristique courant/voltage du transistor (la courbe I/V) à l'état stationnaire. Dans le cas du varactor, la capacité de la zone d'appauvrissement a été déduite en fonction du voltage appliqué. On a fait la comparaison du caractère oscillatoire du temps de capture calculée en fonction de la largeur du puits avec d'autres méthodes numériques. Les oscillations obtenues sont en bon accord avec les résultats publiés. Une application directe du schéma proposé a permis la publication du calcul de temps de capture dans une structure GRINSCH (Graded-index Separate-Confinement Heterostructure) pour les diodes lasers.

ACHARD, Éric **DIPLÔME: M.Sc.A.**

TITRE:

Système de correction d'erreurs en temps réel pour un système de vision 3-D par ordinateur.

RÉSUMÉ:

La vision par ordinateur constitue un domaine d'application de haute performance principalement dans le cas d'applications temps-réel comme la robotique. Dans le cas des systèmes optiques, une attention toute particulière est donnée à l'exactitude et à la précision des données mesurées en prévision des traitements ultérieurs. Le projet consiste à concevoir un système qui permet d'effectuer la correction d'erreurs pour des débits de données de 1 million de points 3-D par seconde.

PROBLÉMATIQUE:

Dans un système optique de mesure, les caractéristiques physiques et géométriques des objets à étudier peuvent influencer grandement l'exactitude des mesures. Lorsque les surfaces à analyser sont uniformes, le signal capté au niveau du détecteur optique dans un système basé sur une illumination laser active est de type gaussien. Cependant, une variation de réflectance ou de profondeur peut entraîner une déformation du spot laser engendrant ainsi une erreur de mesure. Le but du projet est de concevoir un circuit intégré qui corrige cette erreur en temps réel.

MÉTHODOLOGIE:

- Identification des goulots d'étranglement de l'algorithme;
- Optimisation de l'algorithme;
- Recherche d'architectures pour l'implantation de l'algorithme;
- Implantation de certaines de ces architectures;
- Détermination de celles qui obtiennent le meilleur rapport performance-coût.

RÉSULTATS:

Une étude approfondie de l'algorithme nous a rapidement démontrée que son implantation dans un circuit intégré serait difficilement réalisable dû à la dimension des circuits de multiplication et de division à virgule flottante. Une implantation du système basée sur trois DSP ainsi qu'un générateur d'adresses couplé avec des tables de référence a donc été réalisée et simulée. Cette version du système nous a permis de découvrir qu'un goulot d'étranglement existe au niveau des communications entre les processeurs. Une version logicielle a donc été développée afin d'être exécutée sur deux DSP: le TMS320C40 de Texas Instruments et le ADSP-21060 de Analog Devices. Le ADSP-21060 a atteint les performances désirées. Finalement, une implantation sur FPGA a été étudiée. Elle utilise un format de nombre à virgule fixe et a facilement passé le cap des 1 million de points par seconde.

ACHOUR, Chokri **DIPLÔME: Ph.D.**

TITRE:

Architecture VLSI pour la compression d'images par ondelettes.

RÉSUMÉ:

La compression d'images par ondelettes (CIO) est un outil puissant pour plusieurs applications où la compression par transformée en cosinus discrète (TCD) est limitée. Par l'utilisation d'une architecture VLSI, l'algorithme de compression d'images par ondelettes peut être mis en œuvre en un circuit ASIC plus facilement que ceux utilisés par la transformée en cosinus discrète.

PROBLÉMATIQUE:

Dans le domaine de compression d'images numériques en temps réel, on utilise généralement la transformée en cosinus discrète (TCD). Cependant, cette méthode présente certains inconvénients. D'une part, elle requiert un certain nombre d'opérations mathématiques de l'ordre de n^2 multiplications. D'autre part, elle a besoin d'un volume de mémoire assez grand. Une représentation qui tient compte de ces limites est celle de la compression d'images par ondelettes (CIO). Cette dernière offre plusieurs avantages ; un ratio élevé de compression, une excellente qualité d'image et une méthode de décompression progressive.

Les processeurs de traitement de signal "digital signal processors" (DSP) sont conçus autour d'architectures d'utilisation généralisée et ne sont pas optimisés pour un algorithme en particulier tel que la CIO. La conception d'une architecture VLSI spécialisée pour la CIO (avec une option d'une solution en co-design) permet de rendre parallèle autant que possible les calculs de l'algorithme, afin d'augmenter la vitesse de traitement.

MÉTHODOLOGIE:

Les étapes nécessaires à la réalisation d'un circuit VLSI pour la compression d'images par ondelettes (CIO) sont les suivantes:

- Étude de l'algorithme de la TO-2D.
- Modélisation des blocs principaux du processeur.
- Mise en œuvre du processeur dans un circuit intégré programmable FPGA (Field Programmable Gate Array) de la compagnie Xilinx.

RÉSULTATS:

Une architecture VLSI de la CIO a été simulée à l'aide de quatre processeurs élémentaires (PE) avec des signaux de 16 bits. Chaque PE est une unité de traitement indépendante qui calcule une convolution entre les échantillons du signal et une ondelette analysante. Le résultat de chaque PE, coefficients de l'ondelette, est envoyé vers un bus de sortie de 32 bits. Un modèle réduit de l'architecture de la CIO comprenant deux PE de 8 bits a été mis en œuvre dans le FPGA de Xilinx-XC4010.

ANTAKI, Bernard **DIPLÔME: M. Sc. A.**

Titre:

Outil d'étude des comportements de circuits logiques CML lorsqu'en présence de différents défauts et conception de détecteurs pour augmenter leur testabilité.

RÉSUMÉ:

La première étape consiste à caractériser une libraire de cellules CML (Current-Mode-Logic) pour identifier les pannes possibles (comportements anormaux) ainsi que leur fréquence d'occurrence. La seconde étape consiste à trouver des méthodes intégrées de détection de pannes pour obtenir une bonne couverture de pannes tout en occupant une proportion acceptable de la surface d'une puce. La dernière étape propose une librairie de cellules améliorées pour la testabilité de la technologie étudiée. Deux stages de 4 mois en entreprise ont fait parti du projet, permettant d'avoir accès aux données industrielles nécessaires pour étoffer les recherches. Ce travail a été fait grâce à une collaboration étroite avec Serge Patenaude.

PROBLÉMATIQUE:

Bien que les circuits ECL (très similaires au CML) soient connus depuis longtemps, l'intérêt de les utiliser dans les circuits VLSI n'est survenu que récemment (10 dernières années). Auparavant, les courants de polarisation des cellules étaient non négligeables à grande échelle, demandant une dissipation de puissance impossible à obtenir. Toutefois, avec la miniaturisation des transistors, ces courants se sont réduits. Ainsi, des fréquences au-delà du GHz sont accessibles. Toutefois, les techniques de test ne sont pas encore mûres pour cette technologie. Quelques auteurs ont tenté d'appliquer des méthodes utilisées en CMOS, mais ont observé une faible couverture de pannes pour ces architectures, basées que sur des transistors bipolaires.

MÉTHODOLOGIE:

En se basant sur les problèmes rencontrés par certains auteurs pour détecter des pannes dans les circuits ECL, des outils de caractérisation des cellules ont été développés. Ceux-ci se basent sur des extraits de dessins de masques générés par l'outil Cadence pour ensuite simuler les circuits en présence de défaut avec Spectre ™. Par la suite, une étude probabiliste est appliquée aux résultats pour estimer l'importance de certains types de pannes pour cette technologie. En identifiant les pannes les plus probables et qui somme toute donne une meilleure couverture des pannes possibles, nous pourrons établir et construire des méthodes de tests pratiques et efficaces pour combler le manque dans les techniques actuelles.

En parallèle à la conception de ces outils, une étude simplifiée des comportements des portes en présence de certains défauts nous ont montré qu'une certaine classe de panne revenait souvent. Sachant ceci, un premier détecteur a été développé et est en instance d'être breveté.

RÉSULTATS:

Une recherche bibliographique a été faite et un ensemble de pannes typiques a été assemblé. Des outils flexibles de caractérisation de pannes ont été développés et sont prêts à être utilisés. Leur flexibilité permettra de vérifier facilement de nouveaux détecteurs, leur couverture de pannes et l'apport que ceux-ci apportent vis-à-vis d'autres méthodes de détection.

Nous avons aussi développer de nouvelles techniques de test et de détecteurs adaptés. Nous travaillons à l'intégration des éléments proposés dans une technologie commerciale ayant une couverture de pannes satisfaisant les normes industrielles.

ARABI, Karim **DIPLÔME: Ph.D.**

TITRE:

Conception pour la fiabilité des systèmes biomédicaux implantables.

RÉSUMÉ:

Le but de cette thèse est d'établir une approche globale permettant de vérifier l'état des systèmes implantables et celui du patient via un lien de télémétrie. Des techniques efficaces pour la conception des prothèses implantables télétestables et fiables seront donc développées. La même approche doit assurer la biotélémétrie des paramètres biologiques et cliniques. Les informations récupérées permettront, entre autres, la localisation des pannes des circuits électroniques et des électrodes, la calibration des convertisseurs numériques/analogiques, la surveillance de la batterie et la mesure des paramètres cliniques.

PROBLÉMATIQUE:

Suivant le développement initial du stimulateur cardiaque (pacemaker), il y a 35 ans, plusieurs systèmes implantables ont été mis au point pour traiter différentes anomalies. Aujourd'hui une grande variété de systèmes implantables commercialisés aide à améliorer l'état de santé de nombreux patients ainsi qu'à sauver plusieurs vies. Il s'agit du stimulateur cardiaque, de la prothèse cochléaire, de la prothèse respiratoire, des stimulateurs de muscles paralysés, du stimulateur pour contrôler la douleur, des systèmes implantables pour injecter un médicament, etc. La plupart des systèmes implantables existants ne sont pas testables une fois implantés, ce qui diminue leur fiabilité. De plus, les techniques de télémétrie qui servent à vérifier l'état du patient sont complexes et requièrent une grande surface de silicium. La nécessité de mettre au point une méthode simple et pratique pour vérifier l'état du patient et celui du système implantable est alors évidente.

MÉTHODOLOGIE:

Afin d'améliorer la fiabilité des systèmes implantables en utilisant la télémétrie, nous procédons de la manière suivante:

- Étudier les systèmes télétestables en général en vue de les appliquer aux systèmes biomédicaux implantables
- Développer des méthodes efficaces et simples pour le test intégré des circuits mixtes et spécifiquement des circuits implantables.
- Développer une technique de télémétrie afin de surveiller l'état du patient et du système implanté.
- Définir un nouveau protocole de communication bidirectionnelle et fiable qui assure la transmission de données entre le médecin et l'implant.

L'intégration des circuits électroniques sera basée sur la technologie CMOS ou BiCMOS.

RÉSULTATS:

Nous avons établi une méthode permettant de vérifier l'état du patient, celui de l'implant et de ses électrodes. Les résultats sont très encourageants. Des approches efficaces pour prévenir les pannes dans les circuits électroniques implantables ont été aussi développées.

ASSAAD, Maher **DIPLÔME : Ph.D.**

TITRE :

Conception en technologie CMOS d'un système de recouvrement d'horloge/données pour des signaux vidéo (HDTV).

RÉSUMÉ :

Mon projet consiste à concevoir et réaliser un système de recouvrement d'horloge/données pour des signaux vidéo (HDTV) transmis à très haut débit (1.5 G bits/Sec.) Ce système fait parti d'un récepteur de signal vidéo, qui doit être conçu et réalisé en technologie CMOS.

PROBLÉMATIQUE :

Il est bien connu que la transmission des données par câble et fibre optique introduit des phénomènes indésirés qui peuvent déformer le signal, comme par exemple, le phénomène d'interférence intersymboles (ISI), le phénomène d'atténuation du signal et l'effet de peau (skin effect), ces deux derniers sont dus aux propriétés physiques du milieu. Donc, le signal reçu au récepteur est différent du signal envoyé par le transmetteur (voire même méconnaissable). Pour compenser les pertes dues aux câbles, on utilise normalement un égaliseur, mais le défi est d'extraire à partir du signal déformé reçu les données et l'horloge aux fréquences auxquelles les données sont envoyées.

MÉTHODOLOGIE :

Les circuits qui fonctionnent à un débit élevé de 1 G bits/sec. et plus, sont souvent réalisés avec des technologies coûteuses comme par exemple : le GaAs, le bipolaire et le BiCMOS. Ce que nous proposons est de réaliser le même type de circuit, mais avec la technologie CMOS, qui est moins coûteuse. Il y a plusieurs méthodes pour réaliser notre système, mais probablement notre approche est d'utiliser un système à verrouillage de phase (PLL).

On procédera de la façon suivante :

- Faire un design schématique de notre système basé sur un PLL;
- Faire des simulations sur Spectre du design schématique conçu pour enfin arriver à optimiser les paramètres de ce design pour répondre à nos spécifications;
- Une fois que les paramètres du circuit sont optimisés, on commence la réalisation au niveau masque.

RÉSULTATS :

Aucun résultat n'est disponible pour le moment.

ASSI, Ali **DIPLÔME: Ph.D.**

TITRE:

Techniques de conception de circuits analogiques intégrés à haute performance en CMOS.

RÉSUMÉ:

Ce travail se divise en deux parties: dans la partie A, le travail se situe dans la catégorie des techniques de réduction de la tension de décalage dans les amplificateurs opérationnels à réaction en courant ("Current Feedback Operational Amplifvier" CFOA). Dans la partie B, il s'agit d'un bloc analogique de base: le convertisseur tension-courant ("Voltage-to-Current-Transducer" VCT), ou encore appelé circuit de transconductance. Une nouvelle architecture est proposée pour les applications à hautes fréquences.

PROBLÉMATIQUE:

Le traitement de signal numérique évolue rapidement, cette évolution grandissante dans l'industrie des circuits intégrés a donné aux circuits analogiques un rôle aussi important que celui de circuits numériques. Les circuits analogiques doivent assurer efficacement l'interface avec le monde extérieur qui est de nature analogique. Bref, les circuits analogiques doivent fonctionner efficacement avec des standards numériques sévères exigés par une technologie qui est fondamentalement optimisé pour des applications numériques. Cette situation a créé de nouveaux défis, auxquels les concepteurs de circuits analogiques doivent faire face.

MÉTHODOLOGIE:

Ce travail traite ce problème selon deux axes. Dans la partie A, une méthode pour réduire la tension de décalage dans les CFOA en technologie CMOS est proposée. Cette méthode utilise deux techniques fréquemment utilisées par les concepteurs des circuits analogiques dans plusieurs applications différentes. Ces deux techniques sont: l'intégration de l'erreur et la rétroaction de courant. En plus, l'utilisation de cette méthode permet d'annuler l'erreur de gain qui provient de l'étage d'entrée du CFOA. Une discussion sur les architectures des CFOAs en technologie CMOS récente est donnée, suivie par la proposition d'une nouvelle architecture d'un CFOA en technologie CMOS procédé 0.8-micron, muni d'un circuit interne pour réduire la tension de décalage.

Dans la partie B, une nouvelle architecture d'un circuit de transconductance pour les applications à haute fréquence est proposée. Une bande passante large avec une bonne linéarité est obtenue en éliminant les nœuds internes dans le circuit et par l'utilisation d'une structure différentielle. Le circuit de transconductance est fabriqué, et deux applications (filtre passe-bande et opamp mode courant) sont données pour illustrer son succès.

RÉSULTATS:

Pour la partie A, les mesures effectuées sur des prototypes du CFOA conçu, démontre le succès de cette méthode pour la réalisation des CFOAs en technologie CMOS à large bande passante, avec des tensions de décalage réduites et sans erreur de gain.

Pour la partie B, les mesures sur les prototypes du circuit sont très satisfaisantes et ouvre la porte sur son utilisation dans les applications à hautes fréquences.

BALAZINSKI, Bartosz **DIPLÔME : M.Sc.A.**

TITRE :

Événements asynchrones générés par un commutateur numérique utilisé en téléphonie mobile.

RÉSUMÉ :

Le projet de recherche consiste à concevoir et à prototyper un système d'acquisition d'événements asynchrones générés par un commutateur numérique, de type AXE-10 de Éricsson, utilisé en téléphonie mobile. Chaque événement est généré par un module (appelé « bloc ») du logiciel de contrôle. Les séquences de ces événements pour chaque appel téléphonique (appelés « chaînes d'appels ») reflètent directement l'architecture et le fonctionnement du logiciel de contrôle. Cependant, d'une part, les événements individuels ne constituent qu'une faible source d'information. Ils doivent être corrélés en chaînes d'appels afin d'obtenir des informations de valeur. D'autre part, la quantité importante de données (environ 800 événements/seconde) rend les analyses très difficiles et nécessite un échantillonnage des chaînes d'appels. C'est pourquoi, le système d'acquisition devra être composé de quatre éléments s'exécutant en temps réel. Premièrement, une interface (protocole basé sur TCP/IP) devra permettre de transférer les événements à partir du commutateur. Ensuite, un décodeur permettra de transformer les événements reçus en structures de données. Puis, ces structures de données seront corrélés en chaînes d'appels en utilisant des algorithmes d'analyse grammaticale. Finalement, les chaînes d'appels seront échantillonnées selon des critères précis pour être stockées dans une base de données.

PROBLÉMATIQUE :

La première étape consiste à obtenir une copie des signaux (événements). Pour ce faire, il faut transférer leur contenu dans des signaux appelés combinés. Ceux-ci ont la propriété d'être envoyés directement d'un bloc à l'autre sans passer par les espaces tampons. Ils sont donc très efficaces. Ainsi formés, les signaux combinés sont envoyés au bloc d'acquisition. Au sein de ce dernier, il sont copiés dans un espace tampon et quand celui-ci est plein son contenu est envoyé à travers une interface réseau vers le système d'acquisition.

Afin d'être capable d'effectuer un traitement quelconque sur les événements il faut, d'abord, les décoder, ou plutôt, les transformer du format utilisé par le commutateur numérique en format compatible avec la station de travail. Comme le logiciel de contrôle ne cesse d'évoluer (cycles d'environ 12 mois) et donc les formats d'événements changent.

Afin d'obtenir de l'information de valeur il faut reconstituer les chaînes d'appels en corrélant les événements d'un même appel téléphonique. Comme il a été précisé dans l'introduction, les chaînes d'événements représentent le fonctionnement du réseau. Donc la séquence des événements dans une chaîne d'appel n'est pas aléatoire mais elle respecte l'agencement des blocs.

Actuellement, cette partie n'a pas encore été entamée. Il faudra finir de prototyper les autres parties du projet avant d'être en mesure d'effectuer les optimisations nécessaires au fonctionnement du système en temps réel.

MÉTHODOLOGIE :

Des techniques de modélisation et de simulation seront utilisées puis vérifiées sur des réseaux réels de téléphonie cellulaire.

RÉSULTATS :

Actuellement, l'auteur a réalisé les parties A et B des approches proposées, et il travaille sur la partie C qui, avec la partie E, constituent le principal de sa recherche. Il prévoit finir ses travaux de recherche à l'automne 1999.

BEAUCHAMP-PARENT, Alexandre **DIPLÔME: M.Sc.A.**

TITRE:

Conception et réalisation d'une alarme de conditionnement ultrasonore reconfigurable dédiée au traitement de l'énurésie nocturne.

RÉSUMÉ:

Ce projet de maîtrise consiste à développer une alarme de conditionnement ultrasonore dédiée au traitement de l'incontinence nocturne des enfants. Ce dispositif miniature estime, de manière non-invasive, le volume vésical d'un enfant afin de le réveiller avant la miction. Ce dispositif possède une architecture reconfigurable qui permet à l'usager de modifier la profondeur vésicale critique selon la morphologie de l'enfant.

PROBLÉMATIQUE:

Au Canada, plus de 300 000 enfants souffrent d'énurésie nocturne. Actuellement, la thérapie la plus fréquemment prescrite par les urologues emploie une alarme de conditionnement qui réveille l'enfant au début de la miction. En effet, ces appareils utilisent des électrodes pour détecter l'humidité dans le sous-vêtement de l'enfant afin de déclencher une alarme qui le conditionne à se réveiller dès qu'il commence à uriner. Cette thérapie est considérée la meilleure puisqu'elle est la seule à offrir une guérison durable, soit lorsque la thérapie est cessée.

MÉTHODOLOGIE:

Afin d'estimer le volume vésical, nous utiliserons un cristal ultrasonore excité dans le mode pulse/écho. Ce cristal placé sur l'abdomen de l'enfant, permettra de mesurer la profondeur de la vessie afin de déclencher l'alarme au moment où elle atteint un volume critique. Afin de pouvoir estimer la profondeur de la vessie, nous utiliserons un contrôleur qui évaluera le temps écoulé entre l'excitation du cristal et la réception d'un écho. Le contrôleur commande un émetteur et un récepteur. L'émetteur, chargé d'exciter le cristal, est formé d'un convertisseur DC/DC haut voltage et d'un générateur d'impulsions ultra-rapide. Quant au récepteur chargé de traiter les échos, il est composé d'un étage d'amplification, d'un détecteur d'enveloppe et d'un détecteur d'échos. Le contrôleur qui effectue le traitement numérique des échos détectés déclenche l'alarme lorsque la distance évaluée est supérieure au seuil programmé.

RÉSULTATS:

Le dispositif fut réalisé afin de valider son fonctionnement. Une interface usager fut conçue afin d'ajuster facilement le seuil de détection à la morphologie vésicale de l'enfant au moment de la miction. En outre, le concepteur développa les programmes requis pour démontrer la justesse des résultats obtenus à l'aide d'un écran à cristaux liquides. Le dispositif portable est alimenté par une pile de 9V. Maintenant que le dispositif fut validé sur un milieu de propagation avec atténuation, nous débuterons incessamment les tests cliniques sur des enfants de l'Hôpital Général de Montréal pour Enfants.

BEAUDIN, Sylvain **DIPLÔME: M.Sc.A.**

TITRE:

Simulation rapide avec PULSE de la stabilité transitoire dans les réseaux de transport d'énergie électrique.

RÉSUMÉ:

L'objet de la présente recherche consiste à exploiter le parallélisme de la technologie PULSE (SIMD), doté de multiples processeurs élémentaires, pour la simulation de la stabilité transitoire dans les réseaux de transport d'énergie électrique et d'en valider le concept. En particulier, on vise la réalisation d'un prototype de simulateur rapide qui pourrait évidemment conduire à une technologie de commande de processus en temps réel.

PROBLÉMATIQUE:

À cause de considérations économiques et environnementales, ainsi que de nouvelles opportunités de vente et d'achat d'électricité dans un marché de plus en plus déréglementé, il devient nécessaire pour l'industrie du transport d'énergie d'optimiser les capacités de transits. Présentement la détermination des limites de transits se fait généralement en temps différé, avec comme seul exercice d'assurer la gestion de l'exploitation et de la planification, et ce, principalement à cause des limitations des calculateurs numériques actuels.

Alors, la nécessité d'augmenter les transits de puissance sur les corridors oblige aujourd'hui les compagnies d'électricité à avoir recours à des stratégies d'exploitation de plus en plus complexes. Il est donc devenu important d'introduire la détermination de ces capacités de transit dans l'environnement des centres de commande des réseaux. De plus, le développement d'une technologie de simulation beaucoup plus rapide que la réalité pourrait évidemment conduire à une technologie de commande de processus en temps réel.

MÉTHODOLOGIE:

- Analyse des besoins:
  Étude des algorithmes existants et identification des parties critiques à la performance du système.

- Développement d'un système de simulation:
  Parallélisation et optimisation de la technique de simulation employée

- Implémentation sur MATLAB:
  Validation du système proposé au moyen d'un réseau simple de transport d'énergie à 9 barres.

- Implémentation sur PULSE (modèle SIMD).
  Validation du système proposé sur le simulateur PULSE avec le réseau de transport d'énergie à 9 barres.

- Analyse de performance et optimisation
  Comparaisons de performances entre les modèles SIMD et SISD.

RÉSULTATS:

À ce jour, une solution numérique entièrement matricielle a été développée pour la simulation de la stabilité transitoire dans les réseaux de transport d'énergie électrique. Conjointement, une technique rapide de multiplication/addition matrice/vecteur fut également élaborée pour la technologie PULSE (SIMD).

Enfin, la validation et la performance du concept ont pu être établies sur le simulateur PULSE au moyen d'une simulation de 600 pas en stabilité transitoire, pour le réseau proposé de transport d'énergie électrique à 9 barres, avec un temps d'exécution de 22 ms (résultats préliminaires).

BÉLANGER, Normand **DIPLÔME: Ph.D.**

TITRE:

Outils et méthodes pour le traitement parallèle de calculs sur des tableaux.

RÉSUMÉ:

Développer des outils permettant d'accélérer le calcul pour les applications qui traitent des tableaux.

PROBLÉMATIQUE:

L'accès aux tableaux constitue souvent un goulot d'étranglement que l'on cherche à briser en créant un générateur d'adresses efficace.

Les travaux visant la parallélisation automatique utilisent des algorithmes et des heuristiques dont la complexité temporelle est très élevée. On souhaiterait trouver des alternatives de complexité plus faible.

La compilation d'applications décrites dans un langage de haut niveau et visant une architecture SIMD (donc spécialisée) est une tâche difficile. On voudrait faire progresser les connaissances dans ce domaine.

MÉTHODOLOGIE:

Un générateur d'adresses qui supporte les transformations linéaires a été proposé. On vise à le généraliser pour supporter plus d'applications.

Dans le but de permettre l'intégration d'algorithmes de parallélisation dans les compilateurs sans ralentir ces derniers indûment, des algorithmes de faible complexité temporelle ont été proposés.

On vise à créer un compilateur pour des architectures SIMD qui permette de supporter efficacement les convolutions puisque ces dernières représentent une grande proportion des algorithmes de traitement d'images.

RÉSULTATS:

Un générateur d'adresses qui supporte les transformations linéaires a été implanté. Il a été généralisé de façon à supporter les transformations quadratiques dont les paramètres sont des nombres rationnels et de façon à supporter le "clipping".

On a montré que les algorithmes de parallélisation peuvent accélérer l'exécution des programmes mais que le manque de maturité d'un compilateur HPF utilisé peut mitiger (ou même annuler) ce gain.

Un langage visant à supporter la description d'algorithmes de traitement structuré de tableaux a été proposé et un compilateur implanté. On a montré comment utiliser des instructions vectorielles et des tampons circulaires pour permettre de générer du code qui calcule un élément de tableau-résultat à l'aide d'une seule instruction vectorielle (i.e. cela produit du code très performant).

BELHAOUANE, Adel **DIPLÔME: Ph.D.**

TITRE:

Modélisation d'un échantillonneur rapide et reconstitution d'un signal à partir d'un nombre fini d'intervalles.

RÉSUMÉ:

La reconstitution d'un signal à partir de ses échantillons est un problème classique en théorie du signal. Les échantillonneurs rapides sont souvent réalisés à partir d'un décalage, dans le temps, de plusieurs échantillonneurs à vitesse moyenne. Cette technique, connue sous le nom d'échantillonnage entrelacé, augmente considérablement la vitesse, par contre, elle introduit une erreur significative dans les instants d'échantillonnage. De plus, on dispose souvent d'un nombre fini d'échantillons. Par conséquent, on est souvent confronté au problème de la reconstitution d'un signal à partir d'un nombre fini d'échantillons non-uniformes.

PROBLÉMATIQUE:

Un ensemble de difficultés prévisibles découle du caractère aléatoire et des interactions entre les divers mécanismes qui introduisent des erreurs et des distorsions. Ce travail cherche à reconstruire des signaux fortement corrompus obtenus de technologies de pointe poussées à leurs limites. De plus, les algorithmes de reconstitution à développer opèrent souvent près des limites fondamentales prédites par la théorie du traitement des signaux.

MÉTHODOLOGIE:

Cette recherche porte principalement sur une classe particulière d'échantillonneurs entrelacés que l'on nomme échantillonneurs parallèles. Il s'agit de trouver une méthode de reconstitution qui minimise l'erreur introduite par la non-uniformité ainsi que celle introduite par le nombre fini d'échantillons décrivant le signal. Pour arriver à reconstruire précisément le signal capturé par un échantillonneur parallèle, il est aussi nécessaire de modéliser et de corriger les imperfections des échantillonneurs bloqueurs qu'il comporte.

Ce travail de recherche comprendra les points suivants:

- Recherche bibliographique pour estimer l'état actuel des recherches et nous positionner par rapport à d'autres résultats de travaux de recherche;
- Développement d'un algorithme de reconstitution d'un signal à partir de ses échantillons;
- Compensation d'une erreur d'échantillonnage déterministe régulière et prévisible;
- Compensation d'une erreur d'échantillonnage aléatoire et périodique connue;
- Modélisation de la non-linéarité d'un échantillonneur bloqueur rapide par une famille de fonctions de transfert;
- Test d'un circuit échantillonneur réalisé en BATMOS;
- Tirer avantage de la périodicité de l'erreur produite par l'échantillonnage parallèle;

RÉSULTATS:

Les résultats montrent que pour certaines catégories de défauts, le signal peut être reconstitué une grande précision et, pour le reste, une amélioration est possible. Notre méthode permet une compensation des erreurs d'échantillonnage déterministe (prévisible et aléatoire). Nous avons entre autre établi un rapport entre la qualité de reconstruction et le produit amplitude-fréquence de la déviation. Nos travaux ont aussi porté sur la modélisation de la non-linéarité d'un échantillonneur bloqueur rapide par une famille de fonctions de transfert.

BOUBEZARI, Samir **DIPLÔME: Ph.D.**

TITRE:

Analyse de testabilité et insertion de points de test au niveau du transfert de registres.

RÉSUMÉ:

Notre travail consiste à faire l'analyse de la testabilité et l'insertion de points de test dans les circuits numériques décrits au niveau RTL VHDL synthétisable, pour les outils de synthèse existants sur le marché actuel comme Synopsys, Mentor Graphics, Cadence, etc. Nous supposons la technique de "full scan" où l'analyse de testabilité et l'insertion de points de test concernent seulement la partie combinatoire. Dans une première étape de notre travail, nous procédons à l'analyse et à l'identification des structures VHDL synthétisables par les outils de synthèse existants et établissons la correspondance matérielle de ces structures après la synthèse. Cette dernière analyse nous permet d'identifier tous les modules séquentiels (full scan) et combinatoires ainsi que les entrées/sorties primaires et pseudo-primaires des modules combinatoires. L'étape suivante consiste à propager des mesures de testabilité à travers les structures VHDL identifiées dans la première étape afin d'identifier les parties les plus difficiles à tester du circuit. Enfin, la dernière étape utilise ces mesures de testabilité pour modifier le code VHDL ou insérer des points de test afin d'améliorer la testabilité du circuit.

PROBLÉMATIQUE:

L'importance et l'avantage de prévoir la testabilité des circuits VLSI à une étape avancée de leur processus de conception, a été établie récemment dans la littérature. En effet, à cause de la complexité croissante des circuits VLSI, il est devenu de plus en plus difficile d'estimer la testabilité des circuits après la synthèse du circuit au niveau portes. Les techniques classiques utilisent toujours un circuit décrit sous forme d'interconnexions de portes logiques ou de modules fonctionnels relativement petits en terme de complexité. Par conséquent, ces techniques classiques ne permettent d'estimer la testabilité du circuit qu'après la synthèse de ce dernier. Cependant, ces techniques semblent limitées à cause de la complexité croissante des circuits VLSI. De plus, l'insertion de points de test est très complexe après la synthèse du circuit. Il est donc de plus en plus important de considérer la testabilité du circuit à une étape plus avancée de la synthèse afin de minimiser la complexité du test.

MÉTHODOLOGIE:

La méthode que nous proposons permet d'abord d'explorer la relation entre la description VHDL des circuits et leur correspondance matérielle après la synthèse en utilisant un des outils de synthèse. Dans cette étape, nous devons analyser toutes les descriptions VHDL synthétisables et leur correspondance matérielle après la synthèse. Cette dernière analyse nous permettra d'identifier les éléments séquentiels et combinatoires du circuit qui seront synthétisés. Une structure interne sera générée après cette analyse pour pouvoir propager la testabilité du circuit à travers la description VHDL. Après quoi, une modification du code VHDL sera nécessaire dans les parties les plus difficiles à tester.

RÉSULTATS:

- Analyse des structures VHDL synthétisables en utilisant les outils de synthèse Synopsys et Mentor Graphics.
- Identification des modules séquentiels et combinatoires après l'analyse du code VHDL.
- Propagation des mesures de testabilité après identification des parties du circuit les plus difficiles à tester.
- Validation de l'approche proposée en utilisant les outils de synthèse.

BOU*RRET, Sylvain* **DIPLÔME: M.Sc.A.**

TITRE:

Proposition d'une stratégie de stimulation neuro-musculaire uniarticulaire en boucle ouverte et mise au point d'un étage de sortie pour microstimulateur intégré.

RÉSUMÉ:

Le projet consiste à développer une stratégie de stimulation pour les membres supérieurs (épaule, bras, avant-bras). Cette stratégie sera utilisée dans un microstimulateur implantable. Elle devrait permettre de rétablir un mouvement fonctionnel et humanoïde chez les tétraplégiques ayant subi des lésions au niveau de la moelle épinière.

PROBLÉMATIQUE:

La commande de mouvements à partir de microstimulateurs implantables est extrêmement complexe. Les réactions des muscles aux différentes stimulations sont mal connues (le modèle du muscle est loin d'être au point), les résultats de la stimulation d'un seul complexe nerveux touchent plusieurs muscles et la coordination entre les différents muscles pour effectuer un mouvement donné est inconnue.

MÉTHODOLOGIE:

Le présent projet tente de résoudre le problème de la coordination entre les muscles. Dans un premier temps, un modèle de bras (MATLAB) sera utilisé afin de déterminer l'importance de divers paramètres sur le mouvement. Une fois cette étude complétée, une série d'expériences sera effectuée sur des sujets réels afin de valider les résultats de simulation. De plus, les expériences devraient emmener une donnée supplémentaire, l'EMG. C'est cette dernière donnée qui devrait permettre l'établissement de la stratégie de stimulation finale.

RÉSULTATS:

Une source de courant commandable permettant d'effectuer une stimulation neuromusculaire a été développée. Cette dernière, réalisée en technologie BiCMOS 0.8um, peut fournir un courant de 4 mA à une charge de 1kohm soit l'impédance caractéristique d'un nerf.

Les premiers résultats de simulation nous permettent de croire qu'il existe des liens étroits entre le niveau d'activité des muscles et des paramètres précis définissant le mouvement. Aussi, nous pensons pouvoir mettre au point sous peu une première ébauche de stratégie de stimulation.

BOYER, François-Raymond **DIPLÔME : Ph.D.**

TITRE :

Optimisation lors de la synthèse de circuits à partir de langages de haut niveau.

RÉSUMÉ :

L'objectif est de développer différentes techniques visant à maximiser la vitesse à laquelle un circuit peut traiter des données. Certaines optimisations, présentement faites entièrement à la main en utilisant des langages de bas niveau pour décrire les circuits, pourraient être faits automatiquement ou avec des outils dirigés par le concepteur.

PROBLÉMATIQUE :

En général, dans les circuits contrôlés par une seule phase d'horloge, à certains endroits, du temps est tenu à attendre le prochain cycle, même sur le chemin critique. Ceci vient du fait que les temps de calcul entre chaque registre n'est pas le même. Le retiming tente de diminuer ce problème mais se contraint toujours à avoir une seule phase d'horloge, ce qui l'empêche d'atteindre l'optimal. A la place, un circuit multi-phases pourrait être fait avec un genre de retiming multi-phases, en utilisant des horloges qui arrivent toujours exactement au bon moment. Dans ce cas, il faut trouver les phases nécessaires et le circuit équivalent au circuit original mais contrôlé de manière très précise par ces différentes phases. Alors, le problème de la génération des horloges se pose, ainsi que les variations sur les temps d'arrivées de celles-ci.

La logique pourrait aussi être optimisée. Présentement, il existe des méthodes de resynthèse, qui réorganisent la logique combinatoire entre les registres, pour réduire le temps de calcul. Ces techniques ont le problème de ne pas passer par dessus les registres pour optimiser le circuit de manière plus globale, et la logique optimisée n'est pas nécessairement sur le chemin critique.

MÉTHODOLOGIE :

Les points suivants sont travaillés :

- Une alternative au retiming, multi-phases, qui trouve les phases permettant un débit optimal;
- Une bonne caractérisation du délai dans les circuits, qui ne donne pas de faux chemin critique;
- Minimiser les effets des variations sur les temps d'arrivées de l'horloge;
- Une technique de resynthèse ciblant le chemin critique et passant par dessus les registres, qui fonctionnent sur nos circuits multi-phases;
- Adapter ces techniques, si nécessaire, pour faire du wave-pipeling automatiquement.

RÉSULTATS :

Une alternative au retiming a été trouvée, donnant le débit maximal sans contrainte sur le nombre de phases. Aussi un algorithme remplace les registres par des latches (activés sur le niveau de l'horloge), de manière à réduire la taille et diminuer la demande en précision sur l'horloge

BOYER, Stéphane **DIPLÔME : M.Sc.A.**

TITRE :

Nouvel implant urinaire dédié à la stimulation neurale sélective.

RÉSUMÉ :

Au Québec seulement, des milliers de personnes souffrent de défaillance du système urinaire. Le problème sur lequel nous travaillons est celui de la rétention urinaire des personnes ayant subi des lésions au niveau de la colonne vertébrale (paralysie). Notre but est de remplacer les systèmes actuels (les sacs par exemple) et de restaurer les fonctions vitales du système urinaire de façon à améliorer la qualité de vie.

PROBLÉMATIQUE :

En utilisant un stimulateur neuro-musculaire miniaturisé implantable et un contrôleur externe, on excite le nerf S2 partant de la colonne et allant jusqu'au muscle de la vessie et du sphincter pour évacuer l'urine. Une nouvelle technique de stimulation sélective est proposée pour provoquer l'écoulement tout en évitant la contraction simultanée du muscle de la vessie et du sphincter, qui entraîne une pression excessive indésirable.

MÉTHODOLOGIE :

Le système de stimulation que nous proposons est composé de deux parties principales soient l'implant et le contrôleur externe. Il s'agit d'un système versatile et fonctionnel qui répond au problème complexe de la neuro-stimulation tout en étant simple d'utilisation pour l'usager. C'est l'unité externe qui contrôle la stimulation tout en assurant l'alimentation en énergie de l'implant via une interface à couplage magnétique à haute fréquence. Lors de chaque stimulation, les paramètres sont transmis par le contrôleur à l'implant qui s'assure de leur validité par des algorithmes de détection d'erreurs. Le contrôleur externe est portatif et très simple d'utilisation. Un écran à cristaux liquides permet de sélectionner les paramètres désirés.

L'implant est constitué d'un circuit imprimé circulaire d'environ 3,5 centimètres de diamètre. L'implant est composé de trois blocs soient l'entrée, le traitement et la sortie. Un circuit intégré programmable non volatile (FPGA) est utilisé pour contenir toute la partie numérique de traitement. Le circuit est moulé dans une substance dure pour assurer sa rigidité et ensuite isolé dans un produit bio-compatible. Une électrode spéciale est utilisée au niveau du nerf et des connecteurs étanches de notre conception sont utilisés pour relier l'électrode à l'implant.

RÉSULTATS :

Notre système est totalement fonctionnel et il est à l'essai en ce moment au département d'urologie de l'Université McGill. Nous avons aussi conçu la partie de contrôle et de génération des stimulus sur un circuit intégré en technologie CMOS 0.35 micron. Ce circuit est en fabrication par l'entremise de la Société Canadienne de Microélectronique.

BOYOGUENO BENDÉ, André **DIPLÔME: Ph.D.**

TITRE:

Technique de conception et testabilité des circuits intégrés optoélectroniques en GaAs, application aux communications optiques.

RÉSUMÉ:

Avec le développement et la mise en œuvre de nouvelles technologies de l'informatique, les équipements de transmission sont de nos jours appelés à fonctionner à des débits de plus en plus élevés. Dans cette thèse, nous abordons les limitations de système liées au bruit d'entrée du récepteur et au produit gain-bande-passante à l'interface optoélectronique de réception et la caractérisation aux hautes fréquences de même que la testabilité des circuits conçus. Nous proposons des techniques de design optimisées basées sur les transmissions par fibre optique en technologie GaAs.

PROBLÉMATIQUE:

La disponibilité des composants optoélectroniques tels que les lasers à semi-conducteurs monomodes et les photodétecteurs rapides de même que la nécessité de transmettre de grandes quantités d'information d'un point à un autre ont suscité de nouvelles applications en transmissions optiques. Ces nouvelles applications nécessitent des techniques de transmission à haut débit et par conséquent, une demande accrue en bande passante

Notre recherche est axée sur la formulation de nouvelles méthodes de conception d'une classe d'amplificateurs à transimpédance à faible bruit et à large bande en GaAs dont l'entrée est insensible aux variations de la charge capacitive d'entrée. Nous développons un modèle simple de sensibilité du récepteur incorporant des statistiques du photodétecteur permettant une analyse efficace des performances générales du photorécepteur de même que l'impact des diverses dégradations sur la performance du système de transmission. Enfin, nous allons proposer une architecture de circuits de décision adaptée au fonctionnement sans biais à grands débits permettant d'améliorer la gamme dynamique du photorécepteur et le rapport signal sur bruit (SNR).

MÉTHODOLOGIE:

- Choix d'une architecture appropriée et simulation sur Pspice afin de caractériser et optimiser les différents blocs;
- Développement d'un prototype en technologie GaAs 0.6 microns, réalisant la réception, le traitement optique et la transmission de 4 canaux de transmission utilisant une matrice d'interconnexion optique 4 x 4;
- Extension du design à des architectures plus denses;
- Réalisation des dessins de masques avec "Cadence" fabrication du circuit intégré et test de l'architecture définitive.

RÉSULTATS:

Des simulations sont en cours et des prototypes ont été soumis pour fabrication. Le design est axé sur la minimisation du bruit à l'entrée de chaque étage récepteur.

BRAIS, Louis-Philippe **DIPLÔME: M.Sc.A.**

TITRE:

Égalisateur adaptatif numérique haute performance pour signaux QAM.

RÉSUMÉ:

Les liens de communication modernes demandent des taux de transfert de plus en plus importants. Une méthode présentement très utilisée pour atteindre des densités spectrales élevées est la modulation d'amplitude en quadrature de phase (QAM). Cependant, la complexité de l'appareillage requis pour la mise en œuvre de ce type de modulation pose des problèmes particuliers.

Ce projet consiste en la réalisation d'un filtre adaptatif de haute performance par la famille de CPLD Flex 10K d'Altera. Le prototype conçu devra réaliser l'égalisation de données binaires transmises au travers d'un lien radio point à point SDH/SONET utilisant une modulation 128QAM. Pour obtenir une fréquence d'opération satisfaisante, on doit développer une architecture pipeline efficace.

PROBLÉMATIQUE:

Les signaux à haut taux de signalement utilisés dans les systèmes de communication à grand débit sont déformés lorsque transmis sur d'importantes distances. Les effets dispersifs de l'espace de propagation des ondes électromagnétiques créent de l'interférence nuisible lors de la transmission. On a donc une réponse impulsionnelle du canal dont l'étalement temporel est supérieur au temps de transmission d'un symbole. Il en résulte une diaphonie entre symboles adjacents reçus au récepteur.

On choisit de compenser pour ces effets indésirables en insérant un égalisateur dans le système de réception. Celui-ci doit en quelque sorte réaliser la convolution du signal reçu avec l'inverse de la réponse impulsionnelle du canal. Il doit également être adaptatif, c'est-à-dire capable de s'ajuster automatiquement vis-à-vis des caractéristiques changeantes du canal.

Nous procéderons à la réalisation d'un égalisateur numérique de grande vitesse. Pour cela, une architecture pipeline efficace et rapide doit être développée. On doit également identifier le ou les algorithmes adaptatifs convenant le mieux à une telle architecture.

MÉTHODOLOGIE:

Afin d'être en mesure de tester plusieurs réalisations différentes, on intègre l'égalisateur adaptatif à l'intérieur de composants logiques programmables. La famille de CPLD Flex 10K d'Altera a été sélectionnée à cette fin. On choisit de synthétiser les architectures développées à partir de modèles AHDL paramétrisables. L'utilisation de paramètres permet d'ajuster les caractéristiques de l'architecture obtenue. Les étapes de synthèse, de simulation logique et d'intégration sont réalisées à l'aide du logiciel Max+PLUS II. Les vecteurs de simulation sont générés à partir de modèles Matlab du système ou à partir d'échantillons tirés d'un démodulateur 128QAM. Des programmes Matlab permettent de simuler le canal selon le modèle de Rummler tout en tenant compte d'autres facteurs comme le bruit blanc Gaussien.

RÉSULTATS:

Depuis le début du travail, nous avons étudié les méthodes de modulation (QAM), les réalisations pipelines de filtres adaptatifs et l'organisation interne des composants de la famille Flex 10K. De plus, une étude approfondie des classes d'algorithmes LMS et RLS a été réalisée. Des réalisations en langage AHDL de filtres paramétrisables de type PIPLMS et STAR-RLS ont été expérimentés.

Parallèlement au travail théorique, nous avons développé deux cartes de test pour valider certaines portions de la carte prototype finale. Puis cette dernière a été conçue et fabriquée avec la collaboration de techniciens en électronique de l'École. Le logiciel pour une unité d'égalisation complexe est sur le point d'être intégré sur la carte prototype en cours de montage.

CALBAZA, Dorin-Emil **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un circuit de synthèse numérique de fréquence.

RÉSUMÉ:

Le projet consiste à la réalisation pratique d'un circuit de synthèse numérique de fréquence (DDS). Ce type de circuit est très utile pour les systèmes de communication et en particulier, pour des applications de télévision digitale de haute résolution (HDTV).

PROBLÉMATIQUE:

La prolifération des circuits synchrones a entraîné un besoin grandissant de circuits capables de fournir une horloge précise. Parmi ces circuits, les circuits de synthèse numérique de fréquence (DDS) sont utilisés pour générer un signal d'une fréquence bien déterminée à partir d'un signal d'horloge d'une grande précision.

Ces circuits permettent d'exprimer des relations de phase avec une résolution de 2^{-n} fois la période de référence, où n est le nombre de bits dans l'accumulateur de phase, nombre qui atteint 32 ou plus.

MÉTHODOLOGIE:

Le projet sera réalisé en suivant la méthodologie suivante :

- Étude des différentes architectures des circuits de synthèse numérique de fréquence;
- Analyse théorique de l'architecture choisie;
- Déterminer les paramètres du circuit nécessaires pour rencontrer les spécifications;
- Réaliser le design de ce circuit;
- Soumettre à la fabrication;
- Tester le circuit fabriqué;
- Analyser les résultats et tirer des conclusions.

RÉSULTATS:

Les premières quatre étapes sont réalisées, la soumission à la fabrication sera faite sous peu.

CAMPAGNA, Isabelle **DIPLÔME : M.Sc.A.**

TITRE :

Réalisation logicielle/matérielle du standard Universal ADSL pour modem de haute performance.

RÉSUMÉ :

Les domaines de la communication et de la téléphonie se développent très rapidement. Ce type de système nécessite des caractéristiques très particulières. Pour le développement d'un standard de modem, nous utiliserons un microprocesseur embarqué, ayant de fonctionnalités pour des opérations de base DSP, dont les performances vont de 40 à 200 MIPS. Les parties de l'implantation ne pouvant respecter les contraintes de temps, seront implantés en matériel.

PROBLÉMATIQUE :

Le but de ce projet est d'utiliser une méthode de co-design matériel/logiciel pour l'implantation du standard Universal ADSL (Asynchronous Digital Subscriber Line), aussi conu comme étant la technologie g. 992.2. C'est une version légère du standard ADSL qui utilise une technologie moins complexe, en obtenant des résultats moins performants. Cette technologie permet aux utilisateurs d'utiliser leur ligne téléphonique pour la transmission de la voix, tout en continuant de transférer des données à l'aide de leur modem. L'avantage de la version légère, c'est qu'elle ne nécessite pas de séparateur entre la voix et les données au niveau de l'utilisateur. Cela rend donc l'installation et l'utilisateur de ce type de modem plus facile.

MÉTHODOLOGIE :

La technologie que nous allons étudier à l'intérieur de ce modem est la technologie DMT (Discrete Multi-Tone). Celle-ci divise le canal en plusieurs sous-canaux, transmettant séparément et de manière concurrentielle des données. Chaque sous-canal utilise sa propre porteuse.

Une méthodologie de co-design matériel/logiciel sera utilisée pour l'implantation de ce modem. Cela signifie qu'il sera d'abord modélisé de façon logicielle en langage C, puis exécuté sur un processeur ARM ou C54. Les parties critiques du système seront ensuite étudiées de façon à déterminer celles qui devront être implantées en matériel pour obtenir des performances adéquates du système. Le partitionnement entre le logiciel et le matériel se fera en considérant différents éléments, tels les communications, la consommation de puissance, le temps d'exécution et les coûts. Les parties implantées en matériel seront décrites à l'aide de VHDL.

Tout dépendant du processeur utilisé, l'outil Seamless de Mentor Graphic sera utilisé pour co-simuler de façon matérielle et logicielle, les différentes parties du modem.

RÉSULTATS :

Aucun résultat n'est disponible pour l'instant.

CANTIN, Marc-André **DIPLÔME: Ph.D.**

TITRE:

Implantation d'un réseau de neurones Fuzzy ART.

RÉSUMÉ:

Les réseaux de neurones auto-organisateurs permettent d'organiser des ensembles d'objets de façon autonome sans connaître d'avance le nombre de groupes à former. L'application cible consiste à regrouper des signaux radars selon leur similitude en temps réel. L'analyse de performance de plusieurs réseaux de neurones a permis de sélectionner l'algorithme Fuzzy ART de Carpenter, Grossberg et Rosen, car il permet d'organiser rapidement les ensembles d'objets qui leur sont présentés en des groupes stables.

PROBLÉMATIQUE:

L'algorithme Fuzzy ART a été reformulé en fonction d'une implantation matérielle tout en respectant sa fonctionnalité originale pour exploiter le potentiel de réutilisation des données et respecter certains contraintes physiques en vue d'une mise-en-œuvre efficace sur différentes plates-formes.

MÉTHODOLOGIE:

La formulation originale de l'algorithme Fuzzy ART ne respecte pas les contraintes de temps réel pour la catégorisation des signaux radars, soit une vitesse de traitement atteignant jusqu'à 10^6 impulsions par seconde. Cette recherche présente des mises en œuvre efficaces sur différentes plates-formes.

RÉSULTATS:

Quatre implantations sur trois différentes plates-formes ont été réalisées. La première propose une architecture performante en vue de réaliser une implantation matérielle dédiée sur un circuit intégré. Cette architecture offre un haut débit de traitement tout en respectant les contraintes de surface de la technologie de fabrication. Un circuit intégré a été réalisé en BiCMOS 0.8 µm et contient plus de 300K transistors sur une surface de 52.5 mm^2 La seconde réalisation consiste en une implantation mixte qui comporte une portion matérielle et une portion logicielle. Celle-ci utilise un processeur de traitement des signaux (DSP) et un accélérateur matériel sous forme de circuits intégrés programmables. L'analyse a été complétée par une implantation purement logicielle sur un DSP. Cette implantation logicielle s'est effectuée selon deux styles de programmation en langage C et en assembleur.

Finalement une comparaison détaillée des différentes implantations a mis en évidence les caractéristiques et les limites de chaque implantation. Cette comparaison permet de sélectionner l'implantation la plus adéquate pour l'application cible et selon les conditions d'opération.

CANTIN, Pierre-Luc **DIPLÔME: M.Sc.A.**

TITRE:

Interface universelle pour capteurs.

RÉSUMÉ:

Le marché des capteurs connaît une importante croissance. Cette croissance est entre autre stimulée par la volonté de mieux gérer notre environnement, de mieux exploiter nos ressources ou d'améliorer les performances des systèmes en général. Les progrès des procédés microélectroniques et des outils de conception permettent aujourd'hui l'intégration de systèmes de traitements numériques très complexes. Ces progrès permettent aussi une intégration commune avec des systèmes analogiques. On réfère à des systèmes à signalisation mixte (analogique et numérique). Par contre, la conception d'une interface analogique est souvent coûteuse et fastidieuse. La conception analogique ne bénéficie pas encore d'outils et de technologies permettant un prototypage rapide contrairement à la conception de systèmes numériques (e.g. FPGAs, VHDL). Afin d'accroître et de faciliter la conception d'applications utilisant des capteurs, notre projet s'intéresse à la conception d'une interface universelle (programmable) pouvant satisfaire un vaste ensemble de capteurs différents par leur nature. Nous tenterons dans un premier temps de satisfaire les capteurs de nature plus conventionnelle par opposition aux technologies micro-machinées.

PROBLÉMATIQUE:

L'ensemble des capteurs qui nous intéressent (gauges de contrainte, RTDs, LVTDs, Thermistors, capteurs de gaz…) requièrent différents modes d'excitation et de conditionnement de signal. La bande passante moyenne pour leurs applications se limite à 100 kHz. Cela ne constitue pas une contrainte sévère. Toutefois, l'amplitude des signaux à conditionner varie de quelques micro-Volts à quelques Volts. L'interface devra donc offrir une large gamme de gain, présenter peu de bruit et d'offset à l'entrée. La précision de l'interface constitue la principale contrainte. Le problème se résume à concevoir une chaîne de conditionnement programmable (gain, bande passante), de définir suffisamment de fonctionnalité afin de produire un composant utile dans plusieurs applications de capteurs.

MÉTHODOLOGIE:

- Revue de littérature portant sur les différentes méthodes d'excitation et de conditionnement de signal;
- Définition d'une architecture pouvant satisfaire notre ensemble de capteurs;
- Revue de littérature pour chaque sous-système
- Entrée schématique au moyen de ViewDraw (ViewLogic) et simulation avec Hspice (MetaSoftware)
- Planification du plan de masse et des dessins de masques au moyen de L-Edit (tanner) et/ou Vituroso (Cadence).
- Simulation post-layout au moyen de Hspice et/ou Meta-Circuit.

RÉSULTATS:

Une architecture système a été définie suite à une revue de littérature portant sur les méthodes de conditionnement de signal. Ensuite, sur la base de cette architecture, nous avons ciblé les circuits pouvant permettre de réaliser la fonctionnalité désirée et de rencontrer les différentes spécifications de performance. A ce stade, la conception et la simulation des circuits sont complétées. Nous sommes à l'étape de la conception des masques destinés à la fabrication du circuit intégré dédié (ASIC).

CHABINI, Noureddine **DIPLÔME: M.Sc.A.**

TITRE:

Estimation des performances d'applications exprimées en ANSI C en vue d'être implémentées sur un système SIMD.

RÉSUMÉ:

Les outils d'estimation des performances aident les concepteurs d'ordinateurs et les programmeurs à choisir l'architecture la plus convenable et à optimiser l'implémentation des applications. Ces outils permettent la réduction de l'espace mémoire requis de même que l'accélération des traitements. Notre objectif est le développement d'un estimateur de performance pour des applications, en ANSI C, implémentées sur un système SIMD.

PROBLÉMATIQUE:

Ce mémoire, réalisé dans le cadre du projet PULSE, se concentre sur la modélisation d'une machine de type SIMD, appelée PULSE. Elle comporte quatre processeurs de type VLIW. La flexibilité de cette machine rend difficile la tâche du programmeur, car celui-ci se trouve devant plusieurs alternatives d'implémentation des algorithmes. Cette difficulté se présente aussi dans le cas où on connaîtrait la tâche de chaque processeur. Par conséquent, l'expérience du programmeur est, à ce jour, la seule solution pour implémenter efficacement une application sur la machine PULSE. Afin d'évaluer l'efficacité d'une telle implémentation, nous avons planifié le développement d'un outil d'estimation des performances.

MÉTHODOLOGIE:

Nous avons développé un outil d'estimation de performance appelé C_PerfEstim. À partir d'une application décrite en C selon la norme ANSI, sous forme d'un graphe de flot de donnée et de contrôle, et d'une description d'architecture d'un processeur de type VLIW selon un format prédéterminé, C_PerfEstim produira des données d'ordonnancement, des données d'allocation et des bornes inférieures et supérieures sur le nombre de cycles requis.

RÉSULTATS:

Présentement, l'outil est complet et fonctionnel. Des résultats préliminaires démontrent l'efficacité des méthodes sur lesquelles est basé C_PerfEstim.

CHEN, Jianyao **DIPLÔME: Ph.D.**

TITRE:

Modélisation et analyse d'un semi-conducteur laser DFB couplé par gain.

RÉSUMÉ:

Le projet est de développer un modèle numérique détaillé et universel pour une simulation exacte et efficace d'un semi-conducteur laser avec une contre-réaction distribuée (DFB). En incluant les caractéristiques de lasers DFB pratiques comme la modulation multi-électrodes, le décalage de phase multiple, la condition de facettes asymétriques, le couplage distribué complexe et l'émission spontanée, les propriétés des semi-conducteurs lasers DFB sont explorées pour de nouvelles améliorations.

PROBLÉMATIQUE:

La contre-réaction distribuée fournit une approche effective pour obtenir une oscillation unique et longitudinale d'un semi-conducteur laser. À cause de la non-uniformité de la distribution du champ dans la cavité du laser, les caractéristiques de dépendance spatiale ont une influence significative sur le comportement statique et dynamique du laser DFB. De plus, le couplage complexe et la modulation multi-électrode donnent assez de flexibilité pour améliorer la performance du laser. Notre but est d'examiner l'inter-réaction entre les porteurs et les photons dans différents cas et, de rechercher une conception optimale pour une vitesse élevée, une puissance élevée, un taux de suppression élevé et une intensité indépendante de la fréquence de modulation. Nous aurons donc atteint une performance élevée à faible coût pour une application en télécommunication optique.

MÉTHODOLOGIE:

En se basant sur l'analyse de la fonction de Green et les équations d'ondes couplées, la non-uniformité spatiale induite par les porteurs de charge et les fluctuations des photons peut être traitée comme une source d'excitation distribuée pour le champ optique dans la cavité du DFB. De nouvelles équations à taux multi-ondes, incluant du bruit, peuvent être développées pour donner une simulation exacte de la performance du laser et ce, en deçà et au-delà du seuil.

RÉSULTATS:

Utilisant les équations d'onde couplées, un simulateur autoconsistant a été développé pour l'étude, au-dessus du seuil, du fonctionnement statique et dynamique des lasers DFB unimodaux. Le modèle a aussi été utilisé avec succès pour étudier les effets des inhomogénéités spatiales sur la fréquence de résonance et sur la distorsion harmonique des lasers DFB. Récemment, le modèle a été utilisé pour analyser, pour la première fois, les lasers DFB multimodaux et avec électrodes multiples en configuration «push-pull ».

La modélisation va se poursuivre avec l'élaboration d'un simulateur de lasers DFB multimodaux au-dessous et au-dessus du seuil. Une modélisation plus précise nous permettra d'atteindre une meilleure compréhension des performances dynamiques des lasers DFB. Il est aussi prévu de déterminer le design optimal pour les lasers DFB de la nouvelle configuration «push-pull » ainsi que de comparer avec des résultats expérimentaux.

CONTANDRIOPOULOS, Nicolas **DIPLÔME: M.Sc.A.**

TITRE:

Partitionnement logiciel/logiciel automatique sur des architectures parallèles hétérogènes.

RÉSUMÉ:

Le sujet de ma maîtrise vise à développer des méthodes de partitionnement automatiques pour une architecture parallèle ciblée. L'architecture est celle définie dans le projet PULSE, dédiée aux traitements numériques (du type vidéo) en temps réel. Ce projet a pour but de transformer un algorithme décrit par un code séquentiel en vue de l'exécuter sur une architecture multiprocesseur parallèle.

PROBLÉMATIQUE:

Le projet PULSE prévoit la mise en œuvre d'une architecture multiprocesseur hétérogène constituée de processeurs SIMD intégrés dans des ASIC et de microprocesseurs commerciaux. L'objectif principal de ce projet consiste à exécuter en temps réel des algorithmes de traitement numérique. Une constituante essentielle est d'assigner les tâches à chaque processeur avec comme but de maximiser les performances du système pour un algorithme séquentiel donné. Ce partitionnement des tâches sur les différents processeurs est un problème difficile. Il s'agit donc de développer des outils et méthodes automatiques pour assister la mise en œuvre d'applications complexes.

MÉTHODOLOGIE:

Dans un premier temps, le problème est analysé par un partitionnement manuel d'algorithmes types. Il s'agit d'expérimenter les stratégies efficaces pour le partitionnement d'algorithmes sur l'architecture cible. Dans un second temps, une interface est développée pour permettre d'analyser, d'une manière dynamique, les performances de différents partitionnements d'un même algorithme, et ainsi valider les méthodes. Enfin, les méthodes de partitionnement validées seront insérées dans un outil de partitionnement automatique.

RÉSULTATS:

Des partitionnements manuels ont été réalisés et ainsi une expérience pratique a été acquise. L'interface permettant l'analyse dynamique des performances de diverses mises en œuvre des algorithmes sur le système PULSE a été réalisée. Actuellement, nous mettons au point des heuristiques et méthodes pour partitionner automatiquement des algorithmes sur les différents processeurs en tenant compte de leurs rôles et de leurs spécificités.

COUSINEAU, Cynthia **DIPLÔME : M.Sc.A.**

TITRE :

Conception et mise en œuvre d'un système de reconfiguration dynamique.

RÉSUMÉ :

Ce projet destiné au milieu industriel vise à ajouter, entre autre, une fonctionnalité RTR (Run Time Reconfiguration) sur la base d'un module existant et commercialement disponible. Le produit final sera un outil de conception et de déverminage basé sur le RTR, exploitant un lien JTAG comme canal de communication secondaire. Une capacité de constante interaction avec le système et une grande flexibilité de reconfiguration caractériseront ce produit.

PROBLÉMATIQUE :

Comme il a été mentionné, le projet tire sa complexité du fait que des fonctions additionnelles doivent être ajoutées à un module existant et dont le design extérieur est plus ou moins fixe. Étant donné également que certaines composantes du module sont carrément intouchables, nous devons intervenir, de manière alternative, par une entrée secondaire qui est jusqu'à maintenant inutilisée et dont l'interface reste à construire. De plus, une partie logicielle est à concevoir. Celle-ci permettra à l'usager de construire un système basé sur ce module et d'interagir avec lui de manière continue.

MÉTHODOLOGIE :

Les actions à poser sont subdivisées en deux parties. D'abord, il faut modifier l'architecture du contrôleur du module afin d'y implanter l'interface avec l'entrée secondaire en plus d'y inclure un contrôleur de mémoire externe. Ensuite, il faut unir le tout par un logiciel, versatile, portable pour n'importe quel type de système hôte, et qui saura assister correctement l'usager dans ses tâches de conception et d'implantation.

RÉSULTATS :

Les premières tâches à accomplir, avant même de commencer toute structure de conception étaient de se familiariser avec le produit existant et de remonter le contrôleur avec les outils de conception disponibles à ce jour ainsi qu'un banc de test adéquat. Étant donné que le contrôleur est et restera implanté dans un FPGA relativement petit et de moins en moins utilisé dans l'industrie, cette tâche n'a pas été facile, les outils les plus performants n'étant pas nécessairement développés pour traiter des circuits basés sur cette famille de FPGA. La synthèse des composantes VHDL s'est avérée problématique car elle est moins efficace pour cette famille de FPGA. Finalement, nous avons réussi à placer et router le contrôleur dans son état presque original avec les outils disponibles. La phase de conception est entamée, mais il reste à peaufiner et à fixer les spécifications de la nouvelle version du système pour aboutir à une nouvelle architecture du contrôleur.

CRAMPON, Marie-Agathe **DIPLÔME: M.Sc.A.**

TITRE:

Réalisation d'une électrode de stimulation nerveuse basée sur une armature en alliage à mémoire de forme.

RÉSUMÉ:

Ce projet comprend deux volets. Il s'agit, d'une part, de réaliser une électrode de stimulation nerveuse sous la forme d'une gaine de silicone englobant une structure en alliage à mémoire de forme et d'autre part, de concevoir un générateur d'impulsions de courant sous forme de rampes biphasées. Cette source de courant permet de tester le comportement des électrodes dans différents modes de fonctionnement de l'implant urinaire.

PROBLÉMATIQUE:

Bien qu'il existe déjà des systèmes complets de stimulation de l'appareil urinaire, les électrodes utilisées demeurent complexes à implanter car difficiles à fixer autour du nerf concerné. On cherche donc à réaliser un nouveau type d'électrodes capables de se refermer d'elles-mêmes autour du nerf, de façon définitive, dès qu'elles sont placées à la température interne de l'organisme.

Pour évaluer de façon complète ces électrodes, il nous faut disposer d'un générateur d'impulsions dont nous pouvons facilement faire varier les divers paramètres. Ce générateur émet des impulsions en courant sous forme de train à une fréquence donnée. De plus, il doit être en mesure de superposer deux signaux de même type de fréquences différentes en respectant certaines règles de priorité.

MÉTHODOLOGIE:

Lors de la fabrication des électrode, on intègre une structure en alliage à mémoire de forme à une gaine de Silastics® cylindrique. Les propriétés remarquables de ces matériaux, à savoir l'effet mémoire et la superélasticité, confèrent à l'électrode le comportement mécanique désiré : une grande souplesse pour l'installation de l'électrode et une rigidité importante pour se maintenir sur le nerf après implantation. La source de courant comprend une partie numérique qui génère les signaux appropriés à partir d'un ensemble de compteurs et une partie analogique constituant l'étage de sortie. Les unités numériques sont intégrées sur un FPGA (Field Programmable Gate Array). Ce générateur de stimuli utilise un DAC 1 bit de type $\Delta\Sigma$ qui est presque totalement intégrable sur le FPGA. Sa partie analogique se réduit en effet à un simple filtre RC. Cette technique permet de restreindre les composantes analogiques du système. Le générateur est complètement programmable pour l'utilisateur qui rentre sur un PC les caractéristiques des signaux à générer : durée et amplitude de l'impulsion, fréquence de répétition des impulsions, durée du train d'impulsions et fréquence de répétition des trains.

RÉSULTATS:

Deux types d'électrodes ont été réalisés. Le premier est basé sur l'effet mémoire : l'électrode est ouverte par le chirurgien puis de referme automatiquement lorsqu'elle est placée à 37°C. Le second type est basé sur la superélasticité : manipulée par le chirurgien, l'électrode est suffisamment souple et élastique pour être ouverte et se refermer autour du nerf, mais, une fois en place, elle est assez rigide pour rester fermée. Les propriétés mécaniques et électriques de ces électrodes ont été validées par des tests *in vitro*, des calculs mécaniques par éléments finis ainsi que par des tests *in vivo* en phase aiguë sur des animaux.

Le générateur de stimuli peut émettre simultanément deux signaux de même type mais de fréquences différentes. L'utilisateur choisit ces fréquences de 10Hz à 10kHz, il choisit la durée des impulsions entre 0 µs et 600 µs et leur amplitude de 0 à 2.4 mA. Ces impulsions peuvent être émises en continu ou par trains de 2 à 100 impulsions, espacés d'un délai également programmable. Le générateur a été utilisé pour la validation électrique des électrodes lors des expériences en phase aiguë. Il peut également être utilisé dans le cadre d'autres applications biomédicales, en particulier pour l'optimisation des paramètres de stimulation.

DESLAURIERS, Yann **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un circuit qui insère/extrait en temps réel des données ancillaires dans une trame vidéo.

RÉSUMÉ:

Le projet consiste à étudier et à proposer une architecture flexible basée sur le meilleur compromis possible entre une réalisation matérielle et logicielle et destinée à insérer/extraire des données ancillaires dans un signal vidéo.

PROBLÉMATIQUE:

Tout d'abord, une des contraintes dans l'élaboration du circuit est que l'on désire avoir un très bon synchronisme entre la fréquence du signal vidéo et celle des échantillons audio que l'on désire extraire (mentionnons que les données audio sont les données ancillaires auxquelles on accorde le plus d'importance). Plus précisément, on désire avoir une gigue de phase entre ces deux fréquences qui ne doit pas excéder 1 ns. Précisons qu'une version de ce produit a été réalisée sous la forme d'un circuit imprimé basé sur des composants commercialement disponibles par la société Miranda. Avec cette version, le délai nécessaire au bon traitement des signaux vidéo se chiffrait autour de 40 µs, ce qui est beaucoup trop élevé. Une architecture basée uniquement sur une implémentation software ne peut rencontrer les contraintes mentionnées ci-haut. Cependant, en terme de flexibilité, une partie de cette architecture aurait avantage à être réalisée à l'aide d'un microcontrôleur.

MÉTHODOLOGIE:

Notre objectif est donc de définir une architecture où les parties de la fonctionnalité du système nécessitant un haut rendement soient réalisées en matériel dédié et le reste, implanté dans un microcontrôleur relativement simple. Plus précisément, la méthodologie conduisant au circuit voulu peut s'exprimer ainsi :

- Définition d'une architecture adéquate;
- Conception de l'architecture en VHDL;
- Simulations fonctionnelles de l'architecture (Synopsys)
- Synthèse des modules et simulations temporelles de l'architecture (Synopsys)
- Placement et routage de l'architecture (Cadence)

RÉSULTATS:

L'architecture retenue conduit à un circuit dont la complexité en nombre de transistors est estimée à 500 000 transistors. Le délai maximal de traitement des signaux vidéo a une valeur de 2,5 µs. Ce délai est donc passé de 40µs à 2,5 µs. Présentement, tous les modules sont synthétisables et ont presque tous été simulés fonctionnellement. Le chemin critique du circuit a été analysé et c'est en raison de cette analyse que l'on est capable de chiffrer le délai.

DJEBBAR, Abderrahmane **DIPLÔME : M.Sc.A.**

TITRE :

Accélération d'un décodeur Reed-Solomon sur une plate forme logicielle-matérielle DSP-FPGA.

RÉSUMÉ :

Le but de ce projet de maîtrise est de concevoir et d'accélérer un décodeur Reed-Solomon (255,239) sur FPGA ciblant la technologie XILINX et la carte XCIM.

Notre décodeur permettra de décoder des mots codés de 255 symboles avec 239 symboles d'informations, ce qui nous amènera donc à corriger jusqu'à 8 erreurs.

La possibilité d'implémenter une partie de ce décodeur sur logiciel (choix d'un partitionnement logiciel/matériel) sera étudiée en cours de projet.

PROBLÉMATIQUE :

Lors de la transmission de données numériques à travers des canaux de communication, la probabilité d'avoir des erreurs de transmission est très élevée. Afin de recevoir l'intégrité des données émises, une technique très efficace est utilisée et se nomme le «Forward Error Correction (FEC) ». Il existe différentes méthodes permettant d'accomplir cette tâche, mais la plus efficace et la plus populaire de nos jours reste celle utilisant les codes Reed-Solomon. Ceux-ci sont décrits comme des codes (n, k) où les mots codés (code works) sont des blocs de n symboles incluant k symboles d'informations. Le concept de base de cette technique est d'ajouter de la redondance au message à transmettre afin de permettre au récepteur, non seulement de savoir si les données qu'il a reçues sont valides mais aussi de les corriger s'il y a lieu.

MÉTHODOLOGIE :

La conception de notre décodeur se fera avec une méthodologie à raffinement successif dite « Top-Down ». Les différentes étapes permettant l'implémentation de cet algorithme sont les suivantes :

- Étude de l'algèbre des champs finis (Galois Fields) qui est largement utilisée dans les codes correcteurs d'erreurs;
- Étude de l'algorithme Reed-Solomon;
- Description matérielle en VHDL des différents modules du système;
- Validation du système qui sera basée essentiellement sur les simulations logiques avant la synthèse pour valider la fonctionnalité de chaque module, après la synthèse pour valider la synthèse et après le placement-routage. Notre circuit sera synthétisé à l'aide de l'outil Design Compiler de Synopsys, en utilisant la technologie XILINX;
- Placement-routage automatique du décodeur sur FPGA;
- Insertion d'une chaîne de balayage « SCAN » en utilisant une technique de testabilité basée sur la génération automatique des vecteurs de test.

RÉSULTATS :

Aucun résultat n'est disponible pour le moment.

DJEMOUAI, Abdelouahab **DIPLÔME: Ph.D.**

TITRE:

Interface transcutanée bidirectionnelle dédiée aux implants neuro-musculaires.

RÉSUMÉ:

Le but du présent travail est la conception et la réalisation VLSI d'une interface radiofréquence de communication et de transfert d'énergie pour des stimulateurs neuro-musculaires implantables. Le rôle de ces stimulateurs (implants) est la récupération totale ou partielle de la fonctionnalité d'organes biologiques. Ces implants devront être miniatures, de faible puissance de consommation et fonctionner avec des tensions d'alimentation très faible. De plus, comme ces stimulateurs sont implantés sous la peau, la communication et l'énergie nécessaire pour leur bon fonctionnement devront être effectuées à distance. Donc, l'interface (lien inductif) devrait assurer:

- Le transfert de l'énergie nécessaire à l'alimentation de l'implant.
- Une transmission bidirectionnelle de données entre l'extérieur et l'implant.

Pour évaluer les performances de l'interface, l'estimation des pertes du lien inductif et les pertes dans la peau est indispensable. Une telle estimation est nécessaire pour caractériser efficacement l'interface et de déterminer la gamme de fréquences à utiliser pour la transmission. Dans cette gamme de fréquences, les pertes devront être très faibles afin d'optimiser le rendement en puissance du lien.

PROBLÉMATIQUE:

Le recours aux implants biomédicaux (stimulateurs) intégrés a été depuis longtemps considéré comme une solution alternative pour la récupération de la fonctionnalité des organes humains paralysés. Cependant, l'alimentation de ces implants représente un handicap majeur dans leur design. Comme ces stimulateurs sont destinés pour un fonctionnement à long terme, leur alimentation devrait être effectuée à distance. Ceci est indispensable afin d'éviter le recours aux batteries et aux opérations chirurgicales nécessaires pour les recharger. Souvent le même lien (interface) d'alimentation est aussi utilisé comme moyen de communication avec l'implant. Donc, le développement d'une telle interface représente une étape cruciale dans la conception des implants biomédicaux. C'est dans cet axe que nous menons des recherches pour développer et concevoir des interfaces d'alimentation et de communication pour permettre un fonctionnement correct et de longue durée pour des stimulateurs intégrés.

MÉTHODOLOGIE:

La première étape à suivre est de revoir toutes les approches utilisées auparavant dans le domaine des interfaces de transfert d'énergie et de communication pour les implants intégrés. Puis en exploitant les moyens que nous disposons au laboratoire, il faut développer et implanter les méthodes pour pallier aux inconvénients déjà rencontrés dans ce domaine.

RÉSULTATS:

- Évaluation des pertes électromagnétiques dans la peau et de l'interface inductive.
- Caractérisation de l'interface inductive (détermination du rendement global).
- Développement et conception d'un contrôleur intégré de l'étage de puissance et de transmission RF de l'interface transcutanée.

DONFACK, Colince **DIPLÔME : M.Sc.A.**

TITRE :

Stimulateur de caractérisation et de test in vivo des électrodes dédiées à un implant visuel.

RÉSUMÉ :

Une des difficultés actuelles dans la mise sur pied d'un implant visuel réside au niveau d'un mauvais comportement des électrodes à moyen et à long terme. Le présent projet vise à trouver une approche pour intégrer le test et la surveillance de matrices d'électrodes d'un implant visuel.

PROBLÉMATIQUE :

Pour rester en contact avec le cerveau pendant des dizaines d'années, les électrodes doivent être biocompatibles. Cependant des expériences montrent que même les métaux les plus nobles ne sont pas à l'abri d'une dégradation électrochimique suite aux stimulations. La sécurité du patient étant l'un des préalables pour tout système implantable, il est primordial d'anticiper tout processus de destruction du tissu stimulé. S'il est vrai que les électrodes des implants visuels sont la source de nombreux échecs lors des expérimentations, il n'en demeure pas moins que celles-ci souffrent encore d'un manque de dispositif in vivo fiable permettant non seulement d'identifier l'origine du problème mais aussi d'apprendre sur l'interaction entre les électrodes et le cerveau.

MÉTHODOLOGIE :

La première étape consiste à étudier et à modéliser le comportement des électrodes implantées ainsi que de l'interface électrodes-tissu en regard des paramètres de stimulation. Ensuite, nous devons proposer des techniques de test in vivo basées sur l'étude précédente. Enfin, nous proposons une architecture appropriée et facile à intégrer avec le reste de l'implant.

RÉSULTATS :

Nous sommes sur le point de compléter l'étape de modélisation. Un dispositif de vérification de la boucle électrodes tissus a été proposé. Les résultats de simulation sont assez encourageants.

EHSANIAN-MOFRAD, Mehdi **DIPLÔME: Ph.D.**

TITRE:

Convertisseur analogique-numérique de type intervalle à haute résolution et à grande vitesse.

RÉSUMÉ:

Le projet consiste à faire la conception d'un convertisseur analogique-numérique à haute résolution. La nouvelle technique "subranging" va être utilisée dans la conception. Le design va être implanté en technologie BiCMOS ou CMOS. La résolution est de 12 à 15 bits. La vitesse de conversion est de 1 à 2 GHz.

PROBLÉMATIQUE:

Un des principaux problèmes des circuits convertisseurs analogiques/numériques à grande vitesse est la résolution. La résolution est normalement sacrifiée en augmentant la vitesse. L'architecture flash est la solution générale pour les convertisseurs à haute résolution et à grande vitesse. Par ailleurs, le coût des comparateurs augmente exponentiellement en fonction de l'augmentation du nombre de bits. De plus, cela fait augmenter certains éléments parasites qui influencent la résolution et la vitesse.

Notre objectif est de trouver l'architecture appropriée pour permettre la réalisation intégrée d'un système d'acquisition des données à grande vitesse. Viennent ensuite les phases d'implantation et d'essai afin de déterminer les performances et les exigences des autres blocs du système. Le circuit de type intervalle peut être une solution optimale et nouvelle à ce problème. L'entrée de ce circuit est numérique et les signaux de sortie sont numériques et analogiques. La sortie numérique est de m bits, couplés aux bits les plus significatifs. La sortie analogique est transférée à l'entrée du convertisseur analogique-numérique de faible résolution afin de produire les bits les moins significatifs.

MÉTHODOLOGIE:

Pour atteindre ces objectifs, les étapes suivantes doivent être faites:

- Tous les circuits requis doivent être conçus, fabriqués et testés individuellement;
- Le circuit au complet doit être analysé pour trouver les erreurs;
- Le circuit au complet doit être conçu et fabriqué en tenant compte des résultats des étapes 1 et 2 en utilisant la technologie CMOS;
- La technique du mode courant en CMOS devrait être utilisée pour la reconception du convertisseur.

RÉSULTATS:

Selon les résultats de simulation que nous avons obtenus récemment, nous pouvons concevoir un convertisseur analogique-numérique de 12 bits de résolution, en d'autres termes un rapport signal à bruit de 72 dB. Nous avons remarqué aussi que nous pouvons faire la conversion d'un signal analogique dont la fréquence peut atteindre 10 MHz.

La précision du convertisseur dépend de la précision des composants, de la technologie et du mode courant ou tension. Le mode courant a été utilisé afin de régler certains problèmes du mode tension. Le potentiel du mode courant nous permet d'avoir un convertisseur A/D avec 12 bits de résolution en utilisant une structure "subranging".

EL-HASSAN, Fadi **DIPLÔME: M.Sc.A.**

TITRE:

Implantation d'un décodeur de Viterbi sur une plate-forme mixte matériel logiciel.

RÉSUMÉ:

Dans les systèmes de communication numérique, le codage convolutionnel joue un rôle important pour la réception de haute performance. La présence d'erreurs parmi les symboles reçus conduit à la nécessité d'un décodeur qui détecte puis corrige les symboles entachés d'erreurs. L'algorithme de Viterbi est souvent appliqué pour le décodage convolutionnel dans plusieurs domaines intéressants, comme les communications par satellite, où il est nécessaire de recevoir de l'information précise avec le moins d'erreurs possibles en dépit de rapports signal à bruit relativement faibles.

MÉTHODOLOGIE:

Le décodeur de Viterbi va être implémenté sur la carte XCIM de la compagnie MiroTech. Après la définition de l'architecture, on utilise le langage VHDL (VHSIC Hardware Description Language) afin d'élaborer les différents blocs et de les synthétiser dans l'environnement de Synopsys. L'implantation sera faite sur des FPGA de la société Xilinx qui sont incorporés à la carte XCIM.

PROBLÉMATIQUE:

L'intégration de décodeurs de Viterbi devant fonctionner à débit élevé est difficile dans le cas des codes de grande longueur de contrainte K. Parmi les difficultés rencontrées, on note la récursivité des ACS (ADD-COMPARE-SELECT) et la mise à jour de la mémoire des chemins survivants du treillis représentant l'encodeur convolutionnel. La reconfigurabilité des FPGA réduit le temps de production des circuits intégrés denses. La carte XCIM de la compagnie MiroTech, qui contient deux FPGA utilisables par l'usager, sert à accélérer la vitesse de calcul d'une carte DSP-C40. On vise à implanter un décodeur de Viterbi de haute performance sur les deux FPGA (XILINX). Les principales difficultés rencontrées sont la bande passante limitée entre les organes de calcul et la mémoire et les ressources limitées des deux FPGA.

RÉSULTATS:

Les résultats préliminaires sont encourageants car nous sommes arrivés à définir une architecture qui peut rencontrer nos objectifs. Nous travaillons à la mise en œuvre de cette architecture sur la plate forme retenue.

FORTIN, Guillaume **DIPLÔME: M.Sc.A.**

TITRE:

Conception de circuits en AsGa pour la transmission de données par fibre optique.

RÉSUMÉ:

Les circuits de modulation de diodes laser sont composés d'un bloc de modulation du courant du laser pour la transmission des données et d'un bloc de régularisation de la puissance optique. Deux types de modulateurs ont été réalisés en AsGa, un pour les diodes à émission latérale et un pour les diodes à émission de surface (VCSEL).

Les méthodes de contrôle de la puissance optique des diodes laser sont nombreuses mais la littérature contient peu de mentions de leur implantation en VLSI. Une étude des principales méthodes de contrôle de la puissance optique a été complétée et un circuit de régularisation de la puissance optique moyenne a été conçu et fabriqué. Ce circuit ajuste le courant DC fourni au laser (courant de seuil) pour stabiliser la puissance optique moyenne.

Un multiplexeur 2 à 1 fonctionnant à plus d'un gigabit/s a également été conçu et fabriqué.

PROBLÉMATIQUE:

Le développement des réseaux de communication par fibre optique à grande vitesse (622 Mbit/s et plus) demande des circuits électroniques rapides pour assurer la transmission, la régénération et la réception des données. Plusieurs circuits de modulation de diodes laser pouvant opérer à 622 Mbit/s et plus ont déjà été réalisés dans les technologies AsGa et silicium bipolaire. La plupart de ces circuits ne permettent cependant que la modulation du courant d'alimentation du laser, le contrôle de la puissance étant assuré par un circuit externe. Le développement d'un circuit monolithique permettant le contrôle complet de la diode laser présente un avantage important au plan de l'intégration et de la réduction des coûts.

MÉTHODOLOGIE:

Les technologies GaAs 1 µm (QED/A) et 0.6µm (QED/A2 et TQTRx) de TriQuint Semiconductors ont été utilisées. Les simulations ont été effectuées sur Pspice et le dessin des masques sur Cadence EDGE et Cadence 4.2.2.

RÉSULTATS:

Les simulations des circuits conçus indiquent qu'ils permettent des taux de transmission de 622 Mbit/s à 5 Gbit/s, ce qui correspond aux performances recherchées.

FOUZAR, Youcef **DIPLÔME: Ph.D.**

TITRE:

Conception de circuits intégrés CMOS très rapides dédiés à des interfaces de communication.

RÉSUMÉ:

Le projet vise la conception et la réalisation d'une interface de transmission de donnée à haute vitesse en technologie CMOS. Pour ce faire, on a besoin de trois parties essentielles : le transmetteur, le récepteur et les plots d'entrée et de sortie rapides

PROBLÉMATIQUE:

Le problème de transmission de données entre divers circuits intégrés pose un défi véritable avec l'augmentation du débit de transmission de ces derniers. Pour cela, il faut avoir un système fiable et stable pour transmettre correctement les données en minimisant le bruit introduit.

Le coût et la puissance dissipés par les mécanismes retenus sont aussi d'une grande importance.

Dans ce projet, nous allons concevoir des circuits CMOS très rapides ayant une consommation d'énergie relativement faible, dédiés à des systèmes de communication. Ainsi, nous visons à transmettre des données à 1.25 Gb/s à travers une ligne de transmission.

MÉTHODOLOGIE:

La méthodologie de conception adaptée pour notre travail est la suivante :

- Proposer une architecture globale, en développant les techniques de transmission et de réception de données;
- Adapter des notions des PLL/DLL (Phase/Delay Locked Loop) pour les appliquer à notre système;
- Développer des circuits de plots d'entrées/sorties différentiels LVDS (Low Voltage Differential Signaling);
- Étudier et analyser le bruit et la gigue introduits dans le système.

RÉSULTATS:

Comme première étape dans le cadre de ce travail, une PLL a été fabriquée et testée en technologie CMOS 0.8µ. Des résultats très encourageants ont été obtenus. La deuxième étape consistait à la soumission d'un chip à la fabrication pour un prototype du transmetteur et des plots d'entrées/sorties LVDS en technologie CMOS 0.35µ.

GADIRI, Abdelkarim **DIPLÔME: Ph.D.**

Titre:

Échantillonnage parallèle multi seuils, théorie et applications.

RÉSUMÉ:

Ce travail repose sur un nouveau concept d'échantillonnage parallèle multi seuils de signaux très rapides dans un système de transmission de données. La technique utilisée a pour intérêt d'atteindre une résolution extrêmement fine et inhabituelle en technologie CMOS pour un échantillonnage en temps réel et ce sans avoir recours à une horloge de haute vitesse. Parmi les utilisations possibles dont peut faire l'objet cette technique, on peut citer les instruments de mesures digitaux, les PLLs numériques et les systèmes de recouvrement d'horloge et de données.

PROBLÉMATIQUE:

L'échantillonnage des signaux à très haute vitesse est une fonction importante dans les systèmes de communication. Ces systèmes incluent les PLLs numériques et les systèmes de recouvrement d'horloge et de données. L'échantillonnage des signaux se fait généralement en appliquant les signaux de données à l'entrée d'une bascule contrôlée par une horloge de très haute vitesse. La sortie de la bascule fournit un échantillon de la valeur du signal de données à chaque fois qu'une impulsion d'horloge est appliquée. Il existe des limitations quant à la résolution possible lorsqu'on utilise des bascules. Ces limitations peuvent être minimisées en utilisant une bascule ultra-rapide réalisée avec une technologie avancée. Cependant, le coût d'une telle bascule est élevé et elle peut devenir tout simplement irréalisable pour un taux d'échantillonnage donné. Précisons aussi que des horloges de haute vitesse peuvent être difficiles et coûteuses à générer et à distribuer dans un circuit intégré. Les techniques conventionnelles de recouvrement de données et d'horloge utilisent une horloge de haute vitesse et des bascules rapides, mais le taux d'échantillonnage de ces méthodes est borné par la fréquence de l'horloge. Le but de ce travail est donc de proposer un système de recouvrement de données et d'horloge à l'aide de notre technique d'échantillonnage parallèle multi-seuils.

MÉTHODOLOGIE:

Dans un système de transmission, les données et l'horloge sont combinées de manière à former un seul train d'impulsions. À la réception, le rythme de l'horloge doit être alors récupéré pour régénérer ensuite les données à la cadence de l'horloge. Pour cela, le système que nous proposons repose sur un échantillonneur parallèle atteignant une fréquence supérieure à 2 giga-événements par seconde en technologie CMOS. La méthodologie adoptée pour mener notre étude est comme suit:

- Validation du concept d'échantillonnage parallèle multi-seuils;
- Proposition d'une technique d'optimisation du circuit échantillonneur;
- Application du circuit dans un système de réception avec recouvrement d'horloge et régénération de données;
- Proposition d'un algorithme et une architecture pour le traitement des échantillons;
- Soumission d'un circuit pour fabrication.

RÉSULTATS:

- Développement et validation de la technique d'auto-calibration de l'échantillonneur;
- Design d'un système de recouvrement d'horloge basé sur l'échantillonnage parallèle multi-seuils;
- Intégration d'un circuit de sérialisation servant de circuiterie de test.

GAGNON, Mathieu **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un récepteur optique en CMOS.

RÉSUMÉ:

Le récepteur sera utilisé pour réaliser l'interface entre un circuit MOS analogique et des fibres optiques de plastique. Plusieurs méthodes de régénération (différentielles, mode courant, avec détection de pics) seront utilisées pour en déterminer les performances. La linéarité de la réponse, la tolérance à une grande plage de conditions d'opération ainsi que la compatibilité avec les technologies existantes seront évaluées. Une nouvelle méthodologie de test des canaux optiques a été développée et sera aussi intégrée à ce projet.

PROBLÉMATIQUE:

Comme les circuits intégrés sont de plus en plus rapides, les plots d'entrée/sortie conventionnels et les interconnexions limitent la performance des systèmes. Afin que ces derniers soient rapides, il faut donc réussir à transmettre l'information entre les circuits intégrés de façon plus efficace. Cela doit être fait sans engendrer des coûts d'emballage trop importants, ou nécessiter trop d'espace sur les circuits intégrés. De plus, l'approche retenue doit être compatible avec les technologies utilisées couramment. La technologie des fibres optiques de plastique peut répondre aux exigences de communications plus rapides. Cependant, peu de récepteurs efficaces ont été réalisés pour ce genre d'applications, et aucun ne répond à tous les critères énoncés.

MÉTHODOLOGIE:

Les circuits existants seront revus et les caractéristiques voulues déterminées. Des simulations seront faites pour assurer l'invariance de la réponse du circuit aux différentes conditions d'opération possibles. Des caractérisations sur des structures de test de photorécepteurs seront faites. Cela nous permettra d'avoir des modèles plus précis pour les photodiodes. La testabilité du circuit, dans un contexte de système opto-électronique, sera évaluée. Finalement, le prototype sera fabriqué et testé.

RÉSULTATS:

La réponse optique des structures fabriquées a été testée et analysée. Les modèles obtenus ont été intégrés dans les outils de conception automatisée. Des logiciels de soutien pour l'évaluation des effets parasites des interconnexions externes ont été programmés.

GAGNON, Yves **DIPLÔME : M.Sc.A.**

TITRE:

Restructuration par faisceau laser des circuits intégrés VLSI.

RÉSUMÉ:

La complexité et par conséquent les dimensions sans cesse croissantes des nouveaux microcircuits conduisent inévitablement à une diminution du rendement à la fabrication. Les développements récents en microchirurgie des circuits par faisceau laser pourraient permettre dans certains cas la restructuration de circuits intégrés défectueux de façon rentable.

PROBLÉMATIQUE:

- L'amélioration des procédés de fabrication entraîne une augmentation du rendement de fabrication des circuits intégrés. Les avantages économiques découlant de l'application des techniques de restructuration peuvent donc être très limités et doivent être évalués pour les différents circuits intégrés.

- Les structures déjà existantes dans les circuits intégrés comme les transistors et les lignes métalliques, pourraient être utilisées pour créer des liens par laser dans un circuit défectueux sans avoir à prévoir de structures supplémentaires.

MÉTHODOLOGIE:

- Appliquer le modèle probabiliste développé antérieurement pour évaluer la faisabilité économique de la restructuration laser sur un circuit conçu au GRM.

- Continuation des expériences pour tenter de créer des liens électriques entre les électrodes de transistors MOSFET.

- Tester la durabilité des liens.

RÉSULTATS:

- L'application du modèle probabiliste a montré que l'utilisation de la restructuration par laser n'était pas rentable économiquement pour le circuit étudié. Le modèle a aussi démontré que la restructuration laser est rentable seulement pour les très gros circuits (10 cm^2 et plus).

- Des liens ont été créés entre les électrodes des transistors MOSFET mais les conditions de reproductibilité n'ont pas encore été contrôlées.

GRANGER, Éric **DIPLÔME: Ph.D.**

TITRE:

Étude des réseaux de neurones artificiels pour la reconnaissance rapide d'impulsions radars.

RÉSUMÉ:

Un système de Mesures de Soutien Électronique (MSE) est un senseur passif qui a pour but de caractériser (localiser et identifier) les émetteurs dans son environnement électromagnétique d'après les signaux radars qu'il intercepte. Son traitement consiste essentiellement à regrouper les impulsions captées qui sont similaires, pour ensuite identifier les sources associées aux groupes (i.e. les modèles d'émetteurs). La réponse de ces systèmes est critique pour la prévention de menaces. Toutefois, l'identification d'émetteurs en temps réel devient de plus en plus ardue dû à la complexité et à la densité des environnements modernes. Ce projet vise l'étude du potentiel des réseaux de neurones artificiels (RNA) pour les MSE radar en temps réel.

PROBLÉMATIQUE:

Ce projet comporte deux volets : (1) l'application de RNA auto-organisateurs pour effectuer le regroupement d'impulsions radars, et (2) l'application de RNA classificateurs pour l'identification de sources émettrices. En ce qui concerne le premier volet, une comparaison antérieure (voir la partie résultats) a révélé que le Fuzzy ART est très prometteur pour le regroupement d'impulsions à haute vitesse. Malgré l'efficacité de ses traitements, Fuzzy ART donne des résultats qui sont moins précis que d'autres RNA. De plus, ses résultats varient selon l'ordre de présentation des séquences d'entrées. En ce qui concerne le deuxième volet, un RNA classificateur est proposé pour l'identification directe des impulsions, sans passer par l'étape de regroupement. En plus du besoin pour un traitement très rapide, le classificateur doit se fier sur des connaissances à priori (i.e. une librairie de MSE) incomplète.

MÉTHODOLOGIE:

Pour le premier volet, il s'agit de déterminer une mesure qui permet de détecter les entrées qui mènent à des décisions incertaines. Ensuite, pour réduire les effets associés aux décisions incertaines, on modifie la façon par laquelle Fuzzy ART apprend ou décide pour des cas incertains. Pour le deuxième volet, un RNA classificateur est combiné avec un RNA auto organisateur. Le classificateur apprend a priori une librairie de MSE, tandis que l'auto organisateur apprend l'état des émetteurs actifs dans un environnement. L'idée est de permettre aux RNA de coopérer afin de prédire l'identité le plus probable d'un émetteur actif.

RÉSULTATS:

Une comparaison de quatre RNA auto-organisateurs qui ont du potentiel pour des applications de catégorisation à débit élevé a été effectuée. Les résultats ont permis de conclure que le RNA Fuzzy ART et Self-Organizing Feature Mapping sont d'excellents candidats pour des applications en MSE radar. Le premier est très efficace en terme de calculs, tandis que le deuxième donne des résultats très précis. Ainsi, le choix d'un de ces deux RNA reflète d'un compromis entre la qualité des résultats et l'efficacité des calculs.

La mise en œuvre VLSI numérique du RNA Fuzzy ART a été étudiée. Les performances du RNA ont été quantifiées par simulation avec un ensemble de données constituées d'impulsions radars réelles. Afin d'obtenir des solutions efficaces pour la mise en œuvre du RNA avec un circuit dédié VLSI, son algorithme a été reformulé. Ensuite, une architecture de système Fuzzy ART qui réalise cet algorithme pour des applications à débit élevé a été proposée. Un modèle d'estimation surface-temps permet de choisir les configurations d'architecture et d'évaluer la vitesse de traitement, ainsi que la surface qui leur est associée, étant donné l'ensemble des contraintes de l'application.

GÛÇLÛ, Alev Devrim **DIPLOME: M.Sc.A.**

TITRE:

Études théoriques des dispositifs à puits quantiques par la méthode Monte Carlo.

RÉSUMÉ:

De nos jours, grâce à leur performance supérieure et aux pertes peu élevées qu'elles occasionnent, les diodes lasers à puits quantiques sont de plus en plus employés dans le domaine des télécommunications. La caractérisation de ces dispositifs nécessite cependant une meilleure compréhension des phénomènes physiques qu'ils mettent en jeu.

PROBLÉMATIQUE:

Dans les structures à puits quantiques, la région active est de l'ordre du nanomètre. Les porteurs de charge confinés à ces distances manifestent ainsi des propriétés quantiques. Afin de caractériser les performances de ces composants, nous devons approfondir nos connaissances des phénomènes tels que la capture électronique, la modification de la structure de bande et le transport de charge. Une étude basée sur la mécanique quantique s'avère donc nécessaire.

MÉTHODOLOGIE:

Pour étudier les dispositifs à semi-conducteur, une méthode semi-classique très puissante, le simulateur Monte Carlo, a été mise au point. Cependant, pour faire une étude théorique plus poussée des nanostructures, il faudra inclure l'aspect quantique des phénomènes physiques dans le simulateur et comparer les résultats à ceux obtenus soit expérimentalement, soit à l'aide d'un simulateur classique. La structure de bande dans les régions des puits sera calculée par la méthode k.p et sera intégrée dans le simulateur Monte Carlo.

RÉSULTATS:

Plusieurs simulations ont été effectuées pour comparer le simulateur Monte Carlo à un simulateur classique des équations de diffusion et d'entraînement. Aussi, des résultats de photoluminescence des échantillons de diodes lasers ont été reproduits par le simulateur Monte Carlo.

GUÉNETTE, Philippe **DIPLÔME: M.Sc.A.**

TITRE:

Circuits analogiques programmables et reconfigurables en microélectronique.

RÉSUMÉ:

L'intérêt croissant porté aux circuits analogiques et les avantages évidents qu'offrent les circuits programmables, flexibilité, temps de conception des prototypes et coût avantageux pour un faible volume, nous amènent vers les circuits analogiques programmables.

PROBLÉMATIQUE:

La majorité des circuits analogiques disponibles sur le marché sont des circuits dédiés, et bien qu'il y ait une demande pour les circuits analogiques programmables, il y en a très peu sur le marché.

Le but du projet est de concevoir un circuit analogique programmable, reconfigurable et flexible permettant son utilisation dans des applications d'acquisition de données, d'instrumentations, de traitement de signaux, etc.

La conception d'un circuit analogique programmable et reconfigurable offrant une grande flexibilité tout en occupant une surface restreinte constitue un véritable défi.

MÉTHODOLOGIE:

Le circuit sera conçu pour la technologie à 0,8 microns de BiCMOS de Northern Telecom, avec les outils de Cadence Design System et ce pour une utilisation industrielle, soit pour un intervalle de température variant de –40 à 85°C, à une alimentation de 5 volts.

La conception nécessitera les simulations AC, DC et transitoires pour caractériser chacun des éléments du circuit et pour en vérifier la fonctionnalité. Les caractéristiques telles le bruit, la distorsion harmonique, la marge de phase, la largeur de bande et le gain seront mesurés. Ces simulations seront effectuées à diverses températures dans l'intervalle requis.

Pour vérifier la fonctionnalité de l'ensemble, des simulations seront effectuées sur chacun des blocs indépendamment et ensuite sur l'ensemble des blocs interconnectés.

Le circuit comportera une matrice analogique programmable, un convertisseur numérique à analogique de 8 bits, un convertisseur analogique à numérique de 8 bits, un filtre à capacités commutées, un circuit logarithmique, un circuit exponentiel et des registres de programmation. La matrice programmable sera composée de quatre rangées de quatre amplificateurs opérationnels à gain et configuration programmable, d'un filtre d'entrée passif et d'un amplificateur de sortie à gain unitaire et configuration programmable.

Pour permettre une grande flexibilité, certains circuits de traitement offriront la possibilité de contrôle externe par le biais de composants discrets.

RÉSULTATS:

Chacun des blocs qui compose le circuit intégré fonctionne correctement en simulation, un bon gain, une bonne marge de phase et un comportement tel qu'anticipé. Le circuit a été fabriqué avec la technologie 0,8 microns BiCMOS de Northern Telecom grâce à l'espace octroyé par la Société Canadienne de Microélectronique. Les tests de caractérisation des prototypes ont débutés en avril dernier et nous ont permis de découvrir des difficultés majeures sur le circuit générateur de références en tension. Ces difficultés sont à présent attribuables à deux facteurs principaux soit une utilisation de modèles de transistors bipolaires faussés et une erreur de caractérisation par simulation. Les prototypes sont encore sujet d'études.

HARB, Adnan **DIPLÔME: Ph.D.**

TITRE:

Détection des activités neuronales vésicales et leur utilisation pour récupérer la fonction de la rétention.

RÉSUMÉ:

Ce travail consiste à concevoir et à réaliser un circuit électronique implantable destiné à corriger les dysfonctions urinaires. Pour cela, une nouvelle méthode permettant de mesurer le volume vésical sans nuire à la vessie est proposée. Les signaux mesurés seront traités et exploités pour rétablir le fonctionnement normal de la vessie.

PROBLÉMATIQUE:

En Amérique du Nord, plus de deux millions de personnes souffrent de dysfonctions urinaires. Parmi les solutions suggérées, le stimulateur nerveux implantable est le plus prometteur. Ce type d'implants ne remplace cependant pas toutes les fonctions du système urinaire. Un détecteur du volume vésical est nécessaire. Il formera, avec le stimulateur électrique, une boucle fermée permettant de mieux contrôler la stimulation.

MÉTHODOLOGIE:

L'objectif du projet est de concevoir et réaliser un implant électronique urinaire qui réalise les fonctions suivantes:

- La mesure du volume vésical: les méthodes proposées dans la littérature sont imprécises, non fiables ou partiellement implantables ou bien elles peuvent engendrer des dommages à la vessie.
  Nous proposons d'utiliser une méthode naturelle qui consiste à obtenir l'information sur le volume vésical à partir des nerfs sensoriels qui, dans la situation normale, acheminent l'information au cerveau. L'information acquise sera comparée à des références avant de prendre la décision sur la stimulation.
  Des tests in vivo chez les animaux seront abordés pour déterminer les références et étudier des signaux des nerfs sensoriels: variation avec le volume vésical, etc.

- La microstimulation: le microstimulateur contient cinq blocs principaux:
  - la réception (énergie et commande);
  - l'acquisition des signaux nerveux;
  - le traitement des commandes;
  - le traitement des signaux nerveux;
  - les générateurs des signaux de stimulation.

- Dans ce travail, nous visons à concevoir complètement le deuxième et le quatrième bloc, et améliorer les travaux sur les autres blocs déjà effectués au sein de l'équipe PolyStim.

- Après la conception et la stimulation du circuit, les plans de masques seront préparés pour la fabrication. La technologie sera choisie selon les performances recherchées pour l'implant (faible consommation, faible surface, etc.) Le circuit fabriqué sera testé pour vérifier son bon fonctionnement.

RÉSULTATS:

Une carte en composants discrets destinée à la mesure des signaux de nerfs sensoriels de très faible amplitude a été réalisée et utilisée conjointement avec une carte d'acquisition dans les sessions de validation in vivo. En utilisant des électrodes tripolaires symétriques, nous avons réussi à enregistrer les signaux et leurs variations en fonction du volume.

La conception d'un préamplificateur intégré pour l'acquisition des signaux nerveux est complétée. Le layout est réalisé et envoyé à la fabrication en technologie CMOS 0.35 µm.

HARVEY, Jean-François **DIPLÔME: Ph.D.**

TITRE:

Intégration d'un contrôleur externe dédié à un implant visuel.

RÉSUMÉ:

Le projet consiste à intégrer sur une même puce toutes les parties du contrôleur externe qui ont été développées dans les prototypes précédents. Les différentes parties comprennent entre autre un capteur d'image de type CMOS, un convertisseur analogique à numérique (CAN) de type semi-flash, une unité de traitement numérique servant à améliorer les caractéristiques visuelles des images et une unité de formation de mots de commandes définissant les paramètres de stimulation.

PROBLÉMATIQUE:

Pour permettre aux non-voyants de récupérer une vision fonctionnelle, nous utilisons un implant de type cortical, c'est-à-dire que la stimulation s'effectue directement dans le cerveau. Le stimulateur visuel est constitué de deux parties: la partie implantable (ou implant) et le contrôleur externe. Le but du présent projet est de procéder à l'intégration sur une seule puce des fonctionnalités qui ont été préalablement testées avec les prototypes précédemment réalisés. Une fois l'intégration terminée, le système devra être capable de transformer une scène réelle en information de stimulation.

MÉTHODOLOGIE:

L'image est acquise grâce à un capteur fabriqué avec un procédé CMOS standard. Chaque pixel est numérisé avec un CAN semi-flash et mémorisé dans une cellule de mémoire ayant les mêmes dimensions que l'image. Une unité de traitement numérique se charge alors de procéder à une égalisation d'histogramme résultant en une luminosité plus équilibrée et de meilleurs contrastes. L'image est ensuite transférée parallèlement dans une autre cellule de mémoire où elle est balayée de façon non séquentielle correspondant au balayage effectué par l'implant. Le balayage non séquentiel est nécessaire puisqu'il est impossible de stimuler deux sites rapprochés à l'intérieur d'un certain intervalle de temps (temps de repolarisation). L'image est finalement encodée en mots de commande.

RÉSULTATS:

L'intégration est à ses débuts. Le capteur CMOS, l'unité de traitement numérique et certaines unités de mémorisation sont présentement en fabrication. L'intégration du reste des fonctionnalités suivra au début de 1999.

HU, Yamu **DIPLÔME: M.Sc.A.**

TITRE:

Réduction de bruit 1/f de préamplificateur.

RÉSUMÉ:

Ce projet consiste en la conception et la réalisation de deux méthodes distinctes pour réduire le bruit 1/f et l'offset d'un amplificateur opérationnel. Nous utilisons pour cela deux techniques : de «chopper stabilisation» (CHS) et «autozeroing/correlated double sampling» (CDS). L'objectif de ce projet est de pouvoir amplifier des signaux de l'ordre du microvolt occupant une bande passante inférieure à 10 KHz.

PROBLÉMATIQUE:

Dans les basses fréquences, le bruit 1/f et l'offset sont les deux principales sources de bruit pour des amplificateurs opérationnels qui utilisent une entrée différentielle MOS. Étant donné que le bruit diminue, la bande passante du signal d'entrée, la réduction de ce dernier contribue de manière significative à l'amélioration des performances des amplificateurs opérationnels.

MÉTHODOLOGIE:

Il existe deux méthodes généralement utilisées lors de la réduction du bruit 1/f et de l'offset ayant chacune des avantages et des inconvénients. Dans ce projet, nous avons porté notre choix sur la méthode «Chopper stabilisation » parce que nous voulons amplifier des signaux continus. Toutefois, ceci n'exclura pas des recherches avec la deuxième méthode dite « correlated double sampling technique » pour des besoins de comparaison.

RÉSULTATS:

Pour l'instant, nous avons réalisé le circuit « chopper » en CMOSP35 et les résultats de simulation ont montré sa bonne fonctionnalité. Le layout dudit circuit a également été complété et sera soumis pour fabrication sous peu.

JECKLEN, Ernesto **DIPLÔME: Ph.D.**

TITRE:

Technique de linéarisation numérique des amplificateurs de puissance.

RÉSUMÉ:

Ce projet traite d'une technique de linéarisation des amplificateurs de puissance micro-ondes par la méthode de prédistorsion numérique adaptative et de développement des algorithmes exécutés par un circuit de traitement de signal numérique «DSP».

PROBLÉMATIQUE:

Pour une meilleure efficacité énergétique ou afin d'obtenir le maximum de puissance à la sortie, les amplificateurs de puissance sont généralement conditionnés à travailler dans la région non linéaire. Selon la méthode de modulation utilisée, les inconvénients de ces conditions ont pour effet de générer des distorsions (AM-AM; AM-PM) qui dégradent la performance du système. Par conséquent, minimiser ces distorsions nous amènent à l'utilisation des techniques de linéarisation analogiques et numériques.

MÉTHODOLOGIE:

Nous prévoyons compléter les étapes suivantes:

- Calcul des intervalles de variation des paramètres selon les spécifications d'un amplificateur de puissance; ceux-ci permettront de connaître les paramètres du signal d'excitation, l'échantillonnage et la quantification de la puissance.
- Simulation du système composé des parties analogiques (radio fréquence) et numérique « DSP », en utilisant un logiciel de traitement numérique de signaux «SPW» (Signal Processing Work System). Cette simulation permettra de connaître des résultats en fonction de différents algorithmes.
- Analyse des résultats à travers des valeurs des paramètres et graphiques obtenus, ce qui nous permettra d'évaluer les avantages et les inconvénients par rapport aux différentes techniques de linéarisation.
- Validation de l'ensemble du système sur une machine Pentium ayant une carte de développement DSP C40 et les modules de conversion N/A et A/N nécessaires.

RÉSULTATS:

Des résultats des simulations sur SPW et une validation préliminaire sur un processeur TMSC40 ont été obtenus et on peut noter que la technique offre une bonne réduction des bruits d'inter modulation (AM-AM, AM-PM).

KHALI, Hakim **DIPLÔME: Ph.D.**

TITRE:

Algorithmes et architectures spécialisés pour un système optique autosynchronisé à précision accrue.

RÉSUMÉ:

L'imagerie 3D constitue un domaine d'application de haute performance principalement pour la vision par ordinateur. Dans le cas de l'utilisation de systèmes optiques, la précision des données collectées est d'une grande importance lors de la reconstitution du contour 3D d'un objet. Notre projet consiste à élaborer des algorithmes et des architectures de correction d'erreurs pour des systèmes optiques dont le débit varie entre 1 million et 10 millions de points par seconde.

PROBLÉMATIQUE:

Dans un système optique de triangulation par balayage d'une scène à l'aide d'un faisceau laser, les caractéristiques physiques et géométriques des objets à étudier peuvent influencer grandement l'exactitude des mesures. Lorsque les surfaces à analyser sont uniformes, le signal capté sur le détecteur optique est de type gaussien. Cependant, une variation de profondeur ou de réflectance peut entraîner une déformation du spot laser entraînant ainsi une erreur de mesure. Notre but est de modéliser cette erreur en fonction des principaux paramètres d'un système optique et d'élaborer des algorithmes de correction.

MÉTHODOLOGIE:

La première étape du travail consiste à analyser des surfaces à profondeur constante et présentant une variation de réflectance. Deux types de variation sont analysés : les gradients et les sauts de réflectance. En seconde étape, nous devons analyser comment varie l'erreur en fonction de l'amplitude et de la position de la variation. En troisième étape, nous nous proposons d'élaborer une ou plusieurs méthodes pour compenser cette erreur.

RÉSULTATS:

Pour la correction d'erreur, nous avons développé deux types d'algorithmes de correction: l'un des deux corrige à partir de données recueillies pendant une phase de calibration, .tandis que le second corrige en fonction des propriétés mathématiques d'un spot gaussien. De plus, afin d'atteindre les débits visés, des architectures dédiées sont en cours d'élaboration afin d'accélérer les algorithmes développés.

LAVOIE, Michel **DIPLÔME: Ph.D.**

TITRE:

Calculs de stabilité de réseaux en temps réel pour architectures de processeurs parallèles.

RÉSUMÉ:

La simulation des phénomènes de stabilité transitoire des réseaux de production et de transport d'énergie électrique requiert une grande capacité de traitement afin de pouvoir simuler des phénomènes rapides. Des algorithmes et architectures parallèles et des processeurs très performants sont les principaux éléments de solution. Quelques heuristiques sont aussi primordiales.

PROBLÉMATIQUE:

Les algorithmes de solution de calcul matriciel contemporains qu'ils soient directs ou itératifs, sont tous séquentiels et trop lents pour espérer atteindre le temps réel même sur les processeurs hyperscalaires actuels. Les matrices représentatives des réseaux électriques sont des matrices très creuses et correspondent à des topologies de réseaux plus ou moins radiales. En simulation numérique temps réel, l'approche partitionnée facilite la distribution de la modélisation des différents composants entre plusieurs processeurs. Le projet consiste à développer un algorithme numérique parallèle exécutable en temps réel permettant de solutionner l'équation matricielle Ax - b où A est une matrice d'admittances d'ordre 100 creuse à 95%, b est un vecteur de courants très creux de longueur 100 et x et le vecteur voltage des inconnus de longueur 100. Un algorithme capable de distribuer correctement la solution des matrices entre les microprocesseurs d'une architecture parallèle a permis d'attendre des résultats inédits et imprévus.

MÉTHODOLOGIE:

La première étape a consisté à programmer les algorithmes les plus rapides dans notre environnement de travail et de vérifier que nous pouvions retrouver les temps d'exécution publiés ou mieux. Au cours de la seconde étape, nous avons vérifié quelques hypothèses de travail en programmant de nouveaux algorithmes et en comparant le temps d'exécution versus la précision de la réponse. Les algorithmes retenus séparent le réseau en sous-réseaux solutionnables simultanément par des processeurs différents. La dernière étape a consisté à convertir l'algorithme pour utiliser un stockage économique et les techniques de matrices creuses. Les algorithmes retenus sont exécutables sur une architecture de processeurs parallèles et permettent de solutionner en temps réel l'équation matricielle Ax = b. Les intrants de chaque processeur sont la matrice d'admittance et le vecteur courant détaillés d'un sous-réseau et un équivalent NORTON pour chacun des autres sous-réseaux. Les extrants sont le vecteur tension détaillé et l'équivalent NORTON du sous-réseau propre à ce processeur.

RÉSULTATS:

Algorithme d'ordonnancement avec ou sans contraintes de la matrice du réseau. Parallélisation de la solution de l'équation matricielle Ax = b par la méthode des équivalents exacts dans le cas particulier où cette équation est appliquée aux réseaux de transport d'énergie électrique. Développement des fonctions de manipulation de matrices creuses complexes en utilisant des techniques spécifiquement adaptées aux matrices creuses. Conversion des matrices carrées creuses en format "stockage économique (sé)". Algorithme de factorisation LU opérant sur le format sé. Résolution de l'équation matricielle Ax = b en 3 millisecondes pour une matrice d'ordre 50 en utilisant un processeur Sun SPARC ULTRA I 140 Mhz.

LE CHAPELAIN, Bertrand **DIPLÔME : M.Sc.A.**

TITRE :

Développement d'une bibliothèque TSPC de haute performance et conception de gros blocs logiques TSPC (Convolueur 3*3).

RÉSUMÉ :

Le projet comporte deux parties. Premièrement, des règles de dessin et un algorithme ont été développés afin de réaliser des bibliothèques de cellules TSPC (True Single Phase Clocking) de haute performance facilement portable d'une technologie à l'autre. Deuxièmement, un convolueur 3*3 est développé en TSPC avec les cellules logiques créées, afin de vérifier leur performance et d'automatiser les architectures TSPC à haute intégration.

PROBLÉMATIQUE :

Régulièrement de nouvelles technologies CMOS apparaissent et il faut réaliser de nouvelles bibliothèques logiques. Afin de faciliter le travail des concepteurs, nous avons défini un algorithme de conception de cellules TSPC qui pourrait être utilisé de façon automatique. Il s'agit de traiter les informations générées par des outils de stimulation à l'aide d'un programme écrit en langage C à partir d'une netlist extraite d'un outil de dessin des masques. Le but est de diminuer le temps de conception avec de bonnes optimisations.

Le deuxième axe de recherche consiste à développer des techniques et des architectures TSPC opérant à des fréquences supérieures au GHz. Pour ce faire, il faut trouver un compromis entre la latence et l'ultra pipelinage. Il faut également trouver des solutions efficaces face au skew.

MÉTHODOLOGIE :

De nombreuses simulations de cellules TSPC ont permis de trouver les étapes essentielles lors de leur développement. En travaillant par analogie, nous avons pu constater quelles étaient efficaces pour toutes les cellules TSPC de base à sortie partagée. Fort des connaissances acquises dans nos précédentes études, nous essayons de générer des cellules de plus en plus importantes tout en optimisant leur latence par rapport au pipelinage engendré par l'architecture TSPC. Pour réaliser des circuits plus importants, nous devons modéliser le biais de synchronisation admissible pour les cellules critiques et tester différentes topologies de distribution d'horloge.

RÉSULTATS :

Un algorithme de génération et d'optimisation de cellules TSPC a été mis au point et un article a été soumis à ISCAS'99. Une bibliothèque robuste et très performante a été générée en technologie 0.35um. Chaque cellule fonctionne à plus de 2 GHz.

Les travaux d'architecture de blocs logiques TSPC ont débuté avec des améliorations de l'architecture du convolueur 3*3 TSPC afin d'en réduire la latence.

LESTRADE, Michel **DIPLÔME: M.Sc.A.**

TITRE:

Modélisation et caractérisation de diodes lasers.

RÉSUMÉ:

Les techniques de simulation des diodes lasers sont aujourd'hui très sophistiquées. Néanmoins, leur utilisation requiert une bonne connaissance de différents paramètres empiriques. Il s'avère donc utile de pouvoir évaluer ces paramètres de façon expérimentale plutôt que de se fier sur des résultats publiés se rapportant à d'autres composants se voulant similaires.

PROBLÉMATIQUE:

L'introduction de structures à puits quantiques dans les lasers à semi-conducteurs a permis un grand nombre de progrès technologiques importants. Ces composants sont toutefois toujours soumis à certains paramètres mal connus ou difficilement quantifiables tels le taux de recombinaison non radiative et la dépendance en température. Toutefois, ces paramètres pourraient être évalués de façon expérimentale.

MÉTHODOLOGIE:

Nous cherchons à évaluer certains paramètres clés des lasers à semi-conducteurs en étudiant leur spectre d'émission ainsi qu'en analysant leur courbes L-I, V-I et V-(dV/dI). Nous pourrons ensuite comparer ces résultats à ceux publiés et étudier leur effet sur les méthodes de simulation couramment employées.

RÉSULTATS:

Travail préliminaire; résultats à venir.

LI, Ran **DIPLÔME: M.Sc.A.**

TITRE:

Estimateurs de performance pour contrôleurs embarqués de haute performance.

RÉSUMÉ:

On s'intéresse aux microprocesseurs embarqués ayant des fonctionnalités pour des opérations de base de traitement de signal (DSP), dont les performances vont de 40 à 200 MIPS. Le domaine d'application visé est la télécommunication pour des applications embarqués de faible consommation (modems rapides, téléphone cellulaire, communications mobiles, etc.). Pour une application donnée, il s'agit de déterminer le type de processeur (TMS320C50, ARM, Lucent, Motorola, etc.) qui rencontre le mieux les spécifications.

PROBLÉMATIQUE:

Dans le domaine des télécommunications et plus particulièrement en téléphonie, une multitude d'applications nécessite d'intégrer (embarquer) le microprocesseur dans un appareil de telle manière à respecter un ensemble de contraintes non fonctionnelles (temps d'exécution, dissipation de puissance, espace mémoire, sécurité, facilité à prédire le temps de développement, etc.). Il est donc clair que pour satisfaire toutes ces contraintes le MIPS, comme métrique de comparaison, ne suffit plus. Il faut par exemple tenir aussi compte du ration MIPS/watt. Il s'agit donc de définir des métriques de performance pour logiciel qui modélisent ces contraintes et qui pour une application donnée détermine le meilleur processeur parmi un ensemble de processeurs (TMS320C50, ARM, Lucent, Motorola, etc.).

MÉTHODOLOGIE:

Dans la littérature actuelle, il existe pour chaque métrique de performance modélisant une contrainte fonctionnelle spécifiée plus haut (temps d'exécution, taille du programme et des données, puissance dissipée, etc.) il existe plusieurs algorithmes permettant une estimation au niveau fonctionnel. Il faut cependant s'assurer que ces estimateurs de niveau fonctionnel modélise bien l'architecture souvent propre à chaque processeur. Lorsque le niveau fonctionnel (en général en langage C) ne suffira plus, il faudra travailler au niveau réalisation (directement avec le code assembleur). L'inconvénient dans ce dernier cas, est qu'il faudra alors restreindre l'ensemble de processeurs (étant donné le temps de développement). Il s'agit donc de faire le bon choix d'estimateurs et d'intégrer chacun de ces estimateurs dans une fonction objective globale.

RÉSULTATS:

Le projet débute et aucun résultat n'est disponible pour l'instant.

MICHAUD, Guy **DIPLÔME : M.Sc.A.**

TITRE :

Génération de vues par ondelettes.

RÉSUMÉ :

La télé-opération du matériel minier s'avère une avenue de plus en plus favorisée pour l'exécution de tâches dans cet environnement hostile. Pour une télé-opération visuelle, la quantité d'information à transmettre est considérable et il est souhaitable de la réduire au maximum afin de permettre un fonctionnement en temps réel.

PROBLÉMATIQUE :

Pour réduire la quantité de données à transmettre, en l'occurrence le nombre d'images, on peut utiliser des méthodes de compression numérique des signaux, mais on peut aussi la réduire en ne transmettant pas toutes les images nécessaires à l'opérateur. On doit alors générer l'information manquante à partir de celle existante, et ce à la demande de l'opérateur. Dans ce projet, nous réaliserons un système de génération de vues pour être utilisé dans des environnements non-structurés, tel que les environnement miniers.

MÉTHODOLOGIE :

Le système est basé sur un traitement par ondelettes. Deux ou trois images prises de points de vues différents sont tout d'abord acquises sur le site de travail, et leur transformée en ondelettes est calculée. Par la suite, on obtient les arêtes des images pour chaque niveau de décomposition de chacune des images. On obtient alors une représentation d'arêtes qui est plus compacte que la représentation par ondelettes précédentes. Par après, nous extrayons des points caractéristiques directement de la représentation en utilisant l'information acquise aux niveaux grossiers, i.e. nous effectuons une recherche multi-résolution. Par la suite, les représentations multi-résolutions des images sources sont mises en correspondance.

Avec l'information de la mise en correspondance, nous calculons le tenseur trilinéaire, qui permet la synthèse de vues à partir de positions arbitraires de la caméra virtuelle. Une méthode linéaire de calcul du tenseur sera tout d'abord testée, et ensuite une méthode non-linéaire pourra aussi être testée. A partir du tenseur trilinéaire, nous construirons tous les niveaux de la représentation d'arêtes pour le point de vue commandé par l'opérateur. On reconstruit finalement l'image en inversant la transformée en ondelettes. Pour une application en temps réel, on peut arrêter la reconstruction à un niveau intermédiaire selon le temps disponible. On a alors une approximation de l'image désirée, mais qui peut être suffisante pour certaines applications.

RÉSULTATS :

Une transformée en ondelettes invariante sous translations a été testée sur des images réelles et synthétiques, afin d'expérimenter la qualité de la détection des arêtes. Une version préliminaire de l'algorithme pour la détection des points caractéristiques a aussi été élaborée.

MOUJOUD Abderrafia **DIPLÔME: Ph.D.**

TITRE:

Échantillonnage électro-optique.

RÉSUMÉ:

L'échantillonnage électro-optique est une technique pour mesurer des signaux électriques ultra-rapides, grâce à sa grande sensibilité et son temps de résolution très court. Un système optique sophistiqué est nécessaire en plus d'une source laser produisant des impulsions femtoseconde avec un taux de répétition élevé.

PROBLÉMATIQUE:

Plusieurs problèmes se posent lors de la génération et la caractérisation des signaux électriques. Citons par exemple le type de matériel semi-conducteur utilisé, l'atténuation et la dispersion du signal à partir du point où il est généré jusqu'au point ou se fait la mesure et la sensibilité du cristal électro-optique. Tous ces facteurs doivent être analysés pour améliorer les performances.

MÉTHODOLOGIE:

Utilisant notre système expérimental, nous étudions la génération des signaux électriques ultra-rapides produits par des composants à semi-conducteurs basés sur de nouveaux concepts et de nouvelles structures. Des impulsions électriques < 10 ps sont nécessaires pour les grandes vitesses de modulation des diodes lasers. Des lignes de transmission à faible dispersion doivent être fabriquées et étudiées. Pour accorder l'étude théorique et expérimentale un simulateur doit être développé.

RÉSULTATS:

Le système électro-optique (à la base de $LiTaO_3$) activé par une source laser Ti-saphire produisant des impulsions d'environ 35 fs est déjà en place. Des composants optoélectronique à base de InP sont déjà fabriqués. Comme premier résultat; des signaux électriques très courts de largeur à mi-hauteur de l'ordre de 6 ps ont déjà été obtenus.

NEKILI, Mohamed **DIPLÔME: Ph.D.**

TITRE:

Synthèse de réseaux de distribution d'horloge en présence de variations des procédés de fabrication.

RÉSUMÉ:

Notre thèse tente de dépasser le cadre de la modélisation indirecte et simpliste (rencontrée dans la littérature actuelle) de l'effet des variations des procédés de fabrication (VPF) sur le biais de synchronisation (BS) dans les systèmes intégrés synchrones. Elle propose des approches aussi bien analytique, algorithmique et au niveau circuit, que des attitudes au niveau conception, afin de rendre la structure de distribution d'horloge la plus tolérante (ou si possible insensible) aux VPF.

PROBLÉMATIQUE:

Le biais de synchronisation (BS) est actuellement parmi les principaux facteurs limitatifs de la performance des systèmes intégrés synchrones. Le BS peut être dû à des asymétries dans la conception de systèmes intégrés synchrones, aux variations de température, aux fluctuations de l'alimentation et à des phénomènes électriques. Si ces phénomènes sont bien traités dans la littérature, les effets des variations des paramètres géométriques et électriques du procédé de fabrication (VPF) sont, par contre, très peu explorés. L'impact des VPF sur le BS (et la fiabilité en général) peut être handicapant pour des systèmes synchrones de grande dimension ou opérant à grande vitesse.

MÉTHODOLOGIE:

L'effet des VPF est d'abord étudié à l'aide d'une modélisation analytique simple de f^{er} ordre sous forme de variations spatiales de la constante de temps du transistor. Il s'agit de déterminer dans quelle mesure les VPF peuvent désynchroniser une structure de distribution d'horloge a priori équilibrée. Sur la base de ces résultats préliminaires, il faut ensuite concevoir une validation expérimentale qui permette d'établir une cartographie des VPF aux niveaux dés et tranches. En fonction des résultats expérimentaux, on peut alors étudier le comportement d'architectures VLSI et WSI typiques, et imaginer des techniques algorithmiques et au niveau circuit afin d'optimiser les performances (BS, puissance, fréquence d'opération,…) d'arbres d'horloge en présence de VPF.

RÉSULTATS:

Un exemple typique d'architecture régulière, une matrice de processeurs à charges identiques, a été traitée à l'aide d'une approche analytique aux niveaux d'intégration VLSI et WSI. L'une des conclusions de cette analyse est la progression quadratique du BS en fonction de la taille du système. Par ailleurs, nous avons montré que les arbres d'horloge avec tampons (buffer) permettent (dans le cas de degrés de pipeline extrêmes) d'atteindre la limite des fréquences d'opération permises en théorie. Cet avantage, néanmoins, engendre une contrainte de dissipation de puissance, que nous avons évaluée et pour laquelle nous avons proposé deux solutions. Une caractérisation expérimentale des VPF a été conçue et validée avec une technologie de NORTEL. Nous avons observé des phénomènes aussi bien déterministes qu'aléatoires qui semblent expliquer les VPF ressentis aux échelles des dés et des tranches de silicium. Sur le plan algorithmique enfin, nous avons conçu une méthodologie de compensation au niveau circuit des effets des VPF sur le BS d'architectures synchrones irrégulières.

NSAME, Pascal **DIPLÔME : Ph.D.**

TITRE :

Techniques et méthodes de conception des systèmes intégrés.

RÉSUMÉ :

Ce projet vise l'élaboration des techniques et méthodes de conception et de vérification des circuits intégrés de type SOC (System-On-Chip). La complexité grandissante des systèmes de type SOC impose une réutilisation efficace des ressources centrées autour des méthodes de conception autres que le VHDL ou Verilog au niveau RTL. Toutefois, à cause de la dépendance entre les représentations au niveau comportemental, RTL et portes, et leur impact sur le partitionnement matériel/logiciel, la performance, la dissipation de puissance et surtout l'effort de vérification, il est nécessaire de développer une approche intégrée à la méthode de conception elle-même. L'objectif du projet consiste à étudier les interfaces matérielle/matérielle et matérielle/logicielle régissant l'intégration des SIP (Silicon Intellectual Property cores) ou « virtual components (VC) » afin de proposer des modèles d'interface améliorés et d'explorer les architectures VLSI qui permettent d'implanter efficacement une synchronisation non-bloquante pour des systèmes complexes multiprogrammés à mémoire partagée.

PROBLÉMATIQUE :

La capacité d'intégration offerte par les technologies sub-microniques rend l'implantation des systèmes de type SOC très intéressante. Toutefois, les besoins en vérification croissent de façon exponentielle. Cette capacité d'intégration élevée impose au concepteur un niveau de productivité extrêmement élevé. En effet, les besoins des applications en temps réel, l'augmentation constante du niveau d'intégration HW/SW, du parallélisme au niveau instruction et de la complexité de la hiérarchie de mémoires intégrées et partagées exposent la dégradation de performance due à une synchronisation bloquante entre agents communicants. Ceci rend obsolètes ou inadéquates les méthodes traditionnelles de conception et de vérification basées sur la simulation logique. Un défi majeur consiste à développer une méthodologie qui facilite le travail du concepteur dans un environnement de design, ou les outils CAD/CAE et la technologie de fabrication sont en constante évolution et ou les librairies des composants SIP deviennent de plus en plus complexes.

MÉTHODOLOGIE :

La première tâche consiste à :

- Déterminer les avantages et inconvénients des systèmes synchrones communicants de façon asynchrone;
- Étudier la performance qui en découle;
- Étudier l'impact du biais de synchronisation sur la profondeur des FIFOs à longueur variable.

Ensuite, il s'agit de proposer un modèle d'interface et une classe d'architecture système permettant une synchronisation non-bloquante entre agents suivant un protocole à haut niveau.

RÉSULTATS :

Aucun résultat n'est disponible pour l'instant.

OUDGHIRI, Houria **DIPLÔME: Ph.D.**

TITRE:

Algorithme de partitionnement hardware/software au niveau système.

RÉSUMÉ:

Le projet de notre thèse consiste à développer un environnement de conception automatique qui permet d'explorer différentes possibilités d'implémentation pour un même système en entrée. Cet environnement de travail au niveau système propose en sortie un ensemble d'alternatives pour l'implémentation du système. Ces alternatives sont fournies avec des évaluations de performance et de coût afin de permettre au concepteur de sélectionner l'implémentation qui satisfait le mieux les contraintes imposées.

PROBLÉMATIQUE:

Avec la croissance de la complexité des systèmes digitaux, il y a eu, ces dernières années, l'émergence d'une nouvelle idée qui consiste à implémenter les systèmes digitaux en deux parties, une partie matérielle pour les fonctions les plus critiques du point de vue vitesse et une partie logicielle pour les fonctions moins critiques. Un tel partitionnement permet la réduction du coût global par rapport à une implémentation complètement matérielle. Néanmoins, un tel processus est difficile à automatiser du fait, premièrement, de l'inexistence d'un modèle assez général pour supporter aussi bien une modélisation logicielle que matérielle et, deuxièmement, qu'un algorithme de partitionnement matériel/logiciel automatique doit être capable d'extraire, à partir de la description d'entrée et de l'architecture ciblée, tous les paramètres nécessaires à une prise de décision. Ces paramètres sont le temps d'exécution et le coût de chaque implémentation, ainsi que le coût de l'interface requise entre les deux partitions logicielle et matérielle.

MÉTHODOLOGIE:

Le problème du partitionnement matériel/logiciel pour la cosynthèse d'un système a été traité selon les étapes suivantes:

- Un modèle hiérarchique est considéré pour le système en entrée. La hiérarchie permet de considérer différents niveaux de complexité pour le même système.
- Une analyse de ce modèle consiste à extraire des paramètres tel que le type de fonctions utilisées, la fréquence d'utilisation de chacune des fonctions ainsi que toutes les dépendances et les interactions entre les différents blocs du système.
- La dernière étape consiste alors à faire le partitionnement en utilisant la théorie des graphes. Un graphe de dépendance est utilisé où les nœuds sont les blocs du système et les arcs entre les nœuds sont pondérés par le degré de dépendance entre les blocs. Ce graphe est finalement partitionné en deux cliques selon une heuristique de partitionnement.

RÉSULTATS:

Toutes les étapes du projet ont été implémentées en C++. L'étape de validation a été réalisée en considérant une architecture cible. Cette architecture est constituée de deux processeurs concurrents, PULSE et le processeur standard C40. Des algorithmes de traitement de signal ont été mappés sur cette architecture et une évaluation de leur performance a été réalisée. Le projet est complètement terminé et toutes les validations ont été réalisées.

PATENAUDE, Serge **DIPLÔME: M.Sc.A.**

TITRE:

Modélisation des pannes dans les circuits numériques rapides réalisés en technologie bipolaire ECL et CML.

RÉSUMÉ:

Dans la première partie de notre projet, nous voulons observer, définir, caractériser et modéliser les pannes non-conventionnelles rencontrées dans des circuits VLSI ECL-CML (emitter coupled logic-current mode logic). En deuxième lieu, nous voulons utiliser les modèles et algorithmes ainsi développés pour les confronter à des bibliothèques de cellules de base existantes. La technologie étudiée a été récemment introduite par la SMC (Société canadienne de microélectronique) sous le nom de NT25. Cette recherche se fait dans le cadre d'un contrat avec Nortel.

PROBLÉMATIQUE:

Les circuits ECL-CML sont d'un intérêt certain pour les applications nécessitant des vitesses d'opération dépassant quelques gigahertz (GHz). Ces vitesses sont difficilement atteignables en CMOS. Les propriétés de la technologie bipolaire et la nature différentielle de ces familles logiques les rendent par contre plus difficile à tester que les circuits CMOS conventionnels. En effet, les modèles « collé-à » utilisés de manière systématique dans les tests des circuits des circuits VLSI CMOS ne permettent pas de modéliser correctement certaines classes de pannes rencontrées dans les circuits ECL-CML bipolaires. De plus, il existe un vide dans la littérature sur le sujet, d'autant plus que les circuits bipolaires sont très souvent utilisés dans des applications analogiques plutôt que numériques. Dans ce travail, nous tentons d'élaborer des règles générales décrivant les pannes rencontrées dans ces circuits (marges de bruits réduits, pannes de complémentarité, pannes différentielles, délais,…).

MÉTHODOLOGIE:

À l'aide des logiciels disponibles (Cadence, Synopsys, HSpice, Spectre …), nous voulons développer des outils automatiques de caractérisation des pannes non-conventionnelles et les utiliser sur des circuits VLSI réalisés en technologie NT25, pour ainsi établir des couvertures de panne associées à nos modèles. Les modèles et les outils sont modifiés systématiquement jusqu'à l'obtention d'un ensemble de pannes réalistes et de couvertures acceptables.

RÉSULTATS:

Trois rapports détaillés ont été livrés dont un est une revue de littérature exhaustive sur le sujet, l'autre un ensemble de résultats préliminaires sur une analyse des pannes possibles dans une bibliothèque de cellules développé par Nortel, et le dernier complète ces résultats.

Des outils d'analyse de panne ainsi que des techniques et structures de test ont été développés. Le design d'une puce d'essai a été effectué et documenté. Cette puce est en phase finale de développement. Un stage a été effectué chez Nortel.

POIRÉ, Pascal **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'un système de post-traitement vidéo pour un corrélateur optique.

RÉSUMÉ:

La corrélation est une technique qui permet de mesurer le taux de similitude existant entre deux signaux. Un corrélateur optique peut ainsi détecter la présence d'un objet à rechercher dans une image d'entrée et ce à la vitesse de la lumière. Pour ce faire, un filtre spatial (F.S.) dérivé de l'objet à identifier est reproduit sur un modulateur spatial de lumière dans le système. La corrélation 2-D est obtenue en multipliant la transformée de Fourier (T.F.) de l'image d'entrée par le F.S. et en appliquant une T.F. inverse sur ce produit. En sortie, le plan de corrélation possède un pic intense et étroit à l'emplacement de l'objet lorsqu'il est présent en entrée.

PROBLÉMATIQUE:

Un corrélateur optique peut traiter énormément d'informations en temps réel. La principale difficulté vient de l'analyse du résultat de la corrélation. Les plans de corrélation, principalement composés de pics lumineux, doivent être analysés à la même vitesse que le traitement du corrélateur, afin d'éviter une surcharge croissante du post-traitement. De plus, le système doit être capable de décider de la présence ou de l'absence de l'objet recherché dans l'image d'entrée. La proposition d'un algorithme basé sur la comparaison de mesures à des paramètres devra être réalisée afin que la prise de décision soit la plus efficace possible. La finalité du projet dépendra de la technologie choisie pour réaliser le système de post-traitement.

MÉTHODOLOGIE:

- Recherche bibliographique sur les corrélateurs optiques, la T.F. 2-D, les F.S., les modulateurs spatiaux de lumière et les mesures de performance des corrélateurs optiques.
- Proposition et simulation de mesures d'évaluation de pic de corrélation.
- Proposition d'un algorithme de post-traitement d'un corrélateur optique.
- Choix d'une technologie pour la réalisation.

RÉSULTATS:

Une importante recherche bibliographique sur les corrélateurs optiques a été réalisée, ce qui a permis de faire une synthèse sur le sujet des corrélateurs. Une banque d'images représentant des plans de corrélation d'un corrélateur optique A. Vander Lugt a été mise sur pied. Des mesures d'évaluation de pics de corrélation ont été proposées et appliquées sur la banque d'images.

PRONOVOST, Natalie **DIPLÔME : M.Sc.A.**

TITRE :

Système géomatique pour la télésurveillance d'un réseau de câblo-distribution.

RÉSUMÉ :

L'objectif du projet est l'implantation d'un système d'information géographique (SIG) pour la télésurveillance d'un réseau de câblo-distribution et de fibres optiques. Effectivement, il s'agit d'un système d'analyse, de visualisation et d'aide à la décision lors de pannes ou réceptions d'alarme en provenance des équipements.

PROBLÉMATIQUE :

Ce système devra fonctionner en temps réel à contrainte douce, afin d'assurer une bonne qualité du signal en tout temps. Le système sera doté de bases de données couvant les données d'un grand territoire, soit le réseau VIDÉOTRON au Québec. Cette base de données comprend entre autres des données géographiques et textuelles sur les équipements et câbles ainsi que des données pour le repérage géographique qui inclut notamment les bâtiments, les rues, les adresses, et dans quelques régions des données sur les autres réseaux des mêmes secteurs. Le volume de données total à travers la province est d'environ 15 Giga-octets, actuellement répartis parmi 14 serveurs qui comprennent chacun au moins une carte géomatique représentant leur région respective. Ces données devront pour la télésurveillance être rassemblées dans un même serveur. De plus, étant donné qu'il s'agit d'un système temps réel, la navigation à travers les régions et les différentes bases de données devra se faire dans un temps acceptable.

MÉTHODOLOGIE :

Dans le cadre de ce projet, l'utilisation d'un outil géomatique, qui est un SIG incluant un système de gestion de base de données (SGBD), s'avérait efficace pour l'analyse et la visualisation des alarmes. En effet, le SIG permet de lier l'information textuelle présente sous forme d'entité dans le SGBD à des éléments graphiques inclus dans des cartes vectorielles tels que des câbles ou des équipements de réseau.

Puisque la télésurveillance couvre une grande région, on ne peut se permettre de gérer à la fois toutes les données de la province. C'est pourquoi l'information doit être segmentée et une solution a été proposée. Les informations indispensables au bon fonctionnement du système, qui sont des données dynamiques seront présentes sous forme de cartes vectorielles. De plus, des informations complémentaires pour la visualisation du réseau sont indispensables. Les données statiques qui sont les informations géographiques représentées par des cartes à balayage qui permettent un affichage est plus rapide. Finalement, les données seront « stockées » dans le SGBD.

RÉSULTATS :

Les données seront structurées de façon hiérarchique : plusieurs niveaux d'information seront présents et leur visualisation sera dépendante de l'échelle utilisée par l'usager. La hiérarchie se présente sous forme de niveaux : au premier niveau, on retrouve les données géographiques de la province, au deuxième niveau, les données géographiques des régions, au troisième niveau, les têtes de lignes ainsi que le contour de leurs cellules et, finalement, au quatrième niveau, le détail du réseau pour les cellules qui sont un regroupement d'environ 2,000 abonnés. De plus, dans certains cas, un cinquième niveau de détail pour les équipements pourra être ajouté selon la demande de l'usager.

Les équipements et câbles font partis des éléments dynamiques du SIG, ils sont liés à une entité de la base de données dont la connectivité est représentée par des pointeurs entre les entités. En effet, grâce à cette caractéristique, l'usager du système pourra analyser les alarmes reçues et leurs effets sur les équipements suivants ou ascendants du réseau.

RABEL, Claude-Eddy **DIPLÔME: Ph.D.**

TITRE:

Conception et réalisation d'un FPMA (« Field Programmable Mixed-Signal (Digital-Analog) Array »).

RÉSUMÉ:

Le projet vise à réaliser un FPMA reconfigurable dynamiquement dédié aux applications « codesign », et pour le prototypage de systèmes complexes contenant un processeur, une partie logicielle et une partie matérielle, numérique, analogique ou mixte.

PROBLÉMATIQUE:

Les composants programmables connaissent actuellement une évolution technologique remarquable qui leur permet d'obtenir de très bonnes performances tout en améliorant leur flexibilité et, ceci, avec une surface de plus en plus grande. Ce qui les rend très intéressant pour le développement de prototype rapide et permet de réduire le temps de conception, le temps de fabrication ainsi que le coût de production. Toutefois, malgré l'augmentation de la surface des FPGAs, leur densité d'intégration de portes logiques demeure plus petite qu'un ASIC ayant une surface comparable. Ceci est dû à la grande quantité de cellules mémoires (SRAM) lesquelles occupent une large surface additionnelle. La capacité logique peut être augmentée significativement en utilisant la reconfiguration dynamique.

De plus, la tendance en VLSI est actuellement d'intégrer des fonctions numériques et analogiques sur la même puce afin de réduire le nombre de circuits intégrés, le nombre d'interconnexions et les dimensions d'un système. Ceci permet de bénéficier du haut niveau d'intégration, réduisant ainsi le coût d'un système. De plus, une réduction de la puissance consommée et une augmentation de vitesse sont également obtenues. Ces caractéristiques sont particulièrement intéressant pour les circuits analogiques où le prototypage a été pendant longtemps effectué à l'aide de composants discrets. Ces derniers introduisent des inductions et des capacités parasites beaucoup plus importantes qu'un circuit intégré. Ces parasites augmentent les sources d'erreurs qui peuvent être indésirables pour les applications à haute vitesse.

MÉTHODOLOGIE:

Pour permettre une reconfiguration dynamique très rapide, dans ce travail de recherche, on propose une nouvelle architecture de circuits intégrés programmables mixtes, appelés PARC. Ce dernier utilise une architecture à grain fin et il est basé sur la technologie de mémoires (SRAM). Il contient un FPGA et un processeur RISC. Ce dernier est conçu pour accélérer la reconfigurabilité du FPGA et réaliser des applications « codesign », et/ou le prototypage de systèmes complexes contenant un processeur, une partie logicielle et une partie matérielle. La partie analogique programmable sera bientôt également intégrée dans la même puce.

Généralement, un système complet, est constitué d'un circuit numérique auquel un circuit analogique est interfacé. Donc, similairement à ces systèmes, le FPMA est divisé en trois parties: un FPGA incluant un processeur RISC, un FPAA et une interface. Le FPGA est décrit avec VHDL et le modèle SPICE est utilisé pour les autres parties.

RÉSULTATS:

Les modèles des différentes sous-unités du FPGA regroupant un processeur RISC et un FPGA à architecture pyramidale (PARC) ont été simulés avec les outils CAO de Synopsys. De plus, un circuit est mis en œuvre en se servant de la technologie BiCMOS de 0.8 microns.

RAHAL, Ali **DIPLÔME: Ph.D.**

TITRE:

Étude et conception de sources de fréquence intégrée en ondes millimétriques.

RÉSUMÉ:

Le but de ce travail de recherche est de développer une source de fréquence stable et fiable pour des applications en bande Ka et V, soit de 38 de 60 GHz.

PROBLÉMATIQUE:

La révolution des systèmes de communication spatiale a suscité les dernières années un besoin grandissant pour les fréquences micro-ondes. Les bandes spectrales allouées entre 2 et 18 GHz sont presque saturées pour servir les nouvelles applications, la tendance est vers l'utilisation des ondes millimétriques (38, 60 et 94 GHz), où un système à bande relativement étroite peut accommoder les services de plusieurs systèmes de basse fréquence. La réussite de ces systèmes repose sur le développement de composants électroniques à haute performance. Plus particulièrement, les générateurs de fréquence qui représentent le cœur des systèmes de communication. Présentement, au-delà de 18 GHz les sources de fréquence à diodes Gunn sont les plus utilisées. Ces diodes sont connues pour leur faible rendement et leur sensibilité thermique ce qui complique la stabilisation de la source.

MÉTHODOLOGIE:

Dans le cadre de cette thèse, nous proposons la mise au point d'une nouvelle source stable et à haute efficacité. Cette source sera principalement basée sur l'intégration d'un oscillateur micro-onde à faible bruit couplé à un nouveau multiplicateur de fréquence (Tripleur). Le multiplicateur sera conçu en utilisant des nouvelles diodes varacteurs à caractéristique symétrique opérant à zéro volt DC. Les difficultés majeures que nous prévoyons rencontrer sont surtout dans les mesures des non-linéarité de la diode, qui est essentiellement un élément réactif. La caractérisation d'un monoport à plusieurs harmoniques ainsi que le montage nécessaire pour ces mesures, constituent une des originalités de ce travail. Une autre difficulté que nous aurons à surmonter, est la conception et la réalisation des circuits d'adaptation à large bande, qui doivent présenter à la diode des charges optimales à la fréquence fondamentale et aux harmoniques. Nous procédons à la caractérisation et à la modélisation d'un vecteur. Ensuite, nous compléterons les étapes de simulation, construction, optimisation et tests.

RÉSULTATS:

Nous avons effectué les mesures DC et paramètre S (jusqu'à 40 GHz) afin de caractériser la diode. Un modèle électrique équivalent est construit et des simulations non-linéaires (moyennant la technique harmonic-Balance) ont été effectuées. Suite à ça, deux prototypes sont conçus (60 GHz et 93 GHz) et les mesures effectuées concordent bien avec le résultat prévu par simulation. Le travail continu dans le sens de l'évaluation expérimentale à large signal de la diode et on prévoit la construction d'autres prototypes à 38 et à 60 GHz.

REID, Benoît **DIPLÔME: Ph.D.**

TITRE:

Étude de la dynamique ultra-rapide des porteurs dans les nanostructures.

RÉSUMÉ:

Les alliages III-IV utilisés pour la fabrication des composants photoniques à puits quantiques fournissent des performances très élevées. Néanmoins, une étude du transport des porteurs s'avère nécessaire dans les structures à puits quantiques. La performance est de plus liée à la géométrie, ce qui multiplie les possibilités.

PROBLÉMATIQUE:

L'introduction de puits quantiques dans les lasers à semi-conducteurs a permis d'en améliorer les performances. Cependant, dans bien des cas, les résultats sont moins probants que ceux prédits par les modèles. Récemment, plusieurs modèles ont montré l'influence du transport de charge sur différentes propriétés des diodes lasers à puits quantiques. On peut citer, entre autres, l'influence du transport sur la bande passante de modulation et sur le comportement en température des diodes. Il est donc important de bien comprendre les différents aspects du transport des charges dans les hétérostructures lasers.

MÉTHODOLOGIE:

Nous étudions expérimentalement le transport des porteurs dans les diodes lasers à puits quantiques par la photoluminescence standard et la photoluminescence résolue en temps. La résolution temporelle se fait par la technique dite d'*upconversion.* Ce montage nécessite la construction d'un laser à impulsions ultra brèves. Les études théoriques se feront à l'aide d'un simulateur Monte Carlo – Poisson. Finalement, il faudra effectuer des mesures sur des échantillons à puits quantiques appropriés.

RÉSULTATS:

Un laser Tisaphir produisant des impulsions d'environ 35 fs à un taux de répétition de 80 MHz a été construit. Le système de photoluminescence résolue en temps a été monté. Ce système nous permet d'obtenir une résolution temporelle de 100 fs. Des mesures ont été effectuées sur différents échantillons de diodes lasers émettant à 1.55 µm et 1.3 µm. Un programme a été mis au point pour calculer la structure de bandes de ces hétérostructures et plusieurs simulations Monte Carlo ont été effectuées dans le but de comprendre les résultats de la photoluminescence. L'influence du couplage colombien entre les électrons et les trous a été étudiée.

Pour la suite, nous voulons finaliser la compréhension des résultats pour produire une thèse sur l'injection des électrons et des trous dans les puits quantiques en régime statique et transitoire.

REJEB, Chedly **DIPLÔME: Ph.D.**

TITRE:

Étude des processus de transfert ultra-rapides des porteurs dans les hétérostructures.

RÉSUMÉ:

Grâce à leurs performances remarquables, les hétérostructures III – V sont utilisées dans plus d'une application. Toutefois, ces performances et la dynamique des porteurs à l'intérieur de ces hétérostructures sont étroitement corrélées. Améliorer ces performances exige la compréhension de la dynamique ultra-rapide de transfert et de transport des porteurs.

PROBLÉMATIQUE:

Les hétérostructures III – V sont d'une grande importance dans la fabrication de composants optoélectroniques. Avec ces matériaux, il est possible de concevoir des commutateurs électro-optiques ultra-rapides. De plus, grâce à leurs propriétés optiques et de transport, ces composés sont utilisés dans les structures lasers. Ces matériaux sont d'une grande importance pour les systèmes de communication. Les performances des composants optoélectroniques sont contrôlées par la dynamique ultra-rapide des porteurs et sont souvent limitées par la vitesse de transfert de ces porteurs entre puits quantiques et barrières. La connaissance détaillée des processus de transfert et de capture (dans les puits) est alors d'une grande nécessité pour la conception de composants optoélectroniques ou photoniques ultra-rapides.

MÉTHODOLOGIE:

Nous étudions les propriétés optiques et de transport des structures laser à puits quantiques par photoluminescence standard (PLS) et photoluminescence résolue dans le temps (PLRT). La dynamique ultra-rapide des porteurs est sondée par la technique dite de conversion vers des fréquences supérieures. Afin de mieux comprendre les processus de transfert, identifier et évaluer certains paramètres qui les contrôlent, les résultats obtenus sont analysés et confrontés à des modèles théoriques.

RÉSULTATS:

Nous avons effectué des mesures de PLRT sur des échantillons d'$In_{1x}Ga_xAs_{1y}P_y$ émettant à 1.55 et à 1.3 µm respectivement. Le laser Ti-saphire utilisé opérait en régime pulsé (λ= 740 nm), avec un taux de répétition de 82 MHz et une largeur temporelle de l'impulsion de 100 fs. Ces mesures reflètent le transfert ultra-rapide des porteurs des barrières vers les puits. Nous avons aussi effectué des mesures de PLS sur ces mêmes structures.

Pour la suite, nous allons analyser les données obtenues et les comparer à certains modèles théoriques. Nous continuerons d'étudier la dynamique de transfert et de transport des porteurs en effectuant des mesures de PLRT et PLS à des températures, puissances et longueurs d'onde d'excitation diverses.

RIDOUH, Kamel **DIPLÔME: M.Sc.A.**

TITRE:

Méthode de conception automatique de circuits haute performance.

RÉSUMÉ:

Le but de ce projet est de développer des méthodes de conception automatiques de circuits intégrés à haute fréquence. Ceci inclut le développement et l'intégration dans un premier lieu d'une librairie de cellules à haute fréquence entièrement paramétrables, construites à partir d'une structure Mer-de-portes (Sea-of-Gates). Une méthode de placement automatique orientée performance (Performance driven) sera ensuite élaborée pour le placement de tels circuits. Cette méthode devra supporter les contraintes de délais sur les nœuds critiques dans le circuit.

PROBLÉMATIQUE:

Lorsqu'un concepteur de circuits intégrés décide de s'aventurer à des vitesses de fonctionnement excédant 400 MHz, il doit généralement utiliser des techniques de conception manuelle au niveau polygone. De plus, il existe un champ d'application ciblant une cadence d'horloge entre 400 MHz et 1 GHz, que les technologies actuelles CMOS peuvent atteindre dans certaines classes d'application et d'architecture. Considérant qu'uniquement certains modules, bien délimités d'un circuit complet, fonctionnent à plus de 400 MHz, nous souhaitons, à partir d'un outil de P&R développé en collaboration avec la société Design Workshop, développé un générateur universel pour ce type de modules. Nous parlons de fonction universelle, par opposition aux générateurs spécialisés pour un seul type de module, comme par exemple l'oscillateur. Les autres modules, ceux fonctionnant à moins de 400 MHz, pourront être développés à l'aide des générateurs conventionnels.

MÉTHODOLOGIE:

Trois points importants sont à développer:

- Explorer les différentes configurations des cellules de base pour choisir celles qui donnent de hautes fréquences de fonctionnement;
- Développer une librairie de cellules basée sur la configuration choisie et dont les cellules ont les propriétés suivantes :
  - Une même cellule doit être accessible par différentes technologies (à 2 couches de métal);
  - La taille des transistors doit être un paramètre choisi par le concepteur ou par un outil spécialisé: aussi bien les transistors de type P que de type N;
  - La taille des alimentations, dans la région p et dans la région P, doit aussi être un paramètre à choisir
  - Le nombre de canaux entre la région P et la région N doit également être un paramètre.
- Finalement, à partir de l'outil de P&R conventionnel, c'est-à-dire dont les métriques de fonctions objectives sont conventionnelles (e.g. la surface et le délai), nous allons explorer de nouvelles métriques, à partir de modèles, afin de supporter la haute fréquence.

RÉSULTATS:

Le générateur de cellules de base et des structures rapides est complété. Nous avons conçu un circuit test que nous avons fait fabriquer. Le circuit est testé dans un but de validation. L'implantation de l'algorithme de placement oriente performance est en cours.

ROBIN, Simon **DIPLÔME: M.Sc.A.**

TITRE:

Développement de stimulateurs neuro-musculaires implantables.

RÉSUMÉ:

Au Québec seulement, des milliers de personnes souffrent de défaillance du système urinaire. Le problème sur lequel nous travaillons est celui de la rétention et de l'incontinence urinaire des personnes ayant subi des lésions au niveau de la colonne vertébrale (paralysie). Notre but est de remplacer les systèmes actuels (les sacs par exemple) et de restaurer les fonctions vitales du système urinaire de façon à améliorer la qualité de vie.

PROBLÉMATIQUE:

L'approche est la suivante: l'utilisation d'un stimulateur neuro-musculaire miniaturisé implantable. Ce stimulateur, à l'aide d'un contrôleur externe, stimule le nerf S2 partant de la colonne et allant jusqu'au muscle de la vessie et du sphincter. Une nouvelle technique de stimulation sélective est proposée pour provoquer l'écoulement tout en évitant la contraction simultanée du muscle de la vessie et du sphincter, qui entraîne une pression excessive indésirable.

MÉTHODOLOGIE:

Le système de stimulation que nous proposons est composé de deux parties principales soient l'implant et le contrôleur externe. Il s'agit d'un système versatile et fonctionnel qui répond au problème complexe de la neuro-stimulation tout en étant simple d'utilisation pour l'usager. C'est l'unité externe qui contrôle la stimulation tout en assurant l'alimentation en énergie de l'implant via une interface à couplage magnétique à haute fréquence. Lors de chaque stimulation, tous les paramètres sont transmis à l'implant par le contrôleur. Les données sont encodées de façon à conserver un synchronisme entre le contrôleur et l'implant tout en y assurant leur validité. Le contrôleur externe est portatif et très simple d'utilisation. Un écran à cristaux liquides permet de sélectionner les paramètres envisagés.

L'implant est constitué d'un circuit imprimé circulaire d'environ 3,5 centimètres de diamètre. L'implant est composé de trois blocs soient l'entrée, le traitement et la sortie. Un circuit intégré programmable non volatile (FPGA) est utilisé pour contenir toute la partie numérique de traitement. Le circuit est moulé dans une substance dure pour assurer sa rigidité et ensuite encapsulé dans un produit bio-compatible. Une électrode spéciale est utilisée au niveau du nerf et des connecteurs étanches de notre conception sont utilisés pour relier l'électrode à l'implant.

RÉSULTATS:

Notre système est totalement fonctionnel et il est utilisé depuis maintenant un an. Nous avons de bons résultats autant avec le système externe que le système implantable. Un premier circuit mixte intégré a aussi été conçu et réalisé (par le biais de la SMC), ce qui constitue un pas de plus vers l'implant complet entièrement intégré sur un seul dé de silicium.

ROMAIN, Luc **DIPLÔME : M.Sc.A.**

TITRE :

Conception d'un cathéter servant à mesurer la pression trans-diaphragmatique et l'électromyogramme du diaphragme (EMGdi).

RÉSUMÉ :

La pression trans-diaphragmatique ainsi que l'EMGdi donnent beaucoup de renseignements sur la fonction du système respiratoire. La pression trans-diaphragmatique est la différence de pression exercée entre l'estomac et l'œsophage. Les mesures actuelles sont effectuées à partir de capteurs de pression conventionnels. Pour capter la pression, on utilise des ballons en latex couplés à des transducteurs par un tube logé dans le cathéter. Quant à l'EMGdi, le signal est capté par une paire d'anneaux métalliques situés près l'un de l'autre sur le cathéter.

PROBLÉMATIQUE :

En ce qui concerne la mesure de la pression, les ballons en latex ont une précision limitée. Leur insertion dans l'œsophage par les voies nasales est difficile et inconfortable. De plus, la réponse en fréquence est limitée à cause d'un couplage à l'air entre le ballon et le transducteur.

Quant à la mesure de l'EMGdi, ce signal est largement contaminé par l'activité électrique du cœur qui est situé tout près et qui fait contact avec le diaphragme. Plusieurs méthodes ont été essayées afin d'éliminer la composante cardiaque du signal mais ces méthodes éliminent une partie du signal désiré lors du processus.

MÉTHODOLOGIE :

D'abord, nous avons utilisé des transducteurs de pression piezorésistifs intégrés à la place des ballons en latex afin de capter la pression trans-diaphragmatique. Ces capteurs ont une réponse en fréquence beaucoup plus supérieure à celle des ballons en latex. De plus, ils sont beaucoup plus petits et sont ainsi plus faciles à insérer. De plus, leur coût est très faible.

D'autre part, nous tentons de vérifier si la géométrie tridimensionnelle d'une électrode peut avoir un impact sur la sélection des signaux à l'endroit où nous mesurons. Nous considérons actuellement le cas d'une électrode hélicoïdale quant à sa capacité de filtrer l'artefact cardiaque tout en captant l'activité électrique du diaphragme. Nous procédons à cette analyse par des simulations effectuées avec FDTD. Ce dernier outil calcule la distribution des potentiels électriques dans l'espace et dans le temps à partir des équations de Maxwell. Toutefois, FDTD doit être modifié afin de pouvoir simuler des conditions quasi-statiques.

RÉSULTATS :

Deux prototypes de capteurs de pression ont été montés sur une micro-plaquette. Des tests ont montré qu'une couche protectrice de Silastic n'a pas modifié la linéarité ni la précision de façon significative ou nuisible. D'autre part, un modèle simple du torse humain a été implémenté dans la simulation FDTD. Des premières courbes de lecture de l'électrode ont été tracées. A ce stade, nous pouvons conclure que la géométrie de l'électrode a un effet sur le filtrage de l'ECG. Nous tentons d'optimiser les caractéristiques de l'hélicoïde afin d'optimiser la sélectivité de l'électrode de l'EMGdi.

ROY, Martin **DIPLÔME : M.Sc.A.**

TITRE :

Prototype d'un système électronique dédié à un stimulateur visuel implantable.

RÉSUMÉ :

Ce projet consiste à réaliser un prototype de la partie implantable d'un stimulateur visuel dédié à créer une vision artificielle acceptable chez les non-voyants. Le système complet regroupera une camera CCD, une carte de traitement allant dans un pc qui servira à acquérir des images. Un logiciel traitera les images reçues et transmettra de nouvelles images améliorées au prototype de l'implant.

PROBLÉMATIQUE :

La partie implantable du stimulateur visuel reçoit les commandes du contrôleur externe et injecte des courants de stimulation dans le cortex visuel du non-voyant produisant chez celui-ci la sensation de voir des points lumineux (phosphènes). Les prototypes des modules externe et interne permettront de vérifier les performances de ce système de restauration de la vision. Plusieurs défis sont au rendez-vous dans ce projet. À titre d'exemple, l'ensemble du système doit opérer dans une large bande passante, doit être remplacé par une matrice de diodes avec de nombreux compromis. L'étage d'interface électronique-tissus qui servira à balayer une matrice d'électrodes bipolaires.

MÉTHODOLOGIE :

Notre démarche se divise en trois grandes étapes:

- Déterminer les spécifications que doit rencontrer l'éventuel implant;
- Élaborer l'architecture du prototype en fonction des spécifications et limites de l'éventuel implant;
- La partie numérique de l'implant sera intégrée dans un FPGA et la partie analogique dans une prédiffusée en bipolaire. Une matrice de diodes électroluminescentes sera utilisée pour simuler les phosphènes.

RÉSULTATS :

L'architecture de la puce prédiffusée est complétée en se servant de la technologie GA911 de Gennum. De plus, la partie de génération du stimulus est dans une phase avancée et sera intégrée dans un FPGA d'Altera.

RYEL, Kim **DIPLÔME: M.Sc.A.**

TITRE:

Étude théorique sur des cristaux photoniques bidimensionnels pour un système *InGaAsPinP* dans l'infrarouge proche et dans le visible.

RÉSUMÉ:

Récemment, des structures diélectriques périodiques ont été proposées pour éliminer la propagation des ondes électromagnétiques sur une certaine bande de fréquences (bande interdite photonique). Ces nouveaux matériaux sont appelés des cristaux photoniques. Ceux-ci sont le siège de nouveaux phénomènes comme le confinement de la lumière et l'élimination de l'émission spontanée. Ainsi, les cristaux photoniques pourraient bouleverser le domaine des lasers, des radars et des télécommunications optiques.

PROBLÉMATIQUE:

Récemment, de nombreuses études théoriques et expérimentales ont été effectuées sur des cristaux photoniques bidimensionnels, puisqu'il est beaucoup plus difficile de fabriquer des cristaux photoniques tridimensionnels. De plus, la majorité de ces études ont été faites sur des matériaux dont les constantes diélectriques ne dépendent pas de la fréquence et ne possèdent pas une partie imaginaire. Or, la plupart des matériaux utilisés pour la fabrication des cristaux photoniques ne satisfont pas ces deux propriétés dans la région visible du spectre électromagnétique. Nous avons décidé d'étudier le comportement d'un cristal photonique composé de tiges cylindriques $In_{1-x}Ga_xAs_yP_{1-y}$ sur un substrat *InP* pour des longueurs d'ondes de l'infrarouge proche et du visible.

MÉTHODOLOGIE:

Pour ce faire, la méthode théorique la plus appropriée pour ce genre d'études est la technique de la matrice de transfert introduite par J B Pendry et A Mackinnon. La technique consiste à discrétiser les équations de Maxwell sur un maillage. La structure de bande d'un cristal photonique de dimensions infinies est calculée en obtenant les valeurs propres de la matrice de transfert pour une cellule unitaire. Le spectre de transmission d'un cristal photonique de dimensions finies est alors déterminé en transformant la matrice de transfert sur une base d'onde plane. Les constantes diélectriques des matériaux $In_{1-x}Ga_xAs_yP_{1-y}$ sont calculées en utilisant le modèle d'Adachi.

RÉSULTATS:

Notre étude consiste à analyser le spectre de transmission pour diverses compositions de tigres cylindriques pour des réseaux carrés et triangulaires par rapport aux rayons des tiges et par rapport à l'angle d'incidence de l'onde électromagnétique.

SAHRAOUI, Nadjiba **DIPLÔME: Ph.D.**

TITRE:

Partitionnement sous contraintes de ressources pour la synthèse automatique d'architectures reconfigurables.

RÉSUMÉ:

Notre projet est lié directement à la technologie de la logique programmable, utilisée à l'heure actuelle pour créer des structures de contrôles et des chemins de données pipelines reconfigurables. L'intérêt et le défi technologique résident dans l'intégration de plusieurs aspects avancés de la compilation d'une application dédiée, allant de l'analyse à la génération du code pour des FPGAs, en passant par l'analyse statique du code, transformation optimisation, génération d'un code parallèle, mapping physique, etc. Parmi les transformations auxquelles nous nous intéressons dans ce projet, sont celles qui sont orientées vers l'optimisation de la localité (cache and memory locality). Il s'agit donc de mettre en œuvre une stratégie de restructuration de code qui optimise la localité de la hiérarchie des mémoires en exploitant la réutilisation de la donnée.

PROBLÉMATIQUE:

En effet, aujourd'hui, plusieurs compilateurs paralléliseurs sont capables de détecter du parallélisme au niveau des boucles, mais la performance du code qu'ils produisent est typiquement pauvre. Ceci est particulièrement vrai pour des architectures ou la rapidité des caches exige une attention particulière. D'autre part, tous les programmes scientifiques contiennent des boucles dans lesquelles les mêmes données sont réutilisées dans plusieurs itérations successives. Cette réutilisation est convertie en une localisation dans la cache lorsque la donnée persiste dans la cache entre les différentes utilisations. Cependant, si le nombre d'itération entre les réutilisations est grand, la probabilité de maintenir la donnée dans la cache diminue significativement. Le volume des données accédées entre les réutilisations entraîne un « overflow » sur la capacité de la cache et provoque un rejet de la donnée réutilisable. Par conséquent, des coûts doivent être pris en compte pour recharger la donnée dans la cache à chaque fois qu'elle est réutilisée.

MÉTHODOLOGIE:

Pour optimiser la localité, le compilateur doit garder la trace des accès aux données. Cette information sera utilisée par le générateur de code pour gérer la donnée explicitement. Par la suite, le compilateur devra optimiser les calculs assignés aux processeurs en changeant l'ordre d'exécution des opérations et/ou en restructurant la donnée. À cet effet, l'approche préconisée est de considérer des stratégies de réordonnancement et de restructuration du code. Ces restructurations doivent non seulement optimiser la localité de la hiérarchie des mémoires en exploitant la réutilisation des données, mais aussi minimiser les communications tout en préservant le parallélisme existant. Comme toute transformation d'un code exige une analyse de ce dernier, dans notre cas, nous devons procéder en premier lieu à une analyse qui puisse détecter les contraintes d'ordonnancement. Cette analyse servira aussi pour prouver la validité ou légalité d'une transformation.

RÉSULTATS:

Comme première étape de notre projet, nous avons procédé à une analyse de dépendance d'un programme comportant des boucles imbriquées. Cette phase d'analyse a été supportée par le compilateur SUIF (Stand Ford Université Intermediat Format) qui offre une base assez solide pour la détection du parallélisme dans les programmes. L'analyse est basée sur le test gcd et l'algorithme de Fourier Motzkin étendu. Comme deuxième étape, en utilisant les informations issues de la phase précédente (c .à d. les dépendances), nous implémentons actuellement une stratégie d'analyse de vie de la variable, qui va nous permettre d'estimer la taille d'une cache selon le patron d'accès aux données de la bouche. Il faudrait récupérer la structure (les dépendances) dans un fichier et l'exploiter pour calculer les temps de vies des variables. Nous utilisons toujours l'infrastructure SUIF pour implémenter et évaluer nos stratégies.

SCHNEIDER, Éric **DIPLÔME : M.Sc.A.**

TITRE :

Un émetteur/récepteur RF de haute performance pour des capteurs implantables.

RÉSUMÉ :

Notre objectif à concevoir un système de transmission de données RF bidirectionnel à très basse consommation et à faible encombrement dans le but de l'intégrer sur des neurostimulateurs implantables et avoir ainsi un contrôle diagnostique permanent sur la plupart des implants invivo. L'information transmise pourra être numérique, soit la vérification des bits de contrôle de l'implant, ou être analogique comme la mesure de l'interface nerf électrode ou de l'amplitude de stimulation.

PROBLÉMATIQUE :

Pour pouvoir transmettre différents types d'informations sur un même lien, il est nécessaire de les convertir en un format unique et standard. Ainsi les signaux analogiques devront être numérisés et coupés en mots de 8 bits. Ces mots n'auront plus qu'à être transmis selon un protocole de transmission série asynchrone standard sur un lien RF. Pour le lien RF, une modulation de fréquence est préférable, car les implants ne disposent pas toujours d'une alimentation très stable ce qui ne permet pas une bonne modulation AM. De plus, une modulation FSK est très simple à réaliser avec des éléments logiques.

Enfin, pour des soucis d'intégrabilité maximale, de simulation et de portabilité, nous nous efforçons d'étendre au maximum la partie numérique et de réduire la partie analogique.

MÉTHODOLOGIE :

Le modulateur de l'émetteur et le démodulateur du récepteur se feront numériquement et seuls l'amplificateur de puissance RF et le circuit résonnant de réception demeurent analogiques.

La conversion des signaux analogiques se fera soit à partir de DACs soit par d'autres méthodes basées par exemple sur l'évaluation de fréquences. Toute la mise en forme des données numériques et la sélection de ces dernières sera réalisée en VHDL.

RÉSULTATS;

Des premières simulations suivies par des tests d'un prototype ont donné des résultats très satisfaisants et laisse présager un accomplissement futur pouvant donner suite à plusieurs applications fonctionnelles.

Nous réalisons actuellement un nouveau prototype d'un implant spécialisé dans la réhabilitation du système urinaire qui inclura un système de mesure de l'impédance du nerf et un lien RF bidirectionnel.

SHADITALAB, Manoucher **DIPLÔME: M.Sc.A.**

TITRE:

Conception d'une transformée rapide de Fourier (TRF) reconfigurable basée sur une architecture parallèle et pipelinée.

RÉSUMÉ:

Ce travail consiste à concevoir et à réaliser un circuit destiné à effectuer la fonction d'une TRF avec un taux d'échantillonnage paramétrisable illimité sur FPGA en utilisant la carte de XCIM .

L'implantation orientée matérielle de la «TRF radix 2» est axée sur le fait que les données sont dirigées en parallèle vers un FPGA, en format mot, depuis une SRAM externe. L'accélération de calcul en utilisant les ressources matérielles minimales par rapport à des implantations de la fonction TRF qui existent sur le marché, démontrent que la méthode adoptée est efficace et robuste.

PROBLÉMATIQUE:

L'algorithme radix 2 qui a été adopté pour faire une fonction de TRF chez les industriels comme XILINX et ACTEL, est un algorithme basé sur l'architecture de type DALUT (Distributed Arithmetic Look Up Table). Cette méthode offre une vitesse de calcul supérieure à celle d'un microprocesseur DSP. Cependant, dès que le taux d'échantillonnage du signal dépasse 1024 échantillons, la taille du circuit et le coût du matériel deviennent très élevés pour justifier l'accélération de calcul de la fonction TRF sur FPGAs.

MÉTHODOLOGIE:

Dans un premier temps, nous traitons l'algorithme de TRF radix 2 en deux parties. La première partie consiste à réaliser le chemin des données (datapath) qui a comme but d'intégrer tous les composants de type multiplexeurs, démultiplexeurs, multiplieurs, additionneurs, soustracteurs et tous les registres nécessaires à l'architecture pipelinée.

La deuxième partie est la partie de contrôle. L'unité de contrôle (UC) se compose de trois machines à états finis (FSM) fonctionnant en parallèle. L'UC gère l'algorithme de TFR ainsi que les écritures et les lectures de la RAM (changement du sens des données). Il faut noter que sur le bus qui relie les FPGAs et les 64 bits de données, on ne peut pas lire et écrire en même temps. L'UC gère aussi les unités d'interface avec la RAM situées sur le FPGA contenant le chemin des données.

RÉSULTATS:

La TRF a été réalisée en VHDL, puis synthétisée à l'aide de l'outil de synthèse Synario™. La deuxième étape consiste à générer un format *netlist* EDIF pour ensuite l'implanter. L'unité de contrôle ainsi que datapath ont été testés au niveau de simulation fonctionnelle, également l'unité de contrôle a été placée et routée. La première version de l'ensemble de tous les modules a été implantée sur deux FPGAs de série XC4000e_13.

SHAIEK, Boubaker **DIPLÔME: M.Sc.A.**

TITRE:

Implantation de BIST basé sur la stratégie de test par oscillation.

RÉSUMÉ:

Le projet en question consiste à tester tout circuit analogique en le bouclant sur lui-même dans le but de le faire entrer en mode d'oscillation. Après quoi, on mesure la fréquence d'oscillation: si celle-ci est à l'intérieur d'une marge que le concepteur définit après simulation, le circuit passe le test, sinon il échoue et à ce moment l'adresse du bloc défaillant sera enregistrée dans une RAM qui est accessible en lecture pour l'usager grâce à deux boutons UP et DOWN qui contrôlent le défilement de la RAM. Une fois que le test d'un bloc est fini, on passe à un autre bloc fonctionnel, jusqu'à la fin de tous les blocs. Il est à noter que lors de l'enregistrement de huit adresses de blocs défaillants le test s'arrête même si tous les blocs ne sont pas testés.

PROBLÉMATIQUE:

Dans le domaine de l'intégration à grande échelle, il est très important de nos jours d'inclure dans les circuits que nous concevons d'autres circuits pour vérifier si notre conception fonctionne et sinon pour quelles raisons. Alors que pour les circuits numériques des techniques très performantes ont été développées, pour les circuits analogiques les techniques employées varient d'un circuit à l'autre ce qui fait qu'il n'y a pas de technique fiable et qui ne change pas d'un circuit à un autre. On propose l'implantation d'une technique qui est assez généralement valide pour un circuit analogique.

MÉTHODOLOGIE:

Le problème de l'implantation du BIST basé sur la stratégie de test par oscillation a été traité selon les étapes suivantes:

- Une routine écrite en langage C capable de lire un fichier SPICE, où le concepteur décrit son modèle analogique, et d'insérer automatiquement des commutateurs pour assurer un mode de fonctionnalité normale ou un mode de test. Le programme est capable d'insérer un circuit additif dans le cas ou le circuit à tester est de premier ordre.
- Une partie matérielle constituée d'un fréquencemètre numérique écrit en VHDL qui permet de mesurer la fréquence de chaque bloc fonctionnel et de la comparer à une signature déjà mémorisée dans une ROM. Le même fréquencemètre assure le choix du bloc à tester ainsi que le passage automatique d'un bloc à tester à un autre, sans oublier la sauvegarde des adresses défaillantes dans une RAM.
- La dernière étape consiste à générer le layout du fréquencemètre et de le simuler pour voir si les performances (fréquence maximale mesurée) ne se sont pas dégradées.

RÉSULTATS:

Le programme d'insertion de BIST écrit en langage C est réalisé et testé sur quelques fichiers SPICE. La description comportementale en VHDL du fréquencemètre ainsi que la synthèse sont réalisées et simulées avec succès. L'opération de traduction des fichiers de Synopsys vers Cadence version 9504 pour l'extraction du layout est finie et il ne reste que l'extraction du layout ainsi que la simulation définitive.

SYLLA, *Iboun Taimiya* **DIPLÔME: Ph.D.**

TITRE:

Analyse de la testabilité des circuits RF.

RÉSUMÉ:

L'objectif de notre projet est d'effectuer une analyse de la testabilité des circuits RF; cette analyse devrait aboutir à l'élaboration de méthodes de test des circuits RF. Ainsi, le projet se divise en deux temps forts soit une partie analyse et une partie élaboration de la méthodologie.

PROBLÉMATIQUE:

Au cours des dernières années, les progrès réalisés dans la technologie des circuits intégrés analogiques et mixtes (analogiques/numériques) et leurs applications dans le domaine des télécommunications (téléphones sans fil et cellulaires compacts) ont introduit un marché potentiel pour les systèmes RF. De ce fait, la testabilité des circuits intégrés RF est devenu un enjeu de taille pour l'ingénieur. Cette testabilité est limitée par trois principaux problèmes:

- L'adaptation 50 Ohms
- La linéarité des circuits
- La fiabilité des tests

MÉTHODOLOGIE:

La méthode que nous proposons consiste dans un premier temps à réaliser une interface de test haute fréquence qui permettra de tester les circuits à haute fréquence dans un environnement 50 Ohms.

Dans un deuxième temps, il sera question d'effectuer une analyse des systèmes RF linéaires et nonagénaires afin de pouvoir déduire pour chacune de ces classes de circuits une méthode de test appropriée.

Dans un troisième temps, le travail consistera en la transformation des approches développées sous forme d'outils CAO destinés à l'analyse de la testabilité, à la génération des signaux d'entrée de test (vecteurs de test) et aux simulations de pannes afin d'assister les ingénieurs dans l'introduction des améliorations nécessaires durant les différentes phases de développement d'un système RF intégré. L'automatisation de ces différentes méthodes élaborées sera aussi étudiée afin de pouvoir disposer de méthodes de test fiables.

RÉSULTATS:

Une interface de test haute fréquence a déjà été réalisée. Pour réaliser cette interface, une cellule intégrée dans le circuit à tester a été conçue. Deux méthodes de test ont aussi été élaborées, une première destinée aux circuits linéaires qui se base sur l'utilisation des paramètres (S), et une deuxième destinée aux circuits non-linéaires qui est basée sur l'analyse de la fonction de transfert en puissance.

TEGHBIT, Saliha **DIPLÔME : M.Sc.A.**

TITRE :

Conception d'un système de surveillance du syndrome de la mort subite chez le nourrisson.

RÉSUMÉ :

L'objectif de ce projet est la réalisation d'un système de surveillance, portable et non invasif, de défaillances respiratoires qui lorsqu'elles surviennent chez les nourrissons entre 0 à 6 moins entraînent leur décès. Cette maladie, souvent associée à l'apnée du sommeil, est plus connue sous le nom du syndrome de la mort subite chez l'enfant (Sudden Infant Death Syndrome).

PROBLÉMATIQUE :

L'un des principaux problèmes associés au SIDS est lié à la méconnaissance de la cause réelle qui provoque le décès et bien qu'il soit établi qu'il est lié à une défaillance respiratoire, il n'existe aucun critère objectif déterminant avec précision le degré d'implication de tel ou tel paramètre de la fonction respiratoire. De même, les dispositifs de surveillance existants combinant des mesures des fonctions respiratoire et cardiaque, sont encombrants et difficiles à manipuler (nécessitent un personnel qualifié). Nous nous proposons donc de réaliser un système de surveillance portable, non encombrant et d'utilisation facile.

MÉTHODOLOGIE :

Pour répondre aux objectifs fixés, nous envisageons de concevoir un dispositif constitué de deux modules :

- Le premier module est un bloc miniature que l'on insère dans l'œsophage pour l'acquisition et la transmission de la pression pleurale qui est une caractéristique significative de la mécanique ventilatoire. Il comprend :
  - L'acquisition des signaux : le capteur de pression, placé dans l'œsophage, permet de mesurer les variations de la pression pleurale pendant la respiration;
  - Le prétraitement des signaux : les signaux biomédicaux étant de faible amplitude, une amplification permet de ramener leur amplitude au niveau requis par leur utilisation ultérieure;
  - La transmission RF. Ce mode de transmission, se faisant sans fil, permet l'obtention d'un dispositif portable et pas encombrant.
- Le deuxième module permet, après réception des signaux transmis par le premier module, d'analyser les variations de la pression pleurale et, en cas d'occurrence d'une situation critique, de la signaler. Ce module assure :
  - La réception;
  - Le traitement et le diagnostic. Les signaux seront traités au fur et à mesure qu'ils sont reçus. Étant donné la nature du problème, entaché d'incertitude et d'imprécision, et les paramètres de la fonction respiratoire, dont les valeurs dépendent de plusieurs facteurs (âge, poids, état de la fonction respiratoire…), l'analyse doit être très rigoureuse et fiable afin de s'adapter à tous les cas de figure. Nous utiliserons donc la logique floue pour le traitement de cette diversité d'informations.

RÉSULTATS :

Cette période a permis de mettre au point un plan de travail suite à l'étude du syndrome, la pertinence de l'utilisation de la pression pleurale dans son diagnostic et le choix de l'approche de la prise de décision.

THÉRIAULT, Lévis **DIPLÔME: M.Sc.A.**

TITRE:

Développement d'estimateurs de performance pour des applications de co-design logiciel/matériel.

RÉSUMÉ:

Le présent travail consiste à concevoir et mettre en œuvre des estimateurs de performance pour la détection de bouches chaudes à l'intérieur de programmes, écrits en langage ANSI-C, en vue d'un partitionnement logiciel/matériel automatique sur une architecture matérielle reconfigurable de type FPGA.

PROBLÉMATIQUE:

Un des volets du projet Code consiste à étudier la structure d'un compilateur C ciblé vers un ordinateur d'une architecture hybride reconfigurable. Le partitionnement logiciel/matériel peut se faire en utilisant des critères de performance pour caractériser le choix du partitionnement par une quantité qui est comparée à un seuil d'acceptabilité. Ces critères devront tenir compte l'accélération, le coût du matériel, la séquentialité du logiciel, etc. Le processus de co-design n'est pas à ce jour un processus automatisé. L'objectif principal du projet est d'automatiser le partitionnement logiciel/matériel en fonction de scores de performance, relatifs aux estimateurs de performance.

MÉTHODOLOGIE:

Dans un premier temps, une revue de la littérature sur le sujet des processeurs et des circuits reconfigurables devra être effectuée afin de déterminer l'état de l'art actuel.

Dans un second temps, l'étude du compilateur SUIF, compilateur du domaine public, sera faite afin de comprendre la structure de ce compilateur et de voir comment on pourrait l'utiliser pour annoter la base de données SUIF et le code source.

Enfin, la conception et la mise en œuvre de chacun des estimateurs de performance (à définir) devront être réalisés avec les méthodes SUIF. Ceci conduira à la détermination de scores de performance en vue d'un partitionnement logiciel/matériel accentuant la vitesse d'exécution d'une tâche.

RÉSULTATS :

- Évaluation de chacune des boucles de contrôle en fonction des estimateurs de performance développés.
- Détermination des scores de performance en relation avec les résultats obtenus par chacun des estimateurs reliés à une éventuelle exécution en matériel.
- Partition logiciel/matériel automatique sur une architecture matérielle cible reconfigurable de type FPGA.

VADO, Patrice **DIPLÔME : M.Sc.A.**

TITRE :

Conception d'un outil basé sur la méthode dite de mutation permettant la validation de circuits VLSI.

RÉSUMÉ :

Le but de ce projet est de proposer une méthode systématique d'enrichissement de vecteurs de validation afin de détecter les bugs présents dans un programme. Cette méthode exploite le concept de mutation qui consiste à injecter des fautes spécifiques dans la version originale d'un programme VHDL. Ces programmes mutés appelés mutants sont donc des programmes syntaxiquement corrects mais fonctionnellement incorrects. L'aptitude qu'ont ces vecteurs à détecter ces fautes renseignera le concepteur des tests quant à la manière d'augmenter son jeu de vecteurs de validation.

PROBLÉMATIQUE :

Les circuits VLSI sont de plus en plus complexes et la validation de ces circuits devient de plus en plus problématique. Quand peut-on dire qu'un design rempli pleinement les objectifs décidés par les spécifications?

La méthode de mutation permet d'identifier un certain nombre de vecteurs capables de détecter un ensemble fini et bien spécifié de fautes. En fait, ces vecteurs sont capables de montrer qu'un programme est erroné s'il fournit un résultat incorrect. Par ailleurs, la modélisation des bugs est réalisée à partir d'opérateurs.

MÉTHODOLOGIE :

La première étape consiste à proposer des opérateurs spécifiques à un langage (en l'occurrence le VHDL). Ces opérateurs modélisent les bugs. Ils permettent l'introduction de fautes dans le programme original. L'efficacité de la méthode proposée est validée sur trois bancs d'essai.

- Un module de détection d'erreurs d'un processeur ancillaire (Miranda);
- Un générateur d'adresse d'une machine SIMD (Pulse);
- La puce SIMD (Pulse).

RÉSULTATS :

Le module de détection et le générateur d'adresse ont été réalisés à l'aide du langage VHDL. Les opérateurs VHDL ont été définis. La réalisation finale de l'outil est au stade d'élaboration.

VAILLANCOURT, Pierre **DIPLÔME: M.Sc.A.**

TITRE:

Étude de la propagation des ondes électromagnétiques d'un lien à fréquences-radio de transfert d'énergie dédié à un implant de stimulation du cortex visuel.

RÉSUMÉ:

Il y a plus de 100 000 personnes totalement aveugles au Canada et aux États-Unis. De ce nombre, seulement 15% peuvent se déplacer de façon autonome et seulement 20% peuvent lire le braille. Notre but est de permettre aux non-voyants de retrouver une vision limitée mais fonctionnelle.

PROBLÉMATIQUE:

Afin de permettre aux non-voyants de retrouver une vision fonctionnelle, nous utilisons un système comprenant un implant cortical stimulant directement le cortex visuel du patient. Cet implant devrait être actif pendant de très longues périodes et générer des stimulations de façon continue. Étant donné la consommation d'énergie requise par la stimulation et des limites des systèmes d'accumulation de charge, l'implant devra être alimenté au moyen d'un lien radiofréquence à transfert d'énergie par couplage inductif. Le rendement de ce type de lien étant assez faible, la majorité de l'énergie rayonnée se propage librement dans l'espace et une portion de cette énergie est absorbée par les tissus de la tête. Puisque l'exposition prolongée aux radiations électromagnétiques peut engendrer des complications médicales, il est primordial de connaître et de contrôler la propagation de l'énergie du lien fréquences-radio.

METHODOLOGIE:

Puisque nous devons calculer la propagation des ondes électromagnétiques du lien de transfert d'énergie dans un espace non-uniforme dont la géométrie est très complexe, c'est-à-dire une tête humaine, nous ne pouvons pas employer les méthodes analytiques traditionnelles. Nous utilisons donc la méthode numérique "Finite-Difference Time-Domain" qui calcule la propagation selon les équations différentielles discrétisées de Maxwell. Cette méthode nous permet de connaître les champs électriques et magnétiques pour tous les points de l'espace tridimensionnel en tout moment.

À partir de ces résultats, nous cherchons à optimiser les paramètres du lien de transfert d'énergie qui sont la fréquence de la porteuse, la taille des antennes inductives, leurs positions respectives et l'impédance d'entrée du circuit de l'antenne réceptrice afin de réduire la quantité d'énergie absorbée localement par les tissus biologiques. Dans un premier temps, nous étudions le comportement d'une antenne émettrice seule afin d'observer l'interaction entre la porteuse et les tissus. Dans un deuxième temps, nous ajouterons l'antenne réceptrice afin de modéliser le lien complet et de calculer l'énergie maximale des points chauds qui se forment dans le cerveau ainsi que l'énergie disponible pour l'implant.

RÉSULTATS:

La modélisation d'une antenne émettrice et d'un cerveau simplifié "boxbrain" ont été réalisés. Les résultats de l'étude du lien pour la gamme de fréquence allant de 20MHz à 200MHz montrent que plus la fréquence de la porteuse augmente, plus l'énergie de la porteuse pénètre profondément dans les tissus. Le modèle de l'antenne réceptrice est complété et un modèle de cerveau plus réaliste est en développement.

VOGHELL, Jean-Charles **DIPLÔME : M.Sc.A.**

TITRE :

Techniques de réalisation de filtres analogiques reconfigurables utilisant des cellules Gm-C.

RÉSUMÉ :

Le projet consiste à développer une technique permettant de concevoir des filtres analogiques à l'aide de cellules de transconductance dans les circuits intégrés opérant à très haute fréquence. En variant la tension de référence des cellules de transconductance au moyen de convertisseurs numériques-analogiques, il sera possible de modifier les caractéristiques (fréquence centrale, facteur de qualité) du filtre. Le projet est réalisé à l'aide de la technologie 0.35um.

PROBLÉMATIQUE :

La réalisation des filtres analogiques intégrés opérant à haute fréquence a longtemps été limitée par les différentes méthodes proposées dans le passé. L'utilisation des circuits à condensateurs commutés est limitée à des fréquences peu élevées, tandis qu'il est difficile d'intégrer une inductance étant donné les imprécisions. Récemment, les cellules de transconductance ont acquis une grande popularité pour réaliser les filtres analogiques dans des circuits intégrés étant donné leur simplicité et qu'elles permettent d'opérer à des fréquences élevées tout en minimisant la puissance consommée. Il s'agit donc de réaliser une cellule de transconductance performante afin de l'utiliser proprement.

MÉTHODOLOGIE :

En se basant sur une cellule de transconductance déjà réalisée par notre équipe lors de travaux précédents, il s'agit dans un premier temps de créer une cellule de transconductance ayant une bonne linéarité tout en offrant un gain DC acceptable. Dans un deuxième temps, nous proposerons une méthode pour réaliser des filtres à partir de cette cellule. Finalement, un mécanisme sera développé afin de pouvoir varier les tensions de références des cellules composant le filtre de manière à pouvoir modifier ses caractéristiques.

RÉSULTATS :

Une revue complète de la littérature touchant le domaine des cellules de transconductance ainsi que les différentes méthodes pour réaliser des filtres a été réalisée. Une première révision de la cellule de transconductance a été effectuée afin d'améliorer le gain DC. Une réalisation physique d'un filtre passe-bande du 5e ordre est en voie d'être complétée en plus d'une source de courant programmable (CNA).

WONG,. Tony **DIPLÔME: Ph.D.**

TITRE:

Répartition automatique des tâches dans la simulation en temps réel des réseaux électriques.

RÉSUMÉ:

La coordination des activités à l'intérieur d'un système distribué est normalement assurée par une politique de répartition des tâches. La répartition des tâches permet une utilisation équitable des ressources et améliore le rendement du système. De plus, un ordonnancement efficace peut diminuer le temps d'exécution des tâches en profitant du parallélisme (implicite ou explicite) du programme parallèle.

PROBLÉMATIQUE:

La simulation en temps réel de grands réseaux électriques exige une très grande puissance de calculs. L'utilisation de l'ordinateur parallèle peut simplifier le travail en exploitant le parallélisme implicite et explicite du problème. L'objectif de cette recherche consiste à trouver une méthode de répartition des tâches capables de distribuer efficacement les calculs dans le réseau des processeurs.

MÉTHODOLOGIE:

Le problème de répartition des tâches peut être vu comme un problème de recherche heuristique dans lequel il est nécessaire de trouver une politique de gestion capable de respecter toutes les contraintes spatiales et temporelles imposées. La méthode de répartition des tâches proposée repose sur le principe ode la complétude de l'algorithme A* et sur l'admissibilité des heuristiques. Une approche pragmatique doit être envisagée pour tenir compte de la limitation de la mémoire disponible pour la recherche heuristique. L'ensemble de ces considérations donnera lieu à une nouvelle méthode de répartition des tâches. Cette nouvelle méthode, basée sur un algorithme de recherche heuristique, doit être en mesure d'effectuer le découpage dynamique de l'espace de solution. Ainsi, il est possible de diminuer son temps d'exécution et d'obtenir une complexité temporelle et spatiale bornée.

RÉSULTATS:

Une méthode de répartition automatique des tâches a été réalisée pour le simulateur en temps réel HyperSim d'IREQ. Le répartiteur des tâches est basé sur un nouvel algorithme de recherche DPSM (Dynamic Pruning Search Method). Le DPSM est une méthode de recherche heuristique capable de tenir compte de la mémoire disponible tout en conservant les caractéristiques de la complétude et l'optimalité de l'algorithme A*.

L'analyse et la présentation dans un cadre formel des heuristiques utilisées. La coordination d'une gestion d'exceptions dans la méthode de répartition des tâches. Les exceptions sont des cas où la solution d'une répartition ne peut être obtenue. L'étude de faisabilité sur la proposition automatique de topologies d'interconnexions pour faciliter la répartition des tâches.

SUBVENTIONS ET CONTRATS

Les projets de recherche mentionnés ci-haut sont, pour la plupart, financés par les subventions individuelles ou de groupe des chercheurs (montants annuels).

Subventions, contrats et conventions de recherche individuelles

Chercheur	Organisme, Programme, Titre	Montant annuel	Période de validité
• Bois, G.	CRSNG individuelle «Méthodes de partitionnement logiciel/matériel pour la conception de systèmes dédiés de haute performance»	15,000.00 $	1997 - 2000
• Haccoun, D.	CRSNG individuelle	27,300.00 $	1996 - 2000
• Houle, J.-L.	CRSNG individuelle «Algorithmes et architectures pour système à multiprocesseurs spécifiques»	18,350.00 $	1996 - 2000
• Kaminska, B.	CRSNG Coop «Advanced Optical Switching Systems»	140,000.00 $	1996 - 1999
• Kaminska, B.	CRSNG BNR/NT «Analog Circuit Manufacturability Analysis and Test Specification»	89,000.00 $	1995 - 1998
• Maciejko, R.	CRSNG – Coop. CRD avec BNR «Gain-Coupled MQW/DFB Lasers»	30,000.00 $	1997 – 2000
• Maciejko, R.	BNR NORTEL «Gain-Coupled MQW/DFB Lasers»	30,000.00 $	1997 – 2000
• Maciejko, R.	CRSNG, Operating «Broadband Signal Processing with Ultrafast Photonics»	26,000.00 $	1997 – 1999
• Meunier, M.,	CRSNG individuelle «Dépôt de couches minces assisté par photons UV»	31,790.00 $	1995 - 1999
• Meunier, M.,	NORTEL «Techniques de mesures de température en microélectronique»	8,000.00 $	1998 - 1999
• Meunier M.,	Hydro-Québec, «Propriétés de céramiques LSM5».	20,000.00 $	1998 - 1999
• Savaria, Y.	Ministère de la Défense Nationale «Study of Clustering Approaches for Noisy Input Data and Low-Cost Implementation of Electronic Warfare Clusterers», DREO Commandite»	35,000.00 $	1998 – 2001
• Savaria, Y.	CRSNG individuelle «Méthodes de conception et test pour les circuits intégrés CMOS ultra-rapides»	34,850.00 $	1996 - 2000
• Savaria, Y.	Micronet/Miranda «Design of Hardware/ Software Systems for Video Processing»	30,000.00 $	1997 - 1998
• Savaria, Y.	IRIS, «Computational Sensing for Vision and Robotics»	27,700.00 $	1996 - 1998
• Savaria, Y.	Nortel «Fault Modeling and Testability Methods forNT25 Bipolar Technology»	36,400.00 $	1996 - 1998

Subventions, contrats et conventions de recherche individuelles (suite)

Chercheur	Organisme, Programme, Titre	Montant annuel	Période de validité
• Savaria, Y.	Micronet, Miranda, PMC Sierra «Architecture of Digital Video Circuits and Synchronisation of High Speed Systems»	78,000.00 $	1998 – 2001
• Sawan, M.	Micronet, CRSNG, Goal Electronics «High Performance Mixed-Signal Circuits for Future Wireless Application»	34,500.00 $	1998 – 1999
• Sawan, M.	Contrat de recherche PRESSENK «Design of a Pure Touch Multichannel Encoder»	12,800.00 $	1998 - 1999
• Sawan, M.	Nortel, «Design of a Digital Adaptive Time Domain Equalizer»	22,425.00 $	1997 - 1998
• Sawan, M.	Micronet, CRSNG, «High Performance CMOS Mixed-Signal Building Blocks»	36,000.00 $	1997 - 1998
• Sawan, M.	Alliance Medical Inc., «Design of Miniaturized Ultrasonic Devices»	21,000.00 $	1997 - 1998
• Sawan, M.	Ministère de l'Éducation du Québec «Soutien à l'organisation d'une conférence internationale»	10,000.00 $	1997 - 1998
• Sawan, M.	CRSNG individuelle «Circuits et technologies mixtes pour micro-stimulateurs et capteurs implantables»	19,000.00 $	1995 - 1999
• Sawan M.	CRSNG stratégique «Stimulateurs et capteurs implantables dédiés à la récupération des fonctions neuro-musculaires»	71,250.00 $	1995 - 1998

Subventions, contrats et conventions de recherche de groupe

Chercheurs	Organisme, Programme, Titre	Montant annuel	Période de validité
• Aboulhamid, M., Bois, G., Savaria, Y., Sawan, M., et 16 autres	GRIAO, FCAR – Centre de Recherche, Infrastructure	133,330.00 $	1998 – 2001
• Aboulhamid, M., Bois, G.,	Micronet, «Hardware Software System Partitioning and Development of Estimation Tools»	50,000.00 $	1998 - 1999
• Cerny, E., Savaria, Y., et 17 autres	FCAR centre, Groupe de Recherche Interuniversitaire en Architectures des Ordinateurs	125,000.00 $	1995 - 1998
• Currie, J.F., Meunier, M., et 4 autres	FCAR Équipe «Dispositifs micro-électroniques» (infrastructure)	40,000.00 $	1996 - 1999
• Elhilali, M., Sawan, M., Duval, F.,	Fondation Canadienne des Maladies du Rein « Modulation of Bladder Function Through Neurostimulation»	40,000.00 $	1997 - 1999
• Lacroix, S., Meunier, M.,	CRSNG Stratégique «All-Fiber Non Linear Devices»	97,500.00 $	1995 - 1998
• Maciejko, R., Leonelli, R., Morris, D.,	CRSNG - Stratégique «Ultrafast Technologies for Photonic Devices»	121,000.00 $	1996 – 1997

Subventions, contrats et conventions de recherche de groupe (suite)

Chercheurs	Organisme, Programme, Titre	Montant annuel	Période de validité
• Meunier M., et 19 autres	FCAR, Centre - GCM (infrastructure)	229,000.00 $	1996 - 1999
• Meunier M., et 13 autres	CRSNG Infrastructure «Thin Film Group Laboratory»	157,000.00 $	1996 - 1999
• Meunier, M., Ivanov, D., Superionic Conductors»	CRSNG Stratégique «PLD of	111,690.00 $	1996 - 1999
• Plamondon, R., Sawan, M.,	CRSNG, Appareillage, «Système de capture et d'analyse des Mouvements tridimensionnels».	78,972.00 $	1997 - 1998
• Savaria, Y., Houle, J.-L., Kaminska, B., Sawan, M.,	FCAR, «Méthodes de conception des systèmes VLSI et ULSI»	46,500.00 $	1997 - 2000
• Savaria, Y., Bois, G., Sawan, M., Aboulhamid, M.,	CRSNG Stratégique, «Hardware/ Software Co-design of Reconfigurable Computational Accelerators»	97,900.00 $	1997 - 1998
• Savaria, Y., Sawan, M., Bois, G., Kaminska, B., Houle, J.-L., Maciejko, R.,	École Polytechnique de Montréal, Fonds interne GRM	30,000.00 $	1996 - 1998
• Savaria, Y., Houle, J.-L., Sawan, M., Kaminska, B., Bois, G., Meunier, M.,	Ministère de l'Enseignement Supérieur des Sciences du Québec Genesis, Miranda et Mirotech «PULSE: Parallel Ultra Large Scale Integrated Engine»	1,400,000.00 $	1995 - 1998
• Sawan, M., Bois, G., Bosisio, R, Currie, J., Ghannouchi, F., et 7 autres	Société Canadienne de Micro-électronique, Prêt d'appareillage	139,980.00 $	1997 - 1998
• Yelon, A., Meunier, M., et Paleologou, M.,	CRSNG Stratégique, «Membranes»	111,500.00 $	1997 - 2000

- **Équipement prêté par la SCM**

3 x SUN Sparcstation 5-85, 64 Mb	1 x HP Command module E1406A	1 x Test Head 1000
1 x SUN Sparcstation 5-85, 112 Mb	1 x HP 20 Msa/s A/D E1429B	1 x SMU Test head
1 x SUN Sparcstation 20, 64 Mb	1 x Analog DBS 8750 Arbitrary Waveform Synthetizer	1 x Model 28 T11a Active probe
1 x SUN 150 Mb external tape dr.	1 x HP E1450A 160 MHz Timing Module	1 x Power supply (for model 28)
1 x SUN 644 Mb external CDROM drive	1 x HP E1445A Arbitrary, Function Generator	4 x Model 40A (T13) Micro. (4R)
1 x SUN CDROM 12 x	1 x HP E1452A 20 MHz Pattern, I/O Module	2 x MH5 alessi Micropositioner (L)
1 x SUN Entreprise Ultra 1 128 Mb	1 x HP E6623A Programmable, DC Power Supply	2 x MH5 alessi Micropositioner (R)
1 x SUN Entreprise Ultra 1 256 Mb	2 x GGB picoprobe model 28	1 x MMM-01 alessi Microwave, Mount (40A)
2 x SUN Multipack 16 Gb	1 x GGB picoprobe power supply	2 x MMM-02 alessi Microwave, Mount (40A)
1 x SUN Multipack 8 Gb	1 x HP E1493-60001 (con. Bord)	2 x MMM-04 alessi Microwave, Mount (40A)
2 x SUN Ultra 1 128 Mb	3x HP E 1454 A (cable)	4 x MAC-02 alessi Magnetic Base
1 x SUN Ultra 1 256 Mb	1 x Keithley Source Measurement	8 x Picoprobe 40A-GSG-150-P
1 x HP 1600 mm EIA 19" rack	1 x VXI Test Fixture	4 x Microwave Probe MH5-2848
1 x HP Worksation 745i, 32 Mb		1 x SUN GPIB interface Controller
1 x UNIBIT 5.0 Gb external tape Dr		
1 x HP Main Frame E1401 A 20 Msa/s Digitizer		

Équipement appartenant au groupe

1 x SUN Sparcstation IPX, 56 Mb	2 x HP printer Deskjet 650 C
1 x SUN Sparcstation IPX, 40 Mb	1 x HP printer deskwriter C
1 x SUN Sparcstation 1 28 Mb	1 x MAC printer deskwriter C
1 x SUN Sparcstation 1,8 Mb	29 x APC BK600 UPS
1 x SUN Sparcstation 1+, 16 Mb	1 x Rapid prototyping board V.2
2 x SUN Sparcstation 2, 64 Mb	1 x HP Semi-Cond. P.A. 4145A
5 x SUN Sparcstation 10 64 Mb	1 x Miranda Research Expresso
2 x SUN 1.3Gb external drive	1 x MiroTech Cage VME et Pc
3 x SUN 2.1 Gb external drive	1 x HP function Generator 8111A
1 x SUN 4.0 Gb external drive	1 x HP oscilloscope 1741A 100MHz
1 x HP Workstation 712/60 64 Mb	1 x TEKTRONICS Analyseur Logique 3002
3 x SUN Sparcstation 5-70 64 Mb	1 x PHILIPS oscilloscope 0-25 MHz PM3212
4 x SUN Sparcstation 4-110 32 Mb	1 x HP Power supply 6202B
1 x SUN Sparcstation 4-170 32 Mb	1 x WENTHWORT Prober
3 x SUN Sparcstation 5-85 64 Mb	1 x SUN 76" data center cabinet
1 x SUN Sparcstation 5-110 96 Mb	2 x PC 486 DX 33, 16 Mb
1 x SUN Sparcstation 5-110 64 Mb	1 x PC 486 DX 66, - 16 Mb
1 x SUN Ultra-1 256 Mb	1 x PC P133, 16 Mb
1 x SUN IPC 36 Mb	1 x PC 486 DX 100, 16 Mb
2 x OSS 2.1 GB external drive	1 x PC 486 DX4-100, 16 Mb
2 x OSS 4.0 GB external drive	1 x PC 486 DX4-100, 20 Mb
2 x SUN 150 MB external tape drive	1 x PC 486 DX50, 16 Mb
1 x UNIBIT 5.0 GB external tape drive	1 x PC Pentium Pro200 64 Mb
2 x SUN 14 GB external tape drive	5 x PC Pentium 120, 32
1 x Colorado Tracker 700MB external tape drive	2 x PC Pentium 100, 16 Mb
2 x SUN 644 MB external CDROM drive	1 x PC Pentium 100 64 Mb
1 x HP 4 x external CDROM drive	2 x PC Pentium 90, 32 Mb
1 x HP printer laserjet IIP	1 x PC Pentium 90, 16 Mb
2 x HP printer laserjet 4m+	1 x PC Pentium 75, 16 Mb
1 x HP printer laserjet 5m	1 x PC Pentium 166, 32 Mb
1 x HP printer HP5L	1 x PC Pentium 333, 128 Mb
1 x HP printer 1200/C	2 x PC Pentium 200, 128 Mb
1 x SUN printer sparcprinter 12 pp	1 x TENEX 2.1 Gb external drive
1 x HP printer plotter 7580B	2 x TENEX 4.0 Gb external drive
1 x HP printer paintjet Color	1 x UNIBIT 2, 1 Gb external drive

Logiciels

Un ensemble diversifié de logiciels de conception et de vérification de circuits intégrés est disponible au laboratoire de microélectronique. Quelques-uns de ces logiciels sont du domaine public, obtenus d'autres universités ou de banques de logiciel. Le logiciel MENTOR a été donné à l'École par la compagnie Mentor Graphics, tandis que les logiciels EDGE/CADENCE proviennent de la société Cadence. Citons parmi les principaux logiciels qui sont d'usage courant HSPICE de et Synopsys de la société du même nom

MENTOR Graphics C.1 - design_arch. Sta - ic_layout_ex.sta - sds.sta - vhdlarch.sta - autologic_ic.sta - dsp.sta - idea.sta - sds_base.sta - vhdlentry.sta - ic_layout.sta - ideafpga.sta - tdfpga.sta - seamless Synopsys Octtools	• Logic Modeling • CADENCE 9504 (environnement intégré par la conception des circuits VLSI) • Artist de Cadence (Design des circuits analogiques et mixtes) • ALLEGRO (conception de PCB et MCM) • HSPICE (simulateur) • Amical • DW2000 (Édition de masque, fourni par Design Workshop) • FrameMaker 4 et 5 (Logiciel de traitement de texte) • Matlab (logiciel pour le traitement mathématique) • Osf Motif • Publisher • SPW • Xilinx

-

PUBLICATIONS ET RÉALISATIONS

Articles de revues acceptés pour publication

[A- 1] ABOU-KHALIL, M., RAHAL, A., GOANO, M., MACIEJKO, R., WU, K., BOSISIO, R.G., «Predicting Nonlinear Electrical Performance in Single and Multiple Quantum Barrier Varactors (QBVs) by the Monte Carlo Technique» accepté à *IEEE Trans. Electron. Devices,* 1998.

[A- 2] ACHOUR, C., HOULE, J.-L., DAVIDSON, J., «Multi Elementary-processor Implementation of 2D Wavelet Transforms», accepté à *International Journal of Computers & Applications,* 1998.

[A- 3] ARABI, K., SAWAN, M., «Electronic Design of a New Multiprogrammable Microimplant for Neuromuscular Electrical Stimulation», accepté à *IEEE Trans. On Rehabilitation Eng*., 1998.

[A- 4] ASSI, A., SAWAN, M., «High Performance CMOS Transconductor for Mixed-Signal Analog-Digital Applications» accepté à *Analog Integrated Circuits & Signal Processing Journal,* 1998.

[A- 5] ASSI, A., SAWAN, M., «Compensation Technique to Reduce Offset and Gain Errors of CMOS CFOA: Design and Subsequent Measurements», *Int. Journal of Circuit Theory & Appl.,* 1998.

[A- 6] BOYER, S., SAWAN, M., ABDEL-GAWAD, M., ROBIN, S., ELHILALI, M.M., «Implantable Selective Stimulator to Improve Bladder Voiding: Design and Chronic Experiments in Dogs» *IEEE Trans. On Rehabilitation Eng.,* 1998.

[A- 7] DJEMOUAI, A., SAWAN, M., SLAMANI, M., «New CMOS Small-Area Short-Locking Time and Wide-Locking Range Frequency-Locked Loops», *IEEE Trans. On Circuits and Systems II,* 1998.

[A- 8] JECKLEN, E.G., GHANNOUCHI, M., SAWAN, M., "Adaptive Digital Predistorter for Power Amplifiers with Real Time Modeling of Memoryless Complex Gains", *Transactions on Microwave Theory and Techniques,* 1997.

[A- 9] NEKILI, M., SAVARIA, Y., BOIS, G., «Spatial Characterization of Process Variation via MOS Transistor Time Constants in VLSI & WSI»accepté à *Brief Paper, JSSC,* octobre 1997.

Articles de revues publiés de septembre 1997 à août 1998.

[P- 1] ABOU-KHALI, M., SCHREURS, D., NAUWELAERS, B., VAN ROSSUM M., MACIEJKO, R., WU, K., «Effect of Capture and Escape Phenomena in Monte Carlo Technique on the Simulation of the Nonlinear Characteristics in High Electron Mobility Transistors», *Journal of Applied Physics,* 82912), décembre 1997, pp. 6312-6318.

[P- 2] ARABI, K., KAMINSKA, B., SAWAN, M., «On Chip Testing Data Converters Using Static Parameters»,*IEEE Trans. On VLSI Systems,* vol. 6, no. 3 1998, pp. 409-419.

[P- 3] ARABI, K., KAMINSKA, B., «Design for Testability of Embedded Integrated Operational Amplifiers», *IEEE Journal of Solid-State Circuits,* avril 1998.

[P- 4] ASSI, A., SAWAN, M., ZHU, J., «An Offset Compensation Method for CMOS Current-Feedback OP AMP» *IEEE Trans. On Circuits and Systems I,* vol. 45, no. 1. 1998, pp. 85-90.

[P- 5] BEAUDOIN, F., MEUNIER, M., SIMARD-NORMANDIN, M., LANDHEER, D., «Excimer Laser Cleaning of Silicon Wafer Backside Metallic Particles»,*J. Vac. Science and Technol. A16,* pp. 1976-1979, 1998.

[P- 6] BOIS, G., «Le codesign logiciel/matériel», *Journal Industriel du Québec,* en 3 volets de août à octobre 97.

[P- 7] CHEN, J., MACIEJKO, R., MAKINO, T., «Transient Side Mode Suppression in Gain-Coupled DFB Lasers» *IEEE Journal of Quantum Electronics,* 34(1), janvier 1998, pp. 113-119.

[P- 8] CHEN, J., MACIEKNO, R., MAKINO, T., «Self Consistent Analysis of Side Mode Suppression in Gain-Coupled DFB Semiconductors Lasers», *IEEE Journal of Quantum Electronics,* 34(1), janvier 1998, pp. 101-109.

[P- 9] GAGNON, Y., MEUNIER, M., SAVARIA, Y., THIBEAULT, C., «Mathematical Cost Model for Redundant Multi-Processors Arrays» *Journal of Microelectronics Systems Integration,* vol, 5., no. 4, décembre 1997, pp. 199-208.

[P-10] GRANGER, E., SAVARIA, Y., LAVOIE, P., CANTIN, M.-A.; «A Comparison of Self-Organizing Neural Networks for Fast Clustering of Radar Pulses», *Signal Processing,* vol. 64, ISS. 3., pp. 249-269, 1998.

[P-11] GRANGER, E., SAVARIA, Y., BLAQUIÈRE, Y., CANTIN, M.-A., LAVOIE, P., «A VLSI Architecture for FAST Clustering with Fuzzy ART Neural Networks» *Journal of Microelectronics System Integration,* vol. 5, no. 1, mars 1997, pp. 3-18.

Articles de revues publiés de septembre 1997 à août 1998 (suite)

[P-12] IZQUIERDO, R., QUENNEVILLE, E., GIRARD, F., MEUNIER, M., IVANOV, D., PALEOLOGOU, M., YELON, A., «Pulsed Laser Deposition of NASICON for the Fabrication of Ion Selective Membranes», *Journal of Electrochemical Soc., 144,*.pp. L323-L325, 1997.

[P-13] KAMINSKA, B., «Why digital signal sensitivity test are a must », *Computer Design-Guide to Analog and Mixed-Signal Design,* décembre 1997, pp. 18-20.

[P-14] KAMINSKA, B., «It's time now for EDA to move beyond BIST», *Speakout in EE Times,* novembre 1997, p. 53.

[P-15] MEUNIER, M., IZQUIERDO, R., HASNAOUI, L., QUENNEVILLE, E., IVANOV, D., GIRARD, F., MORIN, F., YELON, A., PALEOLOGOU, M., «Pulsed Laser Deposition of Superionic Thin Films: Deposition and Applications in Electrochemistry», *Appl. Surf. Science,* 127-129, 466-470, 1998.

[P-16] MEUNIER, M., ISQUIERDO, R., TABBAL, M., EVOY, S., DESJARDINS, P., BERNIER, M.-H., BERTOMEU, J., EL YAAGOUBI, N., SUYS, M., SACHER, E., YELON, A., «Laser Induced Deposition of Tungsten and Cooper», *Mat. Science and Eng., B, 45,* pp. 200-207, 1997.

[P-17] PETRICAN, P., SAWAN, M., «Design of a Miniaturized Ultrasonic Bladder Volume Monitor and Subsequent Preliminary Evaluation on 41 Enuretic Patients» *IEEE Trans. On Rehabilitation Eng.,* vol. 6, no. 1, 1998, pp. 66-74.

[P-18] POPOVICI, D., SACHER, E., MEUNIER, M., «Photodegradation of Teflon AF1600 During XPS Analysis», *J. Appl. Polymer. Sci.,* 70, pp 1201-1207, 1998.

[P-19] POPOVICI, D., CZEREMUZKIN, G., SACHER E., MEUNIER, M., «Laser-Induced Metalorganic Chemical Vapor Deposition of Cu(hfac)(TMVS) on Amorphous Teflon AF1600: An XPS Study of the Interface» *Appl. Surf. Sci.,* 126, PP. 198-204, 1998.

[P-20] POPOVICI, D., PIYAKIS, K., MEUNIER, M., SACHER, E., «Angle-Resolved XPS Comparison of Cu-Teflon AF1600 and A1-Kapton Metal Diffusion», *J. Appl. Phys.,* 83, pp. 108-111, 1998.

[P-21] PROVOST, B., SAWAN, M., «A New Bladder Volume Monitoring Device Based on Impedance Measurement» *Med. Biol. Eng. Comput.,* vol. 35, 1997, pp. 691-694.

[P-22] ROBIN, S., SAWAN, M., ABDEL-GAWAD, M., ABDEL-BAKY, T. M., ELHILALI, M.M., «Implantable Selective Simulation System Dedicated for Low Pressure Micturition», *Med. & Bio. Eng. & Comput*., vol. 36, no. 4, 1998, pp. 490-492.

[P-23] SACHER, E., MARTINU, L., MEUNIER, M., «La métallisation de Polymères: Cuivre sur les Fluoropolymères», *J. Phys. Paris,* pp. C6-239-248, décembre 1997.

[P-24] SHAKER, H.S., TU, L.M., ROBIN, S., ARABI, K., HASSOUNA, M., SAWAN, M., ELHILALI, M.M., «Reduction of Bladder Outlet Resistance by Selective Sacral Root Stimulation Using High-Frequency Blockade in Dogs: An Acute Study» *The Journal of Urology* vol. 160, 1998, pp. 901-907.

[P-25] SYLLA, I.T., SLAMANI, M., KAMINSKA, B., GHANNOUCHI, F., «Joint Design and Test Consideration in High Frequency Circuits» *Microwave and Optical Technologies Letters*, vol. 16 no. 3, octobre 1997, pp. 132-138.

[P-26] TABBAL, M., MEUNIER, M., IZQUIERDO, R., BEAU, B., YELON, A., «Laser Chemical Vapor Deposition of W Schottky Contacts on GaAs Using WF_6 and SiH_4» *J. Appl. Phys., 81,* pp. 6607-6611, 1997.

Articles de revues publiés de septembre 1996 à août 1997

[P-27] ABDERRAHMAN, A., SAVARIA, Y., KAMINSKA, B., «Analyse, estimation et réduction du bruit de commutation simultanée», *Revue Canadienne de Génie électrique*, octobre 1996, vol. 21, no 4, pp. 133-143.

[P-28] ABOU-KHALI, M., GOANO, M., REID, B., CHAMPAGNE, A., MACIEJKO, R., «Monte Carlo Calculation of the Electron Capture Time in Single Quantum Wells» *Journal of Applied Physics,* 81(9), mai 1997, pp. 6438-6441.

[P-29] ALLARD, M., BOUGHABA, S., MEUNIER, M., «Laser micromachining of free-standing structure in Sio2 covered silicon», Appl. Surf. Science, 109-110, 189, 1997.

[P-30} ARABI, K., KAMINSKA, B., « A New BIST Scheme Dedicated to Digital-To-Analog and Analog-to-Digital Converters », IEEE Design & Test of Computer, automne 1996, pp. 40-49.

[P-31] ARABI, K., SAWAN, M., "Implantable Multiprogrammable Microstimulator Dedicated to Bladder Control", Med. Biol. Eng. Comput., No 34, 1996, pp. 9-12.

[P-32] ARABI, K., KAMINSKA, B., « Oscillation Built-In Self-Test of Mixed Signal IC with Temperature and Current Monitoring », *JETTA Special issue on On-line Testing,* décembre 1997.

Articles de revues publiés de septembre 1996 à août 1997 (suite)

[P-33] BELHAOUANE, A., SAVARIA, Y., KAMINSKA, B., MASSICOTTE, D., « Reconstruction Method for Jitter Tolerant Data Acquisition System», *JETTA*, vol. 9, 1996 pp. 177-185.

[P-34] BELZILE, J., GAGNON, F., HACCOUN, D., "Analysis and Performance of Bidirectional Decoding on Fading Channels», *IEEE Trans. On Comm.,* septembre 1996.

[P-35] BOIS, G., CERNY, E., «Efficient Generation of Diagonal Constraints for 2D Mask Compation», *IEEE Transactions on CAD,* vol. 15, no. 9, septembre 1996.

[P-36] BOSI, B., BOIS, G., SAVARIA, Y., «Reconfigurable Pipelined 2D Convolvers for Fast Digital Signal Processing», *IEEE Transactions on VLSI,* juin 1997.

[P-37] BOUGHABA, S., WU, X., SACHER, E., MEUNIER, M., « liquid Explosive Evaporative Removal of Submicron Particles from Hydrophilic Oxidized Silicon Surfaces », *J. Adhesion,* 61, pp. 293-301, 1997.

[P-38] CHEN, J., CHAMPAGNE, A., MACIEJKO, R., MAKINO, T., «Improvement of Single-Mode Gain Margin in Gain Coupled DFB Lasers», *IEEE Journal of Quantum Electronics*, vol. 33, no. 1, janvier 1997, pp. 33-40.

[P-39] CHEN, J., MACIEJKO, R., MAKINO, T., «Dynamic Properties of Push-Pull DFB Lasers», *IEEE Journal of Quantum Electronics,* vol. 32, no. 12, décembre 1996, pp. 2156-2165.

[P-40] EHSANIAN, M., KAMINSKA, B., « A BiCMOS Wideband Operational Aplifier with 900 MHz Gain-Bandwidth and 90 dB DC Gain *» Analog Integrated Circuits and Signal Processing Kluwer Publ*., Vol. 11, no. 1, septembre 1996, pp. 63-72.

[P-41] GRANGER, E., SAVARIA, Y., BLAQUIÈRE, Y., CANTIN, M.A., LAVOIE, P., «A VLSI Architecture for Fast Clustering with Fuzzy ART Neural Networks», *Journal of Microelectronics Systems Integration,* vol. 5, no. 1, mars 1997, pp. 3-18.

[P-42] HEROUX, J.B., BOUGHABA, S., RESSEJAC, I., SACHER E., MEUNIER, M., «CO_2 laser-assisted removal of Submicron Particles from solid surfaces », *journal of Applied Physics,* 79, pp. 2857-2862, 1996.

[P-43] HEROUX, J.B., BOUGHABA, S., SACHER, E., MEUNIER, M., CO_2 Laser-Assisted Particle Removal from Silicon Surface» *Canadian Journal of Physics,* 74, pp. 5685-5689, 1996.

[P-44] IZQUIERDO, R., HANUS, F., LANG, T., IVANOV, D., MEUNIER, M., LAUDE, L., CURRIE, J.F., YELON, A., « Pulsed laser deposition of NASICON thin films », *Appl. Surf. Science,* pp. 96-98, 855-858, 1996.

[P-45] NEKILI, M., BOIS, G., SAVARIA, Y., «Pipelined H-Trees for High-Speed Clocking of Large Integrated Systems in Presence of Process Variations», *IEEE Transactions on VLSI,* vol. 5, no 2, juin 1997, pp. 161-174.

[P-46] RAYAPATI, V.K., KAMINSKA, B., « Dynamic Reconfiguration Schemes for Megabit BiCMOS SRAMs and Performance Evaluation », *Microelectronics and Reliablity, Elsevier Science Publ*., vol. 37, no. 5, 1997, pp. 785-794.

[P-47] ST-AMAND, R., SAWAN, M., SAVARIA, Y., "Design and Optimization of a Low DC Offset Current-Source Dedicated for Implantable Miniaturized Stimulators"*Analag Integrated Circuits and Signal Processing Journal,* vol. 11, 1996, pp. 47-61.

[P-48] SAAB, K., BEN HAMIDA, N., MARCHE, D., KAMINSKA, B., « LIMSoft Automated Tool for Sensitivity Analysis and Test Vector Generation » *IEE Proceedings Circuits, Devices and Systems*, vol. 143, no. 6, décembre 1996.

[P-49] SAWAN, M., ARABI, K., PROVOST, B., "Implantable Volume Monitor and Miniaturized Stimulator Dedicated to Bladder Control", *Artificial Organs Journal,* vol. 21, no. 3, 1997, pp. 219-222.

[P-50] SAWAN, M., HASSOUNA, M., LI, J.S., DUVAL, F., ELHILALI, M.M., "Stimulators Design and Subsequent Stimulation Parameter Optimization for Controlling Micturition and Reducing Urethral Resistance, *IEEE Trans. On Rehabilitation Eng.,* vol. 4, no. 1, 1996, pp. 39-46.

[P-51] SHEN, B., ALLARD, M., BOUGHABA, S., IZQUIERDO, R., MEUNIER, M., « Laser micromachining of silicon three-dimensional structures », *Canadian Journal of Physics,* 74, pp. 557-561 1996.

[P-52] TABBAL, M., IZQUIERDO, R., MEUNIER, M., PEPIN,C., YELON, A.L, «Growth Mechanisms in Excimer Laser Induced Deposition of W on GaAs from WF_6 and H_2», *Appl. Surf. Science*, 108, pp 417-424, 1997.

[P-53] VILLERMAUX, F., TABRIZIAN, M., YAHIA, L.H., MEUNIER, M., PIRON, P.L. «Excimer Laser Treatment of NiTi shape memory alloy biomaterails», *Appl. Surf. Science,* pp. 109-110, 62 1997.

Articles de conférences publiés de septembre 1997 à août 1998.

[C- 1] ACHOUR, C., DAVIDSON, J., HOULE, J-L., «Architecture VLSI pour la compression d'images par ondelettes», *5e Colloque Canadien sur les Circuits Programmable,* FPD'98, Montréal, Québec, juin 1998, pp. 43-48.

[C- 2] ALPTEKIN, A., CZEREMUSZKIN, G., MARTINU, L., MEUNIER, M., SACHER, E., DIRENZO, M., «Mechanical and Dielectric Properties of Low-Permittivity Dielectric Materials, in Low Dielectric Constant Materials II», *A. Lagendijk, H. Treichel, K.J. Uram et A. C. Jones, MRS Symposium Proceedings, 443,* pp. 79-84, 1997.

[C- 3] ARABI, K., KAMINSKA, B., «A BIST Scheme for Functional and Structural Testing of Analog and Mixed-Signal ICs», *IEEE International Test Conference,* Washington, novembre 1997, pp. 786-795.

[C- 4] ARABI, K., KAMINSKA, B., «Design of a Precision Built-In Current Sensor for On-Line Power Dissipation Measurement and IDDQ Testing», *IEEE International Test Conference,* Washington, novembre 1997, pp. 572-586.

[C- 5] BEAUDOIN, F., SIMARD-NORMANDIN, M., MEUNIER, M., «Metallic Contamination from Wafer Handling», *ASTM STP 1340, éditeur D.C. Gupta, Bacher et W.H. Hughes*, 1998.

[C- 6] BEN HAMIDA, N., SAAB, K., KAMINSKA, B., «A Perturbation Based Fault Modeling and Simulation for Mixed-Signal Circuits», *IEEE Asian Test Symposium,* novembre 1997.

[C- 7] BOIS, G., BOSI, B., SAVARIA, Y., «A High Performance Reconfigurable Coprocessor for Digital Signal Processing» *Proceedings of the 14th Annual Int. Conference Mentor Graphics Users' Group,* Portland, Oregon, octobre 1997.

[C- 8] BOURRET, S., SAWAN, M., PLAMONDON, R., «Programmable High-Amplitude Balanced Stimulus Current-Source for Implantable Microstimulators»,*IEEE-EMBS, 19th Int. Conf.,* Chicago, octobre 1997.

[C- 9] CANTIN, M.-A., BLAQUIÈRE, Y., SAVARIA, Y., GRANGER, E., LAVOIE, P., «Implementation of the Fuzzy ART Neural Network for Fast Clustering of Radar Pulses», *ISCAS 98,* Monterey, juin 1998, pp. WAA 14-17.

[C-10] CHAMPAGNE, A., MACIEJKO, R., CHEN, J., MAKINO, T., «The Effects of Non-Homogeneous Carrier Distribution on MQW DFB Laser Performance», Paper M16, *LEOS'97,* San Francisco, Californie, 10-13 novembre 1997.

[C- 11] CHANG, Y., MACIEJKO, R., LEONELLI, R., BENHOCINE, A., «Excited state absorption in a Cr^{4+}: YAG medium» Paper AWD 15, *1998 Advanced Solid-State Lasers Thirteenth Topical Meeting,* Coeur d'Alene, Idaho, 2-4 février 1998.

[C-12] CZEREMUSZKIN, G., MARTINU, L., ALPTEKIN, A., POPOVICI, D., MEUNIER, M., SACHER, E., «Thermal Stability of Low Permittivity Fluoropolymer Dielectrics», *Electrochemical Society Meeting Abstracts,* 97-1, p. 312, 1997.

[C-13] GAGNON, M., KAMINSKA, B., «Optical Communication Channel Test Using BIST Approaches», *IEEE International Test Conference,* Washington, novembre 1997, pp. 626-635.

[C-14] GAGNON, Y., SAVARIA, Y., MEUNIER, M., THIBEAULT, C., «Are Defect-Tolerant Circuits with Redundancy Really Cost-Effective? Complete and Realistic Cost Model», *IEEE Symposium on Defect and Fault Tolerance in VLSI Systems,* Paris, octobre 1997, pp. 157-165.

[C-15] GUÉNETTE, P., DAVIDSON, J., HOULE, J-L., «Circuit analogique reconfigurable», *5e Colloque Canadien sur les Circuits Programmables, PFD'98,* Montréal, Québec, pp. 43-48.

[C-16] HARB, A., SAWAN, M., «New Low-Noise, Low-Voltage Instrumentation Amplifier Dedicated to nerve Signal Recording» *Medicon,* Cyprus, juin 1998.

[C-17] KAFROUNI, M., THIBEAULT, C., SAVARIA, Y., «A Cost Model for VLSI/MCM Systems» *IEEE Symposium on Defect and Fault Tolerance in VLSI Systems,* Paris, octobre 1997, pp. 148-156.

[C-18] KAMINSKA, B., et Al. «Mixed-Signal Benchmark Circuits» *IEEE International Test Conference,* Washington, novembre 1997, pp. 183-190.

[C-19] LÉONARD, D, BERTRAND, P., SHI, MK., SACHER, E., MARTINU, L., MEUNIER, M., SACHER, E., «Plasma Surface Modification of Fluoropolymer Studied in TOF-SIMS», *Electrochem. Abstracts*, 97-1, p. 311, 1997.

[C-20] MEUNIER, M., BOUGHABA, S., WU, X., BEAUDOIN, F., SACHER, E., SIMARD-NORMANDIN, M., «Laser Cleaning for Microelectronics», *Proceedings of the 5th International ACS Congress of North America, Symposium 627 Industrial Cleaning without CFCs,* 1998.

[C-21] NEKILI, M., SAVARIA, Y., BOIS, G., «Design of Clock Distribution Networks in Presence of Process Variations» *Eight Great Lakes Symposium on VLSI,* Lafayette, Louisiane, 19-21 février 1998, pp. 95-102.

[C-22] NEKILI, M., SAVARIA, Y., BOIS, G., «Minimizing process-induced skew using delay calibration in clock distribution networks», *Internal Workshop on Clock Distribution Networks'97,* Atlanta, octobre 1997.

Articles de conférences publiés de septembre 1997 à août 1998 (suite).

[C-23] OUICI, K., SAWAN, M., «Low-Power High-Gain Operational Amplifier Dedicated to Implantable Sensors» *ICECS'97,* Caire, décembre 1997.

[C-24] POPOVICI, D., MEUNIER, M., SACHER, E., «Surface Modification of Teflon AF1600 for Enhanced Adhesion», *Proc. 21st Annu. Mtg. Adhesion Society,* P. 77, 1998.

[C-25] POPOVICI, D., MEUNIER, M., SACHER, E., «Copper/Teflon AF1600 Interface Interactions for Multilevel Interconnect Applications», *ECS Proc.,* 97-98, 44, 1997.

[C-26] RABEL, C.E.., SAWAN, M., «Parc: Pyramidal Architecture Dedicated to Fast Dynamic Configuration Applications», *IEEE-ISCAS,* mai-juin 1998.

[C-27] ROBIN, S., SAWAN, M., HARVEY, J.-F., ET AL.«A New Implantable Microstimulator Dedicated to Selective Stimulation of the Bladder», *IEEE-EMBS, 19th Int. Conf.*, Chicago, octobre 1997.

[C-28] SAVARIA, Y., EL HASSAN, F., KHALI, H., SAWAN, M., «An Effective Hardware/Software Implementation of a Viterbi Decoder Using an FPGA-based Reconfigurable Computing Platform», *FPD'98,*, pp. 161-165.

[C-29] SAWAN, M., ROSIN, S., BOURRET, S., BOYER, S., «A Miniaturized Implantable Bladder Selective Electrical Stimulator», *Medicon*, Cyprus, juin 1998.

[C-30] SHADITALAB, M., BOIS, G., SAWAN, M., «Self Sorting 1024 point FFT on Re-configurable Acceleration Subsystem with DSP Processor», *Workshop on Field-Programmable Devices (FPD'98),* Montréal, juin 1998.

[C-31] SHADITALAB, M., BOIS, G., SAWAN, M., «Self-Sorting Radix-2 FFT on FPGA's using Parallel Pipelined Distributed Arithmetic Blocks» *Symposium on FPGA Custom Computing Machines (FCCM'98),* Napa, California, avril 1998.

[C-32] SYLLA, I.T., «High Frequency VLSI Circuits Testing», *IEEE International VLSI Test Symposium (VTS98)*, Monterey, Californie, avril 1998.

[C-33] SYLLA, I.T., «Nonlinear Circuits Testing Using Power Transfer Function Segmentation Approach», *IEEE International Mixed Signal Testing Workshop The Hague*, The Netherlands, 9 – 11 juin 1998.

[C-34] VAILLANCOURT, P., DJEMOUAI, A., HARVER, J.E., SAWAN, M., «EM Radiation Behavior Upon Biological Tissues in a Radio-Frequency Power Transfer Link for a Cortical Visual Implant», *IEEE-EMBS, 19th Int. Conf.,* Chicago, octobre 1997.

[C-35] WU, X., MEUNIER, M., SACHER, E., «Excimer Laser-Induced Removal of Particles from Silicon Surfaces: Effect of Photoacoustic Waves», *Proc. 21st Annu. Mtg. Adhesion Society,* p. 309, 1998.

Articles de conférences publiés de septembre 1996 à août 1997

[C-36] ABDERRAHMAN, A., CERNY, E., KAMINSKA, B., « CLP-Based Multifrequency Test Generation for Analog Circuits », *IEEE VLSI Test Symposium,* avril 1997.

[C-37] ANTAKI, B., PATENAUDE, S., TROGNON, L., SAVARIA, Y., «A Study on Split-Output TSPC CMOS Circuits », *ISCAS'97*, Hong Kong, juin 1997, pp. 1892-1895.

[C-38] ARABI, K., KAMINSKA, B., « Parametric and Catastrophic Fault Coverage of Oscillation Built-In Self-Test », *IEEE VlSI Test Symposium,* avril 1997.

[C-39] ARABI, K., KAMINSKA, B., « Efficient and Accurate Testing of Analog-to-Digital Converters Using Oscillation-Test Method », *European Design & Test Conference,* Paris, France, mars 1997.

[C-40] ARABI, K., KAMINSKA, B., «A New Technique to Monitor the Electrode and Lead Failures in Implantable Microstimulators and Sensors » *18th Annual Int. Conf. IEEE Engineering in Medicine and Biology Society,* 31 octobre - 3 novembre 1996, The Netherlands.

[C-41] ARABI, K., KAMINSKA, B., « A Practical and Low-Cost Test Method to Design Reliable Implantable Systems », *18th Annual Int. Conf. IEEE Engineering in medicine and Biology Society,* 31 octobre – 3 novembre 1996, The Netherlands.

[C-42] ARABI, K., KAMINSKA, B., «Design for Testability of Integrated Operational Amplifiers Using Oscillation Test Strategy, » *IEEE Int. Conf. On Computer Design (ICCD),* Austin, octobre 1996.

[C-43] ASSI, A., SAWAN, M., RAUT, R., "A New Tunable CMOS Transconductor Dedicated to VHF Continuous-Time Filters" *Great Lake Symposium on VLSI,* Urabana-Champain, mars 1997.

[C-44] AUDET, D., GAGNON, N., SAVARIA, Y., «Implementing Fault Injection and Tolerance Mechanisms in Multiprocessor Systems », *IEEE Workshop on Defect and Fault Tolerance in VLSI*, Boston, novembre 1996, pp. 310-317.

[C-45] BÉLANGER, N., ANTAKI, B., SAVARIA, Y., «An Algorithm for Fast Array Transfers» *HPCS'97*, Winnipeg, juillet 1997, pp. 117-126.

Articles de conférences publiés de septembre 1996 à août 1997 (suite)

[C-46] BEN HAMIDA, N., SAAB, K., MARCHE, D., KAMINSKA, B., «LimSoft: Automated Tool for Design and Test integration of Analog Circuits », *IEEE Int. Test Conference,* Washington, octobre 1996, pp. 571-580.

[C-47] BOUGHABA, S., HÉROUX, J.B., CURCIO, M., SACHER, E., MEUNIER, M., "Removal of surface contaminants with laser-based cleaning technology" *Proceeding of the 27th annual meeting of the Fine Particle Society,* 1996.

[C-48] BOUGHABA, S., SACHER, E., MEUNIER, M., "CO_2 lasercleaning of hydrophilic oxidized silicon surfaces, *Proceedings of the MRS-Boston,* vol. 397, pp. 497-502, 1996.

[C-49] BOURRET, S., SAWAN, M., PLAMONDON, R., "Programmable High-Amplitude Balanced Stimulus Current-Source for Implantable Microstimulators" *IEEE-EMBS'97,* Chicago, 1997.

[C-50] CHAMPAGNE, A., CHEN, J., MACIEJKO, R., MAKINO, T., « Fine-Scale Analysis of Gain-Coupled MQW DFB lasers », paper FA3, *LEOS Summer Topical Meetings 1997,* Montréal, Qc. 1-15 août 1997.

[C-51] CHEN, J., MACIEJKO, R., MAKINO, T., « High Side Mode Suppresion in Gain-Coupled DFB Lasers », paper ThB3, *LEOS'96*, Boston, Mass. 18-21 novembre 1996.

[C-52] DJEMOUAI, A., VAILLANCOURT, P., SAWAN, M., SLAMANI, M., "Performance Optimization of a Radio-Frequency Coupling Technique" *IFESS'97*, Vancouver, 1997.

[C-53] HARVEY, J.F., SAWAN, M., "Image Acquisition and Reduction Dedicated to a Visual Implant", *IEEE-ENBS 18th Int. Conf.,* Amsterdam, novembre 1996.

[C-54] HACCOUN, D., GHERBI, Z., "On the application of Very Low Error Control Coding to CDMA", Proceedings, 1997, *Can. Conf. On Elect. & Comp. Eng.,* St-John's NFLD, mai 1997, pp. 466-469.

[C-55] HACCOUN, D., LEFRANÇOIS, S., MEHN, É., "Reverse Link CDMA Capacity using Very Low Rate Convolutional Codes", Japon-Canada, *International Workshop on Multimedia Wireless Communications and Computing*, Victoria, B.C., septembre 1996, pp. 35-36.

[C-56] HRYTZAK, R., SAVARIA, Y., GOSLIN, G., «Reconfigurable Computing Greatly Simplifies Systems Development *», DSP World Spring Design Conference,* mars 1997, pp. 271-286.

[C-57] IZQUIERDO, R., BERGERON, A., MEUNIER, M., IVANOV, D., CURRIE, J.F., YELON, A., «Pulsed laser deposition of NASICON and sodium nitride thin films for the fabrication of gas sensors », *Proceedings of the Electrochemical Society,* 1996.

[C-58] KAMINSKA, B., FORTIN, G., SOKOLOSWKA E., ROY, C., « Switched Optical Transmission: Exploration of Trade-Offs Between Packaging Options, » *IEEE Multi-Chip Module Conference,* Santa Cruz, CA, février 1997.

[C-59] KHALI, H., SAVARIA, Y., HOULE, J.-L., « Computational Limits of Homogeneous Acceleration Using Lookup Tables », *HPCS,97,* Winnipeg, juillet 1997, pp. 345-351.

[C-60] LAVOIE, P., CRESPO, J.-F., SAVARIA, Y., « Multiple Categorization Using Fuzzy Art », *ICNN'97*, juin 1997, pp. 1983-1988.

[C-61] MEUNIER, M., IZQUIERDO, R., SHEN, B., BERGERON, A., ALLARD, M., BOUGHABA, S., LECLERC, S., LECOURS, A., IVANOV, D., CURRIE, J.F., YELON, A., «Applications of laser processing to sensors and actuators » *Proceedings of the MRS-Boston,* Vol. 397, pp. 305-3l6, 1996.

[C-62] OUDGHIRI, H. , KAMINSKA, B., RAJSKI, J., « A Hardware/Software Partitioning Technique with Hierarchical Design Space Exploration », *Custom Integrated Circuits Conference*, mai 1997.

[C-63] PERA, F., SAVARIA, Y., BOIS, G., « Integrated Transmission Lines and High Speed Cell Characterization », *ISCAS'97*, pp. 293-296, juin 1997.

[C-64] POPOVICI, D., KLEMBERG-SAPIEHA, J., CZEREMUSZKIN, G., MARTINU, L., MEUNIER, M., SACHER, E., « The deposition of copper onto teflon AF1600: An XPS comparison of vapor deposition and sputtering » *Proceedings fo the Electrochemical Society,* 1996.

[C-65] POPOVICI, D., PIYAKIS, K., SACHER, E., MEUNIER, M., « Constant step height copper deposition from Cu(hfac)(TMVS) induced by excimer laser radiation », *Proceedings of the MRS-Boston,* vol. 397, pp. 643-648, 1996.

[C-66] POPOVICI, D., SACHER, E., MEUNIER, M., MARTINU, L., LEONARD, D., BERTRAND, P., « The spontaneous reaction of Cu(hfac)(TMVS) vapor with DuPont Teflon AF1600 », *Proceedings fo the Electrochemical Society,* 1996.

[C-67] ROBIN, S., SAWAN, M., HARVEY, J.-F., ABDEL-GAWAD, M., ABDEL-BAKY, T.M., ELHILALI, M.M., "A New Implantable Microstimulator Dedicated to Selective Stimulation of the Bladder", *IEEE-EMBS'97*, Chicago, 1997.

[C-68] SAVARIA, Y., BOIS, G., POPOVIC, P., WAYNE, A., «Computational Acceleration Methodologies: Advantages of Reconfigurable Acceleration Subsystems », *SPIE's Photonics East*, Boston, novembre 1996, pp. 195-207.

Articles de conférences publiés de septembre 1996 à août 1997 (suite)

[C-69] SAWAN, M., ROBIN, S., PROVOST, B., EID, Y., ARABI, K., "A Wireless Implantable Electrical Stimulator Based on Two FPGAs", *ICECS'96,* Greece, octobre 1996.

[C-70] SHI, M.K., SACHER, E., MEUNIER, M., « Excimer laser removal of organic contaminants from silicon wafer surfaces, *Proceeding of the Adhesion Society,* 20, 385, 1997.

[C-71] SIMARD-NORMANDIN, M., BEAUDOIN F., MEUNIER, M., 'Metallic contamination from particles on the backside of wafers », *Proceeding of the 27th annual meeting of the Fine Particle Society,* 1996.

[C-72] VAILLANCOURT, P., DJEMOUAI, A., HARVEY, J.-F., SAWAN, M., "EM Radiation Behavior Upon Biological Tissues in a Radio-Frequency Power Transfer Link for a Cortical Visual Implant", *IEEE-EMBS'97,* Chicago, 1997.

[C-73] VILLERMAUX, F., TABRIZIAN, M., MEUNIER, M., PIRON, M., YAHIA, L'H., « Laser treatment on NiTi shape memory alloy », *Proceedings of the Fifth World Biomaterial Congress.*

Brevets

[B-1] ANTAKI, B., SAVARIA, Y., ADHAM, S., XIONG, N., «Voltage Excursion Detection Apparatus», brevet U.S. pour Nortel déposé en 1998.

[B-2] ALI YAHIA, T., GU, Q., MARRIOTT, P., SAVARIA, Y., «Single-instruction-mulitple-data processor», brevet déposé au Canada # 2220993, brevet déposé aux Etats-Unis # 09/157976, novembre 1997.

[B-1] BEAUCHAMP-PARENT, A., SAWAN, M., MENASSA, K., «Miniaturized Ultrasound Bladder Volume Monitor», Application aux USA, 1998.

[B-2] JECKLEN, E.G., GHANNOUCHI, F.M., SAWAN, M., «Non Iterative Digital Predistortion Technique for Power Amplifiers Linearization», *Application aux USA,* 1997.

Livres

[L-1] DJEMOUAI, A., SAWAN, M., «Prosthetic Power Supplies» publication invitée, à paraître dans *Encyclopedia of Electrical and Electronics Engineering,* John Wiley & Sons, 1998.

[L-2] MOUINE, J., SAWAN, M., «Auditory Aids», publication invitée, à paraître dans *Encyclopedia of Electrical and Electronics Engineering,* John Wiley & Sons, 1998.

[L-3] SAWAN, M., HARVEY, J.-F., «Signal Generators», publication invitée, en préparation pour *Encyclopedia of Electrical and Electronics Engineering,* John Wiley & Sons, 1998.

Rapport technique

[R-1] CHAMPAGNE, A., MACIEJKO, R., «Analysis of the Electrical Derivative Characteristics of Semiconductor Lasers» février 1998, *NORTEL,* 24 p.

INDEX DES AUTEURS

Abderrahman, Abdessatar....15
Abou-Khalil, Michel....16
Achar, Éric....17
Achour, Chokri....18
Antaki, Bernard....19
Arabi, Karim....20
Assaad, Maher....21
Assi, Ali....22
Balazinski, Bartosz....23
Beauchamp-Parent, Alexandre....24
Beaudin, Sylvain....25
Bélanger, Normand....26
Belhaouane, Adel....27
Boubezari, Samir....28
Bourret, Sylvain....29
Boyer, François-Raymond....30
Boyer, Stéphane....31
Boyogueno Bendé, André....32
Brais, Louis-Philippe....33
Calbaza, Dorin-Emil....34
Campagna, Isabelle....35
Cantin, Marc-André....36
Cantin, Pierre-Luc....37
Chabini, Noureddine....38
Chen, Jianyao....39
Contandriopoulos, Nicolas....40
Cousineau, Cynthia....41
Crampon, Marie-Agathe....42
Deslauriers, Yann....43
Djebbar, Abderrahmane....44
Djemouai, Abdelouahab....45
Donfack, Colince....46
Ehsanian-Mofrad, Mehdi....47
El-Hassan, Fadi....48
Fortin, Guillaume....49
Fouzar, Youcef....50
Gadiri, Abdelkarim....51
Gagnon, Mathieu....52
Gagnon, Yves....53
Granger, Éric....54
Gûçlû, Alev Devrim....55
Guénette Philippe....56
Harb, Adnan....57
Harvey, Jean-François....58
Hu, Yamu....59
Jecklen, Ernesto....60
Khali, Hakim....61
Lavoie, Michel....62
Le Chapelain, Bertrand....63
Lestrade, Michel....64
Li, Ran....65
Michaud, Guy....66
Moujoud, Abderrafia....67
Nekili, Mohamed....68
Nsame, Pascal....69
Oudghiri, Houria....70

INDEX DES AUTEURS (suite)

Patenaude, Serge 71
Poiré, Pascal 72
Pronovost, Natalie 73
Rabel, Claude-Eddy 74
Rahal, Ali 75
Reid, Benoit 76
Rejeb, Chedly 77
Ridouh, Kamel 78
Robin, Simon 79
Romain, Luc 80
Roy, Martin 81
Ryel, Kim 82
Sahraoui, Nadjiba 83
Schneider, Éric 84
Shaditalab, Manoucher 85
Shaiek, Boubaker 86
Sylla, Iboun Taimiya 87
Teghbit, Saliha 88
Thériault, Lévis 89
Vado, Patrice 90
Vaillancourt, Pierre 91
Voghell, Jean-Charles 92
Wong, Tony 93