

UNIVERSITÉ DE MONTRÉAL

CIRCUITS ANALOGIQUES DE LECTURE POUR  
UN CAPTEUR D'IMAGES COULEUR CMOS  
À PHOTODÉTECTEURS SANS FILTRE

PHILIPPE MÉNARD BEAUDOIN  
DÉPARTEMENT DE GÉNIE ÉLECTRIQUE  
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

MÉMOIRE PRÉSENTÉ EN VUE DE L'OBTENTION  
DU DIPLOME DE MAÎTRISE ÈS SCIENCES APPLIQUÉES  
(GÉNIE ÉLECTRIQUE)  
DÉCEMBRE 2009

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Ce mémoire intitulé:

CIRCUITS ANALOGIQUES DE LECTURE POUR  
UN CAPTEUR D'IMAGES COULEUR CMOS  
À PHOTODÉTECTEURS SANS FILTRE

présenté par: MÉNARD BEAUDOIN Philippe

en vue de l'obtention du diplôme de: Maîtrise ès sciences appliquées

a été dûment accepté par le jury d'examen constitué de:

M. SAWAN Mohamad, Ph.D., président de jury

M. AUDET Yves, Ph.D., membre et directeur de recherche

M. FAYOMI Christian J.B., Ph.D., membre externe

## REMERCIEMENTS

Je tiens tout d'abord à remercier mon directeur de recherche, monsieur Yves Audet, professeur adjoint au département de génie électrique de l'École Polytechnique de Montréal, pour avoir dirigé mon projet de main de maître et m'avoir aidé à réaliser certains de mes objectifs professionnels. Ses qualités humaines ont grandement contribué à rendre mon parcours aux cycles supérieurs aussi plaisant que possible.

Je souhaite aussi adresser mes remerciements à messieurs Mohamad Sawan et Christian J. B. Fayomi, pour avoir accepté de participer au jury d'examen de ce mémoire en tant que président et membre externe, respectivement.

Mes plus sincères remerciements vont à monsieur Victor Hugo Ponce-Ponce, professeur invité, pour m'avoir aidé à la réalisation de plusieurs dessins des masques. Son attitude professionnelle et sa personnalité remarquable m'ont inspiré à devenir un meilleur étudiant et à grandir en tant qu'individu.

Je ne peux passer sous silence l'apport inestimable des techniciens Laurent Mouden et Jacques Girardin, qui ont collaboré de façon significative à la partie expérimentale de mon projet.

Merci à Sanyo Corporation, à Univalor et au Ministère du Développement Économique, de l'Innovation et de l'Exportation (MDEIE) pour leur appui financier qui fût, bien évidemment, une composante essentielle à la réalisation de ce projet.

Finalement, merci à monsieur Réjean Lepage, administrateur système au Groupe de Recherche en Microélectronique et Microsystèmes (GR2M), pour avoir fait en sorte que les systèmes informatiques soient des outils de travail efficaces et fonctionnels en tout temps.

## RÉSUMÉ

La résolution spatiale des capteurs d'images couleur actuels, qu'ils soient de type CCD (Charge-Coupled Device) ou à base de circuits CMOS (Complementary Metal-Oxide-Semiconductor), est limitée par leur méthode de discrimination des couleurs. En fait, comme la plupart des photodétecteurs ne sont sensibles qu'à l'intensité de la lumière et non pas à sa longueur d'onde, il faut déposer un filtre chromatique à la surface du capteur pour ne transmettre que la longueur d'onde désirée vers chaque photodétecteur. On extrapole par la suite la couleur équivalente d'un regroupement de pixels à l'aide d'algorithmes mathématiques, ce qui restreint l'atteinte d'une résolution spatiale comparable à celle d'une pellicule chimique photosensible de bonne qualité. De surcroît, la déposition du filtre chromatique réduit la sensibilité du capteur en absorbant une partie de l'énergie lumineuse, ce qui impose une restriction supplémentaire au niveau de la gamme dynamique. Dans le but de corriger ces lacunes, l'équipe de recherche du professeur Yves Audet a développé et breveté un photodétecteur innovateur permettant la discrimination des couleurs sans recourir à un filtre chromatique. Réalisable en technologie CMOS standard, ce photodétecteur est un candidat idéal pour l'intégration des circuits périphériques de traitement des signaux et la réalisation d'un circuit intégré de type COC (Camera On Chip). Le présent travail de recherche s'inscrit dans le processus de développement et de caractérisation de ce photodétecteur. Plus spécifiquement, il consiste à concevoir les circuits analogiques de traitement de signal en vue d'obtenir un capteur d'images intégré complet comportant trois sorties analogiques qui correspondent aux couleurs détectées par le photodétecteur. Pour ce faire, une nouvelle topologie de pixel actif APS (Active Pixel Sensor) a été développée à partir des caractéristiques expérimentales du photodétecteur. Par la suite, les circuits analogiques de traitement du signal périphériques ont été conçus afin de compléter le système d'acquisition d'images. Le prototype a été fabriqué en technologie  $0.25\mu\text{m}$  3.3V et les résultats obtenus témoignent du fonctionnement adéquat des circuits conçus.

## ABSTRACT

Many of today's CCD (Charge-Coupled Device) and CMOS (Complementary Metal-Oxide-Semiconductor) color image sensors exhibit a lower than desirable spatial resolution on behalf of their color detection and extrapolation mechanisms. Indeed, most photodetector units respond to light energies whose wavelengths are within their sensitive range, without actually distinguishing the actual wavelength. Hence, a method for separating colors must be implemented. The most popular of these methods consists in placing a CFA (Color Filter Array) atop the pixel array in order to define the wavelength received by every pixel. As it requires many pixels to determine a single element of color information in the image, the spatial resolution is limited to numbers well below those of a high-quality photo film. Furthermore, optical filtering reduces sensor sensitivity by absorbing part of the energy contained in the incoming light, thus limiting the available dynamic range. In order to alleviate these shortcomings, Professor Yves Audet's design team has developed and patented an innovative photodetector structure with integrated color detection that doesn't require the addition of a CFA. Since this photodetector can be fabricated using a standard CMOS technology, signal processing circuits can be implemented on the same chip to produce a COC (Camera On Chip). This work is part of the ongoing development and characterization process of the filterless photodetector. More specifically, it consists of the design of the analog circuits required to achieve a complete integrated image sensor having three analog signal outputs corresponding to the detected colors. Based on previously collected experimental data about the photodetector, an innovative APS (Active Pixel Sensor) architecture was created. Then, the peripheral analog signal processing circuits were designed to complete the analog image capture system. The prototype has been fabricated using 0.25 $\mu\text{m}$  3.3V CMOS technology and experimental results demonstrate the functionality of the circuits.

## TABLE DES MATIÈRES

REMERCIEMENTS .....	iii
RÉSUMÉ .....	iv
ABSTRACT .....	v
TABLES DES MATIÈRES .....	vi
LISTE DES TABLEAUX.....	x
LISTE DES FIGURES.....	xi
LISTE DES SIGLES ET ABBRÉVIATIONS.....	xv
LISTE DES ANNEXES.....	xvii
INTRODUCTION .....	1
CHAPITRE 1 PRINCIPES DE BASE DES CAPTEURS D’IMAGES CMOS.....	4
1.1 INTRODUCTION.....	4
1.2 STRUCTURE GÉNÉRALE DES CAPTEURS D’IMAGES CMOS .....	6
1.2.1 Modes d’accès aux pixels.....	7
1.2.2 Traitement des signaux.....	7
1.3 ARCHITECTURES DE PIXELS .....	11
1.3.1 Pixels passifs (PPS) .....	12
1.3.2 Pixels actifs (APS).....	13
1.3.3 Pixels numériques (DPS).....	17
1.3.4 Facteur de remplissage .....	18
1.4 INDICATEURS DE PERFORMANCE.....	19

1.4.1 Résolution et résolution spatiale.....	19
1.4.2 Courant de noirceur .....	20
1.4.3 Bruit.....	20
1.4.4 Gamme dynamique.....	24
1.5 PROCÉDÉS DE DISCRIMINATION DES COULEURS .....	26
1.5.1 Méthode par expositions successives .....	26
1.5.2 Séparation des couleurs .....	26
1.5.3 Filtre chromatique.....	27
1.5.4 Discrimination spectrale verticale .....	28
1.6 PHOTODÉTECTEUR SANS FILTRE INNOVATEUR.....	29
1.7 CONCLUSION .....	32
CHAPITRE 2 CONCEPTION DU PROTOTYPE DE CAPTEUR D'IMAGES.....	33
2.1 INTRODUCTION ET CONTRAINTES DE CONCEPTION.....	33
2.1.1 Architecture du capteur .....	33
2.1.2 Mode d'acquisition séquentiel.....	34
2.1.3 Architecture du pixel .....	34
2.1.4 Interface avec les périphériques externes .....	35
2.1.5 Taille du pixel.....	35
2.1.6 Performances du capteur .....	35
2.1.7 Technologie CMOS.....	36
2.2 ARCHITECTURE DES CIRCUITS DE LECTURE .....	36
2.2.1 Architecture générale des circuits de lecture.....	36

2.2.2	Portes de transmission .....	37
2.2.3	Bus de colonne et de sortie .....	38
2.3	CIRCUITS DU PIXEL ACTIF .....	38
2.3.1	Intégrateur inverseur .....	38
2.3.2	Intégrateur inverseur à paire différentielle .....	42
2.3.3	Conception et réalisation physique du pixel actif .....	74
2.4	CIRCUITS DE COLONNE .....	84
2.4.1	Architecture générale des circuits de colonne .....	84
2.4.2	Tampon de colonne .....	85
2.4.3	Conception et réalisation physique des circuits de colonne .....	89
2.5	TAMPONS DE SORTIE .....	92
2.5.1	Contraintes de conception des tampons de sortie .....	92
2.5.2	Architecture des tampons de sortie .....	92
2.5.3	Processus de conception des tampons de sortie .....	94
2.6	CONCLUSION .....	96
CHAPITRE 3 MESURES ET RÉSULTATS .....		97
3.1	INTRODUCTION .....	97
3.2	BLOCS DE TRAITEMENT ANALOGIQUE .....	98
3.2.1	Pixel actif à intégrateur inverseur .....	98
3.2.2	Tampons de colonne .....	119
3.2.3	Tampons de sortie .....	124
3.3	CAPTEUR D'IMAGES COMPLET .....	129

3.3.1 Description du banc d'essai.....	129
3.3.2 Vérification du fonctionnement.....	131
3.3.3 Analyse du bruit.....	134
3.4 CONCLUSION .....	142
CONCLUSION.....	143
RÉFÉRENCES.....	147

## LISTE DES TABLEAUX

Tableau 2.1 Paramètres de conception de l'intégrateur inverseur .....	75
Tableau 2.2 Valeurs finales des paramètres de l'intégrateur inverseur .....	83
Tableau 2.3 Caractéristiques du dessin des masques du pixel actif.....	83
Tableau 2.4 Paramètres de conception des tampons de colonne .....	90
Tableau 2.5 Valeurs finales des paramètres des circuits de colonne .....	91
Tableau 2.6 Valeurs finales des paramètres des tampons de sortie .....	94
Tableau 3.1 Délai de remise à zéro et linéarité de l'intégration.....	109
Tableau 3.2 Caractéristiques de l'analyse transitoire de la phase d'échantillonnage ...	119
Tableau 3.3 Caractéristiques DC du tampon de colonne .....	121
Tableau 3.4 Caractéristiques de la réponse transitoire du tampon de colonne .....	123
Tableau 3.5 Caractéristiques DC du tampon de sortie.....	126
Tableau 3.6 Caractéristiques de la réponse transitoire du tampon de sortie .....	128
Tableau 3.7 Délais de lecture totaux estimés dans le pire cas .....	129
Tableau 3.8 Tensions efficaces du bruit temporel au nœud de sortie .....	141
Tableau 3.9 Contribution individuelle des circuits au bruit temporel.....	141
Tableau A.1 Mesures de $C_{EQD}$ .....	172
Tableau A.2 Mesures de $C_{EQA}$ .....	174

## LISTE DES FIGURES

Figure 1.1 Structure générale d'un capteur d'images CMOS .....	6
Figure 1.2 Méthode générale de traitement analogique .....	8
Figure 1.3 Conversion analogique à numérique globale.....	9
Figure 1.4 Conversion analogique à numérique par colonnes .....	9
Figure 1.5 Conversion analogique à numérique intégrée aux pixels .....	10
Figure 1.6 Schéma-bloc généralisé d'un pixel CMOS.....	11
Figure 1.7 Pixel passif (PPS) .....	12
Figure 1.8 Pixel actif à trois transistors (3T-APS).....	14
Figure 1.9 Pixel actif à quatre transistors (4T-APS).....	15
Figure 1.10 Partage des pixels en regroupements de quatre (1.75T-APS) .....	19
Figure 1.11 Double échantillonnage corrélé (CDS).....	23
Figure 1.12 Échantillonnage différentiel de type remise à zéro (DRS) .....	24
Figure 1.13 Mosaïque à patron de Bayer .....	28
Figure 1.14 Discrimination spectrale verticale .....	29
Figure 1.15 Photodétecteur sans filtre.....	30
Figure 2.1 Architecture des circuits de lecture.....	37
Figure 2.2 Pixel actif à intégrateur inverseur .....	39
Figure 2.3 Tension de sortie du pixel actif à intégrateur inverseur.....	42
Figure 2.4 Pixel actif à intégrateur inverseur avec paire différentielle .....	43
Figure 2.5 Paire différentielle utilisée pour réaliser l'intégrateur inverseur .....	44
Figure 2.6 Pixel actif lors de la phase de remise à zéro (régime permanent) .....	50
Figure 2.7 Pixel actif lors de la phase d'intégration.....	53
Figure 2.8 Pixel actif lors de la phase d'échantillonnage.....	60
Figure 2.9 Pixel actif lors de la phase de remise à zéro (régime transitoire) .....	61
Figure 2.10 Circuit équivalent du bruit du pixel actif lors de la remise à zéro .....	68
Figure 2.11 Pixel actif à intégrateur inverseur à trois entrées.....	74
Figure 2.12 Courant de polarisation $I_{BIAS}$ .....	79

Figure 2.13 Valeur moyenne de la tension de décalage pour différentes valeurs des multiplicateurs $A_1$ et $A_2$ .....	81
Figure 2.14 Valeur moyenne de la tension de décalage pour différentes valeurs des multiplicateurs $A_3$ et $A_4$ .....	82
Figure 2.15 Circuit de colonne (1/3) .....	84
Figure 2.16 Architecture d'un tampon de colonne .....	85
Figure 2.17 Tampon de colonne durant la phase d'échantillonnage .....	87
Figure 2.18 Interface entre le capteur et les périphériques externes .....	92
Figure 2.19 Architecture d'un tampon de sortie .....	93
Figure 2.20 Marge de phase d'un tampon de sortie .....	95
Figure 2.21 Réponse à l'échelon d'un tampon de sortie .....	96
Figure 3.1 Photographie du circuit intégré .....	97
Figure 3.2 Architecture de la matrice secondaire .....	99
Figure 3.3 Banc d'essai utilisé pour caractériser le pixel actif .....	101
Figure 3.4 Plan rapproché du montage sur proto-plaquette .....	102
Figure 3.5 Fonctionnement du pixel actif à intégrateur inverseur .....	104
Figure 3.6 Limites d'excursion inférieure de la tension de sortie .....	105
Figure 3.7 Écart dynamique maximal absolu du pixel actif .....	106
Figure 3.8 Délais de remise à zéro et intégration .....	107
Figure 3.9 Tension de décalage lors de la remise à zéro .....	111
Figure 3.10 Courants de noirceur du photodétecteur .....	112
Figure 3.11 Courants de noirceur en fonction de la tension $V_{PUITSMIN}$ .....	114
Figure 3.12 Circuit de simulation utilisé pour évaluer le délai d'échantillonnage .....	115
Figure 3.13 Analyse transitoire de la phase d'échantillonnage (montée) .....	117
Figure 3.14 Analyse transitoire de la phase d'échantillonnage (descente) .....	118
Figure 3.15 Circuit de simulation utilisé pour caractériser les tampons de colonne .....	119
Figure 3.16 Tension de décalage du tampon de colonne .....	121
Figure 3.17 Réponse transitoire du tampon de colonne .....	122
Figure 3.18 Circuit de simulation utilisé pour caractériser les tampons de sortie .....	124

Figure 3.19 Tension de décalage du tampon de sortie (sans sonde) .....	125
Figure 3.20 Réponse transitoire du tampon de sortie.....	127
Figure 3.21 Réponse transitoire combinée des tampons de colonne et de sortie .....	129
Figure 3.22 Banc d'essai utilisé pour tester la matrice principale .....	130
Figure 3.23 Circuit imprimé et interface électronique .....	131
Figure 3.24 Réponse d'une ligne à un faisceau laser rouge .....	132
Figure 3.25 Image monochromatique acquise avec la matrice principale .....	134
Figure 3.26 Lecture d'une ligne remise à zéro.....	136
Figure 3.27 Intégration du courant de noirceur des photodétecteurs .....	137
Figure 3.28 Tension de décalage totale.....	138
Figure 3.29 Mesure expérimentale du bruit temporel.....	139
Figure A.1 Portes de transmission NMOS et PMOS .....	153
Figure A.2 Plage de conduction .....	154
Figure A.3 Résistance d'une porte de transmission activée.....	156
Figure A.4 Capacités équivalentes des portes de transmission.....	157
Figure A.5 Courant de fuite d'une porte de transmission désactivée .....	159
Figure A.6 Injection de charge.....	160
Figure A.7 Transfert de charge dû au signal de commande.....	162
Figure A.8 Porte de transmission CMOS.....	163
Figure A.9 Résistance d'une porte CMOS activée .....	164
Figure A.10 Courant de fuite de la porte CMOS désactivée .....	165
Figure A.11 Évaluation du courant de fuite .....	167
Figure A.12 Courant de fuite de la porte CMOS .....	168
Figure A.13 Résistance de la porte CMOS désactivée .....	168
Figure A.14 Évaluation de la résistance d'une porte CMOS activée.....	169
Figure A.15 Résistance de la porte CMOS activée.....	170
Figure A.16 Circuit utilisé pour déterminer la capacité équivalente d'une porte de transmission CMOS désactivée.....	171

Figure A.17 Circuit utilisé pour déterminer la capacité équivalente d'une porte de transmission CMOS activée.....	173
Figure A.18 Modèles électriques simplifiés d'une porte de transmission .....	174
Figure B.1 Bus de colonne durant l'échantillonnage d'un pixel.....	175
Figure B.2 Circuit équivalent d'un bus de colonne durant l'échantillonnage .....	176
Figure B.3 Circuit équivalent d'un bus de sortie durant la lecture .....	178
Figure C.1 Schéma électrique d'un pixel actif.....	180
Figure C.2 Dessin des masques d'un pixel actif.....	180
Figure C.3 Schéma électrique d'un circuit de colonne (1/3) .....	181
Figure C.4 Dessin des masques d'un circuit de colonne.....	181
Figure C.5 Dessin des masques d'un tampon de sortie.....	182
Figure C.6 Dessin des masques du prototype .....	182
Figure D.1 Capacité d'entrée du tampon de colonne.....	183
Figure D.2 Modèle petit signal simplifié du tampon de colonne.....	185

## LISTE DES SIGLES ET ABRÉVIATIONS

°	Degré
aA	Attoampère
APS	Active Pixel Sensor
CAN	Convertisseur analogique à numérique
CCD	Charge-Coupled Device
CDS	Correlated Double Sampling
CFA	Color Filter Array
CMOS	Complementary Metal-Oxide-Semiconductor
COC	Camera On Chip
dB	Décibel
DSC	Digital Still Camera
DPS	Digital Pixel Sensor
DRS	Delta Reset Sampling
fF	Femtofarad
FPGA	Field-Programmable Gate Array
FPN	Fixed Pattern Noise
GΩ	Giga-ohm
JFET	Junction Field-Effect Transistor
kΩ	Kilo-ohm
ms	Milliseconde
mV	Millivolt
mW	Milliwatt
MHz	Mégahertz
MΩ	Méga-ohm
NMOS	N-type Metal-Oxide-Semiconductor
nA	Nanoampère
nF	Nanofarad

nV	Nanovolt
pA	Picoampère
PC	Personal Computer
pF	Picofarad
pHz	Picohertz
PIN	P-Intrinsic-N
PMOS	P-type Metal-Oxide-Semiconductor
PPD	Pinned Photodiode
PPS	Passive Pixel Sensor
RVB	Rouge Vert Bleu
s	Seconde
Si	Silicium
SiO <sub>2</sub>	Dioxyde de silicium
T	Tesla
THz	Terahertz
TSMC	Taiwan Semiconductor Manufacturing Company
TΩ	Téra-ohm
μm	Micromètre
μs	Microseconde
μV	Microvolt
V	Volt
VGA	Video Graphics Array
W	Watt
1.75T-APS	1.75 transistor Active Pixel Sensor
3T-APS	Three transistor Active Pixel Sensor
4T-APS	Four transistor Active Pixel Sensor

## LISTE DES ANNEXES

ANNEXE A CARACTÉRISATION DES PORTES DE TRANSMISSION.....	152
A.1 THÉORIE DES PORTES DE TRANSMISSION.....	152
A.1.1 Portes de transmission NMOS et PMOS.....	152
A.1.2 Portes de transmission CMOS.....	163
A.2 CARACTÉRISATION PAR SIMULATION.....	166
A.2.1 Courant de fuite et résistance équivalente en mode désactivé.....	167
A.2.2 Résistance équivalente en mode activé.....	169
A.2.3 Capacité équivalente en mode désactivé.....	170
A.2.4 Capacité équivalente en mode activé.....	171
A.3 MODÈLES ÉLECTRIQUES SIMPLIFIÉS DES PORTES DE TRANSMISSION.....	174
ANNEXE B CIRCUITS ÉQUIVALENTS DES BUS DE SIGNAUX.....	175
B.1 CIRCUIT ÉQUIVALENT D'UN BUS DE COLONNE.....	175
B.2 CIRCUIT ÉQUIVALENT D'UN BUS DE SORTIE.....	178
ANNEXE C SCHÉMAS ÉLECTRIQUES ET DESSINS DES MASQUES.....	180
ANNEXE D CAPACITÉ D'ENTRÉE DU TAMPON DE COLONNE.....	183

## INTRODUCTION

L'extinction des médias analogiques au profit des supports numériques est désormais une prémisse acquise qui, lorsque couplée à la miniaturisation des produits électroniques, engendre un besoin grandissant au niveau des interfaces de conversion entre l'univers analogique et le monde numérique. Cette observation est d'autant plus véridique en ce qui concerne les capteurs d'image, auxquels est dévouée une importante partie de la recherche en microélectronique. Les travaux de recherche actuels visent plus spécifiquement à satisfaire la demande croissante pour les capteurs d'image miniatures, légers, peu énergivores et performants. Les champs d'application de tels capteurs sont vastes et s'étendent des appareils-photo numériques haute-performance jusqu'aux caméras destinées à améliorer la vision dans les véhicules automobiles, en passant par les capteurs dédiés aux téléphones cellulaires et les systèmes de vision robotique.

Les avancées technologiques majeures accomplies ces dernières années dans le domaine des procédés de fabrication CMOS (*Complementary Metal-Oxide-Semiconductor*) ont causé une réorientation de la recherche de pointe, qui a délaissé progressivement les capteurs CCD (*Charge-Coupled Device*) en faveur des capteurs CMOS. Ces derniers sont désormais en mesure d'offrir une qualité d'image s'approchant à plusieurs égards à celle des capteurs CCD, tout en permettant l'intégration simultanée, sur un même substrat, des pixels et des circuits de traitement du signal. En outre, la consommation de puissance des capteurs CMOS est généralement inférieure à celle des capteurs CCD, ce qui en fait un choix logique pour les applications mobiles alimentées par accumulateurs.

Malgré ces améliorations, les capteurs d'image actuels, qu'ils soient de type CMOS ou CCD, présentent une limitation importante en ce qui concerne la résolution spatiale. En effet, même les capteurs d'image les plus performants actuellement disponibles sur le marché offrent une résolution spatiale largement inférieure à celle obtenue avec une pellicule chimique photosensible. Cette lacune découle principalement du fait que la

taille d'un pixel électronique est plus grande que celle d'un pixel chimique et que les photodétecteurs électroniques conventionnels sont uniquement sensibles à l'intensité lumineuse et n'offrent pas la possibilité de distinguer la longueur d'onde de la lumière reçue.

Par conséquent, la discrimination des couleurs est habituellement assurée par un filtre chromatique superposé à la matrice de pixels. Ainsi, chaque pixel répond à l'intensité lumineuse correspondant à la longueur d'onde traversée par le filtre. Afin de déterminer correctement la couleur perçue, on doit combiner les lectures de plusieurs pixels qui répondent à des longueurs d'ondes différentes. On crée donc habituellement des regroupements de quatre pixels sensibles à différentes longueurs d'ondes et on utilise un algorithme d'interpolation pour en extraire la couleur globale. Bien qu'une augmentation du nombre de pixels qui composent le capteur favorise une meilleure résolution spatiale, même les capteurs les plus performants ne parviennent pas, à ce jour, à atteindre une résolution spatiale comparable à celle des pellicules chimiques photosensibles traditionnelles de bonne qualité. De plus, l'utilisation d'un filtre chromatique réduit la sensibilité des capteurs d'images en absorbant et réfléchissant une partie de l'énergie lumineuse et augmente les coûts de production en raison de l'étape supplémentaire de fabrication requise pour déposer le filtre chromatique sur la matrice de pixels.

Dans le but de pallier à ces inconvénients, l'équipe de recherche du professeur Yves Audet (équipe de travail Foryon) a développé un nouveau type de photodétecteur qui discrimine les couleurs et élimine la nécessité d'un filtre chromatique. Celui-ci comporte trois électrodes indépendantes qui réagissent à des couleurs distinctes, assurant ainsi la détection chromatique à même le pixel. D'autre part, ce photodétecteur peut être fabriqué à l'aide d'une technologie CMOS standard, ce qui en fait un candidat idéal pour l'intégration des circuits périphériques de traitement des signaux et la réalisation d'une caméra sur puce (COC, *Camera On Chip*).

Le présent travail de recherche consiste principalement en la conception d'une nouvelle topologie de pixel actif (APS, *Active Pixel Sensor*) basée sur le comportement électrique expérimental et simulé du photodétecteur sans filtre. Cette architecture de pixel actif innovatrice est actuellement en cours d'homologation pour un brevet [4]. Elle procure une excellente linéarité, un très bon écart dynamique et permet, par sa flexibilité, de poursuivre la caractérisation du photodétecteur sans filtre. En outre, sa structure différentielle permet d'effectuer la compensation du courant de noirceur des photodétecteurs à l'intérieur même du pixel, tel que détaillé dans un article de conférence publié [6].

La seconde partie du travail de recherche porte sur la conception des circuits d'échantillonnage et d'amplification périphériques qui permettent de véhiculer les signaux produits par le pixel actif innovateur vers l'extérieur du circuit intégré. Afin de valider le fonctionnement expérimental des circuits conçus, le prototype de capteur d'images a été fabriqué en technologie CMOS 0.25 $\mu\text{m}$ .

L'organisation de ce mémoire se divise en trois chapitres. Tout d'abord, le premier chapitre décrit les principes de base des capteurs d'image CMOS, présente une revue de la littérature des différents circuits analogiques qui les composent et introduit le photodétecteur sans filtre innovateur. Ensuite, le second chapitre analyse les divers circuits employés dans le prototype de capteur d'images et détaille le processus de conception. Enfin, le troisième chapitre présente les résultats expérimentaux obtenus à l'aide du prototype de capteur d'images, ainsi que des résultats de simulation complémentaires.

# CHAPITRE 1

## PRINCIPES DE BASE DES CAPTEURS D'IMAGES CMOS

### 1.1 Introduction

Le capteur d'images est la pierre angulaire de tout système d'acquisition d'images, quelle que soit son application. En effet, les simulations et les études expérimentales ont démontré que le capteur d'images est l'élément qui établit la limite de performance d'un système d'acquisition d'images [9]. Cette raison justifie à elle seule la recherche extensive dévouée aux capteurs d'images depuis plusieurs années et, par le fait même, le présent projet de recherche.

Jusqu'à la fin des années 1990, les capteurs de type CCD ont dominé le marché de façon outrageuse en raison de leur qualité d'image exceptionnelle [9], [21], [22], [27]. Forts des innovations technologiques et des efforts de recherche soutenus des dernières années, les capteurs d'images CMOS ont gagné en termes de qualité d'image et la préférence pour les capteurs CCD s'est estompée pour laisser une plus grande place aux capteurs CMOS [9], [21], [22], [27]. À ce propos, mentionnons que certains capteurs CMOS haut de gamme actuels sont en mesure de procurer une qualité d'image rivalisant avec les capteurs CCD pour les applications telles les caméras numériques (DSC, *Digital Still Camera*) [21].

À l'opposé des capteurs CCD, les capteurs CMOS offrent l'intéressante possibilité d'intégrer les circuits de traitement de signal sur un même substrat en vue d'obtenir une caméra sur puce. De plus, puisque leur tension d'alimentation est plus faible que celle requise par les capteurs CCD, les capteurs CMOS possèdent une consommation de puissance largement inférieure [9], [21], [22], [27], [36]. En outre, mentionnons que les coûts associés à la fabrication des capteurs CMOS sont plus faibles que ceux engendrés par les capteurs CCD, puisque la technologie CMOS est plus répandue et que l'accès à cette dernière est plus aisé [21].

Ces caractéristiques font en sorte que les capteurs d'images CMOS se prêtent à un plus grand nombre d'applications que leurs équivalents à CCD [36]. Parmi celles-ci, on dénombre les produits grand public qui requièrent un coût minime, une faible consommation de puissance et une petite taille, telles les souris optiques, les caméras web, les caméscopes, les téléphones cellulaires et les caméras numériques [9]. De plus, les capteurs CMOS sont idéaux pour les applications qui nécessitent un procédé de traitement des signaux local, compact et efficace, telles les utilisations de surveillance, la vision robotique, les appareils médicaux et les caméras utilisées dans les automobiles [9], [22].

Il est pertinent de noter que la miniaturisation des capteurs CMOS présente un retard sur la réduction d'échelle des technologies CMOS. Ce décalage est principalement attribuable au fait que les procédés CMOS récents et de très petite taille ne se prêtent pas bien aux applications d'acquisition d'images, notamment en raison du bruit élevé, du grand courant de fuite, de la faible sensibilité et des difficultés optiques [27]. Puisque l'utilisation d'une technologie de plus petite taille réduit les dimensions d'un pixel et permet d'augmenter la résolution, des efforts considérables sont faits en vue d'améliorer la performance optique de la technologie CMOS 0.18 $\mu\text{m}$  [9]. À cet effet, il est suggéré que la miniaturisation des pixels CMOS sera limitée par la quantité d'électrons qui peuvent être emmagasinés dans un pixel [27].

Ce chapitre vise à détailler les principes de base des capteurs d'images CMOS. Dans un premier temps, la structure générale et le fonctionnement de base des capteurs d'images CMOS seront expliqués. Par la suite, les architectures des pixels et les principaux indicateurs de performance des capteurs d'images seront détaillés. Finalement, une exploration des procédés de discrimination des couleurs couramment utilisés dans les capteurs CMOS commerciaux sera présentée.

## 1.2 Structure générale des capteurs d'images CMOS

Par définition, un capteur d'images CMOS est un dispositif à semi-conducteurs ayant pour rôle de convertir des signaux lumineux en signaux électriques pouvant ensuite être traités de manière analogique ou numérique et sauvegardés dans une mémoire afin d'en assurer la conservation [21]. La conversion de l'image observée en signaux électriques est effectuée par un regroupement de pixels qui sont disposés en une structure de forme rectangulaire appelée matrice. Le nombre de pixels que comprend une matrice dépend, entre autres, de la complexité et la qualité du capteur et varie de quelques milliers à plusieurs millions. Afin de récupérer et traiter les signaux en provenance de ces pixels, on utilise un mécanisme de balayage qui permet de sélectionner un ou plusieurs pixels à la fois de façon séquentielle ou arbitraire. Cette tâche est confiée à deux blocs synchronisés par une horloge, le premier assurant le balayage horizontal (des colonnes) et le second assurant le balayage vertical (des rangées). La Figure 1.1 illustre la structure générale d'un capteur d'images CMOS. On y retrouve les principaux constituants, soient une matrice de pixels ainsi que des circuits de balayage horizontal et vertical commandés par un circuit de synchronisation [9], [27]. Il est à noter que les pixels d'une même colonne partagent un bus de sortie des données afin de limiter le nombre de connexions à l'intérieur de la matrice.

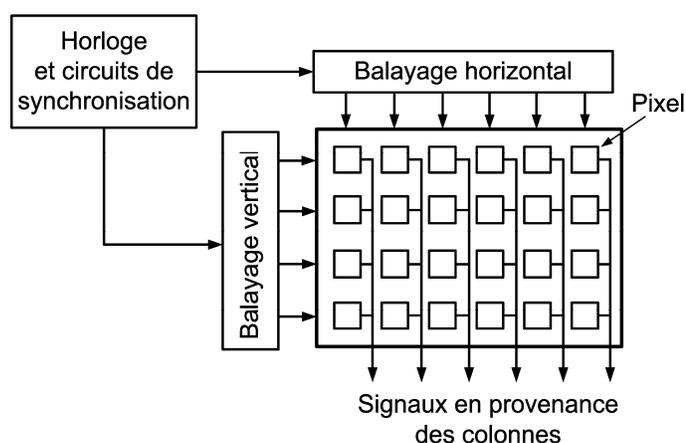


Figure 1.1 Structure générale d'un capteur d'images CMOS

### 1.2.1 Modes d'accès aux pixels

Contrairement aux capteurs d'images CCD, les capteurs CMOS allouent l'emploi d'un adressage de type X-Y. Celui-ci permet d'alimenter uniquement les pixels désirés à un instant donné, ce qui contribue grandement à réduire la consommation de puissance du capteur d'images [9], [21].

Il existe deux modes d'accès aux pixels qui composent la matrice, le mode séquentiel et le mode arbitraire [21], [22]. Dans le premier cas, on balaie séquentiellement la totalité de la matrice qui est considérée comme une trame continue. Ainsi, une impulsion de sélection est habituellement fournie à chaque ligne et les colonnes sont ensuite parcourues une à la fois [21]. Pour ce faire, on utilise des circuits de balayage à base de registres à décalage, ce qui en fait une technique simple à implémenter et qui procure un faible bruit de commutation [21]. Dans le cas où l'on désire accéder aux pixels arbitrairement, on emploie un circuit de balayage à base de décodeurs. Ces derniers assurent une grande flexibilité et permettent, si désiré, de lire uniquement une portion de la matrice. Cette particularité est d'ailleurs utilisée par certains capteurs multi-résolution puisqu'elle permet de varier les dimensions de la matrice de façon dynamique [22]. L'utilisation de décodeurs augmente cependant la complexité de la logique de commande et, par conséquent, le bruit de commutation.

### 1.2.2 Traitement des signaux

Le traitement des signaux en provenance de la matrice de pixels peut s'effectuer de façon analogique ou numérique [21]. Dans le cas d'un traitement entièrement analogique, on utilise généralement un amplificateur global commun à toute la matrice de pixels, auquel on ajoute des amplificateurs partagés par les pixels d'une même colonne afin de réduire le bruit et l'effet de charge, tel qu'illustré à la Figure 1.2. Les commutateurs analogiques permettent quant à eux d'effectuer un multiplexage temporel en n'envoyant à l'amplificateur global que les signaux en provenance de la colonne désirée.

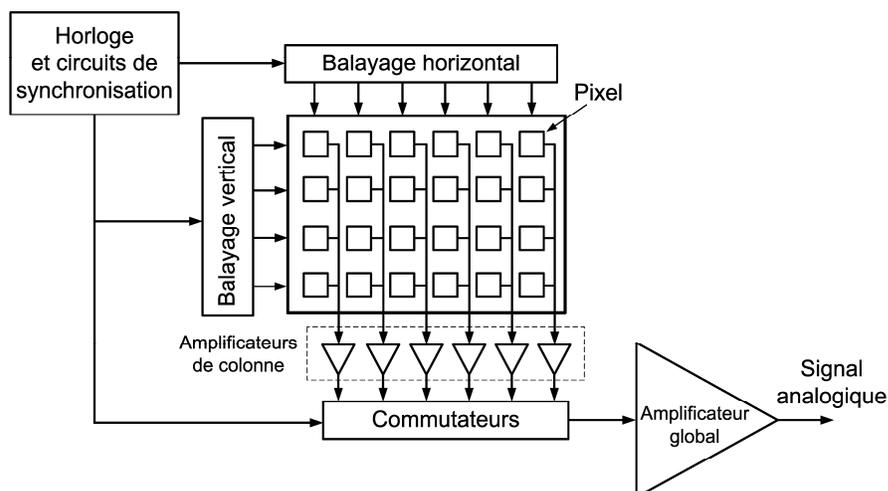


Figure 1.2 Méthode générale de traitement analogique

Une telle architecture était surtout utilisée à l'époque des premiers capteurs d'images CMOS. Toutefois, les capteurs à sortie numérique sont récemment devenus très populaires en raison de la simplicité apportée par l'élimination de l'interface analogique [21]. Par conséquent, les capteurs d'images CMOS modernes intègrent de facto une conversion analogique à numérique [27], ce qui permet, entre autres, d'effectuer le traitement des couleurs et les procédés de réduction du bruit de façon numérique [22].

À ce propos, il existe trois méthodes distinctes pour numériser le signal analogique en provenance des pixels [12], [21], [22], [36]. La première méthode, illustrée à la Figure 1.3, consiste à remplacer l'amplificateur global vu précédemment par un convertisseur analogique à numérique (CAN) partagé par la totalité de la matrice. Cette façon de faire est pratique, réduit la dissipation de puissance et assure un traitement numérique identique pour chaque pixel, mais requiert un convertisseur de très haute qualité pour permettre une opération à grande vitesse et avec faible bruit [12], [22]. La présence d'un tampon en sortie aide à préserver l'intégrité des signaux numériques lorsque le capteur est relié à une charge externe.

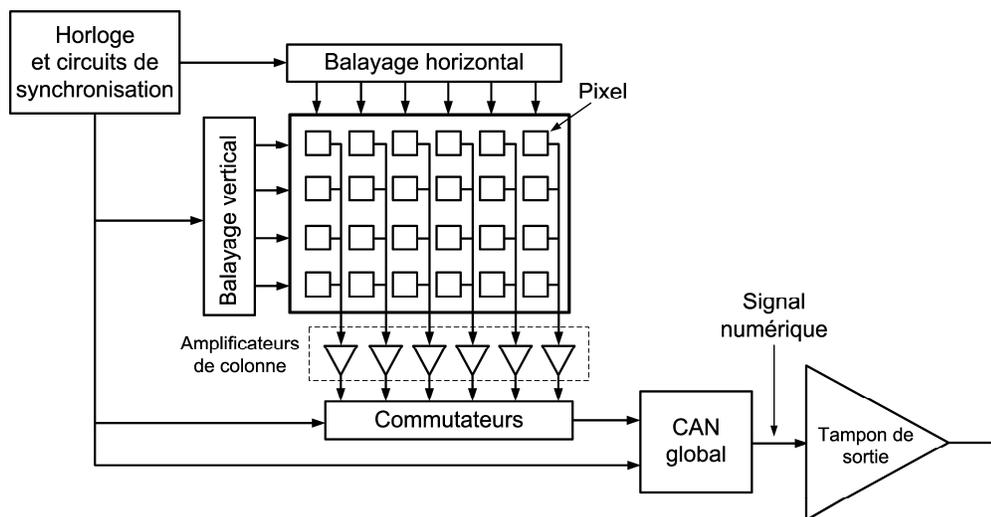


Figure 1.3 Conversion analogique à numérique globale

La seconde méthode de traitement, montrée à la Figure 1.4 consiste à effectuer une conversion analogique à numérique à chacune des colonnes [11], [20], [21], [22], [36], [37]. Puisque les données à envoyer en sortie sont désormais numériques, une mémoire vive remplace le commutateur afin de permettre le multiplexage temporel en mémorisant les données en provenance des colonnes.

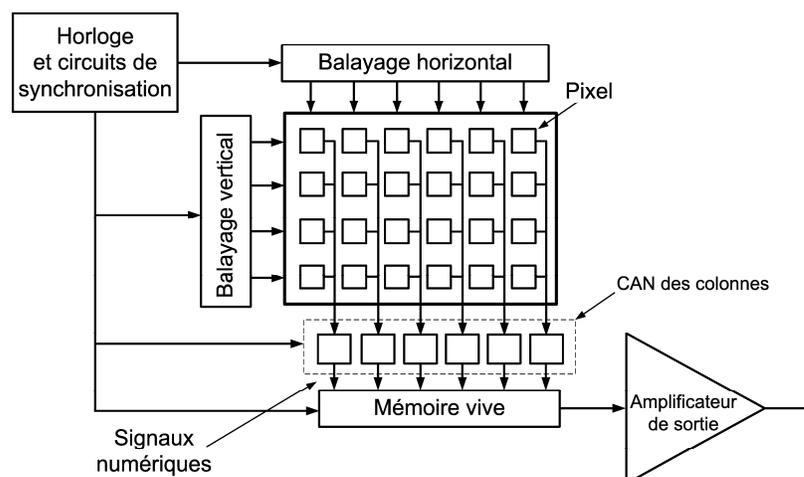


Figure 1.4 Conversion analogique à numérique par colonnes

Cette technique est bien adaptée aux capteurs CMOS puisque les rangées de pixels sont électriquement indépendantes [22]. De plus, elle permet l'utilisation de convertisseurs fonctionnant à une vitesse moindre [22], [36]. Ses désavantages sont liés aux contraintes physiques concernant les dimensions des convertisseurs, ces derniers devant être plus étroits que les colonnes, de même que sur la nécessité d'apparier les convertisseurs dans le but de minimiser les variations [36]. Notons à nouveau la présence de l'amplificateur de sortie qui remplit les fonctions susmentionnées.

La Figure 1.5 illustre la troisième méthode qui consiste à effectuer la conversion analogique à numérique à l'intérieur des pixels [9], [12], [21], [22], [29], [36]. Cette architecture permet une plus grande flexibilité de traitement, réduit la charge de travail sur les circuits externes à la matrice, permet l'utilisation de convertisseurs plus lents [12], augmente le rapport signal sur bruit et réduit la consommation de puissance [9], [29], [36]. Ces améliorations se font toutefois aux dépens d'un plus grand nombre de transistors à l'intérieur du pixel, ce qui en augmente la taille [9], [21], [22], [36]. Il s'ensuit que cette méthode de conversion est généralement réservée aux applications où la rapidité de traitement et la faible consommation de puissance priment sur la qualité d'image [21].

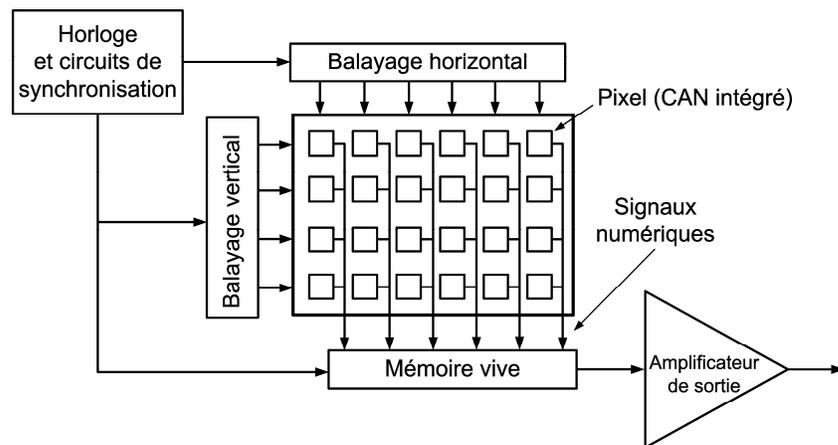


Figure 1.5 Conversion analogique à numérique intégrée aux pixels

### 1.3 Architectures de pixels

Jusqu'à présent, nous avons considéré les pixels comme étant des blocs de traitement permettant la conversion de la lumière reçue en un signal électrique en sortie. Or, puisque la matrice de pixels détermine en grande partie la qualité d'image d'un capteur CMOS [22], il est important d'en détailler la structure interne. Il existe trois principaux types de pixels CMOS, les pixels passifs (PPS, *Passive Pixel Sensor*), les pixels actifs (APS, *Active Pixel Sensor*) et les pixels numériques (DPS, *Digital Pixel Sensor*). Le schéma-bloc généralisé d'un pixel donné à la Figure 1.6 illustre les différences entre ces trois types de pixels. Mentionnons d'abord que tout pixel CMOS comprend un photodétecteur qui permet la conversion de la lumière captée en charge électronique. Le type de photodétecteur le plus répandu de nos jours est la photodiode, notamment en raison de sa bonne sensibilité [22], [36]. Bien que la charge électronique fournie par le photodétecteur puisse être lue en régime continu, cette façon de faire est déconseillée, car le courant obtenu sous une illumination normale est souvent inférieur à quelques picoampères, ce qui rend difficile le traitement du signal et anéantit le rapport signal sur bruit [9]. De ce fait, les pixels CMOS actuels utilisent plutôt un mode d'opération qui implique l'intégration de la charge électronique à un nœud capacitif [9], [36].

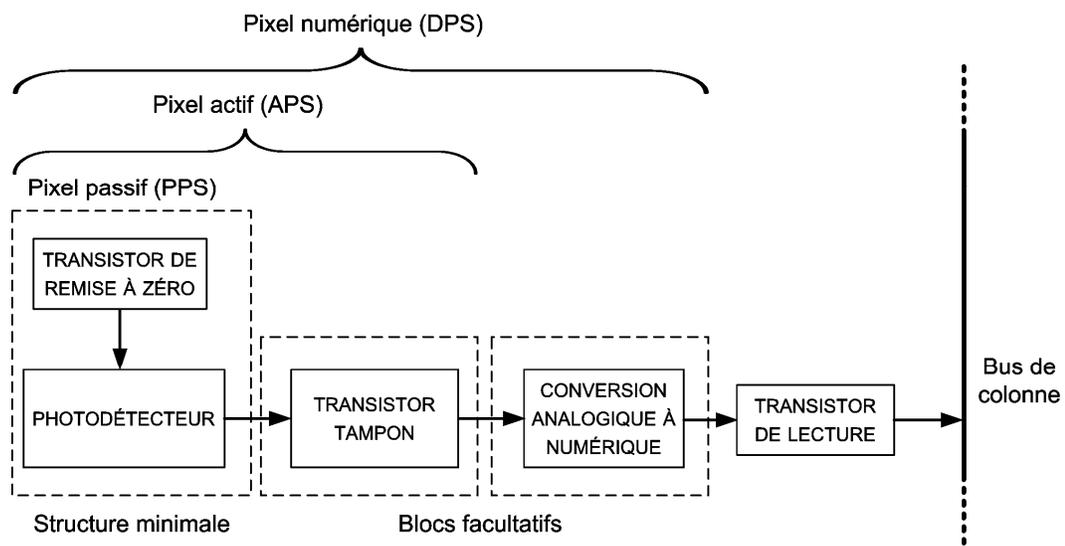


Figure 1.6 Schéma-bloc généralisé d'un pixel CMOS

Le fonctionnement généralisé d'un pixel CMOS se décompose en trois phases distinctes, soient la remise à zéro, l'intégration et la lecture [36]. La remise à zéro consiste à transférer une quantité de charges préétablie aux bornes de la photodiode à l'aide d'un interrupteur à transistor. Ensuite, durant l'intégration, les photons captés par la photodiode causent une réduction du nombre de charges contenues approximativement proportionnelle au niveau d'illumination observé. Suite à la période d'intégration, les charges restantes sont envoyées sur le bus de colonne par l'entremise d'un interrupteur à transistor [36]. Finalement, un amplificateur de charges (amplificateur de transrésistance) convertit ces charges en tension.

### 1.3.1 Pixel passif (PPS)

Les étapes d'opération énumérées précédemment décrivent le fonctionnement général du pixel passif. Il s'agit du premier type de pixel CMOS à avoir été développé et son schéma électrique est donné à la Figure 1.7 [9], [22], [27], [36]. On y retrouve la photodiode,  $PD$ , le nœud d'intégration,  $NI$ , le transistor  $M_{RZ}$  qui remplit à la fois les fonctions de remise à zéro et de transfert de charges sur le bus de colonne, ainsi que l'amplificateur de charges situé à l'extérieur de la matrice. Bien que cet amplificateur puisse être partagé par toute la matrice, les architectures modernes basées sur le pixel passif emploient un amplificateur par colonne [36].

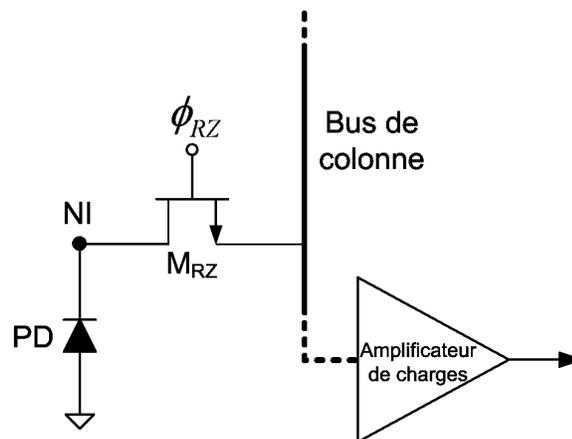


Figure 1.7 Pixel passif (PPS)

L'utilisation d'un transistor unique est rendue possible en combinant les opérations de lecture et de remise à zéro. Pour ce faire, le bus de colonne est en tout temps soumis à la tension de référence utilisée pour la remise à zéro de la photodiode. Lors de l'opération combinée de lecture et remise à zéro, la différence de tension entre le nœud d'intégration et la tension du bus produit un courant détecté par l'amplificateur de charges, qui convertit ensuite ce courant en tension proportionnelle à l'illumination observée [21], [27], [36].

La performance des capteurs CMOS utilisant ces pixels passifs est largement inférieure à celle offerte par les capteurs CCD, ce qui limite leur utilisation aux applications qui ne demandent qu'une qualité d'image marginale [9]. Plus spécifiquement, la grande capacité parasite des bus de colonne entraîne l'étalement des charges détectées, ce qui rend les signaux de sortie excessivement vulnérables au bruit [9], [27], [29], [36] et augmente dramatiquement le temps de lecture [9], [21], [36]. Par ailleurs, mentionnons que ces inconvénients sont d'autant plus nuisibles que la taille de la matrice de pixels augmente [21]. Certaines innovations ont pour objectif de réduire la vulnérabilité au bruit des pixels passifs [33], mais le grand nombre de transistors qu'elles requièrent diminue les avantages d'une telle stratégie. Pour conclure, mentionnons que, malgré ses lacunes, l'architecture du pixel passif a perduré jusqu'au début des années 1990, car les dimensions des transistors CMOS de l'époque étaient telles que l'on ne pouvait se permettre d'avoir plus d'un transistor par pixel [9].

### **1.3.2 Pixels actifs (APS)**

L'avènement des technologies CMOS plus compactes, la nécessité de produire des matrices de pixels de plus grande taille et la volonté de corriger les lacunes du pixel passif ont mené à l'invention de la structure du pixel actif. Comme l'illustre la Figure 1.6, un pixel actif reprend la structure de base d'un pixel passif auquel s'ajoute un transistor tampon ayant pour rôle de séparer électriquement le nœud d'intégration et le

bus de colonne [21], [22], [36]. L'ajout de ce transistor augmente la rapidité de lecture et le rapport signal sur bruit [9], [21].

La présence d'un étage tampon entre le nœud d'intégration et le bus de colonne fait en sorte que le transistor de remise à zéro ne peut plus être utilisé comme commutateur de lecture. Quelques astuces ont été présentées pour contrecarrer cet inconvénient [15], mais la solution la plus souvent rencontrée demeure l'architecture de pixel à trois transistors illustrée à la Figure 1.8. On y observe le transistor de remise à zéro,  $M_{RZ}$ , le transistor de lecture,  $M_{LEC}$ , et le transistor tampon configuré en source suiveur,  $M_{SS}$  [36]. Une telle architecture est nommée pixel actif à trois transistors (3T-APS). Son fonctionnement est similaire à celui du pixel passif, à la différence que le signal envoyé sur le bus de colonne n'est pas un courant, mais une tension correspondant à la différence de charge due à l'illumination. Il est à noter que, puisque la charge au nœud d'intégration diminue avec l'illumination, une tension de sortie élevée indique une illumination faible et vice-versa [36].

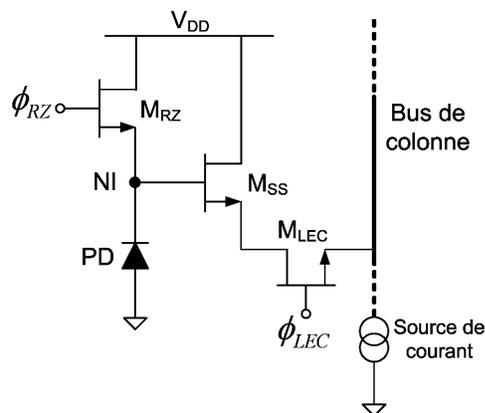


Figure 1.8 Pixel actif à trois transistors (3T-APS)

La source de courant qui polarise le transistor tampon est située à l'extérieur de la matrice de pixels et elle est partagée par tous les transistors d'une même colonne. Cela contribue à réduire la taille des pixels et les variations de réponse entre ces derniers [36].

Une particularité intéressante du pixel actif est son mode de lecture non-destructif [9], [22]. Ainsi, contrairement au pixel passif, un même signal de sortie peut être lu plusieurs fois sans perte d'information. Cette caractéristique facilite l'implémentation de circuits périphériques de réduction de bruit et ajoute une flexibilité au niveau des modes de lecture. Finalement, mentionnons que la structure à trois transistors peut être utilisée avec n'importe quel type de photodétecteur [36].

Bien que le pixel actif à trois transistors corrige la plupart des lacunes du pixel passif, il présente des inconvénients qui préviennent son application à grande échelle. Tout d'abord, puisque la photodiode agit à la fois comme photodétecteur et région de photoconversion, il est impossible de varier le gain de conversion photonique sans redimensionner la photodiode, ce qui pose problème si l'on souhaite optimiser la taille du pixel tout en minimisant le niveau de bruit [9]. Le second désavantage, hérité du pixel passif, est le bruit thermique engendré lors de la remise à zéro [22], [27]. Comme nous le verrons lors de l'étude du bruit, ce bruit thermique de remise à zéro ne peut pas être éliminé par les techniques conventionnelles d'échantillonnage différentiel.

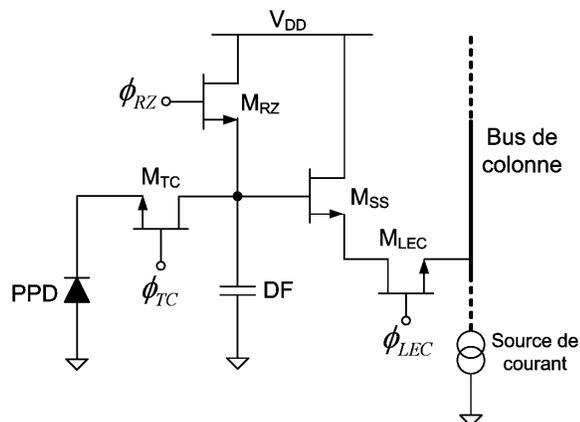


Figure 1.9 Pixel actif à quatre transistors (4T-APS)

La possibilité d'éliminer le bruit thermique de remise à zéro à l'aide d'un échantillonnage différentiel (p. ex. double échantillonnage corrélé) a motivé la naissance

d'une seconde structure de pixel actif, illustrée à la Figure 1.9. Son principe fondamental de fonctionnement consiste à isoler la photodiode lors des opérations de remise à zéro et de lecture en ajoutant un transistor de transfert de charges,  $M_{TC}$ , et une diffusion flottante,  $DF$ . On obtient ainsi un pixel actif à quatre transistors (4T-APS) [9], [22], [27], [36].

Notons que les transistors  $M_{RZ}$ ,  $M_{LEC}$  et  $M_{SS}$  réalisent des fonctions identiques à celles discutées pour le pixel actif à trois transistors, tandis que le transistor de transfert de charges,  $M_{TC}$ , permet d'isoler la photodiode de la diffusion flottante. Il en résulte que le pixel 4T-APS offre la possibilité de mémoriser la tension de remise à zéro à l'intérieur du pixel, en vue d'effectuer un échantillonnage différentiel.

Le cycle de lecture débute par l'activation des transistors  $M_{TC}$  et  $M_{RZ}$ , ce qui entraîne la remise à zéro de la photodiode et de la diffusion flottante. Par la suite, le transistor  $M_{TC}$  se désactive pour isoler la photodiode du reste du circuit et laisser place à l'intégration qui s'effectue durant un temps donné. Peu avant la fin de l'intégration, le transistor  $M_{RZ}$  se désactive et la diffusion flottante,  $DF$ , se prépare à recevoir les charges en provenance de la photodiode. C'est alors que les transistors  $M_{TC}$  et  $M_{LECT}$  s'activent simultanément pour transférer les charges vers la diffusion flottante et ainsi effectuer la lecture du pixel à l'instant de l'architecture à trois transistors.

Puisque la photodiode doit être débitée de la totalité de ses charges lors de la lecture, on a recours à une photodiode de type PPD (*pinned photodiode*), issue de l'ajout d'une couche de semi-conducteur  $P^+$  en surface [22]. Celle-ci possède deux avantages principaux par rapport à la photodiode conventionnelle de type PN, soient une meilleure sensibilité (surtout pour les courtes longueurs d'ondes) et un bruit thermique réduit [9], [27]. En revanche, sa zone de charge d'espace est plus longue que celle d'une photodiode traditionnelle, ce qui diminue sa capacité d'accumulation des charges et son efficacité quantique [36].

L'excellente performance du pixel 4T-APS a contribué à l'essor des capteurs d'images CMOS, au point où il s'agit actuellement de l'architecture de pixel la plus répandue [27]. Celle-ci comporte toutefois des inconvénients non-négligeables. En premier lieu, on note que la photodiode PPD requiert une technologie de fabrication CMOS particulière et dispendieuse, en comparaison avec la photodiode PN qui peut être réalisée à partir d'un procédé standard [21], [22]. Ensuite, un transfert de charge incomplet entre la photodiode et la diffusion flottante peut entraîner un décalage dans l'image [21], [22].

### **1.3.3 Pixels numériques (DPS)**

Comme l'indique la Figure 1.6, l'ajout d'un convertisseur analogique à numérique à la structure d'un pixel actif résulte en un pixel numérique [9], [12], [13], [21], [22], [29], [36]. Les avantages résultant de l'inclusion du convertisseur analogique à numérique à l'intérieur du pixel sont nombreux. Tout d'abord, puisque le parcours analogique du signal est confiné à l'intérieur du pixel, la détérioration causée par le bruit et les effets de charge sont minimisés [9], [13], [29], [36]. D'autre part, la vitesse des circuits analogiques est indépendante de la quantité totale de pixels, ce qui favorise les matrices ayant un grand nombre de pixels [29] et permet un processus de lecture très rapide [9], [21], [36]. Ensuite, en raison du fait que les convertisseurs analogiques à numériques traitent le signal en provenance d'un seul pixel, les contraintes associées à leur design sont amoindries [13], [29], [36] et la consommation de puissance globale du capteur est réduite [36]. Enfin, l'intégration du traitement numérique à même le pixel permet un ajustement flexible des paramètres d'exposition de l'image [29].

Toutefois, tel que mentionné à la sous-section 1.2.2, cette architecture possède plusieurs limitations en raison du nombre élevé de transistors que requiert son implémentation, ce qui résulte en des pixels de grande taille [9], [21], [22], [36]. Pour cette raison, les pixels numériques sont, encore à ce jour, réservés à des applications spécifiques qui privilégient la rapidité et la flexibilité de lecture plutôt qu'une qualité d'image exceptionnelle [21].

### 1.3.4 Facteur de remplissage

Afin de maximiser la quantité de lumière absorbée et réduire la distance entre les éléments photosensibles, le photodétecteur doit idéalement occuper la majorité de la surface du pixel. Cette observation est particulièrement pertinente en ce qui concerne les capteurs optimisés pour une grande qualité d'image, tels ceux utilisés dans les applications DSC [21], [22]. Il est donc utile de définir le facteur de remplissage d'un pixel comme étant le rapport de la surface occupée par le photodétecteur sur la surface totale du pixel [22], [36].

En raison du fait qu'ils ne comportent qu'un seul transistor, les pixels passifs ont un très grand facteur de remplissage [9], [22], [27], alors que le facteur de remplissage des pixels actifs varie de 50% à 70% [36]. Notons que les pixels actifs 4T ont un facteur de remplissage inférieur à celui des pixels 3T en raison de l'ajout de la diffusion flottante et de la grille de transfert [22], [27]. Néanmoins, puisque les photodiodes PPD qui composent la structure 4T sont isolées de leurs diffusions flottantes par leurs grilles de transfert, il est possible de faire en sorte que plusieurs photodiodes PPD partagent la même diffusion flottante, ce qui augmente le facteur de remplissage [9], [21], [22], [27]. La Figure 1.10 illustre le partage d'une diffusion flottante par un groupe de quatre photodiodes PPD. Puisque l'on retrouve sept transistors pour chaque groupe de quatre pixels de la matrice, on nomme cette structure 1.75T-APS. Le principal désavantage du partage de pixels résulte du fait qu'un seul pixel parmi le groupe incorpore les transistors  $M_{RZ}$ ,  $M_{SS}$  et  $M_{LEC}$ , ce qui engendre une asymétrie dans la disposition physique des pixels. Cette asymétrie cause une augmentation du bruit à patron fixe (cf. section 1.4.3) [27] et une attention particulière doit être portée lors du dessin des masques de manière à répartir les transistors le plus également possible [21].

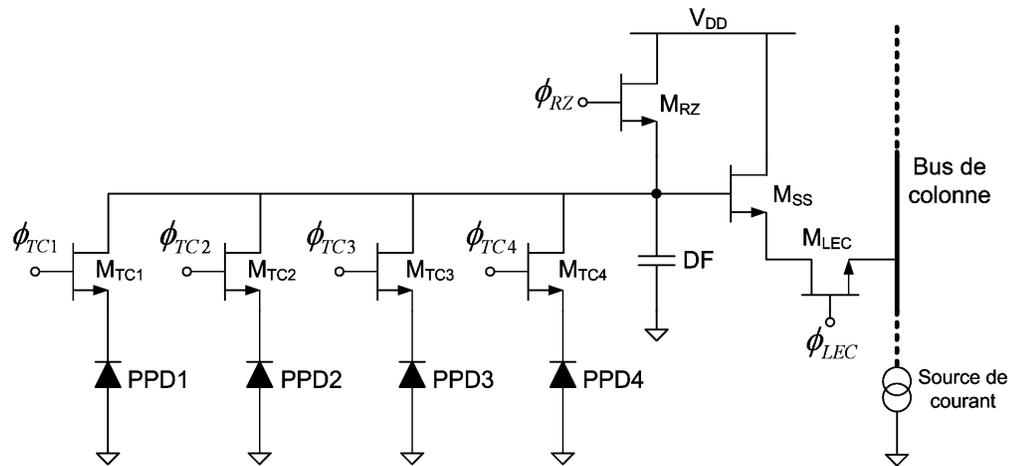


Figure 1.10 Partage des pixels en regroupements de quatre (1.75T-APS)

Un autre inconvénient de cette technique est la complexité accrue du processus de lecture, car il faut tenir compte du partage dans le mécanisme de remise à zéro, d'intégration et de transfert des données au bus de colonne. Finalement, notons que les pixels numériques possèdent les plus faibles taux de remplissage en raison des transistors additionnels requis pour la conversion analogique à numérique [9], [21].

## 1.4 Indicateurs de performance

La fidélité de l'image captée par rapport à la scène originale est un pré-requis important dans la majorité des applications. Par conséquent, il existe plusieurs indicateurs de performance qui qualifient et quantifient les performances d'un capteur d'images CMOS. Les sous-sections suivantes visent à introduire les principaux indicateurs de performance qui sont reliés, de près ou de loin, aux circuits électroniques qui composent le capteur d'images.

### 1.4.1 Résolution et résolution spatiale

La résolution d'un capteur d'images est définie comme étant le nombre de pixels qui composent la matrice. Assumant une dimension fixe pour la matrice, la technique la plus populaire pour augmenter la résolution consiste à réduire la surface occupée par un pixel

en optimisant les dessins de masque. Pour ce faire, on peut diminuer le nombre de transistors compris dans un pixel actif, on encore réduire la taille des transistors utilisés. Pour sa part, la résolution spatiale d'un capteur d'images détermine le plus petit détail d'une image optique que le capteur est en mesure de discerner [9]. Bien que la résolution spatiale augmente en fonction du nombre de pixels compris dans la matrice, elle dépend également de la géométrie des pixels, ainsi que de la méthode de détection et d'extrapolation des couleurs. Les systèmes optiques et les lentilles utilisés en amont du capteur ont également une influence sur la résolution spatiale et leur contribution ne doit pas être négligée.

#### **1.4.2 Courant de noirceur**

Le courant de noirceur est le courant de sortie du photodétecteur en l'absence totale de lumière [9]. Les conséquences d'un courant de noirceur élevé sont, entre autres, l'impossibilité d'obtenir un niveau de noir satisfaisant et une réduction de la plage d'illumination que le capteur est en mesure de détecter. En outre, la variation des courants de noirceur des pixels entraîne une réduction de l'uniformité de l'image en situation de faible illumination. Cette non-uniformité ne peut pas être rectifiée par un mécanisme externe de correction [21]. Il est donc important de minimiser le courant de noirceur lors de la conception du pixel, tel qu'exemplifié par [31], où le transistor suiveur d'un pixel actif est enfoui dans le substrat. Enfin, en raison de l'isolation des défauts de surface procurée par la couche supplémentaire  $P^+$ , les photodiodes PPD possèdent un courant de noirceur plus faible que les photodiodes traditionnelles [21]. [27], [36].

#### **1.4.3 Bruit**

La différence de fidélité entre les pellicules photosensibles traditionnelles et les capteurs d'images CMOS s'explique en grande partie par les différents types de bruits électroniques qui affligent ces derniers. Les sous-sections suivantes font état des deux catégories de bruit présentes dans un capteur d'images CMOS, soient le bruit spatial et

le bruit temporel [21], [27], ainsi que d'un survol des principaux mécanismes de suppression du bruit.

#### *1.4.3.1 Bruit spatial*

Le bruit spatial est invariable par rapport au temps et ses effets sont identiques d'une image à l'autre. Sa composante principale est le bruit à patron fixe (FPN, *Fixed Pattern Noise*) qui est généralement causé par les variations entre les différents circuits de traitement du signal. À ce titre, la variabilité entre les circuits de colonne, qu'ils soient analogiques ou numériques, est l'une des plus importantes sources de bruit à patron fixe et elle est considérablement nuisible puisqu'elle cause des stries verticales dans l'image [9]. Une portion du bruit à patron fixe est également attribuable aux différences inévitables entre les transistors qui composent les pixels actifs d'une matrice [21], [36]. Plus spécifiquement, on note que les variations des tensions de seuil des transistors suiveurs peuvent atteindre plusieurs dizaines de millivolts et sont à l'origine de la plupart du bruit à patron fixe en provenance des pixels [21]. Par ailleurs, les inégalités des parcours empruntés par les signaux analogiques causent également un bruit à patron fixe [9]. Pour leur part, les capteurs utilisant des pixels numériques présentent un bruit à patron fixe réduit, car les effets des variations analogiques sont confinés à l'intérieur des pixels [9]. Enfin, soulignons que l'on retrouve également un bruit à patron fixe dû aux différences entre les courants de noirceur des pixels [27].

#### *1.4.3.2 Bruit temporel*

Comme son nom l'indique, le bruit temporel est sujet à des fluctuations en fonction du temps. Il sévit de manière indépendante pour chaque pixel et il varie lors de l'acquisition de chaque image. De ce fait, il s'agit de la non-linéarité la plus fondamentale d'un capteur d'images [9]. Le bruit temporel peut être segmenté en quatre types de bruits ayant des origines différentes. Par ordre d'importance, on retrouve le bruit de grenaille entraîné par la variation statistique du nombre de photons excités durant le processus d'intégration [9], [27], le bruit thermique occasionné par la résistance équivalente du

transistor de remise à zéro d'un pixel [21], [22], les bruits thermique et de scintillation ( $1/f$ ) dus aux différents circuits de lecture et, finalement, le bruit de quantification des convertisseurs analogique à numérique [9]. Dans le cas d'un pixel actif à trois transistors, il a été observé que les principales sources de bruit thermique sont le bruit de remise à zéro et le bruit de grenaille du photodétecteur [28]. Enfin, il est pertinent de mentionner que le bruit temporel affecte la qualité d'image de façon similaire au bruit spatial, car ils sont tous deux figés lors de la sauvegarde de l'image [21].

#### 1.4.3.3 Mécanismes de suppression du bruit

La technique de suppression du bruit la plus répandue dans les capteurs d'images est l'échantillonnage différentiel. Cette méthode consiste à comparer deux échantillons de la tension de sortie du pixel, le premier correspondant à la tension de remise à zéro et le second étant la tension de sortie après l'intégration. S'il y a corrélation entre les bruits contenus dans les deux échantillons, le signal résultant de leur différence sera exempt de bruit. Dans le cas d'une architecture de pixel actif à quatre transistors, l'échantillonnage différentiel compare la tension de remise à zéro, mémorisée dans la diffusion flottante, avec la tension aux bornes de la diffusion flottante après le transfert des charges en provenance de la photodiode. Ces deux échantillons contiennent à la fois le bruit thermique de remise à zéro, les variations des tensions de seuil des transistors et les fluctuations dues à la géométrie des photodétecteurs. Puisque ces bruits sont totalement corrélés, la différence entre les échantillons annule le bruit et procure le signal désiré [27], [36]. Dans ce cas précis, l'échantillonnage différentiel est nommé double échantillonnage corrélé (CDS, *Correlated Double Sampling*) [9], [21], [22], [27], [36]. Notons que si la fréquence d'échantillonnage est élevée, le bruit de scintillation ( $1/f$ ) contenu dans deux échantillons successifs est fortement corrélé, donc considérablement réduit par le mécanisme CDS [9]. La Figure 1.11 illustre les tensions aux bornes de la photodiode PPD,  $V_{PPD}$ , et de la diffusion flottante,  $V_{DF}$ , ainsi que les échantillons requis par la technique CDS. Notons que la tension échantillonnée suite à l'intégration est inférieure à celle obtenue aux bornes de la photodiode au même instant en raison du

transfert de charges vers la diffusion flottante qui survient lorsque le transistor de transfert de charges,  $M_{TC}$ , est activé.

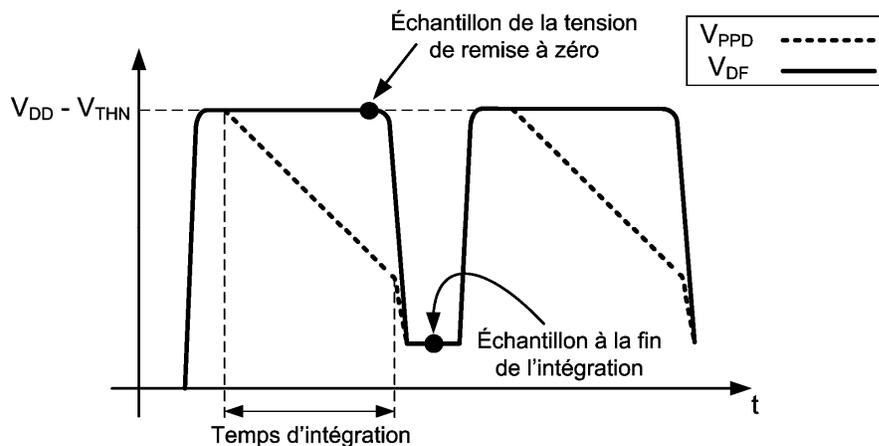


Figure 1.11 Double échantillonnage corrélé (CDS)

Lorsqu'on emploie une architecture à trois transistors (3T), le nœud de lecture n'est pas isolé par un transistor de transfert de charges, il n'y a donc pas d'élément de mémoire interne au pixel permettant de conserver la valeur de la tension de remise à zéro qui précède l'intégration [9], [22]. On doit alors avoir recours à un échantillonnage différentiel de type remise à zéro (DRS, *Delta Reset Sampling*) [9]. Cette méthode consiste à comparer la lecture obtenue à la fin d'un cycle d'intégration avec la lecture de la tension de remise à zéro du cycle suivant. La Figure 1.12 montre les instants auxquels la tension du nœud d'intégration,  $V_N$ , est échantillonnée en supposant une illumination constante. Puisque les cycles d'intégration utilisés pour la comparaison sont différents, le bruit temporel (plus particulièrement le bruit thermique de remise à zéro) entre les deux lectures n'est pas corrélé. Il s'ensuit que l'échantillonnage DRS n'est pas aussi performant que le double échantillonnage corrélé. En fait, l'échantillonnage DRS double la puissance du bruit de remise à zéro [9]. Par contre, il élimine efficacement les composantes du bruit spatial.

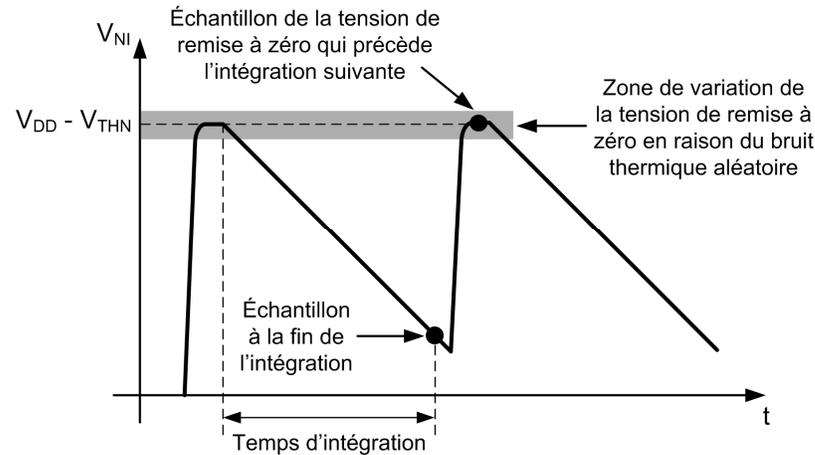


Figure 1.12 Échantillonnage différentiel de type remise à zéro (DRS)

Ces deux mécanismes de comparaison requièrent au minimum deux échantillonneurs bloqueurs et un amplificateur différentiel [22] et sont habituellement implémentés dans les circuits de colonne [21], [36]. Par conséquent, le bruit à patron fixe causé par les circuits de colonne n'est pas supprimé par ce procédé [36]. Pour remédier à cet inconvénient, on peut avoir recours à une utilisation aléatoire des circuits de colonne visant à répartir les variabilités [25]. D'autre part, notons que certains capteurs destinés à des applications spécialisées ne peuvent utiliser un mécanisme de comparaison séquentiel et externe aux pixels. Le cas échéant, on peut effectuer le double échantillonnage corrélé à l'intérieur même du pixel [18], ou encore réduire le bruit à patron fixe du pixel en utilisant une grille flottante incorporée au pixel [34].

#### 1.4.4 Gamme dynamique

La gamme dynamique d'un capteur quantifie son habileté à acquérir des scènes ayant une grande plage de luminosités [9]. Plus précisément, on peut définir la gamme dynamique comme étant le rapport entre le niveau maximal de signal en sortie sur le seuil de bruit déterminé par le courant de noirceur [9], [22], [36]. Cette caractéristique revêt une grande importance puisque certaines scènes naturelles exhibent des écarts dynamiques de contraste excédant 100dB [9] et que la gamme dynamique de l'oeil humain est supérieure à 90dB [9], [36]. La pellicule photosensible parvient à atteindre

une gamme dynamique d'environ 80dB [36], tandis que celle des capteurs CMOS actuels s'étend de 40dB à 60dB [9].

Il existe deux astuces fondamentales pour améliorer la gamme dynamique, soit réduire le courant de noirceur, ou encore augmenter le niveau de saturation du signal en optimisant les circuits électroniques ou en haussant la tension d'alimentation [36]. En outre, la gamme dynamique est indirectement influencée par le bruit temporel et le bruit à patron fixe, qui influencent la plage d'illumination pouvant être détectée [9]. Il est à noter qu'il est impossible d'accroître la gamme dynamique en augmentant le temps d'intégration, car le courant de noirceur est intégré au même titre que le signal lumineux [9]. De plus, bien que l'utilisation d'une technologie CMOS plus petite augmente le facteur de remplissage, les tensions d'alimentation plus faibles réduisent la gamme dynamique [36]. Cette difficulté a été contournée par [19] en utilisant deux types de photodétecteurs (une photogrille et une photodiode) et un procédé de remise à zéro innovateur, ce qui permet une gamme dynamique de 86dB avec une tension d'alimentation inférieure à 1V.

Les besoins sans cesse croissants en termes de performance ont mené à l'élaboration de plusieurs techniques avancées d'optimisation de la gamme dynamique. L'utilisation de capacités de débordement permet d'atteindre une gamme dynamique de 100dB [14], alors qu'en [26], une technique consistant à évaluer le temps d'intégration requis pour atteindre la saturation résulte en une gamme dynamique de 120dB. Une autre astuce, démontrée dans [16], réside en l'implémentation d'une compression dynamique interne au capteur utilisant une boucle de rétroaction négative pour moduler la capacité d'intégration la photodiode en variant la tension à ses bornes. Il est également possible d'effectuer une conversion lumière-fréquence intégrée au pixel pour obtenir une gamme dynamique expérimentale de 130dB [32]. L'application d'une méthode similaire par les auteurs de [8] génère une gamme dynamique simulée de 150dB. L'application de cette méthode de conversion se fait toutefois au détriment du facteur de remplissage, principalement en raison de l'ajout de plusieurs transistors à l'architecture du pixel.

## **1.5 Procédés de discrimination des couleurs**

Les photodétecteurs traditionnels sont sensibles à une pluralité de longueurs d'ondes comprises dans le spectre visible. Par conséquent, il est impossible de détecter les couleurs en l'absence d'un mécanisme externe [7], [21], [29]. Les sous-sections suivantes décrivent les quatre principaux procédés de discrimination des couleurs.

### **1.5.1 Méthode par expositions successives**

Comme son nom l'indique, la méthode par expositions successives consiste à illuminer la scène plusieurs fois à l'aide de sources lumineuses de différentes couleurs, tout en faisant l'acquisition d'une image à chaque exposition. La combinaison subséquente des images acquises durant ce processus permet d'obtenir une reproduction couleur de la scène [22], [29]. Cette méthode doit toutefois être employée avec une scène statique dans un environnement contrôlé [29] et son utilisation est habituellement réservée à certaines applications médicales [22].

### **1.5.2 Séparation des couleurs**

Afin de pallier aux inconvénients de la méthode par expositions successives, il est possible d'utiliser une exposition unique et de décomposer l'illumination résultante en plusieurs couleurs à l'aide d'un prisme. Chaque couleur ainsi extraite est traitée par sa propre matrice de pixels et les signaux sont combinés pour former l'image couleur [22], [29]. Puisque l'information couleur est traitée de façon identique après sa décomposition, la qualité de reproduction obtenue par l'utilisation de cette méthode est excellente. Malheureusement, celle-ci est onéreuse du fait qu'elle requiert plusieurs matrices de pixels [22]. De plus, elle comporte de nombreuses contraintes au niveau optique en raison de la précision requise pour assurer une décomposition exacte des couleurs [29]. Par conséquent, son utilisation est réservée aux caméras de très haute qualité destinées aux applications cinématographiques [22], [29].

### 1.5.3 Filtre chromatique

La méthode de discrimination des couleurs la plus répandue à ce jour consiste à superposer un filtre chromatique (CFA, *Color Filter Array*) à la matrice de pixels. Un tel filtre est déposé sur la matrice lors de la fabrication et il fait en sorte que seule la longueur d'onde désirée soit transmise au photodétecteur. Puisque l'on utilise trois couleurs en imagerie numérique (rouge, vert et bleu), il faut au moins trois pixels pour récupérer l'information couleur complète. La disposition que prennent ces trois couleurs sur le filtre varie selon le type de mosaïque utilisé. À cet effet, la grande majorité des filtres chromatiques utilisent une mosaïque à patron de Bayer [7], [9], [21], [22], [29]. Ce procédé consiste à diviser la matrice de pixels en sous-groupes carrés de quatre pixels et à appliquer le patron montré à la Figure 1.13a). Puisque le vert permet à l'oeil humain de récupérer la plupart du détail d'une scène ainsi que sa luminance, cette couleur est évaluée deux fois plus fréquemment que le bleu et le rouge [7], [21], [29]. Une matrice de pixels formée de plusieurs regroupements de mosaïques à patron de Bayer est montrée à la Figure 1.13b).

Pour reconstruire l'image détectée à l'aide d'un tel patron, on utilise des algorithmes d'interpolation spatiale [7], [9], ainsi que des filtres passe-bas. Il s'ensuit que la reconstruction de l'image peut donner lieu à des artifices, plus particulièrement si l'on traite de l'information comportant des composantes à haute fréquence, tels des changements abruptes de couleur [29]. Par ailleurs, puisque l'information couleur est détectée par un regroupement de pixels, la résolution spatiale d'un capteur couleur utilisant ce procédé de détection est réduite par rapport à celle d'un capteur monochrome [7]. Cette diminution de la résolution spatiale ne dépend pas uniquement du nombre de pixels qui composent le regroupement de la mosaïque, mais également de l'algorithme de reconstruction utilisé.

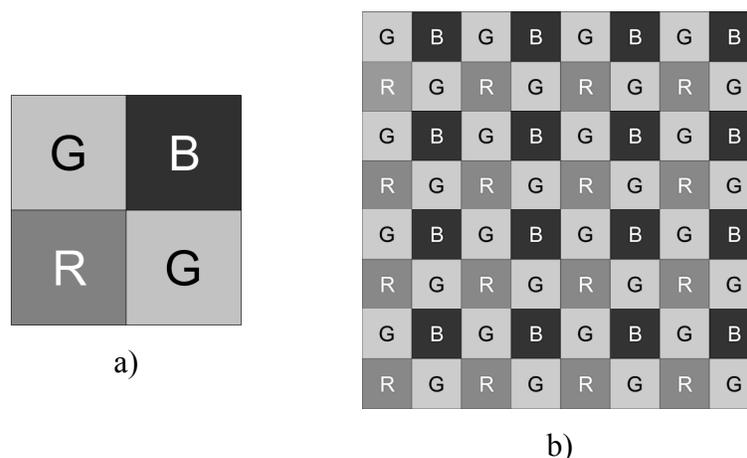


Figure 1.13 Mosaïque à patron de Bayer

a) Regroupement de quatre pixels; b) Matrice de pixels

Un désavantage additionnel de ce procédé de détection des couleurs est la réduction du rendement quantique due aux pertes de luminosité encourues lors du passage de la lumière à travers le filtre [7]. Enfin, notons que le procédé de dépôt du filtre requis lors de la fabrication, de même que l'implémentation des algorithmes d'interpolation augmentent le coût global du capteur [7].

#### 1.5.4 Discrimination spectrale verticale

Il a été démontré que la profondeur d'absorption de la lumière dans un matériau semi-conducteur dépend directement de sa longueur d'onde. Les longueurs d'ondes plus courtes, qui correspondent à la lumière bleue sont absorbées à la surface, tandis que la lumière rouge peut atteindre les régions plus profondes. Cette caractéristique peut être utilisée pour effectuer la séparation des couleurs [7], [21], [29]. Pour ce faire, il suffit de superposer des photodétecteurs à différentes profondeurs dans le substrat de la matrice de pixels, tel qu'illustré à la Figure 1.14 tirée de [7]. En vertu du fait qu'un même pixel puisse détecter trois couleurs, la résolution spatiale ne subit pas la même détérioration que celle entraînée par l'utilisation d'un filtre chromatique. Néanmoins, le procédé de fabrication d'un tel photodétecteur est hautement spécialisé, ce qui en augmente le coût de façon significative [7], [29]. D'autre part, en raison des faibles tensions de

polarisation inverse et du fort dopage des photodiodes, les zones de déplétion sont étroites, ce qui a pour effet de réduire l'efficacité de récupération des paires électron-trou et la sensibilité du capteur [3]. Pour ces raisons, cette méthode de détection des couleurs est peu utilisée [29] et sa seule utilisation commerciale à ce jour est la technologie X3 de la compagnie FOVEON INC. [10].

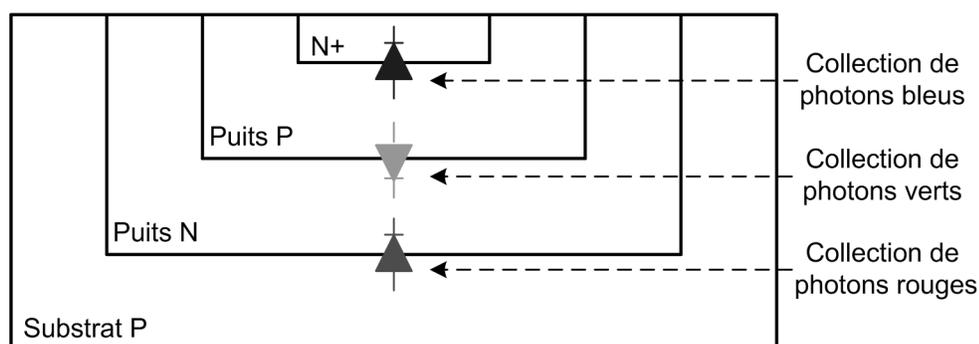


Figure 1.14 Discrimination spectrale verticale

## 1.6 Photodétecteur sans filtre innovateur

Afin de pallier aux inconvénients propres à la discrimination spectrale verticale traditionnelle, soient un coût élevé et une faible sensibilité, l'équipe de travail Foryon a développé et breveté un photodétecteur sans filtre qui emploie une technique de récupération des paires électron-trou innovatrice basée sur la force de Lorentz et l'effet Hall [2], [3]. La Figure 1.15 illustre la structure physique du photodétecteur sans filtre. Le fonctionnement détaillé de cette structure étant décrit de façon exemplaire dans [2], [3] et [7], nous nous contenterons ici d'un bref résumé qualitatif de son fonctionnement. Selon le principe de discrimination spectrale verticale, une lumière incidente pénètre le puits N jusqu'à une profondeur qui est fonction de sa longueur d'onde et génère ensuite un nombre de paires électron-trou qui dépend de l'intensité de la lumière captée. Un champ électrique,  $E$ , appliqué au puits N selon l'axe  $x$  à l'aide de deux contacts de type  $N^+$ , vient alors séparer et accélérer ces paires électron-trou. Un champ magnétique,  $B$ , provenant d'aimants permanents disposés autour du photodétecteur est appliqué selon la direction  $-z$  et dévie la trajectoire des trous vers l'axe  $y$  par la force de Lorentz.

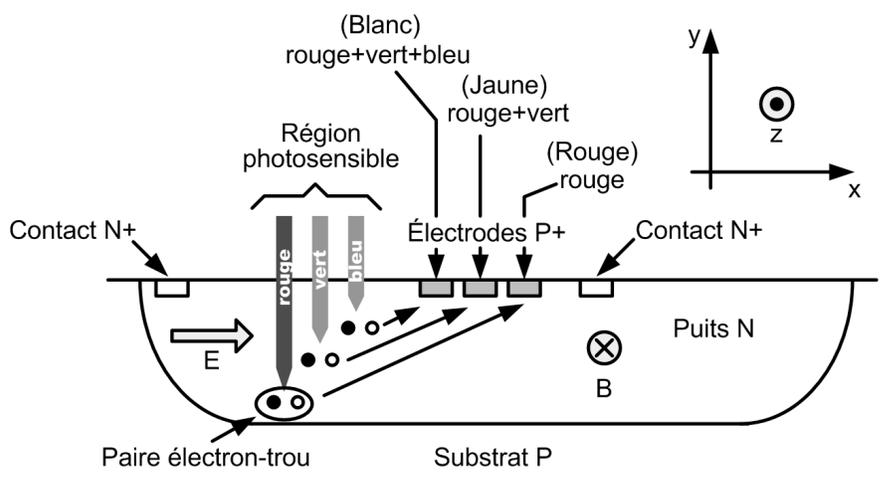


Figure 1.15 Photodétecteur sans filtre

On peut démontrer, par l'effet Hall, que le point d'arrivée de chaque trou à la surface selon l'axe  $x$  est fonction de la profondeur initiale de pénétration, c'est-à-dire de la longueur d'onde de la lumière incidente. Il est ainsi possible de positionner, à la surface du puits N, des électrodes formées d'implants de type  $P^+$  afin de récupérer les courants de trous issus du rayonnement. L'intensité de chacun de ces courants de trous correspond à la force de l'illumination sur une plage de longueur d'onde donnée.

Les concepteurs de cette structure ont choisi d'utiliser trois électrodes afin de respecter la convention de discrimination chromatique (couleurs RVB). L'électrode la plus rapprochée de la fenêtre d'acquisition de la lumière récupère les trous issus de toutes les longueurs d'ondes (électrode blanche), l'électrode du centre collecte les trous issus des photons rouge et vert (électrode jaune), alors que l'électrode la plus éloignée de la fenêtre ne capte que le courant de trous provenant de la lumière rouge (électrode rouge).

L'un des concepts-clé du fonctionnement réside en la polarisation inverse des jonctions PN que les électrodes de type  $P^+$  forment avec le puits N. En effet, cette polarisation inverse assure que les électrons contenus en grande quantité dans le puits N ne soient pas récupérés par les électrodes et, par conséquent, qu'il n'existe qu'un courant de trous.

Afin de respecter cette contrainte, il importe que la tension appliquée au contact  $N^+$  situé à proximité des électrodes soit la plus élevée possible. L'étude expérimentale décrite dans [7] démontre qu'une réduction du champ électrique appliqué au puits N diminue l'intensité du courant de trous, sans toutefois affecter le processus de discrimination des couleurs. De ce fait, il est possible de réduire la différence de tension entre les deux contacts  $N^+$  et faire en sorte que celles-ci se rapprochent de la tension d'alimentation, assurant du même coup une polarisation inverse pour toutes les tensions présentes aux électrodes.

Le comportement électrique d'une matrice carrée de 400 photodétecteurs a été étudié de façon approfondie dans [7]. Les réponses,  $R_B$ ,  $R_J$  et  $R_R$ , des trois types d'électrodes (blanche, jaune et rouge respectivement), données en A/W, ont été évaluées lorsque la matrice était soumise à un rayonnement laser de couleur rouge ( $\lambda = 635\text{nm}$ ). Il y est observé que les réponses dépendent de l'intensité du champ magnétique  $B$  auquel est soumis le capteur. Pour une valeur d'intensité du champ magnétique de 2.5T, on remarque les réponses suivantes :  $R_B = 15\text{mA/W}$ ,  $R_J = 3\text{mA/W}$  et  $R_R = 1.9\text{mA/W}$ . Pour une matrice de 400 photodétecteurs, l'équation exprimant la réponse d'une électrode est donnée par [7] comme étant :

$$R = \frac{\sum_{n=1}^{400} I_n}{P_L F_R} \quad (1.1)$$

Où  $I_n$  est le courant de sortie de chacune des électrodes de la couleur considérée,  $P_L$  est la puissance du faisceau laser captée par l'ensemble de la matrice et  $F_R$  est le facteur de remplissage de la matrice. Dans le cas de la matrice de pixels étudiée dans [7], les valeurs suivantes ont été employées pour les paramètres :  $P_L = 1.4\text{mW}$  et  $F_R = 9.42\%$ . On peut ainsi retrouver le courant moyen de sortie des électrodes,  $I_{(moy)}$ , pour chacune des couleurs :

$$I_{B(moy)} = \frac{R_B P_L F_R}{400} = 4.95 \text{ nA} \quad (1.2a)$$

$$I_{J(moy)} = \frac{R_J P_L F_R}{400} = 0.99 \text{ nA} \quad (1.2b)$$

$$I_{R(moy)} = \frac{R_R P_L F_R}{400} = 0.63 \text{ nA} \quad (1.2c)$$

Ces résultats sont pertinents, car ils signifient qu'il est possible, en première approximation, de modéliser chaque électrode du photodétecteur comme étant une source de courant idéale ayant une valeur approximative de 1nA. Ce modèle sera utilisé pour l'analyse et la conception du circuit du pixel actif décrit au chapitre 2.

## 1.7 Conclusion

Dans ce chapitre, nous avons survolé les principes de base des capteurs d'images CMOS. Plus spécifiquement, nous avons couvert les différentes architectures possibles pour le traitement des signaux, ainsi que les types de pixels qui sont présentement utilisés dans les capteurs commerciaux. Afin de qualifier la performance des capteurs d'images CMOS, nous avons introduit leurs principaux indicateurs de performance. Par la suite, nous avons présenté les différents procédés de discrimination des couleurs existants à ce jour. Finalement, les descriptions structurelle et électrique du photodétecteur sans filtre ont été explorées en vue de nous permettre de détailler l'analyse et la conception du prototype de capteur d'images CMOS au prochain chapitre.

## **CHAPITRE 2**

### **CONCEPTION DU PROTOTYPE DE CAPTEUR D'IMAGES**

#### **2.1 Introduction et contraintes de conception**

Le chapitre 1 a brièvement introduit la structure physique et le fonctionnement du photodétecteur sans filtre. En se basant sur ces notions, le présent chapitre vise à détailler les étapes de conception des circuits de lecture d'un prototype de capteur d'images utilisant ce photodétecteur sans filtre. Il est à noter que les circuits de balayage horizontal et vertical, ainsi que ceux qui génèrent le champ électrique requis par le photodétecteur sont omis, car ils ne font pas partie de ce projet.

L'objectif principal de ce prototype ne se résume pas uniquement à réaliser un prototype de capteur d'images fonctionnel à partir du photodétecteur sans filtre. Effectivement, il est primordial que ce prototype permette l'avancement de la caractérisation électrique du photodétecteur. Pour ce faire, l'équipe de travail Foryon a élaboré certaines contraintes de conception générales auxquelles les circuits conçus doivent se conformer.

##### **2.1.1 Architecture du capteur**

La première contrainte concerne l'architecture générale du capteur. La dimension désirée de la matrice de pixels est VGA/4, soit 320 colonnes par 240 rangées. De plus, dans le but de simplifier la logique de contrôle, celle-ci doit correspondre à la description donnée à la section 1.2.2 et illustrée à la Figure 1.2. Le capteur est donc entièrement analogique et les données doivent, au besoin, être traitées numériquement à l'extérieur du circuit intégré. De plus, contrairement aux capteurs d'images qui ne possèdent qu'une cellule photosensible par pixel, le photodétecteur sans filtre possède trois sorties analogiques par pixel (c.-à-d. une pour chacune des couleurs considérées blanc, jaune et rouge). Le capteur doit ainsi posséder un chemin de signal analogique indépendant entre le pixel et la sortie, et ce, pour chacune des trois couleurs.

### 2.1.2 Mode d'acquisition séquentiel

La seconde contrainte concerne le mode de fonctionnement séquentiel du capteur, qui doit naturellement être aussi simple que possible. On choisit donc un mode d'acquisition nommé « rolling readout » [36]. Assumant une matrice ayant  $N$  rangées et  $M$  colonnes et dont la sélection des rangées se fait avec l'indice  $n = [1, N]$  et la sélection des colonnes se fait avec l'indice  $m = [1, M]$ , les étapes séquentielles de l'acquisition « rolling readout » sont les suivantes :

- 1) Intégration simultanée du courant de sortie des  $M$  photodétecteurs d'une même rangée d'indice  $n$  ;
- 2) Échantillonnage des tensions de sortie des  $M$  pixels de cette rangée  $n$  dans un total de  $3M$  mémoires situées à chacune des colonnes ;
- 3) Lecture des données de façon séquentielle vers les sorties, une colonne à la fois (multiplexage temporel de  $M$  colonnes, donc  $3M$  lectures au total) ;
- 4) Répétition des étapes 1), 2) et 3) pour les prochaines rangées de pixels jusqu'à la rangée  $N$ .

Selon l'implémentation des signaux de balayage et de contrôle, l'intégration de la rangée d'indice  $n+1$  peut s'effectuer en même temps que la lecture des données de la rangée d'indice  $n$ , ce qui contribue à réduire le temps d'acquisition total. À cet effet, mentionnons qu'aucune durée spécifique n'est imposée pour l'acquisition d'une image. On sait toutefois que le temps d'intégration doit être de l'ordre de quelques microsecondes afin de respecter les valeurs typiques rencontrées dans les capteurs d'images CMOS actuels [8], [14], [28].

### 2.1.3 Architecture du pixel

La troisième contrainte a pour objectif de minimiser le bruit total et d'isoler le photodétecteur des bus de colonne. Pour ce faire, on choisit d'utiliser une structure de pixel actif constituée du photodétecteur sans filtre, d'une capacité d'intégration, d'un

amplificateur qui alimente les bus de colonne et de portes de transmission de remise à zéro et d'échantillonnage.

#### **2.1.4 Interface avec les périphériques externes**

Afin d'éviter la dégradation des signaux analogiques lors de l'interface avec les périphériques externes au circuit intégré, on choisit d'utiliser des tampons de sortie pour alimenter les plots de sortie. De plus, afin de procurer un maximum de flexibilité, les tensions continues et de polarisation ne sont pas générées à même le circuit intégré, mais appliquées à partir de sources de tension externes.

#### **2.1.5 Taille du pixel**

La cinquième contrainte concerne la minimisation de la surface occupée par le pixel dans le but d'optimiser le facteur de remplissage et la densité de pixels sur la matrice. Il va de soi que la taille d'un pixel dépend de la longueur minimale de la technologie de fabrication utilisée. On peut ainsi définir un indice de performance,  $\alpha$ , qui représente le rapport entre la surface totale du pixel et la longueur minimale de la technologie utilisée. Cet indice possède l'avantage de prendre en considération les géométries des pixels qui ne sont pas carrées. Pour les pixels documentés au chapitre 1, le rapport  $\alpha$  vaut en moyenne environ  $400\mu\text{m}$  [11], [12], [14], [15], [16], [18], [20], [26], [34], [37]. Il s'ensuit que le prototype doit avoir un indice  $\alpha$  d'environ  $1600\mu\text{m}$  compte tenu qu'il faut habituellement quatre pixels pour décoder l'information couleur en utilisant un filtre chromatique à patron de Bayer.

#### **2.1.6 Performances du capteur**

La dernière contrainte concerne la gamme dynamique et la linéarité, qui doivent être maximisées afin de caractériser correctement le photodétecteur. En ce qui a trait à la consommation de puissance du prototype, aucune limite particulière n'est imposée.

### 2.1.7 Technologie CMOS

Le capteur doit être fabriqué en employant la technologie CMOS TSMC 0.25 $\mu$ m et doit utiliser les transistors à couche d'oxyde de grille épais (« thick oxide ») qui peuvent supporter une tension d'alimentation  $V_{DD} = 3.3V$  afin de maximiser la plage d'opération linéaire.

## 2.2 Architecture des circuits de lecture

### 2.2.1 Architecture générale des circuits de lecture

La Figure 2.1 illustre l'architecture choisie pour les blocs de traitement du signal analogique du prototype en considérant à nouveau une matrice ayant  $N$  rangées et  $M$  colonnes. Pour des fins de concision, seuls les pixels situés aux coins de la matrice sont montrés et la continuité des signaux est indiquée en traits pointillés. Cette architecture est compatible avec la méthode d'acquisition « rolling readout » discutée à la section précédente. En effet, toutes les portes de transmission de remise à zéro ( $RZ$ ) et d'échantillonnage ( $ECH$ ) des pixels d'une même rangée sont reliées ensemble de façon à permettre simultanément l'intégration et l'échantillonnage de tous les pixels de cette rangée. Les circuits de colonne sont composés de deux séries de portes de transmission.

La première série de portes de transmission est activée par le même signal d'échantillonnage,  $ECH_n$ , que les pixels de la rangée  $n$  qui est lue. Celles-ci permettent d'abord de mémoriser la tension de sortie des pixels de cette rangée dans une capacité d'échantillonnage et ensuite d'isoler cette capacité par rapport aux bus de colonnes pour réduire les fuites de charges. La deuxième série de portes de transmission permet la lecture des tensions échantillonnées vers les bus de sortie. Notons que chaque colonne possède son propre signal de lecture,  $LEC_m$ .

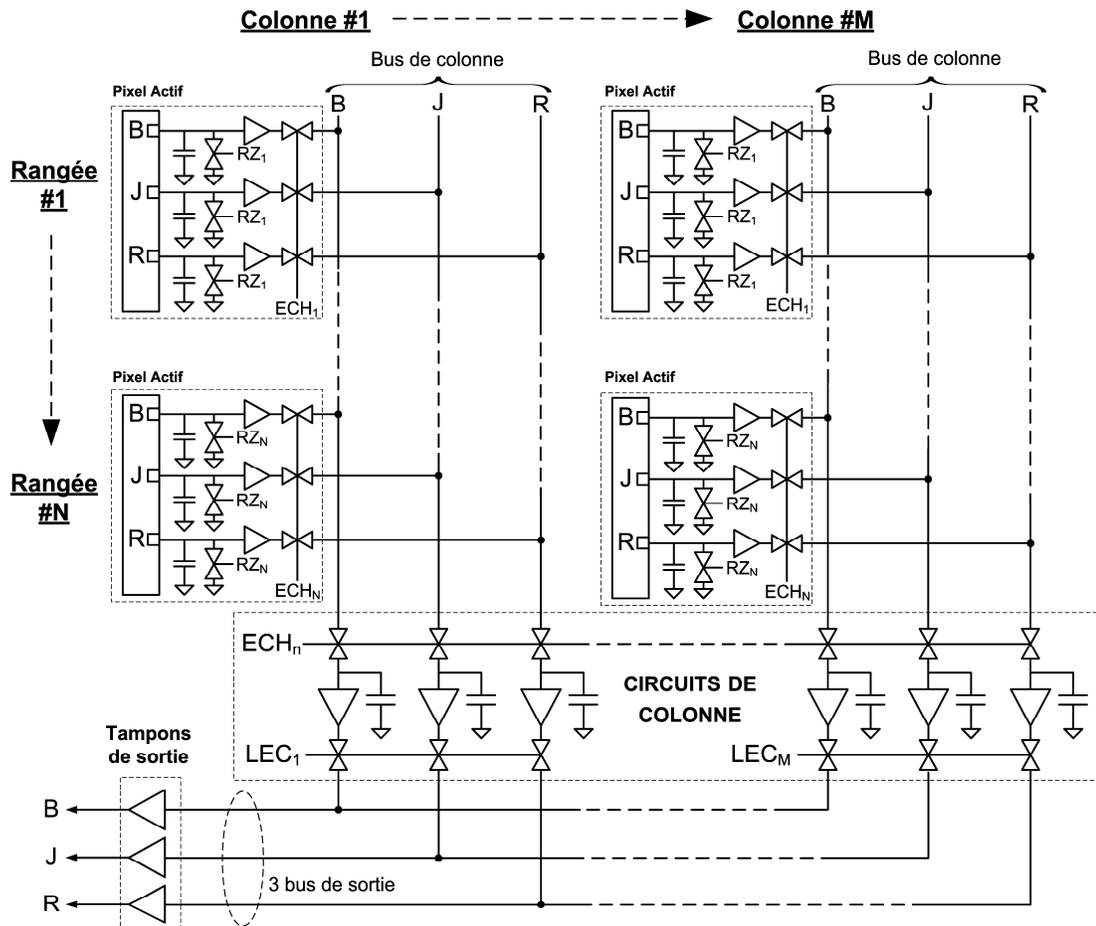


Figure 2.1 Architecture des circuits de lecture

### 2.2.2 Portes de transmission

Les portes de transmission illustrées à la Figure 2.1 peuvent être du type NMOS, PMOS ou CMOS. Ces trois types de portes de transmission, ainsi que leurs principales caractéristiques sont étudiés en détails à la section A.1 de l'annexe A. Il en ressort qu'il est préférable d'utiliser des portes de transmission CMOS pour l'ensemble du prototype afin de maximiser la plage de tension qu'il est possible de transférer (en vue d'optimiser la gamme dynamique) et de réduire le phénomène d'injection de charge. Dans le but de minimiser la surface occupée, les transistors NMOS et PMOS qui composent ces portes sont de taille minimale. Par conséquent, celles-ci ne sont pas optimisées en vue de réduire le courant de fuite, l'injection de charge et le phénomène de « clock

feedthrough ». Leur caractérisation électrique a été effectuée à l'aide de simulations et les résultats sont présentés à la section A.2. Par ailleurs, dans le but de faciliter l'étude de circuits comprenant des portes de transmission, la section A.3 introduit un modèle électrique simplifié auquel nous ferons référence lors de l'étude des différents circuits de la Figure 2.1.

### 2.2.3 Bus de colonne et de sortie

La Figure 2.1 permet de constater que les bus de colonne et de sortie sont d'autant plus longs que les dimensions de la matrice de pixel sont grandes. Puisqu'une matrice de pixels ayant  $N = 240$  rangées et  $M = 320$  colonnes est envisagée, les non-idéalités des bus ne doivent pas être ignorées lors du processus de conception. Pour cette raison, celles-ci ont été modélisées théoriquement à l'annexe B. Plus spécifiquement, des équations simplifiées permettant d'estimer les délais de propagation des signaux sur ces bus sont données.

## 2.3 Circuits du pixel actif

### 2.3.1 Intégrateur inverseur

Nous avons vu que chacune des trois électrodes du photodétecteur sans filtre produit un courant de trous proportionnel à l'illumination correspondant à sa longueur d'onde de sélection. Nous avons également explicité la condition qui stipule que la jonction PN formée par les électrodes  $P^+$  et le puits N doit demeurer en polarisation inverse durant toutes les phases d'opération du capteur. Dans le but d'optimiser la linéarité, on souhaite également maintenir une tension constante aux électrodes durant l'intégration. De plus, cette tension doit être variable afin de permettre la caractérisation du photodétecteur. En raison de sa structure à rétroaction négative, l'intégrateur inverseur (aussi nommé intégrateur de Miller) [24] peut remplir ce mandat. Un tel circuit permet par ailleurs de combiner la phase d'intégration avec le processus d'amplification. La Figure 2.2 illustre un pixel actif utilisant un intégrateur inverseur.

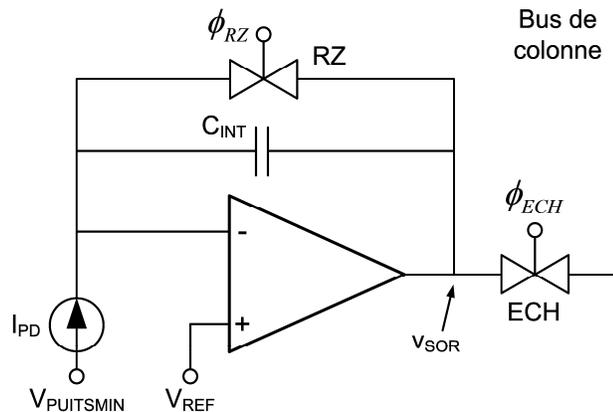


Figure 2.2 Pixel actif à intégrateur inverseur

Notons d'abord que le courant de sortie du photodétecteur est modélisé par une source de courant constant idéale,  $I_{PD}$ , et que la capacité d'intégration,  $C_{INT}$ , est située dans la boucle de rétroaction négative. On remarque ensuite qu'une porte de transmission de remise à zéro,  $RZ$ , est connectée en parallèle avec la capacité  $C_{INT}$  et permet de la décharger lorsque le signal  $\phi_{RZ}$  est actif. Finalement, une porte de transmission d'échantillonnage,  $ECH$ , commandée par le signal  $\phi_{ECH}$ , permet de transférer la tension de sortie de l'amplificateur opérationnel,  $v_{SOR}$ , vers le bus de colonne pour en permettre l'échantillonnage.

L'étude de ce circuit est facilitée par la décomposition de son fonctionnement en trois phases distinctes : la remise à zéro, l'intégration et l'échantillonnage. Précisons d'emblée que nous considérons pour l'instant que l'amplificateur opérationnel et les portes de transmission ont un comportement idéal.

### 2.3.1.1 Phase de remise à zéro

Durant la phase de remise à zéro, le signal  $\phi_{RZ}$  est actif, tandis que  $\phi_{ECH}$  est inactif. La porte de transmission  $RZ$  décharge donc la capacité d'intégration et relie la sortie de l'amplificateur à l'entrée négative, alors que la porte  $ECH$  isole le bus de colonne de la sortie de l'amplificateur. On obtient ainsi une configuration suiveur de tension qui

transmet la tension continue de référence appliquée à l'entrée positive,  $V_{REF}$ , vers la sortie de l'amplificateur et l'électrode située à l'entrée négative.

### 2.3.1.2 Phase d'intégration

L'intégration débute après la phase de remise à zéro. C'est alors que  $\phi_{RZ}$  devient inactif, tandis que  $\phi_{ECH}$  le demeure. De ce fait, les deux portes de transmission se comportent comme des circuits ouverts. Puisque la résistance d'entrée de l'amplificateur est infinie, il n'y a pas de courant continu qui entre à son terminal négatif. Conséquemment, la totalité du courant constant en provenance du photodétecteur est intégré aux bornes de  $C_{INT}$ . Considérant un gain en tension en boucle ouverte infini, la tension de référence appliquée à l'entrée positive,  $V_{REF}$ , apparaît à l'électrode située à l'entrée négative de l'amplificateur :

$$V^- = V^+ = V_{REF} \quad (2.1)$$

Posant  $\Delta t$  le délai qui s'est écoulé depuis le début de la phase d'intégration, l'équation de charge de la capacité d'intégration s'écrit comme suit, où  $v_{SOR}(\Delta t)$  est la tension de sortie de l'amplificateur après un délai  $\Delta t$  :

$$Q = I_{PD}\Delta t = C_{INT} (V^- - v_{SOR}(\Delta t)) \quad (2.2)$$

Isolant  $v_{SOR}(\Delta t)$  dans (2.2) et utilisant l'équation (2.1) pour exprimer  $V^-$ , il vient :

$$v_{SOR}(\Delta t) = V_{REF} - \frac{I_{PD}\Delta t}{C_{INT}} \quad (2.3)$$

Il s'ensuit que la tension de sortie de l'amplificateur possède une pente négative dont la valeur dépend de l'intensité du courant de sortie du photodétecteur,  $I_{PD}$ .

### 2.3.1.3 Phase d'échantillonnage

La phase d'échantillonnage se superpose à la phase d'intégration et survient à l'instant  $\Delta t$ . C'est alors que s'active le signal  $\phi_{ECH}$  dans le but de relier la sortie de l'amplificateur au bus de colonne et ainsi permettre l'échantillonnage du signal dans les circuits de colonne situés en périphérie de la matrice de pixels. Puisque la résistance de sortie de l'amplificateur est considérée nulle, le transfert des charges sur le bus de colonne capacitif est rapide et le temps d'activation de la porte de transmission  $ECH$  peut être très court. Notons que l'on choisit habituellement une valeur de  $\Delta t$  légèrement inférieure à la durée totale d'intégration dans le but d'optimiser le temps de lecture de l'ensemble de la matrice. La Figure 2.3 illustre la tension de sortie de l'amplificateur,  $v_{SOR}$ , pour deux cycles successifs d'opération du pixel. L'illumination est supposée plus intense pour la seconde intégration que pour la première. La tension d'échantillonnage de la première intégration,  $v_{SOR1}(\Delta t)$ , est donc plus élevée que celle de la seconde intégration,  $v_{SOR2}(\Delta t)$ , ce qui concorde avec le comportement décrit par l'équation (2.3). Si le photodétecteur n'est soumis à aucune illumination et que son courant de noirceur est très faible, la tension échantillonnée s'approche de la tension de référence,  $V_{REF}$ . Le degré d'illumination du photodétecteur est donc calculé en évaluant l'écart de tension entre l'échantillon obtenu au temps  $\Delta t$  et la tension de référence,  $V_{REF}$ .

Quelle que soit la phase d'opération du pixel actif, la tension à l'entrée négative de l'amplificateur, donc à l'électrode de type  $P^+$ , est égale à  $V_{REF}$ . Si le puits N du photodétecteur est connecté à une tension s'approchant de la tension d'alimentation,  $V_{DD}$ , alors la tension  $V_{REF}$  peut être comprise entre 0V et  $V_{DD}$  sans que la jonction  $P^+N$  du photodétecteur ne devienne en polarisation directe. Il est donc avantageux de maximiser  $V_{REF}$  afin d'augmenter la gamme dynamique.

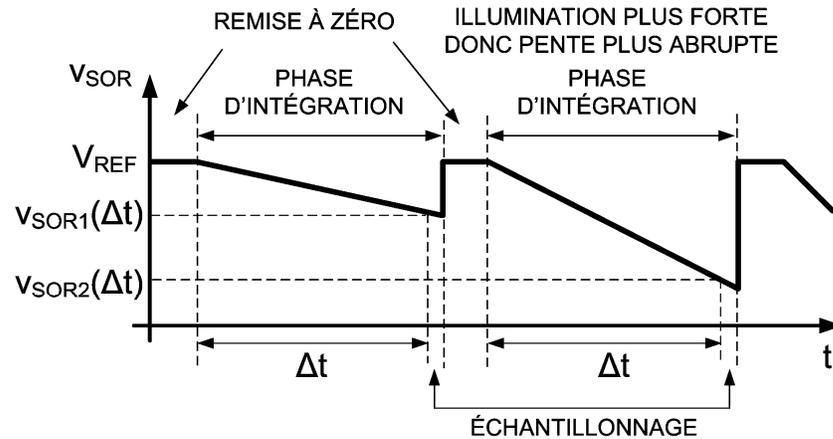


Figure 2.3 Tension de sortie du pixel actif à intégrateur inverseur

### 2.3.2 Intégrateur inverseur à paire différentielle

L'implémentation sous forme de circuit intégré de la topologie de circuit montrée à la Figure 2.2 pose problème en raison de la surface considérable occupée par l'amplificateur. Puisqu'il faut trois amplificateurs par pixel, le facteur de remplissage diminue rapidement avec la complexité de la structure choisie pour réaliser l'amplificateur. Il apparaît donc clair qu'un amplificateur opérationnel intégré à étages multiples tel que décrit dans [17] et [23] est exclu. Or, nous avons vu que le bus de colonne forme une charge principalement capacitive. Il est donc possible d'omettre les étages de sortie de l'amplificateur opérationnel et d'utiliser une paire différentielle à charge active simple, comme l'illustre la Figure 2.4. Tel qu'observé à la Figure 2.3, la tension de sortie de l'amplificateur,  $V_{SOR}$ , doit idéalement couvrir une plage qui s'étend de 0V à  $V_{REF}$ . C'est pourquoi on choisit une topologie différentielle ayant des transistors d'entrée de type PMOS et des charges actives de type NMOS. Les composants présents dans la boucle de rétroaction de l'amplificateur à la Figure 2.2 sont connectés entre la sortie de la paire différentielle (drain de  $M_5$ ) et son entrée négative (grille de  $M_3$ ).

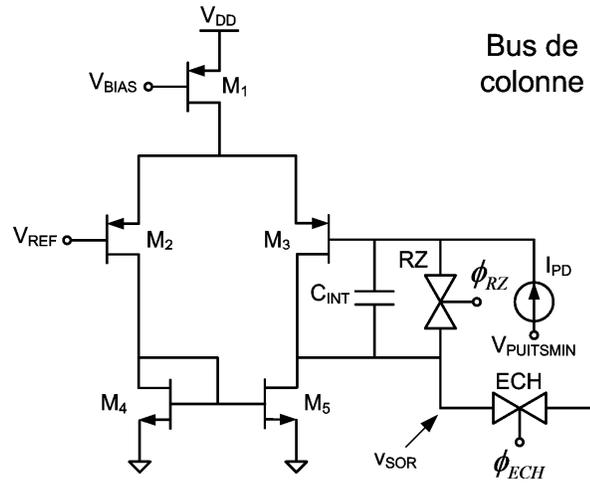


Figure 2.4 Pixel actif à intégrateur inverseur avec paire différentielle

Avant de procéder à l'analyse de ce circuit, énonçons les hypothèses suivantes :

- les transistors sont appariés tels que  $(W/L)_2 = (W/L)_3$  et  $(W/L)_4 = (W/L)_5$  ;
- les transistors NMOS ( $M_4$  et  $M_5$ ) possèdent une tension de seuil  $V_{THN0}$  ;
- les transistors PMOS ( $M_1$ ,  $M_2$  et  $M_3$ ) possèdent une tension de seuil  $V_{THP0}$  ;
- l'effet de substrat est identique sur  $M_2$  et  $M_3$ , donc  $v_{TH2} = v_{TH3} = v_{TH2,3}$  ;
- il n'y a pas d'effet de substrat sur  $M_1$ , donc  $V_{TH1} = V_{THP0}$  ;
- il n'y a pas d'effet de substrat sur  $M_4$  et  $M_5$ , donc  $V_{TH4} = V_{TH5} = V_{THN0}$  ;
- la constante  $\beta_{N,P}$  est donnée par  $\mu_{N,P} C_{ox} (W_{N,P}/L_{N,P})$  ;
- les canaux des transistors sont suffisamment longs ( $L > 2L_{min}$ ) pour permettre de négliger les effets de canal court (« short-channel effects ») ;
- sauf avis contraire, on assume que les transistors sont profondément en région de saturation, c'est-à-dire  $V_{DS} \gg V_{GS} - V_{THN}$  pour les transistors NMOS et que  $V_{SD} \gg V_{SG} + V_{THP}$  pour les transistors PMOS.

### 2.3.2.1 Comportement de la paire différentielle

Avant d'effectuer l'étude des diverses phases d'opération du pixel actif, il convient de caractériser la paire différentielle illustrée à la Figure 2.5. La relation qui existe entre les tensions  $v_{G2}$  et  $v_{G3}$  et la tension de sortie,  $v_{SOR}$ , est particulièrement intéressante, car celle-ci détermine le comportement de l'intégrateur inverseur décrit à la section 2.3.1.

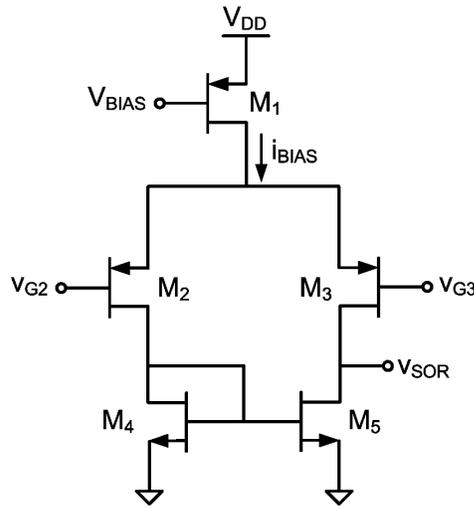


Figure 2.5 Paire différentielle utilisée pour réaliser l'intégrateur inverseur

La polarisation de la paire différentielle, formée des transistors  $M_2$  et  $M_3$ , est assurée par le transistor  $M_1$  qui fournit un courant  $i_{BIAS}$  donné par :

$$i_{BIAS} = i_{D1} = \frac{\beta_1}{2} (V_{DD} - V_{BIAS} + V_{THP0})^2 (1 + \lambda_1 (V_{DD} - v_{S2,3})) \quad (2.4)$$

Dans le cas où le coefficient de modulation de longueur de canal,  $\lambda_1$ , est faible, le courant  $i_{BIAS}$  est approximativement constant et il est exprimé par :

$$I_{BIAS} \approx \frac{\beta_1}{2} (V_{DD} - V_{BIAS} + V_{THP0})^2 \quad (2.5)$$

Les courants de drain des transistors  $M_2$  et  $M_3$  s'écrivent comme suit, où l'on note que la tension de seuil  $v_{TH2,3}$  dépend de la tension  $v_{S2,3}$  en vertu de l'effet de substrat :

$$i_{D2} = \frac{\beta_{2,3}}{2} (v_{S2,3} - v_{G2} + v_{TH2,3})^2 (1 + \lambda_{2,3} (v_{S2,3} - v_{D4})) \quad (2.6)$$

$$i_{D3} = \frac{\beta_{2,3}}{2} (v_{S2,3} - v_{G2} + v_{TH2,3})^2 (1 + \lambda_{2,3} (v_{S2,3} - v_{SOR})) \quad (2.7)$$

Puisque  $v_{D4} = v_{G4} = v_{G5}$ , les courants de drain des transistors  $M_4$  et  $M_5$  sont :

$$i_{D4} = \frac{\beta_{4,5}}{2} (v_{D4} - V_{THN0})^2 (1 + \lambda_{4,5} v_{D4}) \quad (2.8)$$

$$i_{D5} = \frac{\beta_{4,5}}{2} (v_{D4} - V_{THN0})^2 (1 + \lambda_{4,5} v_{SOR}) \quad (2.9)$$

Par inspection, on a  $i_{D2} = i_{D4}$ , ce qui nous permet d'exprimer<sup>1</sup> la tension  $v_{G2}$  en combinant les équations (2.6) et (2.8) :

$$v_{G2} = v_{S2,3} + v_{TH2,3} - \sqrt{\frac{\beta_{4,5} (v_{D4} - V_{THN0})^2 (1 + \lambda_{4,5} v_{D4})}{\beta_{2,3} (1 + \lambda_{2,3} (v_{S2,3} - v_{D4}))}} \quad (2.10)$$

De façon identique, on a  $i_{D3} = i_{D5}$  et on exprime  $v_{G3}$  en combinant les équations (2.7) et (2.9) :

$$v_{G3} = v_{S2,3} + v_{TH2,3} - \sqrt{\frac{\beta_{4,5} (v_{D4} - V_{THN0})^2 (1 + \lambda_{4,5} v_{SOR})}{\beta_{2,3} (1 + \lambda_{2,3} (v_{S2,3} - v_{SOR}))}} \quad (2.11)$$

---

<sup>1</sup> Plus exactement, la tension  $V_{REF}$  s'exprime en solutionnant une équation cubique lorsque l'hypothèse simplificatrice  $V_{SD} \gg V_{SG} + V_{THP}$  n'est pas appliquée.

Introduisons la tension de décalage,  $\varepsilon = v_{G2} - v_{G3}$ , que l'on obtient en soustrayant (2.11) de (2.10) :

$$\varepsilon = \underbrace{\sqrt{\frac{\beta_{4,5}(v_{D4} - V_{THN0})^2}{\beta_{2,3}}}}_A \left[ \underbrace{\sqrt{\frac{1 + \lambda_{4,5}v_{SOR}}{1 + \lambda_{2,3}(v_{S2,3} - v_{SOR})}}}}_B - \underbrace{\sqrt{\frac{1 + \lambda_{4,5}v_{D4}}{1 + \lambda_{2,3}(v_{S2,3} - v_{D4})}}}}_C \right] \quad (2.12)$$

Soulignons d'abord que si l'on suppose  $\lambda_{2,3} = \lambda_{4,5} = 0$ , on a  $B = C = 1$  et la tension de décalage s'annule, car le courant de polarisation,  $I_{BIAS}$ , se sépare en deux parts identiques dans chacune des branches différentielles, et ce, quelles que soient les tensions  $v_{SOR}$ ,  $v_{S2,3}$  et  $v_{D4}$ . Si l'on considère  $\lambda_{2,3} \neq 0$  et  $\lambda_{4,5} \neq 0$ , la tension de décalage s'annule uniquement dans le cas particulier où  $v_{SOR} = v_{D4}$ , peu importe la tension  $v_{S2,3}$ . Ce résultat s'explique par le fait que, si l'on tient compte de l'effet de modulation de longueur du canal, le courant de polarisation se divise en deux parts égales si et seulement si les tensions des branches différentielles sont identiques en tous points. Lorsque  $v_{SOR} < v_{D4}$ , on a  $(B - C) < 0$  et la tension de décalage est négative. Au contraire, si  $v_{SOR} > v_{D4}$ , il vient  $(B - C) > 0$  et la tension de décalage est positive. Cependant, quel que soit le signe de la tension de décalage, son amplitude est d'autant plus importante que l'écart entre  $v_{SOR}$  et  $v_{D4}$  est grand. Cette analyse nous permet de conclure qu'il est impossible d'annuler la tension de décalage pour toute la plage de valeurs admissibles de la tension  $v_{SOR}$ . Il est toutefois possible d'optimiser les paramètres physiques et électriques du circuit de façon à minimiser la tension de décalage.

Les coefficients  $\lambda_{2,3}$  et  $\lambda_{4,5}$  étant généralement petits, il est pertinent de supposer que la tension de décalage,  $\varepsilon$ , est une variation à petite échelle superposée à un point d'opération où le courant  $I_{BIAS}$  se répartit également dans chacune des branches du circuit. Les tensions  $v_{D4}$  et  $v_{S2,3}$  s'écrivent alors comme suit :

$$v_{D4} \approx V_{D4} = V_{THNO} + \sqrt{\frac{I_{BIAS}}{\beta_{4,5}}} \quad (2.13)$$

$$v_{S2,3} \approx V_{S2,3} = V_{G2} + V_{TH2,3} + \sqrt{\frac{I_{BIAS}}{\beta_{2,3}}} \quad (2.14)$$

La tension  $V_{D4}$  est donc proportionnelle à  $\sqrt{I_{BIAS}}$ , ce qui nous permet de considérer que le facteur  $A$  de l'équation (2.12) est constant pour un courant de polarisation,  $I_{BIAS}$ , donné. En effet, substituer (2.13) dans (2.8) en négligeant  $\lambda_{4,5}$  procure un courant  $I_{D4} = I_{BIAS}/2$ . Il est maintenant possible de déterminer une relation linéaire entre la tension de sortie,  $v_{SOR}$ , et la tension de décalage,  $\varepsilon$ . Utilisant l'approximation bien connue  $\sqrt{1+x} \approx 1+x/2$  pour  $x$  petit et négligeant les termes en  $\lambda^2$ , car  $\lambda$  est habituellement faible, on réécrit l'équation (2.12) comme suit :

$$\varepsilon \approx \sqrt{\frac{I_{BIAS}}{\beta_{2,3}}} \left[ \frac{(v_{SOR} - V_{D4})(\lambda_{2,3} + \lambda_{4,5})}{2 + \lambda_{2,3}(2V_{S2,3} - V_{D4} - v_{SOR})} \right] \quad (2.15)$$

Isolant  $v_{SOR}$  et négligeant les termes contenant  $\varepsilon\lambda$ , car  $\varepsilon$  est petit, on trouve :

$$v_{SOR} \approx V_{D4} + \frac{\varepsilon \sqrt{\beta_{2,3}}}{(\lambda_{2,3} + \lambda_{4,5})(\sqrt{I_{BIAS}}/2)} \quad (2.16)$$

On obtient  $A_v = v_{sor}/(v_{g2} - v_{g3})$ , le gain en tension petit signal différentiel du circuit :

$$A_v = \frac{v_{sor}}{v_{g2} - v_{g3}} \approx \frac{\sqrt{\beta_{2,3}}}{(\lambda_{2,3} + \lambda_{4,5})(\sqrt{I_{BIAS}}/2)} \quad (2.17)$$

Les coefficients de modulation de longueur du canal,  $\lambda_{2,3}$  et  $\lambda_{4,5}$ , sont respectivement inversement proportionnels à  $L_{2,3}$  et  $L_{4,5}$  [5], [17], [23]. Posant  $\lambda = \eta/L$ , où  $\eta$  est une constante positive et non-nulle qui dépend du procédé de fabrication et exprimant  $\beta_{2,3}$  en fonction des dimensions physiques des transistors, il vient :

$$A_v = \frac{v_{sor}}{v_{g2} - v_{g3}} \approx \frac{\sqrt{\mu_p C_{ox} W_{2,3}}}{\eta (1/L_{2,3} + 1/L_{4,5}) (\sqrt{L_{2,3} I_{BIAS}} / 2)} \quad (2.18)$$

Cette expression tend idéalement vers l'infini de sorte que la tension de décalage  $v_{g2} - v_{g3}$  soit minimisée. Pour ce faire, il faut d'abord maximiser  $W_{2,3}$  et minimiser  $I_{BIAS}$ . Dans le cas de  $L_{2,3}$  et  $L_{4,5}$ , le dénominateur de l'équation (2.18) atteint un minimum lorsqu'ils possèdent la même valeur et que celle-ci est maximale. Si  $L_{2,3} > L_{4,5}$ , on doit réduire  $L_{2,3}$ , alors que lorsque  $L_{2,3} < L_{4,5}$ , il faut augmenter  $L_{2,3}$ . Dans les deux cas, on cherche à faire tendre  $L_{2,3}$  vers  $L_{4,5}$ .

L'analyse petit signal laisse croire que la tension de décalage est indépendante du paramètre  $W_{4,5}$ , ce qui est faux dans le cadre de l'application spécifique qu'est l'intégrateur inverseur. Nous avons mentionné précédemment que l'amplitude de la tension de décalage est d'autant plus petite que l'écart entre  $v_{SOR}$  et  $v_{D4}$  est faible. De plus, il a été vu, à la section 2.3.1, qu'il est souhaitable que la tension de référence,  $V_{REF}$ , se rapproche autant que possible de  $V_{DD}$  afin de maximiser la gamme dynamique du capteur. Or, l'équation (2.13) montre que la tension  $v_{D4} \approx V_{D4}$  se rapproche de la tension de seuil,  $V_{THN0}$ , pour un courant  $I_{BIAS}$  faible et un gain en transconductance,  $\beta_{4,5}$ , élevé. Puisque  $V_{THN0}$  vaut typiquement 0.53V, soit 16% de  $V_{DD}$ , il apparaît clair que l'inégalité  $v_{SOR} > v_{D4}$  est vérifiée durant la majorité des cas lorsque la tension  $V_{REF}$  est maximisée et que le temps d'intégration est calibré pour qu'il n'y ait pas saturation du signal. Il s'ensuit qu'il est avantageux de réduire l'écart entre  $v_{SOR}$  et  $v_{D4}$  en minimisant le terme  $\beta_{4,5}$ . Les comportements de  $I_{BIAS}$  et de  $L_{4,5}$  étant déterminés par les critères de

maximisation de l'équation (2.18), l'unique moyen disponible pour diminuer  $\beta_{4,5}$  réside en la réduction du paramètre  $W_{4,5}$ .

### 2.3.2.2 Phase de remise à zéro (régime permanent)

La phase de remise à zéro se divise en deux régimes distincts : le régime transitoire et le régime permanent. Supposons d'abord que la porte de transmission  $ECH$  est désactivée depuis la fin de la phase d'échantillonnage précédente. À l'instant où débute la phase de remise à zéro, la porte de transmission  $RZ$  est activée en vue d'établir une connexion entre le drain du transistor  $M_5$  et la grille du transistor  $M_3$ . Il existe alors un régime transitoire durant lequel la capacité d'intégration se décharge à travers la résistance équivalente de la porte de transmission  $RZ$ . Après un certain temps, il est raisonnable d'assumer que la capacité d'intégration est complètement déchargée et qu'un régime permanent est atteint. On peut alors supposer que la totalité des tensions et des courants du circuit sont invariants dans le temps<sup>2</sup>. Cet état stable est le point de départ du cycle de fonctionnement du pixel actif, car il établit les conditions initiales du circuit lors des phases d'intégration et d'échantillonnage. Il est donc pertinent de s'y attarder en premier lieu. Pour sa part, le régime transitoire représente la fin du cycle d'opération du pixel et sera analysé suite aux phases d'intégration et d'échantillonnage.

Remplaçant les portes de transmission de la Figure 2.4 par leurs modèles équivalents et négligeant toutes les capacités en raison de l'invariance par rapport au temps, on obtient le circuit illustré à la Figure 2.6. On note d'abord que la grille du transistor  $M_2$  est reliée à la tension continue de référence,  $V_{REF}$ , alors que la grille du transistor  $M_3$  est connectée à son drain par l'entremise de la résistance  $R_{ON}$  de la porte de transmission  $RZ$  active.

---

<sup>2</sup> On néglige ici le bruit de remise à zéro qui sera étudié ultérieurement.

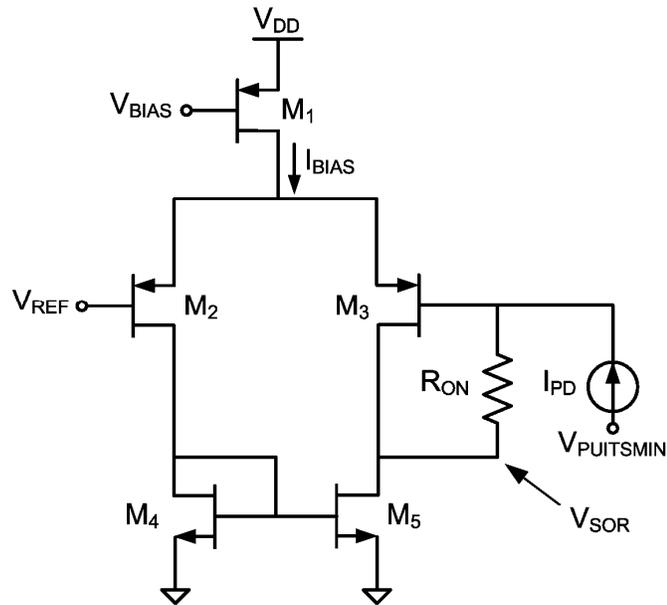


Figure 2.6 Pixel actif lors de la phase de remise à zéro (régime permanent)

Appliquant les lois de Kirchhoff au nœud  $V_{SOR}$ , on obtient :

$$I_{D3} = I_{D5} - I_{PD} \quad (2.19)$$

$$V_{SOR} = V_{G3} - R_{ON} I_{PD} \quad (2.20)$$

Le courant de sortie du photodétecteur,  $I_{PD}$ , a été estimé à environ 1nA au chapitre 1, ce qui le rend négligeable par rapport à  $I_{D5}$ , qui est minimalement de l'ordre de plusieurs centaines de nA. D'autre part, puisque  $R_{ON}$  vaut environ 10k $\Omega$ , le produit  $R_{ON}I_{PD}$  est de l'ordre de quelques  $\mu$ V, ce qui le rend également négligeable par rapport à  $V_{G3}$  qui est de l'ordre du volt. On peut donc simplifier les équations (2.19) et (2.20) comme suit :

$$I_{D3} \approx I_{D5} \quad (2.21)$$

$$V_{SOR} \approx V_{G3} \quad (2.22)$$

La section 2.3.1 montre que la paire différentielle doit idéalement faire en sorte que  $V_{G3} = V_{REF} = V_{SOR}$  lors de la phase de remise à zéro. D'une part, l'équation (2.22) confirme que  $V_{G3} \approx V_{SOR}$ , car la résistance  $R_{ON}$  est relativement petite. D'autre part, l'équation (2.12) exprime la tension de décalage  $\varepsilon = v_{G2} - v_{G3}$ , en fonction de la tension de sortie,  $v_{SOR}$ . Dans le cas présent, le circuit a atteint un régime permanent et les tensions du circuit sont constantes. Il s'ensuit que  $v_{G2} = V_{REF}$  et  $v_{G3} = V_{SOR}$ . On définit alors la tension de décalage en régime permanent lors de la phase de remise à zéro,  $\varepsilon_{RZ} = V_{REF} - V_{SOR}$ , qui est exprimée en substituant (2.22) dans (2.12) :

$$\varepsilon_{RZ} = \sqrt{\frac{\beta_{4,5}(V_{D4} - V_{THN0})^2}{\beta_{2,3}}} \left[ \sqrt{\frac{1 + \lambda_{4,5}V_{SOR}}{1 + \lambda_{2,3}(V_{S2,3} - V_{SOR})}} - \sqrt{\frac{1 + \lambda_{4,5}V_{D4}}{1 + \lambda_{2,3}(V_{S2,3} - V_{D4})}} \right] \quad (2.23)$$

Il s'agit d'une équation cubique qui est passablement difficile à résoudre pour  $V_{SOR}$ . On peut donc supposer que la tension de décalage de remise à zéro,  $\varepsilon_{RZ}$ , est faible et que l'état du circuit en régime permanent se rapproche d'un équilibre idéal où le courant de polarisation,  $I_{BIAS}$ , se sépare en deux parts égales. Par conséquent, on peut réécrire le résultat (2.18), où les tensions petit signal sont remplacés par les tensions continues, car la tension de décalage est constante :

$$\frac{V_{SOR}}{V_{REF} - V_{SOR}} \approx \frac{\sqrt{\mu_P C_{ox} W_{2,3}}}{\eta(1/L_{2,3} + 1/L_{4,5}) \left( \sqrt{L_{2,3} I_{BIAS}} / 2 \right)} \quad (2.24)$$

Isolant  $V_{SOR}/V_{REF}$ , on obtient :

$$\frac{V_{SOR}}{V_{REF}} \approx \frac{\sqrt{\mu_P C_{ox} W_{2,3}}}{\sqrt{\mu_P C_{ox} W_{2,3}} + \eta \sqrt{L_{2,3}} (1/L_{2,3} + 1/L_{4,5}) \left( \sqrt{I_{BIAS}} / 2 \right)} \quad (2.25)$$

Cette expression doit idéalement tendre vers l'unité afin d'obtenir  $V_{SOR} \approx V_{REF}$ . Pour ce faire, on doit minimiser la tension de décalage en optimisant les paramètres tel que discuté lors de l'analyse de l'équation (2.18).

### 2.3.2.3 Phase d'intégration et plage d'opération linéaire

Dans le cas où la phase de remise à zéro dure suffisamment longtemps, le circuit atteint un état invariant où  $V_{SOR} \approx V_{G3} = V_{REF} - \varepsilon_{RZ}$ . La phase d'intégration peut ainsi s'amorcer avec la désactivation de la porte de transmission  $RZ$ , tandis que la porte  $ECH$  demeure désactivée. Les relations théoriques données à l'annexe A montrent que les effets d'injection de charge et de transfert de charge par signaux de commande lors de la désactivation de la porte  $RZ$  sont négligeables lorsque la capacité d'intégration,  $C_{INT}$ , est suffisamment grande. Si tel est le cas, le circuit conserve son état initial. La Figure 2.7 représente le circuit équivalent durant la phase d'intégration, où les portes de transmission sont remplacées par leur modèle équivalent de la Figure A.24b. Puisque la porte de transmission  $RZ$  est désactivée, la tension de sortie,  $v_{SOR}$ , peut varier en fonction du courant de sortie du photodétecteur, donc en fonction du temps. L'équation (2.12) nous donne alors une tension de décalage  $\varepsilon(t)$  qui dépend de la tension de sortie  $v_{SOR}(t)$ . On retrouve ainsi :

$$v_{G3}(t) = V_{REF} - \varepsilon(t) \quad (2.26)$$

Soit  $\Delta t$  l'intervalle de temps qui s'est écoulé depuis le début de l'intégration à  $t = 0$ . Les variations des charges contenues dans les capacités  $C_{EQD}$  et  $C_{GS3}$  entre l'état initial  $t = 0$ , et l'instant  $\Delta t$  sont données par :

$$\Delta Q_{CEQD}(\Delta t) = \int_{t=0}^{t=\Delta t} i_W(t) dt = C_{EQD} (\varepsilon(\Delta t) - \varepsilon_{RZ}) \quad (2.27)$$

$$\Delta Q_{CGS3}(\Delta t) = \int_{t=0}^{t=\Delta t} i_X(t) dt = C_{GS3} (\varepsilon(\Delta t) - \varepsilon_{RZ} + \Delta v_{TH2,3}) \quad (2.28)$$



$$i_Y(t) = C_{GD5} \frac{dv_{SOR}(t)}{dt} \quad (2.30)$$

$$i_Z(t) = 2C_{EQD} \frac{dv_{SOR}(t)}{dt} \quad (2.31)$$

Substituant les équations (2.7), (2.9), (2.30) et (2.31) dans (2.29), on obtient une équation différentielle décrivant la tension de sortie en fonction du temps,  $v_{SOR}(t)$  :

$$\begin{aligned} (C_{GD5} + 2C_{EQD}) \frac{dv_{SOR}(t)}{dt} = & I_{PD} + \frac{\beta_{2,3}}{2} (V_{S2,3} - v_{G3}(t) + V_{TH2,3})^2 (1 + \lambda_{2,3} (V_{S2,3} - v_{SOR}(t))) \\ & - \frac{\beta_{4,5}}{2} (V_{D4} - V_{THN0})^2 (1 + \lambda_{4,5} v_{SOR}(t)) \end{aligned} \quad (2.32)$$

La solution de cette équation différentielle linéaire est :

$$v_{SOR}(t) = K_1 (1 - e^{-t/\tau_{INT}}) + (V_{REF} - \varepsilon_{RZ}) e^{-t/\tau_{INT}} \quad (2.33)$$

Les termes  $K_1$  et  $\tau_{INT}$  sont donnés par :

$$K_1 = \frac{2I_{PD} + \beta_{2,3} (V_{S2,3} - v_{G3}(t) + V_{TH2,3})^2 (1 + \lambda_{2,3} V_{S2,3}) - \beta_{4,5} (V_{D4} - V_{THN0})^2}{\lambda_{2,3} \beta_{2,3} (V_{S2,3} - v_{G3}(t) + V_{TH2,3})^2 + \lambda_{4,5} \beta_{4,5} (V_{D4} - V_{THN0})^2} \quad (2.34)$$

$$\tau_{INT} = \frac{2(C_{GD5} + 2C_{EQD})}{\lambda_{2,3} \beta_{2,3} (V_{S2,3} - v_{G3}(t) + V_{TH2,3})^2 + \lambda_{4,5} \beta_{4,5} (V_{D4} - V_{THN0})^2} \quad (2.35)$$

Supposons à nouveau que la tension de décalage  $\varepsilon(t)$  est petite et que le circuit fonctionne autour d'un point d'opération où le courant  $I_{BIAS}$  se sépare en deux parts égales. On peut alors développer les expressions précédentes décrivant  $K_1$  et  $\tau_{INT}$  et utiliser les équations (2.13) et (2.26) pour obtenir les approximations suivantes :

$$K_1 \approx \frac{2I_{PD} + \left[ I_{BIAS} + 2\varepsilon(t)\sqrt{\beta_{2,3}I_{BIAS}} + \beta_{2,3}(\varepsilon(t))^2 \right] (1 + \lambda_{2,3}V_{S2,3}) - I_{BIAS}}{(\lambda_{2,3} + \lambda_{4,5})I_{BIAS} + \lambda_{2,3} \left( 2\varepsilon(t)\sqrt{\beta_{2,3}I_{BIAS}} + \beta_{2,3}(\varepsilon(t))^2 \right)} \quad (2.36)$$

$$\tau_{INT} \approx \frac{2(C_{GD5} + 2C_{EQD})}{(\lambda_{2,3} + \lambda_{4,5})I_{BIAS} + \lambda_{2,3} \left( 2\varepsilon(t)\sqrt{\beta_{2,3}I_{BIAS}} + \beta_{2,3}(\varepsilon(t))^2 \right)} \quad (2.37)$$

On peut simplifier davantage ces expressions en assumant  $\lambda_{2,3}$  et  $\varepsilon(t)$  faibles :

$$K_1 \approx \frac{I_{PD} + \varepsilon(t)\sqrt{\beta_{2,3}I_{BIAS}}}{(\lambda_{2,3} + \lambda_{4,5})(I_{BIAS}/2)} = \frac{I_{PD} + (V_{REF} - v_{G3}(t))\sqrt{\beta_{2,3}I_{BIAS}}}{(\lambda_{2,3} + \lambda_{4,5})(I_{BIAS}/2)} \quad (2.38)$$

$$\tau_{INT} \approx \frac{C_{GD5} + 2C_{EQD}}{(\lambda_{2,3} + \lambda_{4,5})(I_{BIAS}/2)} \quad (2.39)$$

La charge aux bornes de la capacité d'intégration,  $Q_{TOT}(t)$ , est donnée par :

$$Q_{TOT}(t) = C_{TOT} [v_{G3}(t) - v_{SOR}(t)] = \int_0^t I_{PD} dt = I_{PD}t \quad (2.40)$$

Isolant  $v_{G3}(t)$  dans cette expression, substituant sa valeur dans l'équation (2.38), reportant le tout dans (2.33) et solutionnant pour  $v_{SOR}(t)$ , on obtient :

$$v_{SOR}(t) \approx \frac{I_{PD} + (V_{REF} - I_{PD}t/C_{TOT})\sqrt{\beta_{2,3}I_{BIAS}}}{\sqrt{\beta_{2,3}I_{BIAS}} + \frac{(\lambda_{2,3} + \lambda_{4,5})(I_{BIAS}/2)}{(1 - e^{-t/\tau_{INT}})}} + \frac{(V_{REF} - \varepsilon_{RZ})e^{-t/\tau_{INT}}}{1 + \frac{\sqrt{\beta_{2,3}I_{BIAS}}(1 - e^{-t/\tau_{INT}})}{(\lambda_{2,3} + \lambda_{4,5})(I_{BIAS}/2)}} \quad (2.41)$$

Il existe donc un régime transitoire au tout début de la phase d'intégration. Après un temps  $t \gg \tau_{INT}$ , la tension de sortie converge vers sa valeur en régime permanent :

$$v_{SOR}(t \gg \tau_{INT}) \approx \frac{I_{PD} + (V_{REF} - I_{PD}t/C_{TOT})\sqrt{\beta_{2,3}I_{BIAS}}}{\sqrt{\beta_{2,3}I_{BIAS}} + (\lambda_{2,3} + \lambda_{4,5})(I_{BIAS}/2)} \quad (2.42)$$

En comparant cette équation avec l'expression idéale de la tension de sortie donnée en (2.3), on constate que l'on doit satisfaire aux conditions suivantes :

$$I_{PD} \ll (V_{REF} - I_{PD}t/C_{TOT})\sqrt{\beta_{2,3}I_{BIAS}} \quad (2.43)$$

$$\frac{\sqrt{\beta_{2,3}}}{\sqrt{\beta_{2,3}} + (\lambda_{2,3} + \lambda_{4,5})(\sqrt{I_{BIAS}}/2)} \approx 1 \quad (2.44)$$

La condition (2.43) est habituellement remplie, étant donné le petit ordre de grandeur du courant du photodétecteur,  $I_{PD}$ . La condition (2.44) est identique à l'expression (2.25) et confirme qu'il faut minimiser la tension de décalage,  $\mathcal{A}(t) = V_{REF} - v_{G3}(t)$ , en vue d'obtenir une tension de sortie se rapprochant du comportement idéal décrit à la section 2.3.1. Il est également souhaitable de réduire la durée du régime transitoire en minimisant la constante de temps,  $\tau_{INT}$ . Réécrivons (2.39) en posant  $\lambda = \eta/L$  :

$$\tau_{INT} \approx \frac{2(C_{GD5} + 2C_{EQD})}{\eta(1/L_{2,3} + 1/L_{4,5})I_{BIAS}} \quad (2.45)$$

Il est donc possible de réduire la durée du régime transitoire en maximisant  $I_{BIAS}$  et en minimisant  $L_{2,3}$ ,  $L_{4,5}$  et  $W_{4,5}$  (afin de réduire  $C_{GD5}$ ). D'autre part, la linéarité de la capacité dans laquelle s'effectue l'intégration,  $C_{TOT} = C_{INT} + C_{GD3}$ , est cruciale et doit être maintenue sur toute la plage de tensions admissibles à ses bornes, c'est-à-dire de 0V à  $V_{REF}$ . Pour cette raison, l'utilisation d'une capacité MOS pour réaliser  $C_{INT}$  est déconseillée, tandis que les capacités formées entre des couches de polysilicium ou de métal constituent de bons choix en raison de leur excellente linéarité [23]. Puisque  $C_{GD3}$

est constituée de la capacité de recouvrement du drain par l'oxyde de grille et de la capacité entre la grille et le canal côté drain [17], sa valeur est imprévisible et tend possiblement à varier de pixel en pixel. De ce fait, il est préférable de choisir une capacité  $C_{INT}$  plus grande que  $C_{GD3}$  par au moins un ordre de grandeur.

Complétons notre étude de la phase d'intégration du pixel actif en déterminant la plage dynamique admissible pour la tension de sortie,  $v_{SOR}$ . Selon l'équation (2.41), la tension maximale de sortie est obtenue lors de la phase de remise à zéro et elle correspond à la tension de référence moins la tension de décalage de remise à zéro,  $V_{REF} - \varepsilon_{RZ}$ . Lors de l'étude des limites d'opération linéaire, il est convenable d'assumer que la tension de décalage,  $\varepsilon$ , est très petite par rapport à  $V_{REF}$ , ce qui nous permet d'écrire  $V_{G3} \approx V_{G2} = V_{REF}$ . De plus, si l'on néglige l'effet de modulation de longueur de canal, on peut considérer que le courant de polarisation,  $I_{BIAS}$ , se divise en deux parts égales. Utilisant alors les équations (2.5) et (2.6), il vient :

$$V_{REF} \approx V_{G3} = V_{S2,3} + V_{TH2,3} - (V_{DD} - V_{BIAS} + V_{THP0}) \sqrt{\frac{\beta_1}{2\beta_{2,3}}} \quad (2.46)$$

Afin de se comporter comme une source de courant, le transistor  $M_I$  doit demeurer en région de saturation, ce qui impose une limite supérieure sur  $V_{D1} = V_{S2,3}$  :

$$V_{S2,3} \leq V_{BIAS} - V_{THP0} \quad (2.47)$$

Substituant ce résultat dans l'équation (2.46), on obtient la valeur maximale admissible pour la tension de référence  $V_{REF} \approx V_{G3}$ , qui correspond également à la tension de sortie maximale,  $v_{SOR(\max)}$  :

$$v_{SOR(\max)} = (V_{BIAS} - V_{THP0}) \left( 1 + \sqrt{\frac{\beta_1}{2\beta_{2,3}}} \right) - V_{DD} \sqrt{\frac{\beta_1}{2\beta_{2,3}}} + v_{TH2,3} \quad (2.48)$$

Suite à la phase de remise à zéro, le courant du photodétecteur,  $I_{PD}$ , est intégré et la tension de sortie peut diminuer jusqu'à ce que la jonction grille-drain du transistor  $M_5$  ne soit plus polarisée correctement. La tension de sortie minimale admissible,  $v_{SOR(\min)}$ , est donc donnée par :

$$v_{SOR(\min)} = v_{G5} - V_{THN0} \quad (2.49)$$

Supposant à nouveau que le courant  $I_{BIAS}$  se sépare en deux parts égales et utilisant les équations (2.5) et (2.8), on explicite  $v_{G5} = V_{G5}$  comme suit :

$$V_{G4} = V_{G5} = V_{THN0} + (V_{DD} - V_{BIAS} + V_{THP0}) \sqrt{\frac{\beta_1}{2\beta_{4,5}}} \quad (2.50)$$

Substituant ce résultat dans l'équation (2.49), on obtient :

$$v_{SOR(\min)} = (V_{DD} - V_{BIAS} + V_{THP0}) \sqrt{\frac{\beta_1}{2\beta_{4,5}}} \quad (2.51)$$

Définissons l'écart dynamique,  $\Delta v_{SOR} = v_{SOR(\max)} - v_{SOR(\min)}$ , qui est donné par la différence entre les équations (2.48) et (2.51) :

$$\Delta v_{SOR} = V_{BIAS} - V_{THP0} + v_{TH2,3} - (V_{DD} - V_{BIAS} + V_{THP0}) \sqrt{\frac{\beta_1}{2}} \left( \frac{1}{\sqrt{\beta_{2,3}}} + \frac{1}{\sqrt{\beta_{4,5}}} \right) \quad (2.52)$$

Puisque l'on suppose que la tension  $V_{S2,3}$  est égale à la limite supérieure décrite par l'équation (2.47), la différence de potentiel entre le substrat des transistors  $M_2$  et  $M_3$  et leur source,  $V_{OV}$ , est :

$$V_{OV} = V_{DD} - V_{S2,3} = V_{DD} - V_{BIAS} + V_{THP0} \quad (2.53)$$

L'équation (2.52) montre qu'il est avantageux de maximiser la tension de polarisation,  $V_{BIAS}$ , dans le but d'optimiser l'écart dynamique. Or, en vertu de l'équation (2.5), la tension  $V_{OV}$  doit être supérieure à zéro pour qu'il y ait inversion du canal du transistor  $M_1$  et que celui-ci soit en région de saturation. On peut néanmoins choisir une tension  $V_{BIAS}$  qui minimise  $V_{OV}$ . De ce fait, la tension  $V_{S2,3}$  se rapproche de  $V_{DD}$  et la tension de seuil  $V_{TH2,3}$  est peu affectée par l'effet de substrat. Il est donc plausible de poser l'approximation  $V_{TH2,3} \approx V_{THP0}$ . Ainsi, explicitant les dimensions physiques des transistors, on réécrit (2.52) en fonction de  $V_{OV}$  :

$$\Delta V_{SOR} \approx V_{DD} + V_{THP0} - V_{OV} \left[ 1 + \sqrt{\frac{W_1}{2L_1}} \left( \sqrt{\frac{L_{2,3}}{W_{2,3}}} + \sqrt{\frac{L_{4,5}}{W_{4,5}}} \right) \right] \quad (2.54)$$

Puisque  $V_{OV} > 0$ , l'écart dynamique ne peut jamais atteindre  $V_{DD} + V_{THP0}$ . La procédure suggérée pour maximiser  $\Delta V_{SOR}$  consiste donc à choisir la plus grande valeur possible pour la tension de polarisation  $V_{BIAS}$  et à calibrer les dimensions  $W_1$  et  $L_1$  de manière à obtenir le courant de polarisation désiré. Il est ensuite possible d'optimiser  $\Delta V_{SOR}$  en maximisant  $W_{2,3}$  et  $W_{4,5}$  et en minimisant  $L_{2,3}$  et  $L_{4,5}$ . Il est important de souligner que l'écart dynamique donné à l'équation (2.54) présume que la tension de référence,  $V_{REF}$  ( $\approx V_{G3}$ ), est maximisée dans le but d'optimiser la plage d'opération linéaire. Dans le cas où la tension de référence,  $V_{REF}$ , est inférieure à la valeur maximale explicitée par l'équation (2.48), l'écart dynamique,  $\Delta V_{SOR}$ , est amoindri et donné par l'équation suivante, où  $V_{TH2,3}$  doit inclure l'effet de substrat :

$$\Delta V_{SOR} = V_{REF} - V_{TH2,3} - (V_{DD} - V_{BIAS} + V_{THP0}) \sqrt{\frac{\beta_1}{2\beta_{4,5}}} \quad (2.55)$$

### 2.3.2.4 Phase d'échantillonnage

La phase d'échantillonnage se produit à la fin de la période d'intégration. C'est alors que la porte de transmission *ECH* s'active et que le circuit équivalent du bus de colonne de la Figure B.1 se retrouve connecté à la sortie du pixel. La Figure 2.8 montre le circuit équivalent durant la phase d'échantillonnage.

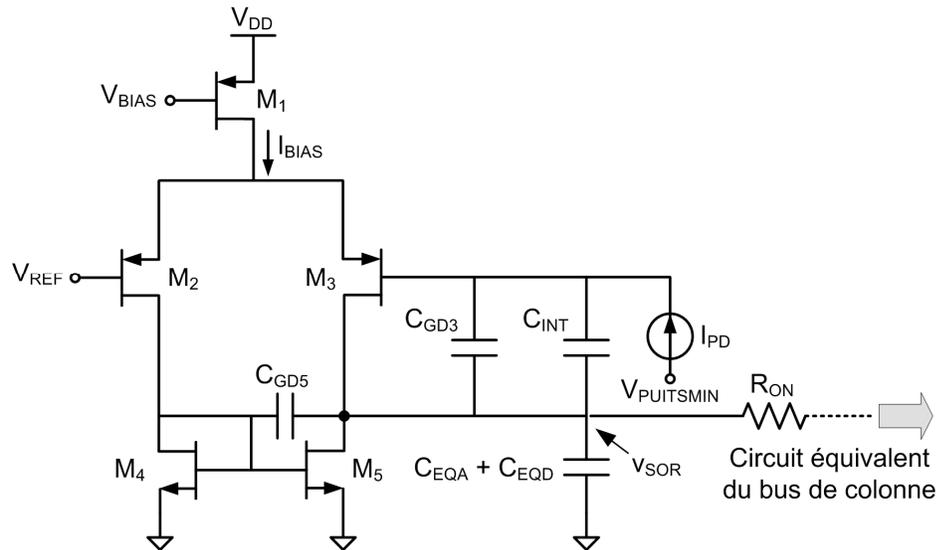


Figure 2.8 Pixel actif lors de la phase d'échantillonnage

Soulignons l'absence des capacités  $C_{GS3}$  et  $C_{EQD}$ , dont la contribution a été jugée négligeable à la section précédente. Le délai de propagation de la tension de sortie du pixel jusqu'au nœud d'échantillonnage du circuit de colonne,  $t_{d(col)}$ , est donné à l'équation (B.1). Celui-ci dépend en grande partie de la constante de temps  $\tau_{PIX}$ , que l'on peut déterminer aisément puisque le circuit de la Figure 2.8 est identique à celui de la Figure 2.7 à l'exception de la capacité totale présente au nœud de sortie. Par conséquent, utilisant les équations (B.2) et (2.45), on écrit :

$$\tau_{PIX} \approx \frac{\overbrace{C_{EQA} + C_{EQD} + C_{GD5}}^{C_{PIX}} + C_{EQA} + NC_X + C_Y + C_Z}{\eta(1/L_{2,3} + 1/L_{4,5})(I_{BIAS}/2)} \quad (2.56)$$

Il est donc possible de réduire le délai d'échantillonnage de la même façon que la durée de la réponse transitoire de la phase d'intégration, c'est-à-dire en maximisant  $I_{BIAS}$  et en minimisant  $L_{2,3}$ ,  $L_{4,5}$  et  $W_{4,5}$ . Soulignons qu'en comparant les équations (B.2) et (2.56), on peut identifier la résistance de sortie équivalente de la paire différentielle,  $R_{PIX}$ , donnée par :

$$R_{PIX} = \frac{1}{\eta(1/L_{2,3} + 1/L_{4,5})(I_{BIAS}/2)} \quad (2.57)$$

### 2.3.2.5 Phase de remise à zéro (régime transitoire)

Supposons maintenant que l'échantillonnage a été effectué et que la phase de remise à zéro est initiée à un temps  $t = t_1$ . À cet instant, la porte de transmission  $RZ$  est activée et on retrouve le circuit équivalent de la Figure 2.9.

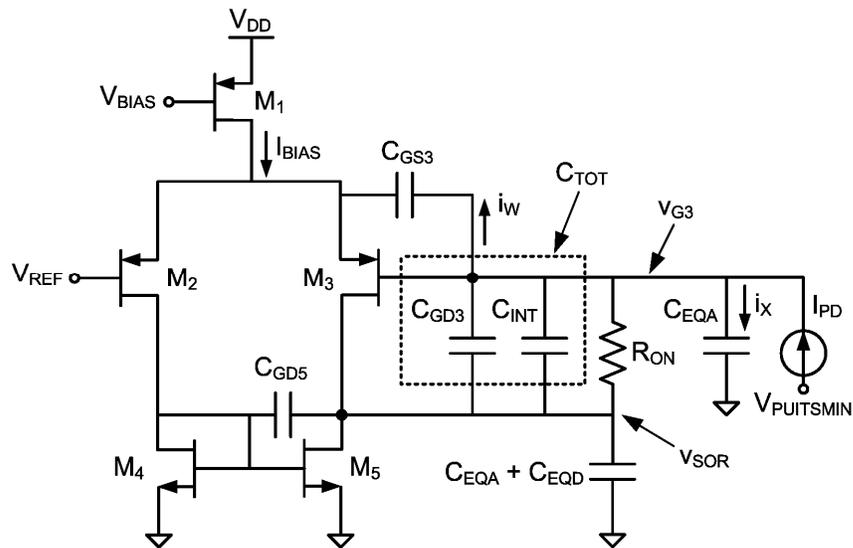


Figure 2.9 Pixel actif lors de la phase de remise à zéro (régime transitoire)

Posant  $\Delta t = t - t_1$  et  $C_{TOT} = C_{INT} + C_{GD3}$  et appliquant la loi des nœuds à  $v_{G3}$ , on obtient :

$$I_{PD} - i_W - i_X - C_{TOT} \frac{dv_{G3}(\Delta t) - dv_{SOR}(\Delta t)}{dt} - \frac{v_{G3}(\Delta t) - v_{SOR}(\Delta t)}{R_{ON}} = 0 \quad (2.58)$$

Les courants  $i_W$  et  $i_X$  sont exprimés par :

$$i_W = C_{GS3} \frac{dv_{G3}(\Delta t) - dv_{S2,3}(\Delta t)}{dt} \quad (2.59)$$

$$i_X = C_{EQA} \frac{dv_{G3}(\Delta t)}{dt} \quad (2.60)$$

Si l'on considère que la tension de décalage est faible, la variation de la tension  $v_{S2,3}$  en fonction du temps est très petite, c'est-à-dire  $dv_{S2,3}(\Delta t)/dt \approx 0$ . Ainsi, utilisant l'équation (2.58), on obtient l'équation différentielle suivante :

$$\frac{dv_{SOR}(\Delta t)}{dt} = \frac{v_{G3}(\Delta t) - R_{ON} I_{PD} - v_{SOR}(\Delta t)}{R_{ON} C_{TOT}} + \left( 1 + \frac{C_{GS3} + C_{EQA}}{C_{TOT}} \right) \frac{dv_{G3}(\Delta t)}{dt} \quad (2.61)$$

Développant le terme  $v_{G3}(\Delta t)$  en utilisant l'équation (2.26), il vient :

$$\frac{dv_{SOR}(\Delta t)}{dt} = \frac{V_{REF} - \varepsilon(\Delta t) - R_{ON} I_{PD} - v_{SOR}(\Delta t)}{R_{ON} C_{TOT}} - \left( 1 + \frac{C_{GS3} + C_{EQA}}{C_{TOT}} \right) \frac{d\varepsilon(\Delta t)}{dt} \quad (2.62)$$

La dérivée de la tension de décalage par rapport au temps peut s'écrire comme un produit de dérivées partielles :

$$\frac{d\varepsilon(\Delta t)}{dt} = \frac{d\varepsilon(\Delta t)}{dv_{SOR}(\Delta t)} \times \frac{dv_{SOR}(\Delta t)}{dt} \quad (2.63)$$

Le taux de variation de la tension de décalage en fonction de la tension de sortie,  $d\varepsilon(\Delta t)/dv_{SOR}(\Delta t)$ , correspond à l'inverse du gain en tension différentiel petit signal,  $A_v$ , donné à l'équation (2.17). Il s'ensuit que :

$$\frac{d\varepsilon(\Delta t)}{dv_{SOR}(\Delta t)} = \frac{1}{A_v} = \frac{(\lambda_{2,3} + \lambda_{4,5})\sqrt{I_{BIAS}}}{2\sqrt{\beta_{2,3}}} \ll 1 \quad (2.64)$$

D'autre part, il est raisonnable d'assumer que  $I_{PD}R_{ON} \ll V_{REF} - \varepsilon(\Delta t)$ . On peut donc simplifier l'équation différentielle (2.62) comme suit :

$$\frac{dv_{SOR}(\Delta t)}{dt} \approx \frac{V_{REF} - \varepsilon(\Delta t) - v_{SOR}(\Delta t)}{R_{ON}C_{TOT}} \quad (2.65)$$

La solution de cette équation différentielle est donnée par l'expression suivante, où  $v_{SOR}(t_1)$  est la tension de sortie à l'instant où débute la phase de remise à zéro :

$$v_{SOR}(\Delta t) = (V_{REF} - \varepsilon(\Delta t))(1 - e^{-\Delta t/\tau_{RZ1}}) + v_{SOR}(t_1)e^{-\Delta t/\tau_{RZ1}} \quad (2.66)$$

La constante de temps,  $\tau_{RZ1}$ , est exprimée par :

$$\tau_{RZ1} = R_{ON}C_{TOT} \quad (2.67)$$

Isolant  $\varepsilon(\Delta t)$  dans l'équation (2.66), substituant le résultat dans l'expression (2.38) et solutionnant pour  $v_{SOR}(\Delta t)$ , il vient :

$$v_{SOR}(\Delta t) = \frac{K_2(1 - e^{-\Delta t/\tau_{RZ2}}) + v_{SOR}(t_1)(\lambda_{2,3} + \lambda_{4,5})(I_{BIAS}/2)e^{-\Delta t/\tau_{RZ2}}}{(\lambda_{2,3} + \lambda_{4,5})(I_{BIAS}/2) + \sqrt{\beta_{2,3}}I_{BIAS} \left( \frac{1 - e^{-\Delta t/\tau_{RZ2}}}{1 - e^{-\Delta t/\tau_{RZ1}}} \right)} ; \text{ si } \Delta t \geq 0^+ \quad (2.68)$$

Le terme  $K_2$  et la constante de temps  $\tau_{RZ2}$  sont donnés par :

$$K_2 = I_{PD} + \sqrt{\beta_{2,3} I_{BIAS}} \left( V_{REF} + \frac{v_{SOR}(t_1) e^{-\Delta t / \tau_{RZ1}}}{1 - e^{-\Delta t / \tau_{RZ1}}} \right) \quad (2.69)$$

$$\tau_{RZ2} \approx \frac{2C_{EQA} + C_{EQD} + C_{GD5}}{(\lambda_{2,3} + \lambda_{4,5})(I_{BIAS}/2)} \quad (2.70)$$

L'expression (2.66) nous permet d'approximer la charge totale,  $Q_{TOT}$ , contenue dans la capacité d'intégration, en fonction du délai  $\Delta t$  :

$$Q_{TOT}(\Delta t) \approx C_{TOT} [V_{REF} - \varepsilon(\Delta t) - v_{SOR}(t_1)] e^{-\Delta t / \tau_{RZ1}} \quad (2.71)$$

Afin de prévenir les retards d'image (« image lag »), il est primordial que la capacité d'intégration soit déchargée correctement suite à la phase de remise à zéro [22]. Le temps requis pour que la charge  $Q_{TOT}$  devienne inférieure à un certain pourcentage de sa valeur initiale dépend de la tension de sortie initiale,  $v_{SOR}(t_1)$ , le pire cas<sup>3</sup> étant celui où  $v_{SOR}(t_1) = 0V$ . Il s'ensuit que le délai requis pour que la charge  $Q_{TOT}$  devienne inférieure à 1% de sa valeur initiale est donné par l'expression suivante :

$$\Delta t_{(1\%)} \approx 5\tau_{RZ1} \approx 5R_{ON} C_{TOT} = 5R_{ON} (C_{GD3} + C_{INT}) \quad (2.72)$$

Pour une résistance  $R_{ON}$  de quelques  $k\Omega$  et une capacité d'intégration de quelques dizaines de fF, l'équation (2.72) procure un temps  $\Delta t_{(1\%)}$  de quelques nanosecondes. Une fois la capacité d'intégration déchargée, c'est-à-dire lorsque  $\Delta t > 5\tau_{RZ1}$ , on a  $e^{-\Delta t / \tau_{RZ1}} \approx 0$  et on retrouve la tension de sortie suivante :

<sup>3</sup> On ignore ici la limite d'opération linéaire inférieure de la tension de sortie,  $v_{SOR(\min)}$ .

$$v_{SOR}(\Delta t > 5\tau_{RZ1}) \approx \frac{I_{PD} + V_{REF} \sqrt{\beta_{2,3} I_{BIAS}} (1 - e^{-\Delta t / \tau_{RZ2}}) + v_{SOR}(t_1) (\lambda_{2,3} + \lambda_{4,5}) \left( \frac{I_{BIAS}}{2} \right) e^{-\Delta t / \tau_{RZ2}}}{(\lambda_{2,3} + \lambda_{4,5}) (I_{BIAS} / 2) + \sqrt{\beta_{2,3} I_{BIAS}} (1 - e^{-\Delta t / \tau_{RZ2}})} \quad (2.73)$$

Lorsque  $\Delta t > 5\tau_{RZ2}$ , il vient  $e^{-\Delta t / \tau_{RZ2}} \approx 0$ . Alors, si l'on néglige la contribution du courant  $I_{PD}$ , la tension de sortie converge vers le point d'opération en régime permanent de l'équation (2.25).

### 2.3.2.6 Analyse du bruit et gamme dynamique

La gamme dynamique d'un capteur d'images a été définie au chapitre 1 comme étant le rapport entre le niveau maximal de signal en sortie et le seuil de bruit. Dans le cas du pixel actif à intégrateur inverseur, le niveau maximal de signal en sortie correspond à l'écart dynamique maximal donné à l'équation (2.54), alors que le seuil de bruit est déterminé d'une part par le courant de noirceur du photodétecteur et d'autre part par le bruit accumulé au nœud de sortie lors de la phase de remise à zéro. Tel que mentionné lors de l'introduction du présent chapitre, l'un des objectifs principaux de ce prototype est de caractériser le photodétecteur, notamment sa contribution en termes de bruit. On désire, entre autres, déterminer son courant de noirceur en vue de permettre des améliorations et des modifications à sa structure physique. Il apparaît donc primordial de minimiser le bruit généré lors de la phase de remise à zéro afin que les mesures effectuées reflètent autant que possible le comportement du photodétecteur en tant que tel.

Le bruit temporel qui sévit lors de la phase de remise à zéro possède trois origines distinctes. Dans un premier temps, les transistors qui composent la paire différentielle sont polarisés en région de saturation et génèrent des bruits thermique et de scintillation [17]. Il est ensuite convenable de considérer que la porte de remise à zéro activée ne produit que du bruit thermique dû à sa résistance équivalente. En effet, le courant

continu qui la traverse se résume au courant de sortie du photodétecteur, ce qui rend son bruit de scintillation négligeable par rapport à son bruit thermique<sup>4</sup>. Enfin, la jonction P<sup>+</sup>N en polarisation inverse du photodétecteur est à l'origine d'un bruit de grenaille. Ces différentes sources de bruit font en sorte que la tension de sortie,  $v_{SOR}$ , n'égale pas exactement  $V_{REF} - \varepsilon_{RZ}$  au moment d'entamer la phase d'intégration, et ce, en dépit d'un temps de remise à zéro largement supérieur à celui donné par l'équation (2.72).

Lorsque la phase de remise à zéro atteint un régime permanent, il est possible de déterminer la valeur des sources de bruit internes des transistors, car celles-ci dépendent du point de polarisation du circuit [5], [17], [23]. On suppose donc que le courant de polarisation  $I_{BIAS}$  se divise en deux parts égales et que  $V_{G3} \approx V_{REF}$  puisque la charge résiduelle dans la capacité d'intégration possède un effet négligeable sur la polarisation du circuit. L'étude du bruit d'une paire différentielle à charge active a été effectuée en détails dans [17]. Il en ressort que l'on peut représenter le bruit de la paire différentielle par deux sources de tension placées en série à l'entrée positive. Une première source, possédant une densité spectrale  $S_{DIFFTH}(f)$ , modélise le bruit thermique, alors qu'une seconde source, ayant une densité spectrale  $S_{DIFFSC}(f)$ , modélise le bruit de scintillation. Les expressions de ces densités spectrales sont obtenues en adaptant les résultats donnés dans [17], où les effets de modulation de longueur de canal et de substrat sont négligés :

$$S_{DIFFTH}(f) = \frac{16kT}{3\sqrt{C_{ox}I_{BIAS}}} \left[ \sqrt{\frac{L_{2,3}}{\mu_p W_{2,3}}} + \frac{L_{2,3}}{\mu_p W_{2,3}} \sqrt{\frac{\mu_N W_{4,5}}{L_{4,5}}} \right] \quad (2.74)$$

$$S_{DIFFSC}(f) = \frac{2L_{2,3}}{\mu_p C_{ox} W_{2,3} f} \left[ \frac{\mu_p \kappa_{2,3}}{L_{2,3}^2} + \frac{\mu_N \kappa_{4,5}}{L_{4,5}^2} \right] \quad (2.75)$$

---

<sup>4</sup> L'analyse détaillée du bruit d'une porte de transmission CMOS est complexe, car il faut tenir compte des différentes régions d'opération des transistors.

Soulignons que  $k$  est la constante de Boltzmann ( $1.38E-23$  J/K),  $T$  est la température en kelvin et  $\kappa$  est une constante, exprimée en Joules, qui varie selon les différents transistors d'un même procédé de fabrication [5], [17].

Tel que mentionné précédemment, la porte de transmission de remise à zéro activée génère un bruit thermique dû à sa résistance équivalente,  $R_{ON}$ . Supposant que cette résistance soit constante, ce bruit est modélisé par une source de courant ayant une densité spectrale exprimée par [17] :

$$S_{RON}(f) = 4kT/R_{ON} \quad (2.76)$$

Pour sa part, le bruit de grenaille généré par la jonction P<sup>+</sup>N du photodétecteur est modélisé par une source de courant dont la densité spectrale directement proportionnelle au courant de polarisation inverse du photodétecteur, comme l'indique l'expression suivante, où  $q$  est la charge électronique ( $1.602 \times 10^{-19}$  C) et  $I_N$  est le courant de noirceur du photodétecteur [28] :

$$S_{PD}(f) = 2q(I_{PD} + I_N) \quad (2.77)$$

Le bruit de grenaille dépend donc à la fois de l'illumination du photodétecteur et de son courant de noirceur.

La Figure 2.10 illustre le circuit équivalent petit signal au niveau du bruit du pixel actif à intégrateur inverseur lors de la phase de remise à zéro. Puisque l'on suppose que le courant de polarisation de la paire différentielle se sépare en deux parts égales, celle-ci est représentée par son modèle équivalent petit signal. Celui-ci est constitué d'une source de tension dépendante ayant un gain  $A_v$  explicité précédemment à l'équation (2.18) et d'une résistance de sortie  $R_{PIX}$ , donnée par l'équation (2.57). Soulignons la présence des capacités  $C_{PAR}$  et  $C_{SOR}$  qui englobent respectivement les capacités

équivalentes comprises entre la grille du transistor  $M_3$  et le nœud de sortie par rapport à la masse.

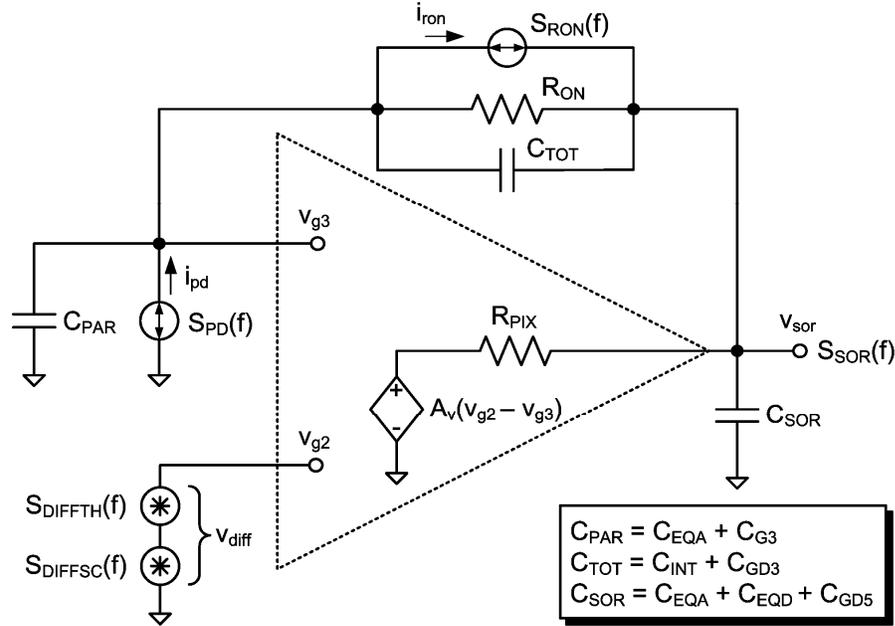


Figure 2.10 Circuit équivalent du bruit du pixel actif lors de la remise à zéro

Il n'existe généralement aucune corrélation entre les différentes sources de bruit d'un circuit électronique, puisque celles-ci sont indépendantes [17]. De ce fait, il est possible de procéder par superposition et d'étudier séquentiellement les effets des quatre sources de bruit sur la densité spectrale de bruit en sortie,  $S_{SOR}(f)$ . Explicitons d'abord la fonction de transfert qui lie la tension de sortie,  $v_{sor}(f)$ , au courant de bruit de grenaille,  $i_{pd}(f)$  :

$$H_{PD}(f) = \frac{v_{sor}(f)}{i_{pd}(f)} = \frac{R_{PIX} - A_v R_{ON} + j2\pi f R_{PIX} R_{ON} C_{TOT}}{1 + A_v - 4\pi^2 K_3 f^2 + j2\pi K_4 f} \quad (2.78)$$

Les termes  $K_3$  et  $K_4$  s'expriment comme suit :

$$K_3 = R_{PIX} R_{ON} [C_{TOT} (C_{SOR} + C_{PAR}) + C_{PAR} C_{SOR}] \quad (2.79)$$

$$K_4 = R_{ON} C_{PAR} + R_{PIX} (C_{SOR} + C_{PAR}) + (A_v + 1) R_{ON} C_{TOT} \quad (2.80)$$

De façon similaire, la fonction de transfert liant  $v_{sor}(f)$  au courant  $i_{ron}(f)$  est :

$$H_{RON}(f) = \frac{v_{sor}(f)}{i_{ron}(f)} = \frac{A_v R_{ON} + j2\pi f R_{PIX} R_{ON} C_{PAR}}{1 + A_v - 4\pi^2 K_3 f^2 + j2\pi K_4 f} \quad (2.81)$$

Enfin, la fonction de transfert qui lie  $v_{sor}(f)$  à la tension de bruit de la paire différentielle,  $v_{diff}(f)$ , est donnée par :

$$H_{DIFF}(f) = \frac{v_{sor}(f)}{v_{diff}(f)} = \frac{A_v [1 + j2\pi f R_{ON} (C_{TOT} + C_{PAR})]}{1 + A_v - 4\pi^2 K_3 f^2 + j2\pi K_4 f} \quad (2.82)$$

Ces fonctions de transfert permettent de retrouver les densités spectrales de bruit en sortie générées par chacune des trois sources de bruit thermique [17] :

$$S_{SOR1}(f) = |H_{PD}(f)|^2 S_{PD}(f) \quad (2.83)$$

$$S_{SOR2}(f) = |H_{RON}(f)|^2 S_{RON}(f) \quad (2.84)$$

$$S_{SOR3}(f) = |H_{DIFF}(f)|^2 S_{DIFFTH}(f) \quad (2.85)$$

Le carré de la valeur efficace de la tension de bruit thermique en sortie s'obtient par intégration de ces densités spectrales sur l'ensemble des fréquences positives [17] :

$$\left( v_{sor(eff)} \right)_{TH}^2 = \int_0^{+\infty} [S_{SOR1}(f) + S_{SOR2}(f) + S_{SOR3}(f)] df \quad (2.86)$$

La résolution de cette intégrale est grandement facilitée par le fait que les densités spectrales des sources de bruit thermique données aux équations (2.74), (2.76) et (2.77) soient indépendantes de la fréquence. On obtient donc, après intégration, l'expression suivante :

$$\left(v_{sor(eff)}\right)_{TH}^2 = \frac{K_5 S_{PD} + K_6 S_{RON} + K_7 S_{DIFFTH}}{4K_3 K_4 (A_v + 1)} \quad (2.87)$$

Les termes  $K_5$  à  $K_7$  sont donnés par :

$$K_5 = K_3 (R_{PIX} - A_v R_{ON})^2 + (A_v + 1) R_{PIX}^2 R_{ON}^2 C_{TOT}^2 \quad (2.88)$$

$$K_6 = K_3 A_v^2 R_{ON}^2 + (A_v + 1) R_{PIX}^2 R_{ON}^2 C_{PAR}^2 \quad (2.89)$$

$$K_7 = A_v^2 \left( K_3 + R_{ON}^2 (A_v + 1) (C_{TOT} + C_{PAR})^2 \right) \quad (2.90)$$

Rappelons que nous avons choisi des transistors de taille minimale pour les portes de transmission CMOS dans le but de réduire l'espace qu'elles occupent sur le substrat. Ainsi, la capacité et la résistance équivalentes de la porte de remise à zéro activée,  $C_{EQA}$  et  $R_{ON}$ , possèdent les valeurs préétablies déterminées à l'annexe A. Il s'ensuit que les seuls paramètres de conception pouvant être modifiés dans le but de réduire le bruit thermique sont les dimensions des transistors  $M_{2,3}$  et  $M_{4,5}$ , la capacité d'intégration,  $C_{INT}$ , de même que le courant de polarisation,  $I_{BIAS}$ . Tel que mentionné précédemment, le gain en tension,  $A_v$ , et la résistance de sortie,  $R_{PIX}$ , du modèle équivalent de la paire différentielle dépendent du courant de polarisation et des dimensions des transistors. Par conséquent, le comportement des paramètres qui minimise le bruit thermique est caractérisé par l'utilisation d'un logiciel de calcul symbolique qui permet un balayage séquentiel des paramètres de conception. Appliquant cette méthode, on trouve qu'il est possible de réduire le bruit thermique en posant les actions suivantes :

- minimiser le courant de polarisation,  $I_{BIAS}$  ;
- minimiser les dimensions des transistors  $L_{2,3}$  et  $W_{4,5}$  ;
- maximiser les dimensions des transistors  $W_{2,3}$  et  $L_{4,5}$  ;
- maximiser la capacité d'intégration totale,  $C_{TOT}$ , en augmentant  $C_{INT}$ .

Dans le cas du bruit de scintillation, il est impossible d'intégrer sur l'ensemble des fréquences positives en raison du terme  $1/f$  et il faut définir une plage de fréquence convenable pour l'intégration [5], [23]. Ainsi, posant les bornes d'intégration  $f_{min}$  et  $f_{max}$ , il vient :

$$\left(v_{sor(eff)}\right)_{SC}^2 = \int_{f_{min}}^{f_{max}} |H_{DIFF}(f)|^2 S_{DIFFSC}(f) df \quad (2.91)$$

Voici la solution de cette intégrale définie relativement complexe :

$$\left(v_{sor(eff)}\right)_{SC}^2 = \frac{K_8}{(A_v + 1)^2} \left[ \frac{K_{10}}{K_9} \arctan\left(\frac{K_{11}}{K_9}\right) + A_v^2 \left( \ln(f) - \frac{1}{4} \ln(K_{12}) \right) \right]_{f_{min}}^{f_{max}} \quad (2.92)$$

Les termes  $K_8$  à  $K_{12}$  s'expriment comme suit :

$$K_8 = \frac{2L_{2,3}}{\mu_p C_{ox} W_{2,3}} \left[ \frac{\mu_p K_{2,3}}{L_{2,3}^2} + \frac{\mu_n K_{4,5}}{L_{4,5}^2} \right] \quad (2.93)$$

$$K_9 = K_4 \sqrt{4K_3(A_v + 1) - K_4^2} \quad (2.94)$$

$$K_{10} = A_v^2 \left[ R_{ON}^2 (C_{TOT} + C_{PAR})^2 (A_v + 1)^2 + K_3(A_v + 1) - K_4^2/2 \right] \quad (2.95)$$

$$K_{11} = K_4^2 + 2K_3(4\pi^2 K_3 f^2 - A_v - 1) \quad (2.96)$$

$$K_{12} = 4\pi^2 f^2 \left[ K_4^2 + K_3(4\pi^2 K_3 f^2 - 2(A_v + 1)) \right] + (A_v + 1)^2 \quad (2.97)$$

Posant les bornes d'intégration  $f_{min} = 1\text{pHz}$  et  $f_{max} = 1\text{THz}$  et effectuant à nouveau un balayage des paramètres de conception à l'aide d'un logiciel de calcul symbolique, on constate qu'il est possible de réduire le bruit de scintillation en :

- minimisant le courant de polarisation,  $I_{BIAS}$  ;
- minimisant la longueur des transistors  $L_{2,3}$  ;
- maximisant les dimensions des transistors  $W_{2,3}$  et  $L_{4,5}$  ;
- minimisant la capacité d'intégration totale,  $C_{TOT}$ , en réduisant  $C_{INT}$  ;
- maximisant la capacité équivalente en sortie,  $C_{SOR}$ , en augmentant  $W_{4,5}$ .

Étudions brièvement le bruit spatial, plus particulièrement le bruit à patron fixe. Rappelons que le bruit à patron fixe provenant du pixel est directement relié aux variations entre les circuits des pixels d'une même rangée ou d'une même colonne. Dans le cas présent, on assume que tous les pixels d'une même rangée partagent les signaux de commande, la tension de référence,  $V_{REF}$ , ainsi que la tension de polarisation,  $V_{BIAS}$ . On peut donc déterminer les origines possible d'un bruit à patron fixe en provenance du pixel actif que voici :

- les différences entre les transistors qui composent la paire différentielle des pixels d'une même rangée engendrent un bruit de patron fixe en raison de leur effet sur l'approximation  $V_{G3} \approx V_{REF}$  ;
- les disparités entre les transistors de polarisation,  $M_I$ , des pixels d'une même rangée entraînent une variation du courant de polarisation  $I_{BIAS}$  ;
- le circuit équivalent du bus de colonne perçu par le pixel diffère selon la position de la rangée dans la matrice, ce qui peut causer un bruit de patron fixe lorsque la matrice comporte de nombreuses rangées et que l'échantillonnage s'effectue rapidement ;

- la capacité totale d'intégration,  $C_{TOT} = C_{INT} + C_{GD3}$ , est sujette aux variations de procédé, ce qui peut entraîner une disparité de la pente d'intégration entre des branches ayant un courant de sortie du photodétecteur identique.

### 2.3.2.7 Expansion du circuit du pixel actif

Puisque le photodétecteur sans filtre comporte trois électrodes, il est envisageable de bâtir le pixel actif complet à partir de trois intégrateurs inverseurs indépendants (cf. Figure 2.4). Une telle solution impose toutefois un compromis entre les dimensions du pixel et le bruit de scintillation. En effet, bien qu'il soit avantageux de minimiser les tailles des transistors dans le but de maximiser le facteur de remplissage, cela a pour résultat d'augmenter le bruit de scintillation, car celui-ci est inversement proportionnel aux dimensions des transistors qui composent les paires différentielles. On constate néanmoins, à la lumière des analyses précédentes, que l'action du miroir de courant formé des transistors  $M_4$  et  $M_5$  peut être répliquée en vue d'alimenter un nombre théoriquement infini de branches d'intégration. Cela signifie qu'il est possible d'utiliser une seule branche de référence pour alimenter les trois branches d'intégration requises dans chaque pixel, tel que montré à la Figure 2.11. La surface économisée par l'omission des deux autres branches de référence peut alors être répartie dans les transistors des paires différentielles. Par conséquent, pour une surface totale identique à celle occupée par les trois paires différentielles indépendantes, les transistors formant les paires différentielles ont une plus grande taille, ce qui réduit le bruit de scintillation. Mentionnons que l'échantillonnage des trois signaux de sortie s'effectue simultanément et que les trois portes de transmission d'échantillonnage sont commandées par un même signal  $\phi_{ECH}$ . De plus, afin d'assurer un comportement aussi identique que possible pour les trois électrodes, l'appariement des transistors  $M_2$  à  $M_5$  et  $M_6$  à  $M_9$  est primordial. Enfin, puisque le courant de polarisation se partage désormais entre quatre branches plutôt que deux, la largeur du transistor de polarisation,  $W_I$ , doit être doublée (pour une même tension  $V_{BIAS}$ ) par rapport à celle de l'intégrateur inverseur à paire différentielle simple.

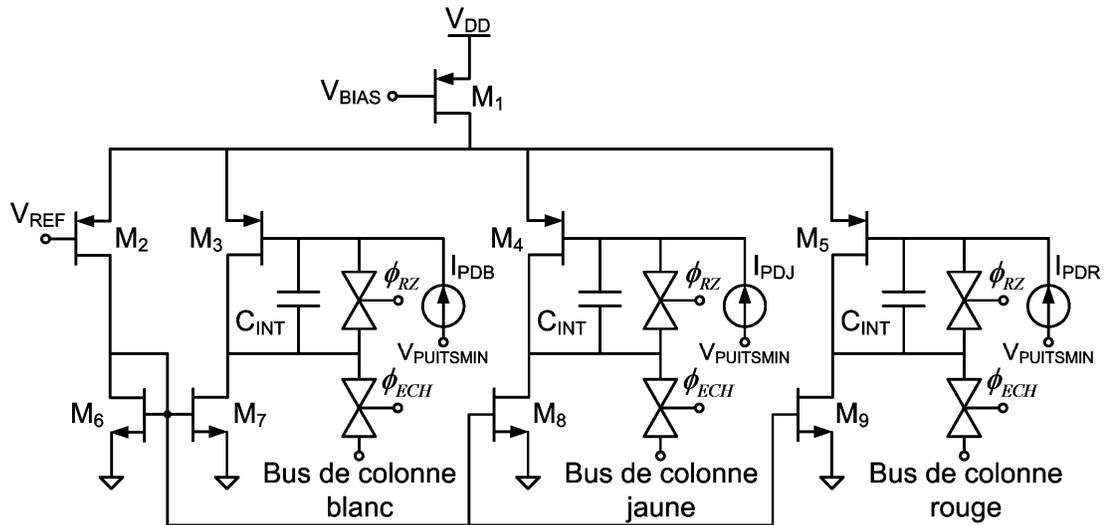


Figure 2.11 Pixel actif à intégrateur inverseur à trois entrées

### 2.3.3 Conception et réalisation physique du pixel actif

#### 2.3.3.1 Résumé des paramètres de conception du pixel actif

L'étude du pixel actif à intégrateur inverseur de la Figure 2.4 nous a permis de déterminer l'influence des paramètres du circuit sur les différents critères de performance préétablis. Le Tableau 2.1 résume ces résultats et indique le sens de variation du paramètre qui permet d'optimiser la caractéristique correspondante. On note que les caractéristiques sont disposées en ordre décroissant d'importance. Ainsi, la tension de décalage,  $\varepsilon$ , l'écart dynamique,  $\Delta v_{SOR}$ , et la surface occupée sur le substrat sont en tête de liste, alors que suivent le bruit, les différents délais et la consommation de puissance. À ce propos, mentionnons que la consommation de puissance est directement proportionnelle au courant de polarisation  $I_{BIAS}$ . En effet, puisque chaque pixel requiert un courant constant,  $I_{BIAS}$ , la puissance consommée par une matrice ayant  $N$  rangées et  $M$  colonnes est donnée par l'expression suivante :

$$P_{TOT} = NMV_{DD}I_{BIAS} \quad (2.98)$$

Le Tableau 2.1 présume que la tension de polarisation,  $V_{BIAS}$ , est la plus élevée possible pour maximiser l'écart dynamique. De ce fait, les dimensions physiques  $W_1$  et  $L_1$  qui y sont indiquées font en sorte d'ajuster  $I_{BIAS}$  selon le comportement désiré.

Tableau 2.1 Paramètres de conception de l'intégrateur inverseur

Caractéristiques à optimiser	Paramètres de conception						
	$W_1$	$L_1$	$W_{2,3}$	$L_{2,3}$	$W_{4,5}$	$L_{4,5}$	$C_{INT}$
Tension de décalage	↓	↑	↑	↑*	↓	↑*	–
Écart dynamique	↓	↑	↑	↓	↑	↓	–
Surface occupée sur le substrat	↓	↓	↓	↓	↓	↓	↓
Bruit thermique	↓	↑	↑	↓	↓	↑	↑
Bruit de scintillation	↓	↑	↑	↓	↑	↑	↓
Délai transitoire d'intégration	↑	↓	–	↓	↓	↓	–
Délai d'échantillonnage	↑	↓	–	↓	↓	↓	–
Délai de remise à zéro	↑	↓	–	↓	↓	↓	↓
Consommation de puissance	↓	↑	–	–	–	–	–

\* dans ce cas,  $L_{2,3}$  et  $L_{4,5}$  doivent tendre à être égaux et maximisés

On constate qu'il est ardu de tenter une optimisation de tous les paramètres à l'aide de calculs théoriques. On remarque cependant que la minimisation de la tension de décalage,  $\varepsilon$ , et la maximisation de l'écart dynamique,  $\Delta v_{SOR}$ , résultent d'un comportement similaire des paramètres, sauf en ce qui concerne  $L_{2,3}$ ,  $W_{4,5}$  et  $L_{4,5}$ . On note ensuite que les deux types de bruit temporel sont minimisés par un comportement semblable des paramètres, à l'exception de la capacité  $C_{INT}$  et de  $W_{4,5}$ . Finalement, puisque tous les délais sont liés à la résistance de sortie de la paire différentielle, ils sont minimisés de façon identique.

### 2.3.3.2 Processus de conception du pixel actif

Le processus de conception du circuit de la Figure 2.4 se divise en cinq étapes :

- 1) Déterminer la valeur de la capacité d'intégration  $C_{INT}$ ;

- 2) Déterminer la tension de polarisation  $V_{BIAS}$  ;
- 3) Dimensionner le transistor de polarisation  $M_1$  ;
- 4) Effectuer quelques simulations paramétriques en variant  $W_{2,3}$ ,  $L_{2,3}$ ,  $W_{4,5}$ , et  $L_{4,5}$  dans le but de minimiser la tension de décalage, car il s'agit de la caractéristique principale ;
- 5) Faire un compromis entre les dimensions qui optimisent la tension de décalage et les autres caractéristiques.

Résumons les contraintes qui gouvernent le choix de la valeur de la capacité  $C_{INT}$ . Tout d'abord, nous avons vu que le courant de sortie du photodétecteur est intégré aux bornes d'une capacité totale  $C_{TOT} = C_{INT} + C_{GD3}$ . L'ordre de grandeur de  $C_{TOT}$  doit permettre l'intégration d'un courant  $I_{PD} \approx 1\text{nA}$  durant quelques microsecondes. Utilisant l'équation (2.3) et posant arbitrairement  $\Delta t = 25\mu\text{s}$  et  $V_{REF} = 2.0\text{V}$ , on trouve  $C_{TOT} = 12.5\text{fF}$ . En outre, la capacité  $C_{INT}$  doit être beaucoup plus grande que  $C_{GD3}$  afin de minimiser les non-linéarités et réduire le bruit à patron fixe. Or, puisque le transistor  $M_3$  opère en région de saturation, la capacité  $C_{GD3}$  est principalement due au recouvrement du drain par l'oxyde de grille, c'est-à-dire  $C_{GD3} = W_{2,3}L_{ov,P}C_{ox}$  [17]. L'annexe A montre que la capacité équivalente d'une porte de transmission CMOS désactivée à base de transistors de taille minimale,  $C_{EQD}$ , est d'environ  $1.48\text{fF}$ . De plus, la section A.1.1.3 nous permet de déduire que  $C_{EQD} \approx 2C_{ox}W_{min}L_{ov}$  assumant que la longueur de recouvrement est identique pour un transistor PMOS et un transistor NMOS ( $L_{ov} = L_{ov,P} = L_{ov,N}$ ). Il apparaît donc raisonnable de considérer que  $C_{GD3}$  est de l'ordre de  $1\text{fF}$  à  $2\text{fF}$ . Il en découle que la valeur de  $C_{INT}$  doit se situer entre  $10\text{fF}$  et  $20\text{fF}$  pour être supérieure à  $C_{GD3}$  par au moins un ordre de grandeur.

D'autre part, nous avons vu que la valeur de  $C_{INT}$  doit être aussi linéaire que possible par rapport à la tension à ses bornes. Or, il s'avère que la technologie TSMC  $0.25\mu\text{m}$  possède un module complémentaire qui permet de réaliser des capacités de type métal-isolant-métal (*mimcap4*) ayant une capacité surfacique de  $1\text{fF}/\mu\text{m}^2$ . Selon la fiche

technique de cette technologie, ces capacités sont très linéaires par rapport à la tension et à la température, avec des coefficients de variation respectifs d'environ  $-50\text{ppm/V}$  et  $-50\text{ppm/}^\circ\text{C}$ . De plus, le courant de fuite est de l'ordre de  $1\text{pA}$  pour des tensions inférieures à  $V_{DD} = 3.3\text{V}$ , ce qui est négligeable dans le cadre de cette application. Les règles de dessin imposent toutefois des dimensions minimales de  $5\mu\text{m}$  par  $5\mu\text{m}$  pour une telle capacité, ce qui résulte en une valeur minimale de  $25\text{fF}$ . Puisqu'il y a trois capacités d'intégration par pixel actif, une surface minimale de  $75\mu\text{m}^2$  doit leur être réservée. Cette aire est significative et il apparaît clair que l'on ne peut se permettre une valeur plus élevée pour la capacité  $C_{INT}$ , au risque de sacrifier dramatiquement les dimensions du pixel actif. On choisit donc d'employer la valeur minimale pour  $C_{INT}$ , soit  $25\text{fF}$ , et ce, en dépit du fait qu'une plus grande capacité d'intégration contribue à réduire le bruit thermique. Enfin, en se basant à nouveau sur les données fournies dans la fiche technique, l'appariement d'une capacité de taille minimale est estimé à environ  $0.4\%$  pour un écart-type d'un sigma et à  $1.3\%$  pour un écart type de trois sigmas.

Déterminons maintenant la tension de polarisation  $V_{BIAS}$ . Selon la fiche technique de la technologie TSMC  $0.25\mu\text{m}$ , la valeur typique de la tension de seuil d'un transistor PMOS,  $V_{THP0}$ , est  $-0.83\text{V}$ , alors que sa valeur minimale est  $-0.93\text{V}$ . Afin de faire en sorte que le transistor  $M_I$  soit correctement en région de saturation, il est pratique courante de choisir une tension  $V_{OV} = V_{DD} - V_{BIAS} + V_{THP0}$  située entre  $5\%$  et  $10\%$  de la tension d'alimentation [5], [23]. De plus, nous avons vu qu'il est souhaitable de maximiser  $V_{BIAS}$  afin d'augmenter l'écart dynamique. Ainsi, afin de prémunir la polarisation du circuit face à la valeur minimale de  $V_{THP0}$  tout en maximisant  $V_{BIAS}$ , on sélectionne une marge de  $8\%$ , c'est-à-dire  $V_{BIAS} = V_{DD} + V_{THP0} - 0.08V_{DD} = 2.2\text{V}$ . Bien entendu, puisque la tension  $V_{BIAS}$  est appliquée au prototype par un générateur externe, elle peut être variée dans le but de constater son influence sur le comportement du circuit. L'équation (2.48) développée précédemment donne la valeur maximale de la tension de référence,  $V_{REF}$ , en fonction de  $V_{BIAS}$  et des paramètres du circuit. Négligeant

l'effet de substrat sur  $V_{TH2,3}$ , (c.-à-d.  $V_{TH2,3} = V_{THP0}$ ), et posant  $V_{BIAS} = 2.2\text{V}$  et  $V_{THP0} = -0.83\text{V}$ , on obtient :

$$V_{REF(\max)} \approx 2.2 - 0.27 \sqrt{\frac{\beta_1}{2\beta_{2,3}}} \quad (2.99)$$

La valeur maximale admissible pour  $V_{REF}$  est donc d'environ  $2.0\text{V}$  lorsque  $\beta_1 < 2\beta_{2,3}$ .

Le dimensionnement du transistor de polarisation  $M_I$  est quelque peu arbitraire, car aucun ordre de grandeur n'est spécifié pour  $I_{BIAS}$ . Nous avons toutefois posé la condition  $I_{BIAS}/2 \gg I_{PD}$  à quelques reprises lors de l'analyse théorique. Considérant  $I_{PD} \approx 1\text{nA}$ , il est jugé convenable d'établir le critère  $I_{BIAS} > 500\text{nA}$ . Le Tableau 2.1 montre qu'une faible valeur du courant de polarisation minimise toutes les caractéristiques à l'exception des différents délais. Selon l'équation (2.98) et considérant une matrice de 320 colonnes par 240 rangées, un courant de polarisation de  $1\mu\text{A}$  engendre une dissipation de puissance d'environ  $250\text{mW}$ , ce qui est significatif. De ce fait, nous jugeons qu'il est préférable que le courant  $I_{BIAS}$  se situe entre  $500\text{nA}$  et  $1\mu\text{A}$ .

La longueur minimale permise pour un transistor PMOS à oxyde épais est  $L_{min,P} = 0.3\mu\text{m}$ . Afin de réduire les effets de canal court, il est judicieux de choisir  $L_I > L_{min,P}$ . En outre, il est avantageux d'augmenter  $L_I$  dans le but de réduire  $\lambda_I$  pour diminuer la dépendance du courant  $I_{BIAS}$  envers la tension  $V_{DI} = V_{S2,3}$ . Le transistor  $M_I$  ne doit toutefois pas être trop long en raison de l'espace occupé sur le substrat, ce qui nous motive à choisir  $L_I = 1\mu\text{m}$ . Il reste à déterminer la valeur de  $W_I$  en effectuant une simulation DC paramétrique du transistor  $M_I$  où la paire différentielle de la Figure 2.5 est remplacée par une source de tension continue, ce qui permet de varier la tension  $V_{DI}$ .

La Figure 2.12 montre le courant  $I_{BIAS}$  obtenu en fonction de  $V_{D1}$  pour quelques valeurs de  $W_1$  comprises entre  $W_{min,P} = 0.3\mu\text{m}$  et  $W_1 = L_1 = 1\mu\text{m}$ . On constate que la largeur minimale  $W_1 = W_{min,P} = 0.3\mu\text{m}$  procure un courant de polarisation supérieur à 500nA. Or, puisque la tension  $V_{BIAS}$  est appliquée à la grille du transistor  $M_1$  de façon externe sans protection électrostatique, il est prudent de choisir un transistor plus large que la taille minimale. On sélectionne donc  $W_1 = 0.5\mu\text{m}$ , qui procure un courant de polarisation d'environ 750nA sans pour autant occuper considérablement plus d'espace sur le substrat. Notons enfin qu'une faible valeur de  $W_1$  contribue à augmenter l'écart dynamique en réduisant  $\beta_1$ .

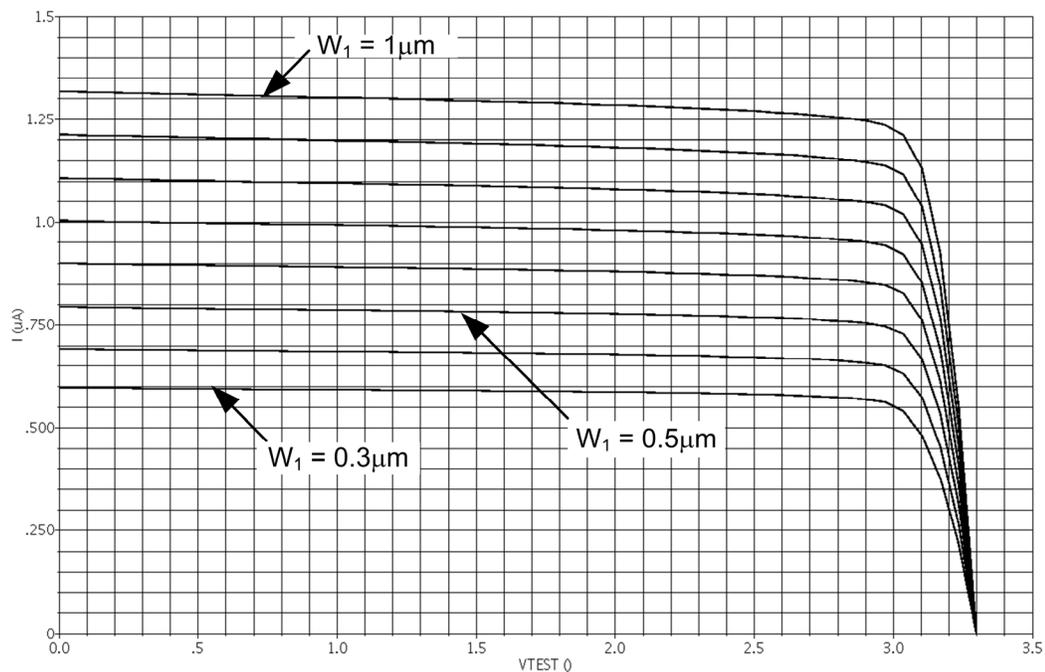


Figure 2.12 Courant de polarisation  $I_{BIAS}$

Effectuons maintenant les simulations requises pour déterminer les dimensions  $W_{2,3}$ ,  $L_{2,3}$ ,  $W_{4,5}$ , et  $L_{4,5}$  qui minimisent la tension de décalage. De façon à évaluer la tension de décalage par simulation, on emploie le circuit de la Figure 2.4 avec  $C_{INT} = 25\text{fF}$ ,  $V_{REF} = 2.0\text{V}$ ,  $L_1 = 1\mu\text{m}$ ,  $W_1 = 0.5\mu\text{m}$  et  $I_{PD} = 1\text{nA}$ . Un temps d'intégration de  $45\mu\text{s}$  est choisi

afin que la tension de sortie atteigne environ 0.2V à la fin de l'intégration, ce qui permet de couvrir l'ensemble de l'écart dynamique. Le temps de remise à zéro qui précède l'intégration a une durée de 0.25 $\mu$ s, ce qui est suffisant pour amener le pixel à un état stable avant le début de l'intégration. L'évaluation de la tension de décalage se fait alors en calculant la moyenne de l'écart  $V_{REF} - v_{G3}$  durant toute la période d'intégration. Il est à noter que la tension de décalage de remise à zéro est comptabilisée dans cette moyenne, mais son influence est minime étant donnée sa durée négligeable par rapport au temps d'intégration.

Puisqu'il y a quatre paramètres à optimiser, il est utile de définir un processus de simulation qui les combine. La première série de simulations vise à déterminer les rapports  $W/L$  optimaux des transistors  $M_{2,3}$  et  $M_{4,5}$ . Tel que mentionné précédemment, les longueurs des transistors doivent être supérieures à la longueur minimale afin de réduire les effets de canal court. On fixe donc d'abord les longueurs des transistors comme suit  $L_{2,3} = 2.3L_{min,P} = 0.7\mu\text{m}$  et  $L_{4,5} = 1.7L_{min,N} = 0.6\mu\text{m}$ . On définit ensuite les multiplicateurs  $A_1$  et  $A_2$  décrivant les rapports  $W/L$  :

$$A_1 = \frac{W_{2,3}}{L_{2,3}} = \frac{W_{2,3}}{2.3L_{min,P}} \quad (2.100)$$

$$A_2 = \frac{W_{4,5}}{L_{4,5}} = \frac{W_{4,5}}{1.7L_{min,N}} \quad (2.101)$$

La Figure 2.13 illustre la valeur moyenne de la tension de décalage,  $\varepsilon$ , en fonction des multiplicateurs  $A_1$  et  $A_2$  qui sont balayés entre 0.5 et 5. L'axe horizontal correspond aux différentes valeurs de  $A_2$ , alors que chacune des courbes correspond à une valeur donnée de  $A_1$ . On constate que, pour des longueurs  $L_{2,3}$  et  $L_{4,5}$  fixées, la tension de décalage est réduite en augmentant  $W_{2,3}$  et en réduisant  $W_{4,5}$ , ce qui est conforme au comportement anticipé par les analyses théoriques.

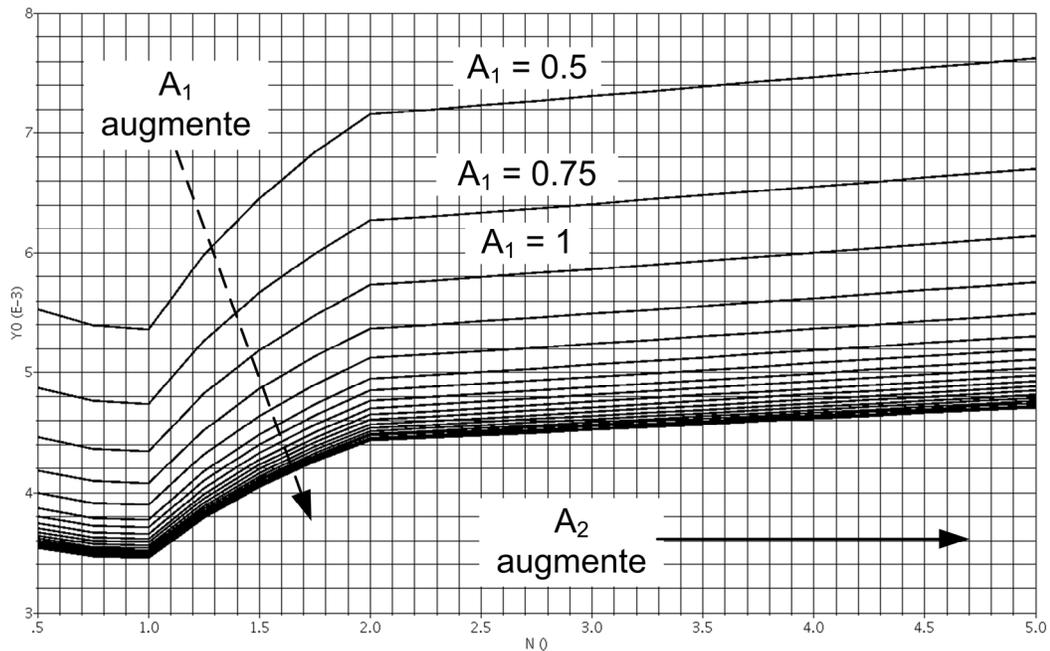


Figure 2.13 Valeur moyenne de la tension de décalage pour différentes valeurs des multiplicateurs  $A_1$  et  $A_2$

On note également que le taux de réduction de la tension de décalage diminue avec l'augmentation de  $W_{2,3}$ . D'autre part, peu importe la valeur de  $W_{2,3}$ , un minimum est atteint pour  $A_2 \approx 1$ . C'est donc dire que le rapport  $W_{4,5}/L_{4,5}$  optimal est d'environ un, alors qu'il est peu profitable d'avoir un rapport  $W_{2,3}/L_{2,3}$  supérieur à un si l'on désire minimiser l'écart dynamique et la surface. Pour ces raisons, on choisit  $W_{2,3}/L_{2,3} = W_{4,5}/L_{4,5} = 1$ . Il faut maintenant déterminer la magnitude des dimensions  $W_{2,3} = L_{2,3}$  et  $W_{4,5} = L_{4,5}$ . Pour ce faire, nous allons effectuer une nouvelle simulation paramétrique double, cette fois-ci en fixant les rapports  $W/L$  des transistors et en variant la longueur des transistors selon les multiplicateurs  $A_3$  et  $A_4$  définis comme suit :

$$A_3 = \frac{W_{2,3}}{2.3L_{\min,P}} = \frac{L_{2,3}}{2.3L_{\min,P}} \quad (2.102)$$

$$A_4 = \frac{W_{4,5}}{1.7L_{\min,N}} = \frac{L_{4,5}}{1.7L_{\min,N}} \quad (2.103)$$

La Figure 2.14 illustre la valeur moyenne de la tension de décalage en fonction des multiplicateurs  $A_3$  et  $A_4$  balayés entre un et cinq. Tel que prévu, une augmentation des longueurs des transistors se traduit par une réduction de la tension de décalage. Or, selon le Tableau 2.1, une réduction de ces longueurs est bénéfique pour toutes les autres caractéristiques, à l'exception du bruit, pour lequel  $L_{4,5}$  gagne à être augmenté. Par conséquent, on choisit de conserver de petits transistors et de maintenir les dimensions initiales, soient  $W_{2,3} = L_{2,3} = 0.7\mu\text{m}$  et  $W_{4,5} = L_{4,5} = 0.6\mu\text{m}$ .

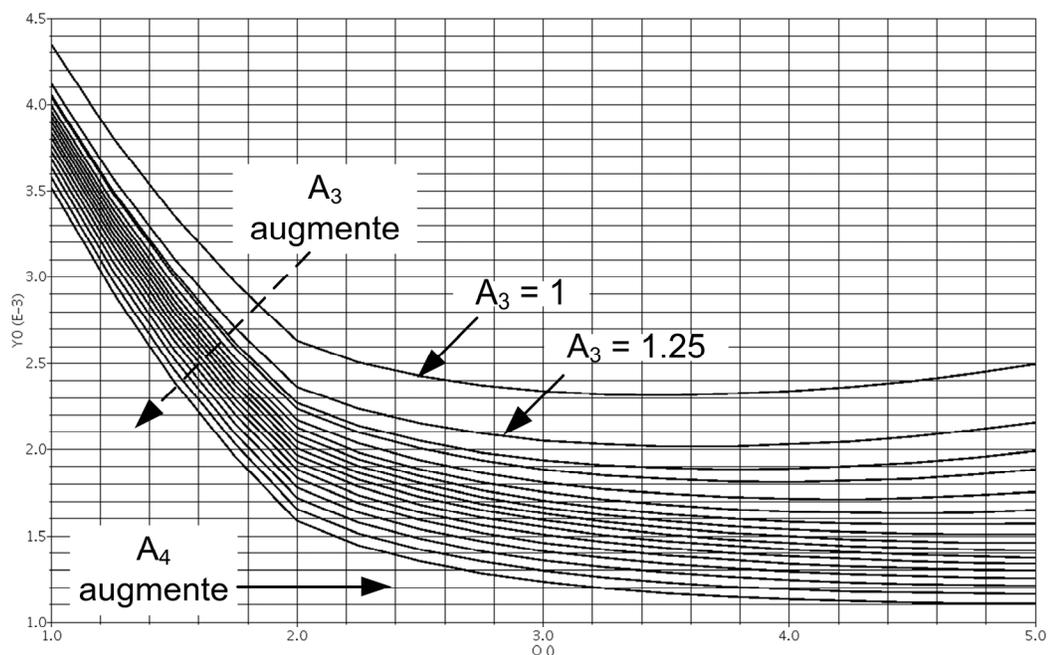


Figure 2.14 Valeur moyenne de la tension de décalage pour différentes valeurs des multiplicateurs  $A_3$  et  $A_4$

Le circuit complet du pixel actif, donné à la Figure 2.11, résulte de l'ajout de deux branches d'intégration du circuit de la Figure 2.4. Il suffit donc de dupliquer les valeurs obtenues précédemment pour chacune des trois branches d'intégration, et de doubler  $W_1$ , qui s'établit maintenant à  $1\mu\text{m}$ , afin de tenir compte des deux courants de polarisation additionnels.

Les valeurs finales des paramètres de conception du circuit de la Figure 2.11 sont données dans le Tableau 2.2. Le schéma électrique complet du circuit est montré à la Figure C.1. Mentionnons que le courant de polarisation,  $I_{BLAS}$ , a été évalué par simulation en appliquant  $V_{REF} = 2.0V$ . La valeur obtenue correspond à celle donnée par la courbe  $W_I = 1\mu m$  de la Figure 2.12 lorsque  $V_{DI} \approx 2.9V$ , ce qui confirme que le transistor  $M_I$  opère au seuil de la région de saturation pour  $V_{REF} = 2.0V$ .

Tableau 2.2 Valeurs finales des paramètres de l'intégrateur inverseur

Paramètre	Valeur	Paramètre	Valeur
$C_{INT}$	25fF	$W_{2,3,4,5}$	0.7 $\mu m$
$V_{BLAS}$	2.2V	$L_{2,3,4,5}$	0.7 $\mu m$
$W_I$	1.0 $\mu m$	$W_{6,7,8,9}$	0.6 $\mu m$
$L_I$	1.0 $\mu m$	$L_{6,7,8,9}$	0.6 $\mu m$
$I_{BLAS}$	1.2 $\mu A$		

### 2.3.3.3 Dessin des masques du pixel actif

Le Tableau 2.3 résume les dimensions et les caractéristiques du dessin des masques du pixel actif illustré à la Figure C.2.

Tableau 2.3 Caractéristiques du dessin des masques du pixel actif

Caractéristiques	Valeur
Nombre de transistors	21 au total 9 pour l'intégrateur inverseur 12 pour les portes de transmission
Dimensions du pixel actif	15.51 $\mu m \times 26.25\mu m$
Surface du pixel actif	407.14 $\mu m^2$
Indice de performance $\alpha$	1628.6 $\mu m$
Taille de la fenêtre optique	5.46 $\mu m \times 3\mu m$
Surface de la fenêtre optique	16.38 $\mu m^2$
Facteur de remplissage	4%

Il faut souligner que la taille du pixel a été minimisée en superposant les capacités *mimcap4* aux transistors et au photodétecteur, ce qui permet de respecter la contrainte sur l'indice de performance  $\alpha$ . Mentionnons également qu'aucune technique d'appariement (centre de gravité commun, etc.) n'a été utilisée pour les transistors qui forment les paires différentielles.

## 2.4 Circuits de colonne

### 2.4.1 Architecture générale des circuits de colonne

La Figure 2.15 montre une vue agrandie de l'architecture générale des circuits de colonne discutés à la section 2.2. Lors de la phase d'échantillonnage du pixel correspondant à cette colonne, la porte de transmission *ECH* est activée et la tension de sortie du pixel est échantillonnée aux bornes de la capacité totale présente au nœud  $v_{ECH}$ , soit  $C_{ECH} + C_{EN}$  où  $C_{EN}$  est la capacité équivalente de l'entrée du tampon. À la fin du temps accordé pour la lecture, la porte de transmission *ECH* se désactive et isole le nœud  $v_{ECH}$  du bus de colonne afin de prévenir les fuites de charge. Ensuite, lors de la phase de lecture, la porte de transmission de lecture, *LEC*, s'active et transfère la tension emmagasinée au nœud d'échantillonnage vers le bus de sortie.

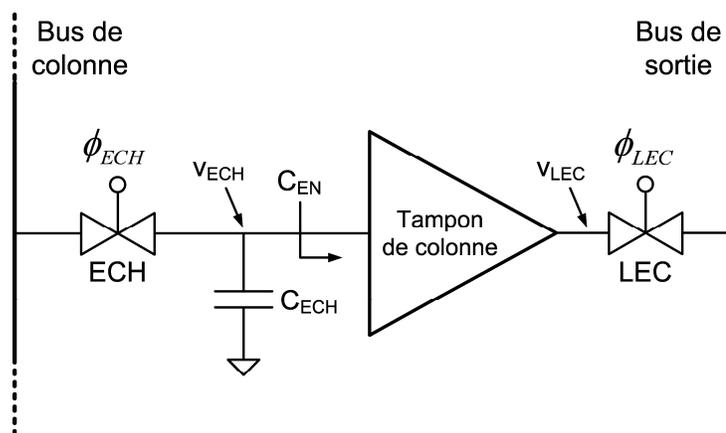


Figure 2.15 Circuit de colonne (1/3)

### 2.4.2 Tampon de colonne

Le tampon de colonne possède deux fonctions principales. Tout d'abord, il isole le nœud d'échantillonnage,  $v_{ECH}$ , du bus de sortie lors de la phase de lecture. Ensuite, il fait en sorte que la tension transférée au bus de sortie corresponde autant que possible à la tension échantillonnée. De plus, afin d'optimiser la fidélité du capteur d'images, le tampon de colonne ne doit pas inhiber la gamme dynamique du signal en provenance du pixel actif. Par conséquent, on choisit de réaliser le tampon à l'aide d'une structure différentielle identique à celle employée pour l'intégrateur inverseur, tel qu'illustré à la Figure 2.16. Les composants présents dans la boucle de rétroaction de l'intégrateur inverseur de la Figure 2.4 sont remplacés par une connexion électrique directe entre la grille et le drain du transistor  $M_3$ . Les prochaines sections visent à détailler le fonctionnement du tampon et à expliciter les liens qui existent entre les paramètres de conception et les caractéristiques désirées. Notons que les hypothèses posées à la section 2.3.2 demeurent valides.

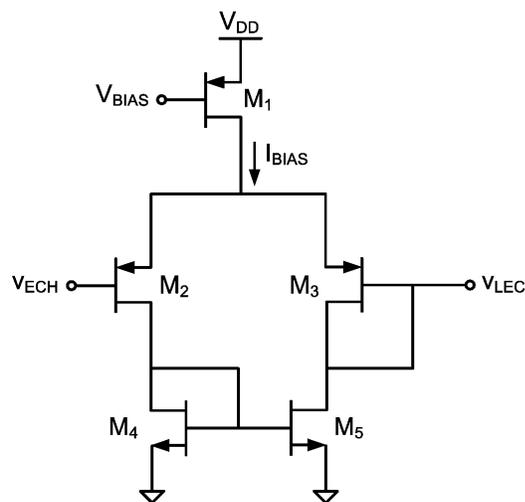


Figure 2.16 Architecture d'un tampon de colonne

#### 2.4.2.1 Tension de décalage

Le tampon de colonne correspond au circuit équivalent de l'intégrateur inverseur lors de la phase de remise à zéro en régime permanent de la Figure 2.6, où  $R_{ON} = 0$ . Par

conséquent, l'analyse effectuée à la section 2.5.2.2 s'applique intégralement et l'équation (2.25) décrit le gain en tension du tampon de colonne en régime permanent :

$$\frac{V_{LEC}}{V_{ECH}} \approx \frac{\sqrt{\mu_P C_{ox} W_{2,3}}}{\sqrt{\mu_P C_{ox} W_{2,3}} + \eta \sqrt{L_{2,3}} (1/L_{2,3} + 1/L_{4,5}) (\sqrt{I_{BIAS}}/2)} \quad (2.104)$$

La différence entre  $v_{ECH}$  et  $v_{LEC}$  est donc réduite en minimisant  $I_{BIAS}$  et en maximisant  $W_{2,3}$ . En ce qui concerne  $L_{2,3}$ ,  $L_{4,5}$  et  $W_{4,5}$ , la discussion élaborée lors de l'analyse de l'équation (2.18) s'applique à nouveau.

#### 2.4.2.2 Écart dynamique

Lorsque le tampon de colonne opère à l'intérieur de sa plage d'opération linéaire, on a  $v_{LEC} \approx v_{ECH}$  et il est raisonnable d'assumer que le courant de polarisation,  $I_{BIAS}$ , se divise en deux parts approximativement égales. Puisque  $v_{D5} = v_{G3} = v_{LEC}$ , les limites d'excursion de la tension  $v_{LEC}$  sont obtenues à partir des résultats énoncés à la section 2.3.2.3. Ainsi, tout comme dans le cas de l'intégrateur inverseur, l'excursion négative de la tension  $v_{LEC}$  est limitée par la polarisation du transistor  $M_5$ , comme le décrit l'équation (2.51). De plus, puisque le transistor  $M_3$  est connecté en diode, la limite d'excursion positive de la tension  $v_{LEC}$  est imposée par la valeur maximale admissible pour  $v_{G3}$ , explicitée à l'équation (2.48). Il s'ensuit que l'écart dynamique du tampon de colonne est identique à celui du pixel actif lorsqu'ils possèdent les mêmes paramètres  $\beta_1$ ,  $\beta_{2,3}$ ,  $\beta_{4,5}$  et  $V_{BIAS}$ .

#### 2.4.2.3 Phase d'échantillonnage

Lors de la phase d'échantillonnage, la porte de transmission de lecture,  $LEC$ , est désactivée et on retrouve le circuit équivalent de la Figure 2.17. L'annexe D démontre qu'une approximation de la capacité équivalente de l'entrée du tampon de colonne,  $C_{EN}$ , est donnée par l'expression suivante :

$$C_{EN} \approx W_{2,3} C_{ox} (L_{ov,P} + 2L_{2,3}/15) \quad (2.105)$$

Ainsi, la capacité  $C_{EN}$  est directement proportionnelle à  $W_{2,3}$  et  $L_{2,3}$  et ne dépend pas, en première approximation, de la tension  $v_{ECH}$ . D'autre part, la tension échantillonnée,  $v_{ECH}$ , met un certain temps à se propager vers le nœud  $v_{LEC}$  en raison du filtre RC passe-bas formé par la capacité totale au nœud  $v_{LEC}$  et la résistance de sortie du tampon de colonne,  $R_{LEC}$ . Il importe de considérer ce délai lors de la synchronisation des circuits de lecture afin d'éviter que la porte de lecture ne soit activée avant que la tension  $v_{LEC}$  n'ait atteint sa valeur en régime permanent donnée par l'équation (2.104).

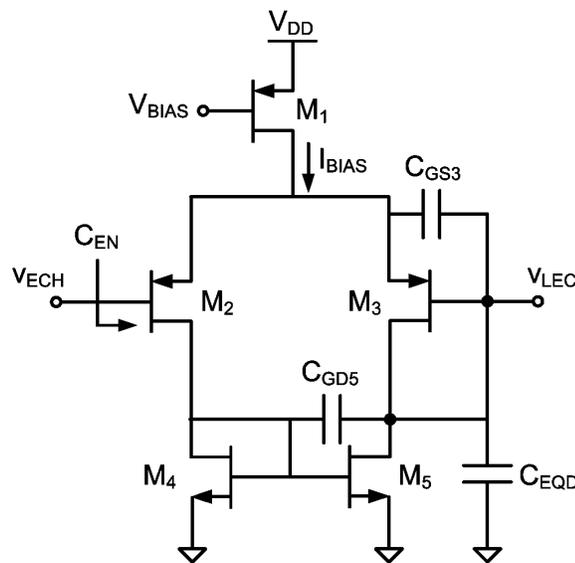


Figure 2.17 Tampon de colonne durant la phase d'échantillonnage

Une approximation raisonnable de la résistance de sortie,  $R_{LEC}$ , est obtenue en employant la théorie de la rétroaction négative. En effet, le circuit de la Figure 2.16 correspond à une paire différentielle dont la sortie (drain de  $M_3$ ) est reliée à l'entrée négative (grille de  $M_3$ ). Ainsi, négligeant l'effet de substrat et utilisant les équations (2.18) et (2.57) pour exprimer  $A_v$  et  $R_{PIX}$  respectivement, on obtient [23] :

$$R_{LEC} \approx \frac{R_{PIX}}{1 + A_v} = \frac{1}{\sqrt{\mu_p C_{ox} (W_{2,3}/L_{2,3}) I_{BIAS} + \eta (1/L_{2,3} + 1/L_{4,5}) (I_{BIAS}/2)}} \quad (2.106)$$

L'annexe D montre que l'effet Miller qui sévit sur  $C_{GS3}$  fait en sorte que le nœud  $v_{LEC}$  ne perçoit qu'environ  $0.2C_{GS3}$ . De ce fait, la capacité totale présente au nœud  $v_{LEC}$  est  $C_{EQD} + C_{GD5} + 0.2C_{GS3}$  et la constante de temps,  $\tau$ , du filtre RC résultant est :

$$\tau \approx \frac{C_{EQD} + C_{GD5} + 0.2C_{GS3}}{\sqrt{\mu_p C_{ox} (W_{2,3}/L_{2,3}) I_{BIAS} + \eta (1/L_{2,3} + 1/L_{4,5}) (I_{BIAS}/2)}} \quad (2.107)$$

Négligeant la contribution de  $W_{2,3}$  sur la capacité  $C_{GS3}$ , le temps de stabilisation est minimisé en augmentant  $I_{BIAS}$  et  $W_{2,3}$  et en réduisant  $L_{2,3}$ ,  $L_{4,5}$  et  $W_{4,5}$ .

#### 2.4.2.4 Phase de lecture

Une fois l'échantillonnage complété et le régime permanent atteint, la tension  $V_{LEC} \approx V_{ECH}$  doit être transmise au tampon de sortie. L'équation (B.3) décrit le délai de propagation entre la sortie du tampon de colonne et l'entrée du tampon de sortie,  $t_{d(sor)}$ . Celui-ci dépend de la constante de temps  $\tau_{LEC}$  obtenue à partir de l'étude du régime transitoire du circuit lorsque la porte de transmission  $LEC$  est activée. La capacité totale présente au nœud  $v_{LEC}$  lors de la phase de lecture,  $C_{LEC}$ , est à nouveau estimée en utilisant l'annexe D :

$$C_{LEC} \approx C_{EQA} + C_{GD5} + 0.2C_{GS3} \quad (2.108)$$

La constante de temps  $\tau_{LEC}$ , décrite par l'équation (B.4) est donc donnée par :

$$\tau_{LEC} = \frac{\overbrace{C_{EQA} + C_{GD5} + 0.2C_{GS3}}^{C_{LEC}} + C_{EQA} + MC_X + C_{EN2}}{\sqrt{\mu_P C_{ox} (W_{2,3}/L_{2,3}) I_{BIAS} + \eta (1/L_{2,3} + 1/L_{4,5}) (I_{BIAS}/2)}} \quad (2.109)$$

Il s'ensuit que le délai de lecture est minimisé de façon identique au temps de stabilisation, c'est-à-dire en réduisant  $R_{LEC}$ .

### 2.4.3 Conception et réalisation physique des circuits de colonne

#### 2.4.3.1 Choix de la capacité d'échantillonnage

L'équation (B.1) donne la valeur approximative du délai de propagation du signal en provenance du pixel jusqu'au nœud d'échantillonnage. On constate qu'une partie importante de ce délai est due à la capacité totale d'échantillonnage  $C_{ECH} + C_{EN}$ , ce qui porte à croire qu'il est avantageux de minimiser ces termes. Or, l'étude des portes de transmission de l'annexe A montre que les erreurs d'injection de charge et de transfert de charge dus aux signaux de commande sont minimisés lorsque la capacité d'échantillonnage est grande. Il existe donc un compromis entre la fidélité et la rapidité de l'échantillonnage. En outre, une grande capacité d'échantillonnage consomme une surface considérable sur le substrat. Selon les contraintes de conception énoncées en introduction, la fidélité du signal est primordiale, alors que la durée d'acquisition d'une image et l'espace occupé par les circuits de colonne ne font pas l'objet de restrictions spécifiques. Par ailleurs, il est souhaitable que la capacité métal-isolant-métal linéaire,  $C_{ECH}$ , soit au moins un ordre de grandeur plus grande que la capacité d'entrée du tampon de colonne,  $C_{EN}$ , afin de prévenir les non-linéarités et les variations entre les circuits de colonne qui résultent en un bruit de patron fixe. Pour toutes ces raisons, on choisit  $C_{ECH} = 50\text{fF}$ .

#### 2.4.3.2 Résumé des paramètres de conception des tampons de colonne

Le Tableau 2.4 résume les résultats des analyses précédentes et indique le sens de variation du paramètre qui permet d'optimiser la caractéristique correspondante.

Mentionnons que la consommation de puissance des tampons de colonne est à nouveau directement proportionnelle au courant de polarisation  $I_{BIAS}$  utilisé.

Tableau 2.4 Paramètres de conception des tampons de colonne

Caractéristiques à optimiser	Paramètres de conception					
	$W_1$	$L_1$	$W_{2,3}$	$L_{2,3}$	$W_{4,5}$	$L_{4,5}$
Tension de décalage	↓	↑	↑	↑*	↓	↑*
Écart dynamique	↓	↑	↑	↓	↑	↓
Délai de stabilisation	↑	↓	↑	↓	↓	↓
Délai de lecture	↑	↓	↑	↓	↓	↓
Consommation de puissance	↓	↑	-	-	-	-

\* dans ce cas,  $L_{2,3}$  et  $L_{4,5}$  doivent tendre à être égaux et maximisés

#### 2.4.3.3 Processus de conception des tampons de colonne

Choisissons d'abord une tension  $V_{BIAS} = 2.2V$  tout comme dans le cas du pixel actif. Afin de réduire l'effet de canal court et de modulation de longueur de canal, on pose ensuite  $L_1 = 1\mu m$ . Le rôle des tampons de colonne étant de transférer fidèlement les tensions échantillonnées aux tampons de sortie, il semble à première vue que les caractéristiques à optimiser soient la tension de décalage et l'écart dynamique. Or, puisque les bus de sortie sont partagés par l'ensemble des circuits de colonne et que les tensions de lecture sont multiplexées temporellement, la réduction des délais de propagation et de lecture revêt aussi une grande importance. On décide donc de faire un compromis entre une faible tension de décalage, un grand écart dynamique et de petits délais en choisissant  $W_1 = 1\mu m$ , ce qui double le courant dans chacune des branches de la paire différentielle du tampon de colonne par rapport au pixel actif, ce dernier possédant quatre branches plutôt que deux. Les circuits de colonne sont situés à l'extérieur de la matrice de pixels. Ils ne sont donc soumis à aucune contrainte particulière en ce qui concerne la surface occupée sur le substrat. Il s'ensuit que l'on choisit  $L_{2,3} = L_{4,5} = 1\mu m$  dans le but de réduire la tension de décalage sans augmenter considérablement les délais. Le choix de  $W_{2,3}$  est aisé puisque toutes les caractéristiques

impliquent le même comportement. On pose donc  $W_{2,3} = 3\mu\text{m}$ . Dans le cas de la largeur  $W_{4,5}$ , on note que l'écart dynamique est la seule caractéristique qui en requiert une valeur faible. On choisit  $W_{4,5} = 0.8\mu\text{m}$ , une valeur légèrement inférieure à  $L_{4,5}$ , de façon à sacrifier une partie de l'optimisation de la tension de décalage au profit de l'écart dynamique. Le Tableau 2.5 résume les valeurs finales des paramètres des circuits de colonne. Le courant de polarisation a été évalué en simulation pour une tension  $V_{ECH} = 2.0\text{V}$ . Sans surprise, sa valeur est identique à celle donnée au Tableau 2.2. La représentation complète des circuits de colonne est donnée à la Figure C.3.

Tableau 2.5 Valeurs finales des paramètres des circuits de colonne

Paramètre	Valeur	Paramètre	Valeur
$C_{ECH}$	50fF	$W_{4,5}$	0.8 $\mu\text{m}$
$V_{BIAS}$	2.2V	$L_{1,2,3,4,5}$	1.0 $\mu\text{m}$
$W_1$	1.0 $\mu\text{m}$	$I_{BIAS}$	1.2 $\mu\text{A}$
$W_{2,3}$	3.0 $\mu\text{m}$		

#### 2.4.3.4 Dessin des masques d'un circuit de colonne

Puisqu'il y a trois signaux à échantillonner simultanément, chaque circuit de colonne comporte trois exemplaires du circuit illustré à la Figure C.3. En ce qui concerne les contraintes géométriques, le dessin des masques d'un circuit de colonne doit avoir une largeur inférieure à celle d'une colonne de la matrice de pixels, alors que sa hauteur n'est limitée que par la surface totale de substrat disponible pour la fabrication du prototype. De ce fait, le dessin des masques doit adopter une forme longitudinale. Pour ce faire, chaque capacité  $C_{ECH}$  de 50fF a été obtenue en disposant verticalement deux capacités de 25fF connectées en parallèle. Le dessin des masques d'un circuit de colonne, dont les dimensions totales sont  $51.5\mu\text{m} \times 25.64\mu\text{m}$ , est montré à la Figure C.4 de l'annexe C. Mentionnons enfin qu'aucune technique d'appariement n'a été utilisée pour les transistors qui forment la paire différentielle du tampon de colonne.

## 2.5 Tampons de sortie

### 2.5.1 Contraintes de conception des tampons de sortie

Les trois tampons de sortie permettent d'interfacer les bus de sortie avec les circuits externes au capteur. La Figure 2.18 illustre la réalité physique à laquelle est soumise un tampon de sortie. La charge imposée à la sortie du tampon est d'abord constituée du bus interne qui rejoint le plot du circuit intégré. Ensuite, le câble de pontage externe induit une inductance parasite s'il est placé au dessus d'un plan de masse [23]. Il est à prévoir que les tensions de sortie seront mesurées à l'aide d'un oscilloscope qui exerce une charge de type RC parallèle dont la valeur dépend de la sonde utilisée et de son mode de fonctionnement (1X, 10X, etc.). Les sondes disponibles dans la salle d'essai sont de marque Tektronix. Lorsqu'elles opèrent en mode 10X, leur circuit équivalent est formé d'une résistance  $R_{SONDE} = 10M\Omega$  en parallèle avec une capacité  $C_{SONDE} = 16pF$ . L'inductance de pontage est habituellement très petite et peut être négligée dans les applications à basse fréquence. De plus, étant donné la valeur élevée de la capacité  $C_{SONDE}$ , il apparaît clair que celle-ci domine l'effet capacitif du bus interne. On peut donc considérer que la charge en sortie est uniquement constituée du circuit équivalent de la sonde.

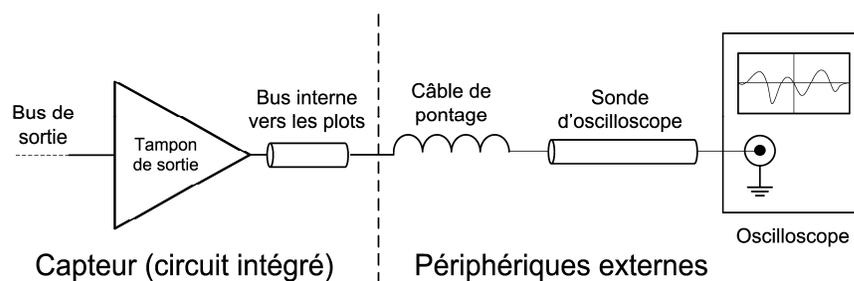


Figure 2.18 Interface entre le capteur et les périphériques externes

### 2.5.2 Architecture des tampons de sortie

En raison de la présence d'une charge résistive, l'architecture sélectionnée pour le tampon de sortie est celle d'un amplificateur opérationnel à deux étages avec rétroaction négative complète, tel qu'illustré à la Figure 2.19.

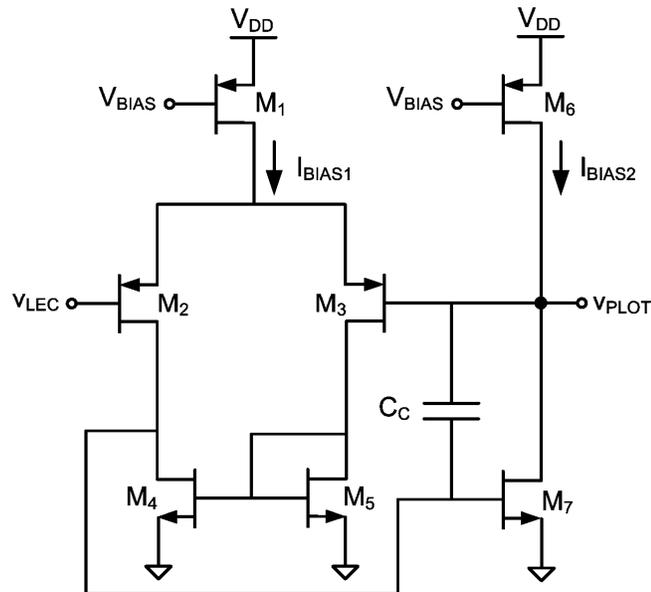


Figure 2.19 Architecture d'un tampon de sortie

L'amplificateur opérationnel à deux étages étant analysé en détails dans [5], [17], [23], nous nous contenterons ici d'une étude qualitative. Tout d'abord, mentionnons que l'avantage principal de la rétroaction négative complète consiste à faire en sorte que les caractéristiques importantes, telles la plage d'opération linéaire, la tension de décalage et la résistance de sortie, soient optimisées lorsque le gain en tension petit signal en boucle ouverte,  $A_{BO}$ , est maximisé [23], [24]. Autrement dit, lorsque le gain  $A_{BO}$  est suffisamment élevé, le tampon fait en sorte que la tension de sortie  $v_{PLOT}$  soit à toutes fins pratiques égale à la tension d'entrée,  $v_{LEC}$ . Le désavantage principal de l'utilisation d'une rétroaction négative complète se situe au niveau de la stabilité de l'amplificateur. En effet, si  $A_{BO}$  est supérieur à l'unité (0dB) et que le déphasage total entre l'entrée et la sortie vaut exactement  $180^\circ$ , la rétroaction négative devient positive et le circuit est instable. On choisit donc d'utiliser une technique de compensation très simple de type Miller par l'entremise de la capacité  $C_C$ . Afin d'éviter de recourir à une tension continue externe supplémentaire ou à une résistance intégrée, nous décidons de ne pas employer la compensation par annulation du zéro proposée dans [17]. En dépit de son implémentation très simple, la compensation Miller entraîne un compromis fondamental

entre le gain en tension, la marge de phase et la qualité de la réponse transitoire du circuit [17]. Si la capacité de compensation est trop petite, le système est sous-compensé et la réponse à l'échelon comporte un dépassement et des oscillations. Dans le cas d'un système surcompensé, le taux de montée est excessivement long [17], [23], [24].

### 2.5.3 Processus de conception des tampons de sortie

Le processus de conception d'un amplificateur opérationnel de base à deux étages est détaillé dans [1] et [23]. Notons qu'afin de réduire les effets de canal court, nous avons choisi une longueur unique de  $1\mu\text{m}$  pour tous les transistors. Plusieurs simulations ont été effectuées afin d'optimiser les dimensions des transistors. Soulignons que la charge équivalente de la sonde d'oscilloscope a été laissée en place durant toutes les étapes de conception. Le Tableau 2.6 présente les valeurs finales des paramètres du circuit de la Figure 2.19. Les courants de polarisation sont obtenus en simulation en appliquant une tension d'entrée  $v_{LEC} = V_{DD}/2 = 1.65\text{V}$ .

Tableau 2.6 Valeurs finales des paramètres des tampons de sortie

Paramètre	Valeur	Paramètre	Valeur
$C_C$	1.8pF ( $2 \times 900\text{fF}$ )	$W_6$	25.0 $\mu\text{m}$
$V_{BIAS}$	2.2V	$W_7$	23.0 $\mu\text{m}$
$W_1$	5.0 $\mu\text{m}$	$L_{1,2,3,4,5,6,7}$	1.0 $\mu\text{m}$
$W_{2,3}$	4.0 $\mu\text{m}$	$I_{BIAS1}$	5.3 $\mu\text{A}$
$W_{4,5}$	2.0 $\mu\text{m}$	$I_{BIAS2}$	26.7 $\mu\text{A}$

La Figure 2.20 illustre la réponse fréquentielle en boucle ouverte lorsqu'une tension continue de  $V_{DD}/2 = 1.65\text{V}$  est appliquée aux entrées. On observe que le gain petit signal à basse fréquence est de 92.28dB et que la marge de phase vaut  $180^\circ - 120.8^\circ = 59.2^\circ$ , ce qui est très près de la valeur recommandée de  $60^\circ$  [23]. Il importe de nuancer l'utilisation de la marge de phase comme unique paramètre d'évaluation de la stabilité d'un circuit. En effet, puisque la marge de phase n'est valide que pour les tensions

d'entrée situées à proximité du point d'opération auquel elle a été évaluée, il est utile de confirmer la stabilité du circuit en effectuant une simulation transitoire [23].

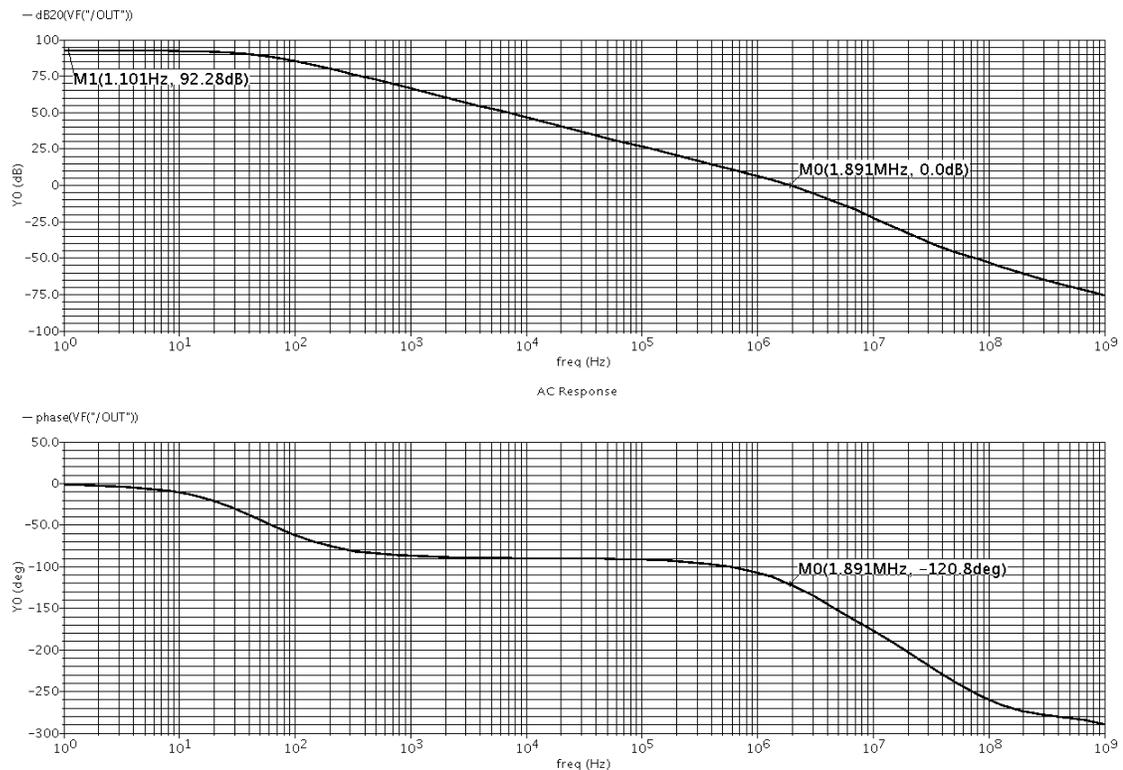
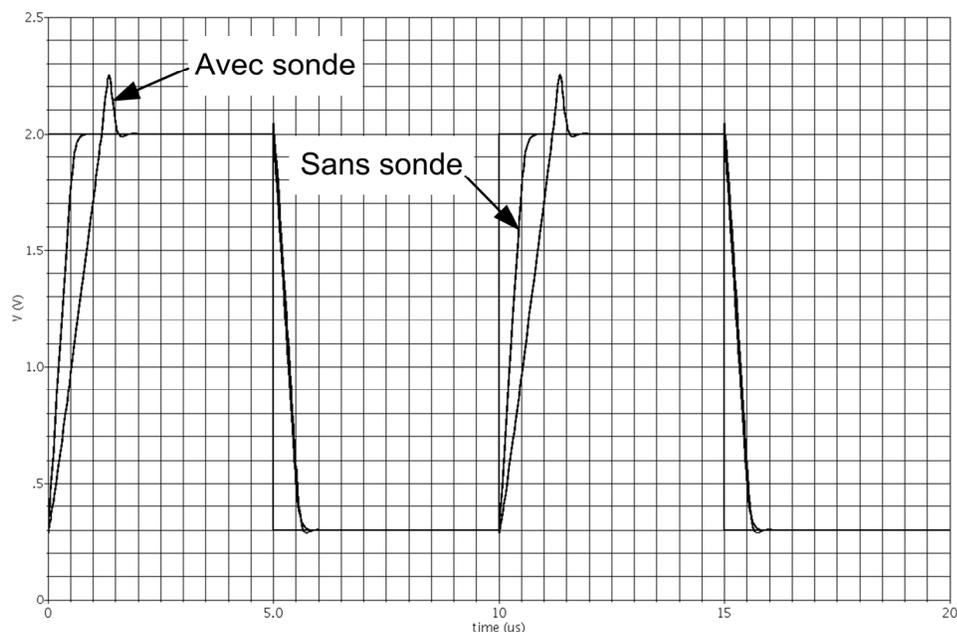


Figure 2.20 Marge de phase d'un tampon de sortie

La Figure 2.21 montre la réponse transitoire du tampon de sortie à une onde carrée ayant des tensions minimale et maximale respectives de  $v_{SOR(\min)}$  (0.3V) et  $V_{REF}$  (2.0V). On constate qu'il existe un dépassement d'environ 0.25V lorsqu'un circuit RC parallèle modélisant la sonde d'oscilloscope est relié en sortie. La qualité de la réponse transitoire en l'absence de la sonde confirme néanmoins qu'il est possible d'éliminer ce dépassement en isolant la sonde d'oscilloscope à l'aide d'un suiveur de tension discret possédant une faible capacité d'entrée. Finalement, le dessin des masques du tampon de sortie est donné à la Figure C.5. Notons que les transistors  $M_2$  et  $M_3$  ont été dessinés en utilisant la technique du centre de gravité commun pour assurer un meilleur appariement.



## 2.6 Conclusion

Le présent chapitre avait pour objectif principal de traiter de façon spécifique les circuits de lecture du prototype de capteur d'images. Pour ce faire, nous avons d'abord présenté le contexte de réalisation du prototype de capteur d'images ainsi que les contraintes de conception imposées par l'équipe de travail Foryon. Nous avons ensuite introduit la théorie fondamentale utilisée lors de l'élaboration du pixel actif à intégrateur inverseur. À partir de ces notions, nous avons analysé théoriquement chacune des phases d'opération du pixel actif, tant en régime transitoire qu'en régime permanent. Cette étude détaillée nous a permis de définir les principaux axes de conception du pixel actif et de compléter la conception à l'aide de quelques simulations. Finalement, nous avons analysé et conçu les circuits de colonne et le tampon de sortie qui complètent la chaîne de transmission du signal analogique du pixel actif vers l'extérieur du circuit intégré. Le prochain chapitre présentera les résultats de simulation et expérimentaux du prototype de capteur d'images. Nous utiliserons alors la théorie vue dans le présent chapitre afin d'expliquer le comportement réel du circuit.

## CHAPITRE 3

### MESURES ET RÉSULTATS

#### 3.1 Introduction

Le prototype de capteur d'images a été fabriqué en technologie TSMC 0.25 $\mu\text{m}$  et occupe une surface totale de 8.64mm<sup>2</sup> (incluant les plots en périphérie). La Figure 3.1 présente une photographie du prototype comportant l'identification des principaux blocs de traitement analogique. Notons que le dessin des masques du prototype est donné à la Figure C.6 de l'annexe C. Le prototype comporte deux matrices de pixels indépendantes. On retrouve d'abord la matrice principale composée de 100 rangées et 75 colonnes de pixels actifs. Ces derniers sont connectés aux circuits de colonne et aux tampons de sortie de façon à former une architecture identique à celle montrée à la Figure 2.1. Soulignons que la tension de polarisation des pixels actifs de cette matrice,  $V_{BIASP}$ , est physiquement séparée de celle requise par les tampons de colonne et de sortie,  $V_{BLAST}$ , en vertu de l'utilisation de plots d'entrée distincts. Cela offre l'intéressante possibilité de varier indépendamment les courants de polarisation des pixels et des circuits périphériques.

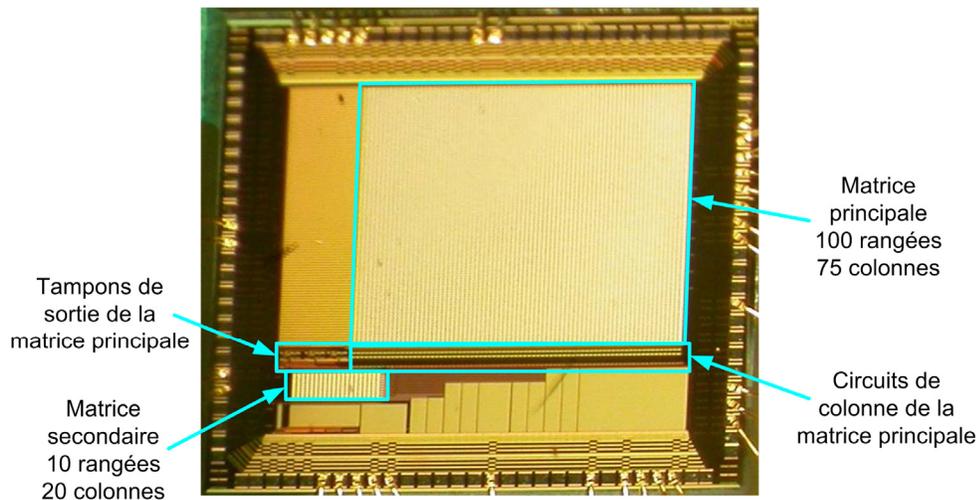


Figure 3.1 Photographie du circuit intégré

On retrouve ensuite la matrice secondaire qui comporte 10 rangées et 20 colonnes de pixels actifs. Les nœuds de sortie de ces derniers sont directement accessibles par l'entremise de plots de sortie, ce qui permet d'isoler le fonctionnement du circuit intégrateur inverseur en vue de le caractériser et d'en évaluer la performance.

Ce chapitre vise à présenter et à caractériser le fonctionnement des circuits conçus au chapitre 2. En premier lieu, les trois blocs de traitement analogiques (intégrateur inverseur, circuits de colonne et tampons de sortie) sont évalués individuellement. La matrice secondaire est employée pour démontrer certains aspects du fonctionnement du circuit intégrateur inverseur, alors que des simulations post-extraction sont requises pour caractériser les tampons de colonne et de sortie. En effet, puisque ces derniers sont connectés de façon permanente à la matrice principale, ils ne peuvent pas être caractérisés individuellement de façon expérimentale. Enfin, la matrice principale est utilisée dans le but de présenter le fonctionnement de l'ensemble des circuits.

## 3.2 Blocs de traitement analogique

### 3.2.1 Pixel actif à intégrateur inverseur

#### 3.2.1.1 Procédures de test et banc d'essai

La Figure 3.2 illustre l'architecture de la matrice secondaire utilisée pour caractériser le fonctionnement du pixel actif à intégrateur inverseur. Chaque rangée de pixels possède deux connexions permettant d'appliquer un champ électrique à tous les puits N des photodétecteurs de cette rangée. La tension  $V_{PUITSMAX}$  est appliquée au contact N+ situé en amont de la région photosensible du photodétecteur, alors que la tension  $V_{PUITSMIN}$  est appliquée en aval des électrodes (cf. Figure 1.15). Dans le but de réduire le nombre de plots alloués pour ces tensions, tous les photodétecteurs d'une colonne partagent le même puits N. Il s'ensuit que la tension  $V_{PUITSMAX}$  de la première rangée correspond à la tension  $V_{PUITSMIN}$  de la seconde rangée et ainsi de suite, ce qui réduit à 11 le nombre de plots requis, plutôt que 20 si les puits étaient indépendants. Les signaux de remise à zéro,  $RZ$ , et d'échantillonnage,  $ECH$ , sont également partagés par tous les pixels d'une

même rangée. Les tensions  $V_{DD}$ ,  $V_{BIASP}$  et  $V_{REF}$  sont communes à toute la matrice et sont omises de la Figure 3.2 pour fins de simplification. Enfin, la sélection de la colonne que l'on désire lire s'effectue à l'aide des 20 signaux de commande  $SEL\_COL$ . De façon à caractériser le pixel actif à intégrateur inverseur, on choisit d'isoler un pixel compris à l'intérieur de la matrice secondaire. Afin de tenir compte de l'influence des dessins des masques des pixels périphériques, il est préférable de choisir un pixel situé au centre de la matrice. On sélectionne donc le pixel de la cinquième rangée et la dixième colonne en activant les signaux  $ECH_5$  et  $SEL\_COL_{10}$ .

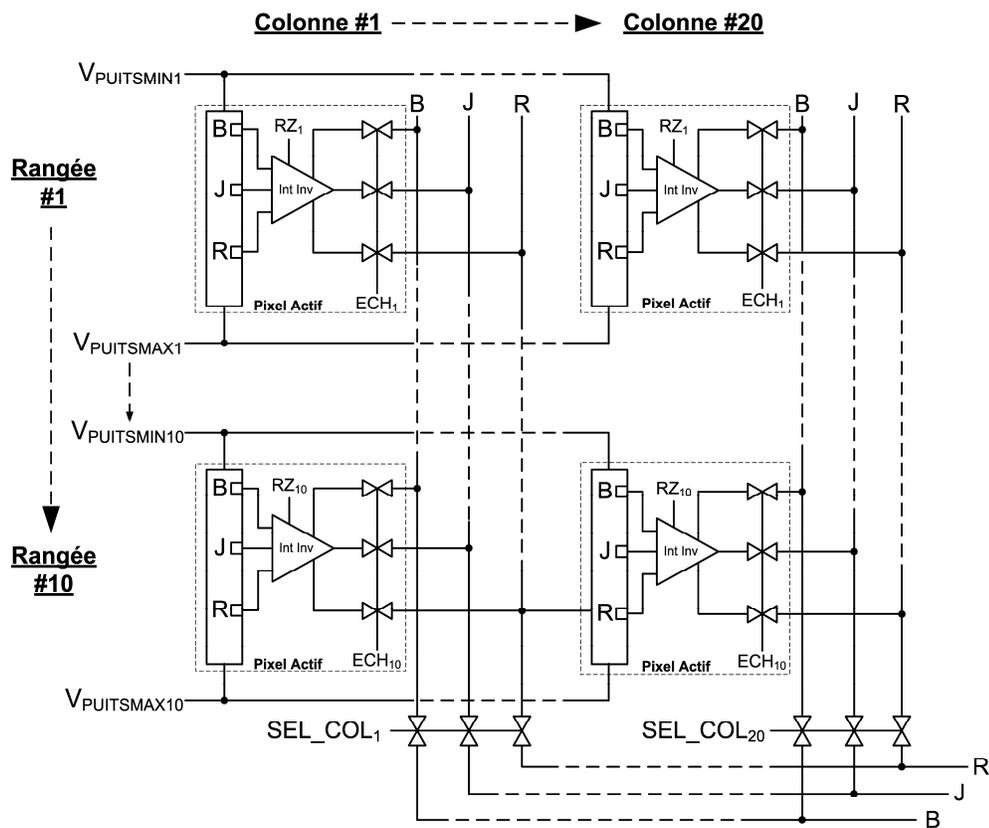


Figure 3.2 Architecture de la matrice secondaire

On sait que les jonctions P+N formées par les électrodes et le puits doivent demeurer en tout temps en polarisation inverse afin de ne récupérer qu'un courant de trous. Ainsi, sachant que la tension de référence,  $V_{REF}$ , vaut nominalelement 2.0V, on pose les valeurs

de départ suivantes :  $V_{PUITSMAX5} = V_{DD} = 3.3V$  et  $V_{PUITSMIN5} = 3V$ . Celles-ci procurent une différence de potentiel amplement suffisante de 300mV et font en sorte que la région du puits N située sous les électrodes possède une tension supérieure à 3V. Cette façon de faire assure la polarisation inverse de la jonction P+N pour toutes les valeurs admissibles<sup>5</sup> de  $V_{REF}$ .

Le photodétecteur implémenté dans ce prototype est légèrement différent de celui décrit au chapitre 1 et caractérisé en détails dans [7]. En effet, lors du design de ce prototype, l'équipe de travail Foryon a choisi de modifier la structure du puits N de façon à faciliter la déviation des courants de trous. Malheureusement, des essais préliminaires réalisés en plaçant le prototype à l'intérieur d'un champ magnétique à l'aide d'un banc d'essai similaire à celui décrit dans [7] ont révélé que la structure modifiée ne répond pas au champ magnétique appliqué. Il s'ensuit que le photodétecteur fonctionne correctement, mais possède une sensibilité beaucoup plus faible que celle anticipée, ce qui n'empêche toutefois pas la caractérisation des circuits de lecture conçus au chapitre 2.

La Figure 3.3 présente une photographie du banc d'essai utilisé pour caractériser le pixel actif. On y aperçoit d'abord la proto-plaquette de montage qui comporte le prototype de capteur d'images et les connexions requises pour son fonctionnement. Une source de lumière blanche de puissance élevée (150W) est utilisée pour stimuler les photodétecteurs. On retrouve aussi les alimentations DC employées pour obtenir les tensions d'alimentation et de référence et pour générer le champ électrique appliqué au puits du pixel. On note enfin l'oscilloscope Tektronix TDS2024B qui permet l'acquisition des signaux de sortie des trois branches et le générateur de signaux qui génère le signal de remise à zéro. Celui-ci est une onde carrée d'amplitude 0V à 3.3V possédant un temps de travail de 80%, soit la valeur maximale admissible. Maximiser le temps de travail améliore la représentation graphique des résultats en minimisant le

---

<sup>5</sup> Pour  $V_{PUITSMIN} = 3V$ , même une tension à l'électrode de  $V_{DD} = 3.3V$  ne suffirait pas à polariser la jonction à l'avant.

temps d'intégration par rapport au temps de remise à zéro. Mentionnons aussi que le signal de remise à zéro est à logique négative, ce qui signifie qu'une tension de 0V active la remise à zéro du pixel.

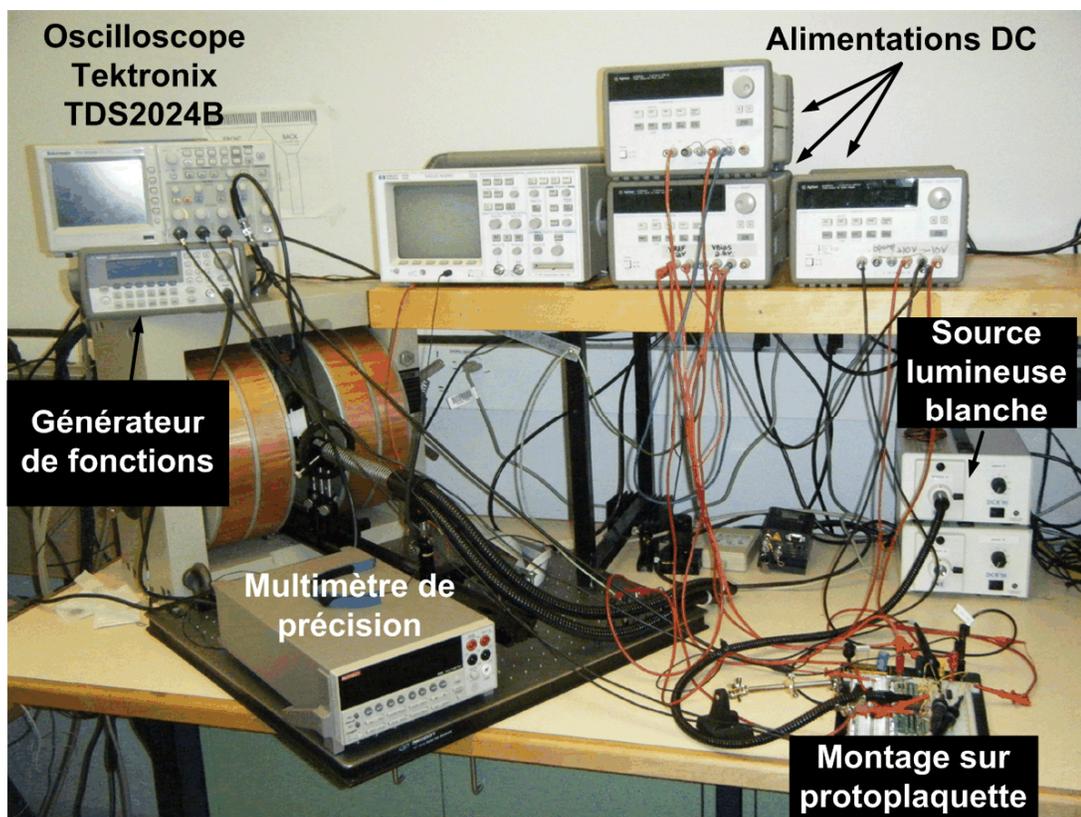


Figure 3.3 Banc d'essai utilisé pour caractériser le pixel actif

La Figure 3.4 montre une vue agrandie de la proto-plaquette d'essai. Puisque le photodétecteur ne répond pas au champ magnétique, nous n'avons pas besoin d'utiliser l'adaptateur pour champ magnétique décrit dans [7]. Nous choisissons donc de le ponter à l'intérieur d'un boîtier à 68 plots et de relier celui-ci à la proto-plaquette par l'entremise d'un adaptateur conçu et fabriqué sur mesure. La source lumineuse blanche est dirigée vers le prototype à l'aide d'un guide lumineux flexible. Dans le but de réduire l'effet de charge résistif et capacitif, les trois plots de sortie,  $R$ ,  $J$  et  $B$  sont connectés aux sondes d'oscilloscope par l'entremise de suiveurs de tension. Ces derniers sont réalisés à



$C_{PLAQ}$ . L'étude du dessin des masques de la matrice secondaire permet de constater que la connexion qui relie la sortie du pixel considéré au plot de sortie est constituée d'une trace de type « Métal 3 » ayant une largeur de  $0.4\mu\text{m}$  et une longueur approximative de  $2527\mu\text{m}$ . L'espacement par rapport aux autres traces métalliques de même type est  $0.5\mu\text{m}$ . Le plot analogique de sortie est quant à lui réalisé à l'aide d'une trace de type « Métal 1 » possédant une longueur de  $244\mu\text{m}$  et une largeur de  $5\mu\text{m}$  se terminant en un rectangle occupant une surface de  $6561\mu\text{m}^2$ . Utilisant la procédure de calcul des capacités parasites donnée dans la fiche technique de la technologie TSMC  $0.25\mu\text{m}$ , on obtient  $C_{TRACE} \approx 380\text{fF}$  et  $C_{PLOT} \approx 240\text{fF}$ . Enfin, la capacité entre deux traces adjacentes de la proto-plaquette,  $C_{PLAQ}$ , a été mesurée expérimentalement à l'aide d'un capacimètre et s'établit à environ  $1.2\text{pF}$ . Il s'ensuit que la capacité totale connectée au nœud de sortie vaut approximativement  $1.82\text{pF}$ . Cette valeur est largement supérieure à la capacité présente au nœud de sortie du pixel durant le fonctionnement anticipé de la matrice principale. En effet, lors des phases d'intégration et de remise à zéro, la porte de transmission d'échantillonnage est normalement désactivée et seule sa capacité équivalente se retrouve au nœud de sortie. Or, pour être en mesure d'observer à l'oscilloscope ces phases de remise à zéro et d'intégration, on doit maintenir activée la porte d'échantillonnage. Par conséquent, les délais de remise à zéro et la durée du régime transitoire d'intégration observés à l'aide de ce montage sont exagérés par rapport aux valeurs rencontrées lors du fonctionnement anticipé du pixel.

### 3.2.1.2 *Fonctionnement global*

Afin de vérifier le fonctionnement global de l'intégrateur inverseur, nous avons d'abord réglé la tension de polarisation du pixel,  $V_{BIASP}$ , à sa valeur nominale de  $2.2\text{V}$  et nous avons activé la source de lumière blanche. Nous avons ensuite ajusté le temps d'intégration et l'intensité lumineuse pour permettre l'observation du fonctionnement des trois branches du circuit. La Figure 3.5 montre les signaux de sortie des branches correspondant à chacune des électrodes. On remarque que les tensions associées aux électrodes jaune et blanche saturent beaucoup plus rapidement que celle liée à

l'électrode rouge. On en déduit que cette dernière est beaucoup moins sensible, ce qui s'explique par la proximité du contact N+ qui récupère les électrons et par l'absence d'action du champ magnétique, donc de l'effet Hall. Il est également intéressant de constater que le processus d'intégration se poursuit normalement malgré la saturation de l'une ou des deux autres branches de l'intégrateur inverseur.

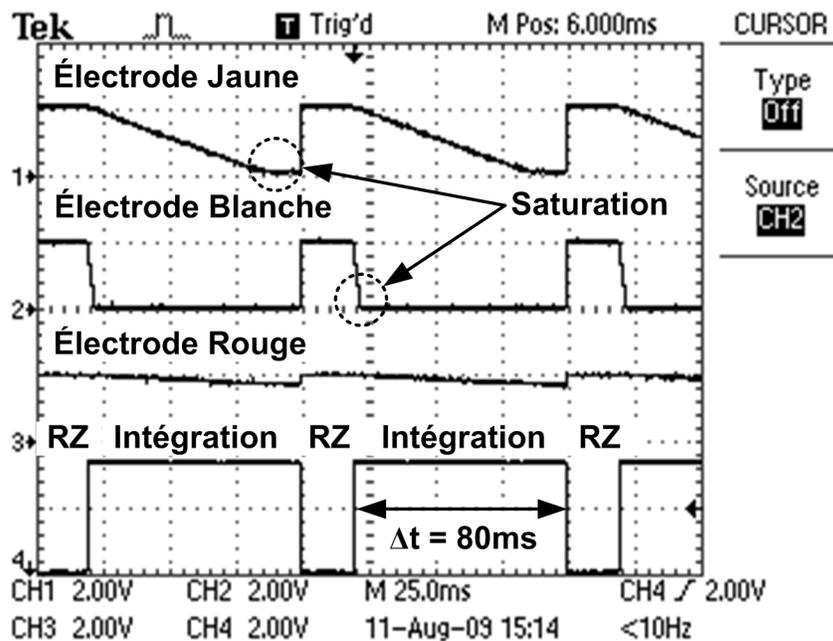


Figure 3.5 Fonctionnement du pixel actif à intégrateur inverseur

### 3.2.1.3 Écart dynamique

L'écart dynamique du pixel actif a été évalué théoriquement au chapitre 2. Selon l'équation (2.51), la tension de sortie minimale,  $v_{SOR(\min)}$ , diminue avec une augmentation de  $V_{BIASP}$ , la tension de polarisation du pixel. Afin de vérifier cette hypothèse, nous avons réduit l'intensité lumineuse par rapport à celle utilisée pour obtenir la Figure 3.5, de façon à ce que la saturation se produise moins rapidement au niveau de l'électrode blanche. Nous avons ensuite mesuré la tension minimale de sortie correspondant à cette électrode pour trois tensions de polarisation,  $V_{BIASP}$ , différentes, soient 2.0V, 2.2V et 2.4V. Dans le premier cas, le courant de polarisation du pixel actif,

$I_{BIAS}$ , est plus élevé qu'avec la valeur nominale de 2.2V, alors que dans le dernier cas, le transistor de polarisation est au seuil de conduction ( $V_{SG} = 0.9V$ ) et son courant est faible. Notons que la tension de référence,  $V_{REF}$ , est maintenue à 2.0V pour tous les tests. Il s'ensuit que le transistor de polarisation est polarisé près de la région linéaire lorsque  $V_{BIASP} = 2.0V$ . La Figure 3.6 montre que les tensions de sortie minimales sont respectivement de 100mV, 80mV et 60mV, ce qui confirme le comportement anticipé au chapitre 2. Il est à noter qu'un logiciel de traitement d'images a été utilisé pour superposer les formes d'ondes correspondant à chacune des tensions de polarisation sur un même oscillogramme.

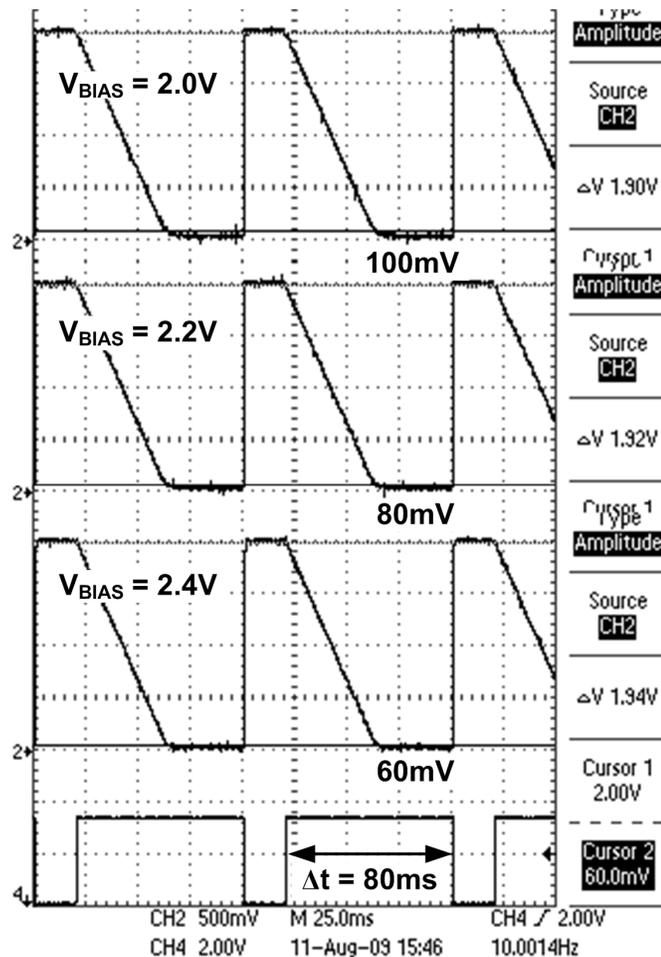


Figure 3.6 Limites d'excursion inférieure de la tension de sortie

Lorsque la tension de référence,  $V_{REF}$ , est maximisée, la tension maximale de sortie,  $v_{SOR(max)}$ , dépend directement de la tension de polarisation,  $V_{BIASP}$ , tel que décrit par l'équation (2.48). L'écart dynamique maximal de l'intégrateur inverseur se mesure donc lorsque  $V_{REF}$  est maximisé de façon à forcer le transistor de polarisation à la limite de la région de saturation. Afin de mesurer l'écart dynamique maximal absolu du pixel, nous avons fixé la tension  $V_{BIASP}$  à 2.4V et nous avons augmenté la tension de référence,  $V_{REF}$ , jusqu'à ce qu'une légère distorsion de la pente d'intégration du signal de sortie soit apparente, ce qui indique vraisemblablement une légère dépolarisation de la source de courant. La tension  $V_{REF}$  maximale obtenue est 2.52V, valeur pour laquelle il résulte un écart dynamique maximal absolu de 2.46V, tel que montré à la Figure 3.7. Ce résultat corrobore l'équation (2.54) qui dicte que l'écart dynamique maximal possède une borne supérieure absolue de  $V_{DD} + V_{THP0}$ , soit 2.47V si l'on considère la valeur nominale  $V_{THP0} = -0.83V$ . Répétant la procédure précédente pour des tensions  $V_{BIASP}$  de 2.0V et 2.2V, on retrouve des valeurs maximales admissibles pour  $V_{REF}$  de 2.16V et 2.35V, ce qui se traduit respectivement par des écarts dynamiques maximaux de 2.06V et 2.27V. L'écart dynamique maximal dépend donc directement de la tension de polarisation,  $V_{BIASP}$ .

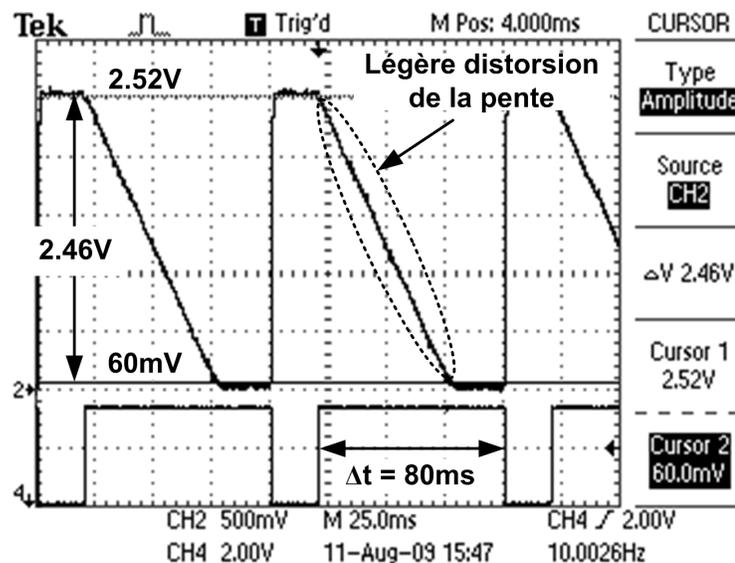


Figure 3.7 Écart dynamique maximal absolu du pixel actif

### 3.2.1.4 Délai de remise à zéro et linéarité

Utilisant à nouveau uniquement la tension de sortie correspondant à l'électrode blanche, on peut évaluer le délai de remise à zéro et la linéarité de l'intégrateur inverseur. Puisque l'oscilloscope numérique Tektronix TDS2024B mémorise 2500 échantillons par oscillogramme, il est avantageux de réduire le temps d'intégration pour obtenir une meilleure précision lors du traitement des données. On diminue donc le temps d'intégration à 16ms et on ajuste l'intensité lumineuse de la source de manière à ce que la tension de sortie du pixel couvre une plage de tensions qui s'étend de  $V_{REF} = 2.0V$  à la limite d'excursion inférieure de la tension de sortie dans le pire cas, soit 100mV. La Figure 3.8 illustre les oscillogrammes obtenus pour les trois tensions de polarisation  $V_{BIASP}$  considérées précédemment.

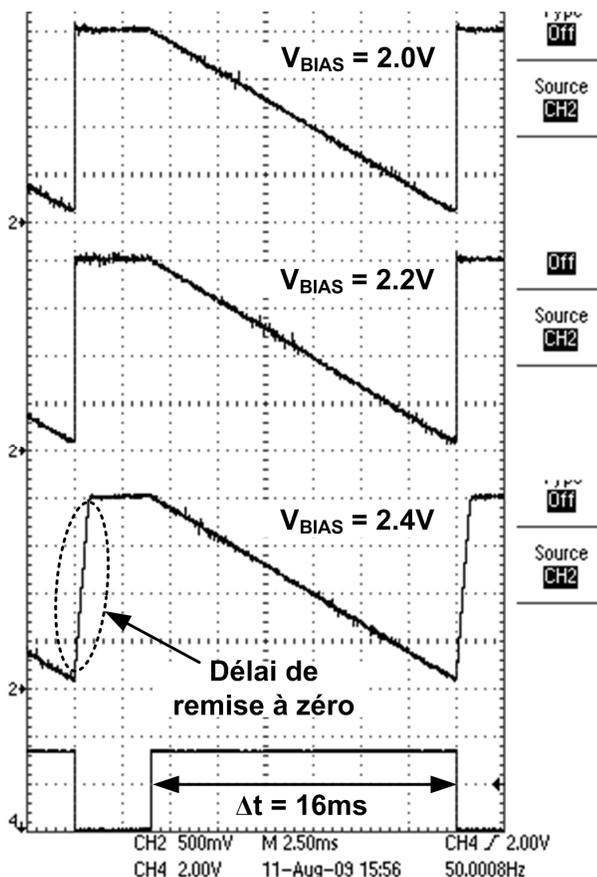


Figure 3.8 Délais de remise à zéro et intégration

Puisqu'il y a dix divisions par oscillogramme et que chaque division possède une durée de 2.5ms, l'écart de temps entre chaque échantillon recueilli par l'oscilloscope est de 10 $\mu$ s. La différence la plus remarquable entre les trois formes d'ondes est le délai de remise à zéro qui est très perceptible lorsque  $V_{BIASP} = 2.4V$ . Cela confirme la théorie exposée à la section 2.3.2.5, puisque la seconde constante de temps de remise à zéro,  $\tau_{RZ2}$ , donnée à l'équation (2.70) est inversement proportionnelle à  $I_{BIAS}$ , qui décroît avec une augmentation de  $V_{BIASP}$ .

La linéarité de la pente d'intégration est cruciale, car le fonctionnement du capteur d'images repose sur la capacité de l'intégrateur inverseur à produire une tension de sortie qui correspond autant que possible au cas idéal décrit à l'équation (2.3). Négligeant les temps de montée et de descente du signal de remise à zéro qui sont évalués inférieurs à 10 $\mu$ s, la pente idéale de la droite d'intégration des formes d'ondes de la Figure 3.8 est donnée par :

$$\frac{\Delta v_{SOR}}{\Delta t} \approx \frac{0.1V - 2V}{16ms} = -118.75V/s \quad (3.1)$$

Afin de vérifier si les pentes d'intégration correspondent à cette valeur, on effectue une régression linéaire des échantillons correspondant à la phase d'intégration des formes d'ondes présentées à la Figure 3.8 à l'aide du logiciel MATLAB. Il est ensuite possible de comparer la pente de la droite de régression à la valeur idéale. Il est également convenable d'évaluer la linéarité en calculant l'erreur quadratique moyenne existant entre les données expérimentales et la droite d'intégration idéale. Une erreur quadratique moyenne plus faible indique alors une meilleure linéarité.

Le Tableau 3.1 présente les caractéristiques mesurées de l'intégrateur inverseur. On retrouve d'abord le délai de remise à zéro, qui représente le temps que met la tension de sortie pour passer de 100mV à 2.0V. Celui-ci est clairement plus important pour  $V_{BIASP} =$

2.4V en raison du très faible courant de polarisation, ce qui corrobore la théorie du chapitre 2 qui soutient que le délai de remise à zéro diminue avec un courant de polarisation plus élevé. On retrouve ensuite la pente de la droite de régression que l'on compare à la valeur idéale donnée précédemment. Bien que la pente soit similaire pour les trois tensions de polarisation, on remarque un léger avantage dans le cas où  $V_{BIASP} = 2.0V$ , ce qui laisse présager une amélioration de la linéarité avec une augmentation du courant de polarisation. Cette observation est d'ailleurs confirmée par l'erreur quadratique moyenne, puisque celle-ci diminue lorsque le courant de polarisation augmente.

Tableau 3.1 Délai de remise à zéro et linéarité de l'intégration

Caractéristique	$V_{BIASP}$		
	2.0V	2.2V	2.4V
Délai de remise à zéro (100mV à 2.0V)	40 $\mu$ s	90 $\mu$ s	780 $\mu$ s
Pente de la droite de régression	-119.76V/s	-120.8V/s	-120.9V/s
Erreur quadratique moyenne	$2.78 \times 10^{-4} V^2$	$3.46 \times 10^{-4} V^2$	$4.34 \times 10^{-4} V^2$

À première vue, ces résultats semblent contre intuitifs, car il a été démontré que la tension de décalage diminue avec le courant de polarisation. Effectivement, tel que démontré par l'équation (2.44), une faible tension de décalage est un bon indicateur de conformité au comportement idéal de l'intégrateur inverseur. Il faut toutefois tenir compte du régime transitoire qui survient au début de la phase d'intégration. Selon l'équation (2.45), celui-ci est d'autant plus court que le courant de polarisation est élevé. Un régime transitoire plus long cause une perte de linéarité sur une portion des premiers échantillons considérés dans le calcul, ce qui augmente l'erreur quadratique moyenne. En outre, l'équation (2.43) impose une condition qui est habituellement satisfaite lorsque le courant de polarisation est plus élevé que le courant de sortie du photodétecteur par plusieurs ordres de grandeur. Or, pour  $V_{BIASP} = 2.4V$ , le courant de polarisation est beaucoup plus faible que dans les deux autres cas, ce qui contribue de façon additionnelle à l'erreur quadratique moyenne.

Il importe de mentionner que les échantillons recueillis sont soumis à la résolution de l'oscilloscope ( $\pm 10\text{mV}$ ) et au bruit électromagnétique environnant. En dépit de ces effets, l'erreur quadratique moyenne est suffisamment faible pour affirmer que la linéarité de l'intégrateur inverseur est excellente. En guise de comparaison, il est intéressant d'évaluer l'erreur quadratique moyenne de la pente d'intégration observée à la Figure 3.7, pour laquelle l'intégrateur inverseur fonctionne à sa limite absolue d'écart dynamique. On obtient alors une erreur quadratique moyenne de  $20.26 \times 10^{-4} \text{V}^2$ , une valeur beaucoup plus élevée que celles présentées dans le tableau, ce qui confirme que le transistor de polarisation est effectivement en voie de basculer hors de la région de saturation.

### 3.2.1.5 Tension de décalage lors de la remise à zéro

L'une des caractéristiques fondamentales de l'intégrateur inverseur est la tension de décalage qui existe entre la tension de référence et la tension aux électrodes. Or, puisqu'il n'y a pas de point de mesure à l'électrode, il est impossible de déterminer expérimentalement la tension de décalage lors de l'intégration. On peut toutefois mesurer la tension de sortie lors de la remise à zéro. Celle-ci correspond alors à la tension de décalage lors de la remise à zéro,  $\varepsilon_{RZ} = V_{REF} - V_{SOR}$ . Les développements du chapitre précédent permettent d'anticiper une tension de décalage très petite. Pour cette raison, on choisit d'utiliser un multimètre de précision KEITHLEY modèle 2002. Selon la fiche technique du fabricant, celui-ci possède une résolution de  $10\text{nV}$  et une résistance d'entrée supérieure à  $100\text{G}\Omega$ . Une résistance d'entrée si élevée nous permet de mesurer la tension de sortie du pixel sans devoir passer par l'entremise d'un suiveur de tension qui introduit une tension de décalage supplémentaire.

Pour évaluer la tension de décalage lors de la remise à zéro, nous avons d'abord activé la porte de transmission de remise à zéro du pixel en reliant le signal  $RZ_5$  à la masse. Nous avons ensuite mesuré la différence entre la tension de référence,  $V_{REF} = 2.0\text{V}$ , et la tension de sortie pour une tension de polarisation,  $V_{BIASP}$ , comprise entre  $2.0\text{V}$  et  $2.4\text{V}$

par incréments de 25mV. Dans le but de favoriser la précision des résultats, la tension  $V_{REF}$  a été réévaluée pour chacune des mesures. La Figure 3.9 illustre la tension de décalage de remise à zéro en fonction de la tension  $V_{BIAS}$  utilisée. On remarque que la tension de décalage diminue avec une augmentation de  $V_{BIAS}$ , c'est-à-dire une diminution du courant de polarisation  $I_{BIAS}$ . Ce résultat est conforme au comportement anticipé, car le gain différentiel du circuit varie de façon inversement proportionnelle à la racine carrée du courant de polarisation. On observe toutefois une inversion de cette tendance lorsque  $V_{BIAS}$  atteint approximativement 2.325V. Ce phénomène est attribuable aux effets de canal court qui limitent les résistances dynamiques drain-source des transistors. Puisque le gain différentiel est directement proportionnel à ces résistances dynamiques, on observe une réduction du gain maximal qui peut être atteint en diminuant le courant de polarisation.

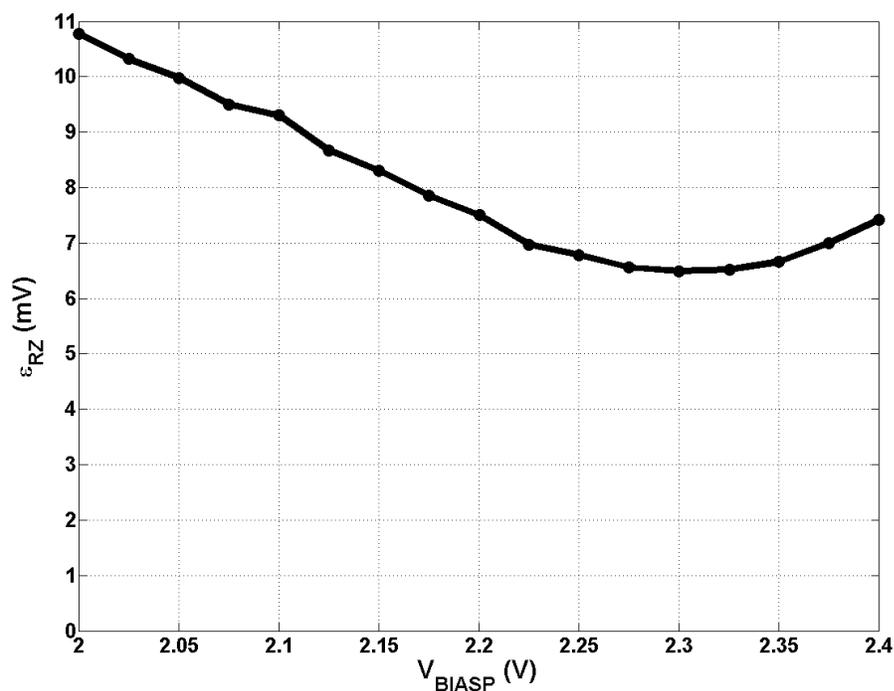


Figure 3.9 Tension de décalage lors de la remise à zéro

### 3.2.1.6 Courants de noirceur du photodétecteur

Le banc d'essai élaboré précédemment permet d'évaluer les courants de noirceur de chacune des trois électrodes du photodétecteur en éteignant toutes les sources lumineuses présentes dans la salle de tests. Puisque l'on suppose que le courant de noirceur d'une électrode,  $I_N$ , est beaucoup plus faible que le courant de sortie nominal du photodétecteur,  $I_{PD}$ , on doit augmenter le temps d'intégration de façon significative afin de permettre l'obtention d'une pente d'intégration satisfaisante. La Figure 3.10 illustre les tensions de sortie associées à chacune des électrodes dans le cas où  $V_{PUITS\text{MIN}} = 3\text{V}$ ,  $\Delta t = 40\text{s}$ ,  $V_{REF} = 2.0\text{V}$  et  $V_{BIASP} = 2.2\text{V}$ .

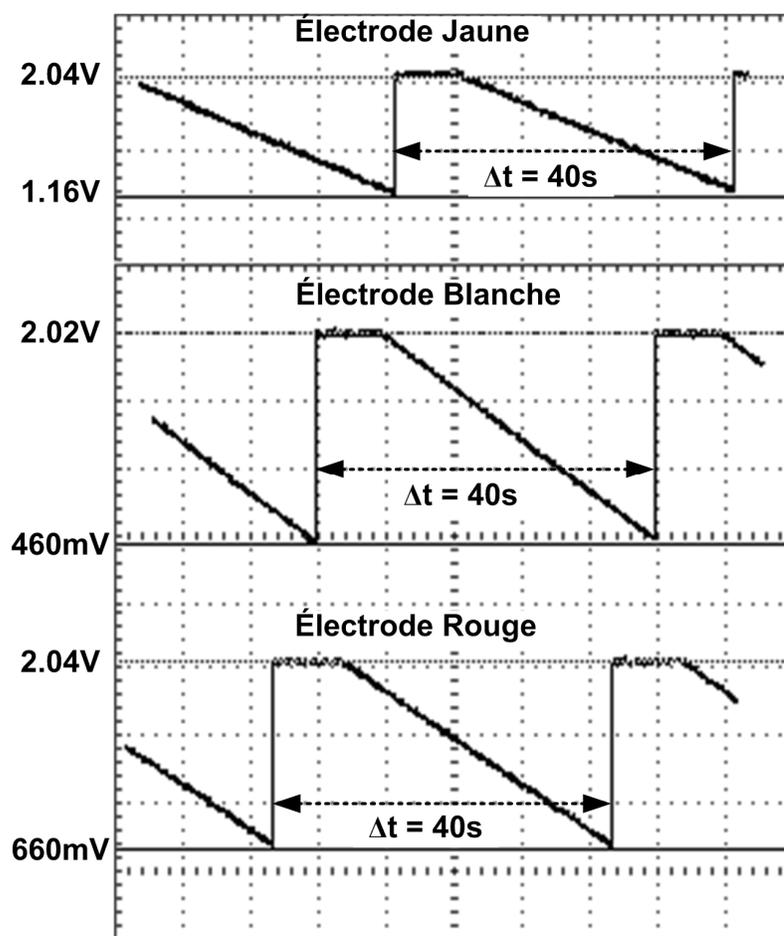


Figure 3.10 Courants de noirceur du photodétecteur

Notons que l'image est composée de la superposition de trois oscillogrammes afin de permettre l'affichage de trois paires de curseurs, car l'oscilloscope ne permet que l'affichage d'une seule paire de curseurs. Mentionnons aussi que le signal de remise à zéro n'est pas montré, car la phase de remise à zéro ne survient pas en même temps pour chaque oscillogramme en raison du mode de balayage (« scan ») de l'oscilloscope.

L'équipe Foryon a déterminé que le courant de noirceur est majoritairement issu de la recombinaison des paires électron-trou à l'interface Si/SiO<sub>2</sub> situé à la surface du puits N du photodétecteur. Le stress mécanique de fabrication étant plus important à proximité de la fenêtre de captation de lumière et du contact N<sup>+</sup> servant à polariser le puits, les électrodes blanche et rouge possèdent un courant de noirceur plus élevé que l'électrode jaune. Les excursions de tension indiquées à la Figure 3.10 permettent de retrouver les courants de noirceur associés à chacune des électrodes en employant l'équation d'intégration linéaire (2.3) où l'on assume que  $C_{TOT} \approx C_{INT} = 25\text{fF}$  puisque  $C_{INT} \gg C_{GD3}$ . Les courants d'intégration calculés pour les électrodes jaune, blanche et rouge sont respectivement 550aA, 975aA et 862.5aA. Or, il s'avère que ces courants d'intégration en noirceur varient selon la tension minimale de polarisation du puits,  $V_{PUITSMIN}$ . Répétant le calcul précédent pour l'ensemble des tensions  $V_{PUITSMIN}$  situées entre 2.0V et 3.3V par intervalle de 100mV, on obtient la Figure 3.11 qui illustre les courants d'intégration en fonction de la tension  $V_{PUITSMIN}$ .

Puisque les contacts P<sup>+</sup> des électrodes sont maintenus à une tension  $V_{REF} = 2.0\text{V}$  et que la tension du puits N au niveau des électrodes est approximativement égale à  $V_{PUITSMIN}$ , on déduit que les courants d'intégration en noirceur augmentent avec la tension de polarisation inverse des électrodes. Tel que mentionné précédemment, le courant de noirceur dépend de la recombinaison des paires électron-trou à l'interface Si/SiO<sub>2</sub>. Or, lorsque la tension de polarisation inverse des électrodes augmente, la longueur des zones désertées des électrodes est accrue, ce qui favorise la recombinaison de paires électron-trou supplémentaires et augmente le courant de noirceur du photodétecteur.

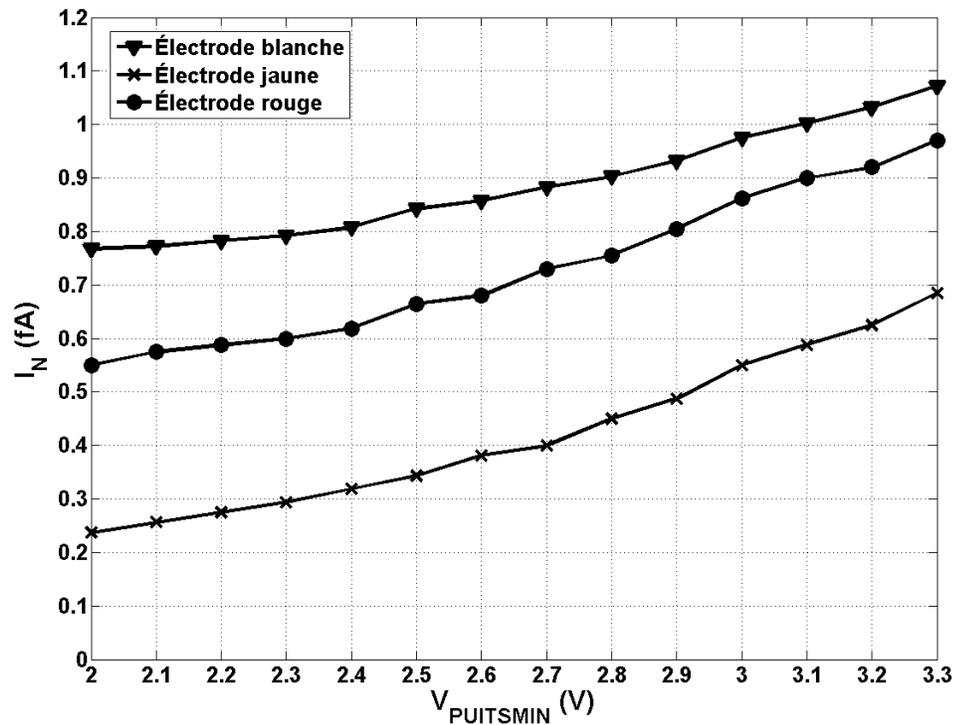


Figure 3.11 Courants de noirceur en fonction de la tension  $V_{PUITSMIN}$

### 3.2.1.7 Délai d'échantillonnage

L'intégrateur inverseur à paire différentielle qui compose le pixel actif possède une résistance de sortie dynamique,  $R_{PIX}$ , relativement élevée, ce qui limite le taux de transfert des charges durant la phase d'échantillonnage et impose une durée minimale d'activation des portes d'échantillonnage. Puisque les matrices incorporées dans le prototype ne permettent pas d'évaluer le délai d'échantillonnage de façon expérimentale, on doit avoir recours à une simulation. Il s'avère toutefois impossible d'extraire le dessin des masques du pixel actif en raison de la violation volontaire de la règle de dessin qui interdit de superposer les capacités d'intégration *mimcap4* aux transistors. On choisit donc d'effectuer une simulation mixte qui considère à la fois le modèle schématique du pixel actif et le modèle post-extraction du circuit de colonne, tel que représenté à la Figure 3.12. Puisqu'une seule rangée est échantillonnée à la fois, 99 pixels dont les portes d'échantillonnage sont désactivées sont connectés au bus de colonne. Négligeant

la résistance distribuée de la trace de métal, le bus de colonne peut être modélisé par une capacité équivalente  $C_{BUS1}$ . Étudiant le dessin des masques de la matrice principale, on constate que le bus de colonne est réalisé à l'aide d'une trace de type « Métal 2 » ayant une largeur de  $0.4\mu\text{m}$  et une longueur approximative de  $1570\mu\text{m}$ . De plus, l'espacement avec les traces adjacentes de même type est de  $0.4\mu\text{m}$ . Employant la fiche technique de la technologie, on obtient  $C_{BUS1} \approx 317\text{fF}$ .

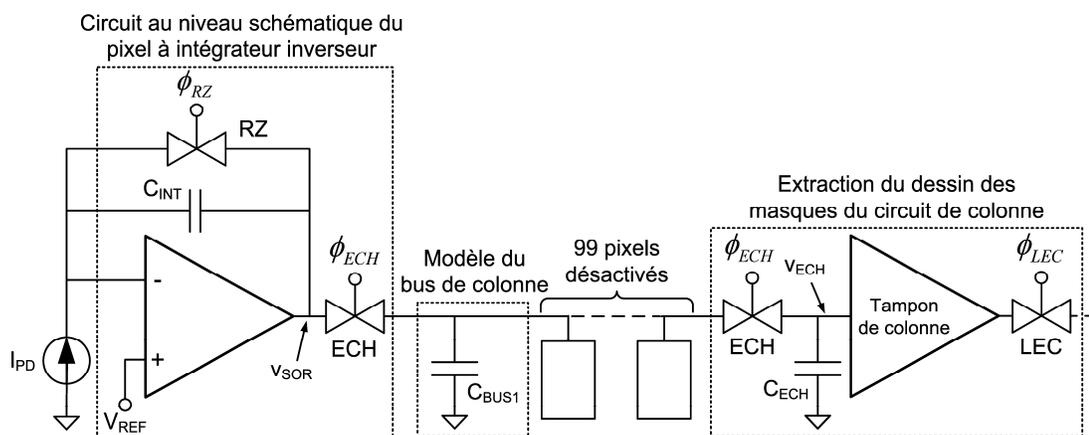


Figure 3.12 Circuit de simulation utilisé pour évaluer le délai d'échantillonnage

Le délai d'échantillonnage maximal est évalué en étudiant deux cas distincts. Dans un premier temps, on assume que la tension de sortie du pixel,  $v_{SOR}$ , est plus élevée que celle présente au nœud d'échantillonnage,  $v_{ECH}$ , ce qui traduit la transition abrupte d'une scène très illuminée à une scène sombre. Dans le second cas, on suppose que la tension à échantillonner est plus faible que celle qui se trouve aux bornes de la capacité d'échantillonnage  $C_{ECH}$ , émulant ainsi le passage rapide d'une scène sombre à une scène lumineuse. Pour obtenir le délai d'échantillonnage dans le pire cas, les tensions utilisées lors de ces simulations doivent se situer aux extrémités de l'écart dynamique du pixel actif. Il a été vu que celui-ci s'étend d'environ  $60\text{mV}$  jusqu'à la tension de référence,  $V_{REF}$ , limitée à environ  $2.0\text{V}$  pour permettre une polarisation adéquate des transistors de l'intégrateur inverseur. Afin de considérer un cas typique d'utilisation du capteur, on

choisit un courant de sortie du photodétecteur,  $I_{PD}$ , constant<sup>6</sup> et égal à sa valeur nominale de 1nA, de même qu'une tension de référence,  $V_{REF}$ , de 2.0V. En outre, comme la tension de polarisation du circuit de colonne,  $V_{BIAS}$ , n'a pas d'impact sur la capacité totale au nœud d'échantillonnage (voir annexe D), elle a été fixée à sa valeur nominale de 2.2V.

La Figure 3.13 montre les résultats de l'analyse transitoire du circuit de la Figure 3.12 où le nœud d'échantillonnage,  $v_{ECH}$ , est préalablement chargé à une tension de 60mV en vertu d'une condition initiale imposée aux bornes de la capacité  $C_{BUSI}$ . Afin d'initialiser le nœud de sortie du pixel à une tension  $v_{SOR} \approx V_{REF} = 2.0V$ , on effectue d'abord la remise à zéro du pixel durant 2.5 $\mu$ s. On active ensuite les portes d'échantillonnage à  $t = 2.5\mu$ s. C'est alors que le nœud d'échantillonnage se confond avec le nœud de sortie du pixel actif de sorte que  $v_{ECH} = v_{SOR}$ . En raison de la résistance de sortie de l'intégrateur inverseur,  $v_{ECH}$  ne peut varier instantanément de 60mV à 2.0V. Il existe donc un régime transitoire durant lequel  $v_{ECH}$  augmente jusqu'à la tension de sortie idéale du pixel actif, dont la pente dépend du courant de sortie du photodétecteur,  $I_{PD}$ . On observe que la durée du régime transitoire diminue lorsque le courant de polarisation,  $I_{BIAS}$ , est élevé (c.-à-d.  $V_{BIASP}$  faible), ce qui s'explique par le fait que  $R_{PIX}$  soit inversement proportionnel à  $I_{BIAS}$ . Un courant de polarisation plus élevé permet donc un échantillonnage plus rapide.

Cette simulation permet également de constater que l'on doit additionner le temps total d'échantillonnage au temps d'intégration si l'on désire retrouver l'intensité du courant de sortie du photodétecteur à partir de la tension finale échantillonnée. En effet, comme l'intégration se poursuit lors de l'échantillonnage, la tension  $v_{ECH}$  maintenue après la désactivation des portes d'échantillonnage est inférieure à la tension  $v_{SOR}$  présente au début de la phase d'échantillonnage. À la Figure 3.13, le temps total d'échantillonnage

---

<sup>6</sup> On suppose que le taux de variation de luminosité de la scène captée est beaucoup plus faible que la fréquence d'échantillonnage, ce qui justifie le choix d'un courant constant pour ces simulations.

est volontairement exagéré à  $15\mu\text{s}$  et on observe une différence significative de plus de  $0.5\text{V}$  par rapport à la tension initiale de  $2.0\text{V}$ .

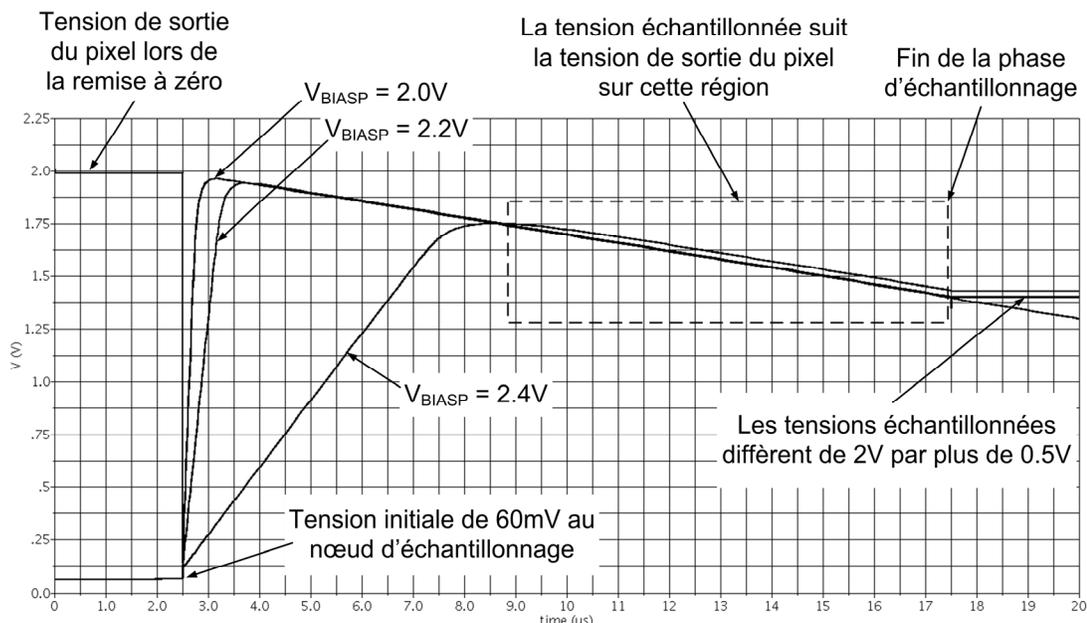


Figure 3.13 Analyse transitoire de la phase d'échantillonnage (montée)

Étudions maintenant le second cas, soit celui où le pixel actif décharge le nœud d'échantillonnage. La Figure 3.14 illustre ce qui se produit lorsque le nœud  $v_{ECH}$  est initialement chargé à  $2.0\text{V}$  et que les portes d'échantillonnage sont activées à  $t = 53\mu\text{s}$ , soit au moment où l'intégration du courant  $I_{PD} = 1\text{nA}$  procure une tension de sortie  $v_{SOR} \approx 60\text{mV}$ . On constate à nouveau qu'un courant de polarisation plus élevé permet de décharger le nœud d'échantillonnage plus rapidement. Notons que, dans ce cas particulier,  $v_{SOR} \approx 60\text{mV}$  représente la limite inférieure de l'écart dynamique du pixel. De ce fait, la tension échantillonnée ne peut être plus faible que  $60\text{mV}$ , et ce, en dépit d'un temps total d'échantillonnage très long.

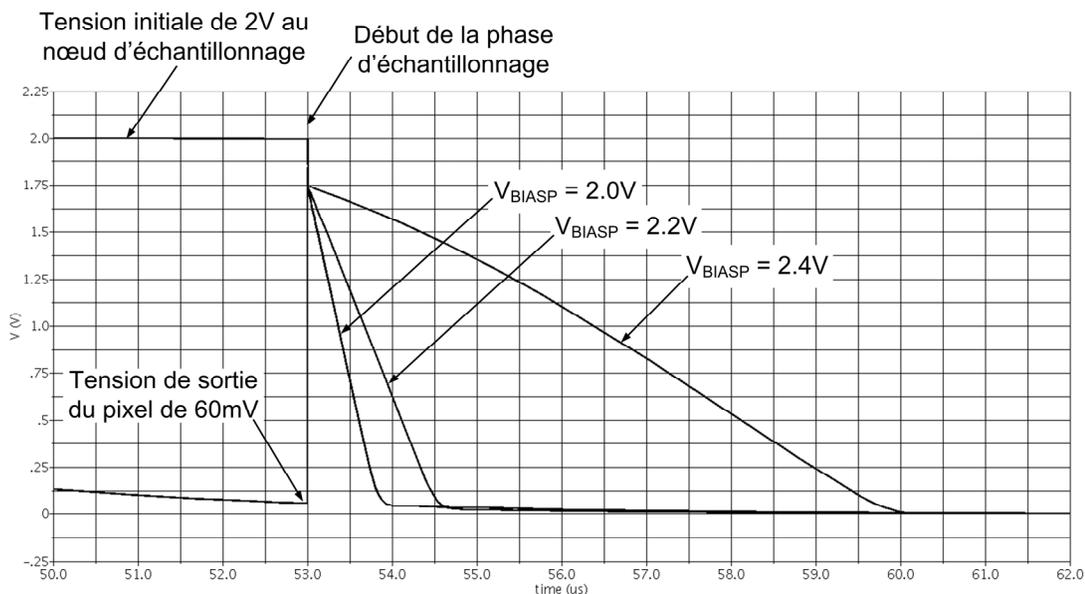


Figure 3.14 Analyse transitoire de la phase d'échantillonnage (descente)

Le Tableau 3.2 résume les résultats obtenus lors de ces deux simulations. On y retrouve d'abord le courant de polarisation du pixel actif,  $I_{BIAS}$ , ainsi que la puissance statique consommée. Ces données permettent de constater les effets de la variation de la tension de polarisation  $V_{BIASP}$ , sur la consommation d'énergie du pixel actif. On remarque ensuite les temps de montée, qui sont évalués en tenant compte des délais requis pour que les tensions échantillonnées atteignent les valeurs maximales données à la ligne suivante. De façon similaire, on retrouve ensuite les temps de descente entre 2.0V et 60mV, tels que mesurés sur la Figure 3.14. Comme le signal n'atteint pas 2.0V lors de la montée en raison de l'intégration qui se poursuit simultanément, les temps de descente sont plus élevés que les temps de montée. Enfin, rappelons que ces simulations ne tiennent pas compte de la résistance distribuée du bus de colonne. Celle-ci fait en sorte que le délai d'échantillonnage varie selon la distance séparant les circuits de colonne et la rangée qui est échantillonnée. Assumant une luminosité uniforme, un temps total d'échantillonnage trop court peut donc causer une tension échantillonnée différente pour chacune des rangées, ce qui favorise l'apparition d'un bruit à patron fixe sous forme de stries horizontales.

Tableau 3.2 Caractéristiques de l'analyse transitoire de la phase d'échantillonnage

Caractéristique	$V_{BIAS}$		
	2.0V	2.2V	2.4V
Courant de polarisation du pixel actif	2.68 $\mu$ A	1.22 $\mu$ A	167nA
Puissance statique consommée par le pixel	8.84 $\mu$ W	4.03 $\mu$ W	551nW
Temps de montée (60mV à la valeur maximale)	636ns	1.21 $\mu$ s	6.02 $\mu$ s
Valeur maximale atteinte lors de la montée	1.96V	1.94V	1.75V
Temps de descente (2.0V à 60mV)	918ns	1.56 $\mu$ s	6.68 $\mu$ s

### 3.2.2 Tampons de colonne

Les tampons de colonne sont caractérisés à l'aide de quelques simulations post-extraction du circuit de la Figure 3.15, où une source de tension,  $v_{IN}$ , est placée à l'entrée du circuit de colonne et les portes de transmission d'échantillonnage et de lecture sont activées de façon permanente. Afin de simuler l'implémentation réelle des circuits de colonne, nous avons connecté 74 circuits de colonne au nœud de sortie,  $v_{LEC}$ .

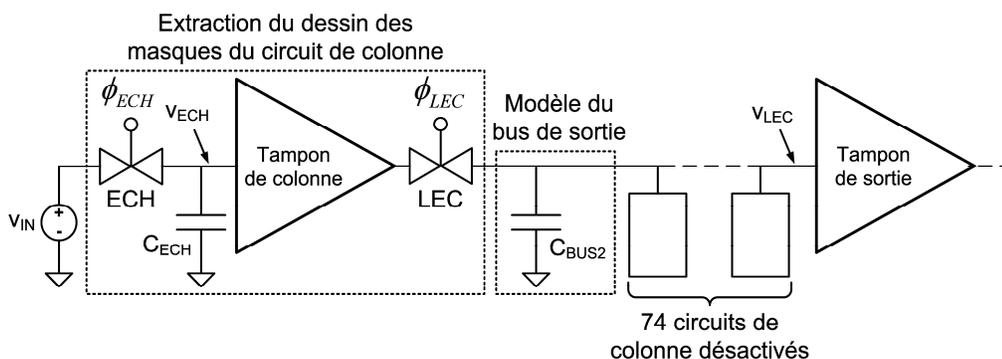


Figure 3.15 Circuit de simulation utilisé pour caractériser les tampons de colonne

Puisque le processus de lecture s'effectue de façon séquentielle, les portes de transmission de lecture de ces 74 portes sont désactivées. Négligeant à nouveau la résistance distribuée de la ligne de métal qui le compose, le bus de sortie est modélisé par une capacité équivalente  $C_{BUS2}$ . Pour déterminer la valeur de cette capacité, on étudie à nouveau le dessin des masques de la matrice principale. On y aperçoit que le bus de sortie est réalisé à l'aide d'une trace de type « Métal 2 » ayant une largeur de 0.4 $\mu$ m et

une longueur approximative de  $2000\mu\text{m}$ . De plus, l'espacement avec les traces adjacentes de même type est d'environ  $2\mu\text{m}$ . Utilisant ces mesures et la fiche technique de la technologie, il vient  $C_{BUS2} \approx 185\text{fF}$ .

### 3.2.2.1 Caractéristiques DC

Dans le but d'évaluer la tension de décalage et l'écart dynamique du tampon de colonne, nous avons balayé la tension continue de la source d'entrée entre  $0\text{V}$  et  $V_{DD} = 3.3\text{V}$  à l'aide d'une simulation DC. La Figure 3.16 illustre la tension de décalage,  $\varepsilon = V_{IN} - V_{LEC}$ , pour les trois tensions de polarisation,  $V_{BIAS}$ , considérées précédemment, soient  $2.0\text{V}$ ,  $2.2\text{V}$  et  $2.4\text{V}$ . On constate immédiatement que la tension de décalage est similaire dans les trois cas pour une tension d'entrée supérieure à environ  $300\text{mV}$ . Une vue agrandie de la courbe pour les valeurs de tension d'entrée inférieures à  $300\text{mV}$  montre qu'une tension de polarisation plus élevée réduit la tension de décalage. Ce résultat est cohérent avec la théorie du chapitre 2, car la limite d'excursion inférieure du circuit de colonne augmente avec le courant de polarisation et celui-ci varie inversement par rapport à la tension  $V_{BIAS}$ .

Le Tableau 3.3 présente les principales caractéristiques DC du tampon de colonne, ainsi que certaines valeurs pertinentes extraites des courbes de la Figure 3.16. Il est désormais possible de comparer l'écart dynamique nominal du pixel actif ( $60\text{mV}$  à  $2.0\text{V}$ ) à celui du tampon de colonne afin de vérifier la préservation de la gamme dynamique. Tout d'abord, pour une tension d'entrée de  $2.0\text{V}$ , on constate que le décalage se situe entre  $6\text{mV}$  et  $7\text{mV}$ , soient des valeurs inférieures à celles obtenues pour de faibles tensions d'entrée. On en déduit que l'écart dynamique du tampon de colonne dépend principalement de l'amplitude de la tension de décalage jugée tolérable pour une faible tension d'entrée. La dernière ligne du tableau montre que la tension d'entrée pour laquelle la tension de décalage est nulle augmente en fonction du courant de polarisation. Ce résultat est cohérent avec la théorie du chapitre 2, car il a été mentionné que la tension de décalage n'est nulle que lorsque les tensions des deux branches

différentielles du tampon de colonne sont en tous points identiques. Un courant de polarisation plus élevé augmente la tension aux bornes de la charge active connectée en diode et fait en sorte que la tension de sortie doit être d'autant plus grande pour annuler la tension de décalage.

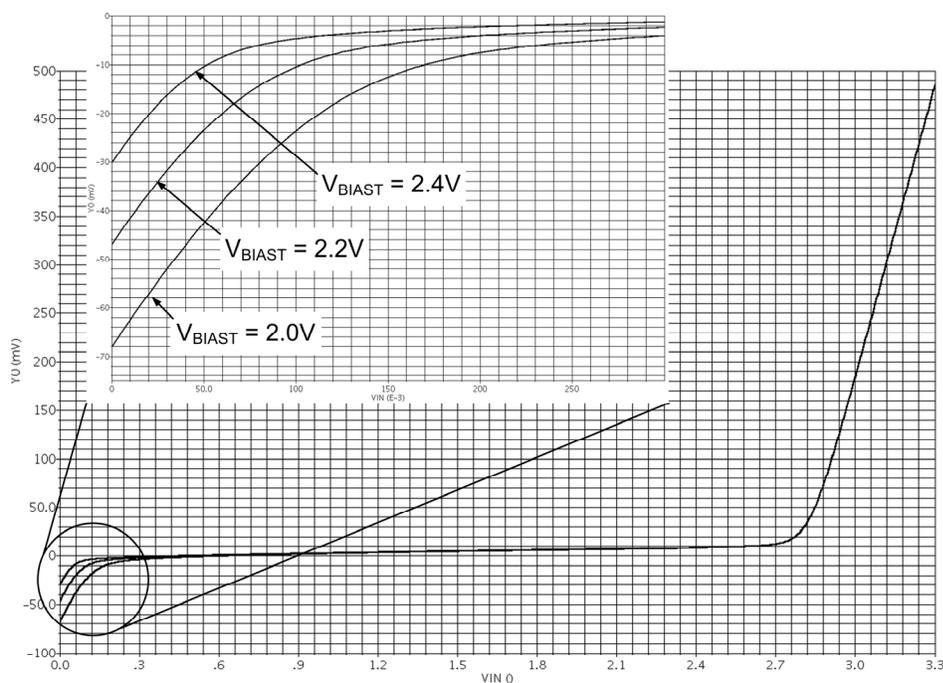


Figure 3.16 Tension de décalage du tampon de colonne

Tableau 3.3 Caractéristiques DC du tampon de colonne

Caractéristiques	$V_{BIAS}$		
	2.0V	2.2V	2.4V
Courant de polarisation du tampon de colonne	3.45 $\mu$ A	1.26 $\mu$ A	169nA
Puissance statique dissipée	11.4 $\mu$ W	4.15 $\mu$ W	556nW
Tension de décalage pour $V_{IN} = 2.0$ V	+6.5mV	+6.4mV	+6.9mV
Tension de décalage pour $V_{IN} = 200$ mV	-7.6mV	-4.0mV	-2.3mV
Tension de décalage pour $V_{IN} = 100$ mV	-23.6mV	-10.5mV	-4.6mV
Tension de décalage pour $V_{IN} = 60$ mV	-38.2mV	-20.0mV	-8.5mV
Tension $V_{IN}$ pour laquelle le décalage est nul	660mV	584mV	478mV

### 3.2.2.2 Comportement dynamique

Tel que vu au chapitre 2, le tampon de colonne met un certain temps à charger le bus de sortie à travers sa résistance de sortie dynamique,  $R_{LEC}$ , ce qui limite la rapidité avec laquelle la phase de lecture peut s'effectuer. Plus spécifiquement, les portes de transmission de lecture doivent être activées suffisamment longtemps pour permettre à la tension du bus de sortie d'atteindre sa valeur en régime permanent. La Figure 3.17 montre la réponse transitoire d'un circuit de colonne lorsqu'une onde carrée couvrant l'ensemble de l'écart dynamique du pixel actif (60mV à 2.0V) est appliquée à son entrée.

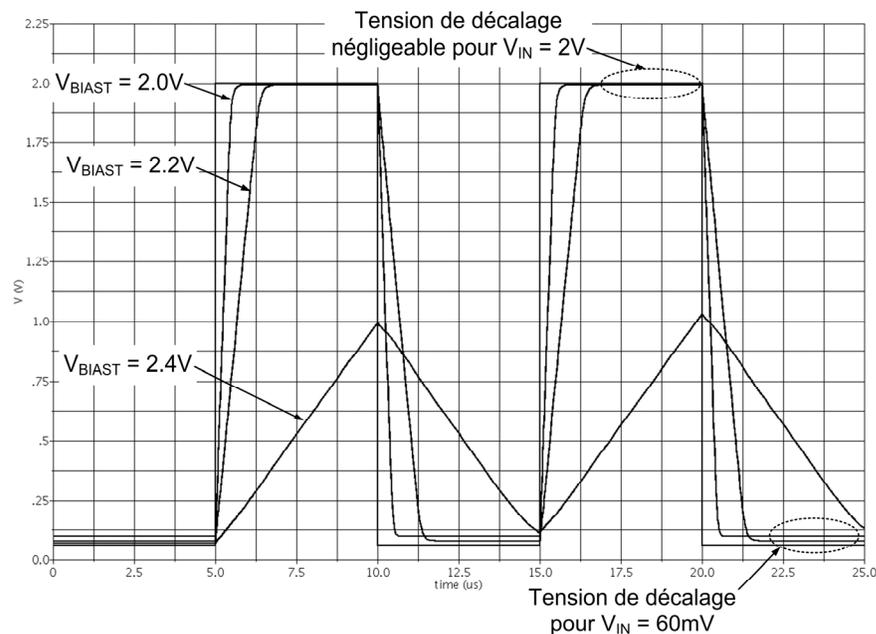


Figure 3.17 Réponse transitoire du tampon de colonne

On remarque sans surprise qu'un courant de polarisation plus élevé procure une meilleure réponse transitoire. En fait, pour une tension  $V_{BIAS} = 2.4V$ , la tension  $v_{LEC}$  n'atteint que le quart de son excursion totale tandis que les autres signaux atteignent leur régime permanent. La Figure 3.17 illustre également les tensions de décalage correspondant aux tension d'entrée de 60mV et 2.0V. On y voit clairement que les

tensions de décalage sont négligeables pour  $V_{IN} = 2.0V$ , mais perceptibles pour  $V_{IN} = 60mV$ . Dans ce dernier cas, la tension de polarisation influence la tension de décalage, tel qu'observé lors du balayage DC en entrée.

Le Tableau 3.4 présente les temps de transition des courbes de la Figure 3.17. Ceux-ci sont évalués en calculant le temps que met la tension  $v_{LEC}$  à atteindre 99% de son excursion totale en montée et en descente. Soulignons que les données fournies pour une tension  $V_{BIAS} = 2.4V$  sont obtenues à partir d'une simulation semblable à celle montrée à la Figure 3.17, mais dont la période de l'onde carrée d'entrée est augmentée à  $30\mu s$  afin de permettre les mesures. Puisque la capacité équivalente  $C_{BUSI}$  représente une estimation du pire cas et que l'on estime qu'une excursion transitoire de  $60mV$  à  $2.0V$  survient rarement lors de l'utilisation normale du capteur d'images, les temps de transition indiqués dans le Tableau 3.4 permettent d'anticiper les délais de lecture qui sont dus aux tampons de colonne dans le pire cas.

Tableau 3.4 Caractéristiques de la réponse transitoire du tampon de colonne

Caractéristique	$V_{BIAS}$		
	2.0V	2.2V	2.4V
Temps de montée (99% de l'excursion totale)	613ns	1.52 $\mu s$	10.87 $\mu s$
Temps de descente (99% de l'excursion totale)	550ns	1.44 $\mu s$	10.35 $\mu s$
Taux de variation en montée (10% à 90%)	3.75V/ $\mu s$	1.38V/ $\mu s$	0.185V/ $\mu s$
Taux de variation en descente (90% à 10%)	-3.86V/ $\mu s$	-1.41V/ $\mu s$	-0.194V/ $\mu s$

On constate que le temps requis pour compléter la lecture d'un échantillon est beaucoup plus élevé pour  $V_{BIAS} = 2.4V$  en raison du faible courant de polarisation. Les deux dernières lignes du Tableau 3.4 indiquent les taux de variation de  $v_{LEC}$  évalués sur la portion la plus linéaire de la courbe, soit entre 10% et 90% de l'excursion totale du signal d'entrée, ce qui correspond respectivement à 254mV et 1.806V.

### 3.2.3 Tampons de sortie

Les caractéristiques des tampons de sortie sont évaluées à l'aide de quelques simulations post-extraction du circuit de la Figure 3.18, où une source de tension,  $v_{IN}$ , est placée à l'entrée du tampon de sortie.

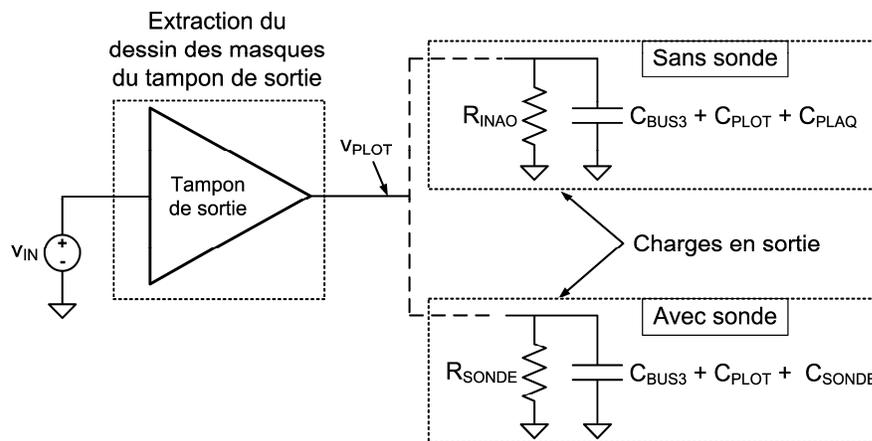


Figure 3.18 Circuit de simulation utilisé pour caractériser les tampons de sortie

Négligeant une fois de plus la résistance distribuée, la trace métallique qui relie le tampon de sortie au plot de sortie est modélisée par une capacité équivalente  $C_{BUS3}$ . Pour chacun des trois tampons de sortie, cette trace est constituée d'une couche de type « Métal 4 » ayant une largeur de  $5\mu\text{m}$  et une longueur approximative de  $1165\mu\text{m}$ . L'espacement qui sépare cette section des traces de type « Métal 4 » adjacentes varie de  $2\mu\text{m}$  à  $32\mu\text{m}$ . Utilisant la fiche technique de la technologie, on obtient  $C_{BUS3} \approx 180\text{fF}$ . Afin de simuler les conditions d'utilisation réelles de la matrice principale, on doit tenir compte des deux types de charges qui peuvent être connectées aux plots de sortie. Dans un premier temps, on suppose que le plot de sortie est relié à la sonde d'oscilloscope par l'entremise d'un suiveur de tension à amplificateur opérationnel identique à celui décrit à la sous-section 3.2.1.1. Ce faisant, la charge perçue par le tampon de sortie se résume à la résistance d'entrée de l'amplificateur opérationnel,  $R_{INAO}$ , et aux capacités parasites de la trace métallique,  $C_{BUS3}$ , du plot analogique de sortie,  $C_{PLOT}$ , et de la proto-plaquette,  $C_{PLAQ}$ . En second lieu, on assume qu'une sonde d'oscilloscope, que l'on peut modéliser

par ses résistance et capacité équivalentes  $R_{SONDE} = 10M\Omega$  et  $C_{SONDE} = 16pF$ , est directement reliée en sortie. Puisque cette connexion n'est pas réalisée sur la proto-plaquette, seules les capacités parasites  $C_{BUS3}$  et  $C_{PLOT}$  s'ajoutent à la capacité équivalente de la sonde.

### 3.2.3.1 Caractéristiques DC

Tout comme lors de l'étude des caractéristiques DC du tampon de colonne, nous avons balayé la tension d'entrée de 0V à  $V_{DD} = 3.3V$  à l'aide d'une simulation DC. La Figure 3.19 illustre la tension de décalage,  $\varepsilon = V_{IN} - V_{PLOT}$ , en l'absence de la sonde en sortie, et ce, pour les trois tensions de polarisation  $V_{BIAS}$  employées précédemment. On remarque que la tension de décalage est similaire lorsque la tension d'entrée est supérieure à environ 100mV. Une vue agrandie des courbes pour les valeurs inférieures à 150mV montre qu'une tension de polarisation plus élevée réduit la tension de décalage. On note également que la limite d'opération linéaire supérieure est clairement définie et vaut approximativement 2.76V.

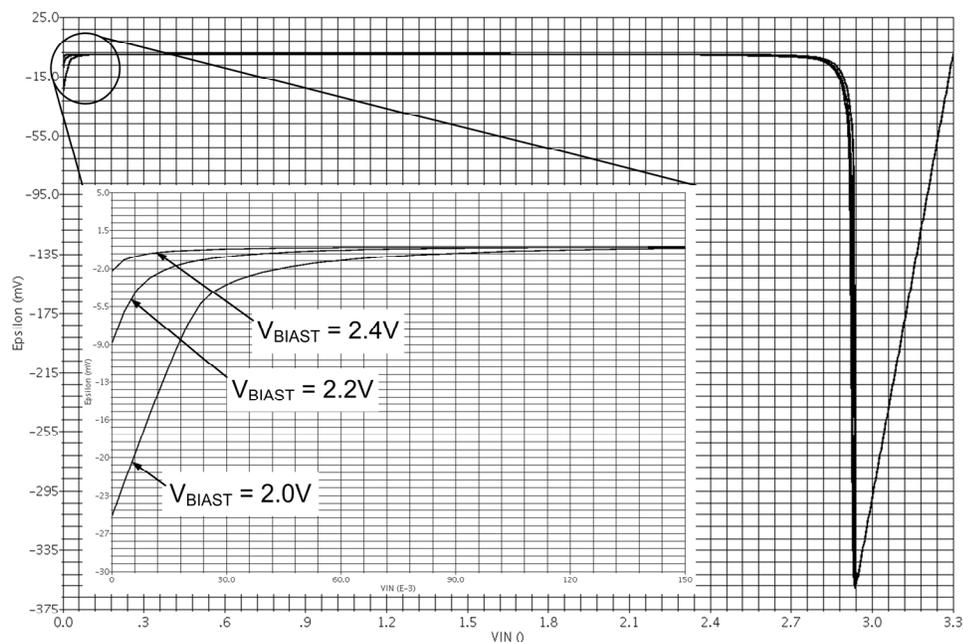


Figure 3.19 Tension de décalage du tampon de sortie (sans sonde)

Une simulation avec le modèle de la sonde d'oscilloscope en sortie produit des résultats très semblables, comme en témoigne le Tableau 3.5, qui présente les principales caractéristiques DC du tampon de sortie, ainsi que certaines valeurs pertinentes extraites des courbes de la Figure 3.19. Lorsque la tension d'entrée respecte l'écart dynamique des circuits situés en amont (60mV à 2.0V), l'amplitude de la tension de décalage du tampon de sortie est très faible, ce qui signifie que le tampon de sortie préserve l'écart dynamique du capteur.

Tableau 3.5 Caractéristiques DC du tampon de sortie

Caractéristiques	Sonde	$V_{BIAS}$		
		2.0V	2.2V	2.4V
Courant de polarisation de l'étage différentiel	-	15.8 $\mu$ A	5.4 $\mu$ A	599nA
Courant de polarisation de l'étage de sortie	-	161.7 $\mu$ A	53.4 $\mu$ A	5.8 $\mu$ A
Puissance statique dissipée au total	-	-586 $\mu$ W	194 $\mu$ W	21 $\mu$ W
Tension de décalage pour $V_{IN} = 2.0V$	✗	-59.8 $\mu$ V	+10.6 $\mu$ V	+5.45 $\mu$ V
	✓	-59.1 $\mu$ V	+11.8 $\mu$ V	+13.2 $\mu$ V
Tension de décalage pour $V_{IN} = 200mV$	✗	-18.5 $\mu$ V	-6.9 $\mu$ V	-16.6 $\mu$ V
	✓	-18.4 $\mu$ V	-6.8 $\mu$ V	-15.7 $\mu$ V
Tension de décalage pour $V_{IN} = 100mV$	✗	-440 $\mu$ V	-84.5 $\mu$ V	-29.5 $\mu$ V
	✓	-440 $\mu$ V	-84.4 $\mu$ V	-29.1 $\mu$ V
Tension de décalage pour $V_{IN} = 60mV$	✗	-1.24mV	-294 $\mu$ V	-63.2 $\mu$ V
	✓	-1.24mV	-294 $\mu$ V	-62.9 $\mu$ V

### 3.2.3.2 Comportement dynamique

En raison de la capacité parasite présente au nœud de sortie, la tension  $v_{PLOT}$  met un certain temps à atteindre son régime permanent, ce qui limite une fois de plus la rapidité avec laquelle la phase de lecture peut être complétée avec succès. La Figure 3.20 montre la réponse transitoire d'un tampon de sortie lorsqu'une onde carrée couvrant l'ensemble de l'écart dynamique du pixel actif (60mV à 2.0V) est appliquée à son entrée.

Les courbes en traits pointillés correspondent au cas où la sonde d'oscilloscope est directement reliée au plot de sortie. On constate que la sonde ne perturbe que légèrement

la réponse transitoire, ce qui s'explique par la faible résistance de sortie engendrée par le surdimensionnement des transistors de l'étage de sortie. De plus, le dépassement est réduit par rapport à la simulation transitoire au niveau schématique montrée à la fin du chapitre précédent. On peut attribuer cet amortissement plus élevé à une réduction de la largeur de bande issue des résistances et des capacités parasites du dessin des masques post-extraction.

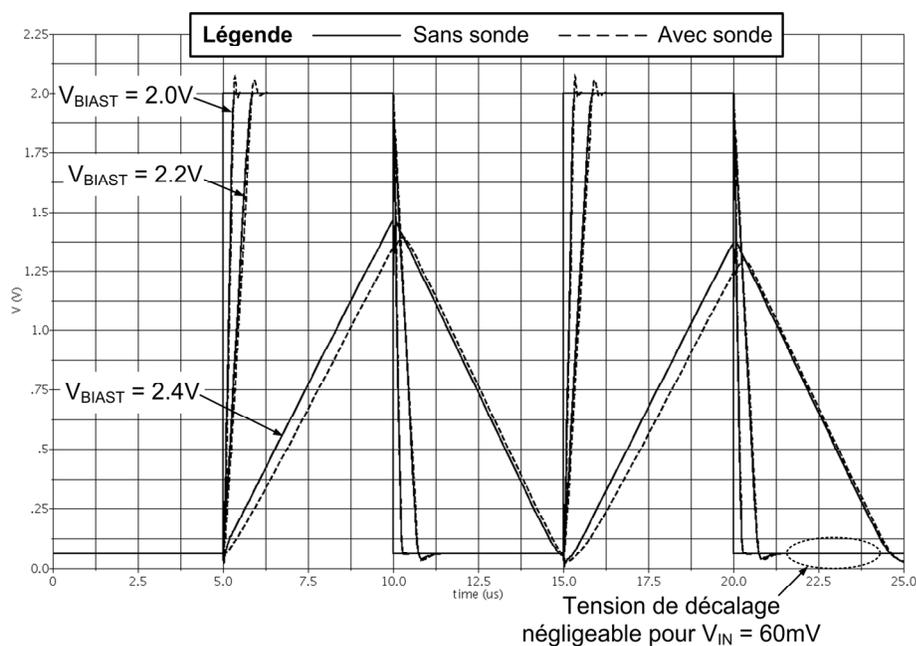


Figure 3.20 Réponse transitoire du tampon de sortie

Le Tableau 3.6 présente un résumé des temps de transition des courbes montrées à la Figure 3.20. Notons que les données fournies pour une tension  $V_{BIAS} = 2.4V$  sont à nouveau obtenues à partir d'une simulation semblable à celle montrée à la Figure 3.20 dont l'onde carrée d'entrée possède une période de  $30\mu s$ . Lorsqu'il y a dépassement, le temps de transition indiqué est celui que prend le signal pour se stabiliser à l'intérieur d'une fenêtre de tolérance valant  $\pm 1\%$  de l'excursion totale du signal d'entrée (c.-à-d.  $\pm 19.4mV$ ).

Tableau 3.6 Caractéristiques de la réponse transitoire du tampon de sortie

Caractéristique	Type	$V_{BIAS}$		
		2.0V	2.2V	2.4V
Temps de montée (stabilisation à $\pm 1\%$ )	Sans sonde	312ns	835ns	7.13 $\mu$ s
	Avec sonde	389ns	984ns	8.24 $\mu$ s
Temps de descente (stabilisation à 1%)	Sans sonde	267ns	872ns	7.87 $\mu$ s
	Avec sonde	271ns	959ns	8.14 $\mu$ s
Taux de variation en montée (10% à 90%)	Sans sonde	7.35V/ $\mu$ s	2.48V/ $\mu$ s	0.28V/ $\mu$ s
	Avec sonde	7.10V/ $\mu$ s	2.43V/ $\mu$ s	0.27V/ $\mu$ s
Taux de variation en descente (90% à 10%)	Avec et sans sonde	-7.81V/ $\mu$ s	-2.64V/ $\mu$ s	-0.30V/ $\mu$ s

### 3.2.3.3 Délai de lecture total

Le délai de lecture total de la matrice principale est déterminé en tenant compte des délais de propagation causés à la fois par le tampon de colonne et le tampon de sortie. Pour ce faire, on applique une onde carrée d'amplitude 60mV à 2.0V au circuit de la Figure 3.15 auquel on ajoute l'une ou l'autre des charges montrées à la Figure 3.18 à la sortie du tampon de sortie. La Figure 3.21 illustre la réponse transitoire obtenue pour les trois tensions de polarisation,  $V_{BIAS}$ , considérées précédemment. Le Tableau 3.7 indique les temps de transition et les délais de lecture résultants. Ces derniers sont obtenus en multipliant le temps de transition total le plus grand (montée ou descente) par le nombre total de colonnes de la matrice principale, c'est-à-dire 75. En comparant les temps de transition totaux du Tableau 3.7 à ceux donnés aux Tableaux 3.4 et 3.6, on déduit que le tampon de colonne contribue à la majorité du délai de lecture. En outre, tel qu'anticipé par les résultats précédents, la présence de la sonde n'influence le délai de chargement que dans le cas où  $V_{BIAS} = 2.4V$ .

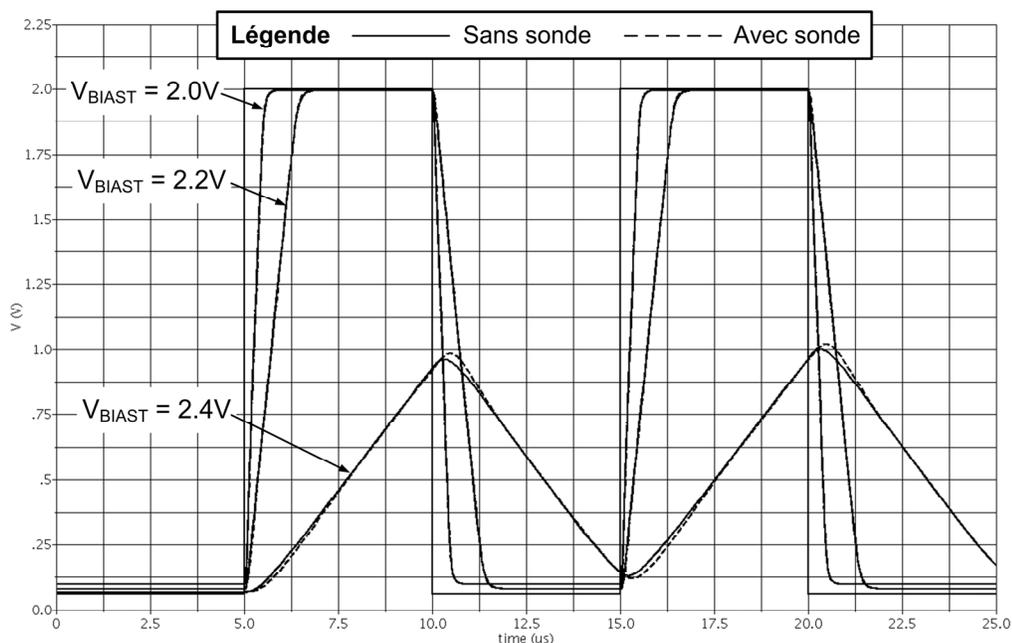


Figure 3.21 Réponse transitoire combinée des tampons de colonne et de sortie

Tableau 3.7 Délais de lecture totaux estimés dans le pire cas

Caractéristique	Type	$V_{BIAS}$		
		2.0V	2.2V	2.4V
Temps de montée (99% de l'excursion totale)	Sans sonde	638ns	1.58 $\mu$ s	11.26 $\mu$ s
	Avec sonde	634ns	1.54 $\mu$ s	10.99 $\mu$ s
Temps de descente (99% de l'excursion totale)	Sans sonde	606ns	1.52 $\mu$ s	10.72 $\mu$ s
	Avec sonde	596ns	1.50 $\mu$ s	10.61 $\mu$ s
Délai de lecture total (pour 75 colonnes)	Sans sonde	47.9 $\mu$ s	119 $\mu$ s	844.5 $\mu$ s
	Avec sonde	47.6 $\mu$ s	116 $\mu$ s	824.3 $\mu$ s

### 3.3 Capteur d'images complet

#### 3.3.1 Description du banc d'essai

Pour valider le fonctionnement du capteur d'images complet, nous avons utilisé un banc d'essai similaire à celui montré à la Figure 3.22 (tirée de [7]). Dans le but de confirmer l'absence d'effet d'un champ magnétique externe sur le fonctionnement des photodétecteurs sans filtre, nous avons placé le prototype dans l'entrefer d'un électro-aimant à refroidissement hydraulique alimenté par une source de courant à haute

capacité. Les détails concernant l'électro-aimant et de son fonctionnement sont donnés dans [7]. Les signaux de synchronisation (remise à zéro, échantillonnage et lecture) sont générés par un FPGA situé sur une carte de développement externe XILINX SPARTAN-3 (non-montrée). L'acquisition d'une image en provenance du prototype est facilitée par l'emploi d'une carte graphique *Matrox Corona-II* installée dans un ordinateur de bureau de type PC.

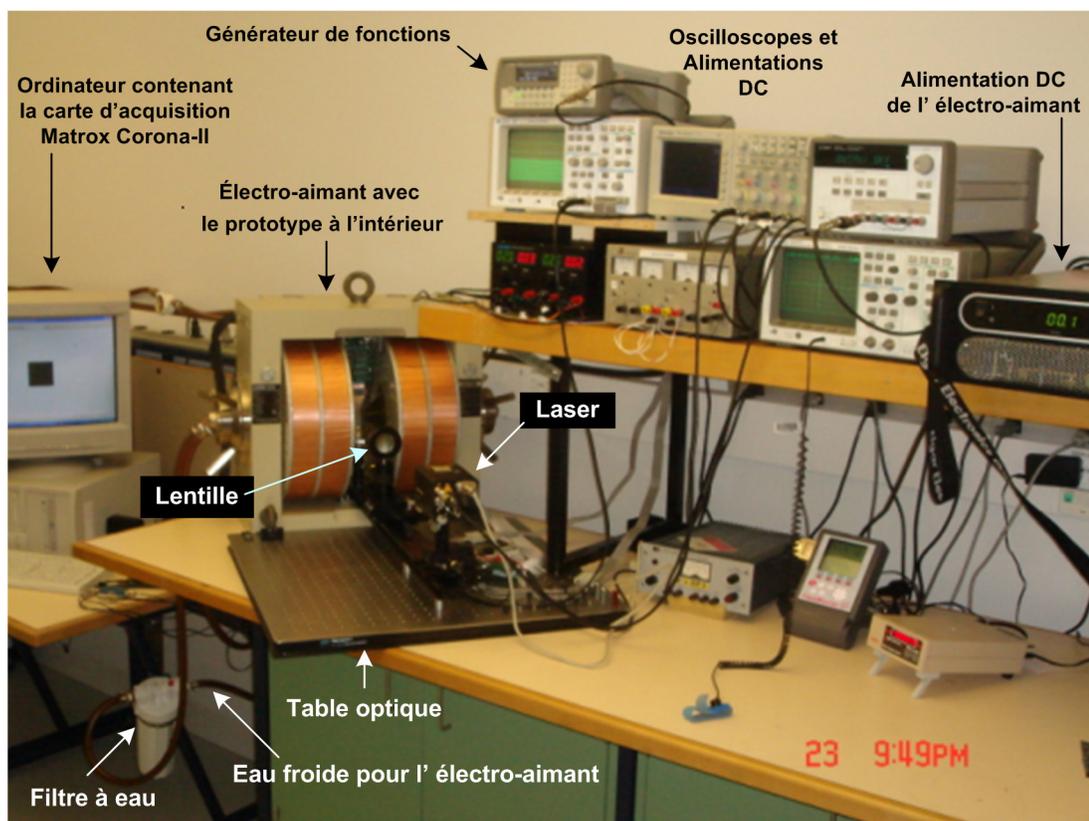


Figure 3.22 Banc d'essai utilisé pour tester la matrice principale

Afin de permettre l'insertion du prototype dans l'entrefer de l'électro-aimant, celui-ci a été ponté sur un circuit imprimé fabriqué sur mesure. Ce dernier est connecté aux périphériques externes par l'entremise d'un câble plat de type DB-25 et d'une interface électronique sur proto-plaquette, tel que montré à la Figure 3.23.

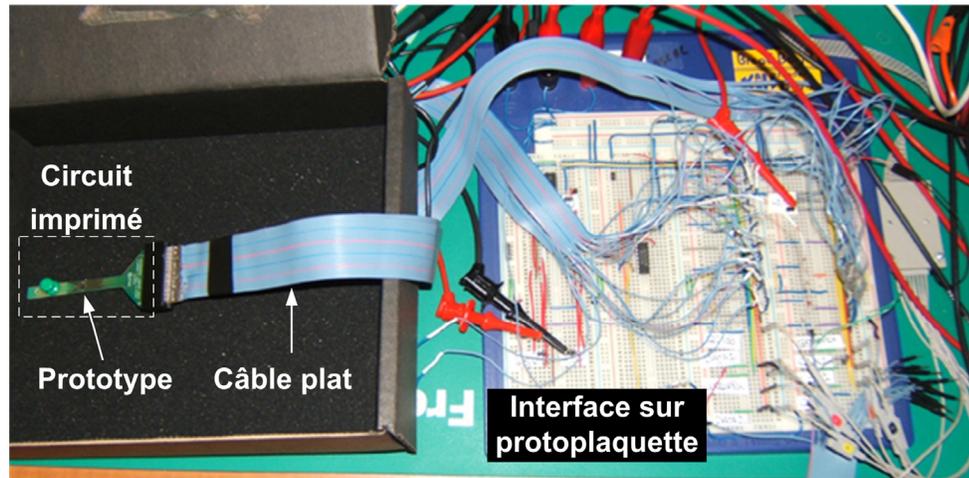


Figure 3.23 Circuit imprimé et interface électronique

### 3.3.2 Vérification du fonctionnement

#### 3.3.2.1 Réponse à un faisceau laser rouge

Le fonctionnement de la matrice principale a initialement été validé par l'application d'un faisceau laser rouge ayant une longueur d'onde de 635nm et une puissance de 500mW. La lentille de focalisation a été ajustée de manière à ce que le faisceau laser soit pointé au centre de la matrice principale. Les tensions de référence et de polarisation pour cet essai étaient  $V_{REF} = 1.8V$  et  $V_{BLASP} = V_{BLAST} = 2.0V$ . La Figure 3.24 montre les tensions de sortie correspondant à chacune des trois couleurs. On remarque que les colonnes situées de part et d'autre du faisceau laser possèdent une tension échantillonnée d'environ  $V_{REF}$ , alors que les colonnes situées au centre de la matrice montrent une tension de sortie plus faible, ce qui confirme le bon fonctionnement des pixels actifs, du mécanisme d'échantillonnage et des tampons de sortie. Notons qu'afin de réduire l'effet de charge des sondes d'oscilloscopes sur les tampons de sortie, nous avons utilisé un suiveur de tension à amplificateur opérationnel discret identique à celui décrit lors des essais de la matrice secondaire.

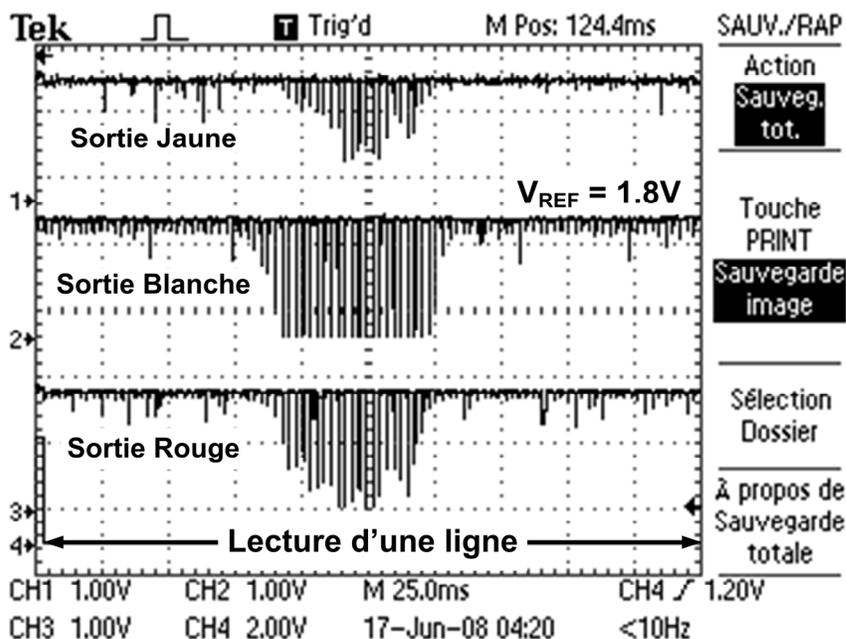


Figure 3.24 Réponse d'une ligne à un faisceau laser rouge

On constate que la sortie correspondant aux électrodes de couleur blanche possède une meilleure réponse au faisceau laser rouge que celles associées aux deux autres couleurs. Plus particulièrement, on note que l'électrode jaune est moins sensible que l'électrode rouge. En comparaison avec le résultat présenté à la Figure 3.5 où une lumière blanche est appliquée à un pixel actif de la matrice secondaire, on observe qu'il y a inversion de sensibilité entre l'électrode jaune et rouge. On peut expliquer cette différence par la longueur d'onde du laser appliqué. En effet, la lumière rouge pénètre plus profondément dans le puits du photodétecteur et l'électrode rouge recueille un courant de trous plus élevé que lorsqu'on applique une lumière blanche. Il est donc possible d'affirmer que le photodétecteur permet une certaine discrimination chromatique malgré l'absence d'effet du champ magnétique.

### 3.3.2.2 Acquisition d'une image

Suite à la validation du fonctionnement global de la matrice principale et des circuits périphériques, chacune des trois sorties du prototype a été reliée à une entrée (RVB) de

la carte d'acquisition d'images et la source lumineuse de type laser a été remplacée par une photo couleur directement éclairée par une lumière blanche de très forte intensité. Nous avons ensuite ajusté la lentille de focalisation et le temps d'intégration de manière à obtenir une image aussi claire que possible à partir de la sortie la plus sensible, soit celle correspondant aux électrodes blanches.

Or, pour ce temps d'intégration, les tensions de sortie associées aux électrodes jaune et rouge n'étaient pas suffisantes pour permettre l'acquisition d'une image « couleur » de contraste satisfaisant. En fait, en raison de leur réponse inexistante au champ magnétique, la sensibilité des photodétecteurs est très faible et l'écart de sensibilité entre l'électrode blanche et les électrodes jaune et rouge est considérable (cf. Figure 3.5). Il s'ensuit que le temps d'intégration requis pour obtenir un contraste suffisant aux sorties jaune et rouge est beaucoup plus grand que celui pour lequel on obtient une image acceptable à partir de la sortie blanche. Une augmentation du temps d'intégration se traduit cependant par un bruit plus élevé. Conséquemment, il a été impossible d'obtenir une image comportant les trois couleurs.

La Figure 3.25 montre l'image monochromatique obtenue à partir de la sortie blanche avec les paramètres  $V_{REF} = 2.0V$  et  $V_{BIASP} = V_{BIAST} = 2.2V$ . Le temps d'intégration est de l'ordre de quelques secondes,. Celui-ci a été ajusté de sorte à obtenir un bon contraste à l'écran de l'ordinateur lors de l'acquisition. On remarque que l'image obtenue est très bruyante et semble posséder un bruit à patron fixe important qui perturbe le contraste de façon significative. L'analyse des diverses origines du bruit constituera l'essentiel des prochaines sous-sections et du reste de ce chapitre.



Figure 3.25 Image monochromatique acquise avec la matrice principale

### 3.3.3 Analyse du bruit

#### 3.3.3.1 Bruit à patron fixe

L'analyse du bruit à patron fixe observé lors de l'acquisition de l'image de la Figure 3.25 nous a permis d'identifier trois origines distinctes. On retrouve d'abord l'absence de commutation des portes de transmission d'échantillonnage des circuits de colonne. Tel que mentionné au chapitre 2 lors de la présentation de l'architecture du capteur, celui-ci requiert deux ensembles de portes de transmission d'échantillonnage disposées en série et qui commutent simultanément lors de la phase d'échantillonnage. Une première série de portes de transmission, située à l'intérieur du pixel actif, permet de charger le bus de colonne à la tension désirée, tandis qu'une seconde série de portes situées dans les circuits de colonne permet d'isoler le nœud d'échantillonnage contre les perturbations qui sont susceptibles d'affliger le bus de colonne suite à la phase d'échantillonnage (cf. Figure 2.1). Après vérification, il s'avère que les portes d'échantillonnage des colonnes ont été activées de façon permanente pour accélérer les essais préliminaires, mais elles n'ont malencontreusement pas été connectées à un signal de synchronisation adéquat lors de l'acquisition de l'image montrée à la Figure 3.25. De ce fait, les nœuds d'échantillonnage étaient connectés en permanence aux bus de

colonne, les exposant ainsi aux courants de fuite des 100 portes de transmission désactivées. Puisque les capacités d'échantillonnage sont relativement petites (50fF), les courants de fuite des portes de transmission sont largement suffisants pour causer un bruit à patron fixe important, plus particulièrement si le délai entre la fin de la phase d'échantillonnage et la phase de lecture est important. À ce propos, on note que les signaux de synchronisation générés par le FPGA sont synchrones et que l'augmentation du temps d'intégration requise pour obtenir un contraste suffisant a également haussé le délai entre la fin de la phase d'échantillonnage et la phase de lecture.

Dans le but de confirmer cette hypothèse, nous avons d'abord figé le balayage vertical de la matrice principale pour ne rafraîchir continuellement qu'une seule ligne. Nous avons ensuite activé la remise à zéro de tous les pixels de façon permanente afin d'échantillonner la tension de référence,  $V_{REF}$ . On s'attend donc à ce que la lecture de cette ligne procure des paliers de tension constante ayant une valeur qui s'approche de  $V_{REF}$ . La Figure 3.26a) montre le signal de sortie de l'électrode blanche lors de la phase de lecture de la ligne sélectionnée lorsque les portes d'échantillonnage des circuits de colonne sont activées en permanence pour  $V_{REF} = 2.0V$  et  $V_{BIASP} = V_{BIAST} = 2.2V$ . On constate aisément que l'exposition des nœuds d'échantillonnage perturbe grandement les tensions recueillies en sortie lors de la lecture. En revanche, lorsque les portes d'échantillonnage sont activées simultanément avec celles des pixels actifs, l'effet des courants de fuite semble diminuer de façon considérable, tel que représenté à la Figure 3.26b). En outre, il importe de souligner que l'on observe une réduction du bruit lorsque la fréquence de rafraîchissement de la ligne est augmentée, ce qui concorde avec l'hypothèse de départ, car on réduit alors le délai d'exposition du nœud d'échantillonnage aux courants de fuite. Notons également que les deux pointes de tension observables pour deux colonnes situées à la droite de la matrice sont attribuables à un défaut localisé au niveau des portes d'échantillonnage de ces circuits de colonne. En effet, on peut présumer qu'une décharge statique accidentelle ait détruit l'un des deux transistors de la porte de transmission correspondant à ces colonnes. En

conséquence, celle-ci laisse passer la tension  $V_{DD} = 3.3V$  au nœud d'échantillonnage seulement lorsqu'elle est désactivée, car ce défaut n'apparaît pas à la Figure 3.26a). Cette supposition est d'ailleurs soutenue par le fait que la tension de sortie pour ces colonnes vaut environ 2.88V, ce qui correspond à la limite d'excursion supérieure des tampons de colonne et du tampon de sortie pour une tension d'entrée de 3.3V (cf. Figures 3.16 et 3.19).

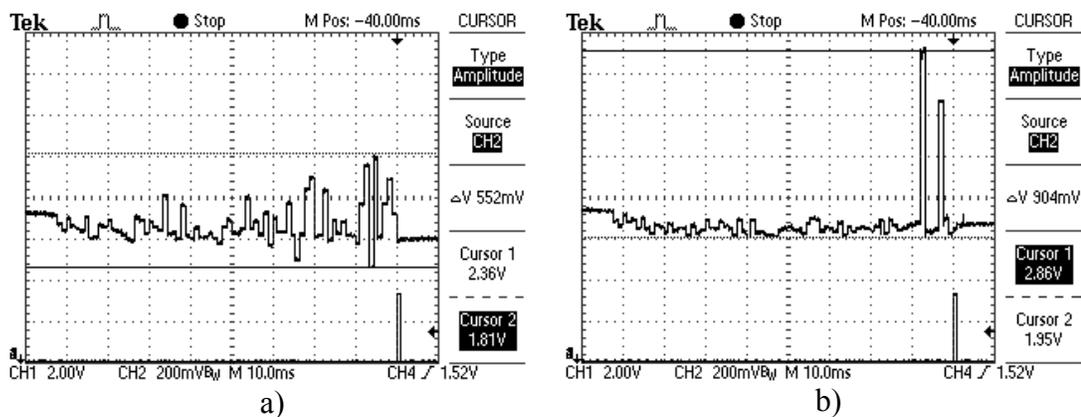


Figure 3.26 Lecture d'une ligne remise à zéro

a) Sans commutation adéquate ; b) Avec commutation adéquate

La seconde cause du bruit à patron fixe est l'intégration des courants de noirceur et de fuite en provenance des photodétecteurs. En effet, en raison de la faible sensibilité des photodétecteurs, le temps d'intégration utilisé pour la prise de photo est très grand, ce qui permet aux divers courants de fuite des photodétecteurs de s'intégrer simultanément avec les courants de trous induits par l'illumination. Dans le but de vérifier cette hypothèse, nous avons à nouveau figé le balayage vertical pour n'observer qu'une seule ligne, nous avons placé le prototype dans la noirceur totale et nous avons activé l'intégration. Les tensions de référence et de polarisation étaient ajustées à leurs valeurs nominales, soit  $V_{REF} = 2.0V$  et  $V_{BIASP} = V_{BLAST} = 2.2V$ . Les Figures 3.27a) et 3.27b) montrent le bruit à patron fixe obtenu pour des temps d'intégration respectifs de 1.14s et 114ms. Notons que l'échelle verticale de la Figure 3.27b) est réduite de moitié par rapport à la Figure 3.27a) afin de montrer que la forme du patron de bruit est identique.

Le fait de diminuer le temps d'intégration davantage abaisse d'autant plus l'intégration des courants de noirceur. Soulignons que les portes d'échantillonnage des circuits de colonne étaient commutées correctement lors de la prise de ces résultats, ce qui explique la présence des pointes de signal susmentionnées pour les colonnes situées à la droite de la matrice. Le bruit à patron fixe dû au courant de noirceur est donc considérable en dépit de la commutation des portes d'échantillonnage. On peut conclure que le bruit à patron fixe issu de l'intégration des courants de fuite est dominant pour des temps d'intégration élevés.

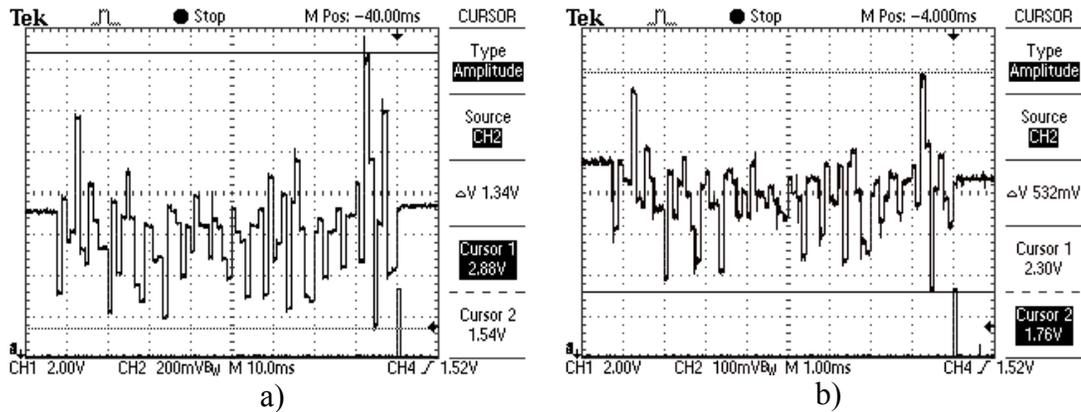


Figure 3.27 Intégration du courant de noirceur des photodétecteurs

a) Pour  $\Delta t = 1.14s$  ; b) Pour  $\Delta t = 114ms$

La troisième cause du bruit à patron fixe est la cascade des tensions de décalage des circuits analogiques. En effet, tel que mentionné au chapitre 2, les variations de procédé entraînent inévitablement une différence au niveau des tensions de décalage des différents circuits. Les Figures 3.28a) et 3.28b) illustrent la tension de décalage totale observée pour la ligne étudiée précédemment avec  $V_{REF} = 2.0V$  et  $V_{BIASP} = V_{BIASP} = 2.2V$ . Pour maintenir une tension de sortie constante, les pixels étaient maintenus en phase de remise à zéro. De plus, pour éliminer le bruit dynamique de commutation lors de l'échantillonnage, toutes les portes d'échantillonnage étaient activées en permanence. On note une légère augmentation de la tension minimale de sortie pour un courant de polarisation plus faible, ce qui corrobore les résultats obtenus à la section précédente lors

de l'étude des tensions de décalage de chacun des blocs de traitement. Puisque l'image de la Figure 3.25 a été acquise avec une tension  $V_{BLASP} = V_{BLAST} = 2.2V$ , on peut s'attendre à ce que certaines colonnes possèdent une tension de décalage totale allant jusqu'à 70mV selon la Figure 3.28a).

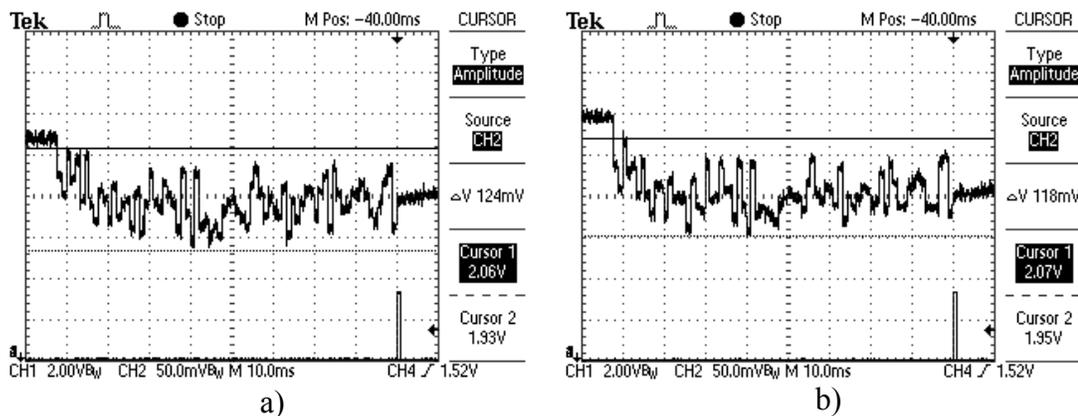


Figure 3.28 Tension de décalage totale

a) Pour  $V_{BIAS} = 2.2V$ ; b) Pour  $V_{BIAS} = 2.4V$

### 3.3.3.2 Bruit temporel

Le bruit temporel du capteur d'images englobe les contributions du photodétecteur, des pixels actifs, des tampons de colonne et des tampons de sortie. Afin de mesurer ce bruit de façon expérimentale, nous avons à nouveau isolé une ligne de la matrice principale et activé en permanence les signaux de remise à zéro et d'échantillonnage. Une telle absence de synchronisation annule le bruit de commutation des portes de transmission et permet d'évaluer l'amplitude du bruit temporel par rapport à une tension moyenne constante. En effet, puisque la phase de remise à zéro est continuellement activée, la tension de sortie moyenne associée à une colonne quelconque de la ligne sélectionnée correspond à la tension de référence,  $V_{REF}$ , à laquelle sont soustraites les trois tensions de décalage (intégrateur inverseur, tampon de colonne et tampon de sortie). Afin de ne pas ajouter une composante de bruit supplémentaire due au suiveur de tension à amplificateur opérationnel discret, la sonde d'oscilloscope a été directement connectée au plot de sortie. En outre, le prototype a été placé dans la noirceur afin que les courants

de sortie des photodétecteurs (qui induisent le bruit de grenaille) se résument aux courants de noirceur. La Figure 3.29 montre une vue agrandie du palier de lecture correspondant à la dernière colonne de la ligne sélectionnée. La synchronisation de la phase de lecture a été ajustée de façon à ce que le palier ait une durée de 2ms. De plus, les tensions de polarisation ont été fixées à leurs valeurs nominales, soient  $V_{REF} = 2.0V$  et  $V_{BIASP} = V_{BLAST} = 2.2V$ . Une amplitude crête-à-crête maximale du bruit temporel de 24mV a été mesurée à l'aide des curseurs intégrés à l'oscilloscope.

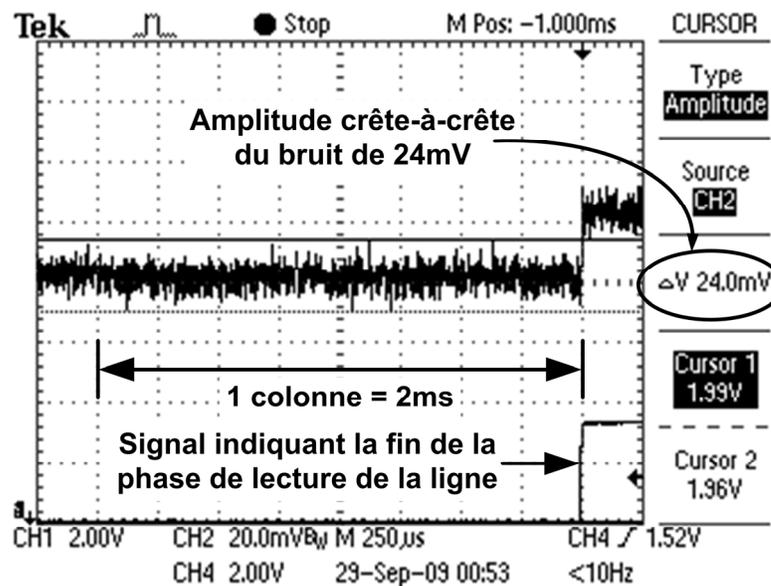


Figure 3.29 Mesure expérimentale du bruit temporel

Assumant que le bruit temporel soit conforme à une distribution normale, sa tension efficace est donnée par le sixième de son amplitude crête-à-crête maximale, soit 4mV. Cette mesure inclut le bruit temporel généré par l'oscilloscope et la sonde en mode 10X dont la tension efficace a été estimée expérimentalement à 3.60mV. Le bruit de l'oscilloscope et celui du circuit n'étant pas corrélés, il est possible de déterminer la tension efficace du bruit temporel provenant du capteur comme suit :

$$v_{bruit(eff)} \approx \sqrt{(4mV)^2 - (3.60mV)^2} = 1.7mV \quad (3.2)$$

Ce résultat englobe les bruits thermiques et de scintillation de l'ensemble des circuits électroniques qui composent le capteur ainsi que l'apport du bruit de grenaille du photodétecteur. Afin d'évaluer l'importance relative des contributions respectives de ces sources de bruit, on effectue une simulation transitoire au niveau schématique avec ajout de bruit. Dans le but de reproduire autant que possible le contexte réel du prototype, les bus de colonne et de sortie ont été modélisés par leurs capacités équivalentes décrites aux sous-sections 3.2.1.7 et 3.2.2. Par ailleurs, la fréquence maximale du bruit a été définie comme étant  $20\text{MHz} \times \pi/2 = 31.416\text{MHz}$ , ce qui correspond à la largeur de bande de bruit de l'oscilloscope lorsque celui-ci est ajusté à une résolution verticale de  $20\text{mV/div}$ . De plus, le circuit équivalent de la sonde d'oscilloscope discuté à la sous-section 3.2.3 a été connecté au nœud de sortie. Enfin, notons que la simulation ne tient pas compte du bruit de grenaille du photodétecteur.

La première colonne du Tableau 3.8 présente la tension efficace du bruit temporel obtenue en simulation dans le cas où l'on considère uniquement le bruit thermique. Comparant cette valeur à celle de la deuxième colonne, qui englobe à la fois le bruit thermique et le bruit de scintillation, on constate que la contribution du bruit de scintillation est beaucoup plus importante que celle du bruit thermique. Examinant ensuite le bruit total simulé et le bruit expérimental, on remarque que ce dernier est légèrement plus élevé. Cette différence s'explique principalement par le fait que la bande passante expérimentale s'étend en basse fréquence jusqu'à  $0\text{Hz}$  en vertu du couplage direct de l'oscilloscope, tandis que fréquence minimale du bruit de scintillation simulé est limitée à  $20\text{Hz}$ <sup>7</sup>. Puisque la densité spectrale du bruit de scintillation est maximale à basse fréquence, sa contribution expérimentale est plus importante que lors de la simulation. Le second facteur contribuant à expliquer cette différence est l'absence du bruit de grenaille lors de la simulation. Assumant que les sources de bruit ne soient pas corrélées, on évalue que l'apport du bruit de grenaille est approximativement équivalent à celui du bruit thermique.

---

<sup>7</sup> La fréquence minimale du bruit  $1/f$  en simulation est limitée par la durée totale de la simulation.

Tableau 3.8 Tensions efficaces du bruit temporel au nœud de sortie

<b>Simulation (bruit thermique uniquement)</b>	<b>Simulation (bruit thermique et 1/f avec <math>f_{min} = 20\text{Hz}</math>)</b>	<b>Expérimental</b>
0.46mV <sub>eff</sub>	1.45mV <sub>eff</sub>	1.7mV <sub>eff</sub>

Il est maintenant pertinent d'évaluer la contribution individuelle de chacun des circuits conçus au bruit temporel total. Comme le prototype ne permet pas la mesure expérimentale individuelle du bruit temporel de chacun des blocs de traitement de signal, on emploie une simulation. Le Tableau 3.9 présente les valeurs efficaces des tensions de bruit temporel obtenues. À l'instar du Tableau 3.8, nous avons séparé les contributions du bruit thermique et du bruit de scintillation afin de faire ressortir leurs apports respectifs.

Tableau 3.9 Contribution individuelle des circuits au bruit temporel

	<b>Pixel actif</b>	<b>Tampon de colonne</b>	<b>Tampon de sortie</b>
Largeur de bande du bruit	2.56MHz	9.19MHz	3.44MHz
Densité spectrale du bruit thermique ( $\text{V}^2/\text{Hz}$ )	$55.9 \times 10^{-15}$	$9.92 \times 10^{-15}$	$8.82 \times 10^{-15}$
Tension du bruit thermique	0.38mV <sub>eff</sub>	0.30mV <sub>eff</sub>	0.17mV <sub>eff</sub>
Tension du bruit 1/f avec $f_{min} = 20\text{Hz}$	1.15mV <sub>eff</sub>	0.66mV <sub>eff</sub>	0.49 mV <sub>eff</sub>
Combinaison des deux types de bruit	1.21mV <sub>eff</sub>	0.73mV <sub>eff</sub>	0.52mV <sub>eff</sub>
Apport du bruit thermique	10%	17%	11%
Apport du bruit 1/f	90%	83%	89%

Le pixel actif possède une densité spectrale de bruit thermique nettement plus élevée que les deux autres circuits. Selon l'analyse théorique développée dans [17], on peut attribuer cette différence à la faible valeur de transconductance des transistors qui forment les paires différentielles dans le pixel actif. En effet, contrairement aux deux autres circuits, le rapport  $W/L$  des transistors d'entrée de l'intégrateur inverseur est unitaire, ce qui réduit leur transconductance intrinsèque. On note ensuite que le bruit de scintillation domine outrageusement le bruit thermique dans les trois cas. En fait, la

principale origine du bruit de scintillation est le pixel actif à intégrateur inverseur en raison de ses transistors d'entrée de petite taille.

### **3.4 Conclusion**

Les essais effectués sur le prototype de capteur d'images démontrent le fonctionnement des circuits analogiques conçus au chapitre 2. Plus spécifiquement, le circuit intégrateur inverseur et la matrice secondaire nous ont permis de caractériser davantage le photodétecteur sans filtre en dépit de l'absence de réponse au champ magnétique. Pour sa part, la matrice principale du prototype a été utilisée pour faire l'acquisition d'une image monochrome dont le niveau de bruit à patron fixe est très élevé. Il ressort d'une étude expérimentale que ce bruit est majoritairement issu d'une erreur de connexion des portes de transmission et des courants de fuite des photodétecteurs. On peut supposer que si ces derniers avaient répondu au champ magnétique tel qu'anticipé, leur sensibilité aurait été meilleure et l'acquisition de l'image aurait requis un temps d'intégration plus faible, ce qui aurait résulté en un bruit à patron fixe moins prononcé. Finalement, il a été observé que la principale source de bruit temporel est le pixel actif à intégrateur inverseur et que son bruit de scintillation est dominant en raison des faibles dimensions de ses transistors d'entrée.

## CONCLUSION

L'objectif principal de ce travail de maîtrise consistait à concevoir les circuits analogiques assurant le traitement des signaux en provenance d'une matrice de photodétecteurs sans filtre en vue d'obtenir un prototype de capteur d'image couleur complet. Les circuits élaborés devaient également permettre la continuité du processus de caractérisation du photodétecteur afin d'identifier les améliorations potentielles à apporter lors des implémentations futures.

Dans le but de remplir ces objectifs, nous avons d'abord exploré les principes de base des capteurs d'image CMOS ainsi que leurs principaux indicateurs de performance. Nous avons également présenté une revue de littérature des différents circuits qu'englobent les capteurs CMOS actuels et introduit les principes de fonctionnement du photodétecteur sans filtre. En se basant sur cette mise en contexte, le chapitre 2 a exposé l'architecture globale adoptée pour le prototype de capteur d'image, les topologies choisies pour les circuits analogiques, de même que le processus de conception détaillé de chacun des blocs de traitement. Plus spécifiquement, une nouvelle architecture de pixel actif (APS) à intégrateur inverseur a été élaborée. Celle-ci permet de maintenir constante la tension de polarisation inverse des électrodes du photodétecteur durant l'intégration afin d'éliminer l'influence de la variation de leurs capacités de jonction et d'améliorer la linéarité.

Le troisième chapitre a présenté les résultats expérimentaux recueillis à partir du prototype de capteur d'image fabriqué en technologie CMOS TSMC 0.25 $\mu\text{m}$ . Dans un premier temps, la matrice secondaire a été utilisée pour caractériser le fonctionnement du circuit intégrateur inverseur et déterminer certaines de ses propriétés électroniques, dont sa tension de décalage, son écart dynamique et sa linéarité. Il s'avère que les résultats obtenus corroborent bien la théorie énoncée au chapitre 2. En second lieu, le capteur d'image complet composé de la matrice principale, des circuits

d'échantillonnage de colonne et des tampons de sortie, a permis d'obtenir une image monochrome ayant une dimension totale de 100 lignes par 75 colonnes. Malgré le fait que les résultats expérimentaux démontrent le fonctionnement adéquat des circuits conçus, leur performance globale dans le cadre de l'acquisition d'une image couleur n'a pu être évaluée en raison de l'absence de réponse des photodétecteurs envers le champ magnétique externe. En effet, puisque la sensibilité des photodétecteurs était beaucoup plus faible que celle anticipée, les temps d'intégration ont dû être démesurément augmentés. Par conséquent, l'acquisition d'une image couleur ayant un contraste suffisant a été impossible, alors que l'image monochrome obtenue comportait une très forte composante de bruit à patron fixe.

Une étude détaillée des origines de ce bruit à patron fixe a déterminé qu'il provenait principalement de l'intégration des courants de fuite des photodétecteurs et de l'absence de commutation des portes d'échantillonnage des circuits de colonne. Puisque les courants de fuite des photodétecteurs sont intégrés simultanément avec les courants photoniques, il est impossible de corriger ce bruit à patron fixe à l'aide d'un mécanisme d'échantillonnage différentiel. La même remarque s'applique au sujet du bruit à patron fixe engendré par l'absence de commutation des portes d'échantillonnage des circuits de colonne. En effet, comme la charge contenue par la capacité d'échantillonnage est modifiée après la phase d'intégration, un échantillonnage différentiel ne serait pas en mesure d'éliminer ce bruit. La troisième composante du bruit à patron fixe est issue des variations des tensions de décalage des circuits intégrateur inverseur et des tampons de colonne. Contrairement aux bruits à patron fixe précédents, le bruit issu des variations des tensions de décalage pourrait être corrigé à l'aide d'un échantillonnage différentiel de type remise à zéro (DRS), car le décalage est présent lors de la phase de remise à zéro.

Les résultats obtenus nous permettent également d'identifier les forces et faiblesses de chacun des blocs de traitement de signal. Tout d'abord, en raison de sa structure de type

transrésistance, l'intégrateur inverseur est compatible avec tous les types de photodétecteurs dont le signal de sortie est un courant proportionnel à la l'illumination. De plus, sa topologie à rétroaction négative lui attribue une excellente linéarité lors de l'intégration, un écart dynamique maximal très raisonnable et une tension de décalage de remise à zéro faible par rapport à la tension de référence. Ces caractéristiques sont essentielles à la caractérisation efficace du photodétecteur sans filtre. En ce sens, l'intégrateur inverseur à entrées multiples a rempli son rôle correctement. Il présente néanmoins un bruit temporel très élevé, dont la composante dominante est le bruit de scintillation. Ce dernier est issu de la petite taille des transistors, une contrainte essentielle à respecter pour conserver un facteur de remplissage raisonnable en dépit des 21 transistors que comporte le circuit. Il apparaît donc clair que le circuit intégrateur inverseur à entrées multiples devra employer des transistors de plus grande taille en vue d'être utilisé dans un contexte nécessitant un très faible bruit temporel.

Pour leur part, les tampons de colonne sont issus d'une topologie de paire différentielle à rétroaction négative totale. Malgré le fait que les transistors qui les composent possèdent des tailles supérieures à celles des transistors du pixel actif, ils engendrent tout de même une composante non-négligeable de bruit de scintillation. Enfin, les tampons de sortie sont constitués d'amplificateurs opérationnels configurés en rétroaction négative totale. Selon les résultats obtenus, leur fonctionnement est adéquat et la compensation fréquentielle a été suffisante pour prévenir toute oscillation parasite, et ce, même lorsque la sonde d'oscilloscope était directement connectée à sa sortie. Par ailleurs, étant donnée la taille substantielle des transistors qui les composent, les tampons de sortie ne contribuent pas de façon significative au bruit temporel.

De façon à être compétitives en ce qui concerne la gamme dynamique, les prochaines implémentations des circuits conçus devront comporter des améliorations au niveau du bruit de scintillation, notamment en employant des transistors de plus grande taille au niveau du pixel actif et du tampon de colonne. D'autre part, une attention particulière

devra être portée aux variations de procédés. À ce propos, l'implémentation d'une technique d'échantillonnage différentiel serait d'un apport inestimable pour réduire l'effet des variations de tension de décalage et le bruit à patron fixe qui en résulte.

## RÉFÉRENCES

- [1] ALLEN P. E. et HOLBERG D. R., *CMOS analog circuit design – 2<sup>nd</sup> edition*, Oxford University Press, 2002.
- [2] AUDET Y., "Color image sensor," *Brevet WIPO*, WO/2007/140602, 2007.
- [3] AUDET Y. et ABOUTORABI S. S., "A CMOS process compatible color sensor using wavelength dependant absorption depth," in *Joint 6<sup>th</sup> IEEE Northeast Workshop on Circuits and Systems and TAISA Conference*, 2008, pp. 327-330.
- [4] AUDET Y. et BEAUDOIN P. M., "Pixel architecture for CMOS active pixel sensors," *Brevet en cours d'homologation*, 2008.
- [5] BAKER R. J., *CMOS circuit design, layout, and simulation – revised 2<sup>nd</sup> edition*, John Wiley & Sons, Inc., 2008.
- [6] BEAUDOIN P. M., AUDET Y. et PONCE-PONCE V. H., "Dark current compensation in CMOS image sensors using a differential pixel architecture," in *Joint IEEE North-East Workshop on Circuits and Systems (NEWCAS) and TAISA conference*, 2009.
- [7] BURASA P., "Circuit de lecture pour une matrice de pixels couleurs sans filtre," M.Sc.A., École Polytechnique de Montréal, Québec, Canada, 2008.
- [8] CHEN Y., YANG F. et KHAN G., "A new wide dynamic range CMOS pulse-frequency-modulation digital image sensor with in-pixel variable reference voltage," in *51<sup>st</sup> Midwest Symposium on Circuits and Systems*, 2008, pp. 129-132.

- [9] EL GAMAL A. et ELTOUKHY H., "CMOS image sensors," *IEEE Circuits and Devices Magazine*, vol. 21, no. 3, pp. 6-20, 2005.
- [10] FOVEON, INC., "Method and apparatus for improving sensitivity in vertical color CMOS image sensors," *Brevet WIPO*, WO/2005/091966, 2005.
- [11] FURUTA M., NISHIKAWA Y., INOUE T. et KAWAHITO S., "A high-speed, high-sensitivity digital CMOS image sensor with a global shutter and 12-bit column-parallel cyclic A/D converters," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 4, pp. 766-774, 2007.
- [12] HAMAMI S., FLESH L. et YADID-PECHT O., "CMOS image sensor employing 3.3V 12 bit 6.3 MS/s pipelined ADC," *Elsevier Sensors and Actuators*, A 135, pp. 119-125, 2006.
- [13] HASHEMI F., HADIDI K. H. et KHOEI A., "Design of a CMOS image sensor with pixel-level ADC in 0.35  $\mu\text{m}$  process," in *Proceedings on the International Symposium on Circuits and Systems*, vol. 2, 2003, pp. 600-603.
- [14] IDE N., LEE W., AKAHANE N. et SUGAWA S., "A wide DR and linear response CMOS image sensor with three photocurrent integrations in photodiodes, lateral overflow capacitors, and column capacitors," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 7, pp. 1577-1587, 2008.
- [15] IIDA Y., OBA E., MABUCHI K., NAKAMURA N. et MIURA H., "A 1/4-inch 330k square pixel progressive scan CMOS active pixel image sensor," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 11, pp. 2042-2047, 1997.

- [16] IKEBE M. et SAITO K., “A wide-dynamic-range compression image sensor with negative-feedback resetting,” *IEEE Sensors Journal*, vol. 7, no. 5, pp. 897-904, 2007.
- [17] JOHNS D. et MARTIN K., *Analog integrated circuit design*, John Wiley & Sons, Inc., 1997.
- [18] KIM D. et HAN G., “A low noise and low power CMOS image sensor with pixel-level correlated double sampling,” in *Design and Diagnostics of Electronic Circuits and Systems*, 2007, pp. 1-3.
- [19] LEE S. et YANG K., “Sub-1-V supply self-adaptive CMOS image sensor cell with 86-dB dynamic range,” *IEEE Electron Device Letters*, vol. 28, no. 6, pp. 492-494, 2007.
- [20] MATSUO S. et al., “A very low column FPN and row temporal noise 8.9M-pixel, 60 fps CMOS image sensor with 14bit column parallel SA-ADC,” in *2008 IEEE Symposium on VLSI Circuits*, 2008, pp. 138-139.
- [21] NAKAMURA J., *Image sensors and signal processing for digital still cameras*, Boca Raton, FL.: CRC Press, 2006.
- [22] OTHA J., *Smart CMOS image sensors and applications*, Boca Raton, FL.: CRC Press, 2008.
- [23] RAZAVI B., *Design of analog CMOS integrated circuits*, McGraw-Hill Series in Electrical and Computer Engineering, 2000.

- [24] SEDRA A. S. et SMITH K. C., *Microelectronic circuits – 5<sup>th</sup> edition*, Oxford University Press, 2004.
- [25] SNOEIJ M. F., THEUWISSEN A. J. P., MAKINWA K. A. A. et HUIJSING J. H., “A CMOS imager with column-level ADC using dynamic column fixed-pattern noise reduction,” *IEEE Journal of Solid-State Circuits*, vol. 41, no. 12, pp. 3007-3015, 2006.
- [26] STOPPA D. et al., “A 120-dB dynamic range sensor CMOS image sensor with programmable power responsivity,” *IEEE Journal of Solid-State Circuits*, vol. 42, no. 7, pp. 1555-1563, 2007.
- [27] THEUWISSEN A. J. P., “CMOS image sensors: state-of-the-art and future perspectives,” in *37<sup>th</sup> European Solid State Device Research Conference*, 2007, pp. 21-27.
- [28] TIAN H., FOWLER B. et EL GAMAL A., “Analysis of temporal noise in CMOS photodiode active pixel sensor,” *IEEE Journal of Solid-State Circuits*, vol. 36, no. 1, pp. 92-101, 2001.
- [29] TRÉPANIÉ J.-L., “Capteur d’images CMOS à pixels numériques et à gamme dynamique élevée,” M.Sc.A., École Polytechnique de Montréal, Qc, Canada, 2003.
- [30] UYEMURA J. P., *CMOS logic circuit design*, Kluwer Academic Publishers, 2008.
- [31] WANG X., SNOEIJ M. F., RAO P. R., MIEROP A. et THEUWISSEN A. J. P., “A CMOS image sensor with a buried-channel source follower,” in *IEEE*

*International Solid-State Circuits Conference Digest of Technical Papers*, 2008, pp. 62–63, 595.

- [32] WANG X., WONG W. et HORNSEY R., “A high dynamic range CMOS image sensor with inpixel light-to-frequency conversion,” *IEEE Transactions on Electron Devices*, vol. 53, no. 12, pp. 2988-2992, 2006.
- [33] WATABE T., GOTO M., OTHAKE H., MARUYAMA H. et TANIOKA K., “A new readout circuit for an ultrahigh sensitivity CMOS image sensor,” *IEEE Transactions on Consumer Electronics*, vol. 48, no. 3, pp. 394-399, 2002.
- [34] WONG Y. L. et ABSHIRE P. A., “A 144 x 144 current-mode image sensor with self-adapting mismatch reduction,” *IEEE Transactions on Circuits and Systems*, vol. 54, no. 8, pp. 1687-1697, 2007.
- [35] XU W. et FRIEDMAN E. G., “Clock feedthrough in CMOS analog transmission gate switches,” in *15<sup>th</sup> Annual IEEE International ASIC/SOC Conference*, 2002, pp. 181-185.
- [36] YADID-PECHT O. et ETIENNE-CUMMINGS R., *CMOS imagers: from phototransduction to image processing*, New York: Springer-Verlag, 2004.
- [37] ZHOU Z., PAIN B. et FOSSUM E. R., “CMOS active pixel sensor with on-chip successive approximation analog-to-digital converter,” *IEEE Transactions on Electron Devices*, vol. 44, no. 10, pp. 1759-1763, 1997.

## ANNEXE A

### CARACTÉRISATION DES PORTES DE TRANSMISSION

#### A.1 Théorie des portes de transmission

Une porte de transmission idéale se comporte comme un circuit ouvert lorsqu'elle est désactivée et comme un court-circuit lorsqu'elle est activée. De plus, elle ne présente aucun effet de charge capacitif sur les circuits auxquels elle est reliée et elle ne propage aucun bruit de commutation. Or, les portes de transmission réelles possèdent des non-idéalités qui perturbent négativement le comportement du circuit. C'est pourquoi une attention particulière doit être portée à leur conception [24]. Cette observation est particulièrement pertinente dans le cas d'un pixel actif, car les courants impliqués sont relativement faibles. Il existe trois types de portes de transmission en technologie CMOS, les portes NMOS et PMOS, qui n'utilisent qu'un seul transistor, ainsi que la porte CMOS qui utilise les deux types de transistors. Les prochaines sections visent à décrire les caractéristiques et le comportement de chacune de ces portes de transmission. Ces résultats seront ensuite mis à profit pour élaborer le modèle équivalent d'une porte de transmission CMOS qui sera fort utile lors de l'analyse du pixel actif et des circuits de colonne.

##### A.1.1 Portes de transmission NMOS et PMOS

Les portes de transmission élémentaires ne comportent qu'un transistor NMOS ou PMOS [5], [17], [23], [30]. La Figure A.1 représente une utilisation typique de ces portes, où l'on désire transmettre une tension d'entrée,  $V_{EN}$ , vers une tension de sortie,  $V_{SOR}$ , appliquée aux borne d'une capacité de maintien,  $C_H$ . Le signal de commande à logique positive,  $\phi$ , est appliqué aux grilles des transistors. Les portes sont désactivées lorsque  $\phi = 0V$  ( $\bar{\phi} = V_{DD}$ ) et sont activées lorsque  $\phi = V_{DD}$  ( $\bar{\phi} = 0V$ ). L'identification des terminaux de source des transistors suppose que le transfert des charges s'effectue de l'entrée vers la sortie, c'est-à-dire que  $v_{EN} > v_{SOR}$  avant l'activation de la porte. Bien

qu'elles soient simples et consomment peu d'espace sur le substrat, ces portes de transmission élémentaires possèdent plusieurs non-idéalités décrites dans les sous-sections suivantes.

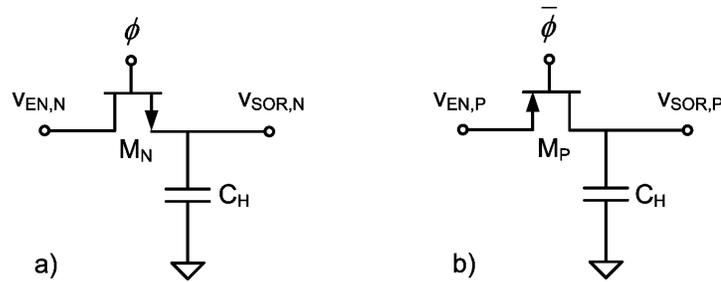


Figure A.1 Portes de transmission NMOS et PMOS

a) Porte NMOS; b) Porte PMOS

Remarque : la Figure A.1 et les suivantes supposent implicitement que les substrats des transistors NMOS sont connectés à 0V et que ceux des transistors PMOS sont connectés à la tension d'alimentation  $V_{DD}$ .

#### A.1.1.1 Plage de conduction

Le désavantage principal des portes de transmission NMOS et PMOS est la plage de tension limitée qu'il leur est possible de transférer de l'entrée vers la sortie. Étudions d'abord le cas de la porte NMOS en assumant que la capacité  $C_H$  ne possède aucune charge initiale ( $v_{SOR,N} = v_S = 0V$ ), que la tension d'entrée,  $v_{EN,N}$ , est nulle et que la porte est activée en appliquant  $\phi = V_G = V_{DD}$ . On a alors un canal de conduction puisque  $v_{GS} \geq V_{THN}$ . Supposons maintenant que l'on augmente graduellement la tension d'entrée,  $v_{EN,N}$ , sur une plage allant de 0V jusqu'à  $V_{DD}$ . Pour une tension d'entrée  $v_{EN,N} \leq V_{DD} - V_{THN}$ , le canal de conduction existe et on a  $v_{SOR,N} = v_{EN,N}$ . Par contre, lorsque  $v_{EN,N}$  excède  $V_{DD} - V_{THN}$ , le canal de conduction cesse d'exister et la tension de sortie est maintenue égale à  $V_{DD} - V_{THN}$  par la capacité  $C_H$ . On obtient donc la courbe de transfert donnée à la Figure A.2a) et on peut conclure que la plage de tension qu'il est possible de transférer à l'aide d'une porte NMOS est comprise entre 0V et  $V_{DD} - V_{THN}$ . Une analyse identique de la

porte de transmission PMOS nous permet de tracer la courbe de transfert illustrée à la Figure A.2b). Puisque l'on applique  $\bar{\phi} = V_G = 0V$  pour activer la porte, la tension d'entrée,  $v_{EN,P} = v_S$ , doit être supérieure ou égale à  $|V_{THP}|$  pour qu'il y ait création d'un canal. Ainsi, la plage de tension qu'il est possible de transférer à l'aide d'une porte PMOS est comprise entre  $|V_{THP}|$  et  $V_{DD}$ .

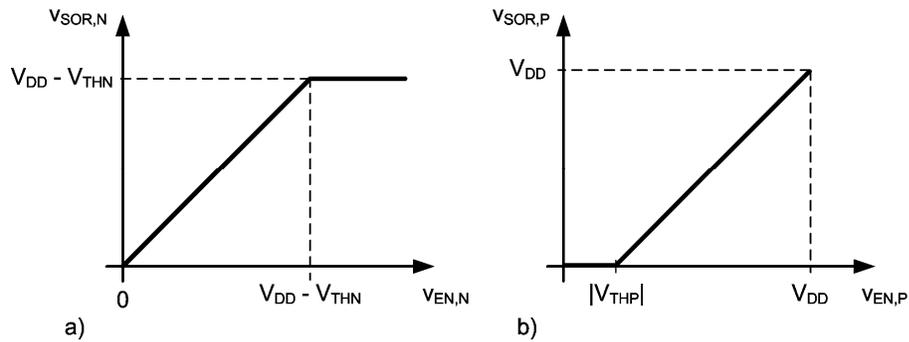


Figure A.2 Plage de conduction  
a) Porte NMOS; b) Porte PMOS

Il importe de mentionner que les transistors sont forcément en région de triode<sup>8</sup> si les portes de transmission opèrent à l'intérieur de leur plage de conduction respective (c.-à-d. si les portes sont actives). En effet, la condition de triode de la porte NMOS,  $v_{DG} < -V_{THN}$ , est vérifiée lorsque  $v_{EN,N} < V_G - V_{THN}$ , alors que la condition de triode du transistor PMOS,  $v_{GD} < -|V_{THP}|$ , est vérifiée si  $v_{SOR,P} > |V_{THP}|$ . On doit également tenir compte de l'effet de substrat, qui introduit une dépendance des tensions de seuil des transistors,  $V_{THN}$  et  $V_{THP}$  envers la tension transmise par la porte. Les tensions de seuil peuvent être exprimées comme suit [24], où l'on assume que  $v_{EN} = v_{SOR}$  puisque la porte est activée :

$$v_{THN} = V_{THN0} + \gamma_N \left( \sqrt{2\phi_{f,N} + v_{SOR,N}} - \sqrt{2\phi_{f,N}} \right) \quad (\text{A.1a})$$

<sup>8</sup> Puisque les tensions au drain et à la source des transistors sont approximativement égales, ils opèrent en région profonde de triode « deep triode ».

$$v_{THP} = V_{THP0} + \gamma_P \left( \sqrt{2\phi_{f,P} + V_{DD} - v_{SOR,P}} - \sqrt{2\phi_{f,P}} \right) \quad (\text{A.1b})$$

Mentionnons que  $V_{THN0}$  et  $V_{THP0}$  sont les tensions de seuil lorsqu'il n'y a pas de différence de potentiel entre le substrat et la source des transistors ( $v_{SB} = 0$ ),  $\gamma$  est la constante d'effet de substrat déterminée par le procédé de fabrication ( $\gamma_P < 0$  et  $\gamma_N > 0$ ) et  $\phi_f$  est le potentiel de Fermi correspondant au substrat ( $\phi_{f,N}$ ) ou du puits N ( $\phi_{f,P}$ ).

Dans le cas d'une porte NMOS, la plage de conduction est minimale lorsque la tension de seuil,  $v_{THN}$ , est maximale. Or, selon l'expression (A.1a),  $v_{THN}$  augmente dans le même sens que la tension transmise,  $v_{SOR,N}$ . Il apparaît donc que la plage de conduction rétrécit au fur et à mesure que la tension transmise augmente. Un raisonnement similaire s'applique avec une porte PMOS, car une diminution de la tension transmise,  $v_{SOR,P}$ , cause une augmentation de  $|v_{THP}|$ , donc une réduction de la plage de conduction. L'ampleur de ce phénomène est soulignée brièvement dans [24]. Il y est mentionné que, pour certaines valeurs des paramètres  $\gamma$  et  $\phi_f$ , les tension de seuil  $v_{THN}$  et  $|v_{THP}|$  peuvent atteindre la moitié de la tension d'alimentation,  $V_{DD}/2$ , ce qui réduit considérablement la plage de conduction.

#### A.1.1.2 Résistance en mode activé

Comme nous venons de le constater, le transistor d'une porte de transmission qui opère l'intérieur de sa plage de conduction est en région de triode. Par conséquent, la résistance d'une porte de transmission active,  $r_{ON}$ , dépend de la tension transmise par la porte,  $v_{EN} = v_{SOR}$ , et est exprimée par l'une des équations suivantes [23] :

$$r_{ON,N} = \left[ \mu_N C_{ox} \frac{W_N}{L_N} (V_{DD} - v_{EN,N} - v_{THN}) \right]^{-1} \quad \text{pour } 0V \leq v_{EN,N} \leq V_{DD} - v_{THN} \quad (\text{A.2a})$$

$$r_{ON,P} = \left[ \mu_P C_{ox} \frac{W_P}{L_P} (v_{EN,P} - |v_{THP}|) \right]^{-1} \quad \text{pour } |v_{THP}| \leq v_{EN,P} \leq V_{DD} \quad (\text{A.2b})$$

où  $C_{ox}$  est la capacité surfacique de l'oxyde de grille et  $\mu_{N,P}$  sont les mobilités des électrons et de trous respectivement.

La Figure A.3, inspirée de [23], fournit une représentation graphique approximative des résistances en mode actif des portes de transmission NMOS et PMOS en fonction de leur tension d'entrée,  $v_{EN}$ . Sans surprise, la résistance tend vers l'infini lorsque la tension d'entrée s'approche de la limite de la plage de conduction. Dans le cas où  $W_P/L_P = W_N/L_N$  et  $|v_{THP}| = v_{THN}$ , la résistance de la porte PMOS est plus élevée que celle de la porte NMOS, car la mobilité des trous,  $\mu_P$ , est inférieure à celle des électrons,  $\mu_N$  [5]. En outre, puisque  $r_{ON}$  varie en fonction de la tension d'entrée, le réseau à délai passif formé par  $r_{ON}$  et  $C_H$  possède une constante de temps qui varie avec la tension d'entrée, ce qui rend l'analyse transitoire particulièrement ardue. Notons enfin que si les transistors utilisés ont un canal court, c'est-à-dire si  $L < 2L_{min}$ , il y a dégradation de la mobilité des porteurs [5], [17], [23], ce qui tend à augmenter  $r_{ON}$ .

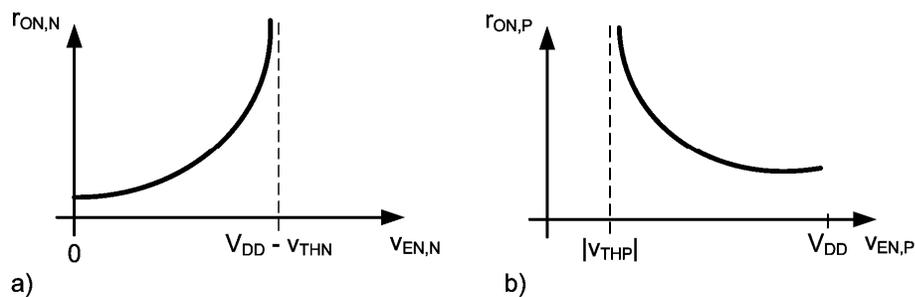


Figure A.3 Résistance d'une porte de transmission activée

a) Porte NMOS; b) Porte PMOS

#### A.1.1.3 Capacités équivalentes

Les circuits connectés à l'entrée et à la sortie d'une porte de transmission perçoivent des capacités équivalentes nommées  $C_{EQ1}$  et  $C_{EQ2}$ , respectivement. La Figure A.4 illustre les capacités internes des portes de transmission NMOS et PMOS. Notons que nous avons ignoré la capacité drain-source puisqu'elle est habituellement négligeable [23]. De plus,

la capacité grille-substrat n'est pas illustrée puisque les tensions de grille et de substrat sont continues lorsque la porte est maintenue dans un état donné (actif ou inactif). Les capacités d'un transistor MOS dépendent de sa région d'opération. Lorsqu'utilisé pour former une porte de transmission, le transistor se situe en région de coupure lorsque celle-ci est désactivée, ou en région de triode lorsqu'elle est activée et que les tensions transmises respectent sa plage de conduction. Dans le cas où le transistor est en région de coupure, les capacités  $C_{GS}$  et  $C_{GD}$  sont identiques et principalement issues du recouvrement du drain et de la source par l'oxyde de grille [17], [23].

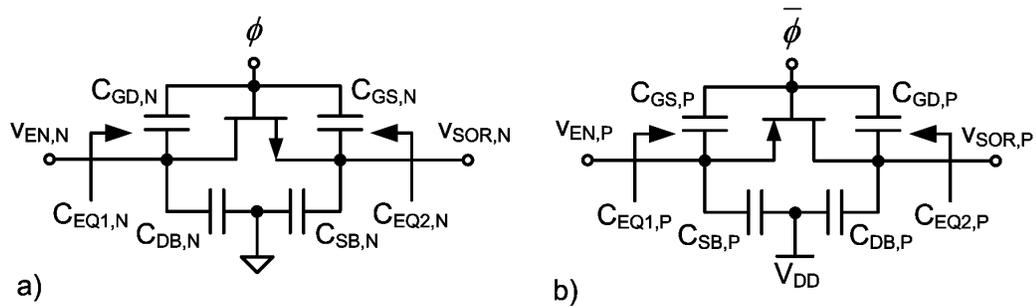


Figure A.4 Capacités équivalentes des portes de transmission

a) Porte NMOS; b) Porte PMOS

Posant  $L_{ov}$  la longueur de ce recouvrement (généralement différente pour le NMOS et le PMOS) et  $C_{ox}$  la capacité surfacique de l'oxyde de grille, il vient :

$$C_{GS,N} = C_{GD,N} = W_N L_{ov,N} C_{ox} \quad (\text{A.3a})$$

$$C_{GS,P} = C_{GD,P} = W_P L_{ov,P} C_{ox} \quad (\text{A.3b})$$

Les capacités référencées au substrat,  $C_{DB}$  et  $C_{SB}$ , sont constantes, dépendent des aires des jonctions de source et de drain et sont généralement négligeables par rapport à  $C_{GS}$  et  $C_{GD}$  [17]. Il s'ensuit que les capacités d'entrée,  $C_{EQ1}$  et de sortie,  $C_{EQ2}$ , sont approximativement égales. Ainsi, définissant  $C_{EQD}$ , la capacité équivalente d'une porte de transmission désactivée, on peut écrire :

$$C_{EQD,N} = C_{EQ1,N} \approx C_{EQ2,N} \approx C_{GS,N} = C_{GD,N} = W_N L_{ov,N} C_{ox} \quad (\text{A.4a})$$

$$C_{EQD,P} = C_{EQ1,P} \approx C_{EQ2,P} \approx C_{GS,P} = C_{GD,P} = W_P L_{ov,P} C_{ox} \quad (\text{A.4b})$$

On constate que  $C_{EQD}$  est minimisée en réduisant la largeur,  $W$ , des transistors. Lorsque le transistor conduit et opère en région de triode profonde, les capacités  $C_{GS}$  et  $C_{GD}$  sont à nouveau identiques [17], [23] :

$$C_{GS,N} = C_{GD,N} = W_N C_{ox} \frac{L_N + 2L_{ov,N}}{2} \approx \frac{W_N L_N C_{ox}}{2} \quad (\text{A.5a})$$

$$C_{GS,P} = C_{GD,P} = W_P C_{ox} \frac{L_P + 2L_{ov,P}}{2} \approx \frac{W_P L_P C_{ox}}{2} \quad (\text{A.5b})$$

Les capacités  $C_{DB}$  et  $C_{SB}$  sont issues de la polarisation inverse des jonctions drain-substrat et source-substrat, ainsi que des capacités des murs latéraux (« sidewall capacitances »). Toutes ces composantes sont inversement proportionnelles aux tensions  $V_{SB}$  et  $V_{DB}$  [17]. Les capacités équivalentes en mode actif sont donc maximales lorsque la tension transmise par la porte s'approche de 0V pour une porte NMOS et lorsqu'elle s'approche de  $V_{DD}$  pour une porte PMOS. Tout comme dans le cas d'une porte désactivée,  $C_{DB}$  et  $C_{SB}$  sont négligeables par rapport à  $C_{GS}$  et  $C_{DG}$ . Définissant  $C_{EQA}$ , la capacité équivalente d'une porte activée, on peut écrire :

$$C_{EQA,N} = C_{EQ1,N} \approx C_{EQ2,N} \approx C_{GS,N} = C_{GD,N} \approx \frac{W_N L_N C_{ox}}{2} \quad (\text{A.6a})$$

$$C_{EQA,P} = C_{EQ1,P} \approx C_{EQ2,P} \approx C_{GS,P} = C_{GD,P} \approx \frac{W_P L_P C_{ox}}{2} \quad (\text{A.6b})$$

On remarque que  $C_{EQA}$  est minimisée en réduisant la surface,  $WL$ , des transistors.

#### A.1.1.4 Courant de fuite et résistance en mode désactivé

Lorsqu'une porte de transmission réelle est désactivée, elle laisse passer un courant de fuite,  $I_F$ , formé du courant de polarisation inverse,  $I_{RB}$ , de sa jonction source-substrat (ou drain-substrat), auquel s'ajoute le courant de fuite sous-seuil (« subthreshold leakage »),  $I_{ST}$  [30]. Dans le cas d'une porte NMOS, le courant de fuite entre par la source et tend à décharger la capacité totale du nœud de sortie  $C_{TOT} = C_H + C_{EQD}$ , alors que dans le cas d'une porte PMOS, le courant de fuite sort par le drain et contribue à charger la capacité  $C_{TOT}$  [30]. La Figure A.5 illustre le courant de fuite et ses composants. Les jonctions PN source-substrat et drain-substrat ont été représentées par des diodes polarisées à l'inverse.

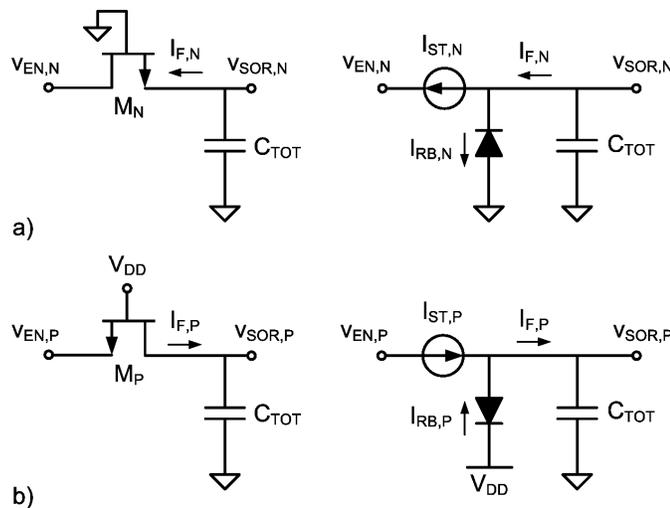


Figure A.5 Courant de fuite d'une porte de transmission désactivée

a) Porte NMOS; b) Porte PMOS

L'analyse détaillée des courants de fuite  $I_{RB}$  et  $I_{ST}$  a été effectuée par [30] et dépasse largement le cadre de ce mémoire. On y démontre, entre autres, que les courants de polarisation inverse,  $I_{RB}$ , dépendent des tensions  $V_{SB}$  et  $V_{DB}$ . Par conséquent, nous allons nous fier aux résultats obtenus en simulation et présentés à l'annexe C afin de déterminer l'ampleur du courant de fuite. La résistance équivalente de la porte désactivée,  $R_{OFF}$ , est déterminée en appliquant une différence de potentiel aux terminaux

de la porte et en observant son courant de fuite. Puisque  $I_F$  dépend de la différence de potentiel appliquée, la résistance  $R_{OFF}$  varie en fonction de la tension présente à la sortie de la porte.

#### A.1.1.5 Injection de charge

L'injection de charge se produit à l'instant où une porte de transmission activée se désactive. La charge contenue dans le canal de conduction,  $Q_{CH}$ , est alors expulsée en partie vers le drain,  $Q_D$ , et en partie vers la source,  $Q_S$ , tel qu'illustré à la Figure A.6.

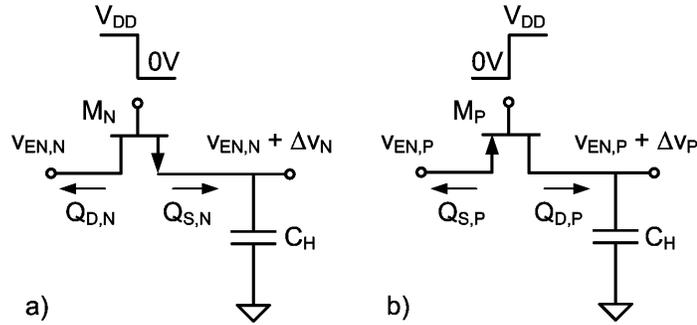


Figure A.6 Injection de charge

a) Porte NMOS; b) Porte PMOS

La répartition précise de la charge  $Q_{CH}$  est une fonction relativement complexe qui dépend de plusieurs paramètres [23]. Toutefois, si le signal de commande possède une transition très abrupte, il est raisonnable d'assumer que les charges expulsées au drain et à la source sont égales et sont exprimées par [5], [17] :

$$Q_{D,N} = Q_{S,N} = \frac{Q_{CH,N}}{2} = -\frac{W_N L_N C_{ox} (V_{DD} - v_{EN,N} - v_{THN})}{2} \quad (\text{A.7a})$$

$$Q_{D,P} = Q_{S,P} = \frac{Q_{CH,P}}{2} = \frac{W_P L_P C_{ox} (v_{EN,P} + v_{THP})}{2} \quad (\text{A.7b})$$

Notons que la charge initialement contenue dans le canal,  $Q_{CH}$ , est estimée lorsque  $v_{EN} = v_{SOR}$ , c'est-à-dire lorsque le transistor est en région de triode profonde. Soulignons également le signe négatif à l'équation (A.7a), qui indique que les charges contenues dans le canal d'un transistor NMOS sont négatives (électrons). Faisant l'hypothèse que la portion de charge envoyée vers l'entrée est absorbée par la faible résistance de sortie de la source de tension, le seul effet de l'injection de charge se situe au niveau de la tension de sortie,  $v_{SOR}$ . La charge expulsée vers la capacité de sortie,  $C_H$ , entraîne donc une erreur de tension,  $\Delta v$ , donnée par :

$$\Delta v_N = \frac{Q_{S,N}}{C_H} = -\frac{W_N L_N C_{ox} (V_{DD} - v_{EN,N} - v_{THN})}{2C_H} \quad (\text{A.8a})$$

$$\Delta v_P = \frac{Q_{D,P}}{C_H} = \frac{W_P L_P C_{ox} (v_{EN,P} + v_{THP})}{2C_H} \quad (\text{A.8b})$$

Bien qu'il soit possible de réduire l'effet de l'injection de charge en augmentant la capacité de sortie,  $C_H$ , cela a pour effet de ralentir le transfert de la tension de l'entrée vers la sortie [23], en plus d'augmenter la surface de substrat occupée. Il y a donc un compromis à faire lors de la conception des circuits d'échantillonnage. On peut également réduire l'erreur due à l'injection de charge en diminuant la surface des transistors,  $WL$ , mais cela augmente la résistance en mode actif,  $r_{ON}$ , et, par le fait même, le temps de propagation du signal [23]. D'autre part, soulignons que l'erreur due à l'injection de charge est directement proportionnelle à la tension d'entrée qui existe au moment où la porte est désactivée. Dans le cas d'une porte NMOS, l'erreur est minimisée pour les tensions d'entrée élevées, alors que le contraire se produit pour une porte PMOS. Finalement, notons que l'effet de substrat modifie l'erreur de tension en sortie de façon non-linéaire par rapport à la tension d'entrée [5].

### A.1.1.6 Transfert de charge dû au signal de commande

Tout comme l'injection de charge, le transfert de charge dû au signal de commande (« clock feedthrough ») se produit à l'instant où une porte de transmission activée se désactive [5]. Ce transfert de charge s'établit par l'entremise de la capacité de recouvrement du transistor située entre la grille et le terminal de sortie (drain ou source), tel qu'illustré à la Figure A.7.

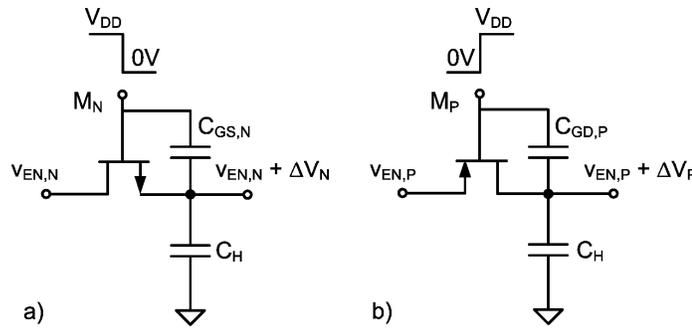


Figure A.7 Transfert de charge dû au signal de commande  
a) Porte NMOS; b) Porte PMOS

Utilisant les résultats des équations (A.3a) et (A.3b), l'erreur de tension en sortie est donnée dans chacun des cas par :

$$\Delta V_N = -V_{DD} \frac{W_N L_{ov,N} C_{ox}}{W_N L_{ov,N} C_{ox} + C_H} \quad (\text{A.9a})$$

$$\Delta V_P = V_{DD} \frac{W_P L_{ov,P} C_{ox}}{W_P L_{ov,P} C_{ox} + C_H} \quad (\text{A.9b})$$

Notons d'abord que, contrairement à l'injection de charge, le transfert de charge est indépendant de la tension d'entrée et de la tension de seuil du transistor (donc de l'effet de substrat). On peut donc minimiser l'erreur liée au transfert de charge en choisissant une capacité de maintien,  $C_H$ , suffisamment grande et en réduisant la largeur,  $W$ , du transistor utilisé.

### A.1.2 Portes de transmission CMOS

La porte de transmission CMOS, illustrée à la Figure A.8, combine les deux types de portes de transmission élémentaires, ce qui lui donne un avantage marqué au niveau de la plage de conduction. En effet, puisqu'elle emploie un transistor NMOS et un transistor PMOS en parallèle, leurs plages de conduction respectives se recouvrent afin de permettre le passage des tensions comprises entre 0V et  $V_{DD}$ .

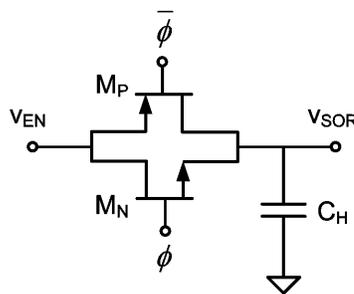


Figure A.8 Porte de transmission CMOS

Le prix à payer pour cet avantage est cependant relativement grand. En effet, la porte CMOS requiert une horloge à deux phases sans recouvrement, que l'on doit non seulement générer, mais aussi propager au travers le circuit. Elle occupe aussi une surface plus importante sur le circuit intégré du fait qu'elle comporte deux transistors. En outre, sa capacité équivalente est plus grande, puisqu'elle résulte de l'addition des capacités équivalentes des transistors NMOS et PMOS. Il faut toutefois prendre en considération que la plupart des caractéristiques fondamentales de la porte CMOS sont supérieures à celles des portes élémentaires NMOS et PMOS, comme en témoignent les sous-sections suivantes.

#### A.1.2.1 Résistance en mode activé

La résistance équivalente totale de la porte CMOS activée,  $r_{ON}$ , est donnée par la combinaison parallèle des résistances des transistors NMOS et PMOS. La Figure A.9, inspirée de [5], illustre  $r_{ON}$  en fonction de la tension transmise. On voit que la combinaison parallèle de  $r_{ON,N}$  et  $r_{ON,P}$  est relativement constante sur toute la plage de

conduction, mais augmente à l'approche de  $V_{DD} - v_{THN}$ . En fait, tel que mentionné à la section 2.3.1.2, la résistance  $r_{ON,P}$  est plus grande que  $r_{ON,N}$  pour des transistors de même taille vu la plus faible mobilité des trous. Ainsi, lorsque  $r_{ON,N}$  tend vers l'infini à l'approche de  $V_{DD} - v_{THN}$ , la résistance  $r_{ON,P}$  domine. À l'opposé, lorsque  $v_{EN}$  s'approche de  $|v_{THP}|$ , la résistance  $r_{ON,N}$  domine et la combinaison parallèle résulte en une plus petite résistance.

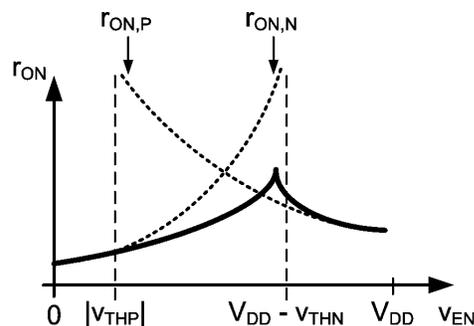


Figure A.9 Résistance d'une porte CMOS activée

#### A.1.2.2 Courant de fuite et résistance en mode désactivé

Puisque les courants de fuite des transistors NMOS et PMOS ont des sens opposés, ils tendent à se compenser au nœud de sortie de la porte de transmission CMOS [30]. Il s'ensuit que le courant de fuite,  $I_F$ , est généralement très faible, de sorte que la résistance équivalente d'une porte CMOS désactivée est beaucoup plus grande que celle d'une porte NMOS ou PMOS. Les courants de fuite sous-seuil,  $I_{ST,N}$  et  $I_{ST,P}$  sont de l'ordre de  $10^{-17}$  à  $10^{-15}$  A/ $\mu\text{m}$  [35] et sont habituellement<sup>9</sup> négligeables par rapport aux courants de polarisation inverse des jonctions drain-substrat (ou source-substrat),  $I_{RB,N}$  et  $I_{RB,P}$ . Conséquemment, le degré de compensation et le sens du courant  $I_F$  sont principalement déterminés par le rapport des dimensions des jonctions polarisées à l'inverse. La Figure A.10 montre les différents courants de fuite d'une porte de transmission CMOS, ainsi

<sup>9</sup> Ceci n'est vrai que dans le cas où l'on néglige les effets de canal court, car un transistor à canal court possède un courant de fuite sous-seuil plus élevé [17].

que le mécanisme de compensation. Notons que le sens du courant  $I_F$  illustré est arbitraire et qu'il indique ici que le courant de fuite du transistor NMOS est dominant.

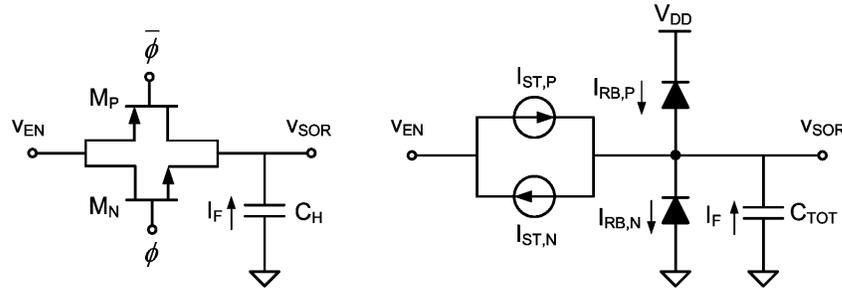


Figure A.10 Courant de fuite de la porte CMOS désactivée

### A.1.2.3 Injection de charge

Tel que vu à la section A.1.1.5, l'injection de charge se manifeste de manière opposée pour les deux transistors de la porte CMOS. De ce fait, il est possible de déterminer la condition qui annule l'injection de charge en posant l'égalité entre les équations (A.7a) et (A.7b) [17], [23] :

$$W_N L_N C_{ox} (V_{DD} - v_{EN} - v_{THN}) = W_P L_P C_{ox} (v_{EN} + v_{THP}) \quad (\text{A.10})$$

On remarque que cette condition n'est valide que pour une tension d'entrée,  $v_{EN}$ , donnée. Pour les autres valeurs de  $v_{EN}$ , il se produit une annulation partielle de l'injection de charge. Le sens que prend alors la charge résultante dépend de la valeur de  $v_{EN}$ , des tensions de seuils des transistors (incluant l'effet de substrat) ainsi que des tailles des transistors utilisés. De façon pratique, le facteur déterminant d'annulation ou de réduction de l'injection de charge est le non-recouvrement des signaux de commande complémentaires [5], [17], [23]. En effet, lorsque les signaux de commande se recouvrent, les transistors qui composent la porte CMOS ne commutent simultanément et l'injection de charge ne peut plus être réduite [17].

#### A.1.2.4 Transferts de charge dus aux signaux de commande

À l'instar de l'injection de charge, le transfert de charge dû au signal de commande entraîne des effets ayant des polarités opposées pour les transistors NMOS et PMOS. Il en découle la condition d'annulation suivante, issue de l'égalité entre les équations (A.9a) et (A.9b) :

$$\frac{W_N L_{ov,N} C_{ox}}{W_N L_{ov,N} C_{ox} + C_H} = \frac{W_P L_{ov,P} C_{ox}}{W_P L_{ov,P} C_{ox} + C_H} \quad (\text{A.11})$$

On peut donc anticiper que l'effet du transfert de charge sera annulé si les transistors NMOS et PMOS ont une largeur identique et possèdent la même capacité de recouvrement. Cette dernière condition est toutefois relativement difficile à valider, puisque les capacités de recouvrement des transistors NMOS et PMOS sont généralement différentes [23]. En outre, une bonne synchronisation des signaux de commande est primordiale pour assurer la validité de l'équation (A.11). Une étude plus approfondie du mécanisme de commutation et de son effet sur les transferts de charge dus aux signaux de commande est donnée dans [35].

## A.2 Caractérisation par simulation

La présente section a pour objectif de caractériser, par simulation, les portes de transmission CMOS de taille minimale ( $W_P = L_P = 0.3\mu\text{m}$ ,  $W_N = 0.3$  et  $L_N = 0.35\mu\text{m}$ ) utilisées dans le prototype de capteur d'image. La simulation s'avère une méthode rapide et efficace afin d'obtenir une approximation des caractéristiques principales des portes de transmission décrites à la section précédente. En effet, les modèles de simulation BSIM3v3.2 utilisés incluent certains effets particulièrement difficiles à modéliser par analyse théorique conventionnelle, soient les effets de canal court, les courants de fuite sous-seuil et le recouvrement des jonctions de drain et de source par l'oxyde de grille. En raison du caractère approximatif de la démarche, les simulations sont effectuées à

une température nominale de 27°C et emploient les modèles typiques des transistors NMOS et PMOS (coin TT).

### A.2.1 Courant de fuite et résistance équivalente en mode désactivé

Il est possible d'évaluer le courant de fuite d'une porte de transmission désactivée en employant le circuit présenté à la Figure A.11. Une source de tension continue,  $V_{TEST}$ , est appliquée aux bornes de la porte de transmission désactivée alors que son autre terminal est relié à la masse. Le courant de fuite,  $I_F$ , correspond alors simplement au courant de sortie de la source  $V_{TEST}$ .

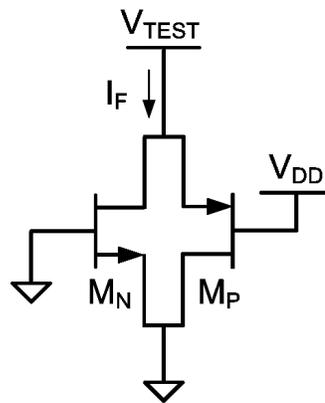


Figure A.11 Évaluation du courant de fuite

Puisque  $I_F$  est dominé par le courant de fuite des jonctions PN polarisées à l'inverse, celui-ci varie en fonction de la tension  $V_{TEST}$ . C'est pourquoi on doit évaluer  $I_F$  en balayant la tension  $V_{TEST}$  sur une plage allant de 0V à  $V_{DD}$  à l'aide d'une simulation DC, tel que montré à la Figure A.12.

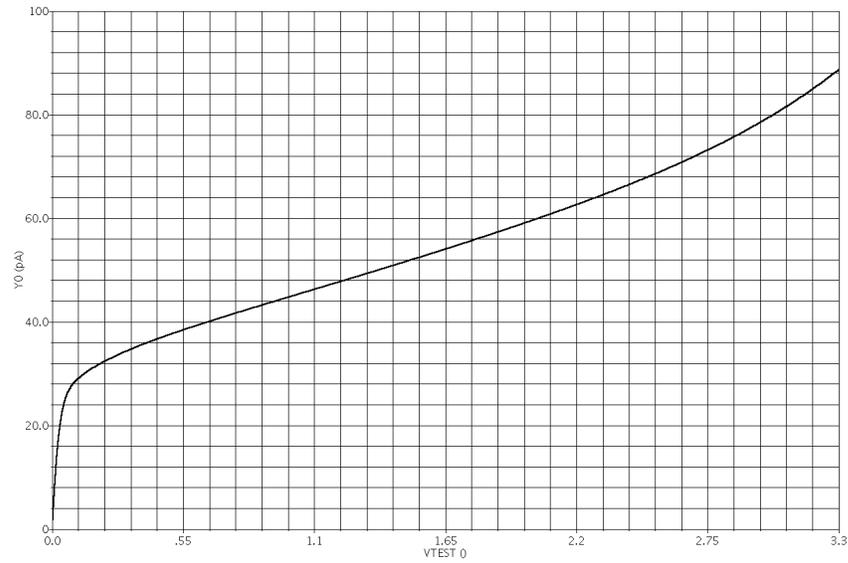


Figure A.12 Courant de fuite de la porte CMOS

La résistance équivalente de la porte désactivée,  $R_{OFF}$ , est obtenue en utilisant la loi d'Ohm  $R_{OFF} = V_{TEST} / I_F$ . La Figure A.13 illustre  $R_{OFF}$  en fonction de la tension  $V_{TEST}$ . La valeur moyenne de  $R_{OFF}$  est de  $27G\Omega$ .

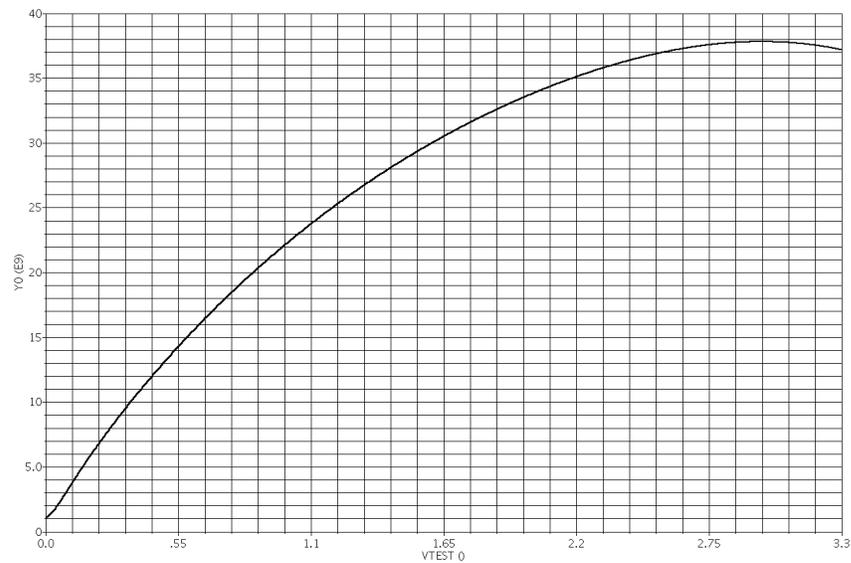


Figure A.13 Résistance de la porte CMOS désactivée

### A.2.2 Résistance équivalente en mode activé

Lorsque la porte de transmission CMOS est activée, sa résistance équivalente totale,  $r_{ON}$ , correspond à la combinaison parallèle des résistances équivalentes des transistors  $M_N$  et  $M_P$ . La Figure A.14 introduit un circuit qui permet de déterminer la valeur de la résistance  $r_{ON}$ , évaluée pour toutes les valeurs de  $V_{TEST}$  à l'aide de l'équation suivante :

$$r_{ON} = \frac{V_{TEST} - V_{SOR}}{I_{TEST}} \quad (\text{A.12})$$

Notons que la résistance  $R$  a été choisie telle que la différence de potentiel aux bornes de la porte demeure toujours près de 0V dans le but de maintenir les transistors profondément en région de triode. La Figure A.15 illustre la résistance  $r_{ON}$  de la porte de transmission CMOS. La valeur moyenne de  $r_{ON}$  est d'environ 9.04k $\Omega$ .

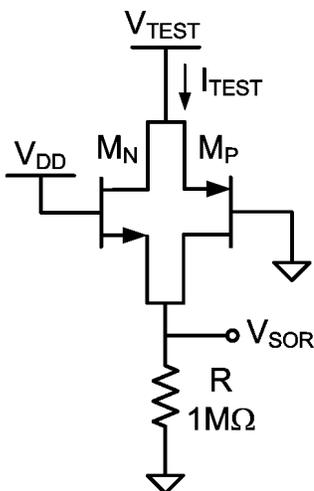


Figure A.14 Évaluation de la résistance d'une porte CMOS activée

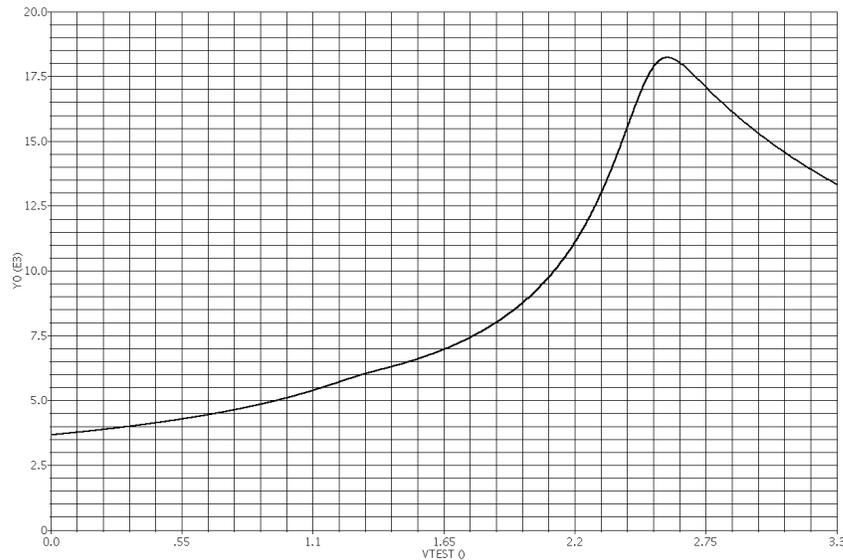


Figure A.15 Résistance de la porte CMOS activée

### A.2.3 Capacité équivalente en mode désactivé

Le circuit représenté à la Figure A.16a permet d'évaluer la capacité équivalente d'une porte de transmission CMOS désactivée,  $C_{EQD}$ . Une source de tension alternative,  $v_{test}$ , ayant une tension de décalage continue  $V_{TEST}$ , est appliquée à l'un des terminaux de la porte par l'entremise d'une résistance  $R = 1M\Omega$ , alors que l'autre terminal est relié à la masse. Ainsi, le circuit équivalent petit signal vu par la source petit signal  $v_{test}$  est un circuit RC série dont la tension de sortie,  $v_{sor}$ , est prise aux bornes de la porte de transmission, tel qu'illustré à la Figure A.16b. En raison de sa très grande valeur, la résistance en mode désactivé,  $R_{OFF}$ , peut être négligée.

Il a été vu à la section A.1 que la capacité équivalente d'une porte de transmission dépend de la tension continue à ses bornes. Ainsi, pour une valeur de tension  $V_{TEST}$  donnée, la capacité équivalente s'estime en effectuant une analyse AC et en évaluant la fréquence de coupure haute (à -3dB),  $f_{CH}$ , du filtre passe-bas. Il vient alors :

$$C_{EQD} = \frac{1}{2\pi R f_{CH}} \quad (A.13)$$

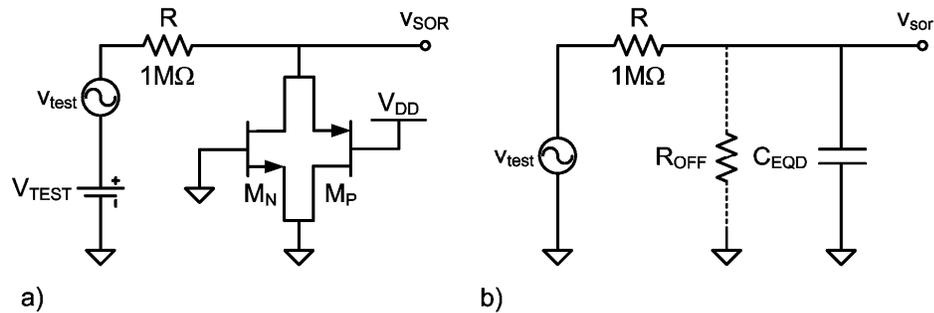


Figure A.16 Circuit utilisé pour déterminer la capacité équivalente d'une porte de transmission CMOS désactivée

a) Représentation schématique; b) Circuit petit signal équivalent

Afin d'obtenir une valeur de  $C_{EQD}$  qui prend en considération toute la plage de tension admissible aux bornes de la porte, on répète le processus d'évaluation de  $C_{EQD}$  pour plusieurs valeurs de  $V_{TEST}$  entre 0V et  $V_{DD}$ . On fait ensuite la moyenne des capacités équivalentes obtenues pour obtenir une valeur typique pour  $C_{EQD}$ . Notons que la résistance  $R$  est choisie suffisamment petite pour que la chute de tension à ses bornes issue du courant de fuite soit négligeable et donc que  $V_{SOR} \cong V_{TEST}$ . En effet, puisque  $R$  forme un diviseur de tension continue avec  $R_{OFF}$  qui est plus élevée par au moins trois ordres de grandeur, on peut considérer que la quasi-totalité de la tension  $V_{TEST}$  apparaît aux bornes de la porte de transmission. Le Tableau A.1 donne les mesures qui permettent d'évaluer  $C_{EQD}$ .

#### A.2.4 Capacité équivalente en mode activé

Le circuit représenté à la Figure A.17a permet d'évaluer  $C_{EQA}$ , la capacité équivalente d'une porte de transmission CMOS activée. Il s'agit d'une version légèrement modifiée du circuit de la Figure A.16a, où la source de tension continue de décalage,  $V_{TEST}$ , a été déplacée dans la maille afin que son potentiel soit appliqué directement à un terminal de la porte. Nous avons vu, à la section A.2, que la résistance  $R_{ON}$  d'une porte active est de l'ordre de quelques kilo-ohms tout au plus. Ainsi, si la résistance  $R$  est choisie suffisamment grande, la chute de tension aux bornes de la porte de transmission sera très

faible ( $V_{SOR} \cong V_{TEST}$ ) et les transistors sont profondément en région de triode, ce qui nous permet de mesurer la capacité équivalente désirée, soit lorsque les transistors sont en conduction.

Tableau A.1 Mesures de  $C_{EQD}$

$V_{TEST}$ (V)	$f_{CH}$ (MHz)	$C_{EQD}$ (fF)
0.00	93.87	1.70
0.37	100.38	1.59
0.73	105.04	1.52
1.10	108.46	1.47
1.47	110.95	1.43
1.83	112.65	1.41
2.20	113.62	1.40
2.57	113.80	1.40
2.93	113.05	1.41
3.3	110.83	1.44
<b>Moyenne</b>		<b>1.48</b>

La Figure A.17b illustre le circuit petit signal équivalent à la Figure A.17a. Pour cette topologie de filtre passe-bas, la faible valeur de  $r_{ON}$  fait en sorte que la fréquence de coupure augmente drastiquement par rapport au cas où la porte est désactivée. Il est donc inapproprié d'employer la méthode décrite à la section A.3.1, car la fréquence de coupure devient suffisamment grande pour que les modèles de simulation des transistors ne soient plus valides. On choisit donc d'étudier le déphasage entre la tension de sortie petit signal,  $v_{sor}$ , et la tension d'entrée  $v_{test}$ .

La fonction de transfert qui lie  $v_{sor}$  à  $v_{test}$  est obtenue à partir de la Figure A.17b :

$$H(j\omega) = \frac{v_{sor}(j\omega)}{v_{test}(j\omega)} = \frac{r_{ON}}{R + r_{ON} + sC_{EQA}r_{ON}R} \quad (\text{A.14})$$

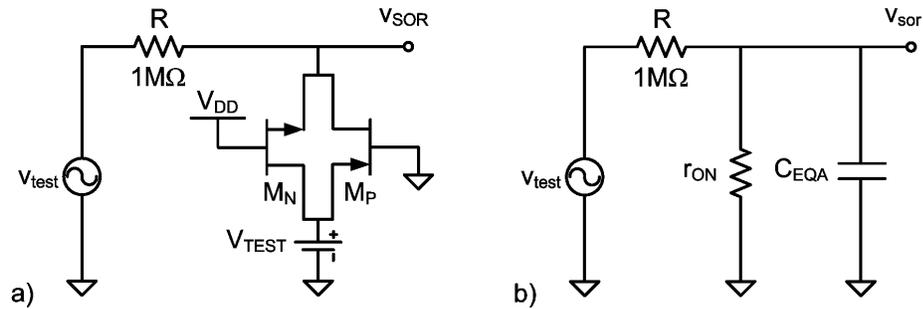


Figure A.17 Circuit utilisé pour déterminer la capacité équivalente d'une porte de transmission CMOS activée  
a) Représentation schématique; b) Circuit petit signal équivalent

L'angle de déphasage entre les signaux d'entrée et de sortie est donné par :

$$\angle H(j\omega) = -\arctan\left(\frac{\omega C_{EQA} r_{ON} R}{R + r_{ON}}\right)^2 \quad (\text{A.15})$$

Il s'ensuit que la capacité équivalente  $C_{EQA}$  est exprimée par :

$$C_{EQA} = \frac{(R + r_{ON})}{\omega r_{ON} R} \sqrt{\tan(-\angle H(j\omega))} \quad (\text{A.16})$$

Posant l'hypothèse que la capacité équivalente ne dépend pas de la fréquence du signal appliqué, on peut choisir une fréquence raisonnable compte tenu des modèles de simulation utilisés (100MHz, par exemple) et programmer l'équation (A.16) dans le simulateur afin d'obtenir la valeur de  $C_{EQA}$  correspondant à une tension  $V_{TEST}$  donnée. La valeur de la résistance  $r_{ON}$  employée dans les calculs est obtenue en utilisant l'équation (A.12). À ce propos, mentionnons que nous n'avons pas effectué de mesures pour  $V_{TEST} = 0V$ , car il n'y a alors aucun courant continu qui parcourt la porte, ce qui rend incorrecte l'évaluation de  $r_{ON}$  par l'équation (A.12). Le Tableau A.2 donne les valeurs de  $C_{EQA}$  pour différentes tensions de test.

Tableau A.2 Mesures de  $C_{EQA}$ 

$V_{TEST}$ (V)	$C_{EQA}$ (fF)
0.37	27.04
0.73	25.34
1.10	23.37
1.47	24.36
1.83	22.17
2.20	18.65
2.57	14.79
2.93	14.94
3.30	16.58
<b>Moyenne</b>	20.80

### A.3 Modèles électriques simplifiés des portes de transmission

Dans la perspective de faciliter l'analyse des circuits comportant des portes de transmission, il convient de définir des modèles électriques simplifiés. La Figure A.18a) illustre le modèle équivalent d'une porte activée. Dans le cas d'une porte désactivée, la résistance équivalente,  $R_{OFF}$ , est si grande que le modèle se résume aux capacités équivalentes, tel que représenté à la Figure A.18b). Ces modèles ne tiennent pas compte de l'injection de charge, ni du transfert de charge dû au signaux de commande. Mentionnons également que ceux-ci ne sont valides que lorsque la porte transmet une tension comprise dans sa plage de conduction.

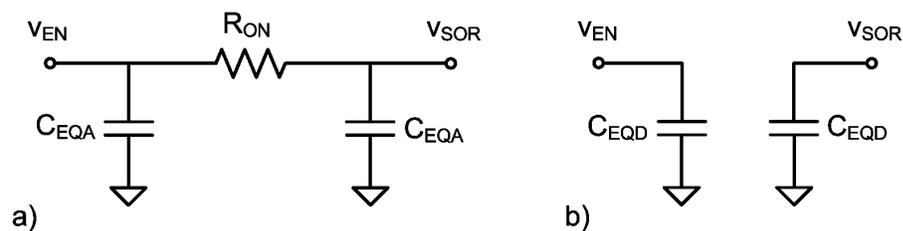


Figure A.18 Modèles électriques simplifiés d'une porte de transmission

a) Porte activée; b) Porte désactivée

## ANNEXE B

### CIRCUITS ÉQUIVALENTS DES BUS DE SIGNAUX

#### B.1 Circuit équivalent d'un bus de colonne

Lors de l'échantillonnage de la tension de sortie d'un pixel actif, celui-ci perçoit le bus de colonne auquel il est relié tel que représenté à la Figure B.1. Puisqu'une seule rangée est échantillonnée à la fois, les  $N-1$  portes de transmission de lecture des autres pixels de la colonne sont désactivées. De plus, la porte de transmission d'échantillonnage comprise dans le circuit de colonne s'active de façon simultanée afin de permettre l'échantillonnage de la tension présente sur le bus.

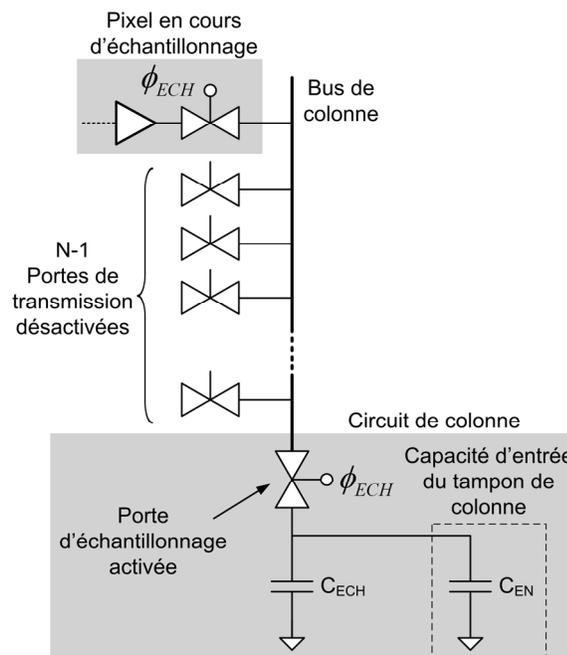


Figure B.1 Bus de colonne durant l'échantillonnage d'un pixel

Dans le but de diminuer la résistance, les bus de colonne sont généralement tracés à partir de lignes de métal. Selon la fiche technique de la technologie CMOS TSMC 0.25 $\mu\text{m}$ , la résistance vaut 0.076 $\Omega/\square$  pour les quatre premières couches de métal

disponibles et vaut  $0.041\Omega/\square$  pour la cinquième couche. Assumant que les pixels ont une géométrie carrée, leur hauteur maximale est de  $20\mu\text{m}$  afin de respecter la contrainte sur la taille maximale du pixel (cf. section 2.1.5). La longueur d'un segment de bus de colonne situé entre deux pixels est donc également d'environ  $20\mu\text{m}$ . Si la largeur de la ligne de métal utilisée pour le bus de colonne est minimale, c'est-à-dire  $0.32\mu\text{m}$  pour la première couche de métal, la résistance d'un segment de bus situé entre deux pixels,  $R_{MET}$ , est d'environ  $4.75\Omega$ . De plus, la capacité linéique de cette ligne de métal par rapport à l'oxyde de champ,  $C_{MET}$ , est extraite de la fiche technique et vaut environ  $0.229\text{fF}/\mu\text{m}$  dans le pire cas, soit celui où il existe deux lignes identiques de chaque côté et séparées de la distance minimale admissible. Remplaçant les portes de transmission de la Figure B.1 par leurs modèles équivalents, on obtient le circuit équivalent du bus de colonne montré à la Figure B.2. Il s'agit du circuit RC perçu par le pixel le plus éloigné des circuits de colonne, ce qui constitue le pire cas au niveau du délai de propagation.

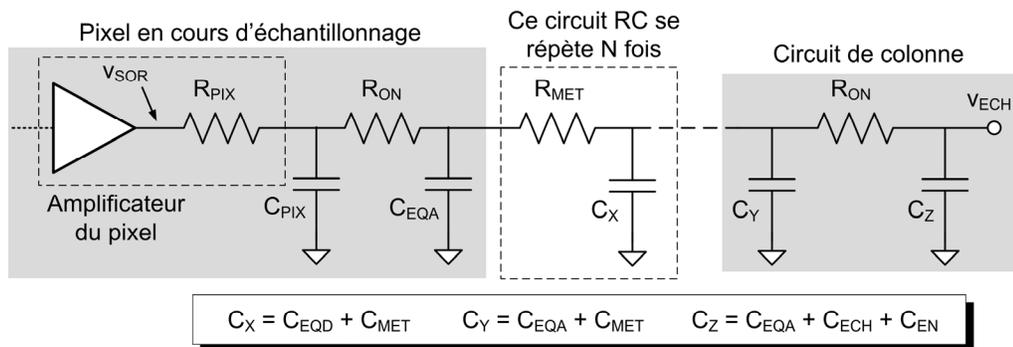


Figure B.2 Circuit équivalent d'un bus de colonne durant l'échantillonnage

Notons que nous avons explicité la résistance de sortie de l'amplificateur du pixel,  $R_{PIX}$ , ainsi que la capacité équivalente à sa sortie,  $C_{PIX}$ , qui inclut la capacité équivalente de la porte d'échantillonnage,  $C_{EQA}$ . La capacité située entre chaque porte de transmission désactivée,  $C_X$ , est obtenue en faisant la somme des capacités des portes de transmission désactivées,  $C_{EQD}$ , et de la ligne de métal,  $C_{MET}$ . La capacité  $C_Y$ , située à l'entrée de la porte de transmission du circuit de colonne, est calculée en combinant  $C_{MET}$  avec la

capacité équivalente de la porte d'échantillonnage activée,  $C_{EQA}$ . Enfin, la capacité totale au nœud d'échantillonnage,  $C_Z$ , est formée de la capacité d'échantillonnage,  $C_{ECH}$ , de la capacité d'entrée du tampon de colonne,  $C_{EN}$ , et de  $C_{EQA}$ .

Puisque le fonctionnement adéquat du capteur repose sur le transfert complet de la tension de sortie du pixel vers le nœud d'échantillonnage, on définit le délai de propagation de ce circuit,  $t_{d(col)}$ , comme étant le temps requis pour que la tension échantillonnée,  $v_{ECH}$ , atteigne 99.3% de la valeur de la tension de sortie de l'amplificateur du pixel,  $v_{SOR}$ . La valeur approximative de ce délai est obtenue en s'inspirant de la méthode décrite dans [5] et s'exprime comme suit :

$$t_{d(col)} \approx 5 \left\{ \begin{array}{l} \tau_{PIX} + NC_X (R_{ON} + (N-1)R_{MET}/2) + R_{ON}C_{EQA} \\ + C_Y (R_{ON} + NR_{MET}) + C_Z (2R_{ON} + NR_{MET}) \end{array} \right\} \quad (B.1)$$

La constante de temps  $\tau_{PIX}$  est issue du produit de la résistance de sortie de l'amplificateur du pixel,  $R_{PIX}$ , avec la somme de toutes les capacités en présence :

$$\tau_{PIX} = (C_{PIX} + C_{EQA} + NC_X + C_Y + C_Z) R_{PIX} \quad (B.2)$$

Le délai  $t_{d(col)}$  impose une limite minimale en ce qui concerne le temps d'activation des interrupteurs d'échantillonnage et il peut être minimisé par les actions suivantes :

- réduire la constante de temps  $\tau_{PIX}$ ;
- réduire  $R_{ON}$ , la résistance en mode activé des portes de transmission
- réduire  $R_{MET}$ , la résistance linéique du bus de colonne en élargissant la ligne de métal utilisée ;
- réduire  $C_{MET}$ , la capacité parasite du bus de colonne, en réduisant la largeur de la ligne de métal utilisée et en distançant les lignes adjacentes ;

- réduire  $C_{ECH}$ , la capacité d'échantillonnage.

On constate qu'il existe quelques compromis à faire lors de l'optimisation du délai de propagation. D'une part, élargir la ligne de métal du bus augmente la capacité  $C_{MET}$ , mais réduit la résistance  $R_{MET}$ . D'autre part, une réduction de la capacité d'échantillonnage,  $C_{ECH}$ , augmente l'erreur d'injection de charge lors de l'échantillonnage, réduit la linéarité en augmentant l'importance des capacités non-linéaires  $C_{EQA}$  et  $C_{EN}$  et rend la tension  $v_{ECH}$  plus susceptible à l'effet du courant de fuite de la porte de transmission du circuit de colonne.

## B.2 Circuit équivalent d'un bus de sortie

Le circuit équivalent d'un bus de sortie s'obtient de façon similaire au circuit équivalent d'un bus de colonne. Assumant les mêmes hypothèses géométriques et physiques qu'à la section précédente, on obtient le circuit équivalent donné à la Figure B.3 où  $C_{EN2}$  est la capacité équivalente d'entrée du tampon de sortie et  $C_X = C_{EQD} + C_{MET}$ . Soulignons que nous avons à nouveau explicité la résistance de sortie du tampon de colonne,  $R_{LEC}$ , ainsi que la capacité équivalente à sa sortie,  $C_{LEC}$ , qui inclut la capacité  $C_{EQA}$  de la porte de lecture.

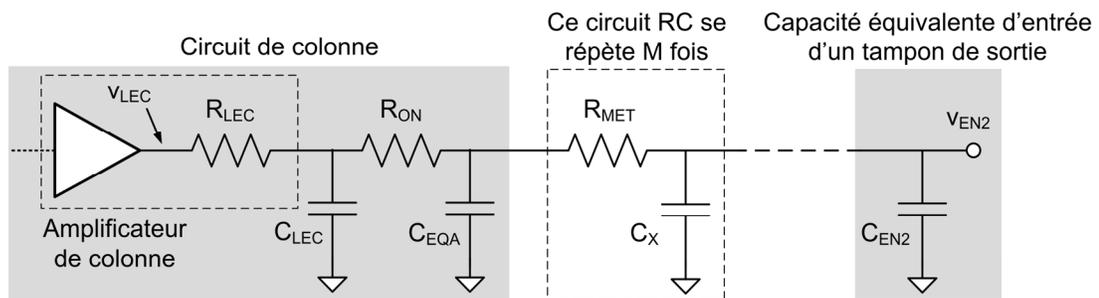


Figure B.3 Circuit équivalent d'un bus de sortie durant la lecture

La valeur approximative du délai de propagation requis,  $t_{d(sor)}$ , pour que la tension d'entrée du tampon de sortie,  $v_{EN2}$ , atteigne 99.3% de la tension de sortie du tampon de colonne,  $v_{LEC}$ , est :

$$t_{d(sor)} \approx 5 \left[ \tau_{LEC} + MC_X \left( R_{ON} + (M-1)R_{MET}/2 \right) + R_{ON}C_{EQA} + (R_{ON} + MR_{MET})C_{EN2} \right] \quad (B.3)$$

Tout comme  $\tau_{PIX}$ , la constante de temps  $\tau_{LEC}$  est issue du produit de la résistance de sortie du tampon de colonne,  $R_{LEC}$ , et de la somme de toutes les capacités :

$$\tau_{LEC} = \left( C_{LEC} + C_{EQA} + MC_X + C_{EN2} \right) R_{LEC} \quad (B.4)$$

## ANNEXE C

### SCHÉMAS ÉLECTRIQUES ET DESSINS DES MASQUES

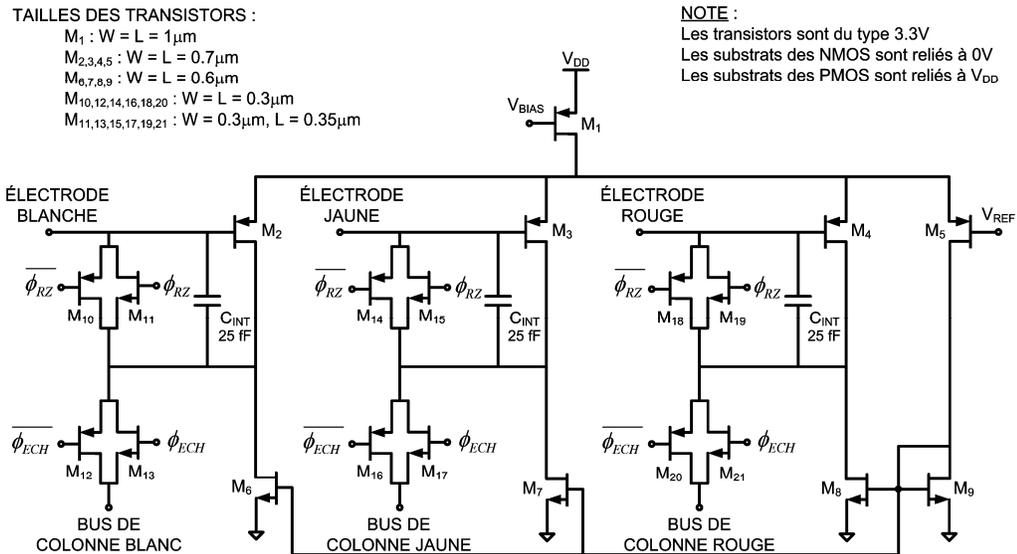


Figure C.1 Schéma électrique d'un pixel actif

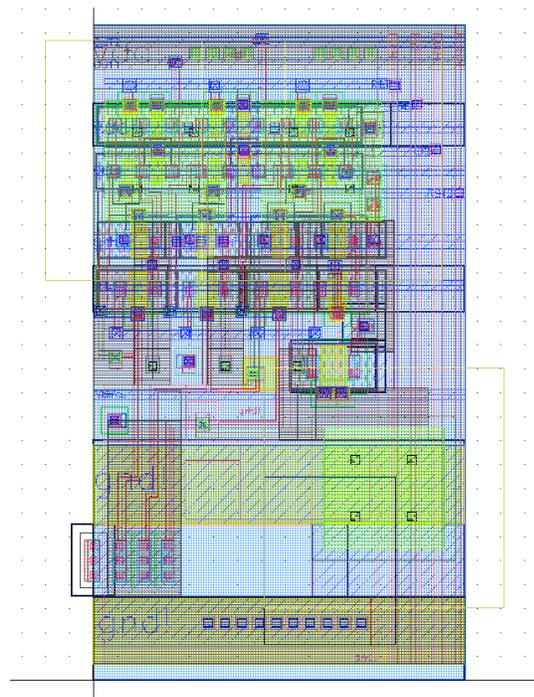
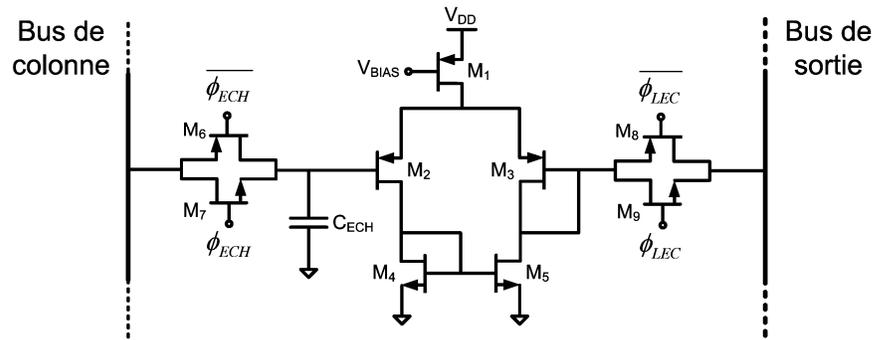


Figure C.2 Dessin des masques d'un pixel actif



TAILLES DES TRANSISTORS :

- $M_1$  :  $W = L = 1\mu\text{m}$
- $M_{2,3}$  :  $W = 3\mu\text{m}$ ,  $L = 1\mu\text{m}$
- $M_{4,5}$  :  $W = 0.8\mu\text{m}$ ,  $L = 1\mu\text{m}$
- $M_{6,8}$  :  $W = L = 0.3\mu\text{m}$
- $M_{7,9}$  :  $W = 0.3\mu\text{m}$ ,  $L = 0.35\mu\text{m}$

NOTE :

- Les transistors sont du type 3.3V
- Les substrats des NMOS sont reliés à 0V
- Les substrats des PMOS sont reliés à  $V_{DD}$

Figure C.3 Schéma électrique d'un circuit de colonne (1/3)

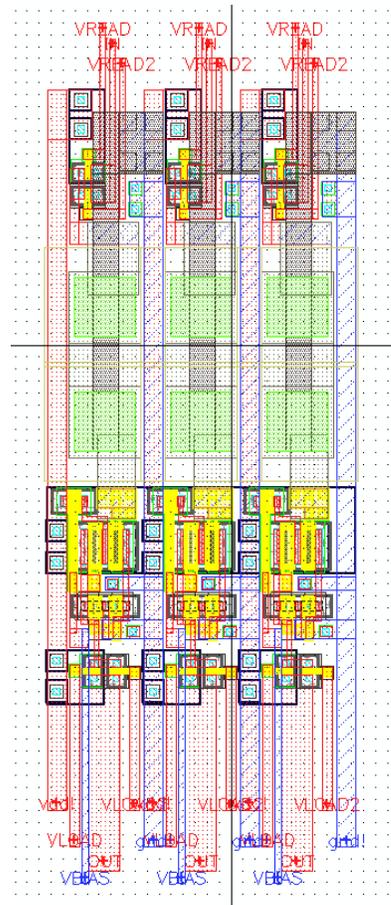


Figure C.4 Dessin des masques d'un circuit de colonne

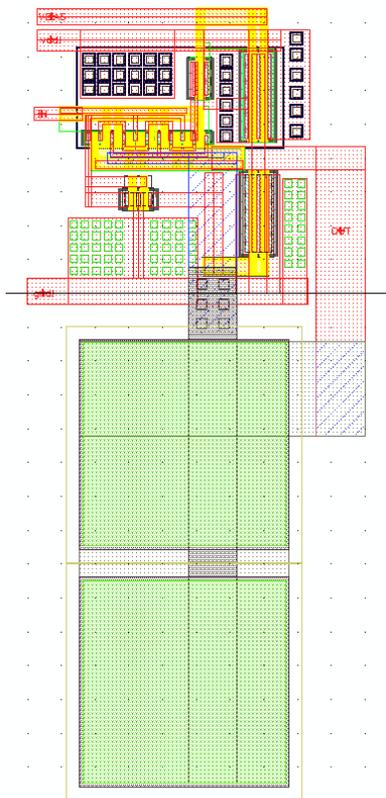


Figure C.5 Dessin des masques d'un tampon de sortie

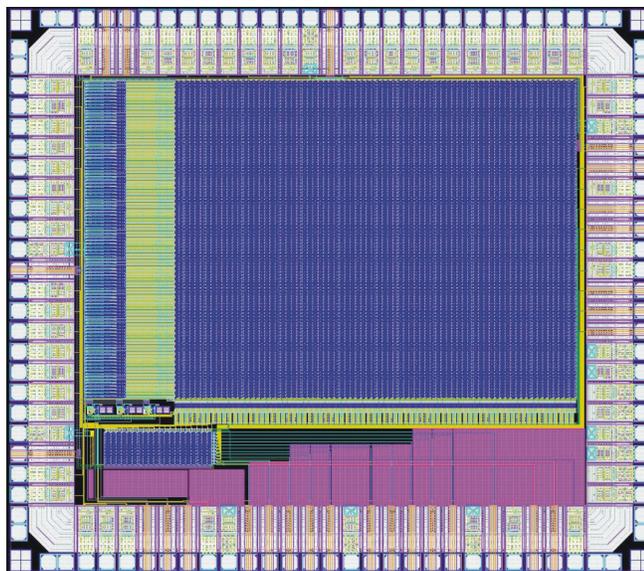


Figure C.6 Dessin des masques du prototype

## ANNEXE D

### CAPACITÉ D'ENTRÉE DU TAMPON DE COLONNE

Le terminal d'entrée du tampon de colonne présente une capacité équivalente,  $C_{EN}$ , dont on doit tenir compte lors de la phase d'échantillonnage. La Figure D.1 illustre les capacités qui composent  $C_{EN}$  à la grille du transistor  $M_2$ . Malgré le fait que le transistor  $M_2$  soit en région de saturation et que l'inversion du canal crée un effet d'écran de charges entre la grille et le substrat [23], il subsiste une certaine capacité grille-substrat,  $C_{GB2}$ , issue du chevauchement du polysilicium de grille avec l'oxyde de champ. Celle-ci est néanmoins suffisamment petite pour être négligée dans le cadre des calculs subséquents et n'est pas montrée à la Figure D.1.

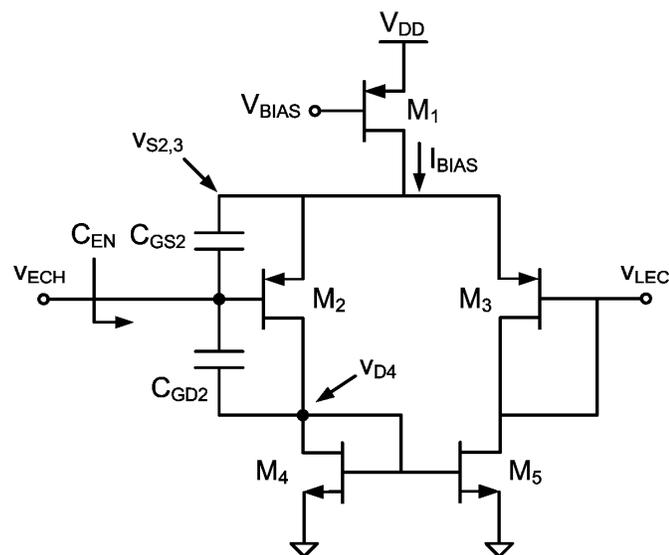


Figure D.1 Capacité d'entrée du tampon de colonne

Il est difficile d'évaluer précisément la capacité  $C_{EN}$  de façon analytique, car les tensions  $v_{S2,3}$  et  $v_{D4}$  varient selon le signal d'entrée,  $v_{ECH}$ , ce qui requiert l'application du théorème de Miller sur  $C_{GD2}$  et  $C_{GS2}$ , donc l'utilisation des gains en tension grand signal  $v_{D4}/v_{ECH}$  et  $v_{S2,3}/v_{ECH}$ . De surcroît, la tension de seuil des transistors  $M_2$  et  $M_3$ ,  $v_{TH2,3}$ ,

varie en fonction de la tension  $v_{s2,3}$  en raison de l'effet de substrat, ce qui complexifie davantage le processus d'évaluation de  $C_{EN}$ . On peut toutefois faire l'approximation que  $C_{EN}$  correspond à la capacité petit signal perçue à la grille du transistor  $M_2$ . Celle-ci s'obtient par l'application du théorème de Miller sur  $C_{GD2}$  et  $C_{GS2}$  en considérant les gains en tension petit signal  $v_{d4}/v_{ech}$  et  $v_{s2,3}/v_{ech}$ , comme l'indique l'équation suivante :

$$C_{EN} \approx C_{GD2} \left( 1 - \frac{v_{d4}}{v_{ech}} \right) + C_{GS2} \left( 1 - \frac{v_{s2,3}}{v_{ech}} \right) \quad (D.1)$$

Assumant que l'erreur de tension continue entre l'entrée et la sortie,  $\varepsilon_{RZ} = V_{ECH} - V_{LEC}$ , est petite et négligeant l'effet de modulation de longueur de canal sur  $M_1$ , on peut supposer que le courant de polarisation,  $I_{BIAS}$ , se divise en deux parties égales, et ce, peu importe la tension continue d'entrée,  $V_{ECH}$ . On obtient ainsi un point d'opération qui nous permet d'effectuer l'analyse petit signal. Définissons les paramètres petit signal fondamentaux, soient le gain en transconductance du transistor,  $g_m$ , le gain en transconductance dû à l'effet de substrat,  $g_s$ , et la résistance drain-source équivalente petit signal,  $r_{ds}$  :

$$g_m = \sqrt{2\beta I_D} \quad (D.2)$$

$$g_s = \frac{\gamma g_m}{2\sqrt{V_{BS} - 2|\phi_f|}} \quad (D.3)$$

$$r_{ds} = \frac{1}{\lambda I_D} \quad (D.4)$$

La Figure D.2 illustre le circuit équivalent petit signal du tampon. Le but de cette étude étant d'obtenir une estimation rapide de la capacité d'entrée, nous avons négligé les résistances de sortie des transistors sauf dans le cas de  $r_{ds1}$ , car celle-ci est essentielle à l'évaluation de la tension  $v_{s2,3}$ . Le transistor  $M_4$  est connecté en diode et son modèle petit

signal se résume à une résistance équivalente  $1/g_{m4}$ . Dans le cas du transistor  $M_3$ , celui-ci ne peut être représenté par une résistance équivalente  $1/g_{m3}$  que si l'on ignore l'effet de substrat. Or, puisque l'on néglige  $r_{ds5}$ , la totalité du courant en provenance de la source  $g_{m5}v_{d4}$  sera transmise au nœud  $v_{s2,3}$ . On peut donc représenter  $M_3$  comme une résistance équivalente de valeur  $1/g_{m3}$ .

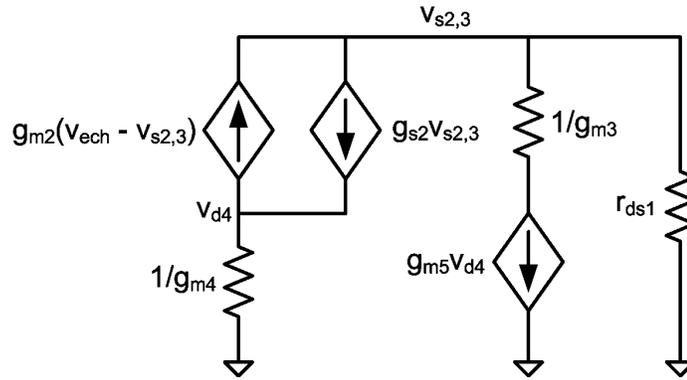


Figure D.2 Modèle petit signal simplifié du tampon de colonne

Appliquant la loi d'Ohm au nœud  $v_{d4}$ , on obtient :

$$v_{d4} = \frac{1}{g_{m4}} \left[ (g_{m2} + g_{s2})v_{s2,3} - g_{m2}v_{ech} \right] \quad (D.5)$$

De façon similaire, la tension  $v_{s2,3}$  s'exprime comme suit :

$$v_{s2,3} = r_{ds1} \left[ g_{m2}v_{ech} - (g_{m2} + g_{s2})v_{s2,3} - g_{m5}v_{d4} \right] \quad (D.6)$$

Substituant l'équation (D.5) dans (D.6) et solutionnant pour  $v_{s2,3}/v_{ech}$ , il vient :

$$\frac{v_{s2,3}}{v_{ech}} = \frac{g_{m2}r_{ds1}(1 + g_{m5}/g_{m4})}{1 + r_{ds1}(g_{m2} + g_{s2})(1 + g_{m5}/g_{m4})} \quad (D.7)$$

L'expression (D.3) montre que  $g_{s2}$  varie en fonction de la tension  $V_{S2,3}$ . Ainsi, bien que le courant qui parcourt  $M_2$  et  $M_3$  soit d'environ  $I_{BIAS}/2$ , le comportement petit signal du circuit varie en fonction de la tension d'entrée continue,  $V_{ECH}$ , utilisée pour déterminer le point de polarisation. Or, tel que mentionné dans [17], une approximation raisonnable dans la plupart des cas consiste à considérer  $g_{s2} \approx 0.2g_{m2}$ . On peut alors réécrire l'équation (D.7) comme suit :

$$\frac{v_{s2,3}}{v_{ech}} \approx \frac{g_{m2}(1 + g_{m5}/g_{m4})}{1/r_{ds1} + 1.2g_{m2}(1 + g_{m5}/g_{m4})} \approx \frac{1}{1.2} \approx 0.8 \text{ V/V} \quad (\text{D.8})$$

Divisant chaque membre de l'équation (D.5) par  $v_{ech}$  et utilisant (D.8), il vient :

$$\frac{v_{d4}}{v_{ech}} = \frac{(g_{m2} + g_{s2})(v_{s2,3}/v_{ech}) - g_{m2}}{g_{m4}} \approx \frac{g_{m2}[1.2(v_{s2,3}/v_{ech}) - 1]}{g_{m4}} \approx 0 \quad (\text{D.9})$$

On réécrit l'équation (D.1) en tenant compte de ces derniers résultats :

$$C_{EN} \approx C_{GD2} + 0.2C_{GS2} \quad (\text{D.10})$$

Puisque le transistor  $M_2$  opère en région de saturation, on a [17] :

$$C_{EN} \approx W_{2,3}C_{ox} \left( L_{ov,P} + \frac{2L_{2,3}}{15} \right) \quad (\text{D.11})$$