



UNIVERSIDAD DE SALAMANCA

FACULTAD DE CIENCIAS

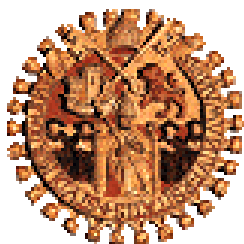
Departamento de Física Aplicada

**Análisis de los Fenómenos de Transporte
y Ruido Electrónico en Transistores
MOSFET y SOI Submicrométricos**

Tesis Doctoral

Raúl Rengel Estévez

Salamanca, 2002



UNIVERSIDAD DE SALAMANCA

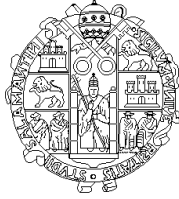
FACULTAD DE CIENCIAS

Departamento de Física Aplicada

Análisis de los Fenómenos de Transporte
y Ruido Electrónico en Transistores
MOSFET y SOI Submicrométricos

Memoria presentada por
Raúl Rengel Estévez
para optar al grado de
Doctor en Ciencias Físicas

Fdo. Raúl Rengel Estévez
Salamanca, Noviembre de 2002



UNIVERSIDAD DE SALAMANCA
Departamento de Física Aplicada
FACULTAD DE FISICAS
Plaza de la Merced s/n, 37008 SALAMANCA
Tel. 923 294436 ext. 1304
Fax 923 294584

María Jesús Martín Martínez, Profesor Titular de
Universidad del Area de Electrónica de la Universidad de
Salamanca,

CERTIFICA:

Que el trabajo de investigación que se recoge en la presente
Memoria, titulada “**Análisis de los fenómenos de transporte y
ruido electrónico en transistores MOSFET y SOI
submicrométricos**” y presentada por D. Raúl Rengel Estévez
para optar al grado de Doctor en Ciencias Físicas, ha sido
realizado en su totalidad bajo su dirección en el Area de
Electrónica del Departamento de Física Aplicada de la
Universidad de Salamanca.

Salamanca, 19 de Noviembre de 2002

María Jesús Martín Martínez
Profesor Titular de Universidad
Departamento de Física Aplicada
Universidad de Salamanca

A mis padres, a mi hermana

A María

Agradecimientos

Antes de comenzar la presentación de esta Tesis, quisiera expresar mi más sincero agradecimiento a todos aquellos que han hecho posible su realización:

En primer lugar, a la directora de la misma, María Jesús Martín Martínez, por su inestimable ayuda y su generosa dedicación y disponibilidad. Su capacidad de trabajo, claridad de ideas, rigor científico y especialmente el cordial trato y la comprensión que me ha brindado han sido fundamentales.

A Daniel Pardo Collantes, por su confianza y perseverancia, así como su reconocida competencia científica, que han permitido que las labores de supervisión del trabajo diario hayan resultado fructíferas.

También quisiera dar las gracias a Tomás González Sánchez y Javier Mateos López, cuya colaboración y experiencia científica han resultado de vital importancia. Su esfuerzo e interés por el presente trabajo han supuesto no solamente una ayuda extremadamente valiosa, sino además una motivación adicional para el desarrollo del mismo.

A Jean-Pierre Raskin, de la Universidad católica de Lovaina, y a François Danneville y Gilles Dambrine del IEMN de Lille por su colaboración científica y por la cooperación que han aportado para que el estudio de los dispositivos experimentales fuera posible.

A Pedro Manuel Gutiérrez Conde, Susana Pérez Santos y Beatriz García Vasallo, cuya amistad y cordialidad han permitido que el trabajo diario fuera mucho más agradable.

Finalmente, a mi familia y amigos, por el ilimitado afecto y comprensión ofrecidos durante todo este tiempo. Y por supuesto a María, sin cuyo apoyo y ánimo incondicionales en los momentos difíciles este trabajo nunca habría existido.

Objetivos y estructura de la Tesis

Procuremos agradar e instruir: nunca asombrar.

Santiago Ramón y Cajal (1852 – 1934)

En el campo de la microelectrónica moderna, las herramientas de simulación de dispositivos juegan un papel fundamental en el desarrollo y mejora de los mismos. El constante avance de las prestaciones de la tecnología sería impensable sin el esfuerzo persistente, por parte de los investigadores, encaminado a mejorar y perfeccionar los modelos analíticos y numéricos, pieza fundamental para comprender y solventar de manera adecuada las limitaciones y dificultades que surgen cuando el tamaño de los dispositivos alcanza el rango de las dimensiones submicrométricas.

En esta Tesis hemos desarrollado, a partir de los simuladores elaborados anteriormente por los miembros del Grupo de Electrónica de la Universidad de Salamanca, un simulador bidimensional Monte Carlo de Dispositivos (MC2D) de Silicio basado en un modelo microscópico con el fin de investigar tanto los procesos de transporte de carga como los fenómenos de ruido electrónico en transistores de efecto de campo Metal-Óxido-Semiconductor (MOSFET) convencionales (*bulk*) y Silicon-On-Insulator (SOI). Debemos destacar en primer lugar que la principal aportación de este trabajo radica en la utilización de *una única herramienta de simulación numérica para el estudio global del comportamiento de los dispositivos, tanto en régimen estático y dinámico como en cuanto al comportamiento de ruido de los mismos*, lo que constitu-

ye una aproximación altamente novedosa al problema con respecto a los estudios usualmente encontrados en la literatura. Por ello, hemos optado por un análisis de este tipo de transistores partiendo de su elemento constituyente elemental (la estructura MOS) y de geometrías MOS-FET sencillas con longitudes de puerta de $1\ \mu\text{m}$, para posteriormente *augmentar de manera progresiva la complejidad* de los mismos a medida que profundicemos en el estudio de los dispositivos. Efectuaremos un análisis detallado de transistores *bulk* MOSFET con dimensiones por debajo del cuarto de micra (que constituyen el núcleo central de la microelectrónica actual) para a continuación investigar el funcionamiento de transistores SOI MOSFET comparables y por último afrontar la simulación de dispositivos Fully-Depleted (FD) SOI fabricados en laboratorio.

En este punto hay que destacar que hemos aprovechado las posibilidades que ofrece nuestro simulador como herramienta pseudo-experimental y la exhaustiva información que proporciona acerca del transporte de carga en el interior del dispositivo para investigar en profundidad numerosos efectos de interés, tales como por ejemplo las *consecuencias del escalado* (según las reglas del escalado ideal), *la reducción de la longitud de puerta*, *la variación de la impurificación del substrato*, o *la modificación del espesor de la capa activa de Silicio*. El análisis ha sido efectuado de manera global, entendiendo por tal el estudio desde las características estáticas corriente-tensión hasta los parámetros de ruido (sirvan como ejemplo NF_{min} , R_n , G_{ass} , etc.) pasando por las principales figuras de mérito del circuito equivalente de pequeña señal (transconductancia, capacidades, frecuencia de corte, etc.). Para este análisis, examinaremos en la medida de lo posible la relación entre los comportamientos observados y las magnitudes internas de los dispositivos (campos eléctricos, velocidad, concentración y energía de los portadores, mecanismos de *scattering*, fuentes de ruido, etc).

En el estudio del transistor MOSFET convencional y del SOI hemos puesto especial énfasis en *efectuar una evaluación directa de las diferencias entre estructuras de ambos tipos a todos los niveles (magnitudes internas, características estáticas, dinámicas y de ruido)* lo cual supone una importante contribución ya que generalmente en la literatura es posible encontrar numerosos estudios que corresponden a topologías similares, pero no *directamente comparables* como las que hemos considerado en este trabajo (fundamentalmente a causa de limitaciones asociadas a los diferentes procesos de fabricación y topología de los dispositivos reales).

Por último, debemos indicar que en la última parte de la Tesis se ha llevado a cabo el estudio de *dispositivos FDSOI fabricados con longitud de puerta de $0.25\ \mu\text{m}$, efectuando la verificación de los resultados obtenidos con el simulador MC2D con los datos experimentales*. Esta parte del trabajo es especialmente relevante, ya que ha sido realizada en colaboración con otros grupos de investigación con experiencia en fabricación y caracterización de dispositivos, lo que ha permitido abrir una línea de investigación de presente y de futuro sumamente interesante. Por una parte, supone la confirmación de la capacidad de nuestro simulador para estudiar

y analizar dispositivos reales (no debemos olvidar que, como principio básico, cualquier herramienta de simulación fiable debe ser capaz de reproducir adecuadamente los datos experimentales); y por otra parte, permite el comienzo de una nueva línea de trabajo, ya que la optimización de los dispositivos fabricados debe ser sin lugar a dudas uno de los objetivos primordiales al desarrollar una herramienta de simulación como la llevada a cabo en esta Tesis.

Añadir por último que la mayoría de los resultados serán mostrados en condiciones de saturación, pues usualmente los dispositivos son diseñados con el fin de operar en dicho régimen de funcionamiento. Fenómenos como la conmutación de los dispositivos o su inclusión en etapas CMOS quedan fuera del alcance de este trabajo, donde además hemos prestado especial atención al rendimiento de los dispositivos y sus principales figuras de mérito para su consideración en el diseño de aplicaciones analógicas. Por otra parte, también debemos señalar que el estudio de los parámetros de ruido y dinámicos ha sido efectuado para el rango de radiofrecuencias (RF) y microondas, ya que es el que presenta mayor interés hoy en día desde el punto de vista de las aplicaciones prácticas. En consecuencia, fenómenos como el ruido $1/f$ o el producido por procesos de generación-recombinación (que son importantes a frecuencias muy inferiores) no serán estudiados. La totalidad de los resultados mostrados en esta Memoria corresponden a condiciones de temperatura ambiente (300K).

En cualquier caso, hemos pretendido efectuar un estudio lo más amplio posible del transistor MOSFET siendo lógicamente conscientes de las limitaciones que supone realizar un análisis tan extenso. Como ejemplo, podemos señalar que en nuestro simulador se han incluido numerosos efectos reales (ionización por impacto, presencia de cargas en el óxido, efecto de elementos parásitos, aspectos de la geometría real de dispositivos fabricados tales como regiones de *overlap* o de *spacer* etc.); por otra parte, determinados efectos tales como la discretización de los estados de energía en el canal asociada a efectos cuánticos en capas SOI ultrafinas o la presencia de corrientes de puerta por efecto túnel pueden considerarse despreciables en nuestro caso dada la topología de los dispositivos estudiados. No obstante, el lector debe comprender que un estudio tan amplio y global en el cual se considerasen de manera minuciosa todos y cada uno de los múltiples efectos reales que aparecen en una estructura MOSFET sería prácticamente imposible.

La estructura de la Tesis es la que vamos a describir a continuación. El análisis de los dispositivos está estructurado de manera que la complejidad de las estructuras aumenta de manera progresiva, lo que permite obtener una descripción lo más amplia posible de los fenómenos propios de los dispositivos submicrométricos y clarificar la importancia de los mismos.

► En la Introducción, comentaremos brevemente tanto el desarrollo histórico de las tecnologías de Silicio como su importancia actual, en términos económicos y de usos prácticos.

También se hará mención a las dificultades que están surgiendo a medida que los dispositivos alcanzan dimensiones muy por debajo de la micra, destacando entre las posibles soluciones la tecnología SOI como principal apuesta presente y futura para solventar los mismos.

- ▶ En el Capítulo II presentaremos las principales características del método de Monte Carlo de dispositivos y en particular de nuestro simulador para dispositivos MOSFET de Silicio. Además, describiremos el proceso de cálculo de las corrientes, de los parámetros dinámicos y de las fuentes de ruido, así como el procedimiento para la inclusión de efectos parásitos que aparecen en los dispositivos reales.

- ▶ En el Capítulo III, analizaremos en profundidad el principio físico del funcionamiento del MOSFET, para lo cual trabajaremos con un dispositivo con longitud de puerta L_g de 1 μm (lo más larga posible considerando las restricciones que en cuanto a tiempo de CPU impone nuestro simulador). Partiendo del estudio de la estructura MOS, y detallando algunos de los modelos más sencillos para la descripción de las características estáticas de los dispositivos, evaluaremos los posibles acuerdos y discrepancias de dichos modelos con los resultados de nuestro simulador, y simultáneamente investigaremos el comportamiento interno del dispositivo en profundidad gracias a la información obtenida mediante el MC2D. La realización de este estudio a nivel básico del transistor MOSFET ha supuesto un primer paso necesario (dada la ausencia de trabajos previos acerca de dispositivos FET de Silicio en el Grupo de Electrónica de la Universidad de Salamanca) para la posterior investigación de los dispositivos submicrométricos, objetivo primordial de esta Tesis, ya que supone un análisis inicial de las posibilidades del simulador.

- ▶ En el Capítulo IV, hemos abordado el estudio de dispositivos *bulk* MOSFET con longitudes de puerta iguales o inferiores al cuarto de micra. Para ello, en primer lugar se ha efectuado la simulación de transistores con longitudes de puerta de 0.25 y 0.13 μm escalados (según las condiciones del escalado ideal a campo constante) a partir del transistor analizado en el capítulo anterior. De esta manera, las consecuencias del escalado (y sus posibles limitaciones) serán evaluadas de manera global. Por otra parte, tomando como punto de partida el dispositivo con L_g de 0.25 μm , hemos variado de manera independiente diferentes parámetros geométricos y físicos, tales como la longitud de la puerta o el dopaje del sustrato, analizando su efecto. Finalmente, en la última parte de este capítulo comentaremos algunos de los efectos más importantes que aparecen en los transistores MOSFET reales.

- ▶ En el Capítulo V expondremos brevemente cuáles son las ventajas que, desde el punto de vista tecnológico y comercial, presenta la tecnología SOI MOSFET frente a la convencional. Seguidamente, llevaremos a cabo la comparación entre transistores *bulk* y FDSOI con geometría totalmente comparable. Considerando la topología del transistor convencional de 0.25 μm estudiado en el capítulo anterior, en el caso de los FDSOI incluiremos la presencia de un óxido enterrado de 400 nm de grosor. En este tipo de dispositivos el espesor de la capa activa

de Silicio es un parámetro importante por lo que hemos considerado en las simulaciones dos posibles valores para este parámetro, 30 nm y 50 nm, lo que nos permitirá además evaluar su influencia. De nuevo, el estudio será efectuado de manera completa, desde las magnitudes internas hasta los parámetros de ruido.

► En el Capítulo VI nos centraremos en el análisis de dispositivos FDSOI MOSFET fabricados. Además de comentar los principales detalles del proceso de fabricación y del procedimiento experimental de extracción de parámetros, llevaremos a cabo la comparación de los resultados de nuestra simulación MC2D con las medidas obtenidas en laboratorio. Tal comparación nos permitirá por una parte, evaluar la capacidad de nuestro simulador para reproducir los resultados experimentales medidos en laboratorio para los dispositivos reales, y por otra parte, encontrar el origen físico del comportamiento de los mismos. Por último trataremos de dar algunas indicaciones acerca de cómo sería posible mejorar las principales figuras de mérito de estos dispositivos.

► Como complemento, hemos añadido dos apéndices. En el primero mostraremos los principales parámetros físicos considerados en nuestra simulación, así como resultados obtenidos para la simulación de material Silicio, que confirman a un nivel inicial la validez del modelo empleado. En el segundo apéndice, comentaremos algunos aspectos de interés relacionados con el origen del ruido y los modelos compactos para el estudio del ruido propios de los transistores MOSFET.

Esperamos que esta Memoria resulte agradable e interesante para el lector, y que en la medida de lo posible hayamos cumplido los objetivos de rigor científico, claridad y amenidad a los que intentamos ajustarnos desde un principio.

Índice

<i>I. Introducción: Desarrollo histórico e importancia actual de los transistores FET de Silicio</i>	1
<i>I.1. Orígenes históricos</i>	1
<i>I.2. Consideraciones económicas sobre la industria de semiconductores</i>	4
<i>I.3. La ley de Moore y el muro de ladrillo rojo</i>	5
<i>I. 4. La tecnología SOI: una apuesta de futuro</i>	7
<i>II. Modelo de simulación. Procedimiento de análisis</i>	11
<i>II. 1. El método de Monte Carlo de dispositivos</i>	12
<i>II. 2. Fundamentos del método de Monte Carlo MC2D</i>	15
<i>II. 3. Estructura de la simulación</i>	18
<i>II. 3. a) Definición del semiconductor</i>	18
<i>II. 3. b) Definición física del dispositivo</i>	20
<i>II. 3. c) Condiciones iniciales</i>	22
<i>II. 3. d) Movimiento de los portadores</i>	22
<i>II. 3. e) Resolución de la ecuación de Poisson y cálculo del campo eléctrico</i>	23
<i>II. 3. f) Ionización por impacto</i>	27
<i>II. 3. g) Cálculo de la corriente. Teorema de Ramo-Shockley</i>	28
<i>II. 3. h) Consideración de resistencias en serie en los contactos</i>	32

II. 4. Caracterización de pequeña señal	33
II. 4. a) <i>Parámetros Admitancia</i>	33
II. 4. b) <i>Circuito equivalente de pequeña señal</i>	34
II. 5. Caracterización de ruido	37
II. 5. a) <i>Magnitudes básicas en el estudio del ruido</i>	38
II. 5. b) <i>Parámetros de ruido. Análisis de ruido en un dispositivo de 3 terminales</i>	39
II. 5. c) <i>Parámetros a, b y C</i>	40
II. 5. d) <i>Figura mínima de ruido. Resistencia de ruido. Ganancia asociada</i>	41
<hr/>	
III. El transistor MOSFET: análisis cuantitativo	45
<hr/>	
III. 1. El porqué del Silicio	46
III.2. La estructura MOS	48
III. 2. a) <i>Condición de banda plana</i>	50
III. 2. b) <i>Acumulación</i>	51
III. 2. c) <i>Vaciamiento. Cálculo del potencial umbral</i>	52
III. 2. d) <i>Inversión</i>	54
III. 2. e) <i>Capacidad de la estructura MOS</i>	56
III.3. El transistor MOSFET	58
III. 3. a) <i>Funcionamiento básico del transistor MOSFET</i>	58
III. 3. b) <i>Modelos analíticos del MOSFET para análisis DC</i>	62
1. <i>Modelo lineal</i>	62
2. <i>Modelo cuadrático</i>	63
3. <i>Modelo de carga en volumen</i>	64
4. <i>Cálculo de capacidades. Modelo de Meyer</i>	66
III. 3. c) <i>Simulación Monte Carlo de un transistor MOSFET</i>	67
1. <i>Característica I-V</i>	69
2. <i>Concentración de portadores</i>	71
3. <i>Campo eléctrico. Potencial</i>	72
4. <i>Energía y velocidad</i>	75

5. Ionización por impacto. Corriente de sustrato en el MOSFET	80
<hr/>	
IV. Modelización de transistores MOSFET submicrométricos	85
<hr/>	
IV.1. El escalado del transistor MOSFET: viaje a las dimensiones submicrométricas	86
IV. 1. a) Estructuras simuladas	88
IV. 1. b) Características estáticas	90
1. Escalado a campo constante	90
2. Efecto de la variación de parámetros geométricos	99
- Variación del dopaje del sustrato	99
- Reducción de L_g	101
IV. 1. c) Características dinámicas	104
1. Escalado a campo constante	104
2. Efecto de la variación de parámetros geométricos	109
- Variación del dopaje del sustrato	109
- Reducción de L_g	110
IV. 1. d) Resultados de ruido	112
1. Escalado a campo constante	112
- Densidades espectrales	114
- Parámetros a , b y C	121
- Figura mínima de ruido. Resistencia de Ruido	123
2. Efecto de la variación de parámetros geométricos	126
- Variación del dopaje del sustrato	126
- Reducción de L_g	128
IV.2. Efectos reales en el transistor MOSFET	129
IV. 2. a) Cargas en el óxido	130
IV. 2. b) Polarización del sustrato	132
IV. 2. c) Reducción de la movilidad efectiva	132
IV. 2. d) Control del voltaje umbral	133
IV. 2. e) Dependencia con la temperatura	134
IV. 2. f) Conducción subumbral	134
IV. 2. g) Inyección de carga en el óxido	135

V. El Transistor SOI MOSFET	137
V.1. Ventajas de la tecnología SOI	138
V.2. Análisis comparativo bulk-FDSOI MOSFET	142
V. 2. a) <i>Introducción</i>	142
V. 2. b) <i>Resultados de la simulación MC2D</i>	145
1. <i>Estructura de bandas</i>	146
2. <i>Voltaje umbral</i>	146
3. <i>Características I-V</i>	148
4. <i>Magnitudes en condiciones de V_{GS} constante</i>	150
- <i>Potencial</i>	150
- <i>Campo eléctrico</i>	152
- <i>Concentración y velocidad de los portadores</i>	154
5. <i>Magnitudes en condiciones de V_{GS} constante</i>	155
- <i>Concentración de portadores</i>	155
- <i>Velocidad, energía, potencial y campo eléctrico</i>	156
- <i>Mecanismos de scattering</i>	157
6. <i>Parámetros dinámicos</i>	158
7. <i>Parámetros de ruido</i>	161
VI. Análisis numérico y experimental de transistores FDSOI reales	167
VI. 1. Fabricación de las obleas SOI	168
VI. 1. a) <i>SIMOX</i>	169
VI. 1. b) <i>BGSOI/BESOI</i>	169
VI. 1. c) <i>Smart Cut</i>	170
VI. 1. d) <i>ELTRAN y NANOCLEAVE</i>	171
VI. 2. Análisis experimental	172
VI. 2. a) <i>Fabricación de los dispositivos</i>	172
VI. 2. b) <i>Procedimiento de medida y extracción de parámetros</i>	173
VI. 2. c) <i>Aplicaciones de los dispositivos</i>	174

VI. 3. Simulación MC2D	175
VI. 3. a) Estructura simulada	175
VI. 3. b) Características estáticas	178
1. Características I-V	178
2. Influencia de la variación de parámetros geométricos sobre la transconductancia	179
3. Ratio g_m / I_D	181
4. Concentración de portadores	181
5. Velocidad y energía de los portadores	183
6. Mecanismos de scattering	184
VI. 3. c) Parámetros dinámicos	184
VI. 3. d) Parámetros de ruido	190

Conclusiones	195
---------------------	-----

Apéndice 1. Modelización del material de Silicio. Parámetros de la simulación	201
--	-----

A1. 1. Estructura de bandas del Silicio	201
A1.1. a) Banda de Conducción	202
A1.1. b) Banda de Valencia	203
A1.1. c) Parámetros	203
A1. 2. Mecanismos de scattering	204
A1.2. a) Electrones	204
A1.2. b) Huecos	206
A1.2. c) Probabilidades de scattering	207
A1. 3. Modelización de Silicio material	208
A1.3. a) Tiempo de permanencia en cada valle	208
A1.3. b) Velocidad de arrastre. Movilidad	209
A1.3. c) Coeficiente de Difusión	210
A1.3. d) Coeficiente de ionización	211

Apéndice 2. Consideraciones sobre el fenómeno del ruido electrónico en transistores MOSFET	215
<hr/>	
A2. 1. En equilibrio. Ruido térmico	215
A2. 2. Ruido fuera de equilibrio	216
A2. 2. a) Ruido de difusión	216
A2. 2. b) Ruido de inyección o ruido shot	217
A2. 2. c) Ruido en exceso	217
A2. 2. d) Ruido Flicker o ruido 1/f	219
A2. 3. Modelos compactos para el estudio del ruido en MOSFETs	220
A2. 3. a) Modelo de van der Ziel	220
A2. 3. b) Modelo de Pospieszalski	221
A2. 3. c) Modelo BSIM4	221
<hr/>	
Bibliografía	223

I. Introducción: desarrollo histórico e importancia actual de los transistores FET de Silicio

Los grandes incendios nacen de las chispas pequeñas
Armand du Plessis, Richelieu (1585-1642)

I.1. Orígenes históricos

EL 8 de Octubre de 1926, Julius Edgar Lilienfeld, científico de origen alemán exiliado en EEUU, presentaba ante la Oficina de Patentes de aquel país el esquema de un “dispositivo para controlar el flujo de una corriente eléctrica entre dos terminales de un sólido eléctricamente conductor, mediante el establecimiento de un tercer potencial entre los anteriores terminales” [Lilienfeld 1930] (Figura I.1). En aquel momento Lilienfeld no podía ser consciente del alcance que a largo plazo iba a tener su descubrimiento, que no era otro que el transistor de efecto de campo (*Field Effect Transistor*, FET). Apenas tres años después, el mismo Lilienfeld perfeccionó su

Jan. 28, 1930. J. E. LILIENFELD 1,745,175
METHOD AND APPARATUS FOR CONTROLLING ELECTRIC CURRENTS
Filed Oct. 8, 1926

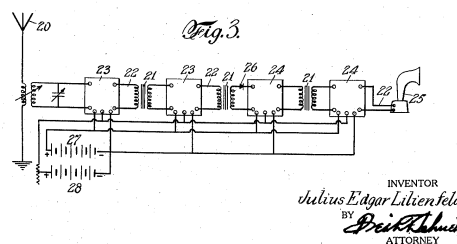
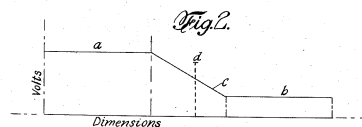
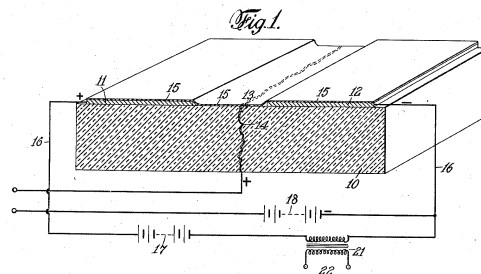


Figura I.1. Dibujo de la patente de Lilienfeld en la que se describe, por vez primera, un transistor de efecto de campo.

invento incluyendo una capa de aislante entre el contacto modulador y el material conductor [Lilienfeld 1933]. Había nacido lo que posteriormente sería el MOSFET* (*Metal-Oxide-Semiconductor* FET). Sin embargo, las dificultades técnicas que suponía la fabricación de este dispositivo estaban muy por encima tanto de la tecnología de la época como de los conocimientos de física de semiconductores que por entonces se poseían, que iban a hacer que el MOSFET debiera esperar más de treinta años hasta verse físicamente realizado de manera operativa.

Hasta la Segunda Guerra Mundial, la electrónica se basaba de manera casi exclusiva en los dispositivos de vacío. A pesar de que muchas de las propiedades de los semiconductores eran ya conocidas (efecto Hall, fotoconductividad, rectificación de corriente en una unión metal-semiconductor, etc.), otras aún eran desconocidas. Como curiosidad, podemos señalar que el concepto de hueco no aparece descrito hasta 1931 [Wilson 1931]. Así pues, la Física de los semiconductores era un campo de investigación básica, alentada por el hecho de que la movilidad de los electrones en dichos materiales era superior a la que se obtenía en el vacío y a que no era necesario extraer los electrones del sólido, lo que permitiría desarrollar aplicaciones en “frío”, a diferencia de la electrónica de vacío.



Figura I.2. Fotografía del primer transistor bipolar fabricado en los laboratorios Bell

Tras el paréntesis de la Segunda Guerra Mundial, se sucedieron precipitadamente una serie de descubrimientos en el campo de los dispositivos electrónicos de estado sólido que iban a revolucionar el mundo tal y como entonces era conocido. En 1947, Bardeen y Brattain fabricaron el primer transistor bipolar operativo (Figura I.2), que denominaron “*point contact transistor*” [Bardeen y Brattain 1947]. Se trataba básicamente de un transistor de tipo *pnp* de Germanio en el cual las uniones *pn* habían sido reemplazadas por diodos tipo Schottky. Poco tiempo después, Shockley completó y perfeccionó la idea de Bardeen y Brattain [Shockley 1951]: había nacido el transistor bipolar de unión (*Bipolar Junction Transistor*, BJT), por el cual los tres investigadores (de los laboratorios Bell) recibieron el premio Nobel en 1956.

A partir de entonces, la carrera tecnológica fue vertiginosa. En 1954, Texas Instruments presenta el primer transistor comercial de Silicio. Ese mismo año, en los Laboratorios Bell se

* Debemos reseñar que en 1935 Oskar Heil patentó un dispositivo de características similares que correspondería a un transistor MOSFET de realce, aunque generalmente se considera a Lilienfeld como el “inventor” del transistor MOSFET

trabaja en el desarrollo de procesos tecnológicos básicos para el desarrollo de los circuitos integrados, como son la oxidación, el grabado, la difusión, la aplicación de máscaras, etc... En 1958, Kilby (premio Nobel en 2000) inventa el circuito integrado (Figura I.3), y apenas un año después, Noyce sienta las bases de la tecnología planar, que abre el camino al desarrollo de circuitos integrados complejos. En 1960, en los laboratorios Bell se desarrolla la deposición por epitaxia.

En ese momento, la tecnología se encontraba al fin lo suficientemente madura como para retomar las ideas de Lilienfeld y ponerlas en práctica. Ese mismo año, Kahng y Atalla [Kahng y Atalla 1960] presentaron el primer MOSFET funcional con canal en inversión, empleando para la fabricación de la puerta óxido crecido térmicamente sobre un substrato tipo p de Silicio. La invención en 1963 del circuito CMOS (*Complementary Metal Oxide Semiconductor*), formado por un transistor MOSFET canal n y un MOSFET canal p , por parte de Wanlass y Sah [Wanlass y Sah 1963, Wanlass 1967] iba a suponer la rampa de



Figura I.3. Primer circuito integrado fabricado por Kilby en 1958. Consistía en un oscilador simple con cinco componentes integrados (fuente: Texas Instruments).

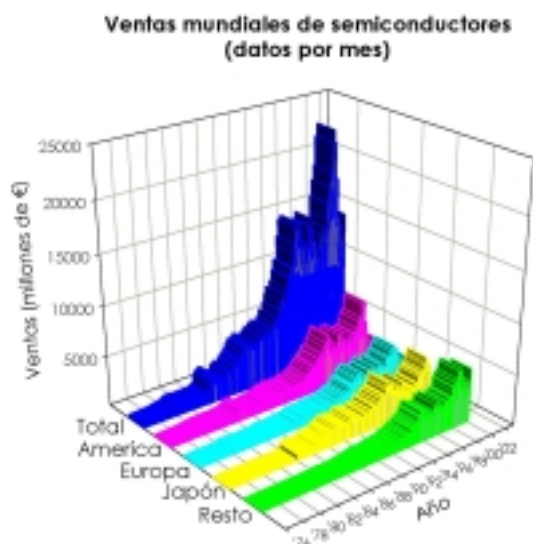


Figura I.4. Ventas mundiales de productos derivados de los semiconductores (fuente: www.semichips.org)

lanzamiento definitiva para la tecnología MOS de Silicio en el mundo de la electrónica digital. A mediados de los años 60, sin embargo, la mayoría de los circuitos estaban basados en la tecnología bipolar (heredera del transistor de Bardeen y Brattain) debido a las dificultades técnicas para la fabricación de dispositivos MOSFET, especialmente de canal n^+ [Sah 1988]. A principios de los años 70, estos problemas técnicos se fueron superando de manera progresiva, y además la Intel Corporation

† La causa de esto era la dificultad para fabricar un transistor canal n de realce, esto es, con voltaje umbral positivo, debido a la carga positiva no controlable que aparecía en el óxido de puerta. Hasta el desarrollo y perfeccionamiento de la técnica de implantación iónica en torno a 1970 no pudo solventarse este problema.

logró demostrar que un circuito basado en tecnología CMOS, si era escalado[‡], podía ofrecer prestaciones similares a las ofrecidas por la tecnología bipolar, con un coste mucho más reducido y con menor consumo (que en estado de espera era prácticamente nulo) [Sah 1988]. Además, debe tenerse en cuenta que un transistor tipo MOSFET solo se podía fabricar tomando como base el Silicio y no por ejemplo GaAs (puesto que el Silicio permite crecer de manera relativamente sencilla y barata un aislante de gran calidad, el óxido de Silicio). La era del Silicio había comenzado, y de hecho se prolonga hasta nuestros días.



Figura I.5. Proyección de ventas de circuitos integrados (fuente: www.semichips.org)

I.2. Consideraciones económicas sobre la industria de semiconductores

En la actualidad, la industria de los semiconductores es, de manera indiscutible, uno de los motores de la economía mundial. Las ventas de circuitos integrados (ICs) alcanzaron en el año 2001 los 120 billones de € (Figuras I.4 y I.5), a pesar de la crisis económica y de las consecuencias en los mercados mundiales de los atentados del 11-S (en el 2000 la cifra alcanzó los 175 billones), y las previsiones son optimistas en cuanto a una importante recuperación y aumento de las ventas en los próximos años,

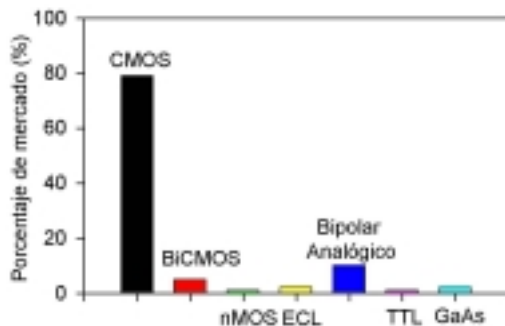


Figura I.6. Porcentaje de mercado de las tecnologías de circuitos integrados (ECL se refiere a las lógicas acoplada por emisor, y TTL a las lógicas transistor-transistor) [Paul 1999]

especialmente a partir de 2003. Todo este importantísimo y robusto mercado se nutre principalmente de los dispositivos de Silicio (Figura I.6), cuya cuota de mercado dentro del campo de los circuitos integrados ronda el 98% en el conjunto de sus diferentes tecnologías (MOSFET, bipolar analógico, BiCMOS, etc.).

Si bien es cierto que la mayoría de estos dispositivos están dedicados a aplicaciones digitales (memorias DRAM, etapas CMOS, etc.) en la última década los dispositivos basados en Silicio están empezando a ocupar importantes nichos de mercado, a causa de su comparativamente bajo coste, dentro de las aplicaciones ana-

[‡] Las leyes clásicas de escalado fueron establecidas por R. Dennard *et al.* en 1974

lógicas de alta frecuencia (sector previamente reservado de manera exclusiva a las tecnologías III-V) debido fundamentalmente a que la reducción de las dimensiones físicas de los mismos ha permitido alcanzar frecuencias de operación muy elevadas, contribuyendo de manera vital a la reciente expansión de las comunicaciones móviles. En comparación con otros materiales semiconductores, el coste de fabricación del substrato de Silicio de partida es comparativamente ridículo, debido fundamentalmente a las propiedades físicas del material y de su aislante natural, el SiO₂. En la siguiente tabla podemos ver una comparativa de precios de diferentes substratos materiales [Paul 1999]:

Tecnología	Coste por mm ² (€)
CMOS	0.01
SiGe	0.60
GaAs	2.00
InP	10.00

Tabla I.1. Coste por unidad de área de diferentes tecnologías de semiconductores [Paul 1999]

1.3. La ley de Moore y el muro de ladrillo rojo

En 1965, Gordon Moore enunció una ley de apariencia muy simple pero que ha acabado por demostrar una tremenda robustez [Moore 1965, Myers 1986, Schaller 1997]. Basándose únicamente en cinco puntos de tecnología, llegó a la conclusión de que cada 18 meses el número de componentes por chip se multiplicaba por dos (Figura I.7). Aunque ciertamente no se trate de una ley empírica, sino más bien de un objetivo que decidió marcarse la industria desde un primer momento, lo cierto es que este postulado ha venido cumpliéndose de manera rigurosa desde entonces. Para ello, es necesario que aproximadamente cada año y medio las dimensiones de los transistores se reduzcan un 30% (Figura I.8), con lo cual se consigue el doble de transistores por chip. Como consecuencia, en cada nueva generación de transistores, las dimensiones se reducen a la mitad, la velocidad de operación se dobla, el número de componentes por chip se cuadruplica y el tamaño de los chips aumenta un 50% [Iwai 1999a]. Hasta hace unos años, esta reducción no presentaba más problemas que los lógicos de tener que desarrollar tecnologías cada vez más precisas para cumplir los requerimientos de los diseñadores. Sin embargo, a medida que se alcanzan dimensiones cada vez más y más pequeñas, nuevos problemas aparecen, especialmente los asociados a fenómenos de canal corto, elementos parásitos, aparición de efectos cuánticos (especialmente limitaciones debidas al principio de incertidumbre), de corrientes de fugas a través del óxido debidas a efecto túnel, alta influencia del ruido térmico de los portadores, etc.

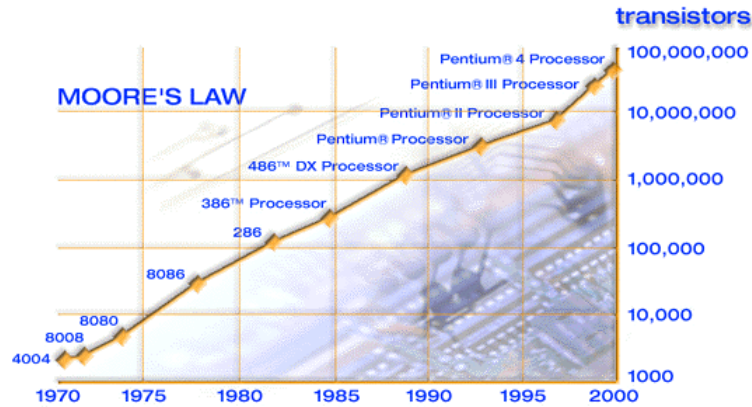


Figura I.7. La moderna fábula de Aquiles y la tortuga: la ley de Moore aún sigue vigente, pero, ¿hasta cuando? (Figura: número de transistores por microprocesador de Intel)

En el momento actual, puede afirmarse que se están alcanzando los límites de la tecnología MOS clásica. Nuevas soluciones, e incluso nuevos dispositivos, son necesarios si se quiere que la ley de Moore siga siendo válida. A finales de la década de 2000, se espera que la tecnología actual alcance sus límites definitivos, con lo cual es necesario desde este preciso momento trabajar en el desarrollo y estudio de posibles alternativas a la tecnología MOS clásica. Recientes estudios [Iwai 1999a] indican que, por debajo de los límites actuales de la tecnología MOS convencional (en torno $0.1 \mu\text{m}$ de longitud de puerta), con las reglas de escalado tradicionales el rendimiento de los dispositivos se ve severamente influido por las limitaciones de pequeñas dimensiones previamente mencionadas, de manera que no es posible obtener mejoras en el comportamiento global de los dispositivos. Se trata del famoso “muro de ladrillo rojo”[§], la temida barrera tecnológica tantas veces anunciada, pero que en esta ocasión parece encontrarse más cerca que nunca. Los límites de numerosos parámetros (por debajo de los cuales los problemas son extremadamente severos) están ya a punto de alcanzarse o de hecho han sido alcanzados ya (espesor del óxido, dopaje del canal, voltaje umbral, etc.). A pesar de ello, si se realiza un escalado irregular (dejando fijos algunos de estos parámetros y disminuyendo de manera más agresiva otros, como longitud de

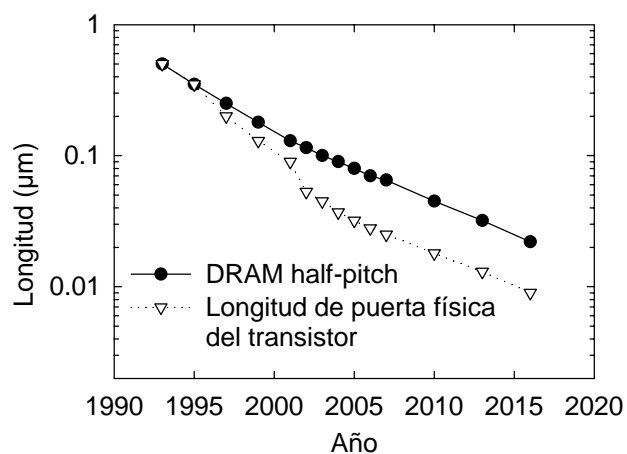


Figura I.8. Tendencia de las dimensiones de la tecnología (fuente: SIA Roadmap 2001 [SIA 2001])

[§] Con este concepto, usualmente nos referimos a requerimientos tecnológicos para los cuales no existe una solución conocida.

puerta o profundidad de las islas de fuente y drenador) se pueden paliar en cierta manera los efectos de canal corto, aunque el rendimiento global no mejora tal como se espera.

Por otra parte, existen importantes límites asociados a las técnicas litográficas empleadas para fabricar los dispositivos, dado que la litografía es el proceso fundamental para lograr la reducción de las dimensiones de los mismos. El aumento de la resolución litográfica se ha conseguido hasta ahora fundamentalmente mediante la reducción de la longitud de onda de la luz empleada para la exposición de las máscaras. Actualmente, se emplea luz de ArF de longitud de onda de 193 nm en combinación con técnicas de mejora de la resolución (*Resolution Enhancement Techniques, RET*) para la fabricación de dispositivos de 0.13 μm . Por debajo de 0.1 μm , actualmente aún no existe consenso en la industria respecto a la fuente emisora de luz adecuada; igualmente, los daños en las máscaras debidos a descargas electrostáticas serán más problemáticos.

Sin embargo, existen razones para el optimismo. La solución a estos problemas, tal como se indica en el SIA *Roadmap* [SIA 2001], se encuentra por una parte en el uso de nuevos materiales aislantes (tales como dieléctricos de alta permitividad que sustituyan al óxido de Silicio convencional, lo que permitiría emplear espesores de óxido menores), en el perfeccionamiento de las técnicas litográficas (actualmente se están estudiando la litografía con luz de 157 nm de longitud de onda, y se está trabajando en la mejora y perfeccionamiento de nuevos procesos ópticos relacionados con el proceso litográfico), en la optimización de las geometrías MOSFET convencionales y en el desarrollo de nuevos dispositivos con mayor inmunidad a los efectos asociados a dimensiones reducidas. Por otra parte, técnicas litográficas alternativas más avanzadas, como el uso de haces de electrones o de iones, o la litografía de rayos X se encuentran en estos momentos bajo estudio como posibles alternativas a las más tradicionales técnicas ópticas anteriormente mencionadas.

1. 4. La tecnología SOI: una apuesta de futuro

Con el objetivo de conseguir que la ley de Moore siga siendo válida (y se continúe con la constante mejora de prestaciones que ha caracterizado a la industria hasta la fecha), en los últimos años se está trabajando en el desarrollo de alternativas a la geometría MOSFET convencional, como son el uso de transistores de heterounión (especialmente de la aleación Silicio-Germanio, SiGe) o de sustratos con aislante, desarrollo de nuevas geometrías en el caso de los transistores MOSFET verticales, los transistores de doble puerta, FinFET's **, etc.

** El FinFET consiste básicamente en un transistor de doble puerta en el que existen dos canales superficiales de conducción en dos superficies verticales opuestas, pero con el flujo de corriente en la dirección horizontal, a través de la capa de Silicio activa, con forma de "aleta" (*fin*).

De entre todas ellas, la que mayores posibilidades ofrece de establecerse como estándar en los próximos años es la tecnología de Silicio-sobre-aislante, o SOI en sus siglas en inglés (*Silicon-on-Insulator*) [Colinge 1997, Cristoloveanu 2001]. La característica principal de esta tecnología es que el transporte de portadores tiene lugar en una capa de Silicio de espesor muy reducido, que se encuentra aislada del substrato mediante un óxido enterrado.

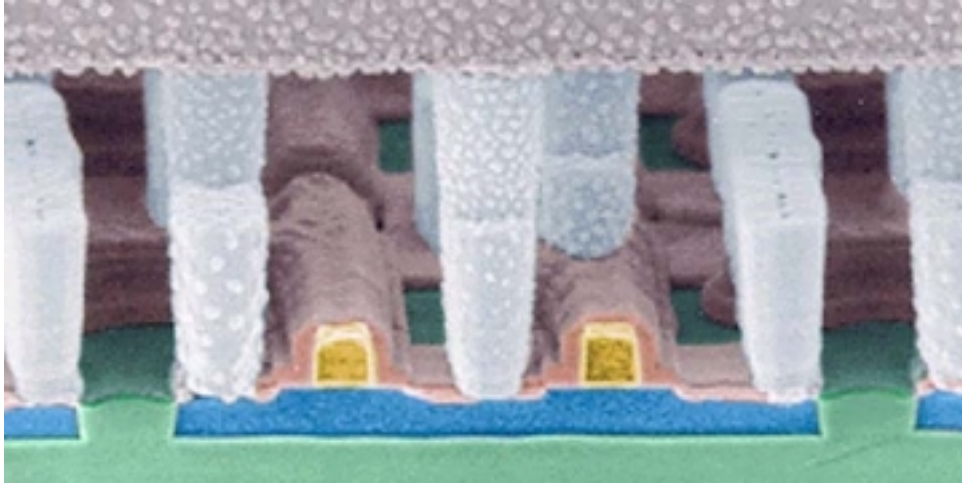


Figura 1.9. Microfotografía de un transistor SOI MOSFET (fuente: IBM)

En los últimos años, las importantes mejoras obtenidas en la fabricación de obleas SOI han permitido que los transistores MOSFET fabricados con ellas alcancen elevadas prestaciones, no solo en el ámbito de la electrónica digital (la conmutación de estados *on/off* en una etapa CMOS SOI es más rápida que en una convencional) sino también en el campo de la electrónica analógica en el rango de frecuencias del orden de GHz (hasta hace unos pocos años, nicho de mercado exclusivo de las tecnologías III-V). Se ha calculado que las prestaciones de una determinada generación de SOI MOSFETs son equiparables a las de la siguiente generación equivalente de MOSFET convencionales, ofreciendo un incremento de velocidad de conmutación en aplicaciones digitales del orden del 25-30%. Ofrece además la posibilidad de una mayor densidad de integración debido al mejor aislamiento vertical entre transistores, mayor inmunidad ante errores causados por radiaciones y mayor simplicidad de diseño. Y por supuesto, la que quizá es la ventaja fundamental de esta tecnología frente a otras posibles alternativas: una compatibilidad prácticamente completa con los procesos de fabricación de la tecnología MOSFET convencional. Por otra parte, debemos señalar que el principal inconveniente que presenta es el mayor coste de las obleas SOI con respecto a las de Silicio convencional.

Todas sus ventajas (que estudiaremos en profundidad posteriormente) hacen del SOI MOSFET el candidato ideal para convertirse en la piedra angular de la futura tecnología CMOS. A pesar de que la idea no es nueva en absoluto (desde principios de los años 70 se ha trabajado en el desarrollo de esta tecnología) no ha sido hasta mediados de los 90 cuando las técnicas de fabricación de obleas SOI han estado suficientemente maduras. Hoy en día existen diferentes

técnicas patentadas de fabricación de substratos SOI (SIMOX, UNIBOND®, etc.) lo suficientemente precisas y a un coste más que razonable (una oblea SOI puede costar alrededor del doble que una convencional, aunque el aumento de demanda está haciendo caer el precio de manera espectacular). De hecho, muchas de las grandes compañías (IBM, Motorola, Samsung, AMD, etc.) han anunciado la inminente comercialización (o incluso lo están haciendo ya) de microprocesadores y dispositivos portátiles basados en el SOI MOSFET. A muy corto plazo, por lo tanto, es razonable pensar que el SOI MOSFET se va a convertir en una pieza fundamental de la microelectrónica de dispositivos, y que los costes de fabricación pueden ser incluso menores que los del MOSFET convencional.

Sin embargo, es justo afirmar que el camino del MOSFET convencional no está ni mucho menos terminado [SIA 2001, Iwai 1999b], pero que para hacer posible su continuación, es imprescindible (al igual que en el caso del SOI MOSFET) una conjunción de esfuerzos tanto tecnológicos como teóricos, así como desarrollar herramientas de simulación que permitan optimizar el diseño de los transistores para explotar al máximo las prestaciones de los mismos [SIA 2001], y hacer posible el objetivo final, el poder diseñar un sistema de comunicaciones integrado en un único chip que se sirva de las diferentes tecnologías conocidas (CMOS, bipolar, dispositivos cuánticos, de heterounión, etc.).

II. Modelo de simulación. Procedimiento de análisis

Con una evaluación cuidadosa, uno puede vencer; sin ella, no puede. Muchas menos oportunidades de victoria tendrá aquel que no realiza cálculos en absoluto.

*“El arte de la guerra”
Sun Tzu (s. V a.C.)*

EN este Capítulo vamos a introducir los conceptos y características básicas del simulador desarrollado en este trabajo para la modelización Monte Carlo de dispositivos MOSFET, así como los principales procedimientos de análisis que nos permitirán estudiar las características estáticas, la respuesta dinámica, y el fenómeno del ruido electrónico en los transistores. En primer lugar, estudiaremos el problema del transporte de carga en semiconductores, y mostraremos los diferentes modelos que existen para afrontarlo, tanto microscópicos como macroscópicos, analizando brevemente las ventajas e inconvenientes de los mismos. Seguidamente, veremos los fundamentos del método de Monte Carlo, así como la estructura de la simulación Monte Carlo aplicada al estudio de dispositivos, prestando especial atención a los procesos de importancia en transistores MOSFET, tanto en su estructura convencional como en la alternativa SOI, tales como la simulación de dieléctricos (primordial para poder estudiar una estructura MOS), la consideración de cargas superficiales en el óxido, la ionización por impacto

o el efecto de las resistencias extrínsecas en los contactos, junto con el estudio de métodos adaptados al cálculo de corrientes necesarios de manera específica para este tipo de dispositivos.

Posteriormente, veremos el procedimiento de cálculo de los parámetros de pequeña señal, centrándonos en el circuito equivalente que vamos a considerar para el estudio de los dispositivos, en sus elementos tanto intrínsecos como extrínsecos. Finalmente, veremos las diferentes etapas del proceso de estudio del ruido electrónico, atendiendo a la descripción de los diferentes parámetros que caracterizan este fenómeno así como a la inclusión de elementos extrínsecos en los cálculos Monte Carlo, que permitan efectuar una comparación directa con los resultados experimentales cuando ésta sea requerida.

II. 1. El método de Monte Carlo de dispositivos

En anteriores tesis elaboradas en el área se ha abordado de manera muy completa y amplia la aplicación del método de Monte Carlo al estudio tanto de materiales semiconductores como de dispositivos en simuladores unidimensionales y bidimensionales, así como las principales características teóricas del mismo [González 1994, Martín 1996, Mateos 1997]. Debido a ello, en esta Memoria expondremos de manera reducida las principales características del método adaptado a la simulación bidimensional de dispositivos MOSFET de Silicio, remitiendo al lector a las tesis anteriormente mencionadas para un tratamiento más amplio, junto con las siguientes referencias bibliográficas: [Jacoboni y Reggiani 1983, Jacoboni y Lugli 1989, Mogles-tue 1993]

A la hora de abordar el estudio de un dispositivo, suelen emplearse una serie de magnitudes macroscópicas de los portadores tales como velocidad, energía, concentración, etc., que son el resultado de una serie de procesos microscópicos en el interior del mismo. La ecuación que describe de manera semiclásica este transporte es la ecuación de Boltzmann [Snowden, 1986], que puede considerarse válida siempre que los efectos cuánticos no sean importantes, en cuyo caso sería necesario resolver las ecuaciones de Poisson y de Schrödinger de manera auto-consistente (lo que implicaría una elevada complejidad para su inclusión en un simulador bidimensional Monte Carlo multipartícula). En el presente trabajo, las longitudes de puerta de los transistores MOSFET y SOI simulados no son en ningún caso inferiores a 100 nm (las dimensiones de los dispositivos en la dirección del movimiento de los portadores son mucho mayores que la longitud de onda de De Broglie), y por otra parte, en el caso de los transistores FDSOI analizados el espesor mínimo de la capa activa considerado es de 25 nm. La consideración de los efectos cuánticos en este tipo de dispositivos es necesaria para el caso de espesores de capa activa inferiores a 10 nm [Omura *et al.* 1993, Omura e Izumi 1996, Colinge 1997]. Además, otros autores han confirmado recientemente la validez de la aproximación semiclásica para la

simulación de transistores MOSFET avanzados con espesores de capa activa superiores a 10 nm [Naveh y Likharev 2000, Ren *et al.* 2000, Rhew *et al.* 2002]. Por ello, en el presente trabajo hemos considerado válida esta aproximación semiclásica de transporte en semiconductores, ya que permite reducir de manera notable la complejidad numérica en el caso de simulaciones de dispositivos en dos dimensiones. En esta aproximación, suponemos que la posición y velocidad de un portador pueden conocerse simultáneamente con precisión arbitraria, a cambio de considerar al portador como una partícula cuya masa depende de la energía (aproximación de masa efectiva) y carga positiva o negativa dependiendo de su posición en el sistema de bandas de energía, moviéndose bajo un campo eléctrico bajo las leyes de la mecánica clásica.

Resolver de manera analítica la ecuación de Boltzmann es prácticamente imposible salvo en algunos casos especiales. Debido a ello suele recurrirse a modelos numéricos, que realizan aproximaciones más o menos restrictivas según su complejidad. Entre ellos vamos a destacar los siguientes: el modelo de deriva-difusión, el modelo hidrodinámico y el método de Monte Carlo.

El **modelo de deriva-difusión** [Snowden 1986] es de tipo macroscópico. Entre sus hipótesis más restrictivas, destacan el que considera siempre a los portadores en equilibrio térmico con la red, y que además supone que el ajuste de la velocidad con el campo aplicado es instantáneo. Como resultado se obtiene un modelo muy simple, que consume muy pocos recursos de cálculo, y que en muchos casos obtiene buenos resultados. Sin embargo, son muchos los problemas que presenta para el estudio de dispositivos MOSFET de dimensiones submicrométricas. Por ejemplo, no permite estudiar los efectos asociados a portadores calientes [Lugli 1993], ya que como hemos mencionado considera en todo momento el equilibrio térmico de los portadores con la red. Además, dado que supone una respuesta instantánea de la velocidad frente al campo, no es adecuado para estudiar fenómenos de sobrevelocidad, que son frecuentes en este tipo de dispositivos submicrométricos [Laux y Fischetti 1988]. En general, no es adecuado para estudiar fenómenos de no equilibrio portador-red, así como fenómenos no estacionarios, por lo que su utilidad para el estudio de los dispositivos MOSFET modernos es muy limitada.

El **modelo hidrodinámico** [Constant 1980] también es de carácter macroscópico, aunque presenta muchas ventajas respecto al modelo de deriva-difusión. Como contrapartida, es más complejo y lleva a tiempos de cálculo más elevados. Su principal característica es que considera las ecuaciones de momentos derivadas de la ecuación de Boltzmann de manera completa, y considera dependencia de los parámetros no sólo con el momento sino también con la energía. Como consecuencia, permite estudiar fenómenos no estacionarios (como la sobrevelocidad), así como una descripción correcta de los transitorios en los dispositivos y fenómenos de portadores calientes [Lugli 1993]. En general es un método muy adecuado y fiable para el estudio de numerosas magnitudes y para abordar el análisis de dispositivos submicrométricos, aunque presenta como es lógico algunas limitaciones importantes. Por ejemplo, necesita que le sea proporciona-

da la dependencia con la energía de numerosos parámetros (para lo cual suelen emplearse resultados de simulaciones Monte Carlo), de los que sólo puede emplear los valores estacionarios.

Pero quizá el principal problema de los modelos macroscópicos que hemos visto es que no proporcionan la distribución instantánea de la velocidad de los portadores o la corriente en los terminales, con lo que su aplicación para el estudio de ruido en dispositivos es limitado. Para ello, se suele emplear el método del campo de impedancia [Schocley *et al.* 1966, Van Vliet 1975], que a pesar de que en numerosas condiciones ofrece resultados satisfactorios, parte de una consideración macroscópica del sistema.

El **método de Monte Carlo** [Kurosawa 1966a, 1966b] se basa en una descripción microscópica del movimiento de los portadores en el interior del dispositivo. De este modo, es posible resolver de manera instantánea la ecuación de Boltzmann, solventando los problemas que presentan los modelos anteriormente mencionados. Sus ventajas frente a los demás modelos son múltiples [González 1994, Martín 1996]:

- Dadas sus características, se encuentra en un nivel superior a los modelos presentados con anterioridad, permitiendo obtener resultados más generales. Incluye de manera natural en la simulación los efectos de portadores calientes y fenómenos no estacionarios, siendo por lo tanto ideal para el estudio de este tipo de fenómenos, de especial importancia en transistores MOSFET submicrométricos.
- Además, dado que reproduce la naturaleza aleatoria del transporte, permite tener en cuenta de manera sencilla las fuentes de ruido sin realizar ninguna hipótesis acerca del origen de las mismas, así como considerar las correlaciones entre ellas, lo cual es esencial para estudiar este fenómeno.
- Proporciona asimismo las funciones de distribución instantánea de importantes magnitudes, tales como velocidad o energía de los portadores, así como el valor instantáneo de la corriente en los terminales. Permite por ejemplo obtener la dependencia con la energía de algunos de los parámetros de los que precisa el método hidrodinámico.
- Ofrece una gran flexibilidad en la variación de cualquier tipo de parámetro físico o geométrico del transistor (espesor del óxido, dopajes, longitud de puerta, etc.), o condiciones de la simulación, lo que lo convierte en una potente herramienta para tratar de optimizar el diseño de los dispositivos, dado que se trata de un método “pseudo-experimental”.

Todo esto convierte al método de Monte Carlo en una inestimable herramienta de simulación, que sin embargo presenta como principal inconveniente un alto consumo de recursos de computación. Sin embargo, los constantes avances en la velocidad y potencia de los medios informáticos a disposición de los investigadores convierten al método de Monte Carlo en el más

adecuado a la hora de afrontar el estudio de dispositivos MOSFET submicrométricos, ya que disponer de un simulador de estas características permite una visión “global” de todas las magnitudes de interés (magnitudes estáticas, dinámicas, parámetros de ruido) sin necesidad de herramientas adicionales.

Existen diferentes niveles de complejidad para el método de Monte Carlo dependiendo del sistema físico que se quiera estudiar. El más sencillo es el **Monte Carlo de partícula única** [Jacoboni y Reggiani 1983]. Tomando como base el principio de ergodicidad, es adecuado para el estudio de semiconductores homogéneos en condiciones estacionarias, permitiendo obtener magnitudes tales como velocidad, energía o movilidad de los portadores, así como sus funciones de distribución en función del campo eléctrico. Si se desea estudiar fenómenos no estacionarios y procesos de difusión en semiconductores homogéneos, el *ensemble* **Monte Carlo** (o Monte Carlo multipartícula) [Jacoboni y Reggiani 1983, Jacoboni y Lugli 1989] es el método más adecuado, pues se basa en la simulación de un conjunto de partículas en el material semiconductor. Sin embargo, en el caso de dispositivos, es necesario conocer de manera local el campo eléctrico al que están sometidos los portadores en cada instante de tiempo. Por tanto, es necesario acoplar un simulador *ensemble* con la resolución de la ecuación de Poisson de manera autoconsistente, obteniendo el llamado **Monte Carlo de dispositivos** [Moglestue 1986]. De esta manera, pueden simularse geometrías complejas como las que corresponden a dispositivos en una, dos o tres dimensiones, según los requerimientos del problema en concreto. En nuestro caso, nuestro simulador es bidimensional; por ello, a partir de este momento vamos a denominar a este modelo como **MC2D**. A continuación vamos a presentar de manera somera sus principales características.

II. 2. Fundamentos del método de Monte Carlo MC2D

Cuando se considera un portador (o un grupo de portadores) moviéndose en el seno de un semiconductor, se encuentra por una parte sometido a la acción del campo eléctrico aplicado y por otra parte a las interacciones con la red cristalina circundante [Yang 1988] (Figura II.1). La red cristalina por una parte confiere al portador una masa efectiva de acuerdo con la estructura de bandas y su energía, y por otra parte provoca alteraciones en su movimiento, que son conocidas como colisiones o *mecanismos de scattering* [Nag 1980, Madelung 1981, Ridley 1983]. La frecuencia con la que se producen estos mecanismos está gobernada por funciones de distribución de probabilidad complejas, que no es posible tratar de una manera sencilla para su resolución en las ecuaciones de transporte.

El método de Monte Carlo permite generar cualquier función de distribución de probabilidad a partir de su correspondencia con una función de distribución pseudo-aleatoria simple [Boardman 1980]. La función pseudo-aleatoria más sencilla, y que es posible obtener de manera

sencilla en cualquier compilador informático, es la distribución uniforme entre 0 y 1. De este modo es posible resolver numéricamente de manera directa la ecuación de Boltzmann para cada instante de tiempo sin necesidad de efectuar ninguna de las restricciones propias de los modelos macroscópicos.

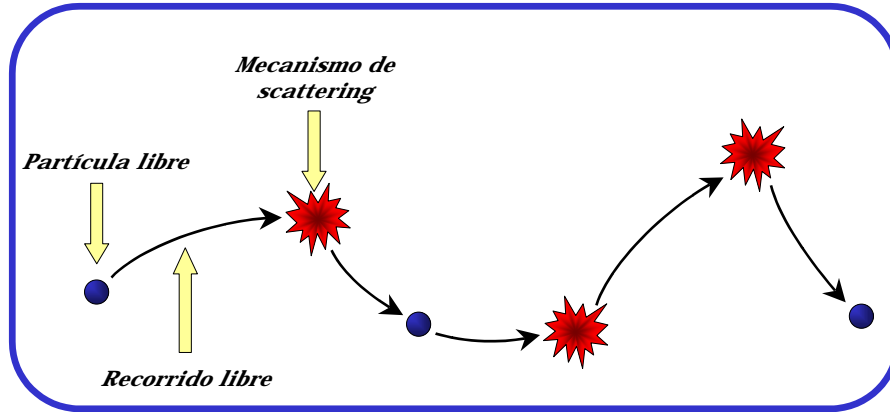


Figura II.1. Esquema simple del movimiento de un portador en el cristal bajo la acción de un campo eléctrico.

Vamos a denotar de manera general por $p(r)$ y $q(\phi)$ a las densidades de probabilidad de dos distribuciones, $p(r)$ correspondiente a una distribución uniforme con r entre 0 y 1 e implementada de forma pseudoaleatoria, y $q(\phi)$ a la densidad de probabilidad de una distribución de probabilidad arbitraria. Si $p(r)$ y $q(\phi)$ están normalizadas, en ese caso para cada valor de r existe un ϕ que verifica [Boardman 1980]:

$$\int_0^{\phi} q(\phi') d\phi' = \int_0^r p(r') dr' \quad (\text{II.1})$$

En una distribución uniforme $p(r)=1$ por lo que la ecuación (II.1) pasa a ser:

$$r = \int_0^{\phi} q(\phi') d\phi' \quad (\text{II.2})$$

De este modo, si esta integral se puede calcular de manera analítica entonces es posible despejar el valor aleatorio ϕ en función de r según su propia distribución de probabilidad, con la particularidad de que r es un número aleatorio uniformemente distribuido entre 0 y 1. Si la integral (II.2) no puede ser evaluada de manera sencilla, existen ciertas técnicas que permiten realizar la inversión que proporciona ϕ .

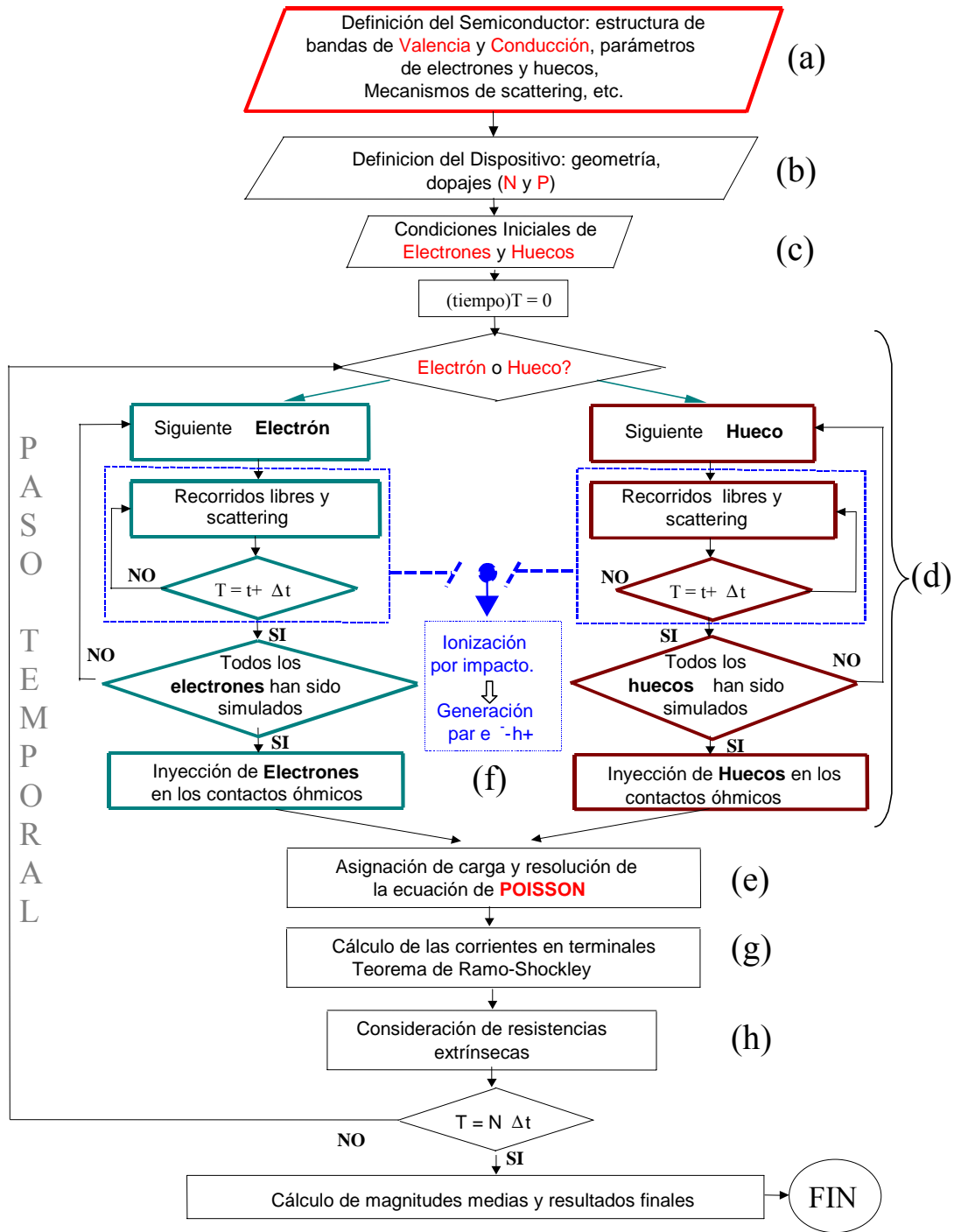


Figura II. 2. Diagrama de flujo de la simulación Monte Carlo de dispositivos

Esta técnica debe aplicarse a cada mecanismo que actúe de manera aleatoria en el sistema bajo estudio. A pesar de que es necesario un conocimiento previo de las probabilidades de aparición de cada mecanismo aleatorio, posteriormente no se impone ninguna condición sobre la naturaleza del problema, por lo que es aplicado en numerosos campos de la ciencia.

II. 3. Estructura de la simulación

En la Figura II.2 mostramos el diagrama de flujo de una simulación Monte Carlo bipolar de dispositivos. Vamos a detenernos en cada uno de los pasos del diagrama, comentando sus principales características.

II. 3. a) Definición del semiconductor

Como se observa en el diagrama de la Figura II.2, inicialmente debe considerarse un modelo físico para el semiconductor: la definición de la estructura de bandas del Silicio y de los mecanismos de *scattering*. Una vez realizado esto, es posible proceder a la simulación propiamente dicha del dispositivo. Aquí es donde radica la gran potencia como herramienta de simulación del método de Monte Carlo, dado que una vez ajustados los parámetros del material a los datos experimentales a través de las magnitudes anteriormente mencionadas, es posible proceder a la simulación del dispositivo sin necesidad de efectuar ninguna hipótesis adicional, sino simplemente procediendo de manera adecuada a la definición geométrica del mismo.

Dinámica de la partícula. En primer lugar, es necesario adoptar un modelo para la descripción de la estructura de bandas del material. El método más empleado consiste en utilizar expresiones analíticas como aproximación local en los mínimos y máximos de las bandas de conducción y de valencia respectivamente. También es posible realizar una descripción completa de las mismas de manera muy precisa mediante la tabulación de la estructura de bandas numérica calculada a través de métodos complejos como el del pseudopotencial [Cohen y Bergstresser 1966, Cohen y Chelikowsky 1988]. Sin embargo, frente a la aproximación analítica previamente mencionada, en el rango de energías cinéticas que se encuentran en este trabajo, la desviación entre ambos cálculos no es importante [Martín 1996], siendo los cálculos notablemente más complejos con la descripción del pseudopotencial.

Además, con este método las trayectorias de los portadores también pueden ser calculadas de manera analítica y la ocupación de memoria y el tiempo empleado en los cálculos de trayectorias son mínimos. Debido a esto, hemos optado por esta descripción de la estructura de bandas. En nuestro modelo, hemos considerado los valles X y los valles L de la banda de conducción del Silicio como bandas elipsoidales no parabólicas [Cohen y Chelikowsky 1988, Tomizawa 1993], cuya expresión viene dada por:

$$\varepsilon(1 + \alpha\varepsilon) = \frac{\hbar^2}{2} \left(\frac{k_x^2}{m_x} + 2 \frac{k_y^2}{m_y} \right) \quad (\text{II. 3})$$

donde \hbar es la constante de Planck reducida, α el factor de no parabolicidad, ε la energía, k_l la componente longitudinal del momento, k_t la componente transversal, y m_l y m_t las componentes de la masa longitudinal y transversal, respectivamente, del fondo de la banda de conducción.

Para el modelo de banda de valencia, se han considerado las sub-bandas de huecos ligeros y pesados [Kane 1965, Madelung 1981]. En este caso la descripción corresponde a bandas esféricas no parabólicas, cuya expresión general viene dada por:

$$\varepsilon(1 + \alpha\varepsilon) = \frac{\hbar^2 \mathbf{k}^2}{2m^*} \quad (\text{II.4})$$

siendo m^* la masa efectiva de los huecos para cada sub-banda de valencia. Los valores de los gaps y masas efectivas están reflejados en la Apéndice 1, junto con más detalles acerca de la estructura de bandas del Silicio.

La simulación tendrá carácter bidimensional en el espacio real y tridimensional en el espacio fásico, y en cuanto a las partículas consideradas, simularemos tanto electrones como huecos, dado que a pesar de que el transporte en transistores de tipo MOSFET es de carácter unipolar, para poder efectuar una simulación lo más completa y precisa posible (que tenga por ejemplo en cuenta los efectos dinámicos asociados al sustrato o fenómenos de ionización por impacto) es necesario simular ambos tipos de portadores [Rengel *et al.* 2001].

Mecanismos de *scattering*. Como hemos mencionado con anterioridad, en un cristal real el movimiento “libre” de los portadores se ve alterado por una serie de colisiones o mecanismos de *scattering* que corresponden a la interacción del dispositivo con las imperfecciones y las vibraciones de los átomos del cristal. En consecuencia, se produce una tendencia a la relajación de la energía y del momento de los portadores, que se mantienen por tanto en las cercanías de los extremos de la banda de conducción y de valencia, de modo que la forma de las bandas puede aproximarse mediante las ecuaciones II.3 y II.4.

Los diferentes mecanismos de *scattering* que hemos considerado para el Silicio pueden clasificarse de varias maneras. Una revisión más extensa de los diferentes mecanismos que pueden aparecer en materiales semiconductores puede encontrarse en [Nag 1980, Madelung 1981, Ridley 1983].

- Según la energía después de la interacción:
 - Elásticos: el portador conserva su energía tras el mecanismo.
 - Inelásticos: existe un intercambio de energía con los fonones de la red.

- Según el ángulo del momento antes y después de la interacción:
 - Isótropos: la dirección del momento de la partícula tras el mecanismo de *scattering* no depende de la que tuviera previa a la colisión.

- Anisótropos: La probabilidad del estado final depende según una determinada distribución.

Además, los mecanismos se pueden clasificar según el tipo de transición que sufra el portador. Así, tendremos *scattering intravalle*, que se da cuando los estados inicial y final del portador están en el mismo valle del espacio $\epsilon\text{-k}$, correspondiente a fonones de vector de onda pequeño, y *scattering intervalle*, que se da cuando como consecuencia de una interacción el portador “salta” de un valle a otro distinto (equivalente o no), y corresponde a fonones con vector de onda grande.

En este trabajo, hemos considerado los siguientes mecanismos de *scattering* para electrones: interacción con impurezas ionizadas, mecanismos intravalle con fonones acústicos (inelástico), y mecanismos intervalle (entre valles equivalentes y no equivalentes). En el caso de huecos, se han considerado la interacción con impurezas ionizadas, el *scattering* con fonones acústicos y el *scattering* con fonones ópticos (todos ellos intrabanda e interbanda)

Una discusión más detalla acerca de los diferentes mecanismos de *scattering* de electrones y huecos, sus funciones de probabilidad, así como los diferentes parámetros empleados en las mismas puede encontrarse en el Apéndice 1. Este modelo físico para el Silicio ha sido validado mediante la comparación con medidas experimentales encontradas en la literatura para diferentes magnitudes (véase también el Apéndice 1).

Además de los mencionados, es posible tener en cuenta otros mecanismos de *scattering*, tales como la interacción con defectos del cristal (que no consideraremos dado que en los materiales de altísima calidad empleados en microelectrónica la densidad de defectos es muy reducida) y la interacción de tipo portador-portador [Matulionis 1975], cuya implementación en un simulador *ensemble* es notablemente compleja. Por otro lado, en la simulación de dispositivos FET de silicio pueden tener lugar, de manera específica, otros mecanismos de *scattering*. Entre ellos, destacamos el *scattering* de rugosidad superficial y la dispersión Coulombiana debida a la presencia de cargas atrapadas en el óxido o a estados superficiales en la interfaz Si-SiO₂ [Ando *et al.* 1982, Goodnick *et al.* 1985, Gámiz *et al.* 2001]. La consideración de estos mecanismos de *scattering* en nuestro simulador queda fuera de los márgenes de este trabajo, siendo su inclusión objeto de futuros estudios.

II. 3. b) Definición física del dispositivo

La simulación propiamente dicha comienza con la definición del dispositivo. Para ello, es necesario determinar de la manera más precisa posible las dimensiones, dopajes de las diferentes regiones (tipo *p* o tipo *n*), espesores de las diferentes capas de semiconductor y de dieléctricos, posición de los contactos, etc. Posteriormente se procede a la discretización espacial del dispositivo mediante un *mallado* que permita resolver adecuadamente la ecuación de Poisson.

El tamaño de cada celda debe elegirse de modo que no supere la longitud de Debye del material, con el fin de poder efectuar un correcto seguimiento de las variaciones espaciales del campo eléctrico [Jacoboni y Lugli 1989]:

$$\lambda_D = \sqrt{\frac{\epsilon_o \epsilon_r K_B T}{e^2 n}} \quad (\text{II. 5})$$

donde ϵ_r es la permitividad relativa del material, ϵ_o la permitividad del vacío, K_B la constante de Boltzmann, T la temperatura, e la carga de los portadores y n la densidad de los mismos.

De igual modo, debe elegirse de manera adecuada el paso temporal para la actualización del campo eléctrico a través de la resolución de la ecuación de Poisson, de modo que su valor máximo posible quede limitado por el periodo de la frecuencia de las oscilaciones del plasma, ω_p , con el fin de poder detectar las que se producen de manera natural [Hockney y Eastwood 1988], y también por el tiempo de relajación dieléctrico, τ_d , para evitar inestabilidades asociadas a redistribuciones de carga:

$$\omega_p = \sqrt{\frac{e^2 n}{\epsilon_o \epsilon_r m^*}} \quad (\text{II. 6})$$

$$\tau_d = \frac{\epsilon_o \epsilon_r}{\sigma} \quad (\text{II. 7})$$

donde σ es la conductividad del material. De este modo, tomando la mayor ω_p obtenida y el menor τ_d de todos los materiales del dispositivo, el paso temporal Δt elegido debe cumplir que $\omega_p \Delta t < 2$ y $\Delta t < \tau_d$.

Finalmente, hay que señalar que en el MC2D no se procede a la simulación de todos los portadores libres existentes en el interior del dispositivo, lo cual sería de todo punto imposible desde el punto de vista computacional. Para evitar este problema, a cada una de las partículas simuladas se le concede un “peso”, de manera que represente a un número determinado de portadores “reales”, el llamado equivalente partícula-electrón (EPE) o el equivalente partícula-hueco (EPH) según corresponda*. Por lo tanto, en la simulación será necesario también determinar el número de partículas a considerar, así como el EPE y el EPH (que pueden ser diferentes, aunque para el correcto estudio del fenómeno del ruido han de ser iguales), que deben ser elegidos de manera adecuada alcanzando un compromiso entre precisión y reducción del tiempo de cálculo. También es necesario fijar otra serie de parámetros como son la temperatura, valores de tensión aplicada en los contactos, etc.

* En el caso de dispositivos reales, para un correcto análisis de los mismos este parámetro debe corresponder al inverso de dimensión no simulada.

II. 3. c) Condiciones iniciales

El siguiente paso consiste en distribuir las partículas en el dispositivo asignándoles unos valores de energía, posición y momento adecuados. Para ello, normalmente los portadores se inicializan con energía adaptada a una distribución estadística de Fermi-Dirac, y las componentes del vector de onda se determinan de manera aleatoria, así como la posición dentro de la malla correspondiente. En cualquier caso, para tiempos de simulación suficientemente largos, estas condiciones iniciales no van a influir en los resultados finales, puesto que estos vendrán determinados exclusivamente por las condiciones de polarización aplicadas en los terminales del dispositivo.

II. 3. d) Movimiento de los portadores

Como hemos comentado anteriormente (Figura II.1), el movimiento de los portadores en el dispositivo consta de dos partes bien diferenciadas. Por una parte efectúan recorridos de tipo balístico, o *recorridos libres*, en los cuales su velocidad y posición vienen determinadas por la acción del campo eléctrico a través de las ecuaciones del movimiento, y por otra parte, cada cierto tiempo, estos recorridos se ven interrumpidos por los mecanismos de *scattering*, que suponemos instantáneos, que pueden modificar la trayectoria y la energía de los portadores.

El movimiento de cada portador (electrón o hueco) se simula durante un intervalo de tiempo Δt , durante el cual puede experimentar una serie de recorridos libres y colisiones, transcurrido el cual se pasa a simular el movimiento del siguiente portador. Una vez simulados todos los portadores, se actualiza el campo eléctrico y se comienza de nuevo a simular el movimiento de cada portador, como se muestra en el diagrama de flujo de la Figura II.2.

Para cada portador, será por tanto necesario determinar en primer lugar la duración del recorrido libre, posteriormente habrá que elegir el mecanismo de *scattering* que va a sufrir, y a continuación volver a determinar la duración del siguiente recorrido libre. Cada una de estas elecciones está gobernada por una cierta distribución probabilística dependiente de las probabilidades de los mecanismos de *scattering*[†]. Tras el mecanismo de *scattering*, el estado del portador variará de manera adecuada según sea el tipo de mecanismo.

[†] Además de los mecanismos de *scattering* reales, hemos considerado un mecanismo ficticio adicional, el llamado *autosattering* [Rees 1968], que no cambia el estado del portador, mediante el cual se consigue que la probabilidad total de *scattering* sea constante e independiente de la energía de la partícula antes del recorrido libre en cuestión, con lo cual se simplifica de manera notable la determinación de la duración del recorrido libre. Este es un procedimiento habitual en las simulaciones MC2D.

II. 3. e) Resolución de la ecuación de Poisson y cálculo del campo eléctrico

En nuestro caso, hemos realizado una simulación bidimensional en el espacio real. La resolución de la ecuación de Poisson bipolar en este caso es notablemente costosa en términos de tiempo de cálculo y de ocupación de memoria, a pesar de que existen para ello ciertas subrutinas estándar optimizadas [Press *et al.* 1989]. A la hora de afrontar la resolución de la ecuación de Poisson, se plantean una serie de ecuaciones diferenciales para cuya solución se suele emplear como técnica más habitual el método de diferencias finitas [Selberherr 1984], consistente en la discretización de las ecuaciones en cada nodo del mallado rectangular en el que se ha dividido el dispositivo. El mallado que hemos considerado se compone de N columnas y M filas, de tamaño no uniforme para adaptarse a las singularidades de cada dispositivo simulado (concentración de portadores, gradiente de potencial local, etc.). Por tanto constará de $(N+1) \times (M+1)$ nodos, de modo que cada malla está rodeada de 4 nodos (cada uno en uno de sus vértices).

1) El primer paso para la resolución de la ecuación de Poisson consiste en la **asignación de carga a cada uno de los nodos del dispositivo**, para posteriormente proceder a la resolución del sistema de ecuaciones procedente de la discretización de la ecuación de Poisson. De este modo es posible obtener el valor del potencial en cada uno de los nodos de la red, así como el campo eléctrico en cada una de las mallas en las que hemos dividido el dispositivo. Es preciso comentar en este punto que la densidad de carga va a tener un *carácter bipolar* dada la naturaleza de nuestro simulador (que como ya hemos mencionado permite simular electrones y huecos):

$$\rho = q(p - N_a^- + N_D^+ - n) \quad (\text{II.8})$$

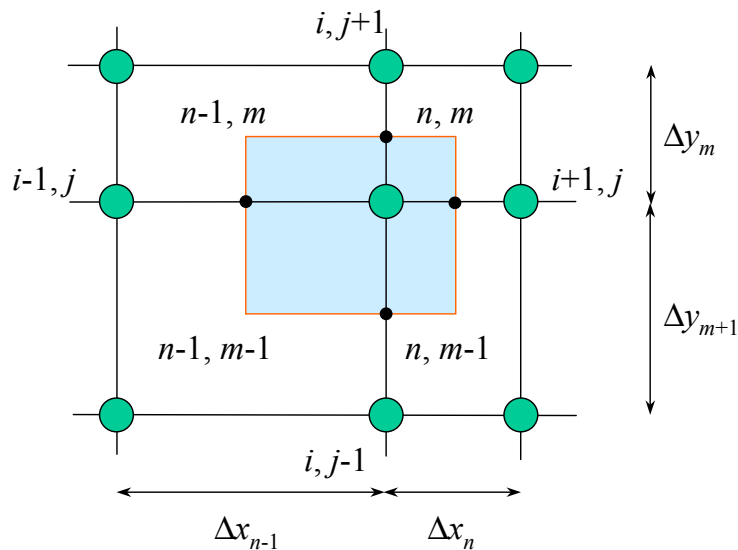


Figura II. 3. Esquema de la resolución de la ecuación de Poisson en el nodo i, j

Para la asignación de carga, existen diferentes técnicas, tales como la *nearest-grid-point*, que asigna toda la carga de la celda a su nodo correspondiente, o la *cloud-in-cell*, que

reparte la carga según una cierta distribución entre los nodos más próximos [Hockney y Eastwood 1988, Jacoboni y Lugli 1989, Moglestue 1993, Tomizawa 1993]. Ambas consideran la posición de las partículas al final de cada Δt para la asignación de carga. En nuestro caso, utilizaremos la densidad de carga media a lo largo del intervalo temporal [González 1994], con el fin de lograr una descripción menos “abrupta”, permitiéndonos reducir las fluctuaciones asociadas al pequeño número de partículas simuladas por celda en comparación con el número total de portadores que estarían presentes en un dispositivo real. En consecuencia, se reduce el ruido numérico asociado a dichas fluctuaciones, obteniendo una estimación mucho más real del ruido físico en el dispositivo. Para proceder a la asignación de carga en cada nodo, realizamos una media ponderada de la densidad de carga media dividida por la permitividad del material en las cuatro mallas que rodean a dicho nodo (Figura II.3).

De este modo obtenemos el segundo miembro de la ecuación de Poisson para la resolución de la misma en el nodo i -ésimo:

$$\frac{\rho_{i,j}}{\varepsilon_{i,j}\varepsilon_0} = \frac{\bar{\rho}_{n-1,m}S_{n-1,m}/\varepsilon_{n-1,m} + \bar{\rho}_{n,m}S_{n,m}/\varepsilon_{n,m} + \bar{\rho}_{n-1,m-1}S_{n-1,m-1}/\varepsilon_{n-1,m-1} + \bar{\rho}_{n,m-1}S_{n,m-1}/\varepsilon_{n,m-1}}{(S_{n-1,m} + S_{n,m} + S_{n-1,m-1} + S_{n,m-1})\varepsilon_0} \quad (\text{II. 9})$$

siendo $\bar{\rho}_{i,j}$ la densidad de carga media en la fracción de tiempo Δt anterior asignada al nodo i,j de permitividad $\varepsilon_{i,j}\varepsilon_0$. En el caso de nodos correspondientes a bordes del dispositivo, las celdas del exterior no se consideran.

2) La segunda parte de la resolución de la ecuación de Poisson consiste en la **discretización de la ecuación de Poisson** y la posterior **resolución del sistema de ecuaciones resultante**. La ecuación de Poisson en 2D puede representarse de la siguiente forma (considerando nulo el término asociado a la derivada espacial de la permitividad del material) [Moglestue 1993]:

$$\frac{\partial^2 \varphi}{\partial x^2} + \frac{\partial^2 \varphi}{\partial y^2} = -\frac{\rho}{\varepsilon_0 \varepsilon_r} \quad (\text{II. 10})$$

Aplicando diferencias finitas, y teniendo en cuenta que el segundo miembro de la ecuación de Poisson puede ser evaluado mediante la ecuación (II. 9), podemos llegar a la siguiente expresión:

$$\begin{aligned} & \varphi_{i,j-1} \frac{2(\Delta x_n + \Delta x_{n-1})}{\Delta y_{m-1}} + \varphi_{i-1,j} \frac{2(\Delta y_m + \Delta y_{m-1})}{\Delta x_{n-1}} \\ & - \varphi_{i,j} \left[2 \left(\Delta x_n + \Delta x_{n-1} \right) \left(\frac{1}{\Delta y_m} + \frac{1}{\Delta y_{m-1}} \right) + \left(\Delta y_m + \Delta y_{m-1} \right) \left(\frac{1}{\Delta x_n} + \frac{1}{\Delta x_{n-1}} \right) \right] \\ & + \varphi_{i+1,j} \frac{2(\Delta y_m + \Delta y_{m-1})}{\Delta x_n} + \varphi_{i,j+1} \frac{2(\Delta x_n + \Delta x_{n+1})}{\Delta y_m} = \\ & - \left(\bar{\rho}_{n-1,m-1} \Delta x_{n-1} \Delta y_{m-1} / \varepsilon_{n-1,m-1} + \bar{\rho}_{n,m-1} \Delta x_n \Delta y_{m-1} / \varepsilon_{n,m-1} + \bar{\rho}_{n-1,m} \Delta x_{n-1} \Delta y_m / \varepsilon_{n-1,m} + \bar{\rho}_{n,m} \Delta x_n \Delta y_m / \varepsilon_{n,m} \right) / \varepsilon_0 \end{aligned} \quad (\text{II. 11})$$

Si aplicásemos esta expresión a cada uno de los nodos de la red, obtendríamos un conjunto de $(N+1) \times (M+1)$ ecuaciones lineales. La matriz de este sistema de ecuaciones es penta-diagonal, y para resolverla empleamos el método de descomposición LU [Press *et al.* 1989, Tomizawa 1993]. Para ello, es necesario realizar la inversión de la matriz, que es un proceso costoso en términos de tiempo de cálculo, aunque afortunadamente es suficiente realizarlo al comienzo de la simulación una única vez. Posteriormente, para cada intervalo Δt lo que se calcula es el segundo miembro de la ecuación de Poisson, al que se le aplica dicha matriz inversa, lo que permite obtener el potencial en cada nodo.

3) Una vez determinado el potencial en cada nodo, es posible **determinar las componentes del campo eléctrico en cada malla:**

$$\begin{aligned} E_x^{n,m} &= -\nabla_x \varphi = -\frac{1}{2} \left(\frac{\varphi_{i+1,j+1} - \varphi_{i,j+1}}{\Delta x_n} + \frac{\varphi_{i+1,j} - \varphi_{i,j}}{\Delta x_n} \right) \\ E_y^{n,m} &= -\nabla_y \varphi = -\frac{1}{2} \left(\frac{\varphi_{i,j+1} - \varphi_{i,j}}{\Delta y_m} + \frac{\varphi_{i+1,j+1} - \varphi_{i+1,j}}{\Delta y_m} \right) \end{aligned} \quad (\text{II. 12})$$

4) Respecto a las condiciones de contorno que debemos considerar, hay que hacerlo a dos niveles [Hockney y Eastwood 1988, Jacoboni y Lugli 1989]: respecto a la resolución de la ecuación de Poisson y en relación a la dinámica de las partículas.

• **Respecto a la resolución de la ecuación de Poisson**, se consideran las siguientes **condiciones de contorno:**

- En los electrodos, se consideran condiciones de **Dirichlet**, esto es, potencial fijo.
- En los límites del dominio de simulación, se impone la condición de la continuidad de la componente normal del vector desplazamiento (condiciones de **Neumann**)

Llegados a este punto, es conveniente hacer algunas *precisiones respecto a la simulación de materiales dieléctricos* (tales como pueden ser óxidos o aire). En nuestra simulación, es posible considerar regiones en el dispositivo de material dieléctrico, lo cual es imprescindible para afrontar la simulación de transistores de tipo MOSFET, tanto para simular el óxido de puerta como poder considerar la presencia del óxido enterrado en los dispositivos de tipo SOI. Además, en un óxido real, existen cargas, tanto en su interior como en la superficie óxido-semiconductor [Sze 1983, Ghandhi 1994] (describiremos este efecto con mayor detalle en el Apartado IV.2.a). En general las cargas en el volumen del óxido pueden considerarse de manera equivalente como una carga superficial adicional [Pierret 1994]. Por lo tanto, es necesario el poder considerar la presencia de cargas estáticas en las superficies óxido-semiconductor en nuestra simulación. En el caso de dispositivos reales, la presencia de regiones de solapamiento del óxido de puerta con las islas de fuente y drenador provoca que la distribución de las cargas no sea uniforme (en general debido al efecto de portadores calientes que provocan la aparición

de cargas inducidas en la superficie del óxido en dichas regiones) [Chen y Ma 1991, Ellis-Monaghan *et al.* 1994, Yih *et al.* 1998, Jang y Sheu 2000, Mahapatra *et al.* 2000] y que dependa fuertemente tanto del tipo de semiconductor (tipo p o tipo n) como de la densidad de portadores. En el caso particular de los transistores SOI, existen diferencias entre la carga en las dos superficies óxido-semiconductor de la capa de Silicio activa [Pavanello y Martino 1999, Nicolett *et al.* 2002]

Respecto a las condiciones de contorno asociadas a las superficies semiconductor-dieléctrico, consideramos lo siguiente:

- En nuestro simulador es posible tener en cuenta la presencia de una carga estática superficial en la interfaz del semiconductor con el dieléctrico. La condición de contorno asociada a esta carga de superficie es [Mateos 1999]:

$$\varepsilon_1 E_1 - \varepsilon_2 E_2 = \sigma_{12} \quad (\text{II. 13})$$

siendo σ_{12} la densidad de carga superficial, E el campo eléctrico en la dirección perpendicular a la superficie y ε la permitividad, correspondiendo 1 al semiconductor y 2 al óxido.

- En el caso de no considerar una carga de superficie, o bien en las superficies entre dos materiales dieléctricos, la condición de contorno corresponde simplemente a imposición de la condición de continuidad del vector desplazamiento:

$$\varepsilon_1 E_1 = \varepsilon_2 E_2 \quad (\text{II. 14})$$

Todas estas condiciones de contorno son consideradas en el conjunto del sistema de ecuaciones para la resolución de la ecuación de Poisson.

• **Respecto a las condiciones de contorno para la dinámica de portadores**, han sido impuestas de acuerdo con las consideradas para el campo eléctrico:

- Consideramos reflexión especular para las superficies en las cuales se aplican **condiciones de Neumann**, es decir, la componente perpendicular a la superficie del momento del portador cambia de signo en los límites del dispositivo. En el caso de las superficies dieléctrico-semiconductor es posible modelar en cierto modo la rugosidad asociada a estas superficies, como hemos mencionado anteriormente. En nuestro caso, dado que este tipo de efectos no han sido por el momento implementados en el modelo, hemos optado por considerar que se produce una reflexión especular para esta situación..

- Los electrodos, donde se han considerado **condiciones de Dirichlet**, se suponen de carácter óhmico, esto es, son considerados como una región del dispositivo que permanece en equilibrio térmico incluso en el caso de que fluya una corriente a través de ella. Para ello, todos los portadores que llegan a un electrodo son absorbidos por él, y se inyectan en cada malla adyacente al contacto los portadores necesarios en cada paso temporal Δt con el objetivo de mantener la neutralidad de carga y el equilibrio térmico en la región adyacente al electrodo. Existen diferentes métodos de inyección de portadores: en nuestro ca-

so, hemos optado por una distribución hemi-Maxwelliana ponderada en velocidad [González y Pardo 1996], siendo los portadores inyectados con energía térmica ($3/2 K_B T$).

II. 3. f) Ionización por impacto

Como se observa en la Figura II.2, la única interacción directa entre los electrones y huecos en el simulador tiene lugar mediante mecanismos de generación-recombinación, de los cuales por su importancia en los dispositivos MOSFET hemos considerado la *ionización por impacto* [Sze 1981, Jacoboni y Lugli 1989, Tsividis 1999]. En general, se trata de un fenómeno caracterizado por una determinada energía umbral (E_{th}), de manera que los portadores con energías cinéticas superiores a ese umbral tienen una alta probabilidad de experimentar el fenómeno [Fischetti y Laux 1995]. Cuando un portador alcanza esas energías (que deben ser ligeramente superiores al gap del semiconductor), puede “impactar” contra electrón ligado a un átomo de la red e ionizarlo, produciendo un par electrón-hueco adicional (de ahí el nombre de ionización por impacto).

Este fenómeno ocurre bajo la acción de un campo eléctrico intenso, y puede llegar a afectar de manera notable al modo de operación del dispositivo, su rendimiento e incluso su durabilidad, especialmente en el caso de transistores MOSFET. En el caso de que estos portadores generados puedan alcanzar energías suficientemente elevadas, podrían provocar nuevas ionizaciones por impacto, pudiendo incluso llegar a producirse el llamado *fenómeno de avalancha* [Ravaioli *et al.* 1999, Wong 2000].

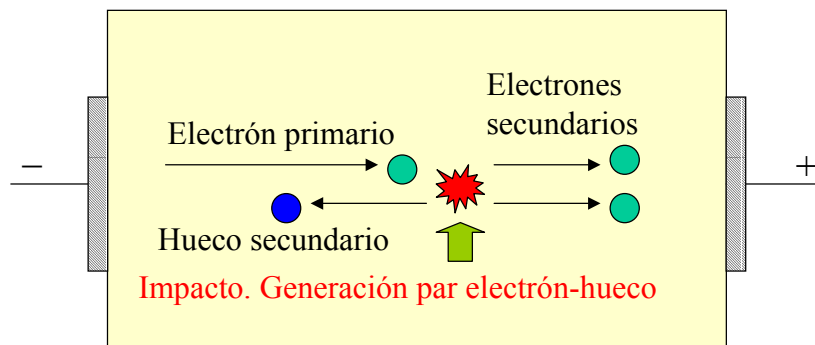


Figura II. 4. Esquema del fenómeno de la ionización por impacto en un dispositivo en general.

La ionización por impacto ha sido tratada ampliamente en transistores FET de la familia III-V mediante simulaciones MC2D [Dunn *et al.* 1997, Zandler *et al.* 1999, Di Carlo *et al.* 2000, Sleiman *et al.* 2001]. En el caso de material de Silicio, existen también numerosos trabajos [Tang y Hess 1993, Sano *et al.* 1990, Thoma *et al.* 1991, Cartier *et al.* 1993, Martín *et al.* 1993, Ershov y Ryzhii 1995]. En el caso de transistores MOSFET, existen algunos trabajos previos de simulación con herramientas MC2D que es necesario mencionar, tales como los de [Fischetti y Laux 1988, Duncan *et al.*, 1998, Ravaioli *et al.* 1999] para MOSFET convencional o los de

[Throngnumchai et al. 1986, Hulfachor *et al.* 1996] para el caso de transistores SOI. En cualquier caso, muchos de estos trabajos adolecen de la falta de un estudio global en profundidad de los efectos ocasionados por este fenómeno.

En general, dado que en esta Memoria nos vamos a ocupar de la simulación de dispositivos MOSFET canal n , nos centraremos en el fenómeno de ionización producida por electrones; en el rango de polarizaciones estudiado, el fenómeno de ionización debida a huecos es altamente improbable a causa de las energías que se alcanzan para este tipo de portadores. El carácter bipolar de nuestro simulador nos va a permitir tratar de manera natural los pares electrón-hueco generados. En nuestro caso, a pesar de que el fenómeno de ionización por impacto no es un mecanismo de *scattering* propiamente dicho, lo vamos a tratar como tal, con una probabilidad asociada dependiente de la energía del portador. Este método se suele emplear de manera habitual para tratar la ionización por impacto en simuladores Monte Carlo, dada la facilidad relativa para su implementación. Para ello, hemos empleado una ecuación de Kane [Kane 1967] ajustada para reproducir tanto los valores para la probabilidad de ionización por impacto como los valores experimentales del coeficiente de ionización disponibles en la literatura para Silicio material. La expresión de la probabilidad, así como los parámetros empleados en la simulación pueden encontrarse en el Apéndice 1.

Respecto a la implementación de este fenómeno en el simulador Monte Carlo en relación a las partículas en movimiento, el electrón que sufre el impacto pierde una energía igual al valor del *gap* más el doble de la energía térmica ($3/2 K_B T$) de los portadores. Las partículas generadas, un electrón y un hueco, se inicializan con la energía térmica, de manera que al final se impone la conservación total de la energía. También se impone la conservación del momento de las partículas, eligiéndose la orientación de los vectores de onda de acuerdo a una distribución isotrópica.

II. 3. g) Cálculo de la corriente. Teorema de Ramo-Shockley

El cálculo de la corriente en terminales es fundamental a la hora de afrontar el análisis de un dispositivo, tanto en los valores medios estacionarios (cálculo de características estáticas corriente-tensión), como en el estudio de transitorios de corriente (para el cálculo de parámetros de pequeña señal, que veremos posteriormente) y para el análisis de las fluctuaciones de corriente que van a permitir el estudio del ruido en el dispositivo. Por lo tanto, es necesario disponer de un cálculo preciso de la corriente en los terminales para cada uno de los intervalos de tiempo Δt en los que hemos dividido la simulación.

La manera más sencilla de evaluar la corriente en terminales consiste en contabilizar el número de partículas neto (con su carga y peso respectivos) que sale o entra en los terminales, y para tener en cuenta corrientes de desplazamiento, calcular la derivada del campo eléctrico en la

zona adyacente al contacto [Moglestue 1986, Moglestue 1993]. De esta manera es posible obtener una estimación de la corriente bastante razonable en términos de valores medios. Sin embargo, si se desea estudiar con precisión las fluctuaciones temporales de la corriente, este método no es el más adecuado pues conlleva mucho ruido matemático.

Para evaluar la corriente con mayor precisión, es conveniente tener en cuenta un mayor número de partículas (no sólo las que entran o salen del dispositivo en cada instante de tiempo). Existen diferentes técnicas para calcular la corriente en terminales, como la propuesta por [Gruzinkis *et al.* 1991], que se basa en el cómputo de la velocidad de los portadores que atraviesan una determinada región. Sin embargo, dadas las particularidades de la geometría de los transistores MOSFET, en nuestro caso hemos optado por implementar en nuestro simulador MC2D, por primera vez, una adaptación del teorema de Ramo-Shockley para realizar el cálculo de las corrientes en cada terminal del dispositivo [Shockley 1938, Ramo 1939, Kim *et al.* 1991, Babiker *et al.* 1998]. Este método va a ser detallado a continuación, puesto que permite un mejor tratamiento del cálculo de la corriente en un número arbitrario de terminales, sea cual sea la geometría de estos, con la característica particular de que tiene en cuenta la aportación de todas las partículas en el interior del dispositivo, con lo que se consigue una mayor precisión (y por tanto es el método más adecuado para el cálculo de parámetros dinámicos y el análisis de ruido). Por ello, aunque nuestro simulador ofrece la posibilidad de emplear cualquiera de los métodos mencionados con anterioridad para evaluar la corriente en terminales, los resultados mostrados en esta Tesis para parámetros dinámicos y de ruido corresponden al método adaptado al teorema de Ramo-Shockley (debemos mencionar que en cuanto a valores medios no se han observado diferencias apreciables entre los tres métodos).

El teorema de Ramo-Shockley se ideó originalmente para computar las corrientes instantáneas inducidas en conductores vecinos por el movimiento de un electrón en tubos de vacío [Shockley 1938, Ramo 1939]. De Visschere, en 1990, demostró que este teorema es generalmente válido incluso cuando en el dispositivo existen cargas espaciales fijas. Sin embargo, sólo consideró el caso en el que un número de electrodos están localizados en un medio con constante dieléctrica uniforme y mantenidos a potenciales constantes. Kim *et al.* en 1991 demostraron que el teorema de Ramo-Shockley derivado para medios homogéneos en presencia de cargas espaciales es válido para un medio dieléctrico inhomogéneo con una distribución de carga fija arbitraria bajo potenciales variables en los electrodos.

Vamos a continuación a detallar cómo se efectúa el cálculo de las corrientes a partir de este teorema en un dispositivo con geometría arbitraria. De una manera básica, el procedimiento consiste en la asignación de carga a cada uno de los electrodos del sistema, para posteriormente calcular la corriente a partir de las derivadas temporales de dicha carga. Consideremos que existen M electrodos localizados en un medio inhomogéneo cuya permitividad puede variar espacialmente, existiendo N partículas cargadas en el interior del sistema (Figura II. 5).

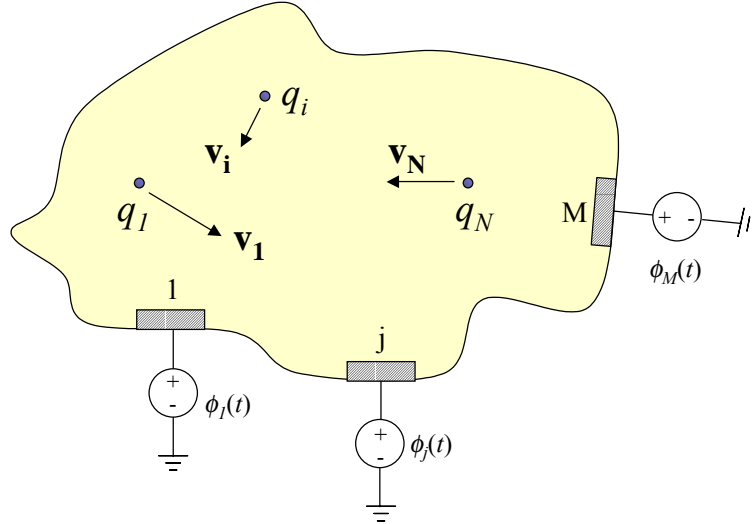


Figura II. 5. Representación simplificada de un sistema con M electrodos y N partículas cargadas desplazándose en su interior.

La densidad de carga ρ incluye las cargas libres móviles y las cargas espaciales fijas con velocidad $v = 0$:

$$\rho(\mathbf{r}, t) = \sum_{i=1}^N q_i \delta(\mathbf{r} - \mathbf{r}_i) \quad (\text{II. 15})$$

donde q_i es la carga de la partícula i -ésima, localizada en el punto r_i . Suponemos además que la permitividad es independiente del tiempo y del campo aplicado. Además suponemos que las trayectorias de las partículas y velocidades son conocidas (de acuerdo con la aproximación semiclásica). El potencial en cada instante de tiempo t y para cada punto del dispositivo puede descomponerse en dos contribuciones:

$$\varphi(\mathbf{r}, t) = \varphi'(\mathbf{r}, t) + \varphi''(\mathbf{r}, t) \quad (\text{II.16})$$

donde $\varphi'(\mathbf{r}, t)$ es el potencial debido a ρ cuando todos los electrodos están conectados a tierra, y $\varphi''(\mathbf{r}, t)$ el potencial debido a los voltajes externos aplicados cuando no hay cargas en el dispositivo ($\rho(\mathbf{r}, t) = 0$, para todo \mathbf{r}). Denotaremos por φ'_j a $\varphi'(\mathbf{r}, t)$ en el electrodo j , y φ''_j a $\varphi''(\mathbf{r}, t)$ en dicho electrodo.

Estas dos componentes del potencial verifican que:

$$-\nabla[\epsilon(\mathbf{r})\nabla\varphi'(\mathbf{r}, t)] = \rho(\mathbf{r}, t) \quad \text{con } \varphi'_{1} = \varphi'_{2} = \dots = \varphi'_{M} = 0 \quad (\text{II. 17})$$

$$-\nabla[\epsilon(\mathbf{r})\nabla\varphi''(\mathbf{r}, t)] = 0 \quad \text{con } \varphi''_{1} = \phi_1(t) \dots \varphi''_{M} = \phi_M(t) \quad (\text{II. 18})$$

Si aplicamos el teorema de Green, e integrando, es posible llegar a calcular la carga total asociada al electrodo j -ésimo, $Q_j(t)$, que consta de dos componentes, $Q'_j(t)$ y $Q''_j(t)$, siendo $Q'_j(t)$ la carga inducida en el electrodo j -ésimo por las N partículas cargadas, que vale:

$$Q'_j = -\sum_{i=1}^N q_i f_j(\mathbf{r}_i) \quad (\text{II. 19})$$

donde $f_j(\mathbf{r})$ corresponde al potencial eléctrico en la posición \mathbf{r} cuando el electrodo j -ésimo se mantiene a tensión 1 mientras los demás se ponen a tierra, y se quitan todas las cargas fijas y móviles de nuestro sistema. Este es un factor geométrico e independiente de la densidad de carga.

$Q''_j(t)$ es la carga inducida en el electrodo j -ésimo por $\phi_1(t), \phi_2(t), \dots, \phi_M(t)$ debido a efectos capacitivos, que viene dada por la expresión:

$$Q''_j = \int_{S_j} \epsilon(\mathbf{r}_s) \nabla \phi''(\mathbf{r}_s, t) d\mathbf{S} \quad (\text{II. 20})$$

donde S_j es la superficie del electrodo j -ésimo con vector normal $d\mathbf{S}$, y \mathbf{r}_s un vector de posición en la superficie.

Para calcular la corriente total que fluye en el electrodo j debemos diferenciar frente al tiempo la expresión para la carga total, de modo que tenemos dos componentes para la corriente, una asociada a la carga Q'_j y la otra asociada a Q''_j , que denotaremos por $i'_j(t)$ e $i''_j(t)$.

- $i'_j(t)$ es la contribución de los movimientos de las N partículas cargadas con potenciales fijos en los electrodos, mientras que $i''_j(t)$ es la corriente inducida debida a los potenciales variables en el tiempo de los electrodos a través de acoplamientos capacitivos entre los mismos. Mediante el teorema de Ramo-Shockley es posible calcular de manera directa la corriente $i'_j(t)$ en cada instante de tiempo [Kim *et al.* 1991]:

$$i'_j(t) = - \sum_{i=1}^N q_i \mathbf{v}_i(t) \nabla f_j(\mathbf{r}_i) \quad (\text{II. 21})$$

donde \mathbf{v}_i es la velocidad de la partícula i -ésima. De este modo, dado que es posible conocer la velocidad de cada partícula en cada paso temporal, se puede evaluar esta componente de la corriente de manera sencilla.

- Respecto a la segunda componente de la corriente, sólo es distinta de cero cuando existe un cambio de tensión en los terminales. La corriente en ese caso puede computarse a través de la matriz de capacidades C_{ji} asociada con los electrodos del dispositivo, que se evalúan mediante la resolución de la ecuación de Laplace con el potencial de cada electrodo a 0 y posteriormente con ΔV_j en en cada uno de ellos. [Babiker *et al.* 1998]:

$$C_{ji} = \frac{\Delta Q''_j}{\Delta V_i} \quad \text{y por tanto } i''_j(t) = C_{ji} \frac{\Delta V_i}{\Delta t} \quad (\text{II. 22})$$

Durante el resto del tiempo de simulación, la corriente de desplazamiento está relacionada con las cargas inducidas en el electrodo por las partículas móviles, que está computada en la componente $i'_j(t)$. La correcta evaluación de $i''_j(t)$ va a ser especialmente importante en el análisis de transitorios de corriente para el cálculo de parámetros de pequeña señal.

II. 3. h) Consideración de resistencias en serie en los contactos

A la hora de afrontar el estudio de dispositivos fabricados, es de vital importancia poder incluir el efecto de una resistencia macroscópica en serie con la parte del dispositivo simulada de modo microscópico, que vamos a denominar *dispositivo intrínseco*. En un dispositivo real, existe una resistencia en serie en los accesos del dispositivo, asociada a la resistencia de las conexiones, del contacto óhmico y la resistencia distribuida de la oblea [Sze 1981, Liou *et al.* 1998, Tsividis 1999]. Por tanto, este es un efecto que debe ser tenido en cuenta si se desea realizar una comparación efectiva de los resultados de la simulación con medidas experimentales.

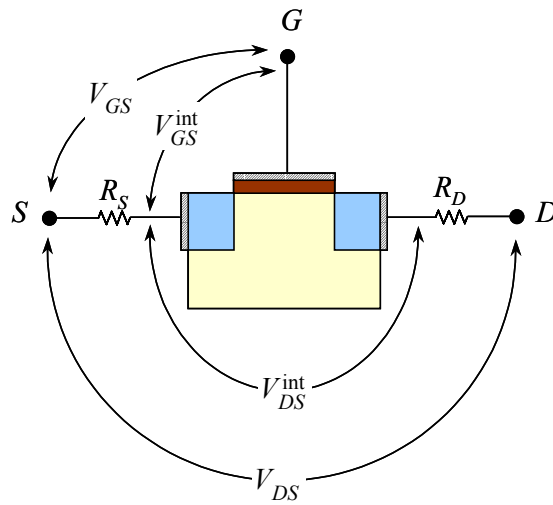


Figura II. 6. Representación de un transistor MOSFET con las resistencias serie de drenador y fuente asociadas

En el caso de un transistor de tipo MOSFET, debe tenerse en cuenta la caída de tensión en los terminales de puerta y drenador. Un esquema simplificado a nivel circuital para representar el efecto de estas resistencias es mostrado en la Figura II.6.

La caída de potencial para cada terminal debe ser considerada de manera autoconsistente para cada paso temporal a través de las expresiones [Liou *et al.* 1998, Tsividis 1999]:

$$V_{GS}^{int} = V_{GS} - R_S I_D \quad (\text{II. 23})$$

$$V_{DS}^{int} = V_{DS} - (R_S + R_D) I_D \quad (\text{II. 24})$$

donde V_{DS} y V_{GS} son los potenciales externos aplicados en los contactos, V_{DS}^{int} y V_{GS}^{int} los voltajes aplicados en el dispositivo intrínseco, R_S y R_D son las resistencias de los contactos de fuente y drenador e I_D es la corriente de drenador para cada paso temporal.

En nuestra simulación, tendremos en cuenta el efecto de las resistencias serie para el cálculo de las características estáticas y su comparación con los datos experimentales cuando sea procedente. Para la simulación de los parámetros de pequeña señal y de ruido, considerare-

mos los potenciales intrínsecos medios calculados en la simulación estática, para en un proceso posterior incluir el efecto de los parámetros extrínsecos, como veremos con posterioridad.

II. 4. Caracterización de pequeña señal

Una de las características principales del método de Monte Carlo de dispositivos es que permite estudiar la respuesta dinámica del dispositivo mediante el cálculo de los parámetros de pequeña señal, empleándose para ello con frecuencia un circuito equivalente que permita describir de una manera “física” cada uno de estos parámetros. A continuación vamos a estudiar el caso de dispositivos de tres terminales, puesto que a pesar de que un transistor MOSFET normalmente posee cuatro, en la práctica fuente y substrato suelen estar cortocircuitados en la mayoría de aplicaciones de alta frecuencia [Sung *et al.* 1998], por lo cual se les puede considerar como un único terminal a efectos del cálculo de parámetros de pequeña señal.

II. 4. a) Parámetros Admitancia

Para representar la respuesta dinámica de pequeña señal, con frecuencia se recurre a la representación del dispositivo como una “caja negra” con tres terminales, que pueda ser caracterizada por una serie de parámetros que relacionen magnitudes tales como la corriente o voltaje de la entrada con los que se obtienen a la salida [van der Ziel 1986, Vendelin *et al.* 1990, González G. 1997]. Existen diferentes conjuntos de parámetros con este fin, tales como los parámetros impedancia Z , los parámetros híbridos H , los parámetros S (que son los que usualmente se emplean en las medidas experimentales) o los parámetros admitancia Y , que son los que emplearemos en nuestros cálculos. El motivo de la elección de estos parámetros Y es que se pueden calcular directamente en la simulación Monte Carlo mediante el estudio de la respuesta transitoria (a través de un análisis de Fourier) de la corriente en los terminales cuando se aplica un salto de tensión en un terminal [Laux 1985]. Los parámetros Y se definen del siguiente modo [Vendelin *et al.* 1990]:

$$i_1(f) = Y_{11}(f)v_1(f) + Y_{12}(f)v_2(f) \quad (\text{II. 25})$$

$$i_2(f) = Y_{21}(f)v_1(f) + Y_{22}(f)v_2(f) \quad (\text{II. 26})$$

donde i representa la variación con respecto al valor estacionario de las corrientes y v respecto a los potenciales en terminales. Así, el parámetro Y_{jk} representaría, para cada frecuencia, la variación de corriente en el electrodo j cuando se aplica una variación de pequeña amplitud en el terminal k . Para el cálculo de estos parámetros con el método de Monte Carlo, se sigue el siguiente procedimiento [Laux 1985, González y Pardo 1995]: se aplica un salto de potencial ΔV_j en un determinado instante de tiempo, y se registra el valor de corriente en los terminales para

cada paso temporal mientras dure el transitorio hasta alcanzar de nuevo el estado estacionario. Posteriormente, es posible calcular los parámetros mediante la siguiente expresión:

$$Y_{jk}(f) = \frac{\int_0^{\infty} [I_j(t) - I_j(0)] e^{-j2\pi ft} dt}{\int_0^{\infty} \Delta V_k e^{-j2\pi ft} dt} = \frac{\int_0^{\infty} [I_j(t) - I_j(0)] e^{-j2\pi ft} dt}{\frac{j\Delta V_k}{\omega}} \quad (\text{II. 27})$$

siendo $I_j(0)$ e $I_j(\infty)$ las corrientes estacionarias antes y después del salto en el electrodo j . De este modo, las partes real e imaginaria de este parámetro pueden calcularse mediante [Laux 1985, Moglestue 1993, Tomizawa 1993]:

$$\text{Re}[Y_{jk}(f)] = \frac{I_j(\infty) - I_j(0)}{\Delta V_k} + \frac{\omega}{\Delta V_k} \int_0^{\infty} [I_j(t) - I_j(\infty)] \text{sen}(2\pi ft) dt \quad (\text{II. 28})$$

$$\text{Im}[Y_{jk}(f)] = \frac{\omega}{\Delta V_k} \int_0^{\infty} [I_j(t) - I_j(\infty)] \text{cos}(2\pi ft) dt \quad (\text{II. 29})$$

Por tanto, para calcular los cuatro parámetros Y complejos que permiten describir un MOSFET (considerado como un dispositivo con dos puertos) para todas las frecuencias, es suficiente efectuar dos simulaciones, una en la que se aplique un salto de voltaje en el terminal de puerta (que permite calcular Y_{11} e Y_{21}) y otra en el terminal de drenador (que nos va a permitir calcular Y_{12} e Y_{22}).

II. 4. b) Circuito equivalente de pequeña señal

La determinación de los cuatro parámetros Y dependientes de la frecuencia sería suficiente para describir la respuesta dinámica de pequeña señal del dispositivo. Sin embargo, estos parámetros no proporcionan ninguna información acerca del comportamiento “físico” del sistema, ya que representan al dispositivo en su conjunto como una especie de “caja negra”, sin dar ninguna información acerca de lo que sucede en su interior. Para ello, suele ser conveniente describir el dispositivo en términos de un circuito equivalente, cuyos parámetros componentes estén asociados de alguna manera al comportamiento de ciertas regiones del dispositivo y los procesos que tienen lugar en el mismo [González y Pardo 1995, Tsvividis 1999]. Dichos parámetros pueden ser calculados a partir de los parámetros admitancia [Dambrine *et al.* 1988, Berroth y Bosch 1990], y además son independientes con f para el rango de frecuencias en el que es válido el circuito equivalente; la dependencia con la frecuencia de la respuesta dinámica del sistema puede deducirse de manera directa del propio circuito equivalente de pequeña señal.

Existen diferentes opciones a la hora de elegir la representación del circuito equivalente. En nuestro caso, hemos elegido la topología más común para representar un FET en configuración de fuente común (ver Figura II. 7), que también es usualmente utilizada en concreto para el

estudio de transistores de tipo MOSFET [Dambrine *et al.* 1999, Manku 1999, Flandre *et al.* 2001].

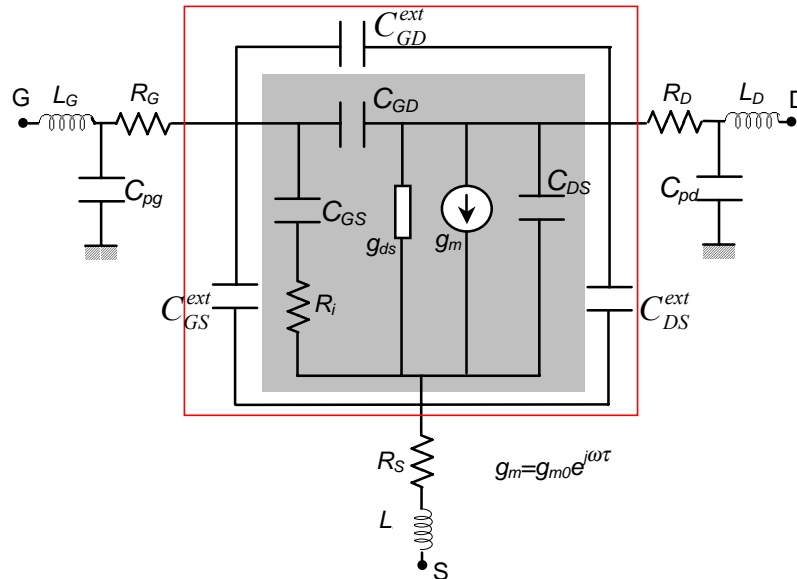


Figura II. 7. Circuito equivalente de pequeña señal en el que se tienen en cuenta los parámetros extrínsecos. La zona sombreada representa el circuito equivalente intrínseco calculado con el MC2D

El circuito equivalente consta de varias partes:

1) En primer lugar, la zona sombreada corresponde al dispositivo puramente intrínseco, cuyos parámetros se pueden calcular de manera directa con el simulador MC2D[‡]. Se ha optado por una formulación no cuasi-estática[§] con el fin de tener en cuenta los efectos de los retardos de propagación en el canal, y por tanto extender la validez del modelo hasta al menos la frecuencia de corte del transistor. La necesidad de emplear esta formulación en el estudio de la respuesta dinámica de los MOSFET ha sido demostrada tanto en la teoría [Tsividis 1999] como en la práctica, a través de medidas experimentales [Eggermont *et al.* 1997]. Los elementos de los que consta el circuito equivalente del dispositivo intrínseco son dependientes de la polarización y del tamaño de la zona activa, y deben ser independientes de la frecuencia al menos hasta la frecuencia de corte del transistor para garantizar su validez [Raskin *et al.* 1998]:

- C_{GS} y C_{GD} son las **capacidades puerta-fuente** y **puerta-drenador**, y se encuentran asociadas fundamentalmente a la variación de la carga (de inversión y de vaciamiento) en la parte del semiconductor bajo la puerta en la región próxima a la fuente y en la región próxima al drenador, respectivamente [Tsividis 1999]. C_{DS} es la **capacidad drenador-fuente**, que da cuenta de los efectos capacitivos aso-

[‡] Este circuito equivalente será el que corresponda a los transistores simulados, como es el caso de los MOSFET con geometría convencional estudiados en el Capítulo 3.

[§] En la aproximación cuasi-estática, se considera que las corrientes y cargas en el dispositivo responden de manera instantánea a las variaciones locales de voltaje. Sin embargo, esta consideración no es válida para frecuencias de operación en el rango de RF y microondas, ya que la capa de inversión no es capaz de responder de manera instantánea a variaciones de la tensión local a esas frecuencias [Tsividis 1999]

ciados a la variación de las zonas de carga espacial de las uniones fuente-substrato y drenador-substrato. Determinar con precisión esta capacidad es importante pues es una medida de la importancia del acoplamiento con el substrato en la respuesta dinámica global del transistor [Rengel *et al.* 2002].

- g_{ds} es la **conductancia de salida**, y su inverso se corresponde con la resistencia incremental del dispositivo en condiciones de tensión de puerta constante. g_m es la **transconductancia**, que puede ser definida como la relación entre el incremento de corriente en el drenador frente a una variación en la tensión de puerta. Se trata de un parámetro importante, frecuentemente empleado en la caracterización de los transistores, ya que da una idea del control que la tensión de puerta ejerce sobre la corriente de salida, y representa en cierto modo la capacidad de amplificación del dispositivo [Colinge 1998]. Además, es un elemento importante en algunos factores de mérito en el estudio del comportamiento a alta frecuencia de los MOSFET, como es la relación g_m/I_D [Silveira *et al.* 1996, Colinge 1998] o la frecuencia de corte f_T [Tsividis 1999].
- R_i es la resistencia de carga del canal. Su presencia, conjuntamente con la capacidad C_{GS} , responde al hecho de que la carga en el canal no es capaz de responder de manera instantánea a las variaciones del voltaje entre puerta y fuente. Dada su naturaleza, es un parámetro no cuasiestático que tiene en cuenta el efecto distribuido del canal, esto es, los portadores en un determinado punto “ven” un elemento resistivo hacia la fuente y un elemento capacitivo hacia la puerta [Manku 1999].
- τ es el retardo de la transconductancia, que da cuenta del hecho de que g_m no es capaz de responder de manera instantánea a cambios en el voltaje de puerta. Desde un punto de vista físico, representa el tiempo que tarda la carga en el canal en redistribuirse tras una variación en la tensión de puerta, y se encuentra relacionada de manera directa con el tiempo de carga de la capacidad C_{gs} a través de la resistencia R_i [Manku 1999].

2) En el caso de un dispositivo real, es necesario considerar una serie de efectos parásitos que representamos en el circuito equivalente mediante una serie de *elementos extrínsecos*, (que se consideran independientes de la polarización) lo que nos permite efectuar la comparación de los resultados de la simulación con las medidas experimentales, como haremos en el caso de transistores SOI MOSFET.

- Para representar los efectos parásitos en capacidad de la topología del dispositivo, se han considerado las capacidades extrínsecas C_{gs}^{ext} , C_{gd}^{ext} y C_{ds}^{ext} (recuadro rojo

en la Figura [II.7]) que dependen de la geometría de los accesos [Dambrine *et al.* 1999].

- Finalmente, se tienen en cuenta los elementos extrínsecos asociados a los contactos, tales como resistencias de los accesos (R_S , R_G y R_D) o inductancias y capacidades de los contactos (L_S , L_G , L_D , C_{pg} y C_{pd}) [Tsvividis 1999].

En los resultados experimentales que mostraremos, para calcular los parámetros intrínsecos se ha descontado el efecto de las resistencias, capacidades e inductancias de los contactos [Dambrine *et al.* 1988], pero no el de las capacidades parásitas anteriormente mencionadas ya que no es posible evaluarlas de manera experimental. Este efecto tampoco puede ser simulado de manera directa en un modelo bidimensional, pero sin embargo puede ser considerado en los resultados Monte Carlo mediante un procedimiento analítico posterior [Mateos *et al.* 2000], de modo que sea posible efectuar la comparación entre los resultados experimentales y los simulados. El valor de estas capacidades se puede determinar como la diferencia entre los datos experimentales y los resultados Monte Carlo a corriente cero, donde sólo aparecen los efectos asociados a capacidades geométricas, tanto intrínsecas como extrínsecas. Consecuentemente, los parámetros Y calculados mediante el método de Monte Carlo (que vamos a denotar por Y_{ij}^{MC}) deben ser modificados mediante las siguientes relaciones analíticas:

$$\begin{aligned} Y_{11} &= Y_{11}^{MC} + j\omega(C_{gs}^{ext} + C_{gd}^{ext}); & Y_{12} &= Y_{12}^{MC} - j\omega C_{gd}^{ext} \\ Y_{21} &= Y_{21}^{MC} - j\omega C_{gd}^{ext}; & Y_{22} &= Y_{22}^{MC} + j\omega(C_{ds}^{ext} + C_{gd}^{ext}) \end{aligned} \quad (\text{II. 30})$$

Con estos nuevos parámetros Y , es posible calcular de nuevo los parámetros del circuito equivalente obtenidos con el MC2D, y de este modo, podemos comparar los resultados de nuestra simulación con los experimentales “intrínsecos”, que han sido extraídos a partir de los parámetros S medidos en laboratorio.

II. 5. Caracterización de ruido

En Electrónica, cuando se trata de medir o amplificar señales de pequeña amplitud, se llega a un límite inferior de la señal impuesto por fluctuaciones de carácter aleatorio en corriente, voltaje o temperatura en los dispositivos. Estas fluctuaciones se conocen usualmente con el nombre de *ruido electrónico* [van der Ziel 1970, 1986]. El ruido representa un problema importante en ciencia e ingeniería, ya que impone un límite a la precisión de cualquier medida y a la amplitud de las señales que pueden ser procesadas. Se impone por lo tanto la necesidad de conocer las diferentes fuentes de ruido, así como su origen físico, con el objetivo de optimizar el diseño de los dispositivos y poder minimizar sus efectos.

Entre las diferentes técnicas que existen a la hora de afrontar la simulación de procesos de ruido, el método de Monte Carlo es la más adecuada, dado que al consistir en una aproxima-

ción de carácter microscópico al estudio del transporte de los portadores, incluye de manera natural los procesos aleatorios asociados al mismo, con lo que se convierte en la herramienta ideal para llevar a cabo esta tarea. Las ventajas en este aspecto respecto a otros métodos son enormes, pues no es necesario establecer ningún tipo de aproximación respecto a las fuentes de ruido ni a sus correlaciones, sino que estas *pueden ser calculadas directamente* a través del método [Kuhn *et al.* 1990, Cappy 1993, Varani *et al.* 1994]. El cálculo y análisis de los parámetros de ruido es el último paso a la hora de estudiar el comportamiento de un dispositivo, siendo necesario previamente investigar la respuesta estática y dinámica del mismo, dado que el comportamiento en ruido está relacionado con el régimen de operación y polarización en terminales, así como por su respuesta de pequeña señal [van der Ziel 1986].

II. 5. a) Magnitudes básicas en el estudio del ruido

A continuación vamos a detallar brevemente cuáles son las principales magnitudes que permiten estudiar las fluctuaciones de carácter aleatorio de una magnitud dada (bien sea corriente, voltaje, o cualquier otra magnitud), que vamos a llamar A . Denotaremos por \bar{A} al valor medio de la misma; las fluctuaciones, por tanto, vendrán caracterizadas por la diferencia del valor de A en cada instante de tiempo y su valor medio: $\delta A(t) = A(t) - \bar{A}$ [van der Ziel 1986]. El método de Monte Carlo permite determinar de manera muy sencilla el valor de $\delta A(t)$, siendo por ejemplo $\delta A(t)$ la fluctuación instantánea de la corriente.

Uno de los métodos más útiles para analizar la dependencia con la frecuencia de cantidades que fluctúan, es el método de Fourier, que permite describir una cantidad que fluctúa en términos de su densidad espectral, que vamos a denotar por $S_A(f)$, donde f es la frecuencia. Determinar esta magnitud es muy útil, porque en numerosos casos puede ser determinado de manera experimental con medidas directas en laboratorio. Para calcular la densidad espectral, previamente es necesario calcular la función de autocorrelación de A , que viene dada por:

$$C_A(t) = \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T \delta A(t') \delta A(t'+t) dt' \quad (\text{II. 31})$$

y a través de la transformada de Fourier, podemos calcular la densidad espectral [McQuarrie 1976]:

$$S_A(f) = 2 \int_{-\infty}^{\infty} C_A(t) e^{j2\pi ft} dt, \text{ en nuestro caso } S_A(f) = 2\Delta t \sum_{m=-k}^k C_A(m\Delta t) \cos(2\pi f m \Delta t) \quad (\text{II. 32})$$

el factor 2 aparece porque solo integramos en t para el rango de frecuencias positivas. Dado que cualquier función de autocorrelación es par, la densidad espectral de una determinada magnitud será una variable real.

Desde otro punto de vista, la introducción de esta cantidad permite representar, por ejemplo, un voltaje fluctuante, $V(t)$ en un intervalo de frecuencia pequeño Δf por una fuente de ruido en voltaje $\sqrt{S_V(f)\Delta f}$. De manera análoga, una corriente que fluctúa, $I(t)$, se puede representar en el intervalo Δf por $\sqrt{S_I(f)\Delta f}$ [van der Ziel 1986]. En este trabajo, nos centraremos en el análisis de las fluctuaciones de corriente en terminales, dado que es más adecuado para efectuar una comparación directa con las medidas experimentales.

También es posible calcular la correlación entre dos magnitudes fluctuantes, de la siguiente manera [van der Ziel 1986]:

$$C_{AB}(t) = \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T \delta A(t') \delta B(t'+t) dt' \quad (\text{II. 33})$$

en este caso, las densidades espectrales resultantes serán complejas. Por ejemplo, en nuestro caso efectuaremos el estudio de las correlaciones cruzadas entre las corrientes de fuente y drenador.

II. 5. b) Parámetros de ruido. Análisis de ruido en un dispositivo de 3 terminales

En el caso del estudio del ruido en un dispositivo, no es conveniente hacerlo de manera directa a través de la densidad espectral de las fluctuaciones de corriente dado que no se trata de un parámetro normalizado, por lo que no permite efectuar comparaciones directas entre dispositivos diferentes. Con este objetivo, se emplean una serie de parámetros normalizados, algunos de los cuales pueden ser medidos en el laboratorio. A continuación vamos a describir los parámetros más interesantes para el estudio de ruido en un dispositivo de efecto de campo de 3 terminales, como es el caso de los transistores MOSFET estudiados en esta Tesis.

Para poder facilitar el estudio del fenómeno, con frecuencia se representa al dispositivo (en configuración de fuente común) como un cuadripolo de dos puertos sin ruido (que viene representado por los parámetros de pequeña señal), conectado con dos fuentes de ruido en co-

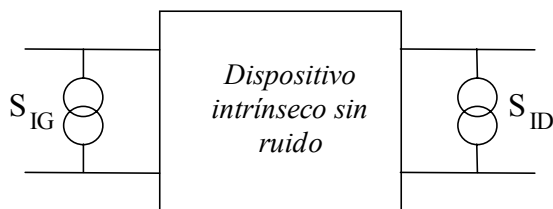


Figura II. 8. Representación circuital del ruido en un dispositivo de tres terminales.

riente, una a la entrada, la puerta, y la otra a la salida, el drenador (ver Figura II.8) [van der Ziel 1986]. Ambas fuentes de ruido se encuentran correlacionadas. Las fuentes de ruido, descritas a

través de las densidades espectrales de las fluctuaciones de corriente, pueden calcularse directamente y de manera sencilla a través del método de Monte Carlo, lo que supone una clarísima ventaja frente a otros métodos. Por tanto, serán necesarios cuatro parámetros (S_{ID} , para la co-

riente de drenador, S_{IG} , para la corriente de puerta, y las partes real e imaginaria de S_{IGID} para la correlación cruzada, dado que esta última es compleja) para poder describir el ruido de un dispositivo de 3 terminales**.

Un transistor de efecto de campo opera mediante la modulación de la resistencia de un canal, por lo que es de esperar que se genere ruido térmico en el mismo (en el caso de un MOSFET, se trataría de ruido de difusión, pero si la relación de Einstein se cumple para los portadores en el canal entonces podemos hablar de ruido térmico), que debe estar asociado con la densidad espectral de las fluctuaciones de la corriente de drenador. Por otra parte, hay que señalar que en el rango de radiofrecuencias y microondas, el MOSFET puede ser considerado como una red RC distribuida, en la cual la resistencia distribuida representa al canal conductor (que lleva asociada S_{ID} como acabamos de mencionar), mientras que la capacidad distribuida representa el acoplamiento capacitivo en puerta. Las fluctuaciones aleatorias de carga bajo la puerta deben generar una fuente de ruido adicional en el terminal de puerta [Halladay y van der Ziel 1969, van der Ziel 1986, Tsividis 1999, Tedja *et al.* 1994, Triantis *et al.* 1997, Shaeffer y Lee 1997, Chen y Deen 1998, Enz y Cheng 2000]. Esta fuente de ruido se puede caracterizar a través de la densidad espectral de las fluctuaciones de la corriente de puerta (S_{IG}), ya que a pesar de que en media esta corriente sea nula, su valor instantáneo no lo es. Solemos referirnos a este fenómeno como **ruido inducido en puerta**, y su importancia es determinante en ciertos parámetros que veremos con posterioridad, como la figura mínima. En numerosas ocasiones esta es una fuente de ruido que no es tenida en cuenta dadas las dificultades de muchos métodos para determinarla adecuadamente, a pesar de que su correcta consideración es vital para un análisis preciso del fenómeno del ruido en un dispositivo tipo MOSFET [Shaeffer y Lee 1997]. El método de Monte Carlo nos permitirá calcular las diferentes fuentes de ruido de manera natural, sin efectuar ninguna suposición acerca de su origen, lo que nos permitirá contrastar las consideraciones que acabamos de mencionar.

II. 5. c) Parámetros α , β y C

Como vemos, las densidades espectrales de las fluctuaciones de las corrientes son las que se emplean para describir las fuentes de ruido. Sin embargo, con frecuencia las densidades espectrales son normalizadas con el fin de obtener una serie de parámetros adimensionales que proporcionen la misma información, pero que permitan una comparación directa entre dispositivos. Con este objetivo, se definen los parámetros α , β y C (P , R y C en la nomenclatura general

** Existen otras posibles representaciones para el ruido en un dispositivo de 3 terminales, tales como considerar una fuente de ruido en voltaje y otra en corriente, ambas en la entrada, o bien considerando dos fuentes de ruido en voltaje. En nuestro caso se elige esta configuración ya que con el MC2D es sencillo realizar el análisis de las fluctuaciones de corriente en puerta y drenador.

para un FET), directamente ligados a las densidades espectrales y a los parámetros Y , que constituyen una de las representaciones más comunes para estudiar el ruido en transistores de efecto de campo [Pucel *et al.* 1974, van der Ziel 1986, Taylor *et al.* 1991, Greaves y Unwin 1993, Danneville *et al.* 1994, 1995, Dambrine *et al.* 1999]:

$$\alpha = \frac{S_{ID}}{4K_B T |Y_{21}|} \quad (\text{II. 34})$$

$$\beta = \frac{S_{IG} |Y_{21}|}{4K_B T |Y_{11}|^2} \quad (\text{II. 35})$$

$$C = \text{Im} \left(\frac{S_{IGID}}{\sqrt{S_{IG} S_{ID}}} \right) \quad (\text{II. 36})$$

α representa el ruido en la corriente de drenador producido por las fluctuaciones de la velocidad de los portadores en el canal conductor. β está asociado al ruido inducido en el terminal de puerta por las fluctuaciones de carga en el canal, mientras que C representa la correlación entre ambas fuentes de ruido. Usualmente, la parte real de la densidad espectral de la correlación cruzada es despreciable frente al valor de la parte imaginaria en el rango de RF y microondas [van der Ziel 1986]. Nuestro simulador nos permitirá evaluar la validez de esta suposición.

Para el caso de un dispositivo de canal largo, es posible determinar estos parámetros de manera analítica realizando ciertas simplificaciones. En la región de saturación, asumiendo las hipótesis del modelo cuadrático (que veremos con posterioridad en el Capítulo 3) y suponiendo que los portadores se encuentran en equilibrio térmico con la red, se puede concluir que los valores teóricos de estos parámetros son $\alpha = 2/3$, $\beta = 0.3$ y $C = 0.395$ [van der Ziel 1986]. Más adelante, discutiremos la validez de estos cálculos para el caso de transistores submicrométricos.

II. 5. d) Figura mínima de ruido. Resistencia de ruido. Ganancia asociada

A pesar de que los parámetros α , β y C son ampliamente utilizados en la descripción del ruido en los dispositivos, la forma más habitual de medir el ruido del dispositivo en un laboratorio de manera experimental es a través de la llamada *figura mínima de ruido* (NF_{min})^{††} [van der Ziel 1986, Vendelin *et al.* 1990, Chen *et al.* 1998, Razavi 1998, Grosch 1999]. Este parámetro se define como el cociente entre el valor de la relación señal-ruido a la entrada del dispositivo y su valor a la salida. Nos da una idea de cómo el dispositivo hace aumentar el nivel de ruido de la señal que pasa por él, es decir, el ruido en exceso que introducen tanto los elementos extrínsecos como el dispositivo intrínseco.

^{††} En el caso de dispositivos con 2 terminales, se emplea la *temperatura de ruido* como el parámetro más significativo. Dicho parámetro representa la temperatura a la que tendría que elevarse el dispositivo (con la misma admitancia) para que en equilibrio y a temperatura ambiente produjera el mismo ruido que bajo la polarización aplicada.

Con frecuencia, para la caracterización del ruido se emplea únicamente este parámetro, lo cual no es adecuado dado que no proporciona toda la información necesaria para describir este fenómeno. En un dispositivo de 3 terminales, para realizar una caracterización completa del ruido del dispositivo es necesario emplear cuatro parámetros [Cappy 1988, Dambrine *et al.* 1999]. Según esta descripción, además de la figura mínima de ruido, son necesarias la resistencia de ruido (R_n), y las partes real e imaginaria de la admitancia óptima (Y_{opt}), que es la admitancia que habría que conectar en la entrada para tener la condición de mínimo ruido, o bien de su equivalente el coeficiente de reflexión complejo:

$$\Gamma_{opt} = \frac{Y_0 - Y_{opt}}{Y_0 + Y_{opt}} \quad (\text{II. 37})$$

donde Y_0 es el inverso de la impedancia característica del sistema, usualmente 50Ω . La resistencia de ruido R_n da idea de cómo la figura de ruido aumenta cuando la admitancia de entrada es diferente de Y_{opt} , y en condiciones intrínsecas su valor es tal que el ruido de difusión generado por ella correspondería al valor del ruido de la corriente de drenador. Con frecuencia estos cuatro parámetros se complementan con la ganancia asociada, G_{ass} , que se define como la ganancia del dispositivo cuando la impedancia de entrada al mismo es Y_{opt} , y que indica la capacidad del dispositivo de amplificar una señal en condiciones de ruido mínimo.

Los cuatro parámetros de ruido se encuentran relacionados a través de la siguiente expresión [Vendelin *et al.* 1990], que proporciona la figura de ruido del dispositivo:

$$NF(\Gamma_s) = NF_{min} + \frac{4 \frac{R_n}{Z_0}}{|1 + \Gamma_{opt}|^2} \frac{|\Gamma_s - \Gamma_{opt}|^2}{1 - |\Gamma_s|^2} \quad (\text{II. 38})$$

donde Γ_s es el coeficiente de reflexión de la admitancia de entrada del dispositivo.

La simulación Monte Carlo, en principio, proporciona la información de ruido asociada al dispositivo intrínseco. En el caso de dispositivos fabricados, es necesario añadir el efecto de los elementos parásitos del circuito equivalente (tanto en las fuentes de ruido como en los parámetros admitancia) para poder efectuar una comparación adecuada entre los resultados de la simulación y las medidas experimentales. De este modo, debemos considerar por una parte las fuentes de ruido asociadas al dispositivo intrínseco, y por otra parte las asociadas a los elementos parásitos. El proceso para calcularlas ha sido extraído del trabajo de [Greaves y Unwin 1993] a partir de las expresiones proporcionadas por [Rothe y Dalke 1956]. Respecto a las fuentes intrínsecas de ruido, tenemos:

$$G_{n1} = \frac{1}{|\Delta|^2} (g_m \alpha |Y_{11}|^2 + \frac{(\omega C_{gs} |Y_{21}|)^2 \beta}{g_m} + 2\omega C_{gs} \sqrt{\alpha \beta} C \text{Im}(Y_{21} Y_{11}^*)) \quad (\text{II. 39})$$

$$R_{n1} = \frac{1}{|\Delta|^2} (g_m \alpha |\Delta|^2 + \frac{(\omega C_{gs} |B|)^2 \beta}{g_m} + 2\omega C_{gs} \sqrt{\alpha\beta} C \operatorname{Im}(A^* B)) \quad (\text{II. 40})$$

$$Y_{cor1} = \frac{1}{R_{n1}} \frac{1}{|\Delta|^2} (g_m \alpha Y_{11} A^* + \frac{(\omega C_{gs})^2 Y_{21} B^* \beta}{g_m} - j\omega C_{gs} \sqrt{\alpha\beta} C (Y_{21} A^* - Y_{11} B^*)) \quad (\text{II. 41})$$

donde

$$A = (Z_g + Z_s)Y_{11} + Z_s Y_{12} + 1 \quad (\text{II. 42})$$

$$B = (Z_g + Z_s)Y_{21} + Z_s Y_{22} \quad (\text{II. 43})$$

$$\Delta = AY_{21} - BY_{11} \quad (\text{II. 44})$$

$$\delta = Y_{22}Y_{11} - Y_{21}Y_{12} \quad (\text{II. 45})$$

$$Z_g = R_g + j\omega L_g \quad (\text{II. 46})$$

$$Z_s = R_s + j\omega L_s \quad (\text{II. 47})$$

Respecto a la parte asociada a los parámetros extrínsecos, puede ser calculada a partir de las siguientes ecuaciones:

$$G_{n2} = \frac{(R_d + R_s)}{|\Delta|^2} |\delta|^2 \quad (\text{II. 48})$$

$$R_{n2} = R_g + \frac{1}{|\Delta|^2} (R_d |Y_{22}A - Y_{11}B|^2) + \frac{1}{|\Delta|^2} (R_s |A(Y_{21} + Y_{22}) - B(Y_{11} + Y_{12})|^2) \quad (\text{II. 49})$$

$$Y_{cor2} = \frac{1}{R_{n2}} \frac{\delta}{|\Delta|^2} (R_d (Y_{22}A - Y_{21}B)^* + R_s (A(Y_{21} + Y_{22}) - B(Y_{12} + Y_{11}))^*) \quad (\text{II. 50})$$

Llegados a este punto, podemos calcular la resistencia de ruido total, así como G_n y la admitancia de correlación totales.

$$R_n = R_{n1} + R_{n2} \quad (\text{II. 51})$$

$$G_n = G_{n1} + G_{n2} \quad (\text{II. 52})$$

$$Y_{cor} = \frac{Y_{cor1}R_{n1} + Y_{cor2}R_{n2}}{R_n} \quad (\text{II. 53})$$

Finalmente, podemos calcular la admitancia óptima, el coeficiente de reflexión, la figura mínima de ruido y la ganancia asociada:

$$Y_{opt} = G_{opt} + jB_{opt} \quad (\text{II. 54})$$

$$G_{opt} = \sqrt{\frac{G_n}{R_n} - (\operatorname{Im}(Y_{cor}))^2} \quad (\text{II. 55})$$

$$B_{opt} = -\operatorname{Im}(Y_{cor}) \quad (\text{II. 56})$$

$$\Gamma_{opt} = \frac{1 - Z_0 Y_{opt}}{1 + Z_0 Y_{opt}} \quad (\text{II. 57})$$

$$G_{ass} = \frac{\operatorname{Re}(Y_{opt})}{\operatorname{Re}\left(Y_{22} - \frac{Y_{21}Y_{12}}{Y_{opt} + Y_{11}}\right)} \left| \frac{Y_{21}}{Y_{opt} + Y_{11}} \right|^2 \quad (\text{II. 58})$$

$$NF_{\min} = 10 \log(1 + 2R_n(\operatorname{Re}(Y_{cor}) + G_{opt})) \quad (\text{II. 59})$$

expresada la figura mínima en dB.

III. El transistor MOSFET: análisis cuantitativo

Hallaremos un camino, y si no, lo crearemos

Aníbal (247 a. C. – 183 a. C.)

EN este capítulo vamos a examinar en profundidad el funcionamiento del transistor MOSFET. En el Apartado III.1 comenzaremos por fundamentar las razones que han llevado a la industria a elegir las tecnologías de Silicio como base para la mayoría de las aplicaciones electrónicas actuales. Seguidamente, en la Sección III.2 estudiaremos con detalle la estructura Metal-Óxido-Semiconductor (MOS), tanto de manera cualitativa como cuantitativa, contrastando los resultados obtenidos mediante nuestro simulador con los ofrecidos por la teoría analítica. Dado que esta estructura es la base del funcionamiento de los transistores MOSFET, tanto convencionales como SOI, es necesario detenerse en este punto y realizar su estudio de manera detallada.

Posteriormente, en la Sección III.3 abordaremos el estudio de un transistor *bulk* MOSFET con longitud de puerta de 1 μm . El motivo de la elección de esta longitud de puerta es el poder afrontar la simulación de un transistor con la longitud de puerta lo mayor posible sin que el tiempo de CPU resulte prohibitivo. Nuestro objetivo en este apartado será doble. Por una parte, examinaremos en profundidad la física subyacente del dispositivo, aprovechando toda la información que nos proporciona el simulador MC2D para efectuar un estudio detallado a nivel microscópico del funcionamiento interno del transistor. Por otra parte, efectuaremos una comparación entre los resultados de nuestro simulador (que es capaz de reproducir de manera correcta

los efectos que tienen lugar en dispositivos reales) y los ofrecidos por los modelos analíticos más sencillos para el estudio de las características del transistor MOSFET.

Este es un paso fundamental para poder abordar con garantías el estudio de transistores MOSFET submicrométricos convencionales y SOI, protagonistas de los subsiguientes capítulos y objetivo primordial del presente trabajo.

III. 1. El porqué del Silicio

Como ya hemos señalado en la Introducción, la industria de los semiconductores (especialmente en aplicaciones analógicas a relativamente bajas frecuencias y en aplicaciones digitales) se basa fundamentalmente en las tecnologías del Si y en particular en los dispositivos de tipo MOSFET [SIA 2001]. Si tomamos en consideración por ejemplo el GaAs, el material semiconductor más utilizado después del Si, vemos que este último presenta, en teoría, claras desventajas frente a aquel [Ghandhi 1994].

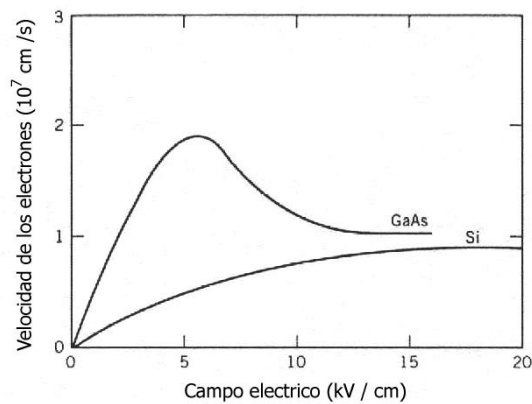


Figura III. 1. Velocidad de los electrones en GaAs y en Si

En primer lugar, la masa efectiva de los electrones en la banda de conducción es mayor en el caso del Si, con lo cual la movilidad y velocidad a bajo campo de los portadores (Figura III.1) es mucho mayor en el GaAs (más de 5 veces superior para el caso del material intrínseco a temperatura ambiente) [Ghandhi 1995]. Esto permite que los dispositivos fabricados con GaAs sean fundamentalmente mucho más rápidos operando a voltajes menores [Welch 1980], con las ventajas que todo ello supone.

En segundo lugar, el hecho de que el GaAs presente movilidad diferencial negativa a partir de determinados valores de campo eléctrico hace que sea un material ideal para la fabricación de osciladores de microondas (osciladores *Gunn*) [Hilsum 1962, McCumber y Chynoweth 1966]. Por otra parte, el GaAs posee un gap directo, con lo cual es adecuado para la fabricación de dispositivos optoelectrónicos, mientras que el gap del Si es indirecto, y por tanto no es adecuado para este propósito [Sze 1981, Ghandhi 1994].

Finalmente, dado que el gap del GaAs es mayor que el del Si, es más sencillo conseguir un sustrato de GaAs que sea semi-aislante, con lo que se reducen notablemente los efectos parásitos asociados al mal aislamiento entre dispositivos adyacentes.

La primera pregunta que surge por tanto es: ¿a qué se debe la elección del Si como material de base para la tecnología de semiconductores? Vamos a intentar responder brevemente a esta cuestión.

El Si es muy abundante en la naturaleza, y por tanto sus procesos de extracción y síntesis son mucho más baratos que los de otros materiales semiconductores. Además se trata de un semiconductor elemental, con lo cual es posible someterlo a una amplia variedad de procesos tecnológicos sin los problemas de descomposición que muchas veces presentan los semiconductores compuestos*. A diferencia del GaAs, es posible fabricar con facilidad obleas de Si puro y prácticamente no compensado, con una densidad de defectos significativamente menor. Las obleas de Si son mucho menos frágiles [Williams 1985, Ghandhi 1994], con lo que se pueden fabricar mayores (hasta 200 o 300 mm, frente a 75 o 100 mm del GaAs), reduciendo notablemente el precio final del chip. Además, los procesos tecnológicos del Si están plenamente desarrollados, con lo cual los costes son mucho menores, permitiendo asimismo una elevadísima densidad de integración.

Pero quizá la característica fundamental (a diferencia de las demás familias de semiconductores) que ha convertido al Si en el motor de la microelectrónica y en la clave de la tecnología MOS de muy alta escala de integración (VLSI), es el hecho de poder contar con un óxido propio (SiO_2) de una alta calidad y con una enorme facilidad de fabricación, siendo además relativamente sencillo controlar su crecimiento [Ghandhi 1994]†. Las excepcionales propiedades del dióxido de Si han provocado que sea el aislante más empleado en microelectrónica, bien sea en fabricación de máscaras para litografía, como óxido de campo, para pasivación de dispositivos, aislamiento de circuitos integrados, etc... Su permitividad relativa (3.9) y su elevado campo de ruptura (alrededor de 10^4 KV cm^{-1}), le convierten en el material idóneo para su uso como aislante de puerta en transistores MOSFET. Además, al ser un óxido nativo, su utilización facilita y abarata enormemente tanto las tareas de pasivación y aislamiento entre dispositivos como la aplicación de máscaras durante los procesos litográficos. Finalmente, debemos señalar que presenta una densidad de estados superficiales relativamente baja, ya que al creerse de manera nativa sobre la oblea de partida (se trata de una interfaz “fresca”), la interfaz Si- SiO_2 se desplaza hacia el interior del semiconductor debido a la difusión de moléculas de oxígeno o de agua. Con ello se facilita considerablemente la formación de capas de inversión, reduciendo en gran medida efectos asociados a rugosidades o estados de superficie, lo cual es de vital importancia en los dispositivos MOSFET, como vamos a ver con posterioridad.

Existen diferentes técnicas para el crecimiento del SiO_2 [Ong 1984, Ghandhi 1994]. Entre ellas destacamos la *oxidación térmica*. Básicamente, el proceso consiste en el calenta-

* Frente a otros semiconductores elementales, como el Ge, el Si posee un gap mayor, con lo que su uso es preferible para el diseño de dispositivos que deban operar a temperaturas elevadas (hasta 175 °C)

† A diferencia del Si, en el caso del GaAs, su oxidación produce una mezcla de óxidos de Galio y Arsénico no estequiométricos, con una calidad muy baja como aislante y pasivador.

miento de la oblea de Si en una atmósfera de oxígeno (*oxidación seca*) o de vapor de agua (*oxidación húmeda*) a una temperatura entre 800 y 1200 grados centígrados. En general, el óxido obtenido por oxidación seca es de excelente calidad, y con menor densidad de defectos que el obtenido por oxidación húmeda, por lo cual suele emplearse para la fabricación de óxidos de puerta en MOSFETs.

III. 2. La estructura MOS

La estructura Metal-Óxido-Semiconductor (también denominada Metal-Aislante-Semiconductor, *MIS*, Figura III.2) es de importancia primordial en Electrónica. Con frecuencia, se emplea como condensador de capacidad variable (capacidad MOS), y además, es la base del funcionamiento del transistor MOSFET (en cualquiera de sus configuraciones), que es el dispositivo más fabricado en la industria. Por lo tanto, debido a su importancia, vamos a analizar con detalle su funcionamiento y principales características. Estudiaremos sus distintos modos de operación (acumulación, vaciamiento e inversión), y emplearemos nuestro simulador Monte Carlo MC2D para analizar una estructura MOS concreta. En nuestro caso, consideraremos los resultados obtenidos en la zona central de la región de puerta para una estructura MOSFET con longitud de puerta lo suficientemente larga y en condiciones de polarización de drenador cero. Esta estructura corresponde a la del transistor MOSFET canal *n* de 1 μm de longitud de puerta que estudiaremos con posterioridad (más detalles pueden encontrarse en la Sección III.3.c). Los principales parámetros de la estructura MOS correspondiente son los siguientes: el espesor del óxido (t_{ox}) es 33 nm (dentro del rango de valores empleado en la fabricación de dispositivos) y el sustrato será de Silicio tipo *p* con una concentración de impurezas ionizadas $N_A = 1 \times 10^{23} \text{ m}^{-3}$.

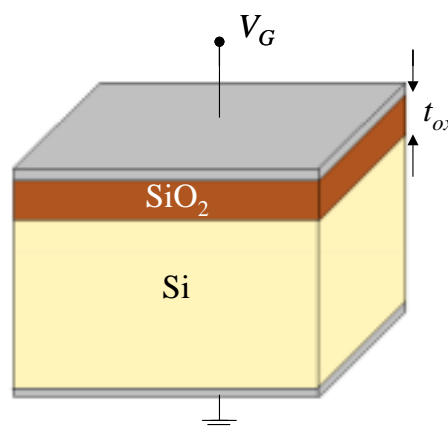


Figura III.2. Esquema básico de un condensador MOS

El análisis de esta estructura MOS nos servirá tanto para investigar las principales magnitudes de interés (carga de la estructura, potencial de superficie, capacidades a baja frecuencia) como para validar los cálculos teóricos para la estructuras MOS a través de la comparación con los resultados del simulador MC2D. Una correcta simulación de la esta estructura es la pieza básica para poder afrontar con posterioridad el estudio de un transistor MOSFET.

Consideremos un sustrato de Si sobre el que se ha crecido una capa de óxido SiO_2 , por encima de la cual se ha depositado un metal que forma el *contacto de puerta* (Figura III.2), al

que se aplica una determinada tensión (V_G). Por debajo del sustrato, se fabrica otro contacto metálico, el *contacto de sustrato*, que se halla normalmente conectado a tierra. Esta estructura MOS de dos terminales es en la práctica un condensador, que suele emplearse como capacidad variable dependiente de la tensión de puerta [Sah 1991, Pierret 1994, Tsividis 1999].

Inicialmente, la disposición por separado de las bandas de energía del metal, del óxido y del semiconductor es la que se muestra en la Figura III.3 (el nivel de vacío ha sido considerado como el nivel de referencia de las energías).

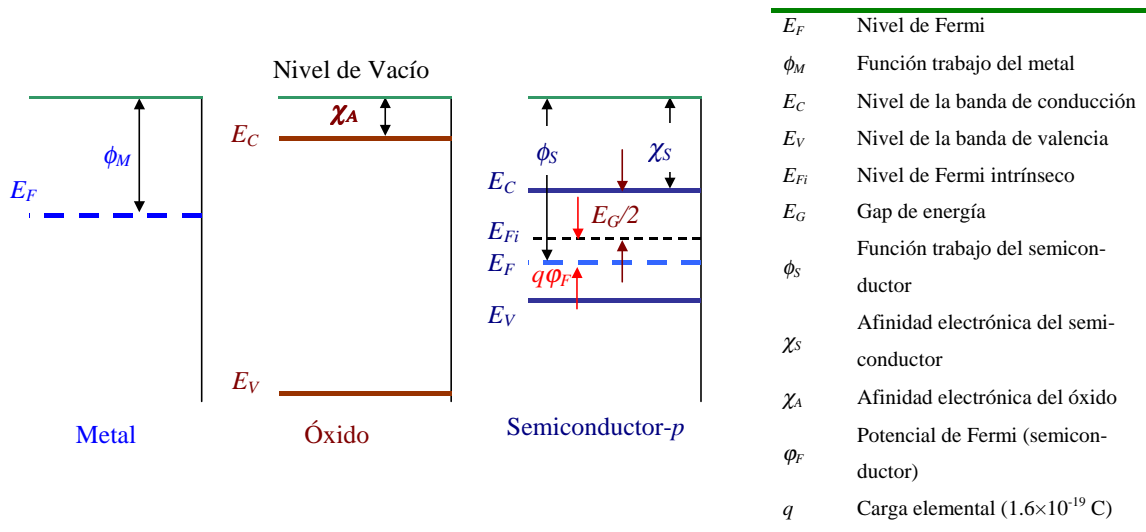


Figura III.3. Bandas de energía del Semiconductor, del Óxido y del Metal

La función trabajo corresponde a la diferencia de energía entre el nivel de Fermi y el nivel de vacío. Su valor para la mayoría de los metales oscila entre 3 y 5 voltios [Muller y Kamins 1986]. En nuestro caso, el metal que vamos a considerar es Aluminio ($\phi_M = 4.1$ eV)[‡]. Para los semiconductores, el valor de ϕ_S depende de la afinidad electrónica del material, del valor del gap y del dopaje considerado. El óxido ha sido representado como un material con un gap muy grande (su valor es aproximadamente 9 eV) [Sze 1981], por lo que, para el espesor considerado, el posible flujo de electrones por efecto túnel directo entre el metal y el semiconductor es despreciable, ya que este fenómeno comienza a cobrar importancia a partir de valores de t_{ox} inferiores a 3 nm [Momose *et al.* 1996, Lo *et al.* 1999].

Cuando se fabrica una estructura de este tipo, bien durante el proceso de fabricación o bien después de su primera utilización el metal y el semiconductor se cortocircuitan. De esta

[‡] En caso de trabajar con un metal de puerta diferente al considerado, el efecto que se observaría sería simplemente un desplazamiento respecto al origen de potencial de V_G (estaríamos modificando el potencial de contacto, y todas las características obtenidas se verían desplazadas en una cantidad asociada a la diferencia entre las funciones trabajo del Aluminio y las del nuevo material de puerta considerado).

manera, se produce una redistribución de los portadores que permite alcanzar el equilibrio termodinámico entre el metal del contacto de puerta y el semiconductor, quedando sus niveles de Fermi alineados [Sah 1991, Pierret 1994], desplazándose para ello en una cantidad igual a $\phi_{MS} = \phi_M - \phi_S$. Esto supone una curvatura de las bandas de energía (Figura III.4), que provoca que aparezca una carga en el semiconductor cercana a la interfaz con el óxido, que no desaparece

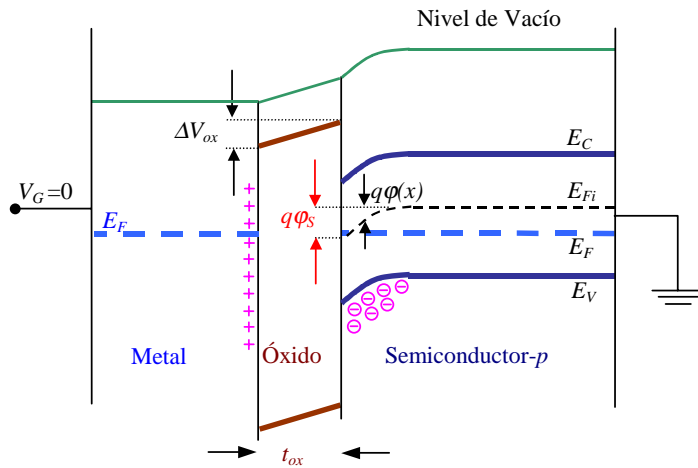


Figura III. 4. Estructura de bandas de la unión MOS en equilibrio ($V_G = 0$ V). $\phi(x)$ representa el potencial del semiconductor, siendo ϕ_S su valor en la interfaz óxido-semiconductor. ΔV_{ox} es la caída de potencial en óxido, y t_{ox} el espesor del mismo.

en ausencia de polarización. De igual modo, aparecerá una carga igual y de signo opuesto en el metal, lo cual induce un campo eléctrico homogéneo en el óxido (asociado a ΔV_{ox}). Para la estructura MOS considerada, $\phi_M < \phi_S$, y por tanto las bandas en el semiconductor se curvan hacia abajo, de manera que en las cercanías del óxido se produce una disminución del número de huecos. Si la curvatura no es muy grande, la carga neta será debida principalmente a iones de impurezas (negativos, pues estamos suponiendo sustrato tipo p) y será válida la hipótesis de vaciamiento total[§].

A partir de esta situación de equilibrio, vamos a analizar con más detalle las condiciones de polarización que se pueden dar para esta estructura.

III. 2. a) Condición de banda plana

Si partiendo de la condición de equilibrio, aplicamos una tensión V_G en el contacto metálico, podemos modificar la curvatura de las bandas. En nuestro caso, si aplicásemos tensiones negativas, estaríamos reduciendo la

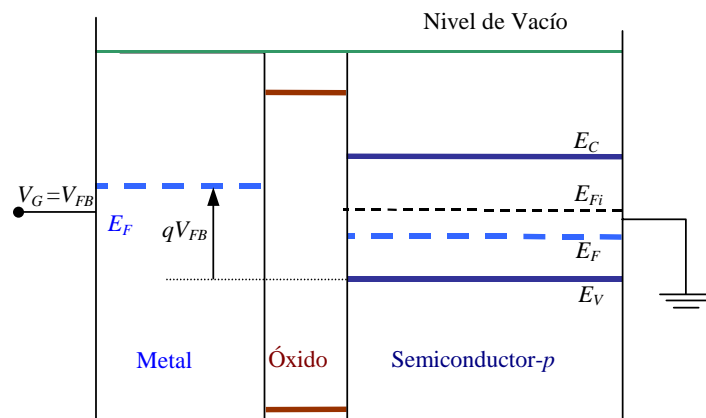


Figura III. 5. Diagrama de bandas de la estructura MOS polarizada en condición de banda plana.

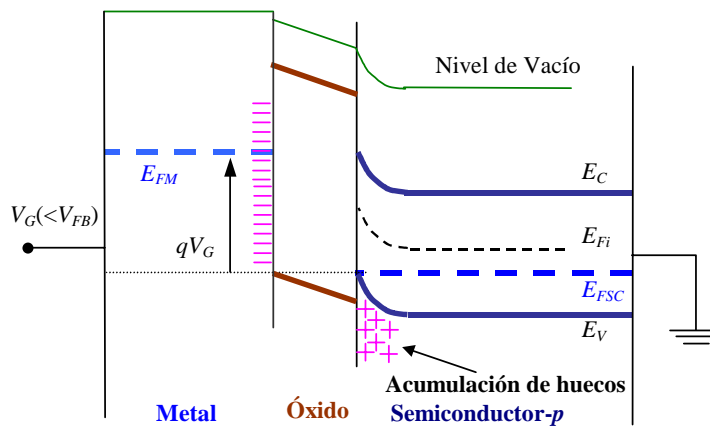
[§] Dicha hipótesis consiste en considerar que en la zona de vaciamiento no existe ningún portador libre.

curvatura de las bandas y tendería a desaparecer el vaciamiento. El potencial para el cual desaparece totalmente la curvatura de las bandas (Figura III.5) suele denominarse *potencial de banda plana* (V_{FB}). Dicho potencial se obtiene cuando el voltaje aplicado en la puerta iguala a la diferencia entre las funciones trabajo del metal de puerta y el semiconductor [Pierret 1994]**:

$$V_{FB} = \frac{\phi_{MS}}{q} = \frac{\phi_M - \phi_S}{q} \tag{III.1}$$

Para el caso que nos ocupa, este potencial corresponde a $V_{FB} = -0.862$ V.

III. 2. b) Acumulación



Para tensiones V_G más negativas que el potencial de banda plana, el sentido de la curvatura de las bandas cambia de manera que el nivel de Fermi en el semiconductor en las cercanías del óxido se acerca a la banda de valencia. Esto provoca un aumento del número de portadores mayori-

Figura III. 6. Diagrama de bandas en acumulación.

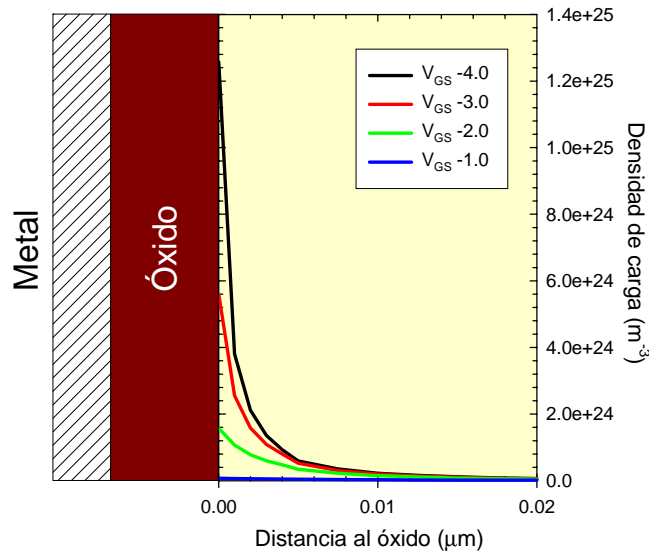


Figura III.7. Densidad de carga en acumulación obtenida mediante el método de Monte Carlo para la estructura MOS simulada, con V_G entre -1 V y -4 V.

** Esta definición corresponde a una estructura ideal. En la realidad, este potencial está modificado fundamentalmente por la presencia de cargas en el óxido. Estos efectos reales serán estudiados con más detalle con posterioridad en el caso de un transistor de tipo MOSFET.

tarios, en este caso huecos. En dicho caso, se dice que la estructura MOS está polarizada en *acumulación* (Figura III. 6).

En la Figura III.7 mostramos la densidad de carga en acumulación obtenida mediante el método de Monte Carlo para la estructura considerada. El voltaje aplicado en puerta varía entre -1 V (cercano al potencial de banda plana V_{FB}) y -4 V.

Como vemos, para -1 V la carga neta apenas existe, dado que aún nos encontramos cerca de la situación de banda plana, en la cual la carga libre en el semiconductor equilibra a la concentración de impurezas. A medida que disminuye el potencial hacia tensiones más negativas, la concentración de mayoritarios (en este caso huecos, con carga positiva) aumenta en las cercanías del óxido. Este exceso de portadores se encuentra muy localizado en las proximidades de la interfaz óxido semiconductor, de modo que la anchura de la capa de acumulación apenas varía con V_G (permanece constante cerca de 10 nm), aunque la concentración total si lo hace.

III. 2. c) Vaciamiento. Cálculo del potencial umbral

Sin embargo, si a partir de la situación de banda plana, aplicamos tensiones V_G al metal más positivas, aumentamos la curvatura de las bandas “hacia abajo”, de manera que el nivel de Fermi se aleja de la banda de valencia en la superficie óxido-semiconductor (Figura III.4). Debido a ello, la zona de vaciamiento de mayoritarios se hace mayor. Para el análisis teórico de esta situación se emplea la hipótesis de vaciamiento total. En dicha hipótesis, la carga total en vaciamiento en el semiconductor (Q_d) viene dada por la siguiente expresión [Pierret 1994]:

$$Q_d = -qN_A W \quad (\text{III.2})$$

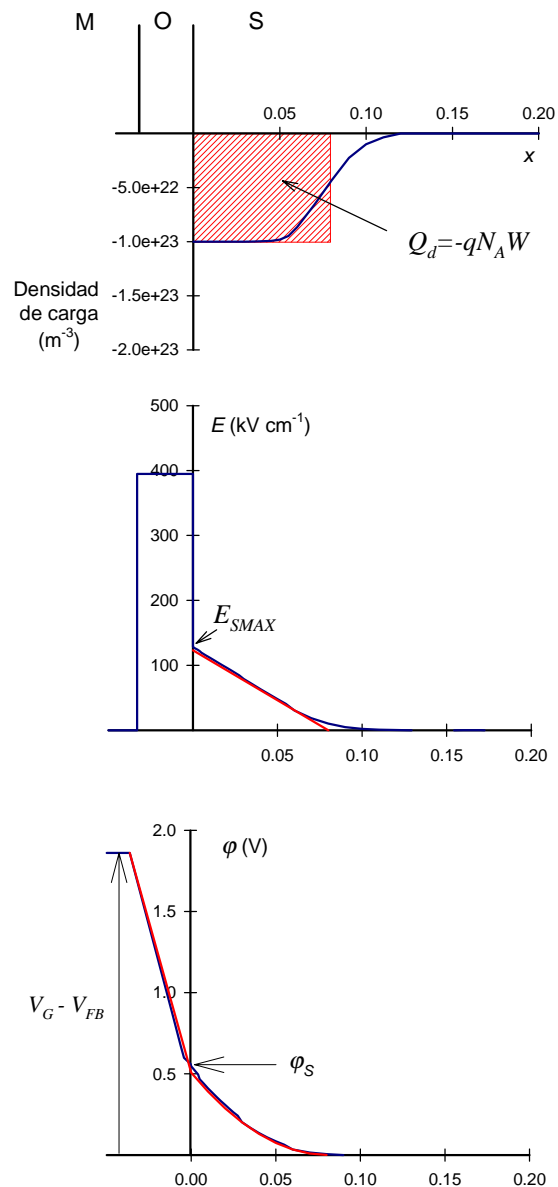


Figura III.8. Densidad de carga, campo eléctrico y potencial con $V_G = 1.0$ V

donde N_A es la concentración de impurezas en el semiconductor (tipo p en nuestro caso), y W es la anchura de la zona de vaciamiento. En vaciamiento, la densidad de carga es fija (puesto que se trata de impurezas ionizadas) y por lo tanto el aumento de la anchura de la zona de vaciamiento ocasiona un aumento de la carga negativa asociada a dicha región.

A partir de aquí, si planteamos la ecuación de Poisson en el semiconductor en el caso de vaciamiento, obtenemos:

$$\frac{\partial^2 \phi}{\partial x^2} = \frac{q}{\epsilon_s} N_A \quad (\text{III.3})$$

donde $\phi(x)$ es el potencial local en el semiconductor, siendo x la dirección perpendicular a la interfaz óxido-semiconductor. Integrando esta ecuación, es posible obtener la distribución del campo eléctrico, cuyo valor en el semiconductor es:

$$E_s = \frac{qN_a W}{\epsilon_s} \left(1 - \frac{x}{W}\right) \quad (\text{III.4})$$

Su máximo se alcanza para $x = 0$, y corresponde a $E_{sMAX} = \frac{qN_a W}{\epsilon_s}$. Integrando (III.4),

llegamos a la siguiente expresión para el potencial:

$$\phi(x) = \frac{qN_a W^2}{2\epsilon_s} \left(1 - \frac{x}{W}\right)^2 \quad (\text{III.5})$$

En la Figura III.8 mostramos los valores obtenidos mediante este modelo teórico (líneas rojas) y mediante el simulador Monte Carlo (líneas azules) para la densidad de carga, campo eléctrico y potencial en función de la distancia a la interfaz óxido-semiconductor, para $V_G = 1$ V (en vaciamiento). El valor teórico de W para esta polarización es aproximadamente $0.08 \mu\text{m}$. En el caso de la simulación Monte Carlo, el final de la zona de carga espacial no es abrupto (como supone el modelo teórico) sino que existe una zona de transición, tal como debe aparecer en una estructura real.

Respecto al campo eléctrico, presenta una discontinuidad en la interfaz óxido-semiconductor debida a las diferentes constantes dieléctricas de los materiales (de ahí que sea aproximadamente 3 veces mayor en el óxido, véase la Tabla A1.2 del Apéndice 1). En el óxido es constante (debido a la carga nula en su interior), y en la región de semiconductor varía linealmente debido a la densidad de carga constante (salvo en las proximidades de W , como es lógico, ya que el cambio de densidad de carga a valor cero no es abrupto como presupone la hipótesis de vaciamiento total). En cualquier caso, hay que reseñar que los valores obtenidos en la simulación Monte Carlo para el campo y el voltaje presentan un buen acuerdo con respecto a los calculados mediante la hipótesis de vaciamiento total, lo que confirma la conveniencia de considerar esta hipótesis para el estudio de la estructura MOS a este nivel.

III. 2. d) Inversión

Hasta ahora no hemos prestado atención a lo que le ocurre a los portadores minoritarios (electrones en este caso) en el semiconductor; sin embargo, su comportamiento es la clave del funcionamiento del transistor MOSFET. Al aumentar el potencial de puerta, el nivel de Fermi, como hemos indicado, tiende a alejarse de la banda de valencia; por tanto, se aproxima a la de conducción, provocando que electrones libres se vean atraídos hacia la superficie óxido-semiconductor (Figura III.4).

A partir de un cierto valor de V_G , el número de electrones comienza a aumentar de manera notable, llegando a formarse una capa de inversión en las cercanías de dicha superficie. Se suele definir la *tensión umbral*, V_T , como la tensión aplicada en el terminal de puerta para la cual la concentración de portadores en la zona de inversión iguala al dopaje en el substrato, N_A [Pierret 1994]. Dicha situación se produce para el caso en el que el potencial de superficie ϕ_s es igual a $2\phi_F$ (ver Figura III.3), siendo:

$$\phi_F = \frac{K_B T}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (\text{III.6})$$

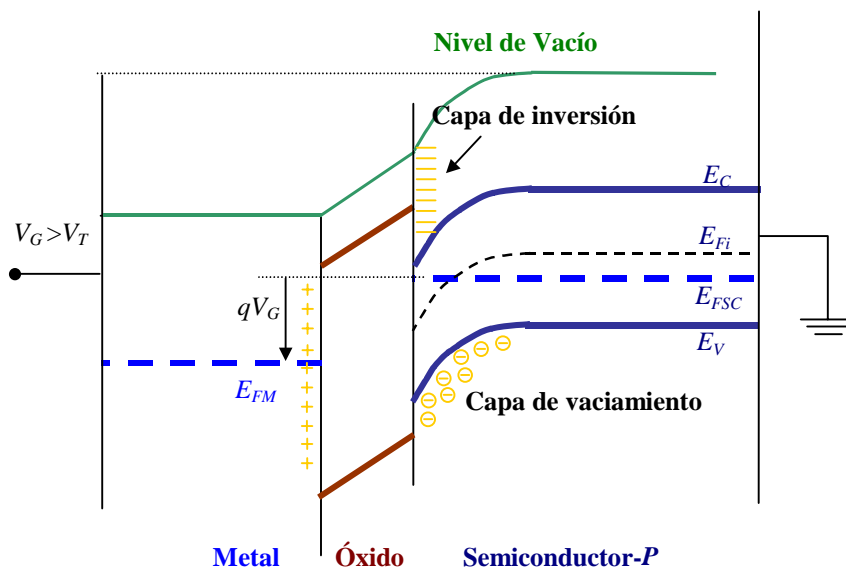


Figura III.9. Bandas en la estructura MOS en inversión

semiconductor, mientras que la densidad de carga depende de la tensión aplicada en la puerta. Cuando aparece la capa de inversión, ésta apantalla a la zona de vaciamiento, de manera que la anchura de ésta última apenas varía y la carga asociada a dicha zona de vaciamiento permanece prácticamente constante [Pierret 1994].

con n_i la densidad intrínseca del semiconductor. El comportamiento en inversión es en esencia opuesto al de vaciamiento. La capa de inversión está formada por portadores minoritarios libres, de manera que su anchura prácticamente no varía, estando localizada junto a la interfaz del óxido con el

La anchura máxima de la zona de vaciamiento corresponde por tanto al caso en el cual aparece la inversión justo en la interfaz con el óxido ($x = 0$), con lo que es posible obtener una expresión para la anchura máxima de la zona de vaciamiento:

$$W_{\max} = \sqrt{\frac{2\epsilon_s(2\phi_F)}{qN_A}} \tag{III.7}$$

La carga en el semiconductor asociada a esa anchura máxima se puede calcular de manera inmediata empleando la ecuación (III.2).

Para evaluar V_T , debe tenerse en cuenta que el potencial aplicado en cualquier instante en la puerta cae parte en el óxido y parte en el semiconductor. El potencial que cae en el semiconductor corresponde a $2\phi_F$ en el caso que nos interesa, mientras que el óxido tendremos la caída de tensión asociada a una densidad superficial de carga $Q_M = -Q_{S\max}$. Con estas premisas, es posible llegar a la siguiente expresión general para el potencial umbral de una estructura MOS [Sze 1981, Sah 1991, Pierret 1994]:

$$V_T = V_{FB} + 2\phi_F - \frac{Q_{S\max}}{C_{ox}} = V_{FB} + 2\phi_F + \frac{\sqrt{4\epsilon_s q N_A \phi_F}}{C_{ox}} \tag{III.8}$$

siendo C_{ox} la capacidad del óxido por unidad de área.

En el caso de la estructura MOS considerada, el valor de la tensión umbral calculado según la ecuación (III.8) es 1.59 V, que se corresponde con el observado en las simulaciones Monte Carlo.

En la Figura III.10 mostramos el valor de la carga de vaciamiento en función de la distancia al óxido y en función del voltaje de puerta aplicado, junto con la carga en inversión para una tensión de puerta superior a la umbral. Como puede apreciarse en la figura, para los voltajes superiores a la tensión umbral la zona de carga espacial asociada al vaciamiento permanece invariable, tal y como hemos comentado con anterioridad.

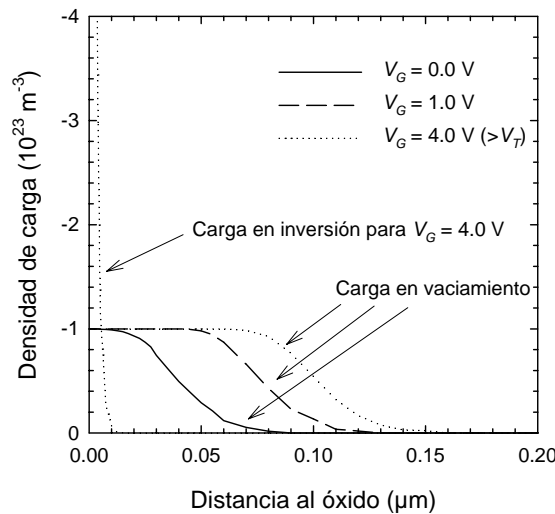


Figura III.10. Resultados obtenidos con el simulador MC2D para la densidad de carga de vaciamiento en función de la distancia al óxido para varias tensiones de puerta aplicadas.

Para tensiones superiores al voltaje umbral, la capa de inversión apantalla la de vaciamiento. El potencial en la superficie del semiconductor permanece prácticamente constante (con valor $2\phi_F$), mientras que pequeñas variaciones de la tensión en la puerta provocan cambios importantes de carga en la capa de inversión. Este fenómeno puede observarse en la simulación MC2D, como mostramos en la Figura III.11 (a).

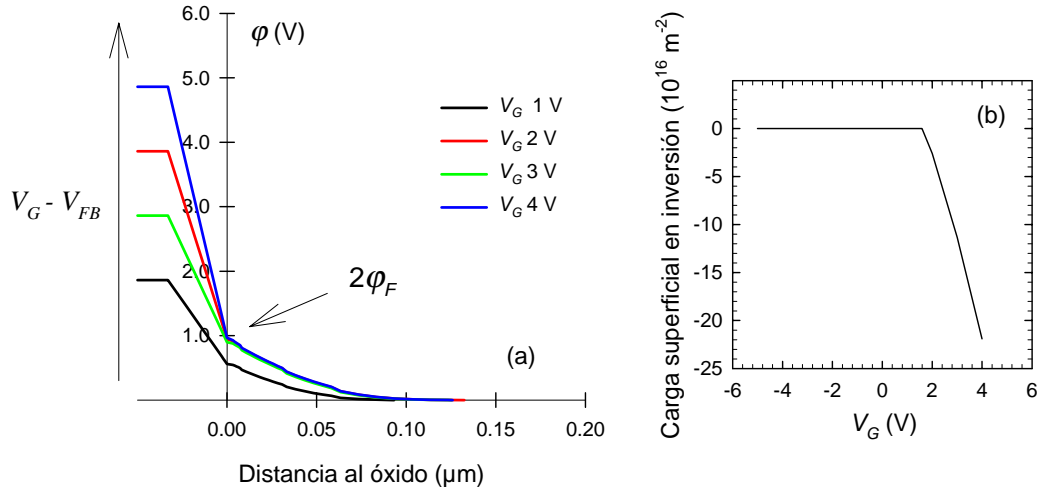


Figura III.11. Variación del potencial para valores del potencial de puerta entre 1 V y 4 V (a). Carga superficial en inversión en función de V_G obtenida con el simulador (b)

Para $V_G > V_T$, la carga de vaciamiento permanece constante, produciéndose un aumento notable de la carga de inversión. Dado que el potencial en la superficie permanece constante, la caída de tensión por encima de la umbral se produce en su práctica totalidad en el óxido. Usualmente se considera que la carga en inversión por unidad de superficie presenta una dependencia prácticamente lineal con el voltaje aplicado [Pierret 1994], lo cual ha sido corroborado en la simulación Monte Carlo (Figura III.11[b]).

III.2.e) Capacidad de la estructura MOS

Como ya hemos señalado con anterioridad, la estructura MOS se emplea con frecuencia como una capacidad variable con la tensión aplicada en puerta, pues su característica principal es que la carga y el tipo de portadores que se encuentran en las proximidades de la interfaz óxido-semiconductor es controlable por V_G . Las medidas experimentales de capacidad frente a voltaje suponen una importante fuente de información para el análisis de estas estructuras [Sah 1991]; además, habitualmente estas medidas son empleadas como herramienta para la caracterización del proceso MOS en su conjunto.

La capacidad de la estructura MOS (C_{MOS}) puede evaluarse como la capacidad del óxido (C_{ox}) en serie con la capacidad del semiconductor (C_{SC}), siendo esta última:

$$C_{SC} = -\frac{dQ_{SC}}{d\phi_S} \quad (\text{III.9})$$

donde Q_{SC} es la carga en el semiconductor. C_{ox} es una capacidad constante, correspondiente a un condensador plano paralelo, mientras que C_{SC} representa la dependencia de las cargas en el semiconductor con la caída de tensión en él. Por tanto, va a depender del tipo de cargas presentes según la condición de polarización (electrones o huecos), y su respuesta en frecuencia también se va a ver influenciada por ello.

En la Figura III.12, mostramos el valor de C_{MOS} (normalizado al valor de la capacidad del óxido) en función de V_G , calculada a través de una expresión analítica^{††}, y la comparación con los resultados obtenidos mediante el método de Monte Carlo (calculados a través de la variación de la carga en el conjunto del dispositivo para incrementos pequeños de la tensión de puerta). Como vemos, para tensiones de polarización en fuerte acumulación o en fuerte inversión, dado que la caída de potencial en el semiconductor en estos casos apenas varía, la capacidad del semiconductor es muy grande frente a la del óxido, por lo que la total corresponde prácticamente a esta última. Por el contrario, en vaciamiento la capacidad del semiconductor es del orden de la del óxido. En consecuencia, se observa una reducción de la capacidad total, alcanzándose el mínimo para $V_G = V_T$ (donde se alcanza la anchura máxima de la zona de vaciamiento).

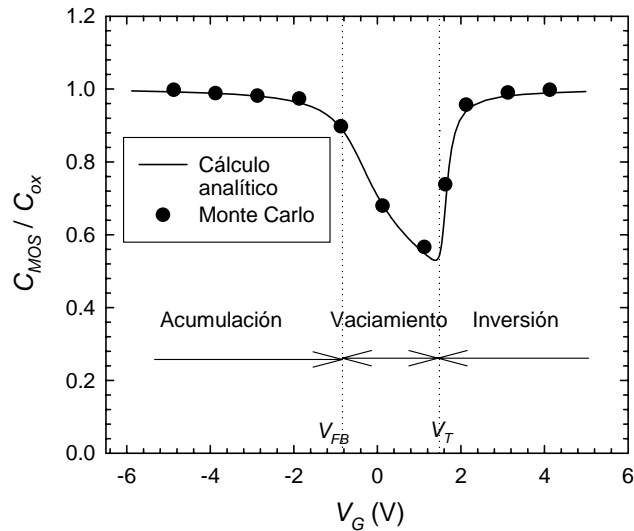


Figura III.12. Capacidad de la estructura MOS a baja frecuencia. Cálculo teórico (línea) y resultados Monte Carlo (símbolos)

En la figura puede apreciarse el buen ajuste existente entre ambos cálculos. Debemos señalar que estos cálculos corresponden al régimen cuasi-estático o de baja frecuencia. En estas condiciones, la capa de inversión es capaz de responder a las variaciones de tensión de puerta; sin embargo, para frecuencias superiores a unos 100 Hz, debido a que el tiempo de relajación de los minoritarios es elevado, la capa de inversión es insensible a las variaciones de la frecuencia, y por tanto la capacidad permanecerá constante en su valor mínimo para tensiones de puerta superiores a la tensión umbral [Sah 1991, Pierret 1994].

En la figura puede apreciarse el buen ajuste existente entre ambos cálculos. Debemos señalar que estos cálculos corresponden al régimen cuasi-estático o de baja frecuencia. En estas condiciones, la capa de inversión es capaz de responder a las variaciones de tensión de puerta; sin embargo, para frecuencias superiores a unos 100 Hz, debido a que el tiempo de relajación de los minoritarios es elevado, la capa de inversión es insensible a las variaciones de la frecuencia, y por tanto la capacidad permanecerá constante en su valor mínimo para tensiones de puerta superiores a la tensión umbral [Sah 1991, Pierret 1994].

En conclusión, hemos analizado los principales modos de operación de la estructura MOS, y hemos validado nuestro simulador mediante la comparación de los resultados obtenidos con los diferentes cálculos teóricos para las magnitudes de interés en esta estructura. Como

^{††} El cálculo se realiza a través de la linealización de la ecuación de Poisson teniendo en cuenta la variación de carga en el semiconductor. El resultado ha sido validado mediante la comparación con medidas experimentales en estructuras MOS fabricadas, obteniéndose un excelente acuerdo [Van Zeghbroeck 1997].

hemos podido comprobar, a este nivel las discrepancias entre los resultados MC2D y las expresiones teóricas basadas en la hipótesis de vaciamiento total son mínimas.

III.3. El transistor MOSFET

En este apartado, vamos a estudiar en profundidad la física del transistor MOSFET, y a comprobar la validez de nuestro simulador para analizar y reproducir el comportamiento de este tipo de dispositivos en sus características más básicas. Para ello, en las simulaciones Monte Carlo y en los cálculos analíticos consideraremos como ejemplo un transistor MOSFET de 1 μm de longitud de puerta, con dopaje del sustrato 10^{23} m^{-3} (tipo p) y espesor del óxido 33 nm (los detalles de la topología serán comentados en la Sección III.3.c). La elección de esta longitud de puerta obedece a que se trata del transistor de mayor tamaño (y por tanto, más cercano al comportamiento ideal de canal largo descrito por las expresiones analíticas típicas) que podemos simular sin que para ello sean necesarios tiempos de CPU prohibitivos en las simulaciones MC2D.

El interés de las Secciones III.3.a) y III.3.b) radica principalmente en exponer algunos de los conceptos y definiciones básicos que manejaremos a lo largo de la Tesis, así como los modelos más sencillos para el estudio de las características macroscópicas más convencionales (por ejemplo, las características tensión-corriente). El lector puede, si lo considera oportuno, centrarse en los resultados mostrados en la Sección III.3.c), donde se efectúa el estudio Monte Carlo del transistor MOSFET incluyendo los aspectos fundamentales de la física interna del dispositivo, y ofreciéndonos una visión de carácter microscópico de algunas magnitudes importantes.

III. 3. a) Funcionamiento básico del transistor MOSFET [Pierret 1994, Tsividis 1999]

Un transistor MOSFET ideal podría tener como esquema básico el de la Figura III.13. En la dimensión vertical, su parte activa consiste básicamente en una estructura MOS, mientras que en horizontal la estructura es del tipo $n\text{pn}$. Por lo tanto, aunque como veremos a continuación el transporte de carga tenga lugar principalmente en la dimensión horizontal, será necesaria una descripción de carácter bidimensional para poder reflejar el comportamiento del transistor. Como puede observarse en la figura, a ambos lados de la estructura MOS existen dos regiones n^+ , denominadas islas de *fuentes* y *drenador*^{††}, ubicadas de manera adyacente al semiconductor controlado por la puerta.

^{††} En el caso en el que consideremos un sustrato de tipo n , las islas serán de tipo p^+ .

Estas islas permiten la entrada de portadores para la formación de la capa de inversión, y su denominación como fuente y drenador corresponde al hecho de que normalmente el flujo de electrones en el dispositivo va desde la primera hasta el segundo. El funcionamiento básico del transistor es el siguiente: por debajo del potencial de puerta (V_{GS}) necesario para que se forme la capa de inversión (potencial umbral, V_T), no existe una concentración apreciable de portadores minoritarios en la región bajo el terminal de puerta, e independientemente del potencial aplicado en las islas el flujo de corriente es prácticamente nulo en los terminales del dispositivo. Cuando en la puerta se aplica un potencial superior al umbral, se forma una capa de inversión de electrones en la región del semiconductor subyacente a la superficie del óxido, tal y como hemos visto en el apartado anterior cuando estudiamos la estructura MOS. Dicha capa de inversión va a formar un “canal” conductor que conecta las dos islas de fuente y drenador^{§§}. Cuanto mayor sea el potencial de puerta, mayor es la cantidad de electrones presentes en la capa de inversión, y por lo tanto mayor es su conductancia [Pierret 1994]^{***}.

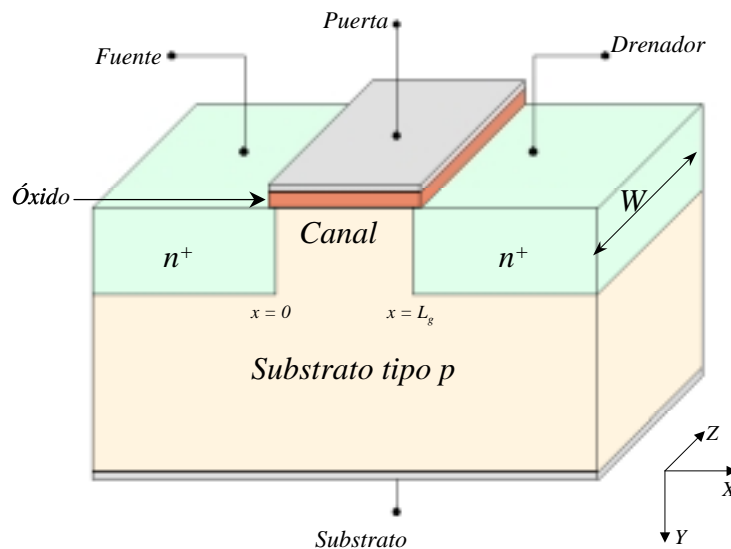


Figura III.13. Estructura básica de un transistor MOSFET

Veamos ahora cual es el efecto de aplicar un potencial entre las islas de fuente y drenador (V_{DS}) en la llamada *característica de salida* (variación de corriente de salida frente a V_{DS} para V_{GS} constante, Figura III.14). A pesar de ser éste un dispositivo (normalmente) geométricamente simétrico, consideramos que la fuente esta cortocircuitada a tierra con el sustrato, y por lo tanto aplicaremos potenciales positivos en el terminal de drenador. Si partimos de una situación de polarización con voltaje en puerta $V_{GS} > V_T$, para una tensión $V_{DS} = 0$, los portado-

^{§§} Cuando los portadores que forman la capa de inversión son electrones, nos referiremos al dispositivo como MOSFET *canal n*, y si son huecos, hablamos de un dispositivo *canal p*.

^{***} En un MOSFET real, la presencia de efectos reales, tales como cargas en el óxido, diferencia entre las funciones trabajo del metal y del semiconductor, etc... hacen que el valor de V_T pueda ser elegido según las necesidades en el proceso de fabricación. Así, para un transistor de canal *n*, en caso de que V_T sea negativo, hablamos de un transistor de empobrecimiento o *normally on* (existe corriente para $V_{GS} = 0$). Si V_T es positivo, se trataría de un transistor de realce o *normally off*. El caso de un transistor canal *p* sería análogo.

res en la capa de inversión se encuentran en equilibrio térmico y la corriente en el terminal de drenador (I_D) es nula.

Si V_{DS} aumenta ligeramente, la capa de inversión entre las islas se comporta de manera similar a un elemento resistivo, y los electrones deben comenzar a fluir a través del dispositivo desde la fuente hacia el drenador. Inicialmente, para V_{DS} no demasiado elevado, la corriente en el terminal de drenador (I_D) depende de manera lineal con el potencial aplicado, siendo su resistividad dependiente del potencial de puerta. Este modo de funcionamiento se conoce como modo lineal o *triódo* (Figura III.14[a]).

Sin embargo, a medida que V_{DS} aumenta, la caída de tensión entre fuente y drenador

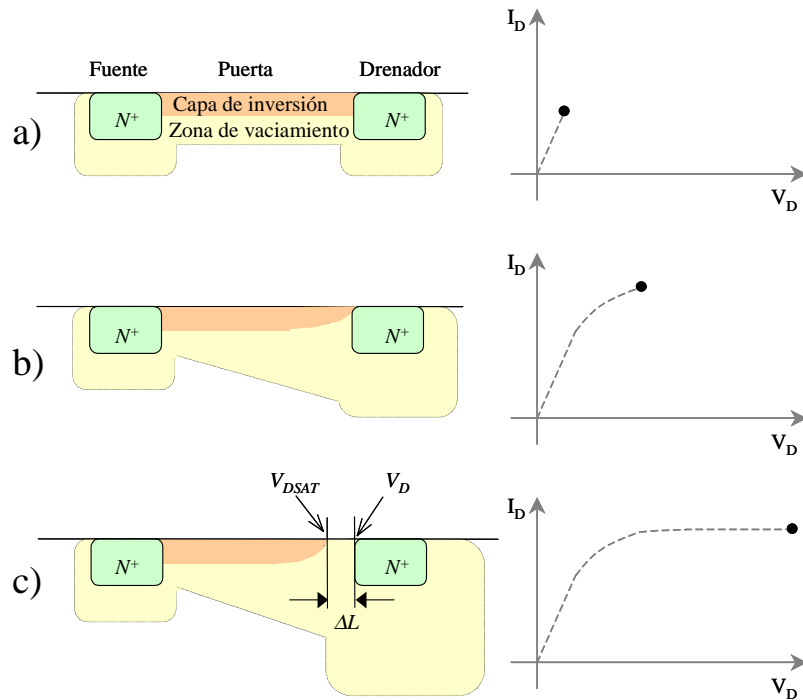


Figura III.14. Saturación en el MOSFET ($V_G > V_T$). Evolución de la característica de salida para V_{GS} etc.

Este modo de funcionamiento se conoce como modo lineal o *triódo* (Figura III.14[a]).

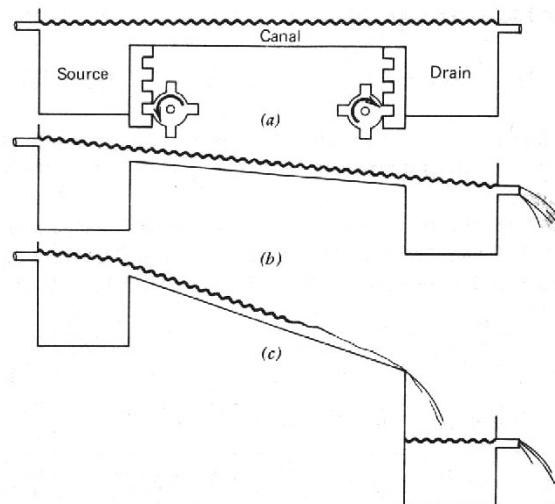


Figura III.15. Analogía “hidráulica” del comportamiento de un MOSFET. (a) En primer lugar, si la fuente y el drenador están nivelados ($V_{DS} = 0$), no existe flujo de agua. La profundidad del agua en el canal puede regularse mediante la tracción de las ruedas dentadas (V_{GS}). (b) Cuando el drenador está más bajo que la fuente ($V_{DS} > 0$), el agua fluye a lo largo del canal. (c) En saturación, el flujo está limitado por la capacidad del canal, puesto que bajar más el depósito de drenador solo aumenta la altura de la caída de agua en este modo de operación. [Muller y Kamins 1986]

empieza a tener efecto sobre la capa de inversión en el lado del canal más próximo al drenador. Para valores de V_{DS} suficientemente grandes, la zona de vaciamiento que rodea a la isla de drenador (que es la asociada a la unión pn) aumenta notablemente (Figura III.14[b]) y provoca que se reduzca la cantidad de portadores en la capa de inversión en la zona próxima a dicha isla. Al reducirse el número de portadores, la resistividad de esa zona aumenta, y por lo tanto la pendiente de la característica I_D - V_{DS} debe disminuir. Si se sigue aumentando V_{DS} , la capa de inversión finalmente termina por desaparecer en el lado de drenador del canal, produciéndose el llamado fenómeno de *estrangulamiento del canal o pinch-off*. La tensión de drenador para la cual se produce este fenómeno se conoce como *tensión de saturación*, V_{DSAT} .

Para tensiones V_{DS} mayores que la de saturación, la anchura de la zona de estrangulamiento aumenta progresivamente (ΔL). La tensión de drenador que exceda a V_{DSAT} cae en dicha región (altamente resistiva), mientras que la capa de inversión conserva siempre entre sus extremos V_{DSAT} . Debido a esto, para este régimen de funcionamiento la corriente debe permanecer prácticamente constante (en condiciones ideales), y se considera que el dispositivo está operando en la región de *saturación* (Figura III.14[c]). Podemos ver el funcionamiento del dispositivo de una manera intuitiva mediante la analogía que mostramos en la Figura III.15.

Por lo tanto, las características de salida de un MOSFET ideal deben adoptar típicamente la forma que mostramos en la Figura III.16. Por debajo del potencial umbral, no hay corriente sea cual sea el valor de V_{DS} aplicado. Por encima del mismo, a medida que aumenta la tensión de puerta, en la región triodo la pendiente de las características es mayor y el valor de tensión de saturación se alcanza más tarde (a causa de la mayor cantidad de portadores en la capa de inversión a mayor V_{GS}). Estas características de salida confirman el funcionamiento de transistor del dispositivo, ya que la corriente de salida I_D es modulada por un voltaje de entrada en la puerta, apareciendo un fenómeno de amplificación de la señal^{†††} (debemos tener en cuenta que la corriente de entrada en este dispositivo es idealmente nula debido al óxido de puerta).

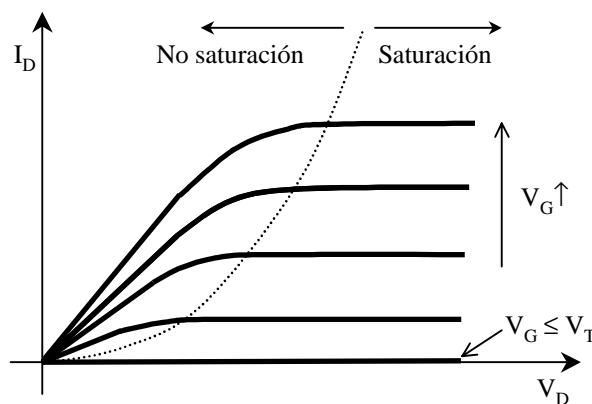


Figura III.16. Características de salida de un MOSFET

^{†††} La Enciclopedia Británica da como definición de transistor “un dispositivo de estado sólido que permite amplificar, controlar, y generar señales eléctricas”.

III. 3. b) Modelos analíticos del MOSFET para análisis DC [Pierret 1994, Van Zeghbroeck 1997, Fjeldly *et al.* 1998, Tsividis 1999]

A la hora de afrontar el estudio de cualquier dispositivo, el esfuerzo inicial se debe concentrar en analizar su comportamiento en régimen estático, es decir, su respuesta frente a tensiones de polarización de continua. Para ello, el análisis más importante es el de las características estáticas, las relaciones entre la corriente de salida frente a las tensiones aplicadas en drenador con V_{GS} constante (*características de salida*) o a las tensiones aplicadas en puerta con V_{DS} constante (*características de transferencia*). A lo largo del tiempo se han ido desarrollando una serie de modelos analíticos sencillos que describen estas relaciones, que vamos a ver en detalle a continuación. La mayoría de modelos analíticos más complejos se basan en cierta medida en alguno de los modelos que presentaremos seguidamente. Los resultados que mostraremos corresponden a la estructura MOSFET de $1\ \mu\text{m}$ que mencionamos en el apartado anterior.

1. Modelo lineal

Es el más simple de todos. Describe el comportamiento del MOSFET cuando el voltaje V_{DS} aplicado es pequeño (usualmente hasta unas pocas décimas de voltio) y nos encontramos en condiciones de fuerte inversión. En esta región el transistor se comporta como una resistencia lineal variable con el voltaje de puerta. El cálculo de la corriente de salida en este caso puede efectuarse de manera sencilla a partir de una serie de hipótesis simples.

- En primer lugar, se supone que la capa de inversión es homogénea a lo largo del canal, y que la carga en la misma equilibra a la carga que aparece en el metal cuando V_{GS} supera a V_T :

$$Q_{inv} \cong \Delta Q_{sc} = -\Delta Q_{puerta} = -C_{ox} \Delta V_G = -C_{ox} (V_{GS} - V_T), \text{ para } V_{GS} > V_T \quad (\text{III.10})$$

puesto que como ya vimos en la Sección III.2.d la carga en inversión depende de manera prácticamente lineal con la tensión de puerta en una estructura MOS ideal.

- En segundo lugar, se supone que la velocidad de los portadores en dicha capa de inversión es constante, y que puede calcularse como producto de la movilidad por el campo eléctrico en el canal, supuesto este último también constante. El tiempo que tardan los portadores en atravesar el canal de fuente a drenador (*tiempo de tránsito, t_r*), será entonces:

$$t_r = \frac{L_g}{v} = \frac{L_g}{\mu E} = \frac{L_g}{\mu \frac{V_{DS}}{L_g}} \quad (\text{III.11})$$

siendo E el campo eléctrico y μ la movilidad de los portadores.

- Finalmente, la corriente se puede calcular como la carga total en inversión dividida por el tiempo de tránsito, obteniéndose:

$$I_D = \mu C_{ox} \frac{W}{L_g} (V_{GS} - V_T) V_{DS}, \text{ para } V_{DS} \ll (V_{GS} - V_T) \quad (\text{III.12})$$

donde W es la anchura total del dispositivo. Esta expresión tan solo es válida en condiciones de bajo V_{DS} , ya que solo en ese caso podemos asegurar que Q_{inv} , E y v son homogéneos a lo largo del canal.

La Figura III.17 muestra los resultados de corriente (normalizados por W) obtenidos considerando una movilidad efectiva de los portadores de $625 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ (según el valor aproximado de movilidad para portadores minoritarios en un sustrato con el dopaje considerado [Klaasen 1992]). Puede observarse claramente que la pendiente de las curvas aumenta de manera lineal

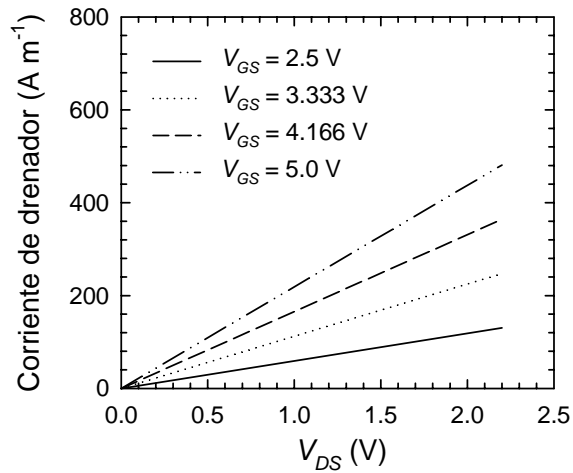


Figura III.17. Características I_D - V_{DS} obtenidas con el modelo lineal con $\mu = 625 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$.

con el voltaje de puerta aplicado, ya que depende directamente de la conductancia del canal, que se comporta como una resistencia controlada por voltaje.

2. Modelo cuadrático^{†††}

Este modelo parte de las mismas suposiciones del modelo lineal, salvo que considera que la densidad de carga en la capa de inversión depende localmente del potencial, y por tanto la capa de inversión no es homogénea a lo largo del canal. El potencial local bajo la puerta en un transistor MOSFET va a variar desde cero en el lado de fuente hasta V_{DS} en el lado de drenador. Si consideramos una sección infinitesimal del canal, localizada en el punto x , con anchura dx , y en la que hay una caída de voltaje dV_C (siendo V_C el voltaje local en el punto x con respecto a la tensión de fuente), podemos obtener para esta sección:

$$I_D dx = \mu C_{ox} W (V_{GS} - V_C - V_T) dV_C \quad (\text{III.13})$$

Integrando el primer miembro de la ecuación (III.13) entre 0 y L_g y el segundo entre 0 y V_{DS} , y considerando I_D constante para cada sección infinitesimal podemos llegar a la siguiente expresión final:

$$I_D = \mu C_{ox} \frac{W}{L_g} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right], \text{ para } V_{DS} < V_{GS} - V_T \quad (\text{III.14})$$

^{†††} También conocido como modelo de control de carga simple o modelo de Shichman-Hodges. Este modelo, como el siguiente que estudiaremos, el modelo de carga en volumen, están basados en la aproximación de canal gradual, en la cual asumimos que el campo en la dirección perpendicular al canal es mucho mayor que el campo en la dirección longitudinal. Esto nos permite resolver el problema del transporte de carga de manera simplificada mediante la resolución de dos ecuaciones unidimensionales acopladas: una ecuación de Poisson para determinar la densidad vertical de carga bajo la puerta y una ecuación de transporte de carga en el canal [Fjeldy *et al.* 1998].

Esta expresión nos indica que para V_{DS} muy pequeños, el crecimiento inicial de la corriente es prácticamente lineal. Sin embargo, a medida que aumenta V_{DS} ese crecimiento se reduce hasta que se alcanza un valor máximo. Dicho valor máximo se alcanza para el caso en el que $V_{DS} = V_{GS} - V_T$ (tensión de saturación V_{DSAT}). Para esa situación, la densidad de carga en el canal en el extremo de drenador es *cero*, produciéndose el fenómeno de estrangulamiento del canal. Para valores de V_{DS} mayores, el valor de la corriente se considera constante (I_{DSAT}):

$$I_{DSAT} = \mu C_{ox} \frac{W}{L_g} \frac{(V_{GS} - V_T)^2}{2}, \text{ para } V_{DS} > V_{GS} - V_T \quad (\text{III.15})$$

Para V_{GS} inferiores a V_T la corriente es 0.

Este modelo además permite evaluar de manera aproximada algunos parámetros de pequeña señal, tales como la transconductancia (g_m) y la conductancia de salida (g_{ds}). Estas magnitudes pueden calcularse de manera cuasiestática de la siguiente forma [Tsividis 1999]:

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}} \quad \text{y} \quad g_{ds} = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}} \quad (\text{III.16})$$

teniendo en cuenta las relaciones (III.14) y (III.15), podemos obtener las expresiones que se muestran en la Tabla III.1.

	Región triodo	Región saturación
Transconductancia (g_m)	$g_m = \mu C_{ox} \frac{W}{L_g} V_{DS}$	$g_m = \mu C_{ox} \frac{W}{L_g} (V_{GS} - V_T)$
Conductancia de salida (g_{ds})	$g_{ds} = \mu C_{ox} \frac{W}{L_g} (V_{GS} - V_T - V_{DS})$	$g_{ds} = 0$

Tabla III.1. Valores de g_m y g_{ds} de acuerdo con el modelo cuadrático

En saturación, este modelo predice una dependencia lineal con V_{GS} para la transconductancia, así como un valor nulo de g_{ds} en esa misma región.

3. Modelo de carga en volumen^{§§§}

El último de los modelos analíticos clásicos que vamos a considerar es el modelo de carga en volumen. La diferencia principal de este modelo frente al cuadrático es que, a diferencia de este último, tiene en cuenta la variación en la dimensión Y de la anchura de la zona de vaciamiento subyacente a la capa de inversión, que está asociada a la variación de voltaje a lo largo del canal (para un V_{DS} apreciable, es claramente mayor en la zona de drenador que en la de fuente). Para considerar este efecto, es necesario tener en cuenta que el valor del potencial nece-

^{§§§} También conocido como modelo de Meyer. El modelo cuadrático o de control de carga puede considerarse como una simplificación del modelo de Meyer.

sario para tener inversión se va a ver afectado por la carga en la zona de vaciamiento, que depende de manera local con el potencial V_C :

$$V_T = V_{FB} + V_C + 2\phi_F + \frac{\sqrt{2\epsilon_S q N_a (2\phi_F + V_C)}}{C_{ox}} \tag{III.18}$$

Realizando una integración de manera análoga al cálculo realizado para el modelo cuadrático, llegamos a la expresión final para la corriente de drenador:

$$I_D = \frac{\mu C_{ox} W}{L_g} (V_{GS} - V_{FB} - 2\phi_F - \frac{V_{DS}}{2}) V_{DS} - \frac{2}{3} \mu \frac{W}{L_g} \sqrt{2\epsilon_S q N_a} ((2\phi_F + V_{DS})^{3/2} - (2\phi_F)^{3/2}) \tag{III.19}$$

De nuevo a partir del valor máximo de esta expresión se considera que I_D es constante con V_{DS} . De manera análoga al modelo anterior, podríamos calcular la transconductancia y la conductancia de salida de manera cuasiestática:

	Región triodo	Región saturación
Transconductancia (g_m)	$g_m = \mu C_{ox} \frac{W}{L_g} V_{DS}$	$g_m = \mu C_{ox} \frac{W}{L_g} V_{DSAT}$
Conductancia de salida (g_{ds})	$g_{ds} = \mu C_{ox} \frac{W}{L_g} (V_{GS} - V_T - V_{DS}) - q \frac{N_A W_T}{C_{ox}} (\sqrt{1 + V_{DS}/2\phi_F} - 1)$	$g_{ds} = 0$

Tabla III.2. Valores de g_m y g_{ds} de acuerdo con el modelo de carga en volumen

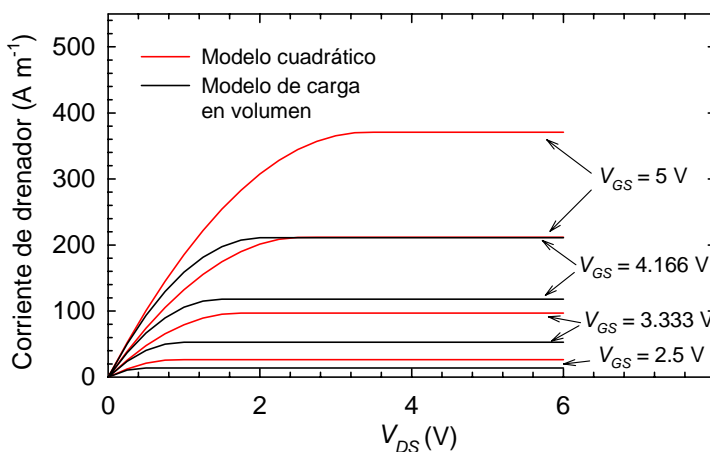


Figura III.18. Comparación entre los modelos cuadrático y lineal.

En la Figura III.18 mostramos los resultados obtenidos mediante los modelos cuadrático y de carga en volumen para el transistor MOSFET considerado. Como podemos observar, se obtienen valores más pequeños de I_D y V_{DSAT} con el modelo de carga en volumen (que es más exacto), dado que el modelo cuadrático sobreestima la densidad de portadores en la capa de inversión al no considerar la variación de la carga asociada al vaciamiento, lo que en general solo es válido para transistores de canal muy largo y muy poco dopados [Fjeldly *et al.* 1998].

En cualquier caso, los modelos que hemos descrito presentan limitaciones aún para representar las características de transistores de canal largo [Pierret 1994], debido fundamentalmente a la rigidez de sus hipótesis fundamentales (dependencia lineal entre la velocidad y el campo eléctrico, componentes del campo eléctrico constantes, etc.). Además, no consideran la posibilidad de tener en cuenta algunos efectos reales, como la existencia de corriente en el régimen subumbral o la saturación de la velocidad de los portadores en el canal, y las expresiones que se obtienen no son *autosaturantes* (la parte de las características de saturación se establece de manera “artificial”). Existen en la bibliografía numerosas formulaciones analíticas más avanzadas (sirvan como ejemplo las teorías de *carga superficial* y la de *carga exacta* [Pao y Sah 1966, Brews 1978, Pierret y Shields 1983, Pierret 1994]) que solventan estos problemas; sin embargo, su complejidad aumenta notablemente respecto a los modelos que hemos mostrado y por tanto no han sido consideradas ya que nuestro interés en el presente trabajo no consiste en efectuar un estudio exhaustivo de las mismas.

4. Cálculo de capacidades. Modelo de Meyer

Hasta ahora, los modelos que hemos presentado nos permiten describir el comportamiento de un transistor MOSFET en sus características estáticas corriente-tensión. Sin embargo, también permiten evaluar de manera aproximada, mediante un cálculo cuasiestático, algunas de las capacidades del circuito equivalente de pequeña señal, como son las capacidades C_{GS} y C_{GD} .

Partiendo del modelo cuadrático, es posible calcular las capacidades (*modelo de Meyer para las capacidades*) de la siguiente forma [Meyer 1971, Fjeldly *et al.* 1998]:

$$C_{GS} = \left. \frac{\partial Q_G}{\partial V_{GS}} \right|_{V_{GD}, V_{GB}}, \quad C_{GD} = \left. \frac{\partial Q_G}{\partial V_{GD}} \right|_{V_{GS}, V_{GB}} \quad (\text{III.20})$$

donde Q_G es la carga total en el terminal de puerta. A partir de aquí, es posible llegar a obtener:

$$C_{GS} = \frac{2}{3} C_{ox} W L_g \left[1 - \left(\frac{V_{GS} - V_T - V_{DS}}{2(V_{GS} - V_T) - V_{DS}} \right)^2 \right] \quad (\text{III.21})$$

$$C_{GD} = \frac{2}{3} C_{ox} W L_g \left[1 - \left(\frac{V_{GS} - V_T}{2(V_{GS} - V_T) - V_{DS}} \right)^2 \right] \quad (\text{III.22})$$

expresiones válidas en la región triodo. En saturación los valores que se obtienen son los siguientes (considerando $V_{DS} = V_{DSAT}$ y aplicando el valor de V_{DSAT} obtenido con el modelo cuadrático):

$$C_{GSsat} = \frac{2}{3} C_{ox} W L_g, \quad C_{GDsat} \approx 0 \quad (\text{III.23})$$

En la Figura III.19 hemos representado los valores de C_{GS} y C_{GD} obtenidos con estas ecuaciones en función de la tensión de puerta. En condiciones de no saturación ($V_{GS} - V_T > V_{DS}$)

el valor de C_{GS} tiende a disminuir, mientras que C_{GD} tiende a aumentar de manera progresiva, tendiendo ambas capacidades a igualarse cuando aumenta V_{GS} .

Para tensiones de puerta por debajo de la tensión umbral (y sin llegar al régimen de acumulación), la carga asociada a los portadores libres es despreciable frente a la carga de la zona de vaciamiento. En este caso, tanto C_{GS} como C_{GD} tenderán a cero, pues en este caso la variación con V_G de la carga en vaciamiento es muy pequeña.

El modelo de Meyer es útil fundamentalmente para estudiar el comportamiento cualitativo de las capacidades frente a la tensión de polarización. En general, los resultados obtenidos para las diferentes capacidades son bastante similares a los que se obtienen a través de modelos más elaborados que tienen en cuenta diversos efectos de canal corto, como es el modelo de saturación de la velocidad. Esto indica que el modelo de Meyer para las capacidades, a pesar de su simplicidad, supone una estimación relativamente razonable de las capacidades básicas en un transistor MOSFET.

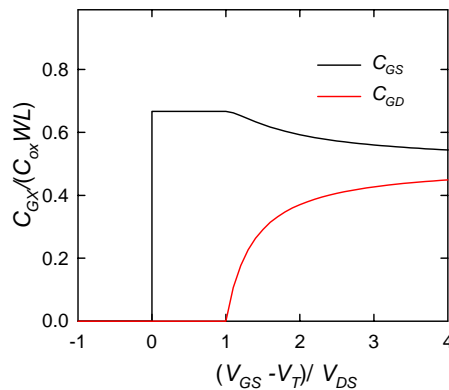


Figura III.19. Capacidades normalizadas calculadas según el modelo de Meyer frente a V_{GS} .

III. 3. c) Simulación Monte Carlo de un transistor MOSFET

Hasta ahora, los modelos analíticos que hemos visto suponen una aproximación al estudio del transistor MOSFET en condiciones ideales. A pesar de que estos modelos admiten la inclusión de ciertos efectos reales (tales como cargas en el óxido o polarización del sustrato), han sido desarrollados partiendo de hipótesis muy restrictivas, y además no ofrecen ninguna información acerca de la física interna ni del origen del comportamiento de las características estáticas. Si queremos comprender plenamente el funcionamiento del dispositivo, es necesario examinar determinadas magnitudes físicas (como concentración, velocidad y energía de los portadores, campo eléctrico, etc.). Para ello es necesario emplear métodos de simulación complejos, entre los cuales destaca por sus características el método de Monte Carlo.

A continuación vamos a proceder a examinar los resultados obtenidos de la simulación mediante el método de Monte Carlo de un transistor MOSFET con longitud de puerta (L_g) de 1 μm . El motivo de elegir esta longitud de puerta es que se trata de la mayor que podemos simular (y por tanto la más cercana al comportamiento de canal largo) con un tiempo de CPU razonable. Los resultados obtenidos serán comparados con los modelos analíticos expuestos en la sección previa, y de este modo podremos estudiar la validez de las hipótesis empleadas en el desarrollo de los mismos. Además, la información proporcionada por el MC2D permitirá analizar y comprender detalladamente la física interna del dispositivo a un nivel microscópico. Este es un paso necesario y fundamental para poder afrontar posteriormente con garantías la simulación de transistores con longitudes de puerta inferiores a 0.25 μm , tanto convencionales como SOI, objetivo de esta Tesis.

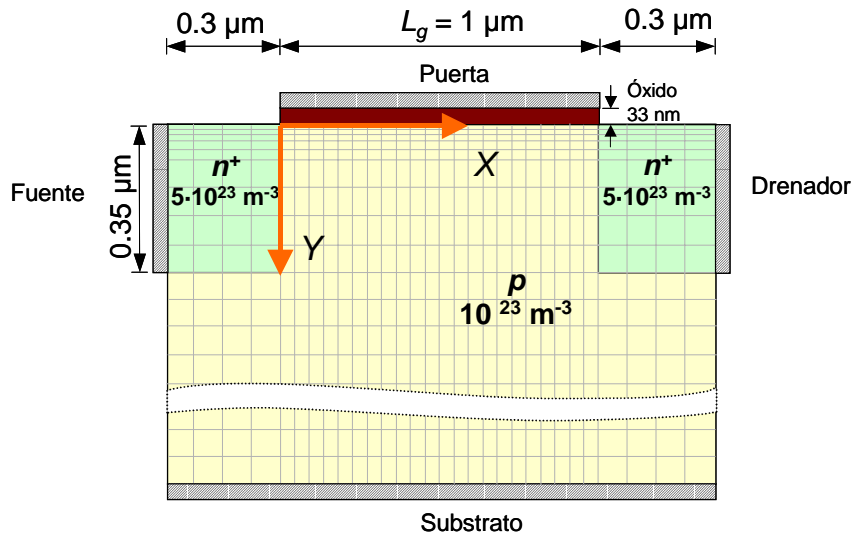


Figura III.20. Geometría del transistor MOSFET con $L_g = 1 \mu\text{m}$.

La geometría del dispositivo simulado es la mostrada en la Figura III.20. La dimensión X corresponde a la dirección paralela al canal (y coincidente con la dirección cristalográfica $\langle 100 \rangle$); consideraremos su origen en la unión fuente-sustrato, con el sentido positivo en la dirección hacia el drenador. La dimensión Y es perpendicular al canal, con su origen en la interfaz óxido-semiconductor, y sentido positivo el que indica la figura (hacia el contacto de sustrato). El dopaje del sustrato es 10^{23} m^{-3} , y el de las islas de fuente y drenador $5 \times 10^{23} \text{ m}^{-3}$. La longitud de puerta L_g es 1 μm , con un espesor del óxido de 33 nm (dentro del rango usual considerado en la industria para un transistor con esta L_g). Como metal de contacto se ha considerado Aluminio ($\phi_M = 4.14 \text{ eV}$).

El mallado considerado en la simulación Monte Carlo es irregular, con mayor resolución en las zonas en las que lo requiera la concentración de portadores (en concreto, bajo la puerta, donde aparecerá la capa de inversión). Así, hemos considerado para las mallas una anchura ΔX variable entre 100 y 80 \AA , y en la dirección vertical ΔY entre 10 y 100 \AA . El paso tem-

poral Δt elegido es 2 fs. Con estos valores de mallado y paso temporal se cumplen los requisitos necesarios para garantizar la validez de la resolución de la ecuación de Poisson (véase sección II.3.b). El EPE y EPH considerados corresponden a $2.5 \times 10^6 \text{ m}^{-1}$.

Vamos a estudiar seguidamente una serie de magnitudes proporcionadas por el método de Monte Carlo. Primero mostraremos las características I - V obtenidas, comparándolas con las que resultan del cálculo teórico con los modelos analíticos vistos previamente, prestando especial atención a las discrepancias que aparecen. A continuación, analizaremos la distribución espacial de la concentración de portadores (electrones y huecos) y su evolución con la polarización aplicada. El análisis del campo eléctrico y del potencial, así como de la energía de los portadores, nos va a ofrecer información muy importante acerca del comportamiento del dispositivo en los diferentes regímenes de operación (triódo, saturación). Finalmente, el estudio de otras magnitudes tales como la velocidad de los portadores o el porcentaje de ocupación por valle nos permitirán una comprensión total del funcionamiento del transistor, así como determinar las causas por las cuales los métodos analíticos no son capaces de describir el mismo de manera adecuada.

1. Característica I - V

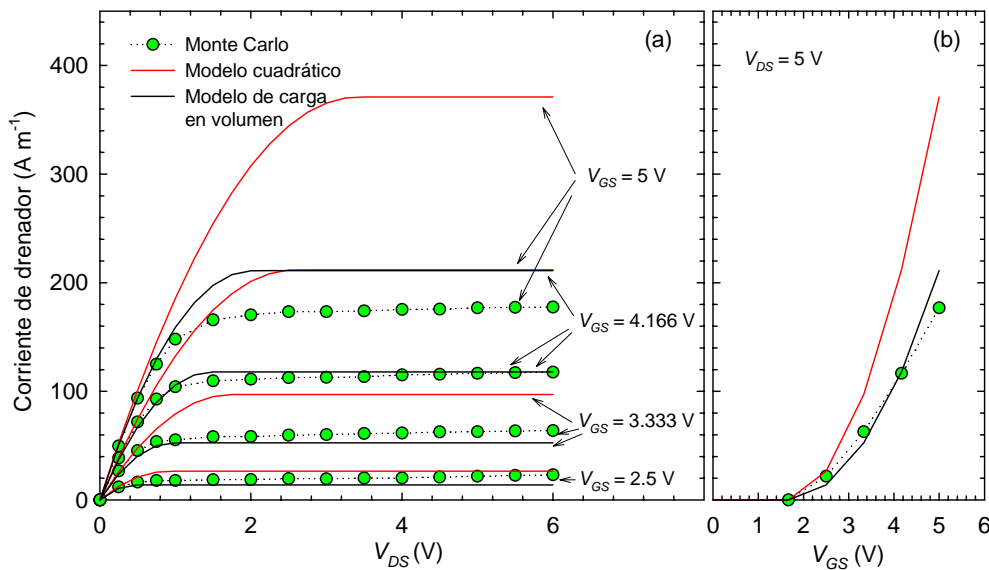


Figura III.21. Características de salida (a) y de transferencia para $V_{DS} = 5 \text{ V}$ (b). Los símbolos representan los resultados de la simulación Monte Carlo, las líneas rojas los obtenidos con el modelo cuadrático y las negras los del modelo de carga en volumen.

En la Figura III.21 mostramos las características de salida (a) y la de transferencia para $V_{DS} = 5.0 \text{ V}$ (b), obtenidas mediante el método de Monte Carlo (símbolos) y mediante los modelos cuadrático (líneas rojas) y de carga en volumen (líneas negras).

Como podemos observar en la Figura III.21(a), el modelo cuadrático sistemáticamente tiende a sobreestimar el valor de la corriente en comparación tanto con el modelo de carga en volumen como con el Monte Carlo.

Para la tensión de puerta más elevada (5 V) podemos observar cómo el modelo de carga en volumen tiende a predecir valores más elevados de corriente en saturación en comparación con la simulación Monte Carlo, aunque ofrece un acuerdo relativamente aceptable para tensiones de puerta menores.

Además, para cada V_{GS} , en los resultados Monte Carlo puede apreciarse un pequeño aumento de la corriente en saturación al aumentar V_{DS} (lo que indica una conductancia de salida no nula), mientras que los modelos analíticos ofrecen un valor de corriente constante en saturación****.

En el caso de la característica de transferencia (Figura III.21[b]), la mayor pendiente obtenida con los modelos analíticos nos indica una transconductancia mayor que la obtenida con el Monte Carlo. Por otra parte, el

valor del voltaje umbral calculado con el método de Monte Carlo es 1.5 V, ligeramente inferior al que se obtendría de manera teórica para la unión MOS, que es 1.59 V (ecuación III.8).

Dado que nuestro simulador presenta un buen acuerdo con los modelos teóricos para el estudio de la estructura MOS, cabe preguntarse cuál es el motivo de las discrepancias observadas para el caso del transistor MOSFET. Afortunadamente, el MC2D nos ofrece numerosa información sobre los procesos internos que determinan el comportamiento del dispositivo. Es

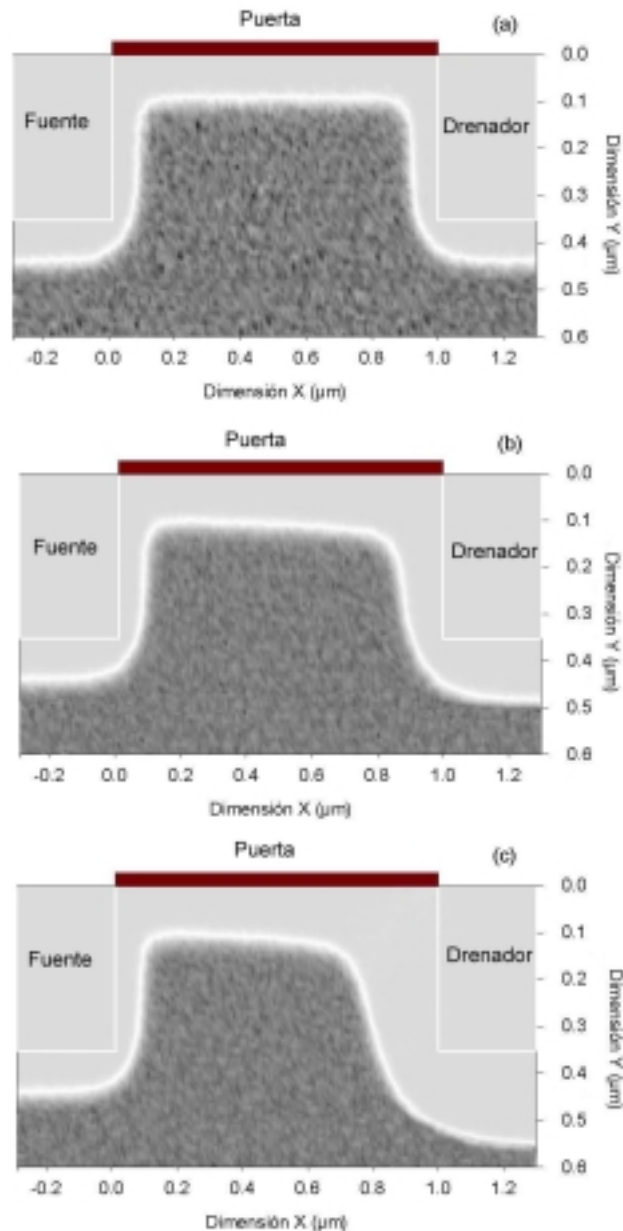


Figura III.22. Perfil de la concentración de huecos en el dispositivo para $V_{GS} = 3.333$ y $V_{DS} = 0.0$ (a), 1.0 (b) y 5.0 V (c).

**** Esto es debido al llamado fenómeno de modulación del canal, que ocurre cuando la anchura de las zonas de vaciamiento de fuente y drenador son apreciables frente a la longitud de puerta total del dispositivo. Dado que es un efecto mucho más pronunciado en dispositivos de canal corto, lo estudiaremos con posterioridad. Los modelos analíticos permiten incluir con ciertas limitaciones el efecto de la modulación del canal sobre la corriente en saturación [Pierret 1994].

posible por tanto dar una explicación a estos resultados mediante el estudio de las magnitudes internas del transistor, y averiguar qué hipótesis de los modelos analíticos están fallando.

2. Concentración de portadores

El estudio de la distribución espacial de la concentración de portadores (electrones y huecos) y su evolución con las tensiones aplicadas en los contactos proporciona una información muy valiosa acerca del comportamiento del dispositivo.

En la Figura III.22 mostramos la concentración de huecos en el transistor para una misma polarización de puerta, $V_{GS} = 3.333$ V (en fuerte inversión) y tres V_{DS} diferentes, 0.0 (Figura III.22[a]), 1.0, en la región triodo (Figura III.22[b]) y 5.0 V, en saturación (Figura III.22[c]). La posición de las islas n^+ de fuente (a la izquierda) y drenador (a la derecha) aparece indicada en la figura, así como la posición del óxido de puerta. El color gris oscuro indica concentración de huecos de 10^{23} m^{-3} (la correspondiente al sustrato de esta estructura simulada) mientras que el gris claro indica concentración de huecos nula.

Como se observa en la Figura III.22(a), para el caso de polarización de drenador nula la distribución de los huecos es totalmente simétrica respecto al centro del canal.

En primer lugar, se pueden observar las zonas de vaciamiento asociadas a las uniones pn de las islas de fuente y drenador. La anchura de estas regiones de vaciamiento corresponde aproximadamente a 0.1 μm , coincidiendo con el valor teórico calculado según la hipótesis de vaciamiento total. En segundo lugar, es posible apreciar la zona de vaciamiento asociada a la

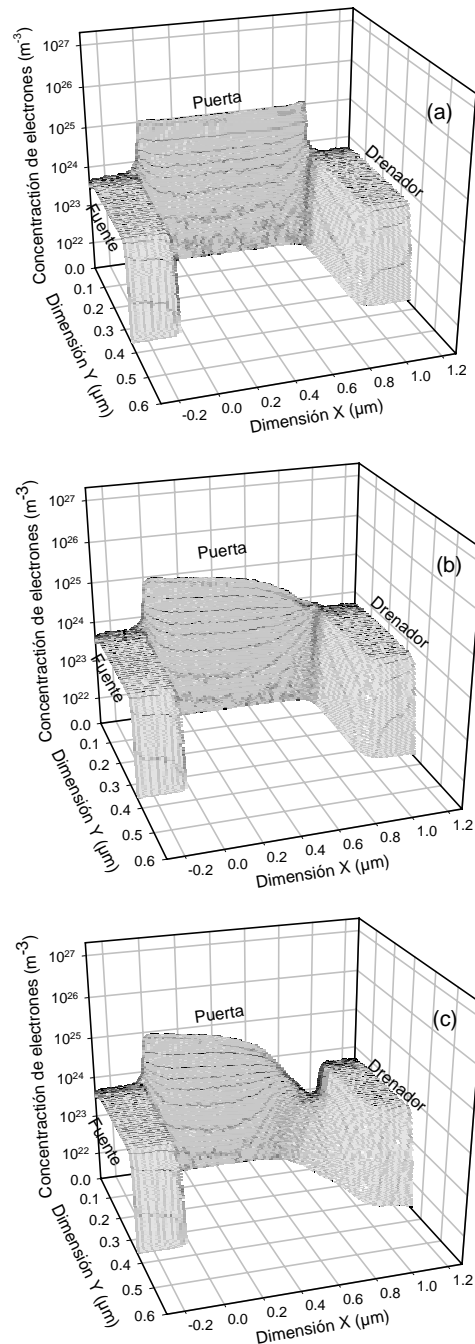


Figura III.23. Concentración de electrones en el dispositivo para $V_{GS} = 3.333$ V y $V_{DS} = 0.0$ (a), $V_{DS} = 1.0$ V (b) y $V_{DS} = 5.0$ V (c)

puerta, cuya anchura corresponde aproximadamente a $0.1 \mu\text{m}$ (reproduciendo también el valor teórico para la anchura máxima de la zona de vaciamiento para la unión MOS, ecuación III.7).

Cuando se aplica una tensión V_{DS} (Figura III.22[b]), la simetría desaparece, observándose en primer lugar un aumento importante de la zona de vaciamiento que rodea a la isla de drenador. Además se aprecia un aumento progresivo de la región de vaciamiento a lo largo de todo el canal desde fuente hacia drenador. Para el caso de una tensión V_{DS} ya en saturación (Figura III.22[c]) vemos como el efecto es más severo, quedando de manifiesto la importancia del aumento de la zona de vaciamiento en el lado de drenador del canal para tensiones V_{DS} elevadas.

La concentración de electrones en el dispositivo se muestra en la Figura III.23 para las mismas condiciones de polarización que acabamos de ver en el caso de los huecos.

Para el caso de tensión $V_{DS} = 0$, puede observarse cómo la capa de inversión se extiende a lo largo de todo el canal de manera uniforme, conectando las islas de fuente y drenador. El valor máximo de la concentración de portadores en dicha capa alcanza un valor de 10^{25} m^{-3} aproximadamente, justo bajo la interfaz óxido-puerta, para caer rápidamente cuando nos adentramos en el sustrato (dirección Y). Si partiendo de esta situación incrementamos V_{DS} unas décimas de voltio, el aumento de corriente con la polarización de drenador es lineal (Figura III.21), pues dada la homogeneidad de la capa de inversión a lo largo del canal su comportamiento es puramente resistivo. En este caso, los modelos analíticos y el MC2D ofrecen resultados prácticamente idénticos, incluso en el caso del modelo cuadrático.

Sin embargo, a medida que V_{DS} aumenta hacia valores ya significativos, la capa de inversión comienza a reducir su concentración de manera progresiva en la parte del canal más cercana a la unión drenador-sustrato (Figura III.23[b]), debido al aumento de la zona de vaciamiento de la unión drenador-sustrato que ya hemos visto con anterioridad (Figura III.22[b]). En este caso, el modelo cuadrático está despreciando este importante efecto, lo que explica que sobreestime la corriente ya en la región triodo para valores de V_{DS} apreciables^{†††}.

Finalmente, llega un momento en el cual la concentración de electrones en la capa de inversión en el lado de drenador llega a ser menor que el dopaje del sustrato, y se produce el fenómeno de la saturación del dispositivo (Figura III.23[c]). En este régimen de funcionamiento, no existe apenas aumento de corriente si se aumenta la tensión de drenador V_{DS} .

3. *Campo eléctrico. Potencial*

En la Figura III.24 mostramos las componentes del campo eléctrico en el dispositivo en las direcciones X e Y para una tensión de puerta $V_{GS} = 3.333 \text{ V}$ y dos diferentes tensiones de drenador, $V_{DS} = 0.0$ (Figura III.24[a]) y $V_{DS} = 5.0 \text{ V}$ (Figura III.24[b]).

^{†††} En general, el modelo cuadrático es aplicable sólo en el caso de dispositivos de canal muy largo y con sustrato poco dopado [Fjeldly *et al.* 1998]

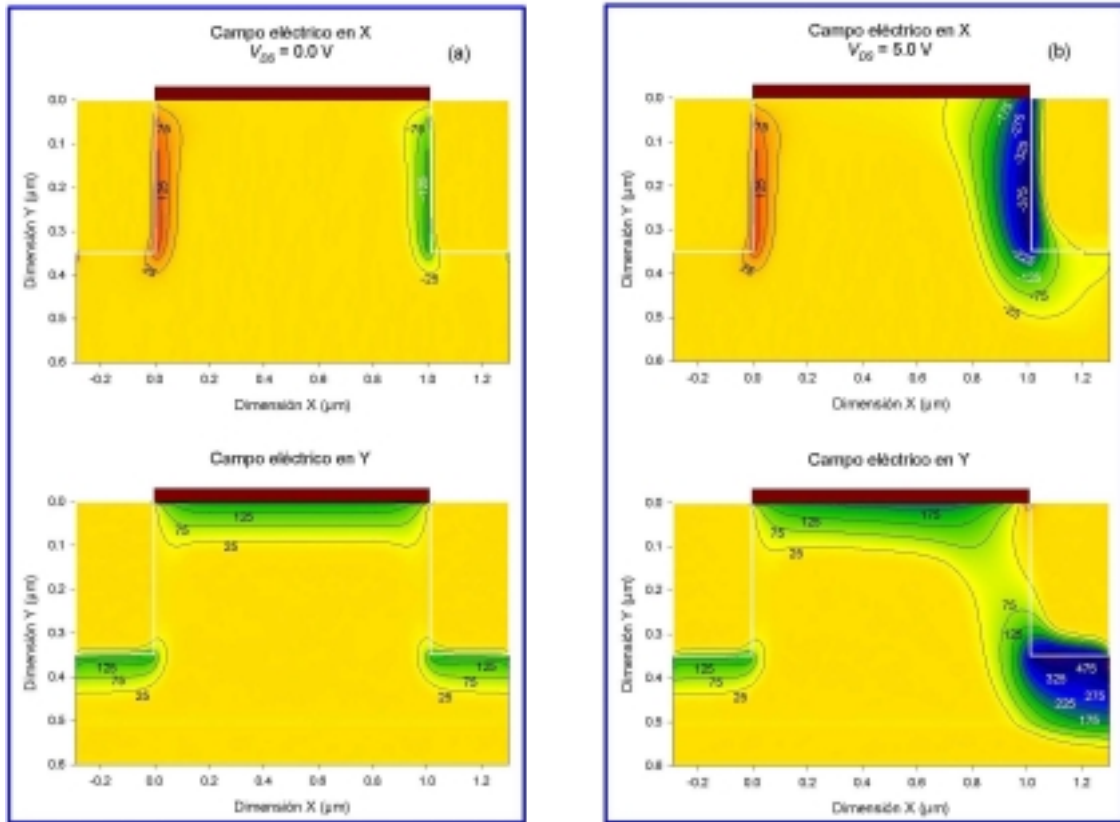


Figura III.24. Campos eléctricos en las direcciones X e Y para $V_{GS}=3.333$ V y dos diferentes V_{DS} , 0.0 (a) y 5.0 (b).

Como observamos en la Figura III.24(a), para una tensión de drenador cero la componente del campo eléctrico en la dirección X presenta un máximo positivo (150 kV cm^{-1} aproximadamente) en la unión pn fuente-substrato y un mínimo negativo (-150 kV cm^{-1} aproximadamente) en el borde de la unión drenador-substrato. En la dirección Y la componente del campo eléctrico es positiva, con el máximo del mismo orden de magnitud en los lados inferiores de las uniones pn de fuente y drenador. Los valores obtenidos para estos campos se corresponden con los que se pueden calcular de manera teórica para una unión pn clásica según la hipótesis de vaciamiento total, y se deben exclusivamente al fenómeno de difusión en dichas uniones, que provoca el vaciamiento de portadores en los contornos de las islas de fuente y drenador.

En la dirección Y además puede apreciarse una componente del campo eléctrico positiva (según el criterio de signos que hemos considerado) a lo largo del canal, que corresponde al campo inducido por la tensión de puerta, responsable del vaciamiento de los huecos cerca de la interfaz óxido-semiconductor y de atraer a los electrones hacia esa misma región para formar la capa de inversión bajo el óxido (Figuras III.22[a] y III.23[a]). Este campo es prácticamente li-

neal bajo la puerta (recuérdese la Figura III.8 en el caso de la estructura MOS), salvo en los bordes donde se observa una pequeña alteración de dicha linealidad. Para la polarización considerada, dicho campo alcanza su valor máximo (aproximadamente 320 kV cm^{-1}) exactamente en la interfaz con el óxido.

En la Figura III.24(b) podemos observar los valores de las componentes del campo eléctrico para una tensión de drenador de 5.0 V , dentro de la región de saturación. Respecto de la situación anterior (polarización V_{DS} nula) apenas hay cambios en la región del canal próxima a la isla de fuente; sin embargo, en la región cercana a la unión drenador-substrato aparecen importantes diferencias. En primer lugar, hay que señalar que tanto en la dirección X como en la dirección Y hay un importante aumento del campo, alcanzándose valores máximos en la dirección X de hasta 420 kV cm^{-1} aproximadamente en la zona correspondiente a la unión metalúrgica drenador-substrato. Esto se ve reflejado en el aumento de la zona de vaciamiento de huecos en torno a la región de drenador (Figura III.22[c]). En segundo lugar, los elevados valores del campo en la dirección X van a provocar como veremos un importante aumento tanto de la energía como de la velocidad de los electrones.

Para comprender mejor los efectos locales asociados a la aplicación de una tensión en el contacto de drenador, en la Figura III.25 mostramos la forma de la banda de conducción del MOSFET (calculada como $-qV$, siendo V el potencial) para las tres polarizaciones estudiadas con anterioridad. El origen de la banda de conducción lo consideramos en el contacto de fuente.

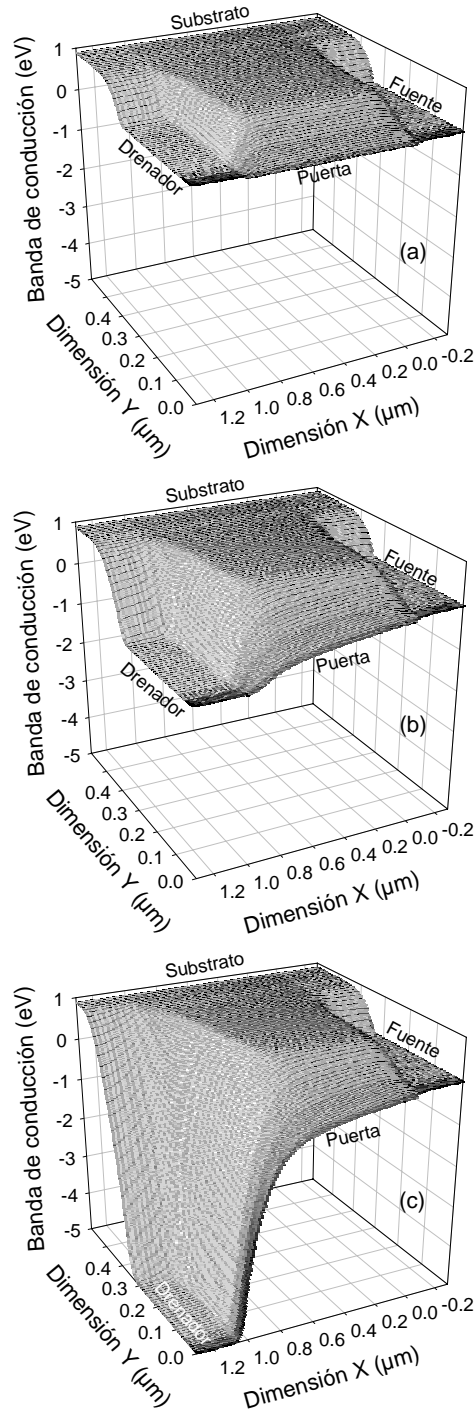


Figura III.25. Curvatura de la banda de conducción para tres diferentes polarizaciones, todas con $V_{GS} = 3.333 \text{ V}$: $V_{DS} = 0.0 \text{ V}$ (a), 1.0 V (b) y 5.0 V (c).

En el caso de $V_{DS} = 0.0$ V (Figura III.25[a]), puede observarse de nuevo la total simetría del dispositivo, apreciándose la curvatura de la banda de conducción provocada por la polarización de puerta.

Sin embargo, cuando se aplica una tensión en el drenador (Figura III.25[b]), la simetría se rompe, de manera que los valores que toma la energía de la banda de conducción en la isla n^+ de drenador son menores que de la isla de fuente, desplazándose una cantidad correspondiente a qV_{DS} . A lo largo del canal puede observarse primero una pequeña caída lineal de la energía de la banda de conducción a lo largo de la interfaz óxido-semiconductor, que se hace más pronunciada en las cercanías del drenador. El punto analizado corresponde a una polarización cercana al fin de la región triodo (Figura III.21).

Para valores de V_{DS} superiores (Figura III.25[c]), la tensión adicional cae prácticamente en su totalidad en la región del canal más próxima al drenador (de $0.2 \mu\text{m}$ de longitud aproximadamente), como podemos ver en la figura, mientras que en el resto del canal el perfil de la banda de conducción apenas se ve modificado (continúa apreciándose una ligera pendiente que indica un comportamiento resistivo en esa zona).

En conclusión, podemos afirmar que en la región de saturación el aumento de la tensión V_{DS} afecta de manera casi exclusiva al lado de drenador del canal. La explicación del fenómeno de la desaparición de la capa de inversión en *pinch-off* es ahora inmediata a la vista de las figuras anteriormente mostradas: la importante deformación de la banda de conducción, hace que los electrones en esa región se desplacen de manera muy rápida hacia el drenador (acelerados por un elevado campo eléctrico), de modo que no es posible mantener la capa de inversión en esa zona (recuérdese la analogía “hidráulica” que presentamos cuando estudiamos el MOSFET de manera cualitativa, analogía que cobra ahora su pleno sentido).

4. Energía y velocidad

Los elevados campos observados en la región de saturación, se ven reflejados de manera inmediata en las energías que alcanzan los electrones en el dispositivo. Los valores medios de energía total se muestran en la Figura III.26 para una polarización de $V_{GS} = 3.333$ V y $V_{DS} = 5.0$ V.

En las regiones de fuente y drenador, así como en la mayor parte del canal, la energía de los portadores es prácticamente la térmica ($3/2 K_B T$). Sin embargo, en la zona correspondiente a las cercanías de la unión drenador-substrato los portadores alcanzan energías elevadas (con máximo alrededor de 1 eV) para volver a recuperar la energía térmica al poco de alcanzar la isla n^+ de drenador. Este fenómeno se debe al aumento de colisiones con fonones de la red, ya que en la zona correspondiente a la unión drenador-substrato, debido al perfil del campo eléctrico en

esta región, existe una importante influencia de los mecanismos de emisión de fonones que son los causantes de la brusca relajación de la energía^{††††}.

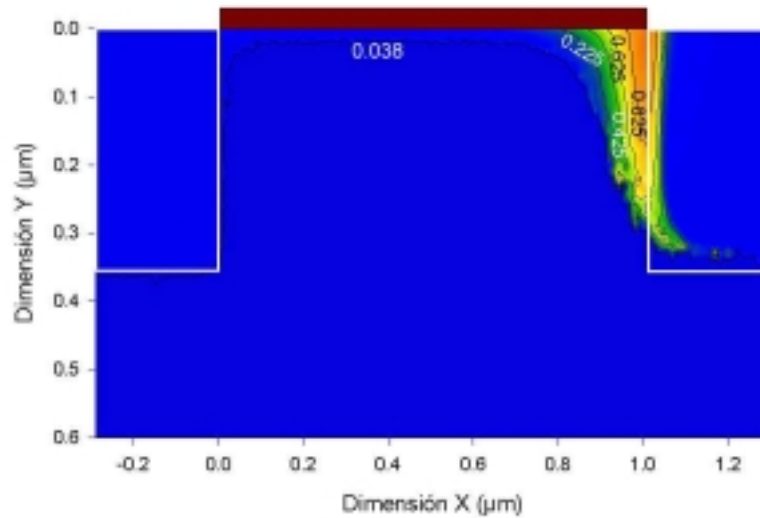


Figura III.26. Energía de los electrones para $V_{GS} = 3.333$ V y $V_{DS} = 5.0$ V

Los portadores altamente energéticos (a los que suele denominarse en la literatura como portadores calientes o *hot carriers*) pueden tener una gran importancia en numerosas magnitudes, especialmente en las asociadas al ruido electrónico, así como en la aparición de fenómenos tales como la ionización por impacto [Sze 1981].

Sin embargo, en este transistor MOSFET con longitud de puerta de 1 μm , se puede comprobar (Figura III.26) cómo la región del dispositivo en la cual los portadores alcanzan esas energías elevadas es muy pequeña en comparación con el tamaño total de la puerta del transistor, lo que indica que el efecto de los

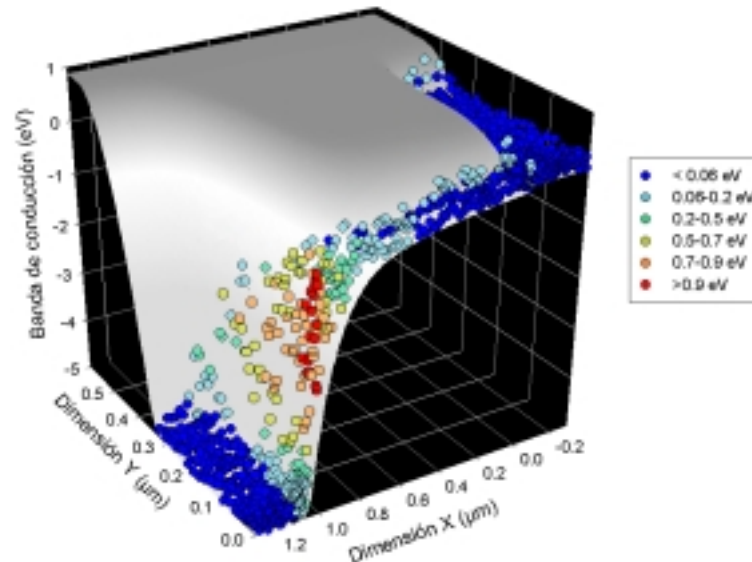


Figura III.27. Energía de los electrones sobre la banda de conducción para $V_{GS} = 3.333$ V y $V_{DS} = 5.0$ V.

portadores calientes no va a ser especialmente importante, siendo en cambio mucho más intenso en dispositivos en los que la longitud de la puerta sea menor (en condiciones de polarización similares).

^{††††} Este fenómeno será analizado detalladamente en el Capítulo IV.

Para finalizar el análisis de la energía de los portadores, en la Figura III.27 mostramos la energía de los electrones sobre la banda de conducción. Como hemos visto con anterioridad, los electrones ganan energía fundamentalmente en la región del canal cercana al drenador, recuperando rápidamente la energía térmica cuando llegan a la región de drenador. Respecto a la energía de los huecos, debemos señalar que en media se corresponde con la térmica en todo el dispositivo para el rango de polarizaciones hasta ahora mostrado.

Es necesario reflejar aquí que aunque se simule el movimiento de los huecos y se incluya su concentración local en la resolución de la ecuación de Poisson, en condiciones estacionarias en media no existe corriente de huecos en el sustrato (para estas polarizaciones) y por tanto en media no existe transporte de carga asociada a ellos.

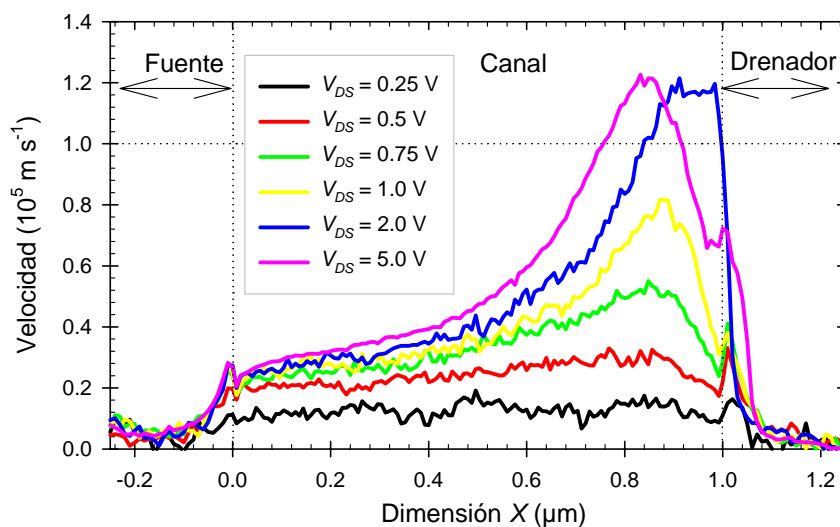


Figura III.28. Velocidad de los electrones para V_{GS} constante e igual a 3.333 V y V_{DS} variando desde 0.25 a 5.0 V.

La velocidad media de los electrones en la dirección X a lo largo del canal para una tensión $V_{GS} = 3.333$ V y un rango de V_{DS} de 0.25 a 5 V es representada en la Figura III.28. Como vemos en la figura, para los valores de V_{DS} más pequeños la velocidad de los portadores a lo largo del canal es prácticamente constante. Este hecho viene determinado por la caída lineal del potencial entre las uniones de drenador y fuente, dado que la capa de inversión se extiende a lo largo de todo el canal (la polarización correspondería a región triodo), comportándose como un elemento resistivo homogéneo. Sin embargo, si aumentamos V_{DS} (p. ej., $V_{DS} = 0.75$ V) podemos ver cómo los portadores tienden a ganar más velocidad de manera progresiva a lo largo del canal. Para polarizaciones de drenador que hacen que el MOSFET tenga su operación cercana al límite de saturación o superiores ($V_{DS} > 1.0$ V) aparece de manera clara una región con mayor velocidad en la zona cercana a drenador (asociada al fuerte valor del campo eléctrico longitudinal), y la velocidad a lo largo del canal ya no es constante. Puede observarse que llegan a alcan-

zarse valores elevados, llegando incluso a sobrepasar para las tensiones de drenador superiores a 1.5 V la velocidad de saturación de los electrones en Si material (en torno a 10^5 m s^{-1}). Este fenómeno se conoce con el nombre de *sobrevelocidad*, y está provocado por los elevados campos eléctricos que aparecen en la región del canal cercana al drenador [Laux y Fischetti, 1988]. Hay que señalar igualmente que, en la región de saturación, a medida que aumentamos V_{DS} , el máximo de la velocidad de los portadores no aumenta, pero sí se desplaza hacia la fuente. Además, vemos que la posición de este máximo para $V_{DS} = 5 \text{ V}$ no coincide con la del máximo de la energía (Figura III.26), que coincidía prácticamente con la posición de la unión *pn* de drenador.

El simulador MC2D también proporciona el tiempo medio de permanencia de los electrones en cada uno de los valles de la banda de conducción (véase el Apéndice 1). En la Figura III.29 mostramos la ocupación de valles para la situación correspondiente a $V_{GS} = 3.333 \text{ V}$ y $V_{DS} = 5.0 \text{ V}$ (correspondiente a saturación) para los electrones en la interfaz óxido-semiconductor a lo largo del canal. En las regiones de fuente y drenador, la ocupación de los valles X en la dirección del campo longitudinal (X1) y los valles transversales al mismo (X2 y X3) es prácticamente la misma (un 33 %), como corresponde a la situación de campo cuasi-nulo (ver Figura A1.5)

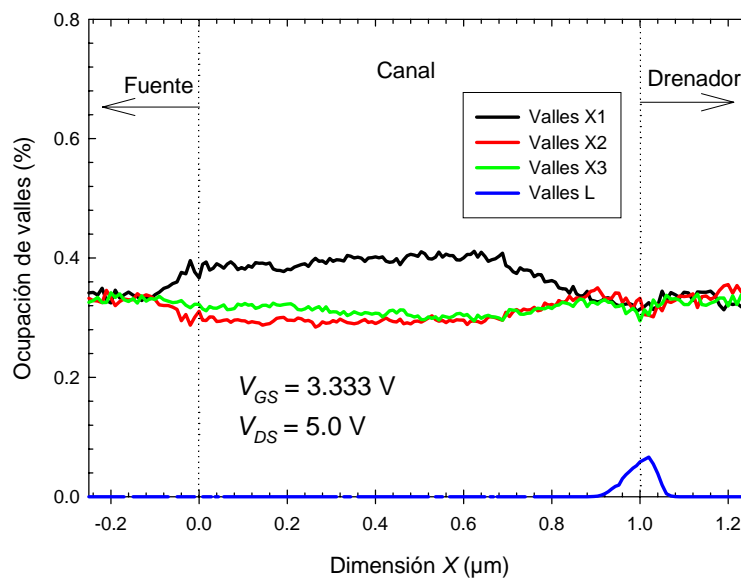


Figura III.29. Ocupación de valles de la banda de conducción para $V_{GS} = 3.333 \text{ V}$ y $V_{DS} = 5.0 \text{ V}$

Sin embargo, en el canal conductor el valle longitudinal se encuentra más poblado (la ocupación alcanza un 40% aproximadamente) que los transversales debido al notable aumento del campo eléctrico que arrastra a los portadores de fuente a drenador. En las proximidades del drenador, el campo alcanza valores muy elevados (recuérdese la Figura III.24), y la población de los tres valles tiende a equilibrarse, tal y como ocurre en Si material para campos elevados (Figura A1.5) a causa del importante aumento de las transiciones intervalle. Además, a medida que los portadores alcanzan velocidades elevadas, algunos comienzan a ocupar los valles supe-

riores de la banda de conducción (valles L), reduciendo por tanto su energía cinética (y en consecuencia su velocidad) pero no su energía total, de manera que es posible observar una reducción de la velocidad media de los electrones acompañada de un aumento simultáneo de la energía media cuando llegamos a la parte final del canal (véase la Figura III.26, donde se aprecia claramente cómo el máximo de energía coincide con la unión drenador-substrato). El fenómeno del desplazamiento del máximo de velocidad hacia regiones más próximas a la fuente cuando aumentamos V_{DS} tiene su origen en que, cuanto mayor es la tensión de drenador, mayor es el campo longitudinal. Por tanto, los portadores alcanzan antes la región de sobrevelocidad, y la población de los valles L tiene lugar para una x menor. En esta situación, los mecanismos de relajación del momento son altamente eficaces, provocando la disminución de la velocidad progresiva una vez alcanzado el máximo, a pesar de encontrarnos aún en la región de *pinch-off*. Sin embargo, respecto a la energía total, ésta sigue siendo elevada, pues aunque los portadores pierden energía cinética al subir a los valles superiores, ganan energía potencial. El valor térmico vuelve a alcanzarse cuando se llega a la isla n^+ de drenador, donde los mecanismos de relajación de la energía asociados a la emisión de fonones provocan un brusco descenso de la energía total.

En conclusión, dado que tanto el modelo cuadrático como el modelo de carga variable asumen una respuesta lineal de la velocidad de los portadores frente al campo eléctrico (a través de una movilidad constante), sobreestiman la corriente, ya que a pesar del fenómeno de sobrevelocidad, para los campos elevados que aparecen en el dispositivo los electrones son incapaces de responder de manera lineal a los mismos. En el caso de V_{GS} elevados, se alcanza el *pinch off* para V_{DS} mayores (debido a la mayor concentración de la capa de inversión), y por lo tanto los campos eléctricos son más elevados que en el caso de V_{GS} menores, con lo cual la discrepancia entre la velocidad real de los portadores y la supuesta por los modelos analíticos es mayor.

Existen modelos analíticos más elaborados que permiten tener en cuenta una dependencia no lineal de la velocidad con el campo eléctrico [Fjeldly *et al.* 1998]. Sin embargo, la fiabilidad de estos modelos depende en gran medida de cómo se establezca esta dependencia, y en cualquier caso, no ofrecen más información que los modelos más sencillos que hemos visto. Además, no permiten estudiar en profundidad los procesos que determinan el funcionamiento del transistor, mientras que como acabamos de ver, el método de Monte Carlo permite investigar de una manera natural, mediante un análisis microscópico del problema (sin realizar ninguna suposición sobre la relación velocidad-campo eléctrico) los diferentes procesos internos que determinan el funcionamiento del dispositivo, lo cual constituye su principal ventaja frente a los modelos analíticos.

5. Ionización por impacto. Corriente de substrato en el MOSFET

El método de Monte Carlo permite estudiar el fenómeno de la ionización por impacto de manera directa, una vez que se han ajustado los coeficientes de ionización en el material y la probabilidad de ionización de los portadores de acuerdo con los valores experimentales (véase el Apéndice 1). En general se trata de un fenómeno con mayor importancia en dispositivos en los cuales la relación entre V_{DS} y L_g sea elevada. En el caso del MOSFET bajo estudio puede observarse para tensiones de drenador suficientemente altas, en concreto por encima de los 6 V. En nuestro caso hemos considerado únicamente la ionización producida por los electrones, ya que en el rango de tensiones analizado los huecos presentes en el dispositivo no alcanzan las energías necesarias para que se produzca este fenómeno.

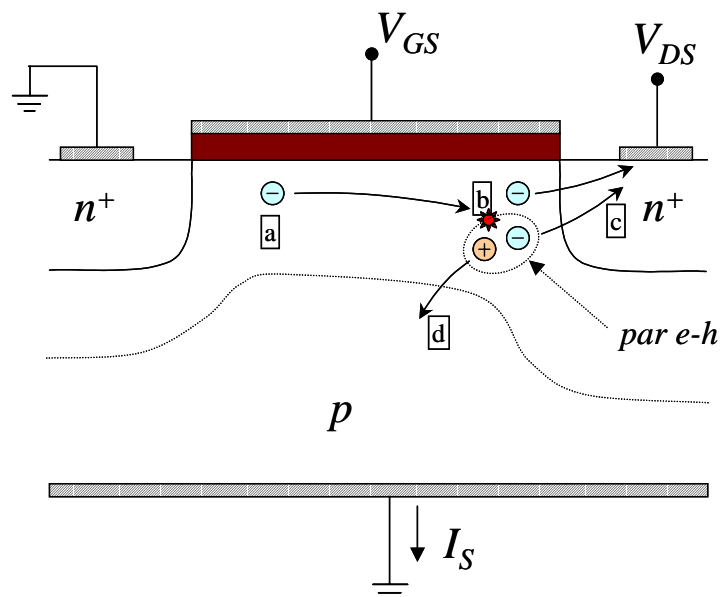


Figura III.30. Fenómeno de la ionización por impacto en un transistor MOSFET

El proceso mediante el cual ocurre la ionización por impacto se muestra en la Figura III.30. Inicialmente, un electrón se desplaza desde la fuente hacia el drenador a través del canal (Figura III.30[a]), ganando progresivamente energía a medida que se acerca al extremo del canal cercano al drenador, donde como hemos visto con anterioridad los campos eléctricos alcanzan sus valores más elevados. Cuando su energía supera el valor de la energía umbral de ionización, las posibilidades de que ocurra un proceso de multiplicación de portadores aumentan considerablemente. En el caso de que se produzca la ionización, el electrón incidente provoca la aparición de un par electrón-hueco (Figura III.30[b]). El nuevo electrón correspondiente al par electrón-hueco es atraído hacia el drenador, contribuyendo de este modo al aumento de corriente I_D (Figura III.30[c]). El hueco en cambio se ve repelido por el campo eléctrico que rodea a la isla n^+ , dirigiéndose hacia la región de sustrato (Figura III.30[d]) [Sze 1981, Pierret 1994].

En condiciones de ausencia de fenómenos de multiplicación, el transporte de carga tiene un carácter unipolar. Sin embargo, cuando ocurre la ionización por impacto, los huecos creados

van a generar una corriente en el terminal de sustrato. Por ello, el estudio del fenómeno de la ionización por impacto suele realizarse a través de la medida de la corriente que fluye por el terminal de sustrato del dispositivo [Gao *et al.* 2002]. El método de Monte Carlo nos permite calcular de manera inmediata y precisa el valor de esta corriente.

En la Figura III.31(a) mostramos los valores de las corrientes en los terminales de fuente, sustrato y drenador en función de V_{DS} para un V_{GS} de 5.0 V (correspondiente a la parte más alta de las características de salida). Para los V_{DS} mayores, los electrones alcanzan en media energías más elevadas y por tanto la posibilidad de que ocurran fenómenos de multiplicación es mayor. Como puede observarse, el aumento de corriente de drenador es apreciable a partir de V_{DS} en torno a 5.0 V, y se debe de manera prácticamente exclusiva a los electrones secundarios generados por estos fenómenos, dado que la corriente de fuente permanece prácticamente sin variaciones (casi idéntica a la que veríamos en el dispositivo si no existiera el fenómeno de ionización), lo que es indicativo de que el efecto de realimentación regenerativa debida a la polarización del sustrato para las tensiones mostradas no es importante, a causa principalmente de la baja resistividad del sustrato en el dispositivo bajo estudio^{§§§§}.

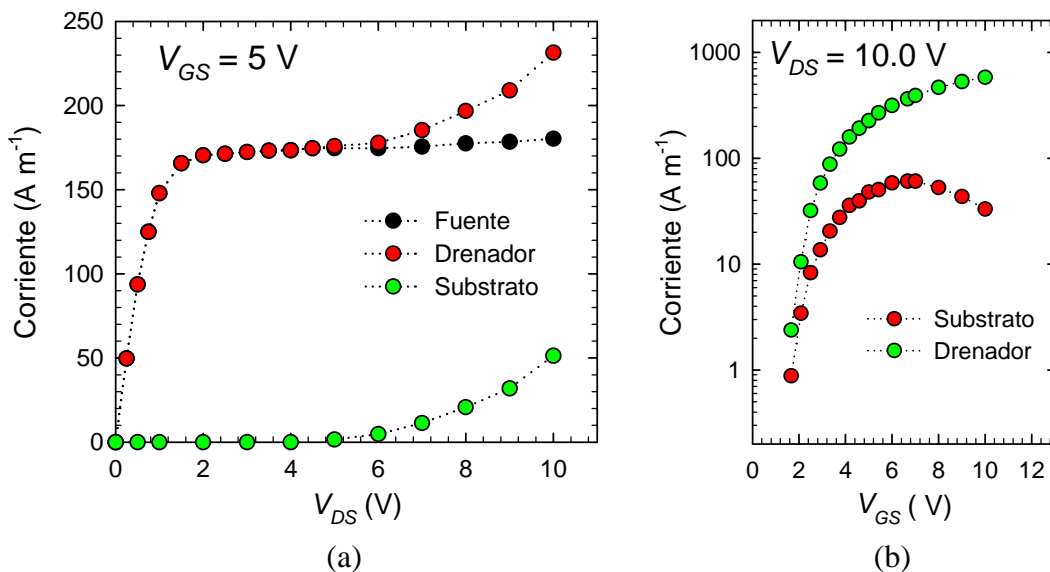


Figura III.31. Corrientes de drenador, fuente y sustrato en función de V_{DS} para $V_{GS} = 5.0$ V (a) y corrientes de drenador y sustrato en función de V_{GS} para $V_{DS} = 10.0$ V (b).

En la Figura III.31(b) hemos representado las corrientes de drenador y sustrato en función de V_{GS} para $V_{DS} = 10.0$ V. La corriente de sustrato posee un máximo en torno a 6.6 V,

^{§§§§} En el caso de existir corrientes de sustrato, la caída de potencial asociada a esta corriente y a la resistencia del sustrato provoca la polarización en directa de la unión fuente-sustrato, de manera que aumenta el flujo de portadores desde la fuente. La ionización en este caso provoca un efecto regenerativo en el aumento de corriente que puede llegar incluso a provocar el fenómeno de “ruptura” del dispositivo.

tendiendo a adoptar la típica forma de campana que aparece descrita en la literatura [Gao *et al.* 2002].

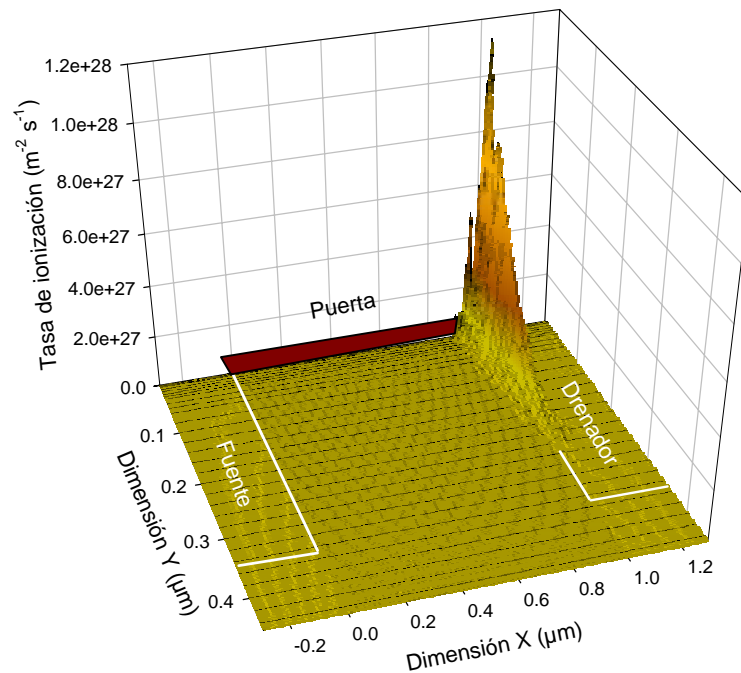


Figura III.32. Tasa de ionización por impacto ($V_{GS} = 5.0$ V y $V_{DS} = 10.0$ V)

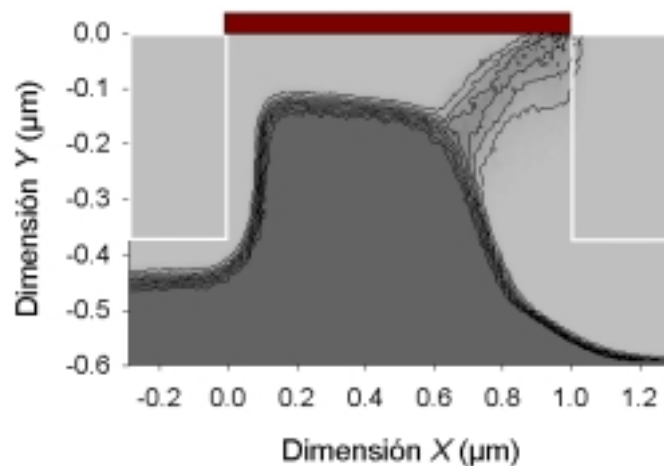


Figura III.33. Concentración de huecos para $V_{GS} = 5.0$ V y $V_{DS} = 10.0$ V

En la Figura III.32 hemos representado la distribución espacial de la tasa de ionización por impacto de electrones en el dispositivo para la condición de polarización correspondiente a $V_{GS} = 5.0$ V y $V_{DS} = 10.0$ V, con el objetivo de identificar las regiones en las cuales se produce el fenómeno de la ionización. La multiplicación de portadores se da principalmente en una región correspondiente a la unión metalúrgica drenador-substrato adyacente al canal, alcanzándose un máximo para la tasa de ionización de $1.1 \times 10^{28} \text{ m}^{-2} \text{ s}^{-1}$ aproximadamente, coincidiendo con la zona en la cual los electrones alcanzan los valores más elevados de energía (Figura III.26).

Con el fin de comprobar cual es el recorrido que siguen los huecos que son creados por ionización por impacto, en la Figura III.33 se muestra la concentración de huecos para $V_{GS} = 5.0$ V y $V_{DS} = 10.0$ V. Como podemos observar en la figura, el camino que siguen es el que les lleva de manera más directa desde el extremo de drenador del canal (zona en la cual son creados) hasta la zona del substrato en la cual la concentración de huecos libres es apreciable.

En conclusión, hemos visto que nuestro simulador Monte Carlo es capaz de reproducir de manera totalmente fiable el funcionamiento de un transistor MOSFET típico, con la particularidad de que la ingente cantidad de información que proporciona nos permite efectuar una descripción física de dicho funcionamiento, así como esclarecer los límites de los modelos analíticos.

IV. Modelización de transistores MOSFET submicrométricos

Desde hace tiempo ha sido para mí un axioma que las cosas pequeñas son con mucho las más importantes.

Sir Arthur Conan Doyle (1859-1930)

Hasta el presente momento, nuestro análisis del transistor MOSFET ha perseguido un doble objetivo. Por una parte, nos hemos centrado en el estudio de la física interna mediante el análisis de las magnitudes estáticas, y por otra parte, hemos investigado la validez de diferentes modelos analíticos sencillos mediante la comparación con los resultados del simulador MC2D. Para ello, consideramos un transistor MOSFET con las mayores dimensiones posibles para que su simulación fuera viable en cuanto a tiempo de CPU y recursos de cálculo, lo que justificaba la simulación de un transistor de 1 μm de longitud de puerta.

En este capítulo vamos a adentrarnos en el rango de las dimensiones submicrométricas, efectuando un análisis en profundidad de los principales parámetros (estáticos, dinámicos y de ruido) de transistores MOSFET con dimensiones de puerta por debajo del cuarto de micra.

La estructura del presente capítulo es la siguiente. En el primer apartado, vamos a estudiar el escalado del transistor MOSFET, (ocupándonos preferentemente del escalado a campo

constante, cuyas características detallaremos) y sus consecuencias. Para ello, y partiendo del MOSFET de $1\ \mu\text{m}$ que hemos estudiado anteriormente, hemos efectuado la simulación de dos transistores siguiendo los requerimientos de esta condición, uno con longitud de puerta de $0.25\ \mu\text{m}$ y el otro con longitud de puerta de $0.13\ \mu\text{m}$. Se evaluará su comportamiento no solamente en cuanto a magnitudes estáticas, sino también en cuanto a la respuesta dinámica y variación de los parámetros de ruido frente a posibles cambios en las condiciones de polarización o en la frecuencia de operación. Teniendo en cuenta el elevado tiempo de CPU requerido para un cálculo preciso tanto de parámetros dinámicos como de ruido, su determinación se ha efectuado únicamente para los transistores más pequeños, ya que mientras los transistores con L_g inferiores a $0.25\ \mu\text{m}$ constituyen el núcleo de la microelectrónica CMOS actual, hoy en día un transistor de $1\ \mu\text{m}$ de longitud de puerta no presenta ningún interés desde el punto de vista de las aplicaciones prácticas. Además, tomando como punto de partida el transistor de $0.25\ \mu\text{m}$, vamos a aprovechar las ventajas que nos ofrece el MC2D para analizar respecto a la magnitudes anteriormente mencionadas el efecto de variar de manera aislada, sin efectuar el escalado completo, algunos parámetros clave de la topología del dispositivo, como son la longitud de la puerta L_g o el dopaje del sustrato N_A .

Posteriormente, en la segunda parte de este capítulo comentaremos algunos efectos que aparecen en los MOSFET reales (presencia de cargas en el óxido, polarización del sustrato, etc.) que ilustraremos en ocasiones con resultados obtenidos con el método de Monte Carlo para algunas de las magnitudes más relevantes.

IV.1. El escalado del transistor MOSFET: viaje a las dimensiones submicrométricas

Como señalamos en la Introducción, la progresiva disminución del tamaño de los transistores MOSFET ha sido uno de los factores clave (si no el principal) para el desarrollo de la microelectrónica moderna [Sah 1991]. El escalado de los dispositivos, combinado con el escalado de las interconexiones ha permitido que más dispositivos (con más funcionalidad) sean integrados en un único chip, permitiendo al mismo tiempo mayores frecuencias de operación [Momose *et al.* 1996, Huang *et al.* 1998, Iwai 1999a]. Sin embargo, a la hora de afrontar la reducción de las dimensiones de los dispositivos, es necesario seguir una serie de *reglas de escalado* para poder realizar dicha reducción de manera apropiada, ya que no solo es necesario reducir el tamaño de la puerta, sino también modificar otros parámetros [Dennard *et al.* 1975, Iwai 1999a, Iwai 1999b].

Existen diferentes opciones para realizar el escalado de los dispositivos. Entre las diferentes posibilidades, destaca el llamado *escalado de campo constante* (CC), cuyas bases fueron

determinadas por Dennard *et al.* en 1974. En este esquema de escalado, las dimensiones geométricas de los dispositivos, tanto verticales como horizontales, así como los voltajes aplicados, se reducen por un factor llamado *factor de escalado* (que denotaremos por κ). De esta manera, los campos eléctricos en el dispositivo deben mantenerse constantes para una condición de polarización dada. Para completar de manera apropiada el escalado, el dopaje del sustrato debe multiplicarse por κ con el objetivo de reducir las zonas de vaciamiento por el mismo factor de escalado (y de esa manera “mantener” las características eléctricas del dispositivo). Otros esquemas de escalado propuestos en la literatura son el *escalado de voltaje constante* (VC) y el *escalado de voltaje cuasi-constante* (VCC, también a veces conocido como escalado generalizado) [Chatterjee *et al.* 1982, Baccarani *et al.* 1984, Dennard 1989, Critchlow 1999]. El VC mantiene la polarización constante y reduce el espesor del óxido de puerta en un factor $\kappa^{1/2}$ para reducir el crecimiento de los campos en el óxido. El VCC en cambio, reduce el voltaje de polarización en menor medida que el CC. En la Tabla IV.1 mostramos las reglas de escalado para cada uno de los diferentes esquemas propuestos.

Magnitud	Campo Constante	Voltaje Constante	Voltaje Cuasi-constante
Dimensiones	$1/\kappa$	$1/\kappa$	$1/\kappa$
Potenciales	$1/\kappa$	1	$1/\sqrt{\kappa}$
Dopaje sustrato	κ	κ	κ
Espesor Óxido	$1/\kappa$	$1/\sqrt{\kappa}$	$1/\kappa$

Tabla IV.1. Variación de las magnitudes en los diferentes tipos de escalado

Es importante reseñar que hoy en día con frecuencia no se siguen normas estrictas de escalado [Iwai 1999a, Iwai 1999b], dado que las pequeñas dimensiones de los dispositivos que se manejan en la actualidad hacen que las necesidades de cada dispositivo o aplicación en particular requieran la modificación de algunos parámetros (espesor del óxido, dopaje del sustrato) de manera independiente con el fin de minimizar efectos no deseados. Entre los métodos que hemos mencionado, el que quizá refleja mejor la tendencia de la industria en la pasada década es el escalado de voltaje cuasi-constante (que coincide con el escalado de campo constante salvo por los voltajes empleados)* [Critchlow 1999].

En nuestro caso, vamos a estudiar inicialmente la reducción de las dimensiones del MOSFET siguiendo el *escalado de campo constante* CC, debido en primer lugar al mayor inte-

* El escalado de los dispositivos debe ir acompañado de la reducción de las dimensiones de las interconexiones que unen a los mismos en el chip, proceso que con frecuencia presenta limitaciones.

rés, desde el punto de vista físico, de estudiar la evolución de los dispositivos en las condiciones que plantea este esquema (y evaluar su margen de validez), y en segundo lugar a que la ausencia de datos experimentales con los que comparar las estructuras simuladas no nos impone ninguna limitación a la hora de realizar el escalado ideal. Con posterioridad veremos cuál es el efecto de no considerar las reglas completas de escalado en la reducción de la longitud de puerta del dispositivo, es decir, limitándonos a reducir su valor sin variar ningún otro parámetro, ya que es muy frecuente encontrar en la literatura (tanto en trabajos de simulación como experimentales) estudios sobre la reducción de las dimensiones de los dispositivos realizados de este modo.

Según el escalado de campo constante (de manera ideal), la corriente total, el voltaje umbral y el tiempo de tránsito en el canal deben reducirse de manera proporcional al factor κ . Adicionalmente, el número de dispositivos por área debe aumentar en un factor igual a κ^2 , y la potencia disipada reducirse por κ^2 . En nuestros resultados (dado que no simulamos la anchura W de los dispositivos[†]) la densidad de corriente debe ser constante y la transconductancia por unidad de longitud debe aumentar en un factor κ .

IV. 1. a) Estructuras simuladas

A partir del transistor de 1 μm estudiado en el capítulo anterior, vamos a trabajar, siguiendo las reglas del escalado CC, con dos factores de escalado, $\kappa_{0.25}=4$ (con lo que la longitud de puerta de este dispositivo será $L_{g1} = 0.25 \mu\text{m}$), y un segundo factor de escalado $\kappa_{0.13}=7.7$ (que corresponde con una longitud de puerta $L_{g2} = 0.13 \mu\text{m}$). La geometría de los dispositivos correspondería con la mostrada en la Figura III.20, pero teniendo en cuenta los siguientes parámetros:

► Para el caso del transistor de 0.25 μm , el valor del dopaje del sustrato N_A es $4 \times 10^{23} \text{ m}^{-3}$, la profundidad de las islas n^+ es igual a 0.1 μm y el espesor del óxido t_{ox} toma un valor de 8.25 nm. El dopaje de las islas n^+ se ha aumentado a $1 \times 10^{24} \text{ m}^{-3}$. El paso temporal elegido para las simulaciones MC2D es 2 fs, y las dimensiones de las mallas varían entre 10 y 50 Å en la dimensión vertical Y y 30 y 50 Å en la dimensión horizontal X , con el objetivo de resolver la ecuación de Poisson de la manera más precisa posible minimizando el tiempo de CPU. El número de partículas en la simulación de este dispositivo oscila entre 45000 y 51000, dependiendo de la condición de polarización, correspondiendo de ellas aproximadamente unas 30000 a huecos. El valor de EPE y EPH en este caso es de $1.25 \times 10^6 \text{ m}^{-1}$.

[†] La mayoría de los resultados de esta memoria se muestran normalizados por la dimensión no simulada, W . Sin embargo, el lector debe tener presente que en el caso del escalado CC esta magnitud también debería ser escalada por el factor κ .

► En cuanto al transistor de $0.13\ \mu\text{m}$, el dopaje del sustrato es $7.7 \times 10^{23}\ \text{m}^{-3}$, la profundidad de las islas de fuente y drenador es $50\ \text{nm}$ y el espesor del óxido t_{ox} es $4.3\ \text{nm}$. El dopaje de las islas n^+ corresponde a $2 \times 10^{24}\ \text{m}^{-3}$. El paso temporal en este caso es $1\ \text{fs}$, mientras que las dimensiones de las mallas oscilan entre 8 y $50\ \text{Å}$ en la dirección Y y $25\ \text{Å}$ en la dirección X , lo que permite resolver de manera adecuada la ecuación de Poisson en todas las regiones del dispositivo. El número de partículas considerado es similar al del MOSFET anterior. En este caso, el EPE y el EPH toman un valor de $6.25 \times 10^5\ \text{m}^{-1}$

Hemos elegido estos dos factores de escalado por diferentes motivos: en primer lugar, los transistores de $0.25\ \mu\text{m}$ se hallan ampliamente representados tanto en la industria como en artículos científicos, mientras que los de longitud de puerta de $0.13\ \mu\text{m}$ hoy en día están comenzando a convertirse en el estándar de la industria [SIA 2001], con lo cual la importancia de estudiar estas geometrías es clara. En segundo lugar, las pequeñas longitudes de puerta consideradas nos van a permitir observar con más claridad algunos efectos de canal corto. Asimismo, desde el punto de vista de la simulación MC2D, el menor tamaño supone una enorme ventaja en cuanto a los tiempos de simulación requeridos para poder realizar un análisis exhaustivo del comportamiento de los dispositivos. Especialmente significativo es el caso del estudio del ruido electrónico (y también, aunque en menor medida, de los parámetros dinámicos), donde como ya hemos señalado son necesarios tiempos de simulación muy elevados una vez alcanzado el punto de operación estacionario, para poder obtener la resolución estadística necesaria para describir de manera adecuada las fluctuaciones de la corriente en los terminales. En el caso del transistor de $1\ \mu\text{m}$ estos tiempos son prácticamente prohibitivos. Por otra parte, debemos destacar que para los valores de t_{ox} considerados la presencia de corrientes a través del óxido de puerta por efecto túnel directo es despreciable, ya que este fenómeno comienza a cobrar importancia para espesores del óxido inferiores a $3\ \text{nm}$, como ya comentamos en el Capítulo III [Momose *et al.* 1996, Lo *et al.* 1999].

	MOSFET $1\ \mu\text{m}$	MOSFET $0.25\ \mu\text{m}$	MOSFET $0.13\ \mu\text{m}$
κ	1	4	7.7
t_{ox}	33 nm	8.25 nm	4.3 nm
N_A	$1 \times 10^{23}\ \text{m}^{-3}$	$4 \times 10^{23}\ \text{m}^{-3}$	$7.710^{23}\ \text{m}^{-3}$
L_g	$1\ \mu\text{m}$	$0.25\ \mu\text{m}$	$0.13\ \mu\text{m}$
x_j	350 nm	100 nm	50 nm

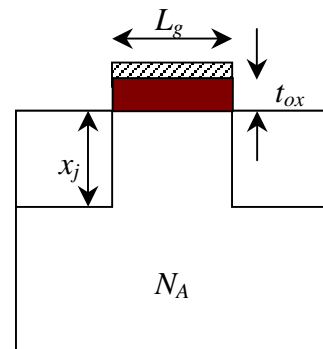


Tabla IV.2. Principales parámetros considerados en las estructuras MOSFET escaladas

IV. 1. b) Características estáticas

1. Escalado a campo constante

Para mantener el campo constante (condición fundamental del escalado CC), hemos considerado las siguientes condiciones de polarización:

♦ Respecto a la tensión de drenador, cuando estudiemos la variación de magnitudes para un V_{DS} constante en la región de saturación, consideraremos los siguientes valores equivalentes: $V_{DS}^{\kappa 1} = 5.0$ V, $V_{DS}^{\kappa 0.25} = 1.25$ V y $V_{DS}^{\kappa 0.13} = 0.65$ V, que corresponden a la condición de escalado CC (en las gráficas lo denotaremos por $V_{DS}^{\kappa i} \kappa i = 5.0$ V).

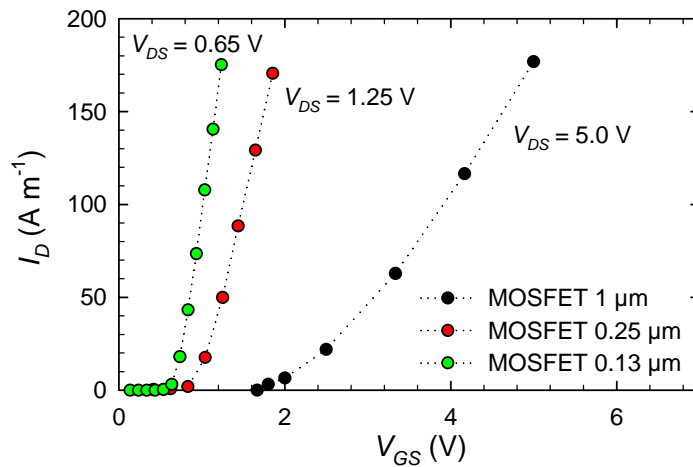


Figura IV. 1. Característica de transferencia a V_{DS} constante para las tres estructuras MOSFET consideradas, siguiendo un escalado CC ($V_{DS}^{\kappa i} \kappa i = 5.0$ V)

♦ En cuanto a la tensión de puerta, el escalado se ha realizado con respecto a $V_{GS} - V_T$. En numerosas ocasiones, mostraremos magnitudes y parámetros en función de $V_{GS} - V_T$ normalizada (multiplicada por el factor κ) con el fin de poder efectuar comparaciones bajo iguales condiciones de polarización para los diferentes dispositivos. Así, la condición para poder comparar puntos con tensión de puerta equivalente será: $(V_{GS}^{\kappa 1} - V_T^{\kappa 1}) \kappa 1 = (V_{GS}^{\kappa 0.25} - V_T^{\kappa 0.25}) \kappa 0.25 = (V_{GS}^{\kappa 0.13} - V_T^{\kappa 0.13}) \kappa 0.13$

En la Figura IV.1, mostramos los valores de la característica de transferencia para la condición de campo constante considerada, en saturación para todas las estructuras. En esta ocasión V_{GS} no ha sido normalizado con el fin de que sean más patentes las diferencias entre los dispositivos. Como vemos, puede observarse que, siguiendo las condiciones del escalado CC, el valor de la tensión umbral V_T disminuye considerablemente a causa del aumento del dopaje del substrato. Además, otro efecto que se observa es que la pendiente de la característica es mayor a medida que las dimensiones del transistor son menores, lo cual es indicativo de una mucha mayor transconductancia (por unidad de longitud no simulada) para los dispositivos pequeños. Por tanto, ya de manera inicial resultan claras las ventajas de realizar un diseño empleando transistores de dimensiones reducidas.

A partir de estas características de transferencia, es posible calcular de manera gráfica el potencial umbral de los dispositivos. Para ello, basándonos en la dependencia ideal indicada por la ecuación III.15, se calcula la raíz cuadrada de la corriente de drenador y se extrapola linealmente para buscar el corte con el eje de V_{GS} [Ong 1984]. Los resultados que obtenemos son los que se muestran en la Tabla IV.2. Mostramos también el valor teórico del potencial umbral que se obtiene con el cálculo clásico para la estructura MOS (ecuación III.8).

Como queda patente en la Tabla IV.2, en todos los casos se observa una reducción del potencial umbral respecto al valor teórico calculado[‡]. La reducción es muy similar en valor absoluto en los tres dispositivos. Estudiaremos este fenómeno con más detalle cuando analicemos las consecuencias de variar el dopaje del sustrato.

	V_T (MC2D)	V_T teórico
MOSFET 1 μm	1.50	1.59
MOSFET 0.25 μm	0.75	0.84
MOSFET 0.13 μm	0.56	0.65

Tabla IV.2. Valor del potencial umbral para los diferentes MOSFETs escalados

En la Figura IV.2 hemos representado las características de salida para el transistor de 0.25 μm (a) y para el de 0.13 μm (b). Las correspondientes al transistor de 1 μm han sido ya previamente mostradas en el capítulo anterior (Figura III.21). Los valores de V_{GS} representados corresponden a condiciones de polarización equivalentes teniendo en cuenta las reglas del escalado CC, que ya hemos comentado con anterioridad. Para valores de V_{GS} pequeños, las diferen-

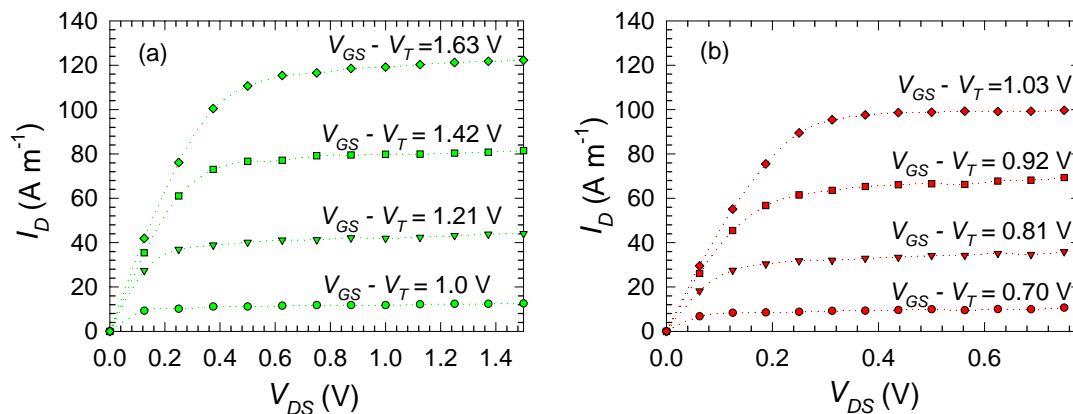


Figura IV.2. Características de salida para el transistor de 0.25 μm (a) y para el de 0.13 μm (b)

[‡] En la literatura, con frecuencia este fenómeno se denomina efecto de canal corto. En nuestro caso, hemos preferido emplear este término para referirnos de manera global a todo el conjunto de fenómenos asociados a la reducción de las dimensiones, no solamente a la reducción de V_T .

cias entre los dispositivos son apenas significativas, obteniéndose valores muy cercanos de I_D . Sin embargo, a medida que aumenta la tensión de puerta, y especialmente en el caso de V_{GS} más elevada, es posible apreciar una reducción del valor de la corriente en saturación para el transistor con dimensiones menores.

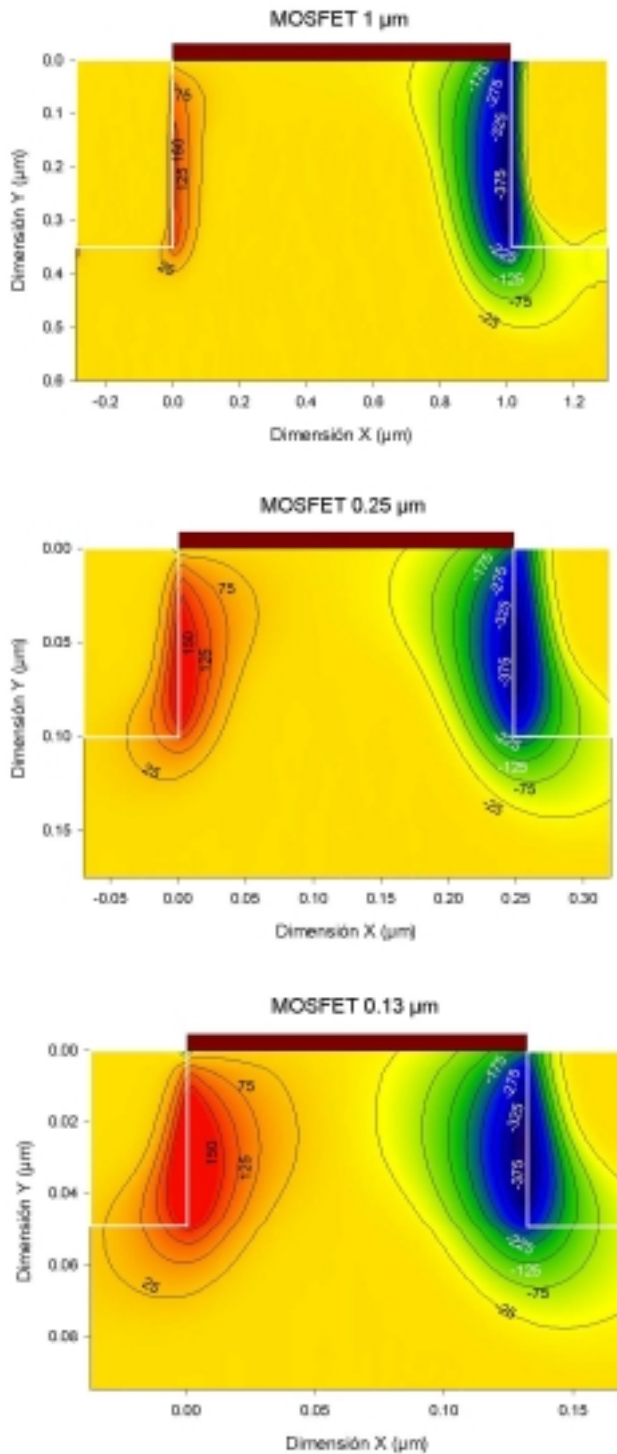


Figura IV.3. Valor del campo eléctrico en la dirección X para los tres dispositivos ($(V_{GS}^{\kappa i} - V_T^{\kappa i}) \kappa i = 1 \text{ V}$ y $V_{DS}^{\kappa i} \kappa i = 5 \text{ V}$)

A continuación, vamos a examinar las principales magnitudes internas de los dispositivos (campo eléctrico, concentración, velocidad y energía de los portadores) con el fin de clarificar las diferencias en el comportamiento de los mismos cuando se realiza el escalado.

En primer lugar, vamos a examinar el valor de la componente del campo eléctrico en la dirección X para los tres transistores en saturación en condiciones de polarización equivalentes, con $(V_{GS}^{\kappa i} - V_T^{\kappa i}) \kappa i = 1 \text{ V}$ y $V_{DS}^{\kappa i} \kappa i = 5 \text{ V}$ (Figura IV.3). Es necesario hacer constar que el campo en la unión *pn* de fuente corresponde prácticamente al valor teórico para dicha unión (como hemos visto en el Apartado III.3 del capítulo anterior, en saturación la diferencia aparece fundamentalmente en la unión de drenador).

El valor máximo de dicho campo aumenta a medida que lo hace el dopaje de sustrato, de ahí que sea mayor en los dispositivos más pequeños. Por tanto, una primera conclusión que nos ofrece el MC2D es que la condición de campo constante no se cumple estrictamente en la unión fuente-su-

strato.

En segundo lugar, respecto a la unión *pn* drenador-substrato, el valor del máximo de la componente en *X* del campo eléctrico es muy similar en los tres dispositivos (410 kV cm^{-1}

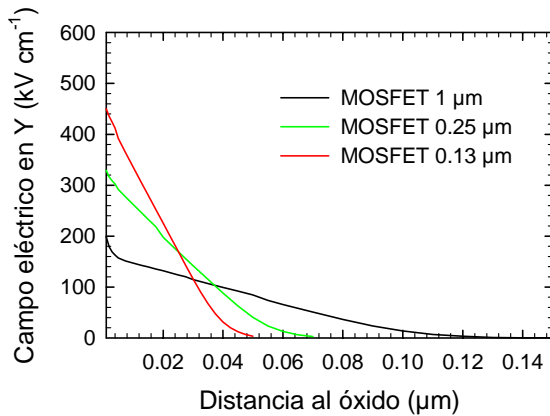


Figura IV. 4. Componente del campo eléctrico en la dirección *Y* para los tres dispositivos en condiciones de $(V_{GS}^{ki} - V_T^{ki}) \text{ ki} = 1 \text{ V}$ y con $V_{DS} = 0.0 \text{ V}$

aproximadamente), lo cual indica que la condición de campo constante sí se cumple de manera notable al menos respecto al valor máximo en dicha unión. Sin embargo, hay que indicar que para los transistores más pequeños la homogeneidad del campo es mucho menor, siendo posible apreciar cómo valores de campo eléctrico elevados “invaden” una parte importante del canal conductor, mientras que el transistor de $1 \mu\text{m}$ presenta una homogeneidad notable a lo largo de la unión *pn* y

en la mayor parte del canal el valor del campo en *X* es muy pequeño en comparación con el observado en las uniones drenador-substrato y fuente-substrato.

En la Figura IV.4 mostramos la componente del campo eléctrico bajo la puerta en la dirección *Y* en la coordenada *X* correspondiente a la mitad de la región de puerta, y en condiciones de tensión de drenador igual a 0 V y para tensión de puerta $(V_{GS}^{ki} - V_T^{ki}) \text{ ki} = 1 \text{ V}$ en los tres MOSFETs. Por una parte, el valor del campo alcanza valores más elevados en la interfaz óxido-semiconductor cuanto más pequeño es el dispositivo (desde 200 kV cm^{-1} para el transistor de $1 \mu\text{m}$ hasta 450 kV cm^{-1} para el de $0.13 \mu\text{m}$), pero sin embargo, la anchura de la zona de vaciamiento (determinada por el punto en el cual la pendiente del campo eléctrico corta al eje de abscisas) se va reduciendo, desde 100 nm aproximadamente para el transistor mayor hasta 40 nm para el menor (como es lógico pues el dopaje del substrato es mayor en este caso), obteniéndose los valores de la predicción ideal para el estructura MOS en esta región central del canal.

En la Figura IV.5 mostramos la concentración de portadores para los tres transistores bajo las siguientes condiciones de polarización: $(V_{GS}^{ki} - V_T^{ki}) \text{ ki} = 1 \text{ V}$ y $V_{DS}^{ki} \text{ ki} = 5 \text{ V}$. Como puede apreciarse en la Figura, en el transistor de $1 \mu\text{m}$ la concentración de electrones presenta una caída suave hacia el drenador en la capa de inversión, que se hace más pronunciada cuando se alcanza la zona de *pinch off*. Simultáneamente, en la concentración de huecos podemos observar la total linealidad del aumento de la zona de vaciamiento a lo largo de la mayor parte del canal, siendo pequeña (en comparación con la longitud total de la puerta) la parte del mismo afectada por las zonas de vaciamiento de fuente y drenador.

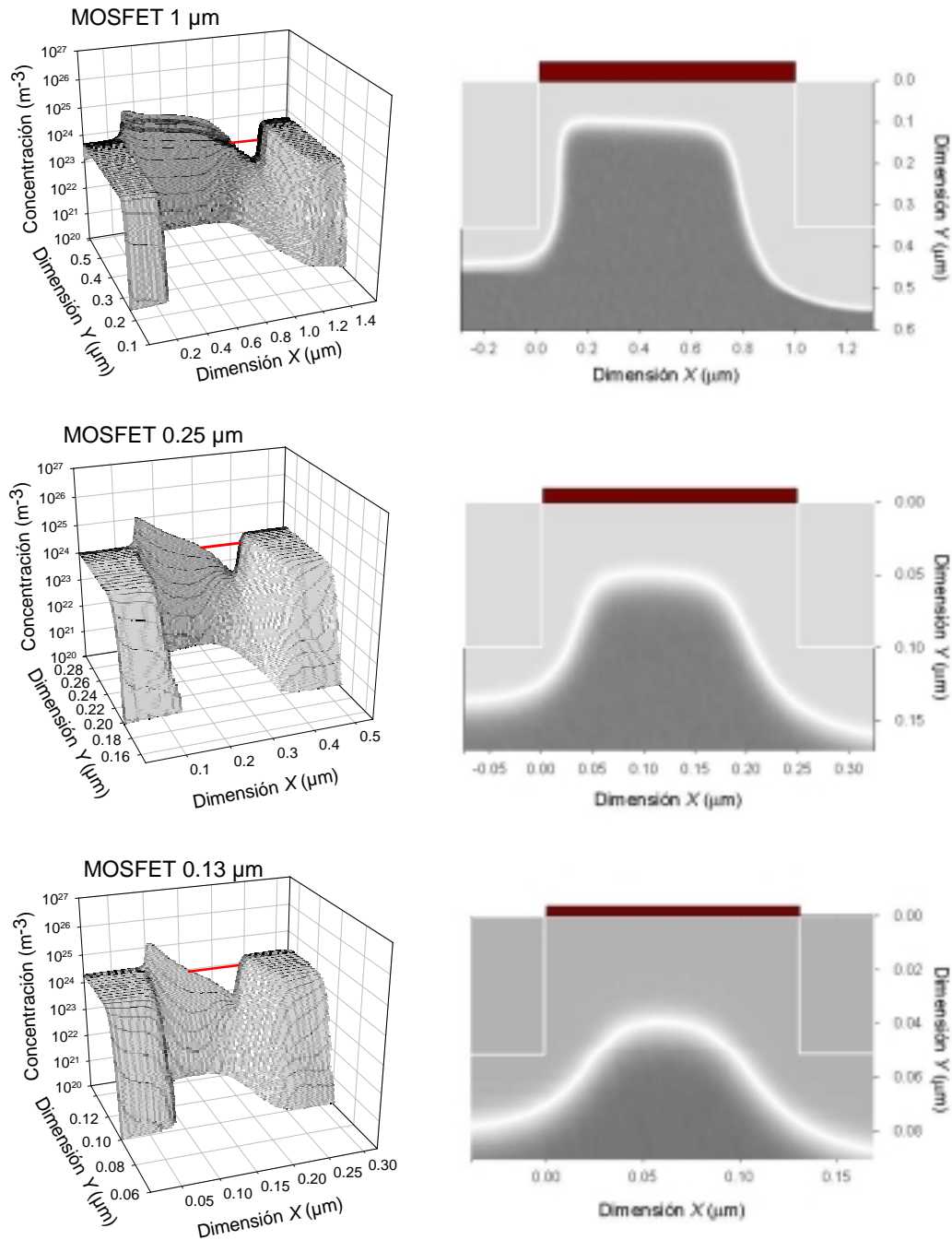


Figura IV. 5. Concentración de electrones (izquierda) y de huecos (derecha) en los transistores simulados ($(V_{GS}^{sig} - V_T^{sig}) \kappa_i = 1$ V y $V_{DS}^{sig} \kappa_i = 5$ V)

Sin embargo, cuando se reducen las dimensiones, se ponen de relieve varios efectos:

- En primer lugar, el máximo de concentración en la capa de inversión es mayor cuanto menor es la longitud de puerta, siendo mucho más abrupta la variación de la concentración de la capa de inversión a lo largo del canal. En segundo lugar, la anchura de la zona de *pinch-off* (considerada como la parte del canal donde la concentración de los portadores minoritarios de la capa de inversión es menor que el dopaje del sustrato), marcada por una línea roja, también aumenta, de modo que mientras que para el dispositivo de 1 μm corresponde a un 16% del ca-

nal, para el de $0.25 \mu\text{m}$ ocupa un 32% y para el de $0.13 \mu\text{m}$ es prácticamente la mitad del canal (un 48%).

De este modo, podemos extraer como consecuencia que de manera aproximada el porcentaje del canal que ocupa la zona de *pinch-off* aumenta con la raíz cuadrada del factor de escalado, al menos para el rango de longitudes de puerta simuladas y en las condiciones de polarización consideradas. Todos estos fenómenos pueden asociarse al perfil del campo eléctrico que mostramos en la Figura IV.3, donde se aprecia un efecto mucho mayor del mismo dentro del canal (debido a la mayor inhomogeneidad) cuanto más pequeño sea el dispositivo.

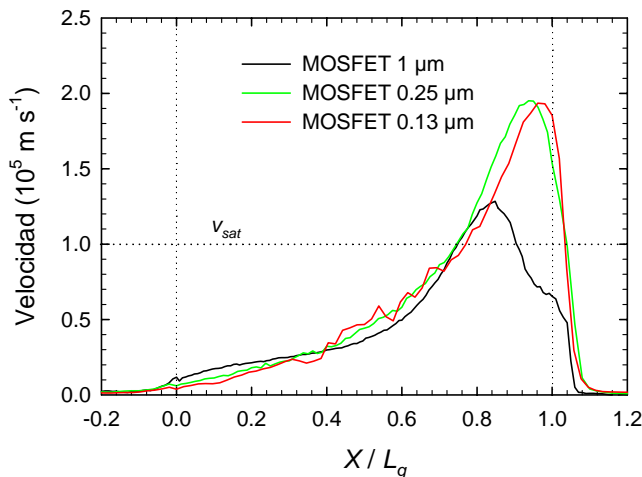


Figura IV. 6. Velocidad de los electrones a lo largo del canal para $(V_{GS}^{n} - V_T^{n}) \kappa_i = 1 \text{ V}$ y $V_{DS}^{n} \kappa_i = 5 \text{ V}$

■ Finalmente, res-

pecto a la concentración de huecos, podemos observar cómo a medida que el dispositivo disminuye de tamaño, la variación lineal de la anchura de la zona de vaciamiento tiende a suavizarse, pudiendo apreciarse apenas en el MOSFET de $0.13 \mu\text{m}$. Este fenómeno está asociado por una parte a la inhomogeneidad ya comentada del campo eléctrico

en el canal para los dispositivos pequeños y por otra parte a una mayor influencia de las zonas de vaciamiento laterales asociadas a las uniones *pn* de fuente-substrato y drenador-substrato.

Por tanto, al igual que hemos observado para el caso del campo eléctrico, queda confirmada la importancia de los efectos bidimensionales asociados a la propia topología del transistor especialmente cuando se reducen las dimensiones de manera significativa.

Conviene llegados a este punto examinar el comportamiento de otras magnitudes, tales como la velocidad o energía de los portadores. En la Figura IV.6 mostramos la componente en X de la velocidad de los electrones a lo largo del canal para los tres transistores en las condiciones de polarización que hemos considerado con anterioridad. La distancia en el canal ha sido normalizada por el valor de L_g con el fin de poder comparar directamente de manera simultánea el comportamiento de los tres dispositivos. Como puede observarse en la figura, en todos los casos aparece el efecto de sobrevelocidad, aunque es mucho más pronunciado en los transistores más pequeños (llegando a alcanzarse incluso magnitudes de $2 \times 10^5 \text{ m s}^{-1}$, del orden del doble de la velocidad de saturación de los electrones en Silicio material). Cabe destacar el hecho de que para los dos transistores más pequeños, el máximo de la velocidad es prácticamente igual, lo

que nos está indicando un cierto límite en el fenómeno de sobrevelocidad. Además, también puede apreciarse en la figura cómo a medida que el transistor es más pequeño, los electrones

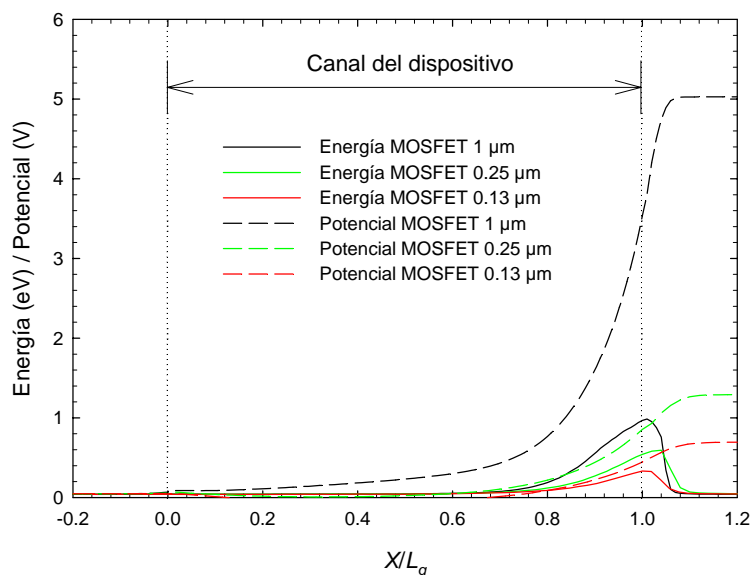


Figura IV. 7. Perfil de la energía cinética y del potencial de los portadores en el canal para los tres dispositivos simulados ($(V_{GS}^{ki} - V_T^{ki}) = 1 \text{ V}$ y $V_{DS}^{ki} = 5 \text{ V}$)

alcanzan su velocidad máxima más cerca de la unión *pn* de la isla de drenador.

En la Figura IV.7 mostramos los valores de energía cinética de los electrones y de potencial en el canal para los tres transistores. La comparación directa entre el potencial y la energía nos permite evaluar en primera instancia la importancia de los mecanismos de *scattering* en el dispositivo [González *et al.* 1998]. Una desviación significativa entre ambas magnitudes en la zona de portadores energéticos es indicativa de una acción notable por parte de los mecanismos de *scattering*, mientras que si la pendiente de ambas es similar, es indicativo de un comportamiento más cercano al régimen balístico.

Como podemos observar en la figura, en el caso del MOSFET de $1 \mu\text{m}$ la diferencia de pendientes del potencial y de la energía es notable, lo cual indica una importante acción de los mecanismos de *scattering* que limitan el aumento de energía en la región de *pinch off*. Como consecuencia de ello, la función de distribución de las velocidades de los portadores adopta un perfil más ancho, y la energía que se alcanza es mayor a pesar de que, como hemos visto en la figura anterior, la velocidad media de los portadores es menor. Para el caso de los transistores más pequeños (especialmente el de $0.13 \mu\text{m}$, donde el comportamiento está ya mucho más cercano al balístico), la menor presencia de los mecanismos de *scattering* tiene como consecuencia no solo una velocidad máxima más elevada, sino también una distribución de la misma más estrecha, y en consecuencia la energía media de los electrones es menor.

Para confirmar este razonamiento, en la Figura IV.8 hemos representado la densidad de mecanismos de *scattering* por unidad de tiempo (normalizada por el número de portadores) para el caso de *scattering* con fonones acústicos (a), fonones ópticos (b), con impurezas ionizadas (c)

y totales (d). Debemos significar el notable aumento comparativo del número de colisiones con fonones de la red (tanto acústicos como ópticos) en el extremo del canal más cercano a la unión pn drenador-substrato, especialmente para el transistor más largo, lo cual es debido a los elevados campos eléctricos alcanzados en dicha región. Como consecuencia, aparece un aumento significativo de mecanismos intervalle X-L, que provocan la ocupación de los valles superiores (recuérdese la Figura III.29) con la consecuente relajación de la velocidad de los portadores pero no de su energía total. Sin embargo, las colisiones con átomos de impurezas disminuyen de manera muy significativa sobre todo en la región de *pinch off*.

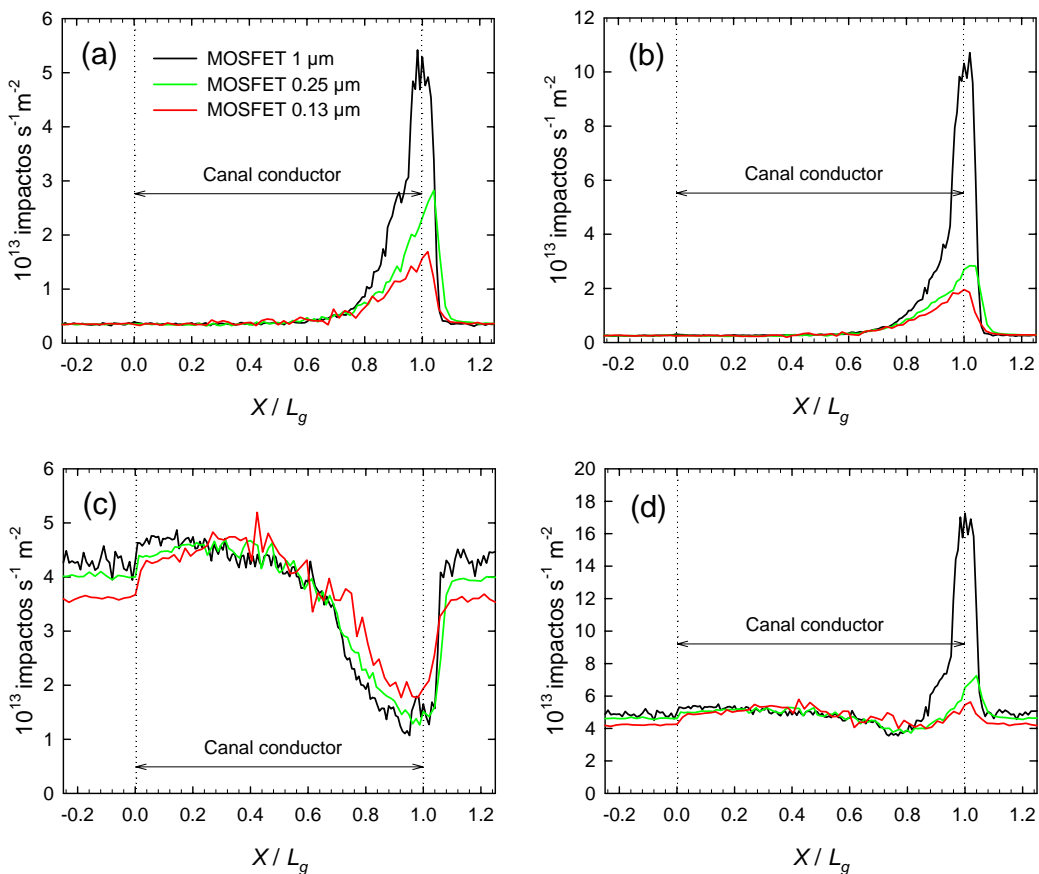


Figura IV.8. Densidad de mecanismos de scatterig: con fonones acústicos (a), ópticos (b), impurezas ionizadas (c) y totales (d) en los tres dispositivos ($V_{GS}^{k_i} - V_T^{k_i} = 1\text{ V}$ y $V_{DS}^{k_i} = 5\text{ V}$)

De manera global, puede afirmarse que la frecuencia de las colisiones es prácticamente constante en la zona del canal más cercana a la isla de fuente, observándose una ligera disminución al alcanzar la zona de *pinch off*, lo cual provoca el fenómeno de la sobrevelocidad. Poco antes de alcanzar la unión pn de drenador, se aprecia un importante aumento de la densidad de mecanismos. Como puede apreciarse en la Figura IV.8(d), en la zona correspondiente a la unión pn de drenador-substrato es donde la densidad total de colisiones alcanza su valor máximo, siendo éste menos pronunciado a medida que se reduce la longitud de la puerta. Estos resultados confirman el carácter del transporte más cercano al comportamiento balístico en los transistores con dimensiones reducidas.

Por tanto, en conclusión puede asegurarse que, a pesar de que las condiciones de escalado imponen que el perfil del campo eléctrico deba ser prácticamente idéntico en el canal de los tres dispositivos, cuando se reducen notablemente las dimensiones aparece una *distorsión de carácter bidimensional* en las principales magnitudes (y en especial en el perfil del campo eléctrico) que hacen que el carácter del transporte de los portadores varíe de manera notable [Rengel *et al.* 2003]. En consecuencia, aparecen discrepancias frente a las predicciones de un escalado ideal (que sólo se cumplirían de manera exacta para dispositivos con dimensiones de longitud de puerta claramente por encima de la micra).

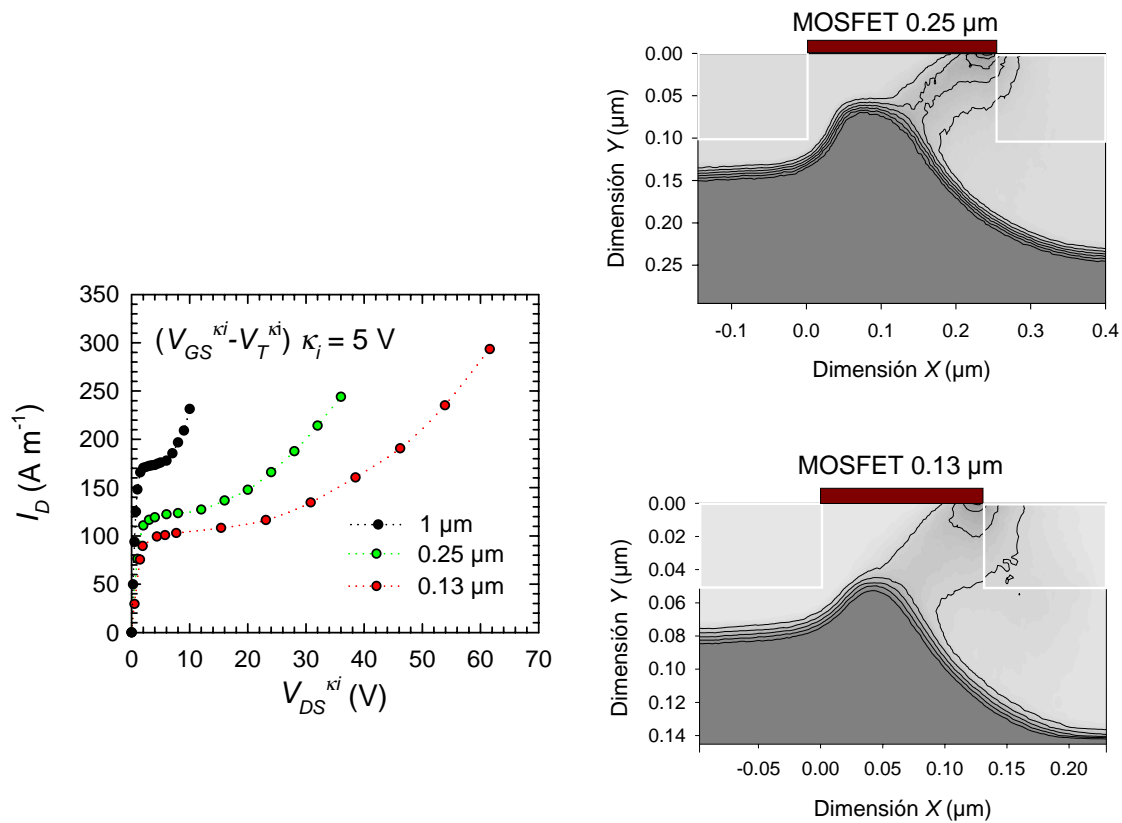


Figura IV. 9. Efecto de la ionización por impacto en los transistores escalados: I_D en función de V_{DS} normalizada por κ para condiciones de $V_{GS} - V_T$ equivalentes (izda). Concentración de huecos para el MOSFET de $0.25 \mu\text{m}$ y MOSFET de $0.13 \mu\text{m}$ escalados para tensiones de drenador de 8 y 9 V (dcha), donde puede apreciarse el recorrido de los huecos generados por ionización por impacto.

En cuanto a la influencia del fenómeno de la ionización por impacto en los dispositivos, en la Figura IV.9 mostramos la característica de salida para $(V_{GS}^{\kappa_i} - V_T^{\kappa_i}) \kappa_i = 5.0 \text{ V}$ en los tres dispositivos en función de $V_{DS}^{\kappa_i}$. Como puede apreciarse, a pesar de que en principio el fenómeno de la ionización tiene lugar para tensiones de drenador menores para los dispositivos en el caso de los dispositivos más pequeños, si la comparativa se efectúa teniendo en cuenta la reducción del potencial de drenador asociada al escalado CC el fenómeno es comparativamente me-

nor, a causa de los menores valores de energía alcanzados. No obstante, en caso de mantener las mismas tensiones de alimentación para los dispositivos, la ionización por impacto jugaría un papel mucho más importante en los dispositivos de canal corto; por ello, es altamente conveniente reducir las tensiones de trabajo de manera adecuada con el fin de minimizar estos efectos.

2. Efecto de la variación de parámetros geométricos

Antes de adentrarnos en el estudio de la respuesta dinámica de los dispositivos, vamos a ver cual es el efecto, sobre las características estáticas, de variar algunos parámetros significativos, como es el dopaje del sustrato o la longitud de puerta. Para ello trabajaremos tomando como punto de partida el transistor escalado con longitud de puerta de $0.25\ \mu\text{m}$.

- Variación del dopaje del sustrato

En la Figura IV.10 mostramos las características I - V obtenidas considerando tres dopajes diferentes para el sustrato: $5 \times 10^{22}\ \text{m}^{-3}$, $4 \times 10^{23}\ \text{m}^{-3}$ y $8 \times 10^{23}\ \text{m}^{-3}$. En primer lugar, como se observa en la Figura IV.10(a), a medida que el sustrato se encuentra menos dopado, el valor de la corriente es mayor (lo cual es coherente con el hecho de que la movilidad de los portadores minoritarios en el canal deba ser mayor [Klaasen 1992]), y es posible apreciar de manera clara el llamado efecto de la modulación del canal [Pierret 1994], que aparece cuando la anchura de la

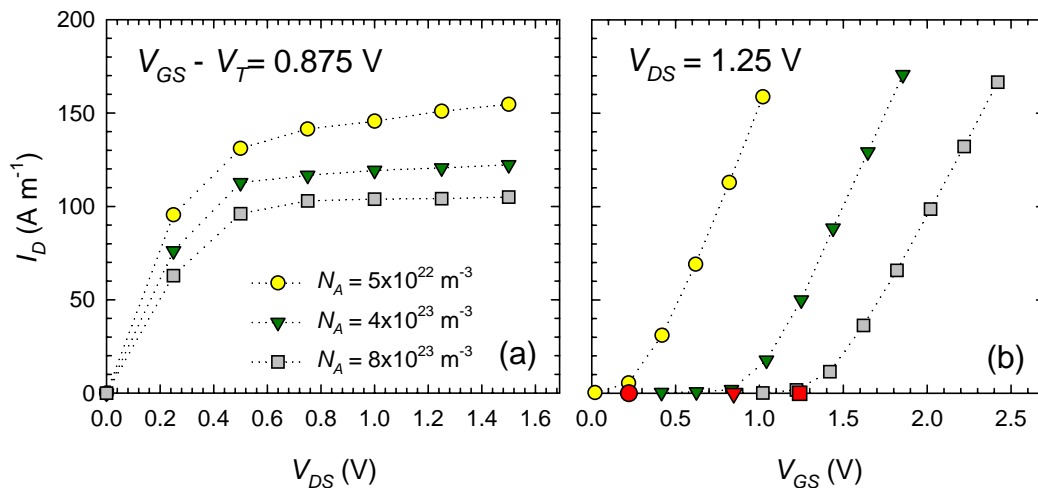


Figura IV. 10. Características I - V para el transistor de $0.25\ \mu\text{m}$ considerando tres diferentes valores de impurificación del sustrato. Los símbolos rojos indican los valores del potencial umbral ideales para cada uno de los dopajes considerados.

zona de *pinch-off* es apreciable frente a la longitud total del canal: de este modo, la longitud efectiva de la puerta sería menor, de modo que a medida que se aumenta V_{DS} , la corriente en saturación no permanece constante, sino que experimenta un aumento con la tensión de drenador en condiciones de V_{GS} constante.

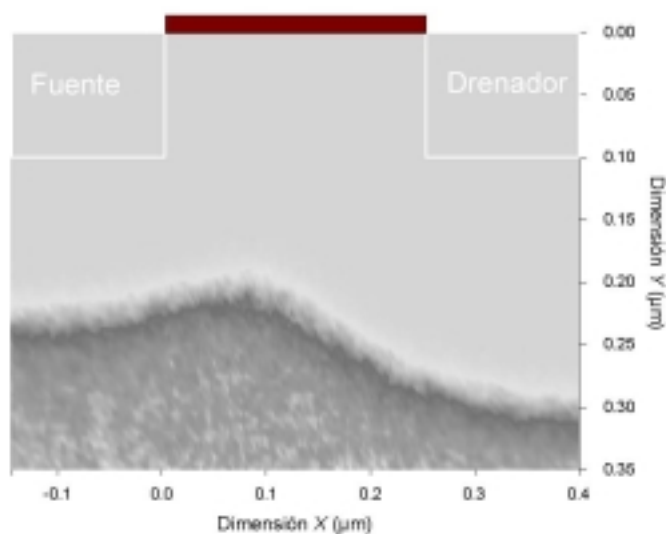


Figura IV. 11. Concentración de huecos para el MOSFET de $0.25 \mu\text{m}$ con dopaje del substrato $5 \times 10^{22} \text{ m}^{-3}$, $V_{DS} = 1.25 \text{ V}$ y $V_{GS} = 0.5 \text{ V}$

La explicación a este fenómeno es sencilla, ya que cuanto menor sea el dopaje del substrato, mayor tamaño poseen las zonas de vaciamiento de fuente y drenador, y mayor será también la anchura de la zona de *pinch-off* en comparación con la longitud del canal (Figura IV.5[a]), lo que provoca que el efecto sea más acusado. A mayor V_{DS} , la mayor anchura de la zona de vaciamiento de la unión drenador-substrato provoca que el terminal de drenador actúe de manera similar a una *segunda puerta*, haciendo que el nivel de corriente en saturación no solo dependa de V_{GS} sino también de dicho voltaje V_{DS} .

En el caso de los dopajes considerados, es necesario mencionar que para un dopaje de substrato $N_A = 5 \times 10^{22} \text{ m}^{-3}$, la anchura de las regiones de vaciamiento de fuente y drenador es tal que llegan a entrar en contacto (Figura IV.11). Este hecho puede tener como consecuencia la llamada acción BJT parásita o efecto de perforación del dispositivo [Sze 1981, Pierret 1994]. Además de la ya mencionada pérdida de control de la región bajo el óxido de puerta por parte de la puerta, aparece una corriente adicional asociada al transistor BJT parásito que se crea a través de las regiones de vaciamiento que se encuentran en contacto (en dispositivos con longitudes de puerta muy pequeñas).

Para tensiones de drenador elevadas, puede tener como consecuencia un efecto de multiplicación de portadores importante, llegando incluso a aparecer una retroalimentación en el proceso que puede llevar a la destrucción del dispositivo [Pierret 1994].

En las características de transferencia (Figura IV.10[b]) hemos incluido los valores teóricos del potencial umbral (símbolos rojos) calculados según la expresión III.8. Para el substrato menos impurificado, la desviación respecto al valor de V_T teórico es mayor que para los dopajes más elevados. El origen de este fenómeno se encuentra en el hecho de que la condición para

alcanzar el voltaje umbral implica que sea necesario primero vaciar de portadores mayoritarios la región subyacente al óxido de puerta. Dado que la expresión ideal para V_T se desarrolla suponiendo que el campo eléctrico en la dirección Y es mucho mayor que el campo en la dirección X [Pierret 1994], se está despreciando el efecto de bordes que puedan ocasionar los campos creados por las uniones fuente-substrato y drenador-substrato. En el caso de que las regiones de vaciamiento creadas por que el campo asociado a las uniones pn tengan una anchura significativa en comparación con la longitud total de la puerta (ver Figura IV.11), dichas regiones contribuyen a que sea necesario un menor V_{GS} para lograr la aparición de la capa de inversión, y por lo tanto se observa una disminución del potencial umbral.

Los valores obtenidos en nuestro caso son los siguientes:

Dopaje	V_T (MC2D)	V_T ideal	Desviación
$5 \times 10^{22} \text{ m}^{-3}$	0.1	0.22	-0.12
$4 \times 10^{23} \text{ m}^{-3}$	0.75	0.84	-0.09
$8 \times 10^{23} \text{ m}^{-3}$	1.18	1.24	-0.06

Tabla IV.3. Potencial umbral para los diferentes dopajes de substrato considerados en el transistor MOSFET de $0.25 \mu\text{m}$

En segundo lugar, en las características puede observarse cómo, a mayor dopaje, la pendiente es ligeramente inferior, lo que nos indica un valor menor de la transconductancia del dispositivo para impurificaciones del substrato elevadas, hecho que analizaremos con más detalle cuando estudiemos la respuesta dinámica de los dispositivos. Esta degradación de la transconductancia está motivada principalmente por la menor movilidad de los electrones en un substrato fuertemente dopado [Klaasen 1992]. Por tanto, a la hora de elegir el dopaje del substrato de nuestro dispositivo es necesario intentar alcanzar un compromiso entre la transconductancia y el efecto de canal corto sobre el potencial umbral y sobre la modulación del canal.

- Reducción de L_g

Con el objetivo de analizar cual es el efecto directo de la reducción de L_g , tomando como punto de partida el transistor de $0.25 \mu\text{m}$ hemos realizado una serie de simulaciones variando la longitud de la puerta del transistor L_g sin modificar ningún otro parámetro de la topología del dispositivo.

En la Figura IV.12 mostramos los resultados obtenidos para la característica de transferencia, con una tensión de drenador constante de 1.25 V, para diferentes valores de L_g desde $1 \mu\text{m}$ hasta $0.13 \mu\text{m}$. Como puede apreciarse en la Figura, para valores de L_g superiores a $0.25 \mu\text{m}$

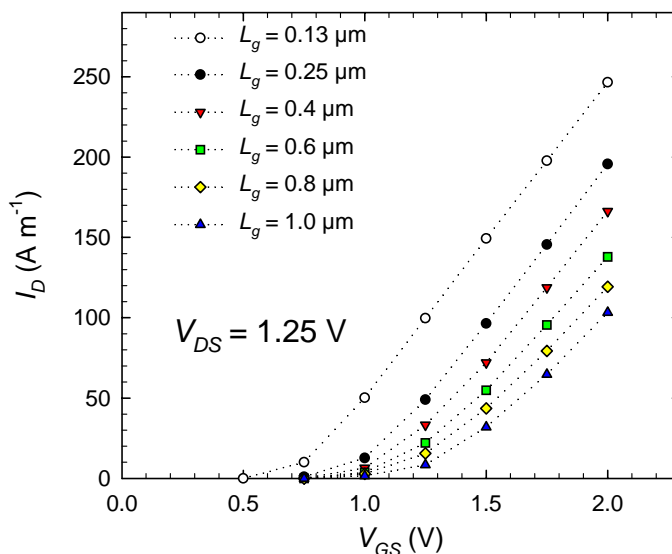


Figura IV. 12. Característica de transferencia para $V_{DS} = 1.25$ V y diferentes L_g , desde $1 \mu m$ hasta $0.13 \mu m$

el principal efecto que se observa es una reducción de la pendiente de la característica de transferencia (lo que indica una menor transconductancia) a medida que aumenta el valor de L_g . Este fenómeno ha sido observado previamente por otros autores [Donati *et al.* 1998, Deen y Chen 2000, Chen *et al.* 2001]. Sin embargo, para L_g igual a $0.13 \mu m$, se aprecia una reducción significativa del voltaje umbral (en este caso cercana a 0.25 V), mientras el valor de la pendiente de la característica de transferencia apenas cambia con respecto al valor observado para $L_g = 0.25 \mu m$, existiendo una cierta tendencia a “saturar” el valor máximo de transconductancia que puede proporcionar el dispositivo [Deen y Chen 2000]. La explicación a la reducción del voltaje umbral puede encontrarse en la concentración de huecos en el dispositivo, que hemos representado en la Figura IV.13. Para $L_g = 0.25 \mu m$, a pesar de que las zonas de vaciamiento asociadas a las uniones fuente-substrato y drenador-substrato ocupan una parte significativa del canal, la mayor parte del mismo se encuentra bajo el control directo de la puerta. Sin embargo, para el caso de $L_g = 0.13 \mu m$ estas zonas de vaciamiento llegan prácticamente a entrar en contacto, por lo que la reducción de V_T respecto al valor ideal ha de ser necesariamente mucho mayor, por las mismas razones que ya hemos comentado para el caso de la variación del dopaje del sustrato.

A partir de este momento, vamos a centrarnos en el estudio comparativo de diferentes magnitudes internas de los dispositivos para el caso de $L_g = 0.25 \mu m$ y $L_g = 0.13 \mu m$. Hay que señalar que, en la literatura, cuando se efectúan comparaciones de este tipo, con frecuencia se consideran idénticos valores de V_{GS} ; en nuestro caso, vamos a mostrar los resultados para igual condición de $V_{GS} - V_T$, ya que, desde el punto de vista físico, parece más apropiado y equitativo efectuar la comparativa de este modo.

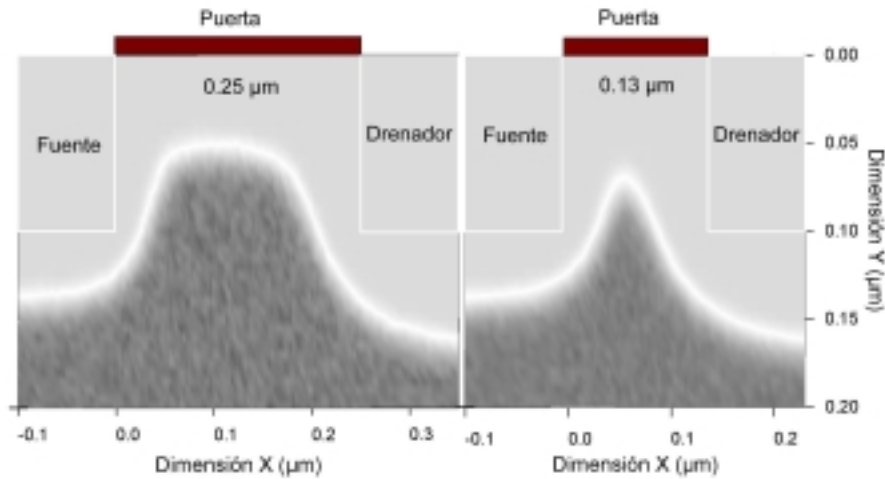


Figura IV. 13. Concentración de huecos para $L_g = 0.25 \mu\text{m}$ (izquierda) y $L_g = 0.13 \mu\text{m}$ (derecha)

En primer lugar vamos a examinar qué diferencias aparecen en el campo eléctrico cuando reducimos la longitud de puerta. En la Figura IV.14(a) mostramos el perfil del campo en la dirección X para $L_g = 0.25 \mu\text{m}$ y $L_g = 0.13 \mu\text{m}$ para la condición de polarización $V_{GS} - V_T = 0.25 \text{ V}$ y $V_{DS} = 1.25 \text{ V}$. Este campo corresponde a la coordenada Y en la que esta magnitud alcanza su valor máximo (aproximadamente a 50 nm de la interfaz con el óxido en ambas estructuras, líneas continuas) y para las mallas justo debajo del óxido de puerta (líneas discontinuas). Respecto a los valores de los máximos (líneas continuas), vemos que son idénticos para ambas longitudes de puerta, debido a que no hemos modificado los dopajes de las uniones pn de fuente y drenador. Para $L_g = 0.13 \mu\text{m}$, debido a que las regiones de vaciamiento de dichas uniones están muy próximas, es posible apreciar una caída muy abrupta del campo en la zona de sustrato, no existiendo una región de campo “nulo” en el canal como sí aparece para la L_g mayor.

Por otra parte, dado que el transporte de carga tiene lugar principalmente en la zona bajo el óxido de puerta, es interesante examinar también qué ocurre con el campo en esa región específica del dispositivo (línea discontinua). Aquí sí es posible apreciar un aumento local del campo en la unión drenador-sustrato para el caso de L_g menor, asociado a efectos de carácter bidimensional, siendo notable además en este caso la existencia en la mayor parte del canal de un fuerte campo de arrastre de los portadores.

Estas gráficas reflejan de manera clara la diferencia que aparece con respecto al caso del escalado a campo constante (CC), cuyas condiciones imponían no la conservación del máximo del campo longitudinal, sino el mantenimiento (en la medida de lo posible) del perfil del mismo.

Para finalizar con el análisis de las magnitudes estáticas en el caso de reducir L_g , hemos representado en la Figura IV.14(b) el perfil del potencial y de la energía cinética de los electrones. Respecto a la energía, se observa un valor ligeramente superior para la L_g menor, ocupando además la zona de energías elevadas una mayor parte del canal, e invadiendo parte de la isla n^+ de drenador. Esto se encuentra directamente asociado al perfil del campo que hemos comentado

con anterioridad. En cuanto al potencial, las principales diferencias se observan aproximadamente a partir de la mitad del canal, siendo el aumento de potencial hacia el drenador más gradual en el caso de $L_g = 0.13 \mu\text{m}$. Además, para este caso, la mayor proximidad entre el perfil de la energía y el del potencial nos indica un comportamiento del transporte de carácter más cercano al régimen balístico [González *et al.* 1998].

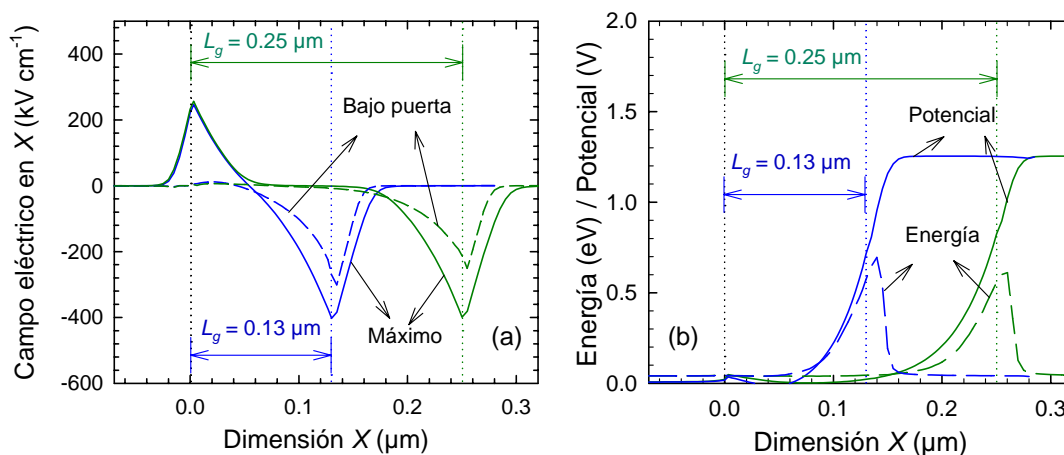


Figura IV.14 Perfil del campo eléctrico (a) en la dirección X en su valor máximo (línea continua) y bajo la interfaz óxido-semiconductor (línea discontinua). Perfil del potencial y de la energía de los electrones en el canal (b), para dos valores de L_g diferentes para $V_{GS} - V_T = 0.25 \text{ V}$ y $V_{DS} = 1.25 \text{ V}$

IV. 1. c) Características dinámicas

1. Escalado a campo constante

En esta sección, vamos a estudiar los principales parámetros dinámicos de los transistores MOSFET estudiados bajo un escalado de CC. Como hemos comentado previamente, a causa de las exigencias en cuanto a tiempo de CPU y al mayor interés de las estructuras submicrométricas, no presentaremos en este apartado resultados para el transistor de $1 \mu\text{m}$, centrándonos en el estudio de los transistores de 0.25 y $0.13 \mu\text{m}$. Complementariamente, al final de esta sección analizaremos el efecto de variar el dopaje del substrato y la longitud de puerta de manera aislada, al igual que hemos hecho para el caso de las características estáticas.

Para el análisis de la respuesta dinámica de los dispositivos, seguiremos el procedimiento descrito en el apartado II.4. Como ya habíamos comentado, la respuesta dinámica de un transistor MOSFET puede ser representada en términos de los cuatro parámetros admitancia Y [van der Ziel 1986, Vendelin *et al.* 1990, González G. 1997, Rengel *et al.* 2001].

El procedimiento para su cálculo a través del método de Monte Carlo consiste básicamente en el análisis de Fourier de la respuesta transitoria de las corrientes del dispositivo ante saltos en voltaje aplicados en terminales [Laux 1985, González y Pardo 1995]. En la Figura IV.15 mostramos un ejemplo de los transitorios de corriente en los terminales de puerta y dre-

nador cuando se aplica un salto en puerta (Figura IV.15[a]), y cuando se aplica un salto en drenador (Figura IV.15[b]), para el transistor MOSFET de $0.25 \mu\text{m}$, escalado sobre el punto de operación estacionario indicado en la Figura IV.15.

A partir de aquí, para cada uno de los transistores y polarizaciones consideradas han sido calculados los parámetros admitancia. En la Figura IV.16 mostramos, como ejemplo, los

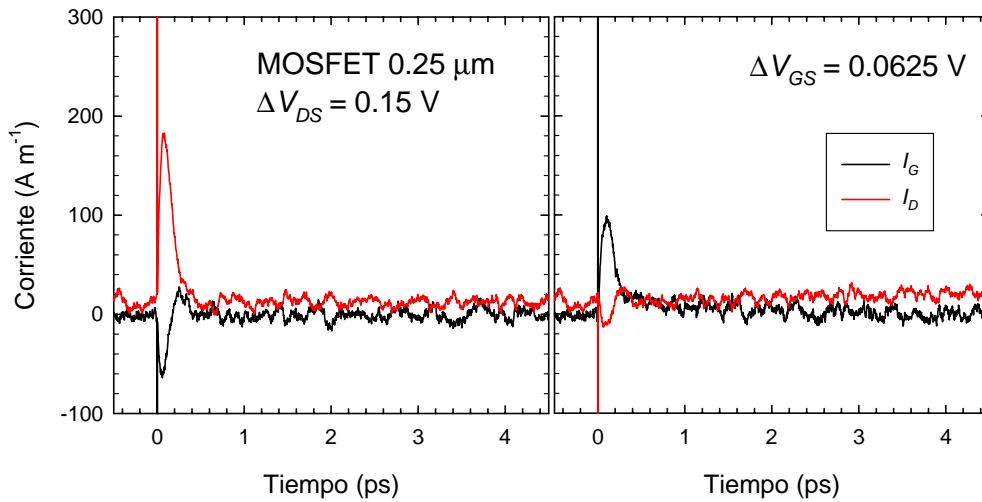


Figura IV. 15. Respuesta transitoria de la corriente en los terminales de puerta y drenador para el MOSFET de $0.25 \mu\text{m}$, frente a (a) un salto en drenador $\Delta V_{DS} = 0.15 \text{ V}$ y (b) un salto en puerta $\Delta V_{GS} = 0.0625 \text{ V}$, ambos partiendo del punto de operación estacionario con $V_{DS} = 1.25 \text{ V}$ y $V_{GS} = 1.0 \text{ V}$.

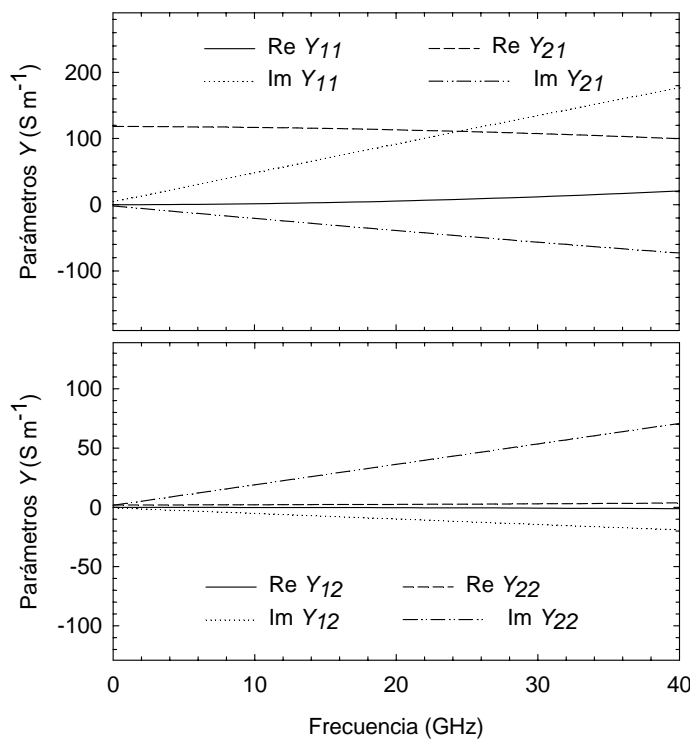


Figura IV. 16. Parámetros Y en función de la frecuencia para el MOSFET de $0.25 \mu\text{m}$ con $V_{DS} = 1.25 \text{ V}$ y $V_{GS} = 1.0 \text{ V}$

parámetros admitancia (sus partes reales e imaginarias) en función de la frecuencia hasta 40 GHz para el punto de polarización considerado en la figura anterior. El signo, así como la dependencia con la frecuencia de los parámetros Y están de acuerdo con valores medidos en la literatura para transistores MOSFET [Sung *et al.* 1998, Jen *et al.* 1999, Enz y Cheng 2000].

Sin embargo, como ya hemos mencionado en el Capítulo II, generalmente es más útil describir el dispositivo en función de los parámetros de un circuito equivalente de pequeña señal in-

dependientes de la frecuencia, que pueden ser calculados a partir de los parámetros Y [Dambrine

et al. 1988, Berroth y Bosch 1990] con el objetivo de obtener una representación más física del sistema [González y Pardo 1995, Tsividis 1999, Manku 1999].

En el caso de los transistores MOSFET convencionales bajo estudio, debemos señalar que los resultados corresponden al dispositivo puramente intrínseco, dado que no hemos considerado en principio efectos de parámetros extrínsecos en la simulación. Con posterioridad, en el caso del transistor SOI MOSFET, en el cual compararemos resultados de la simulación Monte Carlo con datos experimentales, estos efectos sí serán tenidos en cuenta.

En la Figura IV.17 mostramos la dependencia con la frecuencia, f , de los parámetros del circuito equivalente, cuya constancia con f es indicativa de su validez en el rango considerado. Se

ha encontrado que para el transistor de $0.25 \mu\text{m}$ de longitud de puerta estudiado, los parámetros son constantes con la frecuencia al menos hasta 40 GHz (Figura IV.17) para todas las polarizaciones. Para el transistor de $0.13 \mu\text{m}$, los valores del circuito equivalente intrínseco son constantes hasta al menos 80 GHz.

A partir de ahora, vamos a centrarnos en el estudio de la dependencia con la condición de polarización (punto de operación estacionario) de los parámetros dinámicos más significativos, tales como las capacidades del circuito equivalente, la transconductancia y conductancia de salida y la frecuencia de corte intrínseca de los dispositivos.

En la Figura IV.18 mostramos los resultados obtenidos para las capacidades del circuito equivalente para condiciones de campo constante, esto es, con $V_{DS} = 1.25 \text{ V}$ para el transistor de $0.25 \mu\text{m}$ y 0.65 V para el de $0.13 \mu\text{m}$, en función de $V_{GS} - V_T$ normalizada. Los resultados han sido normalizados por el valor de la capacidad del óxido; en nuestro caso, dado que tanto el espesor del óxido como la longitud de puerta han sido escalados, es necesario indicar que el

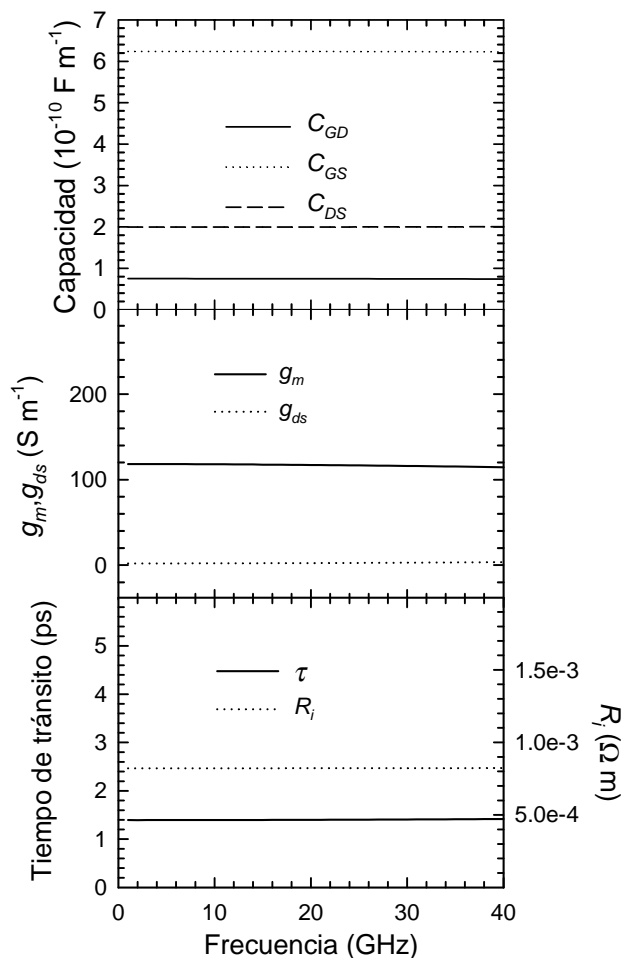


Figura IV. 17. Parámetros del circuito equivalente en función de la frecuencia para el MOSFET de $0.25 \mu\text{m}$

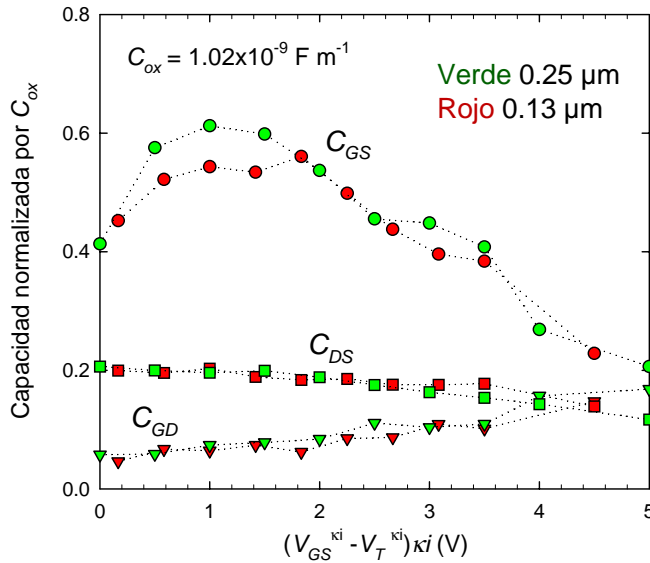


Figura IV. 18. Capacidades del circuito equivalente para los dos transistores: símbolos verdes, MOSFET 0.25 μm . Rojos: MOSFET 0.13 μm .

valor de C_{ox} por unidad de dimensión no simulada ($1.02 \times 10^{-9} \text{ F m}^{-1}$) es idéntico para ambos transistores.

En primer lugar, hemos de comentar el comportamiento de las capacidades en general para los transistores MOSFET simulados. Como puede observarse en la gráfica, la capacidad puerta-fuente (C_{GS}) alcanza los valores más elevados. La capacidad puerta-drenador (C_{GD}) tiene los valo-

res más pequeños, pero su influencia aumenta a medida que lo hace la tensión de puerta.

La explicación de este comportamiento puede efectuarse a la luz de las características estáticas que hemos visto con anterioridad, especialmente en función de la concentración de electrones. En la región de saturación, la parte del canal más cercana a la fuente contiene la mayor parte de la carga de inversión, y C_{GS} es la capacidad dominante. Sin embargo, a V_{DS} constante, a medida que V_{GS} aumenta, la región de *pinch-off* tiene una anchura progresivamente menor, de manera que la carga de la capa de inversión se encuentra más equilibrada entre la fuente y el drenador; en consecuencia, la diferencia entre C_{GS} y C_{GD} se reduce. Por otra parte, para voltajes de puerta pequeños el dispositivo se encuentra en el régimen de débil inversión, por lo que la variación de carga con V_{GS} es menor que en el caso de fuerte inversión y en consecuencia se aprecia una reducción importante de C_{GS} para tensiones $(V_{GS}^{ki} - V_T^{ki})ki$ inferiores a 1 V. El comportamiento de estas capacidades está cualitativamente en consonancia con los resultados obtenidos para el modelo de capacidades de Meyer (véase el Apartado III.3).

Respecto a la capacidad drenador-fuente (C_{DS}), su variación con el voltaje de puerta no es especialmente significativa. Los valores elevados de esta capacidad en comparación con C_{GD} (superiores en el rango de V_{GS} estudiado), son indicativos de la *importante influencia del acoplamiento capacitivo con el substrato* para los transistores MOSFET estudiados (lo cual es un efecto bien conocido en transistores MOSFET convencionales) [Colinge 1997, Rengel *et al.* 2001]. Con posterioridad, veremos como en el caso del transistor SOI MOSFET el valor de esta capacidad es prácticamente despreciable en comparación con C_{GD} .

En cuanto a las diferencias entre los dos transistores, en un escalado ideal CC las capacidades deben disminuir de manera proporcional al factor κ . En nuestro caso, dado que mostramos las capacidades normalizadas por el valor de C_{ox} , los valores deberían permanecer constan-

tes. Como vemos, la predicción del escalado ideal se cumple de manera notable en nuestro caso para las tres capacidades, salvo en el caso de C_{GS} donde para valores de $V_{GS} - V_T$ pequeños el transistor de $0.25 \mu\text{m}$ presenta valores ligeramente superiores.

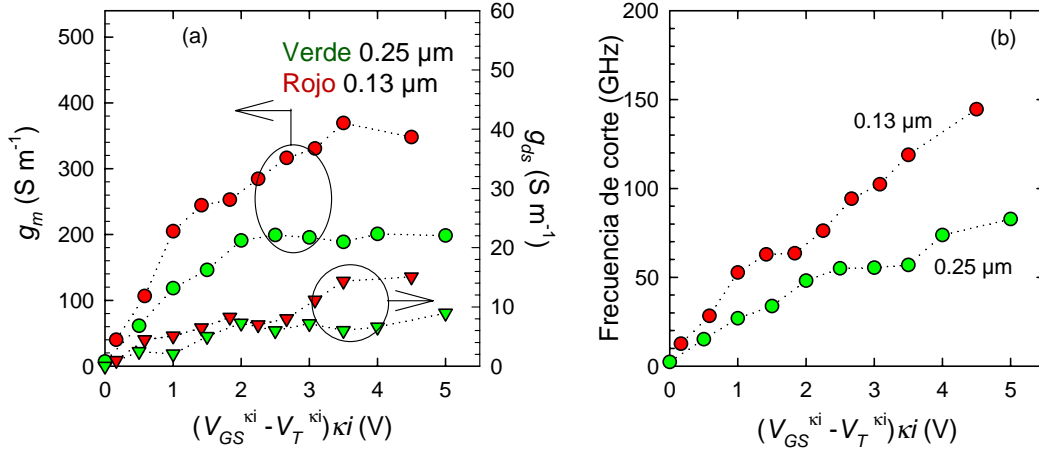


Figura IV. 19. g_m y g_{ds} (a) y frecuencia de corte (b) para los dos transistores.

En la Figura IV.19(a) mostramos la transconductancia g_m y la conductancia de salida g_{ds} , ambas intrínsecas, para los MOSFET considerados. Como puede observarse en la figura, la transconductancia en saturación alcanza un valor prácticamente constante en la región de fuerte inversión para ambos dispositivos, ocurriendo este fenómeno para V_{GS} normalizados mayores en el transistor más pequeño. Por otra parte, la transconductancia por unidad de longitud (en la dirección no simulada) aumenta considerablemente cuando la dimensión del dispositivo disminuye, como ya comentamos en la Figura IV.1 (el valor máximo para el MOSFET de $0.25 \mu\text{m}$ es 200 S m^{-1} aproximadamente y para el de $0.13 \mu\text{m}$ cerca de 350 S m^{-1}). En cuanto a la conductancia de salida g_{ds} , no se aprecian diferencias notables entre los dispositivos, debido fundamentalmente a que con los dopajes de sustrato considerados el efecto de modulación del canal es en cualquier caso muy pequeño (recuérdese la Figura IV.2), y por lo tanto los valores de g_{ds} en saturación no alcanzan valores elevados para ninguno de los dos dispositivos.

En cuanto al valor de la frecuencia de corte intrínseca, f_T , ha sido calculada mediante la siguiente ecuación [Tsividis 1999]:

$$f_T = \frac{g_m}{2\pi(C_{GS} + C_{GD})} \quad (\text{IV.1})$$

Como puede verse en la Figura IV.19(b), los valores alcanzados son mucho mayores para el dispositivo con dimensiones menores. En el caso del transistor de $0.13 \mu\text{m}$, se alcanzan valores superiores a los 100 GHz, lo que confirmaría la idoneidad de estos transistores MOSFET submicrométricos para aplicaciones de alta frecuencia[§].

[§] Estos valores son puramente intrínsecos. En el caso de fabricar un transistor con los parámetros que hemos considerado, la presencia fundamentalmente de efectos parásitos asociados a los contactos provocarían que el valor de f_T fuese significativamente menor.

Llegados a este punto, es importante comentar cuál es el efecto de simular los huecos sobre las características dinámicas. En las simulaciones MC2D, hemos observado una influencia directa a nivel dinámico fundamentalmente en las capacidades del circuito equivalente [Rengel *et al.* 2001]. Cuando no se tiene en cuenta la contribución de los huecos a la corriente en el cálculo de los parámetros dinámicos, es posible observar una pequeña reducción de la capacidad C_{GS} acompañada de un aumento de C_{GD} . El aumento de C_{GD} no compensa sin embargo la disminución de C_{GS} , por lo que el cálculo de f_T estaría ligeramente sobreestimado con respecto al cálculo correcto en el cual tenemos en cuenta la contribución de los huecos.

Sin embargo, el principal efecto de los huecos en las características dinámicas es sobre la capacidad drenador-fuente, C_{DS} . Despreciar la contribución de los huecos a la corriente hace que el valor de C_{DS} disminuya de manera significativa (del orden del 30-40% para el transistor de 0.25 μm considerado), con lo cual se estaría subestimando de manera notable la influencia del sustrato en la respuesta dinámica del dispositivo. Por tanto queda patente, en una simulación MC2D de dispositivos MOSFET, la *necesidad de efectuar una simulación bipolar*, considerando ambos tipos de portadores, si se quieren evaluar de manera correcta los parámetros dinámicos del dispositivo.

2. *Efecto de la variación de parámetros geométricos*

Al igual que en el apartado de las características estáticas, vamos a evaluar cuál es el efecto de variar el dopaje del sustrato y la longitud de la puerta sobre los parámetros dinámicos del dispositivo.

- *Variación del dopaje*

En la Figura IV.20 mostramos los resultados para las capacidades del circuito equivalente para dos dopajes de sustrato diferentes, $4 \times 10^{23} \text{ m}^{-3}$ (símbolos verdes) y $5 \times 10^{22} \text{ m}^{-3}$ (símbolos amarillos).

Los valores de C_{GS} obtenidos en el caso del dopaje menor presentan una caída menos brusca cuando el valor de $V_{GS} - V_T$ aumenta, debido a que para este caso la condición de saturación se mantiene para un rango de tensiones de puerta mayores para la tensión V_{DS} aplicada. De este modo, para tensiones $V_{GS} - V_T$ superiores a 0.6 V los valores de esta capacidad son sensiblemente mayores para el caso del sustrato menos impurificado. Respecto a los valores de C_{GD} , son similares en los dos casos, apreciándose un pequeño aumento para el N_A menor a tensiones $V_{GS} - V_T$ por debajo de 0.8 V. En cualquier caso, las diferencias no son especialmente significativas. Sin embargo, en el caso de la capacidad C_{DS} sí aparecen diferencias notables. El hecho de reducir el dopaje del sustrato se traduce en una *importante disminución de esta capacidad* (en este caso cercana al 50%). Esto es debido a la mayor anchura de las regiones de vaciamiento fuente-sustrato y drenador-sustrato (véase la Figura IV.12), lo que tiene como consecuencia una menor capacidad asociada a las mismas.

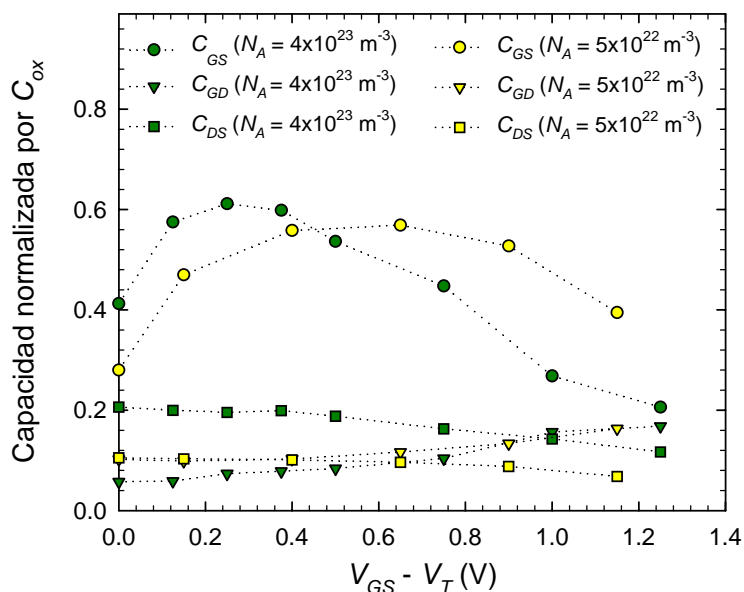


Figura IV.20. Capacidades del circuito equivalente para dos dopajes del sustrato diferentes.

El comportamiento de g_m , g_{ds} y f_T se puede observar en la Figura IV.21. Emplear un sustrato menos impurificado se traduce en un mayor valor de la transconductancia del dispositivo (cuyo origen es la mayor movilidad de los portadores minoritarios para el caso de N_A menor), aunque como contrapartida es posible observar también un aumento de la conductancia de salida, que nos indica un peor comportamiento ante los efectos de canal corto (como ya podíamos apreciar de manera preliminar en la Figura IV.9). En cuanto al valor de f_T , para $V_{GS} - V_T$ menor de 0.6 V se obtienen mejores resultados para el transistor con menor impurificación del sustrato (asociado a la mayor g_m y menor C_{GS} en este rango), aunque para valores superiores, emplear el dopaje mayor ofrece mejores resultados (a causa principalmente de la menor C_{GS} en este caso).

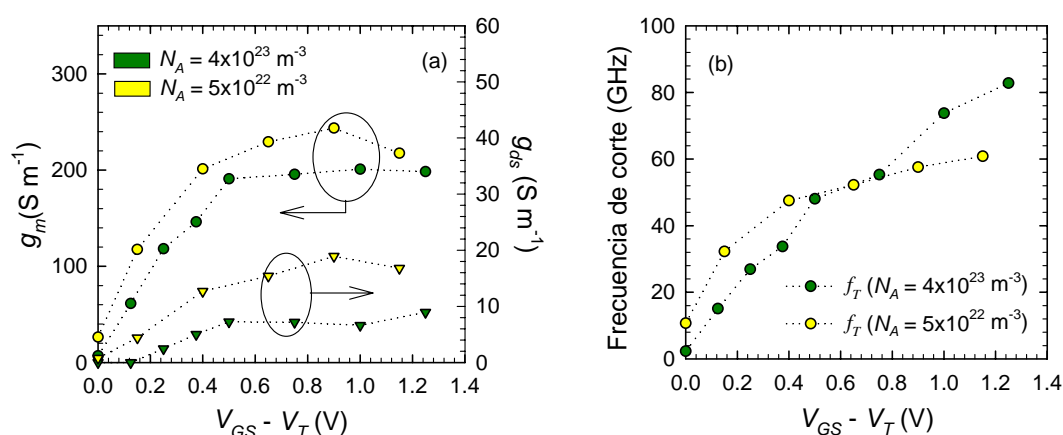


Figura IV.21. $g_m g_{ds}$ (a) y frecuencia de corte f_T (b) para dos valores de N_A diferentes

- Reducción de L_g

En la Figura IV.22 mostramos los resultados obtenidos para las capacidades del circuito equivalente cuando reducimos la longitud de la puerta (sin variar ningún otro parámetro ni con-

dición de polarización) del transistor de $0.25 \mu\text{m}$, para iguales condiciones de tensión en drenador (1.25 V).

Respecto a la capacidad C_{GS} , se observan valores significativamente superiores (especialmente para $V_{GS} - V_T$ menor de 0.8 V) para la longitud de puerta mayor, lo que indica una mayor variación de carga en la región del canal más próxima a la isla de fuente para esta L_g . En cuanto a C_{GD} , también se obtienen valores mayores para la L_g mayor, pero en este caso fundamentalmente a tensiones $V_{GS} - V_T$ elevadas. En ambos casos, el origen de este efecto puede asociarse a la mayor influencia de la tensión de drenador en el caso de $L_g = 0.13 \mu\text{m}$, que provoca que la concentración de carga sea en general menor a lo largo de todo el canal. Pero el resultado más significativo aparece con respecto a la capacidad C_{DS} . Aunque su valor es similar para ambos casos (e incluso mayor para la L_g menor), en comparación con el resto de capacidades su efecto es mucho mayor para $L_g = 0.13 \mu\text{m}$. Este fenómeno puede asociarse a la mayor proximidad de las zonas de vaciamiento de fuente y drenador, prácticamente en contacto en este caso (Figuras IV.12 y IV.13). Un valor elevado de C_{DS} es indicativo de una importante influencia del sustrato en las características dinámicas, como hemos comentado previamente. Principalmente, el efecto se da en las interferencias entre dispositivos adyacentes o con el propio sustrato (*crosstalk*), que requieren ser minimizadas con el fin de optimizar el comportamiento global del circuito. De este modo, cuanto menor sea la influencia del sustrato, menos superficie será necesaria emplear con el fin de aislar los dispositivos entre sí y con el propio sustrato [Colinge 1997, Cristoloveanu 2001].

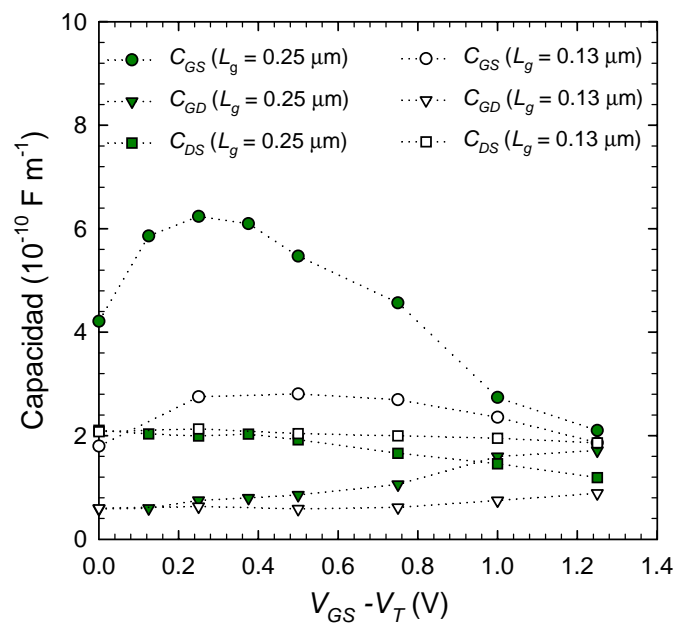


Figura IV. 22. Capacidades del circuito equivalente para dos longitudes de puerta diferentes.

En cuanto a g_m y g_{ds} (Figura IV.23[a]), no se observan diferencias significativas para ambas longitudes de puerta, a diferencia del caso del escalado CC donde sí era posible observar un aumento de g_m . Sin embargo, en cuanto a la frecuencia de corte sí se aprecian diferencias importantes (Figura IV.23[b]), obteniéndose valores muy superiores para $L_g = 0.13 \mu\text{m}$. El origen de este aumento se debe principalmente a los valores mucho menores de la capacidad de puerta para este último dispositivo. Sin embargo, hay que indicar que los valores comparativamente mayores de C_{DS} se traducen necesariamente en una mayor degradación de la frecuencia máxima de oscilación (f_{max}), dada la influencia de esta capacidad sobre dicha figura de mérito [Schwierz y Liou 2001].

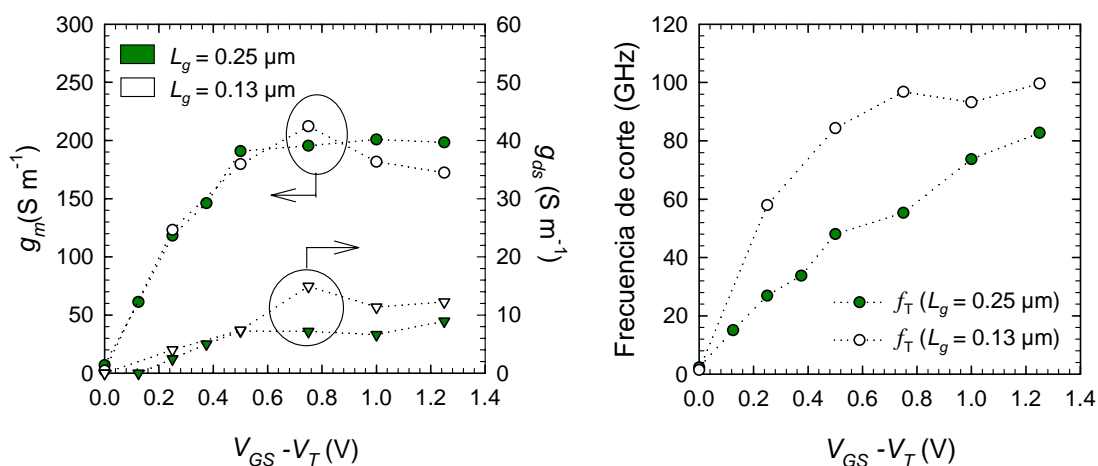


Figura IV. 23. $g_m g_{ds}$ (a) y frecuencia de corte f_T (b) para dos longitudes de puerta diferentes

Por tanto, respecto al efecto de la variación de L_g en las características dinámicas, podemos afirmar que reducir la longitud de puerta conlleva comparativamente una mayor influencia del acoplamiento capacitivo con el sustrato, pero un mejor comportamiento en cuanto a la frecuencia de corte del dispositivo, por lo que será necesario alcanzar una solución de compromiso entre ambos efectos.

IV.1.d) Resultados de ruido

1. Escalado a campo constante

Una vez que las características estáticas y los parámetros dinámicos han sido determinados, es posible proceder al estudio del ruido electrónico en los dispositivos mediante el simulador MC2D. En nuestro caso nos hemos centrado en el estudio de este fenómeno en el rango de RF y microondas**. Para dichas frecuencias es de esperar que la principal fuente de ruido que aparezca en los MOSFETs sea de origen térmico [van der Ziel 1986, Manku 1999]. El modelo

** En el caso de los dispositivos MOSFET, el ruido $1/f$ cobra una importancia primordial en el caso de frecuencias inferiores al MHz. Sin embargo, dado que en esta Tesis nos centramos en el estudio del comportamiento de los dispositivos para frecuencias superiores al GHz, este tipo de ruido no ha sido estudiado (véase el Apéndice 2).

más ampliamente utilizado para su descripción es el modelo de van der Ziel [van der Ziel 1986], que se basa en el análisis clásico de dispositivos de dos puertos, y considera dos fuentes de ruido en corriente, una en la entrada y otra en la salida, ambas correlacionadas. Su hipótesis fundamental consiste en la consideración del MOSFET como una resistencia modulada acoplada capacitivamente con el terminal de puerta. De este modo, el ruido térmico (o difusivo) generado por los portadores en el canal es responsable por una parte del ruido observado en la salida, S_{ID} , que es el generado directamente por las fluctuaciones térmicas de los portadores en el canal, y por otra parte también es el origen (de manera indirecta) de la otra fuente de ruido, S_{IG} , a través del acoplamiento capacitivo de las fluctuaciones de la carga en el canal con el terminal de puerta. Para una descripción completa del fenómeno es necesario considerar la correlación entre ambas fuentes de ruido (S_{IGID}) [Manku 1999].

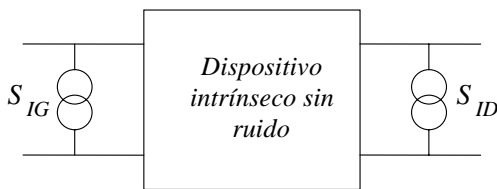


Figura II. 24. Representación circuital del ruido en un dispositivo de tres terminales.

En nuestro caso, vamos a considerar la misma representación de dos puertos también con dos fuentes de ruido correlacionadas. Sin embargo, no vamos a efectuar a priori ninguna suposición sobre el origen de las fuentes de ruido S_{ID} y S_{IG} ni su dependencia con la frecuencia, siendo el pro-

prio modelo microscópico MC2D el que nos proporcione dicha información. Los resultados se mostrarán para los MOSFET de $0.25 \mu\text{m}$ y de $0.13 \mu\text{m}$, ya que para el transistor de $1 \mu\text{m}$ el análisis del ruido no ha sido efectuado por los motivos ya comentados con anterioridad. El orden que seguiremos en esta sección es el siguiente: inicialmente, examinaremos el comportamiento de S_{IG} , S_{ID} y S_{IGID} en el rango de frecuencias muy elevadas (del orden de THz) ya que, aunque no se trate de frecuencias interesantes desde el punto de vista de las aplicaciones prácticas, permite estudiar ciertos fenómenos físicos de interés debido a su relación directa con los mecanismos de *scattering* y con las fluctuaciones de carga presentes en la estructura. En segundo lugar, analizaremos el comportamiento de estas mismas magnitudes en el rango de RF y microondas, así como su dependencia con las condiciones de polarización con el fin de tratar de determinar su origen físico. Posteriormente, nos centraremos en el estudio comparativo de los transistores escalados a través de parámetros de ruido normalizados, como son α , β y C , para finalizar con el análisis de los parámetros de ruido más interesantes desde el punto de vista circuital y experimental, como son la figura mínima de ruido, la resistencia de ruido, etc. Dada la ausencia de medidas experimentales para estas estructuras no se han considerado a este nivel los posibles efectos asociados a la presencia de elementos parásitos, por lo que todos los resultados corresponderán a los dispositivos puramente intrínsecos.

- Densidades espectrales

En la representación de ruido que hemos elegido (con dos fuentes de ruido en corriente) en primer lugar deben estudiarse las correlaciones asociadas a las fluctuaciones de corriente en los terminales de puerta y drenador, C_{IG} y C_{ID} y la correlación cruzada C_{IGID} , que pueden determinarse de la manera descrita en el Apartado II.5. A partir de estas, mediante una transformada de Fourier, se calculan las densidades espectrales asociadas, S_{IG} , S_{ID} , y la cruzada S_{IGID} , que son

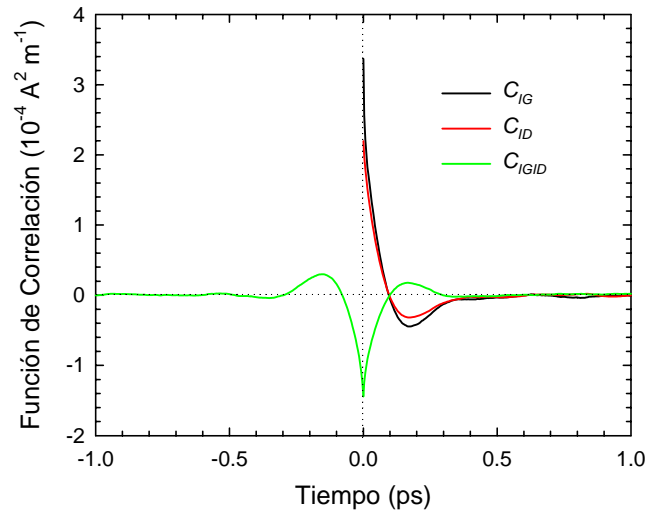


Figura IV.25. Funciones de correlación de las fluctuaciones de corriente en drenador y en puerta, para el MOSFET de $0.25 \mu\text{m}$ con $V_{GS} = 1.5 \text{ V}$ y $V_{DS} = 1.25 \text{ V}$

las que nos permiten analizar el fenómeno del ruido.

En la Figura IV.25 mostramos los valores de las funciones de correlación anteriormente mencionadas para el transistor de $0.25 \mu\text{m}$ en condiciones de polarización $V_{GS} = 1.5 \text{ V}$ y $V_{DS} = 1.25 \text{ V}$ (en saturación). Las funciones de autocorrelación (C_{IG} y C_{ID}) no han sido representadas para tiempos negativos pues se trata de funciones pares. En cambio, la asimetría de la correlación cruzada con respecto al tiempo es indicativa de que el valor de S_{IGID} ha de ser complejo

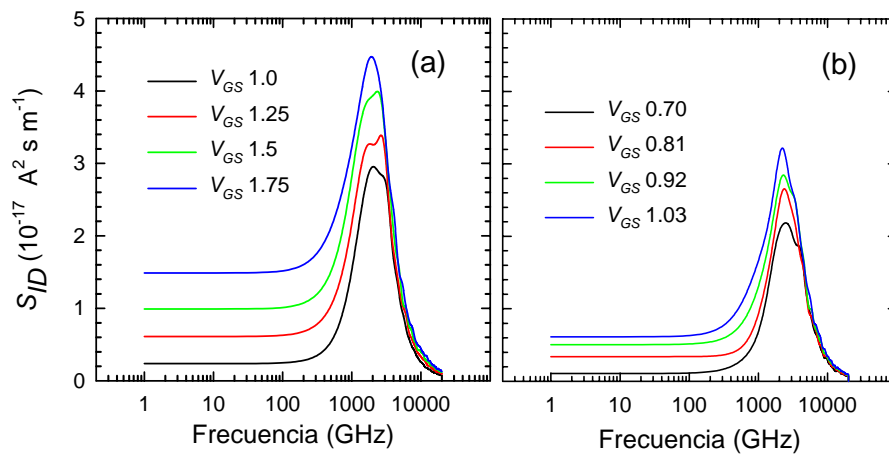


Figura IV.26. Densidad espectral de las fluctuaciones de la corriente de drenador para el MOSFET convencional con $L_g = 0.25 \mu\text{m}$ (a) y $L_g = 0.13 \mu\text{m}$ (b)

[González 1994]. Es importante señalar que para una correcta determinación de las densidades espectrales, es necesario asegurar en el tiempo de corte elegido para la transformada de Fourier que el valor de la correlación sea nulo. A pesar de que pueda dar la impresión de que esta condición se alcanza para tiempos muy rápidos (Figura IV.25), en la práctica existen “colas” de la función de correlación que hacen que no se alcance verdaderamente el valor de cero hasta tiempos del orden de 5-15 ps dependiendo del dispositivo, por lo que es necesario realizar este corte de manera adecuada.

Seguidamente vamos a proceder al análisis detallado de las densidades espectrales de las fluctuaciones de la corriente en terminales. En la Figura IV.26 mostramos los valores de S_{ID} obtenidos con el simulador MC2D en función de la frecuencia hasta 10 THz para diferentes valores de V_{GS} en el MOSFET de 0.25 μm (Figura IV.26[a]) y en el de 0.13 μm (Figura IV.26[b]). Como puede observarse, para frecuencias cercanas a los 2000 GHz aparece un máximo en el valor de S_{ID} para todas las V_{GS} consideradas y en los dos transistores simulados (el máximo para el transistor más pequeño tiene lugar a frecuencias ligeramente más elevadas, fenómeno que puede asociarse a los mayores valores de los dopajes en esta estructura). La existencia de este máximo se encuentra asociada a la parte negativa de las funciones de correlación, cuyo origen es el acoplamiento entre las fluctuaciones del campo eléctrico y las fluctuaciones de velocidad de los portadores que se produce al resolver de manera autoconsistente la ecuación de Poisson [Martín 1996]. La frecuencia a

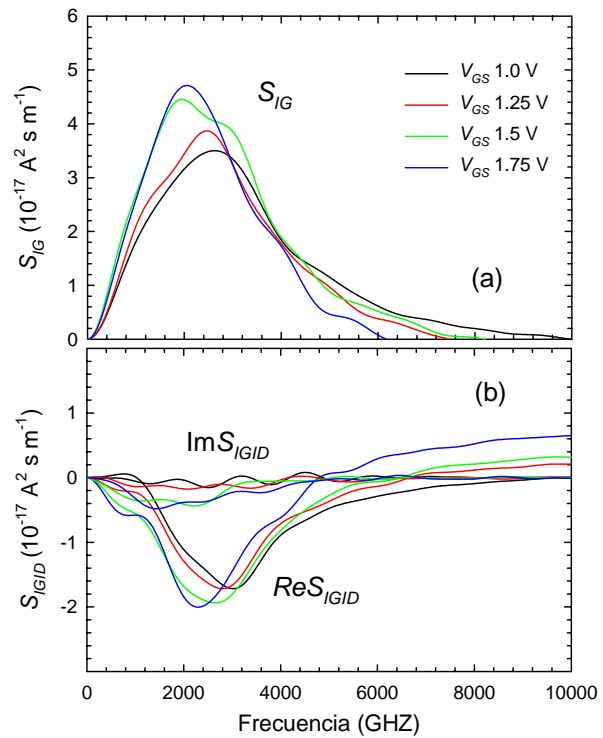


Figura IV.27. Densidades espectrales de las fluctuaciones de corriente en puerta (a) y parte real e imaginaria de la densidad espectral de la correlación cruzada (b).

la que aparece el máximo está relacionada con las frecuencias de oscilación del plasma en las diferentes regiones del dispositivo [Martín 1996]. Este fenómeno ha sido observado con anterioridad tanto en transistores FET de la familia III-V [Mateos 1997], como en estructuras unipolares y bipolares de Silicio, BJTs y HBTs [Martín 1996, Martín *et al.* 1998, Martín *et al.* 2001a, Martín *et al.* 2001b]. El valor del máximo aumenta a medida que lo hace V_{GS} , lo cual es indicativo de un mayor acoplamiento entre la velocidad de los portadores y las fluctuaciones de la densidad de los mismos a esas frecuencias [Polyakov *et al.* 2002].

Por otra parte, es necesario destacar que S_{ID} presenta un comportamiento de ruido “blanco” (es decir, que no depende de la frecuencia) para valores hasta 100 GHz para el transistor de 0.25 μm y hasta 200 GHz para el de 0.13 μm , aproximadamente. Como veremos con posterioridad, para estos valores de frecuencia, el ruido en el terminal de drenador está asociado fundamentalmente al ruido de carácter difusivo generado por los portadores en el canal. El valor de este ruido térmico a “baja” frecuencia aumenta a medida que lo hace la tensión de puerta aplicada. También puede observarse cómo a medida que la tensión de puerta aumenta, la frecuencia a la cual S_{ID} comienza a desviarse de su valor constante es inferior.

En la Figura IV.27 mostramos la evolución con la frecuencia de la densidad espectral de las fluctuaciones de la corriente de puerta, S_{IG} (Figura IV.27[a]), así como la parte real e imaginaria de la densidad espectral de la correlación cruzada S_{IGID} (Figura IV.27[b]) para el transistor de 0.25 μm . S_{IG} , al igual que S_{ID} , también presenta un máximo para frecuencias elevadas, máximo cuyo valor aumenta a medida que lo hace V_{GS} . Sin embargo, a diferencia de S_{ID} , se observa un desplazamiento del máximo hacia frecuencias ligeramente inferiores cuando V_{GS} aumenta. Por otra parte, respecto a S_{IGID} es posible observar que a frecuencias elevadas la parte real presenta valores negativos, y que presenta un mínimo a las mismas frecuencias que S_{IG} (mínimo que también se desplaza ligeramente al aumentar V_{GS}), mientras que la parte imaginaria presenta valores menores en general. Sin embargo, a frecuencias no tan elevadas (aproximadamente dentro del rango comentado con anterioridad para el comportamiento de ruido blanco de S_{ID}), el valor de la parte real es despreciable frente al valor de la parte imaginaria. Debido a ello, $\text{Re}S_{IGID}$ suele considerarse nulo en el rango de radiofrecuencias y microondas, que son las frecuencias de operación que presentan mayor interés hoy en día en las

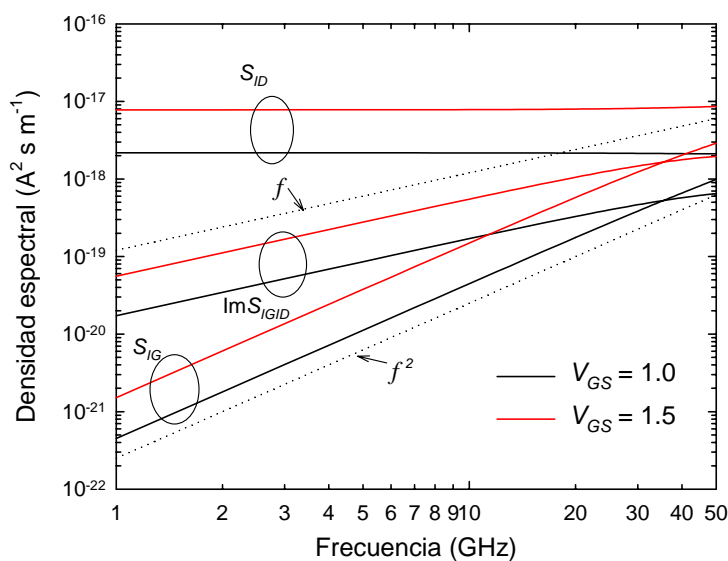


Figura IV.28. S_{ID} , S_{IG} e $\text{Im}S_{IGID}$ hasta 50 GHz para $V_{DS} = 1.25$ V y $V_{GS} = 1.0$ (líneas negras) y $V_{GS} = 1.5$ V (líneas rojas). Las dependencias con f y con f^2 están también indicadas.

aplicaciones prácticas.^{††}

Vamos a examinar a continuación el comportamiento de las densidades espectrales en el rango de frecuencias “bajas” (por debajo de 50 GHz) que acabamos de mencionar. En la Figura IV.28 mostramos los valores de S_{ID} , S_{IG} e $\text{Im}S_{IGID}$ en función de la frecuencia para el transistor de 0.25 μm , para dos tensiones de puerta diferentes, 1.0 y 1.75 V, ambas con $V_{DS} = 1.25$ V. Es necesario señalar que en el caso de S_{IG} y S_{IGID} , la cola para tiempos largos de las funciones de correlación hace que exista una incertidumbre en sus valores. En ausencia de corriente de fugas en la puerta, es de esperar que su valor sea nulo a frecuencia cero, por lo que para obtener la dependencia correcta con f usualmente es necesario descontar los valores de baja frecuencia de S_{IG} y S_{IGID} , procedimiento habitual en simulaciones Monte Carlo [González *et al.* 1995b, Mateos *et al.* 1998, González *et al.* 2002].

S_{ID} toma valores prácticamente constantes con la frecuencia, como corresponde a una fuente de ruido *blanco*, como hemos señalado con anterioridad. En cuanto a S_{IG} , tiene una dependencia con el cuadrado de la frecuencia; la parte imaginaria de S_{IGID} presenta una dependencia con f (la parte real es despreciable a las frecuencias mostradas). Estas dependencias están de acuerdo con las predichas por la teoría general del MOSFET, así como los resultados mostrados en la literatura para otros dispositivos FET [van der Ziel 1986, Mateos *et al.* 1998].

A causa de estas dependencias con la frecuencia, en el rango de RF y microondas S_{ID} (cuyo valor puede ser determinado de manera precisa con el MC2D) usualmente toma valores más elevados en comparación con S_{IG} e $\text{Im}S_{IGID}$. Vamos a comentar algunas cuestiones relacionadas con esta importante magnitud para posteriormente retomar el estudio de los demás parámetros de ruido. En la Figura IV.29(a) mostramos la variación de S_{ID} con V_{DS} para un V_{GS} constante e igual a 1.5 V, mientras que en la Figura IV.29(b) hemos representado el perfil de energía en el canal para las polarizaciones consideradas.

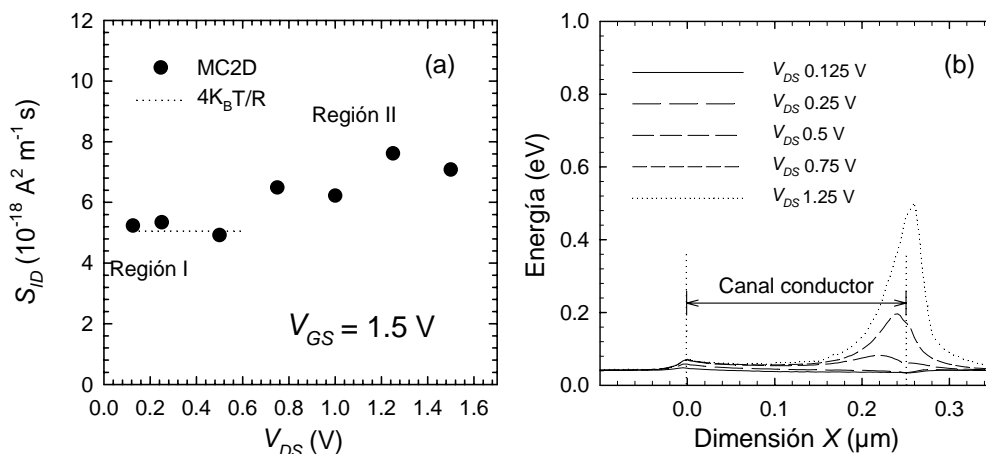


Figura IV.29. Densidad espectral de las fluctuaciones de la corriente de drenador en función de V_{DS} para $V_{GS} = 1.5$ V (a) y frente a V_{GS} para $V_{DS} = 1.25$ V (b)

^{††} Este resultado es usual en transistores FET, tanto en MOSFET como en dispositivos de las familias III-V (MESFETs y HEMTs). [van der Ziel 1986, Mateos *et al.* 1998]

Como puede observarse en la Figura IV.29(a), es posible apreciar con claridad dos regímenes de operación bien diferenciados. Para valores de V_{DS} correspondientes a la región triodo (menores de 0.6 V aproximadamente, Región I en la figura), el canal debe comportarse como un elemento puramente resistivo (como corresponde al aumento lineal de I_D con V_{DS} en las características de salida), lo cual está en conformidad con el hecho de que los valores de S_{ID} obtenidos con el MC2D en esta región se mantienen aproximadamente constantes. Para corroborar esta comportamiento, en la Figura IV.29(a) hemos indicado también la densidad espectral asociada al ruido térmico generado por un elemento resistivo predicha por el teorema de Nyquist [Nyquist 1928] (véase el Apéndice II). El buen acuerdo entre ambos resultados confirma por una parte la naturaleza puramente térmica (difusiva) del ruido de drenador en este régimen de operación y por otra parte la validez de la analogía del canal como un elemento resistivo homogéneo.

Sin embargo, una vez que $V_{GS} - V_T > V_{DS}$ el dispositivo entra en saturación y aparece la región de *pinch off*. En este momento observamos cómo la dependencia de S_{ID} con V_{DS} deja de ser constante para sufrir un aumento con la tensión de drenador (Región II). Por tanto, en esta región, el ruido aumenta de manera notable respecto al valor predicho por el teorema de Nyquist.

Para clarificar este comportamiento, vamos a apoyarnos en el perfil de energía mostrado en la Figura IV.29(b). Para polarizaciones correspondientes a la región triodo, los portadores en el canal mantienen una energía cercana a la de equilibrio, lo cual es consecuente con el hecho de que el canal conductor se comporte como una región homogénea, con una resistencia bien definida (y por tanto la predicción de Nyquist se cumple).

Sin embargo, cuando aparece la zona de *pinch-off* o estrangulamiento, la homogeneidad en el canal desaparece. En este caso, para cada polarización V_{DS} el canal puede dividirse en dos regiones bien diferenciadas. Por una parte, la zona en la cual se mantiene la capa de inversión, cuyo comportamiento va a ser esencialmente similar al caso de la región triodo (la energía toma valores constantes en X a lo largo de la misma). Por otra parte, la zona de *pinch-off*, en la cual los campos eléctricos en X son localmente muy elevados (Figura IV.3). Los portadores, en consecuencia, experimentan un gran aumento de la velocidad, que toma valores muy superiores a la velocidad de saturación en Silicio (*overshoot*, Figura IV.6), acompañado por una reducción del porcentaje de mecanismos de *scattering* asociados a colisiones con impurezas y un aumento notable de las interacciones con fonones de la red (Figura IV.8). Debido a ello, es posible apreciar en la zona del canal más próxima a la isla de drenador (y también en una pequeña parte de esta última) un notable incremento de la energía media de los electrones (Figura IV.29[b]) lo que da lugar incluso a un importante aumento de las transiciones intervalle (Figura IV.8) hacia valles superiores de la banda de conducción (valles L, Figura III.29). Cuanto mayor es V_{DS} una

vez alcanzada la saturación, mayor es la anchura de la zona de estrangulamiento (recuérdese la Figura III.23), y también es más elevado el valor del máximo de la energía de los electrones en la zona del canal adyacente al drenador. La presencia de estos portadores altamente energéticos, también denominados “calientes” o *hot carriers* supone una fuente de ruido en exceso [Abidi 1986, Jindal 1986, Manku 1999] que hace que los niveles de ruido del dispositivo aumenten considerablemente en la región II (Figura IV.29[a]) con respecto a la situación de canal en cuasi-equilibrio que observamos en la región triodo (Región I en la Figura IV.29[a]). De este modo, es posible concluir que cuanto mayores sean las energías que se alcanzan en el final del canal (o análogamente cuanto mayor sea la zona de *pinch-off*), mayor es S_{ID} en condiciones de V_{GS} constante.

También es interesante estudiar la dependencia de la densidad espectral S_{ID} con el potencial de puerta para V_{DS} constante, (Figura IV.30). En esta figura, además de los resultados Monte Carlo (símbolos) hemos representado los resultados obtenidos para S_{ID} mediante la expresión ideal en saturación para canal largo proporcionada por el modelo de van der Ziel [van der Ziel 1986]:

$$S_{ID} = 4 \frac{2}{3} g_m K_B T \quad (\text{IV.1})$$

Como puede observarse en la figura los valores que se obtienen en la simulación MC2D son, para todo el rango de V_{GS} , superiores a la predicción ofrecida por la expresión teórica. La diferencia se incrementa de manera notable a medida que V_{GS} aumenta. Hemos observado este resultado también en otros dispositivos MOSFET de canal corto estudiados con anterioridad [Rengel *et al.* 2001, Rengel *et al.* 2002].

Para valores pequeños de V_{GS} , S_{ID} aumenta notablemente. Sin embargo, para V_{GS} elevados (superiores a 1.5 V aproximadamente), S_{ID} presenta una tendencia a saturar, cuyo origen vamos a analizar a continuación. En la Figura IV.31(a) mostramos el perfil de la energía de los electrones en la capa de inversión para V_{DS} constante y un rango de V_{GS} entre 1.0 y 2.0 V. En la Figura IV.31(b), hemos representado la concentración de los electrones para esas mismas condiciones. Cuando aumenta V_{GS} , aparecen dos efectos que tienden a contrarrestarse. Por una parte, la concentración de la capa de inversión aumenta, de manera que el número de portadores con energías elevadas es mayor (lo cual tiende a aumentar el ruido). Por otra parte, el valor máximo de la energía de los electrones disminuye,

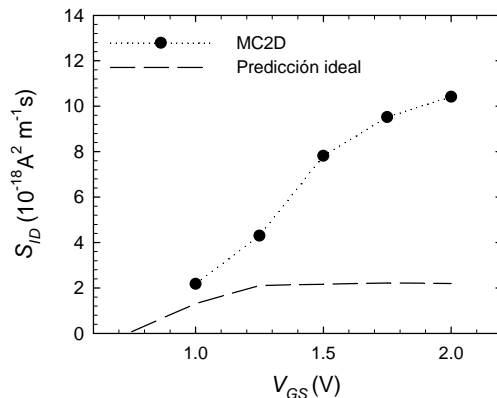


Figura IV.30. S_{ID} en función de V_{GS} para el transistor de $0.25 \mu\text{m}$ con $V_{DS} = 1.25 \text{ V}$ (en saturación)

pues a V_{DS} constante, cuanto mayor es V_{GS} más cerca estamos del régimen de operación triodo, y en consecuencia la zona de *pinch-off* es menor (la concentración en el canal se acerca más a la situación de homogeneidad) y se alcanzan, en media, energías menos elevadas, siendo menor el exceso de ruido aportado por los portadores calientes. Para V_{GS} pequeños, la disminución de la energía es comparativamente mucho menor que el aumento de concentración de portadores en la capa de inversión, por lo que es posible apreciar un importante aumento de S_{ID} . Sin embargo,

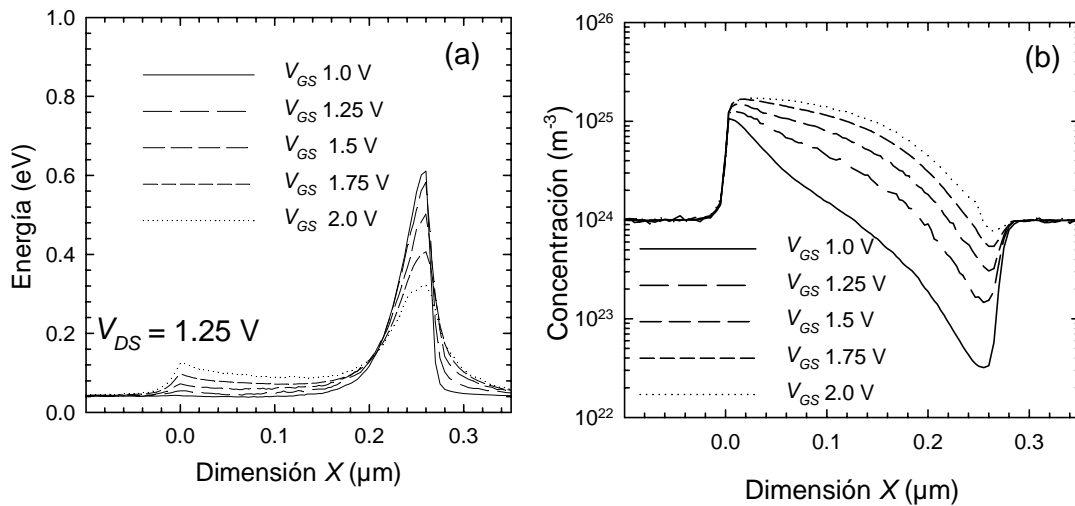


Figura IV.31. Perfil de la energía (a) y de la concentración (b) de electrones en la capa de inversión para $V_{DS} = 1.25$ V y V_{GS} en un rango entre 1.0 V y 2.0 V.

a V_{GS} elevados, la disminución de la energía en la región de *pinch off* se hace más importante, y el incremento de concentración es menor, de manera que ambas contribuciones tienden a equilibrarse, observándose el fenómeno de aproximación a la saturación de S_{ID} .

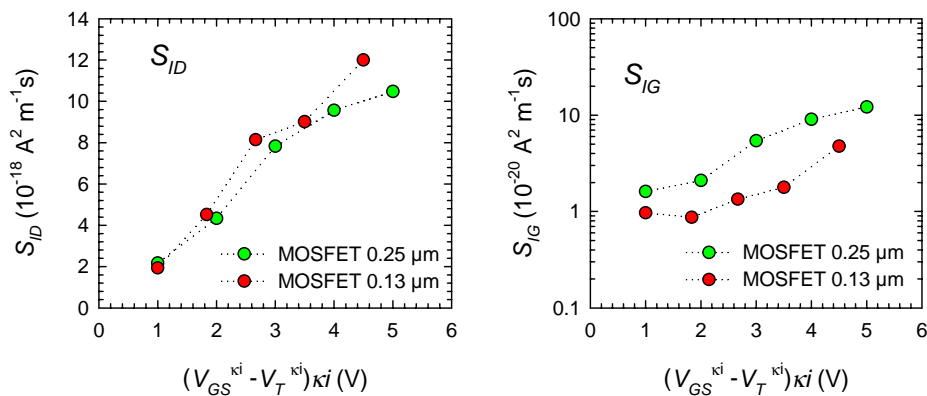


Figura IV.32. S_{ID} (izquierda) y S_{IG} (derecha) para los dos transistores escalados de 0.25 μm y 0.13 μm, en condiciones de campo constante, para $f = 6$ GHz.

Seguidamente, vamos a retomar el estudio comparativo de los diferentes dispositivos y el efecto del escalado en las diferentes fuentes de ruido a la entrada (S_{IG}) y salida (S_{ID}) del dispositivo.

En la Figura IV.32 mostramos los valores de S_{ID} y S_{IG} (a 6 GHz) en función de la tensión de puerta para los dos transistores MOSFET escalados de $0.25 \mu\text{m}$ y $0.13 \mu\text{m}$. Como puede apreciarse en la Figura, al reducir las dimensiones el valor de S_{ID} experimenta un pequeño aumento (existiendo por tanto un mayor ruido difusivo asociado al movimiento de los portadores en el canal), mientras que el valor de S_{IG} disminuye, lo cual es indicativo de un menor ruido inducido en la puerta por las fluctuaciones de carga en el canal. Este comportamiento puede asociarse al hecho de que en esta condición de escalado el acoplamiento capacitivo con la puerta es similar, pero sin embargo el carácter del transporte es más cercano al balístico en el dispositivo menor, como hemos visto con anterioridad en la Sección IV.1.b (Figura IV.8). Por tanto, para el dispositivo más pequeño las fluctuaciones de corriente inducidas en la puerta por la carga en el canal son menos importantes a causa de la reducida influencia de los mecanismos de *scattering* bajo el terminal de puerta.

- Parámetros α , β y C

Hasta ahora, para el análisis del ruido de los dispositivos nos hemos centrado en el estudio de las densidades espectrales de las fluctuaciones de corriente en terminales. Sin embargo, si nuestro propósito es no sólo estudiar las fuentes de ruido de los dispositivos, sino también comparar directamente el comportamiento intrínseco en ruido de dos dispositivos con geometría diferente, este no es el procedimiento más adecuado, ya que el valor de las densidades espectrales se encuentra influido por el valor de la dimensión no simulada, los niveles de corriente, capacidades y resistencias de los transistores [Mateos 1997]. Con el fin de poder efectuar una

comparación apropiada, suelen definirse, como vimos en el Capítulo II, una serie de parámetros normalizados que nos dan una información más precisa sobre los fenómenos físicos asociados al ruido. Los parámetros α , β y C son los más adecuados para este propósito [Pucel *et al.* 1974, van der Ziel 1986, Taylor *et al.* 1991, Greaves y Unwin 1993, Danneville *et al.* 1994, 1995, Dambrine *et al.* 1999]. Estos parámetros han sido calculados por primera vez mediante un simulador MC2D para el caso de un transistor MOSFET en un trabajo previo [Rengel *et al.* 2001]. Para su cálculo hemos empleado las expresiones II.34, II.35, y II.36, donde puede observarse

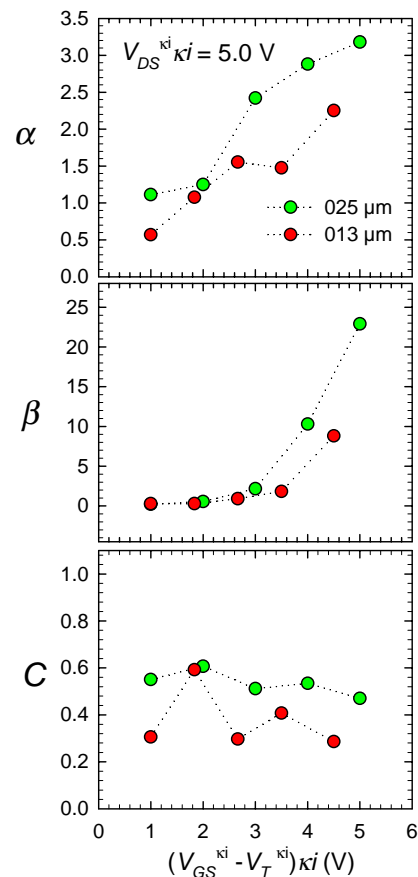


Figura IV.33. Parámetros α , β y C para el MOSFET de $0.25 \mu\text{m}$ (verdes) y $0.13 \mu\text{m}$ (rojos) en condiciones de campo constante

cómo estos parámetros de ruido no están determinados únicamente por las densidades espectrales de las fluctuaciones de corriente, sino también por los parámetros dinámicos del dispositivo.

En la Figura IV.33 mostramos los resultados obtenidos para los transistores con longitudes de $0.25\ \mu\text{m}$ y $0.13\ \mu\text{m}$ escalados a campo constante. Es necesario señalar que dentro del rango de frecuencias considerado estos parámetros son prácticamente constantes, lo cual confirma la validez del cálculo, pues según su definición teórica deben ser independientes de la frecuencia.

Respecto al parámetro α , que nos permite comparar de manera directa el ruido de drenador de ambas estructuras, podemos ver como en el caso del transistor más pequeño los valores obtenidos son menores en el rango de V_{GS} considerado. El motivo de esto es que, a pesar de que S_{ID} es ligeramente mayor para el MOSFET de $0.13\ \mu\text{m}$ escalado, la transconductancia, que es comparativamente más elevada, hace que el valor de α sea sensiblemente menor, ya que en la ecuación II.38 el módulo de Y_{21} es prácticamente coincidente con g_m para las frecuencias consideradas. Para ambos dispositivos, los valores que obtenemos son sensiblemente mayores que la predicción ideal de Van der Ziel ($\alpha = 2/3$), obtenida bajo la consideración de determinadas hipótesis ideales (asunción del modelo cuadrático, portadores en equilibrio con la red, etc.) que como hemos visto en este capítulo no se cumplen para los transistores analizados.

En cuanto al parámetro β , los valores observados son superiores para el transistor mayor (especialmente a $V_{GS} - V_T$ elevada), lo cual es indicativo de una mayor influencia de las fluctuaciones de la carga en el ruido inducido en la puerta. El valor de este parámetro tiende a aumentar para valores de V_{GS} elevados; en cualquier caso, sus valores (salvo para la tensión de puerta menor) están sensiblemente por encima de la predicción teórica de canal largo de Van der Ziel (0.3).

En cuanto a C , a pesar de que la determinación de este parámetro posee un margen de error amplio, también puede apreciarse una reducción para el dispositivo menor. Por tanto, existe una correlación menor entre las fluctuaciones de la corriente de puerta y la de drenador para el caso del MOSFET de $0.13\ \mu\text{m}$, siendo los valores del parámetro C en este caso cercanos al del modelo de Van der Ziel (0.395). En este caso, hay que señalar que mientras que el ruido en el terminal de drenador depende en gran medida de la presencia de mecanismos de *scattering* en la unión metalúrgica drenador-substrato, el terminal de puerta se encuentra menos influenciado por este factor, por lo que la correlación entre ambas fuentes de ruido es menor.

En general, los resultados son indicativos de la idoneidad del escalado a campo constante a la hora de reducir las dimensiones de los dispositivos. Sin embargo, como ya hemos mencionado con anterioridad, en dispositivos reales fabricados no se escala normalmente la tensión de drenador de manera ideal, de modo que aparecerían campos sensiblemente mayores en los

dispositivos más pequeños con el consecuente aumento de los niveles de ruido en los mismos, especialmente el asociado al ruido en exceso generado por los portadores calientes.

- *Figura mínima de ruido. Resistencia de Ruido*

Como ya comentamos en el Capítulo II, a la hora de caracterizar el ruido de los dispositivos de manera experimental, la manera usual es en función de una serie de parámetros mensurables en el laboratorio, como son la figura mínima de ruido intrínseca (NF_{min}), la resistencia de ruido (R_n), el coeficiente de reflexión Γ_{opt} o la ganancia asociada G_{ass} , que tienen un significado y aplicación directos para los diseñadores de circuitos [Vendelin *et al.* 1990]. Para poder efectuar un diseño adecuado de aplicaciones analógicas, es de vital importancia entender y conocer cuáles son los efectos del escalado sobre estos parámetros. El MC2D nos permite realizar esta tarea de manera sencilla sin necesidad de plantear hipótesis adicionales, así como considerar los posibles efectos bidimensionales que puedan tener lugar, por lo que supone una gran ventaja frente a otros modelos para el estudio del fenómeno del ruido electrónico en dispositivos.

La dependencia con la frecuencia (hasta 40 GHz) de los principales parámetros de ruido, para un punto de polarización ($V_{GS}^{ki} - V_T^{ki}$) ki

= 1 V para los dos MOSFET submicrométricos en condiciones de campo constante es mostrada en la Figura IV.34. La líneas verdes corresponden al dispositivo de 0.25 μm , y las rojas al de 0.13 μm . Como puede apreciarse en la figura IV.34(a), el valor de NF_{min} tiende a aumentar de manera prácticamente lineal con la frecuencia de operación, comportamiento que está en concordancia con lo observado de manera experimental para otros transistores MOSFET [Chen *et al.* 1998, Enz y Cheng 2000, Chen *et al.* 2001]. La pendiente de dicha dependencia es mayor para el transistor de 0.25 μm . Los valores de R_n en cambio permanecen prácticamente constantes, mientras que el módulo de Γ_{opt} disminuye con f y su fase aumenta (de manera especialmente

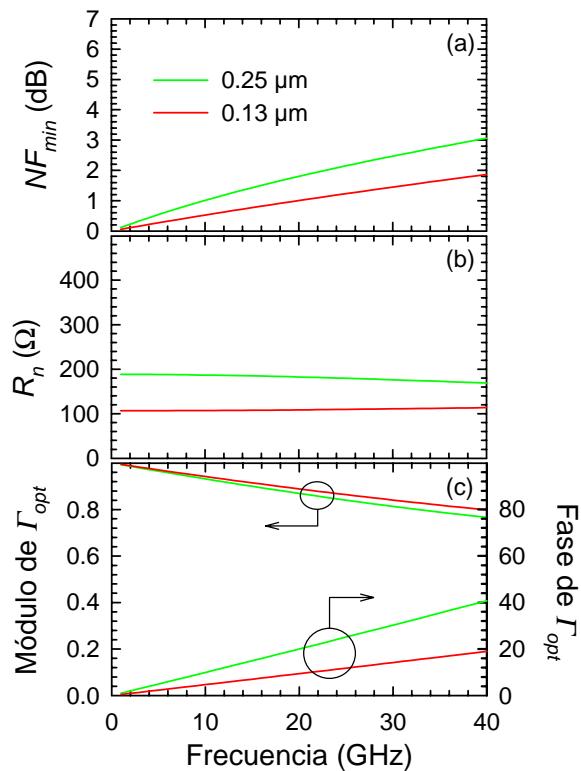


Figura IV.34. Dependencia con la frecuencia de los parámetros de ruido para un punto de polarización equivalente en los dos dispositivos.

significativa en el caso del transistor más grande), en buen acuerdo con lo observado por otros autores [Chen *et al.* 1998, Chen *et al.* 2001].

En la Figura IV.35 mostramos los resultados obtenidos para NF_{min} y G_{ass} en función de V_{GS} en las condiciones de campo constante comentadas con anterioridad, para dos frecuencias de operación, 2.4 GHz y 10 GHz. La elección de estas frecuencias corresponde a que 2.4 GHz es, por ejemplo, la banda empleada para aplicaciones WLAN (entre otras), de plena actualidad, y 10 GHz se utiliza, como aplicación más interesante para el usuario doméstico, en redes personales de TV por satélite [Razavi 1998]. Los símbolos verdes representan los resultados para el transistor escalado de 0.25 μm , y los rojos los resultados para el de 0.13 μm .

En primer lugar, es posible observar cómo para el transistor más pequeño se obtienen valores menores de NF_{min} (Figura IV.35[a]). También puede observarse que para ambos transistores, a medida que aumentan V_{GS} o f también lo hace NF_{min} . Para explicar este comportamiento, vamos a apoyarnos en la siguiente expresión aproximada [Dambrine *et al.* 1999]:

$$NF_{min} = 10 \log \left(1 + 2 \frac{f}{f_T} \sqrt{\alpha \beta (1 - C^2)} \right) \quad (\text{IV.2})$$

Aunque esta expresión tiende a subestimar el valor de NF_{min} a baja corriente y frecuencia elevada en comparación con el cálculo exacto [Rengel *et al.* 2001], en general es una buena aproximación, que nos permite identificar cuál es el origen del comportamiento de NF_{min} . Partiendo de esta expresión aproximada, es posible deducir que el aumento de NF_{min} con V_{GS} es debido al incremento tanto del ruido asociado al drenador (α) como al aumento del ruido inducido por la puerta (β) con la tensión de puerta aplicada, en este último caso especialmente significativo a V_{GS} elevados. Por otra parte, los valores menores de NF_{min} para el transistor de 0.13 μm se deben fundamentalmente a la mayor frecuencia de corte del dispositivo y a la menor influencia del ruido en drenador e inducido en puerta.

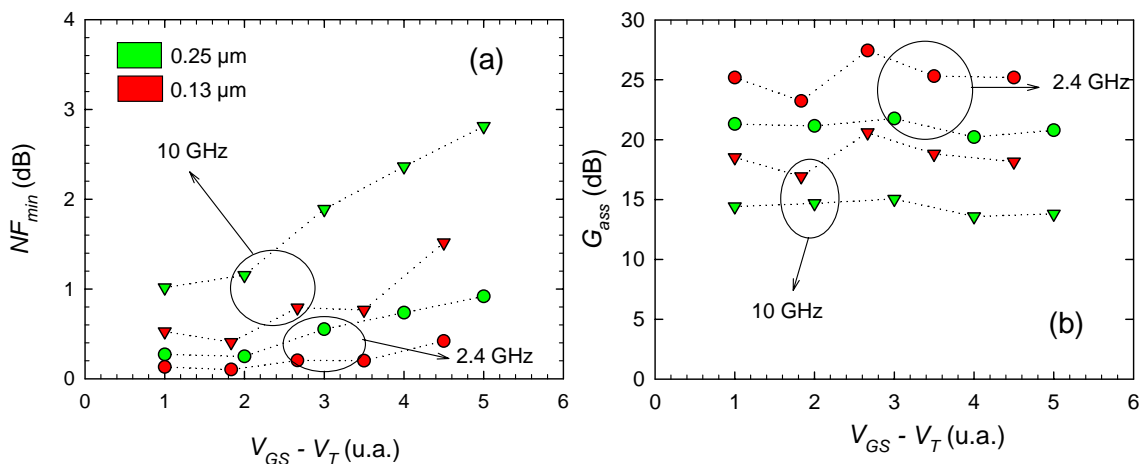


Figura IV.35. Figura Mínima de Ruido (a), y Ganancia Asociada (b) para dos frecuencias diferentes, 2.4 GHz y 10 GHz. Los símbolos verdes corresponden al transistor de 0.25 μm , y los rojos al de 0.13 μm

Es necesario mencionar que numerosos modelos empleados para el estudio de dispositivos MOSFET, especialmente en el caso de los modelos orientados a aplicaciones digitales (incluido el más popular en la industria, BSIM3^{**}), desprecian la influencia del ruido inducido en la puerta, debido que al presentar S_{IG} una dependencia cuadrática con la frecuencia, sus valores no son significativos frente a los de S_{ID} en el rango de radiofrecuencias. Sin embargo, nuestros resultados prueban que el ruido inducido en puerta juega un papel importante en el valor final de los parámetros, como es el caso de la figura mínima de ruido. Este fenómeno ha sido observado también por otros autores [Shaeffer y Lee 1997, Manku 1999].

En el caso de la ganancia asociada (Figura IV.35[b]), el transistor más pequeño ofrece valores más elevados en todo el rango de V_{GS} estudiado, lo cual es indicativo de una mayor capacidad de amplificación en condiciones de bajo ruido.

La resistencia de ruido y el coeficiente de reflexión para frecuencia de 10 GHz son mostrados en la Figura IV.36. Hemos representado los valores para una única frecuencia de operación pues la variación con la frecuencia de estos parámetros no es tan significativa como en el caso de NF_{min} o G_{ass} . Respecto a la resistencia de ruido (Figura IV.36[a]), sus valores son menores en el transistor de 0.13 μm , por lo que podemos afirmar que este dispositivo presenta menor sensibilidad de la figura mínima (respecto a su valor óptimo) a cambios en la admitancia de entrada del dispositivo. En cuanto al coeficiente de reflexión Γ_{opt} (Figura IV.36[b]),

las diferencias entre ambos transistores son pequeñas, presentando el transistor de 0.13 μm valores del módulo ligeramente superiores y de la fase ligeramente inferiores con respecto al transistor de 0.25 μm .

Sin entrar en consideraciones sobre estos parámetros desde un punto de vista circuital (lo cual está fuera del ámbito de la presente Tesis), podemos señalar que, en el marco de la

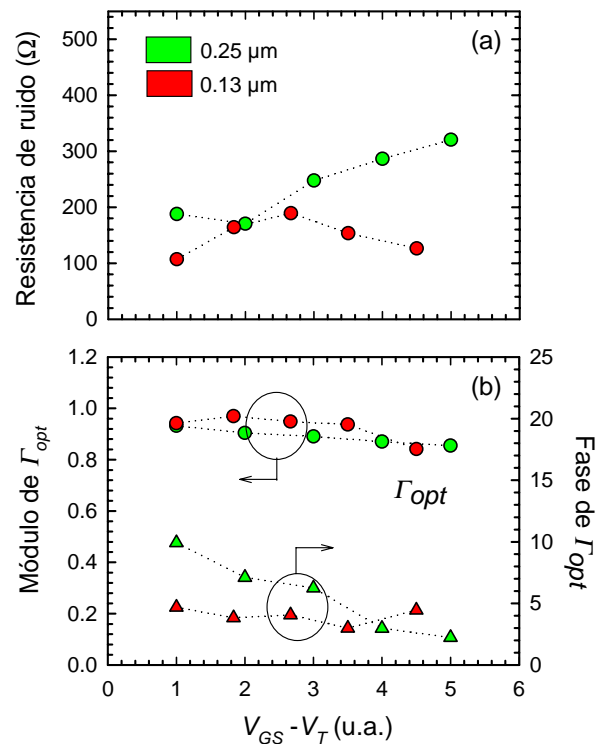


Figura IV.36. Resistencia de ruido (a) y Coeficiente de reflexión óptimo (b) a 10 GHz.

** El modelo BSIM4, aparecido en Marzo de 2000, ya incluye el efecto del ruido inducido en puerta, aunque la validez de la estimación de S_{IGID} es discutible, pues se basa en un modelo para el ruido de dos parámetros, siendo necesarios cuatro para describir con total precisión el fenómeno del ruido en un MOSFET.

adaptación del dispositivo a una aplicación dentro de un circuito, es necesario lograr el compromiso entre numerosos requerimientos (frecuencia de trabajo, potencia, linealidad, tensión de alimentación, ruido y ganancia), lo cual hace que no sea obvia la tarea de optimizar el punto de operación del dispositivo [González 1997, Razavi 1998]. En nuestro caso, por ejemplo, la polarización de puerta para la cual se alcanzan los valores mínimos de NF_{min} ($(V_{GS}^{ki} - V_T^{ki}) \kappa i \approx 2.0$ V) no se corresponde con el punto de máxima transconductancia ($(V_{GS}^{ki} - V_T^{ki}) \kappa i$ entre 3.0 y 4.0 V, Figura IV.19), por lo que sería necesario alcanzar un compromiso entre las condiciones de bajo ruido, bajo consumo y alta ganancia y los requerimientos del diseño en cuanto a condiciones de polarización. De igual modo, los valores del módulo de Γ_{opt} obtenidos (próximos a la unidad para ambos transistores, pero menores a medida que se aumenta la frecuencia) indicarían que, para facilitar la adaptación del dispositivo al resto del circuito es mejor trabajar a frecuencias más elevadas, en cuyo caso la figura mínima de ruido aumentaría. Por tanto, la optimización del punto de operación del dispositivo (frecuencia, polarización) dependería fundamentalmente de las especificaciones solicitadas para la aplicación en cuestión.

Sin embargo, a la vista de los resultados obtenidos sí es posible afirmar que, en general, el dispositivo de 0.13 μm escalado ofrece un mayor rendimiento para condiciones de bajo ruido, siempre que se hayan seguido las condiciones del escalado ideal a campo constante. Las características estáticas, dinámicas y de ruido de este dispositivo, lo convertirían en un candidato idóneo (de manera ideal, pues la simulación efectuada corresponde al dispositivo intrínseco) para ser empleado en el diseño de aplicaciones en el rango de radiofrecuencias y microondas.

2. Efecto de la variación de parámetros geométricos

Para concluir este apartado, vamos a comentar brevemente los efectos de la variación del dopaje del sustrato y de la longitud de puerta sobre los parámetros del ruido.

-Variación del dopaje

En la Figura IV.37 mostramos los resultados obtenidos para S_{ID} (Figura IV.37[a]) y S_{IG} (Figura IV.37[b]) a 6 GHz en función de $V_{GS} - V_T$ para igual V_{DS} (1.25 V). Como puede apreciarse en la figura, las diferencias más significativas aparecen para el caso de S_{IG} , donde para el caso de $N_A = 5 \times 10^{22} \text{ m}^{-3}$ se observan valores menores en todo el rango de $V_{GS} - V_T$, lo que nos indica, en principio, una menor influencia del ruido en puerta.

Respecto a los valores de los parámetros α , β y C , en la Figura IV.38 mostramos los valores obtenidos para las dos impurificaciones del sustrato consideradas. Como puede observarse, las mayores diferencias aparecen en el parámetro β , donde para el caso del sustrato menos impurificado se observan valores sensiblemente menores, lo que confirma la menor influencia del ruido inducido en puerta que acabamos de señalar.

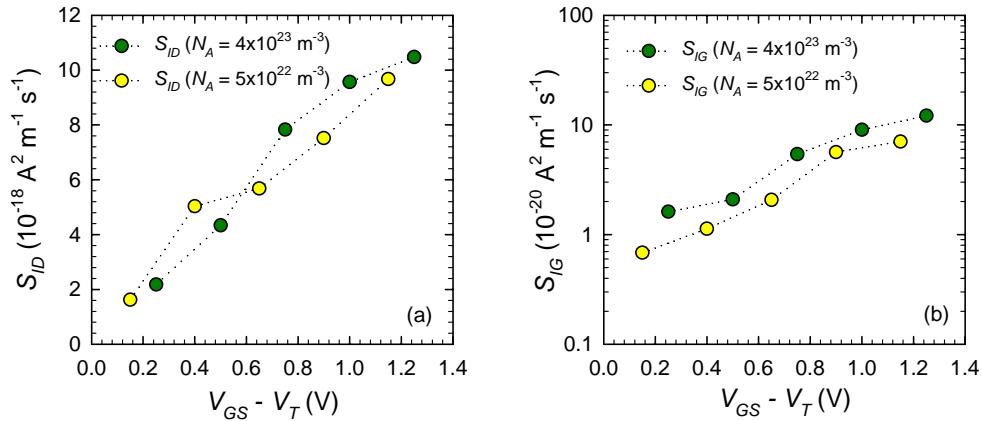


Figura IV.37. S_{ID} y S_{IG} a 6 GHz en función de $V_{GS} - V_T$ con $V_{DS} = 1.25 \text{ V}$, para dos impurificaciones del sustrato diferentes.

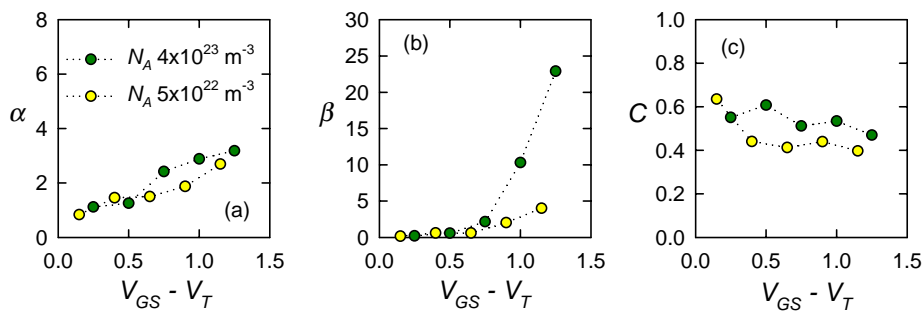


Figura IV.38. Parámetros α , β y C en función de $V_{GS} - V_T$ con $V_{DS} = 1.25 \text{ V}$ para dos impurificaciones del sustrato diferentes.

Por otra parte, en cuanto a los parámetros de ruido más significativos desde el punto de vista circuital (NF_{min} y R_n , Figura IV.39), en el caso de la impurificación de sustrato menor se obtienen resultados mejores que para el caso de un dopaje elevado, fundamentalmente a causa del menor ruido inducido en puerta. En general, puede afirmarse que en el rango de RF y microondas emplear un sustrato con mayor resistividad es altamente beneficioso con el objetivo de lograr mejores figuras de mérito de ruido. Sin embargo, como ya hemos visto a lo largo de esta Memoria, usualmente suele ser deseable emplear un dopaje del sustrato lo más elevado posible con el fin de minimizar los efectos de canal corto, por lo que debe intentarse alcanzar un compromiso entre ambas condiciones. Debemos indicar además que la comparativa entre ambos valores de impurificación del sustrato se ha realizado en iguales condiciones de $V_{GS} - V_T$; a causa del V_T mucho menor en el caso de $N_A = 5 \times 10^{22} \text{ m}^{-3}$, si trabajásemos en iguales condiciones de V_{GS} , en general se obtendrían peores resultados para el sustrato menos impurificado. Por tanto, si se quisieran aprovechar las ventajas en cuanto a ruido de considerar un N_A menor, sería necesario emplear tensiones de alimentación menores, lo cual no siempre es factible desde el punto de vista tecnológico.

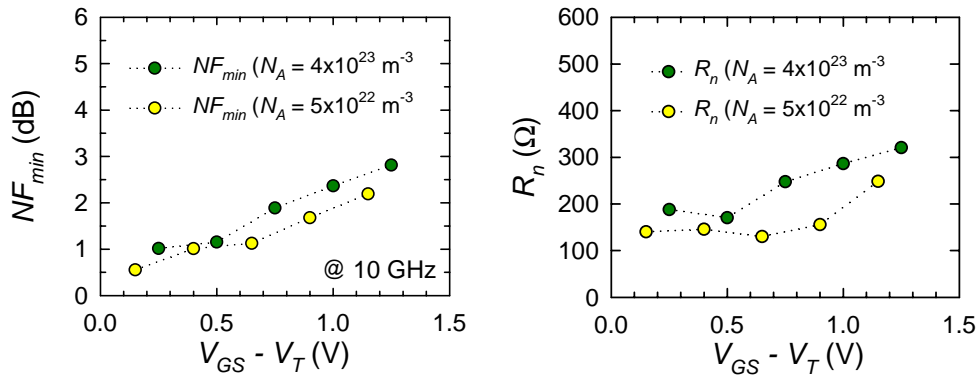


Figura VI.39. Valores de NF_{min} y R_n a 10 GHz en función de $V_{GS} - V_T$ para dos impurificaciones del sustrato diferentes, ambas para $V_{DS} = 1.25 \text{ V}$

-Reducción de L_g

Las densidades espectrales S_{ID} y S_{IG} a 6 GHz en función de $V_{GS} - V_T$ se muestran en la Figura IV.40. Hay que indicar que en cuanto a valores del ruido en drenador (S_{ID}) los resultados son muy similares (siempre para iguales condiciones de $V_{GS} - V_T$), apreciándose en cambio una reducción notable del ruido inducido en puerta para el valor de L_g menor, hecho que ha sido corroborado por otros autores [Chen *et al.* 2001].

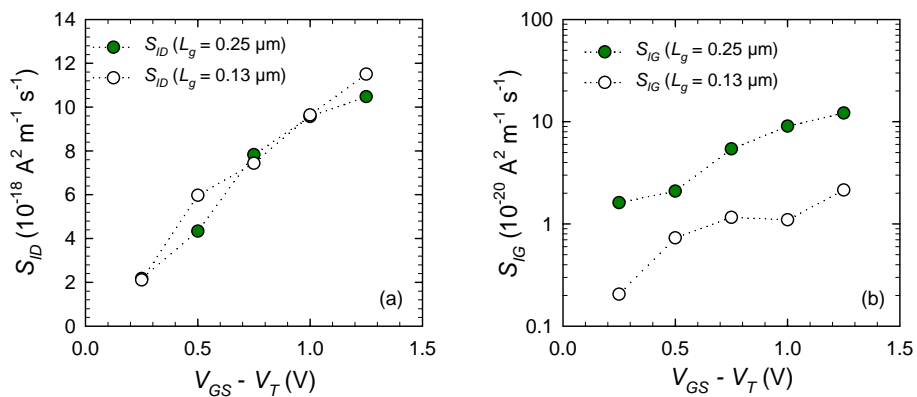


Figura IV.40. S_{ID} y S_{IG} a 6 GHz en función de $V_{GS} - V_T$ con $V_{DS} = 1.25 \text{ V}$, para dos valores de L_g diferentes.

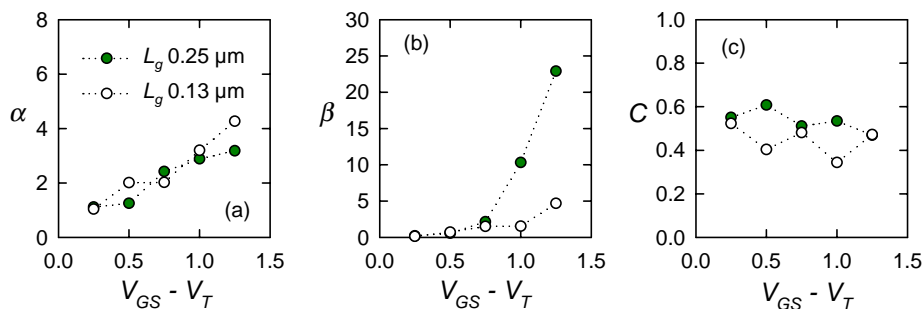


Figura IV. 41. Parámetros α , β y C en función de $V_{GS} - V_T$ con $V_{DS} = 1.25 \text{ V}$ para dos valores de L_g diferentes

Los parámetros α , β y C son mostrados en la Figura IV.41. En este caso, de nuevo las diferencias más significativas se dan para el parámetro β ; las fluctuaciones de carga en el canal generan menor ruido inducido en puerta a causa del menor acoplamiento de dichas fluctuaciones como consecuencia de un menor valor de la capacidad del óxido, fenómeno reforzado por el carácter más balístico del transporte para los dispositivos con longitud de puerta menor.

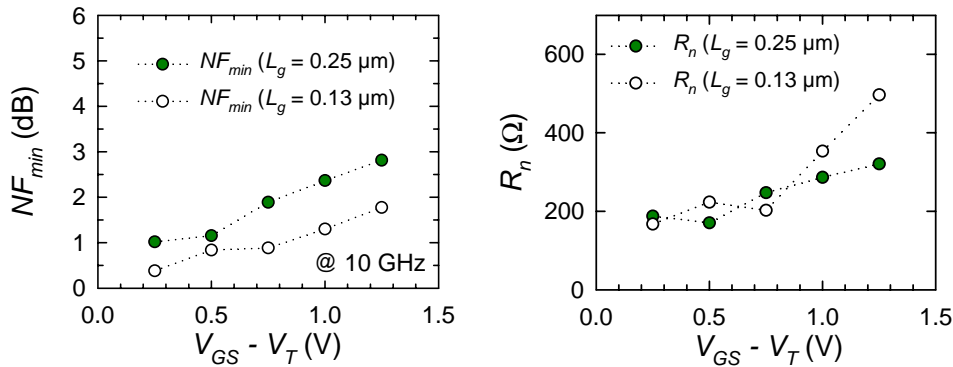


Figura VI.40. Valores de NF_{min} y R_n a 10 GHz en función de $V_{GS} - V_T$ para dos valores de L_g , ambos para $V_{DS} = 1.25 \text{ V}$

Respecto a los resultados para los parámetros de ruido NF_{min} y R_n (Figura IV.42), se observa una disminución de la figura mínima para el caso de L_g menor, lo cual ha sido previamente confirmado por otros autores [Saito et al. 1998, Manku 1999], hecho que podemos asociar a la vista de nuestros resultados a la mayor frecuencia de corte y al menor ruido inducido en puerta. Por otra parte, en cuanto a los valores de resistencia de ruido, para la L_g menor se obtienen valores significativamente superiores a $V_{GS} - V_T$ elevados, por lo que la mejora en cuanto a NF_{min} se vería en parte contrarrestada. Por otra parte, debemos señalar que en caso de considerar tensiones de puerta iguales, los mayores niveles de ruido en drenador para ese caso llevarían a una reducción importante de la mejora en cuanto a NF_{min} en el dispositivo con L_g menor, incrementándose además de manera notable la resistencia equivalente de ruido.

IV.2. Efectos reales en el transistor MOSFET

Hasta el momento, hemos visto las características intrínsecas obtenidas en transistores MOSFET ideales. Sin embargo (e independientemente de la posible presencia de elementos parásitos), en los dispositivos reales con frecuencia aparecen una serie de efectos que hacen que el comportamiento se desvíe de la idealidad. En este apartado vamos a describir de manera general los principales efectos no ideales que pueden tener lugar, y en algunos casos, ilustraremos estos efectos con resultados obtenidos con el simulador MC2D para el caso del transistor MOSFET de $0.25 \mu\text{m}$.

IV. 2. a) Cargas en el óxido

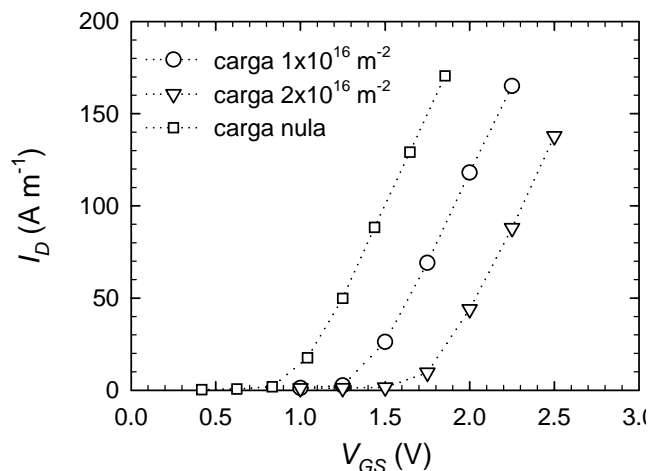


Figura IV.43. Efecto de considerar una carga en la superficie óxido-semiconductor.

En un transistor real, debido a las características del proceso de fabricación es prácticamente inevitable la presencia (no intencionada) de cargas eléctricas (estáticas o móviles) en el interior del óxido o en su superficie. La naturaleza de estas cargas puede tener orígenes diferentes [Ghandhi 1994, Pierret 1994]: iones móviles de Sodio producidos durante el proceso de fabri-

cación, carga fija en el óxido producida por reacciones oxidantes en la interfaz óxido-semiconductor, trampas interfaciales (estados superficiales cuyo origen son enlaces de la red cristalina que quedan incompletos al formarse la interfaz óxido-semiconductor), etc. En general, es necesario señalar que aunque su naturaleza sea superficial o volúmica, pueden ser tratadas como una carga superficial global emplazada en la interfaz óxido-semiconductor [Pierret 1994], lo que simplifica notablemente su tratamiento a la hora de proceder a su inclusión en las simulaciones, por lo que ha sido adoptado en esta Tesis para considerar este fenómeno.

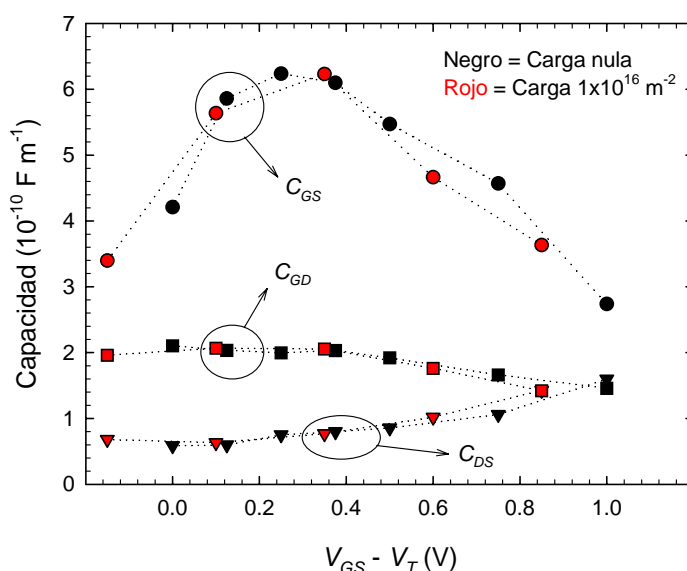


Figura IV.44. Capacidades del circuito equivalente. Variación con la carga en el óxido.

Para ilustrar las consecuencias de la existencia de cargas en el óxido, hemos considerado para el transistor de $0.25 \mu m$ una carga superficial uniforme (y estática) a lo largo de la interfaz del Silicio con el óxido de puerta, y con signo negativo. En la Figura IV.43 mostramos los

resultados obtenidos para la característica de transferencia, considerando tres situaciones diferentes: carga nula, carga de $1 \times 10^{16} \text{ m}^{-2}$ y carga de $2 \times 10^{16} \text{ m}^{-2}$. Como puede observarse en la figura, el principal efecto de la presencia de carga en la interfaz óxido-semiconductor consiste en un desplazamiento prácticamente lineal de la característica de transferencia (y en consecuencia una modificación del voltaje umbral).

Dada la importancia de este efecto en los dispositivos reales, hemos estudiado también su influencia en las características dinámicas y en la respuesta en ruido. Para polarizaciones $V_{GS} - V_T$ equivalentes, los parámetros del circuito equivalente permanecen prácticamente invariables. Como ejemplo, en la Figura IV.44 hemos representado los resultados obtenidos para las capacidades para la situación de carga nula y de carga $1 \times 10^{16} \text{ m}^{-2}$. Con respecto al ruido en los dispositivos, también se observa un comportamiento similar, como puede apreciarse en la Figura IV.45, donde hemos representado los valores obtenidos para S_{ID} y S_{IG} a 6 GHz en función de la tensión $V_{GS} - V_T$ aplicada.

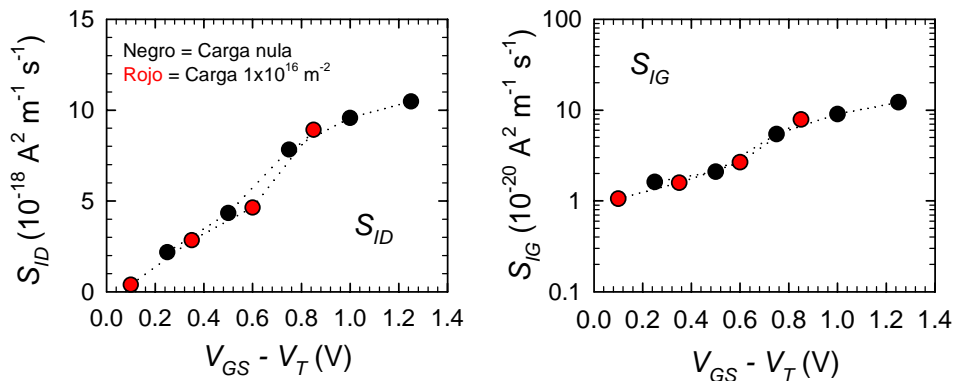


Figura IV. 45. Valores de S_{ID} y S_{IG} (a 6 GHz) en función de $V_{GS} - V_T$ para $V_{DS} = 1.25$ y dos valores de carga en el óxido de puerta.

Por tanto, el efecto de la carga representa un desplazamiento en V_{GS} de las características, ya que supone una variación del potencial umbral en una cantidad igual a Q_{ss}/C_{ox} , donde Q_{ss} es la densidad de carga superficial. Así, para $Q_{ss} = 1 \times 10^{16} \text{ m}^{-2}$ este desplazamiento correspondería a 0.4 V aproximadamente, en total acuerdo con lo observado en nuestros resultados MC2D. De manera equivalente, su efecto podría asimilarse dentro del potencial de contacto de la unión MOS (tal como si considerásemos una función trabajo ligeramente diferente para el potencial de puerta, en este caso por ejemplo la carga de $1 \times 10^{16} \text{ m}^{-2}$ sería equivalente a considerar carga nula con un metal con función trabajo de 4.54 eV aproximadamente en lugar de la considerada de 4.14 eV)

Con posterioridad, cuando estudiemos una estructura fabricada como el transistor SOI experimental analizado en esta Memoria, veremos cuál es el efecto de la carga en las regiones de solapamiento (*overlap*) del óxido de puerta con las islas n^+ de fuente y drenador.

IV. 2. b) Polarización del sustrato

Hasta ahora, siempre hemos considerado que el contacto de sustrato se halla cortocircuitado con el de fuente, de manera que usualmente ambos permanecen conectados a la referencia de tierra. Sin embargo, es también interesante considerar una polarización del sustrato (V_{BS}) independiente de la de fuente y que polarice en inversa la unión fuente-sustrato, lo cual presenta interés en numerosas ocasiones con el fin de estudiar el llamado **efecto de cuerpo** [Tsvividis 1999].

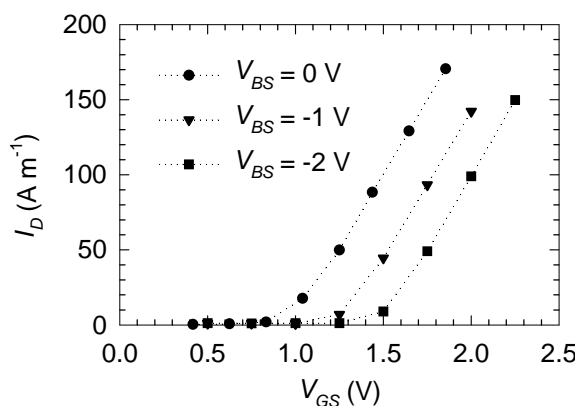


Figura IV.46. Característica de transferencia para el MOSFET de 0.25 mm con diferentes tensiones aplicadas en el sustrato, entre 0 y -2 V.

En la Figura IV.46 mostramos los resultados obtenidos para la característica de transferencia con $V_{DS} = 1.25 V$, y tres diferentes valores de V_{BS} : 0 V, -1 V y -2 V. Como puede observarse en la figura, la aplicación de una tensión en el terminal de sustrato induce un desplazamiento del potencial umbral del dispositivo hacia valores mayores cuanto más negativa es la tensión V_{BS} . De manera teórica, la V_T depende con la raíz cuadrada de V_{BS} , de modo que para tensiones de sustrato muy negativas es posible apreciar una “saturación” del aumento de V_T [Colinge 1988]

El hecho de modificar V_{BS} tiene como consecuencia por una parte un cambio en la polarización de la puerta en relación con el sustrato, y por otra parte un cambio en la polarización de las uniones pn de fuente y drenador lo cual influye en la carga en el canal [Pierret 1994]. En el caso de aplicar un tensión V_{BS} negativa, se requiere mayor curvatura de las bandas para llegar a la condición de inversión, y por lo tanto será mayor la anchura de la capa de vaciamiento. Por tanto, para un potencial de puerta dado, existirá menos carga en inversión, y en consecuencia la corriente será menor. Esto explica el fenómeno de aumento del potencial umbral observado (para un transistor canal p , se obtiene un potencial umbral aún más negativo)^{§§}.

IV. 2. c) Reducción de la movilidad efectiva

Como ya hemos estudiado, en un transistor MOSFET, los portadores en la capa de inversión se mueven en una región muy fina adyacente a la interfaz óxido-semiconductor. En

^{§§} Existen dispositivos, tales como el DTMOS (Dynamic threshold MOS), que se sirven de este fenómeno para efectuar un control dinámico de la tensión umbral del transistor, de modo que en régimen subumbral el valor de V_T sea elevado, y menor cuando el transistor se encuentre en estado *on*.

dicha interfaz, pueden aparecer efectos asociados a rugosidades, irregularidades o cargas estáticas que provocan una reducción de la movilidad efectiva de los portadores en comparación con la que se observa en Silicio material [Pierret 1994]. En los modelos de simulación basados en una aproximación macroscópica (como el hidrodinámico o el deriva-difusión), la inclusión de este efecto se hace de manera un tanto artificial, ya que se considera la movilidad como un parámetro externo. El método de Monte Carlo, en cambio, permite incluir este efecto de manera intrínseca y natural, una vez que se han considerado los procesos microscópicos que lo provocan, como por ejemplo el *scattering* de superficie [Gámiz *et al.* 2001].

IV. 2. d) Control del voltaje umbral

En la fabricación de dispositivos, es de vital importancia el tener un control preciso sobre el potencial umbral de los dispositivos fabricados, según las necesidades de la aplicación en cuestión. En la mayoría de los casos, se requieren transistores de realce (que no conduzcan para polarización nula de puerta). Conseguir un transistor de canal n con $V_T > 0$ es complicado, debido a la presencia de carga en el óxido durante el proceso de fabricación [Sah 1991]. Recordemos la expresión ideal para el voltaje umbral:

$$V_T = V_{FB} + 2\phi_F + \frac{qN_A W_{\max}}{C_{ox}} \quad (\text{IV.3})$$

El potencial de banda plana, dadas las características eléctricas de los materiales con los que se fabrica el contacto de puerta, es típicamente negativo tanto para transistores canal n como canal p [Pierret 1994]. Para el canal n , por tanto, será necesario que el término asociado a la carga en el semiconductor sea lo mayor posible para poder conseguir un dispositivo de realce, para lo cual una posibilidad es emplear transistores con mayor dopaje del substrato y espesores del óxido también mayores. Sin embargo, al aumentar N_A , como ya hemos visto en la Sección IV.1.c la capacidad del substrato aumenta y la movilidad de los portadores en el canal debe reducirse. Además, el voltaje de ruptura del dispositivo es menor.

Por otra parte, al aumentar el espesor del óxido de puerta (con el fin de reducir la capacidad del óxido) para un determinado V_{GS} el valor de la corriente de salida disminuye y se obtiene una menor transconductancia (y en consecuencia una menor ganancia en voltaje). Debido a estas dificultades (y a que usualmente N_A y t_{ox} se consideran factores de diseño elegidos con otros criterios), para controlar el potencial umbral se emplea la implantación iónica [Sze 1983], con el fin de introducir una carga en el canal conductor que permita un desplazamiento del potencial umbral respecto al cálculo ideal según sea necesario.

IV. 2. e) Dependencia con la temperatura

Las características estáticas de un MOSFET dependen con la temperatura (T) a través de dos factores [Kano 1998, Tsividis 1999]. Por una parte, a través del *scattering* con los fonones de la red, que tiende a disminuir la corriente al aumentar T . Por otra parte, al aumentar T el potencial umbral disminuye, con lo que aumenta la corriente para un V_{GS} dado. A bajos niveles de corriente predomina este último efecto, mientras que para niveles de corriente altos predomina el primero. En cualquier caso, la dependencia con T de las características I - V es mucho menor que en el caso de transistores BJT [Sze 1981, Sah 1991].

En el método de Monte Carlo esta dependencia está incorporada de manera natural, ya que la variación de las probabilidades de *scattering* con T permite reproducir de manera precisa las principales características del Silicio material (velocidad-campo, movilidad-campo, etc.) en un amplio rango de temperaturas, incluso hasta 77 K e inferiores. En este trabajo nos hemos centrado en la consideración de las características a temperatura ambiente (300 K) dado su mayor interés en las aplicaciones prácticas.

IV. 2. f) Conducción subumbral

La relación ideal entre corriente y voltaje predice corriente cero para una tensión de puerta inferior a la umbral. Sin embargo, en condiciones de débil inversión ($\phi_F < \phi_S < 2\phi_F$) los datos experimentales contradicen esta idea. La superficie del semiconductor presenta las características de un material tipo n ligeramente dopado, existiendo una pequeña corriente de drenador a la que nos referiremos como *corriente subumbral* [Sze 1981, Tsividis 1999].

Si nos fijamos en la estructura de bandas de un MOSFET canal n (Figura III.25), podemos ver que para V_{DS} pequeño existe una barrera de potencial que los electrones en la fuente deben superar para pasar al canal y que aparezca la corriente. Por comparación con una unión pn , la dependencia con el voltaje aplicado en puerta que presenta la corriente en este caso debe ser de tipo exponencial [Ong 1984]. El comportamiento subumbral de los dispositivos es de vital importancia especialmente en el caso de aplicaciones digitales [Colinge 1999], en las cuales es necesario asegurar que existe un flujo de corriente mínimo en los transistores que operen en este régimen.

Desde el punto de vista de la simulación MC2D, este régimen de operación es un tanto problemático, pues los pequeños valores de corriente que presenta el dispositivo en conducción subumbral hacen que sea necesario un tiempo de CPU muy elevado junto con la simulación de un gran número de partículas para poder efectuar el cálculo con la precisión requerida. Además, la presencia de barreras pn que controlan el transporte suponen una dificultad adicional para su

análisis con este tipo de simuladores [González *et al.* 2002], por lo que no parece el método más adecuado para examinar este régimen de operación.

IV. 2. g) Inyección de carga en el óxido

La inyección de cargas en el óxido es un fenómeno que tiene lugar en todos los transistores MOSFET [Pierret 1994, Tsividis 1999]. Cerca del drenador, los portadores del canal y los que entran a la zona de vaciamiento del drenador desde el sustrato pueden adquirir para tensiones V_{DS} elevadas una cantidad de energía suficiente como para superar la barrera superficial de la interfaz Si-SiO₂ y quedar atrapados en el óxido. En los dispositivos con canal corto, resulta afectado un porcentaje mayor de la región controlada por la puerta, y pueden producirse cambios significativos de V_T y g_m como resultado de las cargas en el óxido. Este fenómeno limita la vida útil del dispositivo y debe ser evitado en la medida de lo posible. Para ello suele utilizarse con frecuencia un drenador poco dopado (LLD, *lightly doped drain*) [Tsividis 1999].

En el caso de los dispositivos considerados, dado que el valor de la barrera superficial Si-SiO₂ (del orden de 3.15 eV para los electrones y 4.15 eV para los huecos [Williams 1985, Powell 1970, Ning *et al.* 1977, Dressendorfer y Barker 1980]) es muy superior a la energía que alcanzan los portadores en los rangos de polarizaciones considerados para los diferentes dispositivos, este efecto no ha sido considerado en esta memoria, aunque su estudio mediante el método de Monte Carlo es perfectamente viable.

V. El Transistor SOI MOSFET

El zorro conoce muchos trucos.

El erizo sólo conoce uno, pero es muy bueno

Arquíloco (s. VII a. C.)

En los capítulos anteriores, nos hemos centrado en el estudio y simulación de transistores MOSFET con geometría “convencional”, denominados *bulk* MOSFETs en la literatura (la traducción literal al castellano sería MOSFET “de volumen”). Este tipo de transistores son, aún hoy en día, los dispositivos más fabricados en la industria de semiconductores. Sin embargo, como acabamos de ver en el Capítulo IV, a partir de ciertos límites no es posible efectuar una reducción del tamaño de los dispositivos sin que tengan lugar efectos no deseados asociados a las pequeñas dimensiones de los mismos. Por tanto, es necesario encontrar soluciones a este problema si se quiere seguir disfrutando en los próximos años de las enormes ventajas que, hasta la fecha, ha permitido el progresivo escalado de los transistores MOSFET. Entre las diferentes soluciones, destaca tanto por sus ventajosas propiedades como por su relativa sencillez y su facilidad de implementación en las líneas de producción actuales, la llamada tecnología de **Silicio-Sobre-Aislante (Silicon-On-Insulator, SOI)**.

En el presente capítulo vamos a estudiar con detenimiento los dispositivos MOSFET fabricados en sustratos de tipo SOI (SOI MOSFETs). Comenzaremos por comentar de manera general cuales son las principales ventajas e inconvenientes de los mismos en comparación con las tecnologías convencionales, con respecto tanto a las magnitudes físicas y figuras de mérito

del dispositivo como a las ventajas, económicas y de rendimiento, que proporciona en el diseño de circuitos.

En segundo lugar, hay que indicar que, a pesar de que en la literatura es posible encontrar trabajos en los que se comparan diferentes figuras de mérito tales como V_T , g_m , f_T , NF_{min} , etc. para transistores SOI y *bulk* MOSFETs, es sumamente complicado efectuar una comparación “directa” entre ambos tipos de dispositivos. Desde el punto de vista experimental, las diferencias en cuanto a elementos parásitos, alteraciones de la geometría, dopajes empleados, etc. hacen que esta tarea sea prácticamente imposible. El presente estudio, por su *análisis global* (características estáticas, dinámicas y de ruido) *mediante una única herramienta de simulación* (el MC2D) de las diferencias entre *bulk* y SOI MOSFETs con geometrías directamente comparables, supone una novedosa aproximación al problema, que no había sido explotada hasta la fecha de manera tan exhaustiva hasta donde alcanza nuestro conocimiento. Las características del simulador, en especial su carácter bidimensional, su flexibilidad como herramienta de análisis con carácter pseudo-experimental y el hecho de basarse en un modelo microscópico hacen que su utilización para efectuar esta investigación sea altamente recomendable. Por ello, en este capítulo nos centraremos en el estudio detallado de las magnitudes internas de dispositivos *bulk* y FDSOI comparables (velocidad, energía, concentración de portadores, mecanismos de *scattering*, campos eléctricos, perfiles de potencial), para posteriormente analizar tanto la respuesta dinámica (circuito equivalente de pequeña señal) como los parámetros de ruido a alta frecuencia.

V.1. Ventajas de la tecnología SOI

Si nos remontamos a los orígenes históricos del transistor MOSFET, en la patente de Lilienfeld [Lilienfeld 1930] es posible apreciar que la parte activa del dispositivo consistía en una capa muy fina de semiconductor depositada sobre un aislante. En la actualidad, sin embargo, la configuración de un dispositivo convencional MOSFET dista mucho de la idea pionera de Lilienfeld. Los dispositivos se fabrican en obleas con espesores aproximados de 800 μm , de los cuales la parte activa corresponde a menos de la primera micra [Colinge 1997, Cristoloveanu 1997]. Por tanto, tan solo un 0.1% aproximadamente del espesor de la oblea se emplea en la fabricación del dispositivo propiamente dicha. Es de esperar que las interacciones entre el sustrato subyacente y la parte activa del dispositivo sean muy importantes (especialmente a alta frecuencia de operación), y den lugar a numerosos efectos no deseados [Colinge 1997].

Estos efectos (especialmente significativos y más difíciles de resolver a medida que las dimensiones de los dispositivos son menores) han provocado que la búsqueda de soluciones sea exhaustiva. En los últimos años ha cobrado una extraordinaria importancia la llamada tecnología de Silicio-Sobre-Aislante (*Silicon-on-Insulator*, **SOI**).

Como ya mencionamos en el Capítulo I, la idea básica de la tecnología SOI consiste en aislar la parte activa de los dispositivos del substrato subyacente mediante un óxido enterrado (*buried oxide*)*. Esta idea, que en principio parece notablemente sencilla, permite obtener numerosas ventajas en cuanto al diseño de circuitos frente a las tecnologías convencionales:

- ◆ La presencia del óxido enterrado permite una notable reducción de las capacidades parásitas, especialmente las relacionadas con el acoplamiento con el substrato de la parte activa del dispositivo. Para que un dispositivo CMOS sea capaz de conmutar, deben cargarse y descargarse las capacidades parásitas de los dispositivos MOSFET que lo forman. De esta manera, cuanto menor sea la capacidad parásita, más rápida será la conmutación. Debido a esto, los dispositivos fabricados con etapas SOI CMOS son capaces de alcanzar velocidades de operación notablemente más elevadas que sus equivalentes *bulk* convencionales [Colinge 1997], lo cual es de una importancia primordial en aplicaciones digitales.

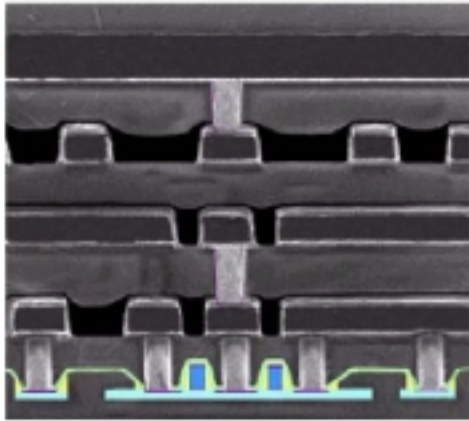


Figura V.1. El excepcional aislamiento entre dispositivos proporcionado por la tecnología SOI permite aprovechar al máximo el espacio disponible, como en el caso de este dispositivo CMOS SOI con 5 capas.

Este aislamiento no solo con el substrato, sino también entre ellos, aislamiento que puede ser notablemente reforzado mediante el uso de “zanjas” poco profundas (*shallow-trench isolation*). Además, los posibles caminos de conducción parásitos entre dispositivos (especialmente en el caso de etapas CMOS) y las corrientes de fugas son prácticamente despreciables. El fenómeno del *crosstalk* (interferencias a nivel capacitivo en el rango de altas frecuencias producido por la influencia de dispositivos vecinos), así como el *latch-up*† en dispositivos CMOS son despreciables, lo cual supone una ventaja primordial frente a las tecnologías convencionales.

- ◆ El aislamiento proporcionado por el óxido enterrado permite además emplear substratos de alta resistividad, lo cual es altamente interesante para las aplicaciones RF. Por ejemplo, empleando un substrato con resistividad de 1 k Ω -cm, las pérdidas de una línea *microstrip* son de 0.03 dB/mm a 2 GHz, en comparación con los 0.55 dB/mm de un substrato típico con una resistividad de 50 Ω -cm a esa misma frecuencia [Assaderaghi *et al.* 1997, Suematsu *et al.* 2000].

- ◆ Los dispositivos fabricados sobre un mismo substrato SOI presentan un excelente

* En el Capítulo VI comentaremos detalladamente las diferentes técnicas de fabricación de obleas SOI.

† El *latch-up* es un fenómeno que ocurre típicamente en etapas CMOS convencionales de dimensiones reducidas. Se debe a la presencia de un transistor parásito n⁺/p/n/p⁺ como resultado de dos contribuciones, una a nivel superficial y la otra a nivel del substrato, entre el transistor n-MOSFET y el p-MOSFET que forman la etapa CMOS. El transistor parásito actúa como un transistor bipolar n⁺/p/n acoplado regenerati-

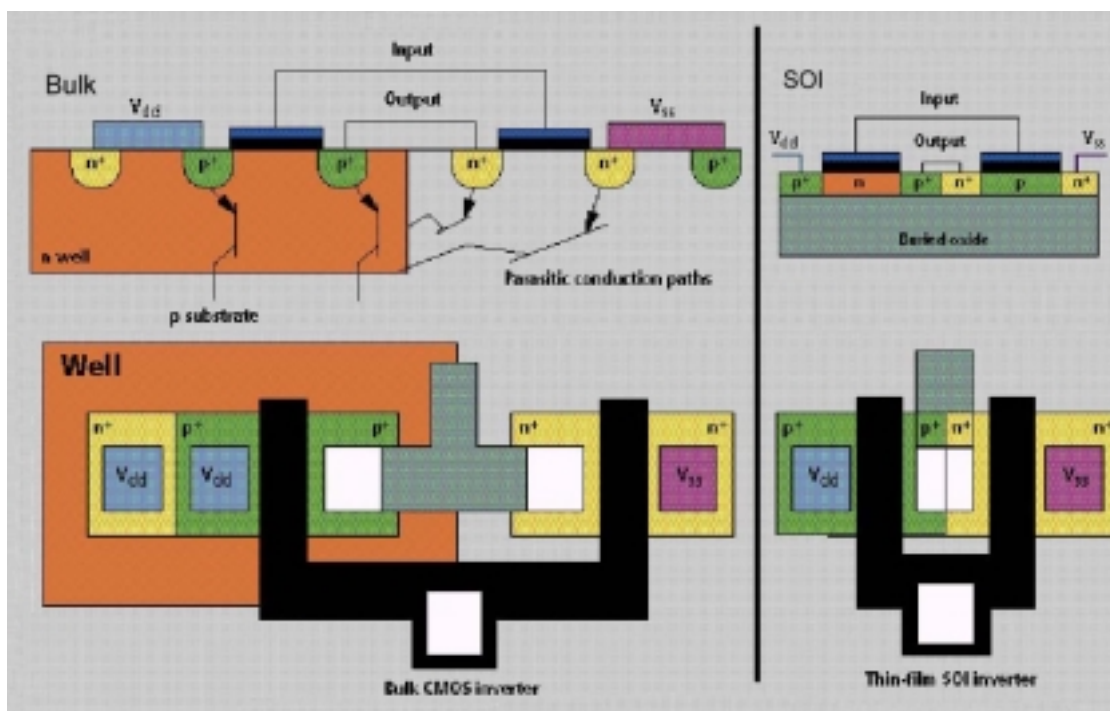


Figura V. 2. Comparación simplificada de la topología de una etapa bulk CMOS (izda) y una etapa SOI CMOS (dcha).

Esto se traduce de manera directa (en cuanto a la geometría de los dispositivos) en que no es necesario el uso de “pozos”, regiones *pocket*, *HALO* o dopajes asimétricos con el fin de aislar los dispositivos, lo que simplifica notablemente los pasos del proceso de fabricación y de aplicación de máscaras, permitiendo además grados de flexibilidad adicionales en cuanto a diseño de los circuitos. En definitiva, la estructura de los circuitos fabricados en sustrato SOI es mucho más compacta (véase la Figura V.2); por tanto, para un cierto nivel de consumo predefinido, se pueden obtener circuitos mucho más densos y rápidos empleando tecnología SOI, obteniéndose una densidad de integración y una escalabilidad sensiblemente superiores a la tecnología convencional [Cristoloveanu 2001].

♦ Una de las ventajas más importantes que presenta esta tecnología, es el hecho de que, una vez que partimos de una oblea de material SOI, el proceso de fabricación de un transistor es totalmente análogo al de un MOSFET convencional, empleándose incluso la misma litografía, metalizaciones, etc., con lo que los costes de fabricación son mucho más reducidos frente a otras posibles tecnologías alternativas, tales como los transistores de doble puerta o el uso de heterouniones de Si-Ge. En general, se puede afirmar que emplear la tecnología SOI MOSFETs permite obtener una ventaja de una generación completa respecto a un MOSFET convencional escalado [Cristoloveanu 2001].

♦ En el caso de sistemas de comunicaciones y computación móviles, que operan mediante baterías, pueden beneficiarse notablemente de los circuitos diseñados sobre sustrato

vamente a otro $p/n/p^+$. Por lo tanto, cuando ocurre el *latch-up* el circuito CMOS deja de funcionar y la alta corriente inducida puede incluso destruir el chip CMOS debido al calentamiento.

SOI, que ofrecen una baja potencia (y bajo consumo), un pequeño tamaño y un excelente aislamiento global. Además, es posible integrar en un mismo chip diferentes tipos de dispositivos (Bipolar, CMOS, etc.) con lo que el objetivo de fabricar un sistema que contenga partes analógicas, digitales y RF completamente integrado (*System-On-Chip*, SOC) parece perfectamente factible. La tecnología SOI, por tanto, a causa de sus excelentes propiedades y reducidos costes, aparece como un competidor a tener en cuenta frente a los dispositivos de tecnologías III-V en el rango de las aplicaciones RF.

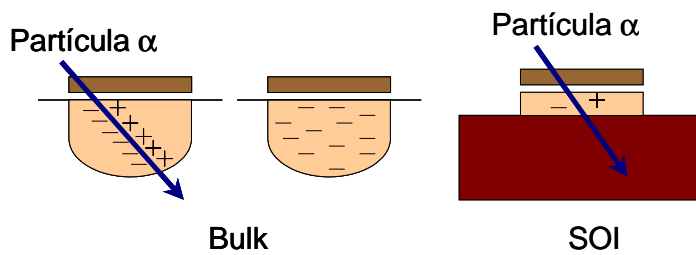


Figura V.3. Los dispositivos fabricados en sustrato SOI presentan una inmunidad a las radiaciones muy superior a la de los transistores bulk

♦ Los dispositivos fabricados en sustrato SOI son altamente resistentes a las radiaciones (partículas α y rayos cósmicos) y a eventos de error generados por los mismos (*soft-errors*), por lo que su uso en aplicaciones para la industria aeroespacial es enormemente

interesante (de hecho, como curiosidad cabe señalar que el primer nicho de mercado de la tecnología SOI fue éste). Además, son adecuados para trabajar en condiciones de temperatura elevada a causa del pequeño valor de las corrientes de fugas.

Sin embargo, también es necesario indicar que la tecnología SOI presenta algunos inconvenientes. En primer lugar, una deficiente disipación del calor en comparación con los sustratos *bulk*, ya que el SiO_2 posee una pobre conductividad térmica. En segundo lugar, es complicado fabricar dispositivos con secciones transversales grandes a causa del espesor limitado de la capa activa; además, la protección ante descargas electrostáticas es más difícil.

Pero los mayores inconvenientes que presenta en la actualidad la tecnología SOI están principalmente relacionados con factores económicos. Hoy en día, las obleas SOI son más caras (y los niveles de producción son aún insuficientes) que las obleas convencionales. Además, los modelos y herramientas de diseño aún no están adaptados de manera adecuada a las características de este tipo de dispositivos, por lo que los costes de desarrollo de nuevas aplicaciones son superiores.

Aún así, ninguno de estos inconvenientes posee entidad suficiente como para limitar el desarrollo de las aplicaciones SOI, ya que el enorme interés que demuestran las compañías fabricantes de microchips está ya provocando que estas desventajas de carácter económico sean paulatinamente solventadas, especialmente a medida que las dimensiones de los dispositivos sean menores (véase la Figura V.4). Sin lugar a dudas, IBM es la compañía que está apostando más fuerte por la tecnología SOI, que espera reemplace a sus microprocesadores fabricados de manera convencional a muy corto plazo, con especial interés en su procesador Power4 para

servidores, destinado a competir con el Itanium de Intel y los UltraSparc de Sun. Motorola por su parte está desarrollando un diseño de su PowerPC G4 en tecnología SOI. Samsung ha migrado su CPU Alpha 21264 de CMOS convencional a SOI. Los recientes procesadores Athlon Clawhammer de AMD se fabrican con tecnología SOI de 0.13 μm , y las futuras generaciones de procesadores de dicha compañía tenderán a reemplazar paulatinamente a los fabricados con tecnología convencional.

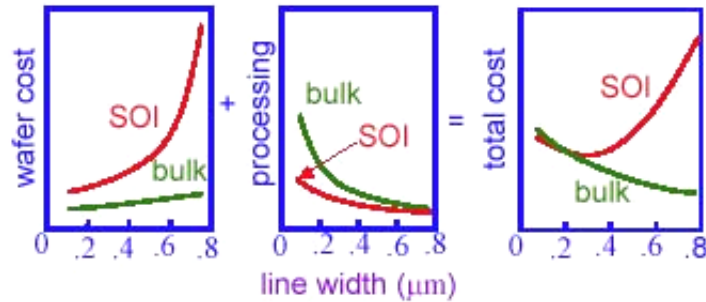


Figura V. 4. Costes de fabricación comparativos entre bulk y SOI MOSFET
(Fuente: Universidad de Berkeley, California)

Por su parte, Intel Corporation, compañía líder a nivel mundial en el campo de los microprocesadores y sin embargo una de las compañías tradicionalmente más escépticas respecto a la tecnología SOI, ha terminado por reconocer las ventajas de la misma, en especial respecto a los dispositivos *Fully-Depleted* (cuyas características detallaremos a continuación). En Noviembre de 2001, se anunciaba la futura fabricación de un nuevo procesador basado en dispositivos SOI CMOS, en lo que a priori parece una de las decisiones más acertadas en la historia de la compañía creadora de la saga Pentium.

V.2. Análisis comparativo bulk - FDSOI MOSFET

V. 2. a) Introducción

Aunque en principio sobre un sustrato SOI pueden fabricarse diferentes tipos de dispositivos, los dispositivos MOSFET son generalmente los más habituales dentro de esta tecnología [Colinge 1997]. La estructura típica (simplificada) de un transistor SOI MOSFET se muestra en la Figura V.5. Como podemos observar, la única diferencia con un MOSFET convencional es, en principio, la capa adicional de óxido enterrado por debajo del canal y de las islas n^+ . La porción de semiconductor por encima del óxido enterrado se denomina *capa activa* (con espesor t_{si}). Cuando hablemos de *interfaz frontal* nos referiremos a la unión semiconductor-óxido de puerta, mientras que con *interfaz posterior* indicaremos la unión del semiconductor de la capa activa con el óxido enterrado. La zona p de la capa activa de Silicio, en la cual se forma el canal conductor, suele tener un dopaje significativamente más elevado que el del sustrato por debajo del óxido. La profundidad de las islas n^+ de fuente y drenador se extiende hasta alcanzar el óxi-

do enterrado, con lo que se evitan los problemas asociados a posibles efectos parásitos provocados por las metalizaciones de los contactos (*metal spiking*) que suelen aparecer en los MOSFET convencionales. Según sea el valor de t_{si} , podemos distinguir básicamente entre dos tipos de dispositivos SOI MOSFET: el **Partially-Depleted (PD) SOI MOSFET**, y el **Fully-Depleted (FD) SOI MOSFET**. En un transistor MOSFET convencional, la zona de vaciamiento correspondiente a la unión MOS se extiende en el sustrato una distancia W_{max} que está determinada por la ecuación III.7.

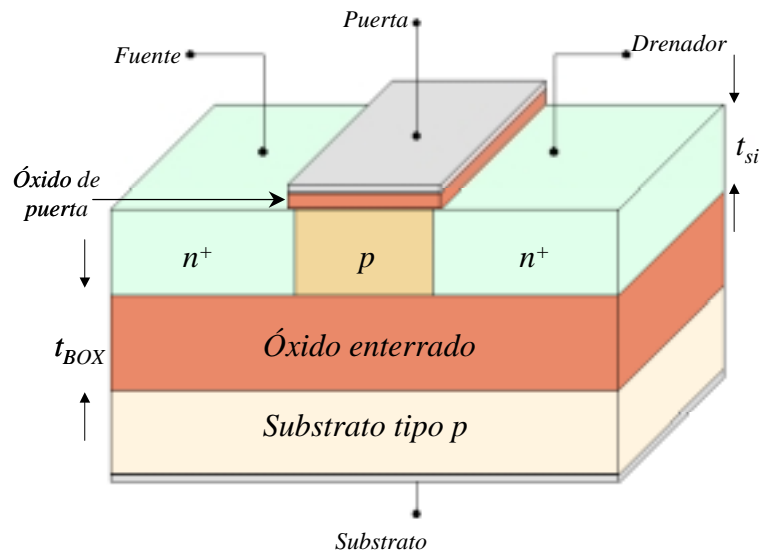


Figura V.5. Estructura de un transistor SOI MOSFET

En el caso de un PDSOI MOSFET, se considera que el espesor t_{si} de la capa activa es superior a $2W_{max}$. De este modo, no hay interacción entre las posibles zonas de vaciamiento asociadas a las interfaces frontal y posterior, y existirá una región neutra de semiconductor en la capa activa, que se suele denominar *cuerpo (body)*. Si esta región neutra se conectase a tierra a través de un contacto, las características del transistor PDSOI serían idénticas a las de un transistor *bulk*. Sin embargo, en el caso de que el cuerpo esté “flotando” desde el punto de vista eléctrico, aparecen algunos efectos no deseados tales como el efecto *kink* y la presencia de un transistor bipolar parásito. El interés de este tipo de dispositivos se debe a que su potencial umbral no depende del espesor de la capa activa de Silicio ni de las cargas en el óxido enterrado. El estudio de los transistores PDSOI, dadas sus particularidades específicas, queda fuera del alcance del presente trabajo[‡]. Además, el estudio de dispositivos PDSOI con cuerpo flotante impone una serie de dificultades adicionales en la simulación MC2D, tales como la inclusión de fenómenos de recombinación de portadores.

[‡] En general, desde el punto de vista físico las diferencias entre los dispositivos PDSOI y FDSOI son muy importantes, debido a la presencia de la región neutra dentro de la capa activa en el PDSOI. Por ello, los trabajos dedicados al estudio de los fenómenos asociados a este tipo de dispositivos son muy frecuentes en la bibliografía, teniendo una entidad propia.

Sin embargo, en el caso de que la capa activa de Silicio tenga un espesor inferior a W_{max} , consideraremos que el dispositivo es un FDSOI MOSFET. En este caso, la capa activa es lo suficientemente pequeña como para que se encuentre totalmente vacía de portadores mayoritarios (huecos en el caso de que sea de tipo p).

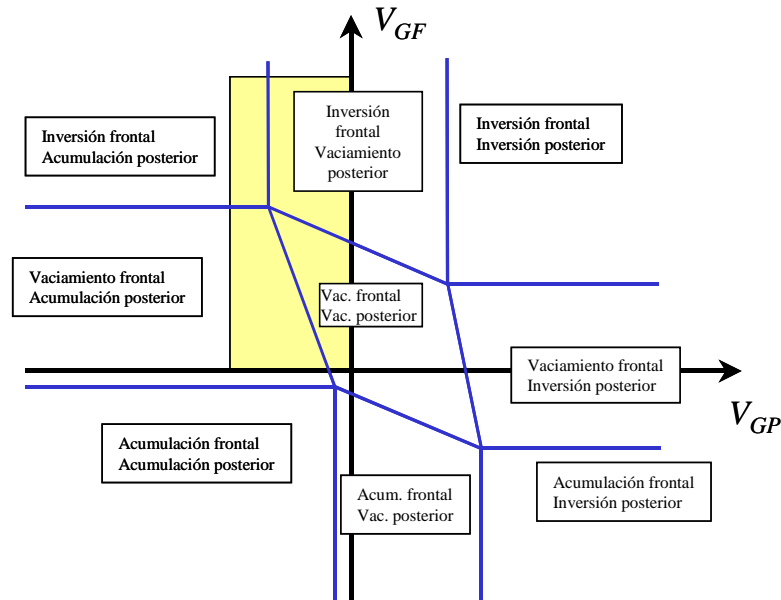


Figura V. 6. Modos de operación de un transistor FDSOI MOSFET de canal n en función del potencial aplicado en la puerta frontal (V_{GF}) y en la puerta posterior (V_{GP}). La región amarilla marca la zona de operación común de este tipo de transistores.

Dependiendo de cual sea la polarización en la parte inferior del óxido enterrado (*back-gate voltage*, que denominaremos V_{GP}), y de la polarización en el óxido de puerta (*front-gate voltage*, V_{GF}), existirán diferentes modos de operación de este tipo de transistores [Flandre y Van de Wiele 1989] (véase la Figura V.6) según sean las condiciones (acumulación, vaciamiento o inversión) de las interfaces frontal y posterior de la capa activa de Silicio. Es necesario hacer constar que de todos los dispositivos SOI MOSFET, los transistores FDSOI con interfaz posterior en vaciamiento y la frontal en inversión son los que indiscutiblemente ofrecen propiedades más interesantes [Colinge 1997]. Debido a ello, (y principalmente a que los dispositivos experimentales que hemos estudiado corresponden a estas características), vamos a centrarnos en el análisis de esta familia de dispositivos.

Existiría un tipo de dispositivos intermedio, a caballo entre los FDSOI y los PDSOI, aquellos cuya capa activa de Silicio tuviera un espesor $W_{max} < t_{si} < 2W_{max}$ (*medium-thickness SOI devices*). Su operación dependerá de los potenciales aplicados en puerta y substrato, por lo que podrán comportarse como PDSOI o FDSOI según sea la relación entre los mismos.

En la Tabla V.1 mostramos un resumen comparativo de las diferencias entre los dispositivos MOSFET convencionales y los dispositivos SOI.

	MOSFET convencional	PDSOI MOSFET	FDSOI MOSFET
Movilidad	0	0	+
Transconductancia	0	0	+
Efecto de canal corto	0	0	0/+
Capacidad drenador-fuente	0	+	+
Portadores calientes	0	0/+	+
Pendiente subumbral	0	0	+
Sensibilidad de V_T a t_{si}	0	0	-
Efecto "Kink"	0	-	0
Bipolar parásito	0	-	0/-

Tabla V.1. Comparación de propiedades eléctricas de MOSFET, PD SOI y FD SOI. El dispositivo MOSFET convencional se toma como referencia. Así, 0 significa "igual", + "mejor" y - "peor" [Colinge 1997].

V. 2. b) Resultados de la simulación MC2D

Vamos a examinar con detenimiento las diferencias entre el transistores MOSFET convencional y el FDSOI MOSFET. Para ello, hemos efectuado una serie de simulaciones con nuestro MC2D tomando como punto de partida el transistor *bulk* MOSFET de 0.25 μm escalado que analizamos en el capítulo anterior (véase el Apartado IV.1.a). Los FDSOI comparables corresponden a la misma topología (dopajes de las islas n^+ , impurificación del sustrato, longitud de puerta, espesor del óxido, etc.) con la "salvedad" de la presencia del óxido enterrado (Figura V.5; en nuestro caso hemos elegido un espesor de óxido enterrado igual a 0.4 μm , valor usualmente empleado en los dispositivos experimentales). Para la estructura MOS correspondiente al transistor *bulk*, la anchura máxima de la zona de vaciamiento es de 55 nm.

En el caso de los transistores MOSFET convencionales, además de estudiar el escalado CC en profundidad, efectuamos un análisis de la variación de magnitudes tales como L_g o el dopaje del sustrato. En el caso de transistores FDSOI, uno de los parámetros más importantes es el valor de t_{si} , el espesor de la capa activa de Silicio. Por ello, en las simulaciones hemos considerado dos estructuras FDSOI MOSFET, con espesores de la capa activa t_{si} de 50 y 30 nm respectivamente, que nos garantizan la condición de vaciamiento total de dicha capa activa. De este modo, además de estudiar las diferencias entre *bulk* y FDSOI MOSFET, podremos evaluar cual es el efecto de modificar este importante parámetro.

1. Estructura de bandas

El hecho de incluir el óxido enterrado en la estructura del MOSFET, provoca importantes modificaciones en la física de los dispositivos, comenzando por la curvatura de las bandas de energía en la estructura MOS. El MC2D nos muestra cómo el espesor reducido de la capa activa genera una modificación de la curvatura de bandas (Figura V.7). Podemos observar como para el caso de capas activas muy finas, la estructura de bandas en la capa activa se asemeja más a la de un material tipo n que a la del sustrato tipo p .

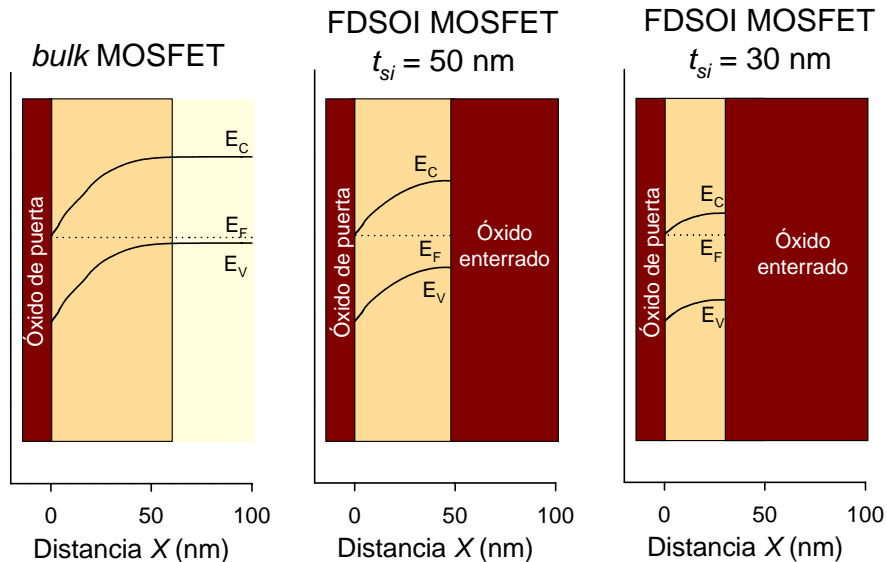


Figura V.7. Diagrama de bandas obtenido mediante el simulador MC2D para un MOSFET convencional, un FDSOI MOSFET con $t_{si} = 50 \text{ nm}$ y un FDSOI con $t_{si} = 30 \text{ nm}$, con $V_{GS} = 1.75 \text{ V}$ (fuerte inversión). Las áreas de color amarillo indican las zonas de vaciamiento de portadores mayoritarios.

2. Voltaje umbral

En el caso de un transistor *bulk* MOSFET, el potencial umbral podía calcularse de manera teórica a través de la expresión III.8:

$$V_T = V_{FB} + 2\phi_F + \frac{qN_A W_{max}}{C_{ox}}$$

donde W_{max} era la anchura máxima de la zona de vaciamiento bajo la puerta. Como ya vimos en el Capítulo IV, esta expresión sobreestima el valor del potencial umbral debido a los efectos bidimensionales asociados a las zonas de vaciamiento de las islas de fuente y drenador. Sin embargo, es una aproximación relativamente razonable para el caso de sustratos muy impurificados y con longitud de puerta no excesivamente pequeña.

En el caso de un FDSOI MOSFET, el espesor de la capa activa de Silicio es menor que W_{max} , por lo que la expresión anterior no es aplicable. Para calcular de manera precisa el valor de V_T , es necesario resolver la ecuación de Poisson [Colinge 1997], lo que nos permite llegar a una expresión general teórica notablemente compleja para este parámetro, válida para todos los modos de funcionamiento indicados en la Figura V.6, expresada en función del espesor de la

capa activa de Silicio, de las capacidades de los óxidos de puerta y enterrado, así como de los potenciales a aplicar en el substrato para que se produzca la acumulación de la interfaz posterior. De una manera mucho más simplificada para el caso particular de un FDSOI MOSFETs con la interfaz posterior en vaciamiento, el cálculo del potencial umbral puede realizarse de manera aproximada mediante la sustitución de W_{max} por t_{si} en la ecuación III.8:

$$V_T = V_{FB} + 2\phi_F + \frac{qN_A t_{si}}{C_{ox}} \quad (V.1)$$

Como puede observarse, el tercer sumando de la ecuación (V.1) indica que el V_T teórico es proporcional a N_A y a t_{si} . Utilizando esta expresión, hemos calculado los potenciales umbrales para tres valores de la impurificación N_A de la capa activa de Silicio en función del espesor de la misma (Figura V.8). También mostramos los valores obtenidos con la simulación Monte Carlo para el caso de $N_A = 4 \times 10^{23} \text{ m}^{-3}$ con $t_{si} = 30 \text{ nm}$ y $t_{si} = 50 \text{ nm}$, así como el valor que obteníamos para el MOSFET convencional con esa misma impurificación de substrato. Hay que indicar que en el caso de un PDSOI MOSFET, el valor del potencial umbral sería el mismo que el de un transistor convencional equivalente.

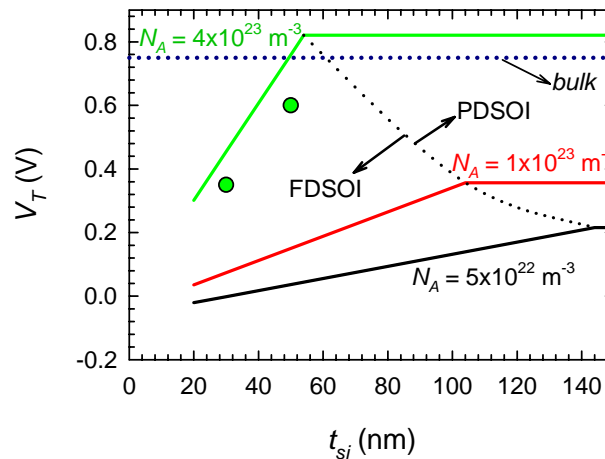


Figura V.8 Dependencia de V_T con t_{si} para diferentes dopajes. Las líneas continuas corresponden a los cálculos obtenidos mediante la ecuación (V.1), la línea verde de puntos al resultado MC2D obtenido para el bulk MOSFET y los puntos a los valores obtenidos para los FDSOI estudiados con el MC2D, obtenidos a partir de la extrapolación de la característica de transferencia.

Debido a que el voltaje umbral en los FDSOI MOSFETs es directamente proporcional al espesor de la capa activa de Silicio, en el caso de capas extremadamente finas es difícil conseguir valores elevados de V_T . Además, las posibles variaciones de espesor de la capa activa (susceptibles de aparecer en dispositivos reales) pueden hacer que sea complicado ajustar V_T al valor deseado. Por otra parte, cuanto mayor sea la impurificación del canal (lo cual es en general deseable) mayores pueden ser las variaciones de la tensión umbral debidas a la incertidumbre experimental en el valor de t_{si} .

Es apropiado mencionar en este punto cuál es el efecto sobre el voltaje umbral de aplicar una polarización al substrato. En un transistor convencional, V_T presenta una dependencia

(de manera ideal) con la raíz cuadrada del voltaje del sustrato, V_{BS} . En el caso de transistores FDSOI, la dependencia es mucho menor (especialmente cuanto mayor sea el espesor del óxido enterrado), y además la variación de V_T con V_{BS} no se ve afectada (teóricamente) por el valor de la impurificación de la capa activa de Silicio. Esta es una característica importante de los transistores FDSOI MOSFETs, especialmente adecuados para aplicaciones en las que el terminal de sustrato no se encuentre conectado a tierra. Además, las medidas experimentales de la relación $V_T = f(V_{BS})$ suelen emplearse para determinar el valor exacto del t_{si} de los dispositivos fabricados [Colinge 1997]. En nuestro caso, debemos señalar que los resultados mostrados en los siguientes apartados han sido obtenidos en condiciones de $V_{BS} = 0$ V.

Respecto al efecto de canal corto sobre el potencial umbral, es posible determinar de manera teórica (a través de cálculos notablemente complicados a causa de la doble dependencia con V_{GF} y V_{GP}) la carga de vaciamiento del canal compartida por la puerta y las islas de fuente y drenador [Veeraraghavan y Fossum 1988]. Debido al menor espesor de la capa activa con respecto a W_{max} , en los dispositivos FDSOI esta cantidad de carga es significativamente menor (especialmente cuanto menor sea t_{si}), y en consecuencia el efecto de canal corto sobre el potencial umbral es menos importante que en el caso de transistores *bulk* [Veeraraghavan y Fossum 1989].

3. Características I-V

En la Figura V.9 hemos representado los resultados obtenidos con el simulador MC2D para las características de transferencia y de salida del transistor MOSFET convencional y del

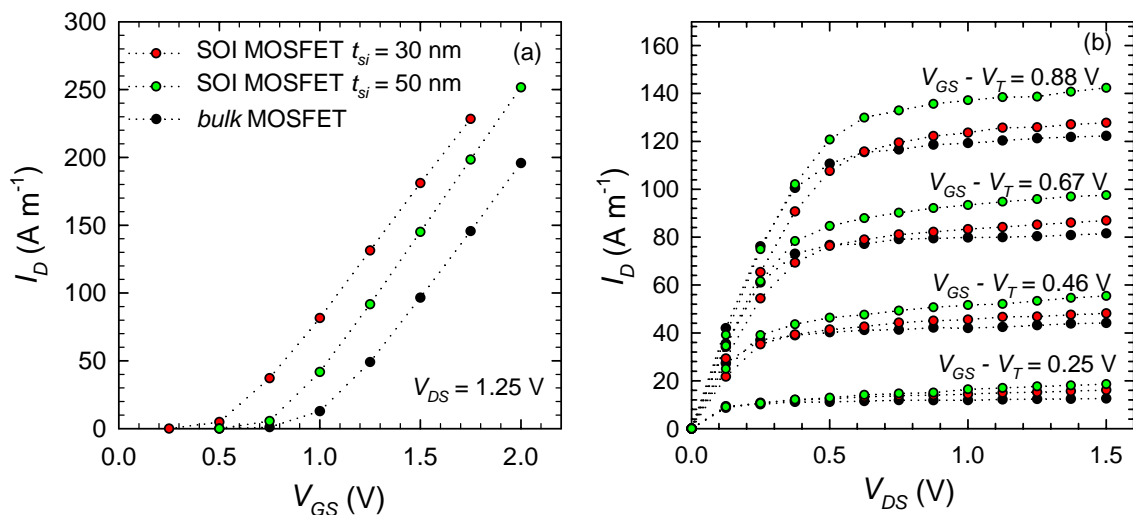


Figura V.9. Características de transferencia (a) y de salida (b) para un MOSFET convencional, FDSOI MOSFET con $t_{si} = 50$ nm y FDSOI MOSFET con $t_{si} = 30$ nm. Las características de salida corresponden a iguales condiciones de $V_{GS} - V_T$

FDSOI con $t_{si} = 50$ nm y $t_{si} = 30$ nm[§]. En primer lugar, es posible observar una reducción de V_T en las características de transferencia para el caso de los transistores FDSOI, reducción que es más significativa a medida que t_{si} disminuye, como ya hemos mencionado con anterioridad. Por otra parte, en el caso de $t_{si} = 50$ nm, la pendiente de la característica de transferencia es mayor que en el caso del *bulk* MOSFET, lo que es indicativo de una *mayor transconductancia para el FDSOI MOSFET*. El valor de esta pendiente se degrada a medida que t_{si} disminuye (de hecho, para el transistor con capa activa de 30 nm la pendiente es parecida a la del MOSFET convencional).

En las características de salida, puede observarse un incremento del valor de la corriente en saturación (mayor a medida que $V_{GS} - V_T$ aumenta) para el caso de los transistores FDSOI con respecto al transistor convencional. El efecto es más importante para el transistor con t_{si} de 50nm. Para el caso del transistor con t_{si} de 30 nm, el aumento de corriente de saturación no es tan importante, y además es especialmente significativo el hecho de que en la región triodo presenta valores menores de corriente en comparación tanto con el MOSFET convencional como con el FDSOI con t_{si} de 50 nm.

También hay que indicar que para el FDSOI con t_{si} de 50 nm, en la región de saturación la corriente tiene una pendiente con V_{DS} mayor (g_{ds}) que en el caso de los otros dispositivos. Como veremos más adelante, estos efectos de degradación de las características $I-V$ están asociados principalmente a una mayor resistencia de las regiones de acceso.

Hay que hacer referencia en este punto a otra de las ventajas que los dispositivos FDSOI MOSFET presentan frente a los MOSFET convencionales, y es la referida al comportamiento en régimen subumbral, donde la pendiente de la característica I_D-V_{GS} toma valores prácticamente ideales (cerca de 60 mV/dec) para el caso de los FDSOI MOSFETs. Gracias a ello, es posible trabajar con valores menores del voltaje umbral en comparación con la tecnología convencional sin que aumenten las corrientes de fugas, y en consecuencia se obtienen mejores rendimientos en cuanto a velocidad de los dispositivos en etapas CMOS a bajas tensiones de alimentación [Colinge 1997]. En nuestro caso, hay que comentar que el estudio de este fenómeno mediante el simulador MC2D es notablemente complicado debido a que no es posible, salvo recurriendo a tiempos de CPU prácticamente prohibitivos, obtener la resolución precisa para estudiar con detalle este efecto en este régimen de operación en concreto (región subumbral).

[§] Al igual que en el caso del transistor MOSFET convencional, es posible determinar, de manera analítica y simplificada, las características $I-V$ de los transistores FDSOI, considerando las hipótesis asociadas a la aproximación de canal gradual [Lim y Fossum 1984, Veeraraghavan y Fossum 1988, Ortiz-Conde *et al.* 1989]. Estos modelos suelen tomar como aproximación una anchura nula de la capa de inversión, con lo que su extensión para el caso de capas activas muy finas requiere la incorporación de efectos adicionales y por tanto un aumento notable de la complejidad de los mismos.

A continuación vamos a analizar algunas magnitudes internas de interés (concentración, velocidad, energía, campos eléctricos, etc.) que nos servirán tanto para explicar los comportamientos observados hasta el momento como para examinar con posterioridad al detalle la respuesta dinámica y de ruido de los dispositivos. En la mayoría de aplicaciones de circuitos integrados, la tendencia es trabajar con una tensión fija a pesar de que se disminuya el tamaño de los dispositivos, con el fin de mantener los estándares compatibles. Sin embargo, por otra parte la manera más adecuada de efectuar la comparación entre diferentes dispositivos es hacerlo en condiciones de tensión de puerta $V_{GS} - V_T$ equivalentes. Por ello, hemos efectuado un doble estudio, tanto en condiciones de V_{GS} constante como en condiciones de $V_{GS} - V_T$ constante.

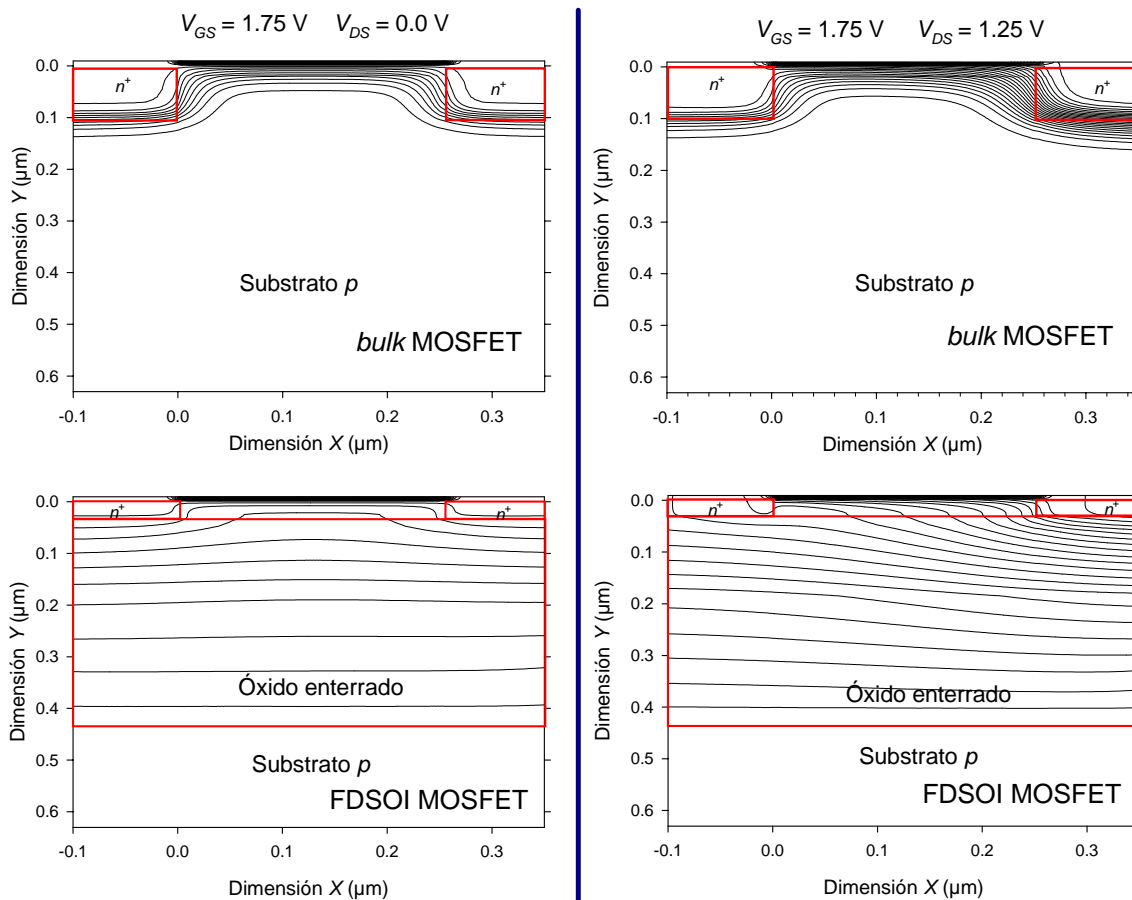


Figura V.10. Líneas equipotenciales para *bulk MOSFET* y *FDSOI MOSFET* ($t_{si} = 30 \text{ nm}$) para $V_{DS} = 0.0 \text{ V}$ (izda.) y $V_{DS} = 1.25 \text{ V}$ (dcha.), ambos con $V_{GS} = 1.75 \text{ V}$

4. Magnitudes en condiciones de V_{GS} constante

- Potencial

La presencia del óxido enterrado ocasiona importantes modificaciones en el perfil del potencial de los dispositivos. En la Figura V.10 hemos representado las líneas equipotenciales para el MOSFET convencional y el FDSOI con $t_{si} = 30 \text{ nm}$ para dos condiciones de polarización, con $V_{DS} = 0.0 \text{ V}$ y $V_{DS} = 1.25 \text{ V}$, ambos con $V_{GS} = 1.75 \text{ V}$. Como puede apreciarse en la

Figura, en el caso del transistor *bulk* en la región bajo la puerta la densidad de las líneas de potencial es muy grande, lo que es indicativo de la existencia de valores elevados del campo en Y , como veremos posteriormente. En el caso de aplicar una tensión en V_{DS} , es en la región del canal próxima al drenador donde se produce la mayor caída del potencial, lo cual se traduce a su vez en un campo elevado en dicha región en la dirección X .

Sin embargo, en el caso del transistor FDSOI MOSFET, el óxido enterrado “absorbe” la mayor parte de la caída de potencial desde puerta hacia el substrato. Por tanto, a lo largo de la dirección Y la caída de potencial en la zona activa del dispositivo es mucho más significativa en el caso del transistor convencional, presentando el potencial un perfil mucho más “plano” en el FDSOI. Por otra parte, al aplicar una tensión en V_{DS} , es posible observar un gradiente de potencial suave en la dirección X en la mayor parte de la capa de silicio activa, mientras que en el caso del transistor *bulk* la mayor parte de la variación del potencial a lo largo del canal se produce en la región asociada a la unión drenador-substrato.

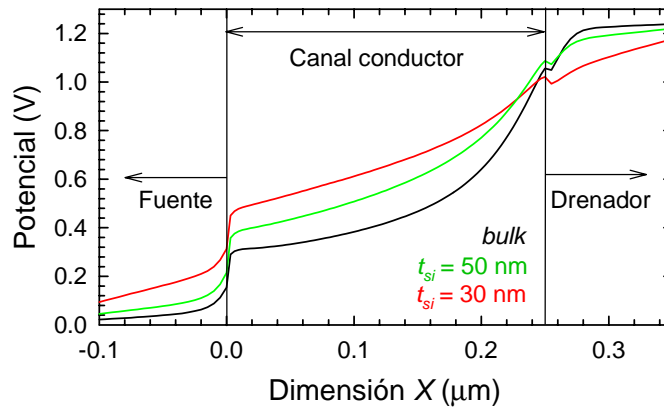


Figura V.11. Perfil del potencial en la interfaz frontal para $V_{GS} = 1.75$ y $V_{DS} = 1.25$ V

Vamos a examinar con más detalle el perfil del potencial a lo largo de la interfaz frontal para el caso de aplicar una tensión en el drenador (Figura V.11). En este caso, hemos representado los valores para los tres dispositivos simulados. En primer lugar, hay que señalar que aparecen diferencias significativas en la región correspondiente al canal conductor. Además, para el caso de los transistores FDSOI, se observa una caída de potencial en las islas de fuente y drenador, más pronunciada a medida que t_{si} es menor. Dicha caída de potencial es indicativa de una mayor resistencia en serie asociada al acceso al canal a través de las islas n^+ , que se hace más importante cuanto menor es t_{si} . Este fenómeno es muy importante en transistores FDSOI con espesores finos de la capa activa de Silicio [Hsiao *et al.* 1994, Hu y Jang 1998], y es el principal responsable de la degradación de las características $I-V$ en el caso del transistor FDSOI con t_{si} de 30 nm. Una posible solución a este fenómeno consiste en diseñar la estructura con las regiones de fuente y drenador *sobreelevadas* con respecto al canal conductor, es decir, con un espesor sensiblemente superior al valor de t_{si} en la región de los contactos, lo que permitiría reducir la

resistencia asociada a dichas regiones y por tanto “mantener” los beneficios en cuanto a mayor transconductancia que proporcionan los transistores FDSOI.

Por otra parte, hay que indicar que la caída de potencial a lo largo del canal es más homogénea para el caso de los FDSOI, mientras que en el transistor convencional la mayor parte del potencial cae en las cercanías del drenador de manera más brusca.

- Campo eléctrico

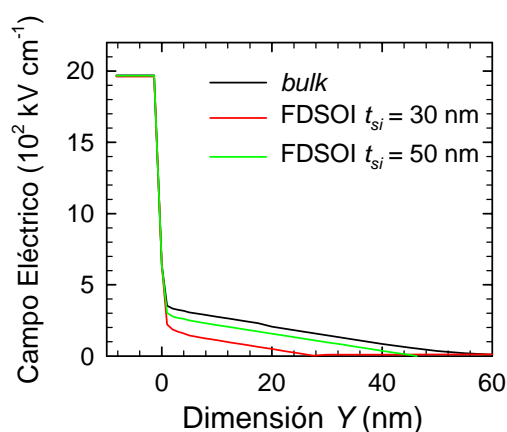


Figura V. 12. Perfil del campo eléctrico en la dirección Y para las tres estructuras con $V_{GS} = 1.75$ V y $V_{DS} = 0.0$ V.

Las diferencias observadas en los tres dispositivos en cuanto al potencial deben traducirse necesariamente en variaciones en el campo eléctrico en las estructuras analizadas. En la Figura V.12 mostramos componente Y del campo eléctrico en la coordenada X correspondiente a la mitad de la puerta, obtenido mediante nuestro simulador MC2D para una tensión de puerta de 1.75 V y una tensión de drenador nula. En el caso de los dispositivos FDSOI, el campo es menor a medida que disminuye el espesor de la capa activa de Silicio, y en ambos casos es inferior al que se obtiene para el caso del transistor convencional. Para los tres casos la pendiente del campo en Y en la zona activa es la misma, lo cual es lógico puesto que el dopaje del sustrato en las tres estructuras es idéntico. Otros autores han señalado que los menores valores del campo eléctrico en la dimensión vertical obtenidos para el caso de los dispositivos FDSOI son indicativos de una movilidad de los portadores mayor [Yoshimi *et al.* 1989, Yoshino 1990, Wang *et al.* 1994]. Sin embargo, en el caso de transistores con capas activas ultrafinas (menores de 20 nm), en la literatura pueden encontrarse estudios en los que se ha observado de manera experimental una reducción de la movilidad de los portadores [Choi *et al.* 1995]. Este fenómeno ha sido asociado a diferentes motivos: aumento del *scattering* con fonones de la red a causa del mayor confinamiento de los portadores [Gámiz *et al.* 1998], a un aumento de los defectos en la red a causa de la diferencia entre los coeficientes de expansión térmicos del Silicio y del óxido [Choi *et al.* 1995], o al aumento del *scattering* Coulombiano por trampas en la interfaz posterior [Toriumi *et al.* 1995]. En cualquier caso, un estudio detallado de la dependencia de la movilidad con el campo eléctrico vertical, así como los fenómenos asociados a capas activas ultrafinas, quedan fuera del alcance del presente trabajo.

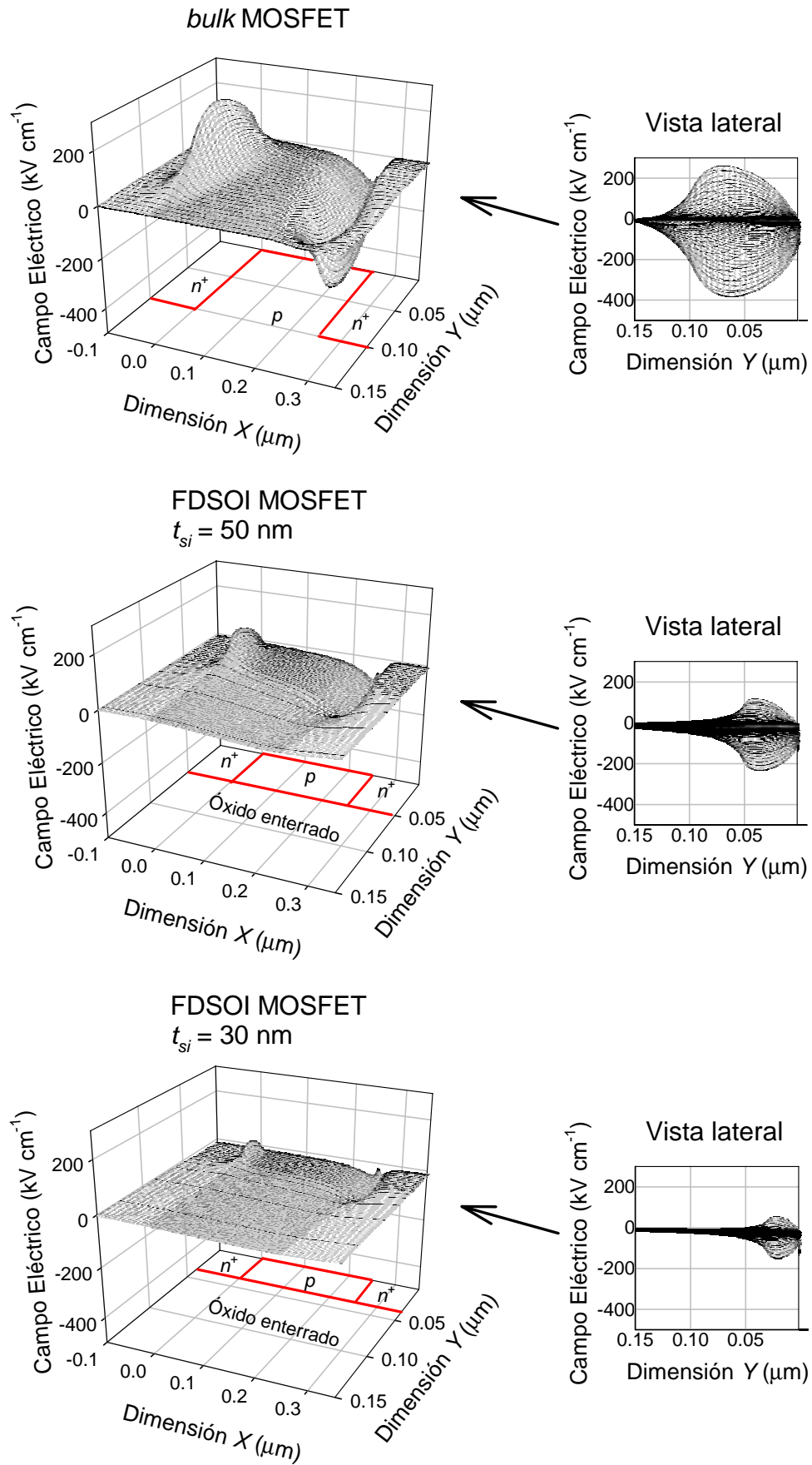


Figura V. 13. Campo eléctrico en la dirección X para $V_{GS} = 1.75$ y $V_{DS} = 1.25$

En cuanto al campo en la dirección X , también se observan diferencias notables. En la Figura V.13 mostramos esta magnitud para $V_{GS} = 1.75$ V y $V_{DS} = 1.25$ V. Como puede apreciarse en la Figura, en el caso de los transistores FDSOI los valores máximos son sensiblemente menores (y más en el caso de $t_{si} = 30$ nm), especialmente a medida que nos alejamos de la interfaz frontal. Este resultado está de acuerdo con lo comentado previamente por otros autores [Collinge 1987, Fossum *et al.* 1990, Su *et al.* 1992].

Por otra parte, a lo largo del canal bajo la interfaz frontal, el campo es más homogéneo en el caso de los FDSOI, especialmente para el caso del t_{si} menor (Figura V.14), consecuencia lógica de la variación del potencial que vimos con anterioridad.

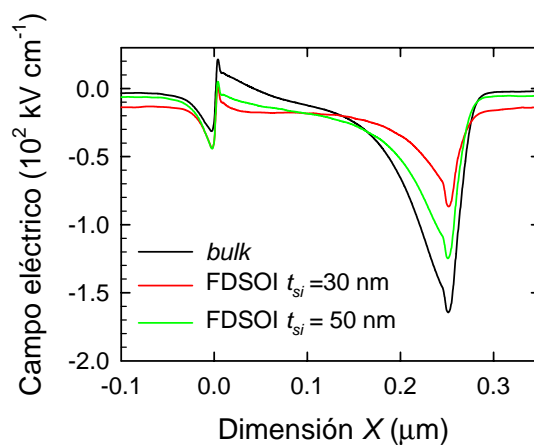


Figura V.14. Perfil del campo en X bajo la interfaz frontal

- Concentración y velocidad de los portadores

Las diferencias que hemos observado en cuanto a potencial y campo eléctrico conllevan importantes cambios en las magnitudes asociadas al transporte de los portadores. En primer lugar, el perfil del campo eléctrico en la dirección Y impone que la anchura de la capa de inversión sea mayor en el caso de los transistores FDSOI (Figura V.15) especialmente para t_{si} menor, lo cual ha sido previamente confirmado por otros autores [Yoshimi *et al.* 1989].

Este hecho está de acuerdo con lo observado en la estructura de bandas de los dispositivos (Figura V.7), donde para $t_{si} = 30$ nm

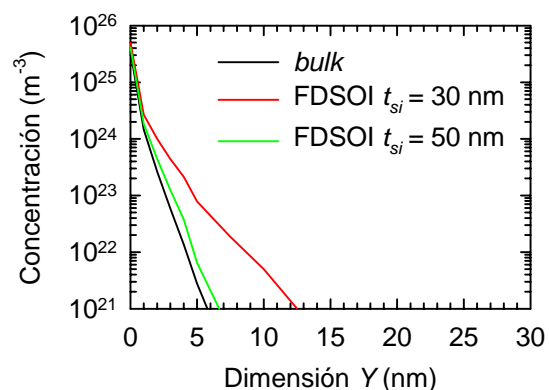


Figura V.15. Resultados MC2D para el perfil de concentración de portadores en la capa de inversión a V_{DS} nula.

la banda de conducción en el canal conductor presentaba unas características cercanas a las de un semiconductor tipo n .

En el caso de capas activas con espesor por debajo de 10 nm, puede incluso llegar a producirse el llamado fenómeno de inversión en volumen, que se produce cuando la capa entera se encuentra en inversión. En este caso, los fenómenos de naturaleza cuántica cobran especial importancia, siendo posible conseguir incrementos importantes de la movilidad de los portadores al producirse el transporte de los portadores principalmente en la zona cercana a la mitad de la capa activa [Balestra *et al.* 1987].

Hay que señalar también que en los dispositivos simulados se ha observado, en condiciones de tensión de drenador nula, una mayor homogeneidad de la capa de inversión a lo largo del canal para los transistores FDSOI, debido a los menores campos eléctricos en los bordes de la región controlada por la puerta.

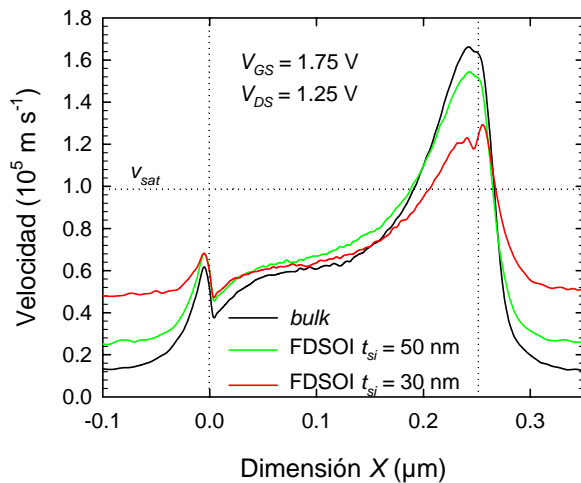


Figura V.16. Velocidad y energía de los electrones en la interfaz frontal para $V_{GS} = 1.75$ y $V_{DS} = 1.25$

Respecto a la velocidad de los portadores en la dirección X a lo largo del canal (Figura V.16), el fenómeno de la sobrevelocidad se observa en todas las estructuras. En el caso de los FDSOI, sin embargo, el valor del máximo es menor, y además es posible observar un aumento de la velocidad en las islas de fuente y drenador debido a la presencia de un campo eléctrico en la dirección X cuya magnitud aumenta al reducirse t_{si} .

5. Magnitudes en condiciones de $V_{GS} - V_T$ constante

- Concentración de portadores

En la Figura V.17 mostramos los valores de concentración de electrones en las tres estructuras para $V_{DS} = 1.25$ V y $V_{GS} - V_T = 0.75$ V. A partir de esta Figura pueden extraerse varias conclusiones.

En primer lugar, para el caso de los transistores FDSOI el máximo de la capa de inversión es menor, efecto que se hace más pronunciado en el caso del dispositivo con el espesor t_{si} menor. En segundo lugar, puede apreciarse cómo, para condiciones de $V_{GS} - V_T$ constante, en el caso de los dispositivos FDSOI el espesor de la capa de inversión es mayor, siendo el aumento especialmente significativo en el caso del FDSOI con $t_{si} = 30$ nm. Además, para este dispositivo existe una mayor homogeneidad de la capa de inversión en la zona del canal más cercana a la

fuente en comparación con el caso de los otros dispositivos, donde se aprecia una caída de concentración mayor a lo largo del canal.

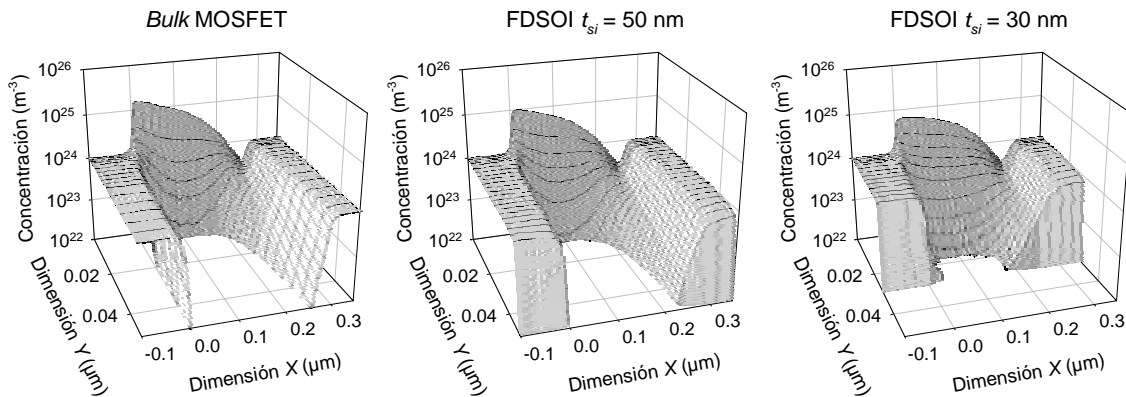


Figura V.17. Concentración de portadores en las tres estructuras consideradas para $V_{DS} = 1.25$ V y $V_{GS} - V_T = 0.75$ V.

- Velocidad, energía, potencial y campo eléctrico

La velocidad y la energía de los electrones en los tres dispositivos para las condiciones de polarización consideradas se muestran en la Figura V.18. Respecto a la velocidad (Figura V.18[a]), podemos apreciar como en el caso del *bulk* MOSFET y del FDSOI con t_{si} de 50 nm, las diferencias son mínimas, observándose únicamente un pequeño aumento de velocidad en las islas n^+ para el caso del FDSOI. Sin embargo, en el caso del FDSOI de 30 nm este aumento aparece mucho más claramente, mientras que por otra parte el valor del máximo en la región de

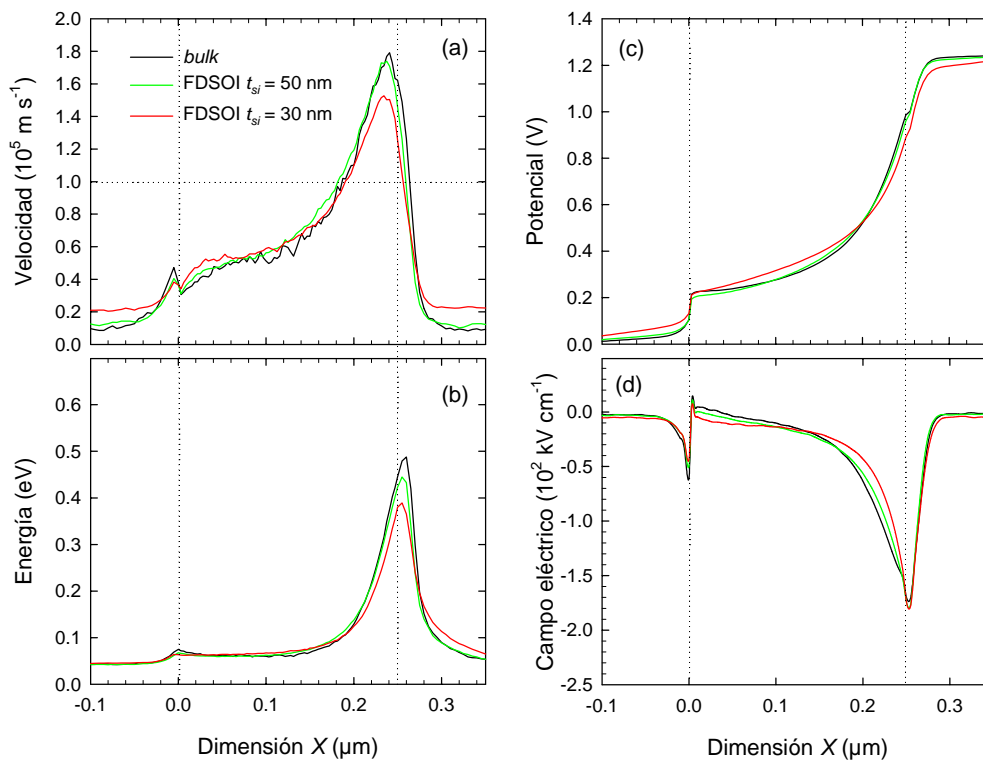


Figura V. 18. Velocidad (a), energía (b) de los electrones y potencial (c) y campo eléctrico en X bajo la interfaz frontal (d) en las tres estructuras consideradas, con $V_{GS} - V_T = 0.75$ V y $V_{DS} = 1.25$ V

overshoot es menor en comparación con el alcanzado en los otros dos dispositivos.

En cuanto a los valores de energía (Figura V.18[b]), en el caso de los FDSOI los valores del máximo son menores que para el caso del transistor convencional. La reducción del máximo de nuevo es más significativa para el dispositivo con t_{si} de 30 nm. Por otra parte, en el perfil del potencial (Figura V.18 [c]) podemos apreciar también el efecto de la mayor resistencia de las islas de fuente y drenador para este mismo transistor, aunque en este caso menos pronunciado que en la Figura V.11 a causa de la diferente condición de polarización con respecto a la tensión de puerta.

Con respecto al perfil del campo en la dirección X bajo la interfaz frontal (Figura V.18[d]), es necesario mencionar que, a pesar de que el valor máximo para esta magnitud es prácticamente el mismo en las tres estructuras, es posible apreciar diferencias reseñables en la región de *pinch-off*, donde los valores más elevados del campo se encuentran más localizados en torno a la unión metalúrgica drenador-substrato para los dispositivos FDSOI (y en especial para el transistor con la capa activa más fina). Por otra parte, se puede también apreciar cómo en el resto del canal el campo es más homogéneo para estos dispositivos que para el caso del *bulk* MOSFET, por lo que en general podemos afirmar que la influencia de los campos eléctricos elevados es menor para los FDSOI MOSFET incluso en condiciones de igual tensión $V_{GS} - V_T$.

En conclusión, y a la vista de estos resultados, es posible afirmar que tanto para condiciones de igual V_{GS} como para el caso de comparar $V_{GS} - V_T$ equivalentes, en los dispositivos FDSOI se aprecia una reducción del valor del máximo de energía en la región del canal adyacente a la unión drenador-substrato, con lo que los efectos de degradación asociados a los portadores con energías elevadas han de ser necesariamente menos importantes que en el caso de un dispositivo *bulk* [Rengel *et al.* 2003c].

- Mecanismos de scattering

En la Figura V.19 mostramos los valores de densidad total de mecanismos de *scattering* (Figura V.19[a]), de *scattering* con impurezas (Figura V.19[b]), con fonones acústicos (Figura V.19[c]) y con fonones ópticos (Figura V.19[d]) en la dimensión X a lo largo del canal para $V_{DS} = 1.25$ V y $V_{GS} - V_T = 0.75$ V. Se observa una disminución del número total de mecanismos en el caso de los transistores FDSOI, reducción que se hace más notable para el caso de $t_{si} = 30$ nm. En la región del canal donde la concentración de portadores es elevada, la disminución de la densidad de mecanismos para el FDSOI viene dada por una menor influencia del *scattering* con impurezas ionizadas; sin embargo, en la región correspondiente al máximo de la densidad de colisiones (en la unión drenador-substrato) es debida principalmente al menor número de colisiones con fonones de la red como consecuencia de la menor energía de los portadores (especialmente en el caso de fonones acústicos), por lo que existirá un menor número de transiciones tanto intervalle como intravalle. En general, puede afirmarse que tanto las diferencias asociadas a

los perfiles de la concentración y del campo eléctrico a lo largo del canal inducen una menor influencia global de los mecanismos de *scattering* para el caso de los dispositivos FDSOI MOSFET.

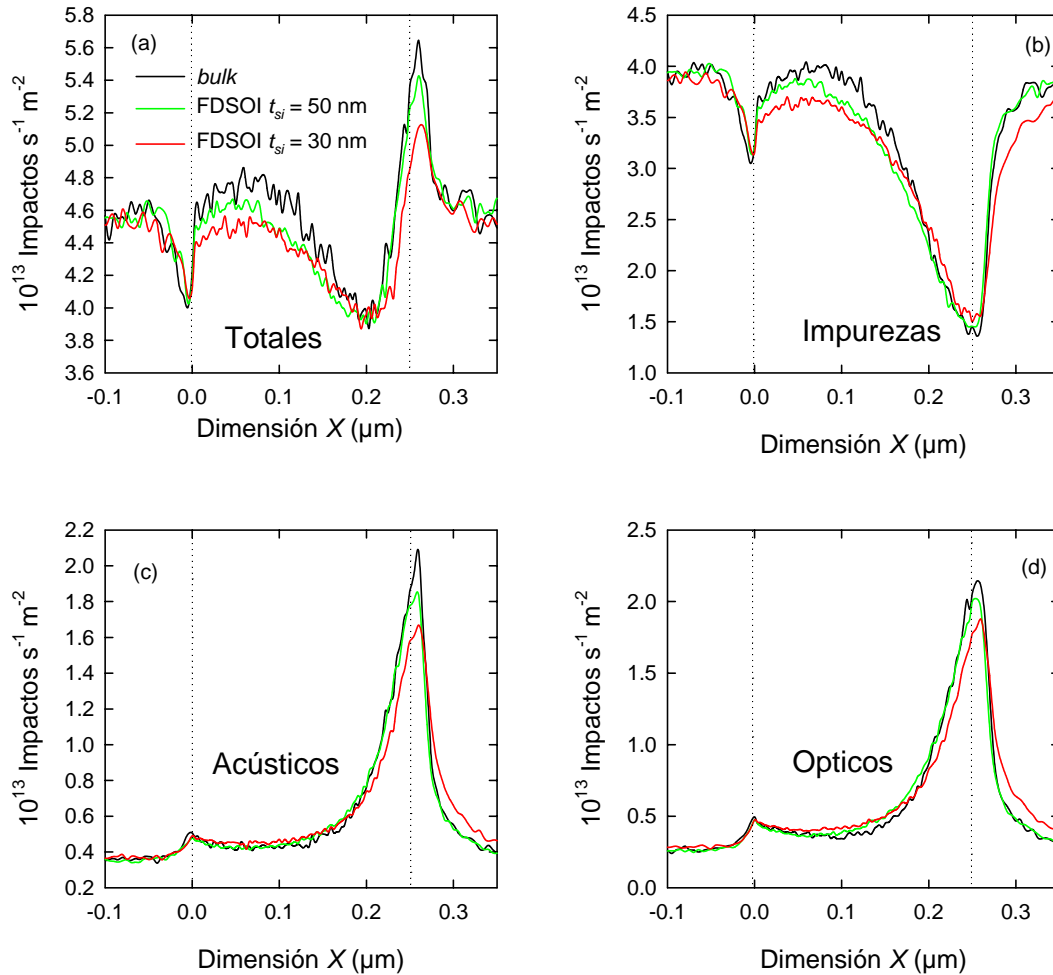


Figura V.19. Densidad de mecanismos de *scattering* para los tres dispositivos considerados, con $V_{GS} - V_T = 0.75$ V y $V_{DS} = 1.25$ V.

Hay que indicar que para el caso de capas activas con espesores menores a 10 nm, los efectos cuánticos comienzan a ser notablemente importantes [Omura *et al.* 1993, Omura e Izumi 1996, Colinge 1997]. Un estudio de estos fenómenos queda fuera de los límites del presente trabajo.

- Parámetros dinámicos

Para el cálculo de los parámetros dinámicos, hemos considerado el mismo circuito equivalente que empleamos en el caso de los transistores *bulk* MOSFET (véase la Figura II.7). Esta representación ha sido utilizada con anterioridad por otros autores para el estudio de la respuesta dinámica de transistores FDSOI MOSFET [Raskin *et al.* 1998, Dambrine *et al.* 1999].

En la Figura V.20 mostramos los resultados obtenidos para las capacidades del circuito equivalente de pequeña señal en función de $V_{GS} - V_T$ para el MOSFET convencional y los FDSOI simulados, en todos los casos para un valor de tensión de drenador V_{DS} constante e igual a 1.25 V (en condiciones de saturación).

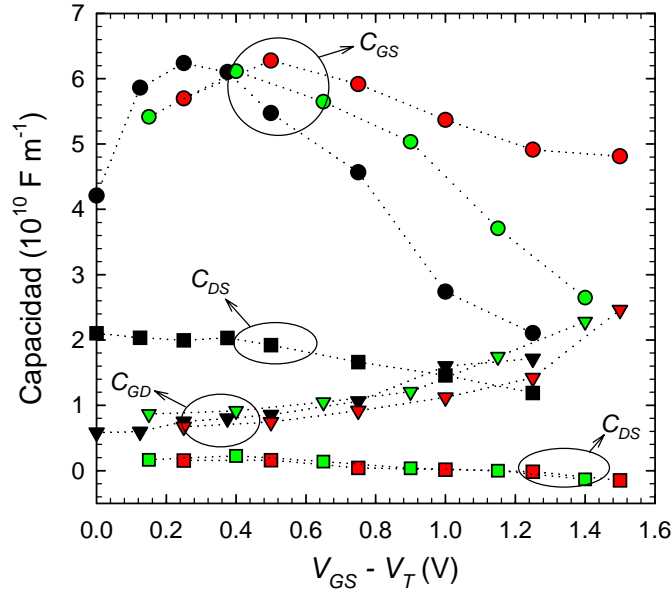


Figura V.20. Capacidades del circuito equivalente para el MOSFET convencional (símbolos negros), el FDSOI con $t_{si} = 50 \text{ nm}$ (símbolos verdes) y FDSOI con $t_{si} = 30 \text{ nm}$ (símbolos rojos).

En primer lugar, es necesario comentar la notable disminución de la capacidad C_{DS} para el caso de los dispositivos FDSOI MOSFET con respecto al transistor *bulk* [Rengel *et al.* 2003c]. Como ya hemos comentado con anterioridad, la presencia del óxido enterrado aísla la capa activa (donde tiene lugar el transporte de carga) con respecto al sustrato, lo cual es de vital importancia en aplicaciones que operen a altas frecuencia, tanto analógicas como digitales. Esta disminución de la capacidad de acoplamiento con el sustrato ha sido corroborada previamente por otros autores [Lim y Fossum 1985, Omura y Izumi 1991, Flandre *et al.* 1996].

Respecto a la capacidad C_{GS} , para valores de $V_{GS} - V_T$ menores de 0.4 V se observa un aumento de dicha capacidad para los tres dispositivos a medida que lo hace la tensión de puerta, obteniéndose valores ligeramente menores para los FDSOI. Sin embargo, para tensiones de puerta superiores, en el caso de FDSOI MOSFETs la capacidad tiene una dependencia con V_{GS} mucho menor que en el caso del transistor convencional. En las simulaciones MC2D efectuadas, se ha observado un aumento (más pronunciado a V_{GS} elevado) de la anchura de la capa de inversión con el valor de la tensión de puerta en el caso de los FDSOI (especialmente para $t_{si} = 30 \text{ nm}$). Esto es indicativo de una variación mayor de la carga electrónica, de manera especialmente significativa en la parte del canal más cercana a la fuente, lo que se traduce en el aumento observado en la Figura V.20 de la capacidad C_{GS} a valores de $V_{GS} - V_T$ elevados que tiene impor-

tantes consecuencias en la frecuencia de corte de los dispositivos FDSOI. Por otro lado se observa cómo la evolución de la capacidad C_{GD} para los tres dispositivos es similar.

Respecto a la transconductancia (Figura V.21[a]), los valores mayores se encuentran para el caso del transistor FDSOI con $t_{si} = 50$ nm, lo cual es coherente con lo observado en las características de transferencia. Este aumento de la transconductancia es como ya hemos comentado previamente una de las ventajas más importantes de los transistores FDSOI con respecto a los *bulk*. Sin embargo, esta mejor transconductancia tiende a degradarse cuando el espesor de la capa de Silicio se hace más pequeña. Para el caso de un transistor convencional, o un PDSOI, la anchura de la capa de inversión (responsable del transporte en el canal conductor) es mucho menor que la profundidad de las islas de fuente y drenador. Sin embargo, para un FDSOI, cuando disminuimos el espesor de la capa activa de Silicio, llega un momento en el que la resistencia asociada a la menor profundidad de las regiones de acceso al canal de fuente y drenador afecta a las condiciones de transporte (fenómeno reforzado por el hecho de que además la anchura de la zona de inversión aumenta), provocando, entre otras consecuencias, la degradación de la transconductancia.

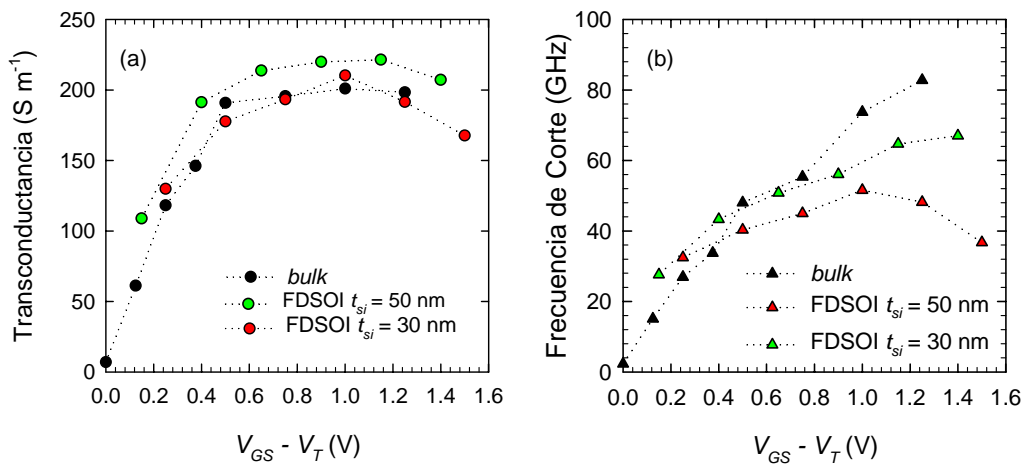


Figura V. 21. Transconductancia (a) y frecuencia de corte f_T (b) para los *bulk* y FDSOI MOSFETs considerados

Finalmente, en la Figura V.21[b] mostramos los valores de frecuencia de corte f_T para los tres dispositivos. Como puede apreciarse, la menor capacidad de puerta del dispositivo *bulk* para tensiones $V_{GS} - V_T$ elevadas provoca que la frecuencia de corte sea mayor que en el caso de los FDSOI.

Debemos señalar que los valores obtenidos corresponden a los dispositivos intrínsecos. En la realidad, las resistencias extrínsecas de los contactos, capacidades parásitas, así como los requerimientos a nivel geométrico de los dispositivos *bulk* con el fin de aislar de manera adecuada los dispositivos hacen que estos valores disminuyan sensiblemente. Algunos autores [Fiorenza y del Alamo 2002] han observado en el caso de transistores SOI frecuencias de corte simi-

lares en comparación con dispositivos convencionales fabricados, o incluso superiores [Adan *et al.* 2002].

- Parámetros de ruido

Para completar el estudio comparativo entre el transistor MOSFET convencional y el FDSOI, hemos evaluado la respuesta en ruido de los mismos mediante el procedimiento ya empleado en los capítulos anteriores.

El primer paso para el estudio del ruido es el cálculo de las densidades espectrales asociadas a las fluctuaciones de corriente en los terminales. En primer lugar, es necesario comentar que el comportamiento con respecto a la frecuencia en el rango de las RF y microondas para los dispositivos FDSOI estudiados es totalmente análogo al observado en MOSFET convencionales (dependencia con f^2 de S_{IG} , con f de S_{IGID} y constante para S_{ID}) como corresponde a un dispositivo FET en general.

Vamos por tanto a centrarnos en las posibles diferencias que aparecen en función de la polarización aplicada en terminales para una frecuencia fija de 6 GHz. En la Figura V.22(a) mostramos los resultados obtenidos para S_{ID} para el transistor FDSOI MOSFET con $t_{si} = 30$ nm y $t_{si} = 50$ nm y el *bulk* MOSFET en condiciones de saturación para una tensión de drenador de 1.25 V en función de $V_{GS} - V_T$. También hemos representado (Figura V.22[b]) los valores obtenidos para S_{IG} .

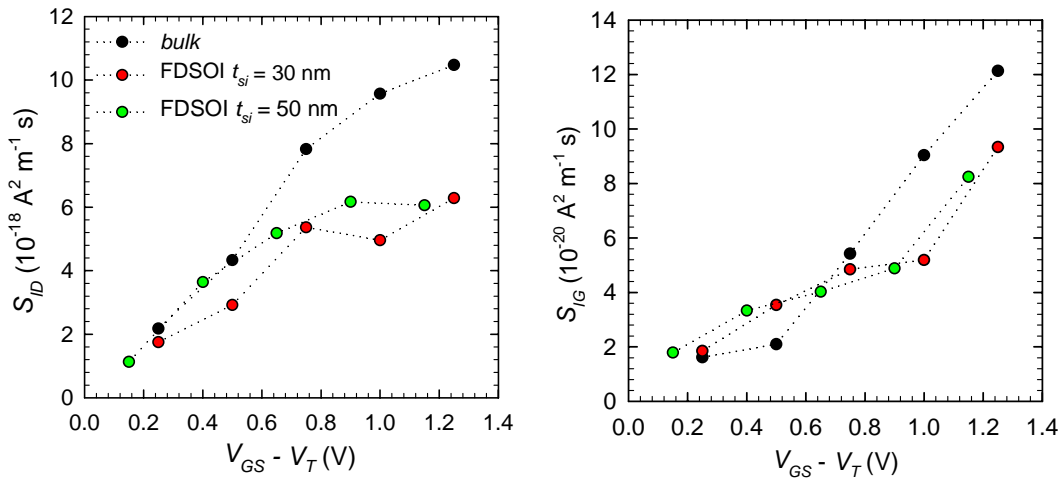


Figura V. 22. Valores de S_{ID} y S_{IG} (a 6 GHz) en función de $V_{GS} - V_T$ y a V_{DS} constante para los dispositivos considerados

Como puede apreciarse en la figura, en el caso de $V_{GS} - V_T$ elevados los dispositivos FDSOI presentan valores notablemente reducidos de S_{ID} y S_{IG} en comparación con el *bulk* MOSFET. Esta reducción puede venir asociada a diferentes factores. En primer lugar, a las diferencias anteriormente mencionadas con respecto a la capa de inversión entre los tres dispositivos (Figura V.17). Además, en el caso de S_{ID} , el efecto de los portadores calientes es menor debido a los menores valores de energía alcanzados en la región de *pinch-off* y a la menor in-

fluencia de los mecanismos de *scattering* en la unión metalúrgica drenador-substrato para los FDSOI (Figuras V.18[b] y V.19).

Sin embargo, como ya hemos comentado con anterioridad a lo largo de este trabajo, la comparación directa entre valores de densidad espectral no es la manera más adecuada de evaluar la influencia del ruido electrónico en dispositivos con diferentes topologías. Con ese fin, hemos calculado los parámetros α , β y C . En la Figura V.23 mostramos los resultados obtenidos en función de $V_{GS} - V_T$ para una tensión de drenador de 1.25 V. Respecto al valor de α , se observa una reducción notable mismo en el caso del FDSOI especialmente a medida que aumenta $V_{GS} - V_T$, lo que confirma la menor presencia de ruido en exceso en el canal conductor. Hay que significar que en el caso de $t_{si} = 30$ nm, a pesar de que el valor máximo de energía sea menor, por el contrario en el interior de la región n^+ de drenador se aprecian valores de energía más elevados que los alcanzados para $t_{si} = 50$ nm, lo cual justifica que las diferencias encontradas para α entre ambos valores de espesor de la capa activa de Silicio no sean tan significativas. En cualquier caso, podemos afirmar que para el transistor FDSOI existe una menor influencia de los fenómenos responsables de la generación del ruido en exceso con respecto a lo observado para el transistor convencional.

En cuanto al valor de β , la Figura V.23 pone de manifiesto la menor influencia del ruido inducido en puerta, especialmente para el caso de $V_{GS} - V_T$ elevadas, lo cual puede relacionarse con el hecho de que el transporte de carga en este dispositivo tiene lugar en una región más ancha (recuérdense las Figuras V.15 y V.17) existiendo un menor acoplamiento de las fluctuaciones de la carga en el canal conductor con la puerta. En cuanto al valor de C debemos señalar que en el caso del transistor FDSOI con $t_{si} = 30$ nm se obtienen los valores más bajos para $V_{GS} - V_T$ superiores a 0.6 V, lo que indica una menor correlación entre las fluctuaciones de la corriente en puerta y en drenador, en consonancia con la menor influencia de los mecanismos de *scattering* bajo el terminal de puerta.

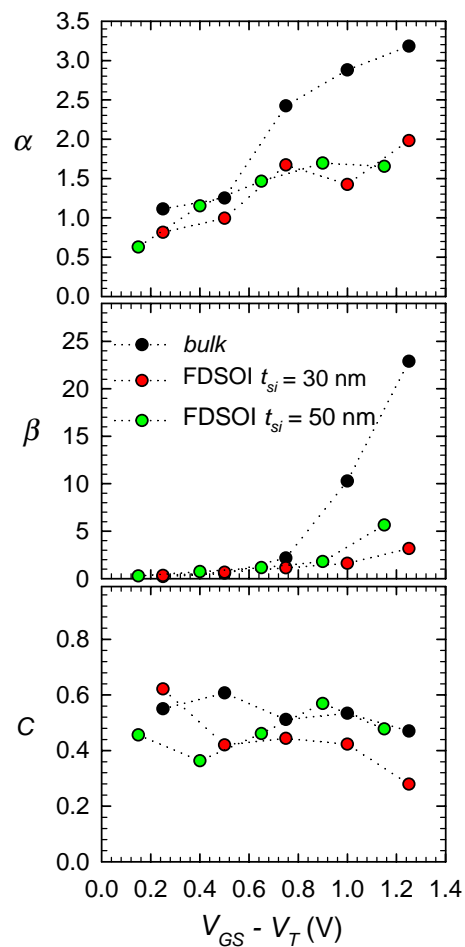


Figura V. 23. Parámetros α , β y C

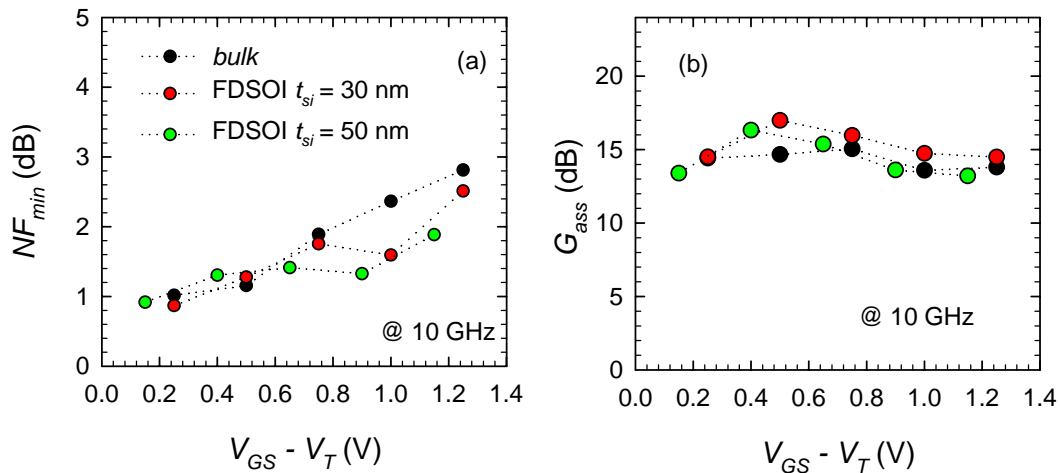


Figura V.24. Figura mínima del ruido (a) y Ganancia Asociada (b) a 10 GHz en función de $V_{GS} - V_T$

Finalmente, hemos calculado los parámetros de ruido usualmente empleados en diseño de circuitos (NF_{min} , R_n , G_{ass} y Γ_{opt}). En la Figura V.24 mostramos los valores obtenidos a 10 GHz para NF_{min} y G_{ass} . En el caso del FDSOI, en general se obtienen valores menores de la figura mínima del ruido (fenómeno observado de manera experimental por otros autores [Adan *et al.* 2002]) fundamentalmente para $V_{GS} - V_T$ elevados, principalmente a causa de la reducida influencia tanto del ruido generado en el canal como del inducido en la puerta. Debemos indicar en este punto sin embargo, que la dependencia con la frecuencia para este parámetro muestra que a frecuencias en el rango de 20 a 30 GHz las diferencias entre los dispositivos tienden a reducirse, llegando incluso para frecuencias superiores a 40 GHz a observarse en general valores menores de figura mínima para el caso del *bulk* MOSFET asociados a su mayor valor de frecuencia de corte.

Respecto a los valores de G_{ass} , hay que indicar que los valores más elevados se obtienen para el dispositivo FDSOI con t_{si} de 30 nm. También se ha comprobado que la dependencia

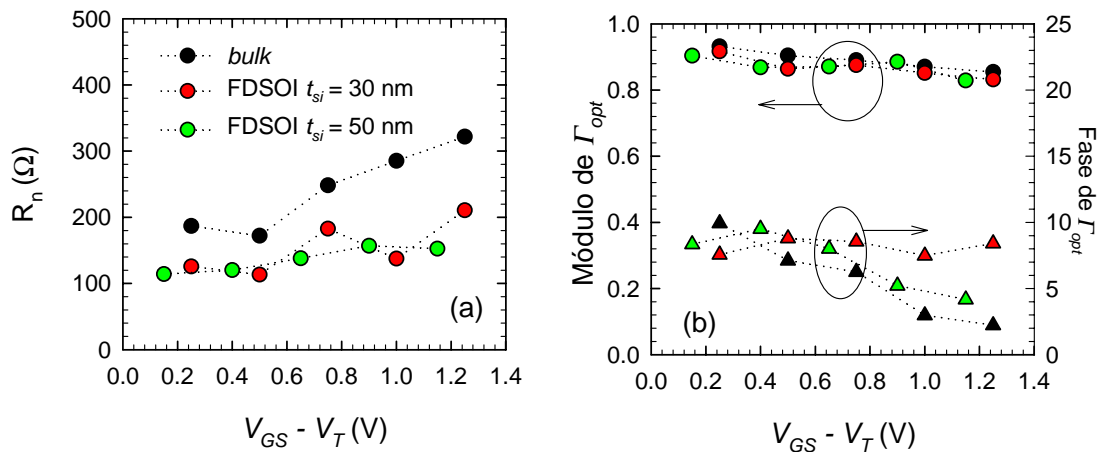


Figura V. 25. Valores de resistencia de ruido (a) y coeficiente de reflexión óptimo (b)

con la frecuencia de este parámetro sigue un comportamiento parecido al caso de la figura mínima del ruido, obteniéndose valores superiores en el caso del *bulk* MOSFET para el rango de frecuencias mencionado con anterioridad.

Por último, en la Figura V.25 mostramos los resultados obtenidos para R_n y Γ_{opt} a 10 GHz. En primer lugar, en el caso de los FDSOI se observa una reducción notable (cercana al 50%) de la resistencia de ruido (similar para ambas t_{si}) en comparación con el dispositivo *bulk*, lo cual es altamente beneficioso en cuanto al diseño de aplicaciones, pues permite que la condición de ruido mínimo sea más fácil de obtener en el diseño de un amplificador de bajo ruido (LNA) [Vanmackelberg *et al.* 2002]. Respecto al coeficiente de reflexión óptimo, los valores obtenidos para el módulo son muy similares (Figura V.25[b]); las diferencias más significativas aparecen en cuanto al valor de su fase, donde en el caso del FDSOI con espesor de capa activa menor los valores presentan una dependencia con $V_{GS} - V_T$ mucho menor que en el caso de las otras estructuras.

En conclusión, hemos comprobado como la presencia del óxido enterrado modifica las condiciones del transporte en la zona activa de los dispositivos FDSOI en comparación con un dispositivo MOSFET convencional. Los dispositivos FDSOI presentan valores notablemente reducidos del campo eléctrico debido a la “absorción” de gran parte del potencial por parte del óxido enterrado. En consecuencia, aparecen valores menores del máximo de energías lo que es indicativo de una menor degradación debida a la presencia de portadores energéticos. Por otra parte, hay que indicar que para espesores de la capa activa en los FDSOI cercanos al valor de W_{max} de la unión MOS de puerta, se obtienen valores mayores de transconductancia que los obtenidos en estructuras *bulk* comparables. Sin embargo, al reducir el espesor de la capa activa la resistencia de las regiones de acceso al canal aumenta, provocando una degradación de la corriente y en consecuencia de la transconductancia. Existe por tanto un compromiso entre el beneficio obtenido por la presencia del óxido enterrado y el aumento de la resistencia de las islas de fuente y drenador al disminuir el valor de t_{si} , lo que podría solventarse mediante el uso de regiones de fuente y drenador sobreelevadas con respecto al canal conductor.

La simulación MC2D ha confirmado la importante reducción de las capacidades asociadas al sustrato gracias a la presencia del óxido enterrado. Por otra parte, hemos observado también un menor acoplamiento con la puerta de las fluctuaciones de la carga en el canal conductor, que puede asociarse al hecho de que el transporte de carga en estas estructuras tiene lugar en una capa de inversión más ancha. Además, se ha comprobado que en los transistores FDSOI existe una menor densidad de mecanismos de *scattering* en iguales condiciones de polarización, lo que tiene consecuencias directas sobre el ruido en drenador, el inducido en puerta y su correlación. Por último, debemos señalar que, en cuanto a los parámetros de ruido, el fenómeno más

destacable es la reducida resistencia de ruido observada en este tipo de dispositivos, lo cual es altamente beneficioso para el diseño de aplicaciones analógica de alta frecuencia.

VI. Análisis numérico y experimental de transistores FDSOI MOSFET reales

Sin experiencia no se puede saber nada con fundamento

Roger Bacon (1214-1294)

Hasta este momento, hemos examinado a fondo el comportamiento (en cuanto a características estáticas, respuesta dinámica y comportamiento en ruido) tanto de transistores MOSFET convencionales como de transistores FDSOI. Comenzamos por estudiar una estructura MOSFET con longitud de puerta de una micra, para posteriormente evaluar los efectos del escalado al adentrarnos en el rango de dimensiones de L_g por debajo del cuarto de micra. En dicho punto, analizamos la influencia de la variación de ciertos parámetros, tales como N_A o L_g , en el comportamiento de los dispositivos. Posteriormente, aumentamos la complejidad de las estructuras considerando la presencia de un óxido enterrado, con espesores de la capa activa de Silicio que garantizaran la condición de vaciamiento total de mayoritarios en la misma, y analizamos las diferencias entre los dispositivos MOSFET convencionales y los FDSOI, así como la influencia, en estos últimos, de modificar el parámetro t_{si} .

En este Capítulo llevaremos a cabo la comparación de los resultados de la simulación MC2D con estructuras SOI reales, centrándonos para ello en el estudio de dispositivos FDSOI de 0.25 μm fabricados por el LETI (*Laboratoire d'Electronique de Technologie et*

d'Instrumentation) de Grenoble, Francia. Las medidas experimentales, así como los principales datos acerca de la topología de los dispositivos, han sido proporcionados por el equipo de François Danneville y Gilles Dambrine, del I.E.M.N. (*Institut d'Electronique, de Microélectronique et de Nanotechnologies*) de Lille, Francia, y por Jean-Pierre Raskin, de la Universidad católica de Lovaina, en Bélgica. El interés de la colaboración es, en primera instancia, evaluar las posibilidades del MC2D como técnica pseudo-experimental, para posteriormente tratar de afrontar la tarea de optimización de los dispositivos, ya que, desde el punto de vista de fabricación, es de vital importancia contar con herramientas de simulación fiables que permitan reducir los costes y el tiempo de ese proceso.

El presente capítulo está organizado de la siguiente manera: en primer lugar, comentaremos brevemente las principales técnicas que existen para la fabricación de obleas SOI, con especial énfasis en el proceso UNIBOND[®] ya que los dispositivos han sido fabricados sobre un sustrato de este tipo. Seguidamente, mencionaremos las principales características del proceso de fabricación, así como algunos detalles respecto al interés de los dispositivos estudiados desde el punto de vista de su rendimiento para aplicaciones de alta frecuencia. También indicaremos algunos aspectos acerca del proceso de medida experimental y del método de extracción de parámetros a partir de dichos datos. Las dificultades surgidas a la hora de realizar la comparación entre las medidas experimentales y la simulación numérica (número de dedos, capacidades parásitas, resistencias extrínsecas, etc.) serán igualmente comentados. Por último, mostraremos la comparación de los resultados entre la simulación MC2D y las medidas experimentales y extraeremos las conclusiones oportunas, indicando, en la medida de lo posible, cuáles son las consecuencias de modificar algunos parámetros significativos de la topología (longitud de solapamiento, longitud de óxido de *spacer*, etc.), lo que puede resultar de gran ayuda para la optimización de las estructuras fabricadas.

VI. 1. Fabricación de las obleas SOI

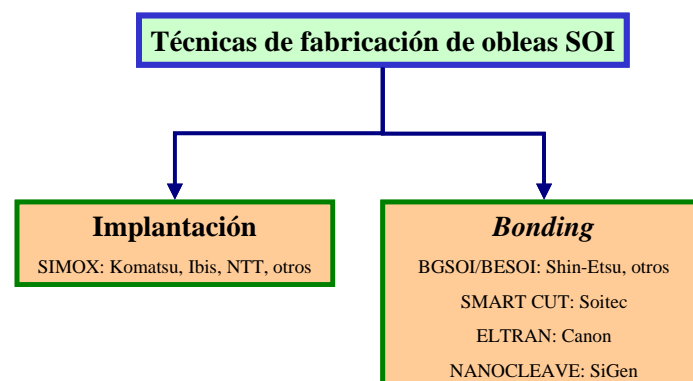


Figura VI.1. Principales técnicas de fabricación de obleas SOI.

Los métodos de fabricación de obleas SOI se pueden clasificar en dos grupos: por una parte, los que se basan en técnicas de implantación iónica, y por otra parte, los basados en técnicas *bonding** (que podríamos traducir como “adhesión”). En la Figura VI.1 mostramos un resumen de las principales técnicas (con su nombre comercial), así como algunas de las compañías que las emplean.

VI. 1. a) SIMOX [Colinge 1997, Bernstein y Rohrer 2000, Cristoloveanu 2001]

La denominación SIMOX corresponde al inglés **S**eparation by the **IM**plantation of **OX**igen (separación mediante la implantación de oxígeno), y se refiere a la implantación a nivel epitaxial de moléculas de Oxígeno (muy energéticas) en una oblea convencional (Figura VI.2).

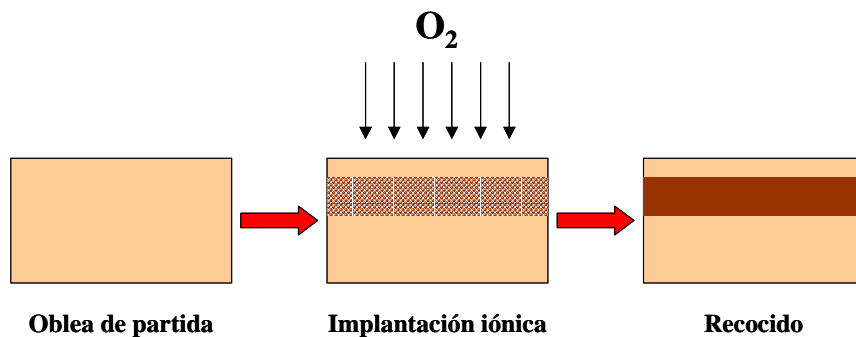


Figura VI.2. Fases del proceso SIMOX

Una vez que se ha implantado una dosis suficiente de Oxígeno, se procede al recocido de la oblea. De esta manera se forma el SiO_2 correspondiente al óxido enterrado, y además se recristaliza la capa de Silicio por encima del mismo (que formará la capa activa de los dispositivos), lo que permite reparar el daño producido en la estructura cristalina por las especies altamente energéticas utilizadas en la implantación. Por otra parte, la expansión en volumen del SiO_2 provoca que con frecuencia aparezcan dislocaciones en la capa de Silicio, que pueden causar la aparición de corrientes de fugas en los dispositivos.

VI. 1. b) BGSOI/BESOI [Bernstein y Rohrer 2000, Cristoloveanu 2001]

Corresponden a técnicas “*bonding*” con los siguientes procesos (ver Figura VI.3): En primer lugar, se crece una capa de óxido en dos obleas independientes (a). Posteriormente, se “pegan” las dos obleas uniando los óxidos (b). Seguidamente, se elimina parte del sustrato de la oblea superior mediante técnicas como el *grind* (“limado”), en el caso de BGSOI, o el *et-*

* El bonding se basa en la atracción que experimentan dos superficies hidrofílicas entre sí. Una vez puestas en contacto, se forman de manera espontánea enlaces de hidrógeno, que pueden ser reforzados mediante un recocido adecuado [Colinge 1997].

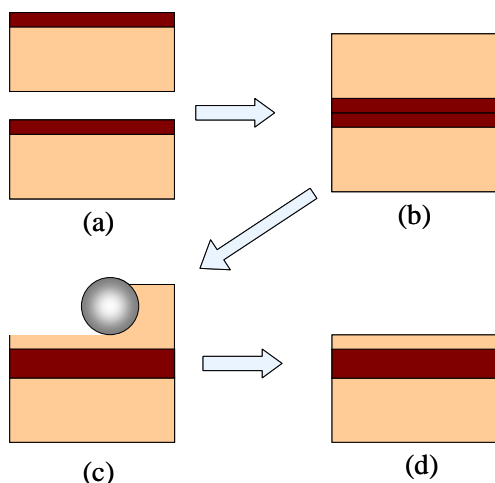


Figura VI.3. Fases del proceso BGSOI/BESOI

ching, en BESOI (c). Por último, se efectúa un recocido con el fin de que la capa activa tenga la suficiente calidad cristalina (d), obteniéndose finalmente la oblea SOI.

El principal problema de esta técnica es que requiere el uso de dos obleas para formar la oblea SOI final, con el consiguiente incremento de los costes.

VI. 1. c) Smart Cut [Bruel 1995, Bruel 1996, Cristoloveanu 2001]

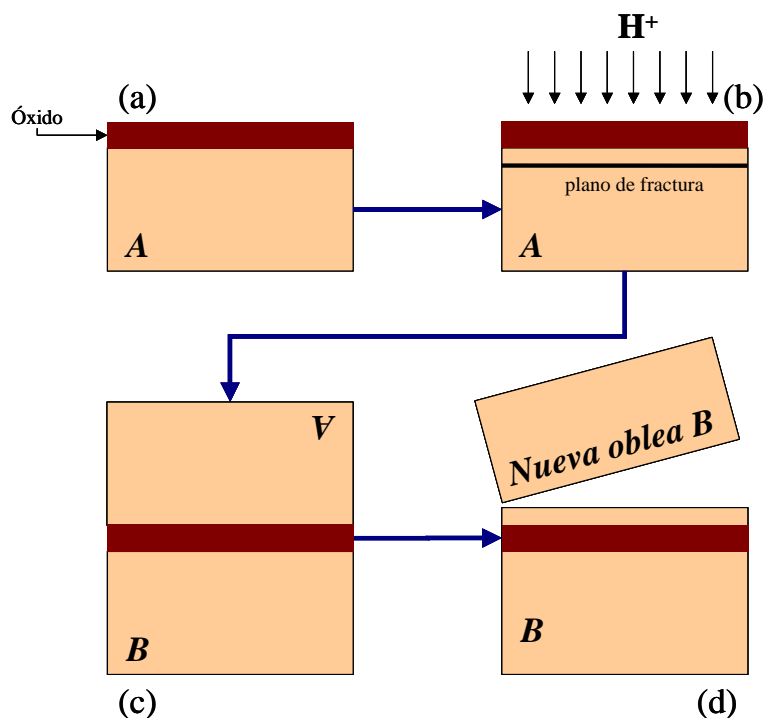


Figura VI.4. Fases del proceso Smart Cut

Aunque propiamente se trate de una técnica *bonding*, también se vale de la implantación en una fase del proceso. La fabricación de la oblea SOI (Figura VI.4) comienza con la oxidación de una primera oblea A de Silicio (a). Posteriormente, se procede a la implantación de iones de hidrógeno (protones) a través de la capa de óxido, a la profundidad deseada para de este modo fijar el espesor de la capa activa de Silicio final (b). A continuación se procede al “pegado” de una segunda oblea B de Silicio (que servirá como substrato de la oblea SOI) al óxido previamente formado (c). Mediante un proceso de recocido térmico, se consigue crear una línea de

fractura en el plano de implantación de H^+ , de modo que se puede cortar la oblea *A* (*Smart Cut* o “corte inteligente”) (d). De este modo, la oblea inicial puede ser empleada de nuevo como oblea *B* para el siguiente proceso, con lo cual no es desperdiciada como en el caso de las técnicas BGSOI o BESOI. Finalmente, se procede al recocido de la oblea SOI así formada con el fin de que la capa activa adquiera la calidad electrónica requerida para su posterior uso en el proceso MOS.

Wafer diameter	100 to 300 mm	
Wafer thickness	375 to 775 μm (varies by wafer diameter)	
SOI thickness	50 nm to 100 μm^*	
SOI thickness uniformity	Down to ± 5 nm**	
Silicon crystal orientation	< 100 >	
Buried oxide thickness	100 nm to 3 μm	
Box thickness uniformity	± 10 nm	
Wafer crystal (active & handle wafers)	COP's free material, CZ	
Wafer type & resistivity (active layer & handle wafer)	P&N type Standard: 1-100 Ohm.cm High resistivity: >1KOhm.cm***	
*Thick film SOI >1.5 μm requires epitaxial deposition after Smart-Cut® process	**All sites of all wafers are within $\pm 5\%$ nm using Acumap measurement (3 sigma calculation)	***High resistivity substrate is fully compatible with Smart-Cut® process

Figura VI.5. Especificaciones técnicas de las obleas UNIBOND® 1997, Munteanu *et al.*, 1997], y además su coste es notablemente reducido en comparación con las técnicas BGSOI/BESOI [Colinge 1997]. La densidad de defectos en la capa activa es muy baja, y sus propiedades eléctricas son excelentes. Por otra parte, el óxido enterrado es de una calidad comparable a la del óxido de puerta. Además, para la producción de obleas en masa únicamente se requieren equipos convencionales, y las combinaciones entre el óxido enterrado y el espesor de la capa activa son múltiples, permitiendo su uso para cualquier tipo de configuración SOI [Cristoloveanu 2001].

VI. 1. d) ELTRAN y NANOCLEAVE

Ambas técnicas son en esencia similares al *Smart Cut*, diferenciándose principalmente en la forma de efectuar el corte de la oblea inicial para formar la oblea SOI. En el caso de *Eltran*, se fundamenta en el uso de capas finas de Silicio poroso (que sirven de plano de fractura) y en el posterior corte mediante chorro de agua, que permite eliminar posibles deformaciones en la oblea. Por su parte, la técnica *Nanocleave* de la empresa SiGen se basa en la formación previa sobre la oblea inicial de una capa epitaxial de alta calidad que formará la capa activa de la oblea SOI final. El proceso de fractura se realiza en este caso a nivel de capas atómicas, por lo que se consiguen superficies con un nivel de rugosidad extremadamente bajo.

En el caso de los transistores FDSOI bajo estudio, han sido fabricados en obleas UNIBOND® elaboradas mediante la técnica *Smart Cut*. Las especificaciones técnicas para los substratos SOI UNIBOND® del fabricante, Soitec, se indican en la Figura VI.5. Este tipo de obleas permite capas activas de más alta calidad que las proporcionadas por las técnicas SIMOX [Colinge

VI. 2. Análisis experimental

VI.2. a) Fabricación de los dispositivos

Los dispositivos FDSOI analizados han sido fabricados en el LETI de Grenoble, Francia. A continuación vamos a mencionar algunos detalles acerca del proceso de fabricación [Vanmackelberg *et al.* 2002]. Como indicamos anteriormente, el material de partida son obleas UNIBOND[®], en este caso con diámetro de 200 mm y un espesor del óxido enterrado de 0.4 μm . La longitud de puerta de los transistores es de 0.25 μm . Mediante un proceso de canal en *recess* se han conseguido espesores para la capa activa de 30 a 40 nm. El óxido de puerta ha sido crecido mediante una técnica LOCOS (*LOC*al *O*xidation of *S*ilicon, oxidación localizada de Silicio) con un espesor de 5.5 nm, y además se han empleado implantes de campo para evitar posibles fugas laterales.

Para la formación del contacto de puerta, mediante litografía DUV (*Deep Ultra-Violet*, ultravioleta profundo), que permite una excelente resolución, se depositó una capa de polisilicio de 200 nm de grosor. Con el fin de aislar los contactos de puerta, fuente y drenador, se procedió a la formación de una región de óxido de *spacer* de 80 nm. Las regiones de fuente y drenador fueron implantadas posteriormente aplicándose a continuación un proceso de RTA (*Rapid Thermal Annealing*, Recocido Térmico Rápido) a 950° C / 15s.

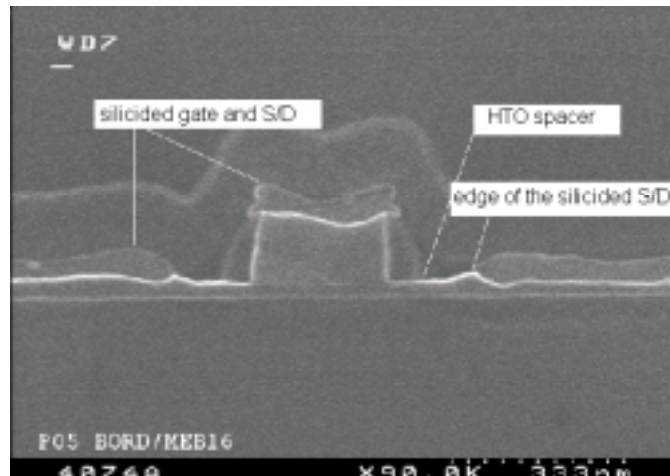


Figura VI. 6. Microfotografía SEM del FDSOI MOSFET de 0.25 μm

Con el objetivo de reducir las resistencias de los contactos, se llevó a cabo un tratamiento a posteriori con siliciuros de Titanio (TiSi_2). De este modo, se consiguió una resistencia cuadrada de 10 Ω / \square , en lugar de los 100 Ω / \square para una puerta de polisilicio típica. Finalmente, se efectuó un proceso de metalización de tres niveles con conexiones en W y planarización de los óxidos intermetálicos mediante un procedimiento CMP (*Chemical-Mechanical Polishing*, pulido

químico-mecánico). En la Figura VI. 6 mostramos una microfotografía de la sección transversal del dispositivo final.

VI. 2. b) Procedimiento de medida y extracción de parámetros

En esta sección vamos a señalar brevemente las principales características del procedimiento de extracción de parámetros a alta frecuencia, tanto dinámicos como de ruido. Además, comentaremos algunas de las principales propiedades observadas a nivel experimental para los dispositivos estudiados, junto con algunas de las aplicaciones analógicas y digitales que ya han sido fabricadas con los mismos.

Los parámetros dinámicos y de ruido que mostraremos en este capítulo fueron obtenidos empleando un analizador de redes HP8510, un sistema de medidas de ruido HP8971 y sondas para microondas Cascad con contacto de Tungsteno [Vanmackelberg *et al.* 2002]. Con el objetivo de minimizar la influencia del ruido del receptor en las medidas de ruido, se emplearon aislantes de alta calidad. Los parámetros dinámicos S fueron medidos hasta 40 GHz y las figuras de ruido en el rango de 1 a 18 GHz.

La extracción de parámetros del circuito equivalente de pequeña señal se ha realizado a partir de los parámetros S medidos en el laboratorio, para lo cual se ha prestado especial atención al diseño de las estructuras de medida y calibrado. El procedimiento de extracción seguido corresponde al expuesto por [Raskin *et al.* 1997, Raskin *et al.* 1998]. Se trata de un método altamente novedoso, que permite extraer, a partir de un único punto de polarización en saturación, los valores de los parámetros extrínsecos e intrínsecos del circuito equivalente de pequeña señal. Para la determinación de las admitancias parásitas de entrada y de salida, es necesario efectuar las medidas para al menos dos dispositivos con anchura total diferente.

El procedimiento de extracción se basa en el uso de regresiones lineales aplicadas a las relaciones entre partes reales e imaginarias de parámetros Z calculados a partir de los parámetros S medidos. Las características del método permiten captar y reproducir de manera adecuada los parámetros no quasi-estáticos (R_i y τ) del circuito equivalente, lo cual es de vital importancia en el rango de frecuencias de operación de RF y microondas. Más detalles acerca del procedimiento pueden encontrarse en las referencias anteriormente citadas.

El cálculo de los cuatro parámetros típicos de ruido (NF_{min} , R_n , $|\Gamma_{opt}|$ y $\angle\Gamma_{opt}$) se efectúa a partir de las medidas de figura de ruido F_{50} (con un único generador de impedancia de 50 Ω) en función de la frecuencia. Basándose en la dependencia cuadrática de este parámetro con la frecuencia, es posible extraer el valor de R_n y de $|\Gamma_{opt}|$ de manera directa. Posteriormente, empleando un modelo con dos fuentes de ruido no correlacionadas, se obtienen los valores de los cuatro parámetros de ruido. Los resultados obtenidos para los parámetros de ruido mediante este

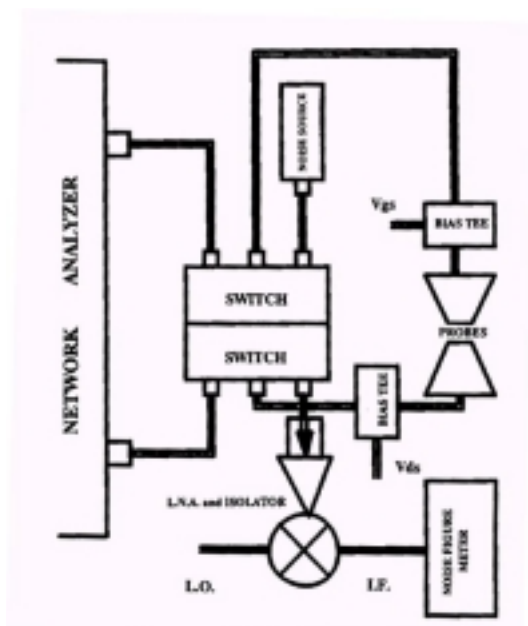


Figura VI.7. Esquema del montaje experimental para la medida del ruido [Dambrine et al. 1993]

vieron para NF_{min} y G_{ass} a 2 GHz con un proceso FDSOI MOSFET de 0.25 μm en comparación con otros resultados publicados en la literatura.

Como ejemplo, podemos destacar que se encontraron valores de NF_{min} de 0.8 dB y una ganancia asociada de 13 dB a 6 GHz. Los estudios experimentales llevados a cabo indican que sería totalmente factible diseñar un amplificador de bajo ruido (LNA, *Low Noise Amplifier*) con una figura de ruido menor de 3 dB y una ganancia asociada de 15 dB a 18 GHz [Vanmackelberg et al. 2002].

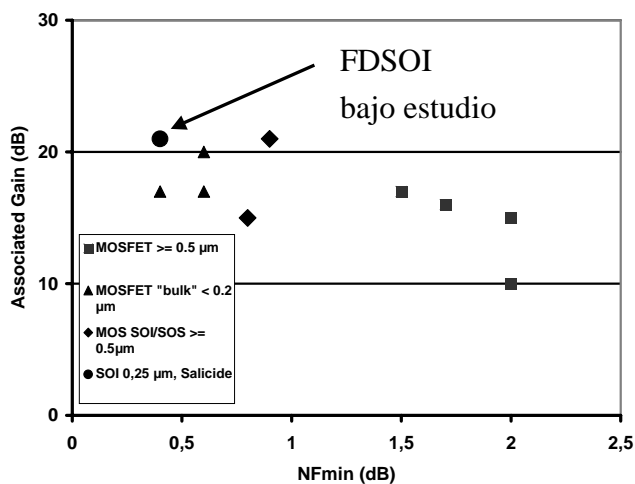


Figura VI.8. Los dispositivos FDSOI bajo estudio presentan uno de los mejores rendimientos a bajo ruido publicados en la literatura (en la Figura, NF_{min} y G_{ass} a 2 GHz) [Vanmackelberg et al. 2002]

VI. 2. c) Aplicaciones de los dispositivos

Estos dispositivos FDSOI han sido empleados para el diseño de diferentes aplicaciones digitales y analógicas para alta frecuencia. Sirva como ejemplo el caso de un oscilador CMOS en anillo (*inverter ring oscillator*) de 90 etapas, que ha mostrado retardos de alrededor del 30%

método de extracción ha mostrado un excelente acuerdo con los métodos de medida convencionales, siendo en cambio mucho más sencillo y fácil de implementar en el laboratorio. Más detalles acerca del procedimiento pueden encontrarse en [Dambrine et al. 1993].

Los dispositivos FDSOI estudiados han demostrado poseer unas excelentes propiedades en comparación con dispositivos *bulk* y PDSOI comparables en términos de ganancia, comportamiento frente a la frecuencia, ruido, etc. [Vanmackelberg et al. 2002]. En la Figura VI.8 mostramos los resultados experimentales que se obtu-

más rápidos que un equivalente *bulk* en condiciones de bajo consumo (Figura VI.9). En general, el rendimiento en circuitos digitales ha mostrado ser comparativamente muy superior al de transistores *bulk* MOSFET en condiciones de bajo consumo y elevada velocidad

También podemos destacar que han sido fabricados varios OTAs (*Operational Transconductance Amplifier*), en los que se ha confirmado la notable reducción de la influencia de las capacidades parásitas en comparación con equivalentes *bulk*. Como ejemplo de otras aplicaciones que han sido fabricadas con estos dispositivos podemos mencionar las siguientes: un modu-

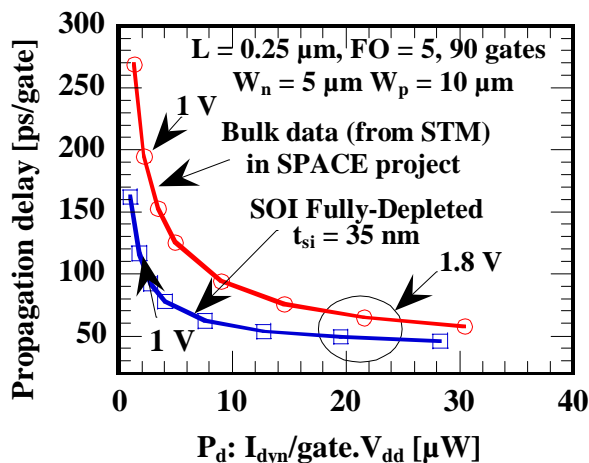


Figura VI.9. Valores experimentales para el retardo de propagación en función del consumo: comparativa entre *bulk* y FDSOI bajo estudio. [Vanmackelberg et al. 2002]

lador delta-sigma, un generador de onda cuadrada RF (capaz de operar a una frecuencia máxima de 4.8 GHz a 2 V de tensión de alimentación), filtros pasabaja con dos entradas diferenciales analógicas, filtros digitales, mezcladores, etc. Finalmente, también ha sido fabricada la parte RF de un receptor GSM, comprobándose su operatividad a 2 GHz para una tensión de alimentación

de 1.8 V. Por tanto, podemos afirmar que los FDSOI analizados presentan un enorme potencial para su utilización en aplicaciones sin hilos, donde deben combinarse en las partes RF y digital las condiciones de operación a alta frecuencia, bajo consumo y alta velocidad.

VI. 3. Simulación MC2D de las estructuras fabricadas

VI. 3. a) Estructura simulada

El primer paso a la hora de efectuar una simulación MC2D de dispositivos reales consiste en definir una estructura que sea lo más fiel posible a la topología del dispositivo experimental. Además, deben tenerse también en cuenta las limitaciones que en cuanto a tiempo de cálculo impone la consideración de geometrías complejas. Por tanto, es preciso alcanzar un compromiso entre estas dos condiciones, respetándose las características más significativas de la topología y al mismo tiempo intentando minimizar el tiempo de CPU.

En el caso del dispositivo que nos ocupa, en primer lugar debe tenerse en cuenta la existencia de regiones de solapamiento (*overlap*) entre el contacto de puerta y las islas n^+ de fuente y drenador, fenómeno que aparece en los dispositivos MOSFET reales a causa de los procesos de difusión que tienen lugar cuando se procede a la implantación de dichas regiones [Sze 1983, Ghandhi 1994]. Además, también debe considerarse la presencia del óxido de *spacer*, que sirve para aislar el contacto de puerta de las regiones de fuente y drenador. En nuestra simulación, hemos tenido en cuenta los valores reales del espesor del óxido de puerta y del óxido enterrado, la anchura de las regiones de *spacer* (L_{sp}) y solapamiento (L_{ov}), el espesor de la capa activa de Silicio (t_{si}), el dopaje del sustrato y de las islas para los dispositivos medidos experimentalmente. También consideraremos la presencia de cargas en el óxido frontal, no considerando, en primera aproximación, la existencia de cargas en la interfaz con el óxido enterrado. En la Figura VI.10 mostramos el diagrama de la estructura MC2D simulada [Rengel *et al.* 2002b]. Como puede comprobarse, se trata de una simplificación (por ejemplo, la geometría exacta de los contactos no ha sido considerada con el objetivo de minimizar el tiempo de CPU) de la geometría real del dispositivo, que puede observarse en la Figura VI.6.

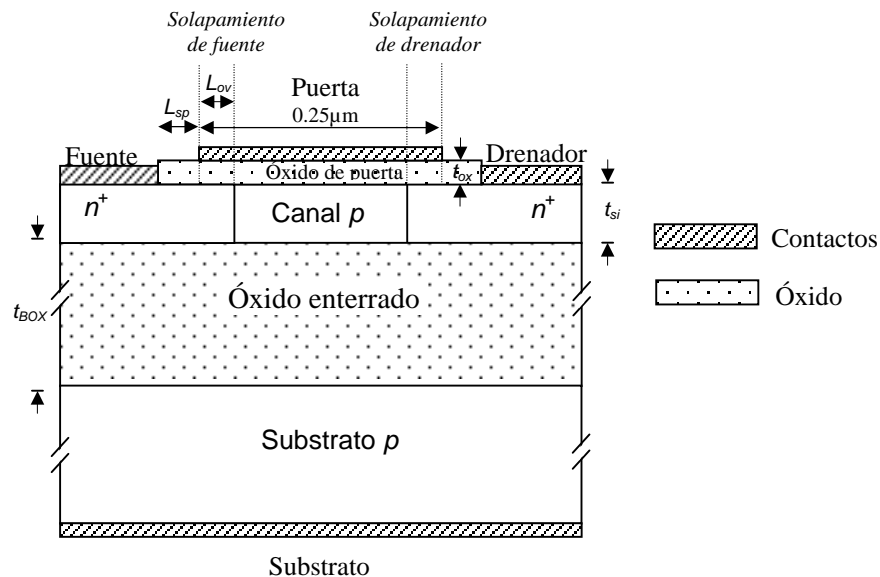


Figura VI.10. Estructura MC2D simulada

Para el sustrato subyacente al óxido enterrado, hemos considerado un dopaje de $2 \times 10^{22} \text{ m}^{-3}$; en cualquier caso, hemos comprobado que (en los rangos de polarizaciones y frecuencias de operación considerados) la influencia de este dopaje es despreciable a causa del suficiente espesor del óxido enterrado. Respecto al dopaje de las islas n^+ , hemos considerado la concentración de las regiones de *overlap* para toda la región n^+ con el fin de minimizar el tiempo de CPU. No obstante, en un dispositivo real, cerca de los contactos usualmente se emplean dopajes mucho más elevados. Esto daría lugar a un cambio en la resistencia de las regiones óhmicas adya-

centes a dichos contactos, que puede ser tenido en cuenta a posteriori cuando se evalúe el efecto de las resistencias extrínsecas [Mateos *et al.* 1996, Rengel *et al.* 2001]. De igual modo, las posibles discrepancias en cuanto a la geometría de las regiones de contacto (islas sobreelevadas con respecto al canal conductor) también pueden ser tenidas en cuenta en dicha etapa del proceso de análisis.

En la Tabla VI.1 mostramos un resumen de los valores que se han empleado para los diferentes parámetros indicados en la Figura V.10.

t_{si}	30 nm
t_{ox}	5.5 nm
L_g	250 nm
L_{ov}	45 nm
L_{sp}	80 nm
t_{BOX}	400 nm
Dopaje del canal	$8 \times 10^{23} \text{ m}^{-3}$
Dopaje de las islas n^+	$2 \times 10^{24} \text{ m}^{-3}$

Tabla VI.1. Parámetros físicos y geométricos considerados en la simulación

Los contactos en los dispositivos fabricados fueron realizados mediante una técnica *multifinger*. En concreto, las medidas experimentales a nuestra disposición corresponden a dos dispositivos diferentes, ambos con 8 dedos. En uno de los casos, la anchura de cada uno de los dedos (W_f) es de $6.25 \mu\text{m}$ (anchura total $W = 8 \times 6.25 \mu\text{m} = 50 \mu\text{m}$) y para el otro dispositivo de $12.5 \mu\text{m}$ ($8 \times 12.5 \mu\text{m} = 100 \mu\text{m}$ de anchura total). En nuestro caso, debido al carácter bidimensional del simulador MC2D, esta anchura corresponde a la dimensión no simulada. Por tanto, nuestra simulación correspondería a los resultados para un dispositivo ideal en el cual no existieran efectos parásitos asociados a una W finita, por lo que cuando efectuemos la comparación de parámetros dinámicos y de ruido de nuestros resultados con los experimentales, nos centraremos en los dispositivos con la anchura mayor ($8 \times 12.5 \mu\text{m}$). De ese modo, la posible influencia de los efectos asociados a los límites físicos del dispositivo, como por ejemplo las capacidades y corrientes de bordes en los extremos de los dedos, es lo más reducida posible.

En cualquier caso, debemos señalar que una vez descontado el efecto de los parámetros parásitos, los resultados de las medidas experimentales son muy similares para ambos dispositivos (como ejemplo, en las características $I-V$ mostraremos los resultados experimentales para las dos configuraciones).

VI. 3. b) Características estáticas

1. Características I-V

El primer paso en nuestro análisis de los dispositivos es la comparación entre los resultados MC2D y las medidas experimentales para las características I - V . En la Figura VI.11 mostramos las características de salida para diferentes valores de V_{GS} y la de transferencia (recuadro interior) para $V_{DS} = 1.0$ V. Las líneas continuas corresponden a los valores experimentales, mientras que los círculos representan los resultados obtenidos con el MC2D.

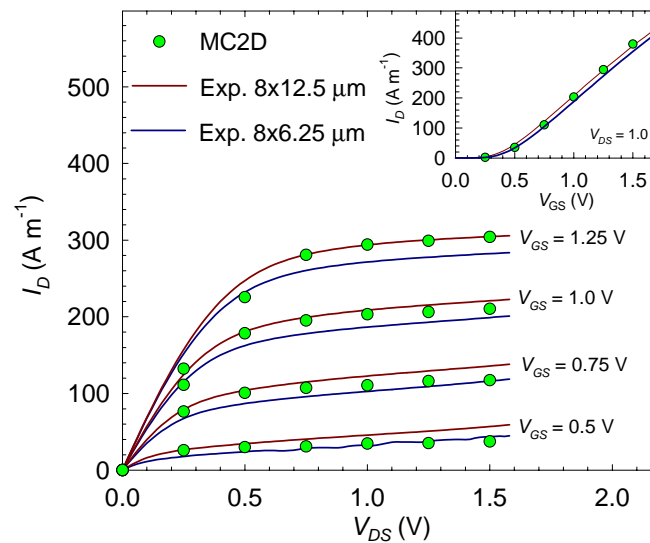


Figura VI.11. Características de salida para V_{GS} desde 0.5 hasta 1.25 V. El recuadro interior muestra la característica de transferencia para $V_{DS} = 1.0$ V (en saturación)

Como puede observarse en la figura, existe un buen ajuste entre los resultados MC2D y los datos experimentales. Además, los resultados para el voltaje umbral de los dispositivos (aproximadamente $V_T = 0.25$ V) son adecuadamente reproducidos en la simulación MC2D. Con el fin de lograr este ajuste, fue necesario alcanzar un compromiso entre diferentes factores [Rengel *et al.* 2002b]. Por una parte, deben ser tenidas en cuenta las resistencias extrínsecas en serie de fuente y drenador, como hemos comentado con anterioridad. Los resultados de la extracción experimental del circuito equivalente para estas resistencias fueron $R_S = 3.6 \times 10^{-4} \Omega\text{m}$ y $R_D = 3.3 \times 10^{-4} \Omega\text{m}$. En el caso de las simulaciones MC2D, debido a que el dispositivo simulado no reproduce exactamente la geometría de estos contactos, fue necesario considerar estas resistencias de manera parcial con el fin de compensar el aumento de resistencia en nuestro caso asociado al menor espesor de las regiones de fuente y drenador.

Llegados a este punto es necesario comentar cual es el efecto sobre estas características de la presencia de cargas en el óxido. En las simulaciones MC2D hemos comprobado que la carga superficial en la interfaz frontal del óxido con la región p de la capa activa tiene efecto únicamente sobre el potencial umbral, por lo que puede ser asimilada en el potencial de contacto

de la unión MOS de puerta. Sin embargo, el valor de la carga superficial en las regiones de *spacer* y solapamiento es un factor clave para lograr un adecuado ajuste de los niveles de corriente en el dispositivo[†] [Rengel *et al.* 2002b], ya que afecta de manera directa a la pendiente de las

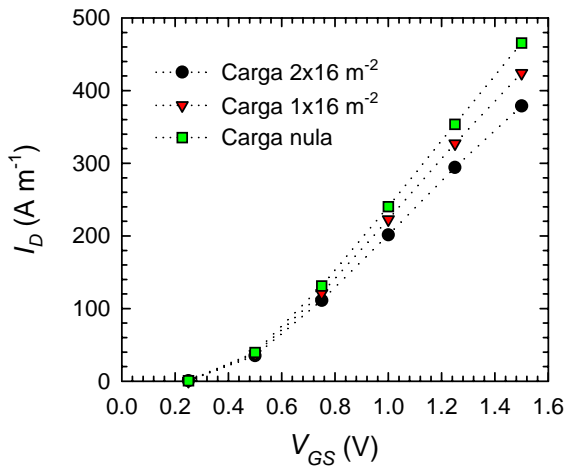


Figura VI.12. Efecto de la carga superficial en las regiones de *spacer* y solapamiento en la característica de transferencia para $V_{DS} = 1.0$ V

características de transferencia (Figura VI.12) pues modula la resistencia de acceso al canal al reducir la concentración de portadores bajo la interfaz del óxido con dichas regiones. El valor que nos permite lograr el mejor ajuste de transconductancia al valor experimental corresponde a considerar una carga de 2×10^{16} m⁻² en las regiones de *overlap* y *spacer*.

2. Influencia de la variación de parámetros geométricos sobre la transconductancia

Vamos a detenernos en este punto para estudiar cual es el efecto, sobre la característica de transferencia y en condiciones de saturación, de la variación de algunos parámetros experimentales tales como son t_{si} , L_{ov} o L_{sp} de manera independiente, manteniendo el resto de parámetros constantes.

♦ En la Figura VI.13 mostramos los valores obtenidos para tres valores de t_{si} , 30 nm (correspondiente al valor experimen-

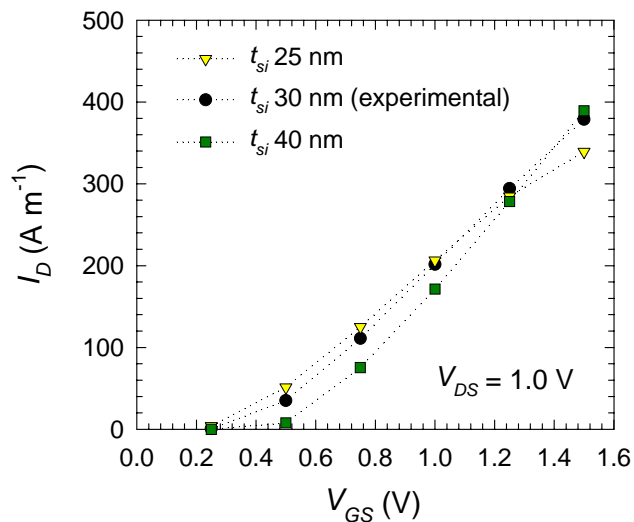


Figura VI.13. Característica de transferencia para 3 espesores de la capa activa diferentes, todos para $V_{DS} = 1.0$ V

[†] En el caso de transistores reales, existe una densidad superficial de estados superior en las regiones de solapamiento, especialmente en la región de drenador, a causa principalmente de las mayores energías alcanzadas por los portadores en dichas regiones. Por tanto, dicha densidad superficial puede variar con las condiciones de polarización. En nuestro caso, por simplicidad hemos considerado una carga superficial idéntica para todo el rango de polarizaciones estudiado.

tal de este parámetro en el dispositivo fabricado), y otros dos valores, 40 nm y 25 nm. Como podemos observar en la figura, la influencia del espesor de la capa activa es totalmente similar a la que encontramos para los dispositivos FDSOI teóricos estudiados con anterioridad. La reducción del espesor de la capa activa de Silicio provoca por una parte una reducción del voltaje umbral, y por otra parte, una disminución de la transconductancia (que se puede apreciar en la pendiente de la característica de transferencia), por idénticos motivos a los comentados en el Capítulo V.

Hay que resaltar el hecho de que para el espesor t_{si} más fino (25 nm) se aprecia que a valores de V_{GS} mayores de 1.2 V la pendiente de la característica de transferencia disminuye de manera apreciable, lo cual es indicativo de que el dispositivo se aproxima al régimen de operación triodo para esos valores. Este fenómeno tiene su origen en la mayor resistencia de las zonas de acceso al canal para ese valor de t_{si} , por lo que en el caso de fabricar un dispositivo con dicho espesor sería necesario prestar especial atención a la geometría de los contactos de fuente y drenador con el objetivo de minimizar estos efectos.

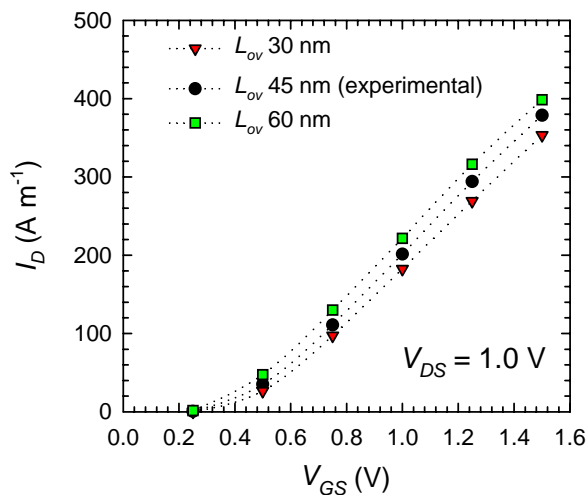


Figura VI.14 Característica de transferencia para 3 valores de L_{ov} diferentes, todos para $V_{DS} = 1.0$ V

◆ Con respecto a la influencia de la longitud de solapamiento, en la Figura VI.14 hemos mostrados los valores obtenidos para L_{ov} de 45 nm (la que corresponde a los dispositivos simulados), 30 nm y 60 nm. En este caso, el efecto principal tiene lugar sobre el valor de la tensión umbral, apreciándose una reducción de la misma a medida que L_{ov} es mayor. En cuanto al efecto sobre la pendiente en la característica de transferencia, debe observarse en principio un aumento de la transconductancia para el caso de L_{ov} mayor (a causa de la reducción de la longitud de puerta efectiva en este caso). No obstante, con posterioridad estudiaremos con más detalle el efecto de variar L_{ov} sobre los parámetros dinámicos.

◆ Por último, hemos analizado el efecto de modificar la longitud del óxido de *spacer* (L_{sp}). En la Figura IV.15 mostramos los resultados obtenidos para la característica de transferencia para el caso de L_{sp} de 80 nm (la experimental), y dos valores más, uno superior (100 nm) y otro inferior (60 nm). Como podemos observar, a valores de V_{GS} menores de 0.8 V las diferencias apenas son significativas. Sin embargo, para tensiones de puerta superiores, la pendiente de la característica es mayor a medida que L_{sp} es menor. Este fenómeno puede asociarse al hecho de que las cargas en el óxido en la región de *spacer* provocan una reducción de la concentración

de portadores bajo dicha interfaz, de manera que se aumenta la resistencia de acceso a la región del canal bajo puerta. Por tanto, cuanto menor sea el valor de L_{sp} , menor será la influencia de dicho efecto, por lo que se consiguen mayores niveles de corriente. Sin embargo, es necesario, desde el punto de vista experimental, mantener una región de *spacer* lo suficientemente ancha como para evitar efectos parásitos entre los contactos, por lo que este efecto debe tenerse en cuenta en la posible reducción de este parámetro.

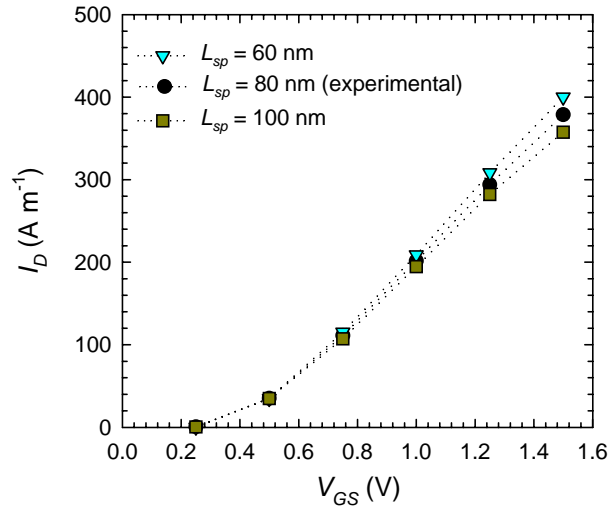


Figura VI.15 Característica de transferencia para 3 valores de L_{sp} diferentes, todos para $V_{DS} = 1.0$ V

3. Ratio g_m / I_D

La relación entre la transconductancia extrínseca y la corriente de drenador es una figura de mérito importante en el diseño de aplicaciones analógicas [Silveira *et al.* 1996, Colinge 1998]. La transconductancia representa la amplificación proporcionada por el dispositivo, mientras que la corriente de drenador está relacionada con la potencia disipada para obtener dicha

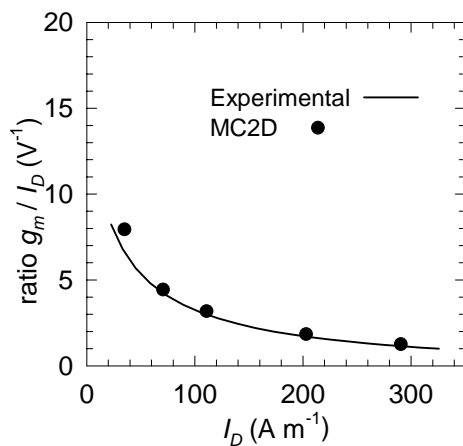


Figura VI.16. Ratio g_m / I_D en función de I_D para $V_{DS} = 1.0$ V.

amplificación. Por tanto, el ratio g_m / I_D es un factor de calidad que puede ser interpretado como una medida de la “eficiencia de generación de transconductancia” [Silveira *et al.* 1996]. Los dispositivos FDSOI bajo estudio han mostrado un rendimiento significativamente superior al de PDSOI y *bulk* MOSFETs [Vanmackelberg *et al.* 2002]. En nuestro caso, obtenemos un excelente acuerdo entre los resultados MC2D y los valores experimentales, como puede apreciarse en la Figura VI.16.

4. Concentración de portadores

Aprovechando la exhaustiva información proporcionada por el simulador MC2D, vamos a continuación a analizar algunas magnitudes internas de interés, lo cual nos será de gran ayuda a la hora de evaluar la respuesta dinámica y de ruido de los dispositivos.

En la Figura VI.17 hemos representado los valores obtenidos para la concentración de electrones bajo la puerta para $V_{DS} = 1.0$ V y tres valores diferentes de tensión de puerta, $V_{GS} = 0.25$ V, 0.75 V y 1.25 V, todas ellas en condiciones de saturación. En primer lugar, debemos mencionar que el valor para $V_{GS} = 0.25$ V corresponde a la condición de voltaje umbral, donde podemos apreciar como la capa de inversión comienza a aparecer justo en el extremo del canal adyacente a la región de solapamiento de fuente. A medida que aumenta V_{GS} aumenta el valor de la concentración de la capa de inversión (así como el porcentaje del canal ocupado por la

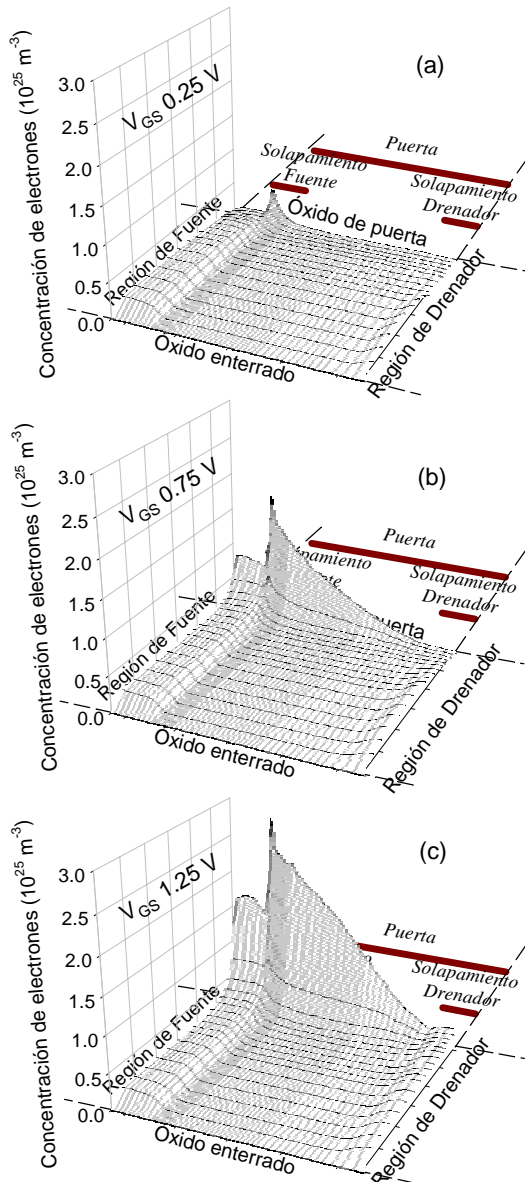


Figura VI.17. Concentración de electrones bajo el óxido de puerta para tres tensiones de puerta diferentes: 0.25 V (a), 0.75 V (b) y 1.25 V (c), todas con $V_{DS} = 1.0$ V

misma), proporcionando los portadores necesarios para que exista el flujo de corriente.

Por otra parte, un resultado interesante que se puede observar en esta figura es la presencia de una concentración de electrones importante en la región de solapamiento de fuente, mientras que en el caso de la región de solapamiento de drenador esta concentración es prácticamente nula. Sin embargo, para el caso del V_{GS} mayor, aparece una pequeña concentración de portadores en el lado de drenador, y la capa de inversión se extiende por la práctica totalidad del canal, lo cual es indicativo de que el dispositivo comienza a aproximarse al régimen de operación triodo. Por tanto, la región de solapamiento de drenador contribuye a que este régimen se alcance para tensiones de puerta menores, efecto que será mayor cuanto mayor sea L_{ov} , por lo que es de vital importancia que el valor de este parámetro sea lo menor posible con el fin de minimizar su influencia.

Por otra parte, debemos señalar que en la figura no hemos representado las regiones n^+ de fuente y drenador con el fin de poder visualizar con mayor detalle la concentración de porta-

dores en la región bajo puerta. No obstante, es necesario comentar que en las simulaciones hemos comprobado que la presencia de cargas en el óxido de *spacer* provoca una reducción notable de la concentración de portadores en las islas n^+ en la región bajo dicho óxido.

5. Velocidad y energía de los portadores

En la Figura VI.17 mostramos los valores de velocidad (Figura VI.18[a]) y energía (Figura VI.18[b]) de los electrones para $V_{DS} = 1.0$ V y un rango de tensiones de puerta de 0.5 a 1.25 V. Respecto a los valores de velocidad, es posible observar la presencia de una región de sobrevelocidad en el extremo del canal adyacente a la región de solapamiento de drenador. El máximo de la velocidad es menos pronunciado a medida que V_{GS} aumenta, fenómeno que puede asociarse a la menor tensión puerta-drenador en ese caso, que tiene como consecuencia la existencia de un campo eléctrico menos intenso en dicha región. En el caso de la energía, también se observan valores menores a tensiones de puerta elevadas; hay que señalar que para V_{GS} menores de 1.0 V, en la región de solapamiento de drenador existen valores significativos de energía (superiores a 0.35 eV), lo cual puede asociarse a la existencia de una región con campos eléctricos muy elevados.

En cualquier caso, hay que indicar que los valores máximos de energías están muy por debajo de la energía umbral de ionización (1.2 eV) lo que explica la ausencia de fenómenos de ionización por impacto que se ha observado en el rango de polarizaciones estudiado. Esta ausencia de fenómenos de ionización, junto con el vaciamiento total de huecos en la zona activa a

causa del reducido valor del espesor de la capa activa de Silicio de los dispositivos FDSOI estudiados son indicativos de una total ausencia de efectos de cuerpo flotante. Este hecho fue confirmado de manera experimental por dos factores: por una parte, la dependencia del voltaje umbral con la tensión V_{GP} de puerta posterior (*back-gate voltage*) alcanzó valores prácticamente ideales [Vanmackelberg *et al.* 2002]; por otra parte, los resultados para el ruido 1/f muestran un comportamiento a bajas frecuencias libre de efecto *kink*.

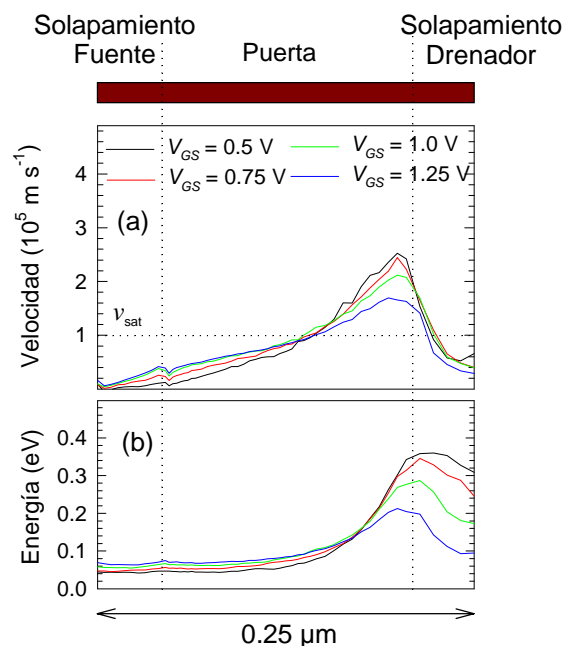


Figura VI.18. Velocidad y energía de los electrones bajo el óxido de puerta para $V_{DS} = 1.0$ V y diferentes valores de la tensión de puerta

6. *Mecanismos de scattering*

En la Figura VI.19 mostramos la densidad de mecanismos de *scattering* (totales, con impurezas, con fonones acústicos y con fonones ópticos) para dos condiciones de polarización en saturación, $V_{GS} = 0.5$ V y $V_{GS} = 1.25$ V, ambas con $V_{DS} = 1.0$ V. En primer lugar, para el caso de tensión de puerta menor hay que reseñar la notable influencia de los mecanismos de colisión con fonones de la red (tanto acústicos como ópticos) en la región de solapamiento de drenador, en contraste con la notable reducción de mecanismos de *scattering* con impurezas ionizadas. Este fenómeno es responsable de la disminución de la velocidad de los portadores en dicha región (Figura VI.18[a]), mientras que la energía total de los portadores (Figura VI.18[b]) conserva valores aún elevados en una longitud mayor, pues precisa de la emisión de varios fonones para su relajación. Sin embargo, para el caso de tensiones de puerta elevadas, la influencia de las colisiones con fonones es mucho menor, siendo por el contrario muy importante la influencia de los mecanismos de *scattering* con impurezas en la zona de solapamiento de drenador. Este fenómeno está asociado con el alejamiento de la condición de *pinch-off* previamente observado (Figura VI.17) para esa polarización, especialmente en la región de solapamiento.

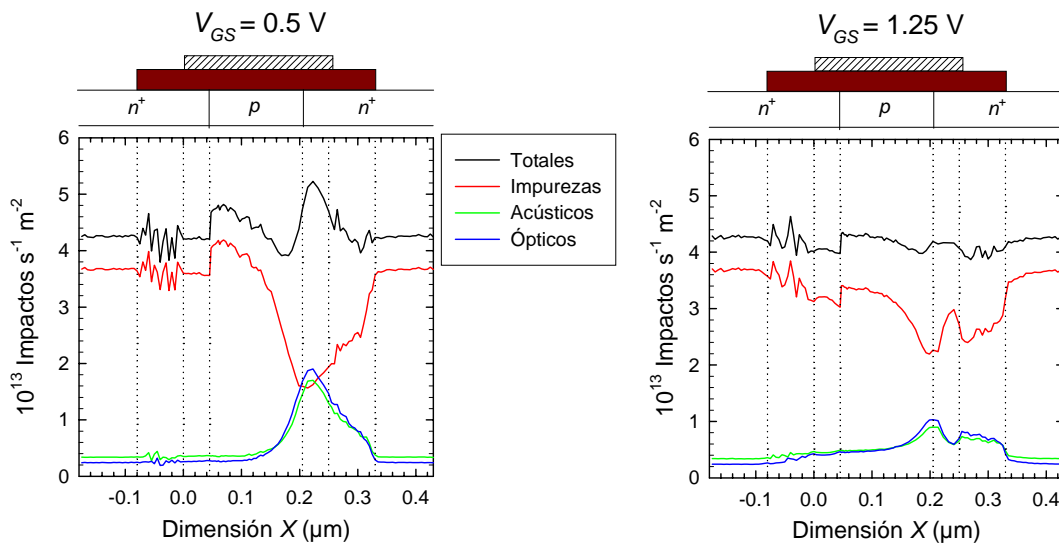


Figura VI.19. Densidad de mecanismos de *scattering* para dos condiciones de polarización, $V_{GS} = 0.5$ V (izda) y $V_{GS} = 1.25$ V (dcha), ambas con $V_{DS} = 1.0$ V

VI. 3. c) Parámetros dinámicos

A la hora de calcular los parámetros dinámicos, es necesario en primer lugar evaluar los valores de las capacidades parásitas del circuito equivalente de pequeña señal, C_{GS}^{ext} , C_{GD}^{ext} y C_{DS}^{ext} (Figura II.7) ya que en el procedimiento de extracción experimental de parámetros no es posible descontar estas capacidades de los valores “intrínsecos”. Una vez determinadas estas

capacidades, es posible incluir su efecto en los resultados de la simulación MC2D mediante el procedimiento detallado en la sección II.4.b.

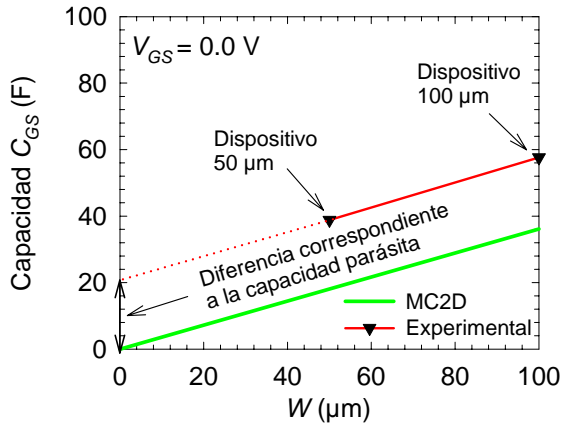


Figura VI.20. Capacidad C_{GS} en función de la anchura del dispositivo para $V_{GS} = 0.0$ V

total $8 \times 6.25 \mu\text{m}$ y $8 \times 12.5 \mu\text{m}$ respectivamente) como los obtenidos con el MC2D para la capacidad C_{GS} .

En el caso de los dispositivos con mayor anchura, las medidas experimentales muestran que los valores de sus capacidades parásitas (normalizados por la dimensión no simulada) son menores. En consecuencia, la comparación con los resultados MC2D ha sido efectuada en principio para este dispositivo; sin embargo, debemos hacer constar que, en general, una vez considerados los efectos de las capacidades parásitas en los resultados MC2D, los datos obtenidos para ambos dispositivos son muy similares.

Los valores que hemos obtenido para las capacidades parásitas del circuito equivalente del dispositivo con $W = 8 \times 12.5 \mu\text{m}$ son: $C_{GS}^{ext} = 214 \text{ fF mm}^{-1}$, $C_{GD}^{ext} = 126 \text{ fF mm}^{-1}$ y $C_{DS}^{ext} \approx 0 \text{ fF mm}^{-1}$. Mediante el uso de las ecuaciones II.34, calculamos los resultados MC2D del circuito equivalente de pequeña que mostraremos a continuación [Rengel *et al.* 2002b].

En la Figura VI.21 mostramos los valores de las capacidades del circuito equivalente de pequeña señal. En primer lugar, debemos resaltar el notable acuerdo observado entre los datos experimentales y los resultados obtenidos mediante el MC2D, con respecto tanto a la magnitud de los mismos como a la dependencia con la condición de polarización. Es necesario resaltar los valores extremadamente reducidos observados para la capacidad C_{DS} , cuyo origen, como comentamos en el capítulo anterior, es el excepcional aislamiento entre la zona activa del dispositivo y el sustrato subyacente que proporciona el óxido enterrado, lo cual es de vital importancia en aplicaciones analógicas de alta frecuencia ya que permite reducir el acoplamiento con el sustrato.

En cuanto a la capacidad C_{GS} , para valores de V_{GS} inferiores a la tensión umbral, esta capacidad corresponde prácticamente a la capacidad en vaciamiento; para tensiones superiores a la umbral, la concentración de la capa de inversión aumenta de manera notable, especialmente

Para la determinación de estas capacidades, debemos recurrir a la comparación entre los resultados experimentales y los MC2D obtenidos para condición de corriente nula, donde de ese modo únicamente aparecen los efectos asociados a capacidades “geométricas”, tanto intrínsecas como extrínsecas. En la Figura VI.20 mostramos como ejemplo los valores (en función de la anchura total W) tanto experimentales (para los dispositivos con anchura

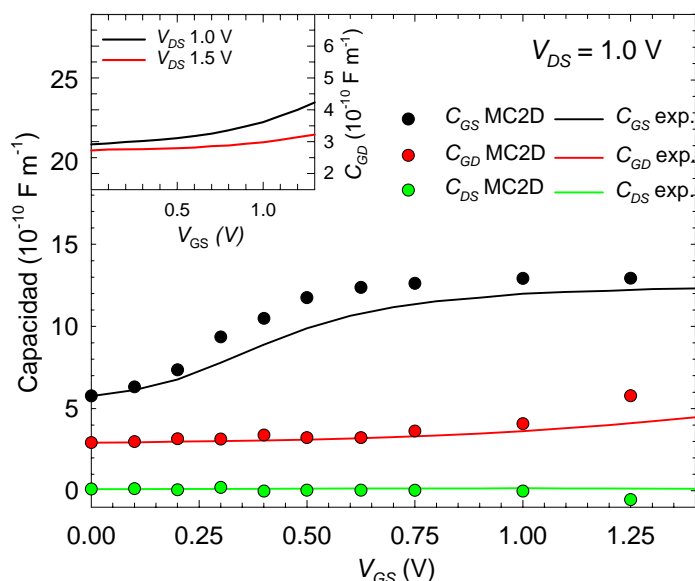


Figura VI.21. Capacidades del circuito equivalente de pequeña señal en función de la tensión de puerta para $V_{DS} = 1.0 \text{ V}$. Las líneas representan los resultados experimentales, y los círculos los resultados MC2D. El recuadro interior muestra los valores de C_{GD} en función de V_{GS} para dos valores diferentes de V_{DS} .

en la zona del canal adyacente a la región de solapamiento de fuente (Figura VI.17). En consecuencia, la capacidad C_{GS} también aumenta (Figura VI.21). Sin embargo, hay que indicar que a partir de una V_{GS} de aproximadamente 0.75 V, el incremento de carga bajo la puerta en la región más cercana a la fuente tiene una dependencia prácticamente lineal con la tensión de puerta; como resultado de ello, C_{GS} alcanza un valor de saturación. En este caso, debemos destacar que se ha observado una presencia importante de concentración de portadores en la región de solapamiento de fuente que contribuye de manera notable a este comportamiento, ya que la capacidad asociada a la variación de dicha carga con V_{GS} representa una parte importante de la capacidad puerta-fuente total.

En cuanto a los valores de C_{GD} , se observa que son prácticamente constantes con V_{GS} para el V_{DS} considerado, excepto para tensiones de puerta superiores a 1.0 V, donde comienza a observarse un aumento de dicha capacidad. El motivo de este aumento es la aparición de una concentración de portadores apreciable en la región bajo puerta más próxima al drenador (Figura VI.17) que contribuye al au-

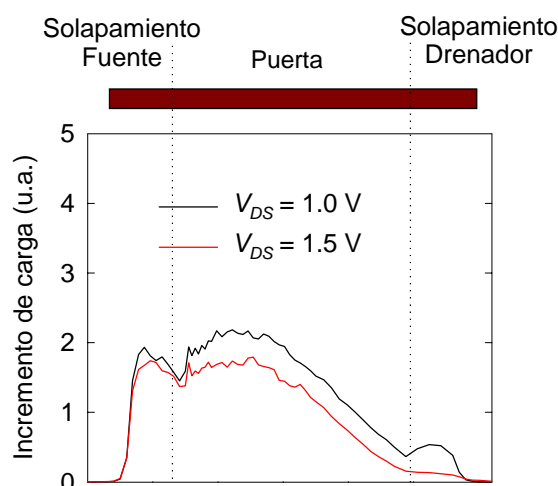


Figura VI.22. Incremento de carga bajo la puerta para dos tensiones de drenador diferentes, 1.0 y 1.5 V, ambos con $V_{GS} = 1.0 \text{ V}$. El incremento de tensión en puerta considerado es de 0.1 V

mento de la capacidad, que hasta entonces presentaba prácticamente su valor de vaciamiento. Este pequeño desacuerdo con los resultados experimentales podría ser indicativo de una carga superficial mayor en la región de solapamiento puerta-drenador.

Con respecto a la dependencia de las capacidades con V_{DS} , hemos observado cómo en saturación los valores de C_{GS} apenas varían cuando V_{DS} aumenta, lo cual es indicativo de que la capacidad C_{GS} está prácticamente controlada (en saturación) por el potencial de puerta. En cambio, los valores de C_{GD} sí varían con V_{DS} , siendo posible observar una reducción de la capacidad con el aumento de V_{DS} especialmente a V_{GS} elevados (véase el recuadro interior de la Figura VI.20). Para explicar este fenómeno, en la Figura VI.22 hemos representado el incremento de carga bajo el óxido de puerta calculado mediante la simulación MC2D para $V_{GS} = 1.0$ V y dos tensiones de drenador diferentes, 1.0 y 1.5 V, cuando se aplica un incremento de 0.1 V en la puerta. El menor incremento de carga observado en la región de solapamiento de drenador para el caso de V_{DS} mayor tiene una importante influencia en la reducción de la capacidad C_{GD} .

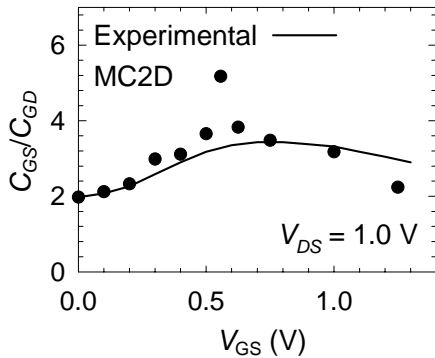


Figura VI.23 Relación C_{GS}/C_{GD} en función de la tensión de puerta para $V_{DS} = 1.0$ V

simulación numérica y los datos experimentales. El valor máximo de este ratio (3.5) se obtiene para una tensión de puerta de 0.7 V.

En la Figura VI.24 hemos representado los valores MC2D y los datos experimentales para la transconductancia intrínseca, la conductancia de salida intrínseca y la frecuencia de corte en función de la tensión de puerta para $V_{DS} = 1.0$ V. Los resultados de la simulación numérica reproducen adecuadamente la dependencia con la polarización de los tres parámetros, aunque se obtienen valores ligeramente menores para g_{mi} a V_{GS} elevadas en comparación con los datos experimentales, lo que se traduce en valores también ligeramente menores de f_T . Respecto a g_{dsi} , en general los resultados MC2D subestiman los valores experimentales debido a la menor pendiente obtenida para las características I_D - V_{DS} simuladas. El valor máximo experimental para g_{mi} , 475 S m^{-1} , se alcanza para V_{GS} de 1.0 V, pero incluso a V_{GS} de 0.5 V se obtiene un valor superior a 300 S m^{-1} , lo cual es indicativo de la capacidad del transistor de proporcionar valores

En la Figura VI.23 mostramos el ratio entre la capacidad C_{GS} y la capacidad C_{GD} en función de V_{GS} para $V_{DS} = 1.0$ V. Este parámetro constituye una figura de mérito de los dispositivos, ya que expresa la relación entre la capacidad de control del canal activo (C_{GS}) y la capacidad Miller parásita (C_{GD}). Valores elevados de este ratio son indicativos de una frecuencia máxima de oscilación también elevada. Como vemos, existe un buen acuerdo entre el resultado de la

elevados del producto ganancia-ancho de banda incluso a voltajes reducidos. El valor máximo de f_T (48 GHz) se obtiene para un voltaje V_{GS} de 0.8 V.

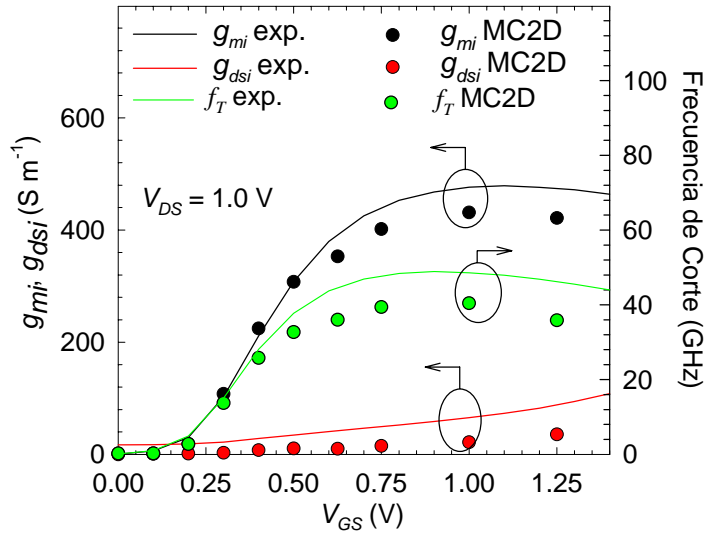


Figura VI.24. Transconductancia y conductancia de salida intrínsecas y frecuencia de corte en función de V_{GS} para $V_{DS} = 1.0$ V

En este punto, vamos a comentar brevemente cuál es la influencia, sobre los parámetros del circuito equivalente de pequeña señal, de modificar la longitud L_{ov} . En la Figura VI.25 mostramos los resultados intrínsecos (sin tener en cuenta el efecto de capacidades parásitas) obtenidos a $V_{DS} = 1.0$ V y en función de V_{GS} para las capacidades del circuito equivalente de pequeña señal considerando tres valores diferentes para L_{ov} , 30 nm, 45 nm (el experimental) y 60 nm. El recuadro interior muestra los valores obtenidos para el ratio C_{GS}/C_{GD} .

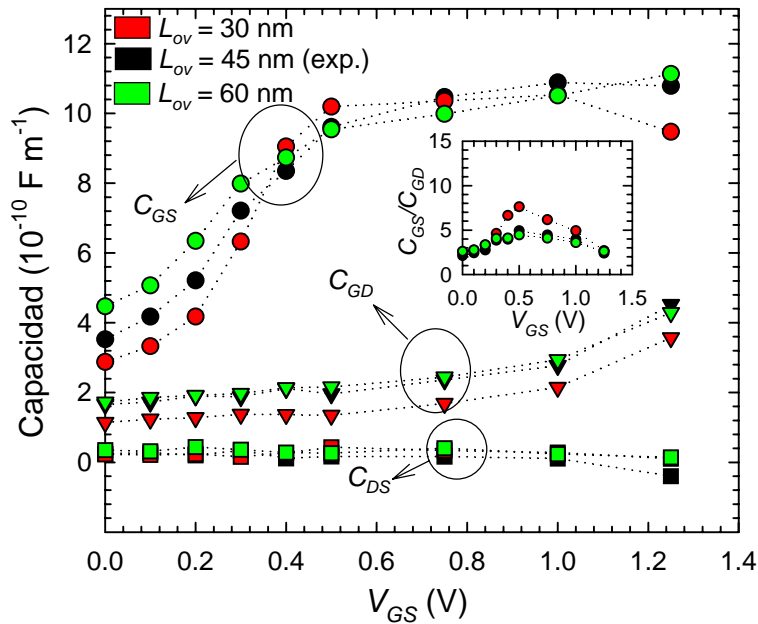


Figura VI.25. Capacidades del circuito equivalente de pequeña señal en función de V_{GS} con $V_{DS} = 1.0$ V para tres valores diferentes de L_{ov} . El recuadro interior muestra los valores del ratio C_{GS}/C_{GD} .

Como podemos apreciar en la figura, con respecto a la capacidad C_{GS} las principales diferencias tienen lugar para tensiones de puerta inferiores a 0.4 V, es decir, en el régimen de débil inversión o en el régimen subumbral. Para estas regiones de operación, la presencia de la capa de inversión en el canal es poco significativa o nula, y por tanto la capacidad dominante es la capacidad geométrica asociada a la región de solapamiento de fuente, donde existe una concentración apreciable de electrones. En consecuencia, cuanto mayor sea el valor de L_{ov} mayor será dicha capacidad, tal como puede apreciarse en la figura para las tensiones de puerta anteriormente mencionadas. No obstante, para tensiones de puerta superiores a 0.4 V, las diferencias entre los tres valores de L_{ov} no son tan significativas, debido a que la variación de carga asociada a la capa de inversión en el canal influye de manera notable en el valor total de esta capacidad. Con respecto a la capacidad C_{GD} , debemos destacar que para $L_{ov} = 30$ nm se observa una reducción importante de la misma en todo el rango de tensiones de puerta consideradas, lo cual está de acuerdo con el hecho de que esta capacidad está muy influenciada por la existencia de la región de solapamiento de drenador. Recordemos (Figuras VI.17 y VI.22) que la presencia de carga en dicha región afecta de manera notable a C_{GD} ; por tanto, cuando menor es L_{ov} menor es también la influencia de dicha carga y el valor de la capacidad puerta-drenador será inferior. Sin embargo, debemos señalar que el acoplamiento capacitivo entre el drenador y la puerta observado alcanza un cierto límite, ya que como puede apreciarse en la figura, para $L_{ov} = 45$ nm y $L_{ov} = 60$ nm se obtienen valores de C_{GD} muy similares.

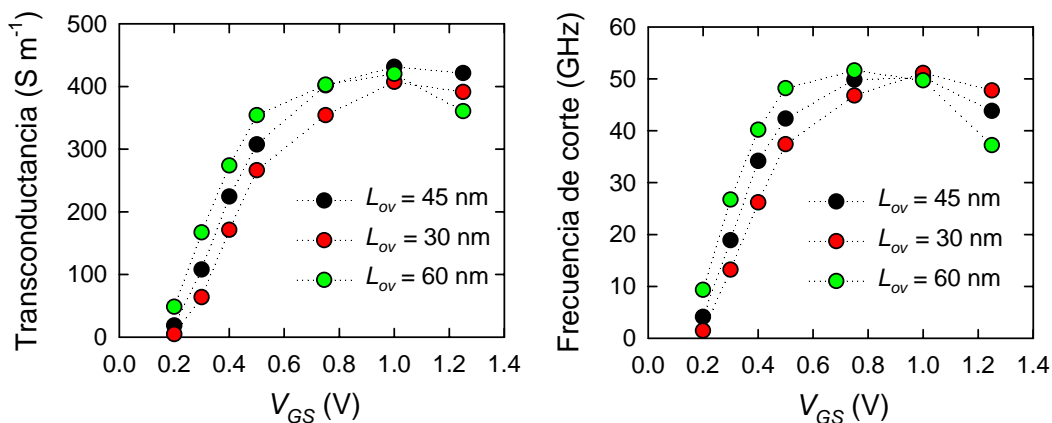


Figura VI.26 Transconductancia (a) y frecuencia de corte (b) en función de V_{GS} para $V_{DS} = 1.0$ V y tres valores de L_{ov} diferentes.

Con respecto a la transconductancia y la frecuencia de corte (Figura VI.26), en primer lugar hay que señalar que, a medida que L_{ov} aumenta, es posible obtener valores superiores de g_m para polarizaciones de puerta inferiores a 1.0 V, lo que confirma la conclusión preliminar obtenida a partir de las características de transferencia (Figura VI.14). Sin embargo, para $L_{ov} = 60$ nm, se aprecia una importante degradación de este parámetro para $V_{GS} = 1.25$ V, asociada al hecho de que el dispositivo estaría aproximándose al régimen de operación triodo. La reducción de L_{ov} por tanto permite ampliar el rango de tensiones de puerta para las que el dispositivo opera

en la región de saturación, lo cual es beneficioso pues permite una mayor flexibilidad en el diseño de aplicaciones analógicas. Por otra parte, con respecto a la frecuencia de corte f_T , considerar un valor mayor de L_{ov} sería beneficioso con el fin de obtener valores elevados de este parámetro (por debajo de $V_{GS} = 1.0$ V). No obstante, en este caso los valores del ratio C_{GS}/C_{GD} serían sensiblemente peores con respecto al caso de considerar una L_{ov} de 30 nm (véase el recuadro interior de la Figura VI.25). Como ya hemos señalado con anterioridad, valores elevados de este ratio son indicativos de una mejor frecuencia máxima de oscilación; por tanto, queda patente la existencia de un compromiso entre ambas figuras de mérito.

VI. 3. d) Parámetros de ruido

Tras analizar las características estáticas y la respuesta dinámica de los dispositivos, hemos calculado con nuestro simulador MC2D los valores de las densidades espectrales de las fluctuaciones de corriente en terminales. En primer lugar, debemos mencionar que tanto S_{ID} como S_{IG} y S_{IGID} muestran la dependencia con la frecuencia típica de los FET en el rango de RF y microondas (S_{ID} constante, S_{IG} y S_{IGID} proporcionales a f^2 y f , respectivamente).

En la Figura VI.27 mostramos los resultados de S_{ID} en función de V_{GS} para $V_{DS} = 1.5$ V. Para valores de V_{GS} menores de 0.5 V, los resultados se ajustan razonablemente a los valores de la predicción teórica ideal de van der Ziel [van der Ziel 1986]. Sin embargo, para valores de V_{GS} superiores las discrepancias aumentan de manera notable, debido principalmente a la presencia de portadores calientes en el canal de los dispositivos (recuérdese lo comentado para el caso de transistores MOSFET en el Capítulo IV), como podíamos apreciar en la Figura VI.18. Por otra parte, es necesario comentar que los valores de S_{ID} obtenidos son sensiblemente superiores a los ofrecidos por la predicción teórica de van der Ziel.

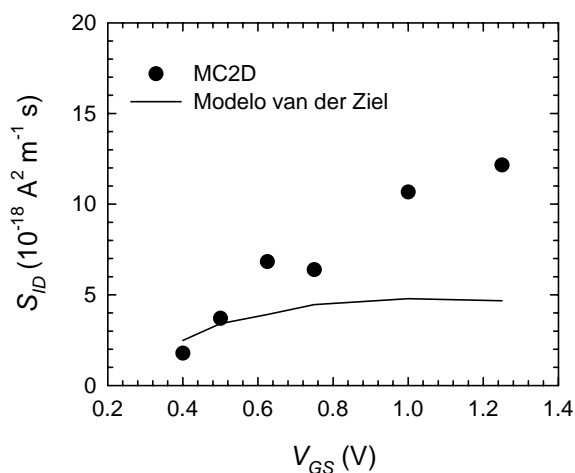


Figura VI.27. Valor de S_{ID} frente a V_{GS} para $V_{DS} = 1.5$ V; resultados MC2D (círculos) y predicción teórica de van der Ziel (línea)

Los valores de los parámetros α , β y C obtenidos con la simulación son mostrados en la Figura VI.28. Los valores de estos parámetros en general están dentro del rango observado para los dispositivos FDSOI estudiados en el capítulo previo. De nuevo es necesario destacar por un parte el significativo aumento del parámetro α (asociado con el ruido en drenador) por encima

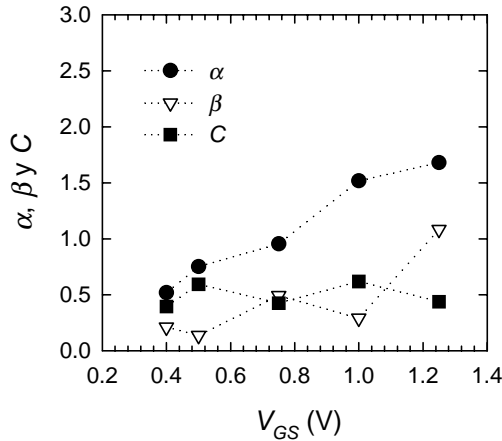


Figura VI.28. Parámetros α , β y C obtenidos con el MC2D, en función de V_{GS} para $V_{DS} = 1.5$ V

el efecto de los parámetros extrínsecos siguiendo las relaciones indicadas en el Capítulo II (ecuaciones II.39 a II.59). De esta manera, considerando los siguientes valores de resistencias de los contactos para el dispositivo con anchura de $8 \times 12.5 \mu\text{m}$, $R_S = 3.6 \Omega$, $R_D = 3.3 \Omega$ y $R_G = 34.0 \Omega$, proporcionados por el proceso experimental de extracción de parámetros, calculamos los valores de NF_{min} , R_n , G_{ass} y Γ_{opt} obtenidos en la simulación MC2D [Rengel *et al.* 2003b].

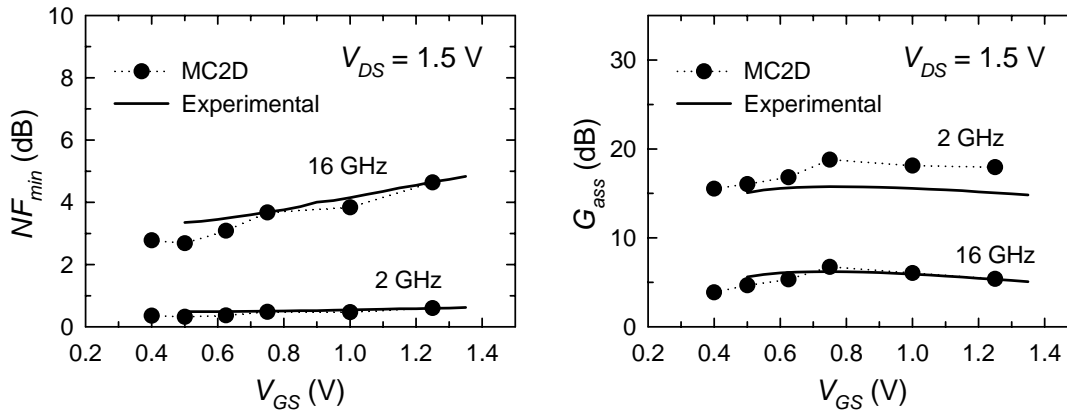


Figura VI.28. Valores de NF_{min} y G_{ass} en función de V_{GS} para dos valores de frecuencia, 2 y 16 GHz.

En la Figura VI.29(a) mostramos los resultados experimentales y numéricos obtenidos para la figura mínima de ruido a dos frecuencias de operación, 2 GHz y 16 GHz. Como podemos apreciar, existe un buen acuerdo entre los resultados MC2D y los datos extraídos a partir de las medidas experimentales con respecto tanto a la dependencia con la polarización como con la frecuencia. Este resultado es especialmente importante, ya que confirma la capacidad de nuestro simulador de reproducir adecuadamente los valores para este parámetro, que es usualmente el más empleado para la caracterización del ruido de los dispositivos. Hay que destacar los buenos valores obtenidos para NF_{min} (0.4 y 2.7 dB a 2 y 16 GHz, respectivamente), que son indicativos de la idoneidad de estos transistores para su uso en aplicaciones analógicas. Por su parte, los valores de ganancia asociada a esas mismas frecuencias también presentan un buen ajuste a los datos experimentales (Figura VI.29[b]), especialmente para el caso de la frecuencia mayor.

de la predicción teórica de van der Ziel (2/3) especialmente a tensiones de puerta elevadas. Por otra parte, debemos señalar también el aumento del ruido inducido en puerta (β) para valores de V_{GS} elevados aunque mucho menor que para los transistores *bulk* MOSFET.

Para el cálculo de los cuatro parámetros de ruido, que son los que podremos comparar con las medidas experimentales, fue necesario tener en cuenta

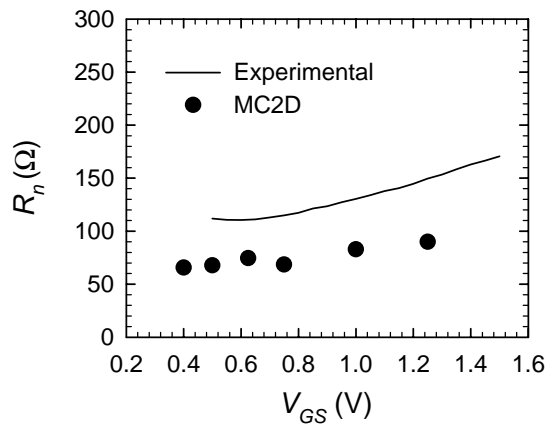


Figura VI.30. Valores de resistencia de ruido en función de V_{GS}

contacto de puerta, R_G , permitiría un mejor ajuste entre los resultados MC2D y los datos experimentales para R_n , aunque en contrapartida implicaría un deterioro del ajuste de los demás parámetros.

Por último, respecto a los valores de Γ_{opt} (Figura VI.31), el ajuste es notable con respecto tanto al módulo como a la fase, especialmente para el caso de frecuencia 2 GHz. Para ambas frecuencias, la dependencia con V_{GS} está en concordancia con los datos experimentales.

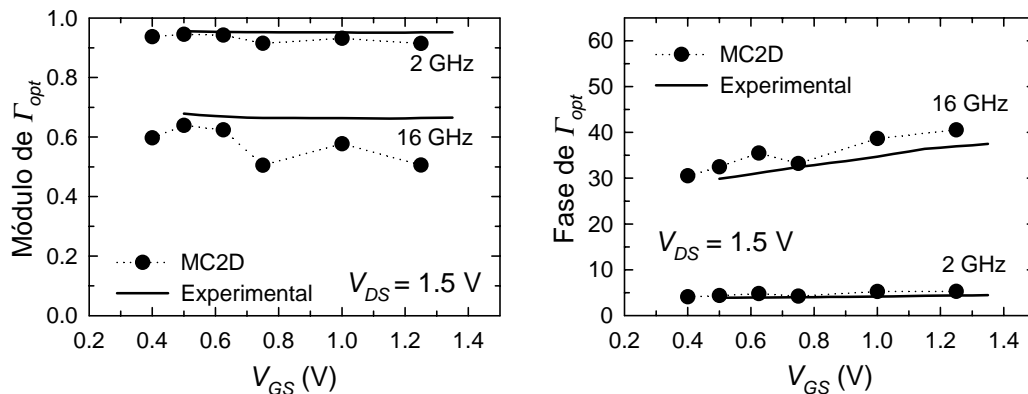


Figura VI.31. Valores del módulo (a) y la fase (b) de Γ_{opt} en función de V_{GS} para dos frecuencias

Una vez comprobada la fiabilidad del simulador MC2D para reproducir los valores experimentales de los principales parámetros estáticos, dinámicos y de ruido, las características del simulador le convierten en la herramienta más adecuada para afrontar las posibles tareas de optimización de la topología del dispositivo.

En la Figura VI.32 mostramos la dependencia con la frecuencia de NF_{min} y G_{ass} para diferentes valores de la anchura total de los dispositivos W , junto con los valores intrínsecos obtenidos en la simulación (considerando nulos todos los parámetros extrínsecos). Para efectuar estos cálculos, hemos considerado que las capacidades extrínsecas y R_G dependen proporcionalmente con W , mientras que R_S y R_D presentan una dependencia con el inverso de la anchura

En cuanto a los valores de R_n (Figura VI.30), debemos señalar que nuestros resultados reproducen bien la dependencia con la tensión de puerta de dicho parámetro. Sin embargo, los resultados MC2D subestiman el valor de este parámetro. Las causas de esta discrepancia no están claras, pero podrían encontrarse asociadas al procedimiento experimental de extracción de parámetros, ya que hemos encontrado que un valor aproximadamente del doble para la resistencia asociada al

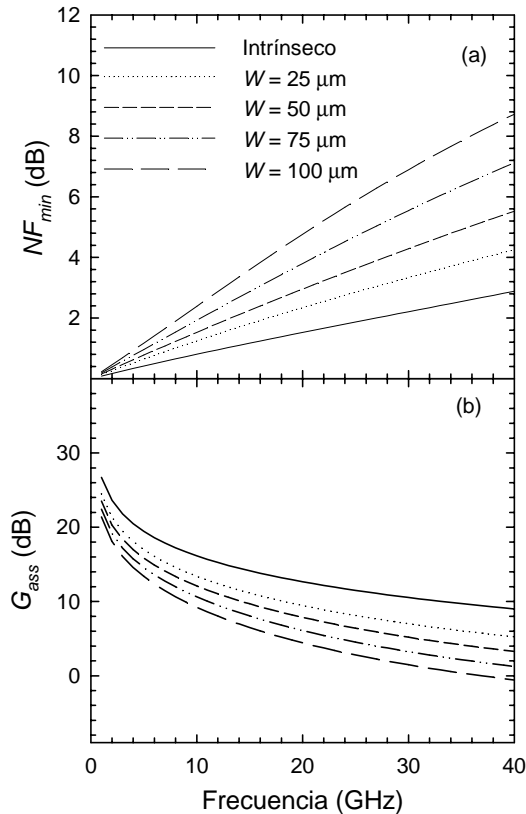


Figura VI.32. Dependencia con la frecuencia de NF_{min} (a) y G_{ass} (b) obtenidos con la simulación MC2D para $V_{GS} = 1.0$ V y $V_{DS} = 1.5$ V para diferentes valores de W . La línea continua representa los resultados intrínsecos obtenidos con el simulador.

total [Mateos *et al.* 2000]. Como podemos observar, el efecto de los parámetros extrínsecos es notable, provocando un aumento de NF_{min} y una disminución de G_{ass} especialmente cuanto mayor es la anchura de los dispositivos. Por tanto, si se desean obtener los valores menores posibles de NF_{min} y los mayores de G_{ass} , es altamente conveniente considerar dispositivos con la menor anchura posible. Sin embargo, hay que señalar que esta reducción de W debe ser considerada con precauciones, ya que por una parte, para valores pequeños de la misma el efecto de los elementos parásitos se desvía del comportamiento ideal, presentando una tendencia a saturar, con lo que su efecto aumenta notablemente frente a la predicción ideal. Por otra parte, dado que la corriente total proporcionada por el dispositivo depende proporcionalmente con W , deben tenerse en cuenta las

especificaciones mínimas de potencia requeridas por la aplicación para la que sea empleado el transistor.

Hay que hacer especial mención a que hemos observado una importante influencia de la resistencia extrínseca de puerta, R_G , fenómeno que ha sido observado previamente también en otros dispositivos FET [Mateos *et al.* 2000]). Por tanto, en el proceso de fabricación debe intentarse minimizar, en la medida de lo posible, los valores de este elemento parásito. También debemos mencionar que en cuanto a los valores de la resistencia de ruido, la reducción de la anchura de los mismos resulta beneficiosa con el fin de obtener valores menores.

En cuanto a la influencia de la variación de la longitud de solapamiento sobre los parámetros de ruido (desde el punto de vista intrínseco), hemos realizado los cálculos considerando de nuevo tres valores para L_{ov} , 30 nm, 45 nm y 60 nm. Como principales consecuencias, debemos comentar que una reducción de L_{ov} tiene como consecuencia un ligero empeoramiento de parámetros tales como NF_{min} y R_n , aunque por otra parte resulta beneficioso para el caso de G_{ass} a tensiones de puerta elevadas.

En conclusión, hemos comprobado cómo el MC2D es capaz de reproducir correctamente los valores experimentales para las características estáticas, dinámicas y de ruido de dispositivos fabricados. Por ello, y gracias a las posibilidades del simulador como técnica pseudo-experimental, el MC2D se convierte en una herramienta muy valiosa para estudiar las diferentes posibilidades de optimización de los dispositivos. Como ejemplo, sirva comentar que los resultados de la simulación indican que la reducción de la longitud de solapamiento nos llevaría a obtener valores ligeramente inferiores de g_m y f_T , pero por otra parte permitiría ampliar el rango de tensiones de operación en saturación, reduciría el valor de C_{GD} y proporcionaría mejores valores de f_{max} . Por otra parte, una reducción de la resistencia extrínseca de puerta sería altamente beneficiosa con el fin de obtener una mejora sustancial de los valores de NF_{min} y G_{ass} , principalmente. Además, nuestros resultados indican que debe intentarse fabricar los dispositivos con la menor anchura total posible con el fin de minimizar los efectos perniciosos de los elementos parásitos sobre los parámetros de ruido.

Conclusiones

La presente Memoria constituye la síntesis del estudio efectuado, mediante la utilización de una herramienta de simulación Monte Carlo, de los fenómenos del transporte de carga y de ruido electrónico en dispositivos *bulk* y SOI MOSFET submicrométricos. A la vista de los resultados obtenidos, las principales conclusiones que podemos extraer de nuestro trabajo son las siguientes:

- ▶ Hemos comprobado la presencia, en condiciones estacionarias en saturación, de portadores altamente energéticos (*hot carriers*), así como la aparición de fenómenos de sobrevelocidad o ionización por impacto, que ocurren fundamentalmente en la región de *pinch-off* y que dan lugar a fenómenos de no equilibrio portador-red. Las discrepancias observadas entre los diferentes modelos analíticos simples (lineal, cuadrático, de carga en volumen), principalmente a tensiones de puerta elevadas, ponen de manifiesto la necesidad, incluso para transistores con longitud de puerta de una micra, de considerar los fenómenos anteriormente mencionados para una correcta descripción del comportamiento del dispositivo.

- ▶ La simulación de transistores MOSFET convencionales con dimensiones submicrométricas nos ha permitido extraer las siguientes conclusiones:

- ▶▶ Se ha comprobado que la reducción de las dimensiones tiene como consecuencia un notable aumento de los efectos bidimensionales (observado principalmente en la concentración de los portadores y en los campos eléctricos) asociados a la propia topología del transistor incluso siguiendo las reglas del escalado ideal a campo constante (CC). Mediante el análisis de magnitudes internas de los electrones en el dispositivo hemos comprobado cómo para el caso de los transistores más pequeños (especialmente el de $0.13\ \mu\text{m}$), el comportamiento de los portadores en la región de *pinch-off* es ya muy cercano al balístico.

►► Con respecto a los parámetros dinámicos, en estos dispositivos se ha observado una importante influencia del acoplamiento capacitivo con el sustrato a través de la capacidad drenador-fuente C_{DS} . La predicción del escalado ideal a campo constante se cumple de manera notable en nuestro caso para las tres capacidades consideradas en el circuito equivalente. La mejora de g_m y f_T confirmaría una mayor idoneidad de los transistores MOSFET más pequeños para aplicaciones de alta frecuencia, aunque hay que destacar que esta mejora es inferior a la esperada por la predicción del escalado a campo constante, a causa de las limitaciones asociadas al importante aumento de los efectos no ideales (reducción de la movilidad, efectos bidimensionales, etc.) como consecuencia del reducido tamaño de los dispositivos.

►► En cuanto a las fuentes de ruido, se han observado discrepancias significativas con respecto a la predicción de la teoría clásica de van der Ziel. Hemos comprobado cómo el ruido en el terminal de drenador (S_{ID}) tiene su origen principalmente en el ruido de carácter difusivo generado por los portadores en el canal. Mientras que en la región triodo su comportamiento está en acuerdo con la relación de Nyquist, en la región de saturación S_{ID} aumenta a causa de los valores elevados de energía que alcanzan los portadores en el canal debido a la inhomogeneidad en el mismo provocada por el fenómeno del *pinch-off*. Cuando se realiza el escalado CC, se ha observado una disminución significativa del ruido inducido en puerta a medida que se reducen las dimensiones. Este comportamiento tiene su origen en el hecho de que, bajo las condiciones de polarización del escalado CC, el carácter del transporte es más cercano al balístico en el dispositivo menor. Dado que para ambos dispositivos el acoplamiento capacitivo con la puerta es similar, en el dispositivo más pequeño las fluctuaciones de corriente inducidas en la puerta son menos importantes a causa de la reducida influencia de los mecanismos de *scattering* en la región bajo dicho terminal. En consecuencia, la correlación entre el ruido inducido en puerta y el ruido en drenador también es menor.

►► Para el transistor más pequeño se obtienen los valores menores de NF_{min} . Los motivos de este comportamiento se encuentran por una parte en la reducida influencia del ruido en puerta y por otra parte en la mayor frecuencia de corte del dispositivo. En general, para los dispositivos simulados hemos comprobado que el ruido inducido en puerta juega un papel muy importante en el valor final de los parámetros de ruido.

►► Tomando como punto de partida el transistor de $0.25\ \mu\text{m}$, hemos analizado el efecto de variar de manera aislada el dopaje del sustrato N_A . La consideración de un sustrato menos impurificado permite obtener mejores valores de g_m , de f_T a baja tensión de puerta y un menor efecto del acoplamiento capacitivo con el sustrato, junto con mejores valores de NF_{min} y de R_n a causa de la menor influencia del ruido inducido en puerta. Sin embargo, un valor de N_A menor también implica una mayor influencia de los efectos de canal corto a causa de la mayor anchura de las regiones de vaciamiento de fuente y drenador, junto con una reducción en general no

deseable del voltaje umbral y una disminución de f_T a tensiones de puerta elevadas. Por tanto, a la hora de elegir N_A es necesario intentar alcanzar un compromiso entre ambos efectos.

► El efecto de reducir L_g de manera aislada también ha sido considerado dado el interés que suscita en la literatura. Hemos observado que la mejora en cuanto a g_m que ofrece la reducción de L_g tiene un límite cuando se alcanzan dimensiones muy pequeñas. Además, existe una importante reducción del voltaje umbral a causa de la mayor proximidad de las regiones de vaciamiento de las islas de fuente y drenador, comprobándose la existencia de un fuerte campo eléctrico de arrastre a lo largo de todo el canal. Con respecto a la capacidad C_{DS} , su valor comparativamente mayor para la L_g menor es indicativo de una mayor degradación de las figuras de mérito a causa del acoplamiento con el sustrato. La reducción de L_g implica también una notable disminución del ruido en puerta (principalmente en iguales condiciones de polarización $V_{GS} - V_T$), fenómeno debido a la conjunción del carácter más balístico del transporte con el menor acoplamiento capacitivo con la puerta de las fluctuaciones de la carga en el canal. En el caso de considerar condiciones de V_{GS} constante, la mejor NF_{min} obtenida para este mismo valor de L_g quedaría parcialmente compensada por la reducción del voltaje umbral.

► Hemos efectuado un estudio comparativo entre el transistor MOSFET convencional y el FDSOI, evaluando en este caso además la influencia del espesor de la capa activa de Silicio. Los resultados de nuestra investigación nos permiten extraer las siguientes conclusiones:

► La presencia del óxido enterrado modifica las condiciones del transporte en la zona activa de los dispositivos FDSOI en comparación con un dispositivo MOSFET convencional. En el caso de los dispositivos FDSOI, se ha observado un aumento de la anchura de la capa de inversión, especialmente significativo si consideramos un espesor de la capa activa de Silicio menor. Este fenómeno tiene su origen en la modificación de la estructura de bandas asociada a la presencia del óxido enterrado, que también es responsable de que la mayor parte de la tensión drenador-sustrato sea “absorbida” por dicho óxido, de manera que para el caso de los dispositivos FDSOI los campos eléctricos en la zona activa, tanto en la dimensión longitudinal al canal como en la perpendicular, son inferiores en comparación con los del dispositivo convencional, especialmente para igual polarización aplicada en terminales. Por otra parte, y en especial para el caso del FDSOI con t_{si} de 30 nm, se observan valores más reducidos del máximo de energía de los portadores en la región de *pinch-off* incluso en condiciones de igual polarización $V_{GS} - V_T$, a causa principalmente de que la mayor homogeneidad de los campos eléctricos a lo largo del canal y a que el transporte tiene lugar en una región más ancha. Debido a estos fenómenos, en el caso del dispositivo FDSOI con t_{si} de 50 nm se obtienen valores superiores de la corriente en comparación tanto con el MOSFET convencional como con el FDSOI con t_{si} de 30 nm, fenómeno que se traduce en una mejor transconductancia, tal y como hemos comprobado mediante el estudio de la respuesta dinámica del dispositivo. La reducción del valor de t_{si} implica un au-

mento de la resistencia asociada a las regiones de fuente y drenador de acceso al canal conductor, por lo que el valor de la corriente disminuye, y en consecuencia la transconductancia se degrada para el dispositivo con t_{si} de 30 nm. Existe por tanto un compromiso entre el beneficio obtenido por la presencia del óxido enterrado y el aumento de la resistencia de las islas de fuente y drenador al reducir el valor de t_{si} .

► Respecto a los parámetros dinámicos, nuestros resultados confirman la importante reducción del acoplamiento capacitivo con el substrato para los FDSOI en comparación con el dispositivo *bulk*. Por otra parte, hemos observado también un menor acoplamiento con la puerta de las fluctuaciones de la carga en el canal conductor, que puede asociarse al hecho de que el transporte en estas estructuras tiene lugar en una capa de inversión más ancha. Por último, el fenómeno más destacable en cuanto a los parámetros de ruido es la reducida resistencia equivalente de ruido observada en los FDSOI MOSFETs, lo cual es altamente beneficioso para el diseño de aplicaciones analógicas de alta frecuencia.

► Por último, hemos llevado a cabo la simulación de estructuras FDSOI fabricadas con longitud de puerta de 0.25 μm , intentando ajustarnos lo más posible a la geometría real de los dispositivos, teniendo en cuenta parámetros muy importantes de la misma, tales como longitudes de solapamiento, presencia de óxidos de *spacer*, dopajes de las diferentes regiones del dispositivo, efecto de elementos parásitos, presencia de cargas en el óxido, etc. Los resultados obtenidos nos permiten llegar a las siguientes conclusiones:

► En general, una vez considerados los elementos parásitos, los resultados de la simulación numérica ofrecen un notable acuerdo (especialmente en cuanto a las características estáticas, los parámetros del circuito equivalente y los principales parámetros de ruido (NF_{min} , G_{ass})) con los datos experimentales, lo que confirma la capacidad de nuestro simulador para afrontar el estudio de estructuras “reales”. Las magnitudes internas de los dispositivos han sido estudiadas en profundidad (concentración, velocidad, energía, mecanismos de *scattering* de los portadores, etc.), permitiendo alcanzar una comprensión significativa de los procesos internos que dominan el transporte del dispositivo, lo cual ha resultado de gran utilidad e interés para los grupos de investigación con los que colaboramos. Por otra parte, el detallado análisis efectuado para estos dispositivos ha confirmado la idoneidad de los mismos para su uso en aplicaciones tanto analógicas como digitales con elevadas frecuencias de operación gracias a sus excelentes figuras de mérito.

► La consideración de una carga superficial en las regiones de solapamiento y *spacer* es clave para lograr reproducir de manera adecuada el valor experimental de transconductancia, lo que nos indica la importancia de este tipo de fenómenos en los dispositivos reales. Por otra parte, hemos encontrado que reducir la longitud de solapamiento nos llevaría a obtener valores ligeramente inferiores de g_m y f_T , pero por otra parte permitiría ampliar el rango de tensiones de

operación en saturación, reduciría el valor de C_{GD} y proporcionaría mejores valores de f_{max} . Por otra parte, la presencia del óxido de *spacer* tiene un importante efecto sobre la transconductancia del dispositivo, de manera que para obtener los mejores valores de g_m el valor de L_{sp} debe ser lo menor posible, siempre bajo la condición de proporcionar un aislamiento adecuado entre los terminales.

►► Los elementos parásitos tienen una notable influencia sobre los diferentes parámetros de ruido del dispositivo, como son la figura mínima del ruido, la ganancia asociada o la resistencia equivalente del ruido, ocasionando un empeoramiento en general de estas figuras de mérito. Por otra parte, los resultados de la simulación indican que los dispositivos deben ser fabricados con la menor anchura posible (dentro de los límites impuestos por el comportamiento no ideal de estos elementos parásitos) con el fin de minimizar estos efectos. Por último, también hemos comprobado la importante influencia de la resistencia de puerta extrínseca, que ha de ser lo menor posible si se desean obtener mejores figuras de mérito.

Para finalizar, quisiéramos destacar que el presente trabajo nos ha permitido corroborar la enorme potencialidad del MC2D para efectuar un análisis global (basado en un modelo microscópico) del comportamiento estático, dinámico y de los fenómenos de ruido electrónico en dispositivos MOSFET con geometrías realistas, tanto convencionales como SOI, por lo que su utilización en un futuro como herramienta de optimización de dispositivos fabricados es altamente conveniente.

Apéndice 1. Modelización del material de Silicio. Parámetros de la simulación

En este Apéndice, vamos a presentar los principales detalles de la descripción física del Silicio material considerada en nuestra simulación. En la sección A1.1, mostraremos las características de la estructura de bandas (tanto de conducción como de valencia) que ha sido tomada en cuenta. En la sección A1.2, detallaremos los mecanismos de *scattering* considerados en la simulación, junto con los principales parámetros asociados. Finalmente, en la sección A1.3, presentaremos los resultados obtenidos con el simulador Monte Carlo para algunas magnitudes de interés, tales como velocidad de los portadores, movilidad, coeficiente de difusión, etc... junto a su comparación con datos experimentales, que permiten confirmar la validez del simulador a este nivel.

A1.1. Estructura de bandas del Silicio

En la Figura A1.1 mostramos la estructura de bandas de Silicio, obtenida mediante el método del pseudopotencial [Gómez y González 1996].

A continuación vamos a analizar de manera separada las principales características de la banda de conducción y de la banda de valencia para este semiconductor, centrándonos en los valles y subbandas considerados en nuestra simulación.

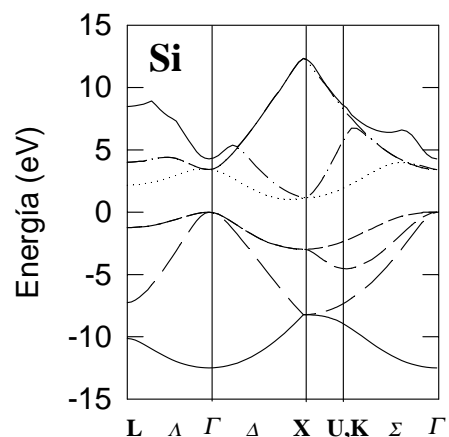


Figura A1.1. Estructura de bandas del Silicio

A1. 1. a) Banda de Conducción

La banda de conducción del Silicio posee dos tipos de mínimos [Cohen y Chelikowsky 1988]. El mínimo absoluto está formado por seis valles equivalentes situados en el espacio \mathbf{k} a lo largo de las direcciones $\langle 100 \rangle$ o direcciones Δ dentro de la 1ª zona de Brillouin. Estos seis valles están localizados aproximadamente en $k=0.85 k_{\max}$ (siendo k_{\max} el límite de la 1ª zona de Brillouin en la dirección Δ), y nos referiremos a ellos (mínimos en las direcciones $\langle 100 \rangle$ y equivalentes) como valles X. Los siguientes mínimos relativos aparecen en niveles de energía relativamente elevados (1.05 eV por encima de los mínimos absolutos) y situados en el borde de la 1ª zona de Brillouin en la dirección $\langle 111 \rangle$ y equivalentes (punto L), en total 8/2 valles equivalentes, a los que denominaremos valles L. Para energías cinéticas moderadas, todos estos valles se caracterizan por el hecho de que sus superficies de energía constante se pueden aproximar localmente por elipsoides de revolución. De este modo, cerca de los mínimos relativos X y L los electrones en cada valle muestran una masa efectiva longitudinal m_l diferente y mayor que la masa efectiva transversal m_t .

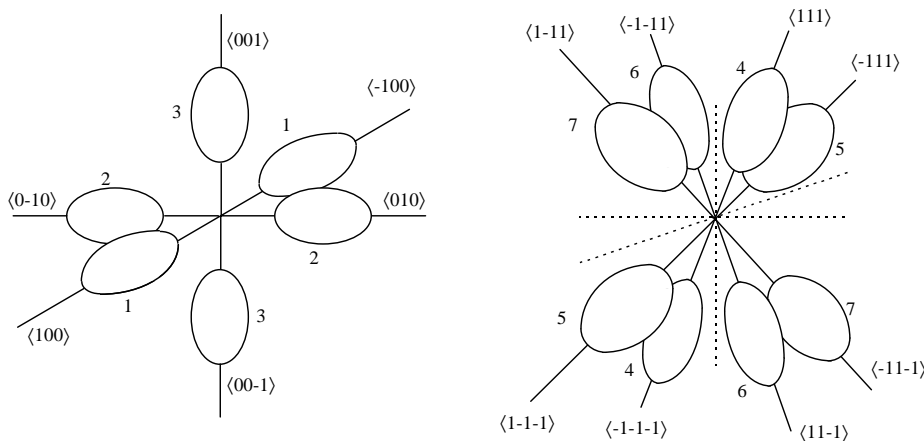


Figura A1.2. Superficies de energía constante de los valles X (izquierda) y L (derecha) del Silicio.

En nuestro modelo de banda de conducción hemos adoptado una expresión analítica que relaciona la energía y el momento. Esta relación analítica $\varepsilon(\mathbf{k})$ responde a la expresión (II.3) (bandas elipsoidales no parabólicas), y su elección se debe a diferentes motivos: en primer lugar, es válida hasta valores de energía de los portadores en torno a 1.5 eV, suficientemente elevados para desarrollar nuestras simulaciones. En segundo lugar, hace posible un gran ahorro de memoria y tiempo de cálculo en la simulación Monte Carlo. Por último, implica una mayor simplicidad en la implementación de la estructura de bandas en un simulador adaptado a las peculiaridades de los dispositivos bipolares. En la Figura A1.2 hemos representado de manera simplificada las superficies de energía constante para los valles en las direcciones equivalentes $\langle 100 \rangle$ (izquierda) y $\langle 111 \rangle$ (derecha).

A1. 1. b) Banda de Valencia

La banda de valencia del Silicio tiene su máximo en el punto Γ , y está formada por dos subbandas (huecos ligeros y pesados) degeneradas en este punto y una tercera banda (*split-off*), que dista 0.044 eV de las dos anteriores en el punto Γ [Dresselhaus *et al.* 1955, Kane 1965, Madelung 1991]. Sin embargo, la contribución de esta tercera banda al transporte de huecos es muy pequeña a causa de la separación en energía y su baja densidad de estados [Ottaviani *et al.* 1975] y consecuentemente no ha sido incluida en nuestra simulación. Las dos subbandas más elevadas en energía potencial son consideradas en nuestro modelo como esféricas no parabólicas, expresión (II.4).

A1. 1. c) Parámetros

Los parámetros característicos de los valles X y L de electrones y para los valles de huecos pesados y ligeros (masas y coeficientes de no parabolicidad) utilizados en la simulación se muestran en la Tabla A1.1.

m_l X (m_0) [†]	m_t X (m_0) [†]	m_l L (m_0) [†]	m_t L (m_0) [†]	α X y L (eV ⁻¹)	m pesados (m_0) [†]	m ligeros (m_0) [†]	α pesados y ligeros (eV ⁻¹)
0.90	0.19	1.634	0.126	0.5	0.537	0.153	0.3

Tabla A1.1. Parámetros físicos de las bandas de conducción y de valencia del Si (†Madelung 1991)

En la Tabla A1.2 indicamos los valores para la permitividad relativa del Silicio y del SiO₂, el valor de la densidad intrínseca (n_i) a 300K y los valores de la densidad equivalente de estados de la banda de conducción (N_C) y de valencia (N_V), así como el valor del gap considerado entre el mínimo absoluto de la banda de conducción y el máximo de la banda de valencia.

ϵ_{Si}	ϵ_{SiO_2}	n_i	N_C	N_V	Gap
11.7	3.9	$1.45 \times 10^{16} \text{ m}^{-3}$	$2.24 \times 10^{25} \text{ m}^{-3}$	$8.44 \times 10^{24} \text{ m}^{-3}$	1.05 eV

Tabla A1.2

A1.2. Mecanismos de scattering

A1.2. a) Electrones

Los mecanismos de *scattering* considerados para **electrones** en nuestro modelo son: *scattering* con impurezas ionizadas (elástico y anisótropo), *scattering* intravalle acústico (elástico e isótropo) e interacciones intervalle equivalente y no equivalente (inelásticas e isótropas). Las expresiones para las diferentes probabilidades pueden encontrarse en [Martín 1996], así como en diferentes publicaciones fácilmente accesibles (como ejemplo especialmente significativo, véase la correspondiente a [Jacoboni y Lugli 1989]); a continuación comentaremos brevemente las principales características de cada mecanismo e indicaremos los diferentes parámetros considerados en nuestra simulación.

1. Interacción con impurezas: [Brooks 1951, Jacoboni y Lugli 1989]

En nuestra simulación hemos supuesto que todas las impurezas se encuentran ionizadas. Por tanto, debe aparecer un efecto de apantallamiento del campo coulombiano, que debe provocar que el potencial que experimenta el electrón en la banda tenga una fuerte dependencia espacial [Brooks, 1951]. En consecuencia, hemos optado por la descripción de Brooks-Herring para describir el *scattering* con impurezas. A causa de la naturaleza coulombiana de este mecanismo, su importancia es dominante cuando el electrón tiene una energía cinética débil, es decir, a bajas temperaturas o a bajos campos eléctricos aplicados. Las colisiones son elásticas, ya que la masa de la impureza excede enormemente a la del electrón. Además, este mecanismo es anisótropo, por lo que el estado del vector de onda después del mecanismo depende de su orientación anterior.

2. Interacción acústica con potencial de deformación: [Jacoboni y Lugli 1989]

En general, la energía transferida en este tipo de mecanismo es significativamente inferior a la energía cinética del electrón. Por esta razón, es considerado habitualmente como un proceso elástico y además isótropo (la orientación del vector de onda \mathbf{k} tras la interacción es aleatoria).

	Valle X	Valle L
Pot. deformación acústico (eV)	9.0	9.0

Tabla A1.3. Potencial de deformación acústico de electrones

3. Interacción intervalle: [Canali *et al.* 1975, Chen y Pan 1991]

Para la descripción de la estructura de la banda de conducción en nuestro simulador hemos considerado los valles X (seis valles degenerados en las direcciones $\langle 100 \rangle$) así como los valles L

(ocho valles en las direcciones $\langle 111 \rangle$). Es necesario tener en cuenta que las transiciones pueden darse entre valles equivalentes o no según los estados iniciales y finales del electrón correspondan a valles con el mínimo de energía en niveles iguales o distintos, respectivamente. Respecto a la orientación final del vector de onda, este tipo de colisiones son de carácter isótropo.

- Transiciones no equivalentes: consideraremos las X-L y las L-X. En ambos tipos de interacciones existen cuatro términos fonónicos. Los potenciales de deformación intervalle y energías de los correspondientes fonones se muestran en la Tabla A1.4. Estos mecanismos pueden realizarse con emisión o absorción asistida de un fonón.
- Transiciones equivalentes: consideramos en primer lugar las transiciones X-X. Existen seis ramas fonónicas, de las cuales tres están asociadas a transiciones entre valles adyacentes (tipo *f*) y las otras tres corresponden a transiciones entre los valles opuestos (tipo *g*) (ver Figura A1.2). Las transiciones tipo *f* se producen con fonones de tipo longitudinal acústico y transversal óptico. Tras la colisión, el electrón va a un valle elegido de manera aleatoria entre los valles posibles. Las transiciones *g* se producen por fonones ópticos longitudinales. El valle final al que va el electrón está determinado en este caso por el valle inicial. También se consideran transiciones equivalentes las transiciones L-L. Las constantes de acoplamiento, así como las energías del fonón intervalle para las seis ramas fonónicas de las transiciones X-X y para las transiciones L-L, se muestran en la Tabla A1.4.

Parámetros XX	f1	f2	f3	g1	g2	g3
1	0.15	3.4	4.0	0.5	0.8	3.0
2	18.1	43.1	54.3	12.1	18.1	60.3
Parámetros X-L=L-X						
1	4.0	4.0	4.0	4.0	-	-
2	57.9	54.6	41.4	17.0	-	-
Parámetros L-L						
1	2.63	-	-	-	-	-
2	38.87	-	-	-	-	-

Tabla A1.4 Parámetros utilizados en probabilidades de transición intervalle en la banda de conducción. 1: Constantes de acoplamiento intervalle (10^8eV/cm), 2: Energía del fonón intervalle (meV).

Dada la dispersión de valores encontrada en la literatura para los valores de los potenciales de deformación intervalle [Canali *et al.* 1975, Sano *et al.* 1990], estos han sido elegidos dentro del rango de valores encontrado en la bibliografía con el propósito de ajustar los resultados de la simulación a los datos experimentales disponibles.

Adicionalmente, a pesar de que no tratarse de un mecanismo de *scattering* propiamente dicho, hemos considerado como tal a la ionización por impacto, con una probabilidad asociada. Como ya comentamos en el Capítulo II, este es el tratamiento habitual de este fenómeno en las simulaciones Monte Carlo [Throngnumchai *et al.* 1986, Canali *et al.* 1996, Dunn *et al.* 1997, Duncan *et al.* 1998, Zandler *et al.* 1999, Ong *et al.* 2000]. Para describir la probabilidad de ionización, hemos adoptado un modelo de Kane modificado [Kane 1967]:

$$P_{IONIZA} = \begin{cases} P \left(\frac{E - E_{th}}{E_{th}} \right)^4 & \text{si } E > E_{th} \\ 0 & \text{si } E < E_{th} \end{cases} \quad (A2.1)$$

donde $P = 9 \cdot 10^{12} \text{ s}^{-1}$ y $E_{th} = 1.2 \text{ eV}$. Estos parámetros han sido ajustados para reproducir de la manera más exacta posible, por una parte la probabilidad de ionización asociada a este fenómeno obtenida por otros autores [Kane 1967, Tang y Hess 1983, Fischetti y Laux 1988, Brunetti *et al.* 1989, Vogelsang y Hänsch 1991, Sano y Yoshii 1992, Bude *et al.* 1992, Fiegna y Sangiorgi 1993] y por otra parte el valor experimental del coeficiente de ionización, como veremos en la sección A1.3.

A1. 2. b) Huecos

Respecto a los **huecos**, las dos subbandas de valencia consideradas (ligeros y pesados) están degeneradas, y en consecuencia todos los mecanismos de *scattering* para huecos deben ser tanto interbanda como intrabanda. Los mecanismos de *scattering* de huecos son básicamente los mismos que los de electrones: *scattering* con impurezas ionizadas (elástico y anisótropo), *scattering* con fonones acústicos (inelástico e isótropo) y ópticos (inelástico e isótropo).

1. Interacción con impurezas:

En el modelo de Brooks-Herring para las colisiones con impurezas ionizadas deben tenerse en cuenta las expresiones de solapamiento dadas por Wiley en 1971 para las transiciones intrabanda e interbanda. En consecuencia, existen dos tipos de transiciones diferentes según los procesos sean interbanda e intrabanda [Costato y Reggiani 1973].

2. Interacción con fonones acústicos:

Este tipo de mecanismo es isótropo y cuasi-elástico [Viso *et al.* 1979, Canali *et al.* 1975, Brudevoll *et al.* 1990]. El pequeño intercambio de energía entre los huecos y la red es necesario para poder alcanzar un estado estacionario adecuado en el caso de que la simulación se realice para bajos campos eléctricos y temperaturas.

Pot. Def. Acústico(eV)	Pot. Def. Optico (eV)	Energía. fonón acústico (meV)	Energía fonón óptico (meV)
5.0**	26.6**	0.105	63.2*

Tabla A1.5. Parámetros de probabilidades de scattering de huecos (* Sze 1981, ** Reggiani 1980)

3. Interacción con fonones ópticos:

Este mecanismo de *scattering* es isótropo e inelástico. A causa de este carácter inelástico, debe considerarse tanto la absorción como la emisión de fonones.

A1. 2. c) Probabilidades de scattering

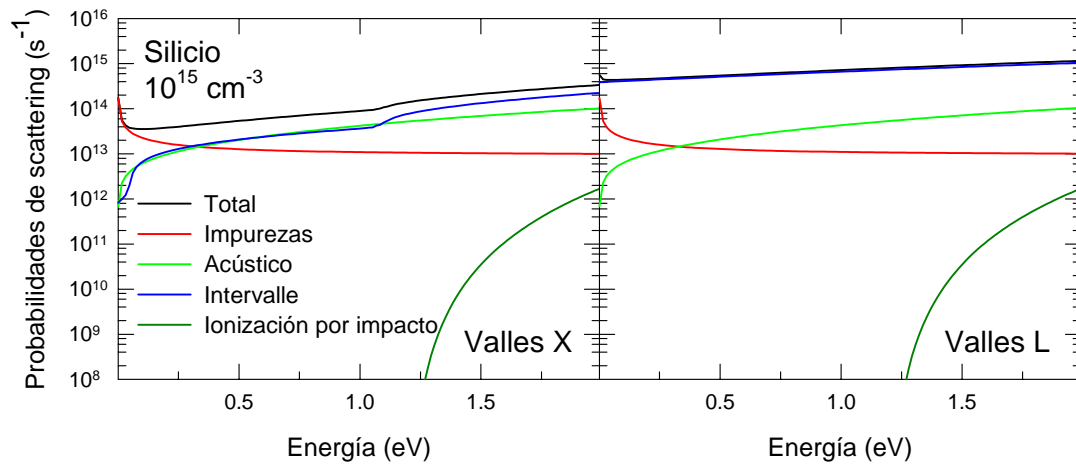


Figura A1.3. Probabilidad de scattering de electrones en cada uno de los valles en Silicio

La Figura A1.3. muestra la probabilidad total, la de *scattering* con impurezas ionizadas, la de ionización por impacto, la de acústicos intravalle y las suma de todas las probabilidades de interacciones intervalle correspondientes al valle X (izquierda) y al valle L (derecha) para Silicio con una densidad de impurezas de 10^{15} cm^{-3} .

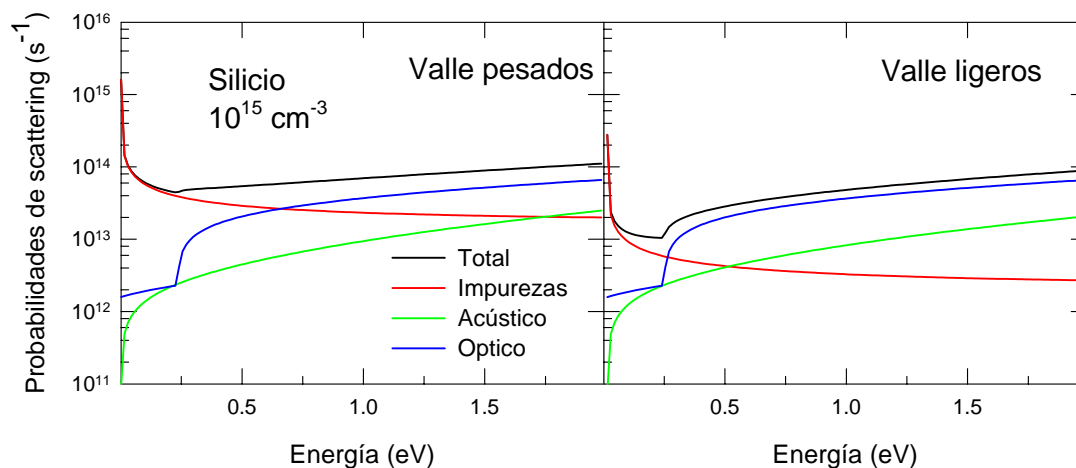


Figura A1.4. Probabilidad de scattering de huecos en cada una de las subbandas en Silicio

La Figura A1.4 muestra la probabilidad total, *scattering* con impurezas ionizadas, acústica y ópticas del valle de huecos pesados y de huecos para Silicio con una densidad de impurezas de 10^{15} cm^{-3} .

A1.3. Modelización de Silicio material

En esta sección, vamos a exponer los principales resultados obtenidos en el estudio del transporte tanto de electrones como de huecos (con dopaje tipo *n* o tipo *p*, respectivamente) en Silicio. En esta sección las simulaciones han sido efectuadas en condiciones de campo eléctrico constante y material homogéneo y sin límites. Los resultados Monte Carlo han sido calculados empleando un simulador de partícula única que considera los mismos mecanismos de *scattering* y estructura de bandas del simulador bidimensional de dispositivos utilizado en esta Tesis para el análisis de los transistores MOSFET y SOI MOSFET considerados.

En nuestro estudio de las propiedades de transporte de los electrones consideraremos el campo eléctrico aplicado en dos direcciones cristalográficas diferentes, [100] y [111]. Todas las simulaciones se han realizado a temperatura de 300 K. En algunos casos disponemos de resultados experimentales obtenidos por diferentes autores que han servido de referencia a la hora de comprobar la validez del modelo.

A1. 3. a) Tiempo de permanencia en cada valle

El tiempo de permanencia de los electrones en cada valle es mostrado en la Figura A1.5 (izquierda) para valores del campo eléctrico aplicados en la dirección [100]. Para el caso de campos muy débiles, los tres valles X se encuentran equipoblados. Sin embargo, cuando el campo aumenta ligeramente, la ocupación del valle $\langle 100 \rangle$ (cuyos portadores responden al campo aplicado con su masa longitudinal) se incrementa de manera significativa. Para un campo eléctrico de aproximadamente 10 kV cm^{-1} , la ocupación de ese valle alcanza su máximo. Para campos mayores disminuye la diferencia entre las ocupaciones de los valles debido a que el mayor calentamiento de los portadores provoca un importante aumento de la probabilidad de transiciones intervalle equivalentes de tipo *f*.

En el caso de que el campo eléctrico se aplicase en la dirección [111], los tres valles X presentarían la misma ocupación.

La ocupación de los valles L ocurre para campos eléctricos aplicados superiores a 30 kV cm^{-1} , aunque inicialmente es muy reducida. La contribución al transporte de los valles L comienza ser significativa en Silicio material para campos eléctricos superiores a 150 kV cm^{-1} (Martín, 1992).

La ocupación de las subbandas de valencia en función del campo eléctrico aplicado es mostrada en la Figura A1.5 (derecha). Como puede observarse, no existen grandes modificaciones incluso en el caso de campos elevados (la población de la subbanda de ligeros se mantiene cercana al 11-12%).

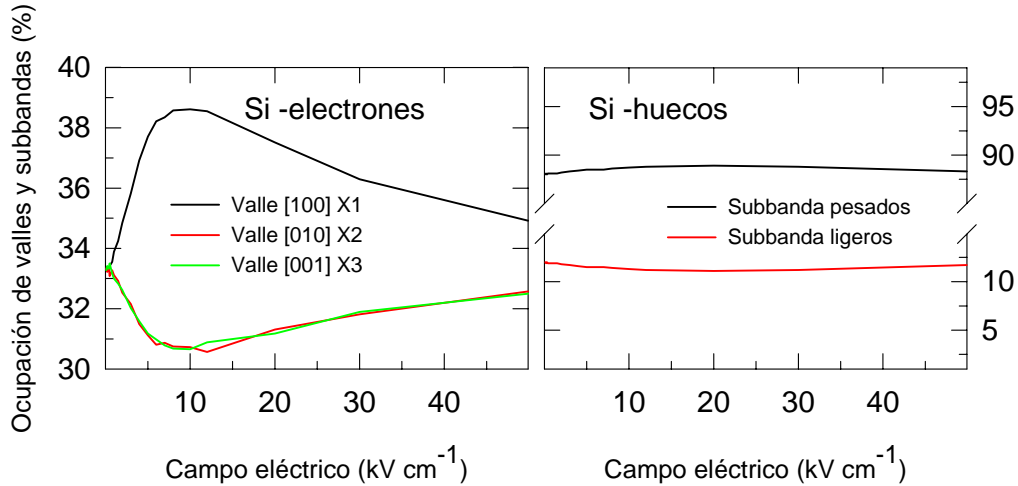


Figura A1.5. Ocupación media de los valles X de la banda de conducción (izquierda) y de las subbandas de valencia (derecha) en Silicio material en función del campo eléctrico aplicado en la dirección [100].

A1. 3. b) Velocidad de arrastre. Movilidad

En la Figura A1.6 puede observarse la dependencia de la velocidad de arrastre con el campo eléctrico aplicado para electrones y huecos en Silicio material. Para el caso de material tipo n , se muestran los resultados obtenidos para campos eléctricos aplicados en las direcciones [100] y [111].

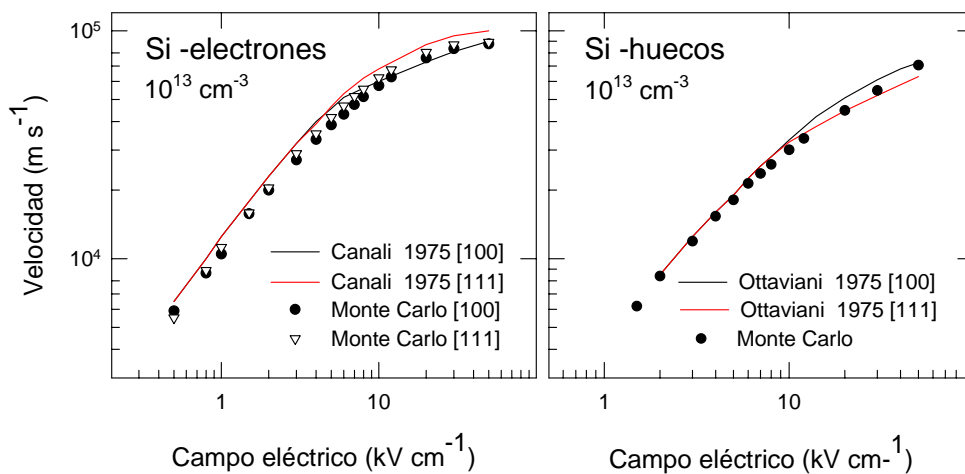


Figura A1. 6. Velocidad de arrastre en función del campo eléctrico aplicado para electrones y huecos en Silicio. Junto a los resultados Monte Carlo se muestran distintos resultados experimentales.

Junto a los resultados de la simulación representamos los valores experimentales obtenidos por Canali *et al.* en 1975 para electrones y por Ottaviani *et al.* en 1975 para huecos. Estos datos fueron obtenidos en muestras “altamente puras”. La simulación Monte Carlo fue efectuada considerando un valor de densidad de impurezas ionizadas, tanto donadoras como aceptadoras, de 10^{13} cm^{-3} .

Como puede observarse en la figura, el acuerdo entre los resultados Monte Carlo y los datos experimentales es notable, tanto en el caso de electrones como en el de huecos. En el caso de electrones la saturación de la velocidad de arrastre (en torno a 10^5 m s^{-1}) se alcanza para valores del campo eléctrico superiores a 50 kV cm^{-1} , lo cual concuerda con los resultados de otras simulaciones Monte Carlo [Tang y Hess 1983, Fischetti y Laux 1988] empleando una estructura de bandas más compleja que la de nuestro modelo. Esto confirma que los valores de las constantes de acoplamiento de los mecanismos de *scattering* intervalle equivalente e intravalle incluidas en nuestro modelo proporcionan resultados correctos. Respecto al caso de los huecos, los resultados son también consistentes con otros resultados Monte Carlo en los que se ha considerado también la subbanda de *split-off* y los efectos de *warping* en las subbandas de pesados y ligeros [Dewey y Osman 1993].

En la Figura A1.7 se muestra la variación de la movilidad de bajo campo con el dopaje para Silicio tipo *n* y tipo *p* obtenida con el método de Monte Carlo, junto a resultados encontrados en la literatura obtenidos mediante un cálculo analítico (considerado como una referencia estándar) ajustado a las medidas experimentales [Klaassen 1992]. Como podemos observar, dentro del rango de impurificación considerado (que incluye las impurificaciones consideradas en los dispositivos estudiados en esta Memoria) el ajuste es altamente razonable.

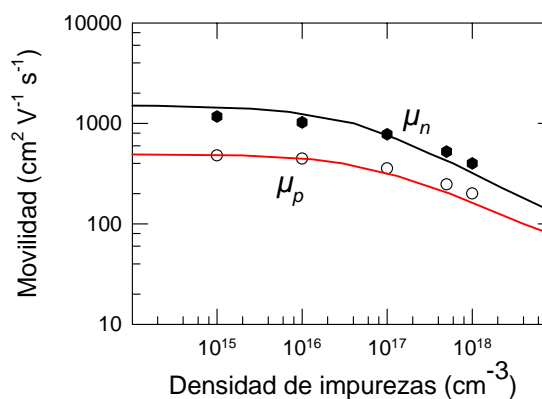


Figura A1.7. Comparación de la movilidad de bajo campo de electrones y huecos en función de la densidad de impurezas. Junto a los resultados Monte Carlo (símbolos) se muestran los resultados experimentales (Klaassen 1992: líneas)

A1. 3. c) Coeficiente de Difusión

En la Figura A1.8 mostramos el resultado del cálculo del coeficiente de difusión frente al valor del campo eléctrico, así como los valores experimentales del coeficiente de difusión de electrones (Brunetti *et al.* 1981) y de huecos (Reggiani y Brunetti 1986). En la simulación Monte Carlo hemos considerado una densidad de impurezas ionizadas de 10^{15} cm^{-3} .

Como se puede apreciar en la figura, se ha obtenido un buen ajuste entre los datos experimentales y los resultados obtenidos con la simulación Monte Carlo para el coeficiente de difusión longitudinal. Estos últimos son, para campos débiles, consistentes con lo predicho por la relación de Einstein teniendo en cuenta la movilidad de bajo campo obtenida con nuestro modelo. En general, puede apreciarse cómo, al incrementarse el valor del campo eléctrico, el coeficiente de difusión disminuye hasta alcanzar la saturación a campos eléctricos elevados, reproduciendo adecuadamente el comportamiento experimental observado.

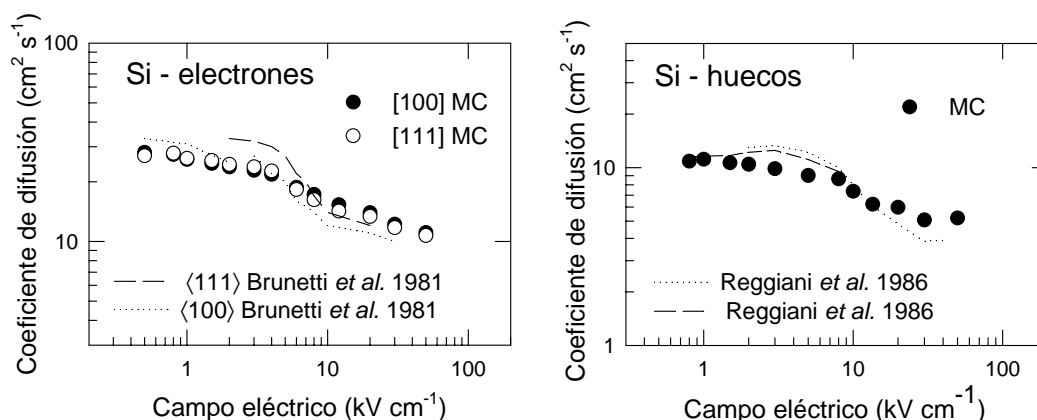


Figura A1.8. Resultados Monte Carlo del coeficiente de difusión longitudinal de electrones y huecos en Si en función del campo eléctrico. Las líneas muestran los resultados experimentales de electrones (Brunetti et al. 1981) y huecos (Reggiani y Brunetti 1986)

A1. 3. d) Coeficiente de ionización

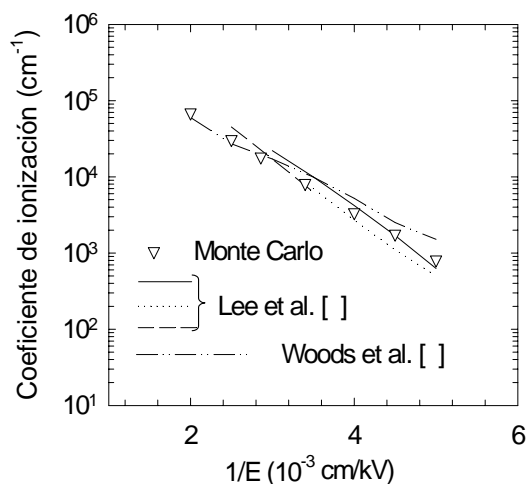


Figura A1.9. Coeficiente de ionización de electrones en Silicio material.

Finalmente, vamos a mostrar los resultados obtenidos para el coeficiente de ionización α (Figura A1.9), que se define como el número de mecanismos de ionización que sufre un portador dividido por la distancia que recorre en la dirección del campo aplicado [Martín et al. 1993]. Los valores experimentales han sido tomados de [Lee et al. 1964, Woods et al. 1973]. Como vemos, existe un notable acuerdo entre la simulación Monte Carlo y los datos experimentales.

En conclusión, podemos afirmar que los resultados obtenidos confirman la validez del simulador en cuanto a la estructura de bandas y probabilidades de *scattering* del Silicio material, que sirven de base para el desarrollo del simulador MC2D.

Para finalizar este apéndice, a continuación mostramos algunos de los parámetros físicos del Silicio considerados en las simulaciones (Tabla A1.6), así como los valores de algunas magnitudes interesantes correspondientes a Silicio homogéneo dopado tipo n (Tabla A1.7) y tipo p (Tabla A1.8).

Densidad	3.329 gr/cm ³
Velocidad del sonido Transversal	9.04·10 ⁵ cm/s
Velocidad del sonido Longitudinal	5.30·10 ⁵ cm/s
Constante Dieléctrica	11.7 F/cm

Tabla A1.6

Si-n			$m_e=0.25$	$L=1.0\mu\text{m}$			
N_D (cm ⁻³)	μ (cm ² V ⁻¹ s ⁻¹)	r_o (Ω m ²)	τ_p (s)	f_p (GHz)	τ_d (s)	τ_m (s)	λ_D (m)
10 ¹⁶	1027	6.07 10 ⁻⁹	3.03 10 ⁻¹³	525	6.29 10 ⁻¹³	1.46 10 ⁻¹³	4.10 10 ⁻⁸
10 ¹⁷	780	8.00 10 ⁻¹⁰	9.58 10 ⁻¹⁴	1660	8.29 10 ⁻¹⁴	1.11 10 ⁻¹³	1.30 10 ⁻⁸
10 ¹⁸	405	1.54 10 ⁻¹⁰	3.03 10 ⁻¹⁴	5246	5.75 10 ⁻¹⁴	3.03 10 ⁻¹⁴	4.09 10 ⁻⁹

Tabla A1.7

Si-p			$m_n=0.49$	$m_{hh}=0.54$	$m_{hl}=0.15$	$L=1.0\mu\text{m}$	
N_D (cm ⁻³)	μ (cm ² V ⁻¹ s ⁻¹)	r_o (Ω m ²)	τ_p (s)	f_p (GHz)	τ_d (s)	τ_m (s)	λ_D (m)
10 ¹⁶	446	1.40 10 ⁻⁸	4.23 10 ⁻¹³	376	1.45 10 ⁻¹²	1.23 10 ⁻¹³	4.10 10 ⁻⁸
10 ¹⁷	386	1.61 10 ⁻⁹	1.34 10 ⁻¹³	1190	1.68 10 ⁻¹³	1.07 10 ⁻¹³	1.30 10 ⁻⁸
10 ¹⁸	210	2.97 10 ⁻¹⁰	4.23 10 ⁻¹⁴	3762	3.08 10 ⁻¹⁴	5.80 10 ⁻¹⁴	4.10 10 ⁻⁹

Tabla A1.8

Siendo

- ▶ movilidad: μ
- ▶ resistencia (para una muestra de longitud igual a 1 μm), $r_o S = L/q\mu n_o$
- ▶ tiempo de relajación dieléctrico, $\tau_d = \epsilon_o \epsilon_r / qn\mu$
- ▶ tiempo de relajación del momento, $\tau_m = \mu m^*/q$

-
- ▶ tiempo del plasma, $\tau_p = \sqrt{m^* \epsilon_o \epsilon_r / q^2 n}$
 - ▶ frecuencia del plasma, $f_p = 1/2\pi\tau_p$
 - ▶ longitud de Debye (300 K), $\lambda_D = \sqrt{\epsilon_o \epsilon_r K_B T / q^2 n}$

Apéndice 2. Consideraciones sobre el fenómeno del ruido electrónico en transistores MOSFET

En este apéndice, vamos a comentar algunos aspectos relacionados con el fenómeno del ruido electrónico. Presentaremos una clasificación de las principales fuentes de ruido electrónico, desde el punto de vista fenomenológico, basada en las propuestas por Reggiani *et al.* en 1992 y González en 1994, comentando algunos aspectos específicos relacionados con los transistores de tipo MOSFET. Finalmente, comentaremos brevemente algunas de las representaciones (modelos compactos) consideradas habitualmente para la representación del fenómeno del ruido electrónico en este tipo de dispositivos.

A2. 1. En equilibrio. Ruido térmico

Este tipo de ruido también se denomina de Johnson-Nyquist. Su origen físico se encuentra en las fluctuaciones de la velocidad de los portadores libres causadas por el movimiento aleatorio o *browniano* de los mismos en el semiconductor. Dicho movimiento aleatorio tiene su origen en la agitación térmica de los portadores libres, y por tanto, está ligado a la temperatura absoluta de la red. La presencia del ruido térmico no depende de que exista una corriente neta fluyendo en el dispositivo. Por otra parte, en equilibrio es el único proceso de ruido que aparece en los dispositivos semiconductores. Su densidad espectral asociada es independiente con la frecuencia hasta valores comparables al inverso del tiempo de relajación del momento de los portadores; se trata por tanto de un fenómeno tipo “ruido blanco”.

El estudio de este tipo de ruido se puede efectuar a través de las siguientes expresiones fundamentales:

- El **teorema de Nyquist** [Nyquist 1928]: determina la densidad espectral de las fluctuaciones de la corriente o del voltaje asociadas a este tipo de ruido:

$$S_I(0) = \frac{4K_B T}{R} \quad S_V(0) = 4K_B T R \quad (\text{A2.1})$$

donde T es la temperatura de la red y R es la resistencia óhmica estática. A partir de ambas ecuaciones se llega a:

$$\frac{S_V(0)}{S_I(0)} = R^2 \quad (\text{A2.2})$$

- La **relación de Einstein**, que relaciona la movilidad de los portadores y el coeficiente de difusión:

$$D(0) = \frac{K_B T}{q} \mu(0) \quad (\text{A2.3})$$

Es posible extender la aplicabilidad del teorema de Nyquist a todas las frecuencias [Gasquet *et al.* 1985]:

$$S_I(\omega) = 4K_B T \text{Re}[Y(\omega)] \quad S_V(\omega) = 4K_B T \text{Re}[Z(\omega)] \quad (\text{A2.4})$$

donde $Y(\omega)$ y $Z(\omega)$ son, respectivamente, la admitancia y la impedancia de pequeña señal en equilibrio dependientes con la frecuencia.

Debido a sus características, este tipo de ruido aparece de manera natural en el modelo microscópico Monte Carlo, por lo que se observa fácilmente en las simulaciones.

A2. 2. Ruido fuera de equilibrio

Cuando se aplica un campo eléctrico externo al dispositivo se observan desviaciones respecto al espectro de ruido blanco, existiendo una serie de contribuciones adicionales al fenómeno del ruido electrónico.

A2. 2. a) Ruido de difusión

Fuera de equilibrio al ruido térmico se le denomina ruido de difusión. Su estudio se puede efectuar a través del comportamiento del coeficiente de difusión $D(\omega)$. Este tipo de ruido es dominante en la mayoría de los dispositivos semiconductores para frecuencias por encima de 1 MHz. En el caso de los transistores MOSFET, su importancia es primordial, especialmente en el rango de radiofrecuencias y microondas. El ruido de difusión generado por los portadores en el canal se traduce por una parte de manera directa en ruido en el terminal de drenador, y por otra parte, de manera indirecta a través del acoplamiento capacitivo con el terminal de puerta,

produciéndose el llamado ruido inducido en puerta [van der Ziel 1986]. Por tanto, una correcta descripción de este fenómeno es absolutamente imprescindible para una correcta simulación del fenómeno del ruido en transistores de tipo MOSFET. Al igual que en el caso del ruido térmico, aparece de manera natural en el método de Monte Carlo, por lo que se trata del método más adecuado para su estudio.

A2. 2. b) Ruido de inyección o ruido *shot*

Su origen se encuentra en eventos que pueden ser considerados como procesos aleatorios independientes. Por ejemplo, tiene lugar en dispositivos donde la corriente está determinada por portadores que cruzan barreras independientemente y de modo aleatorio: tubos de vacío, uniones *pn*, diodos Schottky [Trippe 1986], etc. En otros dispositivos aparece habitualmente enmascarado por el ruido de difusión. El teorema de Schottky proporciona la densidad espectral de las fluctuaciones de una corriente I generadas por este tipo de ruido:

$$S_I(0) = 2qI \quad (\text{A2.5})$$

Esta expresión es válida para frecuencias inferiores a la correspondiente al tiempo de tránsito de los portadores por la unión (en el caso de la mayoría de dispositivos actuales, hasta frecuencias del orden de GHz). El comportamiento del ruido *shot* es de tipo blanco para estas frecuencias de trabajo, tal como puede deducirse de la expresión A2.5. Su detección en las simulaciones Monte Carlo de dispositivos de barrera, tales como diodos Schottky o uniones *pn* [González *et al.* 1993, Martín *et al.* 1996] es relativamente sencilla.

Sin embargo, en el caso de los transistores MOSFET, este tipo de ruido solamente cobra importancia cuando el dispositivo opera en la región subumbral, debido a que en ese régimen de funcionamiento el transporte de portadores está dominado por las dos uniones *pn* de fuente-substrato y drenador-substrato [Martín *et al.* 1996].

A2. 2. c) Ruido en exceso

Con esta expresión nos referimos a un conjunto de fuentes de ruido que solamente aparecen en presencia de una corriente neta fluyendo por el mismo. Dependiendo de los diferentes fenómenos físicos responsables de su aparición, esta clase de ruido se puede subdividir en los siguientes tipos:

- a) Fluctuaciones del número. Su origen se encuentra en las variaciones temporales de la ocupación de los distintos niveles de energía en el material, tales como bandas de energía, etc. Dentro de esta clasificación se incluyen las fluctuaciones debidas a mecanismos de *scattering* intervalle entre valles no equivalentes de la banda de conducción (ruido intervalle), y en el caso de los huecos, las fluctuaciones de gene-

radadas por mecanismos de *scattering* interbanda en la banda de valencia. Las fluctuaciones del número neto (sin considerar fenómenos de generación-recombinación) de portadores en el interior de un dispositivo [Varani *et al.* 1992, 1992a, 1993], que son responsable del denominado ruido de inyección [Varani *et al.* 1992b] también entran dentro de esta categoría. Este tipo de ruido también es muy sencillo de estudiar con el método de Monte Carlo.

El ruido de generación-recombinación también tiene cabida dentro de este apartado. Su origen se encuentra principalmente en las fluctuaciones en el número de portadores ocasionadas por la generación aleatoria de pares electrón-hueco, por la ionización espontánea de centros de impurezas donadores o aceptadores o por las trampas que existen en el gap del semiconductor, que provocan la emisión y captura sucesivas de un mismo tipo de portador. La expresión de la densidad espectral de este ruido de generación-recombinación viene dada por:

$$S_I(f) = \frac{4\alpha I^2}{N} \frac{\tau}{1 + \omega^2 \tau^2} \quad (\text{A2.6})$$

donde I es la corriente media, N el número total de portadores y α y τ son constantes características de los procesos de generación y recombinación. Las frecuencias características asociadas a este fenómeno son relativamente muy bajas, aproximadamente en el rango entre 1 KHz y 1 MHz, debido a que la constante de tiempo τ toma usualmente valores comprendidos entre 10^{-3} s y 10^{-6} s. El estudio de este tipo de ruido mediante una simulación Monte Carlo no es sencilla, ya que su origen físico es un proceso cuya escala temporal es sensiblemente mayor que la de los mecanismos de *scattering* usuales, que es del orden de 10^{-14} s.

Diferentes autores han introducido modificaciones en el procedimiento de simulación [Reggiani *et al.* 1987, Kuhn *et al.* 1991, Reggiani *et al.* 1992, Pérez *et al.* 2000] para poder efectuar una simulación efectiva de este fenómeno. Para los transistores MOSFET, este tipo de ruido se encuentra enmascarado por el ruido $1/f$, y en general su influencia puede ser despreciada [Goo 2001].

- b) Fluctuaciones de la movilidad. Su origen normalmente está asociado a variaciones de las cantidades físicas que intervienen en las probabilidades de *scattering*, de entre las cuales la más importante es la sección eficaz de *scattering*. También pueden estar asociadas a la población de fonones, propiedades elásticas, etc [Reggiani *et al.* 1992].
- c) Correlaciones cruzadas. A pesar de que en general suelen despreciarse, en ocasiones el acoplamiento entre las fluctuaciones del número y de la velocidad de los portadores, o entre la velocidad y la energía (denominado ruido convectivo) puede ser

importante. Su estudio con el método de Monte Carlo no supone ninguna dificultad adicional pues aparecen de forma inherente al modelo.

A2. 2. d) Ruido Flicker o ruido 1/f

Este tipo de ruido aparece en todos los sistemas biológicos o físicos regidos por algún tipo de distribución de probabilidades. Su origen aún no ha sido determinado claramente, y aún es sujeto de discusión científica (véase por ejemplo *Proceedings of the 1st-2nd International Conferences on Unresolved Problems of Noise* 1996, 1999), aunque se ha sugerido que puede encontrarse tanto en el volumen como en la superficie del dispositivo o estar ocasionado por fluctuaciones cuánticas de la materia [Handel 1975]. Este tipo de ruido aparece a muy baja frecuencia. La forma típica de la densidad espectral de corriente asociada al ruido 1/f es:

$$S_I(f) = \frac{\alpha_H}{N} \frac{I^2}{f} \tag{A2.7}$$

donde α_H es la constante de Hooge [Hooge 1994].

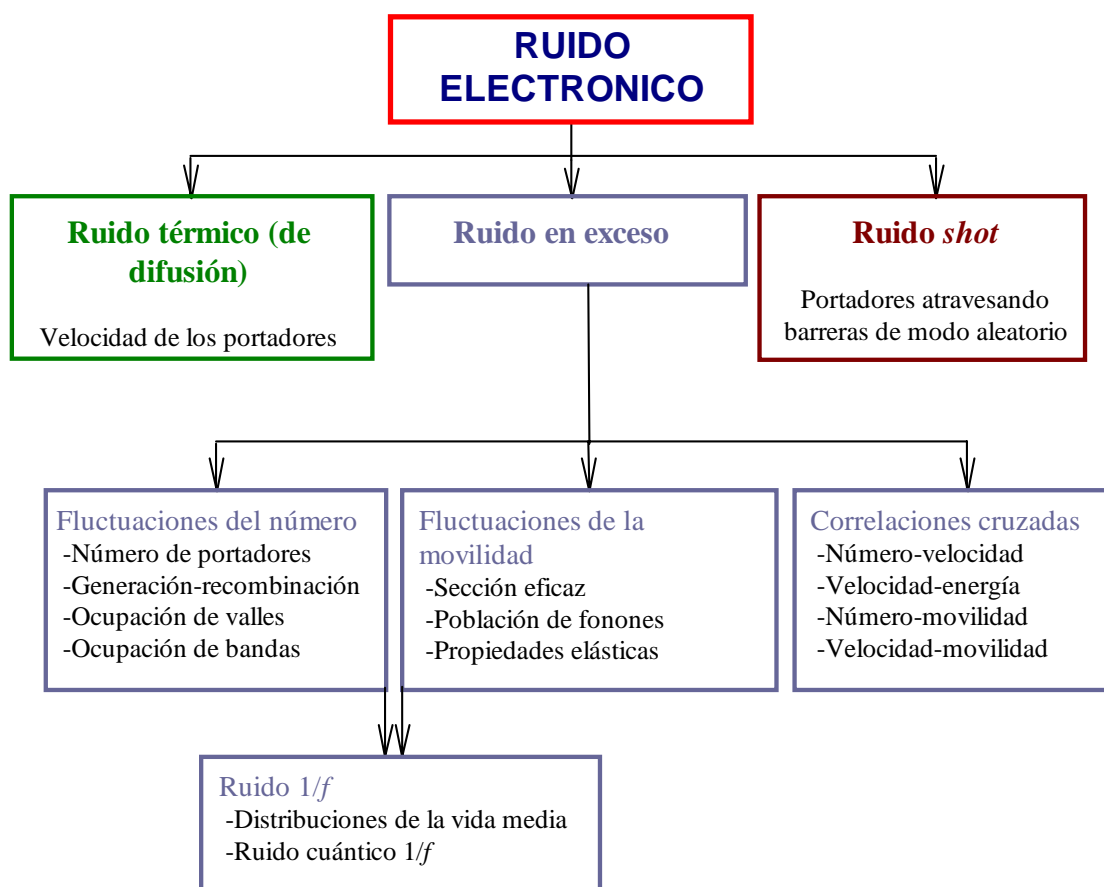


Figura A2.1. Clasificación general de las fuentes de ruido electrónico

En el caso de los transistores MOSFET, dadas las características del transporte en estos dispositivos este tipo de ruido es muy importante (para frecuencias inferiores al MHz), pues como hemos mencionado, su origen está relacionado con fenómenos de carácter superficial. El estudio de este tipo de ruido mediante una simulación Monte Carlo no va a ser llevado a cabo puesto que presenta grandes dificultades, por idénticas razones a las anteriormente mencionadas del ruido de generación-recombinación, es decir, la baja frecuencia a la que aparece.

En la Figura A2.1 se muestra la clasificación esquemática de las fuentes de ruido basada en la propuesta estudiada anteriormente. Para cada tipo de ruido se incluyen algunas cantidades físicas responsables de las fluctuaciones.

En resumen, mediante una simulación Monte Carlo es posible estudiar los tipos de ruido cuyos tiempos característicos sean del orden de los estudiados en la simulación y que estén además relacionados con los fenómenos de transporte en ella incluidos. De manera directa y sencilla, es posible estudiar el ruido térmico, de difusión, de inyección, en exceso debido a portadores calientes y a transferencias intervalle, fluctuaciones del número, etc. Otros tipos de ruido, tales como el ruido de generación-recombinación, fluctuaciones de la movilidad, etc., son también accesibles a la simulación Monte Carlo considerando adicionalmente los mecanismos que los originan. Sin embargo, como hemos señalado su estudio no es sencillo debido a la notable diferencia de su escala temporal con respecto a los demás fenómenos de ruido.

Existen además otros procesos, además de los mencionados, que pueden ejercer una influencia importante en las características del ruido, como por ejemplo el acoplamiento entre las fluctuaciones de la velocidad de los portadores y del campo eléctrico [Varani *et al.* 1992a].

A2.3. Modelos compactos para el estudio del ruido en MOSFETs

Como colofón a este Apéndice, vamos a comentar brevemente algunos de los modelos más empleados para el estudio del ruido en transistores de tipo MOSFET a altas frecuencias, dada la amplia difusión de los mismos.

A2. 3. a) Modelo de van der Ziel [van der Ziel 1986]

Como ya hemos mencionado a lo largo de esta Tesis, se trata del modelo más ampliamente utilizado para la modelización del ruido en transistores MOSFET. Se basa en la representación del transistor como un dispositivo de dos puertos con dos fuentes de ruido en corriente, una en la entrada y otra en la salida del dispositivo, ambas correlacionadas. Esto da lugar a un

conjunto de cuatro parámetros para la descripción completa del fenómeno del ruido, puesto que la correlación de ambas está descrita por un parámetro complejo (con parte real e imaginaria).

A2. 3. b) Modelo de Pospieszalski [Pospieszalski 1989]

Se trata de un modelo ampliamente utilizado para la descripción del fenómeno del ruido en dispositivos FET de la familia III-V. Al igual que el modelo de van der Ziel, se basa en la consideración de dos fuentes de ruido, con la diferencia de que considera una fuente de ruido en corriente a la salida y una fuente de ruido en voltaje en la entrada, esta última independiente de la frecuencia, y no correlacionadas entre sí. Esta última condición permite que sean necesarios únicamente dos parámetros para describir el fenómeno del ruido, lo cual es altamente conveniente por ejemplo en el caso de la implantación del modelo en simuladores SPICE. Su idoneidad para su consideración en el estudio de transistores MOSFET es aún sujeto de discusión, ya que a pesar de que ha sido empleado de manera satisfactoria para el análisis de estos dispositivos [Vanmackelberg *et al.* 2002], de acuerdo con [Goo 2001], la condición de correlación nula exigida por este modelo no se cumplen en el caso de transistores MOSFET. Por tanto, su validez para un estudio pormenorizado y completo del fenómeno del ruido en este tipo de dispositivos aún es sujeto de controversia.

A2. 3. c) Modelo BSIM4

Inicialmente, se basa en una descripción similar al modelo de Pospieszalski, ya que considera una fuente de ruido en corriente y otra en voltaje, sin correlación entre ambas. Sin embargo, considera una fuente de ruido conectada al terminal de fuente en lugar de al terminal de puerta, y no se basa en la descripción del transistor como un dispositivo de dos puertos, por lo que no parece la representación más adecuada para ser considerada en un análisis Monte Carlo del fenómeno del ruido.

En general, el modelo más adecuado para la representación del ruido es el modelo de van der Ziel, pues es capaz de capturar de manera adecuada los efectos de la correlación entre las fuentes de ruido. Sin embargo, hay que destacar que los modelos de Pospieszalski y BSIM4 son capaces de reproducir adecuadamente el comportamiento del ruido en el terminal de drenador y del ruido inducido en puerta, por lo que son ampliamente utilizados [Goo 2001].

Bibliografía

- Abidi A. A., "High-frequency noise measurements on FET's with small dimensions", *IEEE Trans. Electron Dev.* **33** 1801 (1986)
- Adan A. O., Yoshimasu T., Shitara S., Tanba N. y Fukumi M., "Linearity and Low-Noise Performance of SOI MOSFETs for RF Applications", *IEEE Trans. Electron Dev.* **49** 881 (2002)
- Ando T., Fowler A. B. y Stern F., "Electronic properties of two-dimensional systems", *Rev. Mod. Phys.* **54** 437 (1982)
- Assaderaghi F. *et al.*, "A 7.9/5.5 psec Room/Low Temperature SOI CMOS", *1997 IEEE Electron Device Meeting, IEDM*, 415 (1997)
- Babiker S., Asenov S., Cameron N., Beaumont S. P. y J. R. Barker, "Complete Monte Carlo RF Análisis of "Real" Short-Channel Compound FET's", *IEEE Trans. Electron Dev.* **45** 1644 (1998)
- Baccarani G., Wordeman M. y Dennard R., "Generalized scaling theory and its application to a $\frac{1}{4}$ micron MOSFET design", *IEEE Trans. Electron Dev.* **31** 452 (1984)
- Balestra F., Cristoloveanu S., Benachir M., Brini J., y Elewa T., "Double-gate silicon-on-insulator transistor with volume inversion - a new device with greatly enhanced performance", *IEEE Electron Dev. Lett.* **8** 410 (1987)
- Bardeen J. y Brattain W. H., "The transistor, a semi-conductor triode", *Phys. Rev.* **74** 230 (1948)

- Bertho M. y Bosch R., "Broad-Band determination of the FET Small-Signal equivalent Circuit", *IEEE Trans. Microwave Theory Tech.* **38** 891 (1990)
- Bernstein K. y Rohrer N. J., *SOI Circuit Design Concepts* (Boston: Kluwer Academic Publishers, 2000)
- Blotekjaer K., "Transport equation for electrons in two-valley semiconductors", *IEEE Trans. Electron Dev.* **17** 38 (1970)
- Boardman A. D., "Computer simulation of hot electron behaviour in semiconductors using Monte Carlo methods", en *Physics Programs*, editado por A. D. Boardman, 355 (New York; Wiley, 1980)
- Brews J. R., "A charge-sheet model of the MOSFET", *Solid-State Electron.* **21** 345 (1978)
- Brooks H., "Scattering by ionised impurities in semiconductors", *Phys. Rev.* **83** 879 (1951)
- Brudevoll T., Fjeldly T. A., Back J. y Shur S., "Scattering rates for holes near the valence band edge in semiconductors", *J. Appl. Phys.* **67** 7373 (1990)
- Bruel M., "Silicon-on-insulator material technology", *Electronics Letters* **31** 1201 (1995)
- Bruel M., "Application of hydrogen ion beams to Silicon On Insulator material technology", *Nuclear Instruments and Methods in Physics Research B* **108** 313 (1996)
- Brunetti R., Jacoboni C., Nava F., Reggiani L., Bosman G. y Zijlstra J. J., "Difusión coefficient of electrons in Silicon", *J. Appl. Phys.* **52** 6713 (1981)
- Brunetti R., Jacoboni C., Venturi F., Sangiorgi E. y Riccò B., "A many-band silicon model for hot-electron transport at high energies", *Solid-State Electron.* **32** 1663 (1989)
- Bude J., Hess K. y Iafrate G. J., "Impact ionization in semiconductors - effects of high electric-fields and high scattering rates", *Phys Rev. B* **45** 10958 (1992)
- Canali C., Jacoboni C., Nava F., Ottaviani G. y Albegiri-Quaranta A., "Electron drift velocity in silicon", *Phys. Rev. B* **12** 2265 (1975)
- Canali C. , Pavan P. Et al., "Experimental and Monte Carlo Análisis of Impact-Ionization in AlGaAs/GaAs HBT's", *IEEE Trans. Electron Dev.* **43** 1769 (1996)
- Cappy A., "Noise Modeling and Measurement Techniques", *IEEE Trans. Microwave Theory Tech.* **36** 1 (1988)
- Cappy A., "Noise Modelling", en *Compound Semiconductor Device Modelling* editado por C. M. Snowden y R. E. Miles (Londres: Springer-Verlag 1993)
- Cartier E., Fischetti M. V., Eklund E. A. y McFeely F. R., "Impact ionization in Silicon", *Appl. Phys. Lett.* **62** 3339 (1993)
- Chatterjee P., Hunter W., Holloway T. y Lin T., "The impact of scaling laws on the choice of n-channel or p-channel for MOS VLSI", *IEEE Electron Device Lett.* **1** 220 (1982)
- Chen C.-H. y Deen M. J., "High Frequency noise of MOSFETs. I Modeling", *Solid-State Electron.* **42** 2069 (1998)

- Chen C.-H., Deen M. J., Yan Z. X., Schroter M. y Enz C., "High Frequency noise of MOSFETs. II Experiments", *Solid-State Electron.* **42** 2083 (1998)
- Chen C.-H., Deen M. J., Cheng Y. y Matloubian M., "Extraction of the Induced Gate Noise, Channel Noise and their Correlation in Submicron MOSFETs from RF Noise Measurements", *IEEE Trans. Electron Dev.* **48** 2884 (2001)
- Chen R. Y. y Pan D.-S. J., "A Monte Carlo study of many-valley effects on the temporal electron transient transport in silicon", *J. Appl. Phys.* **70** 4938 (1991)
- Chen W. y Ma T.-P., "A New Technique for Measuring Lateral Distribution of Oxide Charge and Interface Traps Near MOSFET Junctions", *IEEE Electron Device Lett.* **12** 393 (1991)
- Choi J. H., Park Y. y Min H., "Electron mobility behavior in extremely thin SOI MOSFET's", *IEEE Electron Dev. Lett.* **18** 527 (1995)
- Cohen M. L. y Bergstresser T. K., "Band structures and pseudopotential form factors for fourteen semiconductors of the zinc-blende structures", *Phys. Rev.* **141** 789 (1966)
- Cohen M. L. y Chelikowsky J. R., *Electronic Structure and Optical Properties of Semiconductors* (Berlín: Springer-Verlag, 1988)
- Colinge J. P., "Hot-electron effects in Silicon-On-Insulator n-channel MOSFET", *IEEE Trans. Electron Dev.* **34** 2173 (1987)
- Colinge J. P., "Thin-film SOI devices: A perspective", *Microelectron. Eng.* **8** 127 (1988)
- Colinge J. P. *Silicon-on-Insulator Technology: Materials to VLSI 2nd* edition (Norwell, MA: Kluwer, 1997)
- Colinge J. P., "Fully-Depleted SOI CMOS for Analog Applications", *IEEE Trans. Electron Dev.* **45** 1010 (1998)
- Constant E., "Modelling of sub-micron devices", en *Solid-State Devices*, editado por J. E. Carrol, *IOP Conf. Series*, **57** 141 (1980)
- Costato M. y Reggiani L., "Scattering probabilities for holes", *Phys. Stat. Sol B* **58** 471 (1973)
- Cristoloveanu S., "Introduction to Silicon On Insulator Materials and Devices", *Microelectron. Eng.* **39** 145 (1997)
- Cristoloveanu S., "Silicon on insulator technologies and devices: from present to future", *Solid State Electronics* **45** 1403 (2001)
- Critchlow D. L., "MOSFET Scaling – The driver of VLSI Technology", *Proc. IEEE* **87** 659 (1999)
- Dambrine G., Cappy A., Heliodore F. y Playez E., "A New Method for Determining the FET Small-Signal Equivalent Circuit", *IEEE Trans. Microwave Theory Tech.* **36** 1151 (1988)

- Dambrine G., Raskin J.-P. *et al.* “High-Frequency Four Noise Parameters of Silicon-on-Insulator-Based Technology MOSFET for the Design of Low-Noise RF Integrated Circuits”, *IEEE Trans. Electron Dev.* **46** 1733 (1999)
- Danneville F., Happy H., Dambrine G., Belquin J. M. y Cappy A., “Microscopic noise modelling and macroscopic noise models: how good a connection?”, *IEEE Trans. Electron Dev.* **41** 779 (1994)
- Danneville F., Dambrine G., Happy H., Tadyszak P. y Cappy A., “Influence of the gate leakage current on the noise performance of MESFETs and MODFETs”, *Solid-State Electron.* **38** 1081 (1995)
- Deen M. J. y Chen C.-H., “Some Issues in High Frequency Noise Modeling of MOSFETs”, en *Unsolved Problems of Noise and Fluctuations*, ed. por D. Abbott y L. B. Kish 381 (2000)
- Dennard R. H., Gaensslen F. H., Yu H. N., Rideout V. L., Bassous E., y LeBlanc A. R. “Design of Ion - Implanted MOSFETs with Very Small Physical Dimensions,” *IEEE J. Solid-State Circuits* **9** 256 (1974)
- Dennard R., “Power supply considerations for future scale CMOS systems”, en *Proc. Int. Symp. VLSI Technology, Systems and Applications* 188 Taipei (Taiwan) (1989)
- De Visschere P., “The validity of Ramo’s Theorem”, *Solid-State Electron.* **33** 455 (1990)
- Dewey J. y Osman M. A., “Monte Carlo study of hole transport in Silicon”, *J. Appl. Phys.* **74** 3219 (1993)
- Di Carlo A., Rossi L. *et al.*, “Monte Carlo study of the Dynamic Breakdown Effects in HEMT’s”, *IEEE Electron Dev. Lett.* **21** 149 (2000)
- Donati S., Alam M. A., Krisch K. S., Martin S., Pinto M. R., Vuong H. H., Bonani F. y Ghione G., “Physics-Based RF Noise Modeling of Submicron MOSFETs”, *IEDM Tech. Dig.* 81 (1998)
- Dresselhaus G., Kip A. F. y Kittel C., “Cyclotron Resonance of Electrons and Holes in Silicon and Germanium Crystals”, *Phys. Rev.* **98** 368 (1955)
- Dressendorfer P. V. y Barker R. C., “Photoemission measurements of interface barrier energies for tunnel oxides on silicon”, *Appl. Phys. Lett.* **36** 933 (1980)
- Duncan A., Ravaioli U. y Jakumeit J., “Full-Band Monte Carlo Investigation of Hot Carrier Trends in the Scaling of Metal-Oxide-Semiconductor Field-Effect-Transistors”, *IEEE Trans. Electron. Dev.* **45** 867 (1998)
- Dunn G. M., Rees G. J. y David J. P. R., “Monte Carlo simulation of impact ionization in MESFET’s”, *Electron. Lett.* **33** 639 (1997)
- Eggermont J. P., Flandre D., Raskin J.-P. y Colinge J.-P., “Potential and modelling of 1- μm 1-GHz SOI CMOS OTA’s”, *Electron. Lett.* **33** 774 (1997)

- Ellis-Monaghan J. J., Kim K. W. y Littlejohn M. A., "A Monte Carlo study of hot electron injection and interface state generation model for silicon metal-oxide-semiconductor field-effect-transistors", *J. Appl. Phys.* **75** 5087 (1994)
- Enz C. C. y Cheng Y., "MOS Transistor Modeling for RF IC Design", *IEEE Trans. Solid-State Circuits* **35** 186 (2000)
- Ershov M. y Ryzhii V., "Temperature dependence of the electron impact ionization coefficient in silicon", *Semicond. Sci. Technol.* **10** 138 (1995)
- Fiegna C. y Sangiorgi E., "Modeling of high-energy electrons in MOS devices at the microscopic level", *IEEE Trans. Electron Dev.* **40** 619 (1993)
- Fiorenza J. G. y del Alamo J. A., "Experimental comparison of RF Power LDMOSFETs on Thin-Film SOI and bulk Silicon", *IEEE Trans. Electron Dev.* **49** 687 (2002)
- Fischetti M. V. y Laux S. E., "Monte Carlo study of sub-band-gap impact ionization in small silicon field-effect transistors", *Tech. Dig. Int. Electron Devices Meet.* 305 (1995)
- Fischetti M. y Laux S., "Monte Carlo analysis of electron transport in small semiconductor devices including band-structure and space-charge effects", *Phys. Rev. B* **38** 9721 (1988)
- Fjeldly T. A., Ytterdal T. y Shur M., *Introduction to Device Modeling and circuit simulation* (Wiley: New York, 1998)
- Flandre D. y Van de Wiele F., "Second-order analytical modeling of thin-film SOI MOSFETs", *Proc. of the IEEE SOS/SOI Technology Conference*, 27 (1989)
- Flandre D., Ferreira L. F., Jespers P. G. A. y Colinge J.-P., "Modelling and application of Fully Depleted SOI MOSFETs for low voltaje, low power analogue CMOS circuits", *Solid-State Electron.* **39** 455 (1996)
- Flandre D., Adriaensen S. *et al.*, "Fully depleted SOI CMOS technology for heterogeneous micropower, high-temperature of RF microsystems", *Solid-State Electron.* **45** 541 (2001)
- Fossum J. G., *Proceedings of the fourth international Symposium on Silicon-on-Insulator Technology and Devices* 491 (1990)
- Fossum J. G., Choi J. Y. y Sundaresan R., "SOI design for competitive CMOS VLSI", *IEEE Trans. Electron Dev.* **37** 724 (1990)
- Gámiz F., López-Villanueva J. A., Roldán J. B., Carceller J. E. y Cartujo P., "Monte Carlo simulation of electron transport properties in extremely thin SOI MOSFET's", *IEEE Trans. Electron Dev.* **45** 1122 (1998)
- Gámiz F., Roldán J. B., López-Villanueva J. A., Cartujo-Casinello P., Carceller J. E., Cartujo P. y F. Jiménez-Molinos, "Electron transport in Silicon-On-Insulator devices", *Solid-State Electron.* **45** 613 (2001)

- Gao X., Liou J. J., Bernier J. y Croft G., "An improved model for substrate current of submicron MOSFETs", *Solid-State Electron.* **46** 1395 (2002)
- Gasquet D., De Murcia M., Nougier J. P. Y Gontrand C., "Transport parameters of hot electrons in GaAs at 300K", *Physica B* **134** 264 (1985)
- Ghandhi S. K., *VLSI Fabrication Principles* (New York: Wiley, 1994)
- Gómez M. y González P., "Effective mass dependence on the energy and the wavenumber in Diamond and Zinc-Blende Semiconductors", *Semicond. Sci. Technol.* **11** 1251 (1996)
- González G., *Microwave Transistors Amplifiers. Analysis and Design*, 2nd edition (Upper Saddle River, NJ: Prentice Hall, 1997)
- González T., Pardo D., Varani L. y Reggiani L., "Monte Carlo análisis of noise spectra in Schottky-barrier diodes", *Appl. Phys. Lett.* **63** 3040 (1993)
- González T., "Análisis del Ruido Electrónico en Materiales y Dispositivos Semiconductores Unipolares mediante el Método de Monte Carlo", Tesis Doctoral (Salamanca, 1994)
- González T. y Pardo D., "Monte Carlo determination of the intrinsic small-signal equivalent circuit of MESFET's", *IEEE Trans. Electron Dev.* **42** 605 (1995)
- González T., Pardo D., Varani L. y Reggiani L., "Monte Carlo Analysis of the Behaviour and Spatial Origin of Electronic Noise in GaAs MESFET's", *IEEE Trans. Electron Dev.* **42** 991 (1995b)
- González T. y Pardo D., "Physical models of ohmic contacts for Monte Carlo device simulation", *Solid-State Electron.* **39** 555 (1996)
- González T., Mateos J., Pardo D., Bulashenko O. M. y Reggiani L., "Microscopic análisis of shot-noise supresión in nondegenerate ballistic transport", *Semicond. Sci. Tech.* **13** 714 (1998)
- González T., Mateos J., Martín-Martínez M. J., Pérez S., Rengel R., Vasallo B. G. y Pardo D., "Monte Carlo Simulation of Noise in Electronic Devices: Limitations and Perspectives", *3rd International Conference on Unsolved Problems of Noise, UPoN 2002*, en *AIP Conf. Proc.*, en prensa (2002)
- Goo J.-S., "High frequency noise in CMOS low noise amplifiers", Tesis Doctoral (Stanford, 2001)
- Goodnick S. M., Ferry D. K., Wilmsen C. W. *et al.*, "Surface-roughness at the Si-SiO₂ interface", *Phys. Rev.* **B32** 8171 (1985)
- Greaves S. D. y Unwin R. T., "Accurate noise characterization of short gate length GaAs MESFETs and HEMTs for use in low-noise optical receivers", *Microwave and Opt. Tech. Lett.* **6** 60 (1993)
- Grosch T., *Small Signal Microwave Amplifier Design* (Atlanta: Noble Publishing Corporation, 1999)

- Gruzinskis V., Kersulis S. y Reklaitis A., “An efficient Monte Carlo particle technique for two-dimensional transistor modelling”, *Semicond. Sci. Technol.* **6** 602 (1991)
- Halladay H. E. y van der Ziel A., “On the high frequency excess noise and equivalent circuit representation of the MOSFET with n-type channel”, *Solid-State Electron.* **12** 161 (1969)
- Handel P. H., “1/f noise – An infrared phenomenon”, *Phys. Rev. Lett.* **34** 1492 (1975)
- Hilsum C., “Transferred electron amplifiers and oscillators”, *Proc. IRE* **50** 185 (1962)
- Hockney R. W. y Eastwood J. W., “Semiconductor device simulation”, en *Computer simulation using particles* (Bristol: IOP, 1988)
- Hooge F. N., “1/f noise sources”, *IEEE Trans. Electron. Dev.* **41** 1926 (1994)
- Hsiao T. C., Kistler N. A., y Woo J. C. S., “Modelling of the I-V characteristics of Fully-Depleted submicrometer SOI MOSFET’s”, *IEEE Electron Device Lett.* **15** 45 (1994)
- Hu M.-C. y Jang S.-L., “An Analytical Fully-Depleted SOI MOSFET Model Considering the Effects of Self-Heating and Source/Drain Resistance”, *IEEE Trans. Electron. Dev.* **45** 797 (1998)
- Huang Q., Piazza F., Orsatti P., Ohguro T., “The impact of scaling down to deep submicron CMOS RF circuits”, *IEEE J. Solid State Circ.* **33** 1023 (1998)
- Hulfachor R. B., Kim K. W., Littlejohn M. A. y Osburn C. M., “Comparative Analysis of Hot Electron Injection and Induced Device Degradation in Scaled 0.1 μm SOI n-MOSFET’s Using Monte Carlo Simulation”, *IEEE Electron Dev. Lett.* **17** 53 (1996)
- Iwai H., “Outlook of MOS devices into the next century”, *Microelectronics Engineering* **48** 7 (1999a)
- Iwai H., “CMOS Technology – Year 2010 and beyond”, *IEEE J. Solid-State Circuits* **34** 357 (1999b)
- Jacoboni C. y Lugli P. *The Monte Carlo method for Semiconductor Device Simulation* (Viena: Springer, 1989)
- Jacoboni C. y Reggiani L., “The Monte Carlo method for the solution of charge transport in semiconductors with applications to covalent materials”, *Rev. Mod. Phys.* **55** 645 (1983)
- Jang S.-L. y Sheu C.-J., “A non-local gate current and oxide trapping charge generation model for lightly doped drain and single-drain nMOSFETs”, *Solid-State Electron.* **44** 1305 (2000)
- Jen S. H. M., Enz C. C., Pehlke D. R., Schröter M. y Sheu B. J., “Accurate modeling and parameter extraction for MOS transistors valid up to 10 GHz”, *IEEE Trans Electron Dev.* **46** 2217 (1999)
- Jindal R. P., “Hot-electron effects on channel thermal noise in fine-line NMOS field effect transistors”, *IEEE Trans. Electron Dev.* **33** 1395 (1986)

- Kane E. O., "Energy band structure in p-type germanium and silicon", *J. Phys. Chem. Solids* **1** 82 (1965)
- Kane E. O., "Electron scattering by pair production in silicon", *Phys. Rev.* **159** 624 (1967)
- Kano K., *Semiconductor Devices* (Prentice Hall: Londres, 1998)
- Kahng D. y Atalla M. M., "Silicon-silicon dioxide field induced surface devices", *IRE-AIEEE Solid-State Device Research Conference*, Carnegie Institute of Technology, Pittsburg, PA (1960).
- Kim H., Min H. S., Tang T. W. y Park Y. J., "An extended proof of the Ramo-Shockley theorem", *Solid-State Electron.* **34** 1251 (1991)
- Klaasen D. B. M., "A unified mobility model for device simulation—I. Model equations and concentration dependence", *Solid-State Electrón.* **35** 953 (1992)
- Kuhn T., Reggiani L. y Varani L., "Correlation functions and electronic noise in doped semiconductors", *Phys. Rev. B* **42** 11133 (1990)
- Kuhn T., Reggiani L. y Varani L., "A model current spectral density for hot-carrier noise in semiconductors", *J. Appl. Phys.* **69** 7097 (1991)
- Kurosawa T., *Proceedings of the International Conference on the Physics of Semiconductors*, Kyoto, *J. Phys. Soc. Japan Suppl. A* **49** 345 (1966a)
- Kurosawa T., "Monte Carlo calculation of hot electrons problems", *J. Phys. Soc. Japan Suppl. S* **21** 424 (1996b)
- Laux S. E., "Techniques for small-signal analysis of semiconductor devices", *IEEE Trans. Electron Dev.* **32** 2028 (1985)
- Laux S. E. y Fischetti M. V., "Monte-Carlo Simulation of Submicrometer Si n-MOSFETs at 77-K and 300-K", *IEEE Electron Device Lett.* **9** 467 (1988)
- Lee C., Logan R., Batdorf R., Kleimack J. y Wiegmann W., "Ionization Rates of Holes and Electrons in Silicon", *Phys. Rev.* **134** A761 (1964)
- Lilienfeld J. E., "Method and apparatus for controlling electric current", *US Patent* 1 745 175. Application filed Oct. 8, 1926, granted Jan. 18, 1930
- Lilienfeld J. E., "Device for controlling electrical current", *US Patent* 1 900 018. Application filed Mar. 28, 1928, granted Mar. 7 1933
- Lim H. K. y Fossum J. G., "Current-Voltage Characteristics of Thin-Film SOI MOSFETs in Strong Inversion", *IEEE Trans. Electron Dev.* **31** 401 (1984)
- Lim H. K. y Fossum J. G., "A Charge-Based Large-Signal Model for Thin-Film SOI MOSFETs", *IEEE Trans. Electron Dev.* **32** 446 (1985)
- Liou J. J., Ortiz-Conde A. y García-Sánchez F., *Analysis and design of MOSFETs – Modeling, Simulation and Parameter Extraction* (Kluwer: Norwell MA, 1998)
- Lugli P., "Monte Carlo models and simulations", en *Compound Semiconductor Device Modelling*, editado por C. M. Snowden y R. E. Miles (Londres: Springer-Verlag, 1993)

- Madelung O., *Introduction to Solid-State theory* (Berlín: Springer-Verlag, 1981)
- Madelung O., *Semiconductors: Group IV elements and III-V compounds* (Berlín: Springer-Verlag, 1991)
- Mahapatra S., Parikh C. D. et al., “A Comprehensive Study of Hot-Carrier Induced Interface and Oxide Trap Distributions in MOSFET’s Using a Novel Charge Pumping Technique”, *IEEE Trans. Electron Dev.* **47** 171 (2000)
- Manku T., “Microwave CMOS – Device Physics and Design”, *IEEE J. Solid-State Circuits* **34** 277 (1999)
- Martín M. J., “Estudio del transporte de carga en silicio mediante un método de Monte Carlo”, Grado de Salamanca (Salamanca, 1992)
- Martín M. J., González T., Velázquez J. y Pardo D., “Simulation of electron transport in silicon: impact-ionization processes”, *Semicond. Sci. Technol.* **8** 1291 (1993)
- Martín M. J. “Análisis del Transporte de Carga y de los Fenómenos de Ruido Electrónico en Estructuras Si/Si_{1-x}Ge_x bipolares”, Tesis Doctoral (Salamanca, 1996)
- Martín M. J., Pardo D. y Velázquez J., “Análisis of current fluctuations in silicon pn^+ and p^+n homojunctions”, *J. Appl. Phys.* **79** 6975 (1996)
- Martín M. J., Pardo D. y Velázquez J., “Microscopic análisis of the influence of strain and band-gap offsets on noise characteristics in Si_{1-x}Ge_x/Si heterojunctions”, *J. Appl. Phys.* **84** 5012 (1998)
- Martín M. J., Pérez S., Pardo D. y González T., “Monte Carlo análisis of the noise behaviour in Si bipolar junction transistors and SiGe heterojunction bipolar transistors at radio frequencies”, *J. Appl. Phys.* **90** 1582 (2001a)
- Martín M. J., Pérez S., Pardo D. y González T., “High injection effects on noise characteristics of Si BJTs and SiGe HBTs”, *Microelectron. Reliab.* **41** 847 (2001b)
- Mateos J., “Modelización Microscópica del Ruido Electrónico en Estructuras MESFET y HEMT Submicrométricas. Análisis Numérico y Experimental.”, Tesis Doctoral (Salamanca, 1997)
- Mateos J., González T., Pardo D., Tadzysak P., Danneville F. y Cappy A., “Noise analysis of 0.1 μm gate MESFETs and HEMTs”, *Solid-State Electron.* **42** 79 (1998)
- Mateos J., González T., Pardo D., Hoel V. y Cappy A., “Effect of the T-gate on the performance of recessed HEMTs. A Monte Carlo analysis”, *Semicond. Sci. Technol.* **14** 864 (1999)
- Mateos J., González T., Pardo D., Höel V. y Cappy A., “Monte Carlo Simulator for the Design Optimization of Low-Noise HEMT’s”, *IEEE Trans. Electron Dev.* **47** 1950 (2000)
- Matulionis A. Pozela J. y Reklaitis A., “Monte Carlo treatment of electron-electron collisions”, *Solid State Com.* **16** 1133 (1975)

- McCumber D. E. y Chynoweth A. G., "Theory of negative Conductance Amplification and of Gunn Instabilities in Two-Valley semiconductors", *IEEE Trans. Electron Dev.* **13** 4 (1966)
- McQuarrie D. A. , *Statistical Mechanics* (New York: Harper and Row, 1976)
- Meyer J. E., "MOS Models and Circuit Simulation", *RCA Review* **32** 42 (1971)
- Moglestue C., "A self-consistent Monte Carlo particle model to analyze semiconductor microcomponents of any geometry", *IEEE Trans. Computer –Aided Design* **5** 326 (1986)
- Moglestue C. *Monte Carlo Simulation of Semiconductor Devices* (Boston: Artech House, 1993)
- Momose H. S., Morifuji E., Yoshitomi T. Ohguro T., et al., "High frequency AC characteristics of 1.5 nm gate oxide MOSFETs", *IEDM Tech Dig.* 105 (1996)
- Moore G. E., "Cramming more components onto integrated circuits", *Electronic* **38** 114 (1965)
- Muller R. S. y Kamins T. I., *Device Electronics for Integrated circuits*, 2nd Edition (Wiley: New York, 1986)
- Munteanu C., Maleville C. *et al.*, "Detailed characterization of Unibond material", *Microelectron. Eng.* **36** 395 (1997)
- Myers G. J., Yu A. Y. C. y House D. L., "Microprocessor technology trends", *Proc. IEEE* **74** 1605 (1986)
- Nag B. R., *Electron transport in Compound semiconductors* (Berlín: Springer-Verlag, 1980)
- Naveh Y. Y Likharev K. K. "Modeling of 10-nm-Scale Ballistic MOSFET's", *IEEE Electron Device Lett.* **21** 242 (2000)
- Nicolett A. S., Martino J. A., Simeón E. y Claeys C., "Extraction of the oxide charge density at front and back interfaces of SOI nMOSFET devices", *Solid-State Electron.* **46** 1381 (2002)
- Ning T. H., Osburn C. M. y Yu H. N., "Emission probability of hot electrons from silicon into silicon dioxide", *J. Appl. Phys.* **48** 286 (1977)
- Nyquist H., "Thermal agitation of electric charge in conductors", *Phys. Rev.* **32** 110 (1928)
- Omura Y. e Izumi K., "A new model of switching operation in fully depleted ultrathin-film CMOS SIMOX", *IEEE Electron Dev. Lett.* **12** 655 (1991)
- Ong D. G., *Modern MOS Technology – Processes, Devices&Design* (McGraw-Hill: New York 1984)
- Ong D. S., Li K. F., Plimmer S. A., Rees G. J., David J. P. R. y Robson P. N., "Full band Monte Carlo modelling of impact ionization, avalanche multiplication, and noise in submicron GaAs $p^+ - i - n^+$ diodes", *J. Appl. Phys.* **87** 7885 (2000)
- Ortiz-Conde A. *et al.*, "The nonequilibrium inversion layer charge of thin-film SOI MOSFET", *IEEE Trans. Electron Dev.* **36** 1651 (1989)

- Ottaviani G., Reggiani L., Canali C., Nava F. y Albegiri-Quaranta A., "Hole drift velocity in silicon", *Phys. Rev. B* **12** 3318 (1975)
- Pao H. C. y Sah C.-T., "Effects of diffusion current on characteristics of metal-oxide (insulator)-semiconductor transistors", *Solid-State Electron.* **9** 927 (1966)
- Paul D. J., "Silicon-Germanium Strained Layer Materials in Microelectronics", *Advanced Materials* **11** 191 (1999)
- Pavanello M. A. y Martino J. A., "Extraction of the oxide charges at the silicon substrate interface in Silicon-On-Insulator MOSFET's", *Solid-State Electron.* **43** 2039 (1999)
- Pérez S., González T., Delage S., Obregon J., "Microscopic analysis of generation-recombination noise in semiconductors under dc and time-varying electric fields", *J. Appl. Phys.* **88** 800 (2000)
- Pierret R. F. y Shields J. A., "Simplified Long-Channel MOSFET theory", *Solid-State Electron.* **26** 143 (1983)
- Pierret R. F., *Dispositivos de Efecto de Campo* (Wilmington, DE: Addison-Wesley Iberoamericana, 1994)
- Polyakov V., Schwierz F. y Liou J. J., "Ensemble Monte Carlo analysis of high-frequency current noise in nanometer DG-MOSFETs" *3rd European Workshop on Ultimate Integration of Silicon* 171, Munich (2002)
- Pospieszalski M. W., "Modeling of noise parameters of MESFET's and MODFET's and their frequency and temperature dependence", *IEEE Trans. Microwave Theory Tech.* **37** 1340 (1989)
- Powell R. J., "Interface barrier energy determination from voltage dependence of photoinjected currents", *J. Appl. Phys.* **48** 286 (1977)
- Press W. H., Flannery B. P., *et al.*, *Numerical Recipes. The Art of Scientific Computing* (New York: Cambridge University Press, 1989)
- Proceedings of the 1st International Conferences on Unresolved Problems of Noise 1996*, editado por Ch. R. Doering, L.B. Kiss y M.F. Shlesinger (World Scientific: Singapur, 1997)
- Proceedings of the 1st International Conferences on Unresolved Problems of Noise 1999*, editado por D. Abbott y L.B. Kiss (American Institute of Physics: New York, 2000)
- Pucel R. A., Haus H. A. y Statz H., "Signal and noise properties of gallium arsenide field effect transistors", *Advances in Electronics and Electron Physics* **38** 195 (1974)
- Ramo S., "Currents induced by electron motion", *Proc. IRE* **27** 584 (1939)
- Raskin J.-P., Dambrine G. y Gillon R., "Direct Extraction of the Series Equivalent Circuit Parameters for the Small-Signal Model of SOI MOSFET's", *IEEE Microwave Guided Wave Lett.* **7** 408 (1997)

- Raskin J.-P., Guillon R., Chen J., Vanhoenacker-Janvier D. y Colinge J.-P., "Accurate SOI MOSFET Characterization at Microwave Frequencies for Device Performance Optimization and Analog Modeling", *IEEE Trans. Electron Dev.* **45** 1017 (1998)
- Ravaioli U., Balasubramanian M., Aktas O., "Link between hot electrons and interface damage in n-MOSFETs: A Monte Carlo study", *Physica B* **272** 542 (1999)
- Razavi B., *RF Microelectronics* (Upper Saddle River, NJ: Prentice Hall, 1998)
- Rees H. D., "Calculation of steady state distribution function by exploiting stability", *Phys. Lett. A* **26** 416 (1968)
- Reggiani L., en *Proceedings of the 15th Int. Conf. Physics of Semiconductors*, Kyoto, Japan, editado por S. Tanaka y Y. Toyozawa 467 (1980)
- Reggiani L. y Brunetti R., "Diffusion coefficient of holes in Silicon by Monte Carlo simulation", *J. Appl. Phys.* **59** 1212 (1986)
- Reggiani L., Lugli P. y Mitin V., "Monte Carlo algorithm for generation-recombination noise in semiconductors", *Appl. Phys. Lett.* **51** 925 (1987)
- Reggiani L., Kuhn T. y Varani L., "Noise in correlation functions of hot carriers in semiconductors", *Appl. Phys. A* **54** 411 (1992)
- Ren Z., Venugopal R., *et al.*, "The ballistic nanotransistor: A simulation study", *IEDM Tech. Digest* 715 (2000)
- Rengel R., Mateos J., Pardo D., González T. y Martín M. J., "Monte Carlo análisis of dynamic and noise performance of submicron MOSFETs at RF and microwave frequencies", *Semicond. Sci. Technol.* **16** 939 (2001)
- Rengel R., Mateos J., Pardo D., González T. y Martín M. J., "RF noise in a short-channel n-MOSFET: a Monte Carlo study", *Materials Science Forum* **384-385** 155 (2002)
- Rengel R., Mateos J., Pardo D., González T., Martín M. J., Dambrine G., Danneville F. y Raskin J.-P., "Numerical and experimental study of a 0.25 μm fully-depleted silicon-on-insulator MOSFET: static and dynamic radio-frequency behaviour", *Semicond. Sci. Technol.* **17** 1149 (2002b)
- Rengel R., Pardo D. y Martín M. J., "Impact of downscaling on dynamic and noise parameters of submicron MOSFETs", *aceptado para su presentación en la 4^o Conferencia de Dispositivos Electrónicos CDE2003*, Barcelona (2003)
- Rengel R., Mateos J., Pardo D., González T., Martín M. J., Dambrine G., Danneville F. y Raskin J.-P., "Dynamic and Noise Behavior of Short-Gate FDSOI MOSFETs: Numerical and Experimental analysis", *aceptado para su presentación en la 4^o Conferencia de Dispositivos Electrónicos CDE2003*, Barcelona (2003b)
- Rengel R., Pardo D. y Martín M. J., "Comparative Study of the Dynamic Performance of Bulk and FDSOI MOSFET by means of a Monte Carlo Simulation", *aceptado para su presentación en el 11th Symposium on SOI Technology and Devices*, Paris (2003c)

- Rhew J.-H., Ren Z. y Lundstrom M. S. "A numerical study of ballistic transport in a nanoscale MOSFET", *Solid-State Electron.* **46** 1899 (2002)
- Ridley K. K., *Quantum Processes in Semiconductors* (Oxford: Clarendon Press, 1983)
- Rothe H. y Dalke W., "Theory of noisy fourpoles", *Proc. IRE* **44** 811 (1956)
- Sah C.-T., "Evolution of the MOS Transistor –From Conception to VLSI", *Proc. IEEE* **76** 1280 (1988)
- Sah C.-T., *Fundamentals of Solid-State Electronics* (World Scientific: Singapur, 1991)
- Saito M., Ono M, Fujimoto R., Tanimoto, H. et al., "0.15- μm RF CMOS Technology Compatible with Logic CMOS for Low-Voltage Operation", *IEEE Trans. Electron. Dev.* **45** 737 (1998)
- Sano N, Aoki T., Tomizawa M. y Yoshii A., "Electron transport and impact ionization in Si", *Phys. Rev. B* **41** 12122 (1990)
- Sano N. y Yoshii A., "Impact-ionization theory consistent with a realistic band structure of silicon", *Phys. Rev. B* **45** 4171 (1992)
- Schaller R. R., "Moore's law: past, present and future", *IEEE Spectrum* **34** 52 (1997)
- Schwierz F. y Liou J. J., "Semiconductor devices for RF applications: evolution and current status", *Microelectron. Reliab.* **41** 145 (2001)
- Selberherr S., *Analysis and Simulation of Semiconductor Devices* (Viena: Springer-Verlag, 1984)
- Shaeffer D. K. y Lee T. H., "A 1.5-V, 1.5-GHz CMOS low-noise amplifier", *Solid-State Circuits* **32** 745 (1997)
- Shockley W., "Current to conductors induced by a moving point charge", *J. Appl. Phys.* **9** 635 (1938)
- Shockley W., "Circuit element utilizing semiconductive material", *US Patent* 2 569 347. Application filed June 26, 1948, granted Sept. 25, 1951
- Shockley W., Copeland J. A. y James P., en *Quantum Theory of Atoms, Molecules and the Solid State*, editado por P. O. Löwdin, (New York: Academic Press, 1966)
- SIA, Semiconductor Industry Association, *The international technology roadmap for semiconductors* (2001)
- Silveira F., Flandre D. y Jespers P. G. A., "A g_m/I_D Based Methodology for the Design of CMOS Analog Circuits And Its Application to the Synthesis of a Silicon-On-Insulator Micropower OTA", *IEEE J. Solid-State Circuits* **31** 1314 (1996)
- Sleiman A., Di Carlo A., Lugli P. y Zandler G., "Breakdown Quenching in High Electron Mobility Transistor by Using Body Contact", *IEEE Trans. Electron Dev.* **48** 2188 (2001)

- Snowden C. M. *Introduction to Semiconductor Device Modelling* (Singapur: World Scientific, 1986)
- Su L. T., Fang H., Chung J. E. y Antoniadis D. A., "Hot-carrier effects in Fully-Depleted SOI nMOSFETs", *IEDM Tech. Dig.* 349 (1992)
- Suematsu N. *et al.*, "On-chip Matching Techniques for Si-MMICs", *2000 IEEE MTT-S International Microwave Symposium, workshop notes "Integrated Transceiver Design Using Silicon-based Semiconductor"* (2000)
- Sung R., Bendix P. y Das M. B., "Extraction of High-Frequency Equivalent Circuit Parameters of Submicron Gate-Length MOSFET's", *IEEE Trans. Electron Dev.* **45** 1769 (1998)
- Sze S. M., *Physics of Semiconductor Devices*, 2nd edition (New York: Wiley, 1981)
- Sze S. M., *VLSI Technology* (New York: McGraw-Hill 1983)
- Tang J. y Hess K., "Impact ionization of electrons in silicon (steady state)", *J. Appl. Phys.* **54** 5139 (1983)
- Taylor R. I., Brookbanks D. M. y Holden A. J., "Determining intrinsic noise parameters of 0.25 μm gate pseudomorphic HEMTs", *Electron. Lett.* **27** 1923 (1991)
- Tedja S., van der Spiegel y Williams H. H., "Analytical and experimental studies of thermal noise in MOSFET's", *IEEE Trans. Electron Dev.* **41** 2069 (1994)
- Thoma R., Peifer H. J. y Engl W. L., "An improved impact-ionization model for high-energy electron transport in Si with Monte Carlo simulation", *J. Appl. Phys.* **69** 2300 (1991)
- Throngnumchai K., Asada K. y Sugano T., "Modeling of 0.1- μm MOSFET on SOI Structure Using Monte Carlo Simulation Technique", *IEEE Trans. Electron Dev.* **33** 1005 (1986)
- Tomizawa K., *Numerical Simulation of Submicron Semiconductor Devices* (Boston: Artech House, 1993)
- Toriumi A., Koga J., Sakate H. y Ohata A., "Performance and reliability concerns of ultra-thin SOI and ultra-thin gate oxide MOSFET's", en *IEDM Tech. Dig.* 847 (1995)
- Triantis D. P., Birbas A. N. y Plevridis S. E., "Induced gate noise in MOSFET's revisited: The submicron case", *Solid-State Electron.* **41** 1937 (1997)
- Trippe M., Bosman G. y van der Ziel A., "Transit-time effects in the noise of Schottky-barrier diodes", *IEEE Trans. Microwave Theory Tech.* **34** 1183 (1986)
- Tsividis Y., *Operation and modelling of the MOS Transistor*, 2nd edition (Boston: McGraw-Hill, 1999)
- van der Ziel A., *Noise, Source, Charaterization, Measurement* (New Jersey: Prentice may, 1970)
- van der Ziel A., *Noise in Solid State Devices and Circuits* (New York: Wiley, 1986)
- Van Vliet K., Friedmann A. *et al.*, "Noise in single injection diodes. I. Survey of methods", *J. Appl. Phys.* **46** 1804 (1975)

- Van Zeghbroeck B., *Principles of Semiconductor Devices*, Universidad de Colorado, <http://ece-www.colorado.edu/~bart/book/title.htm> (1997)
- Vanmackelberg M., Raynaud C. *et al.*, “0.25 μm fully depleted SOI MOSFETs for RF mixed analog-digital circuits, including a comparison with partially depleted devices with relation to high frequency noise parameters”, *Solid-State Electron.* **46** 379 (2002)
- Varani L., Reggiani L. *et al.*, “Current fluctuations in submicron semiconductor structures”, *Proceedings of Symposium on Fluctuations in Solids* 43 (1992)
- Varani L., Reggiani L. Houlet P. y Kuhn T., “Shot noise in hot-carrier transport”, *Proceedings of the 21st International conference on the Physics of Semiconductors* 333 (1992a)
- Varani L., Reggiani L. *et al.*, “Hot-carrier fluctuations from ballistic to diffusive regimes in submicron semiconductor structures”, *Semicond. Sci. Technol.* **4** 117 (1992b)
- Varani L. Reggiani L. *et al.*, “Number and current fluctuations in submicron semiconductor structures”, *Proceedings of the 12th International Conference on noise in Physical Systems and 1/f Fluctuations* 329 (1993)
- Varani L., Reggiani L., Kuhn T., González T. y Pardo D., “Microscopic simulation of electronic noise in semiconductor materials and devices”, *IEEE Trans. Electron Dev.* **41** 1916 (1994)
- Veeraraghavan S. y J. G. Fossum, “A physical Short-Channel Model for the Thin-Film SOI MOSFET Applicable to Device and Circuit CAD”, *IEEE Trans. Electron Dev.* **35** 1866 (1988)
- Veeraraghavan S. y J. G. Fossum, “Short-Channel Effects in SOI MOSFET’s”, *IEEE Trans. Electron Dev.* **36** 522 (1989)
- Vendelin G. D., Pavio A. M. Y Rohde U. L., *Microwave Circuit Design Using Linear and Nonlinear Techniques* (New York: Wiley 1990)
- Viso S., Jacoboni C. y Reggiani L., *J. Phys. C: Solid State Phys* **12** 1525 (1979)
- Vogelsang T. y Hänsch W., “A Novel-Approach for Including Band-Structure Effects in a Monte-Carlo Simulation of Electron-Transport in Silicon” *J. Appl. Phys.* **70** 1493 (1991)
- Wanlass F. M. and Sah C.-T., “Nanowatt logic using field-effect metal-oxide semiconductor triodes”, *IEEE Int. Solid State Cir. Conf.* 32 (1963)
- Wanlass F. M., “Low stand-by power complementary field-effect circuitry”, *US Patent* 3 356 858. Application filed June 18, 1963, granted Dec. 5 1967
- Wang J., Kistler N., Woo J. y Viswanathan C. R., “Mobility-field Behavior of Fully Depleted SOI MOSFET’s”, *IEEE Electron Dev. Lett.* **15** 117 (1994)
- Welch B. M., “Advances in GaAs LSI/VLSI Processing technology”, *Solid State Technol.* 95 (1980)
- Wiley D. J., “Polar mobility of holes in III-V compounds”, *Phys. Rev. B* **4** 2485 (1971)

- Williams R., "Photoemission of electrons from silicon into silicon dioxide", *Phys. Rev.* **140** A569 (1965)
- Williams R. E., *Modern Gallium Arsenide Processing Methods* (Artech House: Boston, 1985)
- Wilson A. H., *Proc. Royal Soc.* **133A** 458 (1931)
- Wong H., "Drain breakdown in submicron MOSFETs: a review", *Microelectron. Reliab.* **40** 3 (2000)
- Woods M., Johnson W. y Lampert M., "Use of a Schottky barrier to measure impact ionization coefficients in semiconductors", *Solid-State Electron.* **16** 381 (1973)
- Yang E. S., *Microelectronic devices* (Singapur: McGraw-Hill, 1988)
- Yi C.-M., Cheng S.-M. y Chung S. S., "A new Approach to Simulating n-MOSFET Gate Current Degradation by Including Hot-Electron Induced Damage", *IEEE Trans. Electron Dev.* **45** 2343 (1998)
- Yoshimi M., Hazama H., Takahashi M., Kambayashi S., Wada T., Kato K., y Tango H., "Two-Dimensional Simulation and Measurement of High-Performance MOSFETs Made on a very Thin SOI Film", *IEEE Trans. Electron Dev.* **36** 493 (1989)
- Yoshino A., *Proceedings of the fourth international Symposium on Silicon-On-Insulator Technology and Devices*, 544 (1990)
- Zandler G., Rossi L. *et al.*, "Monte Carlo simulation of impact ionization and light emission in pseudomorphic HEMTs", *Physica B* **272** 558 (1999)