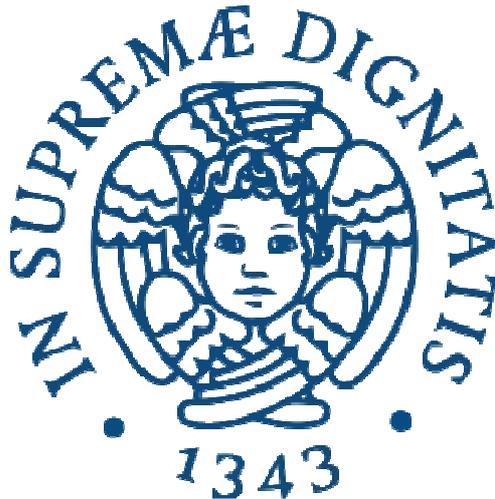


SVILUPPO E REALIZZAZIONE DI UN CIRCUITO DI
CONTROLLO PER LA GESTIONE DI UN
MODULO DI VISIONE HD MINIATURIZZATO
PER COLONSCOPIA



RELATORE

Prof. Arianna Menciassi

TUTORS

Dott. Carmela Cavallotti

Dott. Monica Vatteroni

CONTRORELATORE

Prof. Roberto Roncella

CANDIDATO

Stefano Papa

Sommario

INTRODUZIONE.....	4
1 STATO DELL'ARTE.....	6
1.1 Cos'è un Sistema di visione ottico	6
1.1.1 Sensore di immagine: CMOS vs CCD	6
1.1.2 Sistema di controllo: FPGA vs uC	10
1.1.3 Sistema di illuminazione : LEDs vs fibre ottiche.....	11
1.2 Cenni su sistemi di visione per endoscopia.....	13
1.2.1 Architettura di un sistema di visione per endoscopia.....	14
1.2.2 Sistemi Endoscopici Wireless Vs Sistemi Endoscopici Filati.....	16
1.3 Sviluppo di un sistema di controllo e caratterizzazione per sensori di immagine per applicazioni endoscopiche.....	18
2 MATERIALI E METODI.....	20
2.1 Specifiche del sistema	20
2.2 Sensore di visione: EYE-TECH 1080.....	22
2.3 Chip companion: EYE-TECHDigitalOut.....	23
2.4 Sistema di controllo: FPGA	25
3 DESIGN FINALE.....	31
3.1.1 Dimensionamento ADC	32
3.1.2 Dimensionamento Alimentazioni.....	34
3.2 Gestione dei segnali di dato e di clock.....	36
3.2.1 FPGA XP2-5E-144TQFP.....	38
3.3 Connessioni elettriche	41
3.3.1 Connessioni sensore EYE-TECH1080.....	41
3.3.2 Connessioni ADC AD9235-BRU20Z.....	50
3.3.3 Connessioni chip companion EYE-TECHDigitalOut.....	55
3.3.4 Connessioni FPGA XP2.....	59
3.3.5 Header	64
4 CONFIGURAZIONI IMPLEMENTATE.....	65
4.1 Configurazione STANDARD	65
4.2 Configurazione SMART	67
5 LAYOUT	69
6 TEST ELETTRICI.....	74
7 CONCLUSIONI E SVILUPPI FUTURI	80
I. APPENDICE: Standard di trasmissione LVDS e Sub-LVDS	83

II.	APPENDICE: AD9235-BRU20Z: Package e Specifiche Tecniche	85
III.	APPENDICE: Regolatore LDO: Package e Specifiche Tecniche	89
IV.	APPENDICE :Cenni sul protocollo di configurazione JTAG	90
V.	APPENDICE: Multimetro FLUKE 175: Specifiche Tecniche.....	91
VI.	APPENDICE: BOM File	92
VII.	APPENDICE: Schematico dell'intero sistema.....	94
8	REFERENCE	98

INTRODUZIONE

La seguente tesi ha come oggetto la progettazione di un sistema per il controllo e il testing di un sensore di immagine disegnato ad hoc per la colonscopia, l'EYE-TECH1080 e di un chip companion, l'EYE-TECH_DigitalOut, recentemente sviluppati dall'azienda EYE-TECH s.r.l., Spin-Off della Scuola Superiore Sant'Anna.

L'azienda ha commissionato tale sistema al fine di eseguire la caratterizzazione ottica ed elettronica dei suddetti prodotti prima di immetterli sul mercato. Verranno pertanto testate le performance cercando di massimizzarle modificando taluni parametri elettrici.

Lo scopo della tesi è stato pertanto il design, lo sviluppo e il test di una sistema elettronico che inglobasse il sensore d'immagine, EYE-TECH1080, il chip companion, EYE-TECH_DigitalOut, e tutta la componentistica elettronica necessaria per il corretto funzionamento, la conversione, trasmissione e gestione del segnale ed il controllo e la configurazione dell'intero sistema.

In particolare, il sistema finale sarà costituito da 3 moduli:

- il Development kit *Sparrowhawk FX FPGA Video Processing Board* della Lattice;
- la scheda custom, oggetto di tale tesi, Eye-Tech DevBoard;
- un HOST-PC per gestire sia la programmazione delle schede che il trasferimento delle immagini.

Oggetto della tesi è stato in particolare la progettazione della scheda Eye-Tech DevBoard secondo le specifiche forniteci dall'azienda. Tale scheda permetterà la caratterizzazione dei prodotti EYE-TECH e di estrapolarne i parametri elettrici che ne massimizzino le performance in termini di: consumo di potenza, sensibilità, rumore e range dinamico.

Si è quindi progettata la Eye-Tech DevBoard in modo da garantire l'acquisizione ed il trasferimento di dati in formato RAW non compressi per l'elaborazione, che fosse facile da programmare, e facilmente debuggabile; sono inoltre stati introdotti headers ausiliari al fine di consentire possibili modifiche al PCB in corso d'opera. Sono state inoltre implementate strategie implementative per consentire la massima flessibilità operativa, garantendo più configurazioni del sistema.

Tematiche di riduzione del rumore sono state prese in considerazione durante la fase di progettazione applicando strategie di bypassing, di separazione e di gestione dei piani di alimentazione e di massa e predisposizione per una futura miniaturizzazione. Sono stati effettuati sull'intero sistema test elettrici preliminari per verificare la correttezza del design e sono inoltre state verificate che tutte le specifiche richieste dall'azienda siano state implementate.

Una volta esaurita la fase di test, la Eye-Tech DevBoard verrà poi ottimizzata e miniaturizzata secondo le specifiche del particolare campo di applicazione qual è l'endoscopia. Per questo motivo una delle richieste dell'azienda EYE-TECH s.r.l. è stata l'utilizzo di componentistica miniaturizzabile, in particolare per quanto riguarda la scelta dell'FPGA. La scelta è infatti ricaduta sui prodotti dell'azienda Lattice Semiconductor, ed in particolare sul Development Kit Sparrowhawk FX Video Processing Board, in virtù del fatto che la Lattice presenta nel suo portfolio FPGA a basso consumo e con package molto

piccolo, caratteristiche necessarie considerando che il sensore d'immagine utilizzato è stato sviluppato per applicazioni endoscopiche in cui la miniaturizzazione e il low-power sono specifiche necessarie.

Il Development kit *Sparrowhawk* è una scheda di sviluppo FPGA per l'acquisizione di video, l'elaborazione e le applicazioni di visualizzazione, basata sulla Lattice ECP3 FPGA, una FPGA ad elevate prestazioni e consumi ridotti. Tale board servirà ad interfacciarsi all'HOST-PC attraverso il protocollo di comunicazione USB-2.0-High-Speed, di cui è provvista, sia per configurare l'intero sistema che per il trasferimento dei dati con il supporto delle memorie SDRAM DDR3, di cui è provvista, lavoreranno come frame buffer per eseguire una corretta comunicazione. Sempre dal Development kit *Sparrowhawk* verrà generata la tensione di alimentazione a 3.3V e verrà generato il clock mediante un oscillatore a bordo da 100Mhz. Grazie a due connettori di espansione, sarà possibile impilare sopra la scheda Eye-Tech DevBoard.

La scelta di utilizzare una FPGA come cuore del circuito di controllo è stata opportunamente giustificata in virtù delle elevate performance in un contesto di parallelismo fra processing ed imaging, ed in virtù della spiccata capacità di minimizzazione ingombro e consumi di potenza grazie alla possibilità di implementare un intero sistema in un unico chip. Considerazioni in completo accordo con la letteratura.

Si è preferito cercare una FPGA già integrata su una development board equipaggiata di alcuni componenti di base al fine di poter ridurre le tempistiche di progetto, e di ridurre la probabilità di errori progettuali e realizzativi andando ad utilizzare un prodotto già commercializzato, testato e privo di bug.

Il layout del dispositivo è stato disegnato con il software CAD Eagle 6.5. Sono state pertanto implementate in primo luogo tutte le librerie dei componenti seguendo le istruzioni provenienti dai datasheet dai costruttori, è stato poi realizzato lo schematico e successivamente il layout.

1 STATO DELL'ARTE

1.1 Cos'è un Sistema di visione ottico

Un dispositivo di visione non è altro che un sistema di lenti ottiche disposte sulla zona sensibile di un foto sensore di immagine (CMOS / CCD), un circuito elettronico di controllo per l'acquisizione ed il processing di dati (FPGA / uC), ed un sistema di illuminazione che garantisca la corretta esposizione della scena .

I sistemi di visione vengono sfruttati in applicazioni diverse come la fotografia e il cinema con le fotocamere reflex, il mercato dell'entertainment sia nei cellulari che nelle console di gioco, la videosorveglianza e/o la registrazione del traffico[3]. Con il passaggio dalla chirurgia tradizionale di tipo open alla chirurgia laparoscopica, anche in campo medico si sono iniziati ad usare sistemi di visione miniaturizzati per consentire al medico di vedere all'interno del corpo tramite orifizi naturali o ricreati tramite piccole incisioni. [4,5].



Fig. 1: Esempi di applicazioni di sistemi di visione

1.1.1 Sensore di immagine: CMOS vs CCD

Il sensore di immagine non è altro che un dispositivo fotosensibile, che converte in segnale elettrico un segnale luminoso focalizzato dal sistema di lenti sotto cui è alloggiato.

Da un punto di vista elettronico, esso è un circuito integrato su silicio con una griglia di elementi fotosensibile detti pixel connessi ad una circuiteria di trasmissione della carica generata su ciascuno di essi. I pixel sono sostanzialmente dei condensatori MOS (metallo-ossido-semiconduttore) che sfruttando l'energia dei fotoni liberano elettroni per effetto fotoelettrico. Tutti i pixel vengono esposti contemporaneamente alla luce per uno stesso intervallo di tempo, detto periodo di integrazione, in cui vengono in pratica raccolti dall'ambiente i fotoni che diventeranno carica elettrica. Esistono due grandi famiglie di sensori di immagine, quelli realizzati con tecnologia CMOS e quelli realizzati con tecnologia CCD e di entrambi si presenta brevemente il funzionamento.

La tecnologia dei CCD (Charge-Coupled Device) nasce nel 1969 presso il Bell Lab da uno studio sul trasferimento di carica di condensatori adiacenti, infatti, ciascun pixel della

matrice del sensore, prima, per effetto fotoelettrico converte la luce incidente su di esso in carica elettrica, dopo di che ciascuna riga sempre della matrice di pixel, trasmette la carica alla riga successiva (in verticale) mediante uno shift register fino a che non si giunge alla riga finale adibita alla sola lettura, in cui, questa volta attraverso uno shift register orizzontale (Fig. 3), avviene la lettura delle colonne, con la carica che viene qui trasformata in segnale di tensione analogico ed amplificata da un unico amplificatore [58].

La tecnologia CMOS (Complementary Metal Oxide Semiconductor) si differenzia dalla prima non tanto per come viene acquisito il segnale ma per la tecnica di elaborazione dello stesso. Infatti, ciascun pixel del sensore CMOS è provvisto di una propria circuiteria di amplificazione di segnale indipendente, che fornisce direttamente un dato analogico senza alcun trasferimento di carica fra pixel. L'intera matrice di un sensore CMOS non è altro che la ripetizione modulare di pixel uguali, costituiti da un fotodiodo ed un amplificatore come si può vedere in Fig. 2

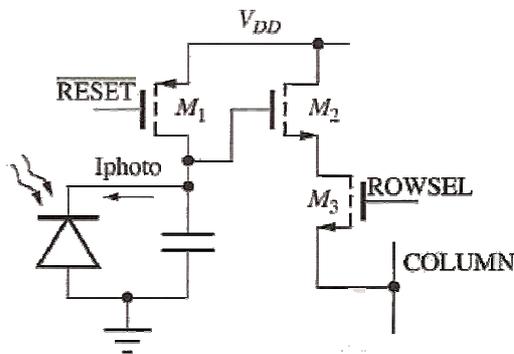


Fig. 2: Schema circuitale di un Pixel Attivo CMOS: Condensatore C pari alla somma della capacità di giunzione del diodo e della capacità in ingresso ad M_2 , transistori n-MOS M_2 ed M_3 ed transistore p-MOS M_1 . V_{DD} è l'alimentazione di ciascun pixel.

I Gate dei transistori M_1 ed M_3 sono pilotati rispettivamente dai segnali digitali \overline{RESET} (negato) e dal selettore di riga $ROWSEL$. La luce che investe il fotodiodo polarizzato in inversa permette il passaggio di corrente in relazione all'intensità luminosa dal catodo verso l'anodo. Abilitando il \overline{RESET} si manda in conduzione M_1 che porta il condensatore in parallelo ad fotodiodo alla tensione di alimentazione V_{DD} . Durante il tempo di integrazione, quando quindi il fotodiodo conduce, la corrente che fa passare il diodo scaricherà la capacità C , riducendo anche la tensione di gate di M_2 (amplificatore a drain comune) amplificando il segnale. Una volta che $ROWSEL$ sarà alto, l'interruttore M_3 lascerà passare il segnale. Il processo si ripete ogni volta riportando il sistema alla configurazione iniziale ed attivando il segnale di \overline{RESET} .

Come già detto il sensore è costituito da repliche del pixel che condividono una linea di bus su una riga e su una colonna. Un decoder di riga e uno di colonna gestiscono la lettura sequenziale rispettivamente di ciascuna riga o colonna. Il sistema è disaccoppiato con l'esterno mediante un buffer.

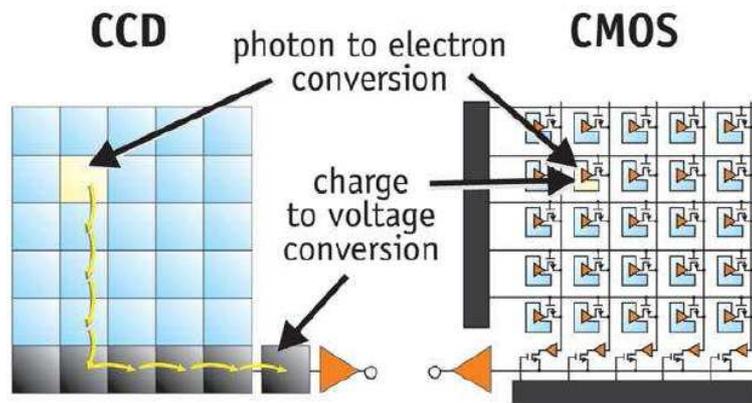


Fig. 3: Matrici di pixel a confronto

Caratteristiche	CCD	CMOS con ADC
Output del pixel	carica elettrica	voltaggio analogico
Output del chip	voltaggio analogico	bit digitale
Output della fotocamera	bit digitale	bit digitale
Presenza di rumore	bassa	media
Complessità del sensore	bassa	alta
Complessità del sistema	alta	bassa
Gamma dinamica	ampia	media
Uniformità	alta	media
Velocità	media	alta
Consumo di energia (sensore)	basso	media
Consumo di energia (sistema)	medio	basso
Precisione cromatica	alta	media

Tab 1: tabella riassuntiva delle caratteristiche di CCD e CMOS a confronto

Il non passare per il trasferimento di carica, ma l'utilizzo di un accesso immediato a ciascun pixel fa sì che la tecnologia CMOS garantisca sicuramente frame rate più elevati dei cugini CCD, ma possedendo molti amplificatori hanno anche lo svantaggio di avere una disomogeneità nel guadagno di amplificazione su ciascun pixel che si riversa su una minore uniformità dell'immagine, generando punti di diversa luminosità e colore rispetto a come sarebbero dovuti essere in relazione ai pixel adiacenti.

Come si è già detto, ogni pixel dei CCD è costituito da sola area fotosensibile ed è per questo in grado di catturare tutta quanta la luce incidente su di esso, garantendo quindi un elevato range dinamico (Fig. 4), ovvero un maggiore differenza tra i valori massimi e minimi di luminosità che il sensore riesce a catturare.



Fig. 4: (SINISTRA) ridotto range dinamico, (DESTRA) elevato range dinamico

Nei CMOS, invece, parte della superficie di ciascun pixel è occupata dalla circuiteria di amplificazione. Il rapporto fra l'area fotosensibile e l'area totale è infatti definito da un parametro, il Fill-Factor, che va circa dal 50% all' 80% nel caso dei CMOS. Una più elevata complessità di ciascun pixel associata ad un ridotto Fill-Factor, fa sì che parte della luce incidente venga persa e che l'immagine finale risulti sicuramente più soggetta a rumore. Tuttavia, l'introduzione di microlenti sui fotodiodi CMOS permette di convogliare tutta la luce sul fotodiodo e di riportare il fill-factor vicino al 100%. [57] Fig. 5.

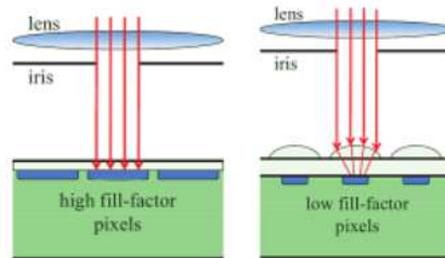


Fig. 5: (SINISTRA) Elevato Fill-Factor (CCD), (DESTRA) ridotto fill-factor tipico dei CMOS, l'utilizzo delle microlenti riporta quasi al 100% il fill-factor

Solitamente i CMOS sono da sempre stati realizzati ad hoc per applicazioni specifiche di "basso livello" come sensori per mouse, giocattoli o webcam, dove si richiedevano basse performance, elevata compattezza e bassi costi realizzativi[8]; questo perché sono stati sempre considerati qualitativamente meno performanti rispetto ai sensori di tipo CCD. Tuttavia tale mito è stato smentito già da alcuni anni grazie ad un'evoluzione tecnologica mirata sia alla riduzione dei pixel incrementandone densità e risoluzione, che all'implementazione di una circuiteria analogica e digitale integrata sul medesimo chip, che permette maggiore miniaturizzazione del sistema e la possibilità di preconditionare, processare e leggere il segnale. Ciò comporta la possibilità di ridurre drasticamente il Fixed Pattern Noise (FPN) e le Dark Current [36], ovvero un rumore dovuto alla variazione spaziale dei parametri geometrici dei pixel causata da imperfezioni del reticolo cristallino o di difetti di fabbricazione ed un rumore associato al fatto che anche in assenza di illuminazione, ad una certa temperatura, l'energia termica del dispositivo può essere sufficiente a far trasferire elettroni in banda di conduzione generando dei grani, detti rumore Shot, sull'immagine.

Inoltre la struttura del CMOS consente di sfruttare il Global Shutter, ovvero la possibilità di esporre, resettare e leggere tutti i pixel contemporaneamente senza dover attendere che

tutte queste fasi si susseguano l'una dopo l'altra su fasce orizzontali di pixel (Rolling Shutter) in modo da limitare effetti di distorsione causati da ritardi (Flickering) ed in modo da raggiungere frame rates altissimi così da sovra campionare l'immagine e migliorarla [35]. I sensori CMOS inoltre consentono di sfruttare la possibilità di leggere qualunque pixel (Random Access) e, volendo, selezionare una ridotta finestra di lettura, acquisire quindi immagini più piccole ma ad una maggiore velocità di campionamento[4]. In ultima analisi con la tecnologia CMOS è anche possibile introdurre un clock sul dato acquisito ed implementando nel chip del sensore anche un ADC interno, è possibile ridurre ulteriormente il rumore e la distorsione del segnale [39].

Sia il fattore costi di realizzazione, che tutti gli altri elementi appena presentati rendono i CMOS candidati ideali per applicazioni ultra miniaturizzate a ridotto consumo di potenza ma comunque con un'altissima risoluzione [37], in cui si necessita di integrare un intero sistema di visione su un singolo chip, con l'ulteriore possibilità, laddove richiesto dall'applicazione, di sfruttare la circuiteria già presente per implementare anche altri tipi di sensori (Ph, Temperatura etc..) sempre sul medesimo substrato [6].

1.1.2 Sistema di controllo: FPGA vs uC

Come accennato precedentemente, all'interno di un sistema di visione, al fine di gestire tutta la parte di configurazione, conversione, trasmissione e controllo è necessario un circuito di controllo gestito da un microcontrollore (uC) o una FPGA.

L'FPGA (Field Programmable Gate Array) si definisce come un array bidimensionale di blocchi logici e flip-flop con interconnessioni elettriche programmabili (switch) con cui, mantenendo sempre un design compatto, è possibile implementare via software un'ampia gamma di funzionalità circuitali dalle più semplici come un transistor, alle più complesse come un microprocessore [40].

L'utilizzo dell'FPGA comporta la possibilità di implementare un intero sistema in un singolo chip, attraverso l'implementazione dei singoli moduli in linguaggio di descrizione hardware VHDL e/o C/C++. Si introduce pertanto il concetto di SoftCore : in cui l'intero sistema elettronico viene implementato in parte in modo hardware tradizionale ed in parte via software. Tramite questo approccio si risolvono molti dei problemi connessi alla realizzazione circuitale dei vari sottomoduli, in particolare legati al montaggio fisico dei singoli chip, al loro ingombro ed al consumo di potenza di ciascuno [10,11,12,40].

Ciò che da 10 anni a questa parte ha garantito il successo dell'utilizzo dell'FPGA a discapito della tecnologia basata su circuiteria stampata ad hoc (PCB) o dello sviluppo di ASIC custom risulta chiaramente essere la sua caratteristica intrinseca di Gate Array come supporto per la prototipazione di dispositivi, in virtù della sua capacità di poter così riprogrammare il dispositivo in fase di progetto in seguito a procedure di debug e di ottimizzazione senza dover necessariamente cambiare ogni volta il PCB o ridisegnare l'ASIC, garantendo una rilevante riduzione in termini di costi e tempi di progettazione.

In letteratura sono presenti numerosi esempi di accostamento in sistemi embedded di FPGA e sensori CMOS. In particolare tali sistemi sono preferiti nelle applicazioni di tipo Real-Time, in cui le crescenti performance della computer vision richiedono un'evoluzione in termini di Capture e Processing con conseguente incremento della complessità algoritmica, dimostrando come un approccio di questo tipo permetta l'analisi

del dato parallelamente al suo campionamento, riducendo quindi quella strozzatura temporale fra sensing e processing [5,10,11,12].

L'approccio tramite accostamento di sensore di immagine con microcontrollore (uC) e/o microprocessore (DSP), garantisce comunque elevatissime prestazioni in termini di qualità dell'immagine come si può evincere dall'utilizzo di quest'ultimo nei prodotti di punta delle fotocamere Reflex di Canon, tuttavia, essi non garantiscono le stesse performance di flessibilità di una FPGA a causa dell'impossibilità di integrare una certa complessità algoritmica senza dover aumentare la complessità hardware della circuiteria associata, andando così ad influire sui consumi di potenza, sull'ingombro. Chiaramente, in fase di progetto, la limitata riprogrammabilità del firmware senza disegnare nuovamente il PCB rende questo approccio più difficilmente evolvibile attraverso delle patch, e la limitatezza della complessità algoritmica non garantisce un complesso processing interno dell'immagine se non a posteriori tramite un PC su cui viene inviato il dato, fattore sicuramente improponibile in applicazioni real-time in cui è presente un elevato livello di complessità, ridotti consumi di potenza e ridotti costi realizzativi [55,56].

Tutto ciò dimostra quanto la tecnologia ad FPGA, grazie alla capacità di analizzare un maggior numero di algoritmi di controllo connessa ad una più elevata capacità computazionale, sia il migliore approccio per controlli dinamici di catene di acquisizione.

1.1.3 Sistema di illuminazione : LEDs vs fibre ottiche

Al fine di poter registrare delle immagini fotografiche di qualunque tipo o nella fattispecie all'interno di un corpo umano, è necessario generare uno spot di luce controllata per garantire la corretta esposizione dell'ambiente e permettere quindi il corretto funzionamento dell'area fotosensibile del sensore di immagine.

In ambito prettamente fotografico, le sorgenti luminose che vengono utilizzate sono tipicamente i flash e/o le lampade a luce continua a tecnologia LEDs e/o Alogena, e così avviene anche per la realtà medica endoscopica, se non per il fatto che si rende opportuno puntualizzare una sottile distinzione nel metodo con cui si illumina l'ambiente, in quanto esistono due differenti metodi di illuminazione: l'utilizzo di fibre ottiche e l'utilizzo di un LEDs.

Il primo sistema, esistente già dal 1952, è un sistema attuabile solo e soltanto nei dispositivi filati, in cui la sorgente luminosa, costituita da LEDs, Alogene o Xenon, si trova in una zona distale rispetto alla punta dello strumento che viene inserita all'interno del paziente. La luce, per il principio di riflessione totale tipico delle fibre ottiche, viene raccolta con degli specchi, incanalata e trasportata fino alla punta, dove verrà utilizzata per illuminare l'ambiente. Il sistema filato presenta indubbiamente un certo ingombro fisico e meccanico ma ha come notevole vantaggio quello di generare una luce "fredda", che non riscalda i tessuti biologici circostanti [59].

Di controparte invece, il sistema a LEDs si applica in tutti i dispositivi wireless[4,5] ed in tutti gli endoscopi in cui si riesce ad introdurre in punta allo strumento un sistema di illuminazione compatto e miniaturizzato, con il vantaggio di eliminare l'ingombro

meccanico ma con lo svantaggio di utilizzare una sorgente di luce calda che può riscaldare involontariamente i tessuti circostanti causandone la lesione.

Non vengono qui utilizzate come sorgenti lampade Alogene o allo Xenon a causa degli elevatissimi consumi di potenza non concordi con la politica di risparmio energetico di tutti i dispositivi e nella fattispecie di quelli a batteria, che conferma come la più innovativa tecnologia LEDs garantisca il migliore compromesso in termini di flessibilità e performance, adattandosi benissimo alle svariate specifiche progettuali di ciascun dispositivo ed a ciascun ambiente di utilizzo, il tutto grazie a: semplicità di montaggio, ridotti costi commerciali e vasta gamma di prodotti presenti sul mercato.

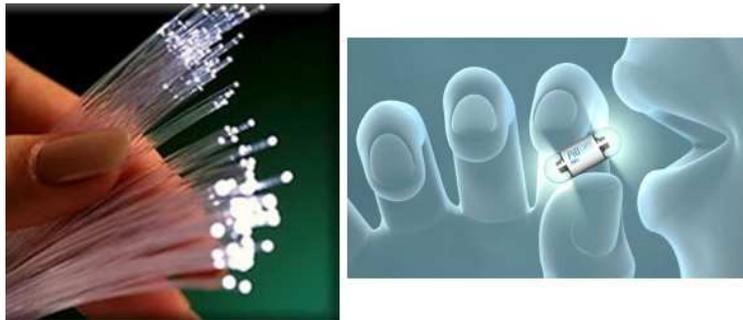


Fig. 6: (SINISTRA) uso di fibre ottiche, (DESTRA) utilizzo di LEDs sul PCB

Si faccia presente che la scelta di come implementare il sistema di illuminazione deriva da una serie di considerazioni elettroniche, in cui si va a dimensionare numero e tipo di sorgenti luminose in base al tipo ed alla durata della specifica applicazione, si deve valutare inoltre lo spazio disponibile sul dispositivo, il numero di GPIO (General Purpose) disponibili sui pin del circuito di controllo, sulla presenza e nel caso sulla dimensione della batteria e sulla presenza o assenza di un segnale di pilotaggio delle luci per massimizzare la resa in luce minimizzando i consumi [4].

Le considerazioni elettroniche non bastano chiaramente a progettare l'intero dispositivo, a cui si associano quindi anche valutazioni prettamente ottiche, riguardanti sia lo studio della geometria di posizionamento di luci e lenti per assicurare l'uniformità della luce sull'intero campo di vista (FOW Field of View) evitando di generare punti d'ombra sul sensore [4], che il modo di massimizzare la resa luminosa delle immagini attraverso un'oculata scelta del colore delle luci, ponderando in ambienti endoscopici, in cui si ha una tendenza al rosso, di utilizzare un tono caldo di luce bianca, conseguibile sia con una singola sorgente bianca o con la mescolanza di più sorgenti colorate opportunatamente controllate [4,48].

1.2 Cenni su sistemi di visione per endoscopia

Con il passaggio dalla chirurgia “a cielo aperto” a quella minimamente invasiva, il sistema di visione prima rappresentato dagli occhi del chirurgo, ora diventa una lunga cannula attraverso la quale osserva ed opera il chirurgo e che vengono per l'appunto chiamate endoscopi. Tali cannule possono passare dagli orifizi naturali quali ano, naso, uretra e bocca altri oppure da piccole incisioni sulla pelle.

L'endoscopia diventa quindi sia una strategia interventistica, che una tecnica di esplorazione del corpo umano alternativa alle strategie ionizzanti come i raggi X e la Tomografia Computerizzata, acquisendo un significato diagnostico ad esempio in: Otorinolaringoiatria, Pneumologia, Gastroenterologia, Ginecologia Urologia, Reumatologia ecc..., ed in ambito chirurgico ad esempio per Biopsie e in Laparoscopia.

Lo strumento fisico necessario per la pratica tradizionale è l'endoscopio, tipicamente un tubo rigido o flessibile con punta pilotabile manualmente dal medico attraverso una specie di joystick situato sull'impugnatura ed con all'interno alcuni canali utili all'alloggiamento di un sistema di visione ed altri adibiti all'introduzione di strumenti medici come aghi, pinze, soluzioni fisiologiche, aria per insufflare ecc.. [41].

Come già detto ci sono molti tipi di endoscopi sia rigidi che flessibili, di lunghezze e spessori molto variabili a seconda dell'applicazione medica specifica. Si riportano nella tabella sottostante alcuni tipi di endoscopio strutturati per l'utilizzo in determinate parti dell'organismo:

Tipo di Endoscopio	Ambiente Operativo	Via di inserimento	Dimensioni (LxD) [mm x mm]	Nome Procedura
Arterioscopio	Articolazioni	Taglio sulla pelle	120 x 4	Arterioscopia
Broncoscopio	Trachea e Bronchi	Bocca o naso	610 x 6.2	Broncoscopia e broncoscopia flessibile
Colonscopio	Colon ed intestino	Ano	1400 x 13	Colonscopia
Cistoscopio	Vescica	Uretra	300 x 4	Cistoscopia e cistouretroscopia
Enteroscopio	Piccolo intestino	Bocca o ano	2200 x 10.7	Enteroscopia
Esofago-Gastro-Duodenoscopio	Esofago, Stomaco, Duodeno	Bocca	1250 x 11.8	Esofa-gastro-duodenoscopia, Gastrosocopia, Endoscopia superiore
Isteroscopio	Utero	Vagina	290 x 5	Isteroscopia
Laparoscopio	Addome e pelvi	Taglio nell'addome	320 x 10, 290 x 5	Laparoscopia, Endoscopia peritoneale
Laringoscopio	Laringe	Bocca o naso	300 x 2.9	Laringoscopia
Mediastinoscopio	Mediastino	Taglio sullo sterno	140 x 4	Mediastinoscopia
Sigmoidoscopio	Retto	Ano	700 x 12.3	Sigmoidoscopia
Toracoscopio	Fra polmoni e petto	Taglio sul petto	290 x 5	Toracoscopia, Pleuroscopia

1.2.1 Architettura di un sistema di visione per endoscopia

Indipendentemente dall'applicazione i sistemi di visione per endoscopia riflettono tutti la medesima struttura modulare riportata nel Par: 1.2 [2]. Ciò che caratterizza i dispositivi ad uso medico endoscopico sono le più restrittive norme sui biomateriali e sulle emissioni di potenza, nonché sulla dimensione totale del dispositivo.

Si riportano nella tabella sottostante alcune delle caratteristiche dei dispositivi endoscopici attualmente più utilizzati.

Applicazione	Laparoscopia	Chirurgia Robotica	SPL	Endoscopia con Capsule	Angioscopia
Sistema Ottico	Fixed / Zoom Digitale	Fixed / Zoom Digitale	Fixed / Zoom Digitale	Fixed	Fixed / vist laterale
Illuminazione	Lenti	Lenti/ LEDs	Fibre / LEDs	LEDs	Fibre / LEDs
Tecnologia Sensore	CCD	CCD / CMOS	CMOS	CCD / CMOS	CMOS / InGaAr
Risposta spettrale	Visibile	Visibile	Visibile	Visibile	Vicino Infrarossi
Risoluzione	HD	HD	VGA / HD	QVGA / VGA	QVGA / VGA
Profondità di fuoco [mm]	50-150	50-150	50-150	0-30	0-6
Campo di vista FOW [gradi]	110-150	110-150	110-150	140-180	140-180
Profondità percettiva	2D	2D / 3D	2D / 3D	2D	2D
Trasmissione dati	30 fps / filata	30 fps / filata	30 fps / filata	15	30 fps / filata

Si riporta come esempio applicativo quello della Colonoscopia con endoscopio flessibile. Essi sono sistemi filati che raggiungono un diametro di 13mm ed una lunghezza da 70 a 160cm e vengono inseriti nel corpo umano attraverso l'ano al fine di realizzare lo screening del tratto intestinale [4]. Si evince, benché ancora ad oggi resti il metodo più efficace in termini sia diagnostici che terapeutici per quanto riguarda patologie quali sanguinamenti e tumori, come la procedura non sia indolore per cui serve una lieve anestesia locale benché siano molti gli studi volti a trovare soluzioni meccanico strutturali per mirare ad una procedura quasi totalmente indolore [45, 46, 47].



Fig. 7: Esempio di colonscopio tradizionale

La colonoscopia risulta ad oggi essere lo standard delle procedure di screening per il tratto gastrointestinale in quanto garantisce risultati diagnostici superiori rispetto alle modalità di imaging indolori grazie appunto alla possibilità di avere direttamente accesso alle immagini in vivo real-time con l'ulteriore possibilità di interagirvi per rendere l'esplorazione maggiormente chiara ed interpretabile.

Si riporta in Fig. 8 una illustrazione di un dispositivo di visione colonoscopica di cui si evidenziano le parti fondamentali quali: telecamera, sorgente luminosa, processore di immagini e video.

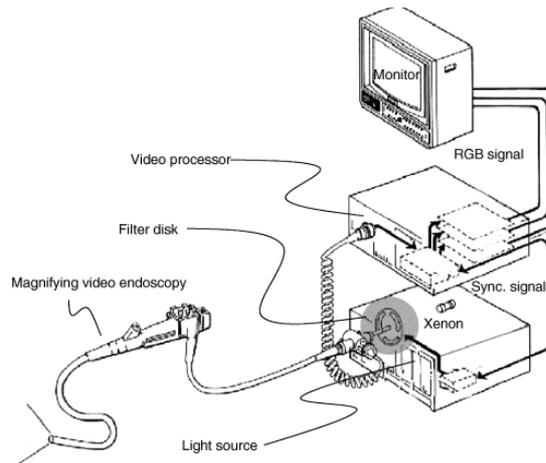


Fig. 8: Illustrazione di un sistema di Video-Endoscopia connesso tramite fibre ottiche ad un generatore di luce ed un processore di segnale a sua volta connesso ad un video per la proiezione dell'immagine. [50]

I componenti appena illustrati si riassumono, da un punto di vista prettamente elettronico nei 3 grandi moduli che caratterizzano l'architettura di un sistema di visione per endoscopia [4, 5, 11, 12, 49, 50], che sono:

1. **Host Pc:** che serve per configurare il sistema, ricevere i dati ed analizzarli attraverso un software dedicato.
2. **Una Main Board:** progettata ad hoc per il sistema e garante di tutti gli elementi circuitali per il corretto funzionamento e controllo del dispositivo. Fra questi si trovano sia i componenti passivi e di bypass per evitare la degradazione del segnale e la gestione del consumo di potenza, che gli elementi essenziali come i convertitori analogico digitali interfacciati con il sensore di immagini, un protocollo di comunicazione con l'HOST-PC (tipicamente USB2.0, VGA, HDMI, Wi-Fi Standards) interfacciato ad un blocco di memorie come da frame buffer per la corretta comunicazione dei dati ed un chip per la gestione ed il controllo del sistema, tipicamente un microcontrollore/microprocessore o una FPGA.
3. **Un Sensore di Immagine:** sensore che può essere di tecnologia CCD o CMOS montato o su una scheda che predispone l'alloggiamento per l'ottica miniaturizzata centrata sulla parte sensibile del sensore (chip-on-tip), oppure in zona distale rispetto alla punta e connesso all'ottica mediante un sistema di lenti e fibre ottiche. Al modulo del sensore si associa anche un sistema di illuminazione, che può essere direttamente montato con tecnologia LEDs sullo stesso PCB del sensore come ad

esempio nei dispositivi compatti wireless (WCE ed endoscopi chip-on-tip), o può essere associato ad esso attraverso un sistema di fibre ottiche con sorgente luminosa esterna.

Tipicamente per garantire l'integrità dello streaming del segnale in alta frequenza, per limitare la potenza richiesta e per limitare il numero di pin necessari alla comunicazione dei dati, si sceglie di evitare di utilizzare segnali di tipo single-ended in favore di design di tipo differenziale utilizzando lo standard di segnale LVDS[4].

Si ricorda come i video colonscopi commerciali supportino una risoluzione HD 1080p [7], dove si intende una risoluzione video verticale di 1080 linee con scansione progressiva non interlacciata e dove il formato dell'immagine è riportato in 16:9 in virtù della risoluzione orizzontale di 1920 pixel, generando ogni fotogramma con $1080 \times 1920 = 2073600$ pixel in totale, con formati di registrazione p24 p25 e p30 rispettivi a 24,25 o 30 fps (Standard ATSC e DVB).

1.2.2 Sistemi Endoscopici Wireless Vs Sistemi Endoscopici Filati

Come già detto, l'obiettivo di minimizzare il dolore e l'invasività, ad esempio per quanto riguarda l'indagine diagnostica del tratto gastrointestinale, ha portato allo sviluppo e commercializzazione di svariati dispositivi e tecnologie wireless completamente indolori che si sono prepotentemente mostrati come validissime alternative ai tradizionali metodi "filati" con endoscopio flessibile.

L'esempio più famoso è sicuramente l'avvento delle capsule endoscopiche, veri e propri dispositivi video della grandezza di una pillola, che vengono ingeriti dal paziente in modo totalmente indolore e registrano immagini dell'interno durante tutto il loro naturale passaggio nel tratto digerente [43, 44].

Il rivestimento trasparente esterno biocompatibile in PMMA racchiude tutta la componentistica elettronica ed ottica: il modulo di visione costituito da sensore di immagine CMOS e sorgente di luce a tecnologia LEDs, una batteria su cui viene dimensionato il consumo di potenza dell'intera capsula ed un modulo di trasmissione wireless con antenna per il trasferimento dei dati ad un HOST-PC. In alcune è previsto a bordo anche un sistema di attuazione per facilitarne la locomozione [4,5,49].



Fig. 9: Rappresentazione grafica dei moduli di PillCamSB2

Esse possiedono sicuramente la minore invasività attualmente in commercio, ma non garantiscono la massima efficienza associata ai tradizionali dispositivi filati che fanno delle debolezze dei sistemi wireless i propri punti di forza. Si riassumono brevemente i 3 principali limiti di tale tecnologia:

- **Limiti e difficoltà di pilotaggio:** la scarsa capacità di pilotaggio della capsula, che non permette al medico di fermarsi con estrema precisione in punti specifici e di interagire con l'ambiente fisiologico per fare una diagnosi più oculata possibile, incrementa la possibilità di falsi positivi e falsi negativi.
- **Limitata disponibilità di potenza:** essendo i dispositivi wireless a batteria, perché la registrazione avvenga correttamente per tutta la durata della digestione della capsula, è sempre necessario scendere a compromessi fra "consumo di potenza" e "qualità del video" in termini di risoluzione e numero di frame registrati, ottenendo, rispetto alla tecnologia filata dove l'energia è "illimitata", immagini peggiori e rumorose, quindi meno chiare per il medico e meno predisposte per una rapida, semplice ed efficace elaborazione. Per le capsule endoscopiche, la risoluzione più tipica utilizzata infatti è ancora quella VGA (640x480)p30 [4,5]. Decisamente inferiore a quella utilizzata dai sistemi filati che al momento è l'HD 1080p [7].
- **Difficoltà di compiere interventi:** la mancanza di un appoggio stabile della capsula su cui "fare forza" implica la netta difficoltà di compiere interventi, come ad esempio biopsie, durante la stessa seduta di screening, dovendo poi necessariamente ripetere la procedura in modo tradizionale.

1.3 Sviluppo di un sistema di controllo e caratterizzazione per sensori di immagine per applicazioni endoscopiche

La seguente tesi ha come oggetto la progettazione di un sistema per il controllo e il testing di un sensore di immagine disegnato ad hoc per la colonscopia, da integrare in punta al colonoscopio insieme ad un sistema di illuminazione (a LED o a Fibre) e ad un sistema di controllo.

Tale sensore è stato recentemente sviluppato dall'azienda EYE-TECH s.r.l., Spin-Off della Scuola Superiore Sant'Anna che ci ha pertanto commissionato un sistema al fine di eseguire la caratterizzazione ottica ed elettronica dei suddetti prodotti, fase che si interpone fra la prototipazione del dispositivo e la successiva ingegnerizzazione che lo rende poi pronto per l'utilizzo medico e la commercializzazione.

Come si è appena detto, lo step fondamentale prima di provvedere alla miniaturizzazione ed alla commercializzazione di un sensore di immagine progettato ad hoc per una determinata applicazione è la caratterizzazione ottica ed elettrica, che consiste in due fasi [53], la progettazione hardware di un circuito elettronico che permetta il corretto funzionamento, la configurazione ed il controllo del sensore, e la progettazione di un software dedicato[4,53] con cui settare i parametri del sistema e processare i dati acquisiti al fine di estrapolarvi i parametri che caratterizzano le performance del sensore sia "su banco", cioè in condizioni ambientali appositamente create, sia, ad esempio per un dispositivo medico, "in vivo". Questi parametri, come ad esempio il consumo di potenza, la sensibilità, il rumore ed il range dinamico, in un sistema di visione sono propri sia dell'ambito ottico che di quello elettronico e vengono ricavati elaborando e confrontando opportunamente via software le immagini acquisite con una determinata alimentazione, frame rate e risoluzione ed al variare sia dell'effetto di fattori ambientali come temperatura, illuminazione e lunghezza d'onda misurata, che di parametri di funzionamento interno come il tempo di integrazione e la frequenza operativa [5,49]. Procedura che, se si dovesse fare un paragone con le macchine fotografiche digitali commerciali, si riassume in un confronto fra dati registrati variando opportunamente l'esposizione delle immagini.

Dal punto di vista prettamente hardware quello che si fa è progettare un Demonstration System[4] da connettere al sistema di visione, il cuore del sistema, in cui è alloggiato il sensore di immagine, il sistema di illuminazione ed il supporto per l'ottica [5].

Nel Demonstration System si identificano tutti i componenti opportunamente dimensionati della Main Board descritta nel paragrafo precedente, quali ADC per la conversione, SRAM per il frame buffering, un chip per il controllo e la distribuzione del clock proveniente da un oscillatore, ed un protocollo di comunicazione con un HOST-PC per la configurazione del sistema e la trasmissione dei dati attraverso sempre un software dedicato.

Si faccia presente che i sensori di immagine attuali sono sempre più mirati a garantire elevate prestazioni con ridotti consumi di potenza e con il minimo ingombro, sfruttando quindi i packages e gli standard di comunicazione con i più ridotti pin necessari possibili [4,5,49].

Lo scopo della tesi è stato pertanto il design, lo sviluppo e il test di una sistema elettronico che inglobasse il sensore d'immagine, EYE-TECH1080, nonché un secondo chip companion, EYE-TECH_DigitalOut, e tutta la componentistica elettronica necessaria per il corretto funzionamento, la conversione, trasmissione e gestione del segnale ed il controllo e la configurazione dell'intero sistema.

Tale scheda di controllo dovrà permettere un monitoraggio real-time di tutti i pin del dispositivo, garantire l'acquisizione ed il trasferimento di dati in formato RAW non compressi per l'elaborazione e la facile programmazione. In secondo luogo si vuole che la Demonstration Board sia più flessibile possibile, accessibile per le sonde elettriche, facilmente debuggabile ed in caso patchabile, altre caratteristiche richieste sono il basso costo, essendo un prototipo, e possibilmente la possibilità di essere riadattabile e riprogrammabile. Essa dovrà inoltre contenere tutti componenti in grado, una volta testati, di essere inseriti nella versione commerciali, dovranno essere pertanto miniaturizzabili, a ridotti consumi di potenza ed ingombro. Bisognerà inoltre implementare strategie che garantiscano che il segnale in uscita dal sensore di immagine non venga distorto e sporcato durante il routing, pertanto come in [4], il sistema di visione incapsulato per il test in vivo viene connesso al demonstration system mediante un ricevitore SMIA per la conversione del dato subLVDS ad LVCMOS parallelo così da ridurre la frequenza ed incrementarne la solidità.

2 MATERIALI E METODI

2.1 Specifiche del sistema

Un sistema di acquisizione e visualizzazione per un sensore di immagini è costituito principalmente dai seguenti blocchi:

- un modulo di visione (Lente, Sensore di immagini, Illuminazione);
- un modulo di controllo (FPGA/uCONTROLLORE);
- eventuali elementi circuitali (Convertitori, Periferiche di comunicazione, convertitori, memorie, driver, regolatori etc.);
- un HOST PC.

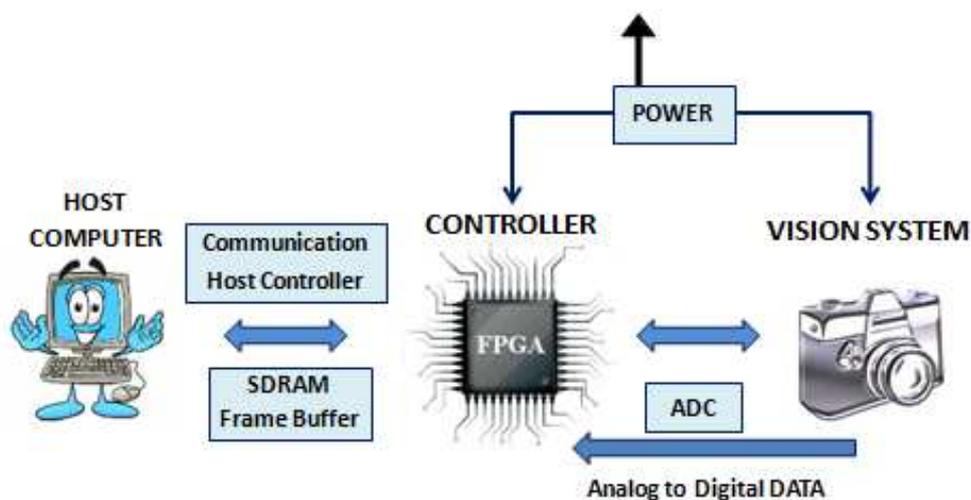


Fig. 10: Esempio di schema a blocchi di un sistema di acquisizione e visualizzazione di immagini

La richiesta avanzata dall'azienda Eye-Tech s.r.l. per il sensore da loro prodotto (EYE-TECH1080) è stata quella di progettare un circuito di controllo al fine di eseguire test elettrici preliminari e la caratterizzazione ottica al fine di massimizzare le performance del loro prodotto sensore d'immagine. È stato inoltre richiesta la possibilità di testare anche un Chip companion (EYE-TECHDigitalOut) sempre di loro produzione.

Ci è stato chiesto di utilizzare la componentistica di un'azienda che garantisse con i propri prodotti la possibilità di disegnare anche una versione miniaturizzata del sistema senza dover modificare il firmware sviluppato per questa prima versione.

Alla luce di quanto detto sono state stilate le specifiche del circuito di controllo da sviluppare, e sono state prese in considerazione diverse strategie di design e realizzazione al fine di garantire:

- massima flessibilità del sistema in modo da garantire diverse configurazioni di utilizzo ;
- semplicità di accesso a tutti i segnali per i test elettrici ;

- configurazione di backup nel caso in cui i chip companion non funzionassero correttamente.

Si riassumono schematicamente le specifiche di sistema in base alle quali si è passati alla fase di dimensionamento e di scelta dei componenti:

- capacità di acquisire 24 Fps (Frame per secondo) di immagini HD con 10bit di codifica per ciascun pixel;
- predisporre una configurazione in cui si possa utilizzare il sensore in assenza del chip companion;
- realizzare un sistema ottimizzato e predisposto per una futura miniaturizzazione utilizzando componenti provenienti dalla medesima azienda in modo da non dover riscrivere completamente il firmware ;
- garantire massima flessibilità progettuale per ottenere diverse modalità di configurazione del sistema, in modo da modificare e ottimizzare alcuni parametri elettrici che massimizzino le performance del sensore;
- predisporre la possibilità post-montaggio di poter utilizzare con facilità strumenti per il test elettrico del sistema attraverso pin di test, jumpers e sonde;
- garantire la possibilità di poter includere un compressore di immagini per trasformare i dati dal formato RAW al formato JPEG in caso non si riuscisse a provvedere adeguatamente alla trasmissione dei dati.

I componenti principali del nostro sistema saranno pertanto: un sensore di immagini in tecnologia CMOS, con risoluzione 1080x1080, disegnato specificatamente per applicazioni a luce controllata come è l'ambiente endoscopico, un blocco di controllo custom basato su FPGA e un HOST PC. Il blocco di controllo, in particolare, risulta essere oggetto di tale tesi, essendo stato progettato al fine di includere oltre l'FPGA tutti quegli elementi circuitali necessari per il sistema (periferiche di comunicazione, convertitori, memorie, driver, regolatori etc..) per ottenere un flusso dati dal sensore all'HOST PC.

2.2 Sensore di visione: EYE-TECH 1080

Il sensore utilizzato è l'EYE-TECH1080, un sensore di visione HD a chip monolitico sviluppato dall'azienda Eye-Tech s.r.l. Il chip è stato fabbricato utilizzando la tecnologia 0.18 μm CMOS, disponibile sia in package standard PCLL84 che in formato die (4.159mm x 3.959 mm). Tale sensore presenta una risoluzione di 1080x1080 RGB active-pixel a 24fps con un array di pixel integrati da 3.0 μm x3.0 μm pitch, che fornisce un elevato range dinamico ed un segnale di controllo (LedSinc) per la gestione dell'illuminazione. Tale segnale infatti consente di accendere il sistema di illuminazione solo quando necessario, ovvero durante il tempo di integrazione e non durante la lettura del segnale, così da ridurre notevolmente il consumo di potenza e garantendo ottime prestazioni riuscendo a simulare le stesse performance di un Global Shutter, ovvero la capacità di compiere il reset, l'integrazione e la lettura su tutti i pixel contemporaneamente. Ciò implica una velocità di funzionamento più elevata e risolve molti dei problemi di flickering rendendo le immagini meno mosse rispetto a quelle campionate da sistemi provvisti di Rolling Shutter, in cui i pixel vengono elaborati dall'altro verso il basso a gruppi di linee orizzontali [9].

Il sensore in oggetto è compatibile con le famiglie logiche a 1.8V e 3.3V ed è configurabile mediante il protocollo di comunicazione I2C-like dall'FPGA. L'uscita dall'EYE-TECH1080 è un segnale analogico differenziale fornito su due diversi canali: il primo canale riceve l'informazione dalle colonne pari del CDS (amplificatore), mentre il secondo da quelle dispari e ciò permette di poter generare un segnale di uscita alla frequenza più bassa possibile (20Mhz) in modo da limitare al minimo le distorsioni di immagine introdotte nel caso si utilizzassero frequenze più elevate. Al fine di convertire tali uscite in digitale è necessario connettere ciascuna coppia di tali segnali differenziali ad un ADC esterno.

Il Clock del sistema per il corretto funzionamento chiaramente può essere impostato dai 20Mhz ai 200Mhz.

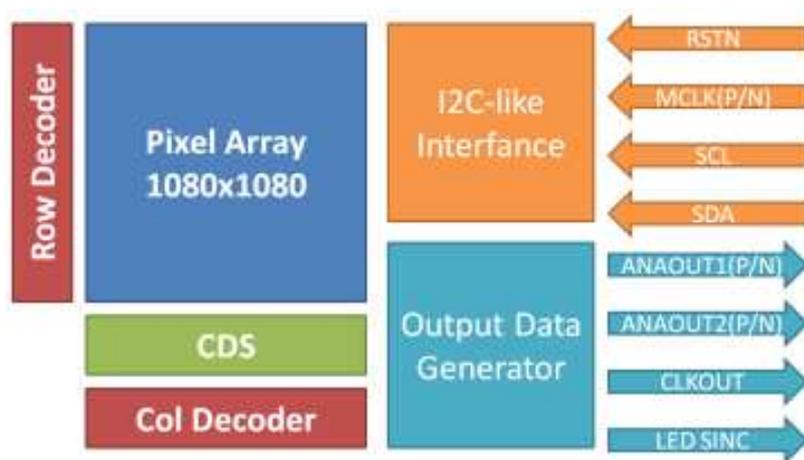


Fig. 11: Schema a blocchi del sensore di immagini EYE-TECH1080

2.3 Chip companion: EYE-TECHDigitalOut

Come detto in precedenza, la stessa azienda ha disponibile nel suo portfolio anche un Chip Companion, EYE-TECHDigitalOut, da associare all'EYE-TECH1080, in grado non solo di convertire direttamente in digitale il segnale proveniente dal sensore di immagine, ma anche di incrementarne l'intelligenza diminuendo il numero di connessioni necessarie per il controllo, riducendo pertanto l'ingombro meccanico e le perdite di segnale. Come per il sensore di immagine, l'azienda fornisce il chip sia in package standard PCLL84 che in formato die (2.42mm x 0.99mm).



Fig. 12: Schema a blocchi del chip companion EYE-TECHDigitalOut

La funzione principale del chip è quella di convertire il segnale proveniente dal sensore da differenziale analogico a digitale in standard SubLVDS mediante un convertitore interno che lavora con un Sampling Rate di 20MSPS, un SNR > di 70 db, errori di linearità minori di 0.5 LSB ed una codifica del segnale su 10 bit. Come il sensore, anche il companion è configurabile mediante protocollo I2C-like già presente a bordo e può funzionare con un clock sia LVCMOS3V3 che con un SubLVDS fino a 200Mhz.

L'accostamento del chip companion al sensore d'immagine, come raccomandato da EYE-TECH, permette di ottenere un sistema miniaturizzato che prevede un totale di 9 fili di controllo: (ADC_CLK; CLK_EN; CLK_PWDN; HSYNC; VSYNC; SDA; SCL; RSTN; LEDOUT) più 8 Segnali SubLVDS del dato digitalizzato ed 1 o 2 fili a seconda del Clock utilizzato (CLK_SEND Single-Ended o CLK_INP; CLK_INN Differenziale).

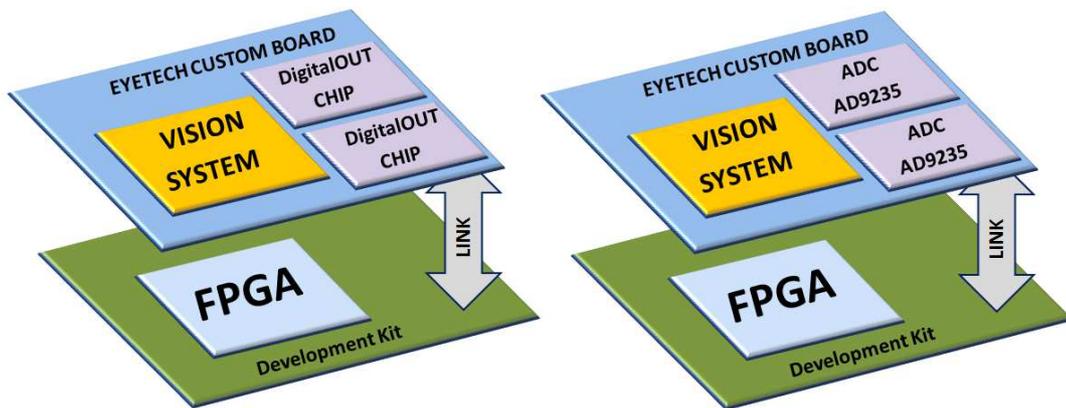
Poiché, tale chip è ancora in fase di sperimentazione, si è scelto di integrare sulla scheda di controllo anche una coppia di ADC disponibili in commercio come soluzione di backup, al fine di poter eseguire i test elettrici e ottici per valutare le performance del sensore anche nel caso in cui il chip companion non dovesse funzionare.

Sono state previste, pertanto, due configurazioni possibili:

- *configurazione Standard*: sensore di immagine + convertitore analogico digitale + FPGA;
- *configurazione Smart*: sensore di immagine + chip companion + FPGA.

Entrambe le configurazioni verranno implementate sulla stessa scheda con la possibilità di selezionare manualmente l'una o l'altra attraverso la connessione e/o l'isolamento di alcuni jumpers appositamente predisposti.

La presenza di due configurazioni diverse, permetterà anche di confrontare le performance del sensore utilizzando sia componentistica presente sul mercato sia il chip companion custom sviluppato dall'azienda così da avere una stima delle performance garantite dal chip companion.



*Fig. 13: (SINISTRA) Schema a blocchi del sistema in configurazione SMART
(DESTRA) Schema a blocchi del sistema in configurazione STANDARD*

Nel capitolo 5 e 6 verranno approfondite nel dettaglio le differenze e le connessioni delle due diverse configurazioni qui presentate.

2.4 Sistema di controllo: FPGA

La scelta dell'FPGA è stata fatta in primo luogo sulla base del numero di LUT(celle logiche) disponibili, inoltre, come richiesto dall'azienda, si è considerata la possibilità di dover integrare internamente all'FPGA un compressore di immagini da RAW a JPEG come tutela nel caso in cui il protocollo di comunicazione scelto non riuscisse a supportare il peso del "traffico video". La scelta di integrare il compressore direttamente all'interno dell'FPGA è stata fatta al fine di evitare di aggiungere componenti hardware sul circuito con i classici problemi di ingombro e rumore. Le considerazioni presenti in letteratura riguardo alle elevate performance dell'FPGA di elaborare parallelamente la parte di sensing e di processing [10,11,12] hanno confermato come questa sia la scelta più opportuna per questo tipo di sistema.

Tenendo presente che il circuito di controllo oggetto di tale tesi rappresenta un primo prototipo di test, si è preferito cercare una FPGA già integrata su una development board equipaggiata di alcuni componenti di base al fine di poter ridurre le tempistiche di progetto, e di ridurre la probabilità di errori progettuali e realizzativi andando ad utilizzare un prodotto già commercializzato, testato e privo di bug. Per quanto riguarda il numero di pin I/O necessari, in base ad una prima analisi si è considerata la necessità di avere 160 pin, di cui 60 pin I/O necessari per l'implementazione delle memorie e 30 pin I/O per l'USB 2.0.

Al fine di ridurre il numero totale di pin I/O necessari si è cercato un Development kit già equipaggiato di RAM da utilizzare come buffer durante la trasmissione dei dati verso l'HOST-PC e del driver per l'USB2.0 high-speed.

In particolare, le specifiche di progetto in base alle quali si è scelto il Development kit più adatto sono state:

- presenza di una FPGA con almeno 30000 Celle Logiche: di cui 8k per il compressore [14] ed i restanti per l'implementazione dei restanti blocchi necessari, nonché di alcuni blocchi per il processing. presenza di almeno un connettore di espansione con un adeguato numero di pin di I/O;
- che avesse la PLL interna per la pratica gestione e distribuzione all'intero sistema del clock proveniente dall'oscillatore a bordo del kit;
- presenza di una memoria FLASH integrata per permettere la riprogrammazione;
- che potesse interfacciarsi con una logica da 3.3V e da 1.8V analoga ai Chip di EYE-TECH s.r.l. ;
- presenza del driver necessario per garantire la comunicazione tra scheda di controllo ed HOST-PC mediante USB 2.0 high-speed (480Mbit/s) [13]. Tale protocollo di comunicazione è stato scelto in quanto maggiormente diffuso in commercio ed in grado di trasmettere il dato grezzo e non direttamente il segnale processato a video come avviene tramite comunicazioni di tipo VGA [17] o HDMI [18]. Non si è scelto di utilizzare un protocollo USB3.0 a causa del numero di pin elevato necessario all'implementazione e per il fatto che attualmente solo rari Development kit molto costosi la possiedono;
- presenza di almeno 32Mbit di memorie SRAM almeno DDR2 [15, 16] in quanto le memorie di nuova generazione DDR3 sarebbero state sovradimensionate per il

ridotto carico di dati del processo in questione. Oltre tutto sarebbero più costose e con un numero maggiore di pin necessari per l'implementazione.

Per la scelta della grandezza della RAM necessaria si è considerato la risoluzione del sensore pari a 1080x1080 e considerando gli standard di compressione, tale risoluzione si è sovrastimata ipotizzando un nuovo valore di 1088x1088 pixel per un totale di 1183744 pixel. Poiché ciascun pixel è codificato su 10 bit è stato necessario considerare due byte per la codifica di ciascun pixel.

Volendo ottenere infine 24 fps, si è calcolato un flusso di dati totale pari a:

$$(1088 \times 1088) \text{ pixel} \times 16 \text{ bit} \times 24 \text{ fps} = 455 \frac{\text{Mbit}}{\text{s}} \text{ o } 57 \frac{\text{Mbyte}}{\text{s}}$$

Poiché il protocollo di comunicazione con l'HOST PC è l' USB2.0 che al più consente una trasmissione di 480Mbit/s [13] si è pertanto valutata necessaria una RAM di 64Mbit, in grado di contenere almeno due frame di dati.

Si riporta di seguito il calcolo sovrastimato della dimensione dei due frame :

$$(1088 \times 1088) \text{ pixel} \times 16 \text{ bit} \times 2 \text{ frame} = 38 \text{ Mbit}$$

Come casa costruttrice di FPGA è stata scelta la Lattice Semiconductor a scapito delle due maggiori esponenti del mercato attuale, Altera e Xilinx in virtù del fatto che la Lattice presenta nel suo portfolio FPGA a basso consumo e con package molto piccolo, caratteristiche necessarie considerando che il sensore d'immagine utilizzato è stato sviluppato per applicazioni endoscopiche in cui la miniaturizzazione e il low-power sono specifiche necessarie.

Si è deciso di utilizzare per questa scheda di test una famiglia di FPGA molto performante e con molte GPIO in virtù dell'elevato numero di pin necessari al testing del sensore e del chip companion al fine di poter valutare la configurazione ideale con le più elevate performance del sistema testandone diverse configurazioni.

Una volta che il sistema sarà completamente testato e il sensore caratterizzato così da avere i parametri elettrici che ne massimizzano le performance, sarà possibile passare ad una seconda fase del progetto in cui, sempre con i componenti Lattice, verrà disegnata la versione miniaturizzata del circuito sistema , avendo così la possibilità di mantenere lo stesso firmware di questa primo prototipo di test e facendo risparmiare all'azienda sui costi ed sui tempi di programmazione come richiesto inizialmente.

Secondo le linee guida presentate, si sono inizialmente identificate 4 grandi famiglie di FPGA della LATTICE:

- **XO2:** famiglia miniaturizzata provvista di PLL, con package minimi da 25-ball WLCSP (2.5x2.5 mm), capacità logiche fino a 6864 Luts;

- **XP2:** famiglia completa, riprogrammabile tramite memoria Flash a bordo, con package minimi 132-pin csBGA (8 x 8 mm), capacità logiche fino a 40000 Luts, provvista di PLL e capace di gestire la maggioranza dei segnali standard da 1V2 a 3V3 in alta frequenza;
- **iCE:** famiglia miniaturizzata, provvista di PLL, con package minimi da 16-ball WLCSP (1.40 x 1.48 mm), capacità logiche fino a 7680 Luts e capacità di gestione di segnali di tipo SubLVDS;
- **ECP3:** famiglia di FPGA maggiormente performanti in termini di gestione dei segnali, di disponibilità di celle logiche (fino a 149000 Luts) e di banche diversi. L'ECP3 possiede una Flash a bordo che la rende riprogrammabile più volte, possiede una PLL; dimensioni minime siano di 328-ball csBGA (10 x 10 mm).

Si sono poi valutati i rispettivi Development kit disponibili in commercio in modo che fossero adeguati per il sistema da progettare. Sono pertanto stati selezionati i 10 modelli sotto riportati:

MODELLO	LUTs	Exp GPIO	USB 2.0	SRAM
iCE stick Evaluation Kit con FPGA: iCE40HX-1k	1280	-	-	-
ICEblink40HX1K Evaluation Kit con FPGA: iCE40HX-1k	1280	-	-	-
iCEblink40LP1K Evaluation Kit con FPGA: iCE40LP-1k	1280	-	-	-
MachXO2 Pico Development Kit con FPGA: LCMXO2-1200ZE	1280	-	-	-
Lattice XP2 Brevia2 Development Kit con FPGA: LFXP2-5E-6TN144C	5000	-	-	-
MachXO2 Dual Sensor Interface Board con FPGA: LCMXO2-4000HE	4320	-	-	-
MachXO2 Breakout Board con FPGA: LCMXO2-7000HE-4TG144C	6864	-	-	-
Lattice ECP3 Versa Development Kit con FPGA: ECP3 LFE3-35EA-8FN484C	33000	47	NO	NO
Lattice ECP3 I/O Protocol Evaluation Board con FPGA: ECP3 LFE3-150EA	149000	125	NO	NO
Sparrowhawk FX FPGA Video Processing Board	149000	91	SI	SI

Dopo un'attenta analisi, l'unico Kit utilizzabile è risultato essere lo *Sparrowhawk FX FPGA Video Processing Board* in quanto l'unico provvisto di un numero di celle logiche e di GPIO su connettore esterno adeguato. Si riportano nelle tabelle seguenti le principali caratteristiche fornite dal produttore:

Category	Features
FPGA	Lattice ECP3 LFE3-150EA-8FN1156 149.000 LUTs 372 Block RAMs 320 18x18 Multipliers 586 IO pins 16 SERDES channels (In/out) 400 MHz DDR3 Memory Support 10 PLLs, 2 DLLs
Video Memory	DDR3-800 (4) 4x Micron MT41J64M16JT-15E 400 MHz Clock Dual 32-bit channel (2x2 chips) 6.4 GB/s (theoretical maximum) 512 MB Total memory (expandable to 1024 MB)
Video interfaces	2x DVI/HDMI Input (DVI connector) 2x DVI/HDMI Output (DVI connector) DDC Supported on all in/out connectors
Nonvolatile storage	Numonyx M29EW Parallel NOR Flash 512Mbits (64MB) – expandable to 2Gbits (256 MB) ST M25P64 SPI Flash (Stores FPGA Configuration) Secure Digital Card slot
Audio Interfaces	Wolfson WM9707 AC'97 2.1 Audio Codec Stereo Line Out Stereo Line In S/PDIF Out
Communication Interfaces	Cypress CY7C68013A USB 2.0 Device STEricsson ISP1760 USB 2.0 Host RS-232 Interface I2C Bus (On all expansion connectors)
Expansion ports	Expansion Connectors (3) 1x Low Cost Expansion 2.54mm 30-pin header (22 GPIOs) 1x Samtec QSH-060 Expansion Connector (48 GPIOs, 8 SERDES In, 8 SERDES Out, 1 dedicated clock input) 1x Samtec QSH-030 Expansion Connector (44 GPIOs, 2 dedicated clock inputs) 114 GPIO pins in total
Other peripherals	Push-buttons (4) DIP Switches (4) LEDs (8)
Power Supply	12V DC Input Power switch Onboard 5V, 3V3, 1V2 Switching power supplies Onboard 1V5 DDR3 Switching power supply Onboard FPGA 1V2 Core voltage linear regulator
Clocking	Onboard 100MHz Oscillator Onboard Programmable Clock Generator for SERDES/Video Interfaces – SiLabs
Manufacturing	RoHS Compliant

Tab 2: Tabella con le caratteristiche principali riassunte della SparrowHawk FX

La Sparrowhawk è provvista dell’FPGA più potente della LATTICE, l’ECP3, possiede delle memorie di tipo DDR3 più che valide per le nostre specifiche, un protocollo di comunicazione USB2.0high-speed ed un oscillatore da 100Mhz. Essa fornisce una tensione di alimentazione da 3.3V o 5V e possiede un’interfaccia video di tipo HDMI che non verrà utilizzata per questo progetto, ma che potrebbe essere utilizzata in futuro .

Tale Development kit presenta due connettori di espansione a cui sarà collegata la scheda di controllo custom EYE-TECH.

EXP Pin	Function	FPGA pin	FPGA dir	Bank	EXP pin	Function	FPGA pin	FPGA dir	Bank
1	3V3				2	3V3			
3	3V3				4	3V3			
5	3V3				6	3V3			
7	SDA	AN32	inout	3	8	SCL	AN31	inout	3
9	GPIO0	W34	inout	3	10	GPIO1	AF32	inout	3
11	GPIO2	W33	inout	3	12	GPIO3	AF34	inout	
13	GPIO4	Y34	inout	3	14	GPIO5	AG34	inout	3
15	GPIO6	Y33	inout	3	16	GPIO7	AH33	inout	3
17	GPIO8	AB34	inout	3	18	GPIO9	AJ31	inout	3
19	GPIO10	AB33	inout	3	20	GPIO11	AJ33	inout	3
21	GPIO12	AC34	inout	3	22	GND			
23	GPIO14	AC33	inout	3	24	EXP_PLL_P	AJ34	in	3
25	GPIO16	AD34	inout	3	26	EXP_PLL_N	AK34	in	3
27	GPIO18	AD33	inout	3	28	GND			
29	GPIO20	AE34	inout	3	30	GPIO13	AL32	inout	3
31	GPIO22	AE33	inout	3	32	GPIO15	AL34	inout	3
33	GPIO24	W31	inout	3	34	GPIO17	AL33	inout	3
35	GPIO26	W32	inout	3	36	GPIO19	AF31	inout	3
37	GPIO28	Y31	inout	3	38	GPIO21	AK31	inout	3
39	GPIO30	Y32	inout	3	40	GPIO23	AK32	inout	3
41	GPIO32	AA30	inout	3	42	GPIO25	AL31	inout	3
43	GPIO33	AA31	inout	3	44	GPIO27	AM32	inout	3
45	GPIO34	AB31	inout	3	46	RFU	RFU	RFU	NA
47	GPIO35	AB32	inout	3	48	GPIO31	AM30	inout	3
49	GPIO36	AB30	inout	3	50	GPIO37	AN34	inout	3
51	GPIO38	AC30	inout	3	52	GPIO39	AN33	inout	3
53	GPIO40	AD30	inout	3	54	GPIO41	AP33	inout	3
55	GPIO42	AD31	inout	3	56	GPIO43	AP32	inout	3
57	GPIO44	AE31	inout	3	58	GPIO45	AP31	inout	3
59	GPIO46	AE32	inout	3	60	GPIO47	AP30	inout	3

Tab 3: EXP #0 QTH-060-03-L-D-A. Si sono potuti utilizzare solo i primi 60 pin in virtù del fatto che i restanti 60 erano SERDES già occupate dai componenti sul development kit

EXP Pin	Function	FPGA pin	FPGA dir	Bank	EXP pin	Function	FPGA pin	FPGA dir	Bank
1	5V				2	3V3			
3	5V				4	3V3			
5	5V				6	3V3			
7	SDA	AN32	inout	3	8	SCL	AN31	inout	3
9	GPIO48	K33	inout	2	10	GPIO49	K30	inout	2
11	GPIO50	K34	inout	2	12	GPIO51	K29	inout	2
13	GPIO52	K32	inout	2	14	GPIO53	L30	inout	2
15	GPIO54	K31	inout	2	16	GPIO55	L28	inout	2
17	GPIO56	L33	inout	2	18	GPIO57	L26	inout	2
19	GPIO58	L34	inout	2	20	GPIO59	M29	inout	2
21	GPIO60	L32	inout	2	22	GPIO61	M28	inout	2
23	GPIO62	L31	inout	2	24	GPIO63	M27	inout	2
25	GPIO64	M33	inout	2	26	GPIO65	M26	inout	2
27	GPIO66	M34	inout	2	28	GPIO67	N30	inout	2
29	GPIO68	M31	inout	2	30	GPIO69	N29	inout	2
31	GPIO70	M30	inout	2	32	GPIO71	N28	inout	2
33	GPIO72	N33	inout	2	34	GPIO73	N27	inout	2
35	GPIO74	N34	inout	2	36	GPIO75	R31	inout	2
37	GPIO76	N32	inout	2	38	GPIO77	R30	inout	2
39	GPIO78	N31	inout	2	40	GPIO79	R28	inout	2
41	GND				42	GND			
43	EXP2_PCLK_P	U26	inout	2	44	EXP2_PLL_P	V34	in	2
45	EXP2_PCLK_N	U27	inout	2	46	EXP2_PLL_N	V33	in	2
47	GND				48	GND			
49	GPIO80	P33	inout	2	50	GPIO81	R27	inout	2
51	GPIO82	P34	inout	2	52	GPIO83	T32	inout	2
53	GPIO84	R33	inout	2	54	GPIO85	T31	inout	2
55	GPIO86	R34	inout	2	56	GPIO87	T30	inout	2
57	GPIO88	T33	inout	2	58	GPIO89	T29	inout	2
59	GPIO90	T34	inout	2	60	GPIO91	U32	inout	2

Tab 4: EXP #1 = QTH-030-02-L-D-A secondo connettore di espansione esterno utilizzabile del development kit. Si notino come i pin 43 e 45 come siano le uniche possibili uscite per inviare un clock differenziale 3V3

3 DESIGN FINALE

Sulla base di tutte le considerazioni esplicitate ai paragrafi precedenti e seguendo quelle ricavate dalla letteratura [20,21], il sistema finale (figura 6) sarà costituito da 3 moduli:

- il Development kit *Sparrowhawk FX FPGA Video Processing Board* della Lattice;
- la scheda custom, oggetto di tale tesi, Eye-Tech DevBoard;
- un HOST-PC per gestire sia la programmazione delle schede che il trasferimento delle immagini.

Le funzioni del Development kit *Sparrowhawk* saranno molteplici, esso si interfaccerà all'HOST-PC attraverso il protocollo di comunicazione USB-2.0-High-Speed che servirà sia per configurare l'intero sistema che per il trasferimento dei dati con il supporto delle memorie SDRAM DDR3 di cui è provvisto che lavoreranno come frame buffer per eseguire una corretta comunicazione. Sempre dal Development kit *Sparrowhawk* verrà generata la tensione di alimentazione a 3.3V e verrà generato il clock mediante un oscillatore a bordo da 100Mhz. La comunicazione con la scheda Eye-Tech DevBoard avverrà mediante i due connettori esterni precedentemente descritti (EXP#0 , EXP#1) (Samtec QTHseries) previsti sulla *Sparrowhawk* che consentiranno di impilare le due schede.

Sulla scheda custom Eye-Tech DevBoard, oltre alle femmine dei connettori EXP#0 ed EXP#1 ed oltre a tutta la componentistica passiva di disaccoppiamento, bypass e regolazione, sono stati implementati:

- il sensore d'immagine EYE_TECH1080 con package PCLL84;
- due chip companion EYE-TECHDigitalOUT package PLCLL84;
- due ADC AD9235-BRU20Z dell'Analog Device package TSSOP28;
- un regolatore DIODES AP7312-1218W6-7 LDO package SOT26 per generare le alimentazioni 1.8V e 1.2V a partire dalla 3.3V;
- FPGA Lattice XP2-5E-144TQFP;
- 37 Jumpers ed 8 headers.

La scheda è stata inoltre provvista degli attacchi necessari per il montaggio di un'ottica standard sul sensore.

Si è per appunto deciso di implementare una seconda FPGA, la XP2 della Lattice, che verrà utilizzata per gestire alcuni segnali di tipo subLVDS (vedi Appendice I) non gestibili dall'ECP3 montata sul Development kit *Sparrowhawk*, saranno inoltre generati tutti i segnali di clock necessari al sistema partendo da un unico clock fornito dal Development kit. Ciò ha concesso ulteriore libertà in termini di ottimizzazione del routing permettendoci di ottimizzare le piste ed i piani di massa ed alimentazione in modo tale da ridurre il più possibile il rumore introdotto durante il percorso del segnale.

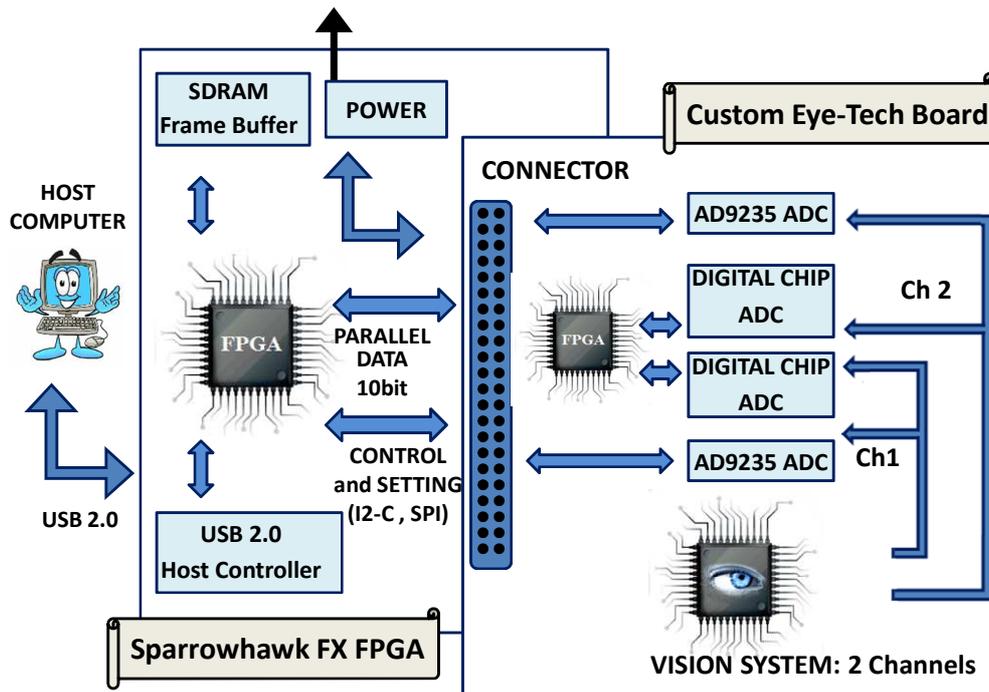


Fig. 14: Schema a blocchi dell'intero sistema. HOST-PC, Development Kit e Custom Board

3.1.1 Dimensionamento ADC

Essendo questo un circuito di controllo per un sensore di immagine, che fornisce un dato analogico in uscita, è indubbiamente necessario applicare al sistema un componente che converta il segnale da analogico a digitale. EYE-TECH applica infatti al sensore un chip companion come garante di tale ruolo, tuttavia, al fine di testare il funzionamento del sensore, essendo il companion ancora un prototipo non commerciale, si è deciso di introdurre sulla scheda Eye-Tech DevBoard un ADC commerciale in modo da assicurarci di poter eseguire tutti i test anche nel caso in cui i companion non funzionassero. Oltre tutto, la presenza di un ulteriore ADC, permetterà di confrontare i dati convertiti dai due sistemi diversi, dando modo di fare valutazione sulle performance del chip companion.

Sulla base delle caratteristiche del segnale di uscita da sensore di immagine ricavate dal datasheet e sulla base di considerazioni ingegneristiche inerenti alla minimizzazione dell'errore e del rumore, si sono definite le specifiche richieste su cui si è dimensionato e scelto il convertitore commerciale più adatto:

Si è cercato un convertitore compatibile con la famiglia logica a 3.3V del sensore, con un SNR (Signal to Noise Ratio) di almeno 70db, un INL (Integral Non Linearity) ed un DNL (Differential Non Linearity) minore di 0.5 LSB ("No missing codes") come richiesta di EYE-TECH.

Si è valutato prevedesse come scelta migliore un'uscita digitale parallela LVCMOS3V3 piuttosto che seriale in modo tale da non dover utilizzare una frequenza di clock troppo elevata che potesse distorcere il segnale lungo la pista.

Il segnale analogico differenziale proveniente dal sensore EYE-TECH1080 è un segnale a 20Mhz su doppio canale, uno per le righe pari ed uno per quelle dispari, con una V_{minima} pari a 0.6V ed una $V_{massima}$ pari a 1.2V.

Si è quindi reso necessario un componente in grado di regolare uno span sull'intervallo di tensioni sopra riportato, con un sampling rate di 20MSPS ed una codifica digitale su almeno 10bit.

Sarebbe stata ottima anche la possibilità di predisporre di un ADC a doppio canale, con quindi due convertitori interni uguali e pilotati dal medesimo clock, così da ridurre in primo luogo il numero di componenti da saldare sulla scheda ed in secondo luogo riducendo un rumore introdotto nel segnale che ci sarebbe stato adoperando una soluzione a doppio chip a singolo canale a causa del fatto che ogni chip non è perfettamente identico ad un altro a causa ad esempio dei difetti di fabbrica.

Tuttavia per garantire una migliore geometria del routing si è preferito adottare la soluzione a singolo canale.

Tra i vari tipi di ADC è stata scelta l'architettura di tipo Pipeline.

Rientrano generalmente fra i Pipeline quei convertitori Analogico Digitali con velocità di conversione da 1MSPS a 200MSPS e con risoluzioni tipiche dagli 8 ai 24bit. Benché secondi in velocità di conversione rispetto alle architetture di tipo Flash, essi, a parità di risoluzione, vengono largamente utilizzati quando possibile in virtù dei minori costi di costruzione e del minore ingombro grazie al minor numero di resistori e comparatori interni di cui sono costituiti. Inoltre, la logica interna meno complessa in termini di numero di componenti, garantisce un'incertezza di conversione del Pipeline ridotta rispetto ai Flash. Il pipeline è composto da più stadi flash identici collegati in cascata, le cui uscite in sequenza costituiscono il dato convertito. Il dato entra in un campionatore Sample&Hold che lo mantiene costante fino al fronte di Clock successivo. In questa fase il segnale entra in un comparatore Flash ad n bit e viene digitalizzato. Il segnale viene quindi sia portato in uscita (0 / 1) che riconvertito in analogico introducendo un errore di quantizzazione. Questo viene quindi sottratto al segnale di partenza ricavando solo l'errore che entra a sua volta come nuovo segnale nello stadio successivo passando da un amplificatore 2^n riportando il residuo a fondo scala in modo tale che questo possa venire nuovamente convertito.

La sequenza binaria delle uscite degli stadi rappresenta l'interno segnale convertito. Chiaramente più sono gli stadi e più viene ridotto l'errore di conversione a discapito però dell'incremento dei costi del convertitore e del throughput. [19].

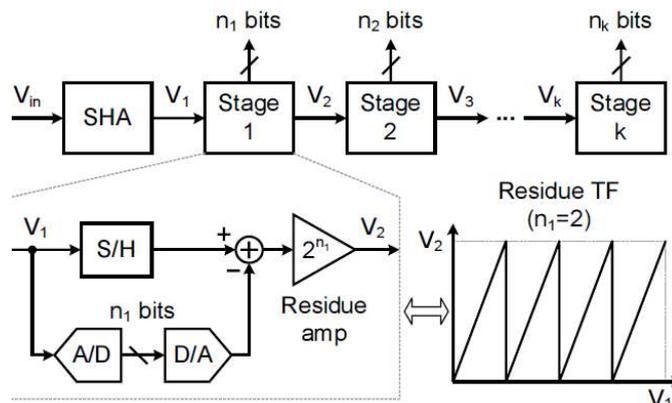


Fig. 15: Schema del primo stadio di conversione

Considerando le specifiche richieste si è svolta una ricerca dei convertitori presenti sul mercato con una risoluzione di almeno 10 bit e si riportano nella tabella seguente alcune delle caratteristiche principali dei dispositivi elettronici trovati off-the-shelf:

	Sampling Rate	Risoluzione	INL	DNL	CANALI	PIN
AD9201	20 Msps	10 Bit	2.5 LSB	1 LSB	1	28
ADS900	20 Msps	10 Bit	3.5 LSB	1 LSB	1	28
ADC10D020	20 Msps	10 Bit	1.8 LSB	1.2 LSB	2	48
MAX1422	20 Msps	12 bit	2 LSB	1 LSB	1	48
AD9235-BRU20Z	20 Msps	12 bit	0.45 LSB	0.35 LSB	1	28
AD7622	20 Msps	16 bit	1.5 LSB	1.25 LSB	1	48
LTC2270	20 Msps	16 bit	2.3 LSB	0.8 LSB	2	64

L'unico componente garante delle specifiche sopracitate è stato l'AD9235 della Analog Device, compatibile con la famiglia logica a 3.3V. Si è acquistato il modello BRU 20-Z con package 28 Lead-TSSOP. Si riportano nell'*APPENDICE II* le principali caratteristiche fornite dal datasheet e si rimanda al *Capitolo 4.3* per la relativa configurazione di montaggio, settaggio e per la mappa delle connessioni effettuate.

3.1.2 Dimensionamento Alimentazioni

La logica a bordo della scheda Eye-Tech DevBoard progettata richiede per il funzionamento tre diverse tensioni di alimentazione: le tensioni 3.3V e 1.8V analogiche e digitali per i Chip Eye-Tech e gli ADC, e la 1.2V digitale per l'FPGA XP2. Visto che le alimentazioni fornite tramite i connettori del Development kit *Sparrowhawk* sono la 3.3V e la 5V, per generare le alimentazioni mancanti si è utilizzato un regolatore doppio, il "DIODES AP7312-1218W6-7 LDO" (APPENDICE III) connesso ad un pin di alimentazione a 3V3 del development kit come sorgente. Gli ingressi e le uscite del regolatore sono state disaccoppiate dalla massa attraverso l'inserimento di capacità di bypass da 1uF come suggerito dal costruttore. Gli ingressi di abilitazione dell'LDO sono stati cortocircuitati all'alimentazione a 3.3V in modo tale da tenere le uscite sempre abilitate.

Si riporta nella figura sottostante lo schematico della configurazione dell'LDO.

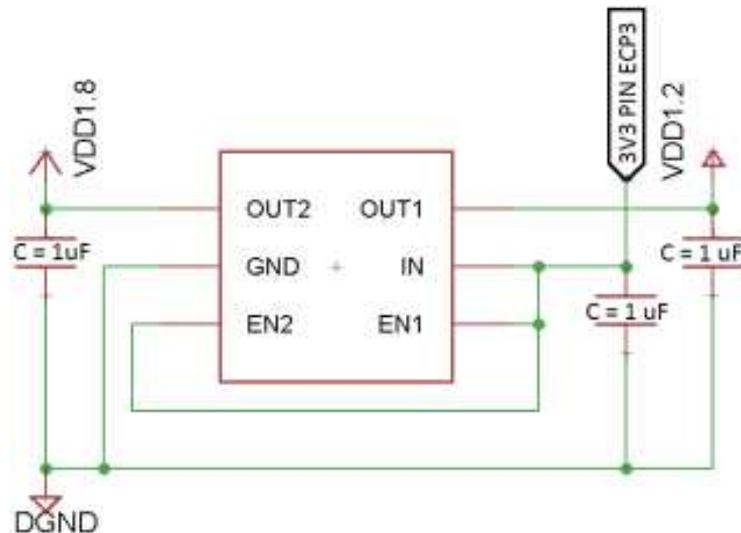


Fig. 16: schema circuitale del regolatore LDO

Le **tensioni di alimentazione** 3V3 e 1V8 sono state disaccoppiate in “analogiche” e “digitali” secondo quanto richiesto dalla logica del progetto realizzando piani separati tramite una resistenza da 0 ohm. Per la tensione 1.2V non è stato realizzato un piano ma è stata localmente connessa in quanto erano necessarie solo poche connessioni locali. Per quest’ultima utilizzando durante il routing è stata utilizzata una pista ampia da 0.4mm ed evitando la vicinanza con piste differenziali e/o ad alta frequenza.

Su ciascuna alimentazione, come mostrato nella figura sottostante, è stato introdotto un parallelo di capacità di bypass (APPENDICE **Errore. L'origine riferimento non è stata trovata.**) da 0.1uF e da 10uF (al tantalio) per ridurre il rumore.

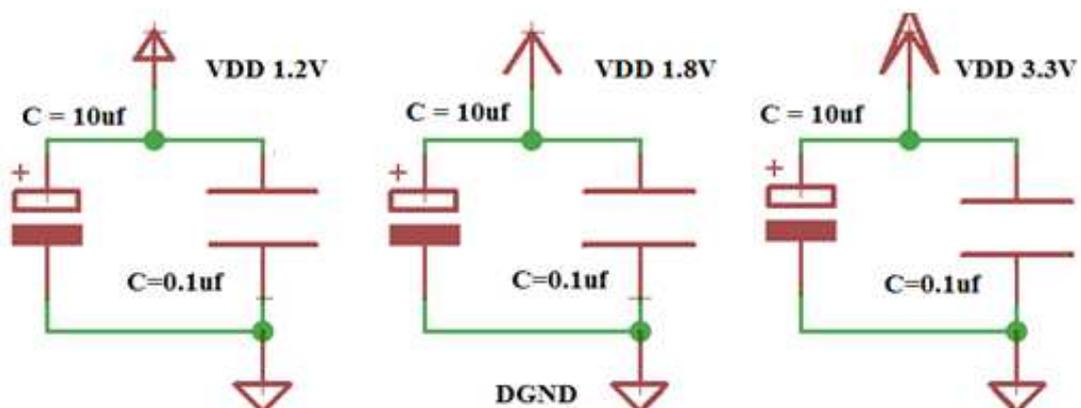


Fig. 17: schema elettrico delle capacità di bypass sulle alimentazioni.

Anche **la massa** è stata disaccoppiata in “analogica” e “digitale” sempre mediante l’utilizzo dei piani separati da una resistenza da 0 Ohm. Anche questo per garantire la massima pulizia di segnale analogico possibile. Si rimanda al *Par 6* per ulteriori specifiche sul layout dei piani.

3.2 Gestione dei segnali di dato e di clock

Una delle maggiori difficoltà progettuali è stata la gestione degli ingressi differenziali di clock (CLK_N e CLK_P) del sensore EYE-TECH1080 e del chip companion EYE-TECHDigitalOut, che richiedono per il corretto funzionamento un segnale di Clock fino a 200Mhz di tipo SubLVDS, e delle uscite differenziali di dato (LVDS_clkn, LVDS_clkp, LVDS_dATAn ed LVDS_dATAp) dei chip companion ET-Digital_OUT sempre di tipo subLVDS con frequenza fino a 200Mhz. Il problema principale è stata la mancanza, da parte dell'ECP3 integrata sul Development kit, di poter generare e ricevere un segnale con standard SubLVDS, oltre al fatto che il Development kit né garantisce la possibilità di utilizzare banchi ad una tensione diversa da 3.3V, né dispone di più di due pin differenziali con cui lavorare.

Come **prima ipotesi** si è quindi pensato di utilizzare le GPIO LVCN03V3 del Development kit *Sparrowhawk* e di convertire il segnale attraverso una logica che facesse da interfaccia. Si è svolta pertanto una ricerca al fine di trovare un Driver Sub-LVDS to LVCMOS3V3 per i segnali di uscita dai convertitori ed un Driver LVCN03V3 to Sub-LVDS per i segnali di clock. Per quel che riguarda la ricezione del dato convertito SubLVDS si è vagliata l'ipotesi di introdurre il driver SN65LVDS4-RSE-10 della Texas Instrument su ciascuna coppia di dati differenziali per convertirli in LVCMOS3V3. Sugli ingressi di tipo subLVDS (A e B) del driver si è inserito un circuito resistito, come suggerito dal costruttore, per garantire il corretto funzionamento del dispositivo, mentre le alimentazioni 1V8 del core del dispositivo e la 3V3 per pilotare l'uscita LVCMOS3V3 sono state disaccoppiate dalla massa mediante una capacità da 0.1 uF come suggerito sempre dal costruttore. Si riporta in seguito lo schematico del montaggio elettrico.

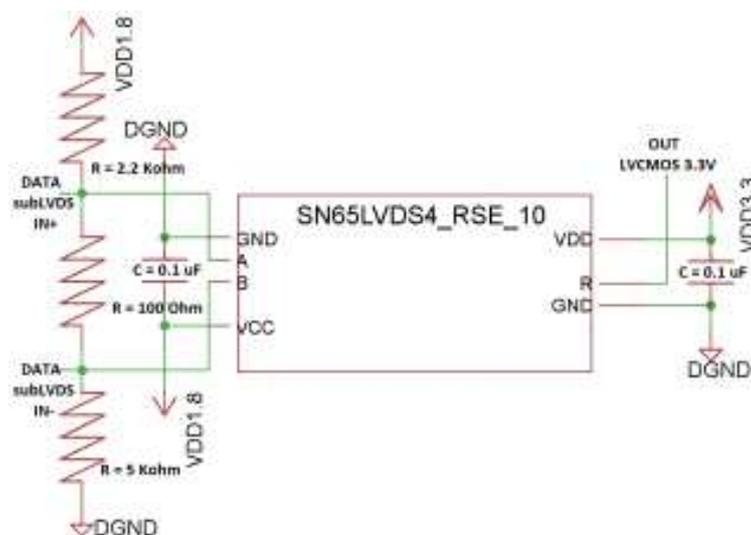


Fig. 18: Schematico driver SN65LVDS4-RSE-10 della Texas Instrument

Il problema però continuava a persistere per il segnale di clock in ingresso al sensore di immagine e ai chip companion che doveva arrivare dal Development kit. L'ECP3 infatti non è in grado di fornire un segnale LVCMOS 3V3 a 200Mhz (166Mhz massimo) e non si

è trovato alcun driver disponibile al momento sul mercato in grado di moltiplicare un clock in ingresso a frequenza ridotta.

Abbandonata pertanto l'idea di utilizzare dei driver si sono quindi valutate due configurazioni suggerite dalla Lattice per i propri prodotti (riportate in fig. 11 e 13) per interfacciarsi con lo standard SubLVDS.

La **prima** sotto riportata, per la gestione del dato convertito, illustra come un segnale di tipo SubLVDS possa pilotare un ingresso impostato secondo lo standard HSTL18D applicando, vicino all'FPGA, una resistenza di carico R_t da 100 Ohm sulla linea differenziale.

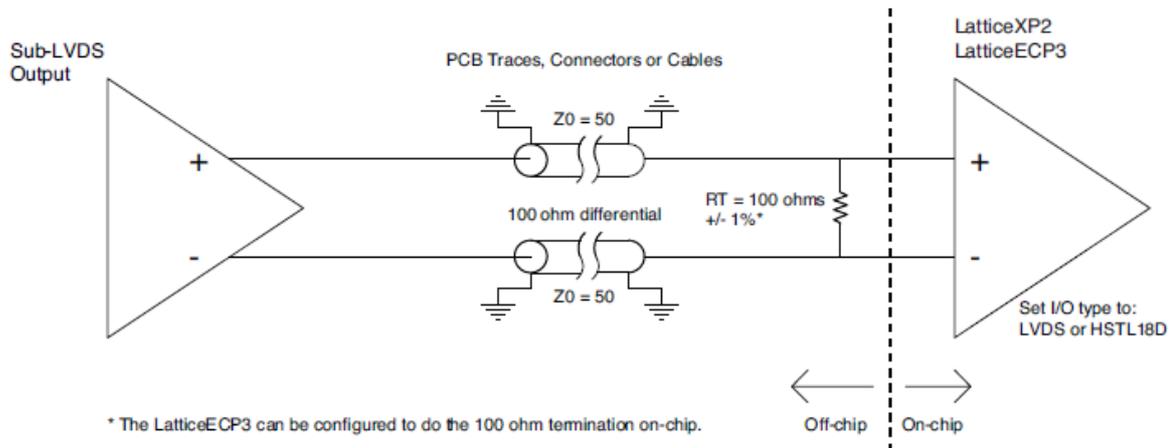


Fig. 19: Schema di come un segnale SubLVDS possa pilotare gli ingressi HSTL18D dell'FPGA a valle

Per essere certi che non ci fossero eventuali sbilanciamenti sulle linee differenziali dati da difetti realizzativi e costruttivi, si sono applicate in serie alle piste nei pressi degli ingressi delle resistenze da 0 Ohm con la consapevolezza di poterle eventualmente sostituire per bilanciare il segnale. Si riporta nello schema sottostante il circuito implementato.

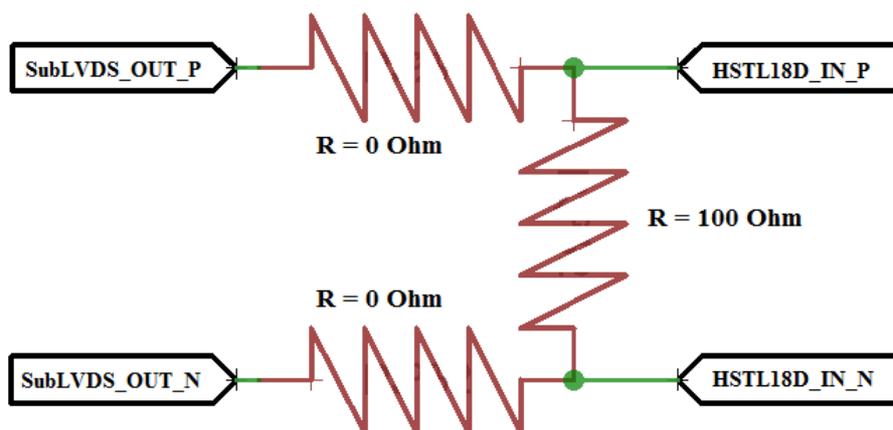


Fig. 20: Schema elettrico del circuito implementato

Nella **seconda** configurazione in Fig:13 si riporta il circuito per garantire che un segnale generato in uscita secondo lo standard SSTL18D_II, possa pilotare degli ingressi di tipo SubLVDS. Nel nostro caso il segnale in uscita è il Clock, che tramite il circuito resistivo

composto da due resistenze da 267 Ohm in serie e due in parallelo da 121 Ohm e da 100 Ohm poste nei pressi del dispositivo a valle, può pilotare gli ingressi di tipo SubLVDS dello stesso. Anche questa volta sono state aggiunte le resistenze da 0 Ohm sulla linea per ovviare all'eventuale sbilanciamento. Si riporta nelle figure sottostanti il circuito appena descritto.

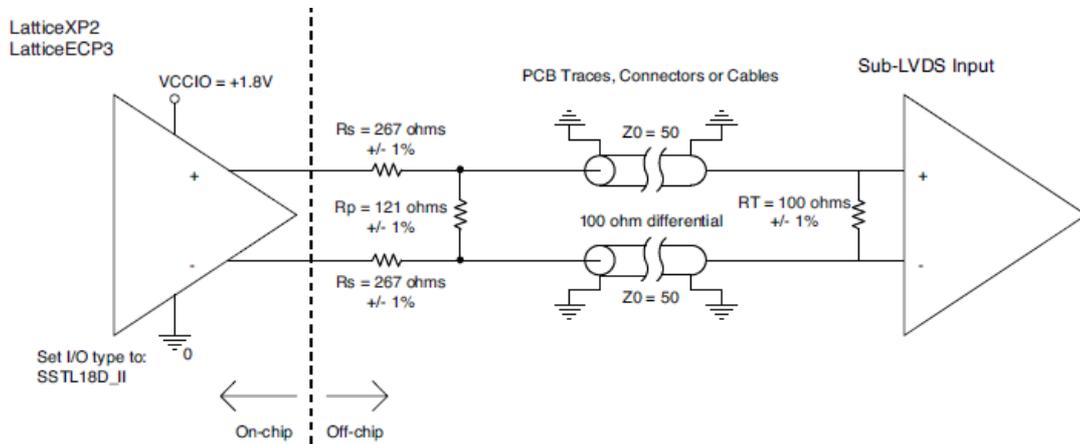


Fig. 21: Schema di come un segnale SSTL18D_II possa pilotare gli ingressi SubLVDS dell'FPGA a valle

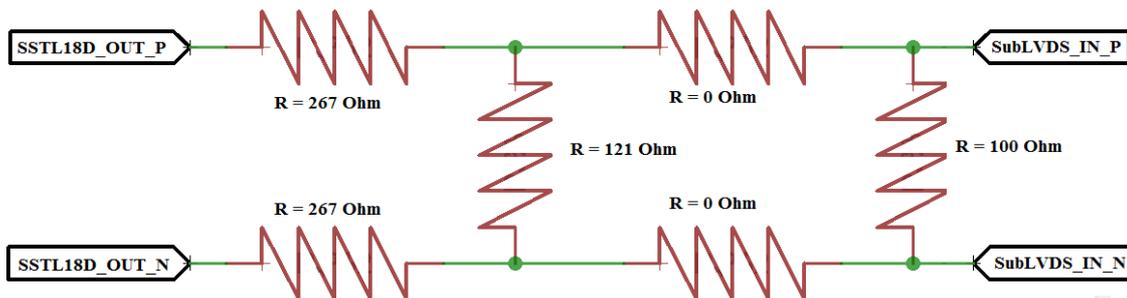


Fig. 22: Schema elettrico del circuito implementato

Tali configurazioni necessitano però di poter utilizzare banchi dell'FPGA ad una tensione di 1.8V, non disponibile sul Development kit *Sparrowhawk*. Pertanto come alternativa si è scelto di utilizzare una seconda FPGA, la Lattice XP2-5E-144TQFP, che ricevesse in ingresso alla propria PLL il clock differenziale a 20Mhz dal Development kit *Sparrowhawk* per poi moltiplicarlo e distribuirlo su tutta la scheda sia in standard LVCMOS3V3 che in SubLVDS e che ricevesse il dato convertito SubLVDS e lo deserializzasse per inviarlo all'ECP3 in standard LVCMOS3V3. Si è implementato il tutto in modo tale che la XP2 fosse abilitabile e pilotabile attraverso l'ECP3 e configurabile con il protocollo JTAG.

3.2.1 FPGA XP2-5E-144TQFP

L'FPGA da implementare sulla Eye-Tech DevBoard è stata scelta in base alle seguenti specifiche:

- componente con “dimensioni logiche” ridotte;
- facile da saldare.

In grado di :

- o ricevere il segnale digitalizzato dagli EYE-TECHDigitalOut ed incorporare un deserializzatore interno per fornire all'ECP3 il dato in parallelo in standard LVCMOS3V3 a 20Mhz ;
- o distribuire il clock all'intero sistema attraverso una PLL interna che moltiplicasse quello proveniente dal Development Kit.

Si è cercata quindi una FPGA che presentasse le seguenti caratteristiche:

- banchi alimentati alle tensioni di 3V3 e di 1V8 consoni alla logica del sistema;
- facilmente programmabile (più volte grazie alla Flash a bordo) con lo stesso software di programmazione (Diamond) dell'altra FPGA utilizzata, ovvero l'ECP3, al fine di semplificare il lavoro di progettazione firmware;
- 8 pin di ingresso di tipo HSTL18D: come ingresso del deserializzatore per ricevere il dato convertito di tipo subLVDS proveniente dai chip EYE-TECHDigitalOut;
- 2 pin di ingresso differenziali a 3V3 (GPLL): per il segnale di clock a 20MHz proveniente dall'ECP3;
- PLL interna per la moltiplicazione del clock da 20MHz fino a 200Mhz;
- 6 pin di uscita di tipo SSTL18D_II: per poter generare i clock differenziali subLVDS a 200Mhz in ingresso al sensore di immagine EYE-TECH1080e ai due chip companion EYE-TECHDigitalOut;
- 3 pin di uscita di tipo LVCMOS3V3: per poter generare i clock single-ended a 200Mhz in ingresso al sensore di immagine EYE-TECH1080e ai due chip companion EYE-TECHDigitalOut;
- 13 pin di uscita di tipo LVCMOS3V3: per portare il dato convertito parallelizzato a 40Mhz all'ECP3 in uno standard con cui potesse interfacciarsi e riducendo le perdite di segnale lungo la linea riducendo la frequenza. *(10Bit di segnale, 2 segnali di sincronizzazione (orizzontale e verticale) ed 1 di Clock del dato).*

Si è scelta l'FPGA XP2-5E sempre della LATTICE, in quanto garante di tutti gli elementi sopracitati necessari.

Device	XP2-5
LUTs (K)	5
Distributed RAM (KBits)	10
EBR SRAM (KBits)	166
EBR SRAM Blocks	9
sysDSP Blocks	3
18 x 18 Multipliers	12
V _{CC} Voltage	1.2
GPLL	2
Max Available I/O	172
Packages and I/O Combinations	
144-Pin TQFP (20 x 20 mm)	100

Tab 5: Tabella riassuntiva delle principali caratteristiche dell'FPGA XP2-5E-144TQFP

Per l'opportuna disponibilità di GPIO necessarie alla configurazione del sistema e per la relativa posizione fisica sul chip in modo tale da garantire la migliore soluzione possibile in termini di lunghezza e distanza per il routing delle piste analogiche, differenziali ed ad alta frequenza in modo da ridurre il più possibile l'introduzione di rumore causato dal percorso del segnale da un chip all'altro, sono stati utilizzati i banchi 2, 4, 7, 0 della XP2.

Come seconda ipotesi si era valutata anche la possibilità di utilizzare una Lattice iCE40 essendo addirittura compatibile con lo standard subLVDS, ma si è dovuta scartare a causa del fatto che non permette la possibilità di lavorare oltre i 155Mhz con i subLVDS e che non supporta lo standard HSTL18D ed SSTL18D_II.

Si riassume la configurazione finale precedentemente presentata nel diagramma a blocchi sottostante.

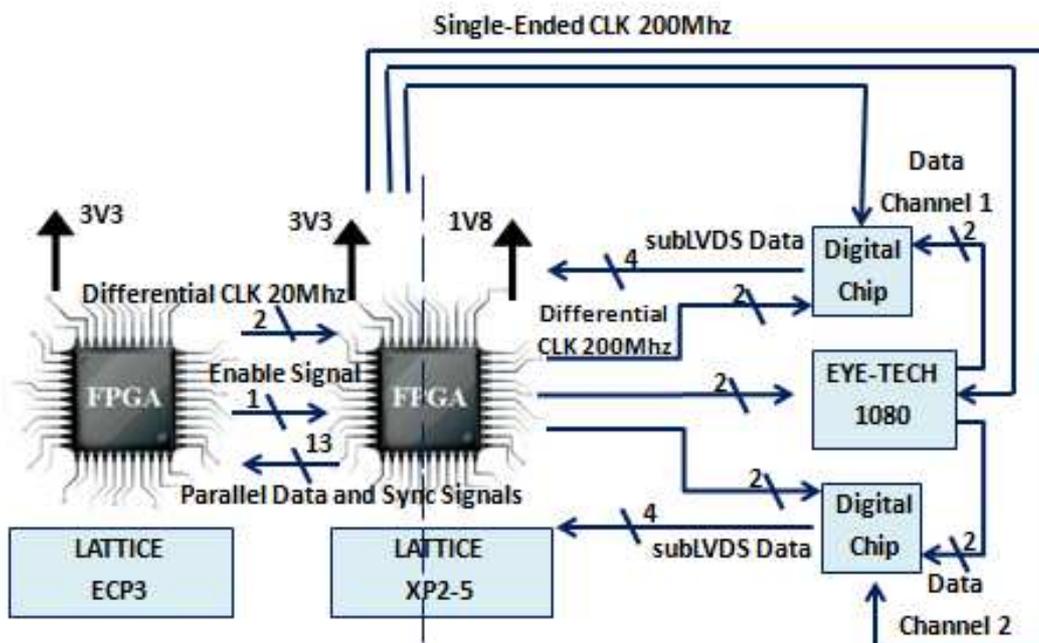


Fig. 23: schema a blocchi della configurazione Smart che rappresenta le connessioni per i segnali di Clock e del dato convertito dai chip companion

3.3 Connessioni elettriche

Si riportano di seguito i Pinout di ciascun componente integrato sulla scheda Eye.Tech devBoard con le relative connessioni effettuate.

LEGENDA:

I	Ingresso
O	Uscita
I/O	Ingresso / Uscita
S	Alimentazione
D	Pin Digitali programmabili
A	Pin Analogici
P-P	Alimentazione per pad, uscite, buffer
P-D	Alimentazione per logica digitale
P-A	Alimentazione analogica

3.3.1 Connessioni sensore EYE-TECH1080

Il sensore d'immagine EYE-TECH1080 presenta il seguente pinout.

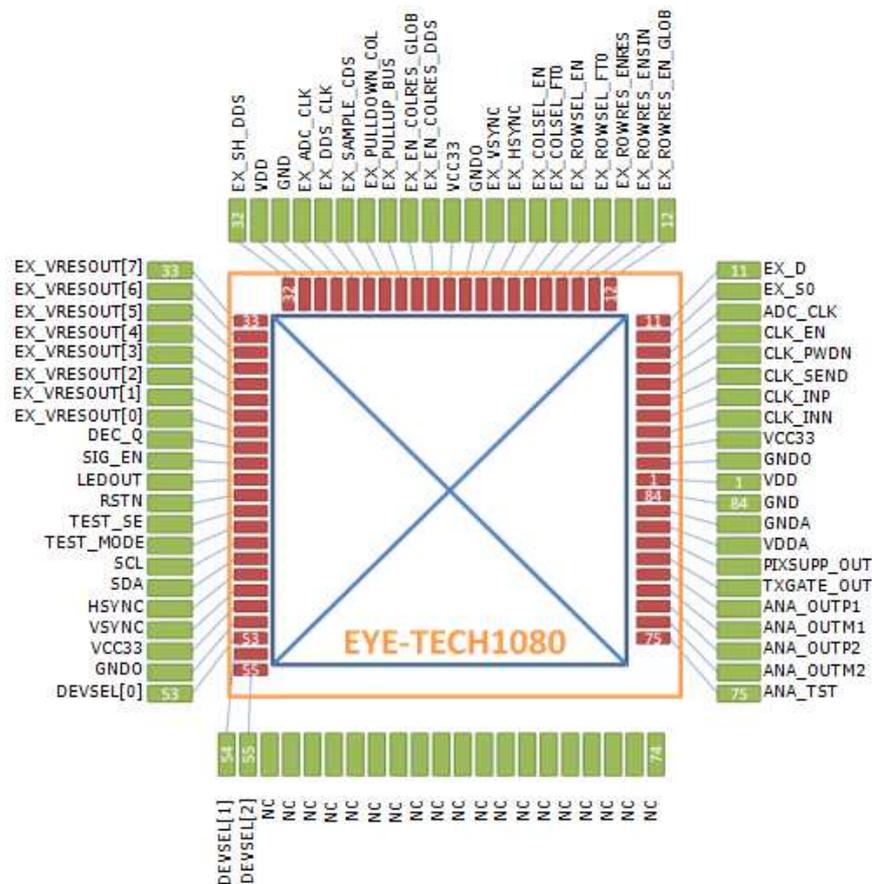


Fig. 24: Pinout dell'EYE-TECH1080

Tale sensore presenta la possibilità di scegliere se essere pilotato con un clock single-ended oppure con un clock differenziale a frequenza di 200Mhz tramite il valore impostato sul pin *CLK_EN*.

CLK_EN =0	Clock Differenziale
CLK_EN =1	Clock Single-Ended

Al fine di poter testare entrambe le soluzioni si è scelto di connettere tale segnale al centrale di un header a tre vie, di cui la prima connessa a massa (Pull Down) e la terza connessa a 3.3V (Pull Up). In tal modo tramite l'utilizzo di un jumper è possibile selezionare manualmente la configurazione single-ended o differenziale. Ovviamente una soluzione alternativa poteva essere la connessione del segnale *CLK_EN* direttamente all'FPGA ECP3 in modo da gestire la selezione via firmware piuttosto che hardware. Ma è stata preferita la soluzione con l'header in quanto garantiva la possibilità di mantenere fissa la configurazione finale scelta una volta testata e valutata la più performante (mediante una saldatura al posto dell'header) senza la necessità di un'ulteriore connessione all'FPGA e scrittura di una macchina a stati dedicata.

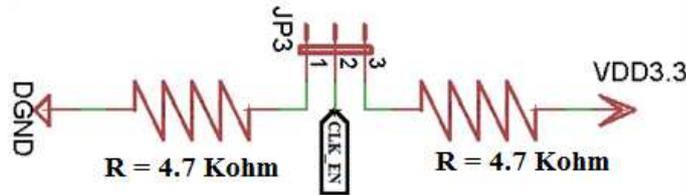


Fig. 25: Schema elettrico della configurazione del *CLK_EN* in comune per il sensore di immagine che per i chip companion

Tramite invece il segnale *Sign_En* è possibile invece configurare il sensore per essere pilotato dall'esterno (tramite i segnali *EX_*) dall'FPGA, oppure tramite il controllore interno riducendo così al minimo le connessioni. Tale segnale è stato pertanto connesso all'ECP3 e in base al suo valore abilita o disabilita i segnali *EX_*.

Sign_En =0	controller interno
Sign_En=1	Controllo mediante FPGA e segnali <i>EX_</i>

Si ricorda che una volta che la fase di test e caratterizzazione sarà conclusa, i segnali *EX_* non verranno più utilizzati nel prodotto miniaturizzato e commerciale.

I segnali *Dev_Sel[2]* ; *Dev_Sel[1]* ; *Dev_Sel[0]* sono pin digitali per la definizione dell'indirizzo specifico del sensore in caso di utilizzo contemporaneo di più sensori. Al fine di rendere programmabile manualmente tale indirizzo è stata inizialmente ipotizzato di introdurre la configurazione presente in figura.

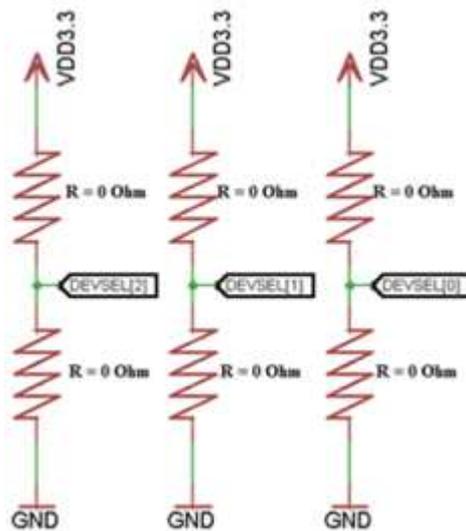


Fig. 26: Schema della configurazione per la selezione dell'indirizzo del dispositivo

Al fine di ridurre la complessità della scheda Eye-Tech DevBoard si è deciso di assegnare un indirizzo fisso al sensore, in particolare :

$$\text{Dev_Sel}[2] = 0$$

$$\text{Dev_Sel}[1] = 0$$

$$\text{Dev_Sel}[0] = 0$$

I segnali *TEST_SE* e *TEST_MODE* sono utilizzati per abilitare la Scan chain del chip e sono validi sia per il sensore di immagine che per i chip companion. Pertanto si è scelto di predisporre un header a doppia fila a 6 vie che permettesse di selezionare manualmente (tramite un jumper) il componente di interesse durante la fase di scan. Si è preferito inoltre introdurre anche un pull-down su ciascuna linea in modo da evitare che un'eventuale vicinanza con la sonda di misura potesse in qualche modo generare segnale sulle linee isolate.

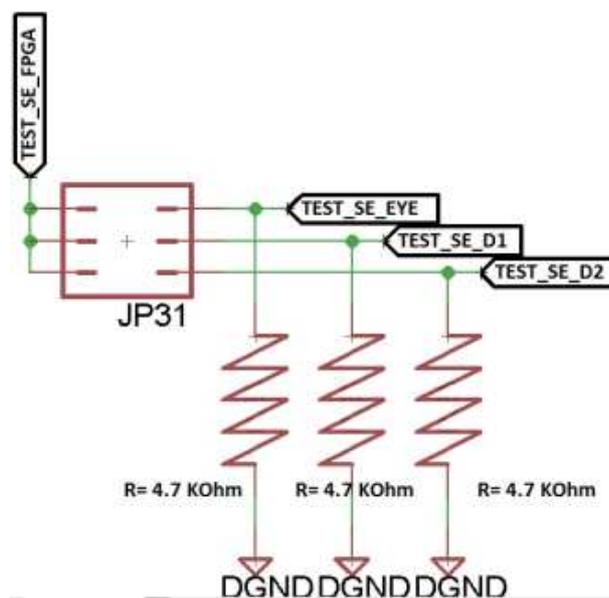


Fig. 27: Schema elettrico della configurazione dei segnali di Test

I segnali *SCL* e *SDA* sono dedicati alla comunicazione I2C-like per la configurazione sia del sensore di immagine EYE-TECH1080 che dei chip companion EYE-TECHDigitalOut. Si è pertanto considerato due possibili configurazioni:

- Multi slave: i segnali SCL ed SDA dall'FPGA vengono connessi a tutti e tre i chip Eye-Tech (totale 2 linee);
- Single slave: ciascun segnale SCL ed SDA di ciascun chip è connesso direttamente all'FPGA (totale 6 linee).

Ciascuna delle linee è stata opportunamente provvista di un pullup a 4.7K connesso a 3.3V. Benché la scelta di implementare la modalità Single slave sia sicuramente ridondante e dispendiosa a causa del fatto che si debbono utilizzare 6 ulteriori pin dell'FPGA, 6 pull-up in più e 6 header a tre vie, si è comunque adottata per il concetto di massima flessibilità in termini di configurazioni definito come specifica di progetto iniziale.

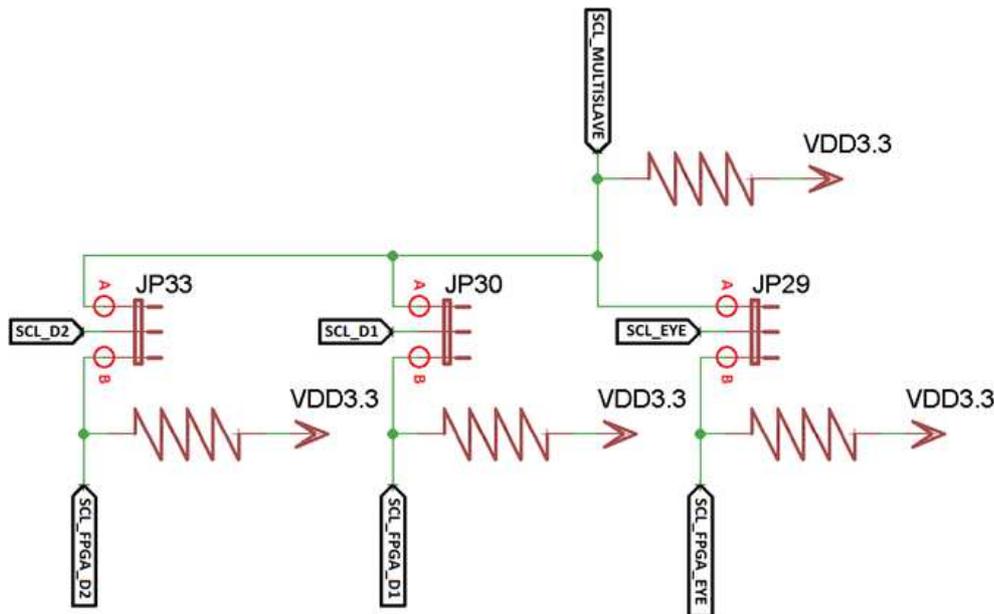


Fig. 28: comunicazione Schematica della connessione I2C valido sia per il sensore di immagine che per i Chip companion (DigitalOUT). Si noti nella figura che isolando le linee B si ottiene la configurazione Multi-Slave, mentre isolando le linee A si ottiene la configurazione Single-Slave. Si è per semplicità riportato solo lo schema per il pin SCL ma le medesime considerazioni sono valide anche per il pin SDA.

I segnali *PIXSUPP_OUT* e *TXGATE_OUT* sono connessi agli nMOS interni del sensore di immagine e sono quindi una delle peculiarità dell' EYE-TECH1080. Si è visto in fase di simulazione infatti, che alimentando questi transistori con una tensione leggermente inferiore a quella di alimentazione (1,8V) si incrementano le performance del sensore in termini di qualità d'immagine, per cui, si è definito un circuito per predisporre la possibilità in fase di test di variare la tensione di tali segnali al fine di trovare quella che massimizzasse le performance dell' EYE-TECH1080. Per fare ciò si è introdotto un partitore resistivo bufferato con capacità pilotante in uscita di almeno 5pF o circa 30mA di Linear Output Current. Si è utilizzato l'OpAMP TS1003 della Touchstone Semiconductor

come buffer con resistenza di ingresso nell'ordine del MOhm. Si è disaccoppiata l'alimentazione a 3V3 da terra attraverso una capacità da 0.1uF e per generare sia la 1.8V che la 1.5V da un'alimentazione da 3.3V si è introdotto un partitore resistivo con resistenza (R) fissa verso terra da 20KOhm ed un trimmer verso alimentazione che potesse essere settato su 16.6 KOhm per la 1.8V e 24K per la 1.5V. Si sono scelti questi valori di resistenza per evitare di avere una corrente sul partitore maggiore di 0.1mA. (0.075mA nel caso della 1.5V 0.09mA nel caso della 1.8V). Come trimmer è stato scelto un modello standard da 50 KOhm con 15turns (BOURNS - 3006P-1-503LF - TRIMMER, 15 TURN 50K). Sicuramente sovradimensionato ma di più semplice utilizzo.

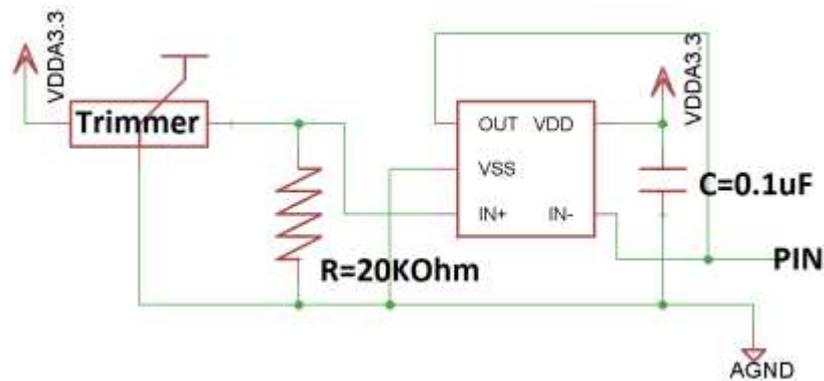


Fig. 29: Schema elettrico della configurazione dei pin Pixsupp_out e Txgate_out

PinOut EYE-TECH1080

Pin	Nome Pin	Dir	Tipo	Descrizione	Connessione
1 ; 31	VDD	S	P-D	1.8V Digitale	Disaccoppiata dalla terra rispettiva con capacità da 0.1uF
2 ; 21 ; 52	GNDO	S	P-P	Terra Digitale	Gnd digitale
3 ; 22 ; 51	VCC30	S	P-P	3.3V Digitale	Disaccoppiata dalla terra rispettiva con capacità da 0.1uF
30 ; 84	GND	S	P-D	Terra Digitale	Gnd digitale
82	VDDA	S	P-A	1.8V Analogica	Disaccoppiata dalla terra rispettiva con capacità da 0.1uF
83	GNDA	S	P-A	Terra Analogica	Gnd Analogica
4	CLK_INN	I	D	Clock di ingresso negativo differenziale	FPGA-XP2 (PIN PR5A) attraverso conversione in SubLVDS
5	CLK_INP	I	D	Clock di ingresso positivo differenziale	FPGA-XP2 (PIN PR5B) attraverso conversione in SubLVDS
6	CLK_SEND	I	D	Ingresso di clock Single ended LVC MOS3V3	FPGA-XP2 (PIN PB27B)
7	CLK_PWDN	I	D	Generatore di Clock (power down)	Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A) (PIN 10)
8	CLK_EN	I	D	Abilitazione clock da single ended(1) a differenziale(0)	Jumper JP3(2) per connetterlo a GND o 3V3D tramite R=4.7K

9	ADC_CLK	O	D	Clock in uscita dei dati	<ul style="list-style-type: none"> • Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 22)) • Header di test Samtec TSW-119-02-S-D (X8-8) • Possibilità di connetterlo a ET_DIGITAL tramite Jumper JP22 (PIN 3-2)
10	EX_S0	I	D	(valido per il controllo dall'esterno)	<ul style="list-style-type: none"> • Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 26)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-10))
11	EX_D	I	D	(valido per il controllo dall'esterno)	<ul style="list-style-type: none"> • Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 24)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-9))
12	EX_ROWRES_EN GLOB	I	D	(valido per il controllo dall'esterno)	<ul style="list-style-type: none"> • Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 28)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-11))
13	EX_ROWRES_EN SIN	I	D	(valido per il controllo dall'esterno)	<ul style="list-style-type: none"> • Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 30)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-12))
14	EX_ROWRES_EN RES	I	D	(valido per il controllo dall'esterno)	<ul style="list-style-type: none"> • Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 32)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-13))
15	EX_ROWSEL_FT0	I	D	(valido per il controllo dall'esterno)	<ul style="list-style-type: none"> • Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 34)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-14))
16	EX_ROWSEL_EN	I	D	(valido per il controllo dall'esterno)	<ul style="list-style-type: none"> • Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 36)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-15))
17	EX_COLSEL_FT0	I	D	(valido per il controllo dall'esterno)	<ul style="list-style-type: none"> • Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 38)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-16))
18	EX_COLSEL_EN	I	D	(valido per il controllo dall'esterno)	<ul style="list-style-type: none"> • Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 40)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-17))
19	EX_HSYNC	O	D	(valido per il controllo dall'esterno)	<ul style="list-style-type: none"> • Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 50)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-18))
20	EX_VSYNC	O	D	(valido per il controllo dall'esterno)	<ul style="list-style-type: none"> • Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 52)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-19))
23	EX_EN_COLRES_DDS	I	D	(valido per il controllo dall'esterno)	<ul style="list-style-type: none"> • Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 54)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-20))
24	EX_EN_COLRES_GLOB	I	D	(valido per il controllo dall'esterno)	<ul style="list-style-type: none"> • Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 56)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-21))
25	EX_PULLUP_BUS	I	D	(valido per il controllo dall'esterno)	<ul style="list-style-type: none"> • Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 58)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-22))
26	EX_PULLDOWN	I	D	(valido per il controllo dall'esterno)	<ul style="list-style-type: none"> • Sparrowhawk FX FPGA ECP3 tramite header

	_COL			controllo dall'esterno)	EXP1 (QTH-030-02-L-D-A (PIN 60)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-23))
27	EX_SAMPLE_CD S	I	D	(valido per il controllo dall'esterno)	• Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 59)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-24))
28	EX_DDS_CLK	I	D	(valido per il controllo dall'esterno)	• Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 57)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-25))
29	EX_ADC_CLK	O	D	(valido per il controllo dall'esterno)	• Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 55)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-26))
32	EX_SH_DDS	I	D	(valido per il controllo dall'esterno)	• Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 53)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-27))
33	Ex_VRESOUT[7]	I	D	(valido per il controllo dall'esterno)	• Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 49)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-29))
34	Ex_VRESOUT[6]	I	D	(valido per il controllo dall'esterno)	• Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 51)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-28))
35	Ex_VRESOUT[5]	I	D	(valido per il controllo dall'esterno)	• Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 41)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-30))
36	Ex_VRESOUT[4]	I	D	(valido per il controllo dall'esterno)	• Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 39)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-31))
37	Ex_VRESOUT[3]	I	D	(valido per il controllo dall'esterno)	• Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 37)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-32))
38	Ex_VRESOUT[2]	I	D	(valido per il controllo dall'esterno)	• Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 35)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-33))
39	Ex_VRESOUT[1]	I	D	(valido per il controllo dall'esterno)	• Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 33)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-34))
40	Ex_VRESOUT[0]	I	D	(valido per il controllo dall'esterno)	• Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 31)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-35))
41	DEC_Q	O	D	Uscita Decoder test	Header di test (Samtec TSW-104-02-S-S (PIN X2-2))
42	SIGN_EN	I	D	Abilitazione del controllo dall'esterno	Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 12))
43	LEDOUT	O	D	Segnale per sincronizzare la pulsazione del sistema di illuminazione con il tempo di integrazione del sensore	• Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 29)) • Header di test (Samtec TSW-119-02-S-D (PIN X8-36))
44	RSTN	I	D	Reset Software globale di	Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 9))

				sistema	
45	TEST_SE	I	D	input select della catena di scansione	Selezionabile tramite Jumper JP31(PIN 5-6) per connetterlo a Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 21)) Presenta PullDown (R=4.7KOhm)
46	TEST_MODE	I	D	input mode della catena di scansione	Selezionabile tramite Jumper JP32(PIN 5-6) per connetterlo a Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 21)) Presenta PullDown (R=4.7KOhm)
47	SCL	I/O	D	Segnale di clock dell'I2C-like	Due modalità: MULTISLAVE -> Jumper JP29(2-1) per connetterlo a Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 14)) SIGLE-LINE -> Jumper JP29(2-3) per connetterlo a Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 18)) Presenta PullUp a 3.3V con resistenza 4.7 KOhm.
48	SDA	I/O	D	Segnale di dati dell'I2C-like	Due modalità: MULTISLAVE -> Jumper JP29(2-1) per connetterlo a Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 20)) SIGLE-LINE -> Jumper JP29(2-3) per connetterlo a Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 16)) Presenta Pullup a 3.3V con resistenza 4.7 KOhm
49	HSYNC	O	D	Segnale di sincronizzazione e orizzontale	<ul style="list-style-type: none"> Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 27)) Header di test (Samtec TSW-119-02-S-D (PIN X8-37)) Possibilità di connetterlo a ET_DIGITAL tramite Jumper JP1(PIN 3-2)
50	VSYNC	O	D	Segnale di sincronizzazione e verticale	<ul style="list-style-type: none"> Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 25)) Header di test (Samtec TSW-119-02-S-D (PIN X8-38)) Possibilità di connetterlo a ET_DIGITAL tramite Jumper JP21(PIN 3-2)
53	DEVSEL[0]	I	D	Codice di identificazione del device	Gnd Digitale
54	DEVSEL[1]	I	D	Codice di identificazione del device	Gnd Digitale
55	DEVSEL[2]	I	D	Codice di identificazione del device	Gnd Digitale
75	ANA_TST	I/O	A	Segnale di test analogico I/O	Header di test (Samtec TSW-104-02-S-S (PIN X2-1))
76	ANA_OUTM2	O	A	Uscita Analogica Negativa Ch2	Due modalità: <ol style="list-style-type: none"> Jumper JP5(PIN 2-3) per connetterlo a ET_DIGITAL Jumper JP5(PIN 2-1) per connetterlo a ADC
77	ANA_OUTP2	O	A	Uscita Analogica Positiva Ch2	Due modalità: <ol style="list-style-type: none"> Jumper JP6(PIN 2-3) per connetterlo a ET_DIGITAL Jumper JP6 (PIN 2-1) per connetterlo a ADC
78	ANA_OUTM1	O	A	Uscita Analogica Negativa Ch1	Due modalità: <ol style="list-style-type: none"> Jumper JP2(PIN 2-3) per connetterlo a ET_DIGITAL

					2. Jumper JP2(PIN 2-1) per connetterlo a ADC
79	ANA_OUTP1	O	A	Uscita Analogica Positiva Ch1	Due modalità: 1. Jumper JP4(PIN 2-3) per connetterlo a ET_DIGITAL 2. Jumper JP4(PIN 2-1) per connetterlo a ADC
80	TXGATE_OUT	I	A	TX_Gate segnale di riferimento	Buffer TS1003 connesso a trimmer
81	PIXSUPP_OUT	I	P-A	Pix_Supp segnale di riferimento	Buffer TS1003 connesso a trimmer

3.3.2 Connessioni ADC AD9235-BRU20Z

L'ADC AD9235-BRU20Z della Analog Device il presenta il seguente pinout.

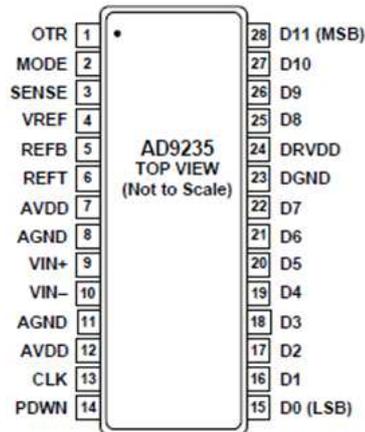


Fig. 30: Pinout dell'AD9235-BRU20Z

Tale ADC può presentare in uscita il dato in Quattro modalità differenti in base al valore settato del segnale MODE (vedi tabella). Per semplificare la fase di implementazione sull'FPGA si è scelta la modalità Offset Binary con stabilizzatore di Duty Cycle abilitato.

MODE Voltage	Data Format	Duty Cycle Stabilizer
AVDD	Twos Complement	Disabled
2/3 AVDD	Twos Complement	Enabled
1/3 AVDD	Offset Binary	Enabled
AGND (Default)	Offset Binary	Disabled

Tab 6: Tabella riassuntiva delle modalità di uscita dell'AD9235

Pertanto si è reso necessario applicare sul pin Mode degli ADC un terzo della tensione AVDD ed è stato quindi introdotto sulla linea un partitore resistivo come mostrato nello schema sottostante.

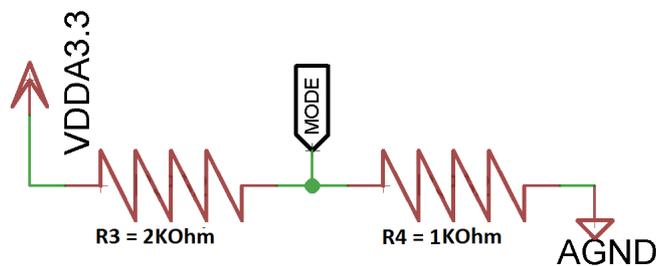


Fig. 31: Schema elettrico del partitore resistivo implementato per la selezione del MODE dell'ADC

Poiché la resistenza interna sul pin mode è di 20 KOhm e garantisce un soglia di tolleranza nella partizione della corrente di un fattore 20 si è deciso di dimensionare le resistenze del partitore nell'ordine del KOhm al fine di evitare troppa corrente sul

partitore. Anche per configurare la tensione di riferimento di tale ADC sono previste quattro configurazioni diverse come riportato in tabella:

Selected Mode	SENSE Voltage	Internal Switch Position	Resulting VREF (V)	Resulting Differential Span (V p-p)
External Reference	AVDD	N/A	N/A	2 × External Reference
Internal Fixed Reference	VREF	SENSE	0.5	1.0
Programmable Reference	0.2 V to VREF	SENSE	$0.5 \times (1 + R2/R1)$	2 × VREF
Internal Fixed Reference	AGND to 0.2 V	Internal Divider	1.0	2.0

Tab 7: Tabella riassuntiva delle modalità di configurazione della tensione di riferimento dell'AD9235

Considerando che il dato in ingresso all'ADC proveniente dal sensore d'immagine è un segnale differenziale con una tensione compresa fra 0.6V ed 1.2V, la tensione di riferimento dovrà quindi essere pari al doppio dell'escursione fra i due segnali e quindi pari a 1.2V. L'unica configurazione in grado di garantire tale valore è quindi la "Programmable Reference" in cui in base allo Span che si vuole avere, sono dimensionate le resistenze da inserire. Per uno Span di 2.4 Vp-p, si ottiene una R1 da 500 Ohm ed una R2 da 700 Ohm, scelte almeno 10 volte inferiori di quella di carico, che da datashet risulta essere 7 KOhm. Tuttavia, si è scelto di utilizzare una coppia di Trimmer da 1 KOhm con 15turns (BOURNS - 3006P-1-102LF - TRIMMER, 15 TURN 1K) al fine di poter valutare in fase di test la tensione sui pin del convertitore che massimizzi le performance di quest'ultimo. Si faccia riferimento alla figura sottostante per lo schema di implementazione della configurazione.

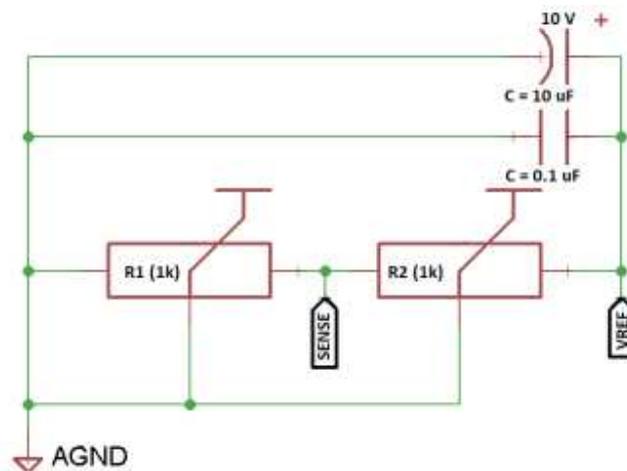


Fig. 32: Schema letterico dei pin Sense e Vref

Per quanto riguarda i pin REFT e REFB si è implementata la configurazione suggerita dal datasheet rispettiva alle modalità selezionate sopracitate.

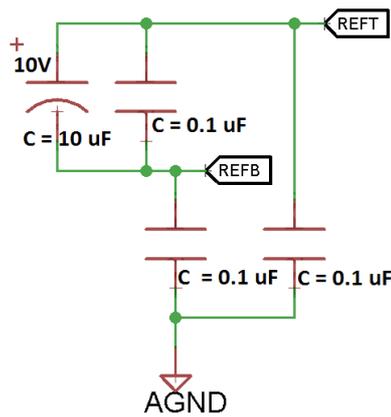


Fig. 33: schema elettrico dei pin di riferimento come suggerita dal costruttore

Pinout ADC AD9235

Pin	Nome Pin	Dir	Tipo	Descrizione	Connessione
1	OTR	O	D	indicatore di Out-of-Range	ADC 1: Header di test (Samtec SSW-115-02-S-S (PIN X4-13)) Sparrowhawk FX FPGA ECP3 tramite header EXP1 (Samtec QTH-030-02-L-D-A (PIN 35)) ADC 2: Header di test (Samtec SSW-115-02-S-S (PIN X6-13)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (Samtec QTH-060-01-L-D-A (PIN 34))
2	MODE	I	P-A	selezione modalità del formato dei dati in uscita ed abilitazione dello stabilizzatore di Duty Cycle	Connesso a partitore come descritto precedentemente
3	SENSE	I	P-A	selezione modalità di riferimento	Connesso come descritto precedentemente
4	VREF	I	P-A	tensione di riferimento	Connesso come descritto precedentemente
5	REFB	I	P-A	riferimento differenziale negativo	Connesso come descritto precedentemente
6	REFT	I	P-A	riferimento differenziale positivo	Connesso come descritto precedentemente
7	AVDD	P-A	S	3.3V Analogica	Disaccoppiata dalla terra rispettiva con // di capacità da 0.1µF e 10µF
8	AGND	P-A	S	Terra Analogica	Gnd analogico
9	VIN+	I	A	ingresso analogico differenziale positivo del dato da convertire	ADC 1: • Jumper JP4(PIN 2-1) per connetterlo a EYE-TECH1080 ADC 2: • Jumper JP6(PIN 2-1) per connetterlo a EYE-TECH1080
10	VIN-	I	A	ingresso analogico differenziale negativo del dato da convertire	ADC 1: • Jumper JP2(PIN 2-1) per connetterlo a EYE-TECH1080 ADC 2: • Jumper JP5(PIN 2-1) per connetterlo a EYE-TECH1080
11	AGND	P-A	S	Terra Analogica	Gnd analogico
12	AVDD	P-A	S	3.3V Analogica	Disaccoppiata dalla terra rispettiva con // di capacità da 0.1µF e 10µF

13	CLK	I	D	clock in ingresso per la conversione	ADC 1 e ADC2 (stesso segnale) Header di test (Samtec SSW-115-02-S-S (PIN X4-15)) Header di test (Samtec SSW-115-02-S-S (PIN X6-15)) Sparrowhawk FX FPGA ECP3 tramite header EXP1 (Samtec QTH-030-02-L-D-A (PIN 39))
14	PDWN	I	D	abilitazione della modalità power-down	ADC 1 e ADC2 (stesso segnale) Header di test (Samtec SSW-115-02-S-S (PIN X4-14)) Header di test (Samtec SSW-115-02-S-S (PIN X6-14)) Sparrowhawk FX FPGA ECP3 tramite header EXP1 (Samtec QTH-030-02-L-D-A (PIN 37))
15	D0	O	D	bit di uscita del dato convertito (LSB)	ADC 1: Header di test (Samtec SSW-115-02-S-S (PIN X4-12)) Sparrowhawk FX FPGA ECP3 tramite header EXP1 (Samtec QTH-030-02-L-D-A (PIN 33)) ADC 2: Header di test (Samtec SSW-115-02-S-S (PIN X6-12)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (Samtec QTH-060-01-L-D-A (PIN 36))
16	D1	O	D	bit di uscita del dato convertito	ADC 1: Header di test (Samtec SSW-115-02-S-S (PIN X4-11)) Sparrowhawk FX FPGA ECP3 tramite header EXP1 (Samtec QTH-030-02-L-D-A (PIN 31)) ADC 2: Header di test (Samtec SSW-115-02-S-S (PIN X6-11)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (Samtec QTH-060-01-L-D-A (PIN 38))
17	D2	O	D	bit di uscita del dato convertito	ADC 1: Header di test (Samtec SSW-115-02-S-S (PIN X4-10)) Sparrowhawk FX FPGA ECP3 tramite header EXP1 (Samtec QTH-030-02-L-D-A (PIN 29)) ADC 2: Header di test (Samtec SSW-115-02-S-S (PIN X6-10)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (Samtec QTH-060-01-L-D-A (PIN 40))
18	D3	O	D	bit di uscita del dato convertito	ADC 1: Header di test (Samtec SSW-115-02-S-S (PIN X4-9)) Sparrowhawk FX FPGA ECP3 tramite header EXP1 (Samtec QTH-030-02-L-D-A (PIN 27)) ADC 2: Header di test (Samtec SSW-115-02-S-S (PIN X6-9)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (Samtec QTH-060-01-L-D-A (PIN 42))
19	D4	O	D	bit di uscita del dato convertito	ADC 1: Header di test (Samtec SSW-115-02-S-S (PIN X4-8)) Sparrowhawk FX FPGA ECP3 tramite header EXP1 (Samtec QTH-030-02-L-D-A (PIN 25)) ADC 2: Header di test (Samtec SSW-115-02-S-S (PIN X6-8)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (Samtec QTH-060-01-L-D-A (PIN 44))
20	D5	O	D	bit di uscita del dato convertito	ADC 1: Header di test (Samtec SSW-115-02-S-S (PIN X4-7)) Sparrowhawk FX FPGA ECP3 tramite header EXP1 (Samtec QTH-030-02-L-D-A (PIN 23)) ADC 2: Header di test (Samtec SSW-115-02-S-S (PIN X6-7)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (Samtec QTH-060-01-L-D-A (PIN 48))
21	D6	O	D	bit di uscita del dato	ADC 1:

				convertito	Header di test (Samtec SSW-115-02-S-S (PIN X4-6)) Sparrowhawk FX FPGA ECP3 tramite header EXP1 (Samtec QTH-030-02-L-D-A (PIN 21)) ADC 2: Header di test (Samtec SSW-115-02-S-S (PIN X6-6)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (Samtec QTH-060-01-L-D-A (PIN 50))
22	D7	O	D	bit di uscita del dato convertito	ADC 1: Header di test (Samtec SSW-115-02-S-S (PIN X4-5)) Sparrowhawk FX FPGA ECP3 tramite header EXP1 (Samtec QTH-030-02-L-D-A (PIN 35)) ADC 2: Header di test (Samtec SSW-115-02-S-S (PIN X6-5)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (Samtec QTH-060-01-L-D-A (PIN 32))
23	DGND	S	P-D	Terra Digitale	Gnd digitale
24	DRVDD	S	P-D	3.3V Digitale	Disaccoppiata dalla terra rispettiva con // di capacità da 0.1uF e 10uF
25	D8	O	D	bit di uscita del dato convertito	ADC 1: Header di test (Samtec SSW-115-02-S-S (PIN X4-4)) Sparrowhawk FX FPGA ECP3 tramite header EXP1 (Samtec QTH-030-02-L-D-A (PIN 17)) ADC 2: Header di test (Samtec SSW-115-02-S-S (PIN X6-4)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (Samtec QTH-060-01-L-D-A (PIN 54))
26	D9	O	D	bit di uscita del dato convertito	ADC 1: Header di test (Samtec SSW-115-02-S-S (PIN X4-3)) Sparrowhawk FX FPGA ECP3 tramite header EXP1 (Samtec QTH-030-02-L-D-A (PIN 15)) ADC 2: Header di test (Samtec SSW-115-02-S-S (PIN X6-3)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (Samtec QTH-060-01-L-D-A (PIN 56))
27	D10	O	D	bit di uscita del dato convertito	ADC 1: Header di test (Samtec SSW-115-02-S-S (PIN X4-2)) Sparrowhawk FX FPGA ECP3 tramite header EXP1 (Samtec QTH-030-02-L-D-A (PIN 13)) ADC 2: Header di test (Samtec SSW-115-02-S-S (PIN X6-2)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (Samtec QTH-060-01-L-D-A (PIN 58))
28	D11	O	D	bit di uscita del dato convertito (MSB)	ADC 1: Header di test (Samtec SSW-115-02-S-S (PIN X4-1)) Sparrowhawk FX FPGA ECP3 tramite header EXP1 (Samtec QTH-030-02-L-D-A (PIN 11)) ADC 2: Header di test (Samtec SSW-115-02-S-S (PIN X6-1)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (Samtec QTH-060-01-L-D-A (PIN 60))

3.3.3 Connessioni chip companion EYE-TECHDigitalOut

Il chip companion EYE-TECHDigital_OUT presenta il seguente pinout:

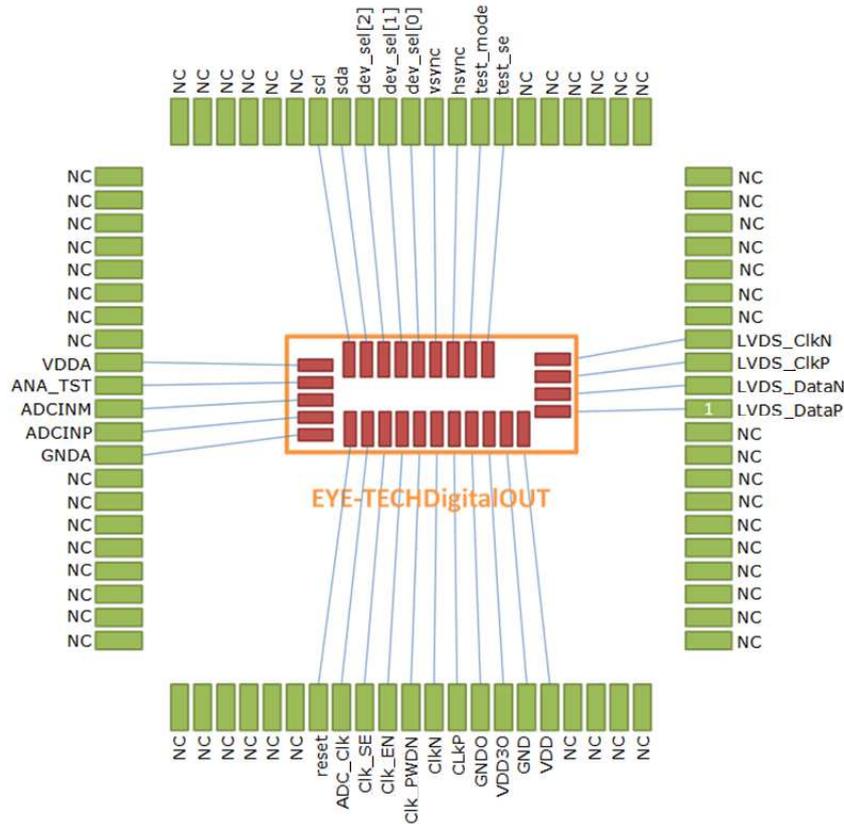


Fig. 34: Pinout dell'EYE-TECHDigitalOUT

I chip companion come il sensore d'immagine EYE-TECH1080 presentano la possibilità di scegliere se essere pilotati con un clock single-ended oppure con un clock differenziale a frequenza 200Mhz tramite il valore impostato sul pin *CLK_EN*. Far riferimento al paragrafo 3.3.1. I segnali *Dev_Sel[2]* ; *Dev_Sel[1]* ; *Dev_Sel[0]* sono pin digitali per la definizione dell'indirizzo specifico del chip in caso di utilizzo contemporaneo di più chip. Al fine di ridurre la complessità della scheda Eye-Tech DevBoard si è deciso di assegnare un indirizzo fisso a ciascun chip companion, in particolare :

Digit 1	Digit 2
Dev_Sel[2] = 0	Dev_Sel[2] = 0
Dev_Sel[1] = 0	Dev_Sel[1] = 1
Dev_Sel[0] = 1	Dev_Sel[0] = 0

I segnali *SCL* e *SDA* sono dedicati alla comunicazione I2C-like per la configurazione sia del sensore di immagine Eye_Tech1080 che dei chip companion EYE-TECHDigitalOut. Far riferimento al paragrafo 3.3.1 I segnali Di Reset, Clk_en e Clk_powerDown sono a comune per tutti e tre i chip sia il sensore d'immagine che i chip companion.

Pinout EYE-TECHDigitalOut

Pin	Nome Pin	Dir	Tipo	Descrizione	Connessione
1	LVDS_DATAp	O	D	Uscita positiva LVDS del dato convertito	Digit1: - FPGA-XP2(PR10A) Digit2: - FPGA-XP2(PR11A) attraverso conversione in HSTL18D
2	LVDS_DATAn	O	D	Uscita negativa LVDS del dato convertito	Digit1: - FPGA-XP2(PR10B) Digit2: - FPGA-XP2(PR11B) attraverso conversione in HSTL18D
3	lvds_clkp	O	D	Uscita positiva LVDS del Clock	Digit1: - FPGA-XP2(PR9A) Digit2: - FPGA-XP2(PR12A) attraverso conversione in HSTL18D
4	lvds_clkn	O	D	Uscita negativa LVDS del Clock	Digit1: - FPGA-XP2(PR9B) Digit2: - FPGA-XP2(PR12B) attraverso conversione in HSTL18D
18	test_se	I	D	input select della catena di scansione	Digit1: - Selezionabile tramite Jumper JP31(PIN 4-3) Digit2: - Selezionabile tramite Jumper JP31(PIN 2-1) per connetterlo a Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-01-L-D-A (PIN 21)) Presenta PullDown (R=4.7KOhm)
19	test_mode	I	D	input mode della catena di scansione	Digit1: - Selezionabile tramite Jumper JP32(PIN 4-3) Digit2: - Selezionabile tramite Jumper JP32(PIN 2-1) per connetterlo a Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-01-L-D-A (PIN 23)) Presenta PullDown (R=4.7KOhm)
20	hsync	I	D	Segnale di sincronizzazione orizzontale	<ul style="list-style-type: none"> • EYE-TECH1080 tramiter JP1 (2-3) • GND tramiter JP1 (2-1)
21	vsync	I	D	Segnale di sincronizzazione verticale	<ul style="list-style-type: none"> • EYE-TECH1080 tramiter JP21 (2-3) • GND tramiter JP21 (2-31)
22	DEVSEL[2]	I	D	Codice di identificazione del device	Digit1: - Gnd Digitale Digit2: - Gnd Digitale
23	DEVSEL[1]	I	D	Codice di identificazione del device	Digit1: - Gnd Digitale Digit2: - 3.3V Digitale
24	DEVSEL[0]	I	D	Codice di identificazione del device	Digit1: - 3.3V Digitale Digit2: - Gnd Digitale
25	SDA	I	D	Segnale di dati dell'I2C-like	Due modalità: 1) MULTISLAVE ->

					<p>Digit1: Jumper JP35(2-1) per connetterlo a Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 20))</p> <p>Digit2: Jumper JP36(2-1) per connetterlo a Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 20))</p> <p>2) SIGLE-LINE -></p> <p>Digit1: Jumper JP35(2-3) per connetterlo a Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-01-L-D-A (PIN 43))</p> <p>Digit2: Jumper JP36(2-3) per connetterlo a Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-01-L-D-A (PIN 47))</p> <p>Presenta PullUp a 3.3V con resistenza 4.7 KOhm</p>
26	SCL	I	D	Segnale di clock dell'I2C-like	<p>Due modalità:</p> <p>1) MULTISLAVE -></p> <p>Digit1: Jumper JP30(2-1) per connetterlo a Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 14))</p> <p>Digit2: Jumper JP33(2-1) per connetterlo a Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 14))</p> <p>2) SIGLE-LINE -></p> <p>Digit1: Jumper JP30(2-3) per connetterlo a Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-01-L-D-A (PIN 43))</p> <p>Digit2: Jumper JP33(2-3) per connetterlo a Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-01-L-D-A (PIN 45))</p> <p>Presenta PullUp a 3.3V con resistenza 4.7 KOhm</p>
41	VDDA	P-A	S	1.8V Analogica	Disaccoppiata dalla terra rispettiva con capacità da 0.1uF
42	ANA_TST	I/O	A	Segnale di test analogico I/O	<p>Digit1: - Header di test (Samtec TSW-104-02-S-S (PIN X2-4))</p> <p>Digit2: - Header di test (Samtec TSW-104-02-S-S (PIN X2-3))</p>
43	ADCINM	I	A	Ingresso Analogico Negativo	<p>Digit1: - Jumper JP2(PIN 2-3) per connetterlo a EYE-TECH1080</p> <p>Digit2: - Jumper JP5(PIN 2-3) per connetterlo a EYE-TECH1080</p>
44	ADCINP	I	A	Ingresso Analogico Positivo	Digit1: - Jumper JP4(PIN 2-3) per

					connetterlo a EYE-TECH1080 Digit2: - Jumper JP6(PIN 2-3) per connetterlo a EYE-TECH1080
45	GNDA	P-A	S	Terra Analogica	Gnd analogico
60	RESET	I	D	Reset Software globale di sistema	Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN 9))
61	ADC_CLK	I	D	Clock in ingresso dei dati	<ul style="list-style-type: none"> • EYE-TECH1080 tramiter JP22 (2-3) • GND tramiter JP22 (2-1)
62	CLK_EN	I	D	Abilitazione del clock single-ended(1) o differenziale(0)	Jumper JP3(2) per connetterlo a GND o 3V3D tramite R=4.7K
62	CLK_SE	I	D	Clock Single Ended LVCMOS3V3	Digit 1 : - FPGA-XP2(PB28A) Digit 2: - FPGA-XP2 (PB27A)
64	CLK_PWDN	I	D	Generatore di Clock (power down)	Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A) (PIN 10)
65	CLKN	I	D	Clock di ingresso negativo differenziale	Digit 1 : - FPGA-XP2((PR6B) Digit 2: - FPGA-XP2 (PR7B attraverso conversione in SubLVDS
66	CLKP	I	D	Clock di ingresso positivo differenziale	Digit 1 : - FPGA-XP2((PR6A) Digit 2: - FPGA-XP2 (PR7A) attraverso conversione in SubLVDS
67	GNDO	S	P-P	Terra Digitale	Gnd digitale
68	VCC3O	S	P-P	3.3V Digitale	Disaccoppiata dalla terra rispettiva con capacità da 0.1uF
69	GND	S	P-D	Terra Digitale	Gnd digitale
70	VDD	S	P-D	1.8V Digitale	Disaccoppiata dalla terra rispettiva con capacità da 0.1uF

3.3.4 Connessioni FPGA XP2

In virtù dell'interfaccia logica discussa precedentemente nel *Par 4.2* si sono alimentati i banchi 7 e 4 con la 3V3, mentre il banco 2 con la 1V8.

Si è utilizzato il pin **PL12A** come segnale di abilitazione della XP2, mentre si è connesso il pin **PR8A** al segnale Clock_EN in comune, come presentato nel *Par 4.2*, ai chip Eye_Tech1080 e Eye_TechDigital_OUT, come segnale per selezionare se inviare ai chip il Clock differenziale (valore basso) o Single-Ended (valore alto).

Si è scelto, come mostrato nella figura sottostante, di portare su un header (*Samtec TSW-109-02-S-S (X5)*) tutti i pin dell'FPGA inerenti alla programmazione tramite protocollo JTAG (APPENDICE IV) attraverso un connettore Lattice HW-USB-2°. Si ricorda che la presenza del protocollo JTAG permette oltre tutto, come presentato in letteratura [22,23,24,25,26,27,28,29,30], la possibilità di eseguire un "Boundary-Scan" utile nella fase di test.

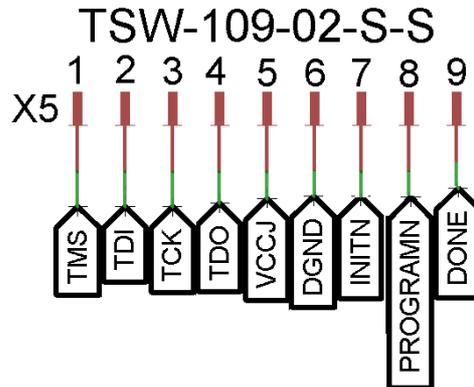


Fig. 35: Header con 9 pin di programmazione JTAG

Si sono portati su un Header (*Samtec TSW-109-02-S-D (X1)*) 18 pin **PTXX** del banco 0 fra cui un ingresso alla PLL, in modo tale da garantire nuovamente la massima flessibilità progettuale ed avere eventualmente alcuni pin liberi portati fuori dalla XP2 in caso fossero necessarie ulteriori patch dopo il processo di realizzazione della scheda.

L'alimentazione del banco 0 si è disaccoppiata dalla massa rispettiva attraverso una capacità da 0.1 uF e connessa ad un jumper in modo da poter selezionare manualmente a che tensione alimentare il banco, se 1.8V o 3.3V. Si riporta lo schema elettrico nella figura sottostante:

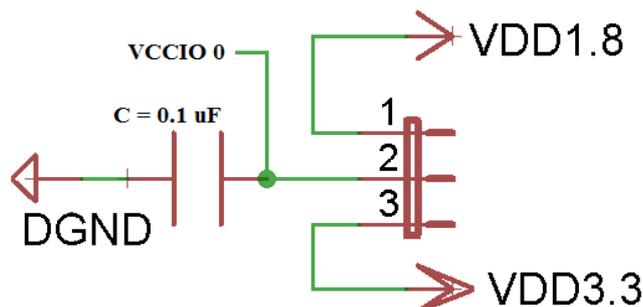


Fig. 36: Schema elettrico della strategia utilizzata per alimentare il banco 0

Pinout FPGA Lattice XP2

Nome Pin	Direzione	Tipo	Descrizione	Connessione
PL2A	O	D	bit1 del dato deserializzato	Header di test (Samtec TSW-113-02-S-S (X7-1)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-03-L-D-A (PIN19))
PL2B	O	D	bit2 del dato deserializzato	Header di test (Samtec TSW-113-02-S-S (X7-2)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-03-L-D-A (PIN17))
GNDIO7	S	P-D	Terra digitale	Gnd Digitale banco 7
VCCIO7	S	P-D	3.3V Digitale del banco 7	Disaccoppiata dalla terra rispettiva con una capacità da 0.1uF
PL5A	O	D	bit3 del dato deserializzato	Header di test (Samtec TSW-113-02-S-S (X7-3)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-03-L-D-A (PIN15))
PL5B	O	D	bit4 del dato deserializzato	Header di test (Samtec TSW-113-02-S-S (X7-4)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-03-L-D-A (PIN13))
PL6A/PROG RAMN	I	D	Rimappato come Programm per il protocollo JTAG	Header Samtec TSW-109-02-S-S (X5-9)
PL6B/DONE	I/O	D	Rimappato come Done per il protocollo JTAG	Header Samtec TSW-109-02-S-S (X5-8)
PL7A	O	D	bit5 del dato deserializzato	Header di test (Samtec TSW-113-02-S-S (X7-5)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-03-L-D-A (PIN11))
PL7B	O	D	bit6 del dato deserializzato	Header di test (Samtec TSW-113-02-S-S (X7-6)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-03-L-D-A (PIN9))
PL8A	O	D	bit7 del dato deserializzato	Header di test (Samtec TSW-113-02-S-S (X7-7)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-03-L-D-A (PIN12))
GNDIO7	S	P-D	Terra digitale	Gnd Digitale banco 7
PL8B	O	D	bit8 del dato deserializzato	Header di test (Samtec TSW-113-02-S-S (X7-8)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-03-L-D-A (PIN14))
VCCIO7	S	P-D	3.3V Digitale del banco 7	Disaccoppiata dalla terra rispettiva con una capacità da 0.1uF
PL9A	O	D	bit9 del dato deserializzato	Header di test (Samtec TSW-113-02-S-S (X7-9)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-03-L-D-A (PIN16))
PL10A	O	D	bit10 del dato deserializzato	Header di test (Samtec TSW-113-02-S-S (X7-10)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-03-L-D-A (PIN18))
PL9B	O	D	Segnale di sincronizzazione orizzontale del dato deserializzato	Header di test (Samtec TSW-113-02-S-S (X7-11)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-03-L-D-A (PIN20))
PL10B	O	D	Segnale di sincronizzazione verticale del dato deserializzato	Header di test (Samtec TSW-113-02-S-S (X7-12)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-03-L-D-A (PIN30))

PL11A	O	D	Clock (40Mhz) del segnale deserializzato	Header di test (Samtec TSW-113-02-S-S (X7-13)) Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-03-L-D-A (PIN32))
PL11B/INITN	I/O	D	Rimappato come Inittn per il protocollo JTAG	Pullup a 1.2V con R = 4.7KOhm. Header Samtec TSW-109-02-S-S (X5-7)
PL12A	I	D	Abilitazione della XP2	Sparrowhawk FX FPGA ECP3 tramite header EXP0 (QTH-060-03-L-D-A (PIN10))
VCCAUX	S	P-D	3.3V Digitale del banco 7 consigliata quando si utilizza la 3V3	Disaccoppiata dalla terra rispettiva con una capacità da 0.1uF
VCC	S	P-D	1.2V Digitale del Core	Disaccoppiata dalla terra rispettiva con una capacità da 0.1uF
TOE	I	D	Abilitazione dei test sulle GPIO quando basso	Pullup a 1.2V con R = 4.7KOhm e Jumper JP7(2).
DGND	S	P-D	Terra digitale	Gnd Digitale
DGND	S	P-D	Terra digitale	Gnd Digitale
DGND	S	P-D	Terra digitale	Gnd Digitale
VCC	S	P-D	1.2V Digitale del Core	Disaccoppiata dalla terra rispettiva con una capacità da 0.1uF
VCCAUX	S	P-D	3.3V Digitale del banco 7 consigliata quando si utilizza la 3V3	Disaccoppiata dalla terra rispettiva con una capacità da 0.1uF
VCCIO4	S	P-D	3.3V Digitale del banco 4	Disaccoppiata dalla terra rispettiva con una capacità da 0.1uF
DGND	S	P-D	Terra digitale	Gnd Digitale banco 4
PB26A/LRC_GPLLT_IN_A	I	D	Rimappato come ingresso differenziale positivo della PLL	Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN43))
PB26B/LRC_GPLLC_IN_A	I	D	Rimappato come ingresso differenziale negativo della PLL	Sparrowhawk FX FPGA ECP3 tramite header EXP1 (QTH-030-02-L-D-A (PIN45))
LRC_VCCPLL	S	P-D	3.3V Digitale della PLL	Disaccoppiata dalla terra rispettiva con una capacità da 0.1uF
LRC_GND_PLL	S	P-D	Terra digitale	Gnd Digitale PLL
PB27A	O	D	Clock LVCMOS3V3 (200Mhz) per il DigitalOUT2	Clk_SE DigitalOut2
PB28A	O	D	Clock LVCMOS3V3 (200Mhz) per il DigitalOUT1	Clk_SE DigitalOut1
PB27B	O	D	Clock LVCMOS3V3 (200Mhz) per l'Eye-Tech	Clk_SE Eye-Tech
DGND	S	P-D	Terra digitale	Gnd Digitale
TMS	I	D	Protocollo JTAG	Header Samtec TSW-109-02-S-S (X5-1)
TDI	I	D	Protocollo JTAG	Header Samtec TSW-109-02-S-S (X5-2)
TCK	I	D	Protocollo JTAG	Header Samtec TSW-109-02-S-S (X5-3)
TDO	O	D	Protocollo JTAG	Header Samtec TSW-109-02-S-S (X5-4)
VCCJ	S	P-D	3.3V Digitale della JTAG	Disaccoppiata dalla terra rispettiva con una capacità da 0.1uF. Header Samtec TSW-109-02-S-S (X5-5)
VCC	S	P-D	1.2V Digitale del Core	Disaccoppiata dalla terra rispettiva con una capacità da 0.1uF
DGND	S	P-D	Terra digitale	Gnd Digitale
PR12B	I	D	settato come HSTL18D. Clock differenziale negativo a 200Mhz del dato convertito dal DigitalOUT2	DigitalOut2 e resistenza a 100Ohm sulla linea differenziale Vedi paragrafo 4.1
PR12A	I	D	settato come HSTL18D. Clock differenziale positivo	DigitalOut2 e resistenza a 100Ohm sulla linea differenziale

			a 200Mhz del dato convertito dal DigitalOUT2	Vedi paragrafo 4.1
PR11B	I	D	settato come HSTL18D. Segnale differenziale negativo (200Mhz) del dato seriale convertito dal DigitalOut1	DigitalOut1 e resistenza a 100Ohm sulla linea differenziale Vedi paragrafo 4.1
PR11A	I	D	settato come HSTL18D. Segnale differenziale positivo (200Mhz) del dato seriale convertito dal DigitalOut1	DigitalOut1 e resistenza a 100Ohm sulla linea differenziale Vedi paragrafo 4.1
PR10B	I	D	settato come HSTL18D. Segnale differenziale negativo (200Mhz) del dato seriale convertito dal DigitalOut1	DigitalOut1 e resistenza a 100Ohm sulla linea differenziale Vedi paragrafo 4.1
PR9B	I	D	settato come HSTL18D. Clock differenziale negativo a 200Mhz del dato convertito dal DigitalOUT2	DigitalOut2 e resistenza a 100Ohm sulla linea differenziale Vedi paragrafo 4.1
PR10A	I	D	settato come HSTL18D. Segnale differenziale positivo (200Mhz) del dato seriale convertito dal DigitalOut1	DigitalOut1 e resistenza a 100Ohm sulla linea differenziale Vedi paragrafo 4.1
PR9A	I	D	settato come HSTL18D. Clock differenziale positivo a 200Mhz del dato convertito dal DigitalOUT2	DigitalOut2 e resistenza a 100Ohm sulla linea differenziale Vedi paragrafo 4.1
VCCIO2	S	P-D	1.8V Digitale del banco 2	Disaccoppiata dalla terra rispettiva con una capacità da 0.1uF
DGNDIO2	S	P-D	Terra digitale	Gnd Digitale banco 2
PR8A	I	D	Abilitazione del clock differenziale(0) o single-ended(1)	Jumper JP3(2) per connetterlo a GND o 3V3D tramite R=4.7K
PR7B	O	D	settato come SSTL18DII. Clock differenziale negativo (200Mhz) per il DigitalOUT2	DigitalOut2 con configurazione Lattice sulla linea. Vedi paragrafo 4.1
PR6B	O	D	settato come SSTL18DII. Clock differenziale negativo (200Mhz) per il DigitalOUT1	DigitalOut1 con configurazione lattice sulla linea. Vedi paragrafo 4.1
PR7A	O	D	settato come SSTL18DII. Clock differenziale positivo (200Mhz) per il DigitalOUT2	DigitalOut2 con configurazione Lattice sulla linea. Vedi paragrafo 4.1
PR6A	O	D	settato come SSTL18DII. Clock differenziale positivo (200Mhz) per il DigitalOUT1	DigitalOut1 con configurazione Lattice sulla linea. Vedi paragrafo 4.1
PR5B	O	D	settato come SSTL18DII. Clock differenziale negativo (200Mhz) per l'Eye-Tech	Eye-tech con configurazione Lattice sulla linea. Vedi paragrafo 4.1
PR5A	O	D	settato come SSTL18DII. Clock differenziale positivo (200Mhz) per l'Eye-Tech	Eye-tech con configurazione Lattice sulla linea. Vedi paragrafo 4.1
VCCIO2	S	P-D	1.8V Digitale del banco 2	Disaccoppiata dalla terra rispettiva con una capacità da 0.1uF
DGND	S	P-D	Terra digitale	Gnd Digitale
DGND	S	P-D	Terra digitale	Gnd Digitale
VCC	S	P-D	1.2V Digitale del Core	Disaccoppiata dalla terra rispettiva con una capacità da 0.1uF
PT19B	I/O	D	Gpio / sigle eneded o differenziale negativo	Header Samtec TSW-109-02-S-D (X1-17)

PT19A	I/O	D	Gpio / sigle eneded o differenziale positivo	Header Samtec TSW-109-02-S-D (X1-18)
PT18B	I/O	D	Gpio / sigle eneded o differenziale negativo	Header Samtec TSW-109-02-S-D (X1-15)
PT17B	I/O	D	Gpio / sigle eneded o differenziale negativo	Header Samtec TSW-109-02-S-D (X1-16)
PT18A	I/O	D	Gpio / sigle eneded o differenziale positivo	Header Samtec TSW-109-02-S-D (X1-13)
PT17A	I/O	D	Gpio / sigle eneded o differenziale positivo	Header Samtec TSW-109-02-S-D (X1-14)
PT16B	I/O	D	Gpio / sigle eneded o differenziale negativo	Header Samtec TSW-109-02-S-D (X1-11)
GNDIO0	S	P-D	Terra digitale	Gnd Digitale banco 0
PT16A	I/O	D	Gpio / sigle eneded o differenziale positivo	Header Samtec TSW-109-02-S-D (X1-12)
VCCIO0	S	P-D	1.8V / 3.3V (selezionabili) Digitale del banco 0	Disaccoppiata dalla terra rispettiva con una capacità da 0.1uF. JP40(2) per connetterlo a 1V8D (1) o 3V3D (3)
PT15B	I/O	D	Gpio / sigle eneded o differenziale negativo	Header Samtec TSW-109-02-S-D (X1-9)
PT14B	I/O	D	Gpio / sigle eneded o differenziale negativo	Header Samtec TSW-109-02-S-D (X1-10)
PT15A	I/O	D	Gpio / sigle eneded o differenziale positivo	Header Samtec TSW-109-02-S-D (X1-7)
PT14A	I/O	D	Gpio / sigle eneded o differenziale positivo	Header Samtec TSW-109-02-S-D (X1-8)
PT13B	I/O	D	Gpio / sigle eneded o differenziale negativo	Header Samtec TSW-109-02-S-D (X1-5)
PT13A	I/O	D	Gpio / sigle eneded o differenziale positivo	Header Samtec TSW-109-02-S-D (X1-6)
GNDIO0	S	P-D	Terra digitale	Gnd Digitale banco 0
VCCIO0	S	P-D	1.8V / 3.3V (selezionabili) Digitale del banco 0	Disaccoppiata dalla terra rispettiva con una capacità da 0.1uF. JP44(2) per connetterlo a 1V8D (1) o 3V3D (3)
DGND	S	P-D	Terra digitale	Gnd Digitale
ULC_VCCPL L	S	P-D	3.3V Digitale della PLL	Disaccoppiata dalla terra rispettiva con una capacità da 0.1uF
PT7B	I/O	D	Gpio / sigle eneded o differenziale negativo	Header Samtec TSW-109-02-S-D (X1-4)
ULC_GPLL _IN_A	I/O	D	Ingresso negativo differenziale per la PLL	Header Samtec TSW-109-02-S-D (X1-3)
PT7A	I/O	D	Gpio / sigle eneded o differenziale positivo	Header Samtec TSW-109-02-S-D (X1-2)
ULC_GPLLT _IN_A	I/O	D	Ingresso positivo differenziale per la PLL	Header Samtec TSW-109-02-S-D (X1-1)

3.3.5 Header

Si è scelto di implementare 8 header sulla scheda Eye-Tech DevBoard. La scelta della forma, del numero e della posizione è stata chiaramente valutata sulla base di considerazioni inerenti al rendere il più semplice possibile le connessioni con le piste corrispondenti generando il minore ingombro fisico possibile sulla scheda. Oltre all'Header Samtec TSW-109-02-S-S utilizzato per i pin di configurazione della XP2 attraverso il protocollo JTAG, si possono suddividere gli header utilizzati in due differenti categorie:

- Header di Test;
- Header di patch.

3.3.5.1 Header di Test

Sono gli header utilizzati al fine di permettere di misurare tramite sonde le caratteristiche fisiche elettriche del segnale una volta realizzata la scheda in modo da identificare eventuali difetti realizzativi. Di questi fanno parte:

- Header Samtec TSW-104-02-S-S: per i segnali Ana_Tst e Dec_Q;
- Header Samtec SSW-115-02-S-S (X4 ed X6): per i segnali Clk, Pwdn, Otr ed i bit di uscita parallela degli AD9235;
- Header Samtec TSW-113-02-S-S: per i 13 segnali di uscita del dato deserializzato dall'FPGA XP2;
- Header Samtec TSW-119-02-S-D: per i segnali del sensore di immagine EYE-TECH1080. Si rimanda alla tabella del paragrafo 4.2 per i dettagli.

Gli header di test, una volta debuggato il sistema, non saranno più implementati in una successiva versione della scheda. Non tutti i segnali presenti sono stati portati agli header in virtù del fatto che essendo i chip packeggiati, si è in grado di compiere le misure anche direttamente sui pad. Sono stati portati sugli header solo quelli che avrebbero potuto richiedere una gestione simultanea che sarebbe stata troppo complessa da fare direttamente sui pad del package.

3.3.5.2 Header di Patch

Gli header di patch saranno fissi in tutte le future review della scheda fatta eccezione della versione miniaturizzata. Il loro scopo è quello di portare fuori sia dal development kit che dal banco 0 dell'FPGA XP2 i pin rimasti liberi ed inutilizzati al fine di poter applicare facilmente delle eventuali patch al sistema in caso vi fossero dei bug progettuali da correggere. Di questi fanno parte:

- Hheader Samtec TSW-105-02-S-S: che porta fuori dal development kit 5 pin LVCMOS3V3;
- Header Samtec TSW-109-02-S-D: che porta fuori 9 coppie di pin differenziali (fra cui un ingresso alla PLL) o 18 single-ended dal banco 0 della XP2. Come già spiegato nel paragrafo 4.5, essi possono essere alimentati ad una tensione di 3.3V o 1.8V selezionabili.

4 CONFIGURAZIONI IMPLEMENTATE

Come detto in precedenza la Eye-Tech DevBoard prevede due configurazioni possibili:

- configurazione Standard: sensore di immagine + convertitore analogico digitale + FPGA;
- configurazione Smart: sensore di immagine + chip companion + FPGA.

Ciascuna configurazione può essere selezionata manualmente attraverso la connessione e/o l'isolamento di alcuni jumpers appositamente predisposti.

4.1 Configurazione STANDARD

La configurazione di sistema detta STANDARD, non è altro che una configurazione di backup in cui il sensore di immagine EYE-TECH1080 lavora insieme ad un AD9235 dell'Analog Device su ciascuno dei due canali di uscita analogica. Si ricorda che la presente soluzione è stata implementata, come principale scopo, per permettere la fase di test e di caratterizzazione del sensore di immagine anche nel caso in cui i companion, prototipi non commercializzati, potessero non funzionare correttamente.

In secondo luogo, chiaramente, il confronto fra i risultati ottenuti con la configurazione STANDARD ed in seguito con quella SMART, ci garantirà di fornire all'azienda abbastanza dati per poter valutare anche le performance del loro chip companion.

Verrà definita la strategia di connessione adottata al fine di interdire il funzionamento degli EYE-TECH DigitalOut in favore degli AD9235. Essendo questo un prototipo di test, si è scelto di rendere la configurazione totalmente hardware manuale attraverso l'utilizzo di jumpers in modo tale da non appesantire il lavoro di programmazione firmware come l'azienda ci aveva chiesto.

Si ricorda che l'utilizzo di jumpers permette, una volta definita la configurazione fissa e maggiormente performante dopo i test, di applicare saldature per renderla fissa senza lavorare ogni volta con la macchina a stati. Essendo poi questa una soluzione di backup che non verrà certamente importata sulla versione futura miniaturizzata e commerciale, non si è oltre tutto reputato opportuno progettare una macchina a stati

Si riportano le specifiche per la configurazione della modalità STANDARD:

- 1) Pin (TEST_SE , TEST_MODE) : Si attivi lo Scan-Check solamente sul sensore di immagine provvedendo a connettere le posizioni 6 e 5 dei jumpers JP31 e JP32. Si è applicato un pulldown (4.7 KOhm) sulle posizioni 1 e 3 rispettivi alle linee dei DigitalOut chip per garantire di tirare verso il basso il segnale durante la modalità Standard.
- 2) Si isolino le posizioni 3 dei jumpers JP21 JP1 JP22 connessi rispettivamente ai segnali VSYNC, HSYNC, ADC_CLK in modo che i segnali di clock e di sincronizzazione non entrino nei chip companion durante il non utilizzo. Si è scelto

di utilizzare dei jumpers a tre posizioni in cui si è connessa la posizione 1 di ciascuno a terra in modo tale accertarci che nella configurazione standard i tre ingressi sopracitati dei chip companion fossero portati a massa e non vi fossero segnali imprevisti all'interno di essi. Si faccia riferimento alla figura sottostante per ulteriori delucidazioni.

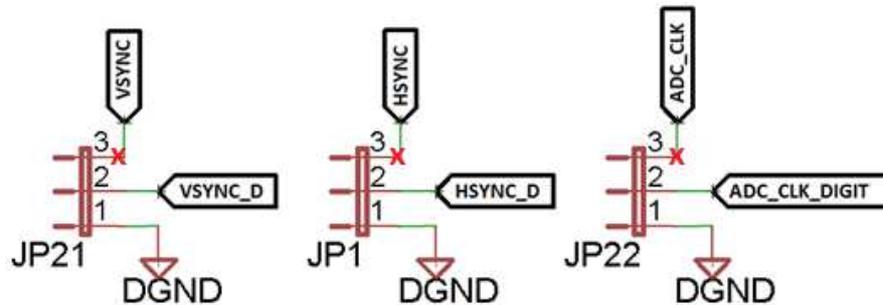


Fig. 37: Configurazione elettrica per cui attraverso l'isolamento manuale della posizione 3 dei jumpers si impedisce ai segnali di entrare nei chip companion durante il non utilizzo

- 3) Si isolino, come mostrato nella figura sottostante, le posizioni 3 dei Jumper JP5, JP6, JP2 e JP4 al fine di disabilitare le piste degli ingressi dei convertitori dei DigitalOUT e lasciare abilitate solo quelle dei convertitori AD9235.



Fig. 38: configurazione elettrica per cui attraverso l'isolamento manuale della posizione 3 dei jumpers si impedisce al dato analogico di entrare nei chip companion durante il non utilizzo ma di entrare al contempo agli altri ADC

- 4) Si rimuovano infine i jumpers JP15, JP16, JP17, JP18, JP19, JP20 rispettivi alle alimentazioni dei DigitalOUT chip mentre si connettano le alimentazioni relative agli AD9235 attraverso la connessione dei jumpers JP23, JP24, JP25, JP26, JP27, JP28.

4.2 Configurazione SMART

La presente configurazione di sistema detta SMART, è quella che l'azienda vuole proporre sul mercato, in cui il sensore di immagine EYE-TECH1080 lavora insieme ad un chip companion EYE-TECHDigitalOut su ciascuno dei due canali di uscita analogica. In questa configurazione più compatta e low-power l'azienda garantisce un sistema più intelligente ed efficiente, con 5 connessioni in meno e con la migliore gestione del segnale in termini di riduzione del rumore e di perdita di segnale attraverso gli standard SubLVDS. Verrà definita la strategia di connessione adottata al fine di interdire il funzionamento degli AD9235 in favore dei companion. Essendo questo un prototipo di test, si è scelto di rendere la configurazione totalmente hardware manuale attraverso l'utilizzo di jumpers in modo tale da non appesantire il lavoro di programmazione firmware come l'azienda ci aveva chiesto.

Si ricorda che l'utilizzo di jumpers permette, una volta definita la configurazione fissa e maggiormente performante dopo i test, di applicare saldature per renderla fissa senza lavorare ogni volta con la macchina a stati.

Si riportano le specifiche per la configurazione della modalità SMART:

- 1) Pin: (TEST_SE , TEST_MODE) : Al fine di eseguire lo Scan-Check sul DigitalOut1 si connettano le posizioni 3 e 4 dei jumpers JP31 e JP32.
- 2) Si connettano successivamente le posizioni 1 e 2 dei medesimi jumpers per effettuare lo stesso processo sul DigitalOut2.

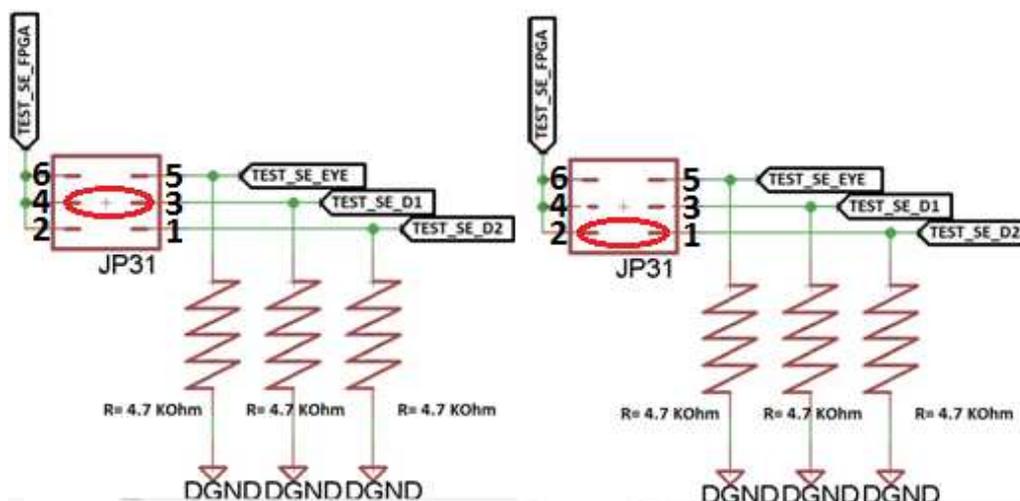


Fig. 39: Schema elettrico di selezione manuale del chip su cui applicare il segnale di test. Si è per semplicità riportato solo lo schema per il pin TEST_SE ma le medesime considerazioni sono valide anche per il pin TEST_MODE.

- 3) Si isolino le posizioni 1 dei jumpers JP21 JP1 JP22 connessi rispettivamente ai segnali VSYNC, HSYNC, ADC_CLK in modo da permettere ai segnali di clock e di sincronizzazione di entrare nei chip companion.

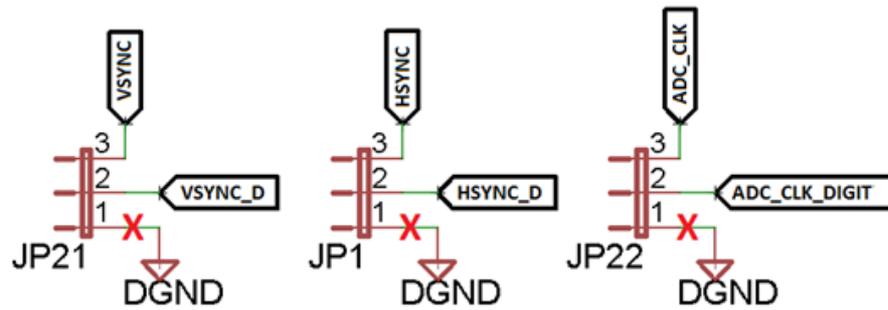


Fig. 40: Configurazione elettrica per cui attraverso l'isolamento manuale della posizione 1 dei jumpers si permette ai segnali di entrare nei chip companion durante l'utilizzo

- 4) Si isolino, come mostrato nella figura sottostante, le posizioni 1 dei Jumper JP5, JP6, JP2 e JP4 al fine di disabilitare le piste degli ingressi dei convertitori AD9235 e lasciare abilitate solo quelle dei DigitalOUT chip

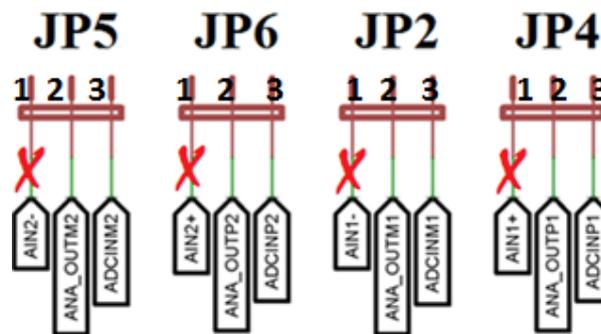


Fig. 41: configurazione elettrica per cui attraverso l'isolamento manuale della posizione 1 dei jumpers si permette al dato analogico di entrare nei chip companion durante l'utilizzo e di non entrare al contempo agli altri ADC che non vengono utilizzati

- 5) Si connettano infine i jumpers JP15, JP16, JP17, JP18, JP19, JP20 rispettivi alle alimentazioni dei DigitalOUT chip mentre si disconnettano le alimentazioni relative agli AD9235 attraverso la rimozione dei jumpers JP23, JP24, JP25, JP26, JP27, JP28

5 LAYOUT

Come software di progettazione si è scelto di utilizzare il Cad Eagle 6.5, sono state pertanto implementate in primo luogo tutte le librerie dei componenti selezionati per la realizzazione del circuito di controllo seguendo le istruzioni provenienti dai datasheet fornite dai costruttori, è stato poi realizzato lo schematico e successivamente il layout.

Per quanto riguarda il layout della scheda si è valutato necessario utilizzare un design multistack a 4 layers come mostrato nella figura sottostante in modo da poter sfruttare il top ed il bottom della scheda per la componentistica, mentre utilizzare i piani interni per le alimentazioni e le masse.

L'equazione utilizzata per implementare il design è stata $(1*2*15*16)$ in cui quindi si sono evitati fori ciechi in favore dei soli True-Hole circolari del diametro di 0.8mm e con un drill di 0.4mm in modo da ridurre al minimo i costi di realizzazione della scheda.

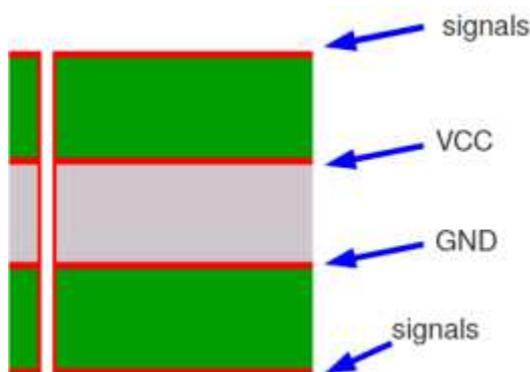


Fig. 42: Schema rappresentativo del design della scheda

Prima di passare a presentare come sono stati disegnati i piani di massa e di alimentazione, come sono state inserite le capacità di bypass e come è stato eseguito il routing.

L'ottimizzazione dei piani di massa e di alimentazione in un design elettronico rappresenta un valido ausilio per risoluzione delle problematiche legate alle EMI indesiderate ed all'integrità dei segnali. Infatti, mantenendo un livello di rumore inferiore a 100 mV sulle linee di alimentazione le interferenze elettromagnetiche vengono ridotte per la maggior parte dei dispositivi. Nel caso in cui anzi che i piani si utilizzino delle piste, queste dovranno essere ampie e con bassi valori di impedenza.

La scelta di implementare un ritorno a massa corto ed ampio genererà per l'appunto un'area di spira più piccola per le correnti immagine minimizzando le interferenze elettromagnetiche. Un percorso di ritorno a massa breve che colleghi più sistemi permetterà alle correnti di modo comune di percorrere un percorso sia breve che conosciuto e controllato. E' buona norma assicurarsi che un'estremità del cavo sia connesso a massa attraverso una rete capacitiva detta di bypass. Per minimizzare gli effetti induttivi è opportuno utilizzare due vias che connettano le piazzole delle capacità ai piani

di alimentazione e di massa ed è inoltre opportuno, sempre per lo stesso motivo, mettere le capacità il più vicino possibile ai pin del dispositivo. [31]

I condensatori di bypass riducono così l'interazione fra la linea di alimentazione e quella di segnale, isolano ingressi ed uscite sia nei circuiti analogici che digitali e riducono le emissioni elettromagnetiche che potrebbero interferire con il sistema. Sono necessari ogni volta che tensioni e correnti continue come quelle di alimentazione convivono a fianco di segnali alternati come quelli del segnale.

Esistono più tecniche con cui utilizzare i condensatori di bypass, si riportano le due principali:

- Condensatori Singoli: Caso più semplice in cui si applica un unico condensatore a ridosso dei pin del dispositivo. Se si volesse provvedere a garantire al circuito la necessaria riserva di corrente con una induttanza serie più bassa possibile, i condensatori ceramici compresi da 10nF ed 1uF risponderebbero perfettamente a tale requisito. Se invece lo scopo è prevalentemente quello di applicare un pre-filtraggio per le basse frequenze e di garantire una riserva di corrente per i picchi di assorbimento dell'intero circuito, un condensatore elettrolitico compreso fra 10uF e 10mF risulterebbe adeguato per la maggior parte delle applicazioni.
- Condensatori Multipli: tecnica utilizzata quando si ha a che fare con circuiti a larga banda, che vede l'applicazione di capacità in parallelo di valori diversi per ampliare la banda di disaccoppiamento in virtù del fatto che di per se i condensatori operano come tali solo fino alla frequenza di risonanza ed usandone di diversi, si ha una maggiore copertura sullo spettro frequenziale.

Un ulteriore accorgimento è quello di applicare i condensatori di bypass non solo sull'alimentazione, ma di predisporre anche una distribuzione di essi su tutti i pin di alimentazione dei chip della scheda così da garantire una via a bassa impedenza verso massa di tutti i punti del circuito. [32, 33, 34].

Nella progettazione di piste differenziali per preservare l'integrità del segnale sono state seguite le seguenti accortezze tecniche:

- si sono preferiti angoli di 45° evitando quelli a 90° per evitare che si generino inutilmente punti di accumulo di carica e quindi sorgenti di rumore e di degradazione di segnale;
- si sono mantenute le coppie sempre parallele ed equidistanti evitando disadattamenti di lunghezza onde evitare di provocare uno sfasamento fra le tensioni che si manifesta come rumore di modo comune. E' consigliato infatti mantenere le coppie differenziali il più vicino possibile fra loro riducendo l'area della spira generata e riducendo emissioni elettromagnetiche di disturbo. Nel caso in cui siano necessari tratti ad impedenza non controllata è importante che entrambe le piste ne siano affette in egual misura e che in nessun caso tali tratti superino i 12mm di lunghezza;
- si è accostato alle piste un piano di massa che si possa definire "Robusto", garante quindi di un'impedenza il più controllata possibile.

Come presentato nel *Par 4.1*, sia le alimentazioni (1.8V e 3.3V) che la massa sono state suddivise in piani "analogico" e "digitale" mediante una resistenza da 0 Ohm. Come regola

generica per la generazione dei piani, come da considerazioni precedenti, si è evitato di incorrere in angoli di 90° e disegnare piani troppo sottili ed irregolari in modo da evitare che ci fossero punti di accumulo di carica e quindi sorgenti di rumore.

Per quel che riguarda le **masse**, per la digitale si è generato un piano delle stesse dimensioni dell'intera scheda e per l'analogica si è introdotto un sottopiano (isolato dall'altro ad una distanza di 16mils) che si estendesse al di sotto del sensore e dei convertitori al fine di ridurre il rumore sul segnale analogico dato da fonti digitali.

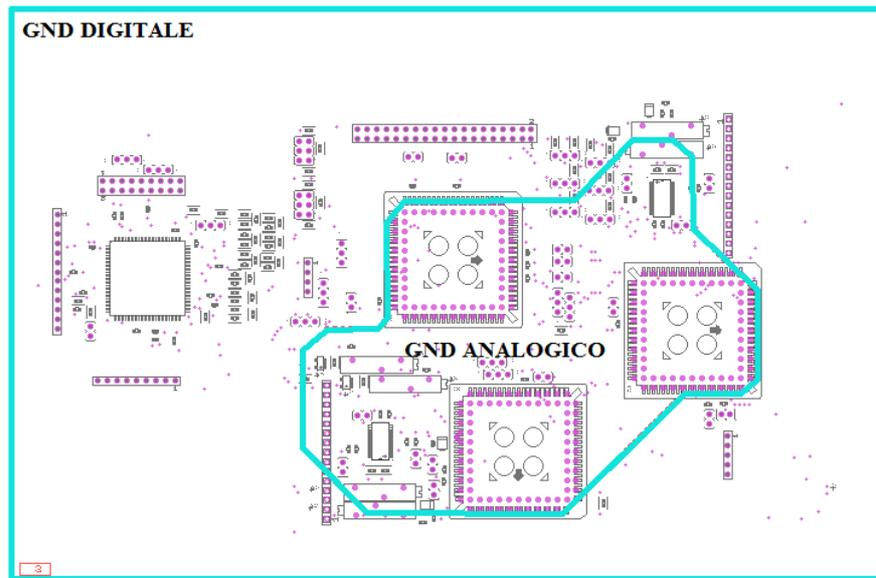


Fig. 43: Mappa del piano di massa. Si noti come il sensore di immagine e gli ADC siano all'interno della massa analogica

Per quel che riguarda le alimentazioni invece si è generato un piano delle dimensioni dell'intera scheda per la 3.3V Digitale (più utilizzata), un sottopiano isolato ad una distanza di 16mills per la 1.8V Digitale ed un ulteriore sottopiano per la 3.3V Analogica passante sotto a tutti gli ADC ed al sensore di immagine in modo tale da tenere più lontane possibili le eventuali fonti digitali sicuramente più sporche e rumorose.

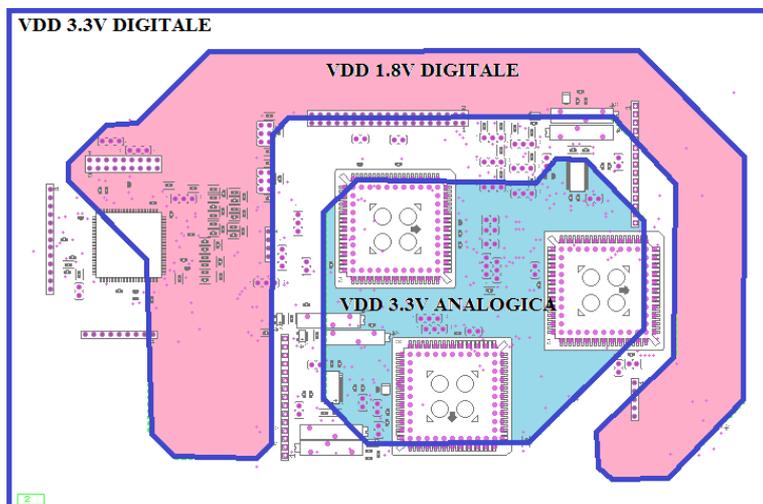


Fig. 44: Mappa del piano di alimentazione. Si noti come il sensore di immagine e gli ADC siano all'interno dell'alimentazione analogica

La **forma** è la **dimensione** della scheda realizzata è stata ottimizzata sulla base di determinate considerazioni quali:

- La dimensione del development kit sottostante con cui ci si interfaccia (168.22mm x 190.3mm): onde evitare di progettare una scheda di dimensioni assolutamente non compatibili con la sottostante e che non coprisse l'eventuale presenza sul development kit di componentistica quali switch, pulsanti, led e connettori;
- La posizione dei 2 connettori di espansione esterna, la cui posizione relativa è praticamente un punto fisso che non può essere modificato ed essendo l'unico appoggio fra le schede si è cercato di dimensionare il tutto in modo tale non vi fosse uno sbilanciamento netto del peso su una parte della scheda così da poter piegare i contatti dei connettori, dei quali, il costruttore del Development kit ci ha suggerito di utilizzare il QTH-060-03-L-D-A come (EXP #0) ed il QTH-030-02-L-D-A come (EXP #1) in modo tale da garantire una distanza (in altezza) omogenea fra le due schede.

Essendo questo un layout di dimensioni abbastanza grandi si è preferito per praticità di montaggio utilizzare tutte resistenze e capacità almeno 0603.

Per il **routing**, come si è detto nelle considerazioni iniziali, si sono evitati sempre angoli retti per evitare di generare rumore sul segnale e si è cercato, quando possibile, di entrare nei pad SMD dei componenti con un angolo di 45°. Sempre quando possibile si è scelto di utilizzare una larghezza delle piste pari a 0.4mm piuttosto che 0.25mm. Come ulteriore regola generale, le capacità di bypass da 0.1uF delle alimentazioni dei chip si sono posizionate sempre il più possibile vicine ai rispettivi pin. Su tutte le alimentazioni sono stati posizionati dei jumper al fine di permettere di fare le misure con la sonda durante la fase di test.

La posizione dei componenti sulla scheda è stata ridisegnata più volte. Il parametro scelto per l'ottimizzazione è stato, in ordine di importanza, le piste Differenziali Analogiche, Differenziali Digitale ed Single-End ad alta frequenza fossero più omogenee, brevi e più vicine possibile per evitare il più possibile di sporcare il segnale campionato.

Al fine di testare il funzionamento del sensore di immagine per eseguirne una caratterizzazione, si è predisposto un supporto quadrato per un prototipo di ottica standard delle dimensioni esterne di 98mm ed interne di 88mm. Nei pressi degli angoli quadrato, alla distanza di 1mm dal bordo interno sono stati introdotti 4 fori di 6mm di drill per consentire il fissaggio dell'ottica sul sensore attraverso delle viti. Il centro dell'ottica rispetto al sensore deve essere sovrapposto il più possibile con il centro geometrico dell'area fotosensibile del sensore. Per come è stato progettato il chip di EYE-TECH1080, il centro dell'area sensibile corrisponde esattamente al centro del package con un disallineamento di 0.05mm. Si è quindi preso come centro quello del package trascurando un disallineamento così piccolo che si sarebbe comunque perso durante la fase di montaggio e di realizzazione.

Si è predisposto un attacco quadrato anche per una versione ottimizzata e miniaturizzata del supporto per l'ottica di caratterizzazione delle dimensioni esterne di 49.5mm, interne 41.5mm e con 4 viti di fissaggio alla scheda attraverso 4 fori messi negli angoli ad 1mm

dai bordi e con drill pari a 2mm. Anch'esso è chiaramente stato fissato sul centro del package dell'EYE-TECH1080.

Inizialmente si è valutato di non introdurre alcun componente dove si sarebbero fissati poi i supporti, tuttavia, vista le grandi dimensioni del primo supporto che avrebbero sfavorito il routing delle piste differenziali ed aumentato di molto le dimensioni della scheda, si è valutato di mettere comunque meno componenti possibili sotto i supporti e di progettare a posteriori i medesimi in modo tale che la forma del bordo seguisse la superficie della scheda predisponendo lo spazio per i componenti.

Si riporta nella figura sottostante uno schema riassuntivo dei supporti centrati sul sensore al centro.

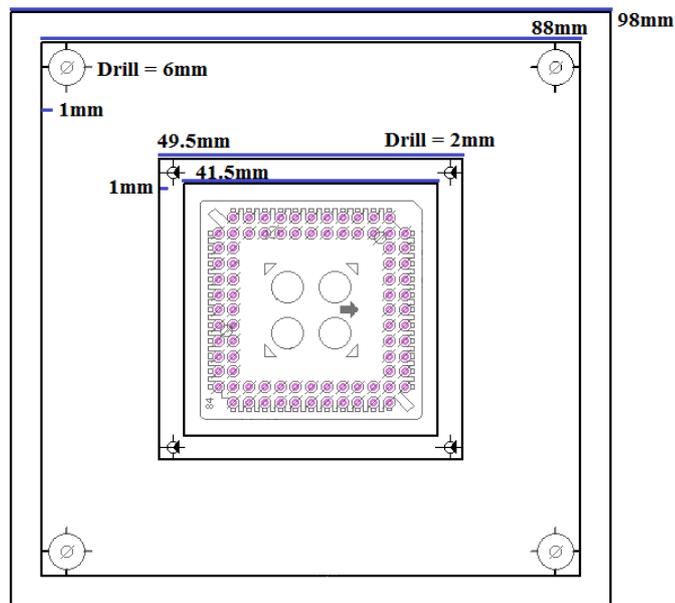


Fig. 45: Schema ricavato dal cad del sensore di immagine EYE-TECH1080 con i relative due supporti applicati e con le rispettive dimensioni riportate

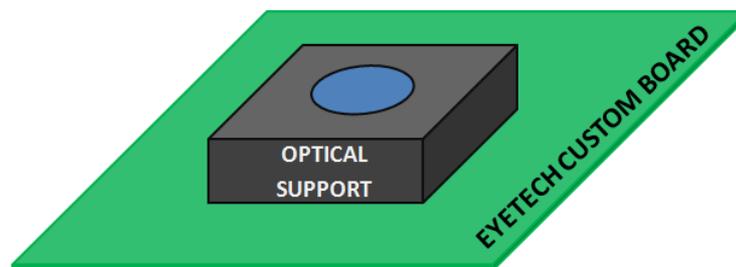


Fig. 46: Rappresentazione schematica 3D del prototipo finale

6 TEST ELETTRICI

La scheda prodotta ha come dimensioni finali **230.4 mm × 152.4 mm** (vedi Fig.48 e 49), ed è stata realizzata in FR4 presso l'azienda Cadline di Pisa . Si riassumono nella tabella sottostante le caratteristiche tecniche di design:

LAYERS	TOP Copper	Isolation	VDD Copper	Isolation	GND Copper	Isolation	BOTTOM	Total
[mm]	0.035	0.1	0.035	0.3	0.035	0.2	0.035	0.74

CLEARANCE	Wire	Pad	Via	Smd
[mil]	6	6	6	6

SUPPLY	Termal Isolation
[mil]	10

SIZE	Maximum Width [mil]	Minimum Drill [mil]	Min. Macro Via [mm]	min. Blind Via Ratio
	6	12	9.99	0.5

DISTANCE	Copper/Dimension	Drill/Hole
[mil]	20	4

MASKS	Min [mil]	%	Max [mil]
Stop	8	25	20
Cream	0	10	10
Limit	50		

RESTRING		Min [mil]	%	Max [mil]
Pads	Top	8	25	20
	Inner	8	25	20
	Bottom	8	25	20
Vias	Outer	8	25	20
	Inner	8	25	20
Micro Vias	Outer	8	25	20
	Inner	8	25	20

La scheda prodotta è risultata essere sì molto grande ma con adeguata alle dimensioni del development kit Sparrowhawk FX, sul quale va ad impilarsi attraverso i due connettore QTH presenti sul Bottom. Si è deciso di sacrificare la compattezza e l'ottimizzazione degli spazi al fine di garantire un routing del segnale analogico in uscita dal sensore di immagine verso gli ADC ed i chip companion più breve ed ottimizzato possibile. Ciò è stato possibile utilizzando una simmetria nella disposizione dei convertitori rispetto al sensore di immagine definita dalla linea rossa nella figura sottostante.

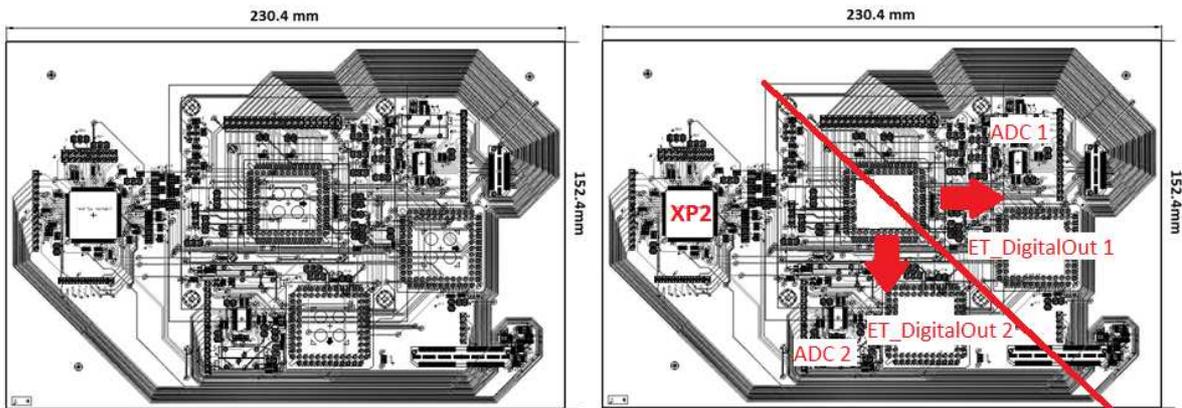


Fig. 47: Layout della ET_Board da Eagle 6.5 con le relative dimensioni. Visuale di Top e Bottom sovrapposte. (DESTRA) indicazione visiva della simmetria data al design per privilegiare il routing (freccia rossa) dell'uscita analogica del sensore di immagine verso gli ADC ed i Chip companion

Una volta prodotta la scheda, prima di eseguirne il montaggio, ci si è accertati che non vi fossero stati problemi realizzativi e che non fossero nati difetti costruttivi a causa di errori dovuti a processi industriali.

Come primo passo si è fatta un'analisi di tipo visivo con l'aiuto di un calibro, controllando che sulla scheda fossero presenti tutte le serigrafie, che i fori fossero delle giuste dimensioni, che fossero presenti tutte le piste e le piazzole su cui saldare i componenti. Di quest'ultimi si è anche controllato che fossero esposti e non coperti dall'isolante. Si è chiaramente controllato anche che non fossero presenti eventuali difetti macroscopici.

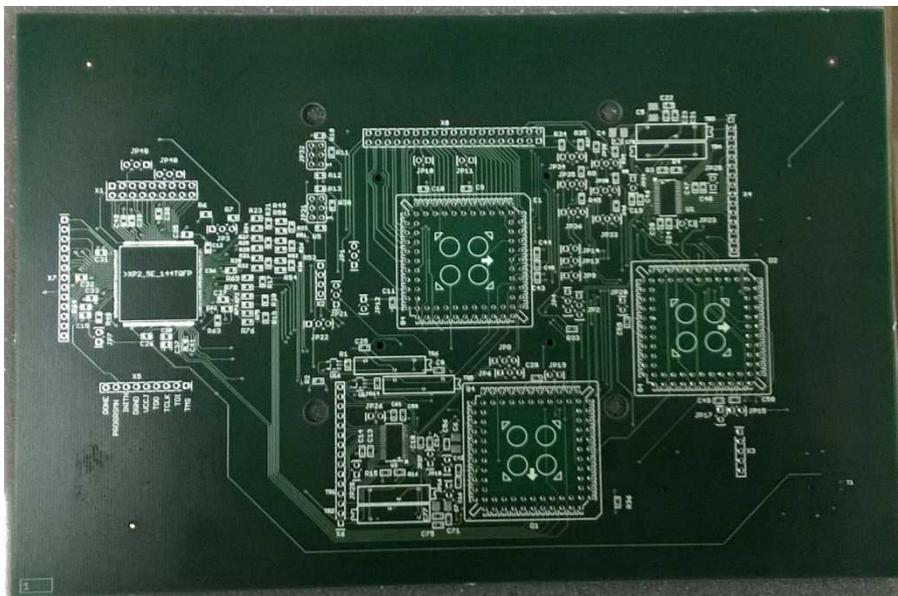


Fig. 48: vista Top della EYE-TECH Board

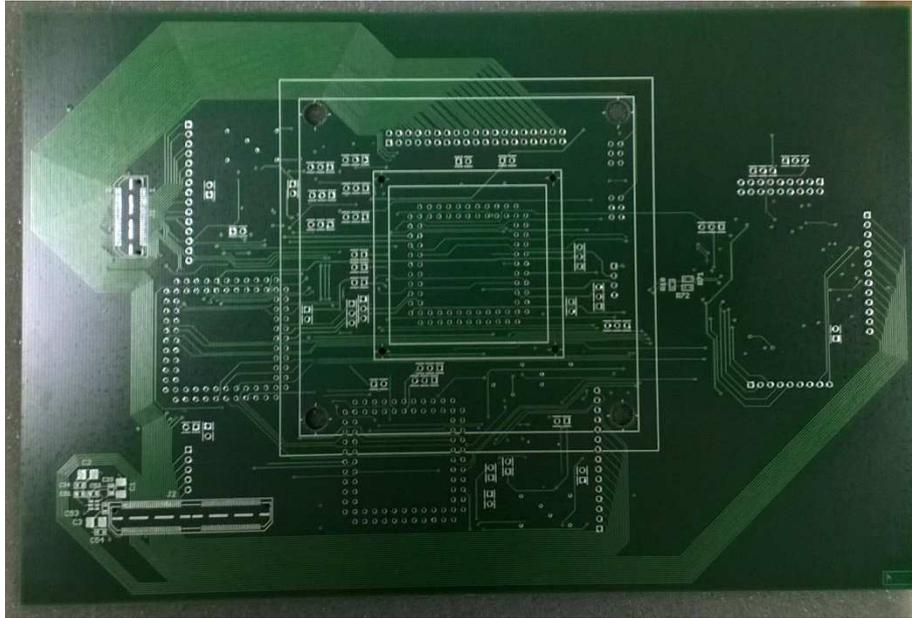


Fig. 49: vista Bottom della EYE-TECH Board

Superata questa prima fase ci si è preoccupati di controllare che non ci fossero cortocircuiti fra le alimentazioni e le masse rispettive attraverso una misura di impedenza tramite un test elettrico.

I test elettrici sono stati eseguiti “su banco” nel laboratorio di elettronica dell’Istituto di BioRobotica della Scuola Superiore Sant’Anna ad una temperatura ambiente di 25°C. Lo strumento che è stato utilizzato è il Multimetro Fluke 175. Si consulti l’Appendice V per le specifiche tecniche dello strumento fornite dal costruttore.



Fig. 50: Multimetro FLUKE 175

Operativamente si sono applicate le sonde del multimetro fra alimentazione e massa rispettiva di ciascuna linea di alimentazione attraverso i pad facilmente accessibili per le

sonde assicurandoci che per l'appunto l'impedenza misurata dal multimetro fra i due punti fosse idealmente infinita e così è stato.

Dal progetto di Eagle 6.5 si è generato il Bill Of Material ovvero l'elenco di tutti i componenti utilizzati, consultabile nell'Appendice VI, e si sono ordinati i componenti mancanti attraverso i maggiori distributori di componenti elettronici. Si sono poi fatti saldare a mano tutti i chip sulla scheda, che una volta completata è stata sottoposta nuovamente ad una fase iniziale di pre test visivo, dove si è controllato macroscopicamente che non mancassero elementi da saldare, che fossero quelli giusti e che fossero allocati correttamente.

Si è inizialmente rifatto lo stesso test iniziale assicurandoci che dopo il montaggio non fossero nati cortocircuiti fra i piani di massa ed alimentazione, dopo di che, si è valutata la corretta continuità delle piste, in modo tale da intervenire filandola nel caso vi fossero interruzioni impreviste. Ciò è stato fatto semplicemente applicando le sonde agli estremi di ciascuna linea verificandone il cortocircuito.

Superata con successo anche questa fase, si è provato l'incastro fra i due connettori di espansione esterna delle due schede, rispettivamente il Samtec QTH-060 ed il QTH-030. Ciò che è risultato è che non corrispondeva la distanza relativa fra essi nel PCB custom e nel Development kit, rendendo impossibile la connessione. L'origine dell'errore è stato a causa della non corrispondenza fra le misure nella documentazione del Development Kit e l'oggetto reale stesso.

L'unica soluzione possibile per ovviare al problema è stata quella di filare uno dei due connettori per renderlo mobile e di stabilizzare le due schede impilate applicando un semplice zoccolo fra le due.

Consci del fatto che sarebbe potuta succedere una cosa del genere, si era scelto, in fase di routing, di portare tutti i segnali "delicati" differenziali ed in alta frequenza al QTH-030 e di portare i segnali più lenti o statici tutti sul QTH-060, che è risultato essere il migliore candidato fra i due a poter esser filato senza avere alcun problema di distorsione del segnale.



Fig. 51: Foto del connettore filato realizzato

Una volta che si è riusciti a realizzare il connettore si è verificato sempre grazie al multimetro con le sonde che non ci fossero cortocircuiti fra pin vicini a causa di difetti nelle saldature dei cavi e fatto ciò si sono finalmente impilate le due schede.

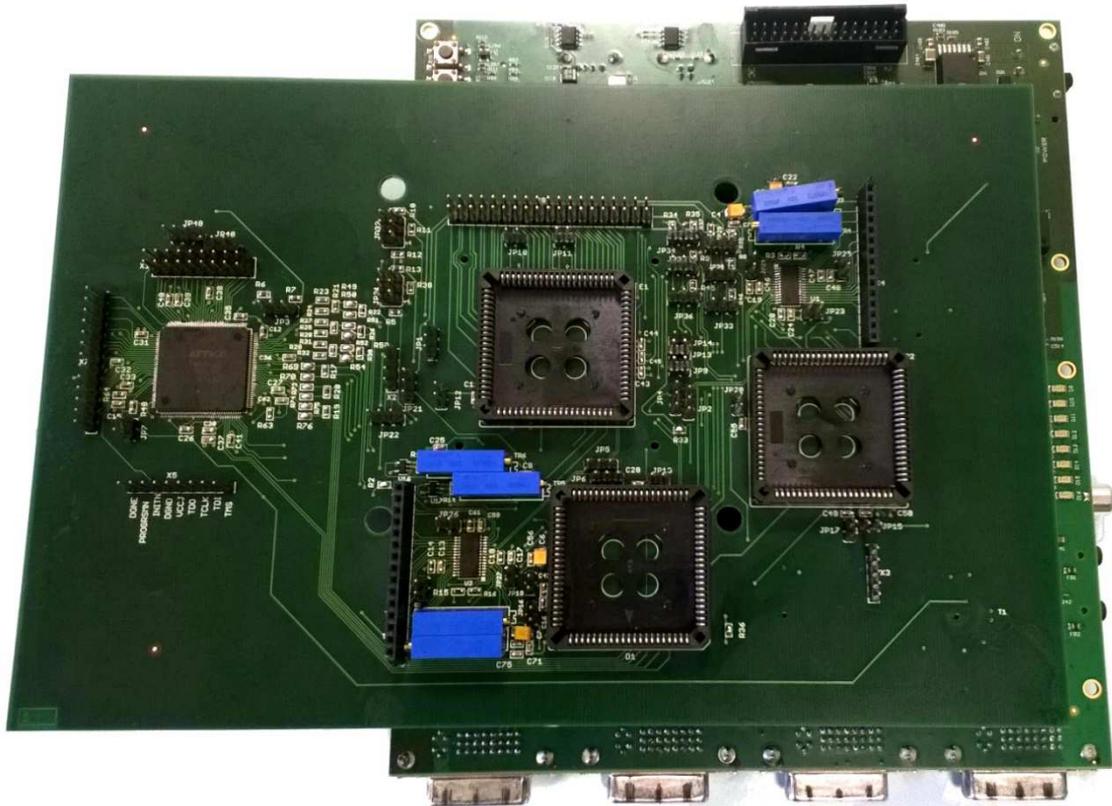


Fig. 52: Foto dell'ET_Board impilata sul Development Kit

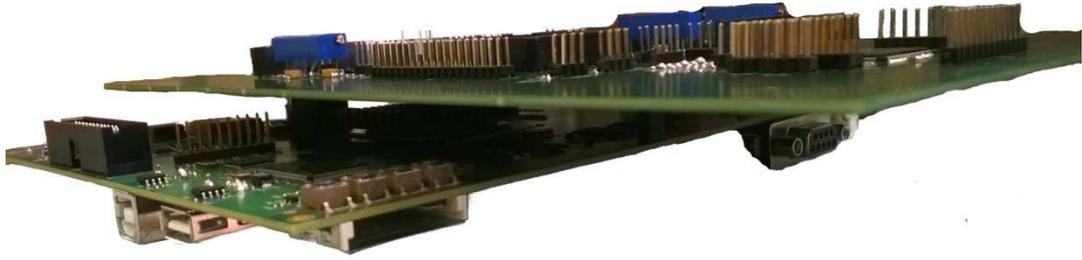


Fig. 53: Foto dell'impilaggio. SparrowHawk sotto ed ET_Board sopra

Successivamente si è alimentato il Development Kit con la ET_Board connessa e si è verificato, con le sonde del multimetro posizionate fra pin e massa, che le alimentazioni fossero quelle che desiderate.

7 CONCLUSIONI E SVILUPPI FUTURI

L'obiettivo iniziale era quello di realizzare una demonstration board che consentisse il corretto funzionamento del sistema di visione di Eye-Tech s.r.l. e che permettesse sia di eseguirne la caratterizzazione elettronica ed ottica, che la valutazione dei parametri elettrici che ne massimizzassero le performance. Si è dovuto progettare un sistema massimamente flessibile, pratico, miniaturizzabile e che permettesse la possibilità di implementare ulteriori espansioni ed aggiornamenti futuri sia via hardware che software.

A conclusione di tale percorso l'intero circuito di controllo per un modulo di visione HD miniaturizzato per colonscopia, è stato realizzato, assemblato e testato. Test elettrici preliminari hanno confermato la correttezza del design e l'implementazione di tutte le richieste progettuali iniziali. Come ci si aspettava, le alimentazioni e le masse non sono risultate cortocircuitate, la continuità delle piste e le corrette alimentazioni su tutti i pin sono state garantite. Le accortezze predisposte inizialmente, quali l'utilizzo di chip packeggiati con pin facilmente accessibili ed i vari header lungo le linee difficili da raggiungere ha effettivamente garantito la semplicità e la comodità della fase di test elettrici.

Lo step successivo di EYE-TECH s.r.l. sarà quello di sviluppare il firmware per il controllo dell'intero sistema dopodiché sarà possibile accedere alla vera e propria fase di caratterizzazione elettrica e ottica, in modo tale da poter estrapolare le caratteristiche del sensore modificando i parametri del sistema e determinandone l'effetto sulle immagini acquisite. Chiaramente, per testare le performance ottiche del sensore verrà realizzato un supporto in plastica per un'ottica standard da fissare sull'EYE-TECH1080 attraverso gli attacchi centrati sulla parte sensibile del chip che sono stati predisposti sulla scheda.

Per quanto riguarda la caratterizzazione della corretta risposta elettrica del sistema di Eye-Tech s.r.l., grazie all'implementazione dei jumpers sulle alimentazioni, sarà possibile condurre facilmente misure di tensione e corrente al fine di valutare i consumi di potenza dei chip e grazie all'introduzione degli altri headers e dei jumpers si potranno verificare le corrette risposte dei pin EX_XX di controllo esterno del sensore di immagine e selezionare facilmente i pin su cui portare i segnali di test ANA_TST, DEC_Q, TEST_MODE, TEST_SE.

Attraverso invece la possibilità, data dall'implementazione dei trimmer sui partitori resistivi relativi ai segnali PIXSUPP_OUT e TXGATE_OUT connessi agli nMOS del sensore di immagine, sarà possibile, come risultato dalle simulazioni fatte da Eye-Tech s.r.l., modificare la tensione di alimentazione dei transistori al fine di trovare quella che ne massimizzi le performance in termini di qualità dell'immagine, mentre, tramite la connessione del segnale di pilotaggio del funzionamento dei LED (Led_Out) del sensore di immagine con l'FPGA sarà possibile valutare il corretto funzionamento del sensore in ambiente a luce controllata.

Grazie all'implementazione del sistema FPGA XP2-5E e circuiteria resistiva Lattice di pilotaggio, sarà inoltre valutato come si comportano i chip EYE-TECH sia tramite clock

LVC MOS3V3, che tramite clock subLVDS entrambi da 20Mhz a 200 Mhz, per valutare con quale dei due si ottengano performance migliori, e quale sia l'effetto della frequenza operativa sul dato finale, parametro importante nella caratterizzazione di un sensore di immagine. L'aver poi predisposto delle piazzole per delle resistenze, inizialmente inserite da 0 Ohm, sul circuito resistivo suggerito dalla Lattice Semiconductor per il pilotaggio dei SubLVDS, permetterà di verificare ed in caso correggere l'esatto bilanciamento della linea mediante la modifica dei suddetti resistori.

Saranno inoltre confrontate le performance del sensore in termini di qualità dell'immagine utilizzando sia i chip companion che gli AD9235 grazie alle due configurazioni descritte nel capitolo 4, smart e standard, selezionabili via hardware attraverso la manipolazione dei jumpers. Grazie alla presenza della XP2, il routing delle uscite digitali di entrambe le configurazioni verrà portata all'ECP3 in standard LVC MOS3V3 a 40Mhz, riducendo le possibili distorsioni di segnale causate dall'alta frequenza. Chiaramente, nel caso in cui il prototipo ET_DigitalOut non funzionasse correttamente, la soluzione di backup prevista introducendo gli AD9235, permetterà di convertire ugualmente il segnale analogico proveniente dal sensore in modo da poter ottenere immagini utili all'elaborazione, garantendo quindi ugualmente la possibilità di caratterizzare quanto meno il sensore di immagine senza dover modificare il presente PCB pianificato in questo progetto di tesi.

Si rimarca come l'utilizzo di un Development kit come supporto privo di bug per la nostra scheda, abbia contribuito a ridurre la probabilità di commettere errori progettuali, così come le accortezze previste nel protocollo di comunicazione I2C-like dato dall'introduzione sia di una linea multi slave che di una linea a single slave selezionabile tramite jumper, permetterà di evitare tutte le difficoltà di programmazione che possano nascere nel caso in cui ci fossero problemi nel protocollo multi slave. Attraverso questo PCB si potrà per tanto verificare anche il corretto funzionamento dei pin del protocollo di comunicazione I2C-like multi slave previsto nella versione commerciale miniaturizzata, senza rischiare che il mancato funzionamento di esso possa inficiare la caratterizzazione del sensore.

Avendo scelto una FPGA come l'ECP3 ad elevato numero di celle logiche ancora disponibili dopo la programmazione, e avendo reso disponibili le cinque GPIO LVC MOS3V3 ed avendo predisposto come configurabile ed accessibile l'intero banco 0 della XP2-5E, che si ricorda esser impostabile alle tensioni di 1.8V e 3.3V con 18GPIO Single-ended o 9 coppie differenziali fra cui un ingresso per la PLL, sarà possibile espandere ulteriormente la Demonstration Board per eventuali upgrade previsti dall'azienda in futuro, come ad esempio il pilotaggio di un sistema di LED o un sistema di pre-processing del segnale, sia tramite la connessione hardware sui pin inutilizzati, che implementando ulteriori blocchi logici nell'FPGA mantenendo il sistema compatto ed a ridotto consumo di potenza.

Terminata la fase di analisi, il sistema verrà commercializzato in versione miniaturizzata rimuovendo le soluzioni di backup come ADC ed I2C-like multi-slave, gli headers, i trimmer, rimpiazzando i jumpers con delle saldature, non connettendo i 4 segnali di test (ANA_TST, DEC_Q, TEST_MODE, TEST_SE) ed i 27 di controllo esterno (EX_XX).

Verrà rimosso il Development Kit, verrà introdotta un'unica FPGA Lattice direttamente compatibile con lo standard subLVDS e verranno installate a bordo della nuova scheda delle SRAM DDR2 da 64Mbit, un controller per USB2.0 high-speed, un oscillatore per il Clock ed un alimentatore con relativo regolatore (3.3V, 1.8V, 1.2V).

Nella sua versione commerciale il sistema di Eye-Tech s.r.l. si potrà implementare e controllare attraverso solo 9 connessioni con l'FPGA, più uno o due fili per il clock (single-ended o differenziale) ed 8 pin per la ricezione dell'immagine campionata e digitalizzata.

Il tutto in un unico piccolo PCB di appena un paio di centimetri, dimensioni sicuramente accettabili per applicazioni endoscopiche di tipo chip-on-tip o con sistema di visione distale.

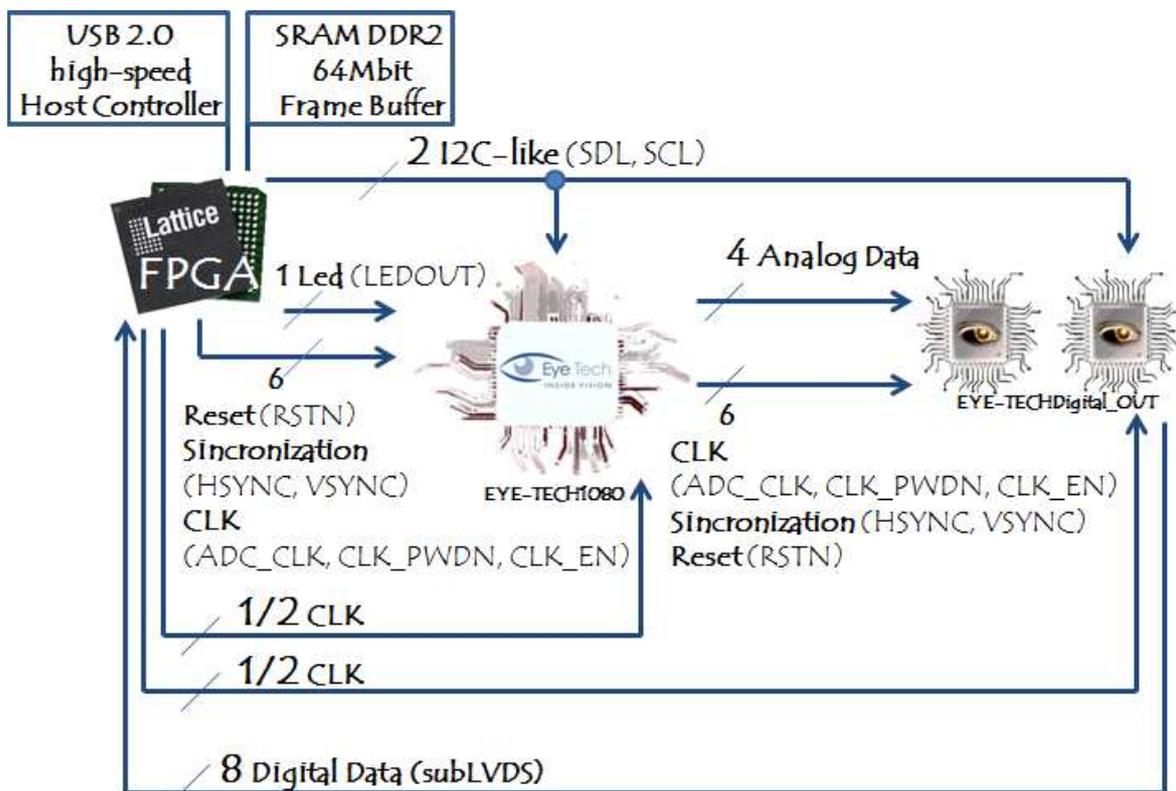


Fig. 54: Schema a blocchi del sistema commerciale Eye-Tech s.r.l.

I. APPENDICE: Standard di trasmissione LVDS e Sub-LVDS

LVDS (Low-Voltage-Differential- Signaling) è un protocollo di comunicazione standard differenziale seriale introdotto nel 1994, che prese subito piede nel campo della comunicazione di dati video. Il segnale LVDS opera a bassa potenza e può propagarsi ad alta velocità attraverso una coppia di cavi per lunghe distanze. (Cavi (CAT3) per 10m, CAT5 per (~20 meters @ 100Mbps, ~50 meters @ 50Mbps, ~100 meters @ 10Mbps)) (IEEE 1596.3).

Lo stadio di uscita è costituito da una coppia di nMOS che controllano la corrente di pilotaggio in uscita con una sorgente di 3.5mA (sul drain) ed un feedback loop per impostare la tensione di modo comune a 1.2V. Anche gli ingressi sfruttano la coppia di nMOS sulla coppia di cavi e prevedono una resistenza di terminazione da 100 Ohm da applicare il più vicino possibile ai pin del ricevitore.

La propagazione dell'informazione non avviene su singolo cavo come nel caso dei single-ended ma su due cavi, le cui tensione viene comparata dal ricevitore. La corrente di pilotaggio introdotta su un cavo viene mandata al ricevitore e torna nell'altra direzione attraverso l'altro cavo grazie resistenza di carico. Per la legge di Ohm, la tensione ai capi del resistore è di 350mV e la polarità sentita la ricevitore determina il livello logico.

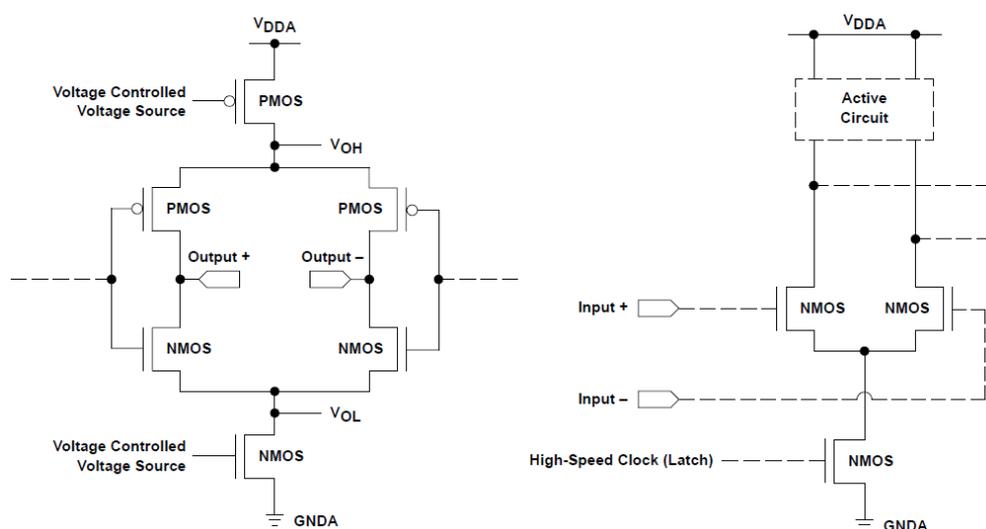


Fig. 55: (Sinistra) Stadio di uscita del protocollo LVDS, (Destra) Stadio di ingresso del protocollo LVDS

Il flusso opposto di corrente lungo la coppia di fili e l'estrema vicinanza di essi, fa sì che si generi un campo elettromagnetico uguale ed opposto che tenda ad annullarsi riducendo così il rumore sulla linea. Oltre tutto, essendo per l'appunto vicini, entrambi i cavi sono obbligatoriamente soggetti ai medesimi disturbi esterni, generando un rumore sul modo comune, che però non influenza lo stadio di ingresso in virtù del fatto che la misura per la scelta logica è di tipo differenziale.

Come già detto, la tensione di modo comune è di 1.2V permettendo di avere un'alimentazione fino a 2.5V. I consumi in termini di potenza sono infatti ridotti, ad esempio, per un'alimentazione a 2.5V ed una corrente di 3.5 mA si consumano solo 8.75 mW.

L'ANSI/TIA/EIA-644-a (pubblicato nel 2001) definisce il data rate massimo per lo standard LVDS pari a 655 Mbit/s (point-to-point), pur tuttavia ad oggi si arriva anche a 1-3 Gbit/s.

Il subLVDS invece è stato introdotto nel 2004 da Nokia e si tratta di una versione a voltaggio ridotto dell'LVDS con una tensione di modo comune pari a 0.9V ed una distanza massima di trasmissione ridotta ad un massimo di 30 cm.

II. APPENDICE: AD9235-BRU20Z: Package e Specifiche Tecniche

SPECIFICATIONS

DC SPECIFICATIONS

AVDD = 3 V, DRVDD = 2.5 V, maximum sample rate, 2 V p-p differential input, 1.0 V internal reference, T_{MIN} to T_{MAX}, unless otherwise noted.

Table 1.

Parameter	Temp	Test Level	AD9235BRU/BCP-20			Unit
			Min	Typ	Max	
RESOLUTION	Full	VI	12			Bits
ACCURACY						
No Missing Codes Guaranteed	Full	VI	12			Bits
Offset Error	Full	VI		±0.30	±1.20	% FSR
Gain Error ¹	Full	VI		±0.30	±2.40	% FSR
Differential Nonlinearity (DNL) ²	Full	IV		±0.35	±0.65	LSB
	25°C	I		±0.35		LSB
Integral Nonlinearity (INL) ²	Full	IV		±0.45	±0.80	LSB
	25°C	I		±0.40		LSB
TEMPERATURE DRIFT						
Offset Error	Full	V		±2		ppm/°C
Gain Error	Full	V		±12		ppm/°C
INTERNAL VOLTAGE REFERENCE						
Output Voltage Error (1 V Mode)	Full	VI		±5	±35	mV
Load Regulation @ 1.0 mA	Full	V		0.8		mV
Output Voltage Error (0.5 V Mode)	Full	V		±2.5		mV
Load Regulation @ 0.5 mA	Full	V		0.1		mV
INPUT REFERRED NOISE						
VREF = 0.5 V	25°C	V		0.54		LSB rms
VREF = 1.0 V	25°C	V		0.27		LSB rms
ANALOG INPUT						
Input Span, VREF = 0.5 V	Full	IV		1		V p-p
Input Span, VREF = 1.0 V	Full	IV		2		V p-p
Input Capacitance ³	Full	V		7		pF
REFERENCE INPUT RESISTANCE	Full	V		7		kΩ
POWER SUPPLIES						
Supply Voltages						
AVDD	Full	IV	2.7	3.0	3.6	V
DRVDD	Full	IV	2.25	3.0	3.6	V
Supply Current						
IAVDD ²	Full	V		30		mA
IDRVDD ²	Full	V		2		mA
PSRR	Full	V		±0.01		% FSR
POWER CONSUMPTION						
DC Input ⁴	Full	V		90		mW
Sine Wave Input ²	Full	VI		95	110	mW
Standby Power ⁵	Full	V		1.0		mW

¹ Gain error and gain temperature coefficient are based on the ADC only (with a fixed 1.0 V external reference).

² Measured at maximum clock rate, f_{IN} = 2.4 MHz, full-scale sine wave, with approximately 5 pF loading on each output bit.

³ Input capacitance refers to the effective capacitance between one differential input pin and AGND.

Refer to Figure 5 for the equivalent analog input structure.

⁴ Measured with dc input at maximum clock rate.

⁵ Standby power is measured with a dc input, the CLK pin inactive (i.e., set to AVDD or AGND).

DIGITAL SPECIFICATIONS

Table 2.

Parameter	Temp	Test Level	AD9235BRU/BCP-20			Unit
			Min	Typ	Max	
LOGIC INPUTS						
High Level Input Voltage	Full	IV	2.0			V
Low Level Input Voltage	Full	IV			0.8	V
High Level Input Current	Full	IV	-10		+10	μA
Low Level Input Current	Full	IV	-10		+10	μA
Input Capacitance	Full	V		2		pF
LOGIC OUTPUTS ¹						
DRVDD = 3.3 V						
High-Level Output Voltage (IOH = 50 μA)	Full	IV	3.29			V
High-Level Output Voltage (IOH = 0.5 mA)	Full	IV	3.25			V
Low-Level Output Voltage (IOL = 1.6 mA)	Full	IV			0.2	V
Low-Level Output Voltage (IOL = 50 μA)	Full	IV			0.05	V
DRVDD = 2.5 V						
High-Level Output Voltage (IOH = 50 μA)	Full	IV	2.49			V
High-Level Output Voltage (IOH = 0.5 mA)	Full	IV	2.45			V
Low-Level Output Voltage (IOL = 1.6 mA)	Full	IV			0.2	V
Low-Level Output Voltage (IOL = 50 μA)	Full	IV			0.05	V

¹ Output voltage levels measured with 5 pF load on each output.

SWITCHING SPECIFICATIONS

Table 3.

Parameter	Temp	Test Level	AD9235BRU/BCP-20			Unit
			Min	Typ	Max	
CLOCK INPUT PARAMETERS						
Maximum Conversion Rate	Full	VI	20			MSPS
Minimum Conversion Rate	Full	V			1	MSPS
CLK Period	Full	V	50.0			ns
CLK Pulse-Width High ¹	Full	V	15.0			ns
CLK Pulse-Width Low ¹	Full	V	15.0			ns
DATA OUTPUT PARAMETERS						
Output Delay ² (t _{PD})	Full	V		3.5		ns
Pipeline Delay (Latency)	Full	V		7		Cycles
Aperture Delay (t _A)	Full	V		1.0		ns
Aperture Uncertainty Jitter (t _j)	Full	V		0.5		ps rms
Wake-Up Time ³	Full	V		3.0		ms
OUT-OF-RANGE RECOVERY TIME	Full	V		1		Cycles

¹ For the AD9235-65 model only, with duty cycle stabilizer enabled.
DCS function not applicable for -20 and -40 models.

² Output delay is measured from CLK 50% transition to DATA 50% transition, with 5 pF load on each output.

³ Wake-up time is dependent on value of decoupling capacitors:
typical values shown with 0.1 μF and 10 μF capacitors on REFT and REFB.

Tab 9: Specifiche dell'AD9235 fornite dal Datasheet

AC SPECIFICATIONS

AVDD = 3 V, DRVDD = 2.5 V, maximum sample rate, 2 V p-p differential input, A_{IN} = -0.5 dBFS, 1.0 V internal reference, T_{MIN} to T_{MAX}, unless otherwise noted.

Table 4.

Parameter	Temp	Test Level	AD9235BRU/BCP-20			Unit
			Min	Typ	Max	
SIGNAL-TO-NOISE RATIO						
f _{INPUT} = 2.4 MHz	25°C	V		70.8		dBc
f _{INPUT} = 9.7 MHz	Full	IV	70.0	70.4		dBc
	25°C	I		70.6		dBc
f _{INPUT} = 19.6 MHz	Full	IV				dBc
	25°C	I				dBc
f _{INPUT} = 32.5 MHz	Full	IV				dBc
	25°C	I				dBc
f _{INPUT} = 100 MHz	25°C	V		68.7		dBc
SIGNAL-TO-NOISE RATIO AND DISTORTION						
f _{INPUT} = 2.4 MHz	25°C	V		70.6		dBc
f _{INPUT} = 9.7 MHz	Full	IV	69.9	70.3		dBc
	25°C	I		70.5		dBc
f _{INPUT} = 19.6 MHz	Full	IV				dBc
	25°C	I				dBc
f _{INPUT} = 32.5 MHz	Full	IV				dBc
	25°C	I				dBc
f _{INPUT} = 100 MHz	25°C	V		68.6		dBc
TOTAL HARMONIC DISTORTION						
f _{INPUT} = 2.4 MHz	25°C	V		-88.0		dBc
f _{INPUT} = 9.7 MHz	Full	IV		-86.0	-79.0	dBc
	25°C	I		-87.4		dBc
f _{INPUT} = 19.6 MHz	Full	IV				dBc
	25°C	I				dBc
f _{INPUT} = 32.5 MHz	Full	IV				dBc
	25°C	I				dBc
f _{INPUT} = 100 MHz	25°C	V		-84.0		dBc
WORST HARMONIC (SECOND OR THIRD)						
f _{INPUT} = 9.7 MHz	Full	IV		-90.0	-80.0	dBc
f _{INPUT} = 19.6 MHz	Full	IV				dBc
f _{INPUT} = 32.5 MHz	Full	IV				dBc
SPURIOUS-FREE DYNAMIC RANGE						
f _{INPUT} = 2.4 MHz	25°C	V		92.0		dBc
f _{INPUT} = 9.7 MHz	Full	IV	80.0	88.5		dBc
	25°C	I		91.0		dBc
f _{INPUT} = 19.6 MHz	Full	IV				dBc
	25°C	I				dBc
f _{INPUT} = 32.5 MHz	Full	IV				dBc
	25°C	I				dBc
f _{INPUT} = 100 MHz	25°C	V		84.0		dBc

Tab 10: Specifiche dell'AD9235 fornite dal Datasheet

ABSOLUTE MAXIMUM RATINGS

Table 5.

Pin Name	With Respect to	Min	Max	Unit
ELECTRICAL				
AVDD	AGND	-0.3	+3.9	V
DRVDD	DGND	-0.3	+3.9	V
AGND	DGND	-0.3	+0.3	V
AVDD	DRVDD	-3.9	+3.9	V
Digital Outputs	DGND	-0.3	DRVDD + 0.3	V
CLK, MODE	AGND	-0.3	AVDD + 0.3	V
VIN+, VIN-	AGND	-0.3	AVDD + 0.3	V
VREF	AGND	-0.3	AVDD + 0.3	V
SENSE	AGND	-0.3	AVDD + 0.3	V
REFB, REFT	AGND	-0.3	AVDD + 0.3	V
PDWN	AGND	-0.3	AVDD + 0.3	V
ENVIRONMENTAL¹				
Operating Temperature		-40	+85	°C
Junction Temperature			150	°C
Lead Temperature (10 sec)			300	°C
Storage Temperature		-65	+150	°C

¹ Typical thermal impedances (28-lead TSSOP), $\theta_{JA} = 67.7^{\circ}\text{C}/\text{W}$; (32-lead LFCSP), $\theta_{JA} = 32.5^{\circ}\text{C}/\text{W}$, $\theta_{JC} = 32.71^{\circ}\text{C}/\text{W}$. These measurements were taken on a 4-layer board in still air, in accordance with EIA/JESD51-1.

Tab 11: Specifiche dell'AD9235 fornite dal Datasheet

III. APPENDICE: Regolatore LDO: Package e Specifiche Tecniche

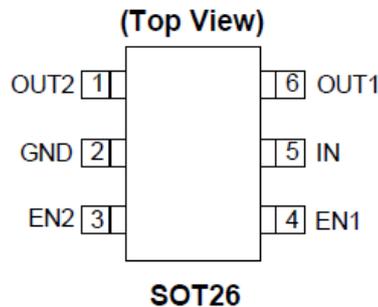


Fig. 56: Package dell' LDO AP7312 Diodes

Electrical Characteristics

($T_A = 25^\circ\text{C}$, $V_{IN} = V_{OUT} + 1\text{V}$, $C_{IN} = 1\mu\text{F}$, $C_{OUT} = 1\mu\text{F}$, $V_{EN} = V_{IN}$, unless otherwise stated)

Symbol	Parameter	Test Conditions	Min	Typ.	Max	Unit
V_{REF}	ADJ Reference Voltage (Adjustable version)	$I_{OUT} = 0\text{mA}$		0.8		V
I_{ADJ}	ADJ Leakage (Adjustable version)			0.1	1	μA
V_{OUT}	Output Voltage Accuracy	$T_A = -40^\circ\text{C}$ to 85°C , $I_{OUT} = 10\%$ of $I_{OUT-Max}$	-2		2	%
$\Delta V_{OUT} / \Delta V_{IN} / V$	Line Regulation	$V_{IN} = (V_{OUT} + 1\text{V})$ to V_{IN-Max} , $V_{EN} = V_{IN}$, $I_{OUT} = 1\text{mA}$		0.01	0.20	%/V
$\Delta V_{OUT} / I_{OUT}$	Load Regulation	$V_{IN} = (V_{OUT} + 1\text{V})$ to V_{IN-Max} , $I_{OUT} = 1\text{mA}$ to 150mA	-0.6		0.6	%
$V_{Dropout}$	Dropout Voltage (Note 4)	$V_{OUT} < 2.5\text{V}$, $I_{OUT} = 150\text{mA}$ $V_{OUT} \geq 2.5\text{V}$, $I_{OUT} = 150\text{mA}$		200 150	300 200	mV
I_Q	Input Quiescent Current (2 channels)	$V_{EN} = V_{IN}$, $I_{OUT} = 0\text{mA}$		60	80	μA
I_{SHDN}	Input Shutdown Current	$V_{EN} = 0\text{V}$, $I_{OUT} = 0\text{mA}$		0.1	1	μA
I_{LEAK}	Input Leakage Current	$V_{EN} = 0\text{V}$, OUT grounded		0.1	1	μA
t_{ST}	Start-up Time	$V_{EN} = 0\text{V}$ to 2.0V in $1\mu\text{s}$, $I_{OUT} = 150\text{mA}$		150		μs
PSRR	PSRR (Note 5)	$V_{IN} = [V_{OUT} + 1\text{V}]V_{DC} + 0.5V_{ppAC}$, $f = 1\text{kHz}$, $I_{OUT} = 50\text{mA}$	60	65		dB
I_{SHORT}	Short-circuit Current	$V_{IN} = V_{IN-Min}$ to V_{IN-Max} , $V_{OUT} = 1/4$ target V_{OUT}		60		mA
I_{LIMIT}	Current limit	$V_{IN} = V_{IN-Min}$ to V_{IN-Max} , $V_{OUT}/R_{OUT} = 0.6\text{A}$	200	300		mA
V_{IL}	EN Input Logic Low Voltage	$V_{IN} = V_{IN-Min}$ to V_{IN-Max}			0.4	V
V_{IH}	EN Input Logic High Voltage	$V_{IN} = V_{IN-Min}$ to V_{IN-Max}	1.4			V
I_{EN}	EN Input Current	$V_{IN} = 0\text{V}$ or V_{IN-Max}	-1		1	μA
T_{SHDN}	Thermal shutdown threshold			165		$^\circ\text{C}$
T_{HYS}	Thermal shutdown hysteresis			30		$^\circ\text{C}$
θ_{JA}	Thermal Resistance Junction-to-Ambient	SOT26 (Note 6) DFN2018-6 (Note 7)		140 60		$^\circ\text{C}/\text{W}$

- Notes:
4. Dropout voltage is the voltage difference between the input and the output at which the output voltage drops 2% below its nominal value.
 5. This specification is guaranteed by design.
 6. Test condition for SOT26: Device mounted on FR-4 substrate PC board, with minimum recommended pad layout
 7. Test condition for DFN2018-6: Device mounted on FR-4 2-layer board, 2oz copper, with minimum recommended pad on top layer and 3 vias to bottom layer.

Fig. 57: Caratteristiche elettriche del regolatore Diodes AP7412 LDO

IV. APPENDICE :Cenni sul protocollo di configurazione JTAG

JTAG (Joint Test Action Group) è consorzio di imprese produttrici di circuiti stampati (poi IEEE 1499.1) con lo scopo di definire un protocollo standard per il test funzionale e di programmazione di dispositivi. La soluzione proposta è stata quella di prevedere per alcuni pin dei circuiti integrati la possibilità di bloccarne il funzionamento normale per generare una condizione speciale in cui si possono controllare tutti gli altri pin.

I segnali che permettono di utilizzare il protocollo JTAG sono:

- TCK (test clock): per testare i pin di clock dei dati
- TMS (test mode select): per attivare la modalità test, con cui si sospende la modalità “normale” dei chip in favore di quella di tipo test.
- TDI (test data in): pin di ingresso dei dati della scheda elettronica
- TDO (test data out): pin di uscita dei dati della scheda elettronica
- TRST (test reset): segnale di test reset

Attraverso TDI e TDO si controllano i circuiti integrati in modo seriale sincrono e la frequenza di clock utilizzata è quella del componente più lento.

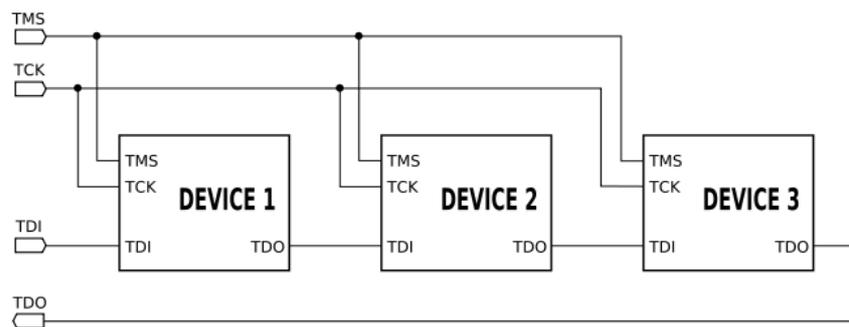


Fig. 58: Esempio di JTAG CHAIN a 3 chip

Chiaramente il metodo “Boundary-Scan”, sposta all’interno del chip l’implementazione dei tradizionali test, permettendo di testare schede sempre più piccole e complesse dove è difficile applicare delle sonde.

La connessione viene realizzata attraverso un opportuno connettore che si interfaccia al PC attraverso l’USB. Ha un basso costo, è facile da utilizzare ed è largamente automatizzato in modo tale da ridurre il carico di lavoro umano per la fase di debug.

L’ulteriore innovazione introdotta dal protocollo JTAG è la possibilità di programmare memorie Flash ed FPGA sempre più piccole e di difficile accesso fisico identificandone direttamente l’indirizzo sulla scheda e dando la possibilità di praticare scrittura e lettura senza doverle installare sul tradizionale zoccolo.

V. APPENDICE: Multimetro FLUKE 175: Specifiche Tecniche

Nominal Specifications

Function	Absolute Range or Description	
AC Voltage, True-rms	0.1 mV to 1000V (1 kHz)	
DC Voltage	0.1 mV to 1000V	
Continuity	Beeper guaranteed on < 25 Ω , guaranteed off > 250 Ω ; detects opens or shorts of 250 μ s or longer.	
Resistance	0.1 Ω to 50.00 M Ω	
Diode Test	2.400V	
Capacitance	1 nF to 9999 μ F	
AC Current, True-rms	0.01 mA to 10.00A (20.00 A over-range for 30 seconds)	
DC Current	0.01 mA to 10.00A (20.00 A over-range for 30 seconds)	
Frequency	2 Hz to 50 kHz	
Temperature (179 Only)	-40 $^{\circ}$ C to +400 $^{\circ}$ C; -40 $^{\circ}$ F to +752 $^{\circ}$ F	
Basic dc voltage accuracy	0.15% (175)	0.09% (177 & 179)
Basic ac voltage accuracy	1.0%	

Fig. 59: Caratteristiche tecniche del multimetro FLUKE175

VI. APPENDICE: BOM File

Part	Value	Device	Package	Numero di Componenti per Scheda
C8, C9, C10, C11, C12, C13, C15, C16, C17, C21, C22, C23, C24, C25, C26, C27, C28, C29, C30, C31, C32, C33, C34, C35, C36, C37, C38, C39, C40, C41, C42, C43, C44, C45, C46, C48, C49, C50, C54, C55, C56, C59, C62, C70, C71, C75, C77	0.1 uF	Condensatore AVX 06033C104JAT2A	C0603 tolleranza 5%	40
C1, C2, C3, C4, C5, C6, C7	10 uF e 10v	Condensatore Tantalio AVX TAJB106K010RNJ	C1210 tolleranza 10%	7
C14, C18, C19, C20, C47, C61	10uF	Condensatore TDK C1608X5R1A106K080AC	C0603 tolleranza 10%	6
C51, C52, C53	1uF	Condensatore TDK CGA3E1X7R1E105K080AC	C0603 tolleranza 10%	3
D1, D2		Digital_OUT	S84	2
E1		Eye-Tech 1080	S84	1
FID1, FID2, FID3		FIDUCIAL	FIDUCIAL	3
J1		Connettore Samtec QTH-030-02-L-D-A		1
J2		Connettore Samtec QTH-060-03-L-D-A		1
JP1, JP2, JP3, JP4, JP5, JP6, JP21, JP22, JP29, JP30, JP33, JP34, JP35, JP36, JP40, JP48		Header MOLEX - 90120 - 0123	JP2 (3 contatti 1 fila 2.54 pitch)	16
JP7, JP9, JP10, JP11, JP12, JP13, JP14, JP15, JP16, JP17, JP18, JP19, JP20, JP23, JP24, JP25, JP26, JP27, JP28		Jumper Fischer CAB 4 GS	JP1 (2 contatti 1 fila 2.54 pitch)	19
JP31, JP32		Header MOLEX - 90131-0123	JP3Q (6 contatti 2 file 2.54 pitch)	2
R1, R14	20 K	Resistore Neohm CPF0603F20KC1	R0603 tolleranza 1%	2
R2, R33, R36, R49, R50, R51, R52, R53, R54, R69, R70, R71, R72, R73, R74, R75, R76	0	Resistore Multicomp MCSR06X000 PTL	R0603 tolleranza 0.05%	17
R3, R15	2 k	Resistore Bourns CR0603-FX-2001ELF	R0603 tolleranza 1%	2
R4, R16	1 k	Resistore Neohm CPF0603F1K0C1	R0603 tolleranza 1%	2
R5, R6, R7, R8, R9, R10, R11, R12, R13, R34, R35, R37, R38, R39, R45, R46, R48, R63, R64	4.7 k	Resistore Bourns CR0603-FX-4701ELF	R0603 tolleranza 1%	19
R17, R18, R19, R20, R22, R26, R30	100	Resistore Neohm CPF0603F100RC1	R0603 tolleranza 1%	7
R21, R25, R29	121	Resistore Multicomp MC0063W06031121R	R0603 tolleranza 1%	3
R23, R24, R27, R28, R31, R32	267	Resistore Multicomp MC0063W06031267R	R0603 tolleranza 1%	6

T1		Regolatore Diodes AP7312-1218W6-7	SOT26	1
TR1, TR2, TR3, R4	1k	Trimmel Bourns 3006P-1-102LF	Through-H	4
TR5, TR6	50 k	Trimmel Bourns 3006P-1-503LF	Through-H	2
U\$61		Lattice FPGA XP2-5E-144TQFP	TQFP144	1
U1, U2		Analog Device AD9235BRU-20Z	TSSOP28	2
U16, U17		Amplificatore Touchstone Semiconductor TS1003IG5T	SOT23-5	2
X1		Header Samtec TSW-109-02-S-D Through-H	TSW-128-05-F-D	1
X2		Header Samtec TSW-104-02-S-S Through-H	TSW-131-05-G-S	1
X3		Header Samtec TSW-105-02-S-S Through-H		1
X4, X6		Header Samtec SSW-115-02-S-S Through-H	SSW-116-02-G-S	2
X5		Header Samtec TSW-109-02-S-S Through-H		1
X7		Header Samtec TSW-113-02-S-S Through-H		1
X8		Header Samtec TSW-119-02-S-D Through-H		1

VII. APPENDICE: Schematico dell'intero sistema

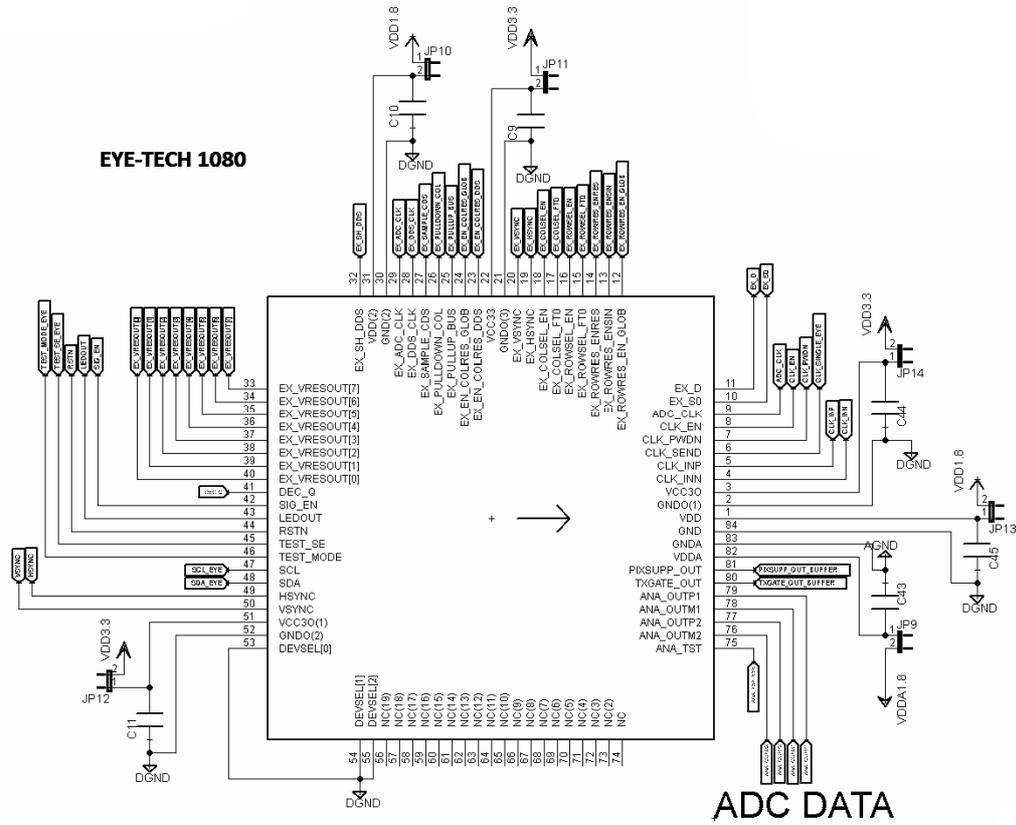


Fig. 60: Schematico del chip EYE-TECH1080

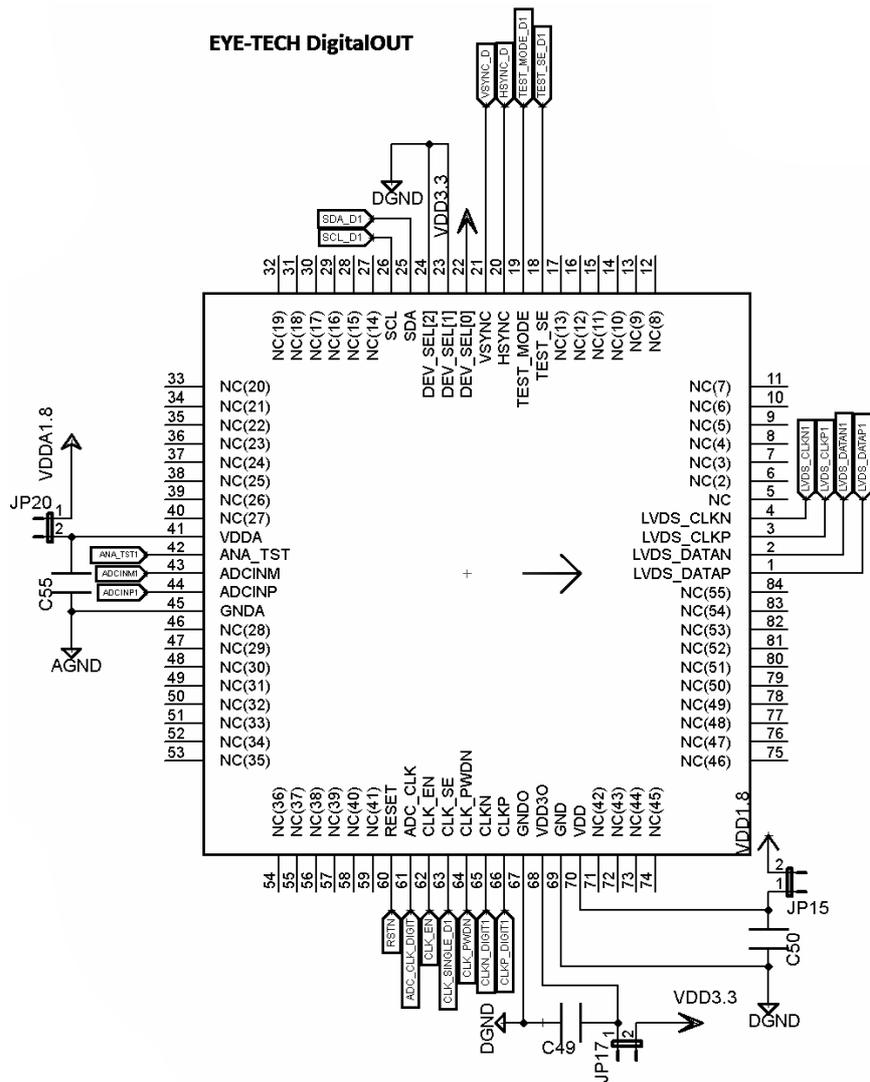


Fig. 61: Schematico del Chip EYE-TECHDigital_OUT, configurazioni analoghe valgono per l'altro chip companion

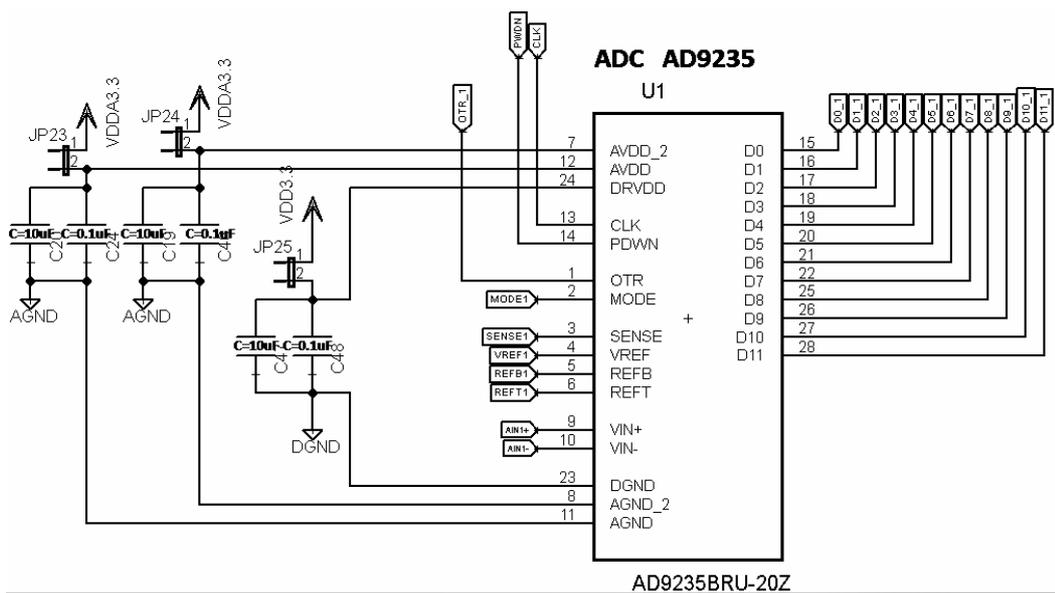


Fig. 62: Schematico del chip AD9235, configurazioni analoghe valgono per l'altro ADC

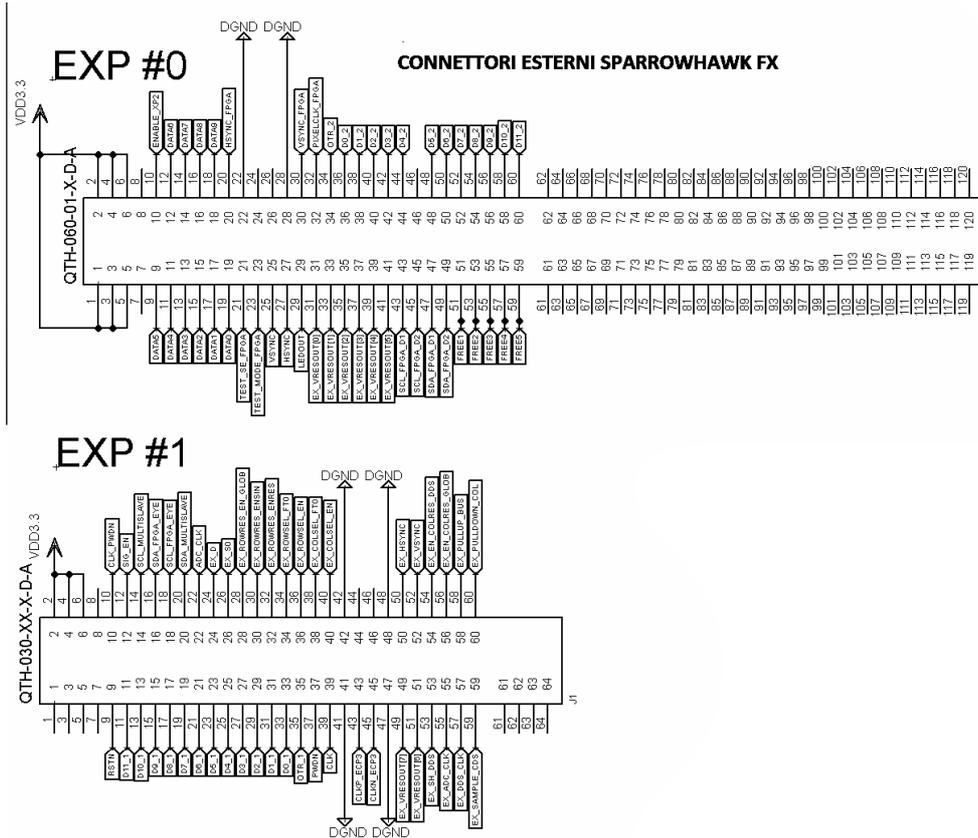


Fig. 63: Schematico dei connettori esterni del Development Kit SparrowHawk FX

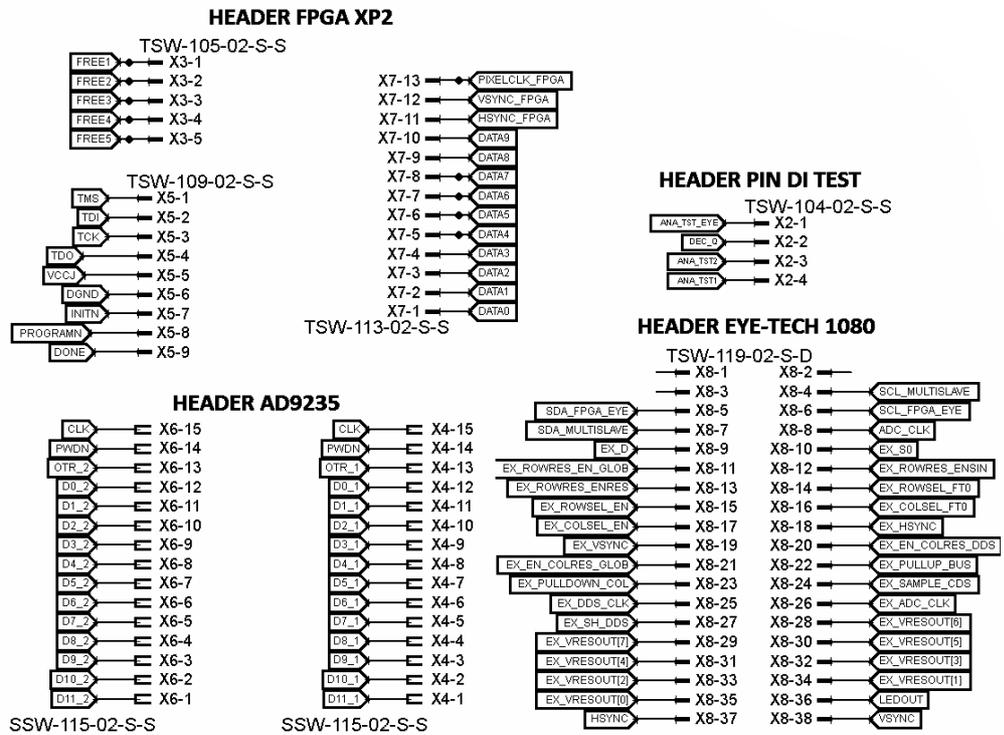


Fig. 64: Schematico degli Header della ET Board

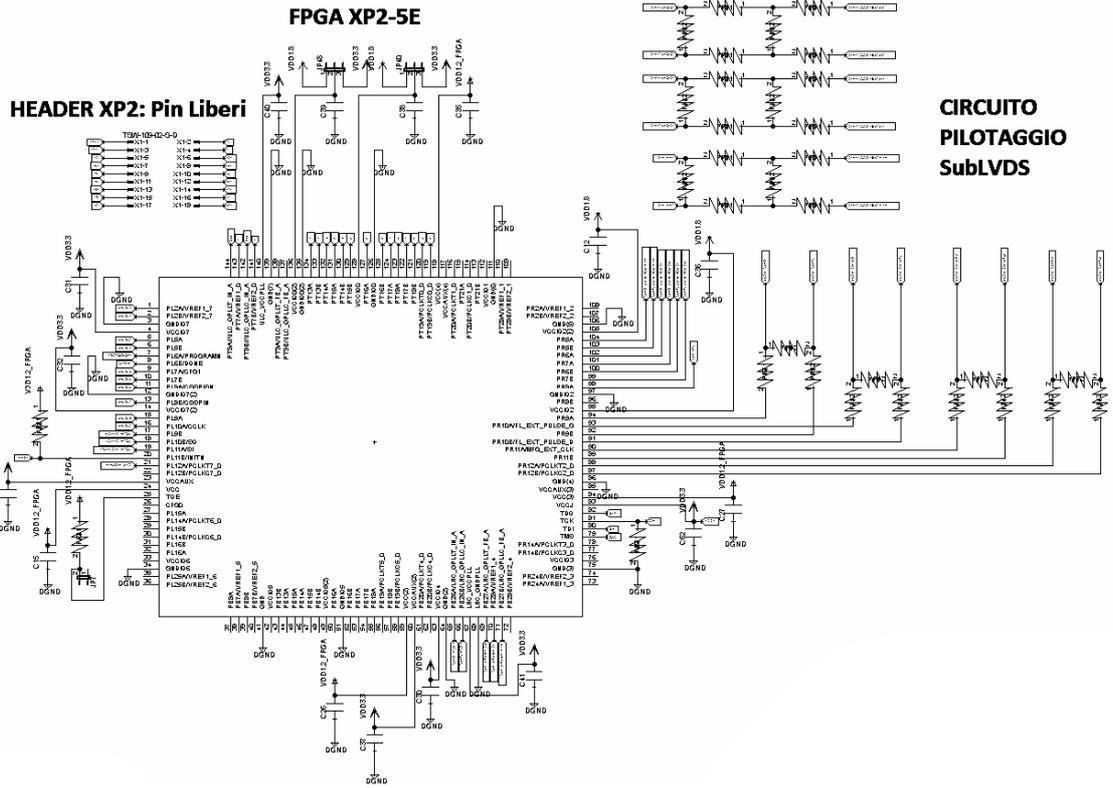


Fig. 65: Schematico della FPGA XP2-5E con il relativo header sui pin liberi ed il circuito lattice per il pilotaggio dei SubLVDS

8 REFERENCE

- [1] www.Latticesemi.com
- [2] Bertozzi, M. ; Dept. of Inf. Technol., Parma Univ., Italy ; Broggi, A.
GOLD: a parallel real-time stereo vision system for generic obstacle and lane detection
Image Processing, IEEE Transactions on (Volume:7 , Issue: 1) (Gennaio 1998)
- [3] Beymer, D. ; Dept. of Electr. Eng. & Comput. Sci., California Univ., Berkeley, CA, USA ;
McLauchlan, P. ; Coifman, B. ; Malik, J.
A real-time computer vision system for measuring traffic parameters *Computer Vision and*
Pattern
Recognition, 1997. Proceedings., 1997 IEEE Computer Society Conference on
- [4] Daniele Covi, Carmela Cavallotti , Monica Vatteroni, Luca Clementel, Pietro Valdastri,
Arianna Menciassi, Paolo Dario, Alvis Sartori
Miniaturized digital camera system for disposable endoscopic applications
- [5] C. Cavallotti, P.Merlino, M.Vatteroni, P.Valdastri, A.Abramo, A.Menciassi, P.Dario
An FPGA-based Versatile development system for endoscopic capsule design optimization.
- [6] Inbae Yoon
Surgical instrument endoscope with CMOS image sensor and physical parameter sensor
(16 lug 2002)
- [7] A. Hoffman¹ , N. Basting¹ , M. Goetz¹ , A. Tresch³ , J. Mudter¹ , S. Biesterfeld² , P.
R. Galle¹ , M. F. Neurath¹ , R. Kiesslich¹
High-definition endoscopy with i-Scan and Lugol's solution for more precise detection of
mucosal breaks in patients with reflux symptoms (2009)
- [8] Abbas El Gamal, Department'of Electrical Engineering Stanford University, Stanford CA
94305
Trends in CMOS Image Sensor Technology and Design
- [9] Marci Meingast, Christopher Geyer, Shankar Sastry
Geometric Models of Rolling-Shutter Cameras (29 Mar 2005)
- [10] Nicolas Roudel, Francois Berry, Jocelyn S´erot
A new high-level methodology for programming FPGA- based smart camera (Settembre
2010)
- [11] Abid Muneeb, Fabio Dias, Francois Berry, Jocelyn S´erot
Harnessing a multi-sensor FPGA-based Smart Camera: a virtual processor-based
approach (2009)
- [12] Pierre CHALIMBAUD and Francois BERRY
Embedded active vision system based on an FPGA architecture (14 Settembre 2006)
- [13] Jan Axelson, (Copyright 1999-2005)
USB Complete: Everything you need to develop custom USB peripherals.
- [14] Michal Krepa; *EV_JPEG_ENC IP Core Specification* www.Opencores.org (April
14,2014)

- [15] www.Jedec.org
- [16] Razak Mohammed Ali, Altera Corp.
DDR2 SDRAM interfaces for next-gen system. Electronic Engineering Times-Asia (16-31,2006)
- [17] J.D. Neal; *VGA Chipset Reference (1997)*
- [18] www.hdmi.org
- [19] Paul R.Gray, Bernhard E. Boser, Paul K. Wright, Yun Chiu (University of California, Los Angeles 1997)
High-Performance Pipeline ADC Design n Deep-Submicron CMOS
- [20] P. Chalimbaud F. Berry
Design of an Imaging System based on FPGA Technology and CMOS Imager
- [21] N. Sulaiman, Z.A. Obaid, M.H. Marhaban, M.N. Hamidon,
Design and implementation of fpga-based systems – a review, Australian Journal of Basic and Applied Sciences 3 (2009)
- [22] Test Technology Standards Committee
IEEE Standard Test Access Port and Boundary-Scan Architecture (1993 e 1994)
- [23] <http://www.boundary-scan.co.uk>
- [24] *IEEE Std 1149.1 (JTAG) Testability Primer, Texas instrument 1997*
- [25] Whetsel, L.; *A Proposed Standard Test Bus and Boundary Scan Architecture,” 1988 IEEE International Conference on Computer Design, Rye Brook, NY,*
- [26] Parker, Kenneth P. *The Boundary-Scan Handbook, ISBN 0-7923-9270-1.*
- [27] *IEEE Std 1149.1-1990 (includes IEEE Std 1149.1a-1993), IEEE Standard Test Access Port and Boundary-Scan Architecture, ISBN 1-55937-350-4.*
- [28] *IEEE Std 1149.1b-1994, Supplement to IEEE Standard Test Access Port and Boundary-Scan Architecture, ISBN 1-55937-497-7.*
- [29] www.ictitalia.eu
- [30] www.ni.com
- [31] Kevin McCrory, National Semiconductor; *La tecnologia LVDS per applicazioni auto motive (Ottobre 2006)*
- [32] Harry J. Boll, Gregory G. Boll
Integrated circuit probing apparatus including a capacitor bypass structure (13 dic 1994)
- [33] Paul, Clayton R.,
Effectiveness of Multiple Decoupling Capacitors, IEEE Transactions on EMC, May 1992.
- [34] Archambeault, Bruce; *Eliminating the MYTHS About Printed Circuit Board Power/Ground Plane Decoupling, ITEM 2001.*

- [35] Yang, D.X.D. ; *Inf. Syst. Lab., Stanford Univ., CA, USA* ; Gamal, A.E. ; Fowler, Boyd ; Tian, H.
A 640×512 CMOS image sensor with ultrawide dynamic range floating-point pixel-level ADC Solid-State Circuits, IEEE Journal of (Volume:34 , Issue: 12) (6 Agosto 2002)
- [36] Kavadias, S. ; *IMEC, Leuven, Belgium* ; Dierickx, B. ; Scheffer, D. ; Alaerts, A.
A logarithmic response CMOS image sensor with on-chip calibration Solid-State Circuits, IEEE Journal of (Volume:35 , Issue: 8) (06 agosto 2002)
- [37] Suntharalingam, V. ; *Lincoln Lab., MIT, Lexington, MA, USA* ; Berger, R. ; Burns, J.A. ; Chen, C.K. *Megapixel CMOS image sensor fabricated in three-dimensional integrated circuit technology Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International*
- [38] Abbas El Gamal, Boyd Fowler Stanford University
CMOS image sensor with pixel level A/D conversion (24 Ottobre 1995)
- [39] Kleinfelder, S. ; *Dept. of Electr. Eng., Stanford Univ., CA, USA* ; SukHwan Lim ; Xinqiao Liu ; El Gamal, A.
A 10000 frames/s CMOS digital pixel sensor Solid-State Circuits, IEEE Journal of (Volume:36 , Issue: 12) (Dicembre 2001)
- [40] Richard Wain, Ian Bush, Martyn Guest, Miles Deegan, Igor Kozin and Christine Kitchen. ; *An overview of FPGAs and FPGA programming (2006)*
- [41] A. Eickhoff, J.V. Dam, R. Jakobs, V. Kudis, D. Hartmann, U. Damian, U. Weickert, D. Schilling, J.F. Riemann, *Computer-assisted colonoscopy (the neoguide endoscopy system): results of the first human clinical trial (“pace study”)*, *The American Journal of Gastroenterology* 102 (2) (2007) 261–266.
- [42] PHEE, S. J., et al. *Automation of Colonoscopy. II. Visual control aspects. Engineering in Medicine and Biology Magazine, IEEE, 1998, 17.3: 81-88.*
- [43] P. Swain, *The future of wireless capsule endoscopy, World Journal of Gastroenterol* 14 (26) (2008) 4142–4145.
- [44] M. Waterman, R. Eliakim, *Capsule enteroscopy of the small intestine, Abdom Imaging* 34 (4) (2009) 452–458.
- [45] KUMAR, Sanjiv; KASSIM, Irwan M.; ASARI, Vijayan K. *Design of a vision-guided microrobotic colonoscopy system. Advanced robotics, 2000, 14.2: 87-104.*
- [46] Kassim, I. Phee, L. ; Ng, W.S. ; Feng Gong ; Dario, P. ; Mosse, C.A. *Locomotion techniques for robotic colonoscopy, Engineering in Medicine and Biology Magazine, IEEE (Volume:25 , Issue: 3) May-June 2006*
- [47] Dario, P. , Carrozza, M.C. ; Lencioni, L. ; Magnani, B. ; D'Attanasio, S. A *microrobotic system for colonoscopy Robotics and Automation, 1997. Proceedings., 1997 IEEE International Conference on (Volume:2) 20 Apr 1997*
- [48] N. Narendran, N. Maliyagoda, L. Deng, R.M. Pysar,
Characterizing leds for general illumination applications: mixed-color and phosphor-based white sources (2001)

- [49] M. Vatteroni, D. Covi, C. Cavallotti, L. Clementel, P. Valdastri, A. Menciassi, P. Dario, A. Sartori, *Smart optical cmos sensor for endoluminal applications* (2010)
- [50] SANO, Yasushi, et al. *Optical/digital chromoendoscopy during colonoscopy using narrow-band imaging system. Digestive Endoscopy*, 2005, 17.s1: S43-S48.
- [51] *EIA-644 Bus Description, RS644 LVDS* 080310 interfacebus.com
- [52] *LVDS Owner's Manual, National Semiconductor, 4th Edition, 2008.*
- [53] Hewlett-Packard Development Company, Intel Corporation, Microsoft Corporation, NEC Corporation, ST-NXP Wireless, Texas Instruments. *Universal Serial Bus 3.0 Specification* (12 Novembre 2008)
- [54] E.S. Gadelmawla
A vision system for surface roughness characterization using the gray level co-occurrence matrix (19 March 2004)
- [55] Rowe, A. ; Carnegie Mellon Univ., Pittsburgh, PA, USA ; Rosenberg, C. ; Nourbakhsh, I. A low cost embedded color vision system .*Intelligent Robots and Systems, 2002. IEEE/RSJ International Conference on* (Volume:1)
- [56] Bederson, B.B. ; *Vision Applications, New York, NY, USA ; Wallace, R.S. ; Schwartz, E.L. A miniaturized active vision system. Pattern Recognition, 1992. Vol. IV. Conference D: Architectures for Vision and Pattern Recognition, Proceedings., 11th IAPR International Conference on*
- [57] Sebastiano Battiato, Arcangelo Ranieri Bruna, Giuseppe Messina, Giovanni Puglisi, ed. (2010). *Image Processing for Embedded Devices: From CFA Data to Image/video Coding*. Bentham Science Publishers. p. 12. ISBN 9781608051700.
- [58] MAGNAN, Pierre. *Detection of visible photons in CCD and CMOS: A comparative view. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2003, 504.1: 199-212.*
- [59] HARRELL, Andrew G.; HENIFORD, B. Todd. *Minimally invasive abdominal surgery: lux et veritas past, present, and future. The American journal of surgery, 2005, 190.2: 239-243.*
- [60] www.mikroprojekt.hr/en/development-systems/sparrowhawk-fx