



УКРАЇНА

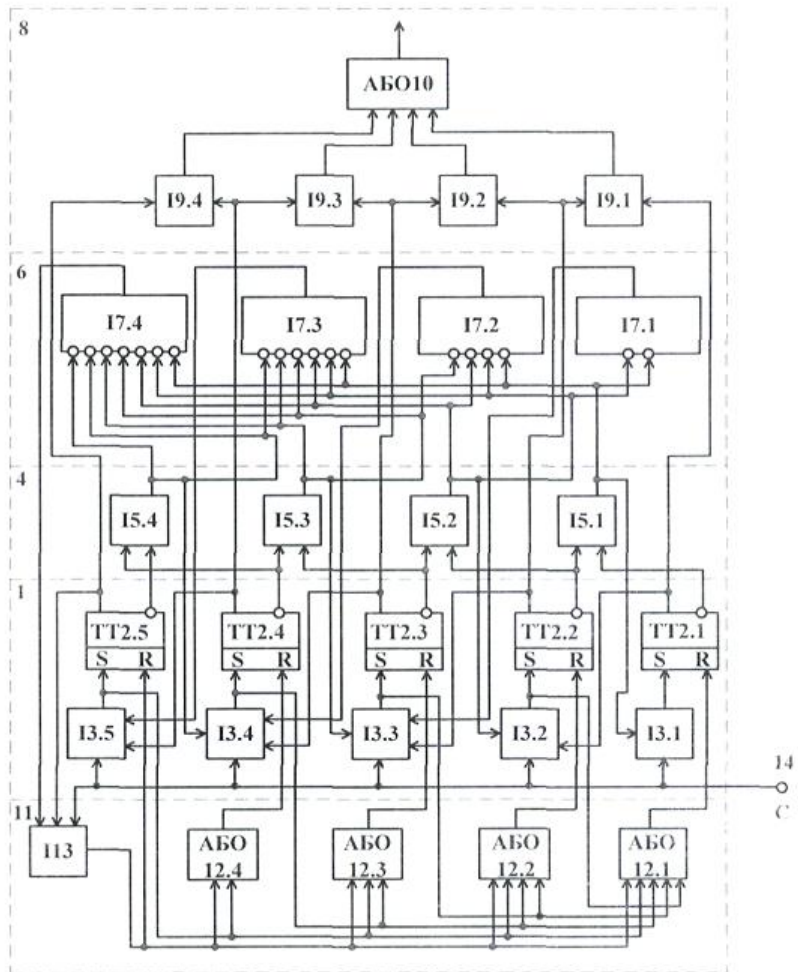
(19) **UA** (11) **89153** (13) **U**
(51) МПК (2014.01)
Н03К 23/00ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ**(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ**

(21) Номер заявки: u 2013 13302	(72) Винахідник(и): Борисенко Олексій Андрійович (UA), Маценко Світлана Михайлівна (UA)
(22) Дата подання заявки: 15.11.2013	(73) Власник(и): СУМСЬКИЙ ДЕРЖАВНИЙ УНІВЕРСИТЕТ, вул. Римського-Корсакова, 2, м. Суми, 40007 (UA)
(24) Дата, з якої є чинними права на корисну модель: 10.04.2014	
(46) Публікація відомостей про видачу патенту: 10.04.2014, Бюл.№ 7	

(54) ЛІЧИЛЬНИК ІМПУЛЬСІВ**(57)** Реферат:

Лічильник імпульсів, що містить n-розрядний регістр, кожен розряд якого містить тригер та елемент І, блок аналізу, що містить n-1 елементів І, блок диспозицій, що містить n-1 елементів І з інверторами на входах, блок контролю, що містить n-1 елементів І, об'єднаних елементом АБО, блок установки в нуль, що містить n-1 елементів АБО та елемент І, до першого входу якого приєднана шина тактових імпульсів. Виходи n-1 елементів І блока аналізу з'єднані з першими входами n-1 елементів І регістра, другі входи яких та перший вхід елемента І блока установки в нуль з'єднані з вхідною шиною тактових імпульсів. Прямі виходи n-1 тригерів з'єднані з третіми входами елементів І регістра, четверті входи яких з'єднані з виходами n-2 елементів І блока диспозицій, вихід n-1-го елемента І блока диспозицій з'єднаний з третім входом елемента І блока установки в нуль. Виходи елементів І регістра з'єднані з входами установки тригерів в одиничний стан, інверсні виходи тригерів з'єднані з першими та другими входами n-1 елементів І блока аналізу, прямі виходи тригерів з'єднані з першими та другими входами n-1 елементів І блока контролю, прямий вихід n-го тригера з'єднаний з другим входом елемента І блока установки в нуль, виходи елементів І блока контролю з'єднані з входом елемента АБО. При цьому в лічильник додатково введені додаткові інвертори, які утворюють блок диспозицій та додаткових зв'язків в елементах АБО блока установки в нуль.

UA 89153 U



Корисна модель належить до обчислювальної, інформаційно-вимірювальної техніки та автоматики і може використовуватися в пристроях дискретної обробки інформації, зокрема, як лічильники та розподільники імпульсів з підвищеною швидкістю та можливістю виправлення помилок.

5 Відомий лічильник імпульсів Фібоначчі (журнал "Вісник СумДУ". Серія "Технічні науки", № 3, 2012, с. 165-170), що містить n - розрядний регістр, кожен розряд якого містить тригер та елемент І, блок аналізу, що містить $n-1$ елементів І, блок диспозицій, що містить $n-1$ елементів І з інверторами на входах, блок контролю, що містить $n-1$ елементів, об'єднаних елементом АБО, блок установки в нуль, що містить $n-1$ елементів АБО та елемент І, до першого входу якого приєднана шина тактових імпульсів, виходи $n-1$ елементів І блока аналізу з'єднані з першими входами $n-1$ елементів І регістра, другі входи яких та перший вхід елемента І блока установки в нуль з'єднані з вхідною шиною тактовий імпульсів, прямі виходи $n-1$ тригерів з'єднані з третіми входами елементів І регістра, четверті входи яких з'єднані з виходами $n-2$ елементів І блока диспозицій, вихід $n-1$ -го елемента І блока диспозицій з'єднаний з третім входом елемента І блока установки в нуль, виходи елементів І регістра з'єднані з входами установки тригерів в 10 одиничний стан, інверсні виходи тригерів з'єднані з першими та другими входами $n-1$ елементів І блока аналізу, прямі виходи тригерів з'єднані з першими а другими входами $n-1$ елементів І блока контролю, прямий вихід n -го тригера з'єднаний з другим входом елемента І блока установки в нуль, виходи елементів І блока контролю з'єднані з входами елемента АБО блока контролю.

Цей пристрій наближений до того, що заявляється, за технічною суттю та результатом, що досягається, тому він був вибраний як найближчий аналог.

Недоліком найближчого аналога є його невисока швидкодія при зростанні розрядності вхідної кодової комбінації.

25 В основу корисної моделі поставлена задача удосконалення лічильника імпульсів шляхом введення додаткових інверторів, які утворюють блок диспозицій та додаткових зв'язків в елементах АБО блоку установки в нуль, за рахунок чого з'являється можливість підвищення його швидкодії.

Поставлена задача вирішується тим, що у відомий лічильник імпульсів, що містить n -розрядний регістр, кожен розряд якого містить тригер та елемент І, блок аналізу, що містить $n-1$ елементів І, блок диспозицій, що містить $n-1$ елементів І з інверторами на входах, блок контролю, що містить $n-1$ елементів І, об'єднаних елементом АБО, блок установки в нуль, що містить $n-1$ елементів АБО та елемент І, до першого входу якого приєднана шина тактових імпульсів, виходи $n-1$ елементів І блока аналізу з'єднані з першими входами $n-1$ елементів І 35 регістра, другі входи яких та перший вхід елемента І блока установки в нуль з'єднані з вхідною шиною тактових імпульсів, прямі виходи $n-1$ тригерів з'єднані з третіми входами елементів І регістра, четверті входи яких з'єднані з виходами $n-2$ елементів І блока диспозицій, вихід $n-1$ -го елемента І блока диспозицій з'єднаний з третім входом елемента І блока установки в нуль, виходи елементів І регістра з'єднані з входами установки тригерів в одиничний стан, інверсні виходи тригерів з'єднані з першими та другими входами $n-1$ елементів І блока аналізу, прямі 40 виходи тригерів з'єднані з першими та другими входами $n-1$ елементів І блока контролю, прямий вихід n -го тригера з'єднаний з другим входом елемента І блока установки в нуль, виходи елементів І блока контролю з'єднані з входом елемента АБО, згідно із корисною моделлю, в елементи І блока диспозицій з другого по $n-1$ введені додаткові k_n -виходи з інверторами, при 45 цьому в другий та третій елементи І введено $k_{n-1}+2$ входів з інверторами, а в $n-1$ елемент І введено $k_{n-1}+1$ входів з інверторами, перший вхід першого елемента І з'єднаний з першими входами другого, третього та $n-1$ -го елементів І блока диспозицій та з виходом першого елемента І блока аналізу, другий вхід першого елемента І блока диспозицій з'єднаний з другими входами другого, третього та $n-1$ -го елементів І блока диспозицій та з виходом другого 50 елемента І блока аналізу, третій вхід другого елемента І блока диспозицій з'єднаний з третіми входами третього та $n-1$ -го елементів І блока диспозицій та з виходом другого елемента І блока аналізу, четвертий вхід другого елемента І блока диспозицій з'єднаний з четвертими входами третього та $n-1$ -го елементів І блока диспозицій та з виходом третього елемента І блока аналізу, п'ятий вхід третього елемента І блока диспозицій з'єднаний з п'ятим входом $n-1$ -го елемента І 55 блока диспозицій та з виходом третього елемента І блока аналізу, шостий вхід третього елемента І блока диспозицій з'єднаний з шостим входом $n-1$ -го елемента І блока диспозицій та з виходом $n-1$ -го елемента І блока аналізу, сьомий вхід $n-1$ -го елемента І блока диспозицій з'єднаний з виходом $n-1$ -го елемента І блока аналізу, крім того в елементи АБО блоку установки в нуль з першого по $n-2$ введені додаткові k_i входи, кількість як їх зменшується на $k_{i-1}-1$, перший 60 вхід першого елемента АБО з'єднаний з виходом другого елемента І регістра, другий вхід

першого елемента АБО з'єднаний з другим входом другого елемента АБО блока установки в нулі, та з виходом третього елемента І регістра, третій вхід першого елемента АБО з'єднаний з третіми входами другого та третього елементів АБО та з виходом четвертого елемента І регістра, четвертий вхід першого елемента АБО з'єднаний з четвертими входами другого, 5
 третього та n-1-го елементів АБО та з виходом n-го елемента І регістра, п'ятий вхід першого елемента АБО з'єднаний з п'ятима входами другого, третього та n-1-го елементів АБО, з входом установки в нульовий n-го тригера та з виходом елемента І блока установки в нуль, виходи n-1 елементів АБО з'єднані з входами установки в нульовий стан n-1 тригерів регістра.

Виконання пристрою в сукупності з усіма суттєвими ознаками, включаючи відмінності, 10
 забезпечує підвищення швидкодії, що досягається за рахунок утворення сигналу паралельного переносу у зв'язку із введенням додаткових елементів та зв'язків, що дозволяє суттєво скоротити час розповсюдження сигналів у схемі.

Суть корисної моделі пояснюється схемою лічильника імпульсів з кількістю розрядів n=5.

Стани лічильника імпульсів, при n=5 розрядів наведені в таблиці 1.

15

Таблиця 1

Стани лічильника імпульсів при n=5 розрядів

№ імпульсу	Стани лічильника імпульсів				
	5	4	3	2	1
0	0	0	0	0	0
1	0	0	0	0	1
2	0	0	0	1	0
3	0	0	1	0	0
4	0	0	1	0	1
5	0	1	0	0	0
6	0	1	0	0	1
7	0	1	0	1	0
8	1	0	0	0	0
9	1	0	0	0	1
10	1	0	0	1	0
11	1	0	1	0	0
12	1	0	1	0	1

Лічильник імпульсів, що містить регістр 1, що містить тригери ТТ 2.1 - ТТ 2.5 та елементи І 3.1 - І 3.5, блок 4 аналізу, що містить елементи І 5.1 - І 5.4, блок 6 диспозицій, що містить елементи І 7.1 - І 7.4 з інверторами на входах, блок 8 контролю, що містить елементи І 9.1 - І 9.4, об'єднані елементом АБО 10, блок 11 установки в нуль, що містить елементи АБО 12.1 - АБО 12.4 та елемент І 13, до першого входу якого приєднана шина 14 тактових імпульсів. Виходи елементів І 5.1 - І 5.4 з'єднані з першими входами елементів І 3.1 - І 3.4, другі входи яких та перший вхід елемента І 13 з'єднані з вхідною шиною тактовий імпульсів. Прямі виходи тригерів ТТ 2.1 - ТТ 2.4 з'єднані з третіми входами елементів І 3.1 - І 3.5, четверті входи яких з'єднані з виходами елементів І 7.1 - І 7.3, вихід елемента І 7.4 з'єднаний з третім входом елемента І 13, виходи елементів І 3.1 - І 3.5 з'єднані з входами установки тригерів ТТ 2.1 - ТТ 2.5 в одиничний стан. Інверсні виходи тригерів ТТ 2.1 - ТТ 2.5 з'єднані з першими та другими входами елементів І 5.1 - І 5.4, прямі виходи тригерів ТТ 2.1 - ТТ 2.4 з'єднані з першими та другими входами елементів І 9.1 - І 9.4, прямий вихід тригера ТТ 2.5 з'єднаний з другим входом елемента І 13, виходи елементів І 9.1 - І 9.4 з'єднані з входом елемента АБО 10. Перший вхід елемента І 7.1 з'єднаний з першими входами елементів І 7.2 - І 7.4 та з'єднаний з виходом елемента І 5.1, другий вхід елемента І 7.1 з'єднаний з другими входами елементів І 7.2 - І 7.4 та з виходом елемента І 5.2, третій вхід елемента І 7.2 з'єднаний з третіми входами елементів І 7.3 та І 7.4 та з виходом елемента І 5.2, четвертий вхід елемента І 7.2 з'єднаний з четвертими входами елементів І 7.3 та І 7.4 та з виходом елемента І 5.3, п'ятий вхід елемента І 7.3 з'єднаний з п'ятим входом елемента І 7.4 та з виходом елемента І 5.3, шостий вхід елемента І 7.3 з'єднаний з шостим входом елемента І 7, та з виходом елемента І 5.4, сьомий вхід елемента І 5.4 з'єднаний з виходом елемента І 5.4. Перший вхід елемента АБО 12.1 з'єднаний з виходом елемента І 3.2, другий вхід елемента АБО 12.1 з'єднаний з другим входом елемента АБО 12.2 та з виходом елемента І 3.3, третій вхід елемента АБО 12.1 з'єднаний з третіми входами елементів АБО 12.1 та АБО 12.3 та і виходом елемента І 3.4, четвертий вхід елемента АБО 12.1

20

25

30

35

40

з'єднаний з четвертими входами елементів АБО 12.2 - АБО 12.4 та з виходом елемента І 3.5, п'ятий вхід елемента АБО 12.1 з'єднаний з п'ятьма входами елементів АБО 12.2 - АБО 12.4, з виходом установки в нульовий тригера ТТ 2.5 та з виходом елемента І, виходи елементів АБО 12.1 - АБО 12.4 з'єднані з входами установки в нульовий стан тригерів ТТ 2.1 - ТТ 2.5.

5 Лічильник імпульсів працює наступним чином.

У початковому стані всі тригери ТТ 2.1 - ТТ 2.5 реєстра 1 знаходяться в нулі, що відповідає кодовій комбінації 00000. При надходженні першого тактового імпульсу здійснюється запис 1 в тригер ТТ 2.1 реєстра 1 через перший вхід елемента І 3.1 на який надходить одиничний сигнал з шини 14 тактових імпульсів, на другий вхід елемента І 3.1 надходить одиниця з виходу елемента І 5.1 блока 4 аналізу і встановлює перший тригер ТТ 2.1 в одиничний стан 00001. Решта тригерів ТТ 2.2 - ТТ 2.5 реєстра 1 знаходяться в нульовому стані, так як на перші входи елементів І 3.2 - І 3.5 надходять нульові сигнали з прямих виходів тригерів ТТ 2.1 - ТТ 2.4.

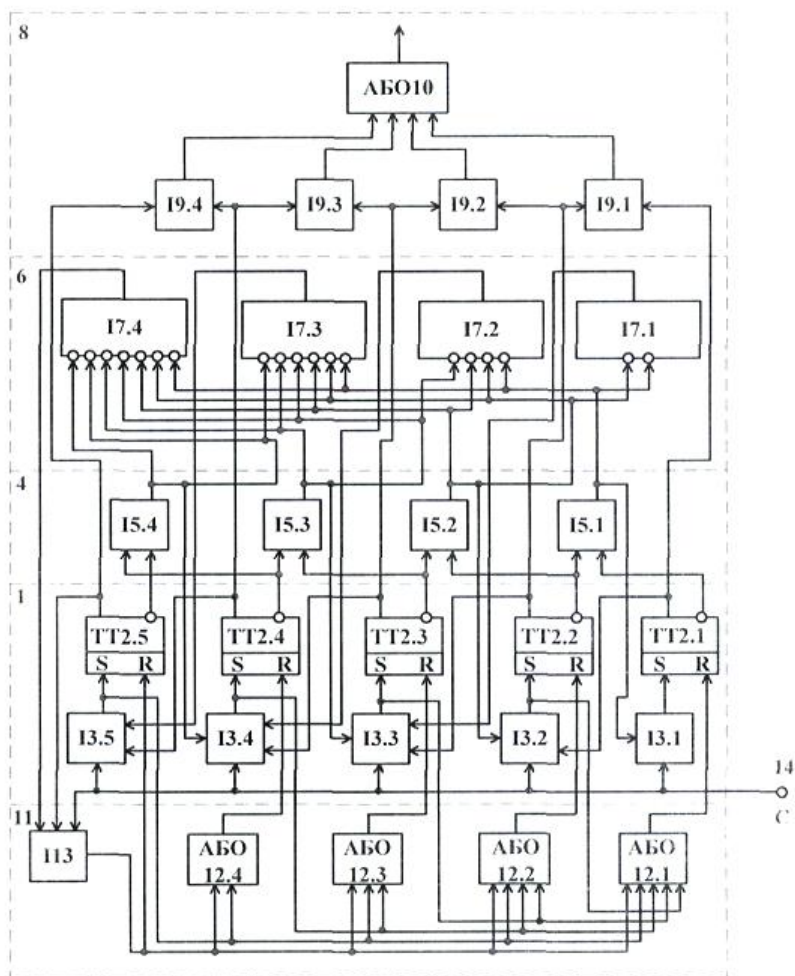
10 При надходженні другого тактового імпульсу одиничний сигнал з прямого виходу тригера ТТ 2.1 надходить на третій вхід елемента І 3.2, на перший вхід якого надходить сигнал з виходу елемента І 5.2 блока 4 аналізу, на входи якого з інверсних виходів тригерів ТТ 2.1, ТТ 2.3 реєстра надходять дві 1. Одночасно 1 з виходу елемента І 3.2 подається на перший вхід елемента АБО 12.1 блока 11 установки в нуль, на інші входи якого надходять нульові сигнали з елементів І 3.3 - І 3.5. В результаті одиничний сигнал надійде на прямий вхід другого тригера ТТ 2.2, а перший тригер ТТ 2.1 встановиться в нульовий стан, що відповідає кодовій комбінації 00010. Третій тактовий імпульс встановлює тригер ТТ 2.3 в одиничний стан. Це відбувається тому, що на третій вхід елемента І 3.3 надходить одиничний сигнал з прямого виходу тригера ТТ 2.2, на перший вхід якого надходить сигнал з виходу елемента І 5.3 блока 4 аналізу, так як з інверсних виходів тригерів ТТ 2.3, ТТ 2.4 на вхід елемента І 5.3 блока 4 аналізу надходить 1. На перший вхід елемента І 3.3 надходить 1 з виходу елемента І 7.1 блоку 6 диспозицій, так як на 15 вхід елемента І 3.2 подається нульовий сигнал з виходу прямого тригера ТТ 2.1, в результаті чого на інверсних виходах тригерів ТТ 2.1 - ТТ 2.3 буде нульовий сигнал, який надходить на елементи І 5.1 - І 5.2 блока 4 аналізу, а з його виходу на перший та другий інвертори, що знаходяться на вході елемента І 7.1 блока 6 диспозицій. Одночасно з виходу елемента І 3.3 одиничний сигнал надходить на перший вхід елемента АБО 12.2 і з його виходу на другий вхід елемента АБО 12.1 блока установки нуля 11, вихід якого з'єднаний з виходом установки в нуль тригерів ТТ 2.1 - ТТ 2.5. Таким чином тригери ТТ 2.1 і ТТ 2.2 перейдуть в нульовий стан, а тригер ТТ 2.3 в одиничний. Цей перехід відповідає стану лічильника 00100.

30 Після появи максимального числа Фібоначчі на виході елемента І 7.4 блока 6 диспозицій з'явиться 1, яка спільно з 1 на прямому виході тригера ТТ 2.5 подається на вхід елемента І 13 і встановлює всі тригери ТТ 2.1 - ТТ 2.5 реєстра 1 в нульовий стан. Після цього лічба закінчується, реєстр встановлюється в нульовий стан, після чого починається новий цикл лічби. Наявні у пристрої послідовно з'єднані схеми з двома входами елементів І 9.1 - І 9.4 блоку 8 контролю слугують для аналізу вірності роботи лічильника, виходи яких об'єднані елементом АБО 10, а входи з'єднані з прямими виходами тригерів, які знаходяться поруч. Якщо в 40 результаті лічби відбудеться помилка, що характеризується появою двох одиниць, які знаходяться поруч у розрядах числа Фібоначчі, то на один з елементів І 9.1 - І 9.4 надійде одиничний сигнал, в результаті чого на виході елемента АБО 10 з'явиться 1, що буде характеризувати наявність помилки.

45 **ФОРМУЛА КОРИСНОЇ МОДЕЛІ**

Лічильник імпульсів, що містить n - розрядний реєстр, кожен розряд якого містить тригер та елемент І, блок аналізу, що містить $n-1$ елементів І, блок диспозицій, що містить $n-1$ елементів І з інверторами на входах, блок контролю, що містить $n-1$ елементів І, об'єднаних елементом АБО, блок установки в нуль, що містить $n-1$ елементів АБО та елемент І, до першого входу якого приєднана шина тактових імпульсів, виходи $n-1$ елементів І блока аналізу з'єднані з першими входами $n-1$ елементів І реєстра, другі входи яких та перший вхід елемента І блока установки в нуль з'єднані з вхідною шиною тактових імпульсів, прямі виходи $n-1$ тригерів з'єднані з третіми входами елементів І реєстра, четверті входи яких з'єднані з виходами $n-2$ елементів І блока диспозицій, вихід $n-1$ -го елемента І блока диспозицій з'єднаний з третім входом елемента І блока установки в нуль, виходи елементів І реєстра з'єднані з входами установки тригерів в одиничний стан, інверсні виходи тригерів з'єднані з першими та другими входами $n-1$ елементів І блока аналізу, прямі виходи тригерів з'єднані з першими та другими входами $n-1$ елементів І блока контролю, прямий вихід n -го тригера з'єднаний з другим входом елемента І блока установки в нуль, виходи елементів І блока контролю з'єднані з входом

елемента АБО, який **відрізняється** тим, що в елементи І блока диспозицій з другого по n-1 введено додаткові k_n -входи з інверторами, при цьому в другий та третій елементи І введено $k_{n-1}+2$ входів з інверторами, а в n-1 елемент І введено $k_{n-1}+1$ входів з інверторами, перший вхід першого елемента І з'єднаний з першими входами другого, третього та n-1-го елементів І блока диспозицій та з виходом першого елемента І блока аналізу, другий вхід першого елемента І блока диспозицій з'єднаний з другими входами другого, третього та n-1-го елементів І блока диспозицій та з виходом другого елемента І блока аналізу, третій вхід другого елемента І блока диспозицій з'єднаний з третіми входами третього та n-1-го елементів І блока диспозицій та з виходом другого елемента І блока аналізу, четвертий вхід другого елемента І блока диспозицій з'єднаний з четвертими входами третього та n-1-го елементів І блока диспозицій та з виходом третього елемента І блока аналізу, п'ятий вхід третього елемента І блока диспозицій з'єднаний з п'ятим входом n-1-го елемента І блока диспозицій та з виходом третього елемента І блока аналізу, шостий вхід третього елемента І блока диспозицій з'єднаний з шостим входом n-1-го елемента І блока диспозицій та з виходом n-1-го елемента І блока аналізу, крім того, в елементи АБО блока установки в нуль з першого по n-2 введено додаткові k_i входи, кількість яких зменшується на $k_{i-1}-1$, перший вхід першого елемента АБО з'єднаний з виходом другого елемента І регістра, другий вхід першого елемента АБО з'єднаний з другим входом другого елемента АБО блока установки в нуль та з виходом третього елемента І регістра, третій вхід першого елемента АБО з'єднаний з третіми входами другого та третього елементів АБО та з виходом четвертого елемента І регістра, четвертий вхід першого елемента АБО з'єднаний з четвертими входами другого, третього та n-1-го елементів АБО та з виходом n-го елемента І регістра, п'ятий вхід першого елемента АБО з'єднаний з п'ятьми входами другого, третього та n-1-го елементів АБО, з входом установки в нульовий n-го тригера та з виходом елемента І блока установки в нуль, виходи n-1 елементів АБО з'єднані з входами установки в нульовий стан n-1 тригерів регістра.



Комп'ютерна верстка І. Мироненко

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601