

УДК 621.382.001.63

Экспрессный контроль надежности подзатворного диэлектрика полупроводниковых приборов

Солодуха В.А., Пилипенко В.А., Чигирь Г.Г., Филипеня В.А., Горушко В.А.

Открытое акционерное общество «ИНТЕГРАЛ»-управляющая компания холдинга «ИНТЕГРАЛ»,
ул. Казинца И.П., 121А,
г. Минск 220108, Беларусь

Поступила 14.09.2018

Принята к печати 30.10.2018

Ключевым элементом, определяющим стабильность полупроводниковых приборов, является подзатворный диэлектрик. По мере уменьшения его толщины в процессе масштабирования растет совокупный объем факторов, определяющих его электрофизические свойства. Целью данной работы являлась разработка экспрессного метода контроля времени наработки на отказ подзатворного диэлектрика и исследование влияния быстрой термической обработки исходных кремниевых пластин и подзатворного диэлектрика на его надежность.

В работе предложен метод оценки показателей надежности подзатворных диэлектриков по результатам испытаний тестовых МДП-структур путем подачи на затвор ступенчато-нарастающего напряжения до фиксации момента пробоя структуры при разных скоростях развертки напряжения при измерении вольт-амперных характеристик. Предложенная модель позволяет реализовать экспрессный метод оценки надежности тонких диэлектриков непосредственно в процессе производства кристаллов микросхем.

На основании данного метода проведены исследования влияния быстрой термической обработки исходных кремниевых пластин КЭФ 4,5, КДБ 12 и сформированного на них путем пирогенного окисления подзатворного диэлектрика на время наработки его на отказ. Показано, что быстрая термическая обработка исходных кремниевых пластин с последующим их пирогенным окислением приводит к увеличению времени наработки на отказ подзатворного диэлектрика в среднем с 12,9 до 15,9 года (в 1,23 раза). Термообработка исходных кремниевых пластин и подзатворного диэлектрика позволяет увеличить время наработки на отказ до 25,2 года, т.е. в 1,89 раза больше, чем при стандартном процессе пирогенного окисления, и в 1,5 раза больше, чем при применении быстрой термообработки только исходных кремниевых пластин.

Ключевые слова: интегральная микросхема, подзатворный диэлектрик, заряд пробоя, время наработки на отказ.

DOI: 10.21122/2220-9506-2018-9-4-306-313

Адрес для переписки:

Пилипенко В.А.
Открытое акционерное общество «ИНТЕГРАЛ»-управляющая
компания холдинга «ИНТЕГРАЛ»,
ул. Казинца И.П., 121А, г. Минск 220108, Беларусь
e-mail: office@bms.by

Address for correspondence:

Pilipenko V.A.
JSC «INTEGRAL» – «INTEGRAL» Holding Managing Company,
Kazintsa I.P. str., 121A, Minsk 220108, Belarus
e-mail: office@bms.by

Для цитирования:

Солодуха В.А., Пилипенко В.А., Чигирь Г.Г., Филипеня В.А., Горушко В.А.
Экспрессный контроль надежности подзатворного
диэлектрика полупроводниковых приборов.
Приборы и методы измерений.
2018. – Т. 9, № 4. – С. 306–313.
DOI: 10.21122/2220-9506-2018-9-4-306-313

For citation:

Solodukha V.A., Chigir G.G., Pilipenko V.A., Filipenya V.A.,
Gorushko V.A.
[Reliability Express Control of the Gate Dielectric
of Semiconductor Devices].
Devices and Methods of Measurements.
2018, vol. 9, no. 4, pp. 306–313 (in Russian).
DOI: 10.21122/2220-9506-2018-9-4-306-313

Reliability Express Control of the Gate Dielectric of Semiconductor Devices

Solodukha V.A., Chigir G.G., Pilipenko V.A., Filipenya V.A., Gorushko V.A.

JSC «INTEGRAL» – «INTEGRAL» Holding Managing Company,
Kazintsya I.P. str., 121A, Minsk 220108, Belarus

Received 14.09.2018

Accepted for publication 30.10.2018

Abstract

The key element determining stability of the semiconductor devices is a gate dielectric. As its thickness reduces in the process of scaling the combined volume of factors determining its electrophysical properties increases. The purpose of this paper is development of the control express method of the error-free running time of the gate dielectric and study the influence of the rapid thermal treatment of the initial silicon wafers and gate dielectric on its reliability.

The paper proposes a model for evaluation of the reliability indicators of the gate dielectrics as per the trial results of the test MDS-structures by means of applying of the ramp-increasing voltage on the gate up to the moment of the structure breakdown at various velocities of the voltage sweep with measurement of the IV-parameters. The proposed model makes it possible to realize the express method of the reliability evaluation of the thin dielectrics right in the production process of the integrated circuits.

On the basis of this method study of the influence of the rapid thermal treatment of the initial silicon wafers of the KEF 4.5, KDB 12 wafers and formed on them by means of the pyrogenic oxidation of the gate dielectric for the error-free running time were performed. It is shown, that rapid thermal treatment of the initial silicon wafers with their subsequent oxidation results in increase of the error-free running time of the gate dielectric on average from 12.9 to 15.9 years (1.23 times greater). Thermal treatment of the initial silicon wafers and gate dielectric makes it possible to expand the error-free running time up to 25.2 years, i.e. 1.89 times more, than in the standard process of the pyrogenic oxidation and 1.5 times more, than under application of the rapid thermal treatment of the initial silicon wafers only.

Keywords: integrated circuit, gate dielectric, breakdown charge, error-free running time.

DOI: 10.21122/2220-9506-2018-9-4-306-313

Адрес для переписки:

Пилипенко В.А.
Открытое акционерное общество «ИНТЕГРАЛ»-управляющая
компания холдинга «ИНТЕГРАЛ»,
ул. Казинца И.П., 121А, г. Минск 220108, Беларусь
e-mail: office@bms.by

Address for correspondence:

Pilipenko V.A.
JSC «INTEGRAL» – «INTEGRAL» Holding Managing Company,
Kazintsya I.P. str., 121A, Minsk 220108, Belarus
e-mail: office@bms.by

Для цитирования:

Солодуха В.А., Пилипенко В.А., Чигирь Г.Г., Филипеня В.А., Горушко В.А.
Экспрессный контроль надежности подзатворного
диэлектрика полупроводниковых приборов.
Приборы и методы измерений.
2018. – Т. 9, № 4. – С. 306–313.

DOI: 10.21122/2220-9506-2018-9-4-306-313

For citation:

Solodukha V.A., Chigir G.G., Pilipenko V.A., Filipenya V.A.,
Gorushko V.A.
[Reliability Express Control of the Gate Dielectric
of Semiconductor Devices].
Devices and Methods of Measurements.
2018, vol. 9, no. 4, pp. 306–313 (in Russian).

DOI: 10.21122/2220-9506-2018-9-4-306-313

Введение

Одним из важнейших параметров подзатворного диэлектрика, в особенности используемого в электронной элементной базе для аэрокосмической техники, является время его наработки на отказ. Благодаря методу контроля данного параметра, появляется реальная возможность проводить отбраковку полупроводниковых приборов на этапе их изготовления [1–6].

В настоящее время для определения надежности подзатворного диэлектрика и времени наработки на отказ МДП-приборов используется метод, основанный на измерении величины заряда пробоя [7]. В процессе эксплуатации приборов к диэлектрику приложено электрическое напряжение и через него протекает ток, под действием которого происходит деградация его структуры, приводящая к пробоям диэлектрика. От начала эксплуатации прибора до отказа через диэлектрик протекает определенный заряд. Если на этапе изготовления микросхемы провести измерение величины заряда пробоя диэлектрического слоя, то она будет характеризовать надежность диэлектрика, а следовательно, и время его наработки на отказ. Данный метод позволяет фиксировать величину заряда пробоя диэлектрического слоя и косвенно оценивать величину времени наработки на отказ. Большая величина заряда пробоя является необходимым, но не достаточным условием для увеличения времени наработки на отказ. На практике в ряде случаев при одинаковой величине заряда пробоя имеет место разное время наработки на отказ. Это приводит к тому, что точность у данного метода невелика и он пригоден лишь для косвенной оценки данного параметра.

Более эффективным методом определения времени наработки на отказ подзатворного диэлектрика МДП-микросхемы является метод, включающий испытание тестовой МДП-структуры путем приложения постоянного электрического напряжения к подзатворному диэлектрику до пробоя структуры и расчета времени наработки на отказ [8]. Данный метод позволяет определять время наработки на отказ подзатворного диэлектрика МДП-микросхемы в широком диапазоне времени и таким образом оценивать реальную надежность полупроводниковых приборов.

Существенным недостатком данного метода является необходимость проведения специальных экспериментальных работ для определения величины коэффициента ускорения при испы-

таниях с достаточной точностью, которая зависит от константы (β), обусловленной процессом деградации диэлектрика при приложении электрического напряжения и энергией активации данного процесса (E_a). Эти величины являются постоянными только для одного фиксированного элемента МДП-микросхемы, а в целом они зависят от концентрации загрязняющих примесей и ряда факторов, учитывающих изменчивость параметров технологических процессов. Кроме того, для определения величины β необходимо предварительно провести испытания при трех различных напряжениях на затворе МДП-структур, превышающих напряжение эксплуатации полупроводниковых приборов. Испытания при каждом напряжении необходимо проводить на требуемой выборке тестовых структур. После проведения всех испытаний при трех напряжениях проводится статистическая обработка данных с определением величины β . Такая же статистическая процедура испытаний требуется для определения величины энергии активации E_a . После испытаний выборки тестовых структур при трех повышенных температурах проводится статистическая обработка данных с определением величины E_a .

Процедура определения величин β , E_a является достаточно трудоемкой и длительной. Учитывая изменчивость параметров технологических процессов, ее требуется повторять достаточно часто для обеспечения необходимой точности определения времени наработки на отказ. Это приводит к тому, что данный способ можно использовать как аттестационный, например, один раз в полугодие. В условиях серийного производства возникает задача оценки надежности каждой партии пластин. В пределах одной партии параметры надежности кристаллов интегральных микросхем примерно одинаковы. Проведя оценку их надежности на одной пластине, можно сделать заключение о надежности всей партии.

В связи с этим целью работы являлась разработка эффективного экспрессного метода определения времени наработки на отказ подзатворного диэлектрика в технологическом процессе создания полупроводниковых приборов.

Экспрессный метод оценки времени наработки на отказ подзатворного диэлектрика

Для решения данной задачи проводился расчет времени наработки на отказ подзатворного

диэлектрика, базирующийся на результатах испытаний тестовых МДП-структур путем подачи на затвор ступенчато-нарастающего напряжения до пробоя структуры при разных скоростях развертки [9–10]. Такой подход основывается на экспоненциальной зависимости времени наработки на отказ от приложенного напряжения. В процессе эксплуатации полупроводниковый прибор работает при напряжении U_{op} и время наработки на отказ $T_{error-free}$ в этом случае может быть рассчитано из соотношения:

$$T_{error-free} = A_0 \cdot \exp(-\beta \cdot U_{op}), \quad (1)$$

где A_0 , β – константы.

Для характеристики ступенчато-нарастающего напряжения вводится понятие скорости развертки, под которой понимается величина K_{sweep} (В/с), равная:

$$K_{sweep} = \frac{\Delta U}{\Delta t_{step}}, \quad (2)$$

где ΔU – величина ступеньки или шаг по напряжению при развертке, В; Δt_{step} – длительность ступеньки напряжения, с.

В процессе испытаний за время действия одной ступеньки Δt_{step} в соответствии с выражениями (1) и (2) происходит деградация, эквивалентная деградации в условиях эксплуатации за время $\Delta T_{error-free}$:

$$\begin{aligned} \Delta T_{error-free} &= \Delta t_{step} \cdot \exp[\beta(U - U_{op})] = \\ &= \frac{\Delta U}{K_{sweep}} \cdot \exp[\beta(U - U_{op})]. \end{aligned} \quad (3)$$

Проведя интегрирование по всем ступенькам напряжения, получаем:

$$\begin{aligned} T_{error-free} &= \int_{U_{ini}}^{U_{break}} \frac{\exp(-\beta \cdot U_{op})}{K_{step}} \cdot \exp(\beta \cdot U) dU = \\ &= \frac{\exp(-\beta \cdot U_{op})}{K_{sweep}} \cdot \int_{U_{ini}}^{U_{break}} \exp(\beta \cdot U) dU = \\ &= \frac{\exp(-\beta \cdot U_{op})}{K_{sweep} \cdot \beta} \cdot [\exp(\beta \cdot U_{break}) - \exp(\beta \cdot U_{ini})] \approx \\ &\approx \frac{\exp[\beta \cdot (U_{break} - U_{op})]}{K_{sweep} \cdot \beta}. \end{aligned} \quad (4)$$

Входящая в (4) величина β рассчитывается по данным двух измерений, проведенных с различной скоростью развертки, в соответствии с выражением:

$$\beta = \frac{1}{U_{break1} - U_{break2}} \cdot \ln \frac{K_{sweep1}}{K_{sweep2}}, \quad (5)$$

где U_{op} – напряжение эксплуатации микросхемы, В; U_{ini} – начальное напряжение при измерении пробивного напряжения ($U_{ini} \ll U_{op}$), В; U_{break1} – напряжение пробоя диэлектрика при первой скорости развертки, В; U_{break2} – напряжение пробоя диэлектрика при второй скорости развертки, В; K_{sweep1} – первая скорость развертки, В/с; K_{sweep2} – вторая скорость развертки, В/с.

В соответствии с данным методом испытания проводят при температуре эксплуатации полупроводникового прибора, а электрическое напряжение прикладывают в режиме ступенчато-нарастающего напряжения при постоянной длительности всех ступенек от 10 мс до 1 с, начиная с величины напряжения U_{ini} (оно значительно меньше напряжения эксплуатации U_{op}). После воздействия каждой ступеньки напряжения проводят измерение величины тока утечки I_{ymi} МДП-структуры. Испытание прекращают при возникновении пробоя структуры, определяемого по величине измеренного тока $I_{ymi+1} > 5 \cdot I_{ymi}$. Расчет времени наработки на отказ $T_{error-free}$ производят по формулам (4, 5).

При использовании длительности импульса от 10 мс до 1 с величина напряжения быстро нарастает до больших значений и пробой любой МДП-структуры неизбежен. Снижение длительности импульса (менее 10 мс) существенно уменьшает точность определения времени наработки на отказ. Это обусловлено тем, что в начале воздействия каждого импульса имеют место переходные процессы, в частности происходит зарядка емкости диэлектрика, что приводит к увеличению погрешности измерений. При увеличении длительности импульса (более 1 с) время испытаний увеличивается до нескольких минут и более, что не позволяет оперативно набрать статистику измерений (например, произвести измерения 50 шт. МДП-структур) и сделать заключение о надежности диэлектрика. Выбор величины шага ступеньки составляет 0,1 В, что обусловлено обеспечением необходимой точности измерений. Погрешность контроля в основном

определяется последней ступенькой напряжения, на которой происходит пробой диэлектрика. Возникает неопределенность: какую часть ступеньки необходимо учитывать при расчете величины напряжения пробоя. Поэтому за погрешность определения величины напряжения пробоя считают половину шага ступеньки. Так как данный метод предполагается применять для диэлектриков с минимальной толщиной 5 нм (полупроводниковые приборы с проектной нормой 0,18 мкм), то минимальная величина пробивного напряжения будет равна 5 В. Это означает, что вклад последней ступеньки в величину напряжения пробоя составляет около 2 %. С учетом половины последней ступеньки в общей величине напряжения пробоя погрешность измерений равна 1 %, что является вполне приемлемой величиной. Критерием прекращения испытаний является пробой диэлектрика и резкое возрастание тока, величина которого $I_{y_{mi+1}} > 5 \cdot I_{y_{mi}}$, что позволяет достаточно точно определить момент пробоя.

Предложенный метод дает возможность реализовать экспрессный контроль времени наработки на отказ подзатворных диэлектриков полупроводниковых приборов за счет значительного уменьшения времени испытаний и обработки данных. Контроль является эффективным для оперативного выявления потенциально ненадежной продукции.

Результаты исследования и их обсуждение

С помощью разработанного метода проводился анализ влияния быстрой термической обработки (БТО) на надежность подзатворного диэлектрика. Исследования выполнялись на пластинах кремния КЭФ 4,5, КДБ 12 ориентации <100> диаметром 100 мм, на которых путем пирогенного окисления при температуре 850 °С в течение 40 мин формировался подзатворный диэлектрик толщиной 42,5 нм. БТО исходных кремниевых пластин и подзатворного диэлектрика проводилась с нерабочей стороны пластины в естественных атмосферных условиях некогерентным оптическим излучением в течение 7 с, обеспечивая ее нагрев до температуры 1100 °С. На подготовленных таким образом образцах на комплексе прецизионного анализа характеристик элементной базы микросхем (тестовых структур) модели В1500 фирмы *Agilent* (США) с зондовой станцией *Summit 11000 AP*

фирмы *Cascade* (США), проводились тестовые испытания надежности подзатворного диэлектрика.

Полученные экспериментальные результаты (рисунок 1, 2) и проведенные на их основании расчеты позволили установить, что величина пробивных напряжений подзатворного диэлектрика, полученного пирогенным окислением кремния КЭФ 4,5 (рисунок 1а), на уровне тока 1 мА составляет 51,80 В при скорости развертки напряжения в процессе измерения вольт-амперных характеристик (ВАХ) 1,00 В/с и 48,38 В при скорости развертки 0,25 В/с, т.е. $\Delta U = 3,42$ В. На основании данных измерений рассчитанная в соответствии с выражением (5) величина β составляет 0,405, а следовательно, время наработки на отказ такого подзатворного диэлектрика, определенное на основании выражения (4), равно 13,3 года.

В случае проведения предварительной БТО исходных кремниевых пластин КЭФ 4,5 и их последующего пирогенного окисления (рисунок 1б) величина пробивных напряжений на уровне тока 1 мА составляет 53,6 В при скорости развертки напряжения 1,00 В/с и 50,08 В при скорости развертки 0,25 В/с, т.е. $\Delta U = 3,52$ В. На основании расчетов, проведенных в соответствии с выражениями (5) и (4), время наработки на отказ для такого диэлектрика составило 16,7 года, т.е. проведение предварительной БТО исходных кремниевых пластин КЭФ 4,5 увеличивает время наработки на отказ подзатворного диэлектрика, полученного пирогенным окислением, в 1,26 раза.

В случае применения БТО как исходных кремниевых пластин КЭФ 4,5, так и подзатворного диэлектрика (рисунок 1с) величина пробивного напряжения на уровне тока 1 мА составляет 49,9 В при скорости развертки напряжения 1,00 В/с и 46,73 В при скорости развертки 0,25 В/с, т.е. $\Delta U = 3,17$ В. Расчетное значение времени наработки на отказ подзатворного диэлектрика в этом случае составляет 25,2 года, т.е. в 1,89 раза больше, чем при стандартном процессе пирогенного окисления, и в 1,5 раза больше, чем при применении БТО только исходных кремниевых пластин.

Аналогичные исследования по времени наработки на отказ подзатворного диэлектрика были проведены и для пирогенного окисления кремниевых пластин КДБ 12 (рисунок 2).

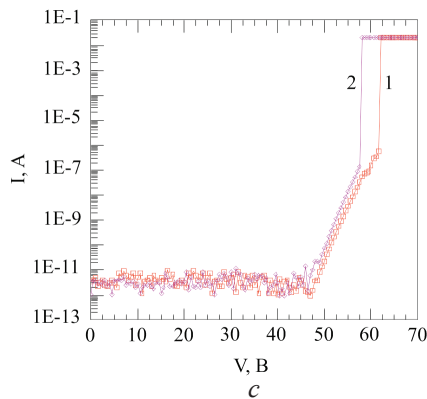
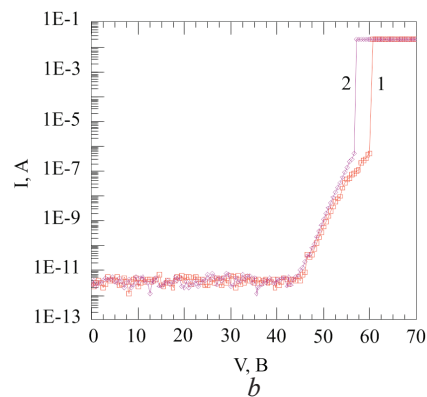
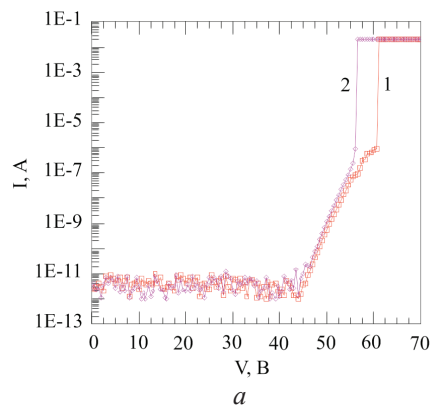
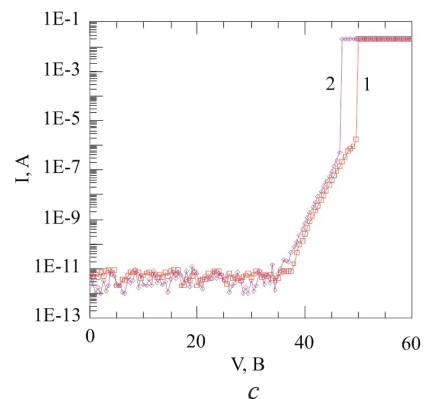
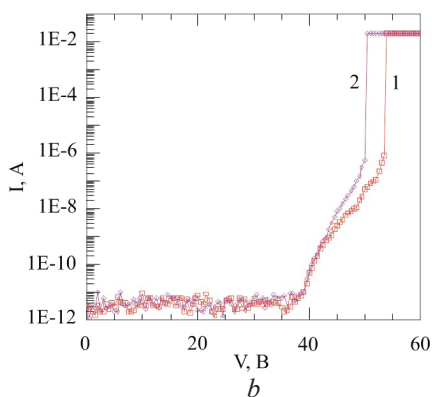
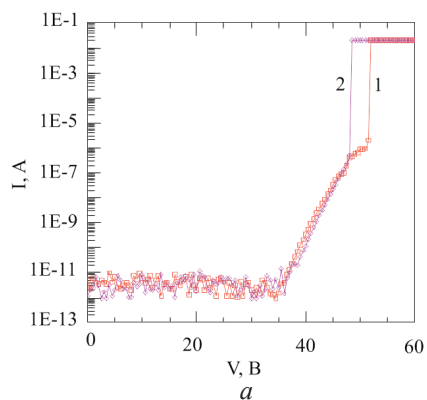


Рисунок 1 – Результаты испытания наработки на отказ подзатворного диэлектрика, выращенного на подложке КЭФ 4,5: *a* – стандартный процесс окисления; *b* – стандартный процесс окисления с БТО исходной подложки кремния; *c* – стандартный процесс окисления с БТО исходной подложки и подзатворного диэлектрика: 1 – ВАХ при скорости развертки 1 В/с; 2 – ВАХ при скорости развертки 0,25 В/с

Figure 1 – Test results of the error-free running time of the gate dielectric, grown on the KEF 4.5 substrate: *a* – standard oxidation process; *b* – standard oxidation process with rapid thermal treatment of the initial silicon substrate; *c* – standard oxidation process with rapid thermal treatment of the initial substrate and gate dielectric; 1 – IV-parameters with the scan rate of 1 V/sec; IV-parameters with the scan rate of 0.25 V/sec

Рисунок 2 – Результаты испытания наработки на отказ подзатворного диэлектрика, выращенного на подложке КДБ 12: *a* – стандартный процесс окисления; *b* – стандартный процесс окисления с БТО исходной подложки кремния; *c* – стандартный процесс окисления с БТО исходной подложки и подзатворного диэлектрика: 1 – ВАХ при скорости развертки 1 В/с; 2 – ВАХ при скорости развертки 0,25 В/с

Figure 2 – Test results of the error-free running time of the gate dielectric, grown on the KDB 12 substrate: *a* – standard oxidation process; *b* – standard oxidation process with rapid thermal treatment of the initial silicon substrate; *c* – standard oxidation process with rapid thermal treatment of the initial substrate and gate dielectric; 1 – IV-parameters with the scan rate of 1 V/sec.; 2 – IV-parameters with the scan rate of 0.25 V/s

В этом случае для стандартного процесса окисления анализ пробивного напряжения двуокиси кремния (рисунок 2а) показал, что на уровне 1 мА оно составляет 60,50 В при скорости развертки напряжения 1,00 В/с и 56,39 В при 0,25 В/с, т.е. $\Delta U = 4,11$ В. При такой величине ΔU расчетное значение β , проведенное на основании выражения (5), составляет 0,337, что обеспечивает расчетное время наработки на отказ подзатворного диэлектрика 12,5 года.

Проведение БТО исходных кремниевых пластин КДБ 12 дает возможность получение пирогенного окисла с пробивным напряжением 60,90 В при скорости развертки напряжения 1,00 В/с и 56,80 В при 0,25 В/с, разность которых составляет 4,10 В (рисунок 2б), тем самым обеспечивая расчетное время наработки на отказ такого диэлектрика 15,1 года. Как видно такая обработка пластин кремния КДБ 12 увеличивает время наработки на отказ подзатворного диэлектрика в 1,21 раза, как и в случае подложки КЭФ 4,5.

При проведении БТО как исходных кремниевых пластин КДБ 12, так и подзатворного диэлектрика (рисунок 2с) его пробивное напряжение на уровне тока 1 мА составляет 61,5 В при скорости развертки напряжения 1,00 В/с и 57,43 В при 0,25 В/с. Это обеспечивает, как показали расчеты, наработку на отказ диэлектрика 21,7 года, что в 1,74 раза больше, чем без применения быстрой термообработки. При этом данная величина в 1,16 раза меньше, чем в случае подложек КЭФ 4,5.

Из приведенных результатов видно, что проведение БТО подзатворного диэлектрика вносит большой вклад в увеличение его надежности по сравнению с предварительной обработкой исходных кремниевых пластин перед окислением.

Заключение

Предложен оригинальный метод, позволяющий реализовать экспрессный контроль времени наработки на отказ подзатворных диэлектриков полупроводниковых приборов за счет значительного уменьшения времени испытаний и обработки данных. Достоинством предложенного метода является возможность оценки надежности подзатворного диэлектрика микросхем в диапазоне температур эксплуатации от -60 до $+125$ °С путем непосредственных измерений характери-

стик тестовых структур при соответствующей температуре эксплуатации.

Практическая реализация данного метода показала, что быстрая термическая обработка исходных кремниевых пластин с последующим их пирогенным окислением приводит к увеличению времени наработки на отказ подзатворного диэлектрика в среднем с 12,9 до 15,9 года (в 1,23 раза). Термообработка исходных кремниевых пластин и подзатворного диэлектрика позволяет увеличить время наработки на отказ до 25,2 года, которая в 1,89 раза больше, чем при стандартном процессе пирогенного окисления, и в 1,5 раза больше, чем при применении быстрой термообработки только исходных кремниевых пластин.

Список использованных источников

1. Боброва, Е.А. Особенности вольт-фарадных характеристик МОП структур, обусловленные зарядом в окисле / Е.А. Боброва, Н.М. Омелянская // ФТП. – 2008. – Т. 42, вып. 11. – С. 1380–1383.
2. Aleksandrov, O.V., Dus', A.I. A Model of Formation of Fixed Charge in Thermal Silicon Dioxide / O.V. Aleksandrov, A.I. Dus' // Semiconductors. – 2011. – Vol. 45, No. 4. – P. 467–473. DOI: 10.1134/S1063782611040026
3. Харченко, В.А. Проблемы надежности электронных компонент / В.А. Харченко // Известия вузов. Материалы электронной техники. – 2015. – Т. 18, № 1. – С. 52–57. DOI: 10.17073/1609-3577-2015-1-52-57
4. Данилин, Н. Проблемы применения перспективной электронной компонентной базы в космосе / Н. Данилин, С. Белослудцев // Современная электроника. – 2006. – № 4. – С. 16–17.
5. Красников, Г.Я. Конструктивно-технологические особенности субмикронных МОП-транзисторов : в 2 ч. / Г.Я. Красников. – М. : Техносфера, 2002. – Ч. 1. – 416 с.
6. Никифоров, А.Ю. Радиационная стойкость электронной компонентной базы систем специальной техники и связи / А.Ю. Никифоров, В.А. Телец // Спецтехника и связь. – 2011. – № 4. – С. 2–4.
7. EIA/JEDEC Standart 35-A, Procedure for the Wafer-Level Testing of Thin Dielectric. – JEDEC Solid State Technology Association, Arlington. – 2001. – P. 1–40.
8. EIA/JEDEC Standart 122E, Failure Mechanisms and Models tor Semiconductor Devices. – JEDEC Solid State Technology Association, Arlington. – 2009. – P. 8–12.
9. Solodukha, V.A. Prefailure Life Time Simulation of the Submicron ICs' Gate Dielectric as per the

Breakdown Voltage Value at the Various Sweep Rates / V.A. Solodukha, S.V. Shvedov, A.N. Petlitsky, R.R. Chyhir // Proceedings 9th International Conference «New Electrical and Electronic Technologies and their Industrial Implementation», Zakopane, Poland, June 23–26. – 2015. – P. 20.

10. Белоус, А.И. Методы повышения надежности микросхем на основе тестовых структур / А.И. Белоус, А.С. Турцевич, Г.Г. Чигирь. – Германия, LAP LAMBERT Academic Publishing GmbH & Co. KG Heinrich-Böcking, 2012. – 240 с.

References

1. Bobrova E.A., Omelyanovskaya N.M. [Peculiarities of Volt – Farad Characteristics of MOS Structures, Determined by Charge in Oxide]. *FTP*, 2008, vol. 42, is. 11, pp. 1380–1383 (in Russian).

2. Aleksandrov O.V., Dus A.I. [A Model of Formation of Fixed Charge in the Thermal Silicon Dioxide]. *Semiconductors*, 2011, vol. 45, no. 4, pp. 467–473.

DOI: 10.1134/S1063782611040026

3. Kharchenko V.A. [Reliability Problems of Electronic Components]. *News Bulletin Materials of Electronic Engineering*, 2015, vol. 18, no. 1, pp. 52–57 (in Russian). **DOI:** 10.17073/1609-3577-2015-1-52-57

4. Danilin N., Belosludtsev S. [Application Problems of the Prospective Electronic Component Base in Space]. *Modern Electronics*, 2006, no. 4, pp. 16–17 (in Russian).

5. Krasnikov G.Ya. Design-Technological Peculiarities of the Sub-Micron MOS-Transistors : in 2 parts. Moscow, Technosphere Publ., 2002, part 1, 416 p. (in Russian).

6. Nikiforov A.Yu., Telets V.A. [Radiation Resistance of the Electronic Component Base of the Special Equipment and Communications Systems]. *Special Equipment and Communications*, 2011, no. 4, pp. 2–4 (in Russian).

7. EIA/JEDEC Standard 35-A, Procedure for the Wafer-Level Testing of Thin Dielectric, JEDEC Solid State Technology Association, Arlington, 2001, pp. 1–40.

8. EIA/JEDEC Standard 122E, Failure Mechanisms and Models for Semiconductor Devices, JEDEC Solid State Technology Association, Arlington, 2009, pp. 8–12.

9. Solodukha V.A., Shvedov S.V., Petlitsky A.N., Chyhir R.R. Prefailure Life Time Simulation of the Sub-micron ICs' Gate Dielectric as per the Breakdown Voltage Value at the Various Sweep Rates. *Proceedings 9th International Conference «New Electrical and Electronic Technologies and their Industrial Implementation»*, Zakopane, Poland, June 23–26, 2015, p. 20.

10. Belous A.I., Turtsevich A.S., Chigir G.G. Methods of Enhancing Reliability of Integrated Circuits on the Basis of Test Structures. Germany, LAP LAMBERT Academic Publishing GmbH & Co. KG Heinrich-Böcking Publ., 2012, 240 p. (in Russian).