



Université  
de Toulouse

# THÈSE

**En vue de l'obtention du**

**DOCTORAT DE L'UNIVERSITE DE TOULOUSE**

**Délivrée par : l'Université Toulouse III - Paul Sabatier**

**Discipline ou spécialité : Conception de Circuits Microélectroniques et Microsystème**

---

Présentée et soutenue par **Moustafa ZERARKA**

Le 19 juillet 2013

**Étude des régimes extrêmes de fonctionnement en  
environnement radiatif des composants de puissance en vue de  
leur durcissement pour les applications aéronautiques et spatiales**

---

## **JURY**

<b>F. MORANCHO</b>	Professeur, UPS, Toulouse	Président
<b>C. SCHAEFR</b>	Professeur, IPG, Grenoble	Rapporteur
<b>H. MOREL</b>	Directeur de Recherche, INSA, Lyon	Rapporteur
<b>D. FLORES</b>	Professeur, CSIC, Barcelone	Examineur
<b>A. TOUBOUL</b>	Maître de Conférences, IES, Montpellier	Examineur
<b>M. BAFLEUR</b>	Directrice de Recherche, LAAS, Toulouse	invitée
<b>P. AUSTIN</b>	Professeur, UPS, Toulouse	directeur de thèse

---

**Ecole doctorale : GEET**  
**Unité de recherche : LAAS-CNRS**  
**Directeur de thèse : Patrick AUSTIN**

---



*À mon père Abdelkader à ma mère Fokra*

*À mes sœurs Nacira, Oumelkhier et Djahida*

*À mes frères Abdelhadi et Omar*

*À ma femme Khadija*

## Remerciements

Les travaux présentés dans ce mémoire ont été effectués au sein du groupe Intégration des Systèmes de Gestion de l'énergie (ISGE) du Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) du Centre National de la Recherche Scientifique (CNRS) à Toulouse, dans le cadre de projet EPOPE « Effects of Particles On Power Electronics » financés par le centre de recherche "EADS Innovation Works" (IW) du groupe EADS.

À l'issue de cette thèse, je souhaite tout d'abord remercier Messieurs CHATILA, SANCHEZ et ARLAT directeurs successifs du LAAS pour m'avoir accueilli au sein du Laboratoire. Je tiens aussi à remercier Madame Marise BAFLEUR et Monsieur Frédéric MORANCHO, responsables successifs du groupe ISGE, de m'avoir ouvert les portes de leur équipe et permis d'entreprendre cette étude. Je tiens à remercier également Monsieur Alain CAZARRE directeur de l'école doctorale Génie Electrique, Electronique, Télécommunications (GEET).

Je remercie tout particulièrement Monsieur Patrick AUSTIN qui a dirigé ces travaux pour ses qualités scientifiques et pédagogiques, pour sa confiance et son soutien. En plus, ses qualités humaines, son sens de l'humour et sa bonne humeur font qu'il est toujours agréable à côtoyer et travailler avec lui. Je lui adresse, par ces quelques mots, ma plus profonde gratitude.

Je remercie énormément Messieurs Christian SCHAEFFER et Hervé MOREL pour avoir accepté d'être les rapporteurs de mes travaux de thèse. Je remercie également les membres du jury, Messieurs David FLORES, Antoine TOUBOUL et Monsieur Frédéric MORANCHO qui m'a fait l'honneur de présider le jury de ma thèse.

J'exprime tous mes remerciements et ma sympathie à Gaëtan TOULON pour avoir suivi et participé à mes travaux. Les discussions scientifiques que nous avons pu avoir durant toutes ces années ont toujours été très enrichissantes pour moi. Je tiens vraiment à lui exprimer ma profonde reconnaissance pour le temps qu'il a consacré pour corriger et finaliser ce travail dans les bonnes conditions.

Un grand merci à Mesdames Marise bafleur, Josiane TASSILI et Karine ISOIRD ainsi que Monsieur Frédéric MORANCHO qui ont suivi de près mes travaux et qui ont toujours pris le temps de répondre à mes questions et corriger soigneusement les articles qu'on a fait ensemble.

Je voudrais également remercier et exprimer mon amitié à Housseem HARBESS et Hakim TAHIR, les premiers qui m'ont appris à construire une jonction P/N sous Sentaurus, pour leurs aides pertinents dans ce travail, par l'échange d'informations, les discussions instructives et par l'entraide sur tous les plans sans oublier les agréables moments familiaux et l'ambiance folle des petits adorables Tarik et Wafa.

Je remercie particulièrement Monsieur Henri SCHNIDER avec qui j'ai commencé mon aventure au LAAS, C'était très agréable de mener le stage de MASTER2 avec toi. Merci pour la qualité d'encadrement qui m'a donné l'envie de continuer dans la recherche, merci pour tes conseils et surtout ta gentillesse.

Je souhaite remercier vivement toute l'équipe ISGE pour son bienveillance et son soutien durant ces années; Magali BRUNET, Abdelhakim BOURENNANE, Patrick TOUNSI,... sans oublier l'aimable secrétaire du groupe Madame Claude LAFORE.

Je remercie tous le service du personnel du LAAS en particulier Camille CAZENEUVE pour leurs soutiens administratifs durant la thèse.

---

Je tiens aussi à saluer et remercier mes collègues et amis du laboratoire dont bon nombre a d'ailleurs quitté le laboratoire : Youcef GHERFI, abedelilah ELKHADIRI, Abedenour AOUIA, Fahed BETAHER, Chafe CHABALA, Hamza BOUKABACH, Sylvain NOBLECOURT, Emanuel, Yoann CHARLON, Mehdi BRAHAMI, Lyamine HIDJAZI, Youcef ZATOUT, Mourad BENKACI, Sami HEBIB, Hamada METMAT, Mohamed LALAMI, Amin BOUKADJAR, Farouk ZAHAR, Aymen, Nadia BELAID, Hamida, Sabeha ZEDEK, Asma, Amel ALI SLIMAN, Ali KARA, Djaffar BELHARET, Ibrahim Albluwi, Ahmed DAROUICHE .... merci beaucoup pour les bons moments que nous avons passé ensemble.

Je tiens à exprimer mon amitié à Iyes DjAGHLAF (croco de ponsan), à mes deux anciens colocataires les deux BOURENNANE Walid et Imad ainsi qu'à Toufik AZOUI (ghoulba) sans oublier Bilal ALMASRI avec lesquels j'ai passé des aventures et des moments inoubliables, merci pour l'entraide sur tous les plans, vous étiez toujours présent dans les moments difficiles. A propos de ces moments j'aimerais également saluer et remercier infiniment Abedennasser HAMIDI d'avoir pris soin de moi durant toute ma convalescence (merci encore !)

Je tiens aussi à remercier nos amis d'ALSAT Aissa BOUTTE, Salah eddine BENTATA, Hichem HENNA et Mahmoud pour les agréables moments que nous avons passé ensemble, merci encore à Aissa de m'accueillir si chaleureusement à ma 1ère arrivée ici à Toulouse et de bien m'orienter pour toutes mes premières démarches, merci pour ton soutien durant toutes ces années.

Je remercie énormément ma femme pour sa patience et son soutien durant ces deux dernières années de la thèse.

Enfin, les mots manquent au remerciement auprès de ceux qui nous donnent toujours du bonheur, ma mère, mon père, mes sœurs et mes frères, je vous adresse, par ces quelques mots, ma plus profonde reconnaissance et gratitude pour vos encouragements, votre patience, votre soutien et tout ce que vous avez fait pour moi depuis mon premier pas à l'école jusqu'à ce jour.

---



# Table des matières

Liste des symboles .....	5
Liste des Figures .....	7
Introduction générale.....	11
<b>Chapitre I. L'environnement radiatif naturel et son effet sur les composants de puissance</b> .....	<b>17</b>
1 Introduction .....	19
2 Les composants de puissance .....	19
2.1 Le transistor MOS de puissance .....	20
2.2 L'IGBT .....	22
3 L'environnement radiatif naturel.....	24
3.1 Rayonnement cosmique .....	24
3.2 Effet du soleil .....	25
3.2.1 Les éruptions solaires .....	25
3.2.2 Le vent solaire .....	26
3.2.3 Cas représentatifs (GOES-5 et GOES-7) .....	27
3.3 Environnement spatial proche de la terre .....	27
3.3.1 Magnétosphère .....	27
3.3.2 Les ceintures de radiation.....	28
3.3.3 Cas représentatifs (Hipparcos) .....	30
3.4 Récapitulatif des particules présentes dans l'environnement spatial .....	30
3.5 Environnement atmosphérique.....	31
4 Interaction rayonnement - matière .....	33
4.1 Interaction neutron, proton - silicium.....	34
4.2 Interactions ion-silicium.....	35

5	Notion de Pouvoir d'Arrêt et de Transfert d'Energie Linéique .....	36
6	Notion de range .....	37
7	Répartition spatiale et temporelle de la trace d'ionisation .....	37
8	Effets des rayonnements sur les MOSFET de puissance .....	38
8.1	Effets de dose .....	38
8.2	Les Evénements Singuliers (SEE).....	39
8.2.1	Single Event Burn-out (SEB) .....	39
8.2.2	Single Event Gate Rupture (SEGR) .....	41
8.2.3	Single Event Latch-up (SEL) .....	42
9	Représentation de la sensibilité radiative .....	43
10	Etat de l'art sur les phénomènes du Single Event Burn-out et Single Event Latch-up.....	44
10.1	Le burn-out .....	44
10.2	Le latch-up.....	52
11	Conclusion.....	55
<b>Chapitre II. Etude comportementale de déclenchement du SEB dans les composants de puissance .....</b>		<b>57</b>
1	Introduction .....	59
1	Description des outils des simulations TCAD et du véhicule test de simulation.....	59
1.1	L'outil de simulations 2D TCAD .....	59
2	Comparaison des résultats SILVACO/SENTAURUS .....	63
2.1	Recherche du volume sensible et des critères de déclenchement.....	64
3	Recherche du volume sensible et critères de déclenchement pour différente technologie par simulation TCAD-2D.....	69
3.1	Véhicule test de simulation .....	69
3.2	Conditions des simulations.....	71

3.3	Analyse des résultats de simulation pour le VDMOS et SJ-MOSFET .....	72
3.3.1	Effet de la position d'impact .....	72
3.3.2	Effet de la profondeur de l'impact .....	72
3.3.3	Effet du range de l'ion.....	74
3.3.4	Analyse des résultats pour différentes polarisations $V_{DS}$ .....	78
3.4	Analyse des résultats de simulation pour l'IGBT planar et l'IGBT trench.....	80
3.4.1	Effet de la position d'impact .....	80
3.4.2	Effet de la profondeur d'impact .....	81
3.4.3	Effet du range de l'ion.....	82
3.4.4	Analyse des résultats pour différentes polarisations $V_{CE}$ .....	84
3.5	Traces ionisantes horizontales générées au sein de l'épitaxie.....	89
3.6	Synthèse des résultats (MOSFETs / IGBTs).....	91
3.7	Effet de la température .....	95
4	Conclusion.....	97
<b>Chapitre III. Solutions de durcissement des composants de puissance .....</b>		<b>99</b>
1	Introduction .....	101
2	Phénomènes physiques lors d'un court-circuit dans un IGBT .....	101
3	Différentes approches de durcissement.....	102
3.1	Approche circuit (Circuits de protection rapprochée contre les courts-circuits). 102	
3.1.1	Circuits basés sur la détection d'une surtension.....	102
3.1.2	Circuits basés sur la détection de surintensité .....	106
4	Approche design.....	107
4.1	Rappel sur le fonctionnement parasite de l'IGBT .....	107
4.2	Augmentation du niveau de courant de latch-up.....	108
4.3	Structures IGBT proposées .....	111
4.3.1	Description des structures .....	111
4.3.2	Sensibilités des structures étudiées.....	113
4.4	Nouvelle structure proposée pour les composants de puissance à grille isolée	

(VDMOS/IGBT) .....	118
4.4.1 Principe de la structure .....	118
4.4.2 Influence des paramètres de la tranchée .....	119
4.4.3 Comportement dynamique .....	124
4.4.4 Sensibilité contre les ions lourds de la structure à cathode en tranché.....	128
4.4.5 Etude préliminaire en vue d'une réalisation technologique .....	134
2.4.5.1 Présentation et description de la filière flexible .....	134
2.4.5.2 Procédé technologique proposé.....	135
5 Conclusion.....	141
<b>Conclusion générale .....</b>	<b>143</b>
<b>Bibliographies .....</b>	<b>149</b>
<b>Liste des publications .....</b>	<b>157</b>
<b>Résumé .....</b>	<b>159</b>
<b>Abstract .....</b>	<b>160</b>

## Liste des symboles

- $C_{AK}$  Capacité interélectrode collecteur - cathode  
 $C_{CE}$  Capacité interélectrode collecteur - émetteur  
 $C_{DS}$  Capacité interélectrode source - drain  
 $C_{GA}$  Capacité interélectrode grille – anode  
 $C_{GC}$  Capacité interélectrode grille – collecteur  
 $C_{GD}$  Capacité interélectrode grille – drain  
 $C_{GE}$  Capacité interélectrode grille – émetteur  
 $C_{GK}$  Capacité interélectrode grille – cathode  
 $C_{GK1}$  Capacité d'oxyde mince de la zone de canal  
 $C_{GK2}$  Capacité de déplétion entre la grille et le  $N_+$  de cathode  
 $C_{GK3}$  Capacité due à la présence d'oxyde épais entre grille et cathode  
 $C_{GS}$  Capacité interélectrode grille – source  
DMOS Double Diffused Metal Oxide Semiconductor  
 $E$  champ électrique  
 $E$  Energie de l'ion incident  
 $E_C$  Valeur du champ électrique critique  
 $EES$  Effets d'Evénements Singuliers  
 $E_{OX}$  épaisseur de l'oxyde  
 $G_{LET}$  : Energie de Transfert Linéaire  
 $GTO$  Gate Turn-Off Thyristor  
 $I_A$  Courant d'anode  
 $I_C$  Courant de collecteur  
 $I_D$  Courant de drain  
 $I_G$  Courant du générateur de grille  
 $IGBT$  Insulated-Gate Bipolar Transistor  
 $JFET$  Junction Field Effect Transistor  
 $LDMOS$  Lateral Double diffusé Metal Oxide Semiconductor  
 $L_{E1}$  longueur contenant l'émetteur  $N^+$   
 $L_{E2}$  longueur contenant l'émetteur  $N^+$  et la région de diffusion  $P^+$   
 $LET$  Linear Energy Transfer (transfert d'énergie linéique)  
 $L_T$  largeur de la tranchée  
 $MOS$  Metal Oxide semiconductor

*MOSFET* Metal Oxide Semiconductor Field Effect Transistor

*NPT* Non-Punch-Through

*PT* Punch-Through

$R(w)$  variation spatiale du taux de génération

$R_{ON}$  la résistance à l'état passant

$R_p$  résistance de la région P sous la diffusion  $N^+$  de cathode

*SEB* Single Event Burnout

*SEE* Single Event Effect

*SEGR* Single Event Gate Rupture

*SEL* Single Event Latchup

*SEU* Single Event Upset

*SJ* Superjunction

*SOA* Safe Operating Area

$T(t)$  variation temporelle du taux de génération

*TCAD* Technology Computer Aided Design

$V_{AK}$  Tension cathode – anode

$V_{BE}$  Tension émetteur – base

$V_{CE}$  Tension émetteur – collecteur

*VDMOS* Vertical Double Diffused MOS

$V_{DS}$  Tension source – drain

$V_{GK}$  Tension cathode – grille

$V_{GS}$  Tension source – grille

$W_T$  profondeur de la tranchée de la structure proposée

$X_{P^+}$  profondeur de jonction de la région de diffusion  $P^+$

## Liste des Figures

Figure1- 1 : Évolution de la gamme d'utilisation des composants de puissance.....	20
Figure1- 2 : Coupe verticale d'un transistor MOSFET. VDMOS (a), SSJMOS (b), SJMOS (c).....	22
Figure1- 3 : Coupe verticale d'un transistor IGBT. IGBT NPT (a), IGBT PT (b) et IGBT trench (c).....	24
Figure1- 4 : Nombre de tâches solaires depuis 1750 et jusqu'à 2012[SOLA-12].....	25
Figure1- 5 : Représentation de la déformation de la magnétosphère exercée par le vent solaire.....	27
Figure1- 6 : Carte de rigidité de coupure verticale (en Giga Volts).....	28
Figure1- 7 : Mouvement des particules piégées dans la magnétosphère terrestre (d'après [STASS-88]).	29
Figure1- 8 : Les ceintures de radiations.....	30
Figure1- 9 : Effet des radiations spatiales sur la magnétosphère et ses déformations sous l'interaction avec le vent solaire [LUU-09].....	31
Figure1- 10 : Gerbe atmosphérique liée à l'interaction d'une particule ionisante avec la haute atmosphère. ....	32
Figure1- 11 : Flux total des particules se trouvant dans l'atmosphère en fonction de leur altitude [BRIE-71] .....	33
Figure1- 12 : Parcours et les différents mécanismes d'interactions d'une particule énergétique dans la matière. ....	34
Figure1- 13 : Représentation schématique des deux catégories d'interactions nucléaires.....	35
Figure1- 14 : Interaction ion-silicium [HUBE-01].....	35
Figure1- 15 : Profil de pouvoir ionisant pour trois ions. A gauche : Ion aluminium (Al), Ion Fer (Fe); A droite, Ion alpha (He) avec observation du pic de Bragg. [LUU-09].....	36
Figure1- 16 : Mécanismes de déclenchement du SEB.....	41
Figure1- 17 : Single Event Burnout dans une MOSFET.....	41
Figure1- 18 : Mécanismes de déclenchement du SEGR.....	42
Figure1- 19 : Thyristor parasite dans un IGBT NPT.....	43
Figure1- 20 : Single event latchup dans les IGBTs [LORF-99].....	43
Figure1- 21 : Safe Operating Area (SOA) (a) et section efficace pour un ion incident (b) pour un ion donnée .....	44
Figure1- 22 : SEB sections transversales en fonction de la tension drain-source V, pour un transistor MOSFET de puissance 2N6766.....	45
Figure1- 23 : Collection de charge d'un burnout mesurée à l'aide d'un système d'analyseur de hauteur de pulses couplé avec un amplificateur sensible.....	48
Figure1- 24 : Dépendance de SEB sur la température [JOHN-92] .....	48
Figure1- 25 : Résultat de la simulation d'une seule cellule. variations de courant à points d'impact différents pour un ion Br de 180 MeV [ROUB-93].....	49
Figure1- 26 : Variation de la densité de courant du collecteur en fonction de temps pour un MOSFET standard et un MOSFET à super jonctions [HUAN-00].....	50
Figure1- 27 : Superposition de la cartographie laser face arrière et de la photo de sa face avant correspondante pour 2 types de MOS [Luu-08].....	51
Figure1- 28 : Schéma des traces d'ionisation pénétrant par la face avant ou arrière dans une cellule MOSFET d'IRF830A pour différentes épaisseurs de substrat.....	52
Figure1- 29 : Comparaison d'immunité au latchup entre (a) ALL, (b) carré et (c) hexagonales (les flèches indique le flux du courant des trous).....	53
Figure1- 30 : Modifications proposées sur la diffusion P+ de l'émetteur par Lorfevre [LORF-99] .....	54
Figure1- 31 : Simulations du LET seuil SEL en fonction de la position d'impact de l'ion en surface pour 3 technologies d'IGBT : à canal N PT et NP et à canal P NPT .....	54
Figure1- 32 : Taux de défaillance SEB en fonction de la tension appliquée pour différent technologie d'IGBT [NISH-10] .....	54

Figure 1- 33 : Structure Semi-SJ IGBT.....	55
Figure 2- 1: Paramètres d'un ion lourd pénétrant un semi-conducteur [SENT-09].....	62
Figure 2- 2: Représentation de maillage de la zone active de la demi-cellule d'IGBT planar simulé.....	62
Figure 2- 3 : Allure de la trace d'ionisation pour des simulations 2D [LORF-99] .....	63
Figure 2- 4: Profil de dopage de la cellule de MOSFET simulée en fonction de la profondeur (SILVACO). Section perpendiculaire de la cellule à travers la source, le corps P, la zone épitaxiée et le substrat N++ (gauche), image de la demi-cellule simulée avec ses niveaux de dopage (SENTAURUS) (droite) .....	64
Figure 2- 5: Schématisation de traces ionisantes dans la demi-cellule de MOSFET polarisée à 500V et simulées par SILVACO et SENTAURUS .....	65
Figure 2- 6: Schématisation de traces ionisantes dans la demi-cellule de MOSFET polarisée à 500V. Les traces sont positionnées à la même abscisse x mais à différentes profondeurs et sont simulées chacune indépendamment. ....	66
Figure 2- 7: LET minimal provoquant un SEB en fonction du range de l'ion arrivant en incidence normale sur la face avant de la cellule VDMOS simulé par SILVACO (à gauche) et par SENTAURUS (à droite) .....	67
Figure 2- 8: Exemple de zones rectangulaires [SENT-09].....	68
Figure 2- 9: LET minimal provoquant un SEB en fonction du range de l'ion arrivant en incidence normale sur la face avant de la cellule VDMOS simulé avec différent niveau de maillage .....	68
Figure 2- 10: Figure demi-cellules simulées avec leurs dimensions géométriques (à gauche), profil de dopage de chaque cellule simulée en fonction de la profondeur (à droite). ....	70
Figure 2- 11: LET minimal provoquant un SEB dans un VDMOS (a) et un SJ-MOSFET (b) pour différentes positions d'impact (x = variable, y=0, range=10µm, VDS=400 V).....	72
Figure 2- 12: LET minimal provoquant un SEB en fonction de la profondeur de pénétration de l'ion arrivant en incidence normale sur la face avant de la demi-cellule VDMOS (à gauche) et SJ-MOSFET (à droite) (y=variable, range=10 µm, VDS=400 V).....	73
Figure 2- 13: Traces positionnées à deux profondeurs différentes dans un VDMOS (à gauche) et SJ-MOSFET (à droite).....	74
Figure 2- 14: LET minimal provoquant un SEB et la charge déposée correspondante en fonction de la profondeur de pénétration de l'ion arrivant en incidence normale sur la face avant de la demi-cellule VDMOS (à gauche) et SJ-MOSFET (à droite) (range=variable, VDS=400 V).....	75
Figure 2- 15: évolution du champ électrique suite à un impact ionisant vertical d'un grand range (à droite) et d'un petit range (à gauche) dans les demi-cellules de VDMOS (haut) et SJ-MOSFET (bas) polarisée à 400V .....	78
Figure 2- 16: Comparaison de l'évolution du courant Ids en fonction du temps suite à un impact ionisant vertical d'un grand et d'un petit range dans la demi-cellule de VDMOS.....	78
Figure 2- 17: LET minimal provoquant un SEB en fonction de la tension de polarisation VDS pour un VDMOS (haut) et SJ-MOSFET (bas), (range=30,70 et 90 µm, VDS= variable) .....	79
Figure 2- 18: LET minimal provoquant un SEB dans un IGBT planar (a) et un IGBT trench (b) pour différentes positions d'impact (x = variable, y=0, range=10µm, VCE=400 V).....	80
Figure 2- 19: LET minimal provoquant un SEB en fonction de la profondeur de pénétration de l'ion arrivant en incidence normale sur la face avant de la demi-cellule d'IGBT planar (à gauche) et IGBT trench (à droite) (y=variable, range=10 µm, VCE=400 V).....	81
Figure 2- 20: LET minimal provoquant un SEB et la charge déposée correspondante en fonction de la profondeur de pénétration de l'ion arrivant en incidence normale sur la face avant de la demi-cellule d'IGBT planar (à gauche) et IGBT trench (à droite) (range=variable, VCE=400 V).....	82
Figure 2- 21: évolution du courant de collecteur en fonction du temps suite à un impact ionisant (VCE=400 V) ...	83

Figure 2- 22: Evolution du champ électrique suite à un impact ionisant vertical d'un grand range (à droite) et d'un petit range (à gauche) dans les demi-cellules d'IGBT planar (haut) et IGBT trench (bas) polarisée à 400V .....	84
Figure 2- 23: LET minimal provoquant un SEB en fonction de la tension de polarisation VCE pour un IGBT planar (haut) et IGBT trench (bas), ( $x=30\ \mu\text{m}$ , $y=0\ \mu\text{m}$ , range=30,70 et 90 $\mu\text{m}$ ).....	85
Figure 2- 24: Distribution de lignes de courant des trous après l'impact et avant le déclenchement du thyristor parasite dans une structure d'IGBT planar (a) et trench (b).....	86
Figure 2- 25: Les paramètres géométriques de la zone active pour l'analyse de la densité de courant de latchup d'un IGBT planar (a) et d'un IGBT trench (b) .....	88
Figure 2- 26: Schématisation de traces ionisantes horizontales dans la demi-cellule de VDMOS polarisée à 400V. Les traces sont positionnées à la même profondeur $z=30\ \mu\text{m}$ mais à différentes abscisses et sont simulées chacune indépendamment. Le LET est en $\text{pC}/\mu\text{m}$ et le range en $\mu\text{m}$ .....	89
Figure 2- 27: Schématisation de traces ionisantes horizontales dans la demi-cellule d'IGBT polarisée à 400V. Les traces sont positionnées à la même profondeur $z=30\ \mu\text{m}$ mais à différentes abscisses et sont simulées chacune indépendamment. Le LET est en $\text{pC}/\mu\text{m}$ et le range en $\mu\text{m}$ .....	90
Figure 2- 28: LET minimal provoquant un SEB en fonction de la profondeur de pénétration (a) et en fonction de range (b) de l'ion arrivant en incidence normale sur la face avant de chaque cellule .....	91
Figure 2- 29: Evolution du LET minimal en fonction de la tension de polarisation pour des ions arrivant en incidence normale sur la face avant de chaque cellule avec différent range.....	93
Figure 2- 30 : Evolution du LET minimal en fonction de la tension de polarisation pour des ions arrivant en incidence normale sur la face avant de chaque cellule et pénétrant 2/3 de la region épitaxiée.....	94
Figure 2- 31: Comparaison entre les traces ionisantes horizontales et verticales pour un VDMOS (a) et pour un IGBT planar (b).....	95
Figure 2- 32: sensibilité normalisée en fonction de la température pour un ion pénétrant 2/3 de la region épitaxiée de chaque composant ( $x=30$ , $y=0$ , $V_{DS}\&V_{CE}=400\text{V}$ ).....	96
Figure 2- 33: Distribution de la température dans les structures (haut) de type planar (VDMOS et IGBT), (bas) IGBT de type trench.....	97
Figure3- 1 : Phénomènes physiques lors d'un C.C dans un IGBT.....	101
Figure3- 2 : (a) Circuit de protection contre les courts-circuits, (b) Capteur de tension d'anode.....	103
Figure3- 3 : Fonctionnement de la structure si le court-circuit est présent sur la charge au moment de la mise en conduction de l'interrupteur. ....	104
Figure3- 4 : Fonctionnement de la structure si le court-circuit se produit alors que l'interrupteur de puissance se trouve déjà à l'état passant. ....	105
Figure3- 5 : Structure intégrée du circuit de détection et de protection .....	105
Figure3- 6 : Coupe schématique du circuit équivalent du circuit de protection par détection du courant .....	106
Figure3- 7 : Latchup du thyristor parasite dans un IGBT .....	108
Figure3- 8 : (a) Géométrie d'un IGBT planar montrant les segments LE1 et LE2, (b) influence du segment LE1 sur la densité de courant du latchup et la tension de seuil. ....	109
Figure3- 9 : Caractéristiques $I_A(V_{AK})$ d'un IGBT planar pour deux concentrations en surface de la région P-well et pour deux épaisseurs d'oxyde de grille différentes.....	110
Figure3- 10 : Caractéristiques $I_A(V_{AK})$ (a) et $I_A(V_{GK})$ (b) d'un IGBT planar pour deux épaisseurs d'oxyde de grille différentes. ....	111
Figure3- 11 : Représentation schématique de la première modification de la structure par la diffusion de P+ dans la région intercellulaire (IGBT-1). ....	112

Figure3- 12 : (a) Représentation schématique de la deuxième modification de la structure par la diffusion de P+ dans la région N+ émetteur (IGBT-2), (b) coupe 2D dans AA' .....	112
Figure3- 13 : caractéristiques de sortie $I_A = f(V_{AK})$ de (a) l'IGBT standard, (b) l'IGBT-1 et (c) l'IGBT-2.....	113
Figure3- 14 : Minimal LET déclenchant un SEB pour différentes polarisations d'un ion lourd provenant de la face avant d'IGBT standard, IGBT-1 et IGBT-2 .....	114
Figure3- 15 : Distribution de courant total à différents instants après l'impact dans l'IGBT-1 .....	115
Figure3- 16 : Distribution de lignes de courant des trous dans une structure standard (a), l'IGBT-1 (b) et l'IGBT-2 (c).....	116
Figure3- 17 : Cellule de l'IGBT proposé (cathode en tranchée) .....	119
Figure3- 18 : Demi-cellules d'IGBT standard (a) et l'IGBT proposé (b) .....	119
Figure3- 19 : Caractéristiques $I_A(V_{AK})$ (a) et $I_A(V_{GK})$ (b) de l'IGBT standard et l'IGBT proposé pour différentes longueurs de la tranchée LT.....	120
Figure3- 20 : Caractéristiques $I_A(V_{AK})$ (haut) et $I_A(V_{GK})$ (bas) de l'IGBT standard et l'IGBT proposé pour différentes profondeurs de la tranchée WT.....	121
Figure3- 21 : Caractéristiques $I_A(V_{AK})$ (haut) et $I_A(V_{GK})$ (bas) de l'IGBT standard et l'IGBT proposé pour différentes profondeurs de dopage P+.....	122
Figure3- 22 : Caractéristiques $I_A(V_{AK})$ (haut) et $I_A(V_{GK})$ (bas) de la structure IGBT proposée et standard. ....	123
Figure3- 23 : Circuit de commutation sur une charge résistive.....	124
Figure3- 24 : Allure du courant d'anode durant un cycle de commutation pour les structures VDMOS (haut) et IGBT (bas). ....	125
Figure3- 25 : Montage de charge de grille à courant constant pour un VDMOS (haut) et un IGBT (bas).....	126
Figure3- 26 : Essai de charge de grille (haut) et l'évolution de la tension d'anode et du courant d'anode en fonction du temps (bas) pour toutes les structures étudiées.....	127
Figure3- 27 : Localisation des capacités inter-électrodes des structures proposées (droite) et standards (gauche). 128	128
Figure3- 28 : Minimal LET déclenchant un SEB pour différentes polarisations et différents range pour des ions lourds provenant de la face avant de (VDMOS/IGBT) standard et du (VDMOS/IGBT) proposé.....	130
Figure3- 29 : Distribution de lignes de courant des trous dans la structure proposée (a) et une structure standard (b). .....	132
Figure3- 30 : Répartition du champ électrique dans la structure standard avant et après le latchup. ....	132
Figure3- 31 : Répartition du champ électrique dans la structure proposée aux mêmes instants que la Figure 3-25.133	133
Figure3- 32 : Distribution de la température et la densité de courant dans les structures standards (a), (b) et proposée (c), (d) respectivement suite à un déclenchement SEB.....	134
Figure3- 33 : Enchaînement des étapes pour la réalisation des puces IGBT [LEGA-10] .....	135
Figure3- 34 : Comparaison des profils de dopage en surface sous la grille obtenus à partir de l'éditeur utilisé dans les simulations électriques présentées précédemment, et celui obtenu avec les simulations technologiques. ....	140
Tableau 1- 1 : Récapitulatif des particules présentes dans l'environnement spatial [LAMB06].....	31
Tableau 2- 1 : Caractéristiques de la cellule VDMOS.....	64
Tableau 3-1 : Paramètres physiques et géométriques de la structure IGBT utilisés pour simulation.....	124
Tableau 3- 2 : tableau récapitulatif des composants testés.....	126

## **Introduction générale**



Les transistors de puissance à base de la technologie MOS (Metal Oxide Semiconductor) sont des dispositifs attractifs pour les applications spatiales et aéronautiques en raison de la simplicité de la commande de grille, du faible volume et du poids des circuits par rapport à ceux utilisant des transistors bipolaires. En outre, ils sont plus efficaces dans les gammes de fréquences élevées et pour des alimentations à découpage, ce qui les rend appropriés pour différentes utilisations comme dans les engins spatiaux ou aéronautiques. Cependant, l'environnement radiatif naturel présente de nombreux dangers pour ces composants électroniques. Le 1<sup>ier</sup> Mai 1958, Van Allen annonce la découverte des ceintures de radiation 3 mois après le lancement du satellite Américain Explorer I équipé d'un compteur destiné à mesurer le niveau de rayonnements cosmiques dans l'espace [ALLE-59]. Quelques années plus tard, 21 février 1963, le premier satellite de télécommunication Telstar est perdu à cause des radiations. L'enquête menée par le constructeur de ce satellite révèle que l'augmentation du courant de fuite collecteur-base des transistors bipolaires est responsable de cette perte [PECK-63]. Désormais de nombreuses études ont été lancées sur les environnements radiatifs et leurs effets sur les différents types de composants à semi-conducteurs afin de comprendre les phénomènes associés et trouver des techniques de fabrication des systèmes de prédiction et de durcissement. Les environnements radiatifs naturels sont constitués de diverses particules provenant du soleil ou d'origine extra galactique. Les chercheurs ont identifié la nature de ces particules ainsi que les gammes d'énergies rencontrées dans l'espace. On distingue deux types d'environnement radiatif : atmosphérique et spatial. Bien que l'environnement radiatif atmosphérique soit beaucoup moins agressif, des défaillances ont déjà été observées dans des équipementiers ferroviaires où plusieurs travaux ont montré que des défaillances radiatives se produisaient dans les composants de puissance au niveau du sol [ZIEG-96, ZIEG-98]. Il est donc capital de déterminer le degré de sensibilité des dispositifs électroniques qui sont intégrés dans les systèmes spatiaux, comme les MOSFET de puissance, et ceux qui sont utilisés dans les systèmes avioniques, ferroviaires ou même automobiles comme les IGBT. Les effets de dose ionisante contribuent à la détérioration d'un dispositif au fil du temps, et les effets d'événements singuliers (EES) sont les effets des rayonnements qui surviennent de façon imprévisible avec des conséquences irréversibles sur le bon fonctionnement des systèmes. Certains de ces effets entraînent un "soft-error" qui ne cause pas de dommages permanents et peuvent être remis à zéro par des signaux de correction. D'autres effets ne sont pas aussi banals et peuvent aboutir à la dégradation permanente ou même à la destruction de dispositifs ; on les appelle "hard errors" ou événements destructifs. Ainsi, certains de ces

événements ont fait l'objet de ce travail qui s'est focalisé sur deux types d'événements majeurs qui menacent la fiabilité des composants de puissance comme les MOSFET et les IGBT. Ces événements destructifs sont le Single Event Burnout (SEB) et le Single Event Latchup (SEL).

Ces phénomènes destructifs sont déclenchés par le passage d'une particule ionisante comme un ion lourd dans les structures de puissance. Il est nécessaire de définir les critères de déclenchement du phénomène et déterminer la sensibilité et le comportement des différentes structures de puissance vis-à-vis de ces particules afin d'apporter une meilleure compréhension de la physique de ces mécanismes de défaillances. Ainsi, prévoir un taux de défaillance lié à ces phénomènes est d'un grand intérêt pour les industriels utilisant des transistors de puissance dans le cadre d'applications sensibles. Cela nécessite une connaissance du volume sensible associé. La complexité des phénomènes physiques induisant un burn-out ou un latch-up et la multitude des géométries des structures de puissance rendent difficile une définition purement théorique de ce volume.

Pour faire face à la défaillance des interrupteurs de puissance, de nombreux circuits de protection ont été proposés pour être utilisés dans des conditions extrêmes tels que le milieu radiatif. Le rôle de ces circuits est d'annuler la tension aux bornes du composant lorsqu'il est déclenché par une radiation ionisante pendant un temps suffisant. Or, ces phénomènes peuvent n'apparaître que dans une seule cellule élémentaire mettant en jeu l'ensemble de la puce de puissance. C'est pour cela qu'il est primordial de chercher des solutions de durcissement au niveau de la conception de la cellule.

Dans ce contexte, nos travaux de thèse effectués au centre de recherche LAAS « Laboratoire d'Analyse et d'Architecture des Systèmes », dans le cadre du projet EPOPE, « Effects of Particules On Power Electronics », traite de la fiabilité des composants électroniques de puissance comme les MOSFET et les IGBT affectés par l'Environnement Radiatif Naturel, plus particulièrement les ions lourds. Des simulations utilisant les outils Synopsys TCAD ont été menés afin de mieux comprendre les mécanismes de défaillance en comparant la sensibilité et le comportement des structures de puissance de différentes technologies. Ces études nous ont permis de proposer et d'évaluer des solutions de durcissement au niveau de design permettant la désensibilisation contre les phénomènes de déclenchement liés aux structures parasites inhérentes dans les composants de puissance.

Le premier chapitre présente dans un premier temps une description globale des composants de puissance utilisés dans le domaine spatial ou aéronautique, en rappelant leurs modes de fonctionnement. Les différents mécanismes d'interaction particule-matière seront

expliqués après avoir détaillé les différents types de radiations naturelles atmosphériques et spatiales auxquelles sont soumis ces composants électroniques de puissance. Les principaux types d'événements destructifs seront présentés, en expliquant les mécanismes de défaillance associés aux structures parasites inhérentes aux composants de puissance. Enfin, nous terminons avec l'état de l'art sur l'étude du burn-out et du latch-up dans les composants de puissance étudiés.

Dans le second chapitre, nous allons évaluer le comportement de différentes structures : VDMOS, SJ-MOSFET, IGBT planar et IGBT trench. Dans un premier temps, nous définirons le volume sensible de ces composants à l'aide de simulations numériques 2D. Dans un second temps, nous nous intéresserons plus particulièrement aux mécanismes physiques du SEB afin de bien définir les critères de déclenchements du phénomène. Le LET, la position d'impact de la particule (la profondeur) et la tension de polarisation sont les principaux paramètres que nous faisons varier dans cette étude.

Pour finir, nous proposons des solutions de durcissement. Dans un cadre général, les solutions proposées concernent la protection d'un certain ion de la cellule nombre d'interrupteurs de puissance à grille isolée comme les MOSFET et les IGBT contre les déclenchements parasites et en particulier, contre les radiations. Dans une première partie, nous verrons brièvement quelques circuits extérieurs dont le rôle est d'annuler temporairement la tension aux bornes d'un composant de puissance pour désamorcer un déclenchement intempestif des structures parasites. Dans une seconde partie, nous présentons certaines modifications, réalisées au niveau de la cellule du composant permettant une désensibilisation vis-à-vis des phénomènes de déclenchement liés aux structures parasites, permettant ainsi d'améliorer la tenue aux radiations des composants de puissance à grille isolée.



# **Chapitre I. L'environnement radiatif naturel et son effet sur les composants de puissance**



## **1 Introduction**

De nombreuses applications utilisant les composants de puissance nécessitent un fonctionnement dans des environnements de fortes radiations. Ces applications sont généralement de type spatiale ou militaire et même certaines applications civiles comme les centrales nucléaires, les accélérateurs de particules, les installations médicales et les équipements industriels. Les premières prévisions des événements singuliers en microélectronique étaient en 1962 par Allmark et Marcus [WALL-62], des chercheurs et des ingénieurs qui travaillent sur des systèmes embarqués de l'espace ont été préoccupés par les effets de rayonnement cosmiques sur la fiabilité des missions spatiales. Cette inquiétude est devenue réelle en 1975, quand une anomalie dans un système spatial a été attribuée au passage d'ions lourds de haute énergie [BIND-75]. Depuis, une longue liste des effets d'événement singulier dans les semi-conducteurs et les circuits intégrés ont été identifiés. Certains de ces effets entraînent un "soft error" qui ne cause pas de dommages permanents et peuvent être remis à zéro par des signaux de correction. D'autres effets ne sont pas aussi banals et peuvent aboutir à la dégradation permanente ou même à la destruction des dispositifs (ce qu'on appelle "hard errors" ou événements destructifs). Ces événements destructifs sont le Single Event Burn-out (SEB) et le Single Event Latch-up (SEL).

Nous présenterons dans ce chapitre dans un premier temps une description globale sur les composants de puissance utilisés dans le domaine spatial ou aéronautique, en rappelant leurs modes de fonctionnement. Les différents mécanismes d'interactions particule-matière seront expliqués après avoir détaillé les différents types de radiations naturelles atmosphériques et spatiales auxquelles sont soumis ces composants électroniques de puissance. Les principaux types d'événements destructifs seront présentés, en expliquant les mécanismes de défaillance associés aux structures parasites inhérentes aux composants de puissance. Enfin, nous terminons avec l'état de l'art sur l'étude de burn-out et de latch-up dans les composants de puissance.

## **2 Les composants de puissance**

Au cours de l'histoire du développement des technologies servant dans le domaine de l'électronique de puissance, différents types d'éléments de puissance ont été élaborés assurant des performances diverses et variées au niveau de la tenue en tension, de la rapidité et des pertes relatives à la phase fonctionnelle « blocage ou conduction ». Par exemple, les

transistors MOS peuvent être très rapides, cependant leurs pertes à l'état passant sont importantes, plus précisément à des tensions de blocage élevées. A l'inverse des MOSFET, les transistors bipolaires ont des pertes en conduction beaucoup plus faibles, mais des pertes en commutation assez importantes dues à l'accumulation de charges nécessaires à son fonctionnement ce qui les rend inutilisables à des fréquences élevées. Les caractéristiques de ces deux composants les rendent complémentaires dans les applications de faible et moyenne tension d'où l'idée de les combiner sur le même substrat de silicium pour obtenir le fameux transistor bipolaire à grille isolée (IGBT) qui nous permet d'associer les faibles pertes en conduction à la grande capacité en courant avec une tenue en tension. La Figure 1-1 résume les gammes de puissance d'utilisation en fonction de la fréquence pour les principaux interrupteurs de puissance. L'utilisation des MOSFET est réservée essentiellement aux applications haute fréquence allant au-delà de 100 kHz et aux puissances moyennes ou faibles [LUTZ-11], alors que l'IGBT est utilisé pour des applications allant jusqu'à 500 kVA avec des fréquences pouvant atteindre 20 kHz [LEFE-01]. Les composants SCR (« Silicon Controlled Rectifier »), ou thyristor et les GTO (« Gate Turn-off thyristor »), représentés sur la figure 1 sont réservés aux applications de très fortes puissance, au-delà du MVA, mais sont limitées par leur faible fréquence de fonctionnement (jusqu'à quelques kHz).

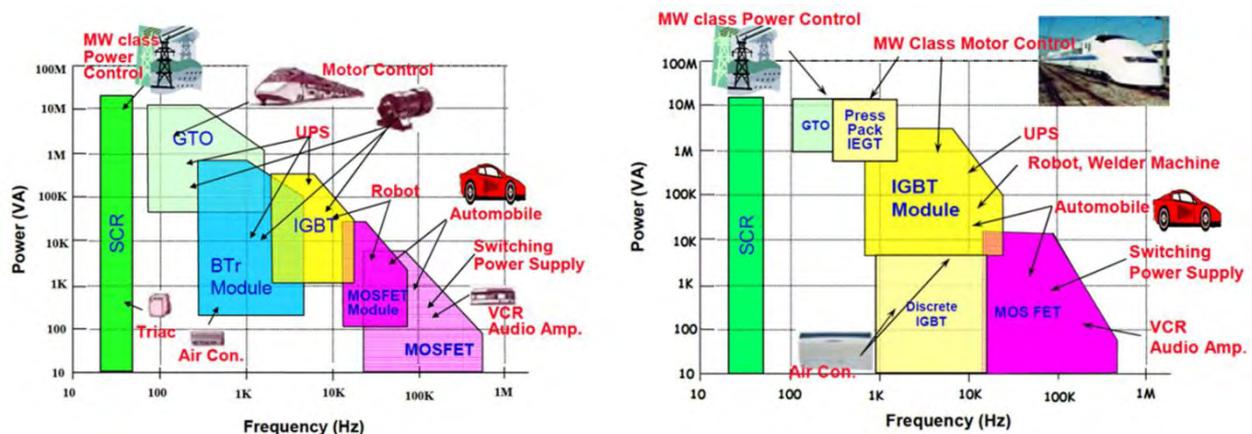


Figure 1-1 : Évolution de la gamme d'utilisation des composants de puissance [NACE-12]

## 2.1 Le transistor MOS de puissance

Le MOSFET (Metal Oxide Semiconductor Field Effect Transistor) a été conçu de façon théorique en 1920 par Julius Edgar Lilienfeld qui le breveta comme étant un composant servant à contrôler le courant. Mais le premier MOSFET n'a été construit qu'en 1959 par Atalla et Khang des laboratoires Bell car la complexité du MOSFET requiert des techniques plus précises que ce qui était disponible avant cette époque. Comme tous les transistors, le MOSFET module le courant qui le traverse à l'aide d'un signal appliqué à son électrode

d'entrée ou grille. Il trouve ses applications dans les circuits intégrés numériques, en particulier avec la technologie CMOS, ainsi que dans l'électronique de puissance.

Les MOSFET de puissance sont des composants unipolaires distingués par leurs temps de commutations très courts (de l'ordre de 100 ns). Contrairement aux composants bipolaires, il n'existe pas de retard associé à la recombinaison de porteurs minoritaires dans la phase de blocage. Ce type de transistors est utilisé dans de nombreuses applications de 10 à 500 kHz pour des gammes de tensions allant de 10 à 1200 Volts et pour un calibre en courant allant de quelques 100 mA à quelques ampères. Le composant MOS de puissance de base dans la technologie planar est le transistor DMOS (D pour double diffusé), il se trouve généralement dans une configuration verticale (VDMOS) ou latérale (LDMOS). Puisque cette dernière ne peut supporter le blocage des hautes tensions et est limitée en courant, les structures de puissance que nous utiliserons dans ce travail seront verticales vu les tenues en tension que nous voulons atteindre. La figure 2 (a) représente une coupe d'un transistor VDMOS. Cette architecture est obtenue par la croissance d'une couche épitaxiée faiblement dopée  $N^-$  avec une grande épaisseur afin d'éviter que le champ électrique n'atteigne des seuils critiques et permettre l'extension de la zone de charge d'espace imposée par la tension  $V_{DS}$  lorsque le MOSFET de puissance bloque une tension élevée. En contrepartie, cela peut entraîner des valeurs élevées de chute de tension à l'état passant. Cela est à l'origine d'un compromis entre la tension de blocage et la résistance à l'état passant  $R_{DS-ON}$ .

Afin de coupler les performances en commutations et de faibles résistances équivalentes à l'état passant ( $R_{DS-ON}$ ), des technologies hybrides dites à superjonction ont émergé. Le concept connu sous le nom semi super-jonction et super-jonction (cf. Figure 1-2 (b) et (c)) adapte une nouvelle façon pour faire diminuer la résistance de la couche épitaxiée  $N^-$ . Avec des caractéristiques identiques à celles d'un transistor MOSFET de puissance, la conduction est exclusivement assurée par les porteurs majoritaires. Le dopage de la zone de conduction est augmenté d'environ un ordre de grandeur, avec une couche d'épitaxiée toujours faiblement dopée afin d'assurer la tenue en tension. Pour séparer les zones de blocage et de conduction, des bandes verticales de type P sont ajoutées. Ces dernières limitent la surface effective pour le courant d'électrons qui permet d'augmenter localement les densités de courant. Néanmoins, cette forte diminution de la résistivité dans cette zone permet de réduire considérablement la chute de tension en conduction aux bornes de l'élément par rapport à la technologie MOSFET standard.

Lors de la polarisation en inverse du transistor, un champ électrique latéral se forme conduisant les charges vers les zones de contact. Une zone de déplétion se forme le long de

la jonction physique PN enveloppant la totalité de la structure de bandes pour une tension bloquée supérieure à 50V. Le comportement est alors semblable à celui observé dans les diodes PIN. Cette structure ne diminue en aucun cas les performances dynamiques du transistor MOS mais apporte une forte baisse des pertes en conduction. L'inconvénient majeur de cette structure est la complexité de sa réalisation. Le principe de superjonction peut également être utilisé pour un IGBT mais, pour le moment, il est validé et commercialisé uniquement pour les MOSFET.

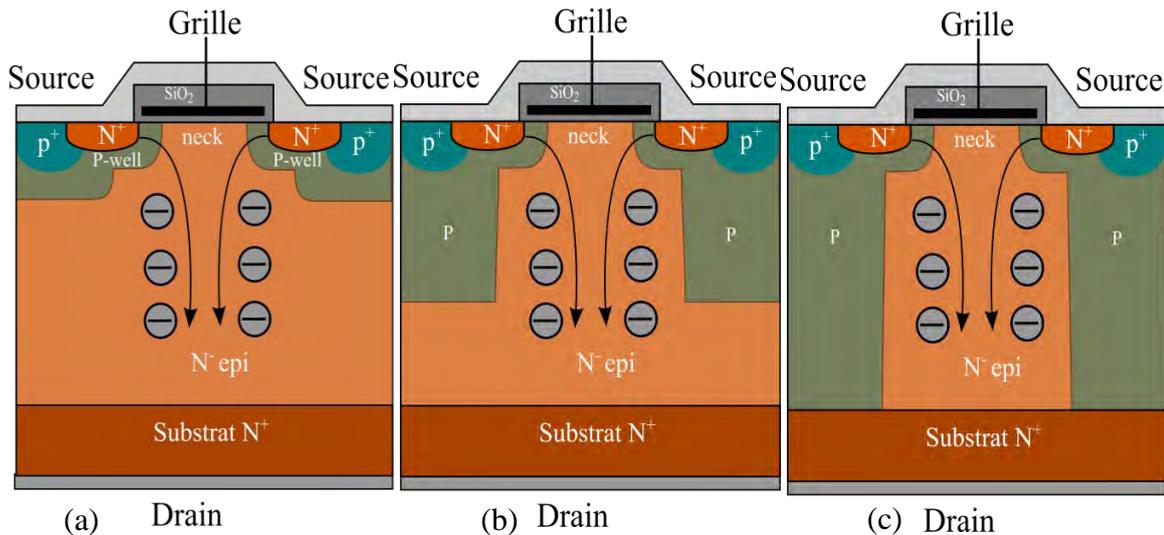


Figure 1-2 : Coupe verticale d'un transistor MOSFET. VDMOS (a), SSJMOS (b), SJMOS (c).

## 2.2 L'IGBT

La technologie IGBT (Insulated Gate Bipolar Transistor) a été brevetée aux États-Unis en 1982 par Hans W. Beck et Carl F. Wheatley, Jr., sous le nom de MOSFET de puissance avec une région d'anode (Power MOSFET with an Anode Région). C'est une technologie récente qui succède aux thyristors, aux transistors Darlington et aux thyristors GTO. La première génération d'IGBT a connu des problèmes importants de verrouillage (ou latching), qui ont été corrigés dans la deuxième génération apparue au début des années 1990. Les IGBT disponibles peuvent bloquer des tensions jusqu'à 6,5 kV et peuvent transiter des densités de courant de plus de 150 A/cm<sup>2</sup>. Ce dispositif possède une structure proche de celle du transistor MOS vertical [MOHA-95]. Toutefois la principale différence est la présence d'une couche P<sup>+</sup> à la place du drain du MOSFET, injectant des porteurs minoritaires dans la base donnant ainsi le collecteur (anode) de l'IGBT. En effet, cette injection assure à l'état passant la modulation de conductivité qui représente un défaut majeur aux composants unipolaires de type MOS. Son principal inconvénient est que ces

composants ont des temps de commutation plus élevés, de l'ordre de plusieurs centaines de nanosecondes. Les structures les plus courantes sont les IGBT Non-Punch-Through (NPT) et les IGBT Punch-Through (PT) (cf. figure 1-3 (a) et (b)). La première structure tient le nom de (NPT) du fait que la base est suffisamment profonde pour que la couche de déplétion ne puisse jamais atteindre la couche d'injection  $P^+$  lorsque le transistor IGBT est à l'état bloqué. Lorsque l'IGBT est en conduction, le canal du MOSFET commence à injecter des électrons dans la base, permettant un effet transistor dans la partie bipolaire  $P^+NP$ . La technologie Punch Through (PT) est utilisée pour la fabrication d'IGBT dans le but de diminuer les pertes en conduction. En effet, elle contient une couche d'épitaxiée  $N^-$  plus fine grâce une couche tampon  $N^+$  qui fait décroître rapidement le champ électrique, ce qui permet à la structure de présenter une chute de tension plus faible que celle d'une structure NPT pour la même tenue en tension. Cette structure est fabriquée à partir d'une base de silicium dopée positivement, sur laquelle la couche tampon et la base  $N$  sont ajoutées par croissance épitaxiale. L'inconvénient principal de ces structures est le coût de fabrication des couches épitaxiées, en particulier pour des tensions de blocage élevées ( $> 1.2kV$ ) [BALI-96]. Après ces deux structures de type planar, les derniers progrès technologiques ont fait apparaître de nouvelles structures, parmi lesquelles des IGBT à tranchées (cf. figure 1-3 (c)). Cette technologie a été utilisée bien avant cette date sur des structures VDMOS dont le but est d'améliorer la chute de tension en réduisant la résistance du canal [UEDA-85]. Contrairement à la technologie planar où les sections MOS occupent une surface importante par unité de surface, vu leur taille qui est imposée technologiquement par les limites de la photolithographie et la diffusion, cette technologie permet de réduire la taille des sections MOS afin d'exploiter utilement la surface de la puce destinée à cette réalisation. Cette technologie améliore le niveau de courant de latch-up du thyristor parasite [CHAN-87] et élimine complètement l'effet JFET entre les substrats  $P$  des cellules  $N$ -IGBT [CHAN-89]. Les principaux inconvénients de cette technologie sont d'abord les procédés technologiques complexes pour sa réalisation par rapport à la technologie planar ainsi que le niveau du courant très fort en court-circuit à cause de sa grande transconductance.

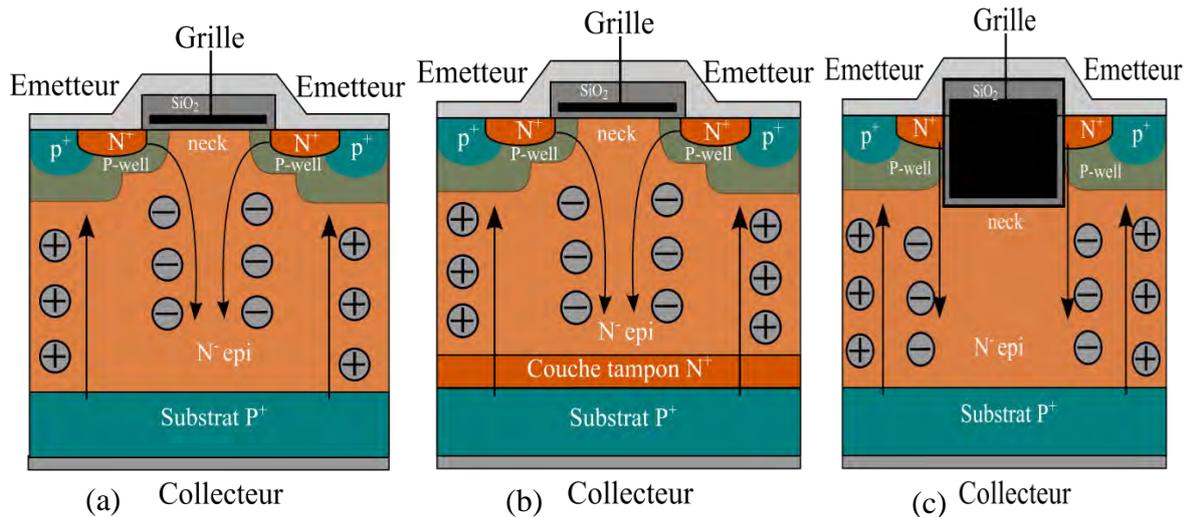


Figure 1- 3 : Coupe verticale d'un transistor IGBT : IGBT NPT (a), IGBT PT (b) et IGBT trench (c).

### 3 L'environnement radiatif naturel

Il est nécessaire de connaître l'environnement radiatif naturel afin de pouvoir comprendre les phénomènes de radiations et leurs effets sur les composants de puissance présentés dans les paragraphes précédents. De ce fait, une description des types de radiations rencontrées sera effectuée.

#### 3.1 Rayonnement cosmique

Ce type de rayonnement a été découvert par V. Hess en 1912. Trente-huit ans plus tard, la nature de ce rayonnement a été identifiée. Les particules présentes se déplacent à une vitesse proche de celle de la lumière. Elles sont constituées de deux composantes, l'une d'origine galactique, l'autre contenant des ions plus énergétiques d'origine extra galactique. Ce rayonnement est constitué principalement de 85 à 90 % de protons, de 9 à 14 % de noyaux d'hélium et de 1% d'ions de très grande énergie (>1 MeV), le reste étant constitué de différents nucléons (noyaux d'atomes), d'électrons ainsi que de quantités infimes d'antimatière légère (antiprotons et positrons) [AUDA-04]. Malgré le fait que le flux associé à ce rayonnement est relativement faible, la probabilité d'occurrence d'un événement potentiellement destructif, dans le cas de missions spatiales longues par exemple, est non négligeable car ce rayonnement reste extrêmement énergétique (certains ions atteignent 1010 GeV) [LUU-09].

## 3.2 Effet du soleil

### 3.2.1 Les éruptions solaires

Les éruptions solaires apparaissent pendant les périodes où l'activité solaire est maximale. Ce sont des éclats de radiation produits à la surface de la photosphère (couche de gaz qui constitue la surface visible du soleil) dus à l'éjection de jets de plasma ionisés par le soleil (cf. Figure 1-9). Les éruptions solaires sont fortement corrélées aux cycles des taches observés sur le soleil. L'apparition et la disparition des taches à la surface du soleil représentent le cycle solaire dont la périodicité, correspond approximativement à une durée de 11 ans [STAS-88]. Le cycle de variation des taches solaires depuis 1750 jusqu'à nos jours est présenté dans la Figure 1-4 [SOLA-12]. Une importante période d'activité solaire est donc caractérisée par un nombre de taches élevé dont l'intensité des photons et des particules éjectés en permanence varie selon le cycle. On peut distinguer grossièrement 7 ans de forte activité et 4 ans de faible activité [HOLM-02].

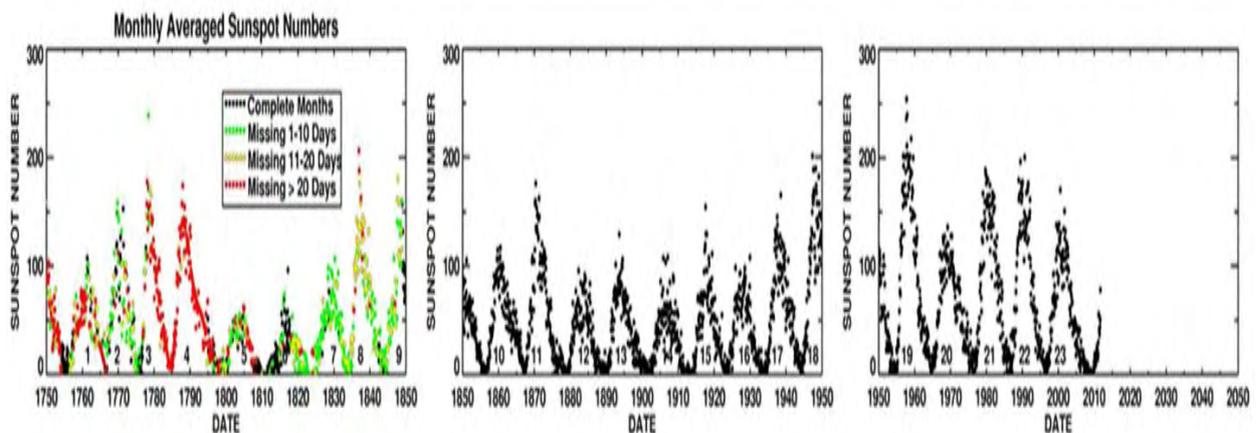


Figure 1-4 : Nombre de taches solaires depuis 1750 et jusqu'à 2012 [SOLA-12]

Deux types d'éruptions solaires sont distingués et dépendent du type des particules émises :

- Les éruptions solaires dont l'émission principale est constituée d'ions lourds de numéro atomique pouvant être supérieur à 44 et possédant des énergies comprises entre 1 à 10 MeV. La durée de telles éruptions est de quelques heures au plus.

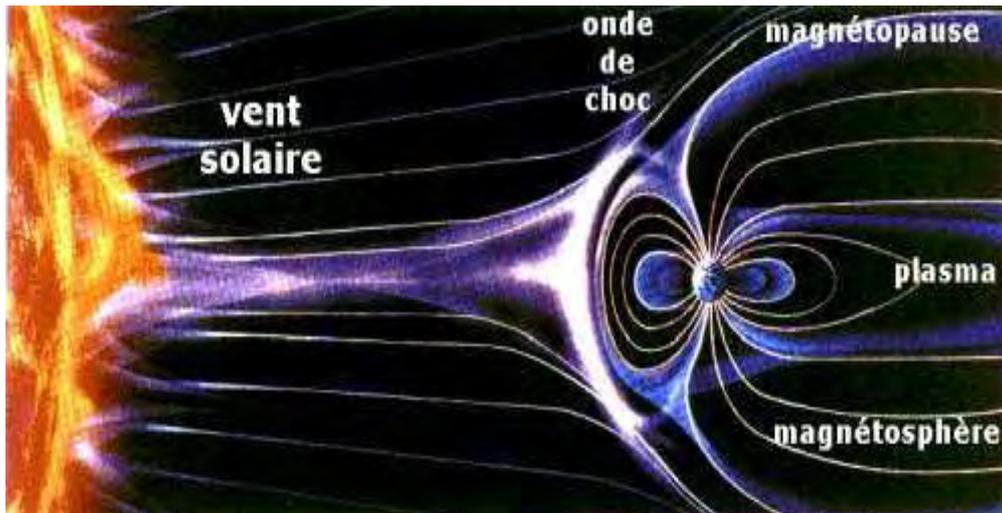
- Les éruptions solaires à protons, dont la durée va de quelques heures à quelques jours, et dont l'émission principale est constituée de protons d'énergies importantes. La référence en ce domaine est l'éruption à proton d'août 1972 [LUU-09].

La dernière éruption importante à ce jour date de 15 février 2011, elle est de classe X (le plus haut des quatre échelons) du 24 cycle solaire. Celle-ci s'est néanmoins dissipée sur le Pôle Nord sans provoquer de dégâts.

Les orages provoqués par certaines éruptions qui frappent la Terre et qui peuvent parfois traverser les ceintures de radiation ont des effets parfois catastrophiques pour l'homme et l'électronique, plus particulièrement dans l'espace à cause de l'absence de l'atmosphère terrestre. Ces orages peuvent créer de fortes radiations qui sont une vraie menace pour les astronautes et les composants des satellites (le satellite américain Telstar 401 fut ainsi). Ils peuvent nuire aussi aux installations des réseaux électriques (Canada le 13 mars 1989, un violent orage magnétique provoque une saturation des transformateurs électriques). Cependant, l'observation permanente du Soleil permet de prévoir ces orages magnétiques et de prendre des mesures de protection (déconnexion des liens formant le réseau électrique, arrêt de certains appareils sensibles...).

### **3.2.2 Le vent solaire**

Il y a environ une trentaine d'années que le vent solaire a été observé. C'est un gaz ionisé peu dense, constitué essentiellement de protons, d'électrons et d'atomes d'hélium. Sa vitesse moyenne est de l'ordre de  $400 \text{ km.s}^{-1}$ , au niveau de l'orbite terrestre. En effet, d'autres phénomènes peuvent augmenter considérablement cette vitesse comme les éruptions solaires. Quand le vent solaire se dirige vers la Terre (cf. Figure 1-5), il s'écoule le long du bouclier magnétique terrestre appelé magnétosphère (déformation ovoïdale du champ dipolaire).



*Figure 1- 5 : Représentation de la déformation de la magnétosphère exercée par le vent solaire*

### **3.2.3 Cas représentatifs (GOES-5 et GOES-7)**

En 1989, la CTU (central telemetry unit) du satellite géostationnaire GOES-5 a connu 10 SEU (Single Event Upset), dont six ont été associés aux éruptions solaires. En outre, une éruption solaire majeure le 19 Octobre 1989 a endommagé l'électronique des panneaux solaires diminuant ainsi le courant de sortie de 0,5 ampère de ces derniers.

Pendant une période d'intense éruption solaire de rayons X (du 22 au 24 Mars 1991), des chercheurs ont trouvé des preuves de la dégradation des panneaux solaires sur le satellite GOES-7. L'intensité hautement énergétique du rayonnement endommagea de façon permanente l'électronique des panneaux solaires et provoqua une dégradation de puissance accélérée au-dessus des attentes de la fiabilité prévue puisque l'espérance de vie du satellite a été diminuée de 3 années [KANP-94].

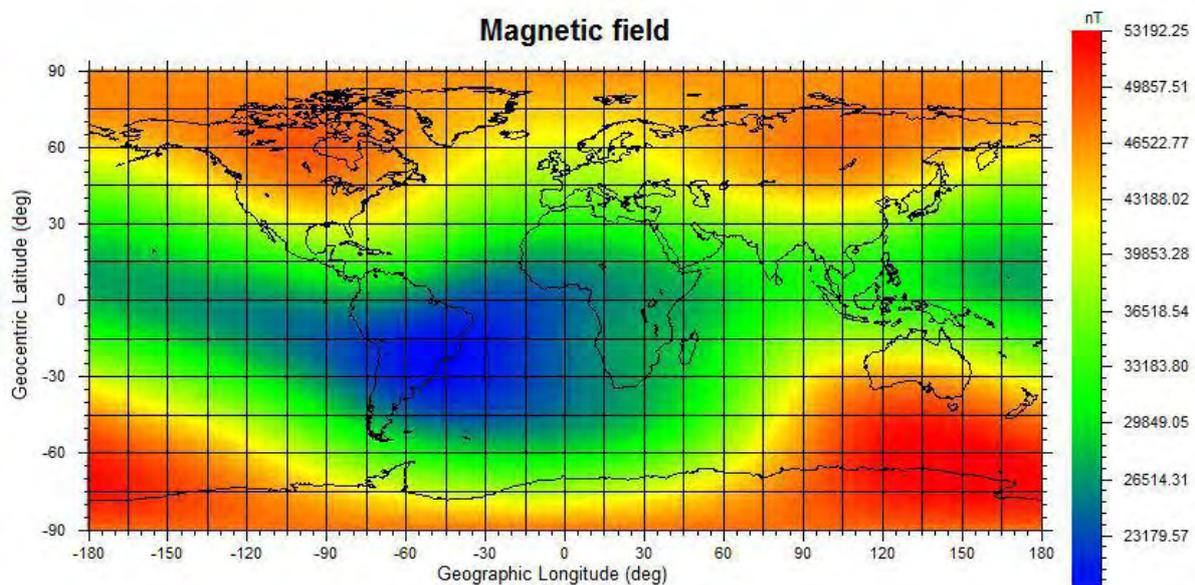
D'autres anomalies associées aux rayonnements solaires sont détaillées dans [BEDI-96].

## **3.3 Environnement spatial proche de la terre**

### **3.3.1 Magnétosphère**

C'est l'espace dominé par l'interaction entre le champ géomagnétique et le vent solaire. Son rôle principal est de protéger la Terre des phénomènes extérieurs en formant une cavité au milieu de l'espace interplanétaire. En effet, le bouclier magnétique terrestre dévie le vent solaire en passant au voisinage de la Terre et modifie la forme et la structure du champ.

Lorsque des particules tentent de traverser la magnétosphère, elles sont déviées par le champ magnétique « filtre à particules ». Cette déviation se caractérise par son rayon de courbure ainsi que la rigidité magnétique de l'ion. Toutefois, à cause de la rigidité géomagnétique réduite au niveau des régions polaires, les particules provenant des rayonnements cosmiques peuvent pénétrer à de basses altitudes. L'augmentation de la rigidité de la particule augmente sa déviation. Ainsi, une particule ne pourra jamais avoir les conditions nécessaires pour atteindre une altitude donnée au-delà d'une limite (appelée « rigidité de coupure »). C'est pourquoi 99,99% des particules issues des vents solaires contournent la magnétosphère [BARTH-97].



La Figure 1-6 présente les valeurs de rigidité de coupure pour une particule incidente normale à la surface de la Terre à une altitude de 500 km [SMAR-77]. On constate que lorsqu'on se rapproche de l'équateur, la rigidité augmente. Cela fait qu'une particule aura moins de chances de traverser l'atmosphère sur l'équateur que sur les pôles. C'est pourquoi le phénomène d'aurore boréale se produit dans les latitudes élevées.

### **3.3.2 Les ceintures de radiation**

Les ceintures de radiation ou les ceintures de Van Allen (c'est le nom du scientifique qui les a découvertes en 1958 [ALLE-59]) sont constituées essentiellement de particules énergétiques piégées par le champ magnétique terrestre de façon plus ou moins stable dans un environnement proche de la Terre. Elles sont composées d'électrons, de protons, et de

quelques ions lourds. Le déplacement de ces particules suit un mouvement complexe caractérisé généralement par ces trois mouvements élémentaires (cf. Figure 1-7) :

- un mouvement de giration dû à l'effet de la force de Lorentz et du champ magnétique terrestre représenté par l'enroulement des particules autour des lignes de champ,
- un mouvement oscillatoire provoqué par l'effet miroir magnétique,
- un mouvement de dérive azimutale créé par la non-uniformité des lignes de champs [HESS-68].

Les ceintures de radiation sont divisées en deux parties (cf. Figure 1-8), une première contenant deux ceintures d'électrons, se situe à environ 9000 km et 30000 km d'altitude et la seconde contient une ceinture de protons à environ 12000 km d'altitude. L'inclinaison ( $23^{\circ}26'$ ) entre l'axe magnétique et l'axe de rotation terrestre et la déformation de la magnétosphère sous l'effet du vent solaire introduit une dissymétrie des ceintures de radiation. Cela donne lieu à l'Anomalie Sud-Atlantique (SAA), une région particulièrement riche en protons. Les flux de protons évoluent en fonction de l'activité solaire et de l'altitude et le champ magnétique y est très faible. Ainsi, les orbites utilisées pour les missions devront être choisies hors des ceintures (orbites basses, LEO type ISS ou orbite géostationnaire GEO).

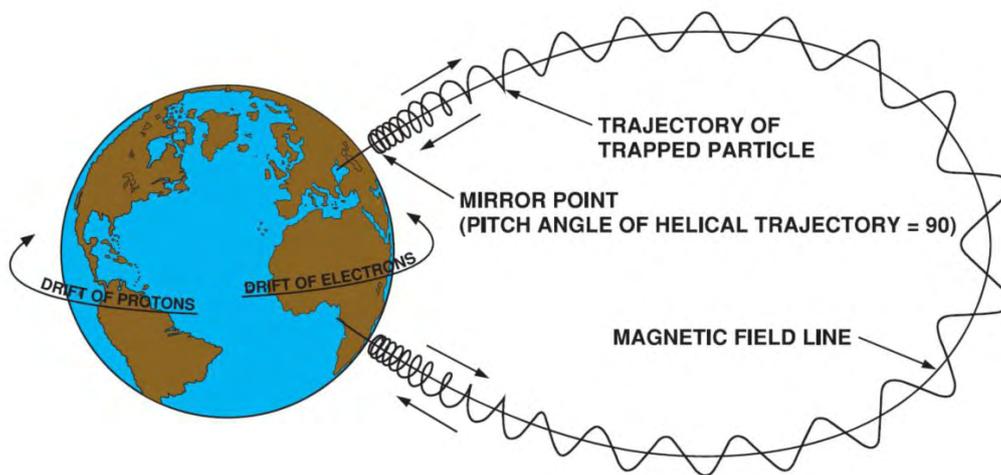
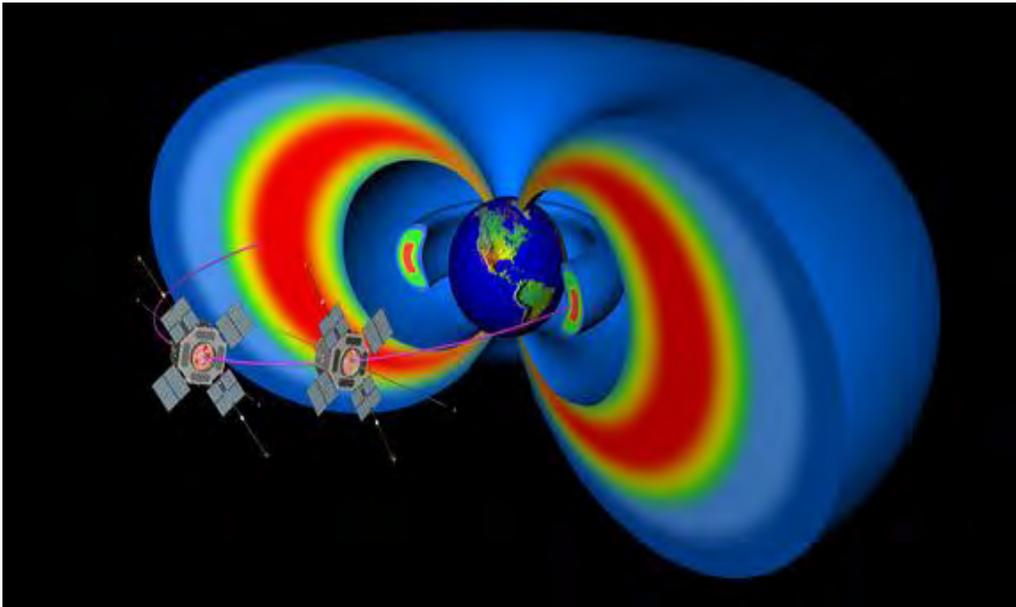


Figure 1- 7 : Mouvement des particules piégées dans la magnétosphère terrestre (d'après [STASS-88]).



*Figure 1- 8 : Les ceintures de radiations*

### **3.3.3 Cas représentatifs (Hipparcos)**

Après plus de 3 ans d'efficacité et de succès des opérations, les communications entre l'Agence spatiale européenne (ESA) et le satellite européen Hipparcos ont pris fin le 15 Août 1993. La cause du problème était attribuable à des dégradations de certains composants par les effets des radiations. Plusieurs tentatives pour relancer les opérations se sont avérées infructueuses et la mission a été résiliée [ELSE-87].

D'autres anomalies associées aux rayonnements ionisants sont détaillées dans [BEDI-96].

## **3.4 Récapitulatif des particules présentes dans l'environnement spatial**

Le tableau 1-1 reprend les différentes particules présentes dans l'espace indiquant leur nature et leur provenance. Les différents phénomènes radiatifs de l'environnement spatial présentés précédemment sont résumés dans la figure 1-9.

Tableau 1- 1 : Récapitulatif des particules présentes dans l'environnement spatial [LAMB06]

Provenance	Particules	Energies	Flux (cm <sup>-2</sup> .s <sup>-1</sup> )
Rayonnement cosmique	Protons (entre 85 et 90%) Particules α (entre 9 et 14%) Ions lourds (environ 1%)	100 à 10 <sup>6</sup> Mev Fortes énergies 1Mev à 10 <sup>14</sup> Mev	1 (à 100Mev)  10-14 (à 10 <sup>6</sup> Mev)
Vent solaire	Protons Electrons Particules α (7 à 8%)	<100Kev <qqKev	10 <sup>8</sup> à 10 <sup>10</sup>
Eruptions solaires	Protons Particules α Ions lourds	10Mev à 1Gev 10MEV à qq 100Mev	10 <sup>10</sup> ~ 100 à 1000
Ceintures de radiation	Protons Electrons	<qq 100Mev (dont 99% <10Mev) <7Mev (dont 99%<2Mev)	10 à 10 <sup>6</sup> 10 <sup>-2</sup> à 10 <sup>7</sup>

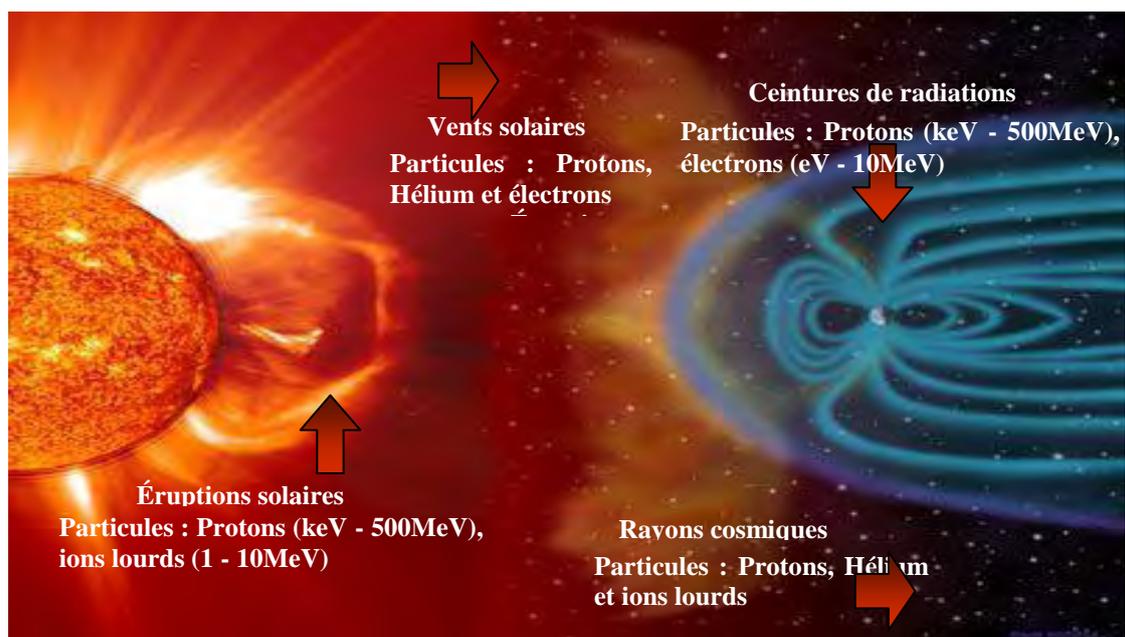


Figure 1- 9 : Effet des radiations spatiales sur la magnétosphère et ses déformations sous l'interaction avec le vent solaire [LUU-09]

### 3.5 Environnement atmosphérique

L'atmosphère est la couche de gaz qui entoure la Terre. Elle constitue un véritable filtre pour la Terre contre la majorité des radiations provenant de l'espace. L'environnement radiatif atmosphérique est principalement dû à l'interaction des atomes de l'atmosphère avec le rayonnement cosmique. La structure magnétique terrestre permet de limiter la pénétration des ions lourds issus des rayonnements cosmiques en les piégeant dans les ceintures de Van Allen.

En revanche les particules hautement énergétiques, qui ne sont pas piégées par le champ magnétique terrestre, peuvent entrer en collision avec les atomes de l'atmosphère et donner lieu à un phénomène de cascade appelé douche cosmique. Ce phénomène est la source majeure de l'environnement radiatif naturel atmosphérique.

Une douche cosmique ou gerbe atmosphérique est un phénomène lié à l'interaction des atomes de l'atmosphère avec des particules hautement énergétiques de l'ordre du Téra électronvolt ( $10^{12}$  eV). La Figure 1-10 présente les deux manières d'interaction entre ces particules. Dans un premier temps, les particules hautement énergétiques issues des rayonnements cosmiques peuvent ioniser directement les éléments de l'atmosphère en perdant une partie de leur énergie. Deuxièmement, elles déclenchent sur ces éléments atmosphériques des réactions nucléaires en cascade, formant ainsi une chaîne de particules secondaires comme des protons (p), des neutrons (n) ou des pions ( $\pi$ ). Ces particules sont susceptibles d'interagir avec les systèmes embarqués et plus particulièrement les semi-conducteurs.

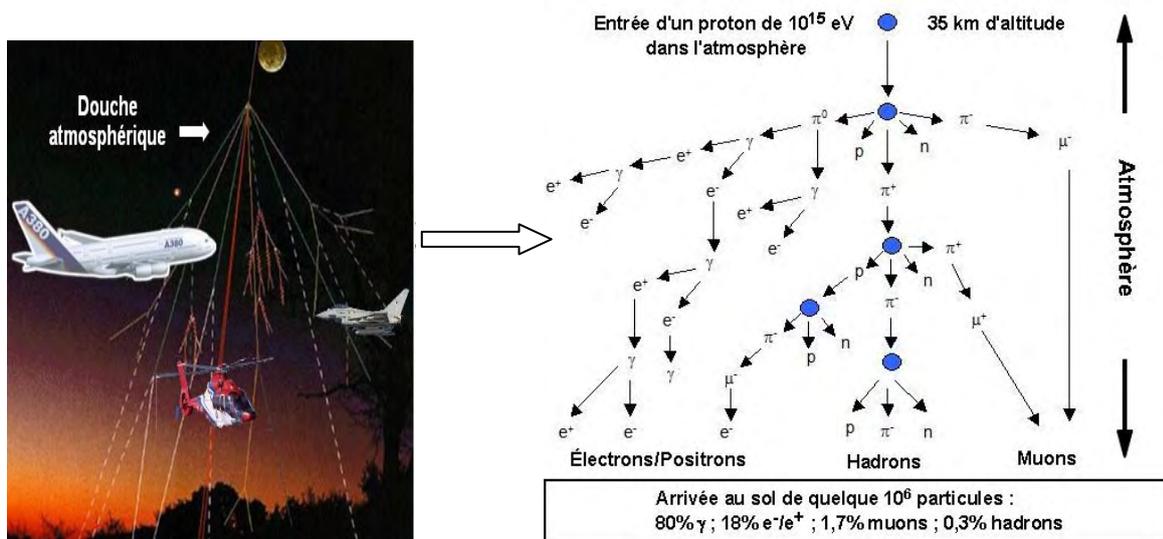


Figure 1- 10 : Gerbe atmosphérique liée à l'interaction d'une particule ionisante avec la haute atmosphère

Le flux total des particules atmosphériques à différentes altitudes est présenté sur la Figure 1-11. Elle montre que les particules prédominantes au niveau des altitudes avioniques sont les électrons et les neutrons. La masse trop faible des électrons ne permet pas de déposer suffisamment de charges de manière localisée pour introduire directement une défaillance dans les équipements électroniques. Il en est de même pour les neutrons car ils ne sont pas ionisants. En revanche, ces derniers ont la capacité de générer des ions secondaires suite à des

collisions avec les atomes des différentes couches semi-conductrices des composants électroniques. Cela peut déclencher des défaillances électriques.

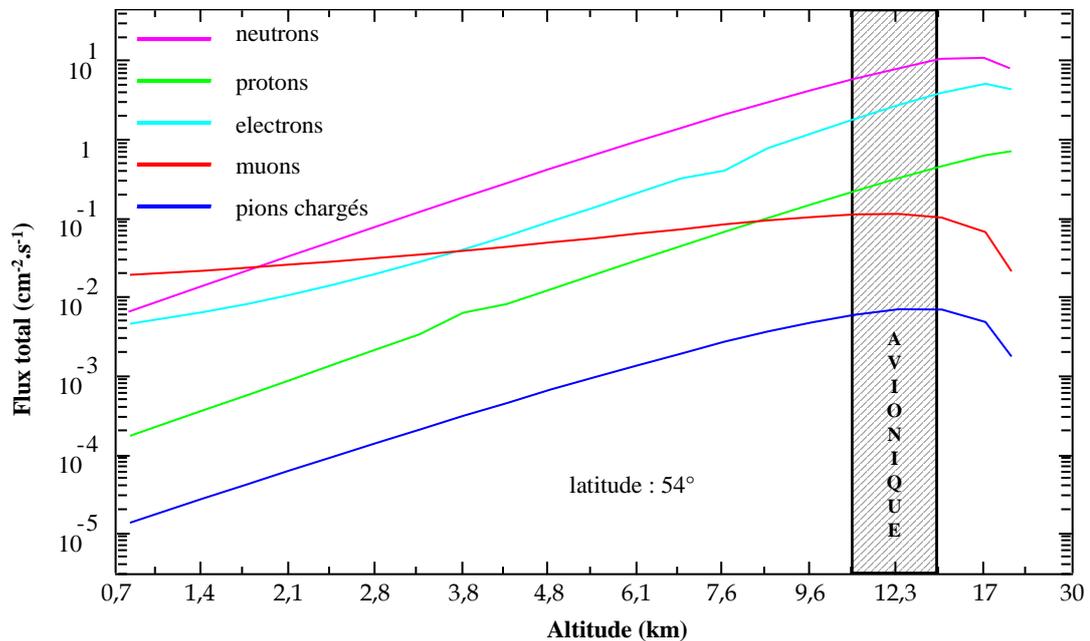


Figure 1- 11 : Flux total des particules se trouvant dans l'atmosphère en fonction de leur altitude  
[BRIE-71]

## 4 Interaction rayonnement - matière

Les différentes particules énergétiques présentes dans le milieu spatial rendent cet environnement le plus hostile du point de vue radiatif. Mais il n'est pas la seule source naturelle de rayonnement, plusieurs éléments terrestres peuvent également l'être. L'étude des effets des particules sur la matière reste primordiale en raison de la part croissante des composants et systèmes électroniques à bord des engins aéronautiques et spatiaux. L'effet d'une particule dépend de ses propriétés physiques et de la matière ciblée. La Figure 1-12 résume bien le parcours et les différents mécanismes d'interactions d'une particule énergétique dans la matière. Une interaction peut être soit de type coulombienne par interaction des champs électriques des différentes entités en jeu ou nucléaire, c'est-à-dire interaction avec le noyau cible sous forme élastique ou inélastique. Les travaux présentés dans cette thèse traitant des composants à semi-conducteurs, nous allons donc nous focaliser sur les différents mécanismes d'interactions entre les ions, les protons et les neutrons avec le silicium.

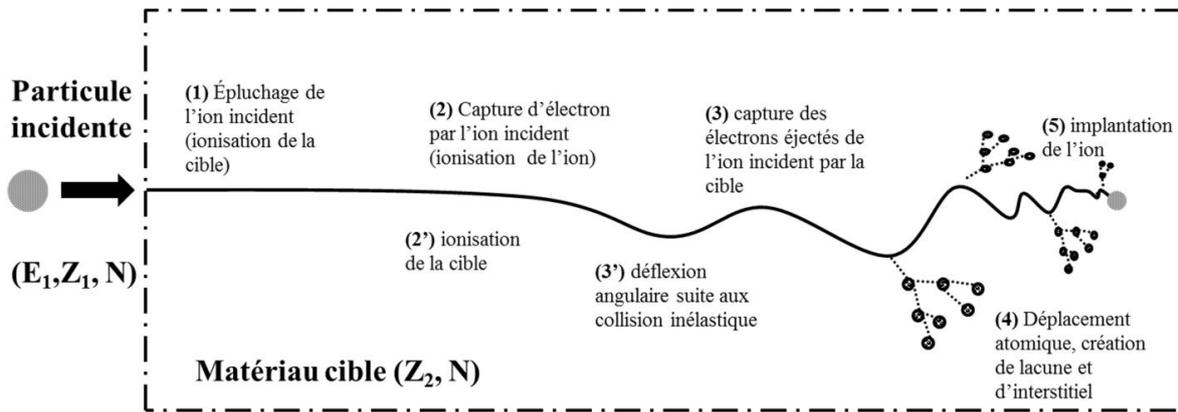


Figure 1- 12 : Représentation du parcours et des différents mécanismes d'interactions d'une particule énergétique dans la matière [NACE-12].

## 4.1 Interaction neutron, proton - silicium

Le neutron est une particule non chargée de masse voisine de celle du proton ( $1,672623 \times 10^{-27}$  kg). La possibilité d'une ionisation coulombienne est donc nulle. Par contre, les neutrons peuvent générer des charges libres de façon conséquente en produisant des ions lourds par réaction nucléaire. En ce qui concerne le proton, la possibilité d'interaction nucléaire avec le réseau cristallin est non négligeable grâce à sa charge. Il peut en effet engendrer un nombre de particules secondaires très variées, noyaux ionisés, neutrons, protons ou électrons suite à des interactions par chocs avec les noyaux des atomes du silicium. La Figure 1-13 présente schématiquement les différentes réactions nucléaires provoquées par des protons ou des neutrons. On distingue deux types de réactions nucléaires. Le premier consiste à conserver la nature des particules en interaction et l'énergie cinétique (réactions élastiques). Dans le second type, une partie de l'énergie incidente est utilisée pour modifier l'énergie d'excitation du noyau de silicium, l'énergie cinétique n'est donc pas conservée (réactions inélastiques et non-élastiques).

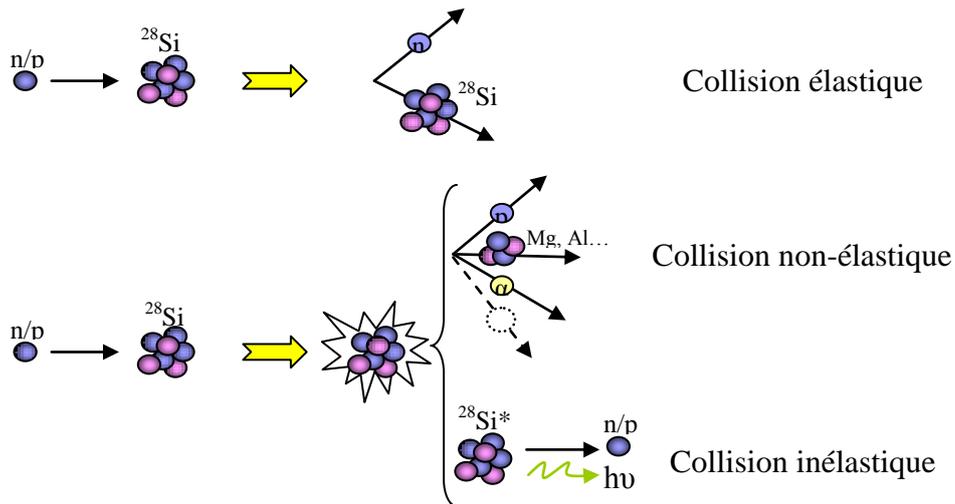


Figure 1- 13 : Représentation schématique des deux catégories d'interactions

## 4.2 Interactions ion-silicium

Lorsque le silicium est pénétré par une particule chargée, cette dernière interagit principalement sous l'effet des forces coulombiennes avec les particules chargées qui constituent les atomes de silicium [HUBE-01]. L'ion incident, qui traverse un milieu comportant une forte population d'électrons, subit un grand nombre d'interactions avec ces électrons au cours desquelles il perd progressivement de l'énergie. La probabilité d'un choc direct avec le noyau atomique est très faible. Les électrons vont subir une transition vers un état excité par le phénomène d'ionisation qui génère d'autres d'électrons capables de reproduire de nouvelles ionisations, comme illustré sur la Figure 1-14 (a).

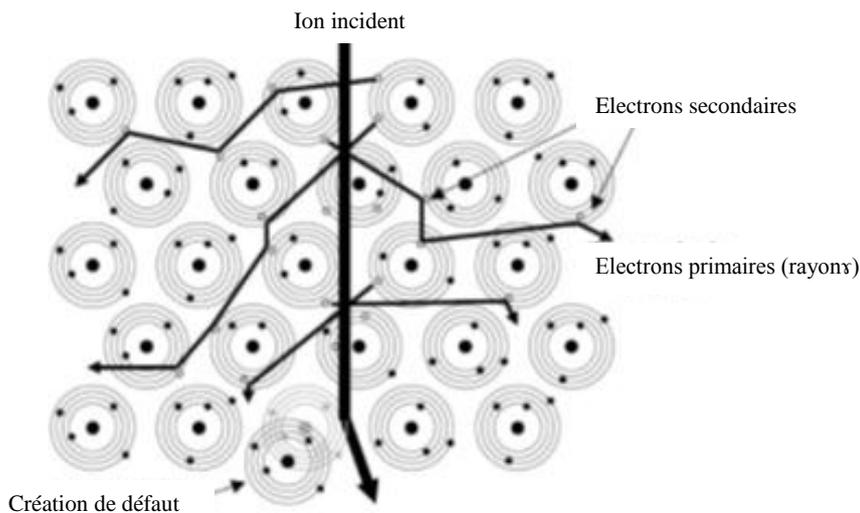


Figure 1- 14 : Interaction ion-silicium [HUBE-01]

## 5 Notion de Pouvoir d'Arrêt et de Transfert d'Énergie Linéique

Le mécanisme d'ionisation que nous avons expliqué dans le précédent paragraphe est donc responsable du ralentissement et de la perte d'énergie de la particule chargée. Cette perte d'énergie cédée par unité de longueur ( $dE/dx$ ) est appelée pouvoir d'arrêt et mesurée en MeV/cm. Il en existe deux types : le pouvoir d'arrêt nucléaire et le pouvoir d'arrêt électronique. Le premier est généralement négligeable (cf. Figure 1-15), il est produit par les collisions élastiques entre l'ion incident et les noyaux des atomes du réseau cristallin. Le second provient du ralentissement par des collisions inélastiques de l'ion incident avec les électrons des atomes du matériau [LUU-09]. En effet, l'unité la plus couramment utilisée dans ce genre d'études est le LET (Linear Energy Transfer) ou transfert d'énergie linéique car il permet d'annuler la dépendance entre le pouvoir d'arrêt et la densité du matériau. Il est défini comme le rapport du pouvoir d'arrêt total sur la masse volumique du matériau cible exprimé en  $\text{MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$  ou en  $\text{pC}/\mu\text{m}$  ( $1 \text{ pC}/\mu\text{m} \approx 100 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ ), sachant que, pour créer une paire électron-trou dans le silicium, il faut en moyenne 3,6 eV. La Figure 1-14 montre le LET d'ion aluminium (Al), d'ion Fer (Fe) et ion alpha (He) en fonction de leur parcours dans le silicium. On observe que la perte d'énergie passe par un maximum juste avant la fin du parcours dans les deux cas Al et He, ce qui n'est pas le cas dans le Fe. Ce maximum, appelé pic de Bragg, montre l'équilibre entre deux phénomènes : la perte de la capacité de la particule à ioniser la matière et le temps d'interaction d'une particule vis-à-vis d'un volume élémentaire donné [BOUD-98].

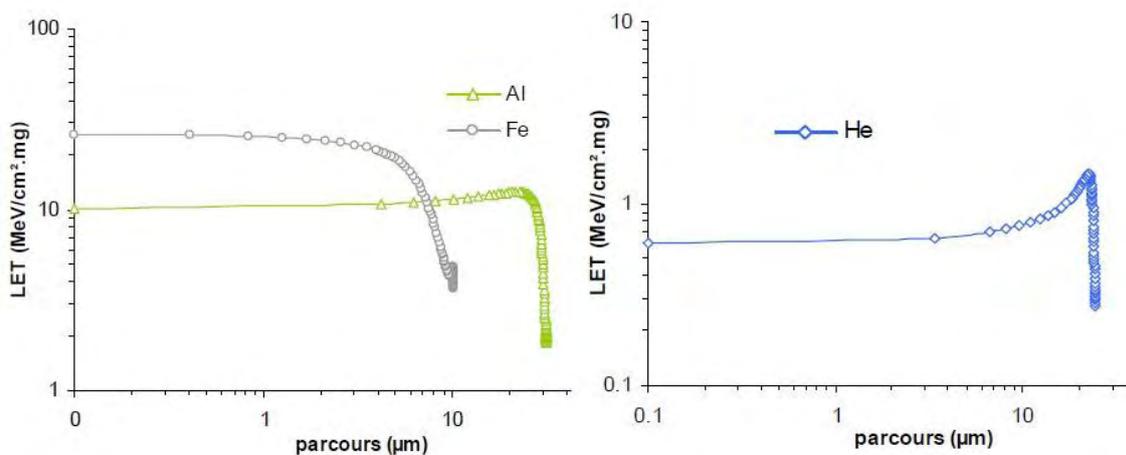


Figure 1- 15 : Profil de pouvoir ionisant pour trois ions. A gauche : Ion aluminium (Al), Ion Fer (Fe); A droite, Ion alpha (He) avec observation du pic de Bragg [LUU-09]

## 6 Notion de range

La portée, ou range en anglais est la longueur de trajectoire propre d'un ion résultant de ses interactions avec le matériau cible. On peut calculer sa valeur moyenne à partir de la perte d'énergie de l'ion par unité de longueur comme le montre l'équation 1-1. En effet, les lois de la statistique qui définissent le comportement d'un faisceau de particules, ne permettent pas de calculer sa valeur absolue.

$$r(E) = \int_E^0 \frac{dE}{\left(\frac{dE}{dx}\right)_{Total}} \quad Eq 1-1$$

Avec :

- $r(E)$  : range
- $E$  : Energie de l'ion incident
- Bornes d'intégration correspondent à :  $\begin{cases} E : \text{l'énergie cinétique du début de parcours} \\ E=0 : \text{fin de parcours} \end{cases}$

Les notions de LET et de range seront utilisées lors de toute cette étude. Elles permettent de mieux analyser le comportement et la sensibilité des composants semi-conducteurs face aux événements singuliers que nous allons définir dans la suite de ce chapitre.

## 7 Répartition spatiale et temporelle de la trace d'ionisation

Les électrons libres provoqués par une trace d'ionisation possèdent une forte énergie transmise par un ion lourd au moment de l'ionisation d'un atome. Elle est de l'ordre de plusieurs keV, donc bien supérieure à l'énergie nécessaire pour ioniser les atomes du réseau cristallin de silicium (3,6 eV). La création d'une paire électron trou est donc assurée par un électron qui possède alors une énergie cinétique très importante et qui peut ioniser les atomes du silicium. Ces électrons hautement énergétiques sont appelés électrons delta ou rayons  $\delta$ . Ils contribuent à l'étendue spatiale de la trace ionisante. La formule empirique suivante dimensionne le parcours moyen  $R$  des rayons  $\delta$  de la trace en fonction de l'énergie cinétique [EQUE-88] :

$$R[\mu\text{m}] = (1,83 \times 10^{-2})E_c[\text{keV}]^{1,75} \quad Eq 1-2$$

Il est évident que la valeur du parcours moyen  $R$  des rayons  $\delta$  diminue au fil du parcours de l'ion car ce dernier perd de l'énergie cinétique avec la profondeur du range. Par ailleurs, l'établissement du range dépend du temps mis par l'ion pour s'arrêter. Ainsi, l'étendue radiale de son tour dépend du temps mis par l'électron delta (rayons  $\delta$ ) pour effectuer leur parcours maximal. Le temps nécessaire pour établir une trace de charge dans un semi-conducteur est de l'ordre de quelques picosecondes [RICH-87].

## **8 Effets des rayonnements sur les MOSFET de puissance**

Nous avons vu précédemment que le passage d'une particule énergétique est à l'origine de la création d'un filament dense de paires électrons-trous le long de la trace. Nous présenterons dans cette partie les différents effets induits par le rayonnement sur les composants électroniques de puissance. Nous distinguerons deux types de phénomènes liés aux effets des rayonnements :

-Les phénomènes cumulatifs : ce sont les effets liés à la dose ionisante qui sont à l'origine des erreurs fonctionnelles,

-Les phénomènes induits par une unique particule : ce sont les effets singuliers qui sont à l'origine d'une perte transitoire ou permanente de la fonctionnalité.

### **8.1 Effets de dose**

Ces effets cumulatifs interviennent dans tous les matériaux isolants présents dans les composants électroniques actifs. Leur dégradation entraînée par la dose cumulée est principalement liée à l'interface Si-SiO<sub>2</sub> des structures. Suite au passage des particules ionisantes dans une structure MOS, une partie des charges générées se retrouve piégée dans le milieu de l'oxyde de grille. Dans ce milieu isolant, elles ne peuvent ni se combiner avec des porteurs libres inexistantes ni participer au phénomène de recombinaison initial, contrairement aux charges générées dans les parties semi-conductrices et métalliques. Le déplacement des charges dépend de leur mobilité, les électrons sont assez rapidement évacués de l'oxyde et les trous se déplacent très lentement vers l'interface Si/SiO<sub>2</sub> à cause de leur mobilité réduite. En effet, certains trous peuvent rencontrer des centres de défauts et être piégés dans l'oxyde. La tension aux bornes de l'isolant peut être augmentée, dans le cas où les trous se retrouvent piégés au niveau de l'interface. Une charge quasi permanente va évoluer très lentement dans l'oxyde, une fois que la migration des trous terminée [LAMB-06]. L'un des principaux

problèmes provoqués par les effets de la dose dans les transistors MOS est la dérive de leur tension de seuil de la commande de grille.

## 8.2 Les Événements Singuliers (SEE)

SEE (Single Event Effect) est le phénomène associé au passage d'une particule unique fortement chargée dans les matériaux semi-conducteurs. Les événements singuliers peuvent être à l'origine de dysfonctionnements temporaires comme le changement transitoire de l'état d'une mémoire ou bien à l'origine de dysfonctionnements permanents comme le claquage de la grille d'un transistor MOS. Ils sont donc divisés en deux catégories, événements destructives et événements non destructifs :

Les événements destructifs engendrent des pertes de fonctionnalités irréversibles. Les principaux événements que l'on retrouve dans les composants de puissance sont : le Single Event Latchup (SEL), le Single Event Gate Rupture (SEGR) et le Single Event Burnout (SEB). Ces mécanismes destructifs seront décrits par la suite plus en détail dans le cas des structures de puissance,

Les événements non destructifs engendrent des pertes de fonctionnalités réversibles. Ils sont liés à des phénomènes transitoires dont les erreurs peuvent être corrigées. On retrouve principalement deux types d'effets parmi ces événements : le Single Event Upset (SEU) et le Single Event Transient (SET). Ces événements touchent généralement à la fois des composants analogiques ou digitaux. Le SEU intervient dans les composants logiques à base de technologie MOS comme les mémoires SRAM ou SDRAM. Il s'agit d'une corruption de l'information dans ces blocs mémoires par le basculement d'un état logique vers l'état logique complémentaire. Cependant, la réversibilité est expliquée par le fait qu'un circuit de rattrapage de bits suffira à corriger un SEU dans une mémoire RAM par exemple. En ce qui concerne le SET, il provoque un courant temporaire parasite résultant des charges créées par le passage d'une particule ionisante dans la cellule d'un circuit analogique et qui entraîne des perturbations transitoires dans la réponse du composant.

### 8.2.1 Single Event Burn-out (SEB)

Ce phénomène peut n'apparaître que dans une seule cellule élémentaire mettant en jeu l'ensemble de la puce de puissance. La Figure 1-16 présente le mécanisme de déclenchement du SEB dans un VDMOS. Dans cette structure de puissance, il existe un transistor bipolaire parasite NPN (Figure 1-16). La source  $N^+$  constitue l'émetteur, le caisson P la base et la

couche épitaxiée  $N^-$  avec le substrat  $N^+$  le collecteur. Ce transistor bipolaire parasite normalement inactif peut être mis en conduction suite au passage d'une particule ionisante. Sa mise en conduction couplée au mécanisme d'avalanche peut alors provoquer ce phénomène de SEB après un emballement irréversible en courant. Le principe de fonctionnement du mécanisme de SEB nécessite d'être en polarisation inverse à l'état « off » avec une zone de charge d'espace suffisamment étendue permettant de générer des porteurs par avalanche. Comme le montre la Figure 1-16, le phénomène est initié par la captation de trous qui proviennent, dans un premier temps, de la trace d'ionisation créée par le passage d'une particule incidente. Si le champ électrique dans la zone de charge d'espace est insuffisant et/ou si le courant de trous est trop faible, le bipolaire parasite s'éteint et le phénomène se traduit simplement par un courant transitoire suivi du retour à l'état initial. En revanche, si la condition de champ électrique est suffisante dans la zone de charge d'espace et si le courant provenant du filament d'ionisation est important, le mécanisme de SEB est initié par la diffusion latérale de ce courant de trous, sous la source dans le caisson P, jusqu'à polariser en direct la jonction émetteur-base du transistor bipolaire. Après avoir mis en conduction le transistor parasite, les électrons sont injectés de l'émetteur vers la région épitaxiée précipitant le phénomène d'avalanche à l'aide de champ électrique important dans la région épitaxiée [HOHL-87]. En effet, les électrons traversant la zone de charge d'espace acquièrent une énergie cinétique suffisante pour arracher un électron à un atome du réseau cristallin, créant ainsi une paire électron-trou lors des collisions [LUU-09]. Le phénomène s'auto-entretient : le bipolaire fournit de plus en plus d'électrons aux phénomènes d'avalanche, provoquant une génération de trous de plus en plus importante qui alimente le bipolaire et ainsi de suite. Le très fort courant résultant qui passe dans une seule cellule élémentaire conduit à la destruction de la cellule puis du composant par emballement thermique (cf. Figure 1-17).

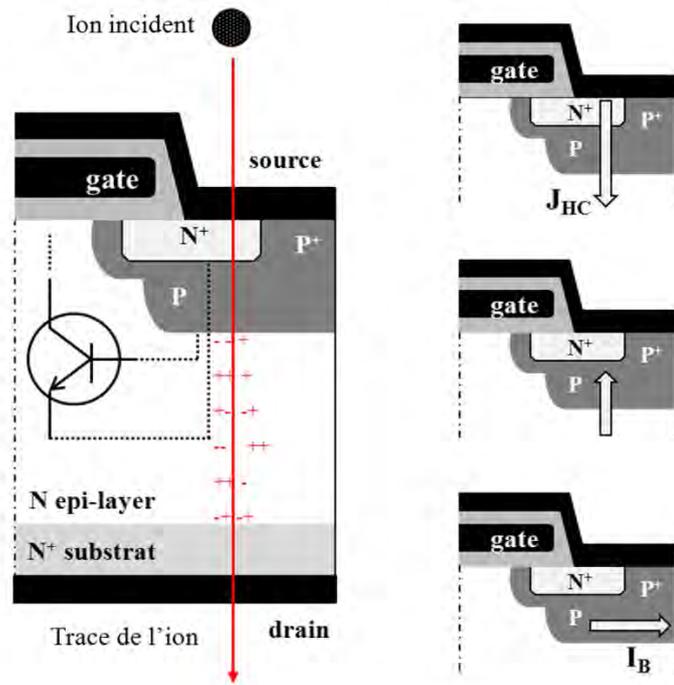
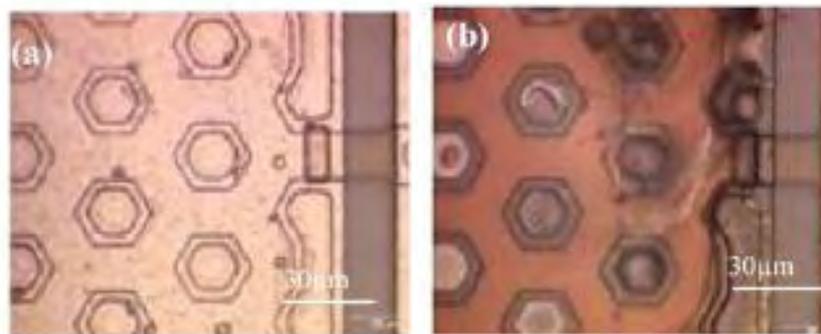


Figure 1- 16 : Mécanismes de déclenchement du SEB.



Avant SEB

Après SEB

Figure 1- 17 : Single Event Burn-out dans une MOSFET

## 8.2.2 Single Event Gate Rupture (SEGR)

Ce phénomène a été observé expérimentalement pour la première fois en 1980 par Pickel sur des structures Métal-Nitride- Oxyde-Semiconducteur utilisées dans les mémoires non volatiles [PICK-85]. Il a ensuite été observé sur différents types de structures à base d'oxyde de grille comme les MOSFET de puissance [FISC-87] et les IGBT [MCDO-00]. Le mécanisme de SEGR est le claquage de l'oxyde de grille induit par le passage d'une particule unique ionisante (ion lourd) dans le silicium qui entraîne la destruction totale d'un composant à grille isolée. La Figure 1-18 présente le mécanisme de déclenchement du SEGR dans un VDMOS. Suite au passage de l'ion à travers la région inter cellulaire centrée entre les deux régions P et située en dessous de l'oxyde d'un VDMOS par exemple (« neck » cf. Figure 1-

18), un plasma dense de paires électron-trou est créé le long du passage de l'ion. Les trous sont attirés par l'interface SiO<sub>2</sub>/Substrat sous l'effet de la polarisation drain-source, conduisant à l'apparition d'une charge image dans l'électrode de grille et induisant une augmentation du champ à travers l'oxyde. Même si cette augmentation est transitoire, elle peut entraîner la perte définitive de fonctionnalité du composant. L'augmentation brusque et significative du courant de fuite de grille caractérise l'aspect électrique de ce phénomène.

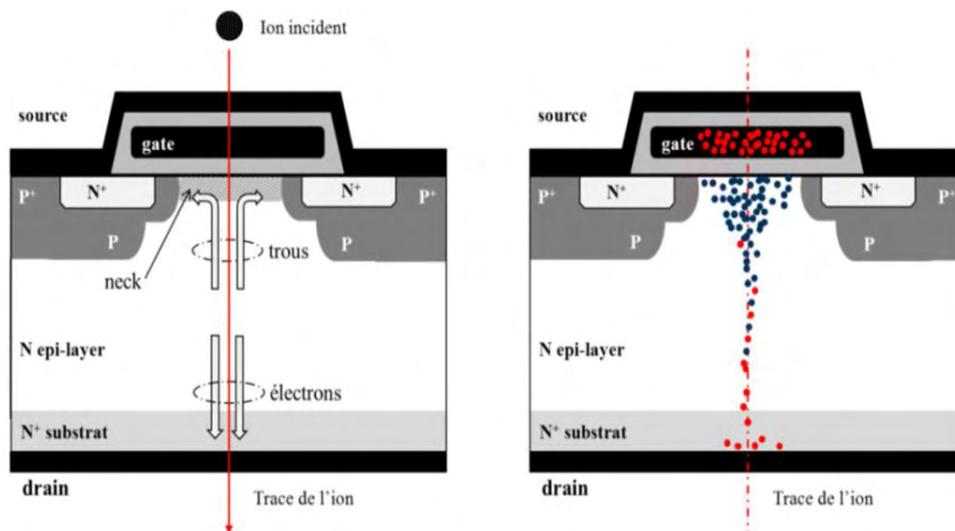


Figure 1- 18 : Mécanismes de déclenchement du SEGR.

### 8.2.3 Single Event Latch-up (SEL)

Le mécanisme de Single Event Latch-up se produit aussi pendant la phase de blocage du composant où une particule ionisante dépose des paires électron-trou dans la zone de charge d'espace. Les technologies vulnérables à ce phénomène sont les composants MOS et IGBT. La Figure 1-19 présente le mécanisme de déclenchement du SEL dans un IGBT planar. Ce phénomène de SEL est provoqué par un courant critique dans la base d'un des transistors parasites (PNP ou NPN) qui conduit au latch-up, c'est-à-dire au verrouillage du thyristor parasite inhérent (cf. Figure 1-19) pour la condition  $\alpha_{\text{PNP}} + \alpha_{\text{NPN}} = 1$ . En effet, les porteurs générés suite au passage d'une particule ionisante déclenchent dans un premier temps le transistor parasite PNP. La modification de la polarisation de la jonction N<sup>+</sup>P augmente l'injection des électrons depuis l'émetteur dans la zone d'épitaxiée, qui constitue le courant de base du transistor parasite PNP. À cet instant, plus la tension appliquée est élevée, plus le champ électrique est intense et le courant augmente. Par conséquent les trous sont injectés dans la zone d'épitaxiée depuis le substrat et atteignent la zone P : ils fourniront le courant de base du transistor NPN. Celui-ci assure à son tour le verrouillage du thyristor parasite en

déclenchant le latch-up. Comme les autres événements singuliers, le SEL peut être déclenché dans une seule cellule élémentaire entraînant la destruction totale du composant par la fusion locale du silicium (cf. Figure 1-20) [LORF-97], [SEXT-03]. Contrairement au phénomène de SEB, l'avalanche n'est pas essentielle au mécanisme de SEL [LORF-97]. Ce dernier est basé principalement sur la capacité d'amplification des gains des structures parasites.

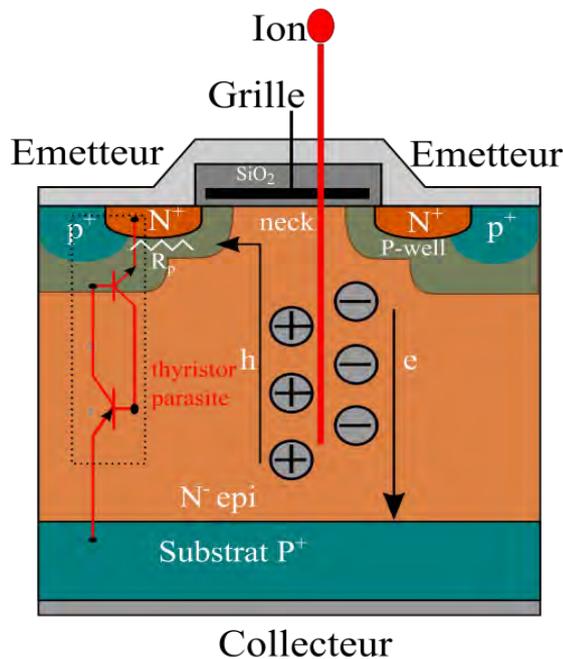


Figure 1- 19 : Thyristor parasite dans un IGBT NPT

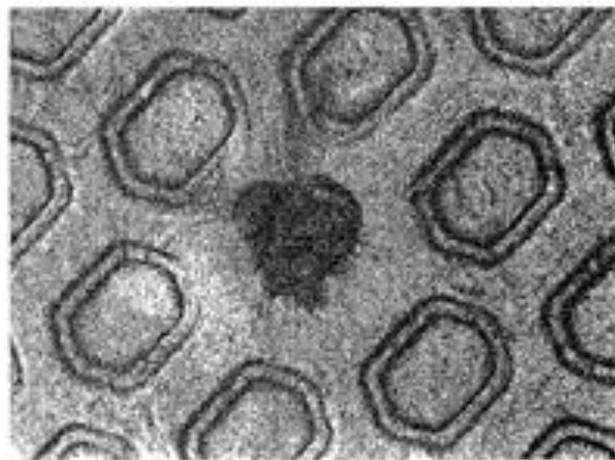


Figure 1- 20 : Single event latch-up dans les IGBT [LORF-99]

## 9 Représentation de la sensibilité radiative

La sensibilité aux radiations dans les composants électroniques, plus particulièrement dans les structures de puissance, est généralement représentée par deux

grandeurs : la zone de sécurité radiative appelée SOA (Safe Operating Area) et la section efficace.

La SOA radiative est exprimée par une dimension liée à la trace ionisante (énergie, quantité de charge déposée, LET ...) en fonction de la tension de polarisation (Cf. Figure 1-21 (a)). Cette grandeur sera utilisée dans ce travail.

La section efficace est exprimée par le nombre d'événements sur le nombre total de particules. Elle est souvent tracée en fonction du LET ou de la tension de polarisation (Cf. Figure 1-21 (b)).

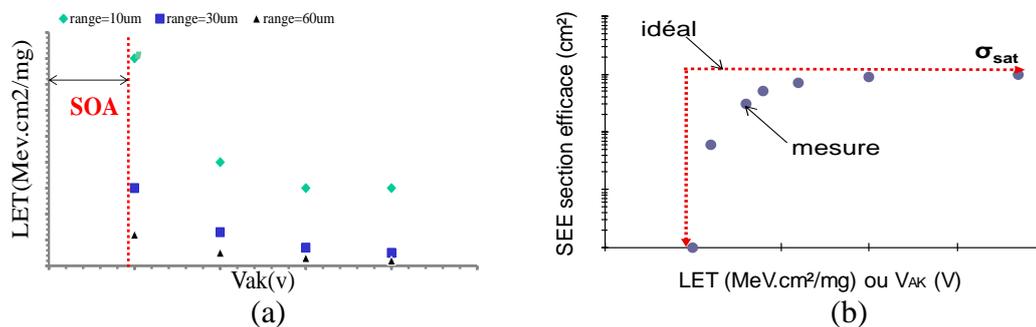


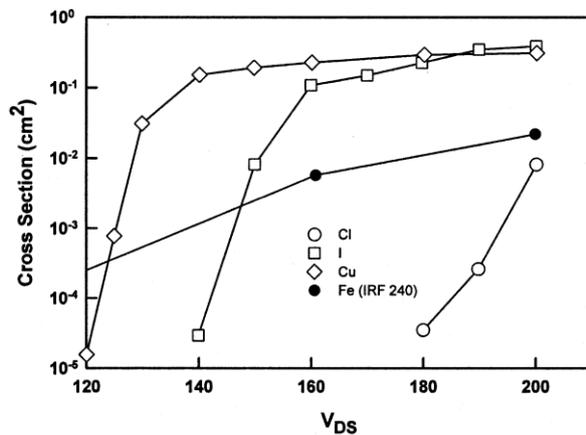
Figure 1- 21 : Safe Operating Area (SOA) (a) et section efficace pour un ion incident (b) pour un ion donnée

## 10 Etat de l'art sur les phénomènes du Single Event Burn-out et Single Event Latch-up

### 10.1 Le burn-out

Le phénomène du burn-out a été expliqué pour la première fois par Wrobel en 1985 sur un VDMOS à canal N. Il l'a attribué au second claquage induit sur la structure NPN bipolaire parasite [WROB-85]. L'observation de phénomène de Single Event Burn-out (SEB) a été d'abord publiée en 1986 par un groupe de chercheurs d'Aerospace Corp qui a rendu compte expérimentalement du phénomène de SEB provoqué par des ions lourds d'une source de Californium-252 sur des MOSFET de puissance à canal N [WASK-86]. Cette défaillance a été observée lorsque la polarisation drain source a dépassé 50% de la tension maximale du MOSFET. Leur explication de ce phénomène est basée sur la combinaison du déclenchement du transistor bipolaire parasite et du mécanisme d'avalanche sous une tension de polarisation élevée conduisant à l'emballement thermique et la fusion locale des cellules. Une image optique de burn-out dans un transistor IRF150 a déjà été montrée Figure 1-17, où le burn-out

se produit dans la région de drain d'une seule cellule du dispositif. En 1987, il a été estimé que la probabilité d'observer un SEB dans des MOSFET de puissance de type IRF150 utilisés dans des satellites était trop faible. Durant la même année, des études plus détaillées de SEB ont été effectuées indépendamment par Oberg [OBER-87] et Fischer [FISC-87] en utilisant des techniques qui préviennent le burn-out par la limitation du courant avec une résistance en série et la coupure de l'alimentation au bout de 1µs de détection d'un état de courant élevé. Lors du traçage de la section efficace de SEB, Oberg observe que le  $V_{DS}$  seuil de déclenchement diminue généralement avec l'augmentation du LET (cf. Figure 1-22).



ions	E (MeV)	LET (MeV cm <sup>2</sup> /mg)
Cl	90	16
I	90	0-40
Cu	200	28
Fe (IRF 240)	200	16-280

Figure 1- 22 : SEB sections transversales en fonction de la tension drain-source  $V_{DS}$ , pour un transistor MOSFET de puissance 2N6766.

Afin d'expliquer l'absence de défaillances dans les systèmes spatiaux, Brucker et al. ont réalisé une étude sur des MOSFET de puissance discrets et sur un convertisseur de puissance d'un prototype de vol conçu avec le même type de dispositif [BRUC-87]. Aucune défaillance n'a été observée dans le convertisseur de puissance lorsqu'il était exposé à un flux de 600 ions Fe MeV qui ont été filtrés pour produire un spectre similaire à celui observé à des altitudes géostationnaires. Les essais sur les dispositifs discrets dans le même faisceau ont montré un seuil de 80 V, alors que les tests sur un accélérateur de faible énergie en utilisant des ions Cl de 85 MeV donnent un seuil de SEB à 110 V, soit environ 50% plus élevé que les données antérieures par Waskiewicz [WASK-86]. L'absence de défaillances dans l'espace était expliquée par le durcissement des pièces utilisées dans les unités de l'espace qualifiés par rapport aux composants utilisés dans les essais précédents. Cependant, il est important de noter qu'en orbite, les MOSFET de puissance sur la carte de conditionnement de puissance ont été opérés de manière dynamique avec un rapport cyclique de 25 %, tandis que les parties discrètes ont été testées dans un mode statique. Cette différence peut expliquer aussi le manque de SEB observés dans les systèmes spatiaux réels à l'époque. Une série de tests a été

effectuée par Fischer [FISC-87] pour mesurer les formes d'onde de courant de drain dans les essais sur les MOSFET de puissance à canal N et à canal P. En fixant la valeur d'un condensateur externe, Fischer a contrôlé la quantité d'énergie disponible pour un SEB et a été en mesure d'engager une condition d'un courant intense qui n'a pas conduit à un emballement thermique ni à un burn-out. Avec l'utilisation de plus grandes capacités pouvant stocker plus d'énergie, le même dispositif pourrait déclencher un burn-out. Le dispositif à canal N a eu un SEB de 22% à 90% de la tension de claquage nominale, tandis que des dispositifs semblables à canal P n'ont pas connu le déclenchement SEB jusqu'à sa tension de rupture nominale. Ceci est cohérent avec un modèle de courant induit à avalanche (CIA) conduisant à un deuxième déclenchement développé par Wrobel et al. pour expliquer le claquage par avalanche lors de l'irradiation du débit de dose élevé dans les deux MOSFET de puissance DMOS et des transistors NPN construits avec des couches épitaxiées légèrement dopées [WROB-85]. Hohl et Galloway [HOHL-87] ont développé un modèle analytique de SEB afin d'étudier la sensibilité des composants de puissance au burn-out. Ils ont déterminé que l'intensité du champ électrique dans la région faiblement dopée N épitaxiée a été le principal facteur à la sensibilité de SEB, donnant une meilleure explication du mécanisme de SEB (cf. paragraphe 1.7.3). Dans leurs travaux, Hohl et Galloway ont montré que les MOSFET de puissance peuvent être durcis contre le phénomène de SEB en réduisant la distance entre la région P<sup>+</sup> et le P-well, mais cette solution est limitée par la lithographie et par la tension maximale de fonctionnement de la structure. À ce stade, la génération des trous de l'ionisation par impact est maximale. Ils ont également constaté la dépendance du gain du transistor NPN parasite, de la résistance de diffusion dans la région de base et de la multiplication par avalanche dans la région de drain.

Afin d'augmenter la tenue en tension inverse dans les MOSFET de puissance, l'épaisseur de la couche épitaxiée doit être augmentée et le niveau de dopage réduit. Bien que cela conduise à une tension de blocage supérieure, le dispositif est aussi plus sensible au SEB. Dans certains cas, le SEB n'est pas détecté dans les structures de 100 V fonctionnant à 100% de la tension nominale, alors qu'il est facile d'observer un burn-out avec le même LET dans les structures de 400 V fonctionnant à près de 50% de la tension nominale.

Dans la même période, Titus et al. ont effectué des investigations sur les moyens de durcir les MOSFET de puissance contre les phénomènes de SEB et de SEGR [TITU-89]. Leur travaux ont porté sur les moyens de réduire l'action de transistor bipolaire NPN par la suppression de sa mise en conduction et la réduction du champ électrique maximal dans la région épitaxiée. Bien que les détails des modifications du design et du processus

technologique n'aient pas été divulgués, ils ont pu démontrer des dispositifs qui ne sont pas sensibles au SEB avec des ions allant jusqu'à  $63 \text{ MeV.cm}^{-2}/\text{mg}$ . La diminution de la sensibilité contre le phénomène de SEB et de SEGR est venue avec une certaine réduction des performances électriques des composants telles que l'augmentation de la résistance à l'état passant.

Dans les années 1990, les recherches sur le phénomène de SEB se sont poursuivies avec des tentatives pour estimer les taux de défaillance SEB au cours des missions spatiales et expliquer les effets de quelques paramètres comme le range des ions sur la sensibilité. Les méthodes pour estimer les taux d'événements singuliers dans l'espace reposent sur des modèles de l'énergie des ions lourds et des flux dans l'espace sous différentes conditions de la météo spatiale, le seuil de SEB est déterminé à partir de la mesure ou des modèles, et l'estimation du volume de charges collectées [REED-03]. Stassinopoulos et al. ont montré que, pour une polarisation fixe, le burn-out dépend de la distribution de charge le long de la trace de l'ion et pas seulement du LET de l'ion utilisé [STASS-92].

La charge critique nécessaire pour déclencher un SEB a été mesurée par Kuboyama et al. en utilisant un système d'analyseur de hauteur d'impulsions couplé à un amplificateur sensible [KUBO-92]. La charge critique, couplée avec les dimensions du volume sensible, est essentielle pour estimer le taux de défaillance dans les environnements spatiaux. La figure 1-23 montre la collection de charge d'un burn-out mesurée à l'aide d'un système d'analyseur de hauteur d'impulsions couplé avec un amplificateur sensible. Lors de la mesure de charge dans le nœud de drain du MOSFET de puissance au moment de passage d'un ion lourd, un pic dans la charge collectée se produit à basse tension ou à faible LET qui a été identifié avec la collection de charge dans la zone de déplétion (cf. Figure 1-23). Avec l'augmentation du LET ou de la tension de polarisation, un second pic apparaît à droite associé à l'action de la jonction base-émetteur du transistor parasite vertical; les deux pics se déplacent progressivement vers une charge plus élevée. Lorsqu'un SEB se produit, un pic de charge élevé apparaît correspondant à l'état d'emballement de courant d'avalanche. La charge la plus élevée, mesurée juste avant le début de SEB, correspond au courant critique nécessaire pour déclencher un SEB. Cette valeur de  $Q_{th}$  ou  $Q_{min}$  reste constante dans toutes les conditions qui peuvent causer un burn-out, indiquant qu'elle dépend seulement des paramètres physiques et géométriques de la structure et non pas des conditions de fonctionnement ou de l'ion induisant un SEB.

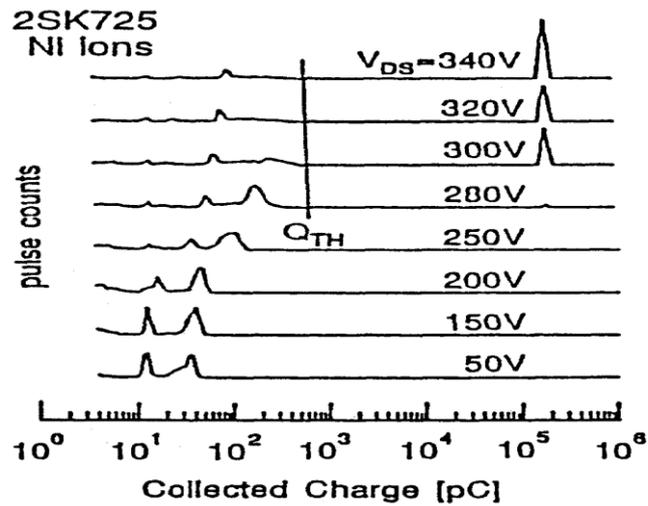


Figure 1-23 : Collection de charge d'un burn-out mesurée à l'aide d'un système d'analyseur de hauteur d'impulsions couplé avec un amplificateur sensible.

Contrairement au latch-up, l'augmentation de la température diminue la sensibilité au SEB, suite à l'effet de l'ionisation par impact dans la zone de charge d'espace. Le taux d'ionisation par impact diminue lorsque la température augmente, diminuant le flux de courant des trous dans la région de base et la tension émetteur-base dans la région P-well. En intégrant les effets de la température dans un modèle d'analyse de burn-out, Johnson et al. ont démontré une densité de courant critique de burn-out plus élevée à certains  $V_{DS}$  et ils ont estimé une augmentation de 3% à 5% pour 100 °C [JOHN-92]. Cela se traduit par une forte augmentation de la tension  $V_{DS}$  seuil, comme le montre la Figure 1-24. Dans ce travail, Johnson a également expliqué la forme de la courbe de SEB en fonction du LET en termes d'influence de l'emplacement de l'impact sur le déclenchement de l'émetteur-base du transistor parasite.

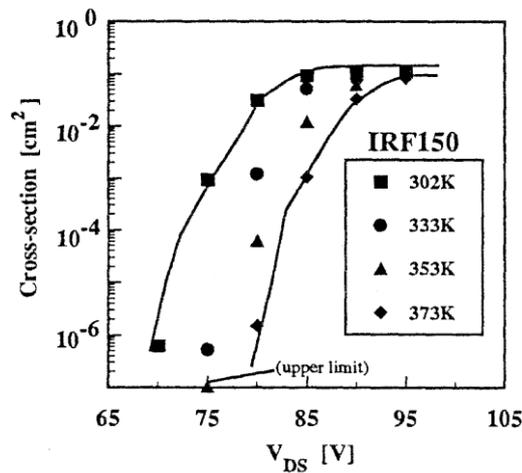


Figure 1-24 : Dépendance de SEB avec la température [JOHN-92]

Les impacts les plus éloignés des contacts de masse ont été les premiers à déclencher un SEB exigeant un LET minimal. Ce dernier diminue avec le rapprochement de la position de l'impact par rapport au contact de masse. La zone sensible augmente avec l'augmentation du LET ou de la tension de polarisation jusqu'à la saturation, la zone entière de la région de source étant sensible au SEB. Une étude plus détaillée du volume sensible avec simulations 2D (Medici) a été publiée par Dachs et al. en 1994 : celle-ci confirme que la région intercellulaire située immédiatement sous l'oxyde de grille entre les deux régions P-well (« neck ») et la région du canal constituent les zones les plus sensibles au burn-out [SEXT-96]. Ces résultats obtenus à l'aide de simulations ont été confirmés expérimentalement avec une source de californium C-252 par F. Roubaud [ROUB-93] (cf. Figure 1-25).

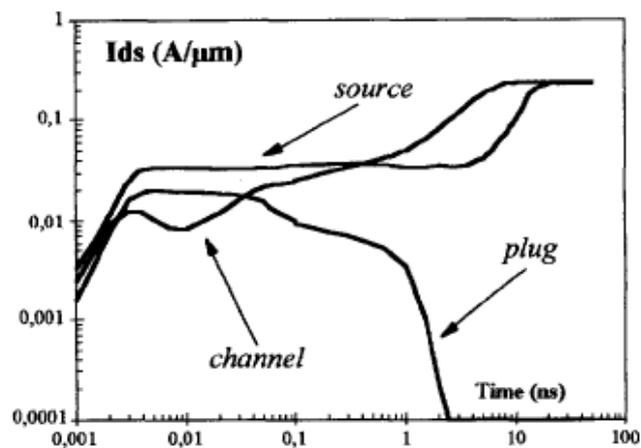


Figure 1- 25 : Résultat de la simulation d'une seule cellule : variations du courant à différents points d'impact pour un ion Br de 180 MeV [ROUB-93]

Les structures qui se déclenchent par des ions lourds avec des LET seuils au-dessous de  $15 \text{ MeV cm}^{-2}/\text{mg}$  peuvent être également déclenchées par des protons [WASK-88] et des neutrons [OBER-96] à travers des interactions nucléaires avec le réseau et les atomes dopants du dispositif ; ce n'est pas par ionisation directe comme le cas des ions lourds. Les premiers SEB causés par des protons ont été observés dans des MOSFET de 200V durant l'expérience CRUX (Cosmic Ray Upset Experiment) sur le satellite APEX [ADOL-96]. Le satellite rencontre les protons issus de l'anomalie de l'Atlantique Sud (SAA). Leurs mesures du taux de SEB ont bien été corrélées avec celle estimée par Oberg et al. [OBER-96] à partir de données de terrain. D'après les données de neutrons obtenues sur le simulateur de neutrons terrestre (Los Alamos WNR), Oberg a également conclu que le phénomène de SEB serait un problème pour l'avionique et potentiellement pour les systèmes basés au sol en raison de neutrons terrestres. Pour un MOSFET de 500 V, ils ont estimé un taux de  $2 \times 10^{-3}$  SEB par jour à 12000 m d'altitude et  $7 \times 10^{-6}$  au niveau du sol. L'effet de neutron sur le burn-out au niveau

du sol a été confirmé par Normand et al. dans une étude de diodes et thyristors à haute tension (5 kV) utilisés dans les moteurs de train [NORM-97], bien que cela a probablement été causé seulement par un claquage par avalanche, car le mécanisme d'injection régénératif de l'émetteur n'existe pas dans une diode de puissance. Ceci suggère que le mécanisme de SEB est dominé par la multiplication par avalanche dans la jonction épitaxiée / substrat et il est aggravé dans les MOSFET de puissance par l'amplification bipolaire.

En 2006, les simulations de S. Liu [LIU-06] ont montré qu'une structure ayant une couche tampon (buffer N) entre la zone épitaxiée  $N^-$  et le substrat  $N^+$  est moins sensible au SEB par rapport à structure classique, grâce à la diminution du maximum du champ électrique dans la zone de charge d'espace.

S. Huang et al. [HUAN-00] ont analysé la distribution du champ électrique lors d'un SEB dans une structure MOSFET de technologie superjonction. Leurs résultats montrent qu'elle est plus robuste au SEB par rapport à une technologie classique (cf. Figure 1-26). Leur explication a été basée sur l'augmentation du dopage dans la zone active et la composante horizontale du champ électrique qui permet de dévier les trous directement vers le contact de source à travers les piliers P.

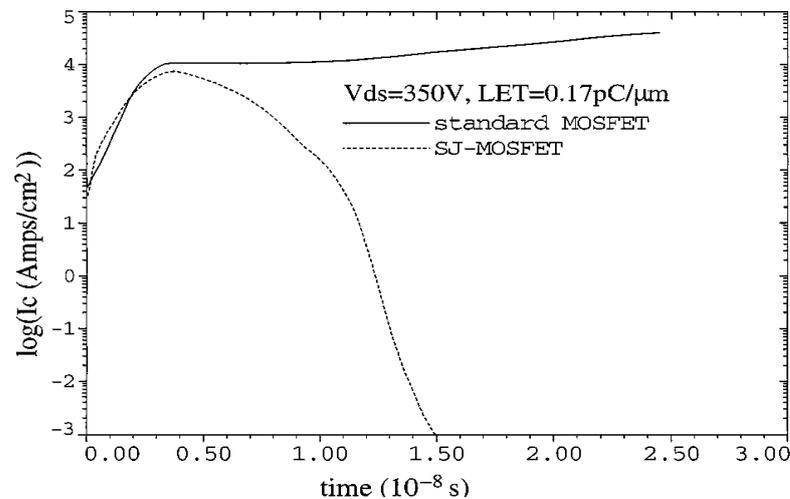


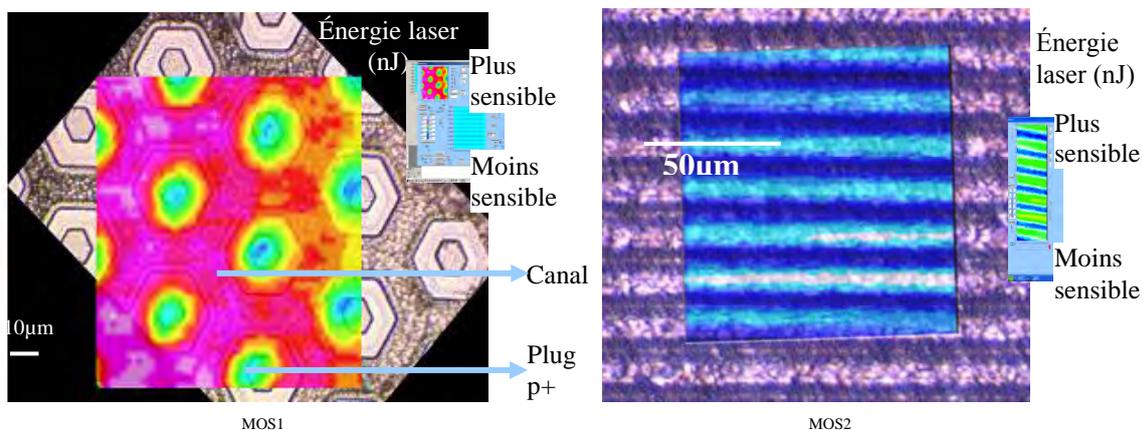
Figure 1- 26 : Variation de la densité de courant du collecteur en fonction de temps pour un MOSFET standard et un MOSFET à superjonctions [HUAN-00]

En revanche, les travaux de N. Ikeda et al. ne montrent pas de différence de vulnérabilité entre les deux technologies [IKED-04]. Cela peut être dû à l'effet de la tension de polarisation car, dans une partie de notre travail, nous allons monter l'effet de quelques paramètres comme la tension de polarisation sur la sensibilité de différentes technologies, y compris la superjonction.

Cependant, Liu [LIU-08], a étudié l'effet de range à la fois sur les phénomènes de SEB et de SEGR : il a recommandé l'utilisation d'ions courts afin de ne pas confondre avec l'apparition de SEGR lors des tests SEB. Les résultats des tests effectués sur des structures de 600V ne montrent aucun effet significatif du range sur la zone de sécurité de SEB (SOA) (pour les ranges de 30 à 300  $\mu\text{m}$ ), ainsi que Marec et al. [MARE-09], ce qui suggère que les critères de déclenchement sont une charge critique déposée dans l'épitaxiée.

En 2006, F. Miller [MILL-06] a utilisé une nouvelle méthodologie basée sur des irradiations laser pour caractériser la sensibilité des dispositifs de puissance vers un SEB. Il est montré que cette technique peut être utilisée pour définir le SOA d'un VDMOS.

En 2008, A. Luu [LUU-08] a démontré l'efficacité d'utilisation de faisceaux laser impulsionnels pour cartographier la sensibilité des composants à différents types d'effets singuliers dont le SEB, comme le montre la Figure 1-27. Cette étude confirme les avantages liés à l'étatisation d'un laser impulsionnel. En effet, le coût d'utilisation et les considérations d'accès rendent un laser plus souple et plus pratique qu'un microfaisceau d'ions. La cartographie présentée dans la Figure 1-27 permet d'identifier les zones les plus sensibles.



*Figure 1- 27 : Superposition de la cartographie laser face arrière et de la photo de sa face avant correspondante pour 2 types de MOS [Luu-08]*

Dans la suite de ce travail, Luu et al. ont aussi présenté une étude testant différentes conditions de déclencher un SEB pour des ions générés à différentes profondeurs de pénétration, incident sur la face avant ou sur la face arrière du composant. Les différentes conditions de test de transistors IRF830A sont résumées dans la Figure 1-28 [Luu-08]. La comparaison de ces traces montre que lorsque l'ion a déjà traversé la zone de champ électrique, la génération de charges en dehors de la zone de charge d'espace n'est plus nécessaire pour déclencher un évènement. Cette étude a été confirmée par des simulations 2D,

montrant bien qu'il serait simpliste de considérer la profondeur de la zone épitaxiée comme la profondeur du volume sensible.

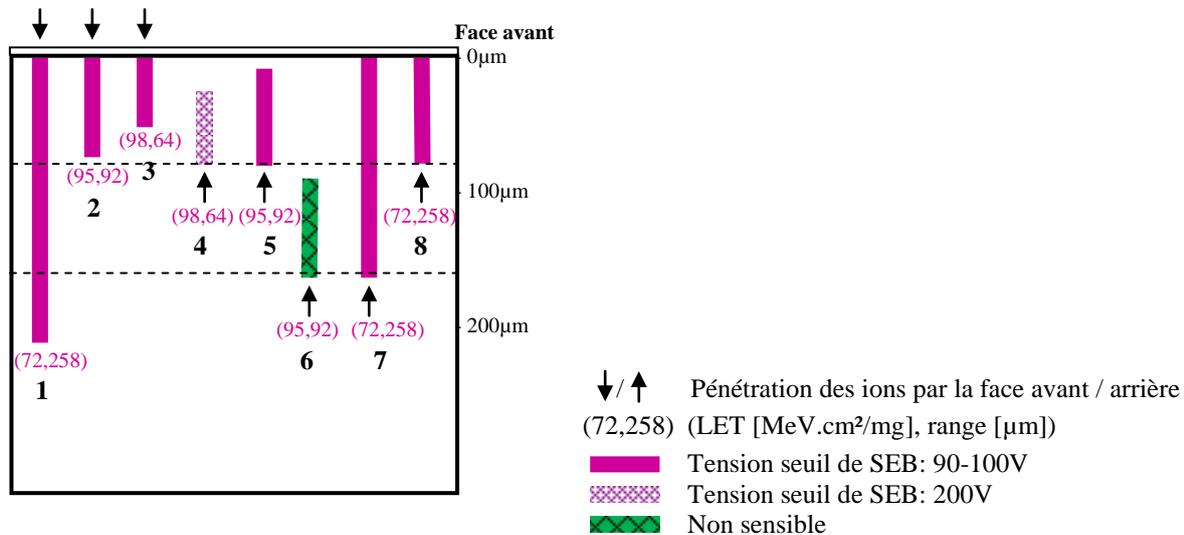


Figure 1- 28 : Schéma des traces d'ionisation pénétrant par la face avant ou arrière dans une cellule MOSFET d'IRF830A pour différentes épaisseurs de substrat

Une année plus tard, Peyre et al. confirmèrent la difficulté de prévoir la profondeur du volume sensible [PEYR-09] en présentant leurs résultats sur les NMOS de ST-Microelectronics. Comme les auteurs avaient des difficultés à expliquer certains résultats inadéquats, ils conclurent que le volume sensible est plus profond que la couche épitaxiée, mais en laissant une possibilité d'erreur dans l'estimation de l'épaisseur de ce volume.

## 10.2 Le latch-up

Le latch-up remonte au premier thyristor interrupteur conçu par Shockley et Ebers dans les années 1950 [SHOC-50], [EBER-52]. Comme nous l'avons mentionné précédemment, l'IGBT contient une structure thyristor parasite qui peut engendrer, dans certaines conditions, un dysfonctionnement destructif irréversible. Plusieurs technologies ont été proposées afin d'améliorer les performances électriques de l'IGBT. En 1987, une structure IGBT à grille en tranchée a été proposée (cf. paragraphe 1-1-3). Cette technologie améliore significativement le niveau de courant de latch-up du thyristor parasite [CHAN-87].

En 1994, Rockwell et Boeing [NICH-94] ont publié les premières observations de défaillance destructive d'IGBT sans donner d'explications aux mécanismes de déclenchement.

Des simulations numériques faites par Vijay et al. en 1995 [PART-95] ont montré que la géométrie de la cellule ALL (Atomic Lattice Layout) a une immunité supérieure aux latch-up par rapport aux géométries carrés classiques ou hexagonales (cf. Figure 1-29) en raison de la nature divergente des flux de courant de trous vers le contact de l'émetteur.

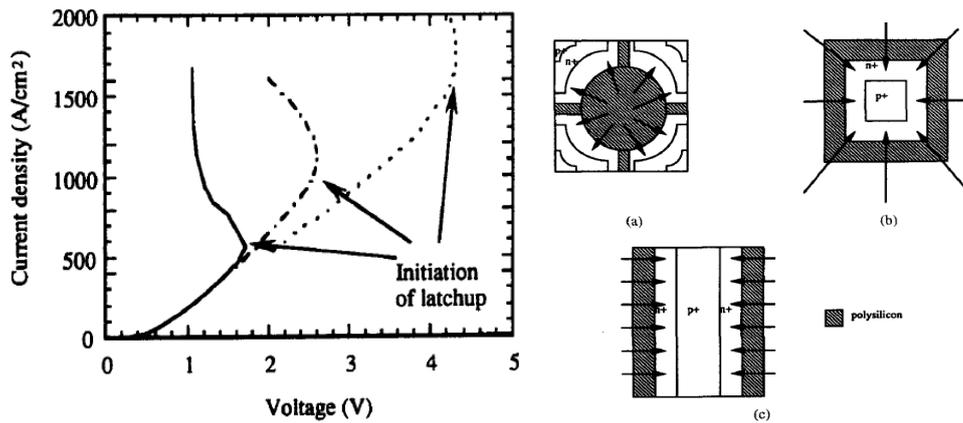


Figure 1- 29 : Comparaison de l'immunité au latch-up entre cellules (a) ALL, (b) carré et (c) hexagonales (les flèches indiquent le flux du courant des trous) [PART-95]

Pour la première fois, le mécanisme de défaillance des IGBT dû aux radiations a été exploré en détails par E. Lorfèvre et al. [LORF-97]. Ils ont étudié expérimentalement le phénomène destructif d'IGBT 600V par irradiations au californium 252 en analysant les formes de courants suivant la tension de polarisation. À l'aide de simulation 2D, ils proposent une technique de durcissement pour les IGBT contre le latch-up en jouant sur la largeur de la région P<sup>+</sup> de l'émetteur afin de réduire l'efficacité d'injection du NPN parasite [LORF-99]. Les modifications proposées sont présentées Figure 1-30. Leurs résultats de simulations montrent aussi que, contrairement au MOSFET, le mécanisme d'ionisation par impact n'est pas nécessaire au déclenchement dans l'IGBT [LORF-97], [LORF-98]. Cela signifie que la cause principale qui mène à la destruction de l'IGBT est la mise en conduction et le verrouillage du thyristor parasite NPNP : il s'agit donc d'un Single-Event Latch-up (SEL). Les zones en surface les plus sensibles au SEL ont été déterminées par simulation pour un impact normal à la surface. Les régions les plus sensibles sont le canal et la zone intercellulaire (neck) comme dans le MOSFET. Ils ont enfin comparé le mécanisme de défaillance par un ion lourd dans trois types d'IGBT : un IGBT à canal P non punch-through, deux IGBT à canal N punch-through et non punch-through. Ils observent que la structure punch-through à canal N est moins vulnérable au latch-up induit par un ion lourd (cf. Figure 1-31) et qu'il y a le même mécanisme du latch-up dans les trois type d'IGBT.

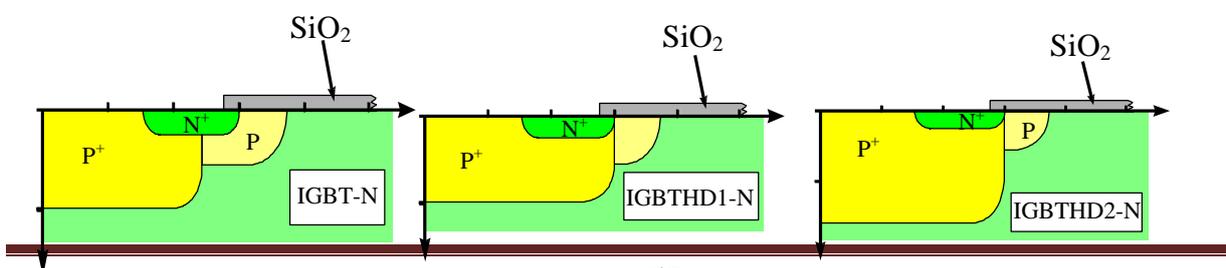


Figure 1- 30 : Modifications proposées sur la diffusion P<sup>+</sup> de l'émetteur par Lorfevre [LORF-99]

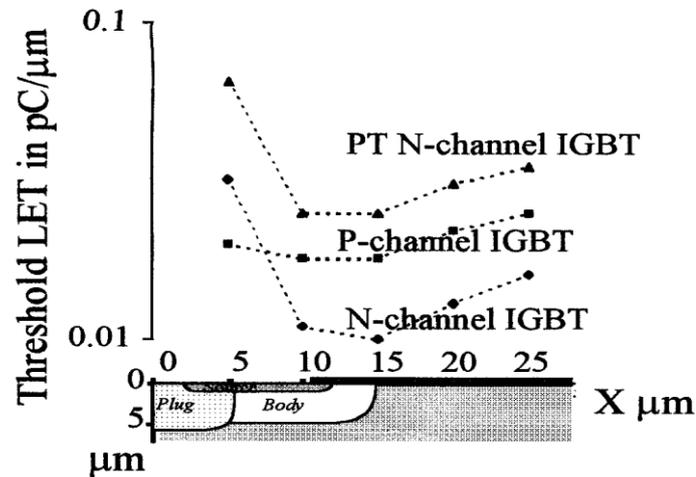


Figure 1- 31 : Simulations du LET seuil SEL en fonction de la position d'impact de l'ion en surface pour 3 technologies d'IGBT : à canal N PT et NP et à canal P NPT

Récemment, une étude comparative entre différentes structures d'IGBT (punch-through (PT) planar, punch-through (PT) tranchée et field-stop (FS) tranchée a été menée par une équipe japonaise. De cette étude, on peut retenir que la structure FS-IGBT présente la tension seuil de déclenchement SEB la plus élevée et qu'elle a une tolérance particulièrement élevée contre les rayons cosmiques [NISH-10] (cf. Figure 1-32).

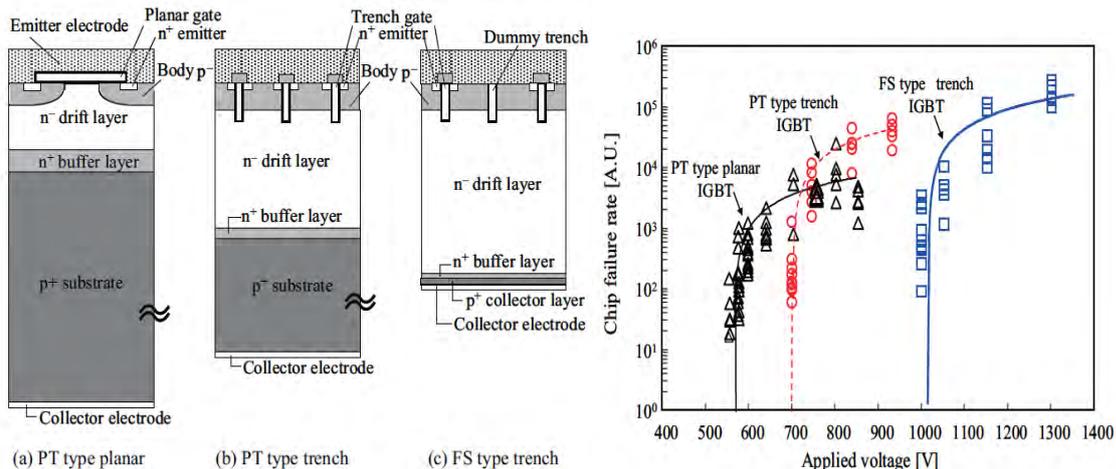


Figure 1- 32 : Taux de défaillance SEB en fonction de la tension appliquée pour différents technologies d'IGBT [NISH-10]

En 2009, Marina et al. [ANTO-09] proposaient une nouvelle structure de 3,3 kV semi-Superjonction Insulated Gate Bipolar Transistor (semi SJ IGBT) (cf. Figure 1-33). À l'aide de

simulations 2D, il a été montré que cette structure affiche une grande immunité contre le rayonnement cosmique par rapport à la structure standard Trench FS IGBT.

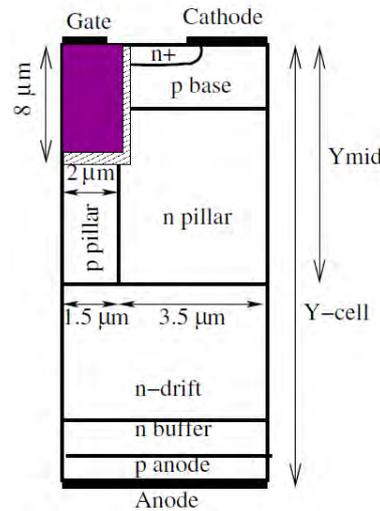


Figure I- 33 : Structure Semi-SJ IGBT

Le SEB continue d'être un sujet de préoccupation dans les composants commerciaux et doit être considéré comme faisant partie d'un plan d'assurance de la dureté pour une utilisation de tous les composants de puissance dans les applications spatiales. En outre, l'apparition de SEB de neutrons terrestres crée un problème de fiabilité pour les générations technologiques du futur. La majorité des études existantes et concernent plus particulièrement les MOSFET. Le volume sensible, par exemple, n'a été déterminé que dans les MOSFET, alors qu'il n'a pas été abordé suffisamment dans que les autres technologies pour l'instant, laissant tout un domaine de recherche à découvrir. C'est dans ce contexte que nous allons détailler une étude de comportement de différentes technologies affectées par l'Environnement Radiatif Naturel et plus particulièrement les ions lourds, en comparant leur volume sensible, leur critères de déclenchement et leur sensibilité. En outre, les travaux précédents montrent que les événements destructifs comme le SEB ou le SEL peuvent n'apparaître que dans une seule cellule élémentaire. Cependant, les solutions de protection contre les déclenchements parasites qui existent ne sont plus efficaces dans une telle condition (ex : ions lourds), d'où la nécessité de proposer des solutions au niveau du composant (design).

## 11 Conclusion

Nous avons présenté dans ce chapitre l'ensemble de l'étude des effets des radiations issus de l'environnement radiatif naturel spatial et atmosphérique sur les composants électroniques de puissance embarqués utilisés dans le domaine spatial et aéronautique. Les

différents mécanismes d'interactions particule-matière, plus particulièrement ion-silicium ont été expliqués après avoir détaillé les différents types de l'environnement radiatif naturel atmosphérique et spatial. Les principaux types d'événements destructifs ont été présentés, en expliquant les mécanismes de défaillance induite par des particules et associés aux structures parasites inhérentes aux composants de puissance. Ces défaillances peuvent être le résultat de l'interaction d'une particule cumulée (effets de dose) ou d'une seule particule (Single-Event Effects). Les trois principales défaillances ont été détaillées dans le domaine qui nous préoccupe particulièrement (MOSFET de puissance et IGBT) en fonction du type d'effet et du type de composant. Ceux-ci sont le Single-Event Burn-out (SEB) se trouvant dans les MOSFET et les IGBT, le Single Event latch-up (SEL) touchant seulement l'IGBT et le Single Event Gate Rupture (SEGR), qui peut être provoqué dans les deux structures étudiées. Nous avons terminé ce chapitre par un état de l'art, capital pour bien connaître la sensibilité de ces composants dans de tels environnements radiatif. Notre compréhension actuelle est le résultat des efforts de nombreux chercheurs qui ont cherché à éclairer ces phénomènes souvent confus et aléatoires. Toutefois, cela n'empêche pas la découverte de nouveaux effets dans les nouvelles technologies et les dispositifs qui sont encore à développer. Il est nécessaire d'appliquer cette compréhension afin d'identifier les mécanismes de défaillance liés à l'environnement radiatif et élaborer des stratégies d'atténuation robustes pour assurer un fonctionnement fiable de ces semi-conducteurs.

## **Chapitre II. Etude comportementale de déclenchement du SEB dans les composants de puissance**



## **1 Introduction**

Prévoir un taux de défaillance lié au SEB est d'un grand intérêt pour les industriels utilisant des transistors de puissance dans le cadre d'applications sensibles. En ce qui concerne certains effets singuliers se produisant sur des composants de plus basse puissance (SEU, SET), l'étendue du volume sensible, volume dans lequel la particule doit déposer suffisamment de charges pour induire l'effet singulier, est une donnée fondamentale de l'estimation du taux de défaillance. L'extension des méthodes d'estimation de taux d'événements, classiquement utilisées pour les composants de faible puissance au phénomène de SEB, nécessite une connaissance du volume sensible associé. La complexité des phénomènes physiques induisant un burn-out et la multitude des géométries des structures de puissance rend difficile une définition purement théorique de ce volume. Pour cela, nous allons évaluer dans ce chapitre le comportement des différentes structures : VDMOS, SJ-MOSFET, IGBT planar et IGBT trench. Nous définirons le volume sensible de ces composants à l'aide de simulations numériques 2D. La comparaison de leurs comportements électriques vis-à-vis des différentes conditions de polarisation et de génération d'ions lourds permettra de bien définir les critères de déclenchement du phénomène de SEB. Le LET, la position d'impact de la particule (la profondeur) et la tension de polarisation sont les principaux paramètres que nous faisons varier dans cette étude.

## **1 Description des outils des simulations TCAD et du véhicule test de simulation**

Nous avons simulé des véhicules tests de type MOS et IGBT de puissance dont les paramètres technologiques sont en grande partie imposés par la filière technologique du LAAS [IMBE-02]. Les simulations 2D ont été réalisées en utilisant les outils TCAD (Technology Computer-Aided Design) de Sentaurus [SENT-09]. Les principaux modules utilisés sont Sentaurus structure editor, Sentaurus Device et Tecplot\_sv.

### **1.1 L'outil de simulations 2D TCAD**

Synopsys Sentaurus TCAD (Technology Computer Aided Design) est l'outil utilisé pour l'ensemble des simulations présentées dans ce mémoire; ce logiciel est bien connu en

Conception Assistée par Ordinateur utilisé pour la fabrication de semi-conducteurs (Processus TCAD) et pour la modélisation du fonctionnement électrique (Device TCAD). Ce dernier modélise le comportement électrique d'une structure d'après sa topologie. La partie Process modélise les différentes étapes technologiques, telles que la photolithographie, la gravure, l'implantation ionique ou la diffusion. Dans la grande partie de ce travail, nous nous intéressons à la modélisation du fonctionnement électrique (Device TCAD) pour résoudre les équations de transport dans un dispositif à semiconducteurs. Un des inconvénients de ces simulations est le temps de calcul très important, ce qui nécessite des ordinateurs relativement puissants.

Les équations utilisées dans ces simulations sont des équations aux dérivées partielles telles que les équations de transport et de continuité ou l'équation de Poisson. Parmi les méthodes les plus utilisées pour résoudre numériquement ces équations est la méthode dite des éléments finis. Le travail typique de cette méthode consiste à :

- 1- Diviser le domaine du problème à traiter en un ensemble de sous-domaines, chaque sous-domaine représenté par un ensemble d'éléments qui sont des triangles constituant le maillage, dont les nœuds permettent de résoudre une partie des équations aux dérivées partielles.
- 2- Recombiner systématiquement (itérations successives) tous les ensembles d'équations d'éléments dans un système global d'équations pour le calcul final.

La solution globale sera d'autant plus précise que le maillage est dense. Or, ce dernier est directement lié au temps de calcul, ce qui impose un compromis entre les deux, c'est-à-dire la qualité des résultats recherchés (densité du maillage) et le temps de calcul. En général, le niveau du maillage est relativement resserré avec la variation de la sensibilité électrique dans une zone de la structure.

Les différents modèles utilisés pour nos travaux sont :

- le modèle d'ion lourd,
- le modèle d'ionisation par impact, essentiel pour modéliser les phénomènes de claquage,
- la statistique de Fermi,
- le modèle de recombinaison Auger, le modèle de dépendance de la mobilité en fonction des champs électriques et de la concentration en impuretés,
- le modèle de recombinaisons Shockley-Read-Hall avec une dépendance des durées de vie des porteurs en fonction de la concentration en impuretés,

- le modèle permettant de tenir compte du rétrécissement de la largeur du gap du silicium dans les régions de fort dopage (« bandgap narrowing »).

Les détails de ces modèles sont décrits dans le manuel d'utilisateur de SENTAURUS [SENT-09].

Les dimensions de la région permettent de simuler une trace créée par un ion lourd en introduisant les valeurs suivantes : le LET, le range, le rayon de l'ion, l'instant de l'impact et le sens de pénétration. L'un des avantages de ce modèle est de pouvoir générer la trace n'importe où dans la structure comme, par exemple, une trace à certaine profondeur sans passer par la surface. Cette possibilité permet de définir, par exemple, le volume sensible. Le taux de génération des charges est modélisé par des fonctions gaussiennes temporelles et spatiales données par les équations suivantes (Eq 2-1, Eq 2-2, Eq 2-3 et Eq 2-4)

Le taux de génération pour une trace ionisante verticale :

$$R(w,l,t) = G_{let}(l)R(w,l)T(t) \quad \text{Eq. 2-1}$$

$G_{LET}$ : Energie de Transfert Linéaire

$R(w)$  et  $T(t)$  : sont des fonctions qui décrivent la variation spatiale et temporelle du taux de génération

$$T(t) = \frac{2 \cdot \exp\left(-\frac{(t-t_0)^2}{S_{hi}^2}\right)}{S_{hi} \sqrt{\pi} \left(1 - \operatorname{erf}\left(\frac{t_0}{S_{hi}}\right)\right)} \quad \text{Eq. 2-2}$$

$t_0$  : temps initial de la gaussienne temporelle en s

La distribution spatial  $R(w,l)$ , peut être définie comme une fonction exponentielle :

$$R(w,l) = \exp\left(-\frac{w}{w_t(l)}\right) \quad \text{Eq. 2-3}$$

Ou une gaussienne :

$$R(w,l) = \exp\left(-\frac{w}{w_t(l)}\right)^2 \quad \text{Eq. 2-4}$$

$w$  : rayon de la trace ionisante en cm

$w_t$  : rayon caractéristique en fonction de la longueur (figure II.1)

La figure 2-1 montre la pénétration d'une particule ionisante dans un matériau semiconducteur.

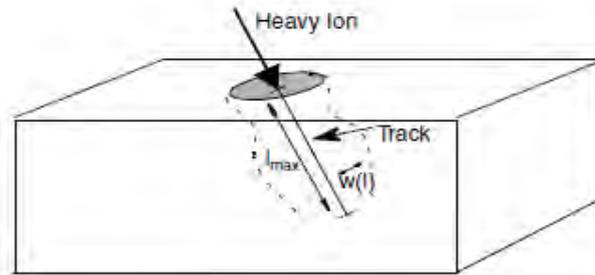


Figure 2-1: Paramètres d'un ion lourd pénétrant un semi-conducteur [SENT-09]

Le temps initial de génération de la trace  $t_0$  est  $3.10^{-12}$ s et le rayon de la trace ionisante est fixé à  $0,05 \mu\text{m}$ . Le maillage de la demi-cellule simulée est représenté Figure 2-2. Puisque le taux de génération d'ions lourds peut changer très rapidement dans l'espace, le maillage est relativement resserré au niveau de la trace d'ionisation.

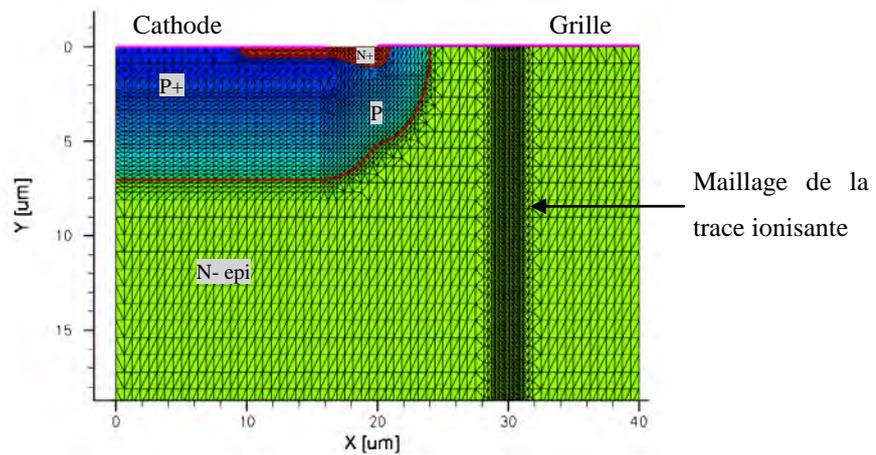


Figure 2-2: Représentation de maillage de la zone active de la demi-cellule d'IGBT planar simulé

Dans ce chapitre, toutes les simulations sont en 2D. La troisième dimension est fixée par défaut à une valeur égale à  $1 \mu\text{m}$  afin de conserver l'unité usuelle de chaque grandeur électrique (champ électrique, tension, courant...). Cela ne posera pas de problème dans le cas d'une cellule de VDMOS ou d'une IGBT où la variation de la géométrie et des paramètres de dopage selon la troisième dimension est nulle. Cependant, le parcours des porteurs et la géométrie ne sont plus respectés pour un profil gaussien d'une trace d'ionisation, comme l'indique la Figure 2-3. Par conséquent, des erreurs quantitatives seront forcément introduites dans les résultats de ces simulations 2D. La conséquence est qu'il est impossible d'être représentatif à la fois de la quantité de charges générées et du LET [LUU-09]. En effet, les résultats recherchés dans ce travail comme les valeurs minimales de LET sont de type

qualitatif. Nous les comparerons de manière relative entre elles car leurs valeurs seront peu significatives.

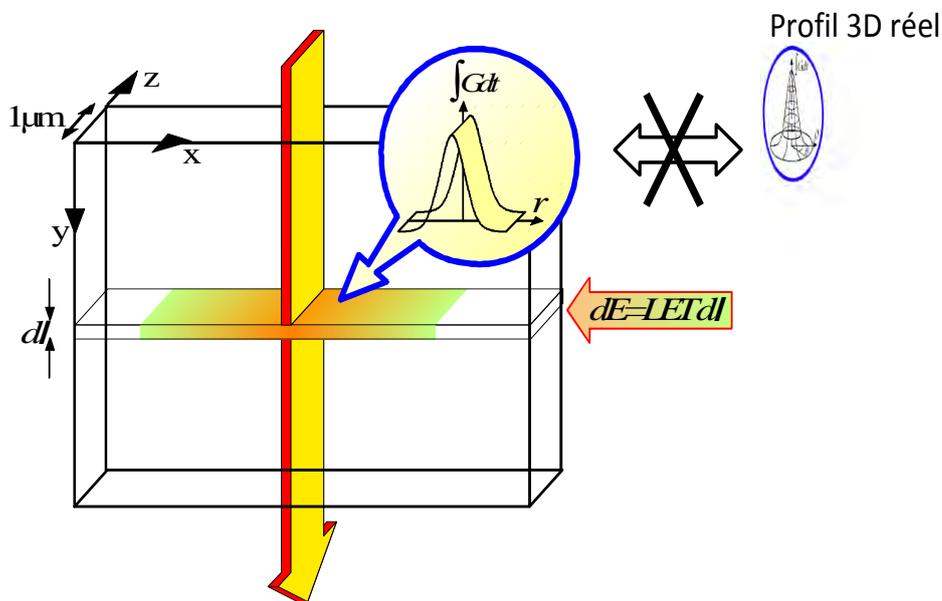


Figure 2-3 : Allure de la trace d'ionisation pour des simulations 2D [LORF-99]

## 2 Comparaison des résultats SILVACO/SENTAURUS

Pour commencer à bien maîtriser l'outil de simulation 2D Synopsys TCAD, nous avons refait les mêmes simulations faites par Aurore Luu durant sa thèse sur la structure VDMOS [LUU-09]. Les simulations ont été faites par SILVACO et ont été confrontées à des résultats expérimentaux, ce qui nous permettra de valider les modèles physiques que nous utiliserons avec SENTAURUS. Dans un premier temps, nous allons garder la même structure du VDMOS et les mêmes conditions de simulation qui avaient été utilisées dans les simulations SILVACO pour les adapter dans SENTAURUS afin de comparer les deux outils de simulations.

La structure utilisée est un VDMOS de puissance. La tenue en tension de ces composants est de 600V. Une coupe de la structure indiquant le profil de dopage en fonction de la profondeur dans la structure est présentée Figure 2-4. Les différentes grandeurs caractéristiques de la cellule VDMOS sont résumées dans le tableau 2-1.

Tableau 2- 1 : Caractéristiques de la cellule VDMOS

Région	Dopage (cm <sup>-3</sup> )	Largeur (µm)	Profondeur (µm)
Source N <sup>++</sup>	9×10 <sup>19</sup>	4	1,1
Caisson P <sub>body</sub>	1×10 <sup>18</sup>	20	5
Prise P <sup>+</sup>	3×10 <sup>19</sup>	16	7
Epitaxie N <sup>-</sup>	1×10 <sup>14</sup>	40	50
Substrat N <sup>++</sup>	3×10 <sup>19</sup>	40	70

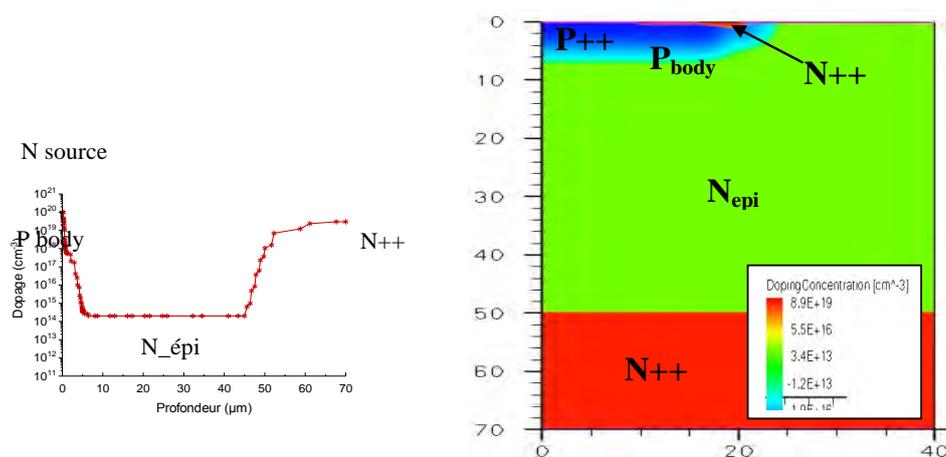


Figure 2-4: Profil de dopage de la cellule de MOSFET simulée en fonction de la profondeur (SILVACO). Section perpendiculaire de la cellule à travers la source N<sup>+</sup>, le caisson P<sub>body</sub>, la zone épitaxiée et le substrat N<sup>++</sup> (gauche), image de la demi-cellule simulée avec ses niveaux de dopage (SENTAURUS) (droite)

## 2.1 Recherche du volume sensible et des critères de déclenchement

Le volume sensible est défini comme la région d'un composant dans lequel la particule doit déposer suffisamment de charges pour induire l'effet singulier, et cela quelles que soient la nature de la particule incidente et les conditions d'ionisation minimale. Les charges sont déposées et/ou générées soit dans cette région, soit dans une région adjacente. Dans ce dernier cas, les porteurs sont en transit dans le volume sensible [LUU-09]. La localisation de ce volume est une donnée fondamentale de l'estimation du taux de défaillance, en particulier avant de réaliser des tests en accélérateur (choix du range).

### Conditions des simulations :

Nous allons suivre les mêmes conditions utilisées par A. Luu durant sa thèse. Toutes les traces d'ionisation sont générées juste à proximité du canal (position la plus sensible [ROUB-93], [DACH-95], [MUSS-99]). Toutes les simulations sont effectuées pour une polarisation de 500V de la cellule MOSFET qui correspond à la tension d'utilisation

maximale et qui présente l'état extrême de fonctionnement. Les ions sont générés verticalement dans le volume de la demi-cellule du VDMOS. Les traces sont générées à partir de différentes profondeurs dans la région épitaxiée avec des longueurs de 10, 20, 30, 40 et 50  $\mu\text{m}$  (voir Figure 2-5).

Cette analyse est donc basée sur la confrontation SILVACO-SENTAURUS. La Figure 2-5 montre ces comparaisons. On constate que presque tous les SEB déterminés par SILVACO ne sont que des déclenchements transitoires dans SENTAURUS à l'exception des valeurs qui sont en bas de la zone épitaxiée. Cependant, les simulations vont montrer que ces valeurs de LET sont assez loin du LET seuil trouvé par SENTAURUS.

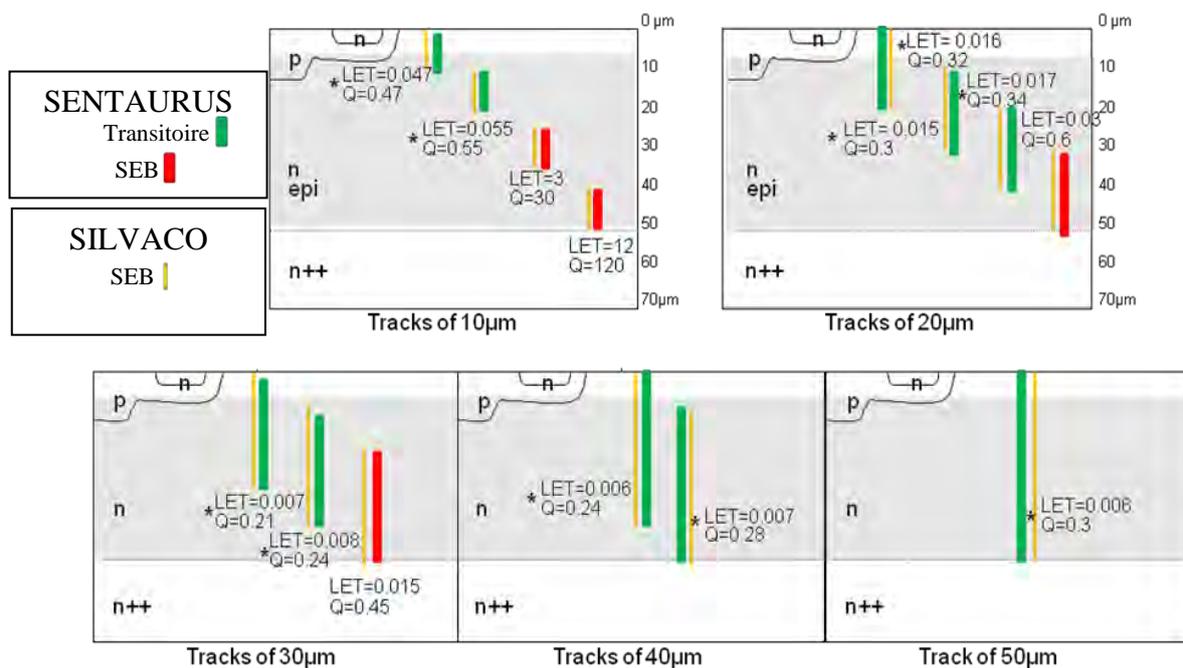


Figure 2-5: Schématisation de traces ionisantes dans la demi-cellule du VDMOS polarisé à 500V simulées dans SILVACO et SENTAURUS

Après cette comparaison entre SILVACO et SENTAURUS qui nous a montré qu'il y a une divergence au niveau de la valeur du LET minimal qui provoque un SEB à différentes profondeurs, il reste à déterminer avec SENTAURUS les valeurs de LET minimales. La Figure 2-6 schématise les traces ionisantes verticales générées à différentes profondeurs au sein de l'épithaxie dans une demi-cellule de MOSFET déclenchant les SEB.

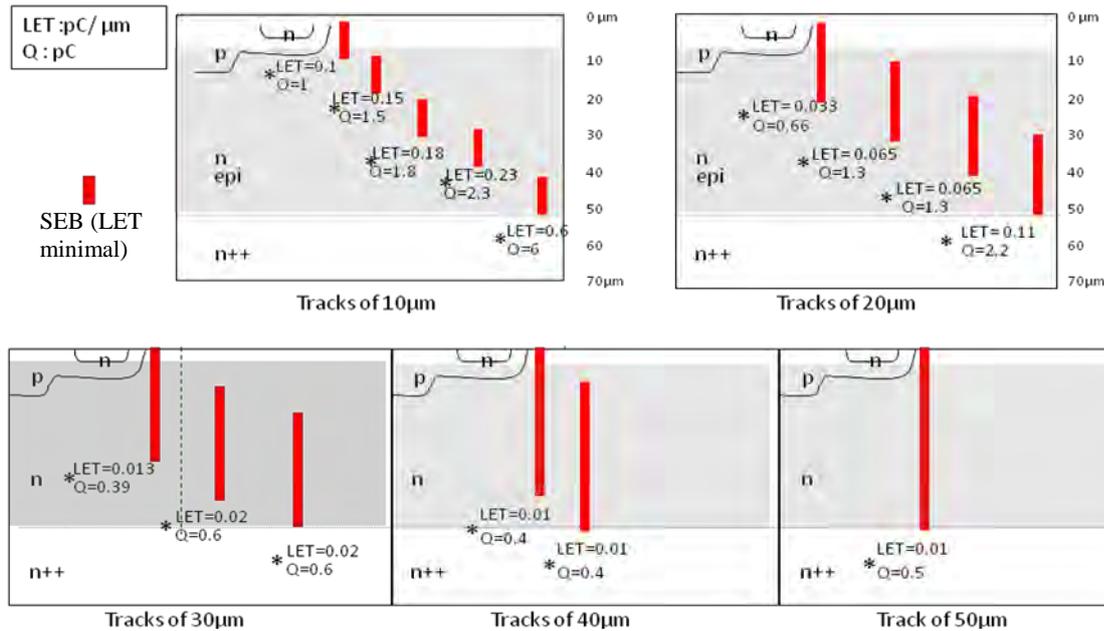


Figure 2-6: Schématisation de traces ionisantes dans la demi-cellule de MOSFET polarisé à 500V. Les traces sont positionnées à la même abscisse x mais à différentes profondeurs et sont simulées chacune indépendamment.

Les deux simulations SILVACO et SENTAURUS montrent qu'un dépôt de charges ponctuel dans un VDMOS au niveau haut de la zone épitaxiée constitue le cas le plus efficace entraînant un Burn-out mais les valeurs de LET et de quantité de charges trouvées par chaque outil de simulation sont différentes (voir Figure 2-5 et Figure 2-6, range=10μm, y=variable). La Figure 2-7 représente le LET minimal entraînant un SEB en fonction du range de l'ion pour les deux simulateurs. Elle montre que le LET nécessaire pour amorcer un SEB diminue avec l'augmentation du range de l'ion dans la zone d'épitaxie N. Il existe une saturation du LET sur les deux figures, à partir d'un range de 30 μm qui correspond à deux tiers de la zone épitaxiée dans les deux cas. Par contre, on voit que les valeurs des LET minimales trouvées par SENTAURUS sont presque deux fois supérieures à celles obtenues par SILVACO.

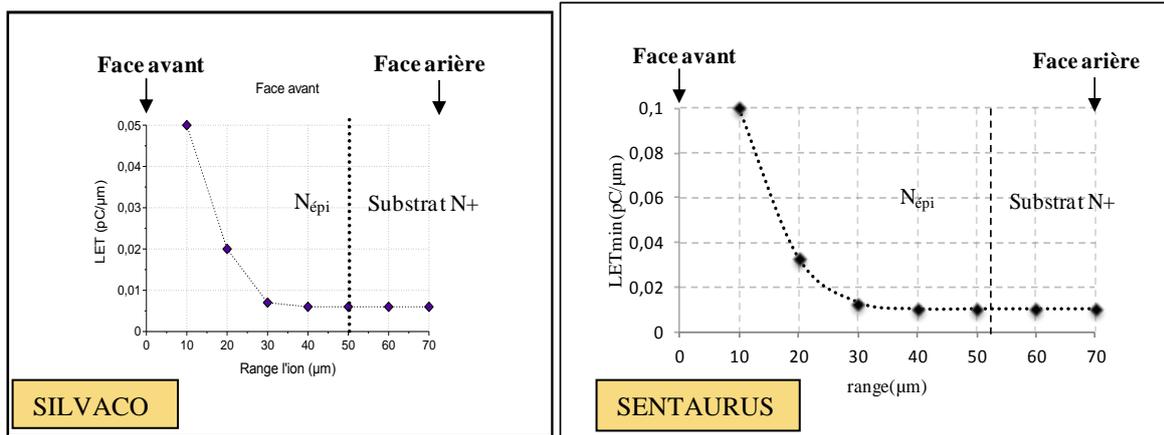


Figure 2-7: LET minimal provoquant un SEB en fonction du range de l'ion arrivant en incidence normale sur la face avant de la cellule VDMOS simulé par SILVACO (à gauche) et par SENTAURUS (à droite)

En général, il existe des écarts des résultats entre les deux simulateurs même si les tendances des phénomènes observés sont identiques. Cela ne pose donc pas la question sur la validité de chaque modèle mais plutôt sur leur précision par rapport aux erreurs numériques liées au maillage. En effet, l'intégration du taux de génération des porteurs est associée à chaque point de maillage, en supposant que le taux de génération est constant à l'intérieur du volume. Or, le taux de génération d'ions lourds pouvant changer très rapidement dans l'espace, l'erreur d'approximation d'une telle approche peut conduire à des erreurs importantes sur un maillage grossier. Pour éliminer cette source d'erreur numérique, SENTAURUS essaye de donner une solution pour une meilleure intégration spatiale. Il propose de contrôler chaque volume de maillage par un ensemble de petites zones rectangulaires en intégrant numériquement le taux de génération à l'intérieur de ces zones (voir Figure 2-8). Pour activer cette solution supplémentaire, le mot clé (RecBoxIntegr) doit être spécifié dans la section « Math » comprenant les modèles mathématiques utilisés avec trois paramètres supplémentaires pour contrôler la précision de cette procédure [SENT-09] :

*RecBoxIntegr(<Epsilon> <MaxNumberOfLevels> <MaxNumberOfBoxes>)*

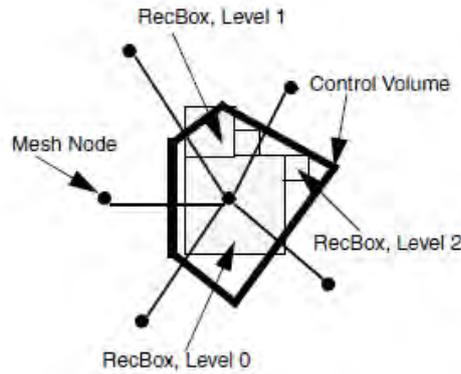


Figure 2-8: Exemple de zones rectangulaires [SENT-09]

Afin de mettre en évidence cette solution, nous avons refait la même simulation de la structure VDMOS plusieurs fois en augmentant à chaque fois le niveau de maillage. Il faut bien noter que le raffinement du maillage a été appliqué sur toute la structure et pas uniquement au niveau de la trace ionisante.

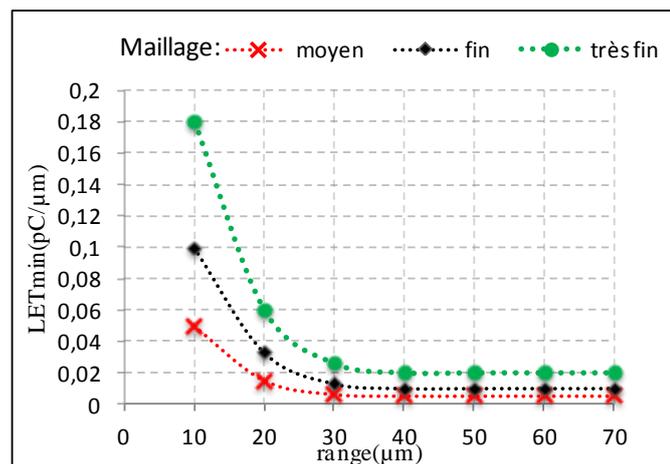


Figure 2-9: LET minimal provoquant un SEB en fonction du range de l'ion arrivant en incidence normale sur la face avant de la cellule VDMOS simulé avec différent niveau de maillage

La Figure 2-9 montre qu'un maillage moyen donne un déclenchement SEB plus tôt qu'un autre plus élevé et à chaque fois que le maillage augmente dans toute la structure, les valeurs de LET seront plus précises. Or ces résultats montrent aussi que le comportement de LET minimal par rapport au range est le même quel que soit le niveau de maillage, c'est-à-dire que ce dernier n'influe pas sur l'aspect qualitatif de résultats. Cela peut expliquer la différence quantitative trouvée entre SILVACO et SENTAURUS. Ces résultats signifient aussi l'inefficacité de la méthode proposée par SENTAURUS pour éliminer les erreurs numériques liées au maillage dans le cas d'un ion lourd. Mais cela n'est pas fatal tant que le côté qualitatif de résultat est respecté car, à la base, l'aspect quantitatif est moins important

dans ce genre de simulations 2D, et comme nous l'avons dit précédemment, les résultats recherchés dans ce chapitre sont de type qualitatif et les valeurs de LET données seront comparées de manière relative entre elles mais leurs valeurs ne seront pas significatives.

### **3 Recherche du volume sensible et critères de déclenchement pour différente technologie par simulation TCAD-2D**

#### **3.1 Véhicule test de simulation**

Afin d'appréhender les mécanismes du SEB, diverses simulations 2D utilisant les outils TCAD ont été conduites par le passé sur différentes structures de MOSFET de puissance et d'IGBT. Ces simulations ont permis d'évaluer qualitativement leur comportement vis-à-vis d'un impact ionisant. Dans le cadre de nos travaux de recherche, ce type de simulations a été repris et approfondi sur différentes technologies. Les structures utilisées sont : MOSFET de puissance de type planar classique (VDMOS), SJ-MOSFET, IGBT planar et IGBT trench. Ces structures sont basées sur une filière technologique flexible développée au LAAS [ref thèse Eric I.]. La tenue en tension de ces composants est de 800V pour le VDMOS et 600V pour les autres structures. La Figure 2-10 montre une coupe de ces structures et indique le profil de dopage en fonction de la profondeur dans chaque cellule.

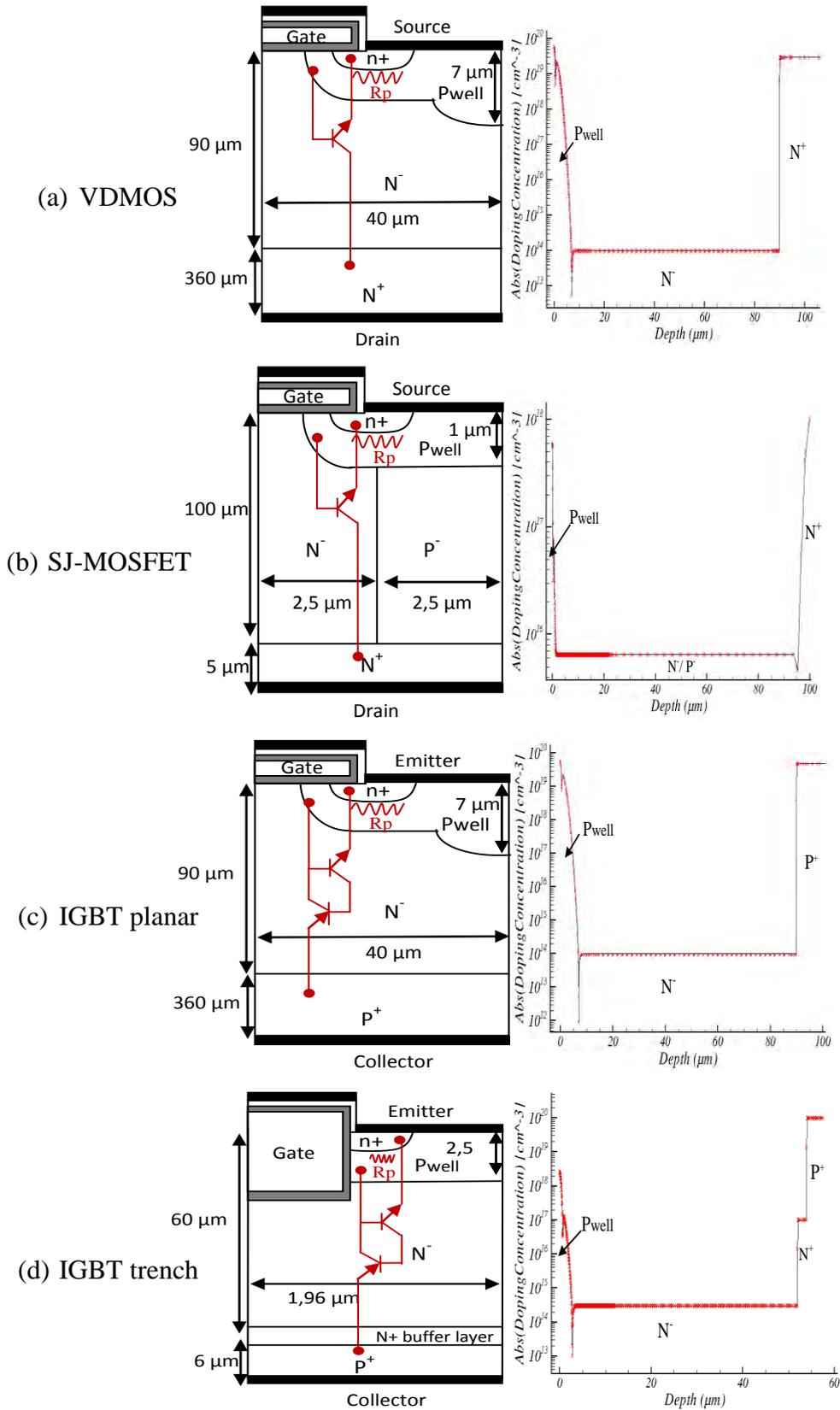


Figure 2-10: Demi-cellules simulées avec leurs dimensions géométriques (à gauche), profil de dopage de chaque demi-cellule simulée en fonction de la profondeur (à droite).

## **3.2 Conditions des simulations**

Afin de pouvoir étudier et déterminer les zones sensibles dans les MOSFET et les IGBT, des traces ionisantes simulant un ion lourd en différentes configurations ont été simulées sur les structures illustrées dans la Figure 2-10. Il faut rappeler que les deux structures du VDMOS et de l'IGBT planar sont déjà optimisées contre l'irradiation, plus particulièrement par la face arrière, en élargissant la profondeur de la zone N+ du substrat. Par ailleurs, les précédents travaux ont montré qu'un ion lourd pénétrant dans le substrat demande beaucoup plus d'énergie pour provoquer un burn-out [LUU-08]. Donc, toutes les traces de ces simulations sont générées depuis la face avant. Le volume est déterminé par le déclenchement d'un évènement associé au LET le plus faible. La détermination de ce dernier réclame un temps de simulation relativement long car ce LET minimal provoquant un Burn-out est recherché par plusieurs simulations successives. Afin de faciliter l'interprétation des résultats, le LET est constant le long de la trace d'ionisation simulée, ce qui n'est pas le cas réellement. La quantité de charge déposée peut donc être déduite de l'équation 2-5.

$$LET [pC/\mu m].range [\mu m] = Q_{déposée} [pC] \quad \text{Eq 2-5}$$

Dans la première partie de simulation, toutes les traces d'ionisation sont générées verticalement au sein de la demi-cellule de chaque structure à différentes positions (x) afin de déterminer la position la plus sensible. Cette position sera fixée dans la deuxième partie de ces simulations, qui étudie le cas d'un ion de 10  $\mu m$  de longueur généré à partir de différentes profondeurs dans la région épitaxiée, qui est le lieu définissant le volume sensible. La troisième partie étudie le cas d'ions générés verticalement avec différents ranges dans la même position x la plus sensible. Dans un premier temps, toutes les simulations sont effectuées pour une polarisation de 400V de chaque cellule. Cette tension correspond à peu près, d'un point de vue applicatif, à la tension de fonctionnement en régime normal dans le domaine aérospatial. La tension de polarisation sera ensuite modifiée afin de déterminer la SOA de chaque structure. Enfin, le modèle thermique a été pris en compte pour simuler les structures à différentes valeurs de température (300K, 350K et 400K) pour déterminer son effet sur la sensibilité SEB de chaque composant.

### 3.3 Analyse des résultats de simulation pour le VDMOS et SJ-MOSFET

#### 3.3.1 Effet de la position d'impact

La Figure 2-11 donne le LET seuil entraînant un burn-out pour différentes positions (x) d'impact dans les deux structures MOSFET (voir positions des flèches).

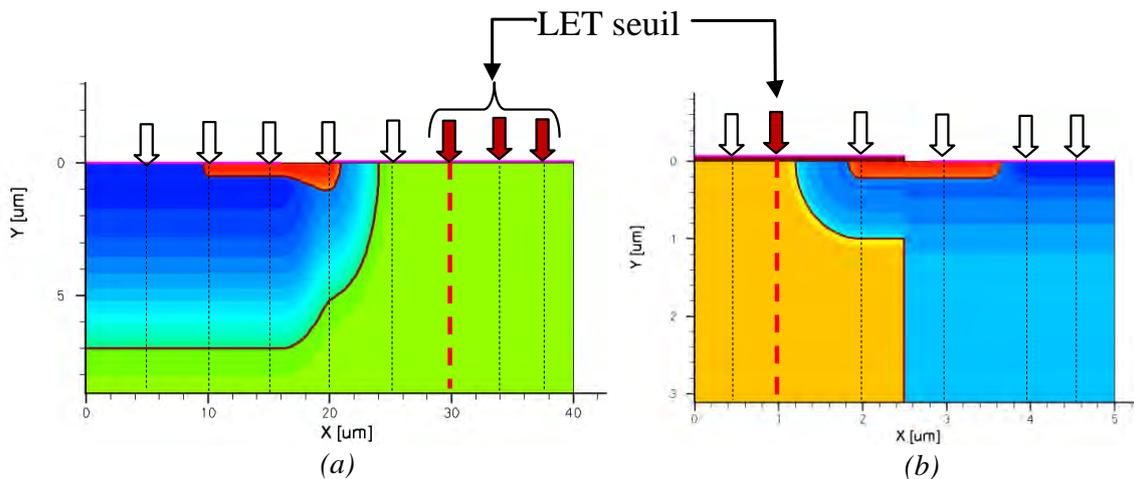


Figure 2-11: LET minimal provoquant un SEB dans un VDMOS (a) et un SJ-MOSFET (b) pour différentes positions d'impact ( $x = \text{variable}$ ,  $y=0$ ,  $\text{range}=10\mu\text{m}$ ,  $V_{DS}=400\text{ V}$ )

Dans les deux cas, les régions les plus sensibles sont situées globalement dans la région intercellulaire. Plus précisément, elles sont comprises entre les positions d'impact 30 et 38  $\mu\text{m}$  dans le VDMOS et à 1  $\mu\text{m}$  dans la SJ-MOSFET (voir les positions des flèches colorées sur la Figure 2-11), c'est les régions principales de la source de courant de base du transistor parasite verticale. La capacité importante de collection de charge de la région  $\text{P}^+$  diminue la sensibilité de cette zone très dopée. Ces résultats de simulations sont en accord avec les précédentes études de simulations et d'expérimentations de [ROUB93], [DACH95], [MUSS-99] et [HUAN-00]. Ces positions seront fixées dans la suite de ces simulations, x est fixé à 30  $\mu\text{m}$  pour le VDMOS et 1  $\mu\text{m}$  pour la SJ-MOSFET (voir la position de la ligne discontinue plus large sur chaque structure dans la Figure 2-11)

#### 3.3.2 Effet de la profondeur de l'impact

La sensibilité en profondeur a été également étudiée. La Figure 2-12 résume la variation du LET minimal en fonction de la profondeur de la zone épitaxiée. On peut

constater que le LET nécessaire pour déclencher un SEB varie avec la profondeur de la trace, donnant un optimum pour le dépôt de charges. Par ailleurs, pour que les porteurs puissent être multipliés en plus grand nombre par le mécanisme d'ionisation par impact, le parcours des trous et des électrons doit être aussi grand que possible dans la zone de charge d'espace. En effet, le parcours des électrons dans la zone de charge d'espace est légèrement inférieur à celui des trous car le coefficient d'ionisation des électrons est plus élevé que celui des trous. Ainsi, le dépôt des charges optimal varie en fonction de la profondeur de la trace ou de la zone de charge d'espace. Pour une polarisation de 400V, la zone de charge d'espace s'étale dans la région épitaxiée N<sup>-</sup> de moins de 50 μm dans le VDMOS. La Figure 2-12 montre que les traces positionnées en dehors de cette zone nécessitent un LET beaucoup plus important pour déclencher un SEB. En outre la variation du LET minimal dans la zone de charge d'espace est relativement petite dans le VDMOS. En effet, pour les traces positionnées en dehors de la zone de charge d'espace, un seul type de porteurs est à l'origine de la multiplication en traversant la zone de champ électrique (voir Figure 2-13).

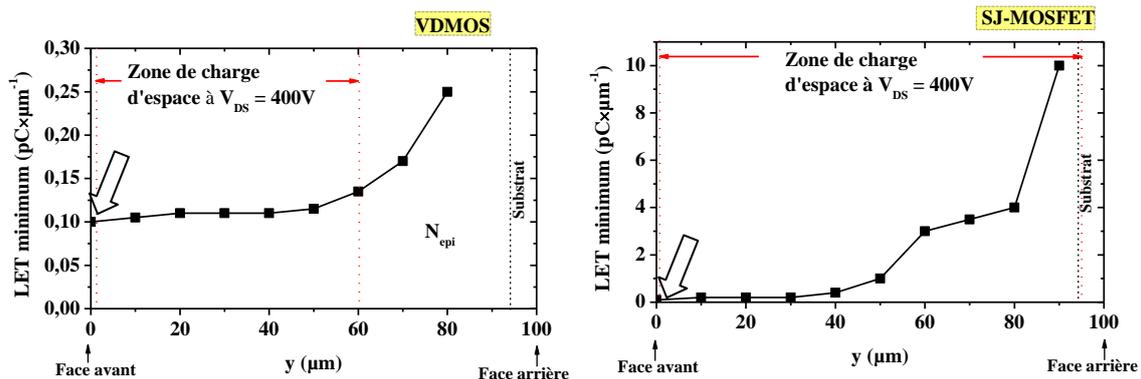


Figure 2-12: LET minimal provoquant un SEB en fonction de la profondeur de pénétration de l'ion arrivant en incidence normale sur la face avant de la demi-cellule VDMOS (à gauche) et SJ-MOSFET (à droite) ( $y$ =variable, range=10 μm,  $V_{DS}$ =400 V)

En revanche dans le SJ-MOSFET, toutes les traces sont situées à l'intérieur de la zone de charge d'espace qui s'étale horizontalement et qui occupe toute la structure. D'après ces premiers constats, on peut dire que, pour le VDMOS, le cas le plus efficace entraînant un Burn-out correspond à un dépôt de charges ponctuel au niveau de la zone de charge d'espace. Dans le SJ-MOSFET, le volume sensible est situé dans la partie supérieure de la région épitaxiée. Dans ce dispositif, le champ électrique est réparti verticalement de façon homogène le long de la jonction verticale PN, ce qui fait que le volume sensible devrait être moins dépendant de la zone de charge d'espace. En règle générale, pour que les porteurs soient

multipliés par le mécanisme de l'ionisation par impact, ils ont besoin de parcourir une certaine distance afin d'acquérir l'énergie nécessaire pour créer des paires électron-trou [JOHN-96]; cela signifie que plus les porteurs se déplacent dans la zone de charge d'espace, plus ils sont multipliés. En outre, dans SJ-MOSFET, contrairement au VDMOS, tous les porteurs sont à l'origine des phénomènes de multiplication d'impact lors du franchissement de la zone de charge d'espace. Cependant, les traces positionnées dans la moitié inférieure de la région épitaxiée nécessitent plus de LET car les trous générés dans la partie inférieure ont plus de temps à se recombiner avant d'atteindre la source  $P^+$  via la région latérale P-well.

Les flèches représentées sur la Figure 2-12 indiquent les profondeurs des traces les plus sensibles pour déclencher un Burn-out. Dans les deux cas, ces profondeurs sont à proximité de la surface.

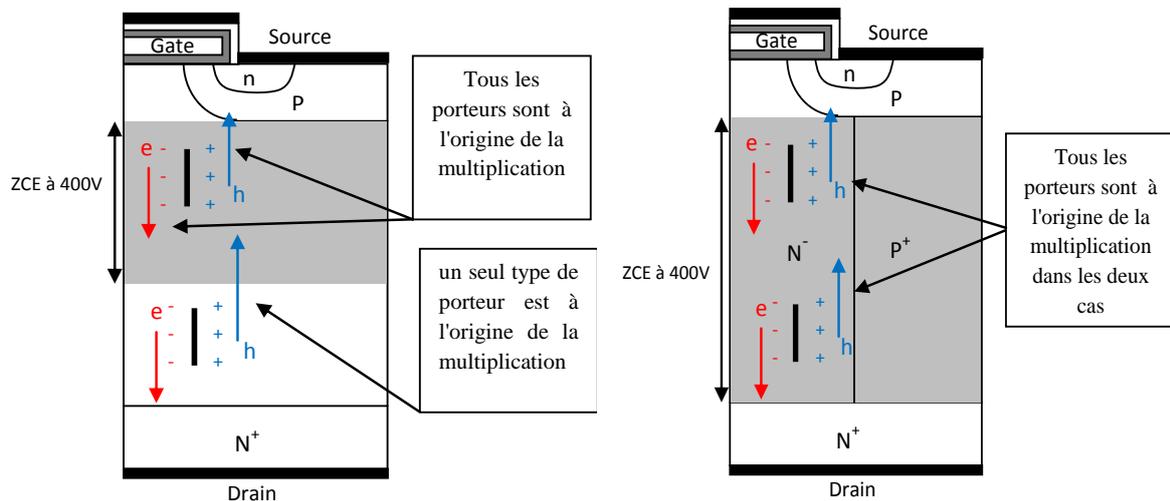


Figure 2-13: Traces positionnées à deux profondeurs différentes dans un VDMOS (à gauche) et SJ-MOSFET (à droite)

### 3.3.3 Effet du range de l'ion

La Figure 2-14 donne le LET minimal et la charge minimale déclenchant un Burn-out en fonction du range de l'ion pour le VDMOS et le SJ-MOSFET. Les simulations montrent que la valeur du LET nécessaire pour provoquer un Burn-out diminue avec l'augmentation du range de l'ion incident dans la zone d'épitaxie dans les deux cas car, quelle que soit la structure, il existe moins de génération par avalanche dans le cas de faible range. Ce dernier nécessite un LET important à cause du faible parcours des charges déposées dans la zone de charge d'espace. Par contre, une grande pénétration peut générer plus de porteurs dans cette

zone par le phénomène d’avalanche et nécessite donc un faible LET. Le LET atteint des valeurs minimales pour des ranges supérieurs à 50  $\mu\text{m}$  dans le VDMOS et 90  $\mu\text{m}$  dans le SJ-MOSFET. Ces valeurs correspondent à l’extension de la zone de charge d’espace à 400 V dans les deux cellules. Dans un VDMOS, le pire cas pour provoquer un SEB correspond à un ion qui pénètre dans la zone intercellulaire et traverse toute la zone de charge d’espace. Concernant la structure SJ-MOSFET, le pire cas correspond à un ion traversant toute la zone épitaxiée. La Figure 2-14 montre aussi une saturation du LET dans le VDMOS, qui commence à partir 50  $\mu\text{m}$ . Cette saturation est expliquée par le fait que la charge minimale déclenchant un SEB est systématiquement assurée à l’intérieur de la zone de charge d’espace pour les ranges qui sont supérieurs à la zone de charge d’espace. Donc, quelle que soit l’augmentation de la pénétration au-delà de la zone de charge d’espace, le LET reste fixe. D’autre part, une structure SJ-MOSFET ne montre aucune saturation du LET : il existe une légère diminution du LET à partir d’un range de 20  $\mu\text{m}$ . Le LET le plus faible déclenchant un événement est obtenu pour un ion traversant la totalité de la zone épitaxiée puisque, dans ce cas, la zone de charge d’espace s’étend complètement dans la structure. Cela signifie que l’effet du range est considérable dans les deux cas et que le critère de déclenchement ne porte pas que sur la charge déposée.

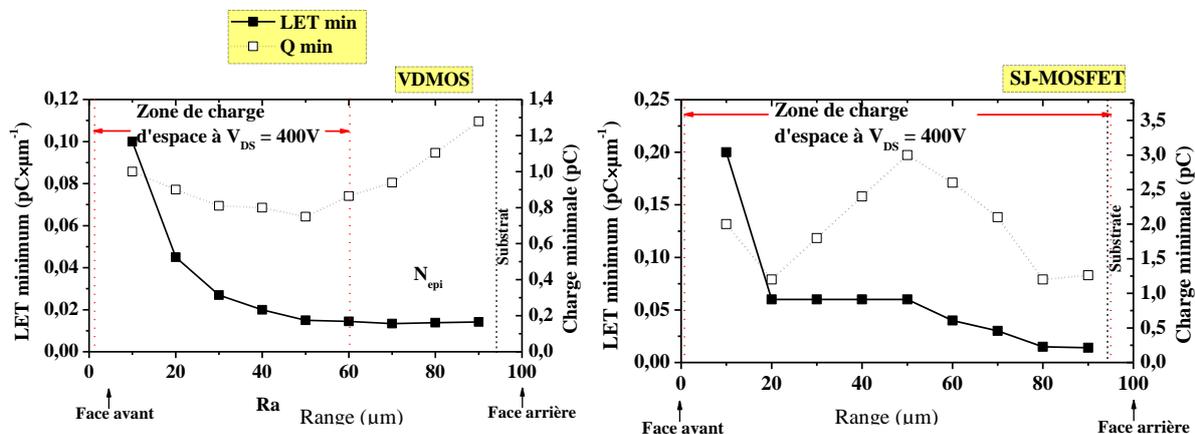


Figure 2-14: LET minimal provoquant un SEB et la charge déposée correspondante en fonction de la profondeur de pénétration de l’ion arrivant en incidence normale sur la face avant de la demi-cellule VDMOS (à gauche) et SJ-MOSFET (à droite) (range=variable,  $V_{DS}=400\text{ V}$ )

Afin de mieux comprendre l’influence du range des traces sur le mécanisme du SEB, il est important de rappeler brièvement ce mécanisme dans les MOSFETs. Le mécanisme est basé sur l’activation d’un transistor bipolaire parasite inhérent à la structure MOS et l’ionisation par impact qui joue un rôle essentiel dans ce mécanisme. En effet, le phénomène

d'avalanche se retrouve dans des conditions favorables grâce à l'association d'un fort champ électrique et de grandes densités de porteurs [DACH-95]. Pour que le phénomène de burn-out soit irréversible et destructif, les mécanismes de conduction du transistor bipolaire et d'avalanche doivent s'autoalimenter en charge, c'est-à-dire que le transistor bipolaire doit être alimenté par le courant de trous provenant du mécanisme d'avalanche, qui doit être alimentée par le courant d'électrons injecté par le transistor bipolaire. La Figure 2-15 montre l'évolution du champ électrique dans les structures simulées aux différents instants (avant et après le burn-out). Dans le cas du VDMOS, le champ électrique est toujours maximal à la jonction P-well/N<sup>-</sup> en fin de simulation quel que soit le range. Ceci est dû à la forte localisation du courant dans la partie droite de la structure, c'est-à-dire que le courant circule beaucoup plus à travers le transistor parasite NPN (voir figure). Cela n'est pas le cas dans le SJ-MOSFET où la taille du transistor parasite NPN est de l'ordre de la cellule, ce qui fait que le courant occupe toute la structure. Après le burn-out, à  $t_{\text{final}}$  (cf. Figure 2-15), le champ électrique est aussi maximal au niveau de l'homo-jonction N<sup>-</sup>/N<sup>+</sup> dans les deux cas. Cela augmente le taux de multiplication des trous par impact, activant en permanence le transistor bipolaire par un courant de base suffisant. À  $t_{\text{initial}}$  (cf. Figure 2-25), la profondeur maximale de la zone de charge d'espace et le champ électrique intense rencontré par les électrons leurs permettent d'être accélérés et multipliés par impact. En revanche, lorsque les trous rencontrent les plus fortes valeurs de champ électrique, ils n'ont qu'une faible distance à parcourir dans ce dernier. Par conséquent, leur multiplication est faible par rapport à celle des électrons, et ce d'autant plus que leur coefficient d'ionisation est plus faible ( $\alpha_p < \alpha_n$ ). En revanche, après un burn-out ( $t_{\text{final}}$ ), lorsque le champ électrique est maximal au niveau de la jonction N<sup>-</sup>/N<sup>+</sup>, les trous se multiplient plus que les électrons en compensant leur faible coefficient d'ionisation  $\alpha_p$ . Au moment où le phénomène d'avalanche assure le courant de base (courant des trous) du transistor bipolaire, ce dernier permet à son tour d'entretenir le phénomène d'avalanche en injectant un courant d'électrons [LUU-09]. En effet, le déplacement du pic du champ électrique de la jonction P<sup>+</sup>/N<sup>-</sup> à la jonction N<sup>-</sup>/N<sup>+</sup> est expliqué par l'effet Kirk [KIRK-62], [HOHL-89]. La figure 2-25 montre aussi que, dans le cas du VDMOS, les pentes du champ électrique sont différentes entre les deux valeurs du range à cause de la collection des charges déposées dans chaque cas, alors que, dans le cas du SJ-MOSFET, le niveau du champ électrique avant le  $t_{\text{final}}$  diminue que le long de la trace. La modification du champ électrique par rapport à l'évolution de l'injection est décrite par l'équation de Poisson :

VDMOS

$$\frac{dE}{dx} = \frac{q}{\varepsilon} (N_d - n(x)) = \frac{q}{\varepsilon} \left( N_d - \frac{J_n}{qv_n} \right) \quad \forall y \quad \text{Eq.2-6}$$

SJ - MOSFET

$$\begin{cases} \frac{dE}{dy} = \frac{q}{\varepsilon} (N_d - n(y)) = \frac{q}{\varepsilon} \left( N_d - \frac{J_n}{qv_n} \right) \\ \frac{dE}{dx} = 0 \end{cases} \quad \text{Eq.2-7}$$

Ces équations peuvent expliquer les constats de la figure 2-25, c'est-à-dire l'inversement de la pente du champ électrique et le déplacement de son pic de la jonction émetteur/base (P/N<sup>-</sup>) vers l'homo-jonction épi/substrat. En effet, avec l'apport de la trace, la densité de porteurs  $J_n$  augmente de telle sorte que le terme  $J_n/qv_n$  devient supérieur au dopage  $N_D$  de la couche  $N_{\text{épi}}$ . Dans un VDMOS, le champ électrique devient très vite maximum à la jonction N-/N<sup>+</sup> pour une trace traversant une grande partie de l'épitaxie (Figure 2-15, VDMOS range = 70  $\mu\text{m}$ ) cela signifie qu'un range important est plus favorable à l'effet Kirk pour l'établissement d'un courant  $J_n$  qu'un dépôt de charges ponctuel avec une faible pénétration; c'est ce qui explique aussi la rapidité du burn-out (voir flèche 2 Figure 2-16), juste après le premier pic de courant (ligne verticale pointillée Figure 2-16). Pour la structure SJ-MOSFET, l'effet Kirk ne peut se produire que horizontalement (y) car la variation du champ électrique selon le sens de la pénétration de l'ion (x) est nulle, ce qui explique l'effet mineur du range dans ce cas. Globalement, pour les deux structures étudiées, l'influence du range ne peut être expliquée que par l'effet Kirk, c'est-à-dire le déplacement du champ électrique (voir Figure 2-15) avec les densités de courant circulant dans la zone de charge d'espace, dans le cas où les porteurs augmentent régénérativement, jusqu'à ce que leurs concentrations deviennent largement supérieures au dopage de la région épitaxiée [LUU-09], [BALI-95].

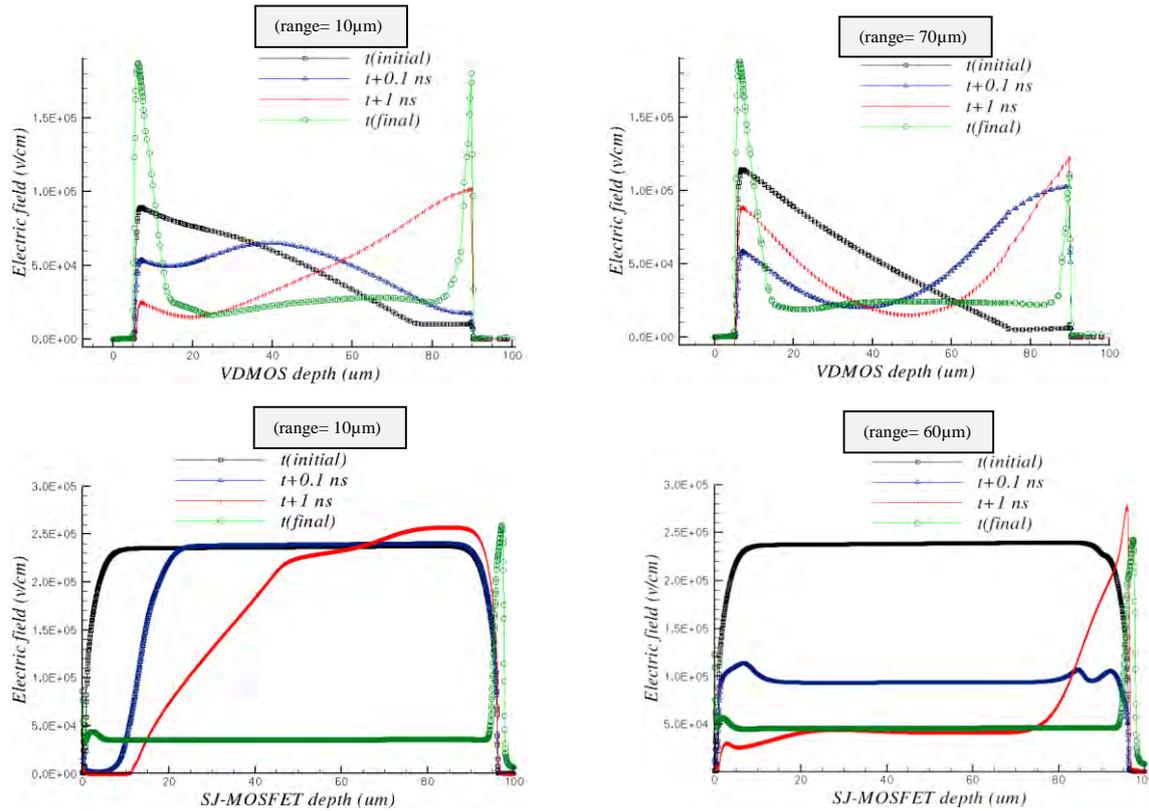


Figure 2-15: Évolution du champ électrique suite à un impact ionisant vertical d'un faible range (à gauche) et d'un range élevé (à droite) dans les demi-cellules de VDMOS (haut) et SJ-MOSFET (bas) polarisées à 400V

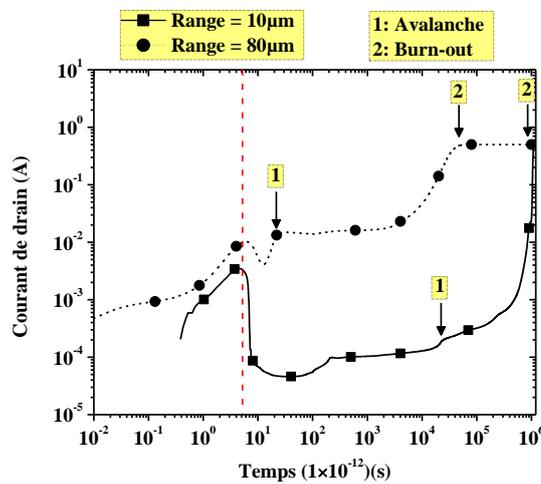


Figure 2-16: Comparaison de l'évolution du courant  $I_{ds}$  en fonction du temps suite à un impact ionisant vertical d'un grand et d'un petit range dans la demi-cellule d'un VDMOS

### 3.3.4 Analyse des résultats pour différentes polarisations $V_{DS}$

Afin d'évaluer les sensibilités respectives des structures étudiées, nous avons déterminé les seuils de sensibilité pour différentes tensions de polarisation. Les résultats de simulation sont présentés sur la Figure 2-17. Ils présentent l'effet de la tension de polarisation

respectivement sur le LET minimal, indiquant la zone de sécurité SOA (Safe Operating Area) de chaque structure, pour une position d'impact de l'ion donnée ( $x = 30 \mu\text{m}$ ) et pour différents ranges.

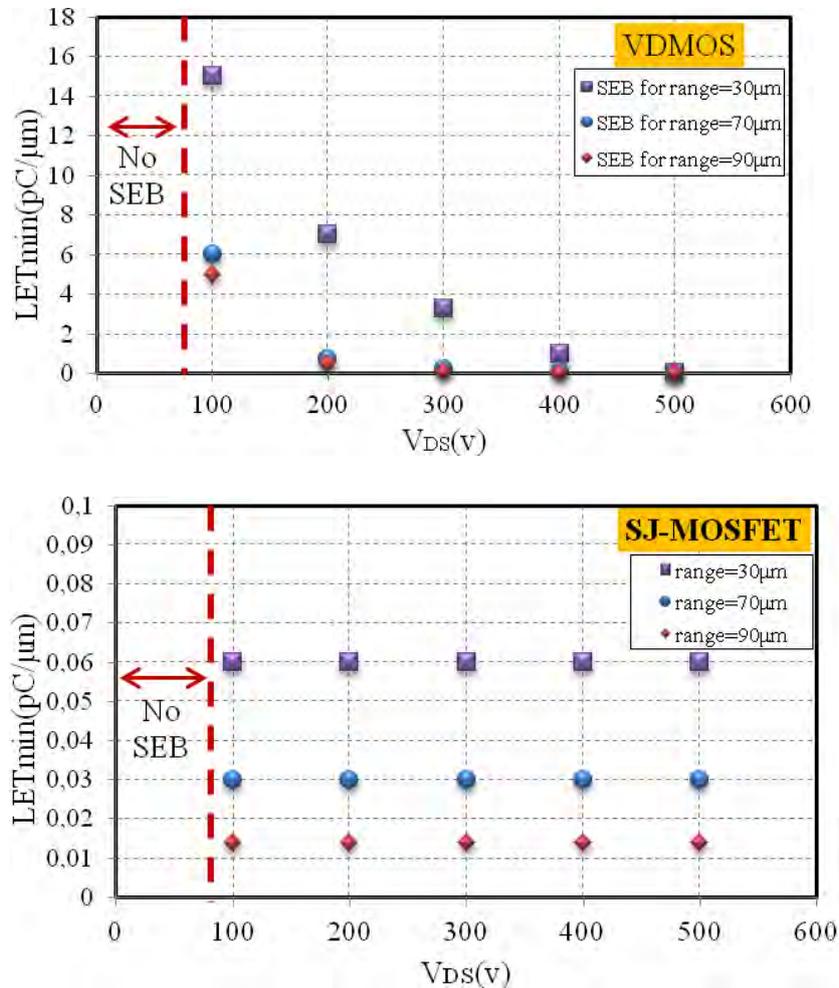


Figure 2-17: LET minimal provoquant un SEB en fonction de la tension de polarisation  $V_{DS}$  pour un VDMOS (haut) et SJ-MOSFET (bas), (range=30,70 et 90  $\mu\text{m}$ ,  $V_{DS}$ = variable)

Dans le VDMOS, le LET minimal diminue pour tous les ranges, c'est-à-dire que la sensibilité augmente lorsque la tension de polarisation ( $V_{DS}$ ) augmente. A faible tension, le LET minimal décroît de façon importante. Ceci est attendu puisque le burn-out de ce type de composant est assuré par le phénomène d'avalanche [DACH-95]. La structure SJ-MOSFET conserve une valeur constante du LET minimal quelle que soit la tension de polarisation (voir courbe du bas de la Figure 2-17 bas). Ceci est dû à l'étalement complet de la zone de charge d'espace dans toute la structure même à faible polarisation. Le pic de champ électrique est toujours localisé à la jonction PN verticale, mais, comme le champ électrique est réparti de façon homogène le long de cette jonction (voir Figure 2-15 cas SJ-MOSFET à  $t_{\text{initial}}$ ) dans le

sens de la pénétration de l'ion ( $x$ ), l'augmentation de la tension de polarisation  $V_{DS}$  n'influe pas sur la sensibilité. Certaines observations faites précédemment sont aussi confirmées: le LET minimal diminue avec l'augmentation du range quelle que soit la valeur de la tension de polarisation dans les deux cas. Cependant, la zone de charge d'espace s'étend proportionnellement dans le cas du VDMOS avec l'augmentation de la tension  $V_{DS}$  et cela réduit les différences existantes entre les LET minimaux de chaque range. Ces écarts sont fixes dans le SJ-MOSFET car la tension de polarisation  $V_{DS}$  n'a toujours aucun effet sur la variation de la sensibilité quelle que soit la valeur du range. La Figure 2-17 montre aussi que les deux structures ont presque la même zone de sécurité SOA. Pour toute valeur de tension inférieure de 80 V, on ne peut avoir de phénomène destructif car le courant induit ne se maintient pas. Cette valeur de la tension correspond donc à la tension seuil de ces structures dans les conditions données.

### 3.4 Analyse des résultats de simulation pour l'IGBT planar et l'IGBT trench

#### 3.4.1 Effet de la position d'impact

La Figure 2-18 donne le LET seuil entraînant un burn-out pour différentes positions ( $x$ ) d'impact dans les deux structures d'IGBT (voir positions des flèches).

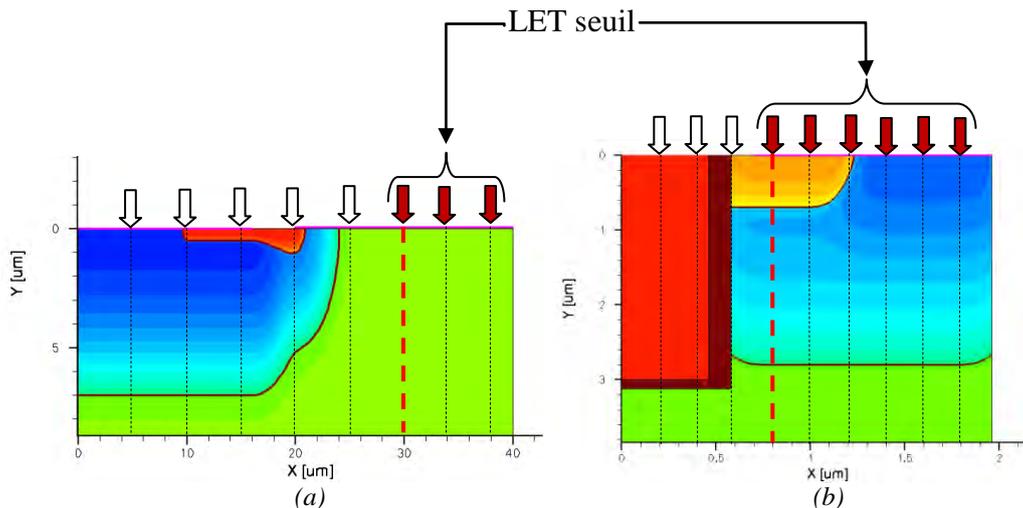


Figure 2-18: LET minimal provoquant un SEB dans un IGBT planar (a) et un IGBT trench (b) pour différentes positions d'impact ( $x = \text{variable}$ ,  $y=0$ ,  $\text{range}=10\mu\text{m}$ ,  $V_{CE}=400\text{ V}$ )

Comme dans le cas des MOSFET, les régions les plus sensibles sont situées globalement dans la région intercellulaire. Plus précisément, elles sont comprises entre les positions d'impact 30 et 38  $\mu\text{m}$  dans l'IGBT planar et entre 0,8 et 1,8 dans l'IGBT trench (voir les positions de flèches colorées dans la Figure 2-18). Pour l'IGBT planar, ces résultats de simulations sont aussi en accord avec les précédentes études de simulations et expérimentales [LORF-98].

### 3.4.2 Effet de la profondeur d'impact

La Figure 2-19 représente la variation du LET minimal en fonction de la profondeur de la zone épitaxiée. Pour une polarisation de 400V, la zone de charge d'espace s'étale dans l'épitaxie de 60  $\mu\text{m}$  dans l'IGBT planar et de 40  $\mu\text{m}$  dans l'IGBT trench. Elle montre que les traces positionnées en dehors de cette zone nécessitent un LET beaucoup plus important pour déclencher un SEB. Ainsi la variation du LET minimal dans la zone de charge d'espace est relativement petite dans les deux cas. En effet, comme dans le cas du VDMOS, un seul type de porteur est à l'origine de la multiplication en traversant la zone de champ électrique pour les traces positionnées en dehors de la zone de charge d'espace. Même si le modèle d'ionisation par impact n'est pas essentiel dans la simulation des défaillances induites par ions lourds dans les IGBT, contrairement aux VDMOS [ROUB-93], ces premiers constats (Figure 2-19) montrent aussi qu'un dépôt de charges ponctuel au niveau de la zone de charge d'espace constitue le cas le plus efficace entraînant un burn-out.

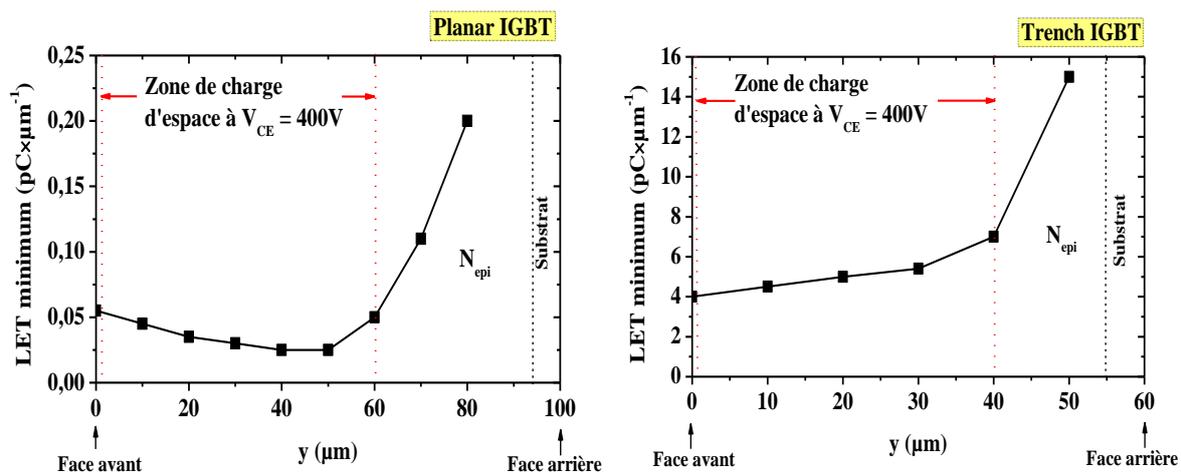


Figure 2-19: LET minimal provoquant un SEB en fonction de la profondeur de pénétration de l'ion arrivant en incidence normale sur la face avant de la demi-cellule d'IGBT planar (à gauche) et IGBT trench (à droite)

(y=variable, range=10  $\mu\text{m}$ ,  $V_{CE}=400\text{ V}$ )

### 3.4.3 Effet du range de l'ion

La Figure 2-20 donne le LET minimal et la charge minimale déclenchant un burn-out en fonction du range de l'ion pour les IGBT. Les simulations montrent que la valeur du LET nécessaire pour provoquer un burn-out diminue avec l'augmentation du range de l'ion incident dans la zone d'épitaxie dans les deux IGBT. Cela est attendu, comme nous l'avons expliqué précédemment, dans le cas du VDMOS (voir paragraphe 2.4.3.3). Dans les deux cas, le LET atteint des valeurs minimales pour des ranges supérieurs à 60  $\mu\text{m}$  pour le planar et à 40  $\mu\text{m}$  pour le trench. Ces valeurs correspondent à l'extension de la zone de charge d'espace à 400 V dans les deux cellules. Dans les deux IGBT, le pire cas pour provoquer un SEB correspond à un ion pénétrant dans la zone intercellulaire et traversant toute la zone de charge d'espace. La Figure 2-20 montre aussi une saturation du LET (LET seuil) qui commence à partir 60  $\mu\text{m}$  et 40  $\mu\text{m}$  dans l'IGBT planar et trench respectivement. Cette saturation a aussi été expliquée précédemment dans le cas du VDMOS (voir paragraphe 2.4.3.3). Cela signifie que l'effet du range est aussi influent que pour les MOSFET. Le critère de déclenchement dans les IGBT ne porte pas que sur la charge déposée.

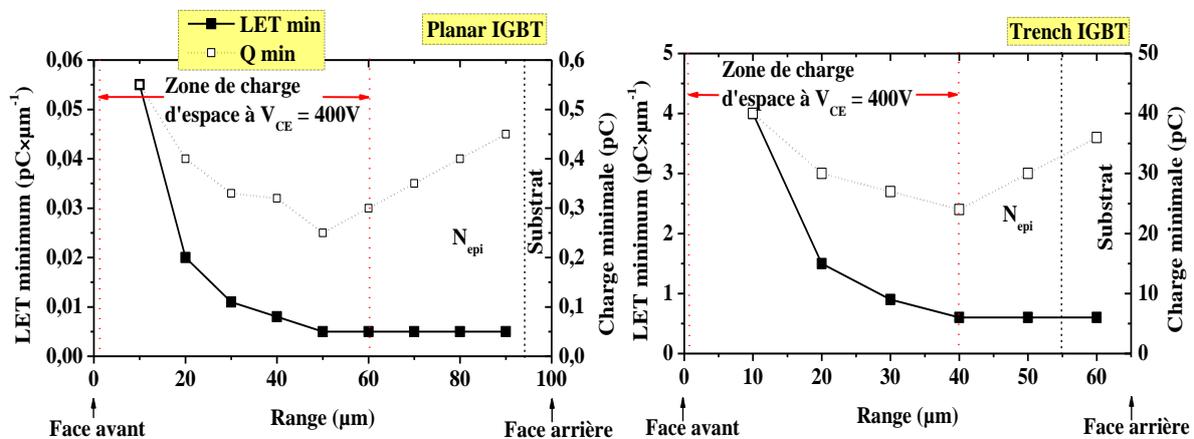


Figure 2-20: LET minimal provoquant un SEB et charge déposée correspondante en fonction de la profondeur de pénétration de l'ion arrivant en incidence normale sur la face avant de la demi-cellule d'IGBT planar (à gauche) et IGBT trench (à droite) (range=variable,  $V_{CE}=400\text{ V}$ )

Il est important de rappeler brièvement le mécanisme du SEB dans l'IGBT déjà expliqué dans le premier chapitre. Dans ce dernier, le modèle d'ionisation par impact peut diminuer sa sensibilité dans la simulation des défaillances induites par ions lourds mais il n'est pas essentiel [LORF-97]. En effet, il s'agit bien du phénomène de latch-up, c'est-à-dire de la mise en conduction du thyristor parasite  $N^+PNP^+$  inhérent aux IGBT de puissance.

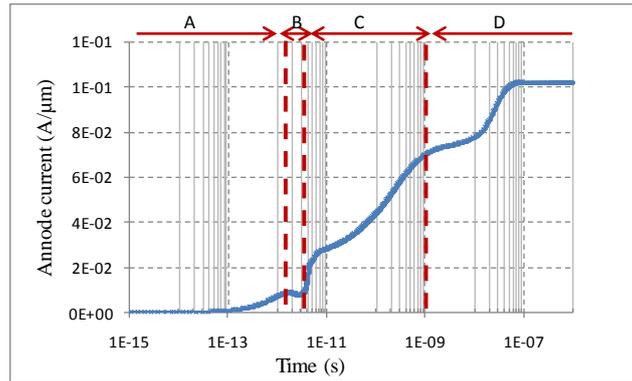


Figure 2-21: évolution du courant de collecteur en fonction du temps suite à un impact ionisant ( $V_{CE}=400$  V)

Le premier pic de courant (Figure ?) indique que les porteurs générés le long de la trace d'ions sont accélérés par le champ électrique dans la zone de déplétion. Étant donné que les porteurs passent à l'extérieur du composant, le courant diminue (voir Figure 2-21. section B). Cependant, lorsque le pic du champ électrique se déplace de la jonction  $P^+/N^-$  à la jonction  $N^-/Substrat$ , le champ critique atteint cette jonction (voir IGBT planar sur Figure 2-22 à  $t+0,1$  ns), ce qui induit de nouveaux porteurs générés et entraînant le déclenchement du transistor parasite PNP. La modification de la polarisation de la jonction  $N^+P$  augmente l'injection des électrons depuis l'émetteur dans la zone d'épitaxie qui constituent le courant de base du transistor parasite PNP. À cet instant, plus la tension appliquée est élevée, plus le champ électrique est intense et le courant augmente (Figure 2-21 section C). Par conséquent des trous sont injectés dans la zone épitaxiée depuis le substrat (Figure 2-21 C et D) puis, atteignant la zone P, fourniront le courant de base du transistor NPN. Celui-ci assure à son tour le verrouillage du thyristor parasite en déclenchant le latch-up. L'excès de trous et d'électrons injectés submerge les zones les moins dopées et diminue l'intensité du champ électrique dans l'ensemble de la structure (voir Figure 2-22 à  $t_{final}$ ). Concernant l'effet du range, la Figure 2-22 montre que, dans le cas d'un range élevé, un pic de champ électrique apparaît dès le début de la simulation dans l'IGBT trench. Ce pic est dû à la génération très localisée des porteurs dans la jonction  $N^-/N^+$  de la couche tampon, suite à l'ionisation par impact. Ce phénomène ne se produit pas dans les IGBT NPT quel que soit le range; c'est le cas de notre IGBT planar. Comme dans le cas des MOSFET, l'influence du range dans les IGBT est aussi expliquée par l'effet Kirk (voir paragraphe 2.4.3.3).

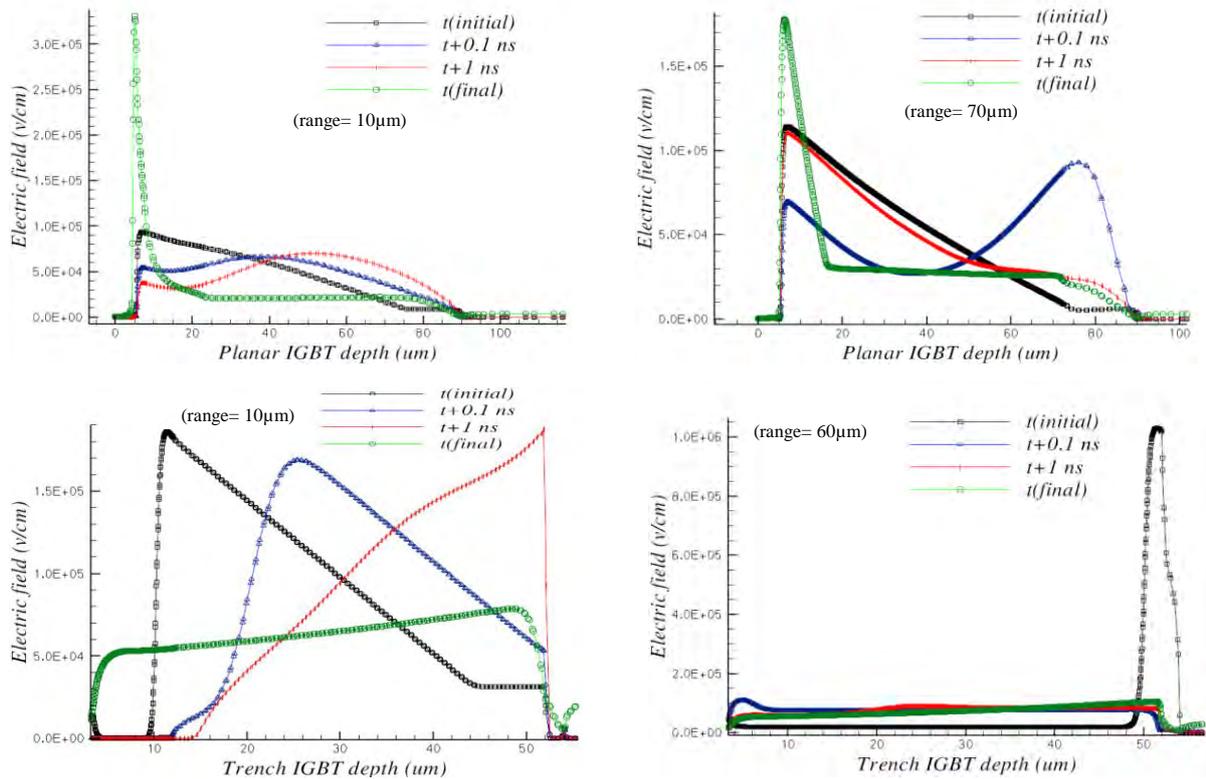


Figure 2-22: Evolution du champ électrique suite à un impact ionisant vertical d'un faible range (à gauche) et d'un range élevé (à droite) dans les demi-cellules d'IGBT planar (haut) et IGBT trench (bas) polarisées à 400V

Malgré le fait qu'il y a une grande similarité de comportement entre les deux IGBT, il est clair que les valeurs des LET minimales d'un IGBT planar que l'on peut lire sur la Figure 2-20 sont très faibles si on les compare à celles des trench. Dans ces conditions (400 V), la sensibilité de l'IGBT planar est 100 fois plus que celle du trench. Afin de bien évaluer leurs sensibilités, nous avons déterminé les seuils de sensibilité pour différentes tensions de polarisation.

### 3.4.4 Analyse des résultats pour différentes polarisations $V_{CE}$

Les résultats de simulation sont présentés sur la Figure 2-23. Elle présente l'effet de la tension de polarisation respectivement sur le LET minimal, indiquant la zone de sécurité SOA (Safe Operating Area) de chaque IGBT, pour une position d'impact de l'ion donnée ( $x = 30 \mu\text{m}$ ) et pour différents ranges.

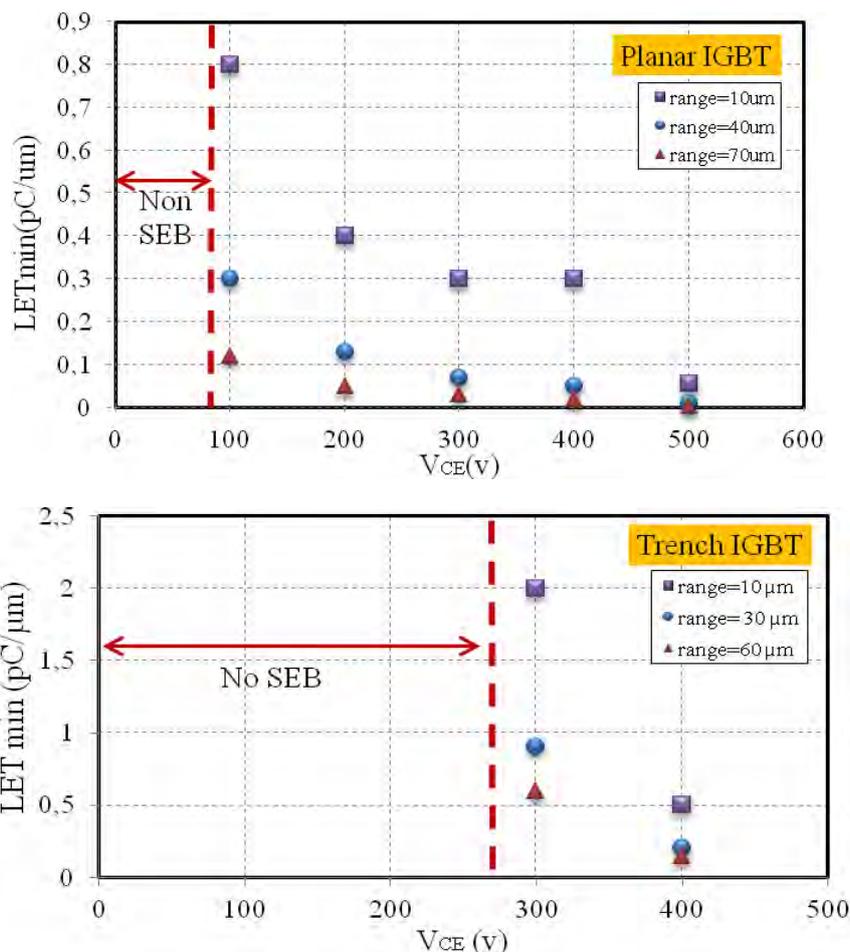


Figure 2-23: LET minimal provoquant un SEB en fonction de la tension de polarisation  $V_{CE}$  pour un IGBT planar (haut) et IGBT trench (bas), ( $x=30 \mu\text{m}$ ,  $y=0\mu\text{m}$ , range variable)

Pour les deux IGBT, le LET minimal diminue pour tous les ranges, c'est-à-dire que la sensibilité augmente lorsque la tension de polarisation ( $V_{CE}$ ) augmente. Certaines observations faites précédemment sont confirmées : le LET minimal diminue avec l'augmentation du range quelle que soit la valeur de la tension de polarisation dans les deux IGBT. Cependant, la zone de charge d'espace s'étend proportionnellement dans les deux cas avec l'augmentation de la tension  $V_{CE}$  et cela réduit les différences existantes entre les LET minimums de chaque range. Malgré cette ressemblance de comportement entre les deux IGBTs, la Figure 2-23 montre que les deux structures n'ont pas la même zone de sécurité (SOA). Dans l'IGBT planar, on ne peut avoir de phénomène destructif pour toute valeur de tension inférieure de 80 V, alors que cette valeur va jusqu'à 280 V dans l'IGBT trench pour une même tension de claquage entre les deux structures (600 V). Ces résultats sont attendus car les deux structures n'ont pas les mêmes paramètres tels que la résistance « $R_p$ » de la région P-well et le gain du transistor parasite qui sont des facteurs essentiels pour éviter les

phénomènes destructifs dans les IGBT. Il a été prouvé analytiquement qu'un moyen efficace d'augmenter la tension seuil du SEB est de réduire la résistance  $R_p$  qui nécessite une longueur de source plus courte, avec un dopage P-well plus élevé, comme dans le cas de l'IGBT trench qui a une très faible  $R_p$  par rapport à l'IGBT planar.

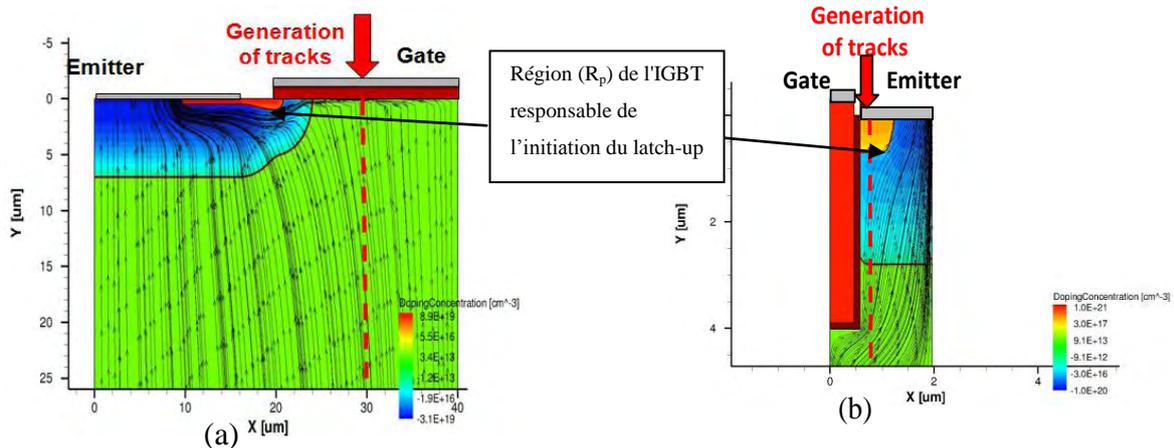


Figure 2-24: Distribution de lignes de courant de trous après l'impact et avant le déclenchement du thyristor parasite dans une structure d'IGBT planar (a) et trench (b)

La distribution des lignes de courant de trous avant le déclenchement du thyristor parasite, dans la structure planar et la structure trench simulées est représentée Figure 2-24. On peut remarquer que, dans le cas de la structure planar, une grande partie du courant de trous circule vers l'émetteur à travers la résistance  $R_p$  (indiquée sur la Figure 2-24 par les flèches). Ce courant crée ainsi une chute de tension aux bornes de la résistance  $R_p$  qui rend la jonction émetteur  $N^+$  / P-well passante. Dans la structure trench (Figure 2-24 b), le latch-up ne se produit pas. La majeure partie du courant de trous circule verticalement dans la zone de P-well sans passer sous la jonction émetteur  $N^+$  / P-well.

### **Courant du latch-up dans les IGBT planar et trench**

Pour calculer la chute de tension directe à travers la jonction PN, un courant de trous circulant sous la longueur entière d'émetteur  $L_E$  peut être utilisé. La tension aux bornes de la résistance P-well est donnée par :

$$V = R_p \cdot I_p \tag{Eq.2-8}$$

La relation entre le courant de trous et d'électrons est donnée par :

$$I_p = \frac{\alpha_{PNP} \cdot I_n}{(1 - \alpha_{PNP})} \tag{Eq.2-9}$$

Où  $\alpha_{PNP}$  est le gain en courant du transistor PNP. En outre, le courant d'émetteur est donné par :

$$I_E = I_p + I_n = \frac{I_n}{(1 - \alpha_{PNP})} \quad Eq.2-10$$

En appliquant les équations. Eq.2-9 et Eq.2-10 à l'équation. Eq.2-8, nous obtenons :

$$V = \alpha_{PNP} \cdot R_p \cdot I_E \quad Eq.2-11$$

Le latch-up se produit lorsque la condition suivante est validée :

$$\alpha_{NPN} + \alpha_{PNP} = 1 \quad Eq.2-12$$

Cette dernière se produit lorsque le gain en courant du transistor NPN est suffisamment élevé, lorsque la polarisation directe sur la jonction N<sup>+</sup>/P atteint le potentiel  $V_{bi} = 0,7 \text{ V}$  ; ainsi, le courant de latch-up est exprimé par :

$$I_{Latchup} = \frac{V_{bi}}{\alpha_{PNP} \cdot R_p} \quad Eq.2-13$$

Pour un IGBT planar, il existe deux segments sous la région d'émetteur N<sup>+</sup> : (1) le segment de longueur  $L_{E1}$  contenant l'émetteur N<sup>+</sup> et la région P-base ayant une résistivité relativement grande  $\rho_{SB}$  et (2) le segment de longueur  $L_{E2}$  contenant l'émetteur N<sup>+</sup> et la région de diffusion P<sup>+</sup> ayant une faible résistivité  $\rho_{SP^+}$  (voir Figure 2-25)

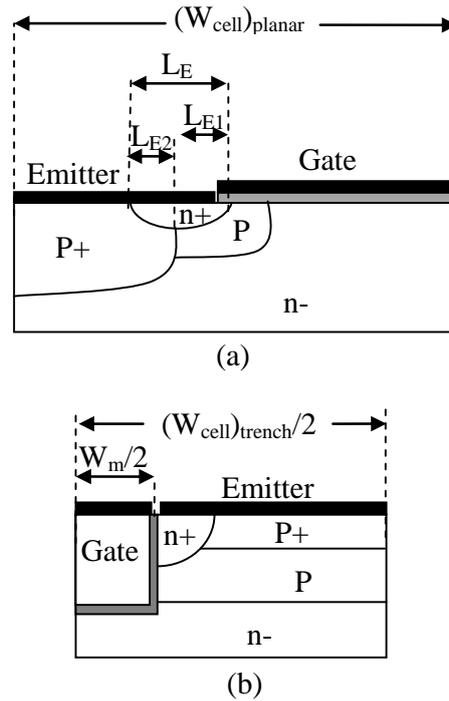


Figure 2-25: Paramètres géométriques de la zone active pour l'analyse de la densité de courant de latch-up d'un IGBT planar (a) et d'un IGBT trench (b)

La densité de courant de latch-up de l'IGBT planar est écrite comme suit :

$$(J_{Latchup})_{Planar} = \frac{V_{bi}}{(W_{cell})_{Planar} \alpha_{PNP} (\rho_{SB} L_{E1} + \rho_{SP^+} L_{E2})} \quad Eq.2-15$$

Pour simplifier, nous avons :

$$(R_p)_{plan} Z = (\rho_{SB} L_{E1} + \rho_{SP^+} L_{E2}) \quad Eq.2-16$$

En l'appliquant à l'équation. Eq.2-15, nous obtenons :

$$(J_{Latchup})_{Planar} = \frac{V_{bi}}{(\alpha_{PNP})_{plan} (R_p)_{plan} Z (W_{cell})_{plan}} \quad Eq.2-17$$

Où  $Z(W_{cell})$  est la surface de chaque cellule.

La densité de courant de latch-up de l'IGBT trench est écrite comme suit :

$$(J_{Latchup})_{Trench} = \frac{2V_{bi}}{(\alpha_{PNP})_{tren} (R_p)_{tren} Z (W_{cell})_{tren}} \quad Eq.2-18$$

Le rapport entre les deux courants donne :

$$\frac{(J_{latchup})_{Trench}}{(J_{latchup})_{Planar}} = \frac{2(\alpha_{PNP})_{plan} (R_p)_{plan} (W_{cell})_{plan}}{(\alpha_{PNP})_{tren} (R_p)_{tren} (W_{cell})_{tren}} \quad Eq.2-19$$

Nous avons évalué la résistance  $R_p$  de P-well de chaque structure en utilisant les abaques d'Irvin [IRVIN-62] :  $(R_p)_{\text{trench}} \cong 200\Omega$  et  $(R_p)_{\text{planar}} \cong 800\Omega$

En outre, d'après l'équation Eq.2-18, on peut remarquer que, mise à part la faible résistance  $R_p$ , la petite taille des cellules de l'IGBT trench augmente aussi la valeur de la densité de courant d latch-up par rapport à celle du planar. Le calcul analytique confirme nos résultats de simulation. La densité de courant de latch-up de l'IGBT trench est plus grande de 80 à 800 fois, en fonction du rapport de gain en courant PNP.

### 3.5 Traces ionisantes horizontales générées au sein de l'épithaxie

Nous avons simulé des traces ionisantes horizontales de différentes longueurs, générées au sein de la demi-cellule du VDMOS et de l'IGBT planar. Les simulations ont été réalisées pour une tension de 400 V. Les résultats sont représentés sur la Figure 2-26 et sur la Figure 2-27, pour une profondeur de génération de 30  $\mu\text{m}$ .

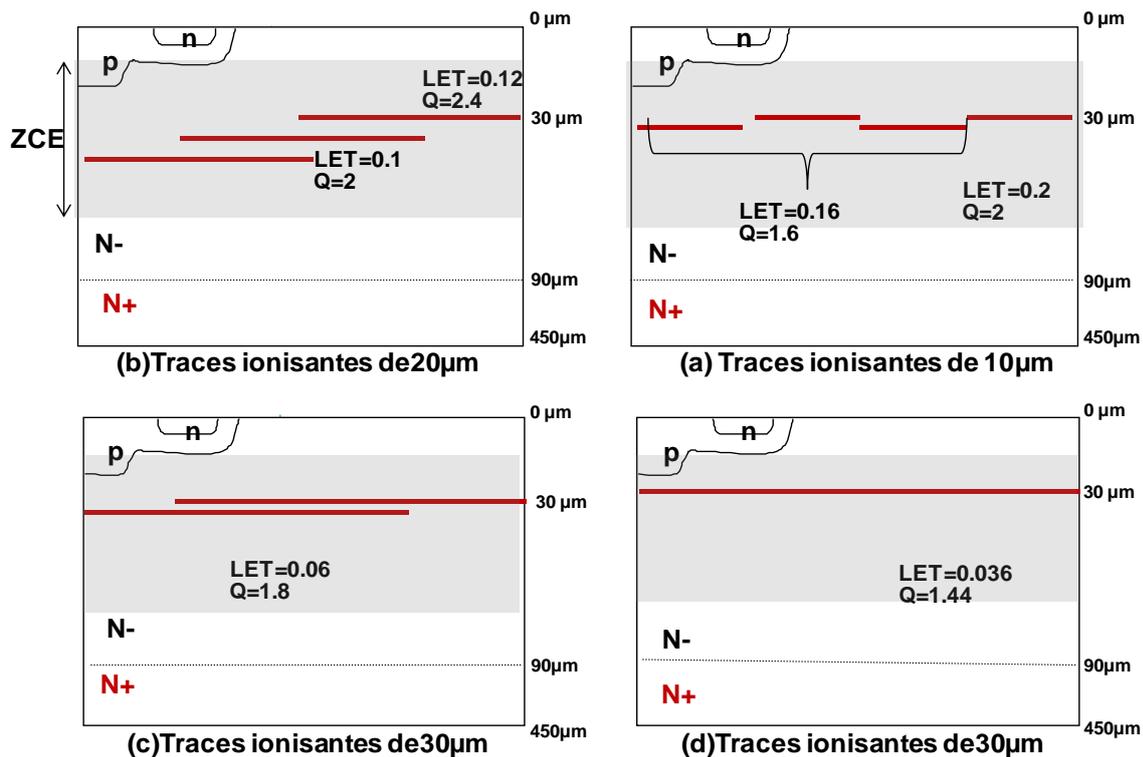


Figure 2-26: Schématisation de traces ionisantes horizontales dans la demi-cellule de VDMOS polarisée à 400V. Les traces sont positionnées à la même profondeur  $z=30\mu\text{m}$  mais à différentes abscisses et sont simulées chacune indépendamment. Le LET est en  $\text{pC}/\mu\text{m}$  et le range en  $\mu\text{m}$

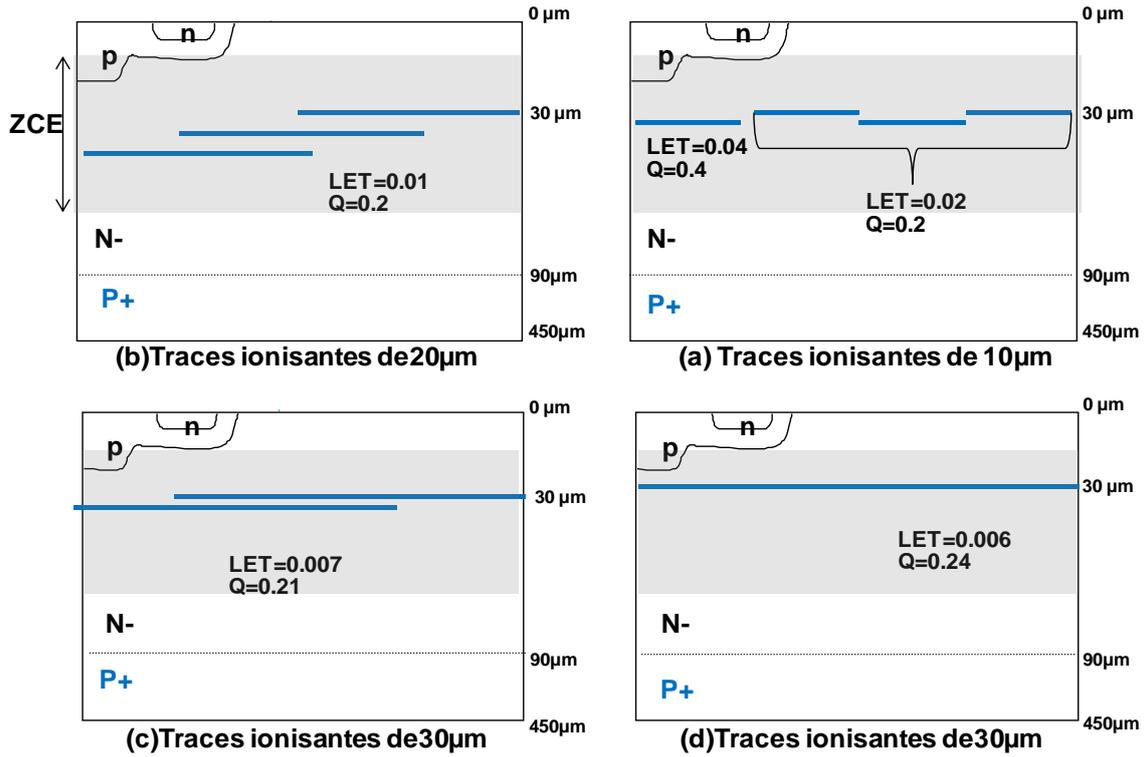


Figure 2-27: Schématisation de traces ionisantes horizontales dans la demi-cellule d'IGBT polarisée à 400V. Les traces sont positionnées à la même profondeur  $z=30\ \mu\text{m}$  mais à différentes abscisses et sont simulées chacune indépendamment. Le LET est en  $\text{pC}/\mu\text{m}$  et le range en  $\mu\text{m}$

Le LET seuil nécessaire pour entraîner un burn-out dans le VDMOS et l'IGBT planar diminue avec l'augmentation du range des ions. Cependant, la variation du LET n'existe que pour les faibles ranges (de 10 µm, 20 µm pour le VDMOS et de 10 µm pour l'IGBT). La zone intercellulaire à coté du canal est la plus sensible dans les deux cas. Ces résultats vont être comparés par des traces verticales afin de mettre en évidence l'influence de l'orientation de la trace d'ionisation.

### 3.6 Synthèse des résultats (MOSFETs / IGBTs)

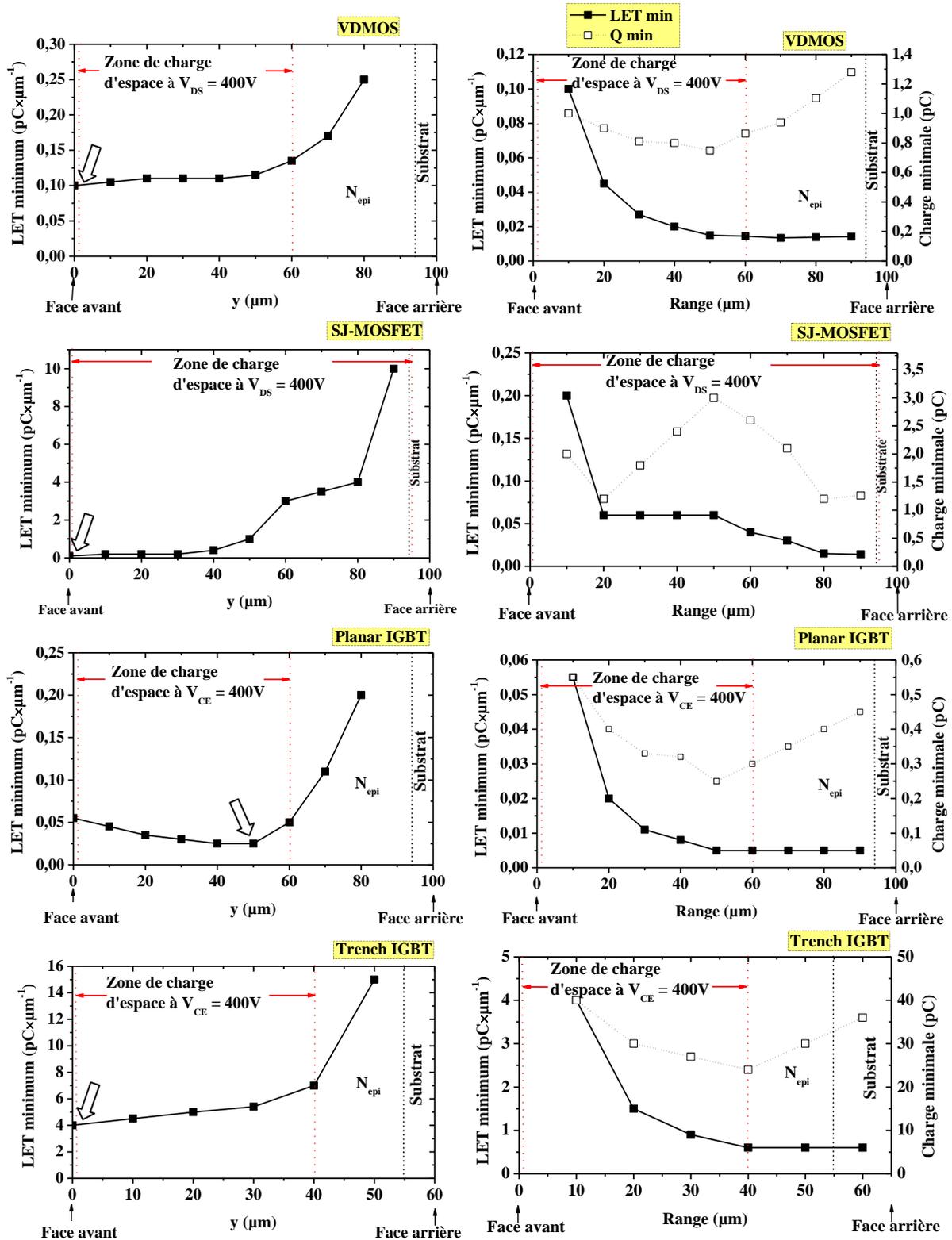


Figure 2-28: LET minimal provoquant un SEB en fonction de la profondeur de pénétration (a) et en fonction de range (b) de l'ion arrivant en incidence normale sur la face avant de chaque cellule

Nous allons maintenant comparer le comportement et la sensibilité de toutes les structures que nous avons étudiées. Nous allons également examiner l'influence de la température sur la sensibilité de ces structures. La Figure 2-28 reprend les résultats de simulation sur la variation du LET minimal en fonction de la profondeur de la zone épitaxiée (a) ainsi que le minimal LET et la charge minimale déclenchant un burn-out en fonction du range de l'ion (b) pour toutes les structures.

Les flèches représentées sur la Figure 2-28 (a) montrent les LET seuils, c'est-à-dire les LET qui correspondent aux profondeurs les plus sensibles pour déclencher un SEB. On constate qu'ils sont tous à proximité de la surface à l'exception de l'IGBT planar. L'explication possible que l'on peut donner est la différence de sensibilité à l'effet Kirk. Dans un IGBT planar non punch through (NPT), les traces les plus profondes seront plus sensibles à l'effet Kirk. Par exemple, pour un ion provenant de la face avant ( $y = 0$ ), le champ électrique critique n'atteint pas la jonction  $N/P^+$  substrat dans l'IGBT planar (NPT) mais il est déjà établi au niveau de l'homo-jonction  $N/N^+$  dans les autres structures, y compris l'IGBT trench car il est de type punch through (PT) (voir Figure 2-22 pour un range = 10  $\mu\text{m}$ ).

Tout a déjà été expliqué précédemment concernant le volume sensible et l'effet de range de chaque structure. Malgré cette similitude qualitative, c'est-à-dire du comportement entre la majorité des structures étudiées que ce soit IGBT ou MOSFET, la différence quantitative est considérable (voir l'échelle de la Figure 2-28 (b)). La Figure 2-28 (b) montre qu'à 400 V, l'IGBT trench est le moins sensible par rapport aux autres structures et l'IGBT planar est le plus sensible, tandis que les deux MOSFETs ont presque la même sensibilité d'ions lourds. Dans ces conditions ( $V_{DS} \& V_{CE} = 400 \text{ V}$ ), la résolution pour les valeurs de LET minimal indique que l'IGBT planar peut être 100 fois plus sensible que le trench d'un facteur 2 à 4 par rapport aux MOSFET. En effet, la différence de sensibilité entre ces structures est fortement liée à la tension de polarisation comme le montre la Figure 2-29.

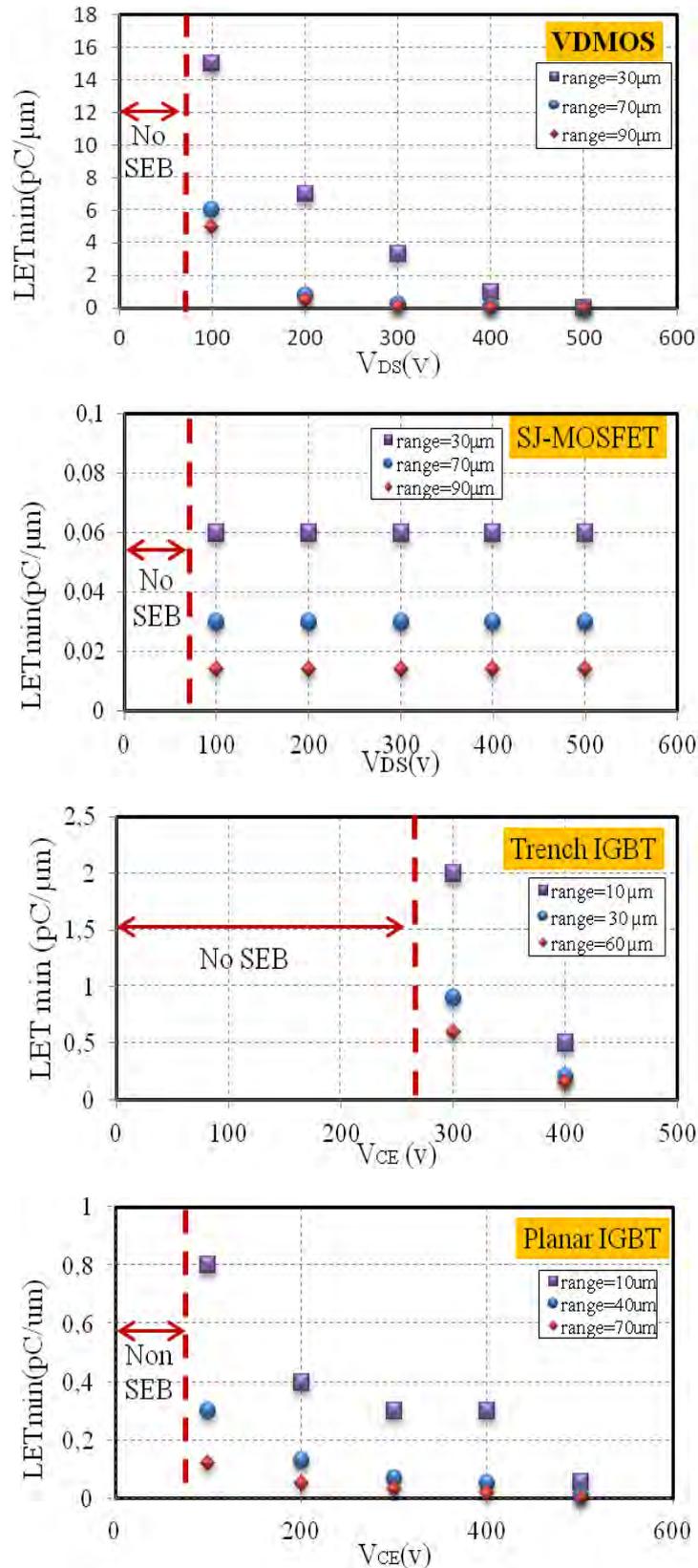


Figure 2-29: Evolution du LET minimal en fonction de la tension de polarisation pour des ions arrivant en incidence normale sur la face avant de chaque cellule avec différents ranges

La zone de sécurité la plus large est celle de l'IGBT trench qui a une sensibilité aux ions lourds voisine de 280 V pour une tension de claquage de 600 V. Au-delà de la tension seuil de chaque structure, leurs sensibilités varient avec la tension de polarisation et dépendent du type de la structure. La Figure 2-30 résume la variation de sensibilité entre toutes les structures étudiées pour un ion pénétrant aux deux tiers de la région épitaxiée.

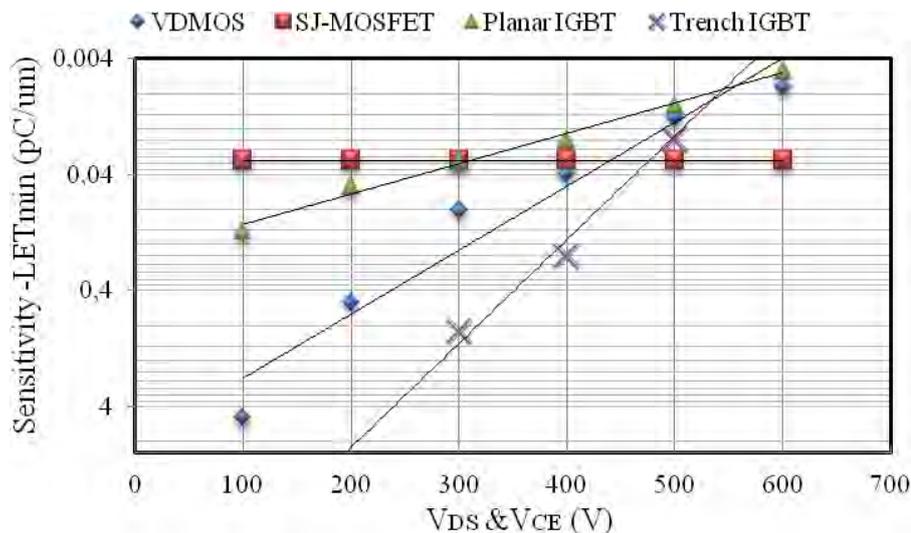


Figure 2-30 : Evolution du LET minimal en fonction de la tension de polarisation pour des ions arrivant en incidence normale sur la face avant de chaque cellule et pénétrant 2/3 de la région épitaxiée

De cette figure nous pouvons retenir :

- À faible tension de polarisation (<300V), le SJ-MOSFET est plus sensible que les autres structures. La sensibilité de l'IGBT trench est toujours inférieure aux autres.
- À 400 V, la différence de sensibilité entre ces structures diminue et, puisque la sensibilité de la structure SJ-MOSFET est constante, l'IGBT planar devient le plus vulnérable aux ions lourds.
- Sous une tension de polarisation élevée (> 400V), le SJ-MOSFET est le moins sensible.

Ces constats pourraient expliquer pourquoi, par exemple, Huang et al. [HUA 00] ont trouvé qu'un transistor SJ-MOSFET était moins vulnérable au déclenchement SEB par rapport à un MOSFET standard. Or, Ikeda et al. [IKED-04] ont constaté qu'il n'y avait aucun avantage de tolérance au déclenchement SEB pour une structure SJ-MOSFET.

Enfin, il faut rappeler que nous avons déjà fait des simulations des traces horizontales afin de les comparer avec des traces verticales. Dans le cas du VDMOS, la Figure 2-31 (a) montre que les traces générées horizontalement sont moins efficaces que celles générées

verticalement. On trouve un facteur 2 entre les LETs qui correspond à un range de  $10\mu\text{m}$ . Ce rapport diminue avec l'augmentation du range jusqu'à ce qu'ils soient presque équivalents. Cependant, la Figure 2-31 (b) montre que, dans un IGBT planar, les traces de moins de  $20\mu\text{m}$  sont plus efficaces horizontalement que verticalement mais les ranges supérieurs sont équivalents. On observe également jusqu'à un facteur 10 entre les traces horizontales d'un VDMOS et celles d'un IGBT.

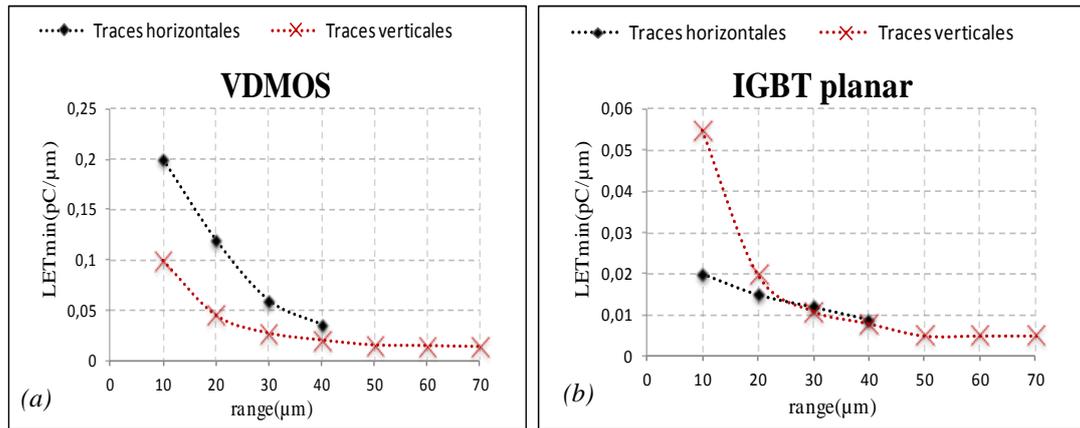


Figure 2-31: Comparaison entre les traces ionisantes horizontales et verticales pour un VDMOS (a) et pour un IGBT planar (b)

Donc, pour des ranges supérieurs (plus de  $20\mu\text{m}$ ), l'orientation de la trace d'ionisation n'a que peu d'influence sur les valeurs de LET seuils. Pour le VDMOS, toutes les traces verticales requièrent les LET seuils les plus faibles. En revanche, pour des ranges faibles (moins de  $20\mu\text{m}$ ) qui traversent l'IGBT, l'orientation des traces est importante et les cas les plus vulnérables correspondent aux traces horizontales.

### 3.7 Effet de la température

La Figure 2-32 montre que pour un VDMOS, un SJ-MOSFET et un IGBT trench, la valeur du LET nécessaire pour provoquer un burn-out diminue avec l'augmentation de la température. Cela signifie que, pour ces trois structures, le cas le plus critique se trouve à basse température, comme le montrent aussi des travaux antérieurs [JOHN-92]. A l'opposé, le pire des cas pour un IGBT planar apparaît à haute température, révélant une grande sensibilité au SEB. Ces résultats seraient également compatibles avec ce qui est déjà connu sur la sensibilité au latch-up en fonction de la température [SHEN-00], [JOHN-91]. Pour les MOSFET, le taux d'ionisation par impact (nombre de paires électron-trou générées par unité de longueur) diminue avec l'augmentation de la température [CROW-66]. Ceci est attribué au libre parcours moyen plus court des porteurs. Puisque le taux d'ionisation par impact est

utilisé explicitement dans la solution de l'équation de Poisson, la densité de courant de trous générée par avalanche diminue avec l'augmentation de la température pour la même densité de courant d'électrons injectés et la même tension source-drain de polarisation. L'IGBT trench (PT) suit la même tendance que celle du MOSFET car la présence de la couche tampon diminue localement la durée de vie des porteurs, ce qui n'est le cas de notre IGBT planar (NPT). Dans ce dernier, le gain du transistor bipolaire PNP, déjà élevé à température ambiante, augmente avec l'augmentation de la température en raison de l'efficacité d'injection de l'émetteur. Cela favorise le déclenchement du thyristor parasite (latch-up) et, par conséquent, la sensibilité au burn-out avec la température.

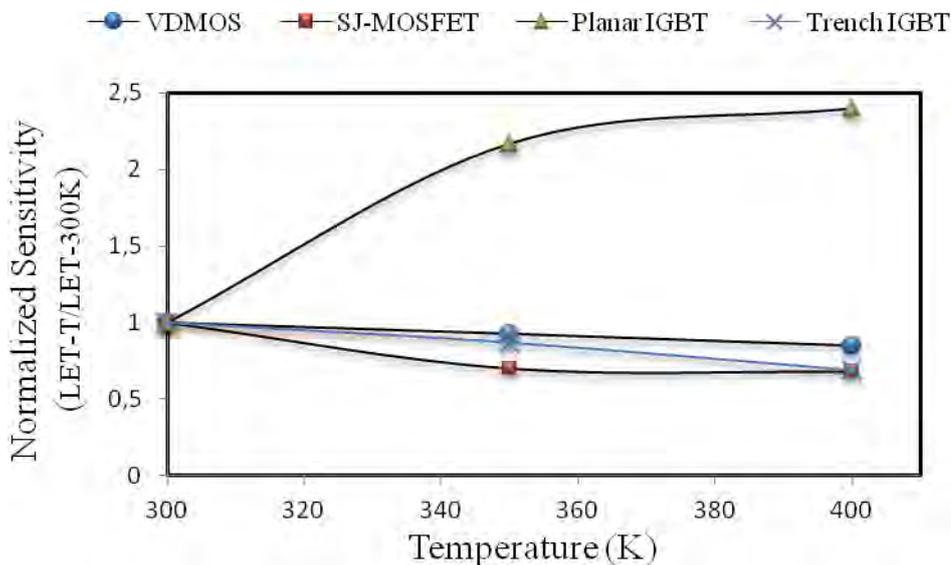


Figure 2-32: sensibilité normalisée en fonction de la température pour un ion pénétrant 2/3 de la région épitaxiée de chaque composant ( $x=30$ ,  $y=0$ ,  $V_{DS}$  &  $V_{CE}=400V$ )

La Figure 2-33 montre la distribution de la température dans les structures de type planar et trench suite à un déclenchement SEB, en fin de simulation. Pour le VDMOS et les deux IGBT étudiés, la zone de la fusion est localisée au niveau du canal où la température peut dépasser 3000 K. En effet, la densité du courant très élevée dans cette région ainsi que la conductivité thermique très faible de l'oxyde par rapport aux électrodes font que cette région du canal devient la plus critique thermiquement. Dans les structures planar (VDMOS ou IGBT) par exemple, on constate que la température se propage avec le sens du courant en suivant l'extension de l'oxyde (jusqu'à la moitié de la zone  $N^+$  de cathode). Contrairement à la structure planar où une augmentation de la température (environ 700 K) est localisée seulement au niveau de la trace ionisante (cf. Figure 2-33, ligne discontinue), la structure

trench atteint une température voisine de 500 K dans tout le reste de la structure à cause de la largeur des cellules trench ( $2\ \mu\text{m}$ ) qui est beaucoup plus faible que celle des planars ( $40\ \mu\text{m}$ ).

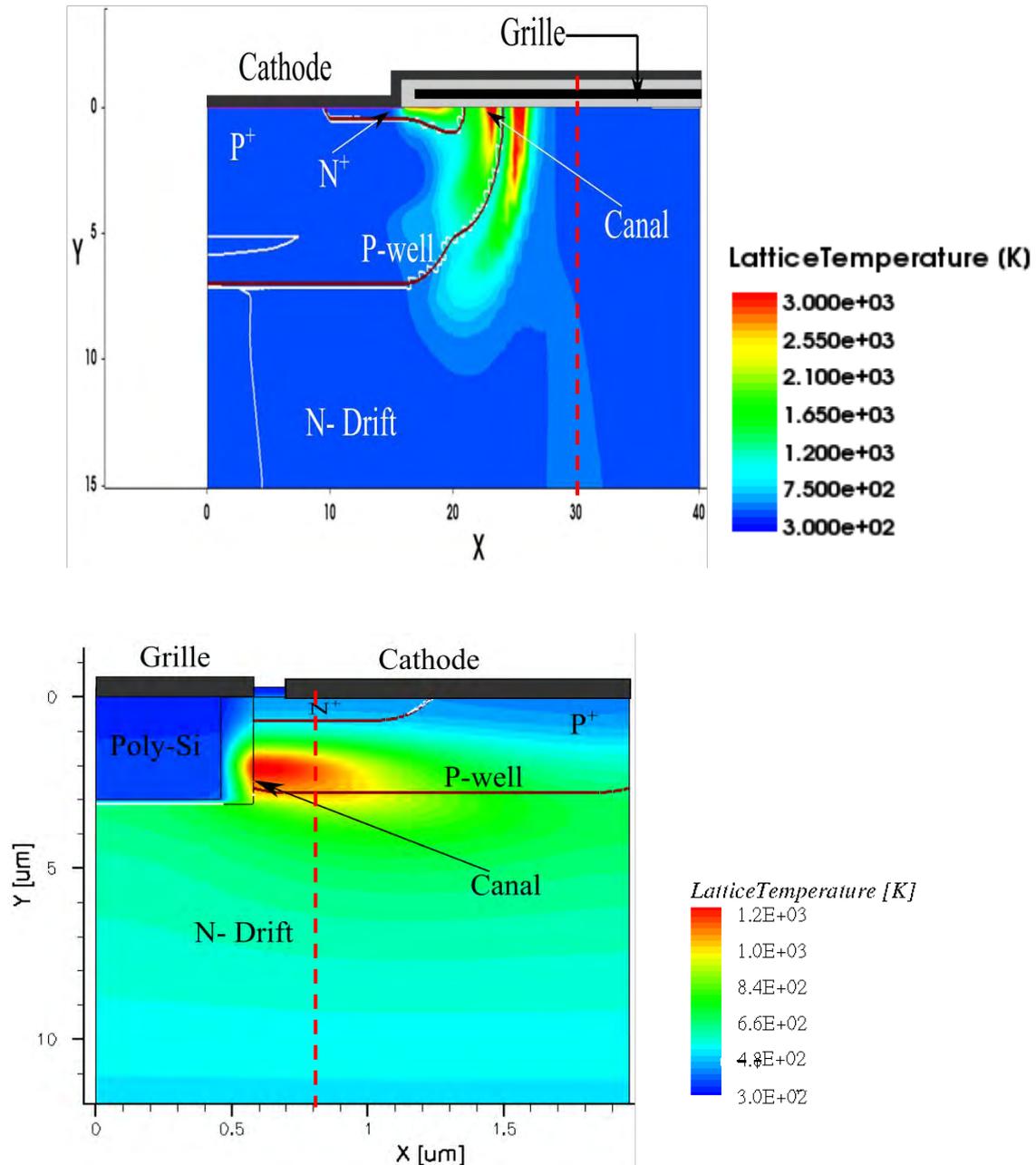


Figure 2-33: Distribution de la température dans les structures (haut) de type planar (VDMOS et IGBT), (bas) IGBT de type trench

## 4 Conclusion

A l'aide des résultats de simulation 2D, nous avons commencé ce chapitre par une analyse basée sur la confrontation SILVACO-SENTAURUS qui révèle l'existence d'écarts des résultats, au niveau de la valeur du LET minimal provoquant un SEB, entre les deux

simulateurs. En revanche, les tendances des phénomènes observés sont identiques, ce qui confirme donc la validité qualitative de chaque modèle mais ne garantit pas leur précision quantitative surtout par rapport aux erreurs numériques liées au maillage. Ensuite, nous avons défini le volume sensible des différents transistors de puissance (VDMOS, SJ-MOSFET, IGBT planar et IGBT trench). Les conditions les plus favorables pour déclencher un SEB ont été définies en simulant des traces ionisantes de différents ranges générées à différentes profondeurs au sein du volume des structures étudiées. A 400 V, ces conditions sont, toujours pour des VDMOS, IGBT planar et trench, une pénétration normale d'un ion lourd traversant toute la zone de charge d'espace. Cependant, le LET le plus faible déclenchant un évènement dans un transistor MOS à superjonction est obtenu pour un ion traversant la totalité de la zone épitaxiée. Ces résultats nous ont également permis de comparer la sensibilité de ces composants. A 400 V, l'IGBT trench est le moins sensible par rapport les autres structures et l'IGBT planar est le plus sensible, tandis que les deux MOSFETs ont presque la même sensibilité d'ion lourd. Nous avons déterminé la tension seuil de sensibilité pour chaque structure. Le SOA d'un IGBT de type trench par rapport aux autres structures est bien meilleur. En effet la différence de sensibilité entre ces structures est fortement liée à la tension de polarisation. À faible tension de polarisation ( $<300V$ ), le SJ-MOSFET est plus sensible que les autres structures. La sensibilité de l'IGBT trench est toujours inférieure aux autres. En revanche, sous une tension de polarisation élevée ( $> 400V$ ), le SJ-MOSFET devient le moins sensible. Enfin, nous avons montré l'influence de la température sur la sensibilité de chaque structure. L'IGBT planar (NPT) a une grande sensibilité au burn-out à haute température, contrairement aux autres structures.

## **Chapitre III. Solutions de durcissement des composants de puissance**



## **1 Introduction**

Dans ce chapitre, nous proposons des solutions de durcissement contre les radiations afin d'augmenter les zones de sécurité de fonctionnement (SOA) des composants de puissance. Dans un cadre général, les solutions proposées concernent la protection d'un certain nombre d'interrupteurs de puissance à grille isolée comme les MOSFET et les IGBT contre les déclenchements parasites et en particulier contre les radiations. Dans une première partie, nous verrons brièvement l'effet d'un circuit extérieur dont le rôle est d'annuler temporairement la tension aux bornes d'un composant de puissance pour désamorcer un déclenchement intempestif des structures parasites. Dans une seconde partie, nous présentons certaines modifications, réalisées au niveau design, permettant la désensibilisation contre les phénomènes de déclenchement liés aux structures parasites, afin d'améliorer la tenue aux radiations des composants de puissance à grilles isolées.

## **2 Phénomènes physiques lors d'un court-circuit dans un IGBT**

La Figure 3-1 montre un organigramme qui explique les différents phénomènes physiques internes de la région de base N<sup>-</sup> d'un IGBT lors d'un court-circuit (sans prise en compte des phénomènes thermiques).



*Figure3-1 : Phénomènes physiques lors d'un court-circuit dans un IGBT*

### **3 Différentes approches de durcissement**

Plusieurs approches de durcissement ont été proposées pour utiliser les interrupteurs de puissance dans des conditions extrêmes comme le milieu radiatif. Parmi ces approches, nous pouvons citer les circuits extérieurs de protections qui protègent généralement l'ensemble du module de puissance ou les designs particuliers qui permettent de réduire ou de supprimer l'effet des structures parasites inhérentes. Cependant, les phénomènes destructifs étudiés dans ce travail (SEB, SEL) peuvent n'apparaître que dans une seule cellule élémentaire, mettant en jeu l'ensemble de la puce de puissance. Par conséquent, nous sommes intéressés à chercher des solutions de durcissement au niveau du design de la cellule du composant.

#### **3.1 Approche circuit (Circuits de protection rapprochée contre les courts-circuits)**

Il existe deux moyens pour protéger les interrupteurs de puissance :

- par l'intégration des fonctions d'aide au diagnostic, en développant des :
  - Capteurs intégrés de manière hybride
  - Capteurs intégrés monolithiquement
- par l'intégration du circuit de commande et de la stratégie de protection, à partir d'une :
  - Intégration hybride
  - Intégration monolithique

Dans cette partie, nous allons voir brièvement les principaux capteurs et circuits de protection. Nous avons établi deux groupes : un groupe de circuits dont la détection est basée sur le suivi en tension et un second groupe dont la détection est basée sur le suivi du courant. Nous détaillerons un exemple de protections pour chaque groupe.

##### **3.1.1 Circuits basés sur la détection d'une surtension**

Les circuits que nous allons présenter dans cette partie sont basés sur la détection de la tension. Cette détection peut être effectuée à partir d'un capteur de tension d'anode, d'un circuit intégré, d'un caisson P flottant ou d'une diode et d'un transistor MOS. Les principaux circuits de protection basés sur la détection d'une surtension sont les suivants :

- Circuit utilisant un capteur de tension d'anode [CARA-04]

- Circuit utilisant un circuit intégré IR2125 [Data-Ir]
  - Circuit de protection contre les courts-circuits intégré basé sur un caisson P flottant [HWAN-06]
  - Circuit de protection des IGBT latéraux [SHEN-96]
- **Circuit de détection et de protection contre le court-circuit utilisant le capteur de tension d'anode (CTA)**

*Le capteur de tension d'anode (CTA)* est une cellule (cf. Figure 3-2 (droite)) qui donne, sur la face avant de la plaquette, une image continue du potentiel présent sur l'anode de la face arrière [IMBE-02].

Le circuit intégré monolithiquement est dédié à la protection des dispositifs de puissance à grille isolée contre les courts-circuits. Cette architecture, proposée par [CARA-04] est représenté sur la Figure 3-2 (gauche). Ce circuit est composé de deux transistors LDMOS (un dédié à la fonction de coupure et un dédié à la fonction de délai), d'un capteur de tension d'anode [IMBE-02] et d'une résistance de délai qui est associée à la capacité du MOS de délai, ce qui permet d'éviter la mise en conduction du LDMOS de blocage pendant le fonctionnement normal de l'IGBT. La détection des deux types de court-circuit se fait par l'augmentation de la tension anode-cathode détectée par le capteur de tension d'anode.

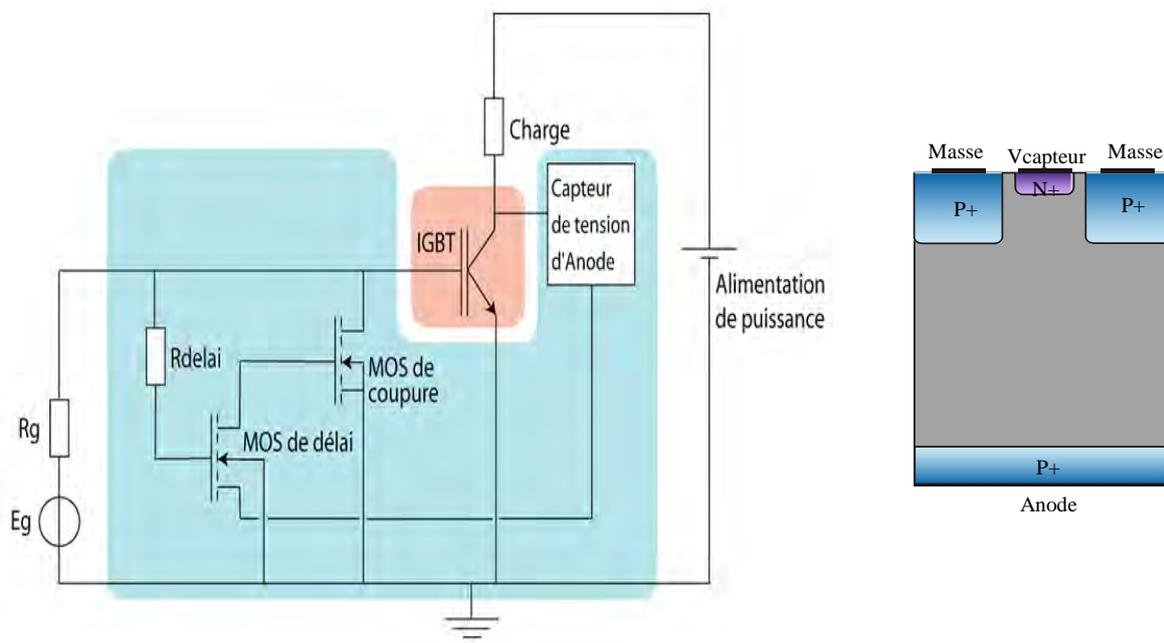


Figure 3-2 : Circuit de protection contre les courts-circuits (gauche) et capteur de tension d'anode (droite)

Lors de l'apparition d'un court-circuit, le capteur de tension d'anode délivre une tension image continue  $V_{\text{capteur}}$  de la tension d'anode (cf. Figure 3-3). Cette tension correspond à la commande du MOS de coupure via le MOS de délai. Ce dernier doit être calibré de façon à obtenir une tension sur la grille du MOS de coupure supérieure à sa tension de seuil ( $V_{\text{TC}}$ ). En fonctionnement normal, c'est à dire sans la présence d'un état de court-circuit, la tension  $V_{\text{capteur}}$  délivrée par le capteur doit être nettement inférieure à la tension seuil du MOS de coupure ( $V_{\text{capteur}} < V_{\text{TC}}$ ) [AUST-03].

Dans le cas où le court-circuit est présent sur la charge au moment de la mise en conduction de l'interrupteur, le MOS de délai permet de charger la grille du MOS de coupure avec un délai déterminé par la constante de temps RC formée par sa capacité de grille et par la résistance de délai. Ainsi, pendant une commutation normale, ce temps de délai permet à la grille de l'interrupteur de se charger pendant que la tension d'anode chute jusqu'à la valeur correspondant à celle de l'état passant. En effet, sans ce temps de délai, le MOS de coupure serait aussitôt passant (actif) et l'interrupteur ne pourrait pas commuter. Une fois actif, le MOS de coupure permet de décharger la grille de commande de l'interrupteur de puissance en réalisant un court-circuit (commandé) de cette dernière à la masse. La commutation à l'état passant de l'interrupteur est alors impossible (cf. Figure 3-3) [AUST-03].

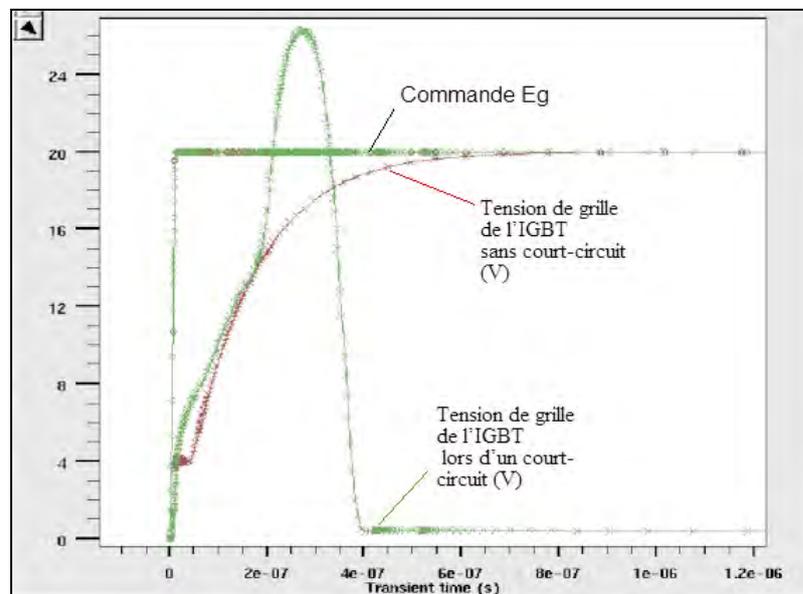


Figure3-3 : Fonctionnement de la structure si le court-circuit est présent sur la charge au moment de la mise en conduction de l'interrupteur

Si le phénomène de court-circuit se produit alors que l'interrupteur de puissance se trouve déjà à l'état passant, la tension  $V_{AK}$  passe de quelques volts à la tension d'alimentation. Le capteur de tension d'anode délivre alors une tension supérieure à la tension de seuil du MOS de coupure qui décharge alors la grille de l'IGBT. Dans ce cas, il n'existe pas de temps de délai car la commande de grille du MOS de délai est déjà établie (cf. Figure 3-4) [AUST-03].

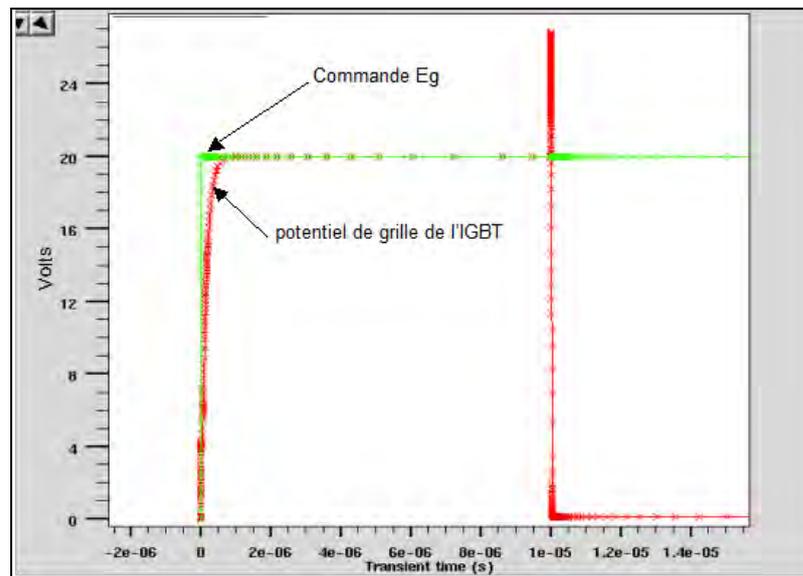


Figure3-4 : Fonctionnement de la structure si le court-circuit se produit alors que l'interrupteur de puissance se trouve déjà à l'état passant.

Une coupe schématique de ce circuit de détection et de protection intégré monolithiquement est présentée dans la Figure 3-5.

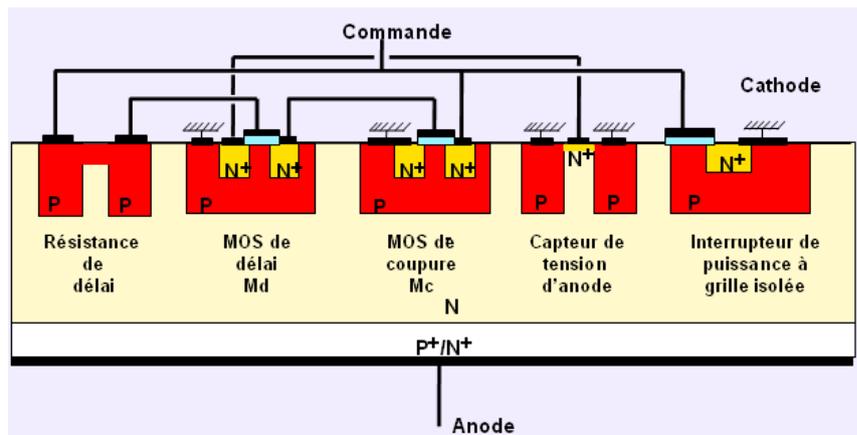


Figure3-5 : Structure intégrée du circuit de détection et de protection

### 3.1.2 Circuits basés sur la détection de surintensité

Les circuits de détection cités dans ce paragraphe sont donc basés sur la détection du courant. Généralement, ces circuits se différencient uniquement par les technologies utilisées. Les principaux circuits de protection basés sur la détection de surintensité sont les suivants :

- Circuit de protection contre les courts-circuits basé sur un caisson P flottant intégré (détection du courant) [HWAN-06]<sup>2</sup>
- Circuit de protection utilisant un IGBT et un MOSFET [SHIM-94]
- Circuit limitant la tension de grille de l'IGBT lors d'une surintensité [KUDO-95]
- Circuit permettant la détection des surintensités et de l'échauffement [SHEN-96]

- **Présentation du circuit de protection contre les courts-circuits basé sur un caisson P flottant intégré (détection du courant)**

Le circuit de protection proposé par [HWAN-06]<sup>2</sup> est représenté sur la Figure 3-6. Cette structure est composée de deux transistors LDMOS, de leurs résistances polysilicium et d'un caisson P<sup>+</sup> flottant. Le bloc "Floating P-well current sensing circuit", composé du LDMOS M<sub>f</sub> - résistance poly, assure le rôle de capteur de courant provenant du caisson P<sup>+</sup> flottant. Le bloc "pull-down circuit", composé du transistor LDMOS M<sub>p</sub>-résistance poly, assure le rôle de circuit d'ouverture en cas de court-circuit. Cette technique permet d'avoir un temps de réaction rapide (il réagit en 1 à 2 μs) et n'affecte pas l'état passant de l'IGBT. Cette structure a été validée par simulation en Mixed-mode dans le cas d'un court-circuit de type I.

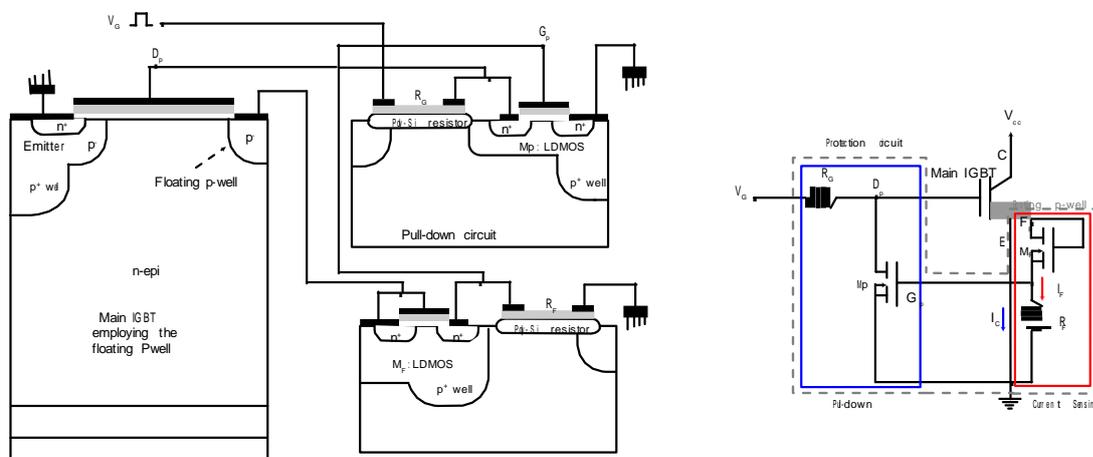


Figure3-6 : Coupe schématique et circuit équivalent du circuit de protection par détection du courant

Ces circuits de protection peuvent être utilisés dans des conditions extrêmes comme le milieu radiatif. Le rôle de ces circuits est d'annuler la tension aux bornes du composant lorsqu'il est déclenché par une radiation ionisante pendant un temps suffisant. Cependant leur fiabilité comme circuit de protection extérieur est très limitée car généralement, dans le cas d'un ion lourd, le déclenchement n'apparaît que dans une seule cellule. Dans ce cas, il faut donc penser à protéger chaque cellule par un circuit de protection. Or, cela peut d'abord compliquer leur intégration ; en outre la plupart de ces circuits de protection contiennent déjà des dispositifs actifs qui peuvent être eux-mêmes vulnérables aux déclenchements radiatifs. C'est pour cela que nous avons décidé de chercher des solutions de durcissement au niveau du design de la cellule. Dans la suite de ce travail, nous allons donc proposer certaines modifications, réalisées au niveau design, permettant d'améliorer la tenue aux radiations des composants de puissance.

## **4 Approche design**

### **4.1 Rappel sur le fonctionnement parasite de l'IGBT**

Il existe trois modes de déclenchement du latch-up qui sont tous liés au dépassement d'un courant critique ( $I_{AK}$ ). Le premier apparaît lorsque le composant est à l'état passant (faible  $V_{AK}$ ) et que le courant passant ( $I_{AK}$ ) excède cette valeur seuil de déclenchement. L'augmentation du courant  $I_{AK}$  peut être liée, par exemple, à une augmentation de la température ou à l'apparition d'un sur-courant généré par le circuit extérieur au composant. Le second intervient durant les phases de commutations où les  $dV/dt$  peuvent être importants et générer des courants de déplacement significatifs dans la zone de charge d'espace. Le troisième mode se produit pendant la phase de blocage du composant où une particule ionisante génère des paires électron-trou dans la zone de charge d'espace : c'est le Single Event Latch-up (SEL).

Le déclenchement de ce thyristor parasite doit donc être désensibilisé car il entraîne la perte du contrôle de l'IGBT et, bien souvent, sa destruction.

Comme nous l'avons mentionné précédemment, à l'état passant, le courant total est composé d'un courant d'électrons fourni par le MOSFET et d'un courant de trous injectés par la jonction  $J_3$  et collectés par la jonction  $J_1$ . Ce courant de trous est la somme des courants  $I_{p1}$  et  $I_{p2}$  (cf. Figure 3-7).  $I_{p1}$  représente les trous collectés du côté droit de la cellule, ces trous circulent vers la cathode à travers la résistance  $R_p$  schématisée sur la Figure 3-7. Ce courant

crée ainsi une chute de tension aux bornes de la résistance  $R_p$  qui rend la jonction  $J_1$  passante. En fonctionnement normal de l'IGBT, cette chute de tension peut être minimisée en réduisant la valeur de résistance  $R_p$  correspondant à la résistance de la région P sous la diffusion  $N^+$  d'émetteur. Dans ces conditions, le gain en courant du transistor NPN est très faible minimisant le risque de latch-up. Cependant, quand la densité du courant à l'état passant augmente, la polarisation en direct de la jonction  $J_1$  peut devenir suffisante pour augmenter le gain en courant du transistor NPN. Si la somme des gains en courant des transistors NPN et PNP excède l'unité, le phénomène du latch-up se produit et, par conséquent, le courant circule directement de l'anode vers la cathode sans pouvoir être contrôlé.

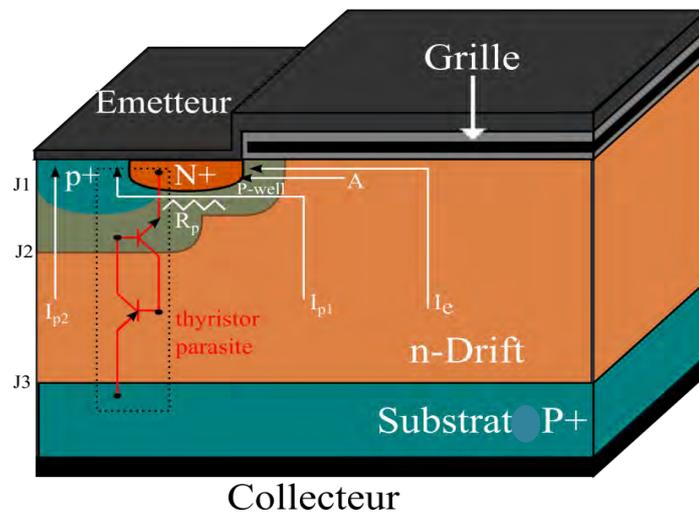


Figure3-7 : Latch-up du thyristor parasite dans un IGBT

## 4.2 Augmentation du niveau de courant de latch-up

La diminution du gain en courant du transistor PNP est le principal facteur pour l'augmentation de la densité du courant de latch-up. Pour cela, il faut augmenter le courant d'électrons du MOSFET et réduire le courant de collecteur du PNP.

Le gain en courant du transistor PNP peut être réduit par deux techniques de base. La première technique consiste à réduire l'efficacité d'injection de la jonction  $J_1$ . Cela est possible, par exemple, par l'augmentation de la concentration de la région  $N^-$ . En revanche, cela conduit à la diminution de la tenue en tension à l'état bloqué. Mais il est possible d'introduire une couche buffer  $N^+$  côté anode et d'augmenter le dopage effectif dans la base  $N^-$ . La deuxième technique est basée sur la réduction du facteur de transport dans la base  $N^-$  [BALI-95]. Cela peut être obtenu par la réduction de la durée de vie des porteurs minoritaires et la longueur de diffusion dans la base  $N^-$ . Elle réduit le temps d'ouverture du composant mais augmente la chute de tension à l'état passant. Cette technique demande des méthodes de

réalisation spécifiques comme l'irradiation, par exemple, afin de diminuer la durée de vie des porteurs.

La réduction du gain en courant du transistor NPN peut aussi augmenter le niveau de courant de déclenchement de latch-up du thyristor parasite. La technique la plus connue et la plus largement utilisée qui permet de réduire efficacement le gain en courant du NPN consiste à ajouter une région P<sup>+</sup> profonde et fortement dopée dans la région P-well, c'est-à-dire dans la base P du transistor NPN. Comme nous l'avons déjà vu dans le chapitre 2, un IGBT planar contient deux segments sous la région d'émetteur N<sup>+</sup>: (1) le segment de longueur L<sub>E1</sub> contenant l'émetteur N<sup>+</sup> et la région P-well ayant une résistivité  $\rho_{SB}$  élevée et (2) le segment de longueur L<sub>E2</sub> contenant l'émetteur N<sup>+</sup> et la région de diffusion P<sup>+</sup> ayant une faible résistivité  $\rho_{SP^+}$  ( cf. Figure 3-8 (gauche)). Cependant cela ne protège pas complètement la jonction J<sub>1</sub> car la région P<sup>+</sup> localisée dans la région P-well est limitée par un compromis entre une résistance R<sub>p</sub> minimale et une tension de seuil non affectée (Figure 3-8 (droite)). Par conséquent, le point A représenté sur la figure 3-7 reste toujours vulnérable au passage des trous I<sub>p1</sub> ce qui peut créer un potentiel supérieur à 0,7 V à ce point en déclenchant la jonction J<sub>1</sub>. Pour cela, il y a une autre technique utilisée qui permet de réduire considérablement la valeur de la résistance R<sub>p</sub> et repousser le niveau de courant de latch-up. Elle consiste à augmenter la concentration en surface de la région P-well et à diminuer l'épaisseur de l'oxyde de grille e<sub>ox</sub> pour maintenir la valeur de la tension de seuil [BALI-95].

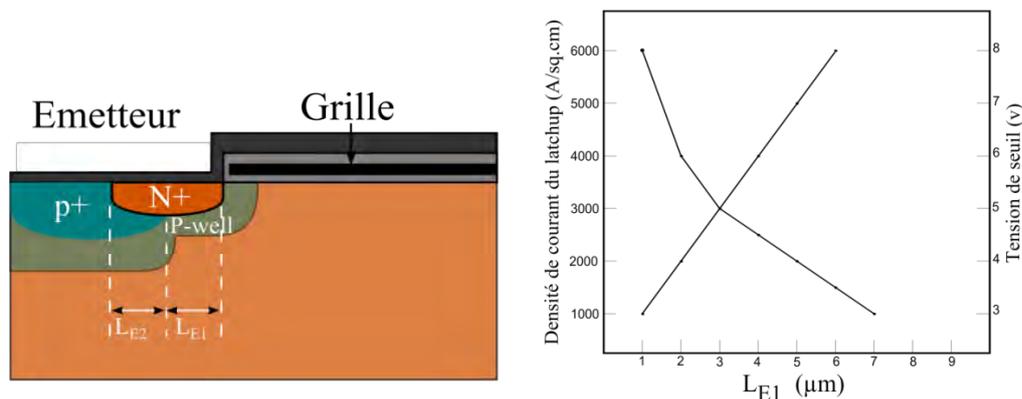
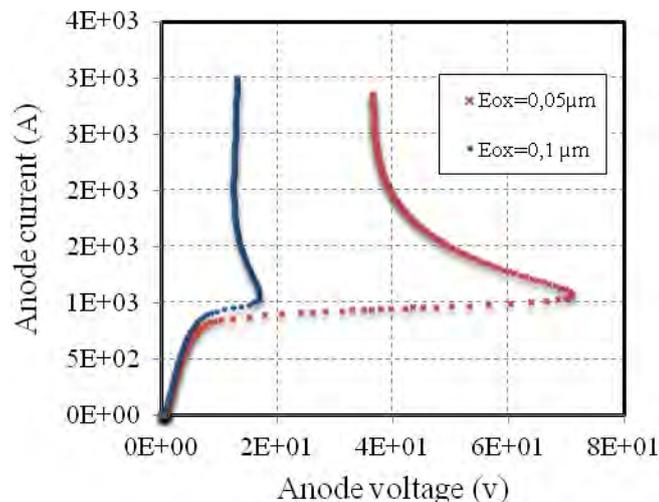


Figure 3-8 : Géométrie d'un IGBT planar montrant les segments L<sub>E1</sub> et L<sub>E2</sub> (gauche), influence du segment L<sub>E1</sub> sur la densité de courant du latch up et la tension de seuil (droite).

Afin de vérifier l'influence de la concentration en surface de la région P-well sur le courant de latch-up du thyristor parasite, nous avons simulé l'IGBT planar dont les paramètres physiques et géométriques sont donnés dans le chapitre 2, en utilisant deux concentrations en surface de la région P-well et deux épaisseurs d'oxyde différentes en

gardant toujours la même tension de seuil ( $V_{GK} = 3V$ ) ; la concentration en surface de la région P est de l'ordre de  $9.10^{16} \text{ cm}^{-3}$  pour une épaisseur d'oxyde de grille de 100 nm et de l'ordre de  $2,5.10^{17} \text{ cm}^{-3}$  pour une épaisseur de l'oxyde de grille de 50 nm. Les caractéristiques  $I_A(V_{AK})$  obtenues par simulation de la structure IGBT planar, pour deux concentrations en surface de la région P-well et pour deux épaisseurs différentes d'oxyde de grille, sont présentées sur la Figure 3-9. Les caractéristiques  $I_A(V_{AK})$  montrent qu'à tensions de seuil égales, le phénomène de latch-up se produit à un niveau de courant plus élevé dans l'IGBT où l'épaisseur d'oxyde de grille est de 50 nm que dans celui d'épaisseur de 100 nm.



*Figure3-9 : Caractéristiques  $I_A(V_{AK})$  d'un IGBT planar pour deux concentrations en surface de la région P-well et pour deux épaisseurs d'oxyde de grille différentes.*

Les mêmes structures ont été simulées en ne changeant cette fois-ci que l'épaisseur de l'oxyde ( $e_{ox}$ ) et en fixant la concentration en surface de la région P-well. Par conséquent, les tensions de seuil des deux structures ne sont plus les mêmes et cela permet de vérifier l'influence exacte de l'épaisseur de l'oxyde de grille sur le courant de latch-up du thyristor parasite. Les caractéristiques  $I_A(V_{AK})$  de la structure IGBT obtenues par simulation, planar pour deux épaisseurs différentes d'oxyde de grille (55 nm et 100 nm) sont représentées sur la Figure 3-10 (gauche). Cette fois-ci, les caractéristiques  $I_A(V_{AK})$  montrent des tendances inverses de ce qui est représenté sur la Figure 3-9 : le phénomène de latch-up se produit à un niveau de courant très supérieur dans l'IGBT où l'épaisseur d'oxyde de grille est de 100 nm que dans celui de 55 nm.

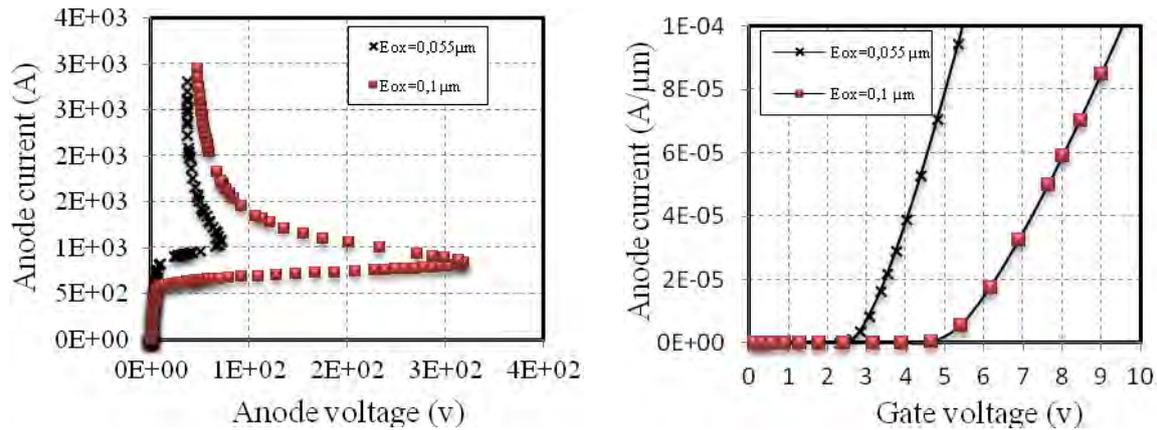


Figure3-10 : Caractéristiques  $I_A(V_{AK})$  (gauche) et  $I_A(V_{GK})$  (droite) d'un IGBT planar pour deux épaisseurs d'oxyde de grille différentes

Les résultats montrent que, si on augmente l'épaisseur de l'oxyde de grille d'un facteur de deux, la tension de seuil augmente aussi dans les mêmes proportions. Rappelons que nous avons fixé la concentration de la région P pour les deux structures, ce qui permet d'avoir la même valeur de la résistance  $R_p$  dans les deux cas. On peut donc dire que l'augmentation de la tension de seuil augmente considérablement le courant de latch-up du thyristor parasite, mais cet avantage est aussi un inconvénient majeur d'un point de vue consommation d'énergie.

### 4.3 Structures IGBT proposées

Dans cette partie, nous allons présenter deux cellules IGBT planar modifiées afin de désensibiliser ces derniers au déclenchement parasite.

#### 4.3.1 Description des structures

A partir de nos structures classiques de type planar présentées dans le chapitre 2, des modifications simples du design et du process technologique sont apportées. Une première modification consiste à ajouter une zone  $P^+$  dans la région intercellulaire, au milieu de la cellule de telle sorte qu'elle soit en court-circuit avec la cathode. L'épaisseur de la zone  $P^+$  a été augmentée pour atteindre une profondeur de jonction de  $7 \mu\text{m}$ , c'est-à-dire la même profondeur que celle du  $P^+$  de la zone active. L'extension latérale  $L_D$  est égale 80% de cette épaisseur. La nouvelle structure est appelée IGBT-1. La Figure 3-11 montre une coupe schématique de la modification géométrique réalisée.

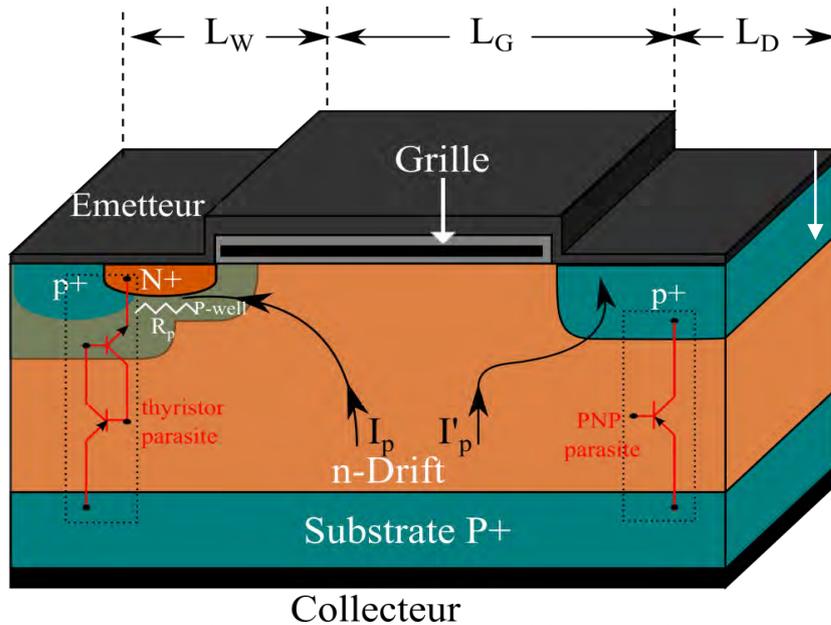


Figure 3-11 : Représentation schématique de la première modification de la structure par l'ajout d'une diffusion  $P^+$  dans la région intercellulaire (IGBT-1).

Les dopages de l'IGBT standard sont conservés. Notons que ceci devrait avoir un effet bénéfique seulement sur la sensibilité au latch-up d'un IGBT puisque la modification apportée va dans le sens de déclencher le transistor parasite créé par la zone  $P^+$  ajoutée afin de retarder le déclenchement du thyristor parasite inhérent (cf. Figure 3-11).

La deuxième modification consiste à remplacer certaines parties de la diffusion  $N^+$  par une diffusion  $P^+$  au niveau de la cathode. Cette deuxième structure proposée est appelée IGBT-2 et présentée sur la Figure 3-12.

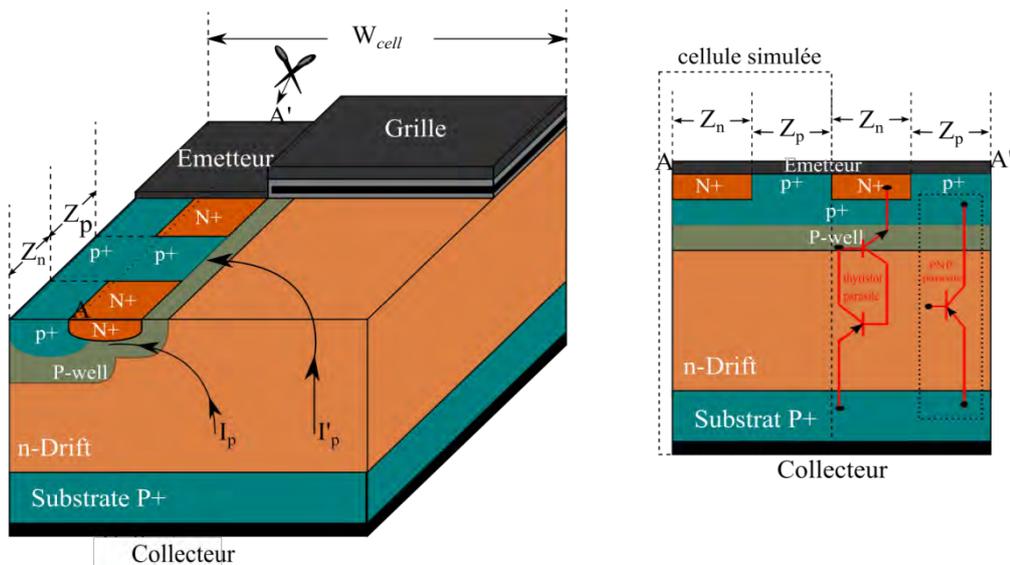


Figure 3-12 : Représentation schématique de la deuxième modification de la structure par la diffusion de  $P^+$  dans la région  $N^+$  émetteur « IGBT-2 » (gauche), coupe 2D suivant AA' (droite)

Les modifications apportées sont limitées par la nécessité de ne pas perturber le fonctionnement normal des composants. Le bon fonctionnement électrique qualitatif des structures IGBT-1 et IGBT-2 a été vérifié en simulant les caractéristiques de sortie  $I_A(V_{AK})$  (cf. Figure 3-13) et de transfert  $I_A(V_{GK})$  ainsi que la tenue en tension.

Les simulations permettent de montrer que ces modifications du design par rapport à l'IGBT non modifié n'introduisent pas de modifications sur les comportements et performances électriques en régime normal de fonctionnement. Par contre, nous n'avons pas étudié l'influence sur les commutations. Nous allons dans un premier temps maintenant étudier l'influence de ces modifications sur la fiabilité de l'IGBT.

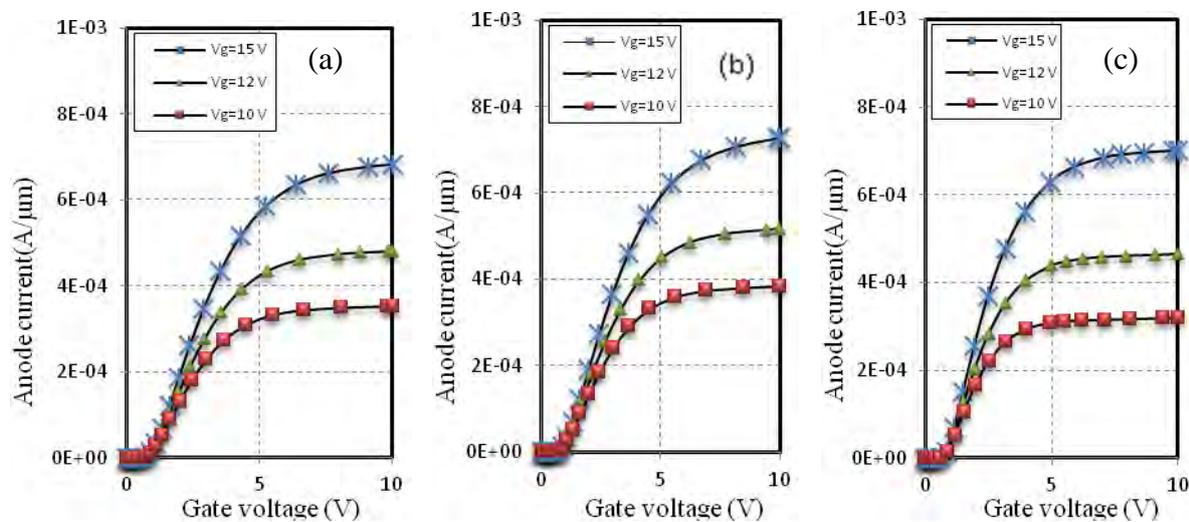


Figure3- 13 : Caractéristiques de sortie  $I_A = f(V_{AK})$  de (a) l'IGBT standard, (b) l'IGBT-1 et (c) l'IGBT-2

### 4.3.2 Sensibilités des structures étudiées

Les résultats de simulation sont donnés pour différentes tensions  $V_{AK}$  et pour une seule position d'impact de l'ion ( $x = 30 \mu\text{m}$ ) qui est la position la plus sensible trouvée dans la structure standard (voir chapitre II paragraphe 2.4.4.1). La profondeur de pénétration de la particule incidente est conservée à une valeur de  $50 \mu\text{m}$  et est générée toujours verticalement au sein de la demi-cellule depuis la face avant avec un LET de  $0,1 \text{ pC}/\mu\text{m}$ . Vu que la simulation 2D ne répond pas à tous nos besoins pour l'étude et l'optimisation des structures proposées, nous sommes passés à la simulation 3D. Les modèles physiques utilisés lors des simulations sont inchangés et restent ceux présentés au chapitre 2 paragraphe 2.2.

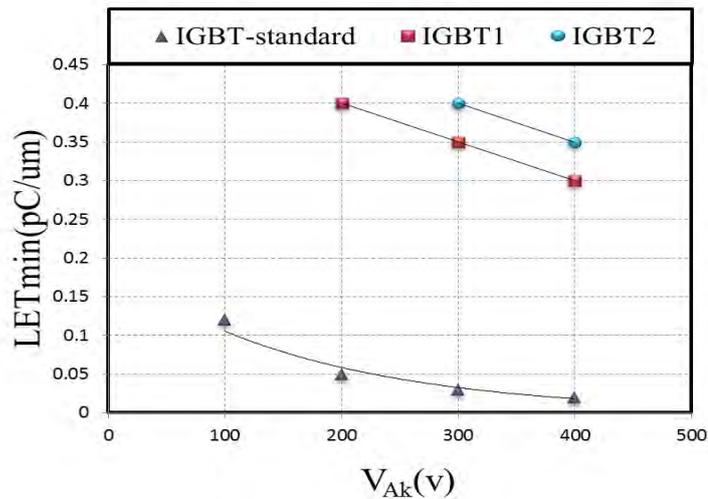


Figure 3-14 : LET minimal déclenchant un SEB pour différentes polarisations d'un ion lourd provenant de la face avant dans l'IGBT standard, l'IGBT-1 et l'IGBT-2

La Figure 3-14 donne le LET minimal en pC/um pour différentes tension de polarisation. Elle permet de comparer les résultats de sensibilité des nouvelles structures à ceux de la structure standard. On remarque que les deux modifications proposées permettent d'améliorer la tenue aux radiations de la structure initiale quelle que soit la tension de polarisation. Les LET seuils des structures IGBT-1 et IGBT-2 sont 8 à 30 fois plus élevés que celui de la structure IGBT standard. Le seuil de déclenchement augmente dans les deux structures proposées, la tension de seuil de déclenchement dans l'IGBT-1 étant égale à 2 fois la tension de seuil de l'IGBT standard et l'effet de durcissement dans l'IGBT-2 est plus important puisque le seuil de déclenchement égale 3 fois celui de la structure standard.

L'efficacité d'injection du transistor NPN est un paramètre important dans le mécanisme de défaillance d'un IGBT. Tout changement de cette efficacité modifie le gain du thyristor parasite et donc la sensibilité de la structure. La Figure 3-15 présente une séquence de l'évolution de la distribution du courant total juste après l'impact d'un ion lourd dans la structure IGBT-1. Elle montre que le transistor PNP formé par la diffusion P<sup>+</sup>/N-drift/substrat P se déclenche dans un premier temps en diminuant considérablement l'efficacité d'injection du transistor NPN, ce qui diminue le gain du thyristor parasite. Dans ce cas, le latch-up ne se produit pas car, en effet, cette structure se comporte comme une structure MOSFET qui se déclenche plus rapidement par rapport un IGBT standard mais qui exige le phénomène d'avalanche, ce qui signifie que plus de porteurs sont nécessaires pour tenir le déclenchement du transistor PNP, contrairement à l'IGBT où le mécanisme d'ionisation par impact n'est pas nécessaire au déclenchement du SEL [LORF-97], [LORF-98]. Par conséquent le déclenchement ne sera que transitoire dans l'IGBT proposé (cf. Figure 3-15).

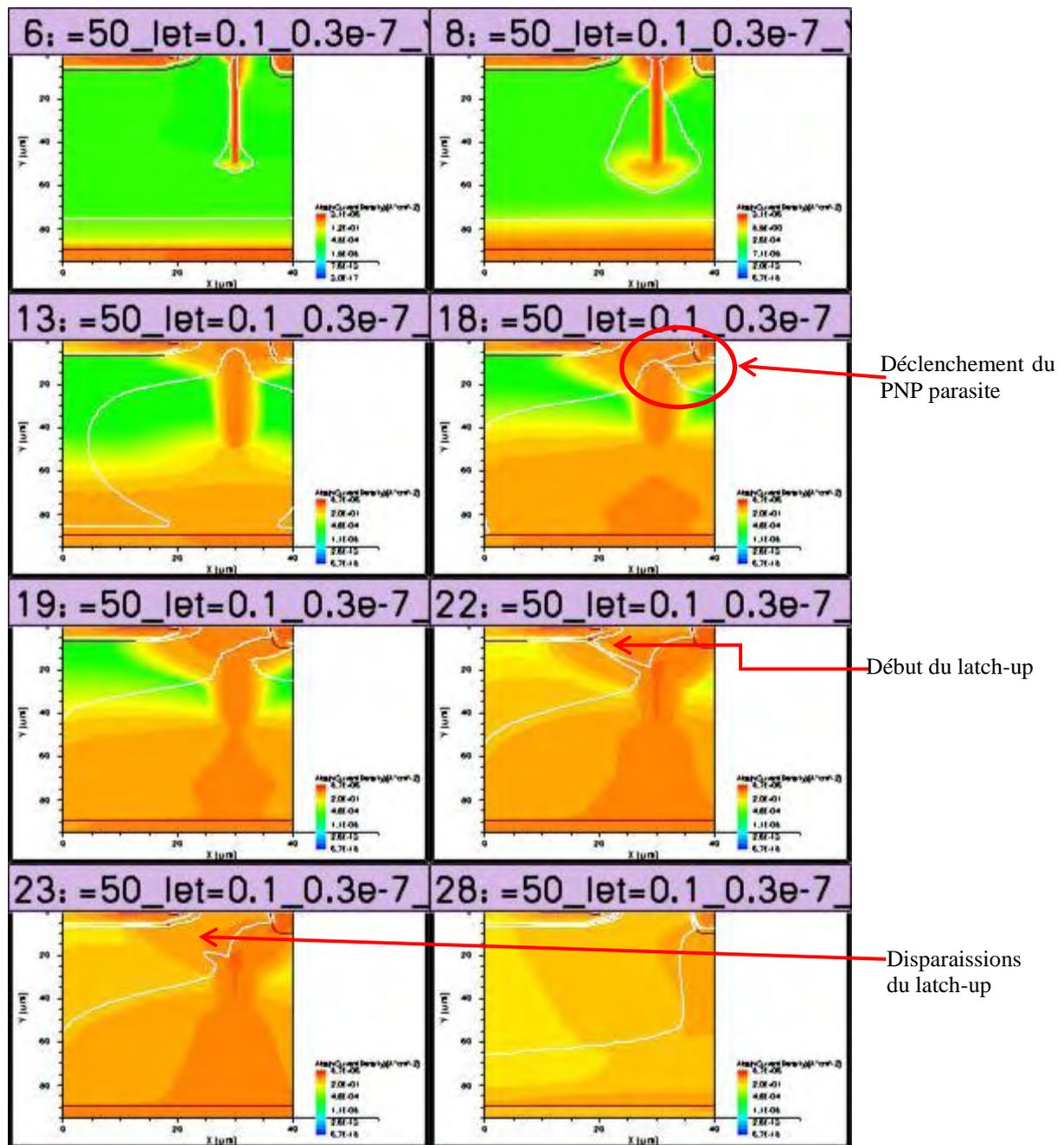


Figure3-15 : Distribution du courant à différents instants après l'impact dans l'IGBT-1

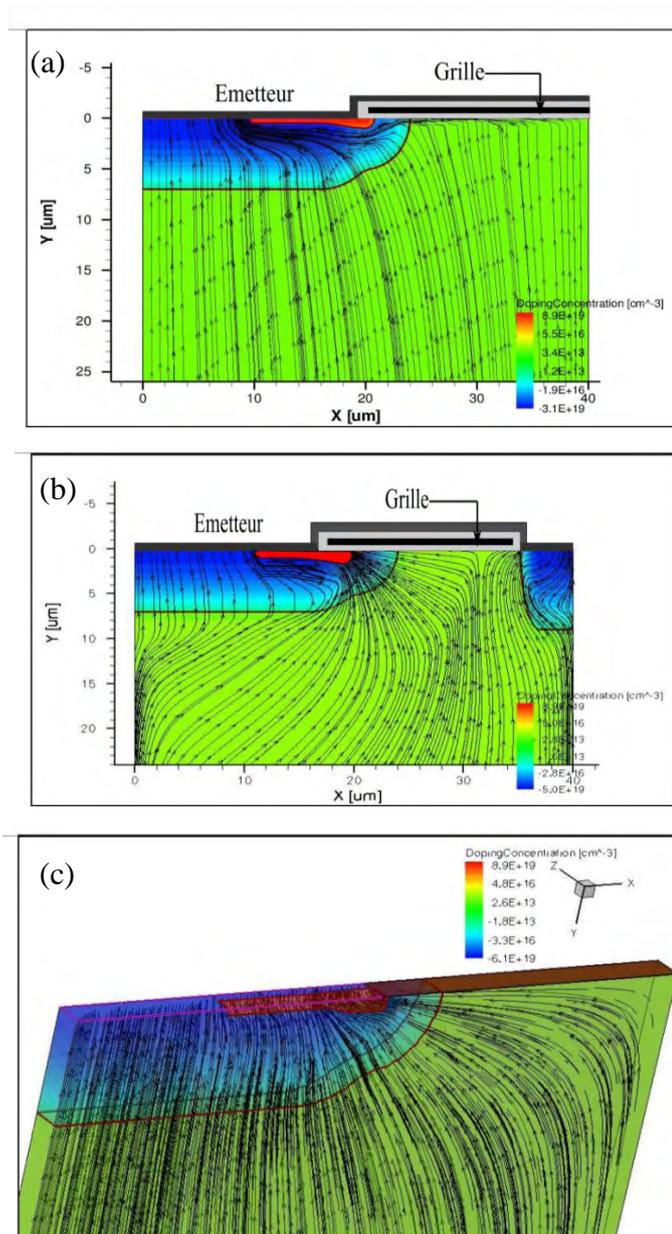


Figure 3-16 : Distribution du courant de trous dans une structure IGBT standard (a), l'IGBT-1 (b) et l'IGBT-2 (c).

Les lignes de courant des trous, représentant la répartition de ce courant, avant le déclenchement du thyristor parasite, dans les trois structures simulées, est donnée sur la Figure 3-16. On peut remarquer que, dans le cas de la structure standard où le latch-up se produit, une grande partie du courant de trous circule vers l'émetteur à travers la région P-well, augmentant la tension de polarisation de la jonction N<sup>+</sup>émetteur/P-well. En revanche, dans l'IGBT-1 et l'IGBT-2, le latch-up ne se produit pas. Une grande partie des trous circule verticalement et rejoint les zones P<sup>+</sup> ajoutées sans passer par la région P-well, ce qui diminue l'efficacité d'injection dans cette zone.

Comme nous avons vu précédemment dans le chapitre II, le latch-up se produit lorsque la condition suivante est validée :

$$\alpha_{NPN} + \alpha_{PNP} = 1 \quad \text{Eq.3-1}$$

Cette dernière se produit lorsque le gain en courant du transistor NPN est suffisamment élevé, ce qui signifie que la chute de tension aux bornes de la résistance  $R_p$  est supérieure à 0,7 V permettant de rendre passante la jonction  $N^+$  émetteur/P-well s'élève au même potentiel  $V_{bi} = 0,7$  V. Ainsi, le courant de latch-up est exprimé par :

$$I_{Latchup} = \frac{V_{bi}}{\alpha_{PNP} \cdot R_p} \quad \text{Eq.3-2}$$

La densité de courant de latch-up de l'IGBT standard s'est écrit comme suit :

$$(J_{Latchup})_{Planar} = \frac{V_{bi}}{(W_{cell})_{Planar} \alpha_{PNP} (\rho_{SB} L_{E1} + \rho_{SP^+} L_{E2})} \quad \text{Eq.3-3}$$

Nous avons vu dans l'IGBT standard (Figure 3-16 (a)) que le courant de trous total n'a qu'une seule composante  $I_p$ . Dans les IGBT proposés, le courant total des trous se divise en deux parties  $I_p$  et  $I'_p$  à cause de la région de diffusion  $P^+$  ajoutée dans chaque structure (cf. Figure 3-16 (b) et (c)). Le courant qui provoque le latch-up du thyristor s'écrit comme suit :

$$I_p = \frac{\alpha_{PNP} \cdot I_{CE} \cdot L_G}{2(L_G + L_W + L_D)} \quad \text{Eq.3-4}$$

Où  $L_D$  est la largeur de la région  $P^+$  comme montre la Figure 3-11

La résistance de cette cellule est donnée par :

$$R_s = \frac{\rho_{SB} \cdot L_{E1}}{Z} \quad \text{Eq.3-5}$$

Où  $Z$  est la largeur de la cellule.

Rappelons toujours que le latch-up se produit lorsque la polarisation directe sur la jonction  $N^+/P$  s'élève au potentiel  $V_{bi} = 0,7$  V. Le courant de latch-up s'exprime comme suit :

$$I_{Latchup} = \frac{V_{bi} \cdot Z}{\alpha_{PNP} \cdot \rho_{SB}} \left\{ \frac{2(L_G + L_W + L_D)}{L_G \cdot L_{E1}} \right\} \quad \text{Eq.3-6}$$

La densité de courant de latchup de l'IGBT-1 est écrite comme suit :

$$(J_{Latchup})_{IGBT-1} = \frac{2V_{bi}}{\alpha_{PNP} \cdot \rho_{SB} \cdot L_{E1} \cdot L_G} \quad Eq.3-7$$

D'après cette dernière équation, l'IGBT-1 nécessite une densité de courant de déclenchement qui est au minimum le double par rapport à l'IGBT standard.

La densité de courant de latch-up de l'IGBT-2 est donnée ci-dessous :

$$(J_{Latchup})_{IGBT-2} = \frac{(I_{Latchup})_{IGBT-standard}}{Z_n W_{cell}} \quad Eq.3-8$$

Où  $Z_n$  est la largeur de la région N+ (cf. Figure 3-12). Par conséquent, il est clair que la diminution de la taille dans cette région ( $Z_n$ ) augmente significativement le courant de latch-up par rapport une cellule standard.

## **4.4 Nouvelle structure proposée pour les composants de puissance à grille isolée (VDMOS/IGBT)**

La structure proposée porte sur une nouvelle topologie contre les phénomènes de déclenchement parasite pour des interrupteurs de puissance à grille isolée. Les interrupteurs qui peuvent en bénéficier sont le VDMOS et l'IGBT planar.

Dans ce cadre général, la présente structure concerne un design spécifique des régions de cathode des composants de puissance à grille isolée, permettant la désensibilisation contre les phénomènes de déclenchement liés aux structures parasites.

### **4.4.1 Principe de la structure**

L'ensemble des interrupteurs possède deux électrodes de puissance. Une est située sur la face avant de la structure (cathode) et l'autre sur la face arrière (anode). La grille de commande est située sur la face avant. La particularité de cette nouvelle structure est de mettre une tranchée au niveau de la cathode avec des dimensions précises comme la profondeur de la tranchée, sa longueur et la profondeur de dopage de la région P<sup>+</sup>. La Figure 3-17 montre schématiquement la modification géométrique réalisée sur une cellule d'IGBT planar.

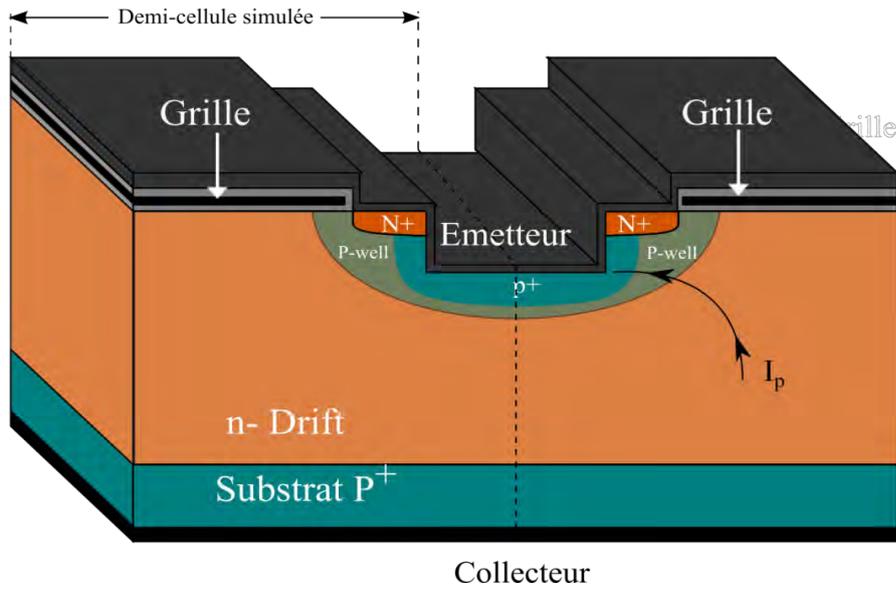


Figure 3-17 : Cellule de l'IGBT proposé (cathode en tranchée)

#### 4.4.2 Influence des paramètres de la tranchée

Plusieurs simulations ont été faites en jouant sur les paramètres de la tranchée ( $W_T$ ,  $L_T$  et  $X_{p+}$ ) (cf. Figure 3-18)) pour définir la structure optimale qui donne à la fois une grande immunité contre les déclenchements parasites tout en maintenant les mêmes caractéristiques électriques statiques et dynamiques des structures standards. Nous avons simulé la structure proposée en utilisant toujours les mêmes paramètres physiques et géométriques donnés dans le tableau 3-1 et en utilisant d'abord différentes profondeurs ( $W_T$ ), ensuite différentes largeurs ( $L_T$ ) de la tranchée et enfin différentes profondeurs de diffusion de la région de  $P^+$  ( $X_{p+}$ ).

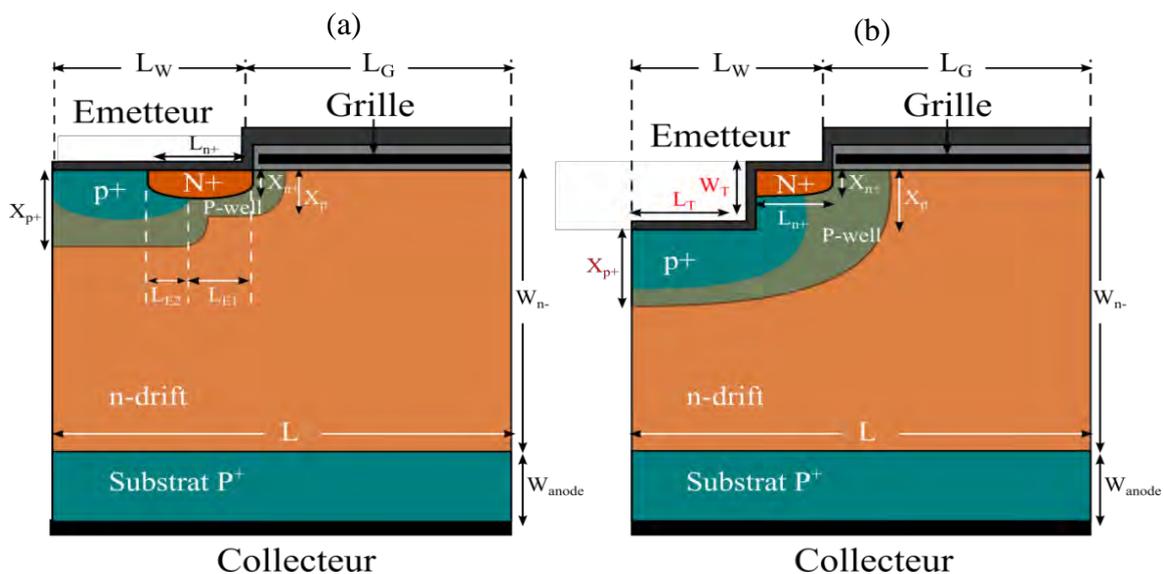


Figure 3-18 : Demi-cellules de l'IGBT standard (gauche) et de l'IGBT proposé (droite)

#### 4.4.2.1 Effet de la longueur de la tranchée ( $L_T$ )

Les caractéristiques  $I_A(V_{GK})$  et  $I_A(V_{AK})$  à l'état passant direct obtenues par simulation de l'IGBT proposé pour différentes valeurs de la longueur de la tranchée ( $L_T$ ) avec  $W_T=4 \mu\text{m}$  et  $X_{p+} = 9 \mu\text{m}$  sont données sur la Figure 3-19.

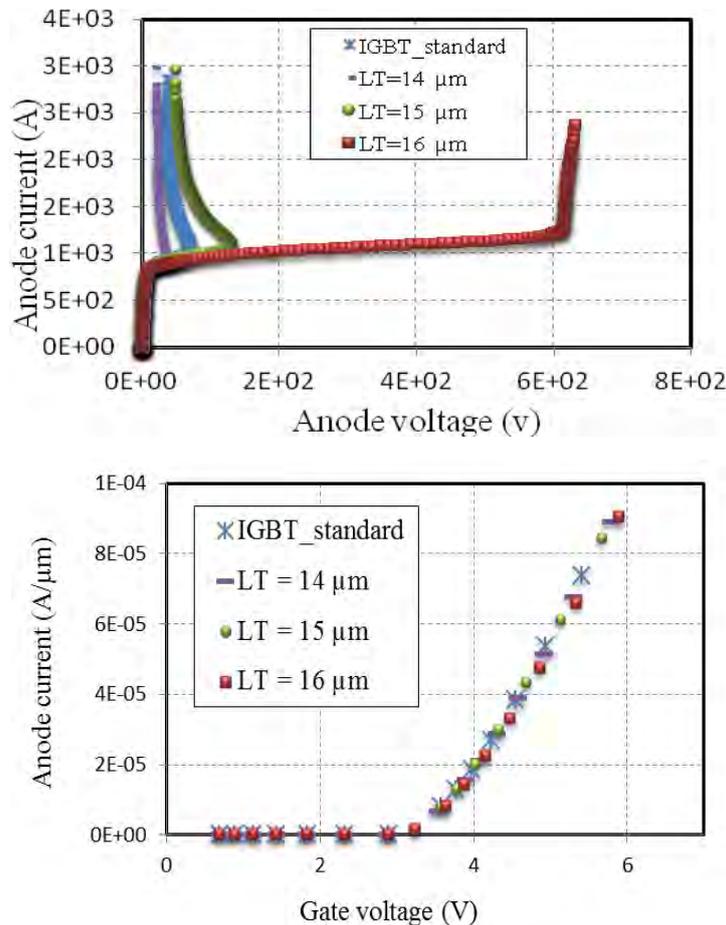


Figure3-19 : Caractéristiques  $I_A(V_{AK})$  (haut) et  $I_A(V_{GK})$  (bas) de l'IGBT standard et l'IGBT proposé pour différentes longueurs de la tranchée  $L_T$ .

On remarque dans la Figure 3-19 (haut) que des valeurs faibles de la longueur de la tranchée ( $L_T$ ) conduisent ( $L_T=14 \mu\text{m}$ ) à une diminution de la tension de latch-up. Quand la longueur de la tranchée augmente à  $15 \mu\text{m}$ , la tension de latch-up double sa valeur par rapport à une structure standard et, pour  $L_T=16 \mu\text{m}$ , le phénomène de latch-up ne se produit pas. La Figure 3-19 (bas) montre que l'augmentation de la longueur de la tranchée ( $L_T$ ) n'influe pas sur la valeur de la tension de seuil. Cela permet donc de fixer la valeur de  $L_T$  à  $16 \mu\text{m}$ .

#### 4.4.2.2 Effet de la profondeur de la tranchée ( $W_T$ )

Les caractéristiques  $I_A(V_{GK})$  et  $I_A(V_{AK})$  à l'état passant direct obtenues par simulation de la structure IGBT proposée, pour différentes valeurs de la profondeur de la tranchée ( $W_T$ ) avec  $L_T=16 \mu\text{m}$  et  $X_{p+} = 9 \mu\text{m}$ , sont données sur la Figure 3-20.

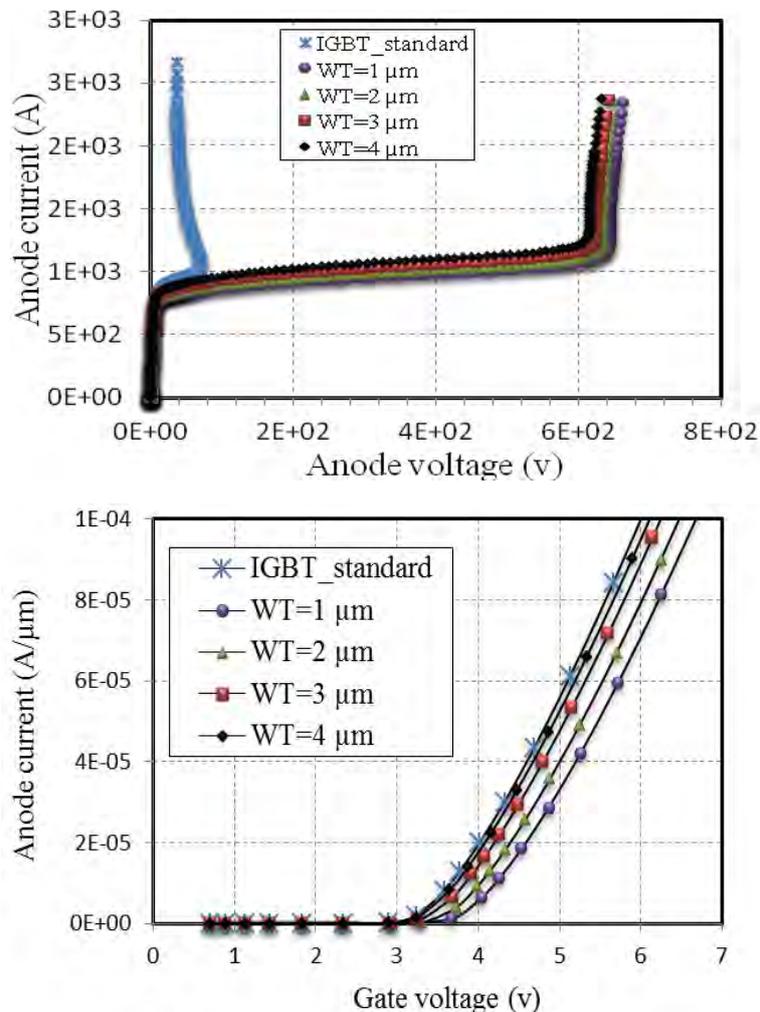


Figure 3-20 : Caractéristiques  $I_A(V_{AK})$  (haut) et  $I_A(V_{GK})$  (bas) de l'IGBT standard et de l'IGBT proposé pour différentes profondeurs de la tranchée  $W_T$ .

La Figure 3-20 (haut) montre que le phénomène de latchup ne se produit pas dès la quelle que soit la profondeur de la tranchée  $W_T$ . Or, la valeur de  $W_T$  change la valeur la tension de seuil sauf pour  $W_T=4 \mu\text{m}$  comme le montre la Figure 3-20 (bas). Nous fixerons donc la profondeur de la tranchée à 4  $\mu\text{m}$  afin d'éviter le phénomène de latch-up tout en maintenant la même valeur de la tension de seuil.

#### 4.4.2.3 Effet de la profondeur du dopage de la région de diffusion P<sup>+</sup> (X<sub>p+</sub>)

Les caractéristiques I<sub>A</sub>(V<sub>GK</sub>) et I<sub>A</sub>(V<sub>AK</sub>) à l'état passant direct obtenues par simulation de la structure IGBT proposée, pour différentes valeurs de la profondeur de dopage P<sup>+</sup> (X<sub>p+</sub>) avec L<sub>T</sub>=16 μm et W<sub>T</sub> = 4 μm, sont données sur la Figure 3-21.

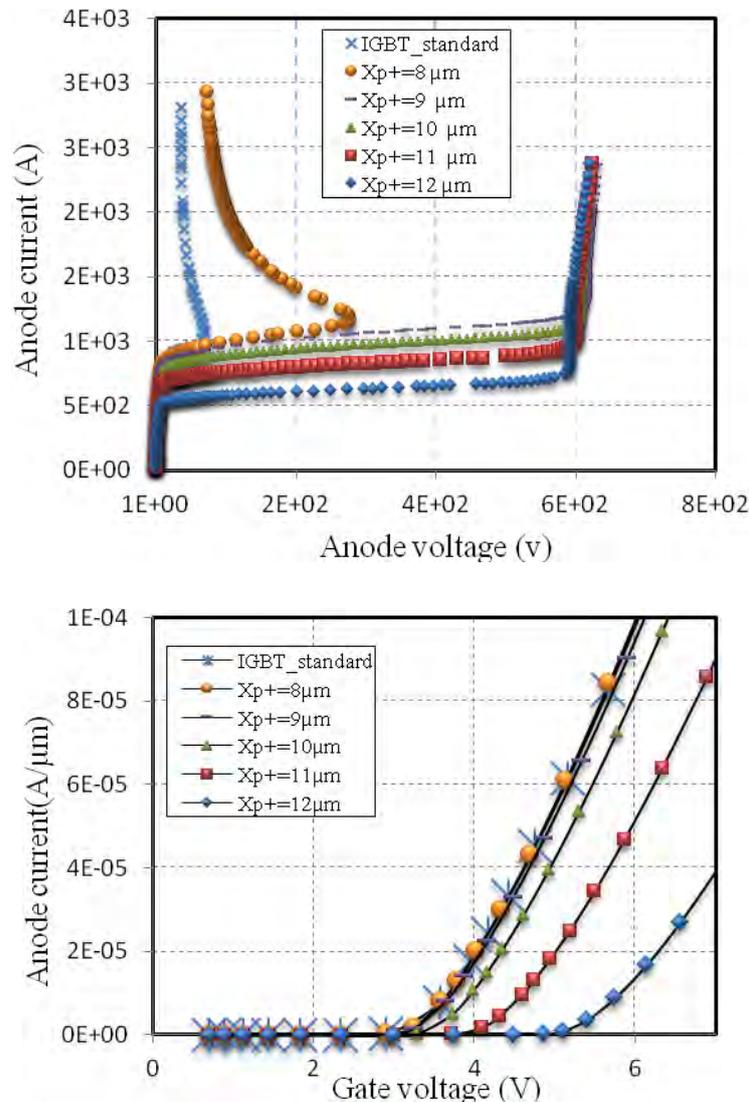


Figure 3-21 : Caractéristiques I<sub>A</sub>(V<sub>AK</sub>) (haut) et I<sub>A</sub>(V<sub>GK</sub>) (bas) de l'IGBT standard et l'IGBT proposé pour différentes profondeurs de jonction de la diffusion P<sup>+</sup>.

On remarque sur la Figure 3-21 (haut) que le phénomène de latch-up ne se produit pas quand la diffusion de dopage de la région P<sup>+</sup> pour une profondeur minimum de 9 μm. Cette valeur garantit aussi le maintien de la tension de seuil par rapport à une structure standard, comme le montre la Figure 3-21 (bas).

A partir de ces caractéristiques, la bonne optimisation de la tranchée qui garantit une grande immunité contre le latch-up, tout en maintenant la valeur de la tension de seuil de

l'IGBT planar, est obtenue pour une profondeur de la tranchée  $W_T = 4 \mu\text{m}$ , une largeur de la tranchée  $L_T = 16 \mu\text{m}$  et une profondeur de jonction de la région de diffusion  $P^+ X_{P^+} = 9 \mu\text{m}$ . Les simulations ont montré que la tranchée optimisée peut garantir une grande immunité contre le latch-up tout en maintenant une tension de seuil identique à celle de l'IGBT planar. Les résultats présentés Figure 3-22 correspondent aux dimensions suivantes :  $W_T = 4 \mu\text{m}$ ,  $L_T = 16 \mu\text{m}$  et  $X_{P^+} = 9 \mu\text{m}$ . À tensions de seuil équivalentes, les caractéristiques  $I_A(V_{AK})$  de la Figure 3-22 montrent qu'effectivement, le phénomène de latch-up se produit seulement dans la structure standard.

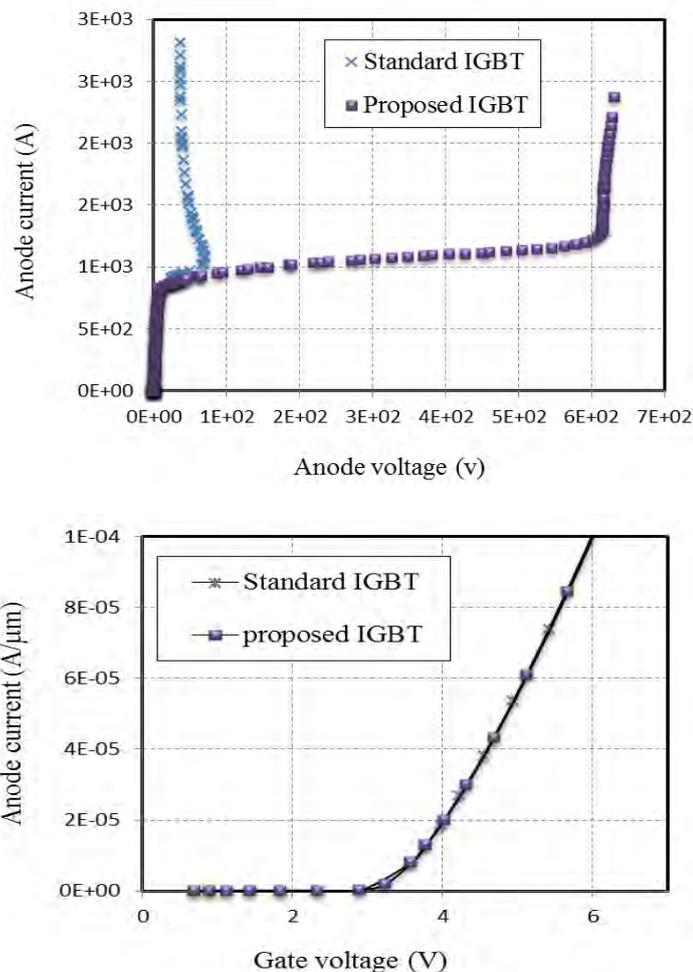


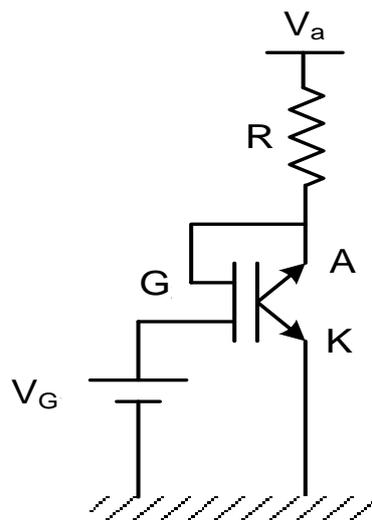
Figure3-22 : Caractéristiques  $I_A(V_{AK})$  (haut) et  $I_A(V_{GK})$  (bas) de la structure IGBT proposée et standard

Pour la structure VDMOS, nous avons obtenus les mêmes résultats en statique car il possède la même zone active que l'IGBT planar. Les dimensions de la tranchée proposée vont donc être les mêmes que celles de l'IGBT planar. En effet, en régime normal, nous n'avons pas constaté de déclenchement de la structure NPN parasite dans la structure VDMOS standard car elle est déjà optimisée, mais nous allons montrer, dans la suite de ce chapitre,

l'avantage de la structure VDMOS proposée par rapport à la structure standard dans les conditions extrêmes comme le cas de radiation par ion lourd.

### **4.4.3 Comportement dynamique**

Dans cette partie, nous allons comparer le comportement dynamique entre les structures standard (VDMOS et IGBT) et celles proposées. Leurs comportement en commutation est observé en simulation à partir du circuit présenté sur la Figure 3-23. La durée de la largeur d'impulsion appliquée sur la grille est  $T/2 = 1 \mu\text{s}$  pour le VDMOS et  $200 \mu\text{s}$  pour l'IGBT. La Figure 3-24 montre l'allure du courant d'anode en fonction du temps pour les deux structures. On peut constater que la tranchée proposée au niveau de la cathode de chaque structure n'a pas d'influence sur le comportement dynamique par rapport aux structures standards, à l'exception d'une légère diminution au niveau du courant à cause de la réduction de la zone conductrice suite à la gravure de la tranchée.



*Figure3-23 : Circuit de commutation sur une charge résistive*

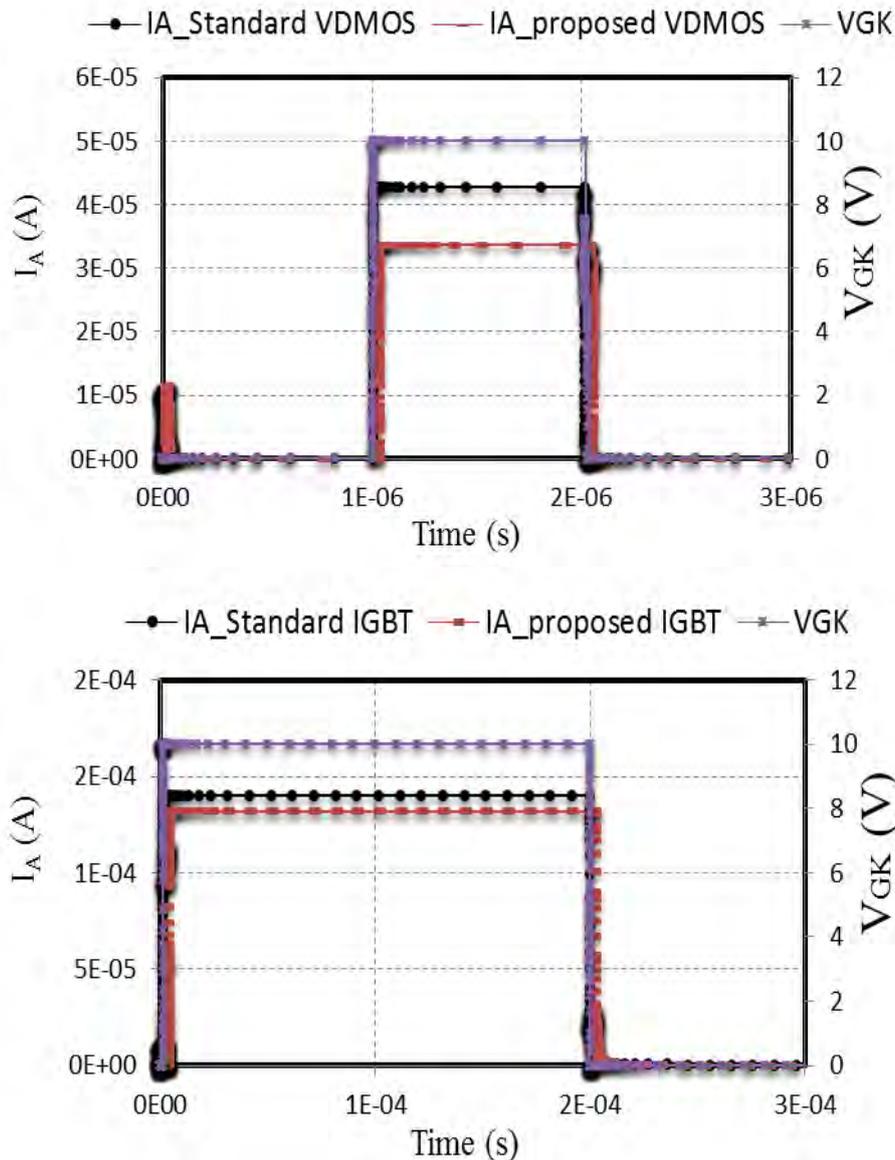


Figure3-24 : Allure du courant d'anode durant un cycle de commutation pour les structures VDMOS (haut) et IGBT (bas)

En effet, les structures de puissance à base de MOS sont caractérisées en dynamique par leurs capacités inter-électrodes comme le montre la figure 3-25. Cette figure représente aussi le montage type qui permet de quantifier ces différentes capacités en mesurant la charge de grille à courant constant.

Dans les deux cas, que ce soit le VDMOS ou l'IGBT, les capacités d'entrée  $C_{GK}$  ( $C_{GS}$  ou  $C_{GE}$ ) et  $C_{GA}$  ( $C_{GD}$  ou  $C_{GC}$ ) sont chargées à partir d'un générateur de courant. Bien que les capacités  $C_{GK}$  et  $C_{AK}$  ( $C_{DS}$  ou  $C_{CE}$ ) sont plus ou moins constantes, la capacité  $C_{GA}$  (capacité Miller) dépend fortement de la tension anode-cathode appliqué à chaque structure.

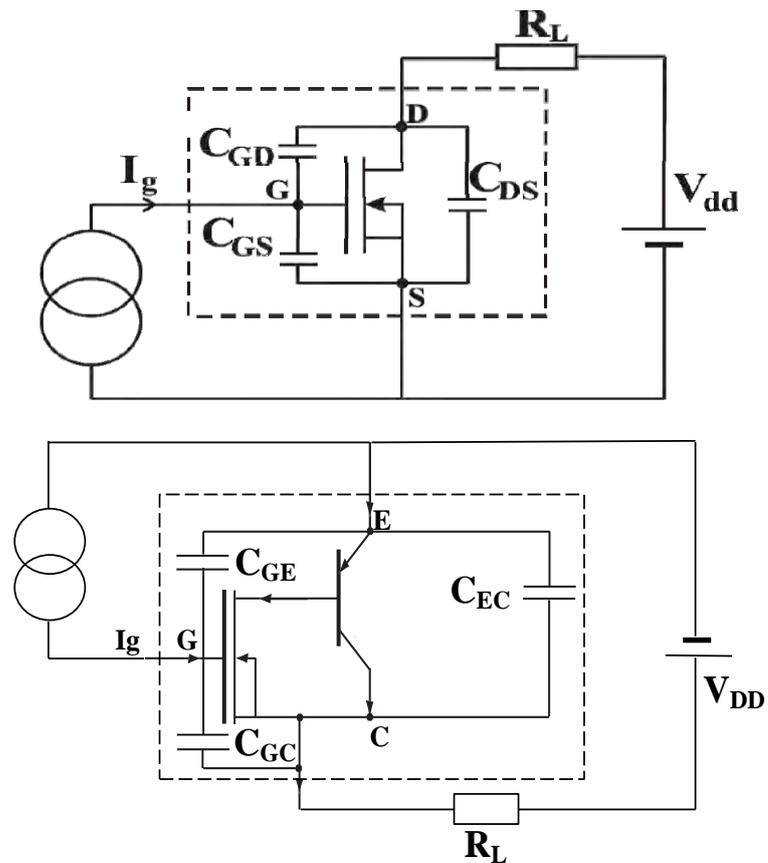


Figure3-25 : Schéma électrique pour l'essai de charge de grille à courant de grille constant pour un VDMOS (haut) et un IGBT (bas)

Par analogie entre les VDMOS et les IGBT, nous allons essayer d'analyser ces courbes simultanément. Les courbes peuvent se décomposer en trois étapes. Pendant la première montée de  $V_{GK}$ , la capacité  $C_{GK}$ , constante, se charge. Pendant cette phase, la tension de la grille atteint la valeur de tension de seuil, le transistor devient passant et le courant augmente linéairement jusqu'à sa valeur statique. La seconde phase, de  $t_1$  à  $t_2$  (cf. Figure 3-26, les lignes discontinues et continues correspondent aux structures standard et proposée respectivement), la tension anode-cathode décroît linéairement, augmentant ainsi la capacité  $C_{GA}$  suite à la réduction de la zone de charge d'espace dans la région N<sup>-</sup>. L'augmentation de  $C_{GA}$  ralentit la croissance de la tension de grille. Dans un même temps, le courant de drain reste toujours à sa valeur nominale. À ce moment-là, la totalité de son courant sert à charger la capacité  $C_{GA}$  (effet Miller) et l'augmentation de tension de grille est interrompue. Lors de la dernière phase, à partir de  $t_2$ , la grille peut continuer de se charger après que la tension anode-

cathode ait atteint sa valeur statique. La nouvelle valeur de la capacité d'entrée est alors égale à  $C_{GK} + C_{GA-max}$  [TOUL-10] et les transistors atteignent leur mode de conduction.

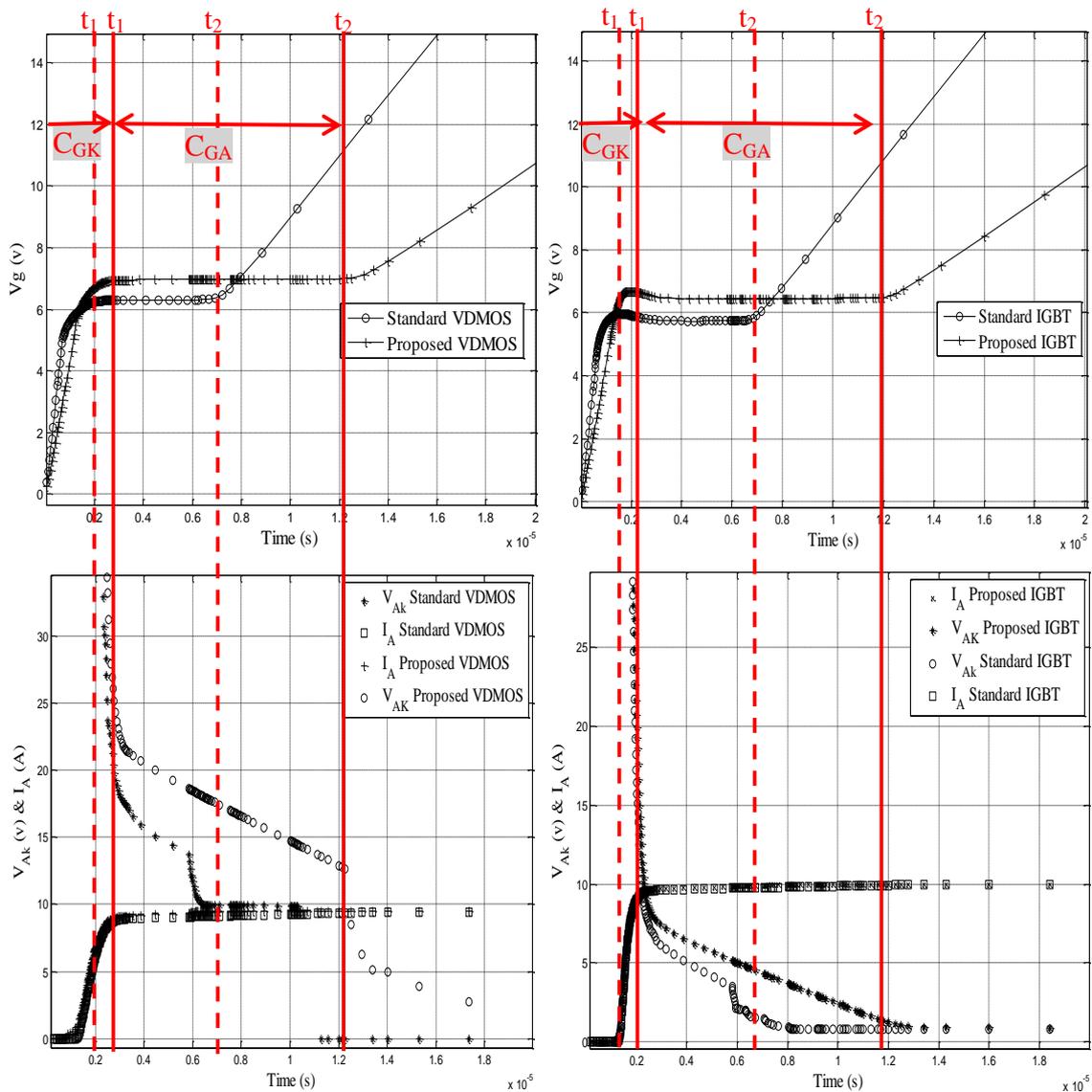


Figure 3-26 : Essai de charge de grille (haut) et évolution de la tension d'anode et du courant d'anode en fonction du temps (bas) pour toutes les structures étudiées

Bien que les modifications sont apportées au niveau des cathodes, on observe d'après la Figure 3-26 que la première partie des courbes, correspondant à la charge de  $C_{GK}$ , est approximativement la même pour les structures proposées et standards. Ceci est attendu car en effet la capacité  $C_{GK}$  est composée de trois capacités  $C_{GK1}$ ,  $C_{GK2}$  et  $C_{GK3}$  (cf. la figure 3-27), la seule capacité qui peut changer est celle comprise entre la grille et le contact métallique ( $C_{GK3}$ ), ce qui explique la petite différence dans cette première partie des courbes entre les structures proposée et standard. En revanche, la capacité Miller ( $C_{GA}$ ), correspondant

au plateau de la caractéristique (entre  $t_1$  et  $t_2$ ), est plus importante pour les structures proposées. Cela peut être expliqué par la réduction de la zone épitaxiée dans ces dernières. Cet écart augmente la décroissance linéaire de la tension anode-cathode (cf. Figure 3-26 entre  $t_1$  et  $t_2$ ). En outre, la pente de la troisième partie de la courbe n'est la même. Cette pente est l'image de la capacité grille-cathode ( $C_{GK}$ ) avec la capacité de l'oxyde de grille, équivalente à  $C_{GA-max}$  (cf. Figure 3-27). Or, nous avons la même épaisseur d'oxyde dans toutes les structures et, par conséquent, la capacité grille-cathode ( $C_{GK}$ ) est bien la seule cause de cette différence en raison de la différence de la diffusion P-well entre les structures proposées et standards. Mais ce dernier écart entre les deux pentes n'a aucune influence sur la chute de tension ou sur le courant d'anode.

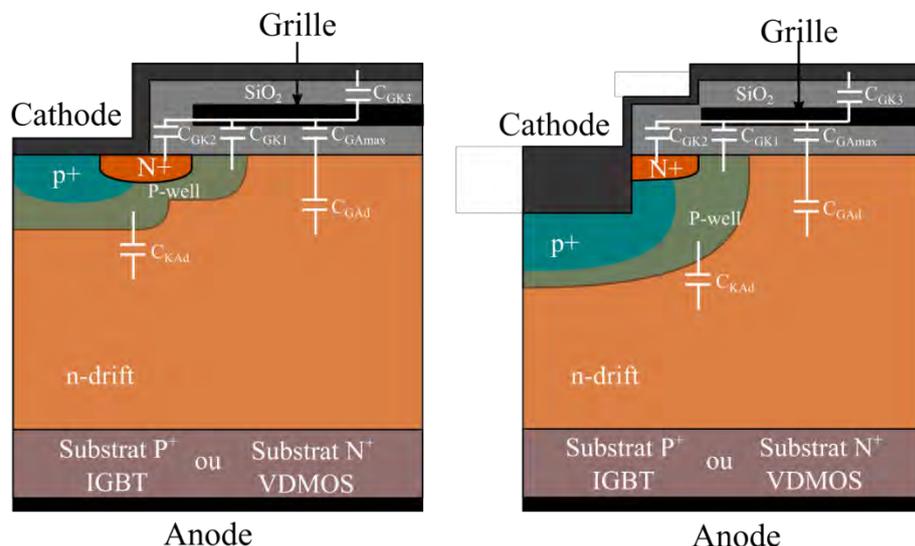


Figure 3-27 : Localisation des capacités inter-électrodes des structures proposée (droite) et standard (gauche)

#### 4.4.4 Sensibilité contre les ions lourds de la structure à cathode en tranché

Afin de mettre en évidence l'influence de la tranchée proposée au niveau de la cathode sur le courant de déclenchement des structures parasites et de valider les paramètres technologiques et géométriques que nous avons fixés, nous avons simulé les structures IGBT et VDMOS planar en utilisant les paramètres physiques et géométriques donnés dans le tableau 3-1.

Tableau 3-1 : Paramètres physiques et géométriques de la structure IGBT utilisés pour la simulation

Région	Dimension (µm)	Concentration en surface (cm <sup>-3</sup> )	Profil de dopage	Coefficient de diffusion latérale
SiO <sub>2</sub>	L <sub>G</sub> = 30 e <sub>ox</sub> = 0.055	-	-	-
N <sup>-</sup>	W <sub>n-</sub> = 90 L = 40	10 <sup>+14</sup>	Uniforme	0.8
N <sup>+</sup>	L <sub>N+</sub> = 10 X <sub>N+</sub> = 1	10 <sup>+20</sup>	Gaussien	0.8
P	L <sub>p</sub> = 20 X <sub>p</sub> = 5	2.5x10 <sup>+17</sup>	Gaussien	0.8
P <sup>+</sup>	L <sub>p+</sub> = 16 X <sub>p+</sub> = 7	3x10 <sup>+19</sup>	Gaussien	0.8
P <sup>+</sup> substrat (IGBT)	W <sub>anode</sub> =360 L = 40	3x10 <sup>+19</sup>	Uniforme	-
N <sup>+</sup> substrat (VDMOS)	W <sub>anode</sub> =360 L = 40	3x10 <sup>+19</sup>	Uniforme	-
Canal	L <sub>CH</sub> = 3.2	-	-	-

Afin d'exploiter et vérifier les atouts de la tranchée proposée sur des conditions extrêmes, nous ferons l'approximation d'assimiler le phénomène de déclenchement du Single-Event Burn-out (SEB) pour des ions lourds dans un VDMOS et un IGBT planar.

Les traces d'ionisation sont générées juste à proximité du canal (position la plus sensible dans les structures standard) en faisant varier le range. Toutes les simulations sont effectuées pour différentes polarisation à l'état bloqué.

Ces études nous ont permis d'observer l'écart de durcissement contre l'effet d'ionisation provoqué par un ion lourd dans un VDMOS et dans un IGBT de type planar avec et sans tranchée de la cathode. La Figure 3- 28 montre que, dans le VDMOS proposé, il n'y a pas de déclenchement SEB, quels que soient le parcours des ions dans le substrat et la tension de polarisation à l'état bloqué. En revanche, un VDMOS standard est sensible à tous ces ions à partir de 90V. Dans l'IGBT planar proposé, il n'y a pas de phénomène destructif les tensions inférieures à 500 V, tandis que cette même tension est limitée à 90 V dans l'IGBT standard pour une même tension de claquage dans les deux structures (600 V).

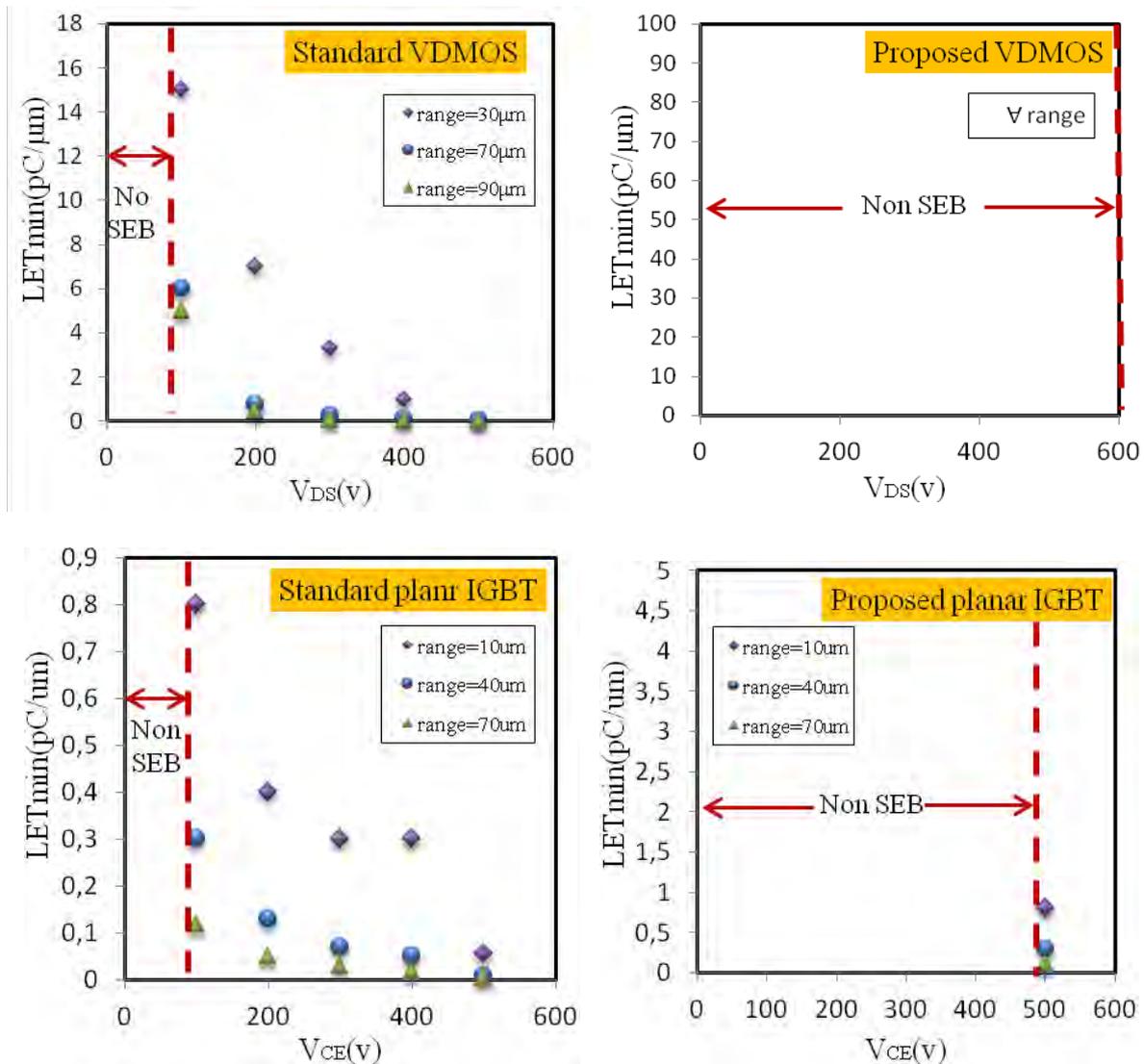


Figure 3-28 : LET minimal déclenchant un SEB pour différentes polarisations et différents ranges pour des ions lourds provenant de la face avant du VDMOS / IGBT standard et du VDMOS / IGBT proposé

La présente structure proposée montre une grande immunité contre les déclenchements parasites que ce soit à l'état passant ou bloqué. Nous rappelons que cette comparaison, présentée Figure 3-28, est faite entre des structures standards déjà optimisées qui ont été présentées dans le chapitre 2 et ayant une tension de seuil  $V_{GK} = 6V$  et les structures proposées dans lesquelles  $V_{GK} = 3V$ . Le tableau 3-2 montre l'augmentation de la fiabilité à l'état passant et à l'état bloqué du design proposé pour les deux tensions de seuil.

Tableau 3-2 : tableau récapitulatif des composants testés

		$V_{GK}=3V$	$V_{GK} = 6V$
Condition de simulation	Composant (Tension de claquage (V))	Tension de déclenchement parasite (V)	Tension de déclenchement parasite (V)
Etat passant	IGBT standard (600)	70	70
	IGBT proposé (600)	Pas de déclenchement parasite	Pas de déclenchement parasite
	VDMOS standard (800)	Pas de déclenchement parasite	Pas de déclenchement parasite
	VDMOS proposé (800)	Pas de déclenchement parasite	Pas de déclenchement parasite
Etat bloqué dans des conditions extrême (ion lourd)	IGBT standard (600)	90	90
	IGBT proposé (600)	500	Pas de SEB
	VDMOS standard (800)	90	90
	VDMOS proposé (800)	Pas de SEB	Pas de SEB

La distribution des lignes de courant des trous avant le déclenchement du transistor parasite NPN, dans la structure standard et la structure proposée (IGBT ou MOSFET) simulées avec ( $W_T = 4 \mu m$ ,  $L_T = 16 \mu m$  et  $X_{p+} = 10 \mu m$ ) est donnée Figure 3- 29. On peut remarquer que, dans le cas de la structure avec cathode en tranchée, le courant passe directement dans la région  $P^+$  sans passer par la jonction  $J_3$  ( $I_{p1} < I_{p2}$ ). Dans la structure standard, une grande partie du courant passe au-dessous de la jonction  $J_3$  ( $I_{p1} >> I_{p2}$ ), créant ainsi un potentiel de déclenchement. En outre, dans la structure proposée le dopage  $P^+$  est assuré au-dessous de toute la jonction  $J_3$  en minimisant la résistivité  $R_p$  sans modifier la concentration en surface de la région  $P$  le long du canal, ce qui garantit que la tension de seuil n'est pas modifiée par rapport à un VDMOS classique.

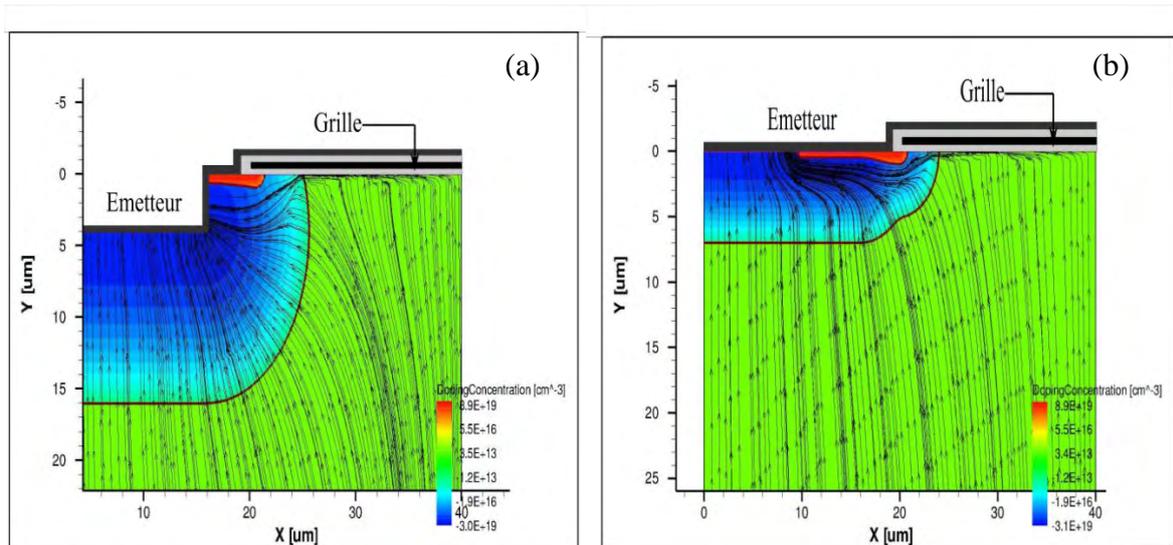


Figure 3-29 : Lignes de courant de trous dans la structure proposée (a) et une structure standard (b)

La comparaison des trajets internes du courant dans les structures montre donc qu'une plus grande partie des lignes de courant est attirée par la tranchée surtout au niveau de la pointe dans le cas de la structure durcie. La déviation des lignes de courant vers la pointe de la tranchée diminue efficacement l'injection des électrons par l'émetteur du NPN privé d'une grande partie de son courant de base. Le courant décroît brutalement. Au contraire, dans la structure standard, les lignes de courant traversent la zone P et constituent le courant de base.

Les Figure 3-30 et 3-31 représentent la répartition du champ électrique au point A dans les deux structures avant et après le déclenchement du latch-up. Le point A représente l'endroit critique dont le transistor NPN se déclenche. Si on compare les deux points A des deux structures, on observe dans la structure proposé la présence d'un champ électrique intense, ce qui n'est pas le cas dans la structure standard.

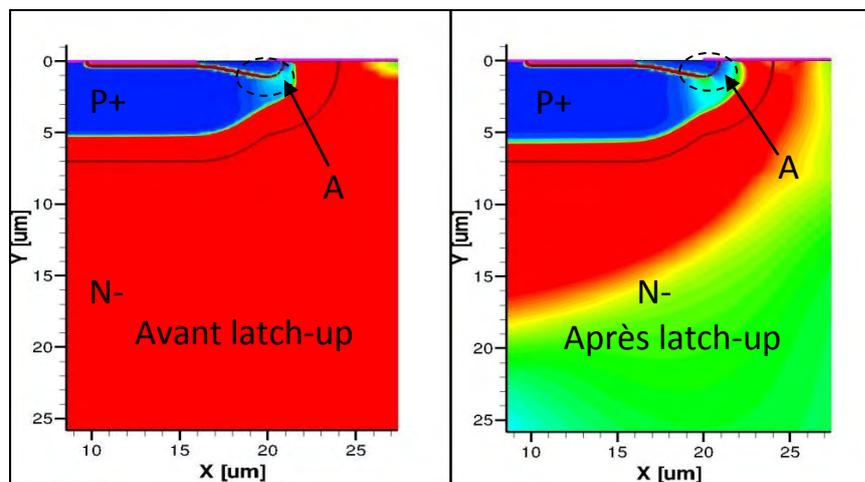


Figure 3-30 : Répartition du champ électrique dans la structure standard avant et après le latch-up

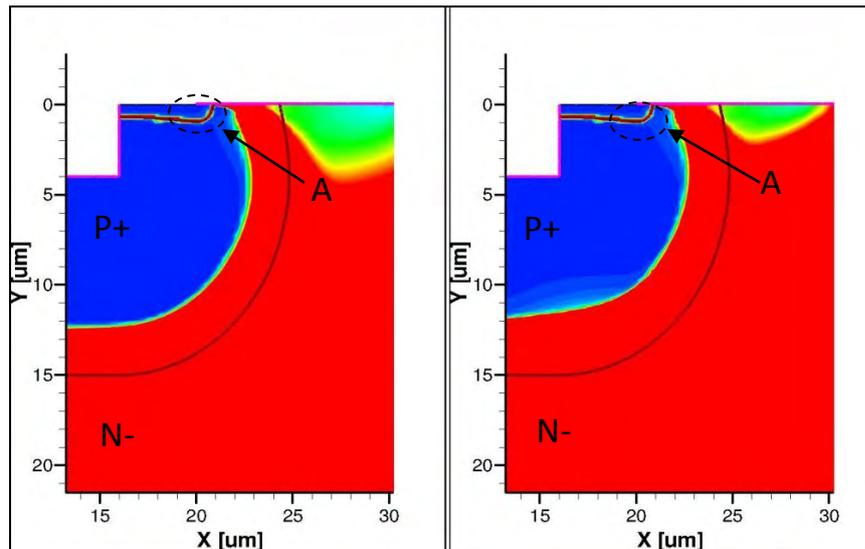


Figure3-31 : Répartition du champ électrique dans la structure proposée aux mêmes instants que la Figure 3-25

La Figure 3-32 (a) et (c) montre la distribution de la température suite à un déclenchement SEB, en fin de simulation, dans une structure standard (VDMOS ou IGBT) (a) et celle proposée (c). Dans les deux cas, la zone de la fusion est localisée au niveau du canal où la température peut dépasser les 5000 K à cause de la densité du courant très élevée dans cette région ainsi que de la grande résistivité thermique de l'oxyde. Cette zone critique est plus large dans la structure standard. Dans cette dernière, la densité de courant est maximale dans la région du canal (cf. Figure 3-32 (b)). À l'inverse, dans la structure proposée, cette densité se localise vers la tranchée (cf. Figure 3-32 (d)) où la température va être absorbée par la faible résistivité thermique de la cathode. Contrairement à la structure proposée, une augmentation de la température de 700 K environ est localisée au niveau de la trace ionisante dans la structure standard (cf. Figure 3-32, ligne discontinue). Enfin, les structures proposées ont le même comportement que les standards vis-à-vis de la variation de la température, c'est-à-dire que la sensibilité au burn-out pour un VDMOS diminue avec l'augmentation de la température et augmente pour un IGBT (NPT) (cf. Figure 2-32 chapitre 2).

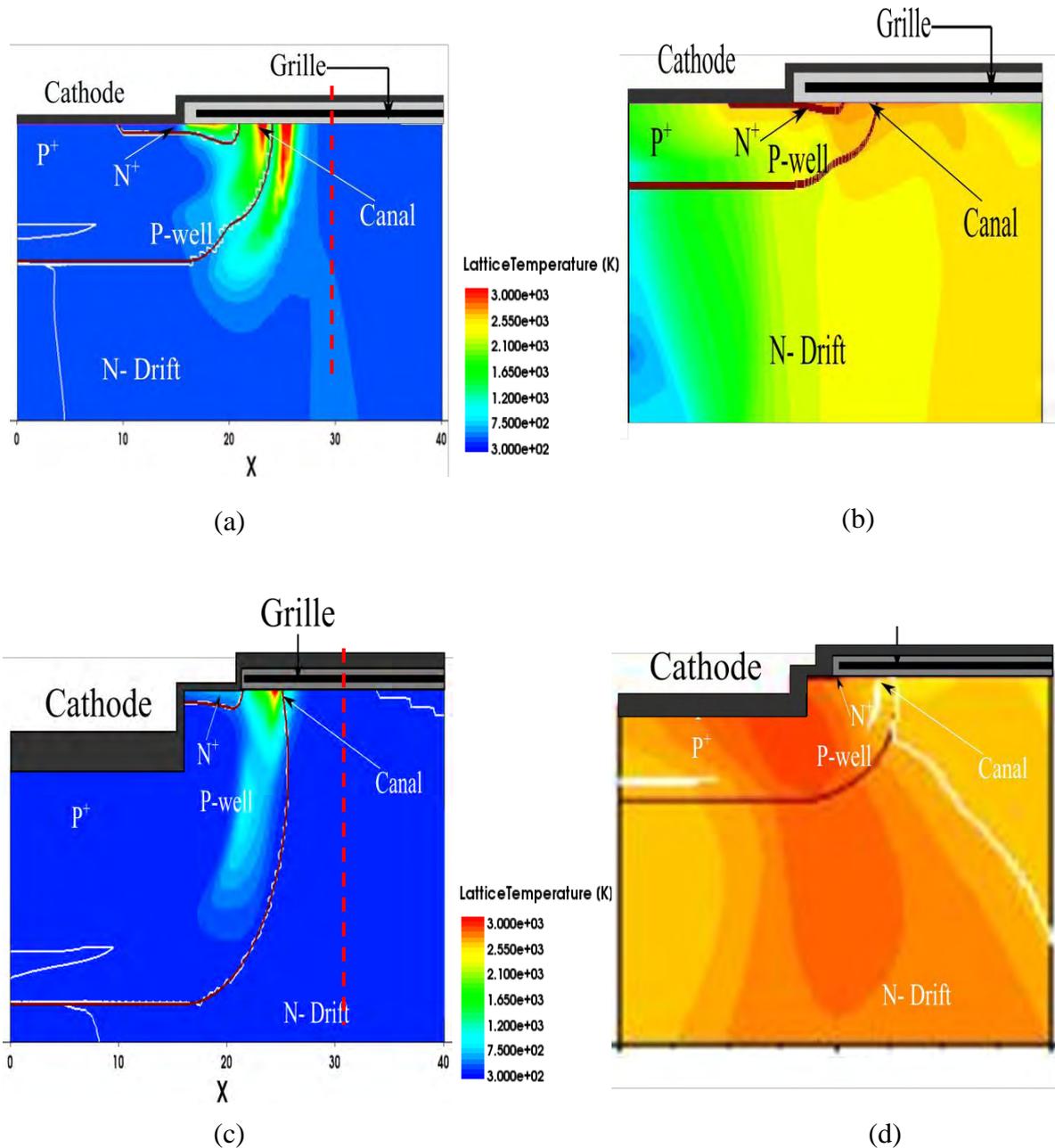


Figure 3-32 : Distribution de la température et de la densité de courant dans les structures standards (a), (b) et proposée (c), (d) respectivement suite à un déclenchement SEB

## 4.4.5 Etude préliminaire en vue d'une réalisation technologique

### 2.4.5.1 Présentation et description de la filière flexible

Cette filière technologique est développée au LAAS-CNRS ; elle est composée d'étapes technologiques de base et d'étapes spécifiques optimisées et compatibles entre elles. Le processus technologique de fabrication d'une structure assurant une fonction électrique est établi à partir des étapes optimisées de cette filière. La filière flexible est basée

principalement sur un processus "auto-aligné" avec des grilles en polysilicium permettant de réaliser des dispositifs de puissance de base de la famille MOS/Bipolaire (IGBT, MOS-Thyristor,...) qui peut être complétée par des étapes technologiques spécifiques permettant de réaliser par exemple des régions différenciées N ou P sur la face arrière, deux types de caissons P, des terminaisons de jonction P<sup>-</sup>..[IMBE-02]

L'enchaînement des étapes se fait en respectant le bilan thermique final de chacune d'entre elles. Cette notion de filière flexible permet d'introduire des étapes supplémentaires par rapport à celles du composant de puissance. Les principales étapes de cette filière qui permettent de réaliser un dispositif IGBT par exemple sont présentées dans La Figure 3- 33 [LEGA-10].

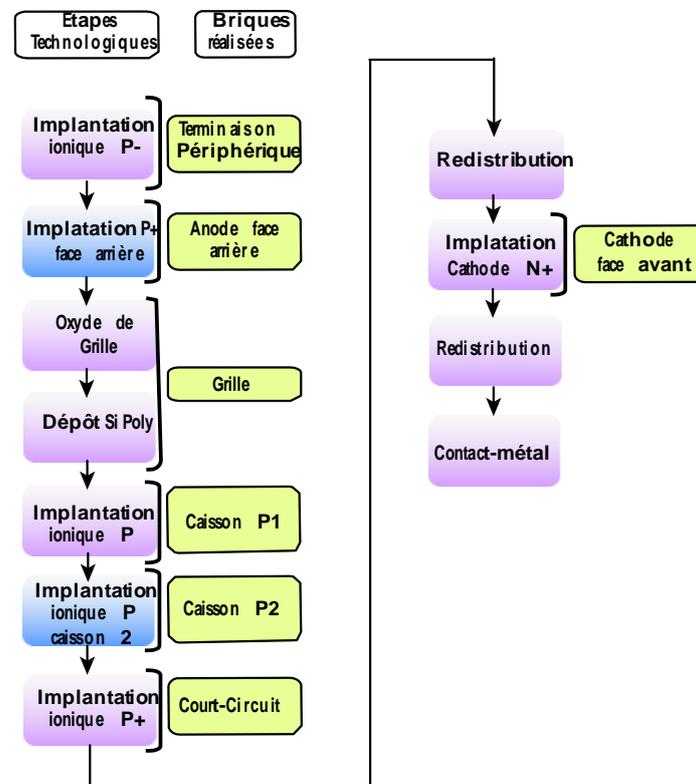
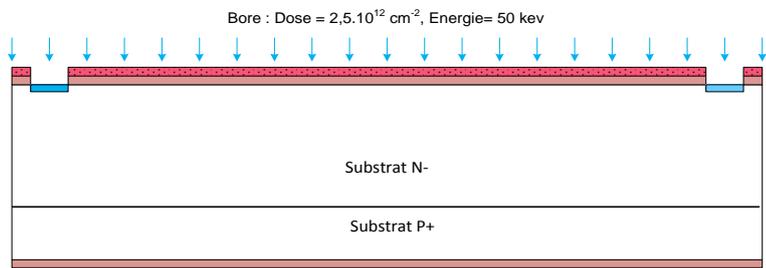
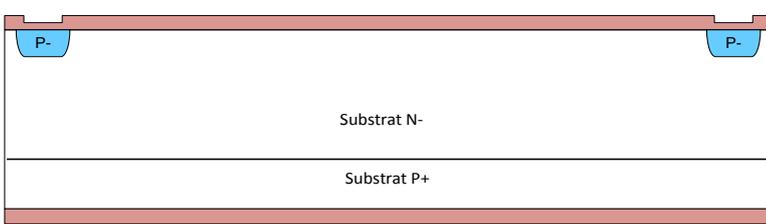
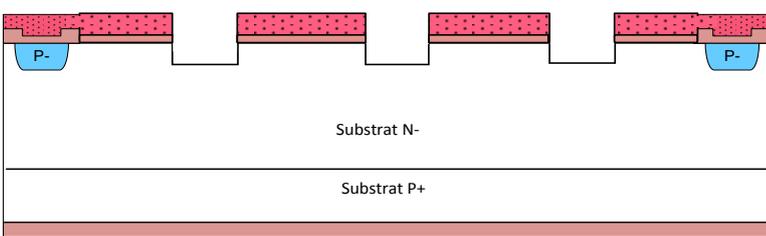
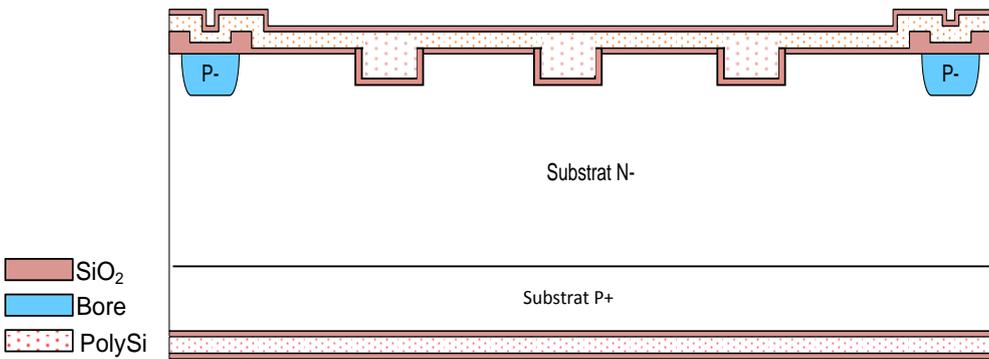
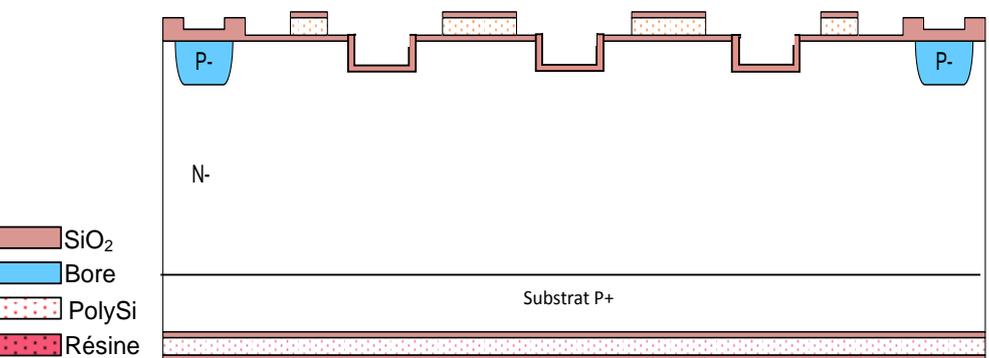


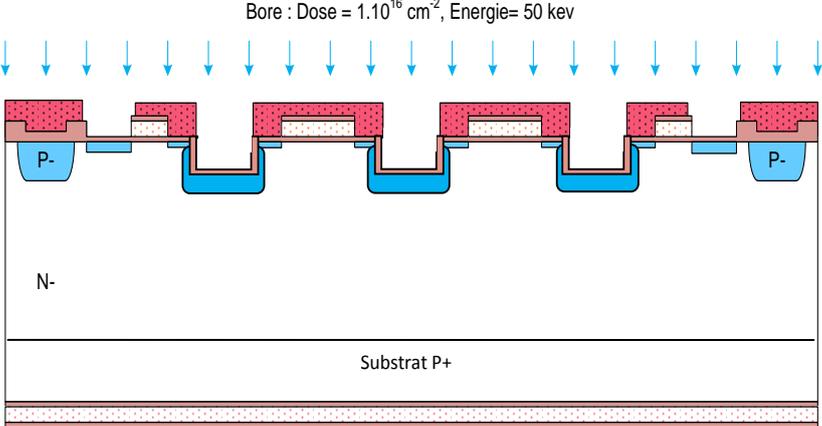
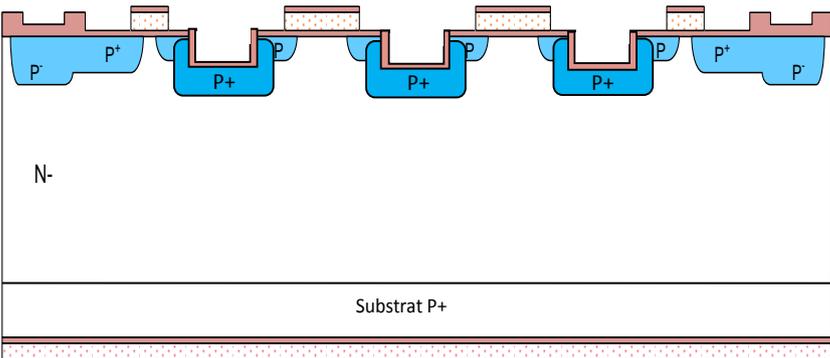
Figure3-33 : Enchaînement des étapes pour la réalisation des puces IGBT [LEGA-10]

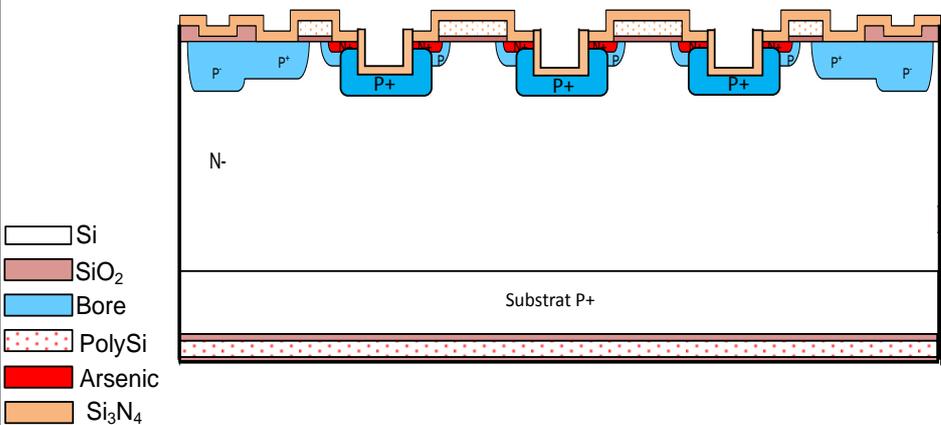
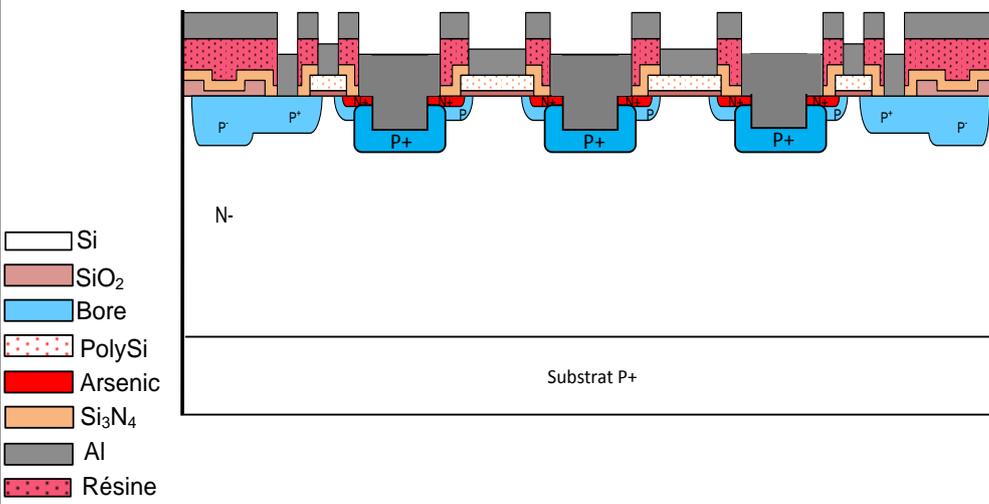
### 2.4.5.2 Procédé technologique proposé

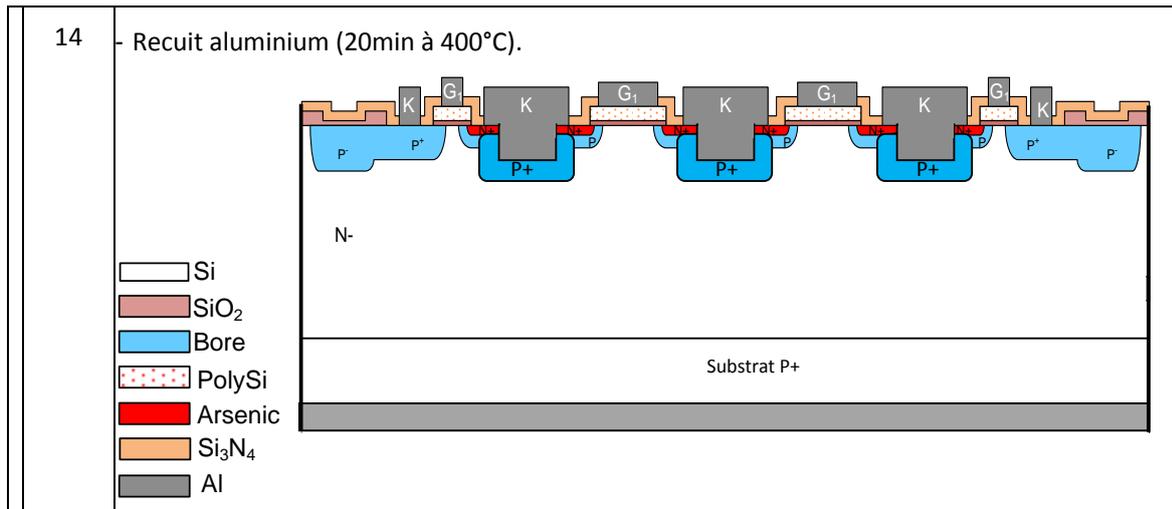
La structure proposée peut être réalisée avec différents procédés technologiques selon la méthode de réalisation de la tranchée au niveau de la cathode. Nous proposons un procédé qui consiste à réaliser en premier lieu la tranchée par une gravure sèche RIE (Reactive-Ion Etching) sur un substrat de silicium vierge. Nous réalisons ensuite toutes les étapes technologiques d'un IGBT conventionnel, comme montre le tableau suivant :

Terminaison de jonction et gravure de la tranchée de la cathode	
Etape	Descriptif
1	<p>- Implantation P<sup>-</sup> face avant.</p> <p style="text-align: center;">Bore : Dose = <math>2,5 \cdot 10^{12}</math> cm<sup>-2</sup>, Energie= 50 kev</p>  <p>Substrat N- Substrat P+</p> <p> <span style="color: blue;">■</span> Bore  <span style="color: red;">■</span> Résine  <span style="color: brown;">■</span> SiO<sub>2</sub> </p>
2	<p>- Délaquage résine : plasma O<sub>2</sub> (15 min à 800W).</p> <p>- Redistribution de bore (P-).</p>  <p>Substrat N- Substrat P+</p> <p> <span style="color: blue;">■</span> Bore  <span style="color: brown;">■</span> SiO<sub>2</sub> </p>
4	<p>-Photolithographie zone active face avant avec alignement</p> <p>-Gravure humide SiO<sub>2</sub>: HF 10% (12 min) + rinçage EDI + séchage (azote).</p> <p>-Gravure sèche de Si (40000Å)</p>  <p>Substrat N- Substrat P+</p> <p> <span style="color: blue;">■</span> Bore  <span style="color: red;">■</span> Résine  <span style="color: brown;">■</span> SiO<sub>2</sub> </p>
<b>Grille</b>	
5	<p>- Délaquage résine : plasma O<sub>2</sub> (15 min à 800W).</p> <p>- Nettoyage RCA</p> <p>- Oxydation thermique de grille (épaisseur d'oxyde = 550Å).</p> <p>- Dépôt LPCVD de poly-silicium (épaisseur de poly-silicium = 3000Å).</p> <p>- Dopage du poly-silicium (diffusion POCl<sub>3</sub>). L'épaisseur de l'oxyde de diffusion créé lors du dopage de poly-silicium est de l'ordre de 600Å.</p>

5	<ul style="list-style-type: none"> <li>- Délaquage résine : plasma O<sub>2</sub> (15 min à 800W).</li> <li>- Nettoyage RCA</li> <li>- Oxydation thermique de grille (épaisseur d'oxyde = 550Å).</li> <li>- Dépôt LPCVD de poly-silicium (épaisseur de poly-silicium = 3000Å).</li> <li>- Dopage du poly-silicium (diffusion POCl<sub>3</sub>). L'épaisseur de l'oxyde de diffusion créé lors du dopage de poly-silicium est de l'ordre de 600Å.</li> </ul>  <p> <span style="display: inline-block; width: 15px; height: 10px; background-color: #d2b48c; border: 1px solid black; margin-right: 5px;"></span> SiO<sub>2</sub>  <span style="display: inline-block; width: 15px; height: 10px; background-color: #00b0f0; border: 1px solid black; margin-right: 5px;"></span> Bore  <span style="display: inline-block; width: 15px; height: 10px; background: repeating-linear-gradient(45deg, transparent, transparent 2px, #d2b48c 2px, #d2b48c 4px); border: 1px solid black; margin-right: 5px;"></span> PolySi         </p>				
6	<ul style="list-style-type: none"> <li>- Photolithographie poly-Si face avant avec alignement : masque-3 (gravure poly-Si face avant).</li> <li>- Gravure humide SiO<sub>2</sub> (600Å) : HF 10% (1 min) + rinçage EDI + séchage (azote).</li> <li>- Gravure sèche de poly-Si (3000Å) jusqu'à la couche d'oxyde : t = 2'30.</li> <li>- Délaquage résine : plasma O<sub>2</sub> (15 min à 800W).</li> </ul>  <p> <span style="display: inline-block; width: 15px; height: 10px; background-color: #d2b48c; border: 1px solid black; margin-right: 5px;"></span> SiO<sub>2</sub>  <span style="display: inline-block; width: 15px; height: 10px; background-color: #00b0f0; border: 1px solid black; margin-right: 5px;"></span> Bore  <span style="display: inline-block; width: 15px; height: 10px; background: repeating-linear-gradient(45deg, transparent, transparent 2px, #d2b48c 2px, #d2b48c 4px); border: 1px solid black; margin-right: 5px;"></span> PolySi  <span style="display: inline-block; width: 15px; height: 10px; background-color: #ff0000; border: 1px solid black; margin-right: 5px;"></span> Résine         </p>				
<b>Caisson P et P<sup>+</sup></b>					
7	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 15%; text-align: left;">Etape</th> <th style="text-align: left;">Descriptif</th> </tr> </thead> <tbody> <tr> <td></td> <td> <ul style="list-style-type: none"> <li>- Photolithographie P face avant avec alignement : masque-4 (P face avant).</li> <li>- Implantation P face avant</li> </ul> </td> </tr> </tbody> </table>	Etape	Descriptif		<ul style="list-style-type: none"> <li>- Photolithographie P face avant avec alignement : masque-4 (P face avant).</li> <li>- Implantation P face avant</li> </ul>
Etape	Descriptif				
	<ul style="list-style-type: none"> <li>- Photolithographie P face avant avec alignement : masque-4 (P face avant).</li> <li>- Implantation P face avant</li> </ul>				

8	<ul style="list-style-type: none"> <li>- Délaquage résine : plasma O<sub>2</sub> (15 min à 800W).</li> <li>- Nettoyage PIRANHA : H<sub>2</sub>SO<sub>4</sub> : H<sub>2</sub>O<sub>2</sub> (1 : 1) (2 min) + rinçage EDI + séchage.</li> <li>- Photolithographie P<sup>+</sup> face avant avec alignement : masque-5 (P<sup>+</sup> face avant).</li> <li>- Implantation P<sup>+</sup> face avant.</li> </ul> <p style="text-align: center;">Bore : Dose = <math>1.10^{16}</math> cm<sup>-2</sup>, Energie= 50 kev</p>  <p> <span style="display: inline-block; width: 15px; height: 10px; background-color: #d2b48c; border: 1px solid black; margin-right: 5px;"></span> SiO<sub>2</sub>  <span style="display: inline-block; width: 15px; height: 10px; background-color: #00b0f0; border: 1px solid black; margin-right: 5px;"></span> Bore  <span style="display: inline-block; width: 15px; height: 10px; background-color: #f0f0f0; border: 1px solid black; margin-right: 5px;"></span> PolySi  <span style="display: inline-block; width: 15px; height: 10px; background-color: #e91e63; border: 1px solid black; margin-right: 5px;"></span> Résine         </p>
9	<ul style="list-style-type: none"> <li>- Délaquage résine : plasma O<sub>2</sub> (15 min à 800W).</li> <li>- Nettoyage PIRANHA : H<sub>2</sub>SO<sub>4</sub> : H<sub>2</sub>O<sub>2</sub> (1 : 1) (2 min) + rinçage EDI + séchage.</li> <li>- Redistribution P et P<sup>+</sup>.</li> </ul>  <p> <span style="display: inline-block; width: 15px; height: 10px; background-color: #d2b48c; border: 1px solid black; margin-right: 5px;"></span> SiO<sub>2</sub>  <span style="display: inline-block; width: 15px; height: 10px; background-color: #00b0f0; border: 1px solid black; margin-right: 5px;"></span> Bore  <span style="display: inline-block; width: 15px; height: 10px; background-color: #f0f0f0; border: 1px solid black; margin-right: 5px;"></span> PolySi         </p>
<b>Implantation N<sup>+</sup></b>	
<b>Etape</b>	<b>Descriptif</b>
10	<ul style="list-style-type: none"> <li>- Photolithographie N<sup>+</sup> face avant avec alignement : masque-6 (N<sup>+</sup> face avant).</li> <li>- Implantation N<sup>+</sup> face avant.</li> </ul>

Contact et métallisation	
Etape	Descriptif
12	<p>- Dépôt LPCVD de nitrure (<math>\text{Si}_3\text{N}_4</math>) (1200Å).</p>  <p> <span style="display: inline-block; width: 10px; height: 10px; background-color: white; border: 1px solid black;"></span> Si  <span style="display: inline-block; width: 10px; height: 10px; background-color: lightblue; border: 1px solid black;"></span> <math>\text{SiO}_2</math>  <span style="display: inline-block; width: 10px; height: 10px; background-color: blue; border: 1px solid black;"></span> Bore  <span style="display: inline-block; width: 10px; height: 10px; background: repeating-linear-gradient(45deg, transparent, transparent 2px, dotted 2px, dotted 4px); border: 1px solid black;"></span> PolySi  <span style="display: inline-block; width: 10px; height: 10px; background-color: red; border: 1px solid black;"></span> Arsenic  <span style="display: inline-block; width: 10px; height: 10px; background-color: orange; border: 1px solid black;"></span> <math>\text{Si}_3\text{N}_4</math> </p>
13	<p>- Photolithographie contact face avant avec alignement : masque-7 (contact face avant).</p> <p>- Gravure RIE de nitrure jusqu'à silicium (1'30).</p> <p>- HF 10% (30s) + rinçage EDI + séchage (azote).</p> <p>- Dépôt aluminium face avant.</p> <p>- Gravure <math>\text{Si}_3\text{N}_4</math> et du <math>\text{SiO}_2</math> face arrière</p>  <p> <span style="display: inline-block; width: 10px; height: 10px; background-color: white; border: 1px solid black;"></span> Si  <span style="display: inline-block; width: 10px; height: 10px; background-color: lightblue; border: 1px solid black;"></span> <math>\text{SiO}_2</math>  <span style="display: inline-block; width: 10px; height: 10px; background-color: blue; border: 1px solid black;"></span> Bore  <span style="display: inline-block; width: 10px; height: 10px; background: repeating-linear-gradient(45deg, transparent, transparent 2px, dotted 2px, dotted 4px); border: 1px solid black;"></span> PolySi  <span style="display: inline-block; width: 10px; height: 10px; background-color: red; border: 1px solid black;"></span> Arsenic  <span style="display: inline-block; width: 10px; height: 10px; background-color: orange; border: 1px solid black;"></span> <math>\text{Si}_3\text{N}_4</math>  <span style="display: inline-block; width: 10px; height: 10px; background-color: grey; border: 1px solid black;"></span> Al  <span style="display: inline-block; width: 10px; height: 10px; background: repeating-linear-gradient(45deg, transparent, transparent 2px, dotted 2px, dotted 4px); border: 1px solid black;"></span> Résine         </p>
	<p>- Lift-off Aluminium.</p> <p>- Protection face avant : dépôt résine (2,7 <math>\mu\text{m}</math>) suivi d'un recuit à 105°C (1 min).</p> <p>- Photolithographie contact face arrière avec alignement : masque-8 (contact face arrière).</p> <p>- Gravure RIE de nitrure jusqu'à silicium (1'30).</p> <p>- HF 10% (30s) + rinçage EDI + séchage (azote).</p> <p>- Dépôt aluminium face arrière.</p> <p>- Lift-off aluminium.</p>



Le polysilicium est habituellement dopé juste après sa croissance. Or, dans notre composant, le bilan thermique qui suit est important, principalement pour obtenir une profondeur de jonction de  $9\ \mu\text{m}$  pour les caissons  $\text{P}^+$ . Par conséquent, les dopants de phosphore dans le polysilicium vont diffuser au travers l'oxyde et vont se retrouver en surface du silicium, comme le montre la figure suivante où est représenté le dopage en surface sous la grille.

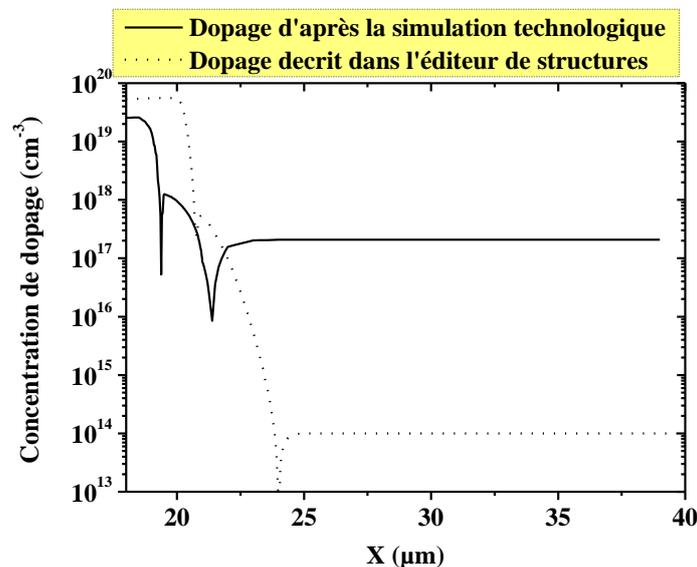


Figure3- 34 : Comparaison des profils de dopage en surface sous la grille obtenus à partir de l'éditeur utilisé dans les simulations électriques présentées précédemment, et celui obtenu avec les simulations technologiques

La modification du dopage en surface, comme obtenu sur la Figure 3-34, va influencer les caractéristiques électriques du composant : tension de seuil plus basse, augmentation du courant de fuite... Nous avons donc décidé de réaliser le dopage du polysilicium en même temps que la diffusion  $\text{N}^+$  de cathode, comme cela se fait en fabrication microélectronique

[TOUL-10]. Etant donné que cette étape a lieu après le premier recuit de diffusion qui, rappelons le, est le plus long, les dopants du polysilicium risqueront moins de diffuser dans le silicium.

Afin d'obtenir la profondeur de jonction au niveau de la diffusion  $P^+$  en fond de tranchée, un recuit assez long ( $> 5h$ ) est nécessaire. L'implantation dans le fond de la gravure pourrait poser des problèmes d'ombrage (« shadowing ») et d'éparpillement (« scattering »), ce qui entrainerait une distribution non uniforme des dopants. Heureusement, le temps de recuit est suffisamment long pour estomper ces irrégularités.

Habituellement, une étape de dépôt de nitrure ( $Si_3N_4$ ) est effectuée avant celle d'ouverture des contacts. Pour ouvrir les contacts, une gravure sèche est nécessaire. Cependant, comme le nitrure est déposé de façon isotrope, y compris sur les flancs de la tranchée, après la gravure, qui, elle, est anisotrope, il restera de l'isolant sur les parois verticales, dégradant fortement la qualité du contact électrique de cathode. Nous avons donc remplacé ce dépôt de nitrure par un oxyde qui lui peut être retiré par une gravure humide isotrope. L'oxyde pourra être retiré des flancs de la tranchée.

## **5 Conclusion**

Dans ce chapitre, nous avons proposé des solutions de durcissement pour les MOSFET et les IGBT de puissance. Nous avons d'abord donné quelques exemples de protection déjà existants au niveau « circuit » afin de rappeler la nécessité de trouver des solutions locales au niveau de chaque cellule. Dans un premier temps, deux modifications technologiques sur des IGBT classiques de type planar ont été proposées. La première consiste à ajouter une zone  $P^+$  dans la région intercellulaire de telle sorte qu'elle soit en court-circuit avec la cathode. La deuxième modification consiste à remplacer certaines parties de la diffusion  $N^+$  par une diffusion  $P^+$  au niveau de la cathode. Ces deux modifications permettent d'améliorer la tenue aux radiations de la structure initiale quelle que soit la tension de polarisation et augmentent la tension seuil de déclenchement. Ensuite, nous avons proposé une structure avec une nouvelle topologie pour les VDMOS et les IGBT permettant des désensibilisations contre les phénomènes de déclenchement liés aux structures parasites. Cette structure montre d'abord une grande immunité contre les déclenchements parasites que ce soit à l'état passant ou bloqué. Elle permet aussi d'augmenter considérablement le durcissement contre l'effet d'ionisation provoqué par un ion lourd dans les VDMOS et les IGBT de type planar. Un VDMOS peut être en sécurité totale par rapport au phénomène de SEB grâce à cette

modification. Enfin, des simulations technologiques ont été faites afin de proposer des procédés de réalisation adaptés à cette nouvelle structure.

## **Conclusion générale**



Les MOSFET de puissance et les IGBT sont les dispositifs les plus utilisés dans les systèmes dédiés à la puissance pour la gestion et la conversion de l'énergie électrique. Bien qu'ils soient largement intégrés au niveau du sol, les MOSFET sont utilisés en très grand nombre dans les systèmes embarqués spatiaux. Quant aux IGBT, ils sont utilisés beaucoup plus dans les systèmes embarqués de l'aéronautique. Cependant, diverses contraintes s'opposent à la fiabilité de ces derniers. Parmi ces contraintes, l'environnement radiatif naturel peut conduire les composants à semi-conducteurs et les systèmes associés à des fonctionnements en régimes extrêmes et peut même les détruire. Plusieurs phénomènes de radiations peuvent causer des problèmes catastrophiques à ces composants. Dans ce travail, nous nous sommes intéressés en particulier aux phénomènes de Single Event Burnout (SEB) et Single Event Latch-up (SEL). Ces phénomènes sont destructifs, ils sont déclenchés par le passage d'une particule ionisante comme un ion lourd dans les structures de puissance. Afin d'apporter une meilleure compréhension de la physique de ces mécanismes de défaillance, cette étude consiste à définir les critères de déclenchement du phénomène et à déterminer la sensibilité et le comportement des différentes structures comme les MOSFET de puissance et les IGBT vis-à-vis de ce genre de particules (ion lourd). Ainsi, il a été nécessaire de déterminer le volume sensible associé afin de pouvoir prévoir un taux de défaillance lié à ces phénomènes. Ces investigations facilitent la prévention des systèmes par l'adaptation du choix des composants. Les systèmes de protection qui existent ont le rôle d'annuler la tension aux bornes du composant lorsqu'il est déclenché par une radiation ionisante. Or, ces phénomènes peuvent n'apparaître que dans une seule cellule élémentaire, mettant en jeu l'ensemble de la puce de puissance. C'est dans ce contexte que nous avons aussi cherché à trouver des solutions de durcissement local, c'est-à-dire au niveau de design de la cellule, permettant la désensibilisation contre les phénomènes de déclenchement liés aux structures parasites inhérentes aux composants de puissance.

Dans le premier chapitre, nous avons présenté l'ensemble de l'étude des effets des radiations issues de l'environnement radiatif naturel spatial et atmosphérique sur les composants électroniques de puissance embarqués. Les différents mécanismes d'interactions particule-matière ou, plus particulièrement ion-silicium, ont été expliqués après avoir détaillé les différents types d'environnement radiatif naturel atmosphérique et spatial. Les principaux types d'événements destructifs ont été présentés, en expliquant les mécanismes de défaillance induits par des particules et associés aux structures parasites inhérentes aux composants de puissance. Ces défaillances peuvent être le résultat de l'interaction d'une particule cumulée (effets de dose) ou d'une seule particule (Single-Event Effects). Trois défaillances principales

ont été détaillées dans le domaine qui nous préoccupe particulièrement (MOSFET et IGBT de puissance) en fonction du type d'effet et du type de composant. Ceux-ci sont le Single-Event Burn-out (SEB) dans les MOSFET et les IGBT, le Single Event latch-up (SEL) uniquement pour l'IGBT et le Single Event Gate Rupture (SEGR) qui peut être provoqué dans les deux structures étudiées. Nous avons terminé ce chapitre par un état de l'art des deux phénomènes qui nous préoccupent, le burn-out et le latch-up, capital pour bien connaître la sensibilité de ces composants dans de tels environnements radiatifs. Notre compréhension actuelle est le résultat des efforts de nombreux chercheurs qui ont cherché à éclairer ces phénomènes souvent confus et aléatoires. Toutefois, cela n'empêche pas la découverte de nouveaux effets dans les nouvelles technologies et dispositifs qui sont encore à développer. Il était nécessaire d'appliquer cette compréhension afin d'identifier les mécanismes de défaillance liés à l'environnement radiatif et élaborer des stratégies d'atténuation robustes pour assurer un fonctionnement fiable de ces semi-conducteurs.

A l'aide des résultats de simulation 2D, nous avons commencé le deuxième chapitre par une analyse basée sur la confrontation SILVACO-SENTAURUS qui révèle l'existence d'écarts de résultats entre les deux simulateurs au niveau de la valeur du LET minimal qui provoque un SEB. En revanche, les tendances des phénomènes observés sont identiques, ce qui confirme la validité qualitative de chaque modèle mais ne garantit pas leur précision quantitative, surtout par rapport aux erreurs numériques liées au maillage. Ensuite nous avons défini le volume sensible des différents transistors de puissance (VDMOS, SJ-MOSFET, IGBT planar et IGBT trench) en délimitant la profondeur et l'épaisseur de ce volume. L'étude par simulations de traces ionisantes de différents ranges générés au sein du volume des cellules étudiées nous a permis de définir les conditions les plus favorables à l'apparition d'un SEB. A 400 V, ces conditions sont, toujours pour des VDMOS, IGBT planar et trench, une incidence normale et un range traversant toute la zone de charge d'espace. Cependant, le LET le plus faible déclenchant un évènement dans un transistor MOS à superjonction est obtenu pour un ion traversant la totalité de la zone épitaxiée. Ces conditions permettent d'obtenir le LET et la tension de polarisation déclenchant un SEB le plus faible possible. Ces résultats nous ont aussi permis de comparer la sensibilité de ces composants. À 400 V, l'IGBT trench est le moins sensible par rapport aux autres structures et l'IGBT planar est le plus sensible, tandis que les deux MOSFETs ont presque la même sensibilité aux ions lourds. Nous avons déterminé la tension seuil de sensibilité pour chaque structure. Le SOA d'un IGBT de type trench par rapport aux autres structures est bien meilleure. En effet, la différence de sensibilité entre ces structures est fortement liée à la tension de polarisation. À faible tension de

polarisation ( $< 300\text{V}$ ), le SJ-MOSFET est plus sensible que les autres structures. La sensibilité de l'IGBT trench est toujours inférieure aux autres. En revanche, sous une tension de polarisation élevée ( $> 400\text{V}$ ), le SJ-MOSFET devient le moins sensible. Enfin, nous avons montré l'influence de la température sur la sensibilité de chaque structure. L'IGBT planar (NPT) a une grande sensibilité de burn-out à haute température contrairement aux autres structures.

Dans le dernier chapitre, nous avons essayé de proposer des solutions de durcissement pour les MOSFET et les IGBT de puissance. Dans un premier temps, nous avons proposé deux modifications technologiques sur des IGBT classiques de type planar. La première consiste à ajouter une zone  $\text{P}^+$  dans la région intercellulaire de telle sorte qu'elle soit en court-circuit avec la cathode. La deuxième modification consiste à remplacer certaines parties de la diffusion  $\text{N}^+$  par une diffusion  $\text{P}^+$  au niveau de la cathode. Cela permet à ces IGBT planar de retarder la mise en conduction du thyristor parasite par le déclenchement du transistor parasite PNP issu de la modification apportée car ce dernier nécessite le phénomène d'impact par ionisation pour qu'il tienne un déclenchement comme le cas d'un VDMOS. Ces deux modifications permettent d'améliorer la tenue aux radiations de la structure initiale quelle que soit la tension de polarisation et augmentent la tension seuil de déclenchement de 2 et 3 fois. Ensuite, nous avons proposé une structure avec une nouvelle topologie pour les VDMOS et les IGBT permettant des désensibilisations contre les phénomènes de déclenchement liés aux structures parasites. Sa particularité est de mettre une tranchée au niveau de la cathode avec des dimensions précises (profondeur et longueur de la tranchée et profondeur de dopage de la région  $\text{P}^+$ ). Cette structure montre d'abord une grande immunité contre les déclenchements parasites que ce soit à l'état passant ou bloqué. Elle permet d'augmenter considérablement le durcissement contre l'effet d'ionisation provoqué par un ion lourd dans les VDMOS et les IGBT de type planar. Un VDMOS peut être en sécurité totale par rapport au phénomène de SEB grâce à cette tranchée. Quant à l'IGBT planar, la tension seuil de déclenchement SEB augmente de 90 V à 500 V pour une même tension de claquage de 600V. Enfin nous avons fait des simulations technologiques afin de proposer des procédés de réalisation adaptés à cette structure. Ces simulations montrent quelques contraintes comme la diffusion de phosphore du polysilicium au travers l'oxyde à cause du bilan thermique qui est important dans ce composant.

Bien évidemment, ce travail n'est pas terminé car il ouvre des perspectives importantes et fondamentales pour l'électronique de puissance utilisée dans le domaine spatial et aéronautique. Nous donnons ci-dessous trois principaux axes de perspectives :

- Réaliser des expériences sous laser ou accélérateur permettant de valider les résultats de simulation, en particulier la SOA et les tensions seuil de déclenchement, des structures que nous avons pour la première fois étudiées comme les IGBT trench et les MOSFET à super-jonction.
- Développer les briques technologiques afin de réaliser des composants tests permettant de valider expérimentalement les nombreuses solutions de structures durcies qui ont été développées à l'aide de simulations électriques.
- Refaire l'ensemble de ces études, à savoir définir les SOA et les tensions de seuil des structures de puissance sur matériau GaN, ou SiC. Avant cela, bien évidemment, il faudra calibrer les simulateurs puisque nous changeons de matériau. Une fois ces études faites, il faudra entamer éventuellement des études permettant de définir des structures durcies.

## **Bibliographies**

- [ADOL-96] Adolphsen, J.W.; Barth, J.L.; Gee, G.B. "First observation of proton induced power MOSFET burnout in space: the CRUX experiment on APEX", Nuclear Science, IEEE Transactions on Volume 43, Issue 6, Part 1, Dec. 1996 Page(s):2921 – 2926
- [ALLE-59] J.A.V.Allen, C.E. McIlwain, and J.H. Ludwig, "Radiation Observations with satellite 1958 EX," Journal of Geophysical Sciences, Vol. 64, pp. 271-286, 1959
- [ALLE-59] Van Allen (1959) "Radiation around the Earth to a radial distance of 107,400 km" Nature 183
- [ANTO-09] Marina Antoniou, Florin Udrea, Friedhelm Bauer "The 3.3kV Semi-SuperJunction IGBT for Increased Cosmic Ray Induced Breakdown Immunity" 978-1-4244-4673-5/09/2009 IEEE.
- [AUDA-04] N.Audard/g.Carnal/b.Confino/c.Frankel « Au coeur des étoiles et des galaxies».
- [AUST-03] P. Austin « Contribution au développement de l'intégration fonctionnelle» HDR, Université Toulouse III, 2003
- [BALI-95] B. Jayant Baliga. "Power semiconductor device", 1995
- [BALI-96] B. JAYANT BALIGA, "Trends in power semiconductor devices". IEEE transactions on electronics devices, Vol. 43, n° 10, October 1996. P 1717-1731.
- [BARTH-97] J.BARTH « Modeling Space Radiation Environments », IEEE Nuclear and Space Radiation Effects Conference Short Course, Snowmass, Colorado, USA, 1997.
- [BEDI-96] K.L. Bedingfield, R.D. Leach, and M.B. Alexander, Spacecraft System Failures and Anomalies Attributed to the Natural Space Environment
- [BIND-75] D. Binder, E. C. Smith, and A. B. Holman, "Satellite anomalies from galactic cosmic rays," IEEE Trans. Nucl. Sci., vol. 22, pp. 2675–2680, Dec.1975.
- [BRIE-71] K.O'Brien, " The Naturel Radiation Enivrements", United Stat Departement of Energy 720805-P1, 1971
- [BRUC-87] G. J. Brucker, P. Messel, D. Oberg, J.Wert, and T. Criswell, "SEU sensitivity of power converters with MOSFETS in space," IEEE Trans. Nucl.Sci., vol. 34, pp. 1792–1795, 1987.
- [CARA-04] Caramel.C, Austin.P, SanchezJ-L, Imbernon.E, and Breil.M. Short-circuit protection structure for insulated gate power devices. Bipolar/BiCMOS Circuits and Technology, pages 297 – 300, 2004. 41

- [CHAN-87] Chang, H.R.; Baliga, B.J.; Kretchmer, J.W.; Piacente, P.A. "Insulated gate bipolar transistor (IGBT) with a trench gate structure" IEEE, Vol. 33, 1987, Page(s): 674 – 677.
- [CHAN-87] Chang, H.R.; Baliga, B.J.; Kretchmer, J.W.; Piacente, P.A. "Insulated gate bipolar transistor (IGBT) with a trench gate structure" IEEE, Vol. 33, 1987, Page(s): 674 – 677.
- [CHAN-89] Chang, H., and Baliga, B. 500-V n-Channel Insulated-Gate Bipolar Transistor with a Trench Gate Structure. IEEE Transactions on Electron Devices, Vol. 36, No. 9, 1989, pp. 1824-1829.
- [CROW-66] C.R. Crowell, S.M. Sze, "Temperature Dependence of Avalanche Multiplication in Semiconductors", Appl. Phys. Lett., vol. 9, pp. 242-244, 1966.
- [DACH-95] C. Dachs, "Etude et modélisation du phénomène de Burnout induit par ion lourd dans un MOSFET de puissance à canal N", Thèse, Université Montpellier II, septembre 1995
- [Data-Ir] Ir21225. Datasheet No. PD-6.017D, International RectifierTM. 40
- [EBER-52] J. J. Ebers, "Four terminal pnpn transistors," Proc. IRE, vol. 40, p. 1361, 1952.
- [ELSE-87] Elsen, William, G., Orbital Anomalies in Goddard Spacecraft for CY 1986, Assurance Requirements Office, Office of Flight Assurance, NASA Goddard Space Flight Center, April 1987.
- [EQUE-88] B. Equer, « Les détecteurs à semiconducteurs : du cristal aux couches minces », dans « Instrumentation en Physique Nucléaire et en Physique des Particules », Les éditions de Physique, 1988
- [FISC-87] Fischer (1987) "Heavy-ion-induced, gate-rupture in power MOSFETs" Nuclear Science, IEEE Transactions on 34:1786-1791.
- [HESS-68] Hess (1968) "The radiation belt and magnetosphere" Waltham, Mass.: Blaisdell, 1968 1
- [HOHL-87] J. H. Hohl and K. F. Galloway, "Analytical model for single event burnout of power MOSFETs," IEEE Trans. Nucl. Sci., vol. 34, pp.1275–1230, 1987.
- [HOHL-89] J. K. Hohl, G. H. Johnson, « Feature of triggering mechanism for Single Event Burnout of power MOSFETs », IEEE Trans. Nucl. Sci., vol. 36, No 6, Dec. 1989
- [HOLM-02] Holmes-Siedle (2002) "Handbook of radiation effects" Oxford University Press, USA.019850733X.
- [HUAN-00] S. Huang, G. A. J. Amaratunga, F. Udrea "Analysis of SEB and SEGR in Super-Junction MOSFETs" IEEE Trans. Nucl. Sci., vol. 47, N° 6, December 2000.

- [HUBE-01] G. Hubert, "Elaboration d'une methode de prediction du taux d'aleas logiques dans les SRAMs induits par les neutrons atmospheriques" These de Doctorat de l'Universite Montpellier II, 2001.
- [HWAN-06] In-Hwan Jia, Min-Woo Haa, Young-Hwan Choia, Seung-Chul Leeb, Chong-Man Yunb, and Min-Koo Hana. The optimized monolithic fault protection circuit for the soft-shutdown behavior of 600v pt-igbt by employing a new blanking filter. Power Semiconductor Devices and ICapos ISPSD, pages 1 – 4, 2006. 40
- [HWAN-06]2 In-Hwan Jia, Min-Woo Haa, Young-Hwan Choia, Seung-Chul Leeb, Chong-Man Yunb, and Min-Koo Hana. A new fault current-sensing scheme for fast fault protection of the insulated gate bipolar transistor. 8th International Seminar on Power Semiconductors ISPS, 39(6) :908–913, 2006. 35
- [IKED-04] Naomi Ikeda, Satoshi Kuboyama, Sumio Matsuda "Single-Event Burnout of Super-Junction Power MOSFETs" IEEE Trans. Nucl. Sci., vol. 51, N°6, December 2004.
- [IMBE-02] Eric Imbernon. Etude et optimisation d'une filière technologique flexible et adaptée au mode d'intégration monolithique. PhD thesis, Université Paul Sabatier Toulouse III, 2002. P 41, 46, 47, 49
- [IRVIN-62] J.C Irvin, Resistivity of bulk silicon and diffused layer in silicon, Bell System Tech., 41, 1962
- [JOHN-91] A.H. Johnston et al., "The effect of temperature on single-particle latchup", IEEE Trans. Nucl. Sci., Vol. 38, N°6, pp1435-1441, 1991.
- [JOHN-92] G.H. Johnson, "Temperature dependence of single-event burnout in NChannel Power MOSFETs", IEEE Trans. Nuc. Sci, Vol 39, N°6, pp. 1605-1612, December 1992.
- [JOHN-96] G. H. Johnson, J. M. Palau, C. Dachs, K. F. Galloway, and R. D. Schrimpf, "A review of the techniques used for modeling single-event effects in power MOSFET's," IEEE Trans. Nucl. Sci., vol. 43, pp. 546–560, Apr. 1996
- [KANP-94] Knapp, Bill, "Telsat Ponders Using Thrusters To Salvage Anik," Space News, Vol. 5, No. 5, January 31- February 6, 1994, p. 1.
- [KIRK-62] C. T. Kirk, "A theory of transistor cut-off frequency (f ) falloff at high current densities," IEEE Trans. Electron Devices, vol. ED-9, no. 2, pp. 164–174, Feb. 1962
- [KUBO-92] S. Kuboyama, S. Matsuda, T. Kanno, and T. Ishii, "Mechanism for single-event burnout of power MOSFET's and its characterization technique," IEEE Trans. Nucl. Sci., vol. 39, pp. 1698–1703, Dec. 1992.
- [KUDO-95] Kudoh.M, Otsuki.M, Obinata.S, Momota.S, Yamazaki.T, Fujihira.T, and Sakurai.K. Cur- rent sensing igbt structure with improved accuracy. Power Semiconductor Devices and ICs ISPSD, pages 119–122, 1995. 37

- [LAMB06] Damien LAMBER "Analyse par simulation Monte Carlo de la sensibilité aux aléas logiques des mémoire SRAM soumises à un environnement protonique spatial ou neutronique terrestre" These de Doctorat de l'Université Montpellier II, 2006.
- [LEFE-01] Stéphane Lefebvre, Francis Miserey. « composants à semi-conducteur pour l'électronique de puissance ». 2001.
- [LEGA-10] Julie Le Gal. Intégration des fonctions de protection avec les dispositifs IGBT. PhD thesis, Université Paul Sabatier Toulouse III, 2010
- [LIU-06] S. Liu, M. Boden, D.A. Girdhar, and J.L Titus "Single Event Burnout and Avalanche characteristics of power DMOSFET" IEEE, TNS, Volume 53, No.6, decembre 2006
- [LIU-08] S. Liu, J. L. Titus, C. DiCienzo, H. Cao, M. Zafrani, M. Boden R. Berberian, "Recommended test conditions for SEB evaluation of planar power DMOSFETs," IEEE Trans. Nucl. Sci., vol. 55, N°6, pp. 3122–3129, December 2008.
- [LORF-97] Lorfevre, E.; Dachs, C.; Detcheverry, C.; Palau, J.-M.; Gasiot, J.; Roubaud, F.; Calvet, M.-C.; Ecoffet, R., "Heavy ion induced failures in a power IGBT", Nuclear Science, IEEE Transactions on Volume 44, Issue 6, Dec 1997
- [LORF-98] E. Lorfèvre, « Défaillances induites par les rayonnements ionisants dans les composants de puissance IGBT et VIP. Solutions de durcissement », thèse, Université Montpellier II, 1998
- [LORF-99] E. Lorfevre, B. Sanges, G. Bruguier, J. M. Palaue, J. Gasiot, M. C. Calvet, and R. Ecoffet, "Cell design modifications to harden a N-channel power IGBT against single event latchup," IEEE Trans. Nucl. Sci., vol. 46, pp. 1410–1414, 1999.
- [LUTZ-11] Lutz (2011) "Semiconductor Power Devices"
- [LUU-08] A. Luu, F. Miller, P. Poirot, R. Gaillard, N. Buard, T. Carriere, P. Austin, M. Bafleur G. Sarrabayrouse, "Sensitive Volume and Triggering Criteria of SEB in Classic Planar VDMOS" IEEE Trans. Nucl. Sci., vol. 55, N°4, pp. 2166–2173, August 2008.
- [LUU-09] A. Luu « Méthodologie de prédiction des effets destructifs dus à l'environnement radiatif naturel sur les MOSFETs et IGBTs de puissance » thèse, Université Toulouse III, 2009
- [MARE-09] R Marec, P. Calvel, M. Mélotte, "Methodology to predict the SEE rate in vertical MOSFET with deep charge collection," QCA Days Conf., Villigen, Switzerland, January 2009
- [MART-87] R. C. Martin, N. M. Ghoniem, Y. Song, and J. S. Cable, "The size effect of ion charge tracks on single event multiple-bit upset," IEEE Trans. Nucl. Sci., vol. 34, pp. 1305–1309, 1987.

- [MCDO-00] McDonald (2000) "Destructive heavy ion SEE investigation of 3 IGBT devices" IEEE,11-15.
- [MILL-06] F. Miller, A.Luu, F. Prud'homme, P. Poirot, R. Gaillard, N. Buard, T. Carriere, "Characterization of Single-Event Burnout in Power MOSFET Using Backside Laser Testing", IEEE Trans. Nucl. Sci., Volume 53, Issue 6, Dec. 2006 p.3145 – 3152
- [MOHA-95] Ned Mohan, T. Undeland, and W.Robbins. Power Electronics. John Wiley&sons, 1995.
- [MUSS-99] O. Musseau, A. Torrès, A.B. Campbell A.R. Knudson, S. Buchner, B. Fischer, M. Schlogl, P. Briand, « Medium-Energy Heavy-Ion Single-event-Burnout Imaging of Power MOSFET's », IEEE Trans. Nucl. Sci., vol. 46, p. 1415, Dec. 1999
- [NACE-12] M. NACE « Impact des ions lourds sur la fiabilité des MOSFET de puissance embarqués en environnement spatial» thèse, Université Montpellier II, 2012
- [NICH-94] D. K. Nichols et al, "Observations of Single Event Failure in Power MOSFETs", IEEE NSREC Data Workshop Record, pp. 41-54, juillet 1994
- [NISH-10] S. Nishida, T. Shoji, T. Ohnishi, T. Fujikawa, N. Nose, M. Ishiko, K. Hamada, "Cosmic ray ruggedness of IGBTs for hybrid vehicles", 22nd International Symposium on Power Semiconductor Devices & IC's (ISPSD'2010), pp.129-132, 6-10 June 2010.
- [NORM-97] E. Normand, J. L.Wert, D. L. Oberg, P. P. Majewski, and P. Voss, "Neutron-induced single event burnout in high voltage electronics," IEEE Trans. on Nucl. Sci., vol. 44, pp. 2358–2366, Dec. 1997.
- [OBER-87] D. L. Oberg and J. L.Wert, "First nondestructive measurements of power MOSFET single event burnout cross sections," IEEE Trans. Nucl. Sci., vol. 34, pp. 1736–1741, 1987.
- [OBER-96] D. L. Oberg, J. L. Wert, E. Normand, P. P. Majewski, and S. A. Wender, "First observations of power MOSFET burnout with high energy neutrons," IEEE Trans. Nucl. Sci., vol. 43, pp. 2913–2920, 1996.
- [PART-95] Vijay Parthasarathy, K. C. So, Z. Shen, and T. Paul Chow "500 V, N-Channel Atomic Lattice Layout (ALL) IGBT' s with Superior Latching Immunity", IEEE ELECTRON DEVICE LETTERS, VOL. 16, NO. I, JULY 1995
- [PECK-63] D. S. Peck, R. R. Blair, W. L. Brown and F. M. Smit, "Surface effects of radiation on transistors," Bell System Technical Journal, Vol. 42, pp. 95-129, 1963
- [PICK-85] Pickel (1985) "Heavy ion induced permanent damage in MNOS gate insulators" Nuclear Science, IEEE Transactions on 32:4176-4179.
- [PYER-09] D. Peyre; Ch. Binois, R. Mangeret ; F. Bezerra ; R. Ecoffet, "Power MOSFET study Fluence effect on SEE response of power MOSFET", presentation at the

- 9th ESA/ESTEC D/TEC QCA meeting, Villigen, Switzerland, January 27th2009
- [REED-03] R. A. Reed, J. Kinnison, J. C. Pickel, S. Buchner, P. W. Marshall, S. Kniffin, and K. A. LaBel, "Single-event effects ground testing and on-orbit rate prediction methods: The past, present and future," IEEE Trans. Nucl. Sci., vol. 50, pp. 622–634, June 2003.
- [RICH-87] A. K. Richter and I. Arimura, « Simulation of heavy charged particule tracks using focused laser beams », IEEE Trans. Nucl. Sci., vol. 34, p. 1234-1239, 1987
- [ROUB-93] Roubaud, F.; Dachs, C.; Palau, J.-M.; Gasiot, J.; Tastet, P. "Experimental and 2D simulation study of the single-event burnout in N-channel power MOSFETs", Nuclear Science, IEEE Transactions on Volume 40, Issue 6, Part 1-2, Dec 1993 Page(s):1952 – 1958
- [SENT-09] Sentaurus TCAD Tools. Synopsys, 2009.
- [SEXT-03] F. W. Sexton, "Destructive single-event effects in semiconductor devices and ICs," IEEE Trans. Nucl. Sci., vol. 50, pp. 603–621, June 2003
- [SEXT-96] F. W. Sexton, "Microbeam studies of single event effects," IEEE Trans.Nucl. Sci., vol. 43, pp. 687–695, Apr. 1996
- [SHEN-00] K. Sheng et al., "A review of IGBT Models", IEEE Trans.Nuc.Sci, Vol 15, N°6,pp. 1250-1266, November 2000.
- [SHEN-96] Shen.Z.J and Robb.S.P. Monolithic integration of the vertical igtb and intelligent protection circuits. Power Semiconductor Devices and ICs ISPSD, pages 295–298, 1996. 37, 39
- [SHIM-94] Shimizu.Y, Nakano.Y, Kono.Y, Sakurai.N, Sugawara.Y, and Otaka.S. A high performance intelligent igtb with overcurrent protection. Power Semiconductor Devices and ICs ISPSD, pages 37–41, 1994. 36
- [SHOC-50] W. Shockley, *Electrons and Holes in Semiconductors*. Princeton, NJ: Van Nostrand, 1950, p. 112.
- [SMAR-77] D.F.SMART and M.A.SHEA « The Use of Offset Dipole Coordinates for Interpolating Cosmic Ray Cut-Off Rigidities in Three Dimensions », 15th Int. Cosmic Ray Conference 11, Bulgarian Academy of Science, 1977.
- [SOLA-12] <http://solarscience.msfc.nasa.gov/SunspotCycle.shtml><http://solarscience.msfc.nasa.gov/SunspotCycle.shtml>
- [STAS-88] Stassinopoulos (1988) "The space radiation environment for electronics" Proceedings of the IEEE 76:1423-1442.
- [STASS-92] E. G. Stassinopoulos, G. J. Brucker, P. Calvel, A. Baiget, C. Peyrotte, and R. Gaillard, "Charge generation by heavy ions in power MOSFET's, burnout

- space predictions, and dynamic SEB sensitivity,” IEEE Trans. Nucl. Sci., vol. 39, pp. 1704–1711, 1992.
- [TITU-89] J. L. Titus, L. S. Jamiolkowski, and C. F. Wheatley, “Development of cosmic ray hardened power MOSFETs,” IEEE Trans. Nucl. Sci., vol.36, pp. 2375–2382, 1989.
- [TITU-91] J. L. Titus, G. H. Johnson, R. D. Schrimpf, and K. F. Galloway, “Single event burnout of power bipolar junction transistors,” IEEE Trans. Nucl.Sci., vol. 38, pp. 1315–1322, 1991.
- [TOUL-10] G. Toulon « Conception de transistors MOS haute tension en technologie CMOS 0,18  $\mu\text{m}$  sur substrat ‘silicium sur isolant’ (SOI) pour les nouvelle générations de circuits intégrés de puissance » thèse, Université Toulouse III, 2010
- [UEDA-85] Ueda, D., Takagi, H., and Kano, G. “A New Vertical Power MOSFET Structure with Extremely Reduced On-Resistance”. IEEE Transactions on Electron Devices, Vol. 32, No. 1, 1985, pp. 2-5.
- [WALL-62] J. T. Wallmark and S. M. Marcus, “Minimal size and maximum packing density of nonredundant semiconductor devices,” Proc. IRE, vol. 50, p. 286, 1962.
- [WASK-86] A. E. Waskiewicz, J. W. Groniger, V. H. Strahan, and D. M. Long, “Burnout of power MOS transistors with heavy ions of Californium-252,” IEEE Trans. Nucl. Sci., vol. 33, pp. 1710–1713, 1986.
- [WASK-88] A. E. Waskiewicz and J. W. Groninger, “Burnout thresholds and cross sections of power MOSFET transistors with heavy ions,” Rockwell Int. Rep., Nov. 1988.
- [WROB-85] Wrobel (1985) "Current induced avalanche in epitaxial structures" Nuclear Science, IEEE Transactions on 32:3991-3995.
- [ZIEG-96] J.F. Ziegler, “Terrestrial cosmic ray” , IBM Journal of Research and Development, Vol. 40, Jan. 1996, pp. 19-40.
- [ZIEG-98] J.F. Ziegler, “Terrestrial cosmic ray intensity”, IBM Journal of Research and Development, Vol. 42, Janv 1998, pp. 117-139.



## Liste des publications

### Brevet (en cours)

**M. Zerarka**, P. Austin, M. Bafleur- “Nouveau design spécifique des composants de puissance à grilles isolées permettant des désensibilisations contre les phénomènes de déclenchement liés aux structures parasites”

### Revues scientifiques

**M. Zerarka**, P. Austin, M. Bafleur-“Comparative study of sensitive volume and triggering criteria of SEB in 600V planar and trench IGBTs”. *Microelectronics Reliability*, Vol.51, N°9-11, pp.1990-1994, Septembre 2011

**M. Zerarka**, P. Austin, G. Toulon, F. Morancho, H. Arbess, J. Tasselli-“Behavioural study of single event burnout in power devices for natural radiation environment applications”. *IEEE Transactions on Electron Devices*, Vol.59, N°12, pp.3482-3488, Décembre 2012 , N° 12621

**M. Zerarka**, P. Austin, F. Morancho, K. Isoird , H.Arbess, J. Tasselli- “Analysis Study of Sensitive Volume and Triggering Criteria of SEB in Superjunction MOSFETs”. *IET-cds -Power Semiconductor Devices and Integrated Circuits* (accepté)

H. Arbess, M. Bafleur, D. Trémouilles, **M. Zerarka**-“High OSD robustness for MOS-IGBT power clamp in smart power SOI technology” *IEEE Transactions on Devices and materials reliability* (accepté)

### Congrès internationaux

**M. Zerarka**, P. Austin, M. Bafleur – “Comparative study of sensitive volume and triggering criteria of SEB in 600V planar and trench IGBTs”. *22rd European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF2011)* Bordeaux (France), 3-7 Octobre 2011(présentation orale)

**M. Zerarka**, P. Austin, M. Bafleur – “Cosmic ray immunity of new IGBT structures for aerospace application”. *International Semiconductor Conference (CAS 2011)*, Sinaia (Roumanie), 17-19 Octobre 2011 (présentation orale)

**M. Zerarka**, P. Austin, F. Morancho, K. Isoird , H.Arbess, J. Tasselli- “Analysis Study of Sensitive Volume and Triggering Criteria of SEB in Superjunction MOSFETs”. *International Seminar on Power Semiconductors (ISPS'12)*, Prague (République Tchèque), 1-3 Septembre 2012 (présentation orale)

### **Congrès nationaux**

**M. Zerarka**- “Volume sensible et critères de déclenchement en environnement radiatif (ion lourd) dans des composants de puissance VDMOS et IGBT”. *Journées Nationales du Réseau Doctoral en Microélectronique (JNRDM 2011)*, Paris (France), 23-25 Mai 2011

**M. Zerarka**- “Détermination par simulations numériques 2D de la zone de sécurité de fonctionnement (SOA) en Environnement radiatif des composants de puissance avancés” . *Journées Nationales du Réseau Doctoral en Microélectronique (JNRDM 2012)*, Marseille (France), 18-20 Juin 2011

**M. Zerarka**- “Étude des régimes extrêmes de fonctionnement en Environnement radiatif des composants de puissance avancés en vue de leur durcissement”. *JOURNÉE ANNUELLE DE L'ÉCOLE DOCTORALE (GEET-2012)*, Toulouse (France), 04/05/2012

**AUTEUR :** Moustafa ZERARKA

**TITRE :** Etude des régimes extrêmes de fonctionnement en environnement radiatif des composants de puissance en vue de leur durcissement pour les applications aéronautiques et spatiales

**DIRECTEUR DE THESE :** Patrick Austin, Professeur

---

## Résumé

Ce travail traite de la fiabilité des composants électroniques de puissance comme les MOSFET et les IGBT affectés par l'Environnement Radiatif Naturel dans lequel ils évoluent. Cette problématique fait, de nos jours, partie intégrante de la fiabilité des composants. Alors qu'elle concernait initialement les composants destinés à travailler en environnement radiatif sévère du type spatial ou aéronautique, l'évolution et la complexité de l'électronique embarquée, qui peut interagir avec ce type d'environnement et avoir des effets potentiellement dommageables, nous amène à prendre en compte ces contraintes radiatives comme le cas d'ion lourd. C'est dans ce cadre que nous avons effectué les travaux présentés dans ce mémoire. Des simulations utilisant les outils Synopsys TCAD ont été menées afin de mieux comprendre les mécanismes de défaillances comme le Single Event Burn-out (SEB) et le Single Event Latch-up (SEL) ainsi que la définition de critères de déclenchement, de comportement et de la sensibilité de différents composants (VDMOS, SJ-MOSFET, IGBT planar et IGBT trench). Ces études nous ont permis de proposer et d'évaluer des solutions de durcissement au niveau de design permettant la désensibilisation contre les phénomènes de déclenchement liés aux structures parasites.

---

**MOTS CLES:** VDMOS, SJ-MOSFET, IGBT planar, IGBT trench, SEB, SEL, Burn-out, Latch-up, composants de puissance, irradiations ions lourds, rayonnement ionisant, TCAD, solutions de durcissement

---

**TITLE:** Study of extreme conditions for operating in radiation environment of power devices view to their hardening for aeronautics and space applications

---

## **Abstract**

This work deals with the reliability of electronic components such as power MOSFET and IGBT affected by Radiative Natural Environment. Nowadays, this problem is considered to be part of the component reliability. While it concerned initially with components which work in severe radiation environment for aerospace, the evolution and complexity of embedded electronics that can interact with this environment which have potentially damaging effects lead us to take these radiative constraints into account as the case of heavy ion. From this scope this work was conducted. Simulations were carried out with Synopsys TCAD simulator in order to give a better understanding of the failure mechanisms such as the Single Event Burn-out (SEB) or Single Event Latch-up and to define the criteria of triggering, the behavior and the sensitivity of different structure (VDMOS, SJ-MOSFET, IGBT planar and IGBT trench). This study allows us to propose and evaluate hardening solutions in design against the triggering phenomena related to the parasites structures.

---

**KEY WORDS:** VDMOS, SJ-MOSFET, IGBT planar, IGBT trench, SEB, SEL, Burn-out, Latch-up, Power devices, heavy ion radiation, Ionizing radiation, TCAD, Hardening solutions

---

**DISCIPLINE ADMINISTRATIVE :** Conception de Circuits en Microélectronique et Microsystèmes

**LABORATOIRE :** LAAS-CNRS (Laboratoire d'Analyse et d'Architecture des Systèmes)  
7, avenue du Colonel Roche  
31077 Toulouse Cedex 4 - France