

UNIVERSITÉ DE SHERBROOKE
Faculté de génie
Département de génie électrique

DÉVELOPPEMENT D'UN PROCÉDÉ D'ASSEMBLAGE 3D PUCE À GAUFRE DE PHOTOCAPTEURS HÉTÉROGÈNES

MÉMOIRE DE MAÎTRISE

Xavier BERNARD

Jury :

Jean-François PRATTE (directeur)

Serge A. CHARLEBOIS

David DANOVITCH

RÉSUMÉ

La taille et la performance des dispositifs électroniques et microélectroniques sont, depuis des dizaines d'années, des sujets sur lesquels un nombre important de chercheurs se penchent. On parle de la loi de Moore dans presque tous les articles scientifiques concernant la microélectronique et on cherche toujours le moyen d'être plus performant. Une des techniques utilisées pour augmenter la densité électronique et améliorer les performances d'un système microélectronique est l'intégration tridimensionnelle de puces. Cette approche est primordiale à l'essor des performances des systèmes photodétecteurs. L'intégration 3D de photodiodes à avalanche monophotoniques (PAMP) sur de l'électronique CMOS est l'objectif de ce projet. Il est donc nécessaire de développer un procédé de microfabrication visant à réaliser une connexion électrique verticale fiable entre deux puces. L'intégration 3D est possible notamment grâce à l'utilisation de la technologie des ICV (interconnexions verticales), couramment appelés TSV (*through silicon via*) dans le domaine de la microfabrication. La compagnie Aveni a développé un procédé de remplissage de TSV, nommé AquiVia, qui a été indispensable à ce projet. Un procédé plus élaboré de collage inter-puces doit toutefois être développé en addition au remplissage des TSV. Les grandes étapes de ce procédé consistent au retrait du surplus de cuivre laissé par le procédé AquiVia, la connexion du TSV au métal CMOS, l'amincissement de puces, la révélation et passivation du TSV en face arrière, la construction de contacts métalliques en face arrière ainsi que le collage et l'interfaçage de puces. Ces étapes amènent toutes des sous-étapes et préoccupations quant à leur développement. Celles-ci doivent donc être étudiées rigoureusement dans le but final d'obtenir un système fonctionnel intégré en trois dimensions. Ce document présente le développement et les résultats d'un procédé complet de prototypage développé au sein du 3IT (Institut Interdisciplinaire d'Innovation Technologique) sur le campus de l'Université de Sherbrooke.

Mots-clés : Intégration 3D, TSV, PAMP, Assemblage Puce à Gaufre, Collage 3D

Table des matières

RÉSUMÉ.....	iii
LISTE DES FIGURES	viii
LISTE DES TABLEAUX	xiii
1. INTRODUCTION	1
2. DÉFINITION DES OBJECTIFS ET PROBLÉMATIQUE.....	4
3. ÉTAT DE L'ART	8
3.1 Retrait du surplus de cuivre	8
3.1.1 Polissage Mécano-chimique (CMP).....	9
3.1.2 Gravure humide	10
3.1.3 Électropolissage.....	11
3.2 Amincissement de puces.....	12
3.2.1 Gravure humide rotative.....	13
3.2.2 Meulage mécanique.....	14
3.3 Révélation et passivation des TSV.....	15
3.3.1 Polissage mécano-chimique.....	16
3.3.2 Gravure humide	17
3.3.3 Gravure sèche	19
3.4 Collage inter-puces à interconnexions métalliques	22
3.4.1 Interconnexions Cuivre-Étain	22
3.4.2 Interconnexions de type C4 (<i>Controlled Collapse Chip Connection</i>).....	25
3.4.3 Interconnexions Cuivre-Cuivre.....	26
3.4.4 Variantes dans les métaux utilisés	28
3.4.5 Assemblage	29
4. DÉVELOPPEMENT	31
4.1 Méthodologie et environnement de travail.....	32
4.1.1 Microfabrication.....	32
4.1.2 Intégration et prototypage.....	33

4.1.3	Mesures.....	33
4.2	Gravure des trous des TSV (Développée par Luc Maurais).....	34
4.2.1	Analyse des résultats.....	34
4.3	Remplissage des TSV (Développée par T. Dequivre et E. Al Alam)	35
4.4	Retrait du surplus de cuivre	37
4.4.1	Tests et développement.....	37
4.4.2	Analyse des résultats.....	39
4.4.3	Discussion et recommandations pour le futur	40
4.5	Contact avec le métal 1 du CMOS (Luc Maurais)	40
4.5.1	Analyse des résultats.....	41
4.6	Amincissement en face arrière	42
4.6.1	Tests et développement.....	42
4.6.2	Analyse des résultats.....	43
4.6.3	Discussion et recommandations pour le futur.....	44
4.7	Révélation / passivation des TSV.....	44
4.7.1	Polissage du 20 μm de substrat restant	45
4.7.1.1	Tests et développement.....	45
4.7.1.2	Analyse des résultats.....	46
4.7.1.3	Discussion et recommandations pour le futur.....	47
4.7.2	Révélation des TSV en face arrière.....	48
4.7.2.1	Tests et développement.....	48
4.7.2.2	Analyse des résultats.....	54
4.7.2.3	Discussion et recommandations	55
4.7.3	Passivation en face arrière	56
4.7.3.1	Tests et développement.....	56
4.7.3.2	Analyse des résultats.....	64
4.7.3.3	Discussion et recommandations pour le futur.....	65
4.8	Construction des contacts 3D	65

4.8.1	Dépôt de la couche d’amorce	66
4.8.2	Photolithographie pour l’électroplacage des micropiliers.....	66
4.8.3	Électroplacage du cuivre	68
4.8.3.1	Tests et développement.....	68
4.8.3.2	Analyse des résultats.....	69
4.8.4	Électroplacage du matériau de brasure	70
4.8.4.1	Tests et développement.....	70
4.8.4.2	Analyse des résultats.....	75
4.8.5	Retrait de la couche d’amorce	76
4.8.5.1	Tests et développement.....	76
4.8.5.2	Analyse des résultats.....	78
4.8.5.3	Discussion et recommandations pour le futur.....	78
4.9	Interfaçage 3D des puces	79
4.9.1	Tests et développement.....	80
4.9.2	Analyse des résultats.....	83
4.9.3	Discussion et recommandations pour le futur.....	84
4.10	Intégration sur PCB et tests.....	85
5.	CONCLUSION	87
	ANNEXES	89
	Annexe A – Recettes détaillées.....	89
A.	Recette de gravure des trous des TSV.....	89
B.	Recette d’électropolissage du surplus de cuivre.....	90
C.	Recette pour le contact du TSV au métal 1 du CMOS des puces PAMP	91
D.	Recette pour le collage des coupons PAMP sur gaufre support.....	93
E.	Recette révélation/passivation des TSV en face arrière	94
F.	Construction des contacts métalliques	96
G.	Retrait de la couche d’amorce	98
H.	Assemblage des deux tiers et intégration.....	100

LISTE DES RÉFÉRENCES.....	102
---------------------------	-----

LISTE DES FIGURES

Figure 1 Diagramme des puces individuelles au départ ainsi que le produit final assemblé (Tiers1 : Photodétecteurs (PAMP) Tiers2 : Électronique de lecture).....	5
Figure 2 Diagramme des étapes principales du procédé d'assemblage	5
Figure 3 Vue en coupe de différents TSV fabriqués avec le procédé AquiVar (Raynal, 2012).	8
Figure 4 Vue en coupe d'un surplus de cuivre (sur le dessus du TSV) qui devra être retiré (Chen et al., 2011).....	9
Figure 5 Diagramme du fonctionnement du CMP (Lee et al., 2001)	9
Figure 6 Surplus de cuivre retiré suite au procédé de CMP d'Entrepix Inc. (Malta et al., 2010)	10
Figure 7 Gravure partielle du surplus de cuivre (Choi et al., 2013)	11
Figure 8 Diagramme d'un montage d'électroplacage (Padhi et al., 2003).....	11
Figure 9 Vue en coupe des stades du retrait d'une couche de cuivre à différents moment utilisant la méthode de l'électropolissage (Padhi et al., 2003).....	12
Figure 10 Vue en coupe d'une puce non amincie avec TSV (Hung et al., 2012)	13
Figure 11 Diagramme d'un montage réalisant la gravure humide rotative (Watanabe et al., 2012)	13
Figure 12 Photo d'un interposeur aminci avec TSV (Lannon et al., 2014)	14
Figure 13 Diagramme du fonctionnement d'une polisseuse de type Blanchard (Pei, Fisher and Liu, 2008) utilisant des cristaux de diamant incrusté dans la roue de meulage.....	14
Figure 14 Démonstration des bonnes propriétés mécaniques d'une gaufre amincie par polissage (Long et al., 2006).....	15
Figure 15 Vue de haut d'un échantillon aminci avec TSV légèrement découverts [19]	16
Figure 16 TSV révélés par une première CMP sélective Si/Cu (Kwon et al., 2011).....	16
Figure 17 Comparaison entre l'utilisation d'une solution de polissage sélective (droite) et non sélective (gauche) (Hozawa et al., 2013).....	17
Figure 18 Procédé de révélation/passivation de TSV avec CMP et dépôt chimique par phase vapeur (Hozawa et al., 2013)	17
Figure 19 Images de TSV révélés par la solution HF :HNO ₃ :CH ₃ COOH (Wang et al., 2014).....	18
Figure 20 Démonstration de l'impact sur la contamination de cuivre sur la gravure au KOH avec (droite) et sans (gauche) le placage du NiB (Watanabe et al., 2013).....	18
Figure 21 TSV révélés par une solution de KOH (Mauer et al., 2013).....	19
Figure 22 TSV révélé avec la solution de Sachem Inc., le SMC6-42-1 (Mauer, Taddei and Youssef, 2014)	19

Figure 23 TSV révélé par gravure sèche avec sa couche d'isolation de SiO_2 intacte (Buchanan et al., 2011).....	20
Figure 24 TSV avec un grand rapport hauteur/largeur révélés par gravure sèche (Wang, Jiang and Zhang, 2014).....	20
Figure 25 Modes de gravure au plasma et leur profil respectif (Barnett and Thomas, 2011).....	21
Figure 26 Un débris sur la surface empêche la gravure sèche de se produire (Huang et al., 2013)	21
Figure 27 Exemple de procédé d'électroplacage de micropiliers Cu/Sn (Agarwal et al., 2010)	22
Figure 28 Collage de deux puces avec micropiliers Cu/Sn (Yoon et al., 2011).....	24
Figure 29 Interface de soudure entre deux puces ne contenant que l'intermétallique Cu_3Sn (Yoon et al., 2009)	24
Figure 30 Interconnexions de micropiliers Cu/Sn avec TSV (Ko et al., 2011)	25
Figure 31 Processus de développement d'une interconnexion de type C4 (Frieswijk et al., 1997)	25
Figure 32 Interconnexions C4 utilisées avec TSV (Au et al., 2011).....	26
Figure 33 Technique "Fly-Cutting" utilisée pour planariser les micropiliers de cuivre (R. Agarwal et al., 2009).....	26
Figure 34 Interconnexions Cu/Cu - BCB entre deux puces avec TSV sur une des puces (Hsiao et al., 2015)	27
Figure 35 Graphiques des températures et temps de procédé des différentes technologies d'interconnexions Cu-Cu (Wang, 2017)	27
Figure 36 Diagramme de phase Au/Sn (Yang, Akaike and Suga, 2012)	29
Figure 37 Exemple de collage par thermocompression (Chong, Wee and Teo, 2011).....	30
Figure 38 Vue en coupe des trous des TSV	35
Figure 39 Vue en coupe zoomée du NiB et polyvinyle.....	36
Figure 40 Vue en coupe / à angle des TSV remplis de cuivre et du surplus.....	36
Figure 41 Vue en coupe / à angle des TSV remplis de cuivre, du surplus de cuivre et des connexions CMOS	36
Figure 42 Manipulations pour le contact du coupon pour l'électropolissage du surplus de cuivre.	38
Figure 43 Photo du réacteur en PTFE chargé, vu de haut.....	38
Figure 44 Photo optique de la surface après électropolissage sans CR-7. Plusieurs PAMP sont recouverts de cuivre (exemples encerclés en rouge)	39
Figure 45 Photo optique de la surface après électropolissage et CR-7.	39
Figure 46 Vue en coupe d'un TSV contacté au métal 1	41
Figure 47 Photo optique des plots d'aluminium sur les TSV à la station sous pointes avec comparaison en haut à gauche des sites de TSV avant le contact avec le métal 1.	42
Figure 48 Coupon aminci à 70 μm sur gaufre support arrivant de chez GDSI	44

Figure 49 Diagramme démontrant le retrait du 20 μm de substrat restant avant d'atteindre les TSV. La gaufre support (Sustenteur de Si) est beaucoup plus épaisse en réalité (700 microns).....	45
Figure 50 Image MEB de TSV tests révélés en face avant après polissage au 3 μm	46
Figure 51 Matrice de TSV révélés au polissage 3 μm au LCSM	47
Figure 52 Coupon aminci à 50 μm avec matrices révélées au polissage 3 μm découpé de la gaufre support au laser. On peut voir la gaufre support qui se trouve sous la couche amincie en haut à droite.....	47
Figure 53 Zoom sur un TSV après CMP 50 nm	49
Figure 54 Vue de haut d'un dépôt de particules de silice couvrant des TSV suite au CMP 50 nm..	49
Figure 55 Résultats du test de nettoyage avec la sauce SC2. Les TSV sont pratiquement disparus, et la surface est rugueuse.	51
Figure 56 Résultat du placage de NiB sur les puces nettoyées au HF et au CR-7. Le NiB s'est plaqué sur le substrat.....	51
Figure 57 Résultats après nettoyage au CR-7. Le substrat est gravé autour du TSV et laisse une surface rugueuse.....	51
Figure 58 Résultats du nettoyage avec la solution d'HF. Le substrat est recouvert de NiB.....	52
Figure 59 Résultats après nettoyage au SC1. La surface semble lisse malgré quelques taches et le TSV est plaqué de NiB et a un beau fini	52
Figure 60 Image MEB d'un TSV sans NiB après la gravure sélective du substrat. La structure du TSV est complètement détruite.	53
Figure 61 Image MEB d'un TSV avec NiB après la gravure sélective du substrat. La structure du TSV est restée intacte.....	53
Figure 62 Matrice de TSV révélés après polissage au 50 nm au LNN (avant nettoyage). On peut apercevoir des débris sur la surface de l'échantillon. Ces débris partiront suite au nettoyage SC1.	54
Figure 63 Image SEM d'un TSV après polissage au 50 nm	54
Figure 64 Matrice de TSV après gravure RIE SF_6 pendant 90 sec.....	55
Figure 65 Zoom sur un TSV de la Figure 64.....	55
Figure 66 Diagramme en section d'un TSV après l'étape de gravure sélective du substrat.....	57
Figure 67 Étape de dépôt d'une couche de Si_3N_4	57
Figure 68 Étalement d'une photorésine peu visqueuse pour planariser la surface	58
Figure 69 Gravure de la majorité de l'épaisseur de la photorésine avec une sous-étape de gravure RIE agressive à l' O_2	58
Figure 70 Étape de gravure RIE à l' O_2 douce.....	59
Figure 71 Gravure sélective du Si_3N_4 au RIE CF_4	59

Figure 72 Nettoyage du reste de la photorésine aux solvants.....	60
Figure 73 Image MEB de la section d'une couche de S1818 de 2000 nm (haut) sur une couche <i>Si3N4</i> de 230 nm (milieu) sur un substrat de silicium (bas)	61
Figure 74 Mesure profilométrique d'une protubérance de silicium (250 nm) après dépôt de <i>Si3N4</i>	61
Figure 75 Mesure au profilomètre de la topologie après étalement de S1818 pour planarisation	62
Figure 76 Photo de de la photorésine S1818 après RIE O2. Cette photo illustre bien l'uniformité de la gravure de par l'effet d'interférence de la lumière avec les couches minces présentes sur l'échantillon.....	63
Figure 77 Vu en angle d'un trou causé à la surface par la gravure du silicium au milieu d'une couche de <i>Si3N4</i>	64
Figure 78 Matrice de TSV passivés après le procédé de gravure sélective RIE.....	64
Figure 79 TSV passivé après le procédé de gravure sélective RIE.....	65
Figure 80 Image MEB des plots d'aluminium du tiers 2 après le dépôt de la couche d'amorce	66
Figure 81 Photo d'un coupon test après retrait de la perle de bord et avec structures d'électroplacage	68
Figure 82 Montage pour le placage des UBM de cuivre	69
Figure 83 Retrait de la couche de titane par-dessus la couche de cuivre au HF, avant le placage des UBM de cuivre.....	69
Figure 84 Matrice d'UBM de cuivre électroplaqués avec la solution d'Aveni	70
Figure 85 UBM de cuivre zoomé	70
Figure 86 Piliers de SnAgCu sur UBM de cuivre électroplaqués avec la solution maison. Les débris se trouvant autour des micropiliers sont causés par un problème au niveau du dépôt de la couche d'amorce. Ce problème a été réglé par la suite.....	72
Figure 87 Défauts d'électroplacage de SnAgCu lorsque la solution utilisée est mal préparée.....	72
Figure 88 Montage/Outillage utilisé pour les tests de placage d'indium et de SnAgCu	73
Figure 89 Photo optique du placage Caswell vu de dessus.....	73
Figure 90 Image MEB démontrant le faible taux de déposition du placage Caswell.....	74
Figure 91 UBM de cuivre avec indium suite à l'électroplacage	74
Figure 92 Micropilier Cu-In zoomé.....	75
Figure 93 Image MEB de micropiliers Cu-In plaqués sur un coupon PAMP.....	75
Figure 94 Vue en coupe de la forme des traits de clivage faits au LPKF (découpe en « V », d'où la nécessité de faire plusieurs traits de découpe pour passer au travers de tranches épaisses).....	76

Figure 95 Puce PAMP amincie collée sur support de silicium avec contacts métalliques électroplaqués (Cu/In). La matrice de contacts du haut représente les micropiliers alors que les structures rectangulaires sont des structures d'autoalignement.....	78
Figure 96 Photo optique de micropiliers décollés suite à l'étape de retrait de la 2e couche de titane	79
Figure 97 Photo d'une procédure de soudure avec environnement contrôlé sur la Tresky	80
Figure 98 Image rayons X d'une vue du dessus de matrices de piliers soudées sans l'utilisation d'un flux. On voit que le matériau de brasure s'est dispersé non uniformément et cela a causé plusieurs ponts de soudure.	81
Figure 99 Image rayons X d'une vue en tranche de la soudure entre deux puces de tests. On voit les plots d'alignement à gauche et les micropiliers à droite.....	82
Figure 100 Image rayons X vue de dessus de bulles formées par le flux maison sur des plots d'alignement durant la soudure.....	82
Figure 101 Photo d'une vue en tranche de micropiliers (gauche) et de plots d'alignement (droite) soudés	82
Figure 102 Image rayons X d'assemblage d'une puce PAMP sur un circuit de lecture. De haut en bas : Gaufre support de silicium, Puce PAMP, Couche de HD3007, TSV (lignes noires verticales), interconnexions métalliques soudées, Coupon de lecture	83
Figure 103 Photo d'une puce PAMP avec gaufre support sur coupon de lecture	83
Figure 104 Photo d'une puce PAMP avec gaufre support sur coupon de lecture (Zoomé)	84
Figure 105 Photo d'un assemblage PAMP/Lecture prêt pour tests optiques.....	84
Figure 106 Puce PAMP/Lecture assemblée collée sur PCB de test et soudée par micropontage ...	85
Figure 107 Montage pour placage d'indium	98
Figure 108 Montage pour placage d'indium	98
Figure 109 Photo des paramètres de gravure nécessaires pour la gravure de la couche d'amorce	100

LISTE DES TABLEAUX

Tableau 1 Tableau des objectifs et des sous-objectifs du procédé d'assemblage.....	6
Tableau 2 Taux de gravure du cuivre (Choi et al., 2013).....	10
Tableau 3 Procédé de gravure des trous des TSV	34
Tableau 4 Procédé de contact TSV/Métal 1.....	41
Tableau 5 Résumé des tests avec différentes solutions pour le nettoyage post-CMP	50
Tableau 6 Sommaire des résultats des gravures RIE.....	63
Tableau 7 Avantages et désavantages des photorésines épaisses considérées.....	67
Tableau 8 Détails des matériaux de brasure testés à l'électroplacage.....	71
Tableau 9 Solutions testées pour la gravure humide du titane	77
Tableau 10 Solutions testées pour la gravure humide de la couche de cuivre.....	77

1. INTRODUCTION

La volonté de diminuer les tailles et d'augmenter les performances des dispositifs microélectroniques est, depuis le tout début, un comportement adopté par les chercheurs. En ce qui concerne la microélectronique en général, différents moyens ont à ce jour déjà été développés dans cette optique. La diminution de la taille des grilles de transistor décrite par la loi de Moore est un exemple de constante amélioration de la taille et des performances de l'électronique CMOS. En dehors des changements physiques portés directement aux composantes et à la circuiterie, il existe différentes techniques d'encapsulation de circuits intégrés permettant de diminuer la taille et d'augmenter les performances des dispositifs. Un exemple flagrant est la technique d'encapsulation « *flip-chip* » (Lau, 2016) qui a été développée vu le nombre grandissant d'entrées et sorties des circuits intégrés modernes. Cette technique d'encapsulation est une des premières réalisée en trois dimensions sans l'utilisation de pontage par micro-fil. Au cours des deux dernières décennies, la technologie des ICV (Interconnexions Verticales) est devenue de plus en plus populaire pour compléter la technique « *flip-chip* ». Sans nécessairement remplacer le « *flip-chip* », ces structures de connexion verticales, auxquelles on réfèrera via le terme TSV (through silicon via), sont de plus en plus utilisées pour différentes applications (Motoyoshi, 2009).

Les matrices de photodétecteurs font partie des circuits microélectroniques sur lesquels plusieurs travaux d'optimisation sont faits. Le GRAMS (Groupe de Recherche en Appareillage Médical de Sherbrooke) s'est développé une expertise dans le domaine du design de PAMP (photodiode à avalanche monophotonique) et de circuits de lecture en technologie CMOS dans le but d'intégrer aux capteurs de scanners médicaux TEP (tomographie par émission de positrons). Toutefois, ces PAMP ont la capacité d'être utilisés pour des applications nécessitant une précision encore plus importante. Leur fonction primaire étant de détecter les photons un à la fois, ces PAMP pourraient être utilisés à des fins de recherche sur la physique des particules. Le GRAMS est en voie de développer de nouveaux prototypes de scanners médicaux qui pourraient très bien bénéficier des résultats présentés ci-dessous. De plus, des discussions avancées avec certains groupes de recherche se penchant sur la détection de neutrinos motivent la recherche sur les matrices de PAMP 3D. Les résultats de ce projet peuvent donc s'avérer utiles pour d'importants projets scientifiques.

La grande majorité des systèmes à PAMP actuels sont réalisés en 2D (Niclass, Rochas and Besse, 2004). C'est-à-dire que les circuits de polarisation et de traitement numérique indispensables aux systèmes sont situés à côté des matrices de PAMP. Cela réduit grandement la surface

photosensible du capteur. Cette technique rend la longueur de l'interconnexion entre le PAMP et le circuit de lecture relativement longue, ce qui ajoute du temps de latence au signal.

Pour les dispositifs 2D, cette même latence peut être différente pour chacun des PAMP et cela peut engendrer des erreurs de mesure. L'intégration 3D règle ces problèmes en plaçant la circuiterie sous les matrices de PAMP, augmentant ainsi considérablement le facteur de remplissage (surface photosensible optimisée) et diminuant la longueur des interconnexions tout en les uniformisant. Ces améliorations constituent de très bons arguments qui poussent l'utilisation de ces capteurs vers le domaine médical et en recherche sur la physique des particules.

La technologie des TSV permet de faire de micrométriques interconnexions verticales au travers de la puce pour qu'il soit possible de se connecter en face arrière de celle-ci. Cette technique permet l'insolation de la face active CMOS contrairement à la technique « *flip-chip* » qui ne permet que l'insolation en face arrière du dispositif. De plus, le nombre d'étages de l'intégration 3D n'est plus limité à deux, ce qui laisse place à des systèmes beaucoup plus avancés (Dang *et al.*, 2009). Il est donc bien justifié d'utiliser cette technologie pour la mise en œuvre de photocapteurs. Cette approche d'intégration 3D pour les matrices de PAMP et circuits de lecture développée par le GRAMS est donc très intéressante. Toutefois, l'interfaçage de puces est une étape qui nécessite une étude approfondie. C'est l'objectif du projet de recherche discuté dans cet ouvrage.

Ce document a pour but premier d'exposer le développement du procédé de microfabrication visant à l'assemblage tridimensionnel de deux puces électroniques. L'une comprenant une matrice de PAMP avec TSV, l'autre comprenant l'électronique de lecture des PAMP. Dans un premier lieu, la définition intégrale du projet et de ses objectifs et sous-objectifs sera traitée avec une interprétation systématique des problématiques à résoudre. Ensuite, les différentes techniques déjà traitées dans la littérature pouvant servir à interfacier deux puces avec la technologie TSV seront identifiées dans la section « État de l'art ». Le développement du projet sera ensuite présenté. Une première section dédiée à la méthodologie utilisée viendra faire le point sur les ressources à disposition et l'environnement dans lequel le travail a été effectué. La section suivante contient le cœur du projet. On y retrouve les différentes approches retenues pour atteindre les nombreux objectifs et sous-objectifs fixés, ainsi que la démarche détaillée incluant les méthodes de tests, une analyse des résultats obtenus et une discussion concernant la validité de la solution proposée pour chacune des étapes. Une conclusion fera finalement le point

sur l'ensemble du projet, la contribution du projet dans le domaine scientifique et les points importants à retenir pour le futur.

2. DÉFINITION DES OBJECTIFS ET PROBLÉMATIQUE

La problématique de mon projet de recherche est axée sur l'assemblage tridimensionnel de deux puces comprenant de l'électronique CMOS. Une des puces est dotée de matrices de PAMP conçues avec la technologie CMOS 0.8 μm de DALSA Bromont. Cette puce comporte également des TSV en cuivre électroplaqués avec le procédé AquVia d'Aveni. Ces TSV sont longs de 50 microns et ont un diamètre de 8 microns. Une couche d'isolation faite de polyvinyle assure qu'il n'y ait pas de court-circuit entre le TSV et le substrat. Cette puce non amincie comporte également un surplus de cuivre formé lors du remplissage des TSV dans la puce. Il faudra, en premier lieu, retirer ce surplus de cuivre. En second lieu, une connexion entre le TSV et l'anode des PAMP pour assurer le contact au deuxième tiers est nécessaire pour acheminer le signal vers le tiers du bas. Cette partie du procédé a été développée par Luc Maurais, un autre étudiant à la maîtrise au GRAMS, et ne figure pas dans les objectifs du projet de recherche. Cette puce devra ensuite être collée sur un gaufre support, face première, et amincie en face arrière jusqu'à 50 μm d'épaisseur pour qu'ensuite, les TSV puissent être révélés. Un procédé de passivation en face arrière doit ensuite être appliqué pour assurer une isolation adéquate entre le substrat, les TSV et les contacts métalliques. Un procédé de construction de contacts métalliques doit donc être développé en face arrière pour l'assemblage final des deux puces. La seconde puce sur laquelle viendra s'assembler la précédente comporte l'électronique de lecture des matrices de PAMP conçue en CMOS DALSA 65 nm. Cette puce comprend des plots d'aluminium sur lesquels on doit venir connecter les TSV de la puce supérieure en construisant, sur elle également, des contacts métalliques avec le même procédé que pour le tiers 1. Ces deux puces doivent donc être préparées séparément pour ensuite être assemblées par des contacts métalliques. Les Figure 1 et Figure 2 illustrent les différentes étapes à accomplir. Ces étapes consistent donc en un lot d'objectifs et sous-objectifs à atteindre lors du projet (voir Tableau 1).

On peut donc se poser la question suivante : Quels procédés de microfabrication peuvent être utilisés pour interfacer électriquement en trois dimensions une puce CMOS DALSA 0.8 μm amincie avec TSV sur une puce comportant de l'électronique CMOS DALSA 65 nm?

Il est démontré dans la section « État de l'art » qu'il existe plusieurs techniques de microfabrication pour ce genre d'application. Les techniques de microfabrication respectant les nombreuses contraintes (mécaniques, électriques, chimiques et physiques) propres à notre projet pour arriver à assembler des puces en trois-dimensions ont donc été retenues et sont décrites

dans la section Développement. La figure 1 illustre un élément PAMP/Lecture des deux puces à leur état initial ainsi que leur état final (après assemblage). La figure 2 illustre les grandes étapes de microfabrication qui doivent être appliquées au tiers 1. Le tableau 1 décrit ces grandes étapes.

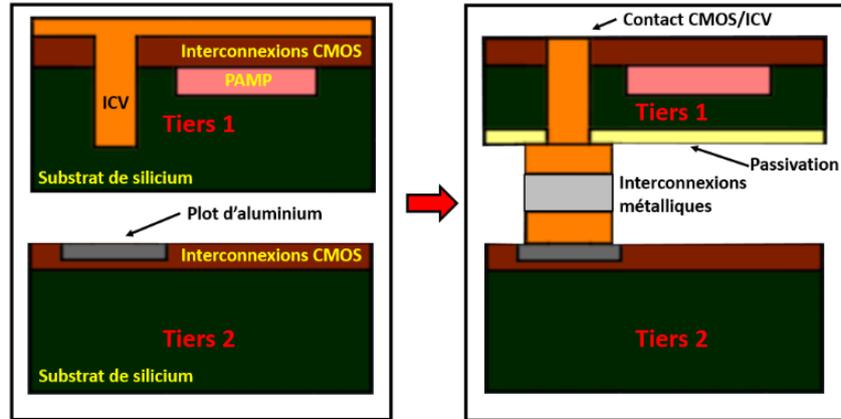


Figure 1 Diagramme des puces individuelles au départ ainsi que le produit final assemblé (Tiers 1 : Photodétecteurs (PAMP) Tiers2 : Électronique de lecture)

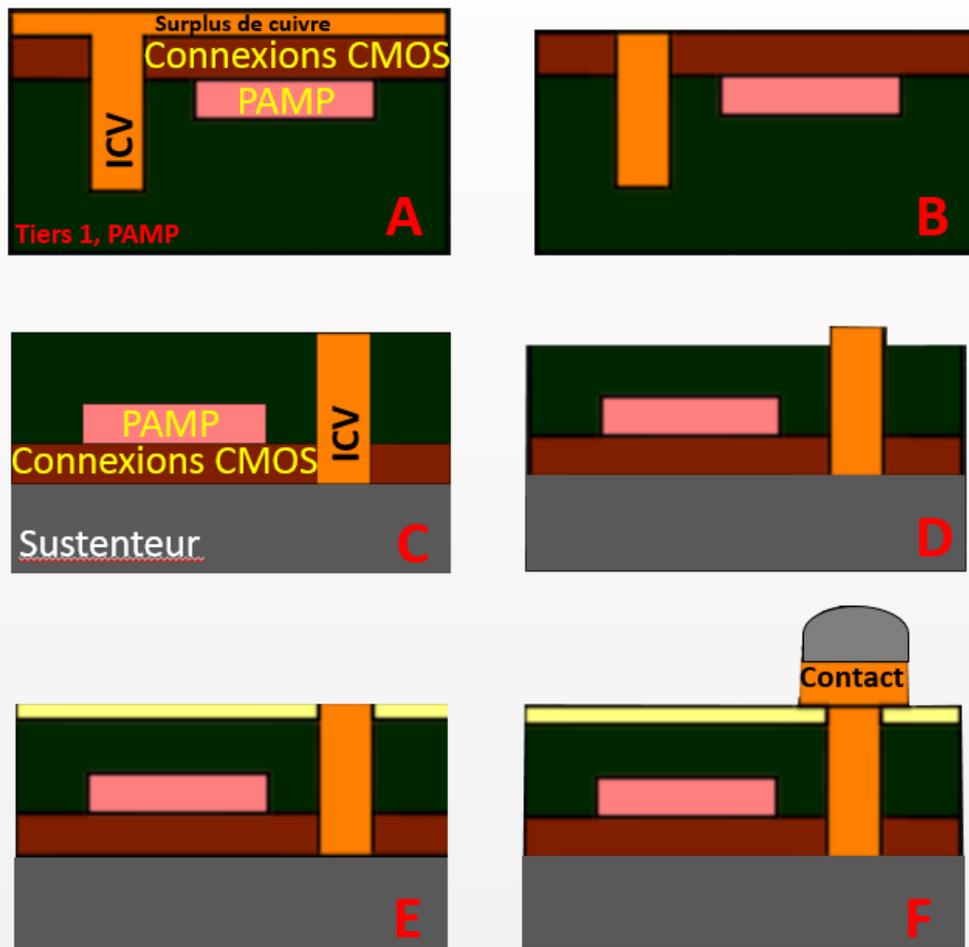


Figure 2 Diagramme des étapes principales du procédé d'assemblage

Le procédé de microfabrication à développer comprend donc les objectifs et sous-objectifs décrits dans le tableau 1. La méthodologie et les techniques utilisées pour les atteindre sont décrites dans les sections suivantes.

Tableau 1 Tableau des objectifs et des sous-objectifs du procédé d'assemblage

Objectifs	Sous-Objectifs
Retrait du surplus de cuivre formé lors du remplissage des TSV (B)	<ul style="list-style-type: none"> • S'assurer qu'il n'y ait pas de traces de cuivre restantes pouvant causer un court-circuit entre les anodes des PAMP. • S'assurer de préserver l'intégrité des TSV et des PAMP.
Amincir la puce jusqu'à une épaisseur de 70 μm (C)	<ul style="list-style-type: none"> • Coller la puce sur une gaufre support en prenant soin de choisir une colle pouvant résister aux autres procédés (thermo-stabilité, résistance chimique) et qui se nettoie bien. • S'assurer que la puce est collée uniformément. • S'assurer de ne pas endommager la puce lors de l'amincissement.
Révéler et passiver les TSV en face arrière (C-D-E)	<ul style="list-style-type: none"> • S'assurer de ne pas contaminer le substrat avec de cuivre lors de la révélation. • S'assurer de bien nettoyer la surface après la révélation. • S'assurer de faire ressortir les TSV de la bonne longueur. • S'assurer de l'intégrité de la couche de polyvinyle après le procédé. • S'assurer d'utiliser un procédé de passivation qui n'affectera pas le reste des procédés faits sur la puce. • S'assurer d'une bonne isolation entre le TSV et le substrat.
Construction des contacts métalliques en face arrière (F)	<ul style="list-style-type: none"> • S'assurer d'une variation de maximum 1 μm entre les contacts. • S'assurer d'avoir une épaisseur adéquate pour l'assemblage pour chacun des constituants des contacts, visant une épaisseur finale d'environ 15 μm à 20 μm. • S'assurer qu'il n'y ait pas de court-circuit entre les contacts.
Assemblage des puces	<ul style="list-style-type: none"> • Bien aligner les contacts entre eux lors de l'assemblage. • S'assurer d'une bonne intégrité mécanique finale.

Il faut noter que ces étapes ont toutes été développées pour des échantillons de petite taille et non sur des gaufres complètes. Cela apporte une difficulté supplémentaire qui est la manipulation manuelle des échantillons. La répétabilité est donc plus difficile comparativement au traitement

de gaufres avec des machines automatisées. Les procédés ont cependant été développés dans l'optique de les appliquer au niveau gaufre. Ce projet sert donc de preuve de concept pour la fabrication en volume de détecteurs à PAMP.

3. ÉTAT DE L'ART

L'assemblage tridimensionnel de puces est une discipline qui ne cesse de croître en popularité dans le domaine des circuits intégrés. Les mémoires haute-densité, les circuits logiques, les circuits haute-fréquence et différents types de capteurs sont de plus en plus intégrés en trois dimensions (Charlet, Di Cioccio and Leduc, 2007). Pour assurer le contact électrique entre deux puces, la technique des TSV est généralement utilisée de concert avec une technique de collage inter-puces à interconnexions métalliques. Pour pouvoir bénéficier de cette technologie, des étapes de microfabrication sur les TSV, sur les interconnexions métalliques ainsi que des procédés de collage inter-puces sont nécessaires. La figure 3 illustre des TSV d'Aveni avec le procédé AquiVar. Cette section présente les différentes techniques proposées dans la littérature pour compléter les étapes de microfabrication nécessaires après qu'une puce ait subi le procédé AquiVar d'Aveni pour la fabrication de TSV.

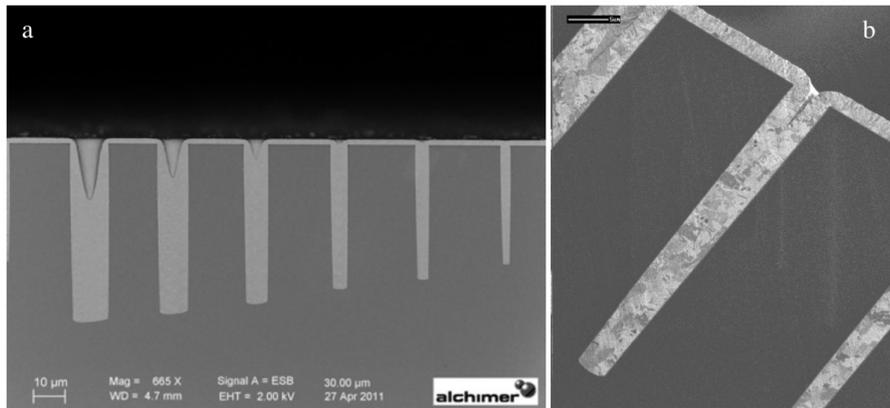


Figure 3 Vue en coupe de différents TSV fabriqués avec le procédé AquiVar (Raynal, 2012).

D'autres procédés similaires (Wei *et al.*, 2012)(Ma *et al.*, 2013)(Liu and Wu, 2013) de remplissage de TSV utilisant l'électroplacage ont également été développés. Le procédé AquiVar se démarque par sa technique de déposition de polymères ainsi que par le choix de ses matériaux (Mévellec *et al.*, 2007). Le polyvinyle utilisé par la procédé AquiVar sert à la fois d'isolant entre le TSV et le substrat en plus de pouvoir accueillir la couche d'amorce nécessaire à l'électroplacage du cuivre.

3.1 Retrait du surplus de cuivre

L'électroplacage des TSV laisse un surplus de cuivre sur la face avant de la puce. Ce surplus de quelques microns d'épaisseur doit être enlevé pour s'assurer qu'il n'y ait pas de court-circuit entre les sites de TSV (Hwang, Kalaiselvan and Yusoff, 2016). La Figure 4 illustre un surplus de cuivre plaqué suite à un procédé de placage de TSV. Différentes techniques proposées dans la littérature sont présentées ci-dessous.

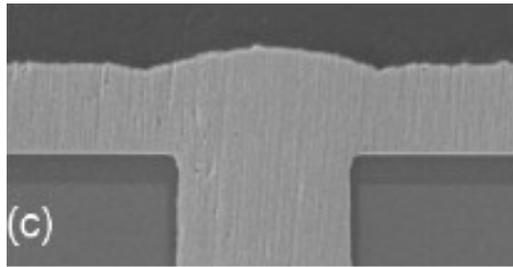


Figure 4 Vue en coupe d'un surplus de cuivre (sur le dessus du TSV) qui devra être retiré (Chen *et al.*, 2011)

3.1.1 Polissage Mécano-chimique (CMP)

Le polissage mécano-chimique (CMP) est une technique utilisant à la fois la force mécanique et l'affaiblissement chimique pour graduellement retirer une couche de matériau quelconque. La Figure 5 illustre le montage typique du CMP.

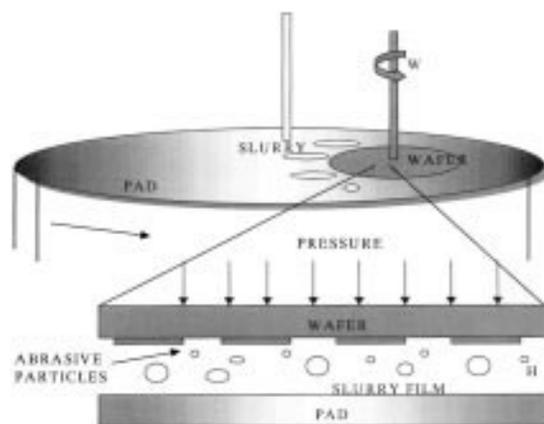


Figure 5 Diagramme du fonctionnement du CMP (Lee *et al.*, 2001)

La puce est collée à une gaufre de soutien qui est ensuite placée contre un plateau tournant avec de la pression. Une solution de polissage (suspension) est distribuée sur le plateau ce qui polit la surface de la gaufre, qui tourne également. Il est possible d'utiliser cette technique pour retirer le surplus de cuivre causé par l'électroplacage des TSV. Des solutions et équipements de CMP commercialement disponibles peuvent être utilisés pour retirer la couche de cuivre en surplus (Malta *et al.*, 2010). En utilisant les bonnes chimies et suspensions, ainsi que les bons paramètres de rotation d'échantillon, de rotation plateau ainsi que de pression, de bons résultats peuvent être atteints comme l'illustre la Figure 6.

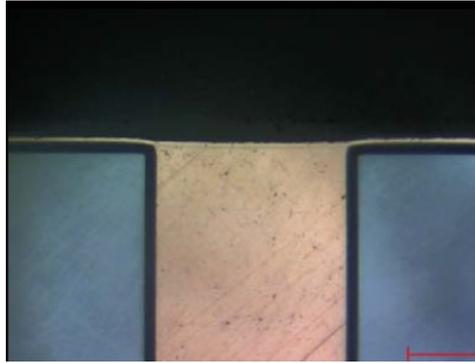


Figure 6 Surplus de cuivre retiré suite au procédé de CMP d'Entrepix Inc. (Malta et al., 2010)

Pour ce qui est de la sélection de la bonne solution de polissage, il a été démontré (J. C. Chen *et al.*, 2012) qu'une solution de polissage conçue pour le cuivre donne un meilleur fini, augmente la rapidité de polissage et n'endommage que très peu l'embouchure du TSV. Le diamètre des TSV pouvant aller jusqu'à quelques microns peut rendre le procédé très délicat.

3.1.2 Gravure humide

La gravure humide est une technique qui utilise des solutions chimiques pour dissoudre un matériau quelconque dans le but de l'éliminer totalement ou d'en retirer une partie. Le matériau à graver est immergé dans la solution adéquate et se dissout respectant un taux de gravure (épaisseur/temps) pouvant varier sur l'échantillon. Certaines gravures peuvent être isotropes tandis que d'autres peuvent être anisotropes. La gravure humide pourrait être utilisée pour graver le surplus de cuivre laissé par le procédé AquivVia (Wang, 2011).

Avec une solution diluée de peroxyde d'hydrogène (H_2O_2) et d'acide sulfurique (H_2SO_4) ($H_2O : H_2O_2 : H_2SO_4 = 6 : 3 : 1$) (Choi *et al.*, 2013) on obtient des taux de gravure acceptables qui donnent une surface finale uniforme comme l'expliquent les données du Tableau 2.

Tableau 2 Taux de gravure du cuivre (Choi *et al.*, 2013)

	Temps de Gravure	Post TSV		Post Gravure		Différence
		Épaisseur	Uniformité	Épaisseur	Uniformité	
Échantillon 1	5s	3.48 μm	3.50%	2.45 μm	3.01%	1.03 μm
Échantillon 2	10s	5.81 μm	2.70%	3.31 μm	3.05%	2.10 μm
Échantillon 3	15s	6.14 μm	4.20%	3.04 μm	3.57%	3.10 μm

Une gravure uniforme acceptable peut donc être atteinte avec cette méthode comme l'illustre la Figure 7.

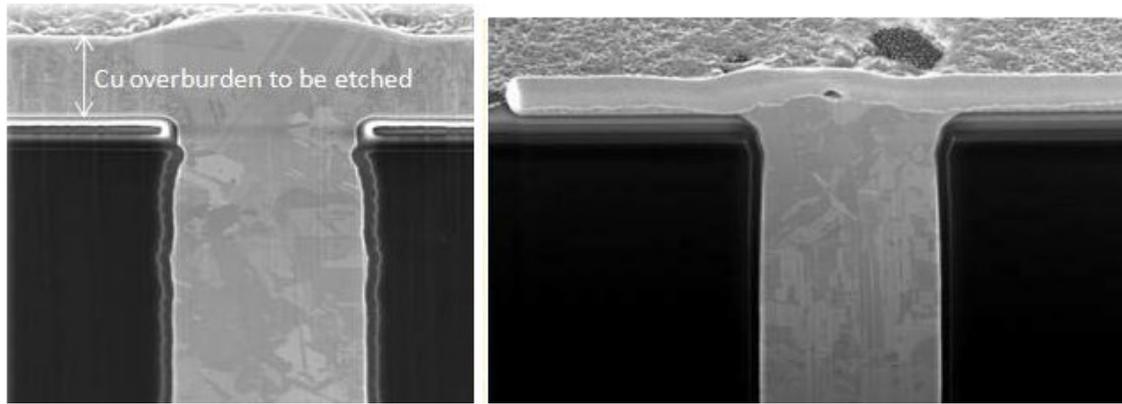


Figure 7 Gravure partielle du surplus de cuivre (Choi et al., 2013)

La gravure peut être complétée pour le retrait total du surplus de cuivre. Bien entendu, il y a toujours un risque de surgravure pouvant attaquer l'embouchure du TSV. C'est pourquoi le taux de gravure et son uniformité sur la surface de l'échantillon doivent être étudiés.

3.1.3 Électropolissage

L'électropolissage est une technique qui consiste à retirer une couche métallique utilisant les principes électrochimiques. Au lieu de plaquer un métal, un déplacement s'effectue. La Figure 8 illustre un montage d'électroplacage standard.

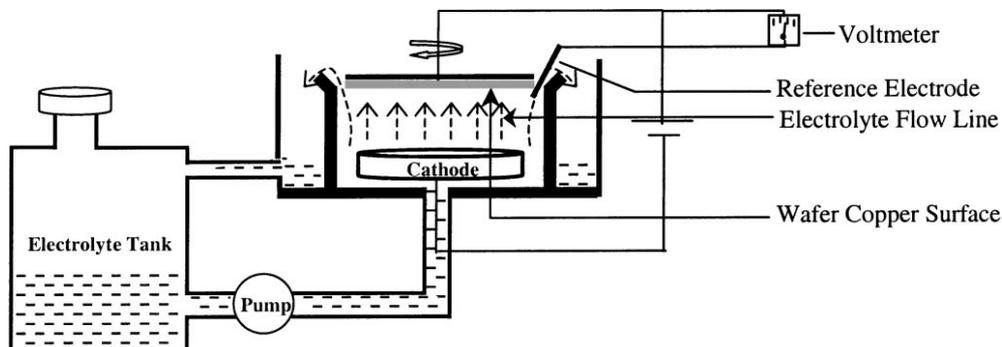


Figure 8 Diagramme d'un montage d'électroplacage (Padhi et al., 2003)

La surface métallisée de la gaufre étant l'anode, lorsqu'on applique un courant de l'anode vers la cathode, des ions de métal se détachent de la gaufre pour se dissoudre dans la solution d'électrolyte, réduisant ainsi graduellement l'épaisseur de la couche de métal. Les paramètres les plus importants lors d'une telle manipulation sont la température, la vitesse de rotation de l'échantillon ainsi que la densité de courant (Jung et al., 2011).

Cette méthode peut être utilisée pour retirer une couche de cuivre semblable à celle laissée par le procédé d'Aveni. Il a été démontré (Padhi et al., 2003) qu'avec un bain d'acide phosphorique 85% (Fisher) à 25 °C avec une densité de courant de 22.3 mA/cm^2 et une rotation de 50 RPM, une

couche de cuivre peut être retirée cela en laissant la surface uniforme. La Figure 9 illustre les résultats de cette technique.

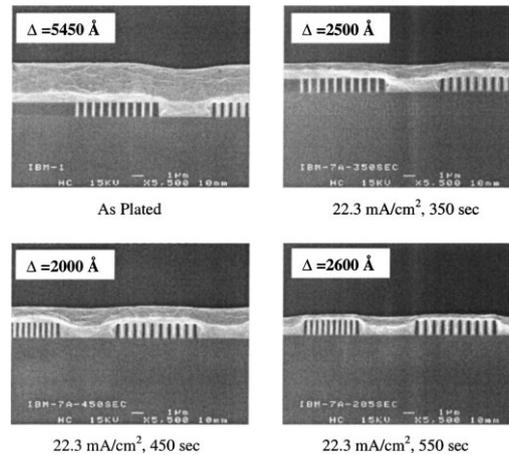


Figure 9 Vue en coupe des stades du retrait d'une couche de cuivre à différents moment utilisant la méthode de l'électropolissage (Padhi *et al.*, 2003).

Il a également été démontré (Koo and Lee, 2014) que l'électropolissage de cuivre réduit les dommages et le stress mécanique subit comparativement aux autres méthodes de retrait de couche de cuivre, surtout avec l'ajout d'additifs tels que de l'acide acétique et du glycérol. L'acide acétique a la capacité d'accélérer le processus d'électropolissage tandis que le glycérol l'inhibe. Il est ainsi possible de doser ces deux additifs pour mieux contrôler le procédé.

3.2 Amincissement de puces

Pour avoir accès aux TSV par la face arrière de la puce en silicium, il faut amincir la puce en face arrière jusqu'à ce que l'épaisseur finale de celle-ci fasse un peu plus de 50 μm (de l'ordre de la longueur du TSV AquivVia). Avant de débiter, il faut d'abord que l'échantillon soit collé sur un support mécanique rendant possible la manipulation manuelle de l'échantillon aminci sans risquer de l'endommager. Il est primordial que ce collage puisse survivre aux procédés des étapes suivantes. Ce collage est nécessaire pour tous les procédés présentés ci-dessous. Une colle telle que la HD3007 de Hitachi Chemical DuPont MicroSystems (Itabashi *et al.*, 2011) présente des propriétés d'intégrité mécanique et de température d'opération suffisantes pour la plupart des procédés. L'épaisseur initiale de la puce peut varier entre 300 et 800 microns, il est donc important d'un point de vue production d'obtenir un taux d'amincissement relativement rapide (Zhou *et al.*, 2011). La Figure 10 illustre la vue en coupe d'une puce non amincie avec TSV. Les techniques d'amincissement proposées dans la littérature sont présentées dans les sous-sections qui suivent.

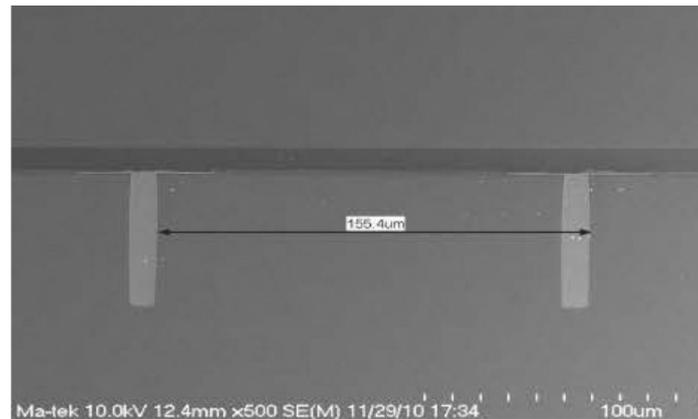


Figure 10 Vue en coupe d'une puce non amincie avec TSV (Hung *et al.*, 2012)

3.2.1 Gravure humide rotative

La gravure humide peut également être utilisée à des fins d'amincissement du substrat. Dans le cas où on veut passer d'une épaisseur de 300-800 μm vers une épaisseur de 50 μm , une gravure par immersion n'est pas envisageable si une gravure uniforme est souhaitée (Hendrix, Drews and Hurd, 2000). Une technique de gravure rotative peut être utilisée pour favoriser l'uniformité de la gravure d'un substrat (Watanabe *et al.*, 2012). L'échantillon est placé sur un plateau tournant et on y projette une solution de gravure, qui s'échappe ensuite sur les bords de l'échantillon étant donné sa rotation. Un diagramme d'un tel montage est illustré à la Figure 11. Les paramètres tels que la concentration, la vitesse de rotation et la température doivent soigneusement être choisis dépendamment du substrat à graver.

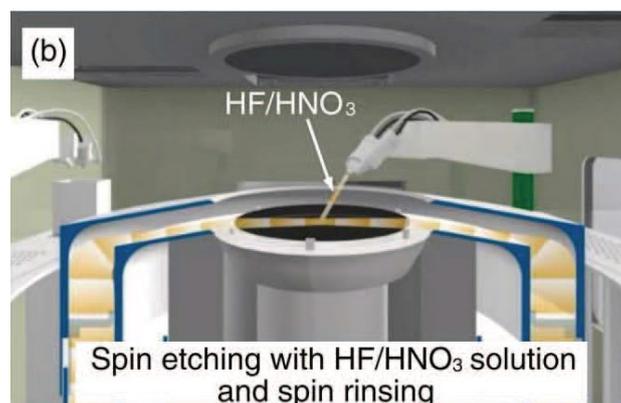


Figure 11 Diagramme d'un montage réalisant la gravure humide rotative (Watanabe *et al.*, 2012)

Des tests ont été faits (Watanabe *et al.*, 2012)(Jiun *et al.*, 2006) pour démontrer l'efficacité en termes de taux de gravure avec cette approche. Il a été démontré qu'avec une solution d'acide fluorhydrique (HF), d'acide nitrique (HNO_3) et d'acide acétique (CH_3COOH), aussi connu sous le nom de HNA, un taux de 6 $\mu\text{m}/\text{min}$ est atteignable à 25°C avec une rotation de 800RPM (Watanabe *et al.*, 2012)(Jiun *et al.*, 2006). Ce taux est acceptable pour le genre de gravure nécessaire pour atteindre des TSV par

la face arrière d'une puce. La Figure 12 montre un interposeur aminci en silicium (au centre) contenant des TSV en cuivre.

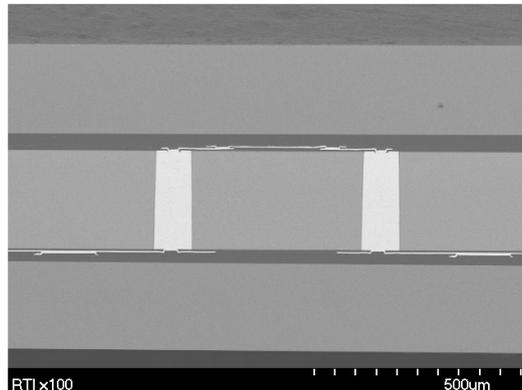


Figure 12 Photo d'un interposeur aminci avec TSV (Lannon *et al.*, 2014)

Il est important de bien contrôler le taux de gravure du procédé pour ne pas surgraver l'échantillon. Les paramètres peuvent toutefois être choisis de manière à avoir un taux de gravure de quelques microns par minute pour la gravure rapide du substrat jusqu'à quelques centaines de nanomètres pour du polissage fin (Skordas *et al.*, 2012).

3.2.2 Meulage mécanique

Cette technique consiste à retirer mécaniquement le substrat au dos d'un échantillon avec une meule dans le but de l'amincir. Avec cette méthode, il faut tout d'abord coller l'échantillon à graver sur une gaufre de soutien que l'on fixe sur le porte-gaufre de la polisseuse, face vers le bas. On vient ensuite appuyer la face de l'échantillon sur un plateau tournant qu'on asperge de solution de polissage abrasive ou qui comporte déjà des structures abrasives. La Figure 13 illustre un exemple d'architecture de polisseuse utilisant des cristaux de diamant, la polisseuse Blanchard.

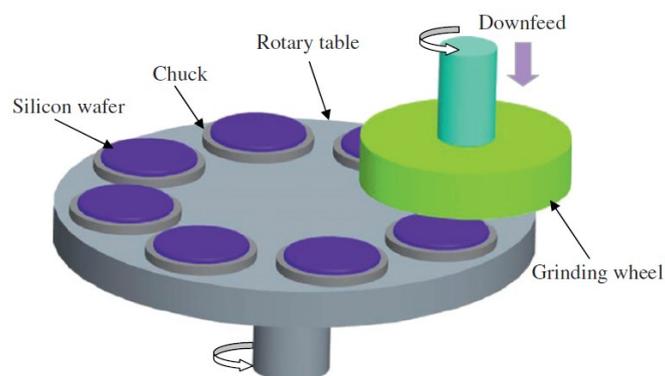


Figure 13 Diagramme du fonctionnement d'une polisseuse de type Blanchard (Pei, Fisher and Liu, 2008) utilisant des cristaux de diamant incrustés dans la roue de meulage.

La sélection de la solution de polissage pour cette application est très critique. Le polissage de l'échantillon comporte plusieurs étapes lors desquelles la solution de polissage doit être changée de plus abrasif vers moins abrasif pour passer d'un polissage brut vers un polissage plus fin (Pei, Fisher and Liu, 2008). La solution de polissage doit donc être adéquate d'une étape à l'autre, surtout pour l'étape de polissage fin, sinon la résistance mécanique de l'échantillon risque grandement de faiblir. C'est pourquoi une étape de gravure humide à l'hydroxyde de potassium (KOH) chaud (65°C) est généralement utilisée pour effacer les faiblesses laissées par le polissage (Long *et al.*, 2006)(Li *et al.*, 2012). La Figure 14 présente une gaufre amincie à 100 microns par polissage qui a ensuite subi un traitement post polissage à l'acide chaud.



Figure 14 Démonstration des bonnes propriétés mécaniques d'une gaufre amincie par polissage (Long *et al.*, 2006)

Malgré la maille cristalline du silicium, la gaufre ne cède pas grâce au traitement à l'acide. Cette figure démontre la bonne intégrité mécanique d'une gaufre suite au traitement à l'acide chaud. Le polissage peut également laisser des particules sur la surface de la gaufre et empêcher les prochaines étapes de bien fonctionner, par exemple la gravure sèche du silicium (Huang *et al.*, 2013). Un bon nettoyage post-polissage est donc de mise.

3.3 Révélation et passivation des TSV

Après avoir aminci l'échantillon, les TSV doivent être révélés pour que la connexion électrique puisse se faire en face arrière. Cette étape est critique, car il y a des risques de contamination de cuivre dans le substrat de silicium (Xue *et al.*, 2013). La technique utilisée doit également laisser une variation totale de l'épaisseur de l'échantillon à son minimum ainsi qu'une uniformité maximale. Étant donné que le substrat (silicium dopé P) est conducteur, il est primordial que le TSV de cuivre n'ait pas de contact électrique franc avec le silicium. Une étape de passivation est donc nécessaire pour bien isoler le TSV du substrat (Hozawa *et al.*, 2013). Une vue de la face arrière d'un échantillon avec TSV aminci est illustré sur la Figure 15. C'est le point de départ pour la passivation des TSV en face arrière. Les sous-sections suivantes expliquent les techniques proposées dans la littérature.

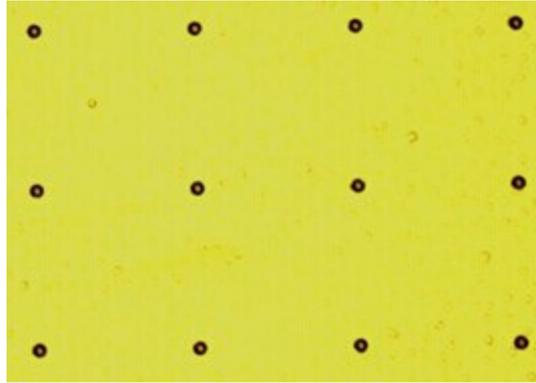


Figure 15 Vue de haut d'un échantillon aminci avec TSV légèrement découverts [19]

3.3.1 Polissage mécano-chimique

Cette méthode consiste à faire une étape de polissage mécano-chimique avec une solution de polissage sélective. Les TSV doivent être légèrement sortis du substrat comme l'illustre la Figure 16 pour bien pouvoir passiver par la suite (Kwon *et al.*, 2011). Cette solution de polissage doit donc être sélective au matériau du substrat afin de graver davantage le matériau du substrat que le matériau du TSV.

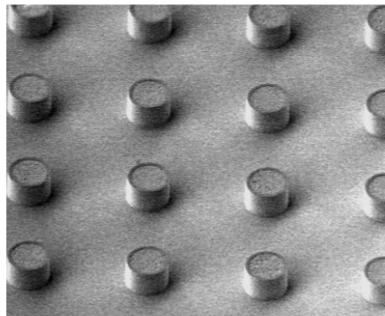


Figure 16 TSV révélés par une première CMP sélective Si/Cu (Kwon *et al.*, 2011)

Il a été démontré (Hozawa *et al.*, 2013)(Ma *et al.*, 2014) que l'utilisation de solution de polissage sélective gravant davantage l'oxyde de silicium et faiblement le cuivre peut mener vers une révélation de TSV prévenant le contact de celui-ci avec le substrat. La Figure 17 démontre la différence entre l'utilisation d'une solution de polissage sélective versus une solution non sélective.

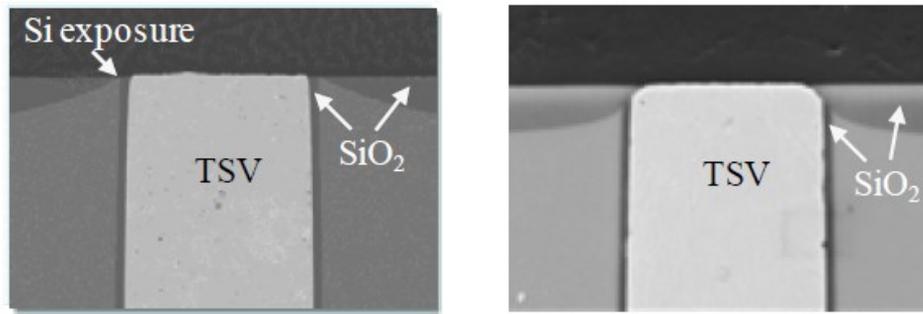


Figure 17 Comparaison entre l'utilisation d'une solution de polissage sélective (droite) et non sélective (gauche) (Hozawa et al., 2013)

L'image de gauche illustre bien le danger d'un contact électrique entre le TSV et le silicium. L'image de droite démontre que lors du CMP le silicium a été gravé davantage, ce qui fait en sorte qu'il n'y a pas de contact entre le TSV et le substrat. Un dépôt d'oxyde de silicium (SiO_2) par dépôt chimique en phase vapeur vient ensuite par-dessus le TSV révélé et une étape de CMP du SiO_2 additionnelle vient compléter le procédé pour, encore une fois, révéler le TSV (Hozawa et al., 2013). La Figure 18 illustre ce procédé.

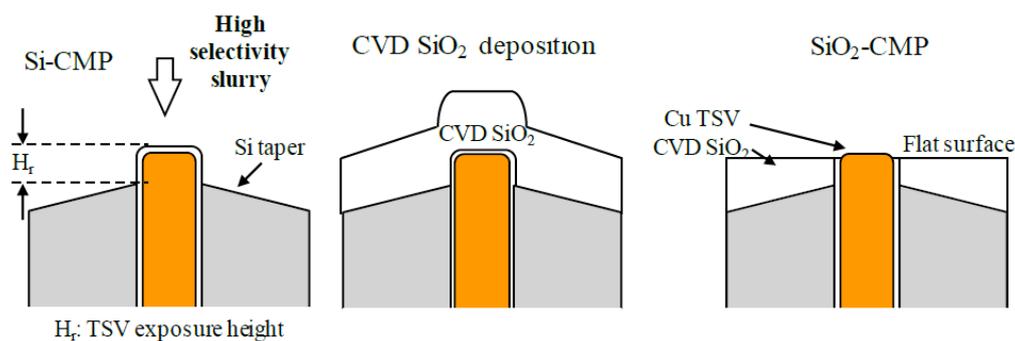


Figure 18 Procédé de révélation/passivation de TSV avec CMP et dépôt chimique par phase vapeur (Hozawa et al., 2013)

Des expérimentations (Chew et al., 2013) ont démontré que l'utilisation du CMP pour la révélation des TSV implique des contaminations au cuivre qui peuvent être nettoyées chimiquement.

3.3.2 Gravure humide

L'approche de la gravure humide pour révéler les TSV consiste en une immersion (gravure humide rotative, voir section 2.1) dans une solution attaquant le substrat, mais pas les TSV, ni leur couche d'isolation. Cette technique a comme paramètres importants la température et la concentration de la solution. Il faut également que la solution utilisée ne laisse aucune contamination métallique sur son passage (Peng et al., 2015).

Un mélange d'acide fluorhydrique (HF), d'acide nitrique (HNO_3) et de HNA a aussi été utilisé (Wang et al., 2014) pour la révélation de TSV comme le montre la Figure 19.

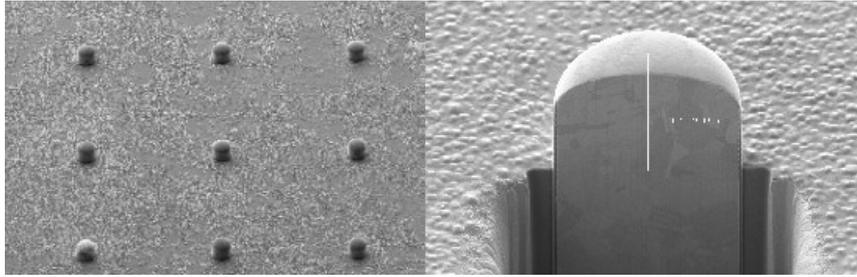


Figure 19 Images de TSV révélés par la solution HF :HNO₃ :CH₃COOH (Wang et al., 2014)

Il est toutefois risqué de graver le silicium avec cette solution étant donné que la plupart des couches d'isolation de TSV à base d'oxyde de silicium sont sujettes à se faire attaquer par l'acide fluorhydrique (HF) (Mauer, Taddei and Youssef, 2014).

L'hydroxyde de potassium (KOH) est un acide souvent utilisé pour graver le silicium rapidement, mais laisse une contamination de cuivre dans le silicium (Mauer, Taddei and Youssef, 2014). Il peut aussi être utilisé comme accélérateur momentané parce qu'il n'attaque pas beaucoup l'isolation du TSV (Watanabe et al., 2012). Une méthode a été développée (Watanabe et al., 2013) pour contrer la contamination de cuivre lors de la gravure au KOH. Une couche de nickel-bore est plaquée contre les TSV de manière à empêcher le KOH de graver le cuivre comme le démontre la Figure 20. La couche de nickel fait office de couche de protection et de barrière de diffusion pour empêcher le cuivre de se redéposer sur le substrat suite aux interactions de nature mécanique et d'ainsi le contaminer.

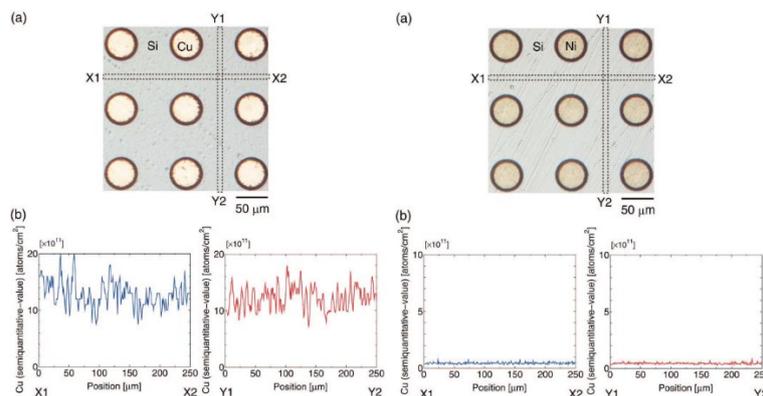


Figure 20 Démonstration de l'impact sur la contamination de cuivre sur la gravure au KOH avec (droite) et sans (gauche) le placage du NiB (Watanabe et al., 2013)

Révéler les TSV sans contamination est un bon point de départ. D'autres méthodes de gravure sélective Si/Cu utilisant le KOH dilué dans l'isopropanol (IPA) (2 : 2 : 1 = H₂O : KOH : IPA) donnent une surface beaucoup moins rugueuse, donc une variation totale de l'épaisseur de l'échantillon moins

élevée (Mauer *et al.*, 2013)(Lv *et al.*, 2012). La Figure 21 confirme le bon fonctionnement de cette approche.

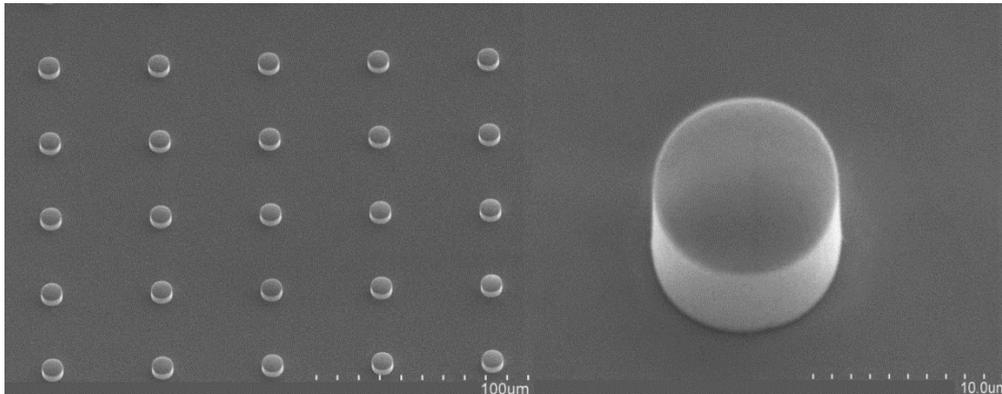


Figure 21 TSV révélés par une solution de KOH (Mauer *et al.*, 2013)

La compagnie Sachem Inc. a également développé une solution à base d'acide organique appelé le SMC6-42-1. Cette solution augmente la sélectivité des solutions standards de 50% pour le silicium, est à toxicité réduite et réduit grandement la contamination métallique lors de la gravure (Mauer, Taddei and Youssef, 2014). La Figure 22 montre un TSV révélé avec sa couche isolante parfaitement intacte, ce qui prouve le bon fonctionnement du SMC6-42-1. Une telle solution pourrait toutefois être incompatible avec la couche de polyvinyle du procédé AquiVar par exemple.

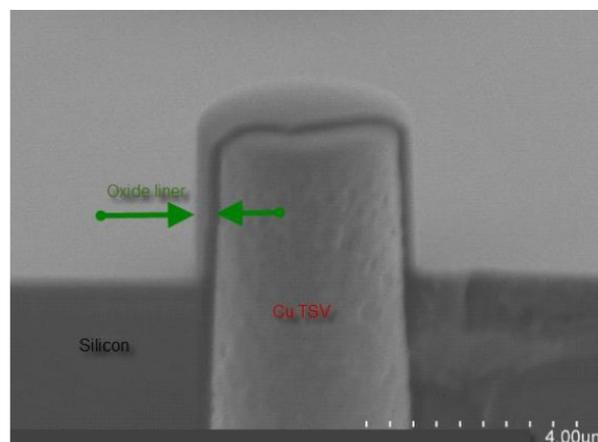


Figure 22 TSV révélé avec la solution de Sachem Inc., le SMC6-42-1 (Mauer, Taddei and Youssef, 2014)

3.3.3 Gravure sèche

La gravure sèche (ou par plasma) par bombardement ionique est une solution de gravure sélective entre la couche d'isolation du TSV et le substrat (Wang *et al.*, 2014). Le substrat peut se graver très rapidement comparativement à la couche d'isolation (Huang *et al.*, 2013). Avec une couche d'isolation à base d'oxyde de silicium, il est possible d'obtenir une sélectivité de 200 :1 ($Si : SiO_2$) avec un taux de gravure de 5 $\mu\text{m}/\text{min}$ du silicium gardant une variation d'épaisseur de $\pm 2.8\%$ sur

une gaufre de 300 mm (Buchanan *et al.*, 2011). Les TSV peuvent donc être révélés sans perdre leur couche d'isolation comme c'est montré dans la Figure 23.

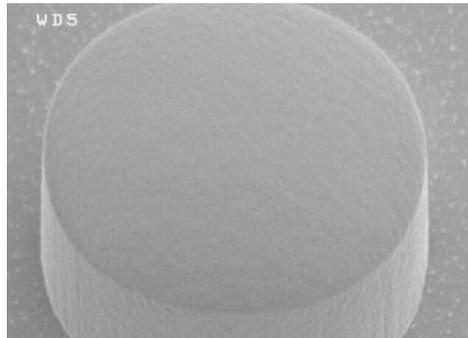


Figure 23 TSV révélé par gravure sèche avec sa couche d'isolation de SiO_2 intacte (Buchanan *et al.*, 2011)

La couche d'isolation reste intacte, alors que le TSV est complètement révélé. Lorsque la couche d'isolation le permet, il est même possible de graver le substrat pour obtenir un rapport hauteur/largeur de TSV pour différentes applications comme l'illustre la Figure 24.

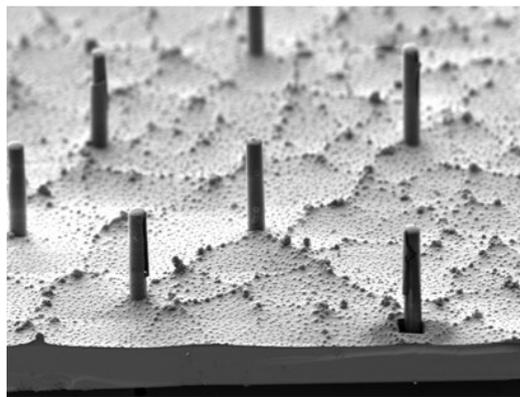


Figure 24 TSV avec un grand rapport hauteur/largeur révélés par gravure sèche (Wang, Jiang and Zhang, 2014)

Il existe trois modes de gravure au plasma (Barnett and Thomas, 2011), le mode RIE, le mode DSI et le mode Rapiér qui donnent chacun un profil différent de la surface suite à la gravure. La Figure 25 illustre le profil des trois modes.

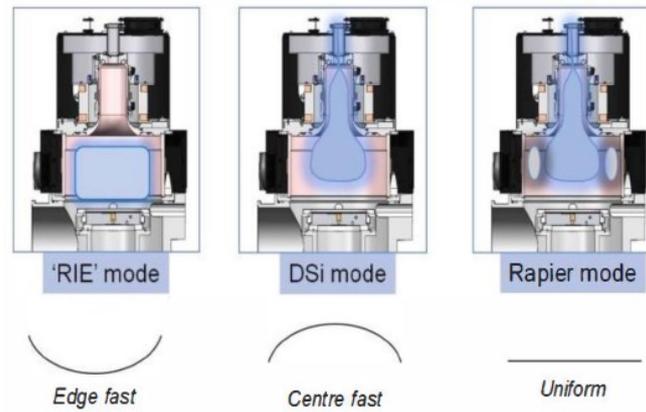


Figure 25 Modes de gravure au plasma et leur profil respectif (Barnett and Thomas, 2011)

Le mode Rapier permet de garder une surface relativement uniforme lors du processus de gravure. C'est ce qui permet d'avoir une uniformité qui tourne autour de 2 à 5%, ce qui est acceptable pour cette application (Barnett and Thomas, 2011).

Une étape de dépôt chimique basse température par phase vapeur améliorée par le plasma (PECVD) est ensuite nécessaire pour terminer la passivation avec le substrat (Barnett and Thomas, 2011). C'est le cas pour chacune des méthodes. Ce dépôt peut être du nitrure de silicium ou de l'oxyde de silicium dépendamment de l'application souhaitée. On vient déposer cette couche par-dessus les TSV révélés pour ensuite la retirer avec une étape de CMP (Huang *et al.*, 2013).

Un problème a été détecté (Huang *et al.*, 2013) lors de l'utilisation de cette technique. Étant donné sa grande sélectivité, n'importe quel débris peut venir faire un masque au plasma et empêcher la gravure comme le montre la Figure 26.

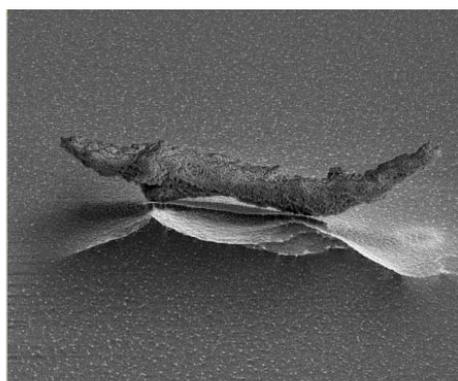


Figure 26 Un débris sur la surface empêche la gravure sèche de se produire (Huang *et al.*, 2013)

Il faut donc que la propreté de surface de l'échantillon soit parfaite, sinon l'uniformité sera compromise.

3.4 Collage inter-puces à interconnexions métalliques

Lorsque les TSV sont bien révélés et passivés, la prochaine étape est de former des micropiliers métalliques de taille plus importante qui iront se connecter vers une autre puce comportant elle aussi des micropiliers sur lesquels une connexion électrique fiable peut s'effectuer. Ces interconnexions doivent être uniformes l'une par rapport à l'autre. Cela est nécessaire pour s'assurer que chacune des connexions s'établissent, surtout si il est question de matrices de connexions ayant un pas de l'ordre de dizaines de microns (Ko *et al.*, 2011). La connexion elle-même doit également être résistante mécaniquement et doit également pouvoir résister aux changements de température. Vient ensuite l'interfaçage puce à puce dont plusieurs paramètres dépendent du type d'interconnexions sur les deux puces à interfacier. Cette section présente les différents types d'interconnexions métalliques adaptés pour coller deux puces comprenant des TSV en cuivre, ainsi que les techniques utilisées dans la littérature pour qu'une connexion fiable s'effectue.

3.4.1 Interconnexions Cuivre-Étain

Une interconnexion Cuivre-Étain (Cu/Sn) consiste en l'érection d'un micropilier comportant une base en cuivre surmontée d'une section d'étain. Un procédé d'électroplacage tel que démontré à la Figure 27 est généralement utilisé de concert avec une étape de photolithographie à photorésine épaisse résistante aux bains de placage. Ce micropilier est placé de manière à ce qu'il soit contacté par le cuivre sur un TSV révélé en face arrière.

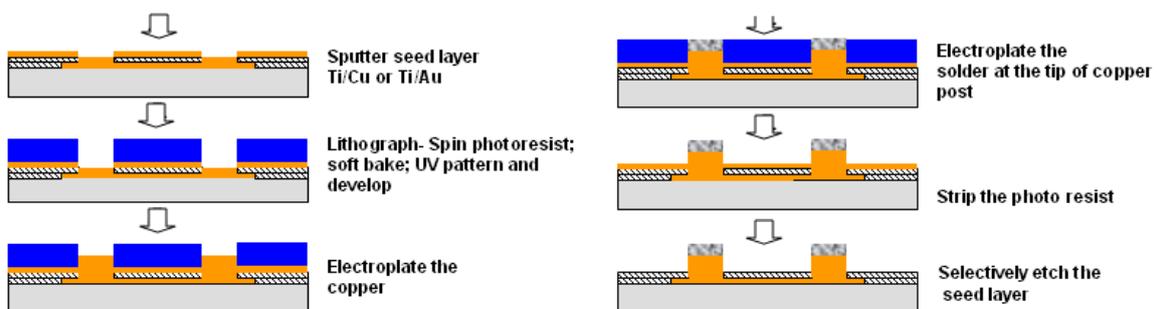


Figure 27 Exemple de procédé d'électroplacage de micropiliers Cu/Sn (Agarwal *et al.*, 2010)

Les couches minces de cuivre (première étape de la Figure 27) déposées directement sur substrat de silicium sont connues pour avoir une mauvaise adhésion (Aithal *et al.*, 2006). Pour grandement améliorer l'adhésion, le dépôt de cuivre doit être précédé d'un dépôt de titane (Aithal *et al.*, 2006). L'oxydation de cette couche mince de cuivre pourrait mettre en péril l'adhésion des micropiliers de cuivre qui suivront. C'est pourquoi le dépôt de la couche d'amorce de cuivre doit être suivi d'un autre dépôt de titane de 30 nm pour protéger le cuivre de l'oxydation et des produits chimiques tel que le

TMAH (Prasanna Venkatesh *et al.*, 2013). De plus une bonne adhésion à la photorésine qui sera étalée sur la couche d'amorce dans l'étape suivante (Marinace and Mcgibbon, 1982).

Pour ériger des micropiliers par électroplacage, il faut avant tout construire un moule où ceux-ci pourront croître. Dans la majorité des cas, ce moule est fabriqué avec un procédé de photolithographie à photorésines épaisse tel que démontré dans la Figure 27. Ce genre de photolithographie peut être réalisé en utilisant des photorésines spécialement conçues pour des applications nécessitant des structures allant de 5 μm à 100 μm d'épaisseur (Kukharenka *et al.*, 2003).

Pour donner une intégrité mécanique au matériau de brasure lors de la soudure des deux tiers ensemble, un UBM (« *Under Bump Metallization* ») de cuivre est bonne pratique (Xu *et al.*, 2009). Un UBM de cuivre doit donc être électroplaque avant d'électroplaque le matériau de brasure. L'épaisseur de cet UBM doit être telle que lors de la fusion du matériau de brasure, celui-ci forme au minimum une demi-sphère par-dessus l'UBM lorsqu'il devient liquide. L'épaisseur du matériau de brasure électroplaque doit être telle qu'il en reste suite à la formation d'intermétalliques avec le cuivre lors du procédé de fusion (Yazzie *et al.*, 2012) L'épaisseur du matériau de brasure doit donc être choisie avant même de pouvoir choisir l'épaisseur de l'UBM.

Un facteur important pour le bon déroulement de l'interfaçage est l'uniformité de l'épaisseur des contacts au niveau matriciel. Le budget et le stress thermique des deux tiers et du produit final jouent aussi sur le choix de ce matériau (Liu *et al.*, 2015). Par exemple si l'interfaçage des deux tiers se fait à moins haute température, lorsque le produit final se retrouvera à température pièce, il contiendra beaucoup moins de stress mécanique. Ce stress est induit par le CET (coefficient d'expansion thermique) des matériaux composant les puces. Il est donc préférable de choisir un matériau de brasure avec un point de fusion bas (Lu, 2018).

Dans le micropilier Cu/Sn, l'étain agit comme matériau de brasure avec un point de fusion de 232°C. Deux intermétalliques le, Cu_3Sn et le Cu_6Sn_5 , se forment à l'interface du cuivre et de l'étain avec une combinaison de chaleur et de pression (Huffman *et al.*, 2007). Avec deux puces possédant de tels micropiliers, on peut faire une connexion électrique en venant coller les deux couches d'étain ensemble, comme l'illustre la Figure 28. La structure finale de l'interface entre les deux micropiliers est dépendante de l'épaisseur de la couche d'étain, de la pression, de la température et du temps de collage durant lesquelles ces conditions sont maintenues (Huffman *et al.*, 2007).

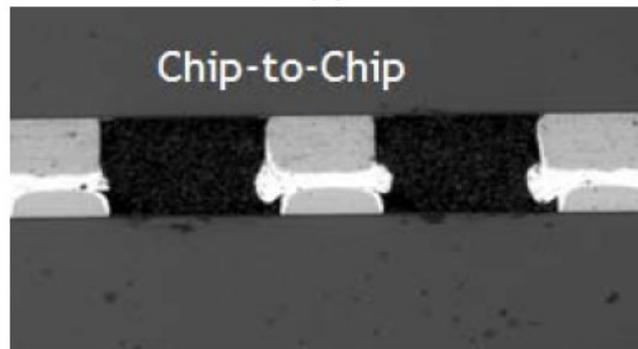


Figure 28 Collage de deux puces avec micropiliers Cu/Sn (Yoon et al., 2011)

Sur la Figure 28 et la Figure 29, on voit les intermétalliques Cu_3Sn et Cu_6Sn_5 en blanc et le cuivre en gris. L'intermétallique Cu_6Sn_5 n'est pas souhaitable dans une telle soudure, étant donné qu'il est métastable, le Cu_3Sn quant à lui est stable et son point de fusion se trouve à $675^\circ C$ ce qui confère des caractéristiques eutectique et de l'intégrité à la soudure (Lv et al., 2014). L'idéal est qu'une interface $Cu - Cu_3Sn - Cu$ se forme comme sur la Figure 29.

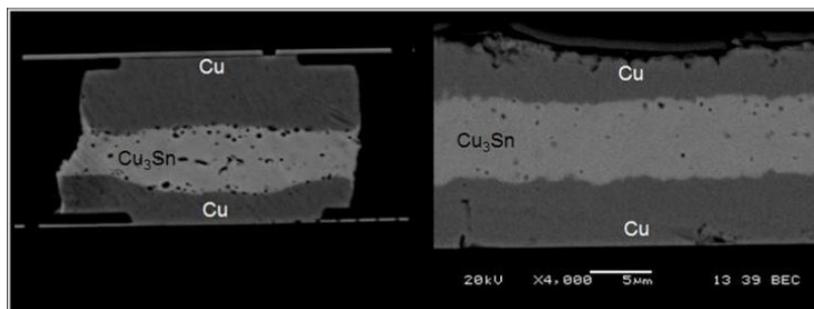


Figure 29 Interface de soudure entre deux puces ne contenant que l'intermétallique Cu_3Sn (Yoon et al., 2009)

Il a été démontré que plus la couche d'étain était grande, plus le risque d'avoir une couche d'intermétallique Cu_6Sn_5 était élevée dépendamment du diamètre du micropilier (Huffman et al., 2007). Cela dit, une étude doit être faite pour avoir le bon ratio cuivre-étain pour éviter la formation de cet intermétallique.

Cette technique peut donc être adaptée pour se connecter à des TSV révélés en face arrière pour servir de connexion entre deux puces. Cela est démontré dans la Figure 30.

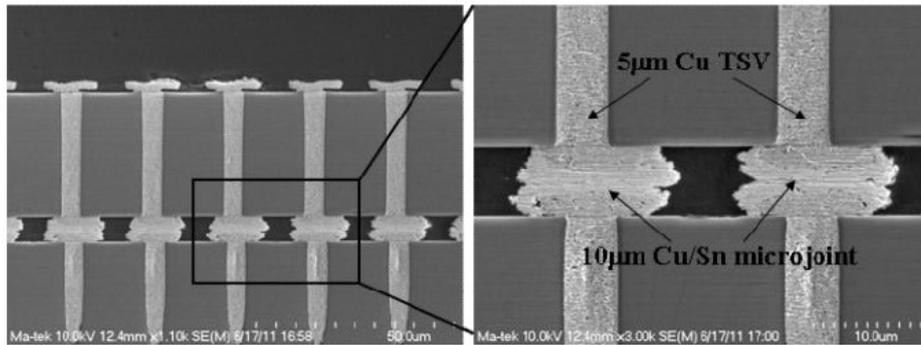


Figure 30 Interconnexions de micropiliers Cu/Sn avec TSV (Ko et al., 2011)

3.4.2 Interconnexions de type C4 (*Controlled Collapse Chip Connection*)

Les interconnexions de type C4, mieux connues sous le nom de microbilles, est une technique qui consiste à placer ou à faire croître un micropilier généralement constitué d'un alliage d'étain (Frieswijk et al., 1997) sur une des deux puces à coller l'une à l'autre. Une étape de refusion fait fondre ce pilier pour lui donner l'aspect d'une bille. Le pilier est électroplqué à l'aide d'une recette de photolithographie similaire à celle utilisée pour les micropiliers Cu/Sn. La technique C4 est utilisée au lieu de la microsoudure avec micro-fils étant donné l'augmentation du nombre de signal nécessaire sur un circuit intégré (Logan and Guthaus, 2011). La Figure 31 illustre ce procédé.

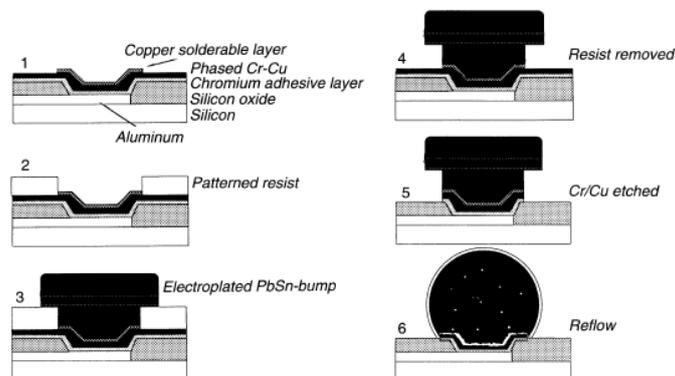


Figure 31 Processus de développement d'une interconnexion de type C4 (Frieswijk et al., 1997)

Ce type d'interconnexions est surtout utilisé pour des procédés « *flip-chip* » où l'on vient coller les deux faces avant de deux puces, avec l'une d'entre elle comportant l'interconnexion C4 (Logan and Guthaus, 2011). Il a aussi été démontré (Au et al., 2011) qu'il est possible d'utiliser cette technique de concert avec les TSV. Il suffit de connecter électriquement une interconnexion C4 vers un site de TSV révélé en face arrière, comme l'illustre la Figure 32.

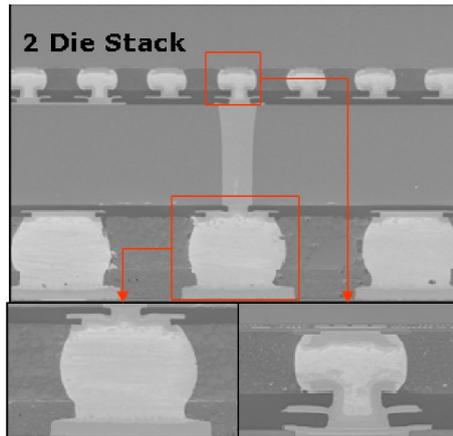


Figure 32 Interconnexions C4 utilisées avec TSV (Au *et al.*, 2011)

Il existe toutefois une différence majeure entre le C4 et les interconnexions à micropiliers. La grande différence est que le C4 ne permet pas une aussi bonne densité que les interconnexions à micropiliers et a tendance à causer des ponts de soudure (Kenny *et al.*, 2010). Pour des dispositifs demandant une grande densité, par exemple avec un pas de 25 μm , les interconnexions à micropiliers sont donc nécessaires.

3.4.3 Interconnexions Cuivre-Cuivre

Une interconnexion Cu/Cu consiste à fabriquer des micropiliers de cuivre sur chacune des puces à coller et de faire un collage cuivre à cuivre à haute température. Les micropiliers sont fabriqués par électroplacage de la même manière que pour les micropiliers Cu/Sn. On vient ensuite enduire les micropiliers de BCB (Benzocyclobutène), un adhésif résistant à la température qui s'étale par rotation, on vient égaliser les structures avec la technique « *fly-cutting* » (R. Agarwal *et al.*, 2009) (Figure 33) ou par CMP (Q. Chen *et al.*, 2012), puis on colle à haute température (350°C) (Q. Chen *et al.*, 2012).

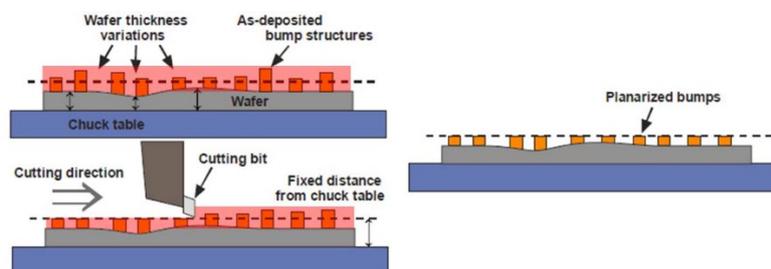


Figure 33 Technique "Fly-Cutting" utilisée pour planariser les micropiliers de cuivre (R. Agarwal *et al.*, 2009)

Le défi avec cette technique est d'avoir une surface de micropiliers uniforme et plane. Le « *fly-cutting* », le CMP ainsi que des techniques de placage optimisées sont les méthodes utilisées pour avoir une surface uniforme. On préfère cette approche à celle des micropiliers Cu/Sn parce qu'elle

donne une meilleure résistance mécanique, une meilleure conductivité thermique et elle diminue grandement l'effet d'électro-migration comparativement au Cu/Sn (Hsiao *et al.*, 2015). Par contre, le besoin de recuit haute température de cette méthode peut être coûteux pour le budget thermique de certaines puces.

Cette méthode peut être utilisée pour faire la connexion électrique à un TSV pour procéder à un collage vertical, tel qu'illustré sur la Figure 34.

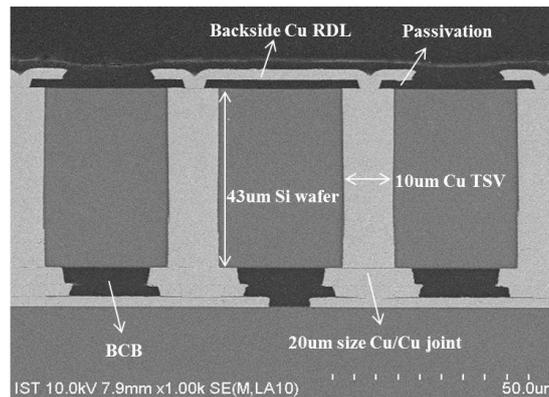


Figure 34 Interconnexions Cu/Cu - BCB entre deux puces avec TSV sur une des puces (Hsiao *et al.*, 2015)

Une autre technique, couramment appelée DBI (*direct bond interconnect*), inventée par la compagnie Ziptronix utilise des interconnexions à micropiliers de cuivre sans matériau de brasure pour l'interfaçage de puces (Wang, 2017). Cette technique est intéressante étant donné qu'elle permet l'interfaçage à température pièce (25°C) des micropiliers. Cette technique nécessite également beaucoup moins de temps de procédé que les autres techniques disponibles. La figure 35 donne un sommaire des températures et temps de procédé des différentes technologies disponibles.

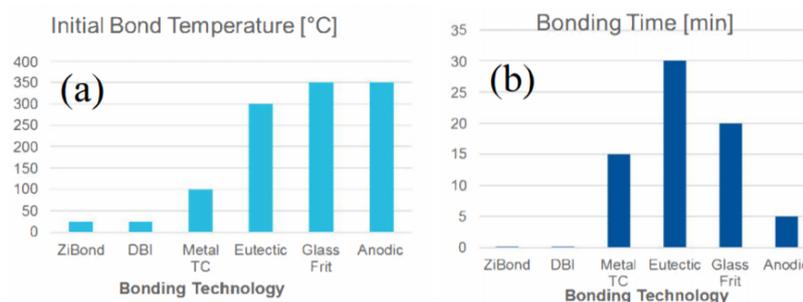


Figure 35 Graphiques des températures et temps de procédé des différentes technologies d'interconnexions Cu-Cu (Wang, 2017)

Il existe donc plusieurs technologies pour réaliser des interconnexions Cu-Cu. Les deux points majeurs étant la température et le temps nécessaire au procédé. Dépendamment du type puces à interfacier, une exposition prolongée à des températures dépassant les 200°C peut endommager les structures semi-conductrices des puces ou bien affaiblir leur intégrité mécanique (Enquist *et al.*,

2009). Il est donc primordial de vérifier si le procédé d'interconnexions Cu-Cu choisi est compatible avec le type de puces à interfacer.

3.4.4 Variantes dans les métaux utilisés

Plusieurs variantes du cuivre et de l'étain sont utilisées dans la littérature (Akin *et al.*, 2015)(Fromel *et al.*, 2012) dépendamment des applications souhaitées. Les différentes propriétés des intermétalliques de certaines combinaisons de métaux font en sorte qu'il est libre aux concepteurs de choisir les meilleures intermétalliques pour leur application. Les variantes les plus communes pour du collage puce à puce sont décrites dans cette sous-section.

L'étain est à la base des métaux utilisés pour leur basse température de fusion en électronique et en microélectronique. L'alliage étain-argent est également utilisé comme couche de soudure, que ce soit par-dessus un micropilier ou pour une interconnexion C4 (Johannessen, Taklo and Sunding, 2009)(Yoneta *et al.*, 2013). Cette couche de soudure forme une interface $Cu - Cu_3Sn - Ag_3Sn - Cu_3Sn - Cu$ qui est très résistante aux hautes températures et qui a une bonne résistance mécanique dans les cas où la couche d'argent est contrôlée, et d'ordre nanométrique (Yoneta *et al.*, 2013)(Chou, 2002). De plus, cet alliage permet de faire le collage à une température assez basse (160°C) (Yoneta *et al.*, 2013). On utilise également l'indium comme substitut à l'étain. Il est en partie utilisé, car son point de fusion est très bas (156.6°C) (Tian *et al.*, 2012), alors le cycle thermique de collage est moins exigeant sur le budget thermique d'une puce contenant de l'électronique CMOS par exemple. L'intermétallique recherché formé par cette combinaison de métal est le Cu_2In . Il est facile de le créer (comparativement au Cu_3Sn qui nécessite plusieurs cycles de soudure avant de se former uniformément) et a un point de fusion de 388.3°C, ce qui fait de lui un bon candidat pour le collage 3D de puces (Chien *et al.*, 2013).

Il est également intéressant de changer le matériau de la partie inférieure du micropilier. L'or est utilisé comme remplacement au cuivre. Il a été démontré qu'un alliage Au/Sn a une forte résistance mécanique, ne s'oxyde pas beaucoup, mouille bien les surfaces tout en étant un excellent conducteur de chaleur et d'électricité (Fang *et al.*, 2013). L'alliage $Au_{0.85}Sn_{0.15}$ (intermétallique ζ) est considéré comme un des meilleurs pour les applications d'interfaçage 3D de puces (Yang, Akaike and Suga, 2012). Pour parvenir à créer cet alliage, il faut augmenter la température à près de 300°C comme le montre la Figure 36.

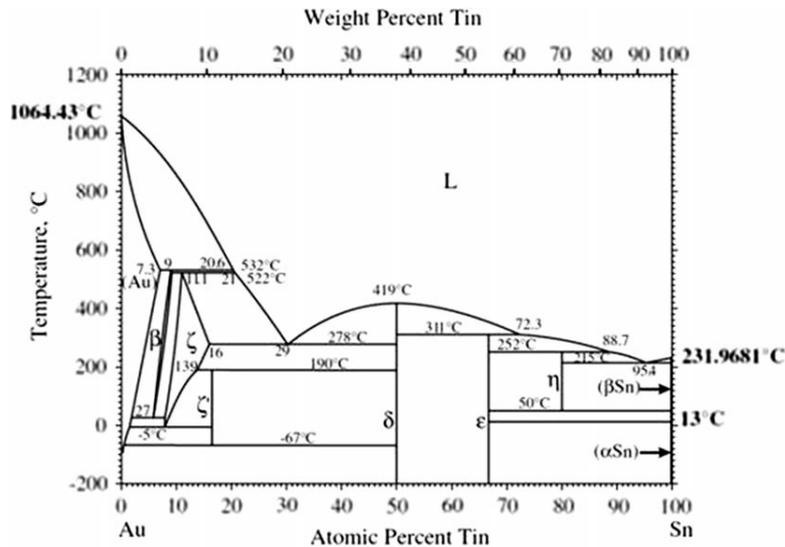


Figure 36 Diagramme de phase Au/Sn (Yang, Akaike and Suga, 2012)

Une fois créé, cet alliage a de bonnes propriétés, mais il faut toutefois passer par de hautes températures pour le créer, ce qui peut endommager les puces à coller. Malgré le fait que ces hautes températures sont nécessaires pour créer l'alliage, le temps de chauffage peut être relativement bas (Bohan, Chunqing and Wei, 2007), ce qui pourrait épargner certains types de puces sensibles à la chaleur.

3.4.5 Assemblage

Les sections 3.4.1 à 3.4.4 sont davantage axées sur les solutions concernant les matériaux. Cette section traite des techniques utilisées pour le procédé d'assemblage. Elle traite à proprement parler du processus lors duquel on aligne les deux puces à assembler l'une sur l'autre avec une machine prévue à cet effet, et qu'on chauffe l'assemblage et gardant le contrôle sur l'atmosphère et la pression. Les techniques d'assemblage de chacune des technologies d'interfaçage présentées sont semblables et traitent des mêmes paramètres.

Premièrement, la surface des interconnexions doit être connue et dépourvue de toutes couches pouvant empêcher le bon collage des interconnexions. La surface doit être nettoyée et désoxydée avec des agents tels que du décapant (*flux*) ou des acides dilués (ex. : acide citrique) avant ou pendant le collage (Yoon *et al.*, 2009) dépendamment de si l'environnement est contrôlé. Si la machine utilisée comprend une chambre où l'environnement est contrôlé, le vide peut être fait et un acide formique peut être envoyé dans la chambre avant et pendant la soudure pour désoxyder et nettoyer les métaux des interconnexions afin d'en faciliter la soudure (Yang, Akaike and Suga, 2012).

Trois paramètres importants doivent également être contrôlés lors d'une telle manipulation. La température, la pression ainsi que le temps de collage. La Figure 37 illustre un exemple de collage par thermocompression.

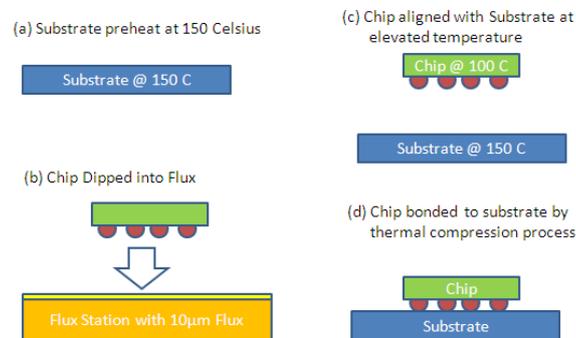


Figure 37 Exemple de collage par thermocompression (Chong, Wee and Teo, 2011)

Cette méthode est compatible autant avec les gaufres qu'avec les puces. Alors des procédés puce à gaufre, gaufre à gaufre ou bien puce à puce peuvent bénéficier de cette méthode d'assemblage.

4. DÉVELOPPEMENT

Cette section porte majoritairement sur la sélection des techniques présentée plus haut.

L'environnement de travail ainsi que les méthodologies sélectionnées sont présentés. Une argumentation sur le choix de la technique sera suivie d'une analyse des résultats pour terminer avec des recommandations pour une éventuelle suite au projet. La séquence des étapes présentées est principalement chronologique, mais certaines sous-étapes peuvent avoir été testées et travaillées dans un autre contexte temporel.

Dans cette section, on retrouve donc le cœur du projet de recherche, soit une description détaillée et de toutes les étapes et recettes (en annexe) de microfabrication utilisées pour l'interfaçage 3D de puces DALSA CMOS 0.8 μm sur puces DALSA CMOS 0.8 μm . Les étapes antérieures (réalisées par Luc Maurais, Thomas Dequivre et Elias Al Alam) au retrait du surplus de cuivre laissé par le remplissage des TSV sont aussi brièvement discutées par commodité. L'étape de la réalisation du contact de l'anode du PAMP au TSV (développée par Luc Maurais, mais réalisée dans ce projet) est également couverte pour garder un cheminement fluide.

Les procédés discutés plus bas ont été développés sur substrats de silicium. Bien entendu, d'autres types de substrats ont été utilisés comme outils et support aux différentes étapes, sans toutefois être partie intégrante du dispositif final. La forme des échantillons traités, que ce soit des échantillons pantins ou actifs, est rectangulaire (coupons) et est dimensionnée à 22 mm X 23 mm. La raison principale de l'utilisation de tels coupons est d'augmenter le rendement des échantillons disponibles à travers le procédé. En production, les procédés de microfabrication sont réalisés sur des gaufres pouvant aller au-delà de 300 mm de diamètre. L'utilisation de gaufres pour un projet de preuve de concept amène le risque de perdre toutes les puces actives contenues sur une gaufre si un problème de manipulation survient. En revanche, si un problème survient avec un coupon (provenant d'une gaufre), seulement les puces sur le coupon seront perdues. Cela est un point très important étant donné que le nombre d'échantillons disponibles pour ce projet est limité. Les procédés présentés ci-dessous ont donc été développés et validés pour le traitement de coupons de silicium de 22mm X 23 mm. Il serait cependant envisageable de développer un procédé d'assemblage 3D au niveau gaufre en prenant ce procédé comme point de départ.

4.1 Méthodologie et environnement de travail

Au cours d'un tel projet de microfabrication, une quantité importante d'appareils spécialisés sont utilisés. Certains appareils servent aux étapes de microfabrication ainsi alors que d'autres sont utilisés pour la métrologie. Ces appareils sont situés dans différents laboratoires pour une question de propreté de l'environnement. Plusieurs produits chimiques tels que des gaz, des solvants, des acides et des bases sont indispensables à la microfabrication de dispositifs électroniques. Ces produits sont tous accessibles aux utilisateurs, dépendamment du laboratoire. Cette sous-section porte principalement sur les appareils qui seront utilisés pour le projet et sur l'environnement où on les retrouve.

4.1.1 Microfabrication

Dans l'optique de ce projet de recherche, les étapes de microfabrication débutent presque toutes par un procédé de photolithographie. Les logiciels de dessins tels qu'Autocad et Layout Editor sont utilisés pour le dessin des motifs qu'on retrouvera sur les photomasques. Ces concepts de photomasques sont généralement envoyés chez une compagnie externe qui s'occupe de les fabriquer. Il est souvent moins coûteux et moins long de faire ainsi. De plus, le travail est effectué en parallèle du projet au 3IT, ce qui améliore le rendement général. Le matériel et les appareils nécessaires comme les tournettes, les plaques chauffantes, les aligneuses, les bancs humides et les solvants sont nécessaires aux procédés de photolithographie. Il est primordial de développer une bonne expertise en photolithographie, car c'est la base de la plupart des procédés. Le procédé de photolithographie s'effectue au LNN (Laboratoire de Nanofabrication et de Nanocaractérisation) situé au 3IT, qui est une salle blanche de classe 100. Il est également possible d'effectuer des photolithographies dans les salles « propres » de l'IMDQ (Infrastructure pour les Matériaux et Dispositifs Quantiques) situées dans la faculté de physique de l'université de Sherbrooke.

Les étapes d'électropolissage et d'électroplacage nécessitent l'utilisation de source de courant variable, d'électrode tournante, de cellule de placage, de plaque chauffante et d'électrolytes d'électroplacage. Une étude approfondie des paramètres de placage doit être menée pour obtenir un placage en particulier. C'est pourquoi il est crucial de bien choisir l'appareillage utilisé lors de ces étapes. Par exemple il serait bien important de s'assurer que le courant maximal/minimal en sortie de la source de courant est suffisant pour les procédés en développement.

Certaines étapes nécessitent des demandes de service au personnel de recherche de l'université. Par exemple, les dépôts par phase vapeur (PECVD, LPCVD), les dépôts de couches minces métalliques (Évaporation, Pulvérisation Cathodique), les gravures par plasma (RIE, DRIE) sont des procédés qui, au cours du projet, seront lancés sur des machines opérées par le personnel de recherche de

l'Université. Une machine de gravure au plasma, la March 1017, située au LNN peut généralement être opérée par les usagers de la salle blanche pour expérimenter plus rapidement. Une interface usager web est prévue pour les demandes de service au personnel de salle blanche pour faciliter le processus.

Les étapes de polissage et de CMP sont faites avec les appareils polissant mécaniquement les échantillons, soit des polisseuses (meules). Le polissage mécanique des échantillons est un procédé qui émet beaucoup de particules dans l'air ambiant. C'est pourquoi cette étape doit s'effectuer au LCSM (Laboratoire de Caractérisation et de Synthèse des Matériaux) qui est une salle propre classe 1000. Le CMP quant à lui est fait au LNN vu la précision et la propreté de ce procédé.

Les étapes nécessitant la manipulation de produits chimiques, comme les étapes de nettoyage et de gravure humide, sont toutes effectuées sur les bancs humides disponibles dans les trois laboratoires, soient le LNN, le LCSM et au IMDQ. L'accès à l'eau déionisée et à l'azote gazeux est disponible sur ces installations.

4.1.2 Intégration et prototypage

En dehors des salles blanches et propres se trouvent d'autres installations comme un atelier de prototypage mécanique, un laboratoire d'électronique et un laboratoire de prototypage électronique, le LCP (Laboratoire de Caractérisation et de Prototypage). Dans l'atelier de mécanique, on y pratique la fabrication mécanique d'appareils aidant la recherche en laboratoire, par exemple un réacteur d'électroplacage. On y trouve tout l'équipement de machinage usuel tel qu'un tour, une scie à ruban, un routeur six axes, etc... Au laboratoire d'électronique se trouvent des sources de courant, des oscilloscopes et des stations de soudage utiles au développement de cartes électroniques pour tester les échantillons développés en salle blanche. Le LCP est équipé de plusieurs équipements spécialisés. Une microsoudreuse SAE permet de faire du micro pontage de puces sur PCB, une station de micro-assemblage haute précision TRESKY permet l'alignement et l'interfaçage de micro puces et une découpeuse laser LPKF Protolaser U3 permet le micro-machinage d'échantillons précis à quelques dizaines de microns.

4.1.3 Mesures

Après certains procédés de microfabrication, il est généralement important de faire des mesures sur les échantillons. Les appareils de microscopie optiques (LNN, LCSM, IMDQ) sont utilisés pour faire des observations micrométriques rapides, comme la validation d'un procédé de photolithographie. Les observations plus fines sont laissées aux microscopes électroniques à balayage (LNN) qui permettent les mesures au niveau nanométrique. Des instruments de mesure topologiques sont

également utilisés pour l'étude de surface des échantillons. Pour ce genre de mesures, on retrouve des MFA (Microscopes à Force Atomique) (LNN), des profilomètres (LNN, IMDQ), des ellipsomètres (LNN) et des analyseurs par interférométrie (LNN).

4.2 Gravure des trous des TSV (Développée par Luc Maurais)

Le but de cette étape est de trouser le substrat près de chacun des PAMP et de leur connexion au niveau de métal #1 du CMOS de la puce. La dimension visée de ce trou est de 8 μm de diamètre et 50 μm de profondeur dans le silicium. Cette étape doit se réaliser en deux sous-étapes. Étant donné que les puces de DALSA sortent de la fonderie avec une couche de passivation (diélectrique) de nitrure de silicium (Si_3N_4) sur le dessus des connexions CMOS, il faut graver le nitrure de silicium ainsi que l'oxyde de silicium (SiO_2) du CMOS avant de pouvoir commencer à graver le substrat. La technique choisie pour graver les trous dans les diélectriques et le silicium du coupon pour le remplissage des TSV est une technique de gravure sèche utilisant une machine AOE (« *Advanced Oxide Etch* »). Cette technique utilise un principe de sélectivité très utilisé en microfabrication : elle grave bien les diélectriques, mais peu la photorésines. Pour graver le silicium, le DRIE (« *Deep Reactive Ion Etch* ») a été utilisé avec la technique BOSCH (Marty *et al.*, 2005) rendant possible la création de structures ayant des ratios longueur/largeur de plus de 3 :1.

Il faut donc avoir recours à l'utilisation de procédés de photolithographie. Le Tableau 3 résume le procédé utilisé pour cette étape.

Tableau 3 Procédé de gravure des trous des TSV

Procédés	Photorésine/Gaz/Chimique utilisé(es)	Épaisseur/Gravure visée	Équipements principaux utilisés
Étalement de photorésines	AZ P4903	8 μm	Tournette
Exposition UV	-	-	Écriture directe
Développement de photorésine	AZ 400K (3 :1)	8 μm	Banc humide
Gravure des diélectriques	CF_4	5 μm	AOE
Gravure BOSCH du Si	SF_6 et C_4F_8	50 μm	DRIE

La recette détaillée pour cette étape se trouve à l'annexe A.

4.2.1 Analyse des résultats

Comme on peut le voir dans la Figure 38, le procédé a très bien fonctionné et a donné les dimensions de trous escomptés.

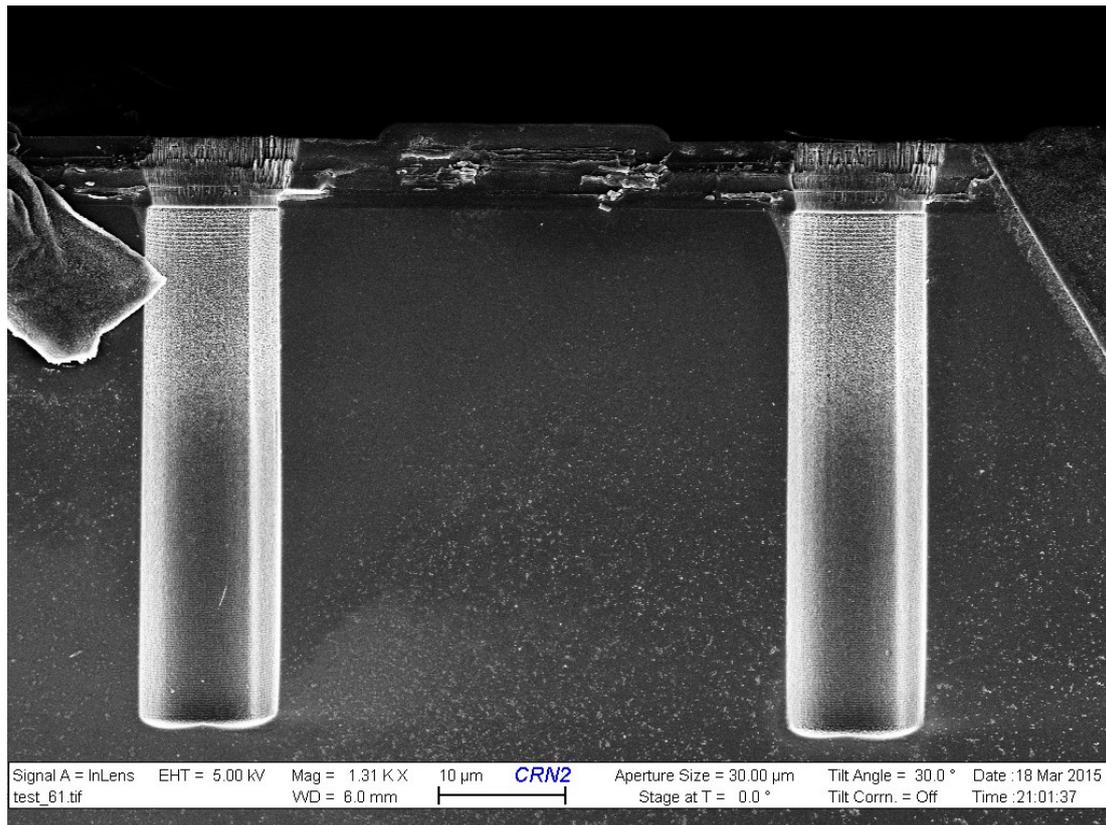


Figure 38 Vue en coupe des trous des TSV

4.3 Remplissage des TSV (Développée par T. Dequivre et E. Al Alam)

Le procédé de remplissage des TSV qui a été utilisé est celui de la compagnie Aveni. Il y a trois grandes étapes : le dépôt d'une couche d'isolation en polyvinyle, le dépôt d'une couche anti-migration et d'amorce en NiB (Nickel-Bore) et l'électroplacage de cuivre pour remplir les TSV.

Ces étapes ont toutes été développées par Aveni, mais ont été testées au LNN par Elias Al Alam, Thomas Dequivre et Étienne Paradis. Les étapes ont été revues pour bien les adapter aux conditions du LNN.

Les Figure 39, Figure 40 et Figure 41 montrent que le remplissage s'effectue bien et que les couches d'isolation et d'amorce sont bien déposées. On remarque le surplus de cuivre à retirer dans la Figure 41. Ce surplus de cuivre sera retiré dans l'étape suivante.

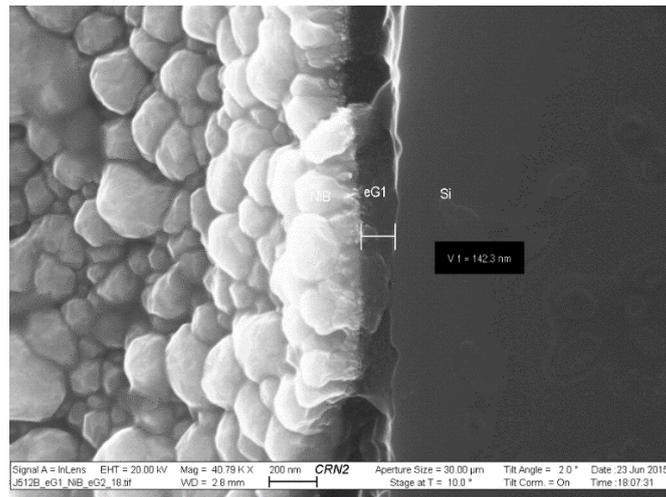


Figure 39 Vue en coupe zoomée du NiB et polyvinyle

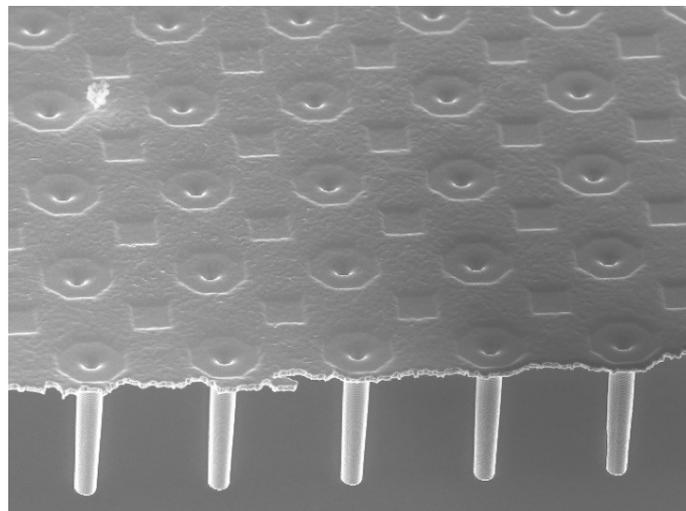


Figure 40 Vue en coupe / à angle des TSV remplis de cuivre et du surplus

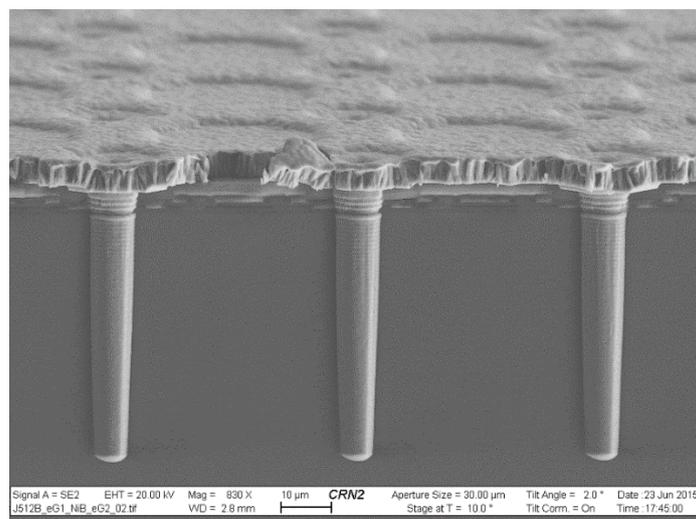


Figure 41 Vue en coupe / à angle des TSV remplis de cuivre, du surplus de cuivre et des connexions CMOS

4.4 Retrait du surplus de cuivre

Comme on peut le voir sur la Figure 41, un surplus de cuivre s'est formé sur la surface du tiers 1 (PAMP) lors du remplissage des TSV. Une couche de cuivre laissée par ce procédé fait un court-circuit entre tous les TSV présents sur le coupon et empêche les PAMP d'être exposés à la lumière. Il faut donc la retirer pour que les puces puissent fonctionner. Cette étape consiste à retirer ce surplus de cuivre d'environ 4 μm d'épaisseur laissé sur l'entièreté de la surface de la puce suite au remplissage des TSV.

L'électropolissage à l'acide phosphorique 85% a été choisi comme procédé pour le retrait du surplus de cuivre. La technique d'électropolissage est moins risquée de par le contrôle qu'elle offre. En effet, il était plus risqué d'endommager les TSV avec des techniques de CMP et de gravure humide en comparant les différentes méthodes présentées dans l'état de l'art (Padhi *et al.*, 2003)(Koo and Lee, 2014). L'électropolissage utilise une interaction électrochimique plus douce et est auto limitante. Pour que l'électropolissage fonctionne, un contact électrique est nécessaire sur la couche de cuivre à graver. Lorsque celle-ci est complètement retirée, il n'y plus de contact électrique sur les TSV. Ils ne se font donc plus graver. Il y a toutefois un inconvénient à l'utilisation de cette technique. Si le surplus de cuivre n'est pas uniforme, des îlots de cuivre peuvent demeurer un peu partout sur la puce, ce qui pourrait causer des courts-circuits et recouvrir quelques PAMP, ce qui pourrait nuire aux performances du dispositif final.

4.4.1 Tests et développement

Une embûche était déjà présente à la réalisation des tests de la recette d'électropolissage. Il fallait trouver des échantillons tests ayant déjà une couche de cuivre similaire à celle sur les coupons de PAMP. Heureusement, des chercheurs du C2MI (Centre de Collaboration Micro Innovation) situé à Bromont avaient déjà testé le procédé de remplissage de TSV d'Aveni. Des échantillons tests sur lesquels il y avait un surplus de cuivre de la même nature que les coupons PAMP ont donc pu être récupérés de ces essais pour développer le procédé.

Le montage utilisé pour faire l'électropolissage est un réacteur fait de PTFE (Téflon) qui a été conçu par moi et Olivier Lussier. Ce réacteur a été conçu pour l'électroplacage, ce qui permettait donc de faire de l'électropolissage également en renversant la polarité des courants. Les principaux composants du réacteur sont une électrode épaisse en cuivre, un récipient pour l'électrolyte et des masques pour masquer ce qu'on ne veut pas électropolir. Il faut premièrement bien positionner le coupon sur la plaque de cuivre et bien le fixer avec du ruban de cuivre pour faire le contact du surplus de cuivre à l'électrode de cuivre. Ensuite, on doit installer la plaque de cuivre dans le réacteur

en appliquant le bon masque en PTFE et mettre le réacteur en marche, voir Figure 42 et Figure 43 . La Figure 42 montre un avant/après du coupon après l'électropolissage.

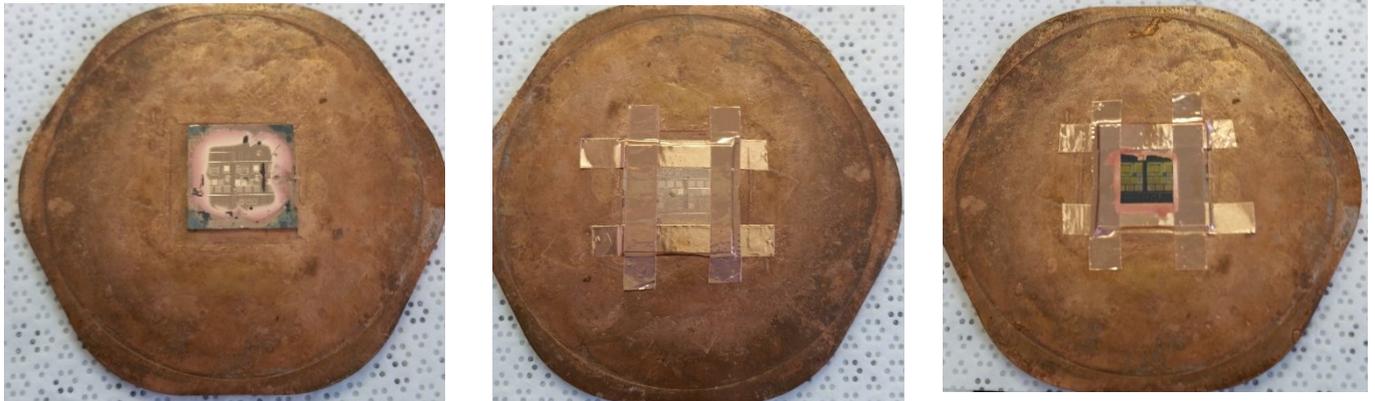


Figure 42 Manipulations pour le contact du coupon pour l'électropolissage du surplus de cuivre.

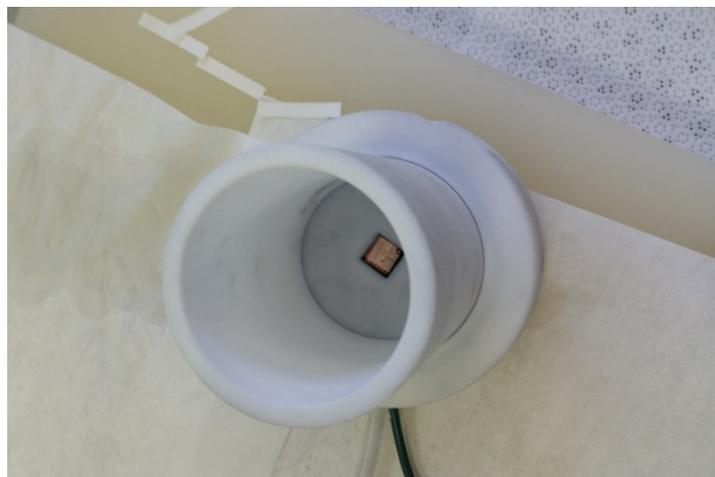


Figure 43 Photo du réacteur en PTFE chargé, vu de haut.

Les tests ont été très concluants après quelques essais seulement. Les paramètres importants lors de cette manipulation sont principalement la composition de l'électrolyte et les paramètres de la source de courant utilisée, une Keithley 220. Un jeu de paramètres de courant (Padhi *et al.*, 2003) a été très efficace et a donné de bons résultats rapidement (Voir recette à l'annexe A). Suite à cette étape, il y avait des résidus de cuivre toujours présents sur les échantillons. Une gravure humide légère du cuivre utilisant une solution de Cyantek, le CR-7, normalement utilisée pour la gravure humide du chrome, a été utilisée (Williams *et al.*, 2003). Après quelques tests, il a été observé qu'une immersion de quelques dizaines de secondes dans le CR-7 suffisait à retirer les résidus de cuivre restés sur l'échantillon. Le traitement des coupons de PAMP a donc pu débuter avec confiance. Les premiers tests sur les vrais échantillons ont bien fonctionné, toutefois le temps d'électropolissage a presque triplé. Cette augmentation du temps nécessaire a été attribuée au fait que la composition du cuivre

sur les vrais échantillons était plus dense que celle sur les échantillons tests. Cette hypothèse devra toutefois être validée dans le futur. Pour la recette détaillée, voir l'annexe A.

4.4.2 Analyse des résultats

Cette étape a très bien fonctionné comme le témoignent les Figure 44 et Figure 45.

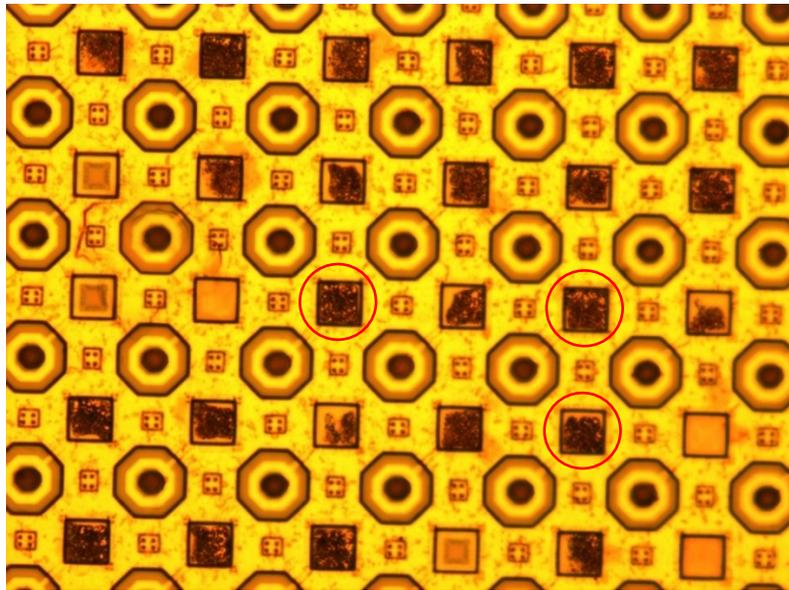


Figure 44 Photo optique de la surface après électropolissage sans CR-7. Plusieurs PAMP sont recouverts de cuivre (exemples encerclés en rouge)

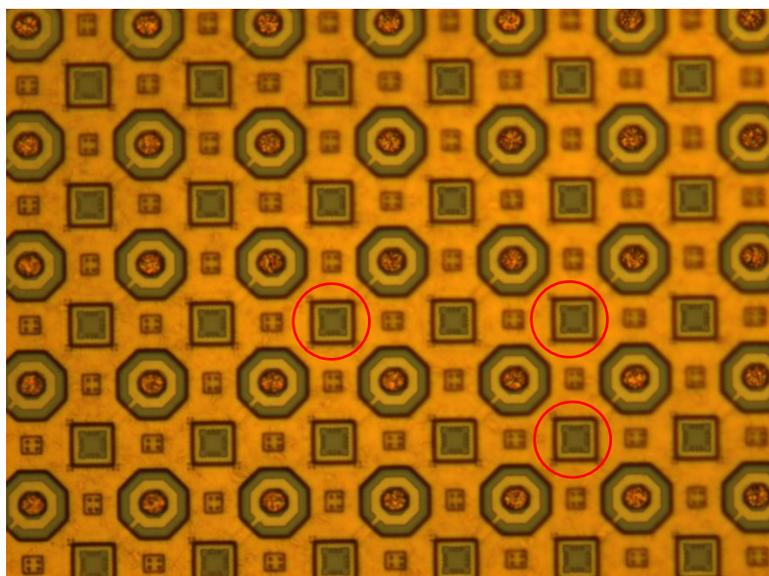


Figure 45 Photo optique de la surface après électropolissage et CR-7.

Sur la Figure 44 on voit une la surface d'un coupon PAMP frais sorti de l'électropolissage à l'acide phosphorique. Il y reste des résidus de cuivre un peu partout, notamment sur les PAMP. Suite à

l'étape du CR-7, il ne reste aucun résidu de cuivre faisant de court-circuit ou bouchant un PAMP. Les TSV sont en bon état et ils sont prêts pour la prochaine étape qu'est le contact TSV-CMOS Métal 1.

4.4.3 Discussion et recommandations pour le futur

Ce procédé prend beaucoup de temps (45 minutes par échantillon), mais il donne de très bons résultats. Il serait possible de diminuer le temps de procédé en augmentant l'amplitude des pulses de courant. Toutefois, cela pourrait engendrer des problèmes d'uniformité et des dommages aux TSV. Appliquer ce procédé au niveau gaufre peut également diminuer le temps de procédé par puce étant donné qu'il y a beaucoup plus de puces qui sont traitées à la fois. Bien entendu, les paramètres doivent être revus pour transcender vers les gaufres. La surface à électropolir augmente, alors l'amplitude du courant doit être augmentée au carré ($J \propto R^2$, R : Rayon de l'échantillon) pour obtenir une densité de courant similaire aux tests effectués sur coupons. Toutes ces manipulations sont reproductibles à l'IMDQ. Bien que j'aie réalisé ces expériences à l'IMDQ, je suis confiant de dire qu'il est possible de transférer le procédé au LNN. Je confirme donc la validité de cette solution pour l'atteinte de cet objectif qu'était de retirer le surplus de cuivre.

4.5 Contact avec le métal 1 du CMOS (Luc Maurais)

Cette étape est nécessaire pour effectuer un contact électrique entre l'anode des PAMP et leur TSV respectif. C'était le mandat de L. Maurais en 2015. Il faut tout d'abord faire une ouverture dans la passivation pour avoir accès au métal 1 du CMOS de la puce, qui est déjà connecté à l'anode du PAMP. Ensuite, un dépôt d'aluminium est fait par pulvérisation cathodique pour effectuer le contact électrique entre le TSV et le métal 1. La couche d'aluminium est ensuite gravée à l'acide, sauf aux endroits de contact.

Pour faire l'ouverture dans la passivation, le même procédé utilisé pour la gravure des trous des TSV a été employé, c'est-à-dire celle avec la photorésines AZ P4903 et la gravure à l'AOE.

Le dépôt d'aluminium est effectué à l'IMDQ. Il faut ensuite faire une étape de photolithographie par écriture directe pour l'étape suivante qui est la gravure humide de la couche d'aluminium déposée, sauf aux sites des TSV où le contact entre le TSV et le métal 1 s'effectue. Il faut donc laisser un plot de photorésines à ces endroits avant de graver le reste de l'aluminium. Le Tableau 4 résume le procédé.

Tableau 4 Procédé de contact TSV/Métal 1

Procédés	Photorésine/Gaz/Chimique utilisé(es)	Épaisseur/Gravure visée	Équipements principaux utilisés
Étalement de photorésines	S1818	2 μm	Tournette
Exposition UV	-	-	Écriture Directe
Développement de photorésine	MF-319	2 μm	Développeuse POLOS
Gravure de l'aluminium	Metal Etch E6	2 μm	Banc Humide

La recette détaillée pour cette étape se trouve à l'annexe A.

4.5.1 Analyse des résultats

Les Figure 46 et Figure 47 illustrent les résultats du procédé de contact TSV/Métal 1. Dans la Figure 46 on voit que le dépôt d'aluminium a bel et bien été déposé sur le TSV ainsi que sur le métal 1. La continuité de la couche montre aussi qu'il y a bel et bien un contact électrique entre le métal 1 et le TSV. La Figure 47 démontre que le procédé de dépôt et de gravure humide de la couche d'aluminium a bien fonctionné. On peut voir l'aluminium recouvrir le site du TSV et on voit qu'il n'y a pas de résidus d'aluminium ailleurs sur la puce, notamment sur les PAMP.

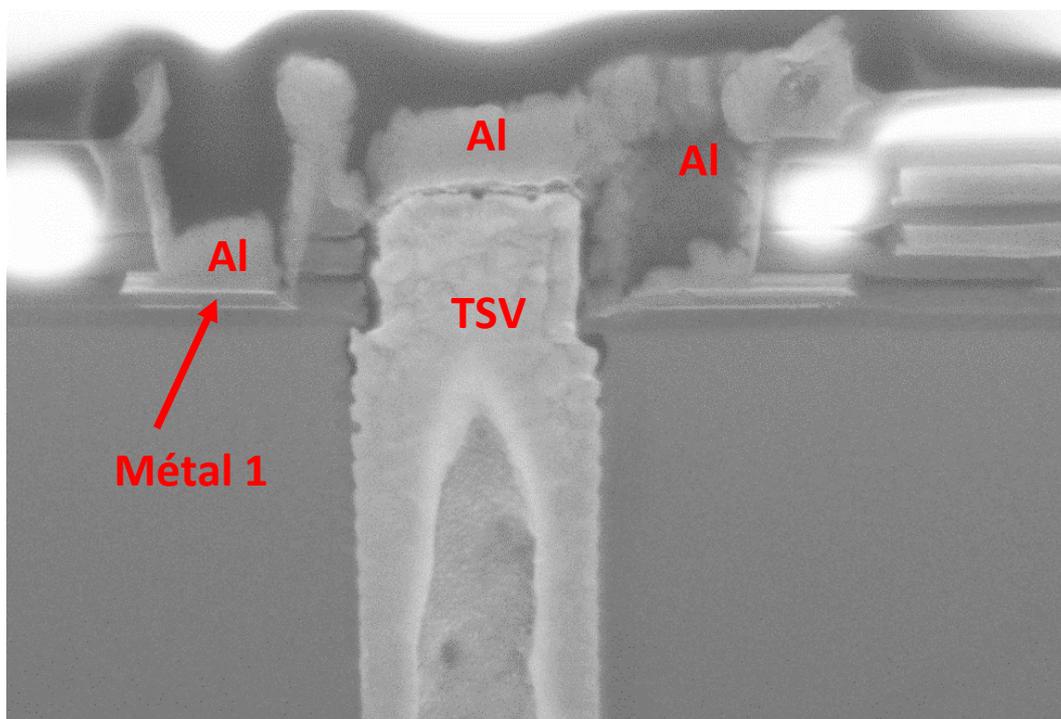


Figure 46 Vue en coupe d'un TSV contacté au métal 1

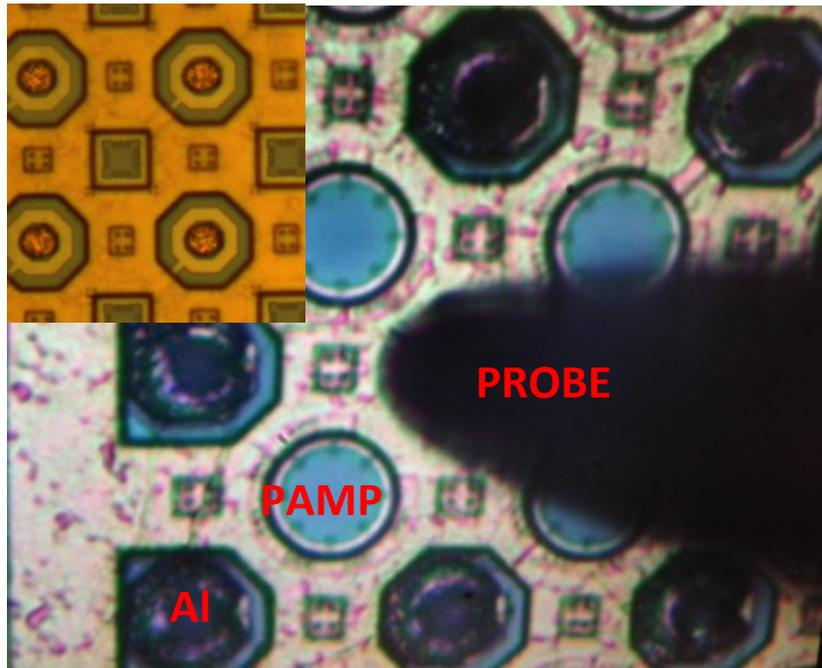


Figure 47 Photo optique des plots d'aluminium sur les TSV à la station sous pointes avec comparaison en haut à gauche des sites de TSV avant le contact avec le métal 1.

4.6 Amincissement en face arrière

Après avoir bien fait le contact TSV/métal 1, il faut faire ressortir les TSV sur la face arrière en procédant à une étape d'amincissement du coupon. L'épaisseur du coupon avant amincissement est d'environ 700 μm , et l'épaisseur visée après amincissement est de 70 μm . L'amincissement grossier (meulage) jusqu'à 70 μm est nécessaire pour ensuite faire une révélation des TSV (50 μm) plus en douceur. Il faut tout d'abord coller la face avant des coupons sur une gaufre support. La gaufre support permet de manipuler l'échantillon suite à l'étape d'amincissement sans risquer de l'endommager.

Suite à l'étape de collage sur support de silicium, on procède à l'amincissement du coupon. Ce procédé a été revu au complet à l'hiver 2016 par moi-même, en me basant sur le travail de Luc Maurais effectué en 2015. Le procédé de collage a été effectué en salle blanche au 3IT avec un nouvel équipement d'AML. De plus, le meulage a été fait à l'externe et les paramètres de polissage fin ont été revus et modifiés.

4.6.1 Tests et développement

La première étape est de trouver une colle pouvant résister aux procédés des prochaines étapes. Il a été convenu qu'une telle colle devait pouvoir résister à une température d'au moins 300°C (252°C, fusion de l'étain + marge) tout en ayant une procédure de séchage qui ne dépasse pas les 250°C, pour ne pas mettre en jeu l'intégrité du procédé CMOS. Elle devait également résister aux produits

chimiques utilisés dans les étapes à venir. Le choix de la colle HD3007 a donc été de mise considérant qu'elle répondait à tous les requis du procédé. Les tests s'en sont tenus à l'analyse de l'épaisseur obtenue lors d'étalements à diverses vitesses sur des gaufres de support tests en silicium de 4 pouces, l'analyse de ses propriétés après séchage et son adhésion lors du collage de coupons tests sur la gaufre support. Des tests ont également été effectués sur la séparation de l'échantillon de la gaufre support et le nettoyage des résidus avec les produits recommandés dans la fiche technique du HD3007 (recettes de décollage et nettoyage détaillées dans l'annexe A). Ces tests ont été effectués pour étudier la compatibilité avec les prochaines étapes.

Les tests préliminaires ayant bien fonctionné, plusieurs étalements test ont été faits avec la HD3007 sur plusieurs gaufres support de 300 mm pour ensuite coller tous les coupons PAMP disponibles face première sur leur gaufre support respective. La machine utilisée pour faire ce genre de collage est située au LNN, l'« *AML Wafer Bonder* ». La recette détaillée de l'étalement du HD3007, de son séchage et du collage du coupon sur la gaufre support avec la machine se trouve à l'annexe A.

Vient ensuite l'étape d'amincissement. Parmi les techniques proposées dans l'état de l'art, une technique particulièrement simple et son efficace a été choisie. Le meulage mécanique grossier semblait être une approche non coûteuse et possiblement réalisable au LCSM. Le principal problème avec cette méthode est qu'il devient très long et fastidieux de traiter plusieurs échantillons. Considérant le temps de procédé et les coûts jumelés au fait de faire cette étape au 3IT nous avons opté pour une solution externe avec la compagnie GDSI Inc. située à San Jose en Californie pour amincir les coupons PAMP à une épaisseur de 70 μm . La Figure 48 montre un coupon PAMP de 70 μm d'épaisseur collé sur un gaufre support avec HD3007 après amincissement chez GDSI.

4.6.2 Analyse des résultats

Le coupon aminci revenant de chez GDSI après son amincissement à 70 μm est montré à la Figure 48. Des morceaux de coupon se sont décollés lors de l'amincissement. À priori, il semble y avoir un problème d'adhésion dû à la non-uniformité de la couche de colle et aux paramètres de collage à vide sur la machine AML. Toutefois le procédé de GDSI a très bien fonctionné vu l'uniformité de la surface et l'épaisseur de 70 μm du coupon.

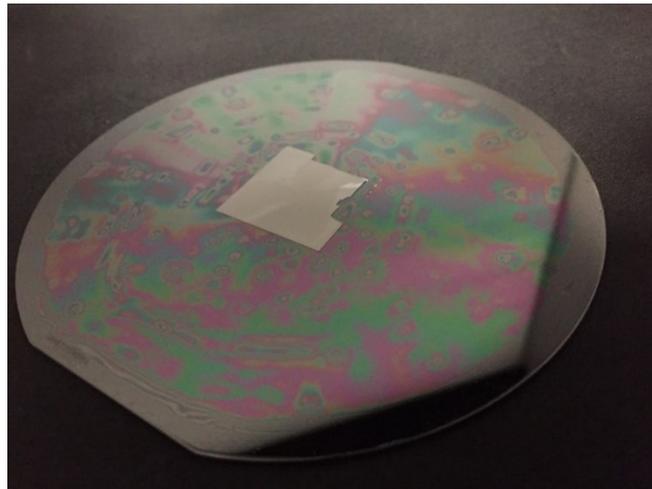


Figure 48 Coupon aminci à 70 μm sur gaufre support arrivant de chez GDSI

4.6.3 Discussion et recommandations pour le futur

Certaines parties du coupon se sont décollées de la gaufre support et d'autres non. Cela peut-être dû à la topologie de la face avant du coupon PAMP et au fait que le HD3007 après séchage est très dur et ne se forme pas bien à la topologie du coupon (quelques microns), mais cette hypothèse reste à valider. La colle HD3007 tient bien la température, est résistante aux produits chimiques et se dissout bien dans son solvant. Par contre, pour avoir une meilleure adhésion, il faut changer les paramètres de la couche étalée. Une solution pour le collage de surfaces avec une importante topologie comme la face avant du coupon PAMP est traitée dans un article (Zoschke *et al.*, 2012) émit par la compagnie SUSS. Ils proposent d'étaler une couche beaucoup plus épaisse de HD3007 et même d'en étaler non seulement sur la gaufre support, mais aussi sur le coupon. Selon eux, il existerait également un nouveau matériel permettant des couches plus épaisses, le HD3007HS.

Je recommande donc de continuer avec le HD3007 (ou bien le HD3007HS), mais en faisant davantage de tests avec des échantillons tests avec des topologies ressemblantes à celle du tiers à coller sur la gaufre support, il faudrait aussi effectuer ces tests avec amincissement du tiers à coller. Je recommande que l'amincissement pour ces tests continue de se faire à l'externe (par exemple chez GDSI).

4.7 Révélation / passivation des TSV

Une fois le coupon aminci, les TSV sont prêts à être révélés. Il faut donc commencer par polir les 20 μm de substrat restant avant d'atteindre les TSV. Il faut ensuite prélever un coupon (22 mm X 23 mm) en découpant à même la gaufre support et ensuite graver le substrat autour des TSV de manière à ce qu'ils deviennent de petites protubérances sur la face arrière. L'étape de passivation doit ensuite être effectuée pour empêcher la prochaine étape (la construction de contacts

électriques) de causer des courts-circuits. Cette étape comporte beaucoup de sous-étapes. C'est pourquoi cette section sera présentée avec différentes sous-sections pour en faciliter la lecture et la compréhension.

4.7.1 Polissage du 20 μm de substrat restant

4.7.1.1 Tests et développement

Cette étape consiste à amincir le substrat de silicium laissé par GDSI pour atteindre les TSV en face arrière. La Figure 49 illustre l'étape à réaliser.

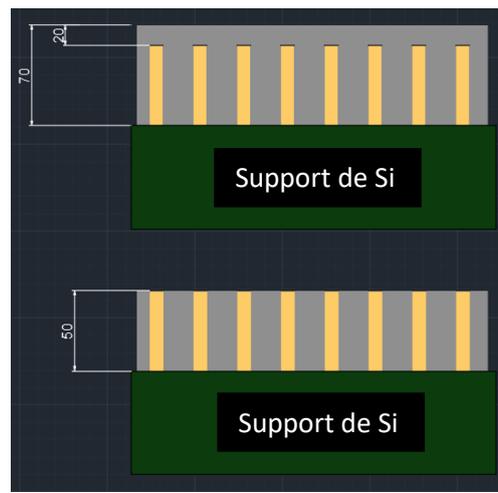


Figure 49 Diagramme démontrant le retrait du 20 μm de substrat restant avant d'atteindre les TSV. La gaufre support (Sustenteur de Si) est beaucoup plus épaisse en réalité (700 microns).

La même technique utilisée pour graver le substrat de 700 μm à 70 μm peut également être utilisée pour graver le 20 μm restant, mais cette fois-ci avec une version plus douce utilisant des solutions de polissage fines (McLellan *et al.*, 2004). La polisseuse du LCSM a donc été l'équipement de choix pour exécuter cette étape. Il a donc fallu utiliser des suspensions abrasives dotées de particules beaucoup plus petites que celles utilisées pour le polissage grossier, étant donné qu'il ne restait que 20 μm à graver (Xie and Bhushan, 1996). La raison est la suivante : une séance de polissage peut causer des égratignures aussi importantes que trois fois le diamètre de la plus grosse particule d'abrasif contenue dans la suspension. Les suspensions standard disponibles sont les suivantes 50 nm, 300 nm, 3 μm et 10 μm . S'appuyant sur la littérature (Xie and Bhushan, 1996), la suspension de 3 μm a donc été choisie, car elle offrait un taux de gravure et un fini raisonnables. Les suspensions nanométriques auraient eu un taux de gravure beaucoup trop lent, toutefois le fini aurait été très beau. Quant à celle de 10 μm , les particules étaient trop grosses pour faire une gravure de 20 μm sans endommager les TSV de l'autre côté.

Il a donc fallu faire des tests pour déterminer les paramètres d'amincissement donnant un taux de gravure dans les centaines de nanomètres par minute. Ainsi, la gravure se ferait assez rapidement et permettrait un meilleur contrôle de procédé. Les coupons tests collés avec le HD3007 sur des gaufres de support ont donc pu être réutilisés pour faire les tests de polissage au LCSM. Après quelques essais, un taux de gravure stable a été déterminé à 500 nm/min avec la suspension de 3 μm . Des tests ont été effectués afin de voir si le polissage avec une suspension de 3 μm pouvait endommager la structure du TSV après avoir gravé le 20 μm restant. Des coupons de test contenant des TSV pratiquement identiques à ceux se trouvant sur les coupons PAMP ont été utilisés pour le développement de ce procédé. Toutefois, ces coupons de test avaient une épaisseur originale de 700 μm . C'est pourquoi j'ai décidé de faire un test de polissage sur la face avant de ces coupons, ce qui se rapproche beaucoup d'une gravure sur la face arrière, mais sans avoir à graver des centaines de microns à priori. Les tests ont démontré que la structure des TSV reste quasi-intacte, comme l'illustre la Figure 50.

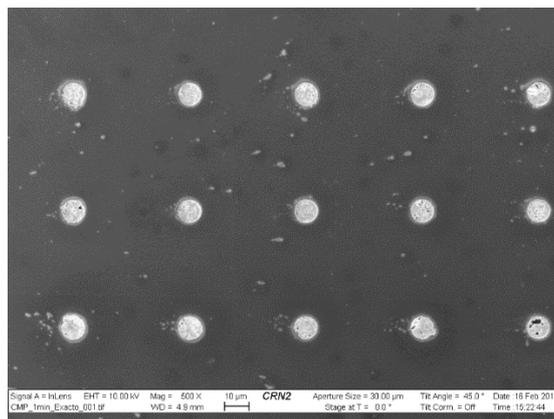


Figure 50 Image MEB de TSV tests révélés en face avant après polissage au 3 μm

J'ai donc pu procéder aux traitements des coupons PAMP arrivant de chez GDSI avec confiance. La recette utilisée pour le retrait du 20 μm de substrat restant est détaillée à l'annexe A.

4.7.1.2 Analyse des résultats

Les Figure 51 et Figure 52 présentent des photographies des résultats après le polissage au 3 μm . Sur la Figure 51 on peut voir que le 20 μm de silicium a bien été retiré, et ce, sans causer de dommages importants aux TSV. La Figure 52 montre une photographie d'un coupon PAMP complet après polissage 3 μm . On voit bien les huit matrices de TSV découverts en face arrière et une face bien polie. Le procédé a bien fonctionné et l'objectif fixé de garder l'intégrité des TSV a été atteint.



Figure 51 Matrice de TSV révélés au polissage 3 μm au LCSM

Des résidus sont visibles sur toute la surface de l'échantillon. La présence de ces résidus est normale. La surface de l'échantillon sera nettoyée lors de l'étape de révélation des TSV (4.7.2).

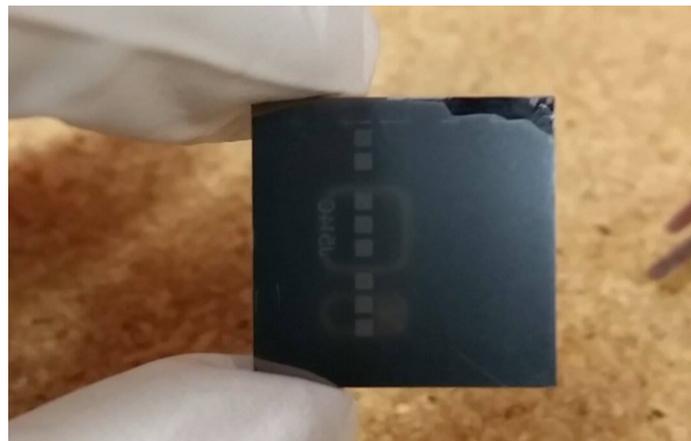


Figure 52 Coupon aminci à 50 μm avec matrices révélées au polissage 3 μm découpé de la gaufre support au laser. On peut voir la gaufre support qui se trouve sous la couche amincie en haut à droite.

4.7.1.3 Discussion et recommandations pour le futur

Le procédé de polissage au LCSM avec la suspension 3 μm fonctionne très bien. Il donne un taux de gravure assez rapide et laisse un fini acceptable pour cette étape. Toutefois, la manipulation nécessite beaucoup de travail vu la nature des équipements de polissage utilisés. La raison pour laquelle GDSI ne grave pas jusqu'aux TSV est que le cuivre de ceux-ci peut contaminer leurs machines, ce qu'ils n'auraient pas accepté. Je recommande donc de trouver une compagnie acceptant de faire le meulage ainsi que le polissage jusqu'aux TSV. Par contre, une nouvelle machine dédiée au meulage est entrée au LCSM à l'hiver 2016. Cette machine semble être plus performante et plus automatisée que la machine actuelle, et c'est pourquoi je recommande d'adapter le procédé avec cette machine si l'option de la faire à l'externe n'est pas possible.

4.7.2 Révélation des TSV en face arrière

4.7.2.1 Tests et développement

Le but de cette étape est de faire ressortir les TSV d'environ 250 nm en face arrière pour les préparer à l'étape de passivation. Avant tout, des étapes de polissage fin et de nettoyage de la face arrière du coupon PAMP sont nécessaires pour enlever les aspérités et résidus laissés par le polissage à la suspension de 3 μm . Une étape de gravure sélective du substrat par rapport aux TSV vient ensuite créer le genre de protubérances escompté.

Toutefois, avant même de commencer à traiter la surface du coupon, il faut prélever celui-ci sur la gaufre support de 300 mm. À ce stade, le coupon est un empilement du coupon PAMP original aminci à 50 μm collé sur un coupon (la gaufre support) avec une couche de HD3007. De retour à une dimension coupon, les autres étapes peuvent maintenant être réalisées. La découpeuse laser LPKF Protolaser U3 a été utilisée pour faire ce travail. La Figure 52 illustre un coupon coupé à même la gaufre support.

Pour une gravure uniforme du substrat, il faut s'assurer d'avoir une surface de départ uniforme. La surface laissée par l'étape de polissage au 3 μm est pleine d'aspérités et de crevasses pouvant aller jusqu'à trois fois la grosseur de la plus grosse particule présente dans la suspension. C'est pourquoi il faut polir, mais cette fois-ci avec des particules beaucoup plus petites et avec l'aide de produits chimiques qui facilitent le polissage du silicium. La machine CMP située au LNN peut effectuer ce genre travail avec une suspension de silice comportant des particules moyennes de 50 nm et des agents chimiques tels que le peroxyde d'hydrogène (Wang, Zhang and Biddut, 2011). J'ai donc commencé à faire des tests avec les échantillons utilisés pour tester l'étape précédente, le polissage au 3 μm . Ces échantillons tests étaient parfaits, car ils simulaient exactement la surface des vrais coupons PAMP. Les paramètres de vitesse de rotation, de pression, de débit de suspension et de temps de gravure étaient à surveiller. Un jeu de paramètre de CMP (Watanabe *et al.*, 2014) a été utilisé à titre de point de départ. Après quelques itérations et observations optiques et électroniques, des paramètres acceptables ont été validés (voir recette détaillée à l'annexe A). Les Figure 53 et Figure 54 montrent les résultats des tests après CMP 50 nm.

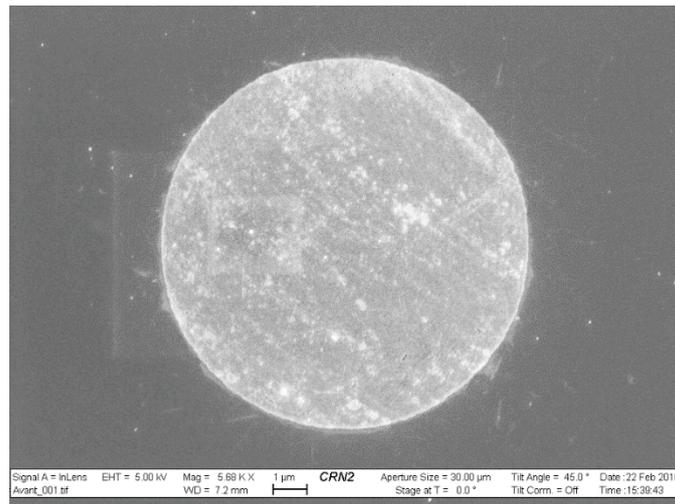


Figure 53 Zoom sur un TSV après CMP 50 nm

On voit que, contrairement à la suspension 3 μm , la suspension 50 nm ne laisse pas de grosses égratignures, ni d'aspérités d'ordre du micron. Les résultats concordant avec mes objectifs, les tests ont donc pu poursuivre avec ces échantillons.

Comme l'illustre la Figure 54, suite au polissage CMP 50 nm, des dépôts de particules nanométriques de silice et de cuivre peuvent se former, ce qui est incompatible avec les prochaines étapes. Il faut donc procéder à un nettoyage de la surface. Il est à noter que cette étape est directement en lien avec l'étape suivante qui est de faire le placage d'une couche de NiB (Nickel-Bore) sur le dessus des TSV pour les protéger lors de la gravure sélective du substrat. Une description plus approfondie de cette étape suivra. L'objectif était donc de trouver une solution chimique pouvant nettoyer le substrat et permettant le placage de NiB seulement sur les TSV, pour masquer et protéger celui-ci lors de l'étape de gravure du substrat.

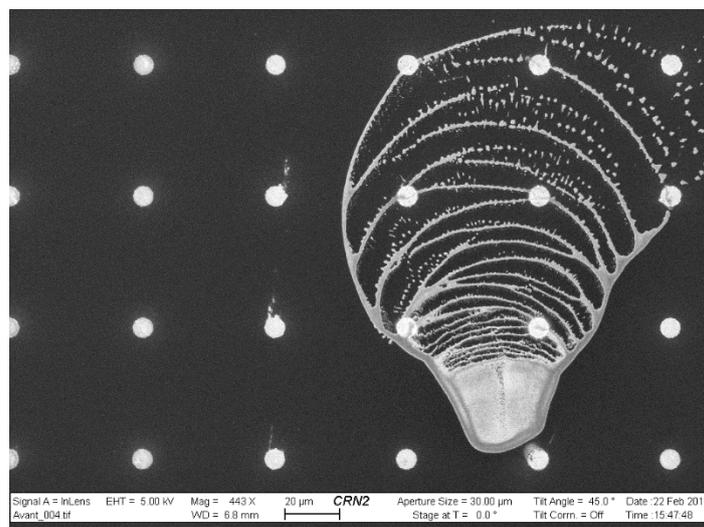


Figure 54 Vue de haut d'un dépôt de particules de silice couvrant des TSV suite au CMP 50 nm

Une liste de différentes solutions de nettoyage standards a été testée en premier lieu. Les coupons tests utilisés pour développer le procédé de CMP ont été coupés en petits carrés pour maximiser le nombre de tests. Le Tableau 5 résume les tests effectués.

Tableau 5 Résumé des tests avec différentes solutions pour le nettoyage post-CMP

Solution	Effets	Résultats	Commentaires placage NiB
SC2 ($H_2O_2:HCl:H_2O$) dilué (Figure 55)	Grave les métaux	Très agressif sur les TSV.	Le NiB se plaque sur le substrat modérément.
HF ($H_2O:HF$) (Figures 56 et 58)	Grave la silice (SiO_2)	Grave trop agressivement le substrat et endommage les TSV, même avec une dilution importante avec à l'eau.	Le HF rend la surface de silicium très propice au dépôt de NiB. Le NiB plaque le substrat agressivement.
CR-7 dilué (Figures 56 et 57)	Grave le cuivre	Trop agressif sur les TSV et sur le substrat malgré la dilution importante de la solution avec à l'eau.	Le NiB se plaque sur le substrat modérément.
SC1 dilué ($H_2O_2:NH_4OH:H_2O$) (Figure 59)	Grave les métaux et les résidus organiques	Nettoie bien la surface de tous les résidus et laisse un beau fini aux TSV.	Le placage de NiB se fait seulement sur les TSV, et non sur le substrat.

Vu ses bons résultats, le SC1 ($H_2O:NH_4OH:H_2O_2$) a été utilisé en version diluée pour nettoyer la surface et la rendre exempte de contaminants de cuivre et de particules de silice. Les figures suivantes illustrent les différents résultats avec des images optiques et MEB.

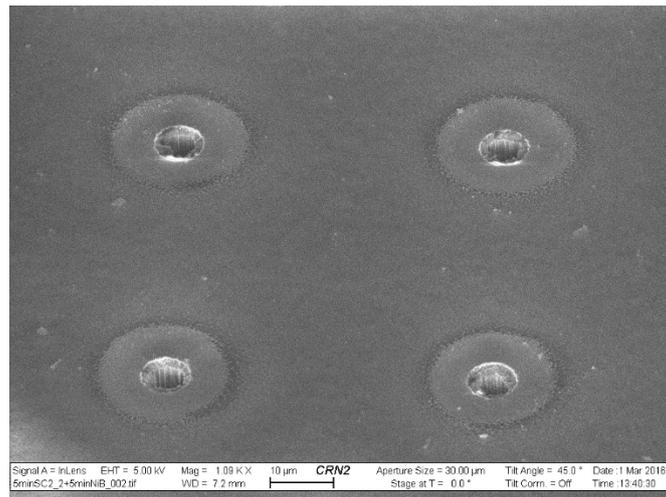


Figure 55 Résultats du test de nettoyage avec la solution SC2. Les TSV sont pratiquement disparus, et la surface est rugueuse.



Figure 56 Résultat du placage de NiB sur les puces nettoyées au HF et au CR-7. Le NiB s'est plaqué sur le substrat

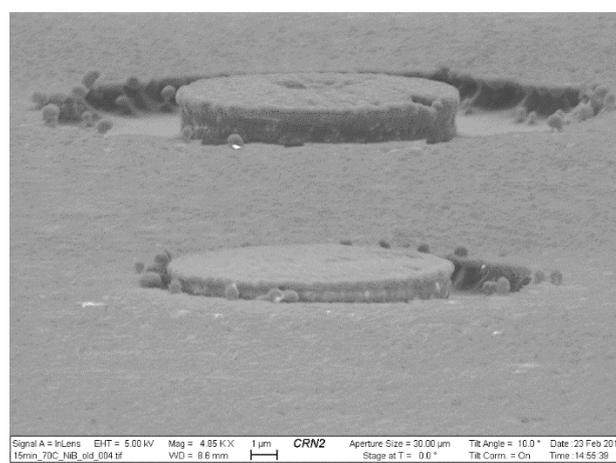


Figure 57 Résultats après nettoyage au CR-7. Le substrat est gravé autour du TSV et laisse une surface rugueuse.

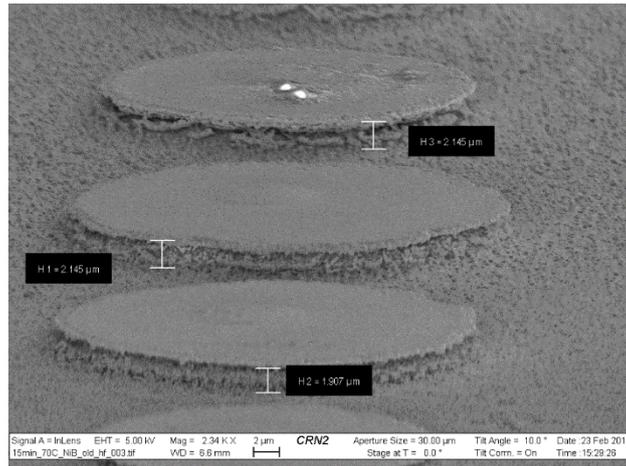


Figure 58 Résultats du nettoyage avec la solution d'HF. Le substrat est recouvert de NiB.

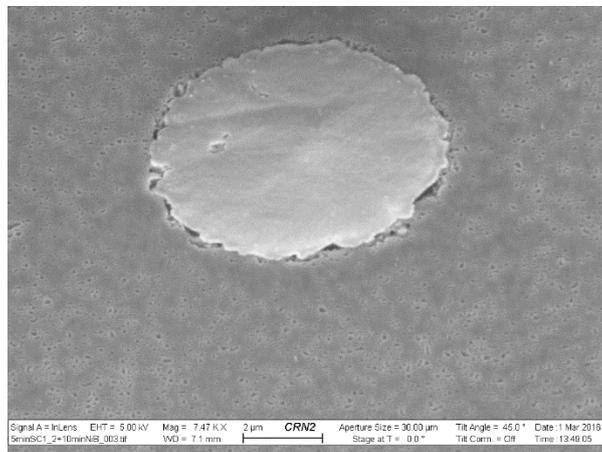


Figure 59 Résultats après nettoyage au SC1. La surface semble lisse malgré quelques taches et le TSV est plaqué de NiB et a un beau fini

L'étape suivante est de faire la gravure sélective du substrat. La gravure par ions réactifs RIE (« *Reactive Ion Etch* ») s'est démarquée par sa versatilité et son bon contrôle. La March 1701 a été utilisée pour développer le procédé de gravure sélective du substrat. La raison principale pour laquelle les machines RIE spécialisées de la salle blanche n'ont pas été utilisées pour cette étape est qu'il y a un risque de contamination au Cu des chambres. Les échantillons contenant du Cu exposé sont donc à proscrire. La March 1701 avait la particularité d'être utilisée pour plusieurs types de gravure et il n'y avait donc pas de problème à entrer du cuivre à l'intérieur. J'ai donc commencé à effectuer des tests sur des échantillons avec des TSV tests en jouant avec différents paramètres. Un choix des gaz à utiliser pour graver le silicium a été fait, soit un mélange d'azote et de SF_6 . Une gravure avec et sans le placage de NiB sur les TSV a été faite pour valider l'effet du NiB. Les Figure 60 et Figure 61 démontrent que les étapes de nettoyage et de placage de NiB sont primordiales pour que cette étape réussisse.

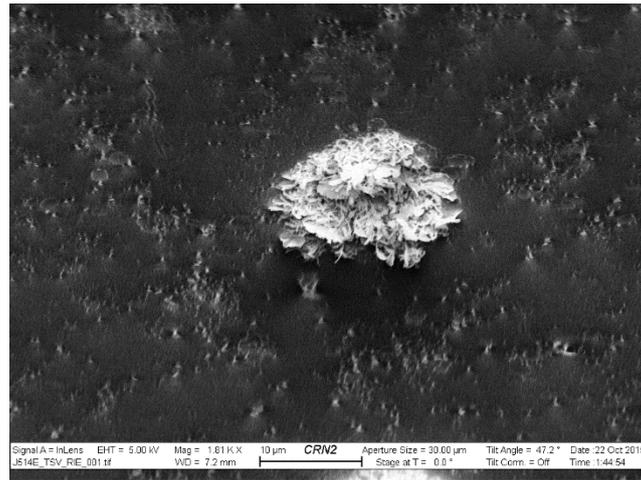


Figure 60 Image MEB d'un TSV sans NiB après la gravure sélective du substrat. La structure du TSV est complètement détruite.

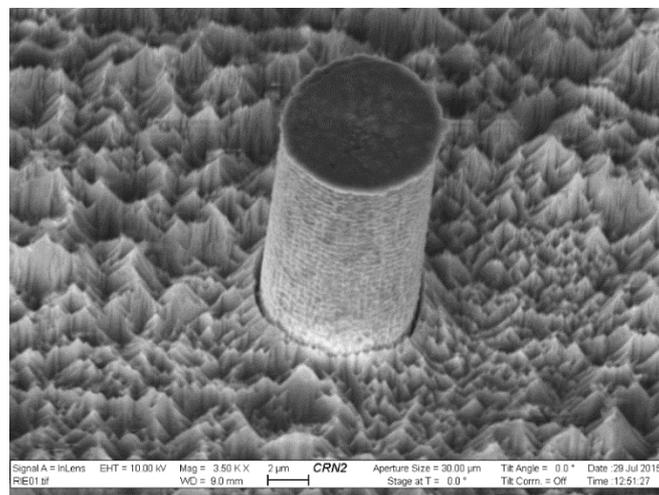


Figure 61 Image MEB d'un TSV avec NiB après la gravure sélective du substrat. La structure du TSV est restée intacte.

Si on compare la Figure 60 avec la Figure 61, on en conclue qu'il est primordial de faire le placage de NiB sur les TSV, sinon le TSV se désintègre pendant le procédé RIE. Une hypothèse serait que la gravure RIE au SF_6 réagisse avec la structure particulière du cuivre des TSV, mais tout cela reste à valider. Il est donc important d'avoir un procédé de placage de NiB solide. Suite à ce test, le développement d'un taux de gravure stable du silicium a pu être enclenché. Pour valider les taux de gravure, des échantillons test de silicium ont été gravés avec des gouttes de photorésine S1818 masquant une partie du substrat. Utilisant un le profilomètre Dektak du LNN il a été possible de converger vers une recette ayant un taux de gravure d'environ 50 nm/min, ce qui est tout à fait acceptable (voir la recette détaillée à l'annexe A). Cette recette a donc pu être appliquée aux coupons PAMP avec assurance.

4.7.2.2 Analyse des résultats

Les figures suivantes exposent les résultats obtenus sur les coupons PAMP après le polissage 50 nm et la gravure sélective du substrat. La Figure 62 montre que les TSV sont restés intacts après le polissage malgré quelques résidus environnants, qui sont nettoyés lors de l'étape de SC1. La Figure 63 propose une image MEB d'un TSV après le polissage 50 nm. On voit bien que l'intégrité du TSV est restée acceptable pour la réussite des étapes suivantes. La Figure 64 illustre une matrice de TSV suite au procédé de gravure du substrat. La Figure 65 présente une image d'un de TSV de la Figure 64. On voit que la gravure s'est déroulée uniformément.

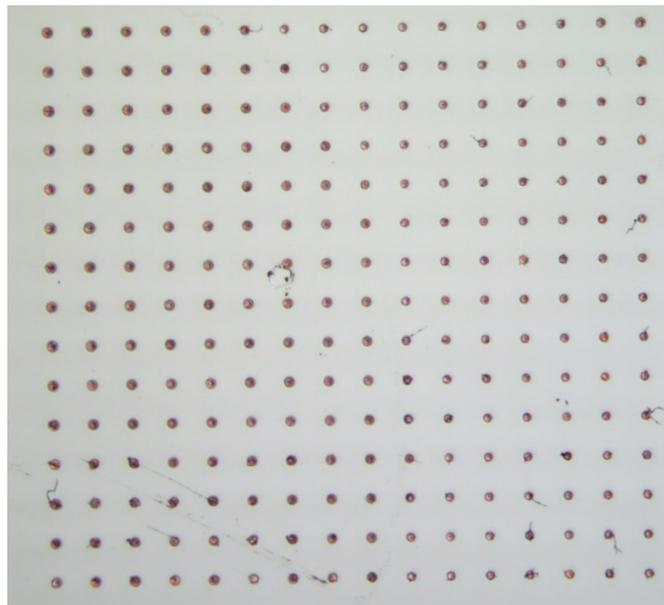


Figure 62 Matrice de TSV révélés après polissage au 50 nm au LNN (avant nettoyage). On peut apercevoir des débris sur la surface de l'échantillon. Ces débris partiront suite au nettoyage SC1.

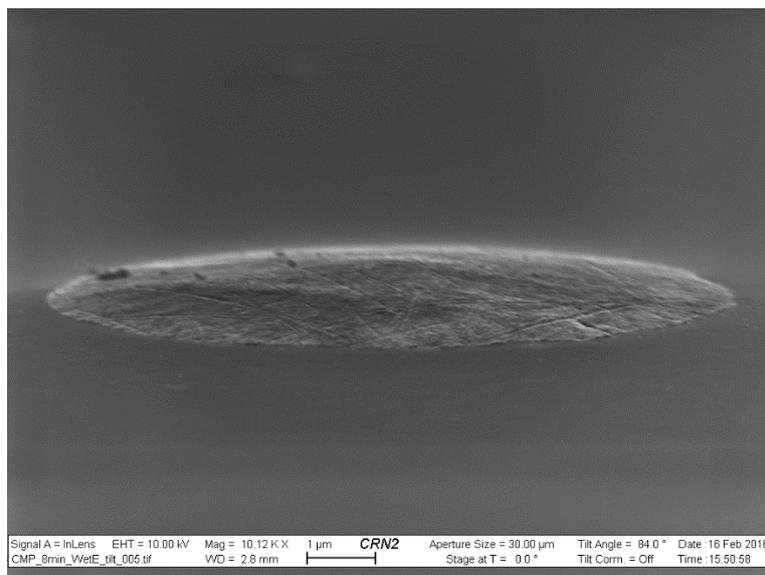


Figure 63 Image SEM d'un TSV après polissage au 50 nm

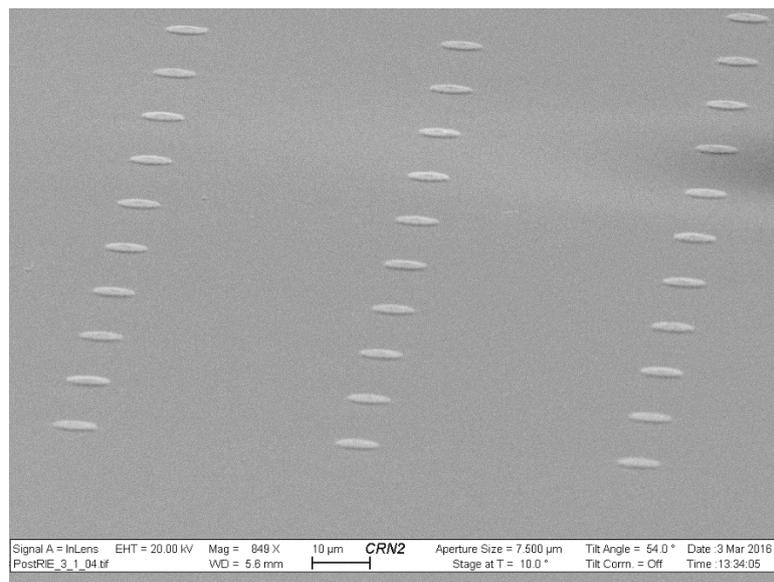


Figure 64 Matrice de TSV après gravure RIE SF_6 pendant 90 sec

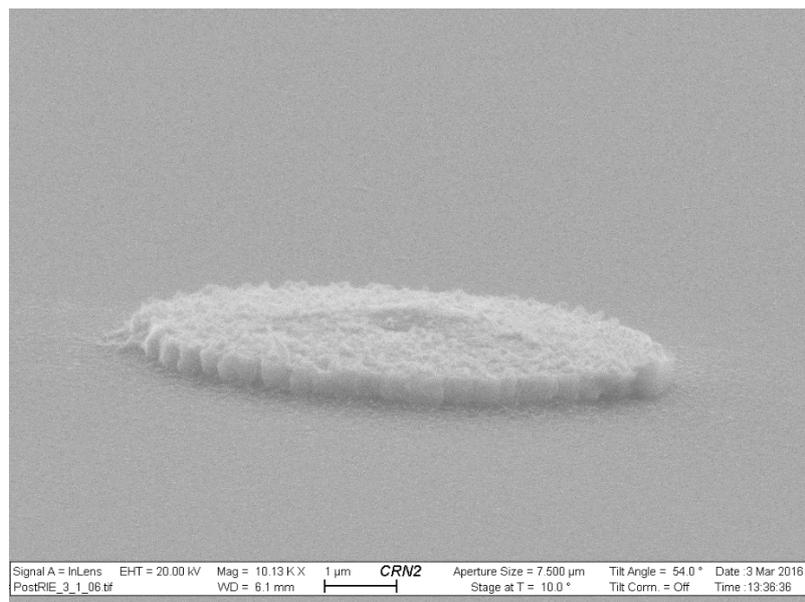


Figure 65 Zoom sur un TSV de la Figure 64.

Le TSV semble avoir été attaqué par la gravure RIE, mais n'a toutefois pas été désintégré. Le placage de NiB semble donc avoir protégé le TSV.

4.7.2.3 Discussion et recommandations

Les procédés décrits ci-haut sont tous reproductibles au sein des installations du LCSM et du LNN. Le seul point qui peut sembler instable est la gravure RIE. L'étape de RIE au SF_6 pour la gravure du silicium autour des TSV m'a donné des résultats différents quant à la repulvérisation de cuivre autour

du TSV, et ce, dépendamment des différents tests effectués dans le temps. Cela est probablement dû à la variation dans l'étape du placage de NiB. La solution de placage de NiB est très instable et s'évapore rapidement. Il faut donc être extrêmement méticuleux lors de cette étape cruciale. Le March 1701 est aussi utilisé par beaucoup d'utilisateurs pour toutes sortes de procédés, alors la condition de la machine peut changer d'une journée à l'autre. C'est pourquoi il faut bien suivre la recette (à l'annexe A) et de bien conditionner la chambre au procédé que l'on veut effectuer.

4.7.3 Passivation en face arrière

Étant donné que le substrat des coupons PAMP est fait de semiconducteur, il peut conduire l'électricité. C'est pourquoi lors de l'étape suivante, la construction de contacts métalliques par-dessus les TSV, il est primordial d'avoir une couche isolante entre les contacts et le substrat. Sans cela, les contacts métalliques (connectés aux TSV) seront tous court-circuités, et la puce ne fonctionnera pas. Les parties E et F de la Figure 2 illustrent le but de cette étape. Il est également important de noter que ce procédé s'auto aligne. Cela permet de ne pas avoir à faire une étape de photolithographie supplémentaire.

4.7.3.1 Tests et développement

La technique la plus utilisée dans la littérature pour faire ce genre de passivation se fait avec une étape de dépôt de nitrure de silicium (Si_3N_4) par phase vapeur PECVD (« *Plasma Enhanced Chemical Vapor Deposition* ») suivie d'une étape de CMP. Cette technique nécessite une suspension spéciale sélective qui grave le Si_3N_4 et non le cuivre était requise pour permettre des résultats acceptables (voir la sous-section sur la passivation dans la section « État de l'art »). Il est très difficile de se procurer ce genre de suspensions, et toutes les demandes aux fournisseurs ont été déclinées ou ignorées. Un procédé suivant une logique purement géométrique a été élaboré en se basant sur la nature sélective des recettes de gravure RIE utilisées dans ce procédé entre la photorésine S1818 et le Si_3N_4 (Jimenez, Paroush and Ish-Horowicz, 1997) et la planarisation de l'échantillon avec la S1818 agissant comme photorésine planarisante (Taur *et al.*, 1989).

Voici une suite de figures et leur explication décrivant le procédé conçu:



Figure 66 Diagramme en section d'un TSV après l'étape de gravure sélective du substrat

La Figure 66 représente un seul TSV vu en coupe après l'étape de gravure sélective du substrat. La partie grise représente le substrat, la partie jaune le TSV et la partie mauve la couche de NiB plaqué. C'est le point de départ du procédé. Pour commencer, il faut déposer une couche de Si_3N_4 d'une épaisseur identique à la hauteur avec laquelle ressort le TSV du substrat. La Figure 67 illustre cette étape.



Figure 67 Étape de dépôt d'une couche de Si_3N_4

Après le dépôt de Si_3N_4 (turquoise) la topologie résultante de la surface reste pratiquement la même. Le but est maintenant de trouver une manière de rendre la surface plane. C'est-à-dire de se débarrasser de la topologie causée par les TSV. Une couche de photorésine peu visqueuse ayant des propriétés planarisante a été utilisée. De la S1818 est donc étalée sur toute la surface et planarise la surface. La Figure 68 illustre le phénomène.



Figure 68 Étalement d'une photorésine peu visqueuse pour planariser la surface

En théorie, avec l'application d'une photorésine (la partie en rouge) il serait possible d'obtenir une planarisation de la surface. Il faut ensuite passer à une étape de gravure uniforme sélective entre la photorésine et le Si_3N_4 . Une étape RIE divisée en trois sous-étapes a été élaborée. La première sous-étape étant pour retirer la majorité de la photorésine avec une gravure RIE rapide à l' O_2 , comme l'illustre la Figure 69.



Figure 69 Gravure de la majorité de l'épaisseur de la photorésine avec une sous-étape de gravure RIE agressive à l' O_2

La deuxième sous-étape viendrait graver le reste de la couche de photorésine se trouvant au-dessus des TSV avec une gravure RIE à l' O_2 gravant quelques nanomètres par minute. Le but étant de se rapprocher le plus possible de la couche de Si_3N_4 se trouvant au-dessus du TSV, comme l'illustre la Figure 70.



Figure 70 Étape de gravure RIE à l' O_2 douce

La troisième et dernière étape de gravure requiert un procédé de gravure RIE sélectif qui grave la couche de Si_3N_4 plus rapidement que la photorésine. Un choix de gaz a été effectué à partir d'informations obtenues auprès des usagers de la March 1701 et du registre des usagers. Le CF_4 est un gaz qui a une effet de gravure sélective entre la S1818 et le Si_3N_4 (Sparks, 1992). La Figure 71 illustre l'allure qu'aurait le TSV après une telle gravure.



Figure 71 Gravure sélective du Si_3N_4 au RIE CF_4

Si la recette et la sélectivité de la gravure est bonne, on devrait retrouver les TSV à découvert dans une « mer » de Si_3N_4 . Ce procédé est très intéressant de par le fait qu'il peut créer des structures périodiques, alignées et ordonnées sans avoir recours à une photolithographie. De plus, la photolithographie n'aurait jamais pu atteindre ce niveau d'alignement qui est naturellement quasi parfait. La dernière étape consiste maintenant à nettoyer la surface pour enlever le reste de la photorésine comme le montre la Figure 72.



Figure 72 Nettoyage du reste de la photorésine aux solvants

La surface est donc prête pour la prochaine étape qui est la construction d'interconnexions métalliques. Un banc de tests a donc été élaboré pour sur des échantillons tests pour à priori valider ce procédé avant de traiter les échantillons PAMP.

La première étape a été de faire des tests de dépôt de Si_3N_4 sur coupons tests. Le seul endroit disponible à ce moment pour faire des dépôts de couches minces de Si_3N_4 était à l'IMDQ. L'épaisseur visée était d'environ 250 nm. Cela a pu être validé en effectuant des mesures ellipsométriques au LNN. Ainsi, dépendamment du temps de dépôt par pulvérisation, un taux de dépôt stable a pu être atteint par essai-erreur. La recette du dépôt de Si_3N_4 se trouve à l'annexe A.

La deuxième étape était de développer une recette d'étalement de photorésine pouvant aplanir la topologie laissée par les TSV révélés. Des coupons tests possédant une topologie représentative de la surface arrière avec TSV révélés ont été fabriqués. L'approche utilisée est une photolithographie suivie d'une gravure du silicium à l'AOE en demande de service au personnel du LNN. Une photolithographie simple a été utilisée pour obtenir une topologie de protubérances de silicium de 8 μm de diamètre et 250 nm d'épaisseur tous espacés de 50 μm . Ayant donc une topologie quasi-représentative de celle des TSV révélés en main (les protubérances étant en silicium et non en cuivre), des tests d'étalement de photorésines pour aplanir cette topologie ont été faits. Passant de la tournette à la profilométrie, la vitesse d'étalement, le temps d'étalement et les paramètres de recuit ont été déterminés (voir recette à l'Annexe A). Les figures suivantes illustrent les mesures faites lors de ces tests.



Figure 73 Image MEB de la section d'une couche de S1818 de 2000 nm (haut) sur une couche Si_3N_4 de 230 nm (milieu) sur un substrat de silicium (bas)

La Figure 73 illustre le ratio S1818/ Si_3N_4 choisi pour planariser une topologie avec structures d'environ 250 nm.

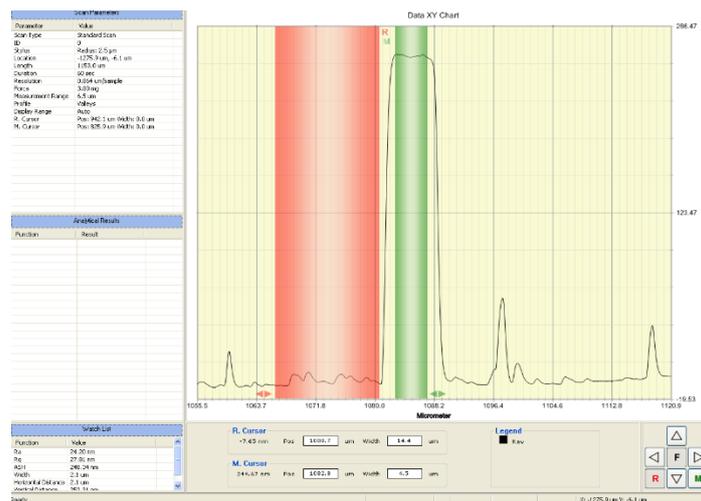


Figure 74 Mesure profilométrique d'une protubérance de silicium (250 nm) après dépôt de Si_3N_4

La Figure 74 démontre que même après le dépôt de Si_3N_4 , la topologie reste essentiellement la même, une protubérance de 8 µm de large et 250 nm de haut.

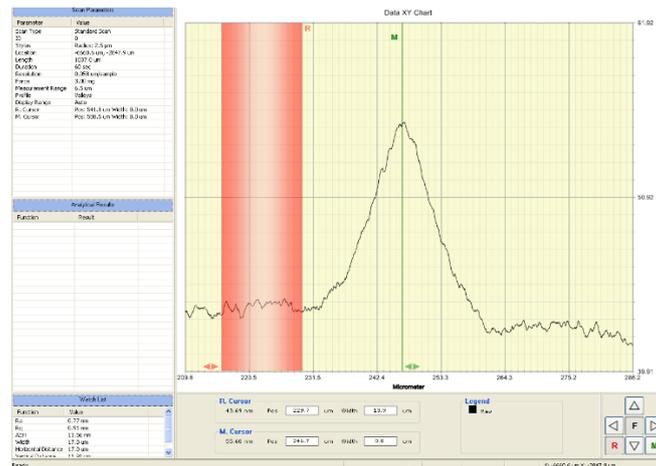


Figure 75 Mesure au profilomètre de la topologie après étalement de S1818 pour planarisation

La Figure 75 illustre le bon fonctionnement de la planarisation après étalement de S1818. La topologie a été réduite d'un facteur 10. La protubérance cylindrique de 250 nm d'épaisseur a donc été réduite à un dôme d'épaisseur maximale de 25 nm. De plus, la largeur de cette structure s'est étirée à 30 μm pour donner une surface encore plus plane vis-à-vis le TSV de 8 μm. Cela donne donc un jeu de plus de 225 nm de photorésine pour l'étape de gravure RIE, ce qui est amplement suffisant. Les recettes détaillées pour les procédés de S1818 et de Si_3N_4 se trouvent à l'annexe A.

La troisième étape à valider était celle de la gravure RIE avec le March 1701. Des tests ont été effectués utilisant une série de coupons tests avec une couche d'environ 2 μm de S1818 et une autre série de coupons tests avec une couche de 250 nm de Si_3N_4 . Les recettes détaillées de ces procédés de gravure se trouvent à l'annexe A. Pour bien développer ces étapes de gravure il faut trouver le bon jeu de paramètres comme le temps, la pression, la puissance et le mélange de gaz utilisé. La meilleure façon de procéder était d'utiliser un processus itératif. Pour la première étape de gravure de la S1818, un taux de gravure stable et assez rapide pouvant graver uniformément la majorité de la photorésine était la cible. Des paramètres de gravure donnant un taux de gravure d'environ 350 nm/min ont été validés, ce qui est bien pour une épaisseur de S1818 de 2 μm. Pour l'étape de gravure fine de la S1818, les mêmes paramètres de gravure ont été utilisés, sauf pour la puissance. En diminuant la puissance, on obtient un taux de gravure d'environ 60 nm/min ce qui est assez prudent pour l'objectif de cette étape. Pour l'étape de gravure sélective du Si_3N_4 , une batterie de tests de gravure utilisant du gaz CF_4 a été faite en plaçant un coupon couvert de Si_3N_4 et un coupon enduit de S1818 côte à côte dans le March 1701. Le but étant de trouver un jeu de paramètres pour lequel le taux de gravure du Si_3N_4 soit plus rapide que celui de la S1818 ou à la limite, égal à celui-ci. Après plusieurs essais, des taux de gravure de 12 nm/min pour la S1818 et de 21 nm/min pour le Si_3N_4 ont été déterminés. Le tableau ci-dessous résume ces résultats :

Tableau 6 Sommaire des résultats des gravures RIE

Étape	Taux de gravure	Gaz Utilisé
Gravure agressive de la S1818	350 nm/min : S1818	O_2
Gravure douce de la S1818	60 nm/min : S1818	O_2
Gravure sélective du Si_3N_4	21 nm/min : Si_3N_4 12 nm/min : S1818	CF_4

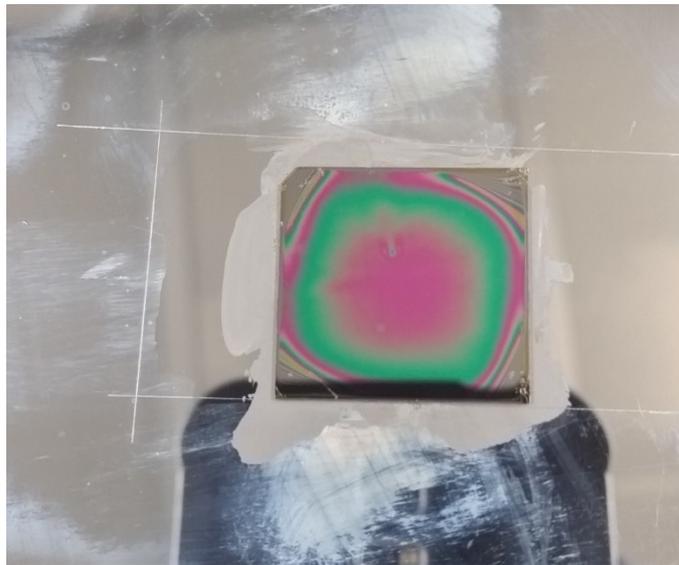


Figure 76 Photo de de la photorésine S1818 après RIE O_2 . Cette photo illustre bien l'uniformité de la gravure de par l'effet d'interférence de la lumière avec les couches minces présentes sur l'échantillon.

Un dépôt de 250 nm de Si_3N_4 a donc été déposé sur des coupons tests avec structures pantins et 2 μm de S1818 ont été étalés par-dessus pour planariser la surface. Les 3 étapes de gravure RIE, O_2 - O_2 - CF_4 , ont été effectuées sur ces échantillons tests par de courtes séances de gravure. Après chaque gravure, une mesure de l'épaisseur restante des deux couches à l'ellipsométrie était prise pour assurer qu'il n'y ait pas de surgravure. La Figure 77 illustre un résultat de ces tests.

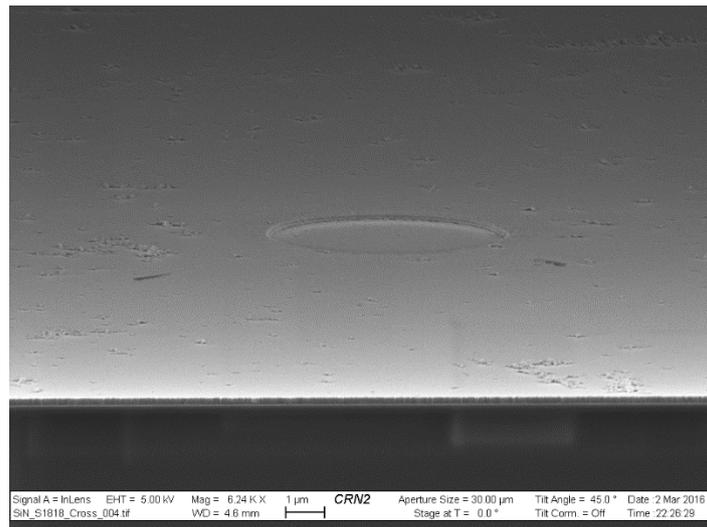


Figure 77 Vu en angle d'un trou causé à la surface par la gravure du silicium au milieu d'une couche de Si_3N_4

La Figure 77 montre que les procédés de planarisation et de gravure RIE ont bel et bien fonctionné sur un coupon test avec protubérances de silicium. La gravure au CF_4 est très efficace sur le silicium, c'est pourquoi on voit un creux dans le silicium et une couche de Si_3N_4 l'entourant. Bien entendu, on ne retrouvera pas cet effet pour les échantillons PAMP étant donné que les protubérances seront faites de cuivre. Cela démontre la sélectivité de la gravure CF_4 pour le Si_3N_4 , la S1818 et le silicium. À la lumière de ces résultats, il était alors possible d'appliquer le procédé sur les coupons PAMP.

4.7.3.2 Analyse des résultats

Les Figure 78 et Figure 79 illustrent les résultats de l'application du procédé de passivation en face arrière sur les coupons PAMP. La connexion au cuivre des TSV est maintenant possible, et les TSV baignent dans une mer de Si_3N_4 , ce qui permettra de venir faire la construction de contacts métallique par-dessus ceux-ci, et ce, sans court-circuiter les TSV par le substrat. Les objectifs de cette étape ont été atteints.

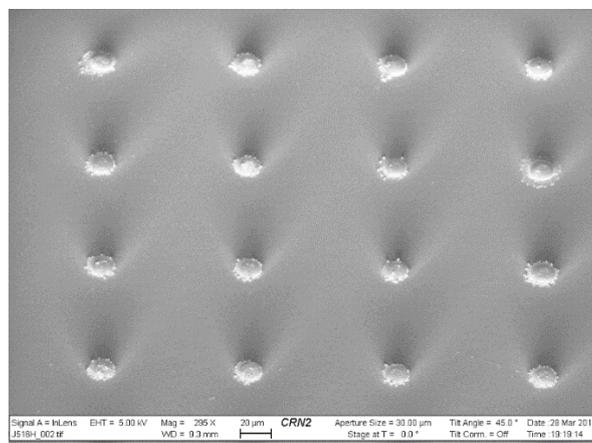


Figure 78 Matrice de TSV passivés après le procédé de gravure sélective RIE

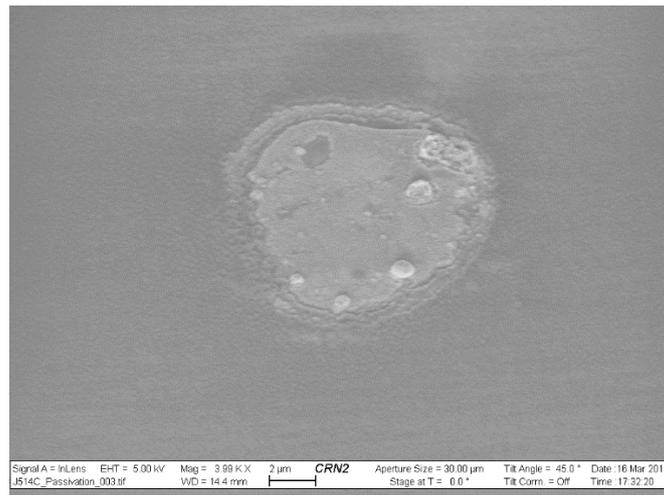


Figure 79 TSV passivé après le procédé de gravure sélective RIE

4.7.3.3 Discussion et recommandations pour le futur

Pour ce qui est de la passivation en face arrière, il existe quelques variations de procédé entre les différents échantillons traités. Premièrement, la stabilité du dépôt de Si_3N_4 par pulvérisation à l'IMDQ est peu stable. L'épaisseur n'est pas stable et le nitrure contient une importante concentration de silicium qui, elle aussi, varie dépendamment de l'état de la cible de nitrure au moment du dépôt. Cela peut affecter les propriétés isolantes du Si_3N_4 , ce qui peut compromettre la passivation. L'étape de gravure RIE fonctionne bien si les paramètres sont réutilisés tels quel. Il est important d'effectuer de courtes séances de 1 à 2 minutes pour garder un taux de gravure stable, étant donné que le taux gravure change en fonction du temps de gravure d'une séance donnée et de la température de l'échantillon (Tachi, Tsujimoto and Okudaira, 1988).

Pour le dépôt de Si_3N_4 je recommande de le faire faire ailleurs qu'à l'IMDQ étant donné la qualité de leur dépôt. Je recommande un dépôt PECVD (« Plasma Enhanced Chemical Vapor Deposition ») basse température à l'externe, où le cuivre est accepté, pour avoir une meilleure répétabilité dans l'épaisseur, l'intégrité mécanique et une pureté accrue du Si_3N_4 (Schmidt and Kerr, 2001).

4.8 Construction des contacts 3D

Pour pouvoir s'interfacier électriquement et mécaniquement l'un à l'autre, les tiers 1 et 2 doivent comporter des structures d'interconnexion métalliques. Sur le tiers 1 (coupon PAMP) ces contacts doivent se trouver sur la face arrière passivée, pour faire le contact avec les TSV et par le fait même avec les anodes des PAMP. Sur le tiers 2, ces contacts sont érigés sur la face avant sur des plots d'aluminium connectés à un circuit de lecture de PAMP. Cette section décrit donc l'étape F de La Figure 2 se trouvant au début dû de ce document.

4.8.1 Dépôt de la couche d'amorce

Tel qu'expliqué dans la section 4.8.3, le cuivre a été choisi pour composer la base des micropiliers. Le cuivre a donc été choisi comme matériau de la couche d'amorce vu sa compatibilité évidente avec le matériau de base des micropiliers. Cette étape requiert un empilement de couches minces métalliques commençant par une couche d'adhésion au substrat de 60 nm de Ti, une couche d'amorce de 300 nm de cuivre ainsi qu'une couche de protection sacrificielle de 30 nm de Ti (Agarwal *et al.*, 2010)(Prasanna Venkatesh *et al.*, 2013). La Figure 80 montre la surface d'un coupon de lecture après le dépôt de la couche d'amorce. Les détails du dépôt de la couche d'amorce se trouvent à l'annexe A.

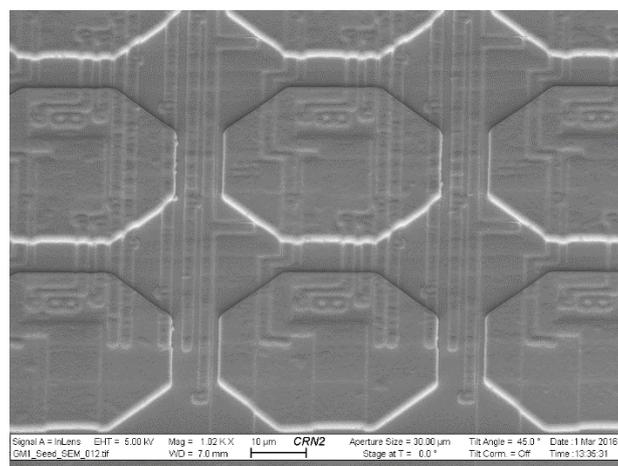


Figure 80 Image MEB des plots d'aluminium du tiers 2 après le dépôt de la couche d'amorce

4.8.2 Photolithographie pour l'électroplacage des micropiliers

L'objectif de cette étape était de déterminer une photorésine capable d'offrir des structures d'un minimum de 20 µm en hauteur tout en résistant aux produits chimiques utilisés lors des procédés d'électroplacage de cuivre et de matériau de brasure. La perle de bord formée suite à l'étalement de photorésine sur coupon devient un problème important par la suite lors du contact du photomasque sur le coupon pour l'exposition aux UV. C'est pourquoi la perle de bord puisse être retirée facilement avant l'insolation.

Trois photorésines potentielles ont été ciblées. Ces différentes photorésines ont été testées pour étalement sur coupon. Le Tableau 7 résume les observations effectuées.

Tableau 7 Avantages et désavantages des photorésines épaisses considérées

Photorésines	Type	Avantages	Désavantages
AZ P4903	Positive	<ul style="list-style-type: none"> • Peu visqueuse • Facile à travailler • Se nettoie bien • Résiste aux chimies d'électroplacage 	<ul style="list-style-type: none"> • Épaisseurs allant de 10 μm à 12 par couche sur coupon
KMPR	Négative	<ul style="list-style-type: none"> • Épaisseurs pouvant aller jusqu'à 100 μm par couche • Résiste aux chimies d'électroplacage 	<ul style="list-style-type: none"> • Difficile à nettoyer • Très visqueux
NR4 8000P	Négative	<ul style="list-style-type: none"> • Épaisseurs pouvant aller jusqu'à 30 μm par couche • Résiste aux chimies d'électroplacage 	<ul style="list-style-type: none"> • Difficile à nettoyer • Visqueux

À la lumière de ces résultats, la AZ P4903 a été choisie. Sa bonne maniabilité et son entretien la rend facile à utiliser comparativement aux deux autres photorésines étudiées. Le fait que la AZ P4903 soit une photorésine positive rend les expositions multiples sur le même échantillon possibles étant donné que ces expositions se font en champ foncé. Cette caractéristique est essentielle pour le retrait de la perle de bord après étalement de la photorésine. Les deux autres photorésines sont des photorésines négatives, ce qui ne permet qu'une seule exposition par échantillon. En contrepartie, une seule couche d'AZ P4903 donne une épaisseur maximum de 12 μm . Cela n'est pas compatible avec les objectifs fixés. Une recette bicouche a donc dû être développée. Une épaisseur environnant les 20 μm a été obtenue, ce qui répond aux objectifs du projet. Voir Annexe A pour les détails de la recette bicouche.

Deux photomasques ont dû être fabriqués. Un pour l'exposition de la perle de bord et un autre pour l'exposition des structures qui serviront de moules où pourront croître les micropiliers. La recette de photolithographie sur coupon se trouve à l'annexe A. La Figure 81 montre un coupon test après la recette AZ P4903 bicouche et double exposition.

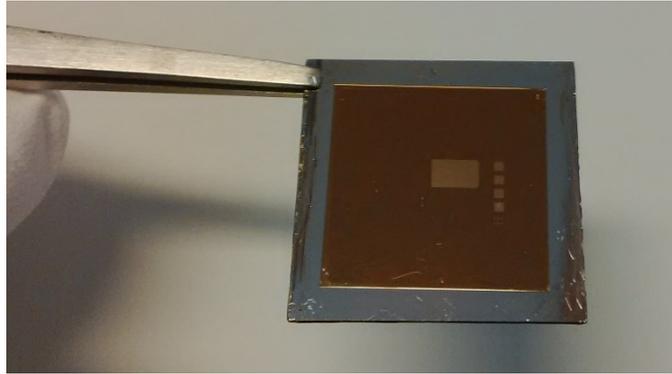


Figure 81 Photo d'un coupon test après retrait de la perle de bord et avec structures d'électroplacage

La recette pour la fabrication des moules d'électroplacage étant maintenant développée, j'ai donc pu m'attaquer à l'électroplacage de cuivre.

4.8.3 Electroplacage du cuivre

L'objectif de cette étape est d'électroplaque uniformément des UBM de cuivre de la bonne épaisseur aux sites prévus sur les tiers 1 et 2. Les UBM doivent également avoir une surface relativement lisse, pour ne pas faire embûche à l'interfaçage des deux tiers.

4.8.3.1 Tests et développement

Les matrices de PAMP ont été conçues préalablement avec un pas de 50 μm . Les TSV sur le tiers 1 sont donc à 50 μm l'un de l'autre, centre à centre. Les plots d'aluminium sur le tiers 2 font 40 μm de diamètre et ont également un pas 50 μm . Le diamètre des contacts métallique a également été fixé à 25 μm par une étude de Luc Maurais confirmant que pour ce genre d'application, un ratio de 2 (pas/diamètre) des contacts était préférable. Ayant ces informations, l'épaisseur du matériau de brasure a été définie. Pour avoir une demi-sphère sur l'UBM après la fusion du matériau de brasure, cette sphère devait avoir le même rayon que l'UBM, soit 12,5 μm . Tenant compte de la création d'intermétalliques et du mouillage des bords de l'UBM, l'électroplacage d'un cylindre de brasure de 12,5 μm a été choisi pour à la création d'une demi-sphère suite à la refusion. Le procédé de photolithographie donnant des moules de 20 μm de hauteur, l'épaisseur de l'UBM visé a été fixée à 6 μm pour une épaisseur totale d'environ 18,5 μm ce qui est une bonne épaisseur pour faciliter la soudure de micro contacts entre deux tiers (Agarwal *et al.*, 2010). La Figure 82 montre le montage utilisé pour l'électroplacage des UBM de cuivre.

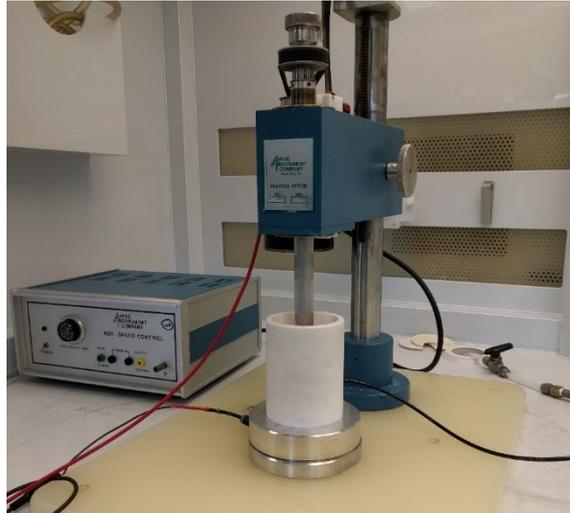


Figure 82 Montage pour le placage des UBM de cuivre

On peut voir l'électrode tournante (en bleu) qui entre dans la cellule de placage (en blanc et argent) qui contient l'électrolyte d'électroplacage. L'électrolyte d'électroplacage utilisé pour la croissance des UBM est le même utilisé pour faire le remplissage des TSV, soit le 3DFill du procédé Aquivia d'Aveni. Le procédé commence d'abord par le retrait de la première couche de titane recouvrant la couche d'amorce en cuivre. La Figure 83 illustre le résultat.

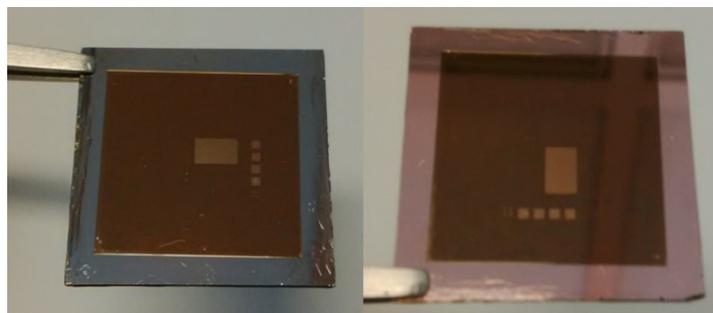


Figure 83 Retrait de la couche de titane par-dessus la couche de cuivre au HF, avant le placage des UBM de cuivre

Il faut ensuite assembler le réacteur avec le coupon à l'intérieur en s'assurant de bien faire le contact électrique sur les rebords du coupon. On verse ensuite l'électrolyte de placage et on vient immerger l'électrode tournante. Un courant pulsé est ensuite utilisé (Keithley 220) pour donner un meilleur fini au dépôt (Seah, Mridha and Chan, 2001). La recette détaillée de l'électroplacage des UBM de cuivre se trouve à l'annexe A.

4.8.3.2 Analyse des résultats

Les Figure 84 et Figure 85 montrent les résultats de l'électroplacage d'UBM avec l'électrolyte d'Aveni. On voit donc qu'il est possible d'électroplaquer de tels UBM avec une épaisseur de quelques microns, uniformément et avec un fini exempt de défauts. À défaut d'avoir des images représentant

les UBM sur les coupons PAMP pour cette étape, la section suivante présente des images comportant ces résultats.

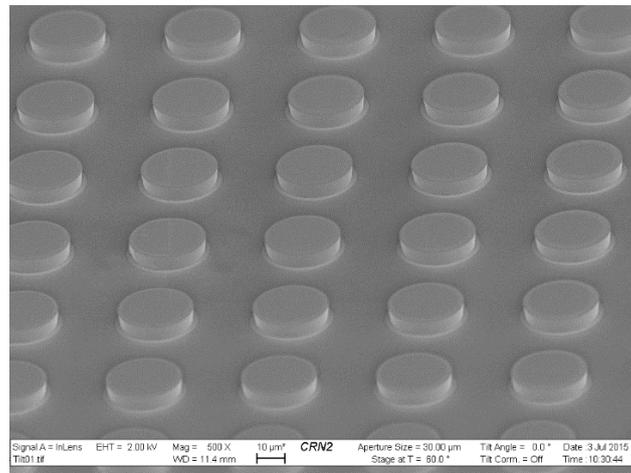


Figure 84 Matrice d'UBM de cuivre électroplaqués avec la solution d'Aveni

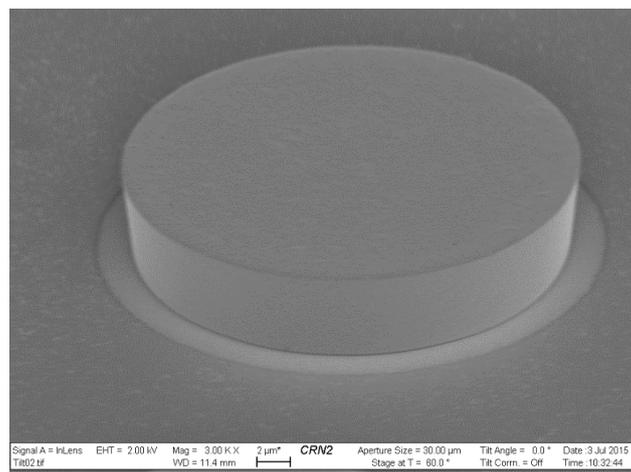


Figure 85 UBM de cuivre zoomé

4.8.4 Électroplacage du matériau de brasure

Le procédé d'interfaçage des deux tiers présenté plus loin a un impact direct sur le choix du matériau de brasure à électroplaque par-dessus l'UBM de cuivre. Ce procédé est très délicat et il repose principalement sur la qualité de l'électrodéposition du matériau de brasure. L'objectif est de trouver un matériau de brasure à basse température de fusion donnant une épaisseur uniforme aux alentours de 12-14 μm par procédé d'électrodéposition.

4.8.4.1 Tests et développement

Pour effectuer des tests sur différents matériaux de brasure, un procédé de photolithographie donnant les mêmes résultats que le procédé utilisé pour construire les moules de d'électroplacage sur coupon a été utilisé sur gaufre de 4 pouces. Ainsi, le temps de fabrication de coupons tests pour

l'électroplacage s'en est retrouvé beaucoup plus rapide. Il n'est pas nécessaire de faire d'exposition pour retirer la perle de bord, et chaque gaufre contient 9 coupons tests. Il ne suffit que de découper la gaufre en coupons pour se retrouver avec 9 coupons de test utilisés pour tester l'électroplacage de matériaux de brasure.

Les trois solutions faisables au sein du LNN par électroplacage étaient les suivantes : Alliage Étain-Cuivre-Argent (SnCuAg), Étain (Sn) et Indium (In). Les tests ont été effectués avec une source courant Keithley 220 pulsée. Le Tableau 8 donne les détails des matériaux de brasure compatibles à l'électroplacage testés et étudiés.

Tableau 8 Détails des matériaux de brasure testés à l'électroplacage

Matériau	Point de fusion	Facilité à électroplaquer	Uniformité du dépôt	Commentaires
In	156.6°C	Solution de placage très facile d'utilisation.	Uniforme	L'indium se dépose très bien. Ses propriétés mécaniques sont moins bonnes. L'épaisseur se contrôle bien.
SnAgCu	217°C	Solution de placage non disponible commercialement et difficile à préparer en laboratoire.	Uniforme, lorsque la solution est bien préparée.	La préparation de la solution a un faible taux de probabilité de réussir. De plus, elle a un temps de vie de quelques dizaines d'heures, et varie en fonction du temps.
Sn	231.9°C	Solution relativement facile à utiliser.	Taux de placage bas	L'épaisseur obtenue est trop faible pour des temps de placage raisonnables.

Les tests se sont révélés assez concluants comme le démontrent les figures suivantes :

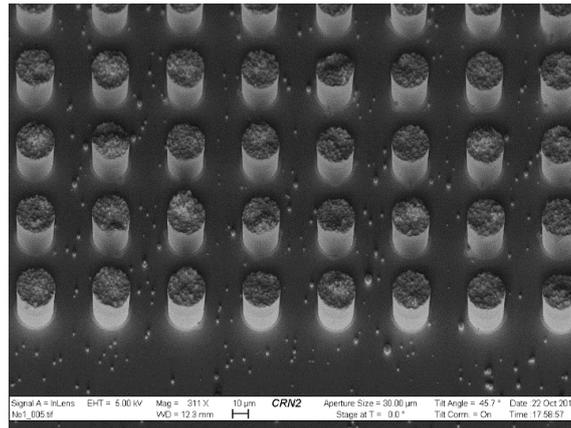


Figure 86 Piliers de SnAgCu sur UBM de cuivre électroplaqués avec la solution maison. Les débris se trouvant autour des micropiliers sont causés par un problème au niveau du dépôt de la couche d'amorce. Ce problème a été réglé par la suite.

On voit sur la Figure 86 que l'uniformité du placage SnAgCu est assez bonne, et l'épaisseur atteint les objectifs. La Figure 87 démontre qu'une petite variation dans la préparation de la solution pouvait mener vers des défauts importants. Les petites sphères qui se retrouvent partout sur l'échantillon sont des sphères de cuivre causées par un mal fonctionnement de la pulvérisation de l'amorce de cuivre.



Figure 87 Défauts d'électroplacage de SnAgCu lorsque la solution utilisée est mal préparée

La solution était très instable et avait une durée de vie très courte, ce qui ne permettait pas d'avoir une répétabilité acceptable. Les solutions d'électroplacage d'alliages sont connues pour être davantage difficiles à utiliser. C'est donc pour ces raisons que ce matériau de brasure n'a pas été sélectionné.

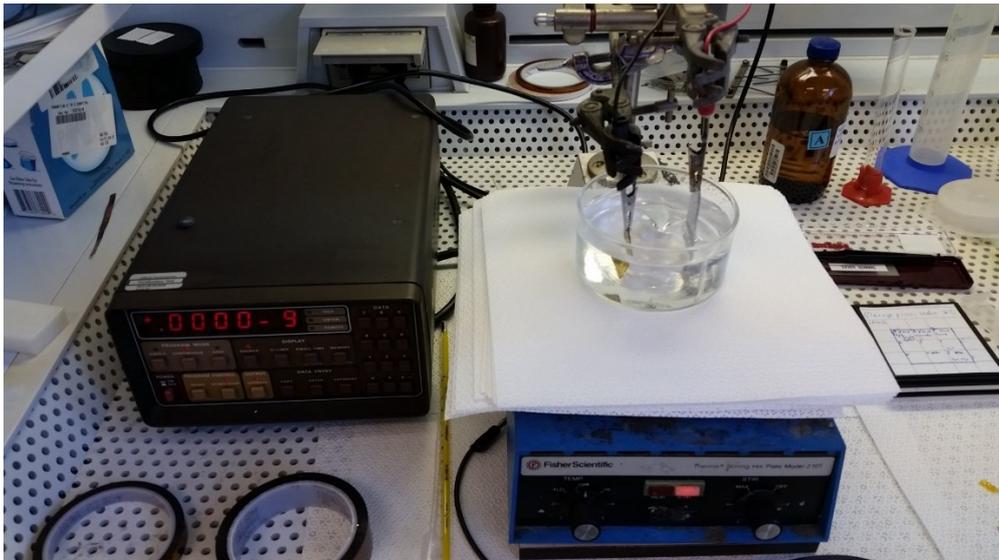


Figure 88 Montage/Outillage utilisé pour les tests de placage d'indium et de SnAgCu

Pour le placage d'étain pur, une solution commerciale produite par la compagnie Caswell utilisant un procédé chimique de placage sans excitation électrique a été utilisée. Cette solution d'opère à 50 °C et ne requiers qu'une simple immersion de l'échantillon dans la solution agitée. Cette solution est donc facile d'utilisation. Les figures suivantes démontrent le rendement de la solution d'étain pur.



Figure 89 Photo optique du placage Caswell vu de dessus

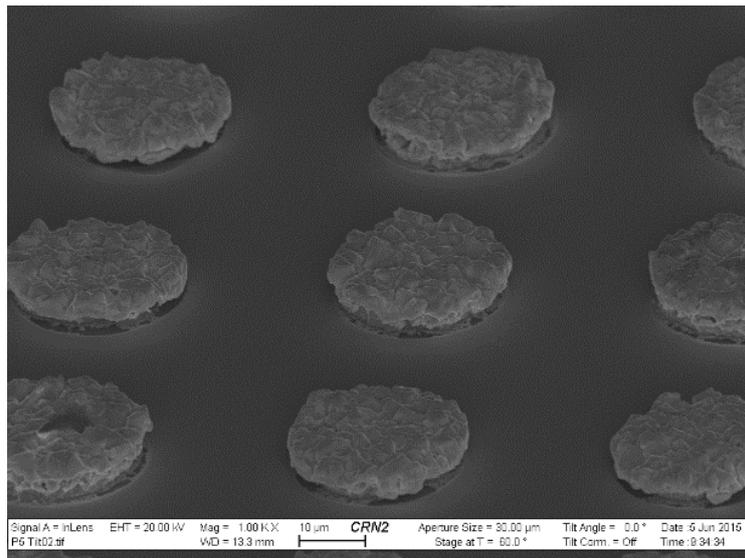


Figure 90 Image MEB démontrant le faible taux de déposition du placage Caswell

Le fini du placage Caswell est intéressant, mais il ne peut plaquer plus de 2 microns malgré les indications sur la fiche technique du produit (Yang, Gewirth and Trahey, 2015). Pour cette raison, j'ai dû abandonner cette avenue.

Le placage à l'indium utilise une solution commerciale produite par Indium Corporation qui opère à température pièce avec un courant pulsé. Sa facilité d'utilisation est très bonne, fortement dû au fait que l'on plaque un seul élément, et son temps de placage est raisonnable. Les figures suivantes illustrent les résultats des tests :

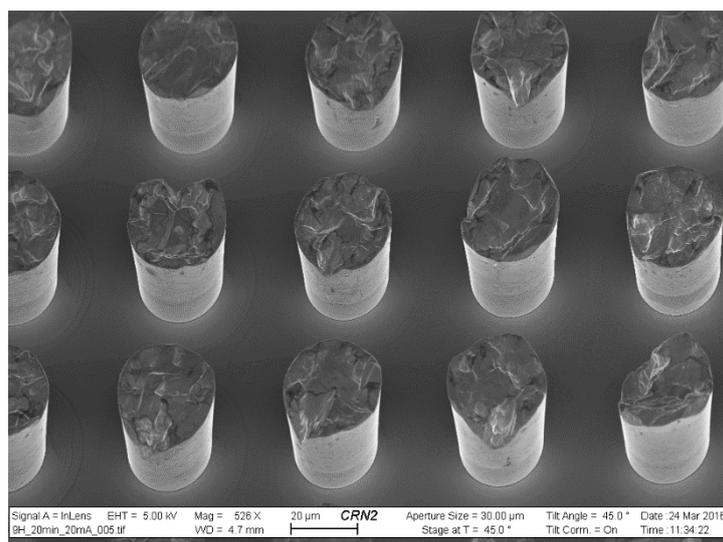


Figure 91 UBM de cuivre avec indium suite à l'électroplacage

Selon la Figure 91, le produit de l'électroplacage d'indium est assez uniforme. Sur cette image on voit bien l'interface entre le cuivre et l'indium. Sur la Figure 92, il est plus difficile de l'apercevoir.

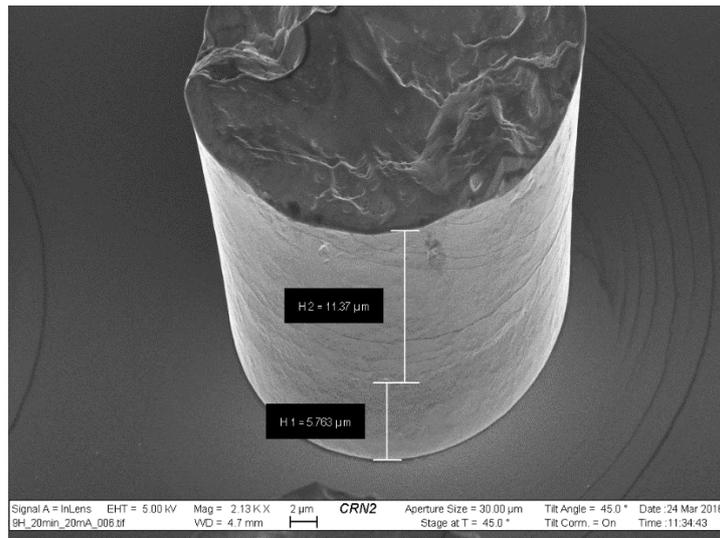


Figure 92 Micropilier Cu-In zoomé

On voit sur la Figure 92 que les épaisseurs de cuivre et d'indium obtenues sont près de l'objectif en de 6 μm pour le cuivre et 12 μm pour l'indium. À la lumière de ces résultats, l'indium a été choisi comme matériau de brasure. Sa température de fusion et sa facilité à s'électropliquer ont été de bons arguments pour ce choix. La recette détaillée se retrouve à l'annexe A de ce document.

4.8.4.2 Analyse des résultats

Suite à la sélection du matériau de brasure et à la validation du procédé, les procédés d'électroplacage de cuivre et d'indium ont été combinés pour ériger des micropiliers Cu/In sur coupons PAMP. La Figure 93 suivante illustre le résultat.

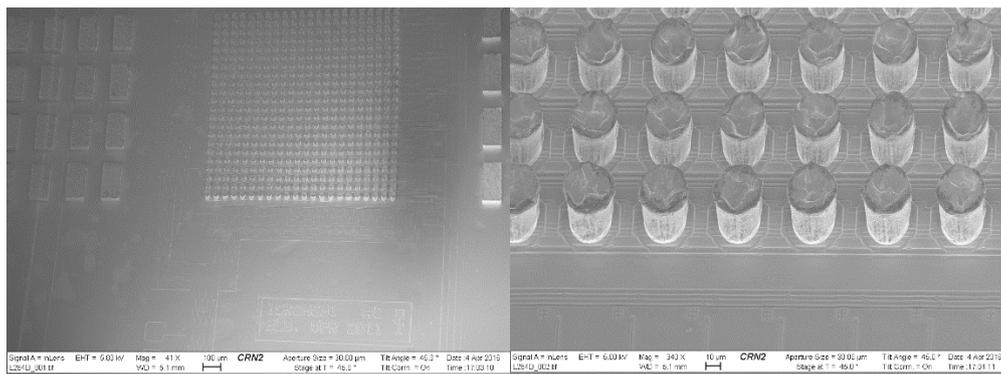


Figure 93 Image MEB de micropiliers Cu-In plaqués sur un coupon PAMP

On voit que l'épaisseur, l'uniformité, le fini et la position des piliers sont acceptables, l'objectif de l'étape est donc atteint.

4.8.5 Retrait de la couche d'amorce

L'étape de construction des contacts électriques terminée, la couche d'amorce doit être retirée pour éliminer le court-circuit général présent entre les anodes des PAMP. Tout d'abord, pour une question de prudence, les cinq puces contenues sur chaque coupon a été découpé au laser en petits rectangles d'environ 4 mm par 2 mm. Ainsi, si une des étapes suivantes échouait, moins de puces seraient perdues. Cette découpe est faite au laser LPKF. La Figure 94 illustre un résultat de la découpe au laser. Le laser ne passe pas au travers de la puce. Si c'était la cas, cela causerait la présence de débris très difficiles à nettoyer qui pourraient nuire aux étapes suivantes. Toutefois, avec une telle coupe, il est possible de cliver la puce en plaçant le coupon, traits vers le bas, sur une surface molle et en appuyant doucement avec des pinces de plastique sur l'axe affaibli. Après le clivage des puces, les tests sur la gravure humide et la gravure sèche de la couche d'amorce ont pu débuter.

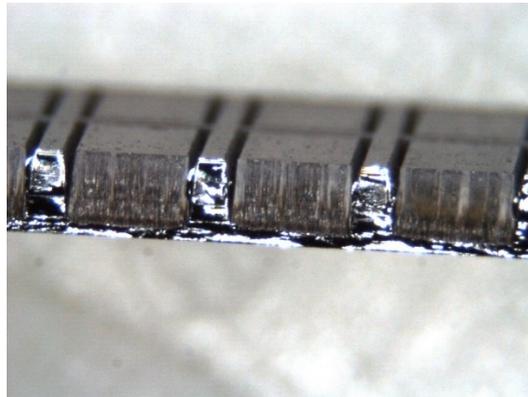


Figure 94 Vue en coupe de la forme des traits de clivage faits au LPKF (découpe en « V », d'où la nécessité de faire plusieurs traits de découpe pour passer au travers de tranches épaisses)

4.8.5.1 Tests et développement

Des tests ont été effectués avec des coupons sur lesquels le procédé de la construction des contacts métalliques avait été testé. En les coupant au laser, il a été possible de reproduire la géométrie et la surface des puces PAMP avec un bon degré d'exactitude. Les premiers tests ont été effectués sur la gravure humide du Ti servant de couche protectrice. L'objectif étant de trouver une solution qui grave bien le titane et qui n'attaque pas de façon significative les micropiliers. Le Tableau 9 décrit les différentes solutions testées pour la gravure humide du titane.

Tableau 9 Solutions testées pour la gravure humide du titane

Solutions testées	Taux de gravure	Observations
HF 10%	Très rapide	Attaque l'indium, grave bien le titane
HF 1%	Rapide	N'attaque pas beaucoup l'indium, grave bien le titane
Piranha ($H_2SO_4 : H_2O_2$)	Lent	Grave moins bien le titane, attaque l'indium et le cuivre moyennement

La solution d'HF concentrée à 1% était donc une solution viable et sécuritaire pour le retrait des couches de titane. Étant douce sur les métaux des micropiliers et agressive sur le titane, c'était un choix facile à faire.

Pour ce qui est de la gravure de la couche de cuivre, le Tableau 10 résume les solutions testées pour faire la gravure humide de la couche de cuivre de 300 nm.

Tableau 10 Solutions testées pour la gravure humide de la couche de cuivre

Solutions	Taux de gravure	Observations
CR7S10	Très Rapide	Attaque les UBM agressivement ainsi que l'indium
Acide nitrique 10%	Très Rapide	Attaque les UBM agressivement
Piranha ($H_2SO_4 : H_2O_2$)	Lent	Attaque les UBM légèrement, mais attaque l'indium considérablement

Suite à ces résultats, la gravure humide du cuivre a été laissée de côté. La plupart des solutions utilisées pour graver le cuivre s'avéraient également attaquer l'indium et le cuivre des UBM trop agressivement.

Une technique de gravure sèche, le bombardement d'ions a été testée. La machine utilisée est l'ion Tech, située à l'IMDQ. Une recette par bombardement par ions d'Argon a été développée se basant sur la littérature (Williams *et al.*, 2003). Cette technique grave de façon uniforme et n'affecte pas les micropiliers de façon importante étant donné le rapport d'épaisseur entre la couche d'amorce et les micropiliers. Alors tout en perdant quelques centaines de nanomètres sur les 14 μm d'indium des micropiliers, un retrait total de la couche d'amorce a été obtenu. L'avantage de cette technique est qu'elle fonctionne sur le cuivre et sur le titane. Toutefois, lors de la pulvérisation du cuivre par bombardement ionique, une redéposition de cuivre s'effectue et tapisse la puce, ce qui augmente le risque de courts-circuits. C'est pourquoi la recette a été développée pour ne graver que les deux

premières couches (Ti et Cu) pour laisser la couche d'accroche de titane récupérer la redéposition du cuivre. La recette détaillée et les paramètres de gravure sont décrits à l'annexe A. Ensuite, le procédé de gravure humide de titane peut être utilisé pour graver la couche d'accroche ainsi que la redéposition de cuivre sans risques. Ce procédé est détaillé à l'annexe A de ce document.

Suite à cette étape, les puces PAMP sont prêtes à être assemblées sur un coupon CMOS lecture possédant eux aussi des micropiliers.

4.8.5.2 Analyse des résultats

La Figure 95 montre une image MEB d'une puce PAMP sans couche d'amorce et prête à être soudée sur le tiers 1. On peut bien voir l'interface gaufré support-puce collé avec le HD3007.

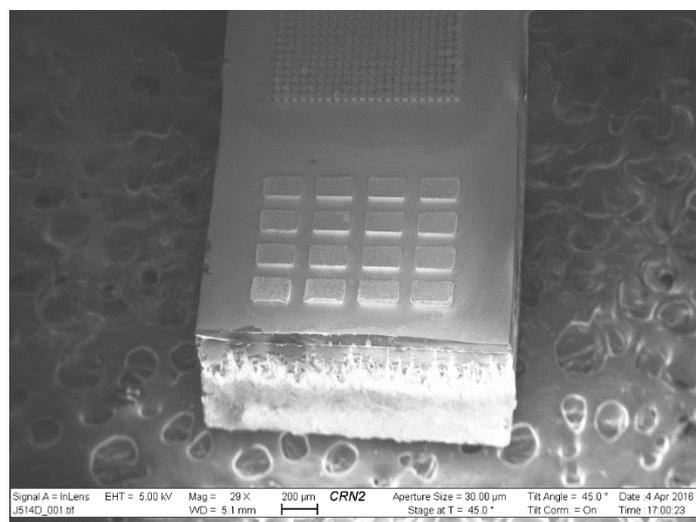


Figure 95 Puce PAMP amincie collée sur support de silicium avec contacts métalliques électroplaqués (Cu/In). La matrice de contacts du haut représente les micropiliers alors que les structures rectangulaires sont des structures d'autoalignement.

4.8.5.3 Discussion et recommandations pour le futur

Pour ce qui est de la couche d'amorce, je recommanderais de revoir l'épaisseur de la couche d'accroche de titane à cause d'un problème qui survient lors de la gravure humide au HF 1% de la dernière couche de titane. Une bonne quantité de micropiliers pouvaient se décoller lors de cette étape. Je recommande de déposer davantage de titane pour cette couche, par exemple 100 nm au lieu de 60 nm. Cela pourrait donner une meilleure intégrité mécanique aux micropiliers lors de la gravure du cuivre. Ainsi, on a plus de marge et il devient permis de surgraver et, de plus, il sera possible d'éliminer davantage de redéposition de cuivre grâce à cette épaisseur. J'ai l'impression que plus la couche de titane sera épaisse, plus les piliers seront bien accrochés après la gravure ionique, mais cela reste à valider. Il est aussi possible que le nitrure de silicium sur lesquels les micropiliers reposent (tiers PAMP seulement) se fasse attaquer par la solution de HF dépendamment de la teneur

d'hydrogène contenue dans le nitrure (Lanford and Rand, 1978). Je recommande donc de tester la gravure du titane et du Si_3N_4 avec du H_2O_2 chaud à 50 °C. Le H_2O_2 chaud grave le titane très doucement, mais il faut tester son effet sur le Si_3N_4 tout d'abord. Sur le tiers de lecture, les micropiliers reposent sur de l'aluminium. Je recommande donc de tester l'adhésion du titane sur l'aluminium étant donné que cette configuration peut causer la création d'intermétalliques pouvant mener à une diminution de l'adhésion des micropiliers (Bower, 1973). Le phénomène des micropiliers qui décollent est assurément lié à une mauvaise interface micropiliers-substrat.

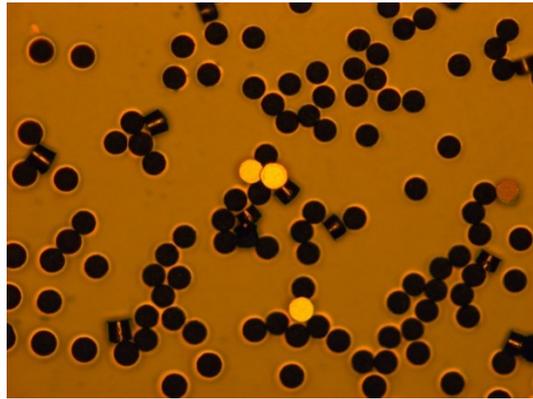


Figure 96 Photo optique de micropiliers décollés suite à l'étape de retrait de la 2e couche de titane

Il est possible de faire l'étape d'électroplacage au LNN. Une attention continue doit toutefois être portée au conditionnement des solutions de placage. De plus, un nouvel équipement de placage professionnel arrive au 3IT dans plusieurs mois, il sera donc possible de faire du placage au niveau gaufre. Je recommande également d'utiliser des sacs en polypropylène pour envelopper l'anode et d'utiliser des billes de cuivre dans un panier de titane plaqué au palladium pour le placage de cuivre (De Vogelaere *et al.*, 2001). Pour ce qui est du placage du matériau de brasure, la solution d'indium fonctionne très bien et se plaque très facilement comparativement au SnAgCu et au Sn.

4.9 Interfaçage 3D des puces

Une technique de thermocompression a été utilisée pour l'interfaçage des puces. Bien entendu, la sélection de la technique d'électroplacage impliquait une étape de soudure des deux tiers à l'aide des UBM de cuivre et de l'indium, le matériau de brasure. Il fallait donc trouver une façon d'aligner les échantillons précisément l'un au-dessus de l'autre, de les chauffer à température de fusion de l'indium (environ 155°C) et de les mettre en contact pour effectuer la soudure. Les objectifs étant de trouver un procédé d'assemblage donnant une précision de 4 à 5 µm.

4.9.1 Tests et développement

Deux machines potentielles auraient pu être utilisées pour l'assemblage par thermocompression, soient la Finetech et la Tresky, toutes les deux situées au LCP. Ces machines possèdent toutes les deux les fonctions de base pour la thermocompression, soient une plaque chauffante asservie, un système d'alignement et un système de pression contrôlé. Étant donné les dimensions millimétriques de la puce PAMP, il fallait une machine capable de manipuler la puce de 2 mm x 4mm. La Finetech ne comportait pas d'embout assez petit pour capter une telle puce. La Tresky, quant à elle, permettait d'utiliser des embouts capables de capter des puces micrométriques. Cela dit, il existait donc des embouts compatibles avec la taille de la puce PAMP. La Tresky possédait également une fonction d'environnement contrôlé à l'azote. Cette fonction permet d'empêcher l'oxydation des contacts lors de la soudure. L'oxydation à l'air ambiant étant plus agressive à haute température. La Tresky a donc été choisie pour tester et développer le procédé.

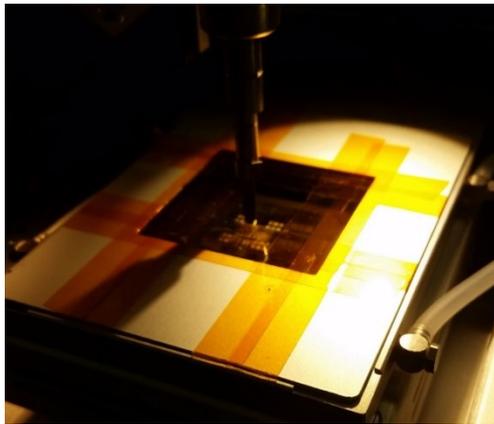


Figure 97 Photo d'une procédure de soudure avec environnement contrôlé sur la Tresky

Pour effectuer des tests représentatifs, des coupons comportant des piliers Cu/In électroplaqués lors du développement du procédé d'électroplacage ont été utilisés. Les paramètres principaux d'une telle soudure sont les suivants :

- Le profil de température et la température de soudure
- Le temps de contact à température de fusion
- La pression exercée à l'interface
- Le flux utilisé et sa méthode d'application
- La précision de l'alignement

Une machine d'observations à rayons X est également disponible au LCP pour effectuer l'observation d'intégrité de contacts électriques. Ce qui a permis de pouvoir vérifier chaque test de soudure pour ainsi valider les paramètres utilisés.

L'alignement des deux tiers l'un sur l'autre n'a pas été facteur à problème. Lors de l'électroplacage des micropiliers, deux matrices de plots d'alignement ont été plaquées en retrait de chaque côté de la matrice de micropiliers (voir Figure 99 et Figure 100). Les dimensions de ces plots et leur nombre ont été choisis de manière à ce que la surface totale des plots soit au moins trois fois plus grande que celle des micropiliers. Ainsi, lors de la soudure, s'il y avait désalignement, il y aurait autoalignement des plots (se trouvant sur les deux tiers) vers leur position relative pour autoaligner les micropiliers l'un sur l'autre. La force causée par la tension de surface générée par les plots, qui s'autoalignaient, étant beaucoup plus grande que celle générée par les micropiliers, c'est pourquoi les plots d'alignement emportaient ce tour de force.

Un des facteurs ayant le plus d'impact sur la qualité de la soudure était l'utilisation d'un flux. L'utilisation d'un flux permettait de protéger les contacts de l'oxydation, de désoxyder les contacts et d'assurer une distribution uniforme de la chaleur.

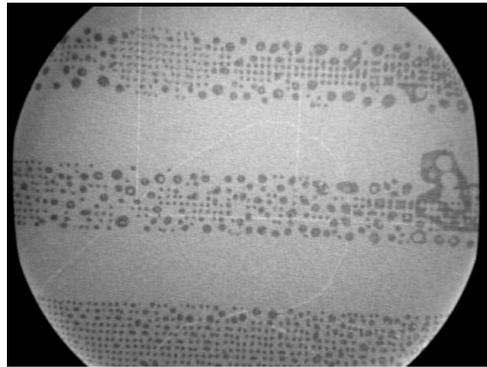


Figure 98 Image rayons X d'une vue du dessus de matrices de piliers soudées sans l'utilisation d'un flux. On voit que le matériau de brasure s'est dispersé non uniformément et cela a causé plusieurs ponts de soudure.

Les tests ont démontré que l'utilisation d'un flux était indispensable. Un mélange glycérol/HCL (100 :1) a été testé pour effectuer la plupart de mes tests (Adams, Anderson and Graves, 1994). J'ai remarqué qu'il y avait formation de bulles aux températures au-delà de 120°C. Cette formation de bulles causait parfois la mauvaise soudure sur un secteur de la matrice de micropiliers. En dehors de cela, la soudure se déroulait bien. La Figure 101 montre une soudure utilisant le flux maison.

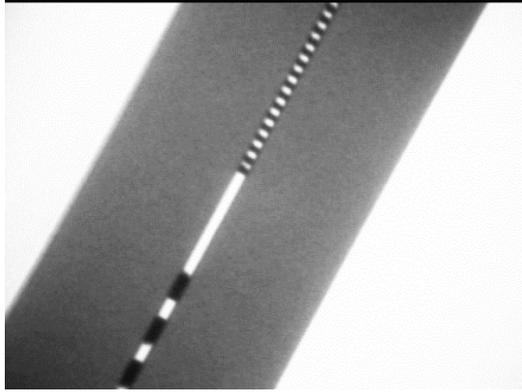


Figure 99 Image rayons X d'une vue en tranche de la soudure entre deux puces de tests. On voit les plots d'alignement à gauche et les micropiliers à droite.

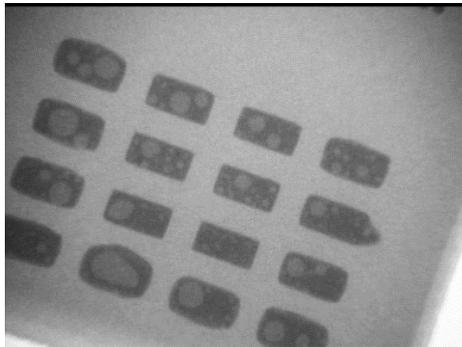


Figure 100 Image rayons X vue de dessus de bulles formées par le flux maison sur des plots d'alignement durant la soudure

On voit donc l'importance d'avoir un flux qui est constant et qui ne permet pas la formation de bulles. Un flux disponible au LCP pour l'assemblage de composantes électroniques à pas fins sur PCB, le PF708, a donc été testé. De très bons résultats ont été obtenus étant donné que ce flux ne bouillait pas à la température de soudure choisie. Le problème des bulles a donc été réglé avec le PF708. La procédure détaillée de ce procédé se trouve à l'annexe A.

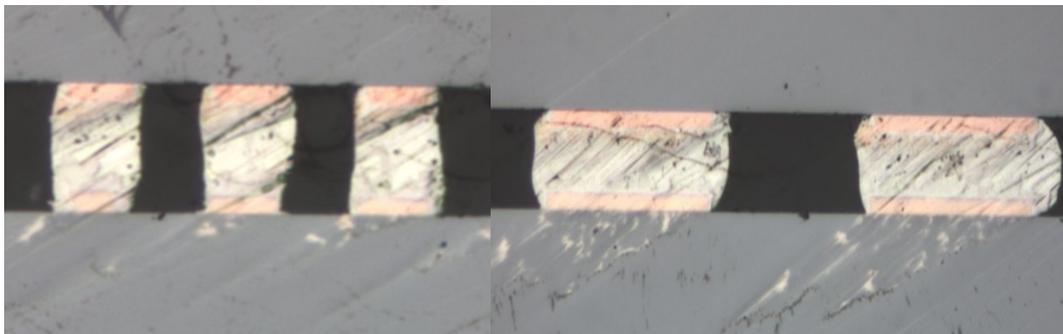


Figure 101 Photo d'une vue en tranche de micropiliers (gauche) et de plots d'alignement (droite) soudés

Suite à la soudure, des tests sur le retrait de la gaufre support et du nettoyage de la surface exposant les PAMP ont été effectués. Pour faire ces tests, des coupons sur gaufre support collés au HD3007

ont été utilisés. Une recette de dissolution aux solvants présentée dans la fiche technique du HD3007 a été testée. Vu la taille de la puce PAMP et de la surface à dissoudre, le procédé s'est très bien déroulé. La recette détaillée pour le retrait de la gaufre support se trouve à l'annexe A.

Ayant donc développé un procédé solide d'assemblage par thermocompression les étapes d'assemblage des puces PAMP sur un coupon de lecture, du prélèvement de la puce assemblée sur le coupon de lecture avec la LPKF et du retrait de la gaufre support aux solvants ont pu débuter.

4.9.2 Analyse des résultats

La Figure 102 illustre l'assemblage d'une puce PAMP sur un coupon de lecture.

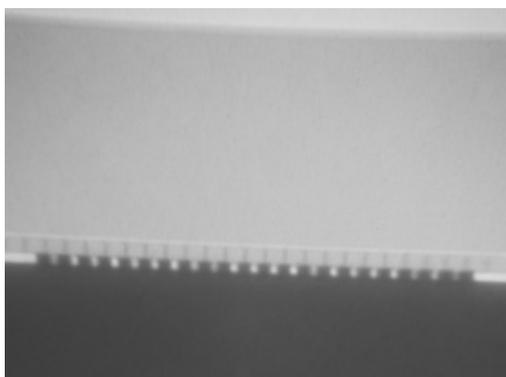


Figure 102 Image rayons X d'assemblage d'une puce PAMP sur un circuit de lecture. De haut en bas : Gaufre support de silicium, Puce PAMP, Couche de HD3007, TSV (lignes noires verticales), interconnexions métalliques soudées, Coupon de lecture

On peut voir que le procédé permet de faire une bonne soudure des micropiliers Cu/In. Le procédé n'a pas affecté l'intégrité d'aucun des deux tiers, de plus, les deux tiers se sont bien alignés. Il est possible de dire que l'alignement est bon étant donné qu'on peut observer qu'il n'y pas de métal entre les connexions. Les Figure 103 et figure 103 montrent une puce PAMP avec gaufre support soudée sur le circuit de lecture.

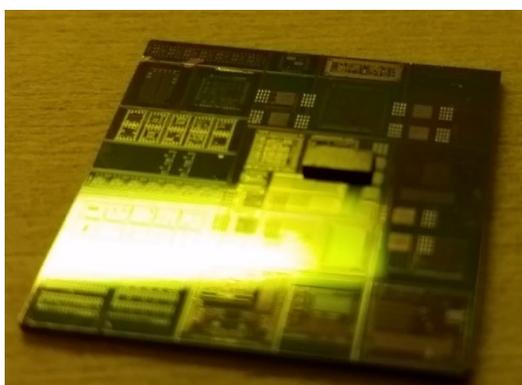


Figure 103 Photo d'une puce PAMP avec gaufre support sur coupon de lecture

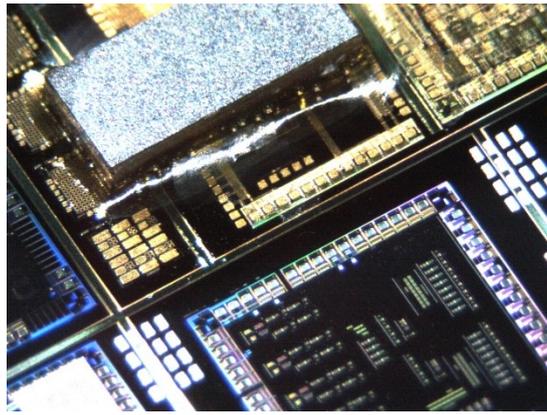


Figure 104 Photo d'une puce PAMP avec gaufre support sur coupon de lecture (Zoomé)

La Figure 105 montre un assemblage des deux tiers prélevés au laser dans le coupon de lecture suite au retrait de la gaufre support et au nettoyage par solvants.

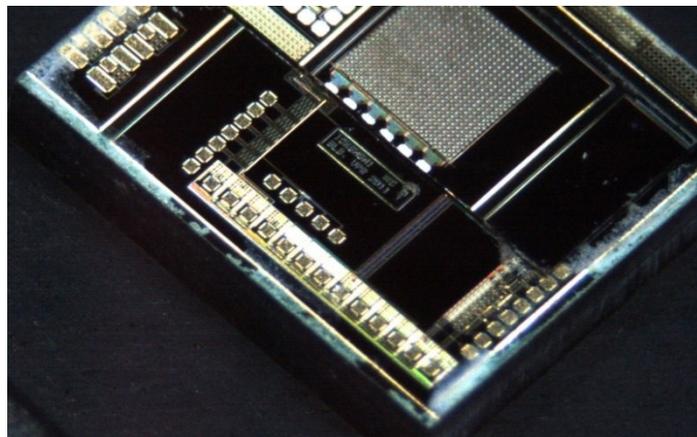


Figure 105 Photo d'un assemblage PAMP/Lecture prêt pour tests optiques

On peut donc voir que la surface de la puce PAMP est propre et prête à être montée sur un PCB de test. L'objectif est donc atteint.

4.9.3 Discussion et recommandations pour le futur

Ce procédé démontre donc qu'il est possible de procéder à l'assemblage de puces avec une matrice de contacts métalliques par thermocompression ayant un pas de 50 μm en utilisant l'équipement du 3IT. Par contre, des structures d'autoalignement sont nécessaires pour aligner les piliers, mais aussi pour prendre une partie de la pression. La pression minimale de la Tresky est 20 g avec la configuration actuelle. La machine peut avoir une mise à niveau lui permettant d'appliquer des pressions de l'ordre du gramme, ce qui aiderait si jamais les structures d'autoalignement sont mises de côté. Une pression de 20 g est trop élevée pour la matrice seule, mais avec les structures d'autoalignement la pression se distribue bien. Je recommande aussi de faire du développement pour ajouter un agent de remplissage entre la puce PAMP et le circuit de lecture pour empêcher la

torsion de la puce PAMP lors de l'étape suivante de micropontage, mais également pour augmenter la durée de vie des puces (Rahul Agarwal *et al.*, 2009).

4.10 Intégration sur PCB et tests

Les deux tiers (PAMP et lecture) comportent tous deux des plots d'aluminium sur leur surface dédiés au micropontage de signaux vers un PCB. Ces signaux seront ensuite traités par de l'électronique située sur le PCB pour effectuer les mesures des paramètres des PAMP et de l'efficacité des capteurs. Les puces assemblées doivent tout d'abord être collées au bon endroit sur les PCB de tests. De la laque d'argent a été utilisée pour ce collage. Les manipulations détaillées pour ce collage se trouvent à l'annexe A. La microponteuse du LCP a été utilisée pour effectuer ces connexions. La Figure 106 montre une puce assemblée collée sur un PCB de test avec les microponts.

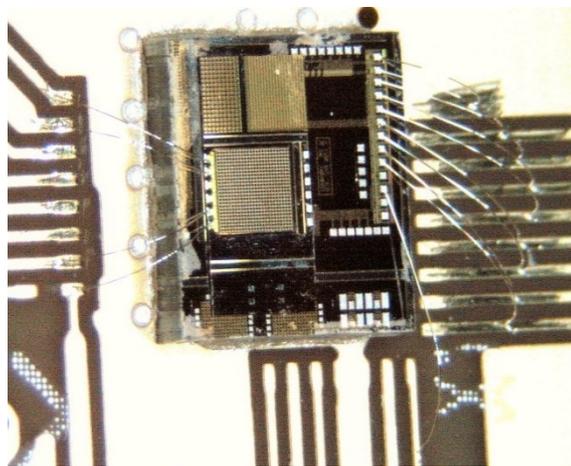


Figure 106 Puce PAMP/Lecture assemblée collée sur PCB de test et soudée par micropontage

Des tests ont ensuite pu être effectués sur les puces ayant survécu à tous les procédés de leur réception à leur collage sur PCB. Les tests optiques ont démontré que le procédé d'assemblage était fonctionnel. Toutefois, un faible pourcentage (20-25%) des PAMP se trouvaient connectés à leur circuit de lecture respectif. L'hypothèse principale de ce faible de taux de connexions intégrées est basé sur le problème d'accroche des micropiliers discuté dans la section 9. Les micropiliers semblaient se décoller très facilement. Ainsi, il serait possible que certains micros piliers aient décollés lors du processus de collage 3D. Il faudrait tout de même faire une étude plus approfondie d'analyse des puces assemblées pour en avoir plus de données. Il se pourrait également que le remplissage des TSV ne se soit pas bien déroulé pour les puces testées. Des vues en coupe et des images MEB sont donc de mise pour avoir un visuel sur l'endroit où le contact est discontinu dans la chaîne PAMP-Contact au métal 1-TSV-Micropiliers-Pleau d'aluminium sur le circuit de lecture. Les images aux rayons X donnent une bonne idée de cette chaîne, mais une telle discontinuité est impossible à observer avec cet équipement. Dans l'optique du projet de recherche, le résultat est

satisfaisant et démontre qu'il est possible d'assembler une puce PAMP CMOS 0.8 μm sur de l'électronique de lecture CMOS 0.8 μm .

5. CONCLUSION

Le procédé d'assemblage des deux tiers à traiter comportait les étapes principales suivantes : préparation de la face avant du tiers 1 (retrait du surplus de cuivre et contact au PAMP), préparation de la face arrière du tiers 1 (amincissement et passivation), construction des contacts métalliques sur les tiers 1 et 2 et finalement, l'assemblage des deux tiers et leur intégration sur PCB.

Une technique d'électropolissage à l'acide phosphorique 80% couplée à une gravure humide au CR-7 a été utilisée pour retirer au complet le surplus de cuivre laissé par le remplissage des TSV. Cela a permis le contact individuel des TSV avec l'anode de leur PAMP respectif via un procédé de « *lift-off* » d'un dépôt d'aluminium par pulvérisation cathodique. L'amincissement des puces a été fait par meulage mécanique grossier alors que la révélation en face arrière des TSV a été faite par CMP et nettoyage au SC1. Ces étapes de polissage ont été réalisées grâce à un procédé de collage des coupons sur support de silicium utilisant la colle HD3007. La passivation des TSV en face arrière a été réalisée par le dépôt d'une couche de Si_3N_4 suivie d'une méthode de planarisation à la photorésine S1818 et de gravure sèche RIE par étapes. Les interconnexions métalliques (micropiliers) des deux tiers ont été érigées utilisant une méthode d'électroplacage à courant pulsé de cuivre (UBM) et d'indium (matériau de brasure). Ces procédés d'électroplacage ont été possibles grâce à un procédé de photolithographie bicouche permettant des structures de 20 μm de hauteur utilisant la photorésine AZ P4903. Une étape de bombardement ionique à l'argon jumelée à une gravure humide au HF a été utilisée pour retirer les couches d'accroche (Ti), d'amorce (Cu) et de protection (Ti) laissées par les procédés d'électroplacage des micropiliers. Un procédé de micro-assemblage manuel utilisant une machine Tresky a été utilisé pour l'interfaçage par thermocompression des tiers 1 et 2. Le flux PF708 a permis une soudure propre et uniforme des matrices de micropiliers à interfacer. Une étape de micropontage et de collage à la laque d'argent a finalement permis l'intégration des puces sur circuits imprimés.

L'issue de ce projet a pu démontrer qu'il est possible d'assembler deux puces comportant une technologie différente par moyens de microfabrication existants et disponibles dans la plupart des laboratoires de microfabrication. Le fait que le rendement des bons contacts entre les deux tiers soit moins bon qu'espéré porte définitivement une lacune au procédé. Cependant, on peut affirmer qu'il serait possible de retravailler certains procédés pour converger vers un meilleur rendement. Les techniques et la technologie utilisées dans pour exécuter les procédés sont toutes standard et connues par la communauté scientifique. Ce procédé peut donc être transcendé vers un procédé utilisant des gaufres sur des lignes de production industrielles utilisant les principes de base

développés lors de ce projet de recherche. Ce projet de recherche peut donc servir de point de départ aux futurs projets d'intégration tridimensionnelle de puces par TSV à un niveau gaufre.

ANNEXES

Annexe A – Recettes détaillées

A. Recette de gravure des trous des TSV

Recette de passivation au Si_3N_4 pour technologie DALSA

Il faut déposer une couche de passivation de Si_3N_4 (nitrure de silicium) pour faire une meilleure passivation que celle par défaut chez DALSA pour bien protéger les métaux du BEOL lors des étapes de nettoyage du procédé d'Aveni.

Voici la configuration du réacteur utilisée pour le dépôt PECVD au LNN:

1. S'assurer que la surface de l'échantillon est très propre avant le dépôt
2. Mettre la température du plateau à **300°C**
3. Utiliser un débit de 1960 sccm pour le N_2 , 40 sccm pour le SiH_4 et de 20 sccm pour le NH_3
4. Utiliser le générateur de basse fréquence à une puissance de 20 W
5. Effectuer le dépôt pour une période de 30 minutes

Recette de photolithographie pour la gravure des trous (AZ P4903) Épaisseur visée : 8 μm

1. Nettoyer les échantillons (Acétone/IPA) si nécessaire (pas d'ultrasons!!)
2. Mettre 30 minutes dans l'étuve à une température de 125C
3. ****Bien boucher le trou dans le couvercle de l'épaleuse avec du ruban bleu!**
4. Étendre de la AZ P4903 à l'aide d'une grosse pipette. S'assurer que toute la surface est couverte.
5. Étaler lentement à 500 RPM pendant 5 secondes
6. Étaler rapidement à 5000 RPM pendant 60 secondes
7. Recuire l'échantillon pendant 3min à 110C sur une plaque chauffante

Exposition à l'écriture directe

1. Importer le motif voulu dans le système d'écriture directe et s'assurer de l'alignement sur la puce. Avec les **Fichiers ickshgm3** (voir avec Luc Maurais : luc.maurais@usherbrooke.ca)
2. Mettre la puissance du laser à 1 mW (**Attention, l'écriture directe n'est plus fonctionnelle comme avant, la puissance du laser est instable**)

3. Mettre la vitesse de la tête de balayage à 20 mm/secondes (**Il faut jouer avec la vitesse de balayage si on veut espérer avoir une bonne exposition. Pas testé. Voir avec Étienne Grondin et Caroline Roy**)

Développement de la photorésine

1. Immersion de 6 minutes 30 secondes dans le développeur AZ400K (3:1). Important, remuer doucement le bécher pendant l'immersion.
2. Rincer et sécher à l'azote

Recette de gravure des diélectriques dans l'AOE

1. Pression de la chambre à 2 mTorr
2. Température du plateau à 0 C
3. Débit de CF_4 à 20 sccm
4. Puissance de 600 W
5. Temps de la gravure de 14 minutes 30 secondes
6. Bien coller le coupon sur une gaufre 6po avec du Crystal Bond avant la gravure

Recette de gravure DRIE Bosch des trous des TSV dans l'ASE

1. Pression de la chambre de 0 mTorr
2. Température du plateau de 20 C
3. 100 cycles de changement de gaz
4. Utiliser le SF_6 à un débit de 100 sccm et de l'oxygène à un débit de 10 sccm comme gaz de gravure.
5. Utiliser le C_4F_8 à un débit de 120 sccm comme gaz de passivation
6. Temps de la recette de 27 minutes 40 secondes

B. Recette d'électropolissage du surplus de cuivre

1. Utiliser de l'acide phosphorique 85%
2. Utiliser la cellule de placage en PTFE
3. Mettre la rondelle en caoutchouc noir carré qui fait un peu de bulles
4. Faire le contact avec du tape de cuivre, ne laisser que la zone d'intérêt exposée
5. Courant: Pulses de 50mA (8ms ON, 24ms OFF) de l'échantillon (+) vers l'anode (-). Utiliser une source de courant Keithley 220.
6. Jusqu'à ce qu'il n'y ait plus de cuivre dans la zone d'intérêt (environ 35-40min)
7. Tremper dans une solution de 5s dans le CR-7 pour enlever le restant de cuivre si nécessaire

C. Recette pour le contact du TSV au métal 1 du CMOS des puces PAMP

Photolithographie pour l'ouverture vers le métal 1 (AZ P4903) Épaisseur visée : 8 μm

1. Nettoyer les échantillons (Acétone/IPA) si nécessaire (pas d'ultrasons!!)
2. Mettre 30 minutes dans l'étuve à une température de 125C
3. ****Bien boucher le trou dans le couvercle de l'étauseuse avec du ruban bleu!**
4. Étendre de la AZ P4903 à l'aide d'une grosse pipette. S'assurer que toute la surface est couverte.
5. Étaler lentement à 500 RPM pour une période de 5 secondes.
6. Étaler rapidement à 5000 RPM pendant 60 secondes.
7. Recuire l'échantillon pendant 3min @ 110C sur plaque chauffante

Exposition à l'écriture directe

1. Importer le motif voulu dans le système de l'écriture directe et s'assurer de l'alignement sur la puce. Avec les **Fichiers shb3** (voir avec Luc Maurais : luc.maurais@usherbrooke.ca)
2. Mettre la puissance du laser à 1 mW (**Attention, l'écriture directe n'est plus fonctionnel comme avant, la puissance du laser est instable**)
3. Mettre la vitesse de la tête de balayage à 20 mm/seconde (**Il faut jouer avec la vitesse de balayage si on veut espérer avoir une bonne exposition. Pas testé. Voir avec Étienne Grondin et Caroline Roy**)

Développement de la photorésine

1. Immersion de 5 minutes secondes dans le développeur AZ400K (3:1). Important, remuer doucement le bécher pendant l'immersion.
2. Rincer la surface de l'échantillon avec de l'eau DI et assécher.

Gravure vers le métal 1 dans l'AOE

1. Pression de la chambre à 2 mTorr
2. Température du plateau à 0 C
3. Débit de CF_4 à 20 sccm
4. Puissance de 600 W
5. Temps de gravure de 11 minutes

Dépôt d'aluminium à l'IMDQ par pulvérisation Épaisseur visée : 2 μm

1. Retirer la AZ P4903 par immersion dans le Remover 1165 chaud (75C) pendant 3h
2. Bien nettoyer la surface (Acétone/IPA)
3. Inspecter à l'optique pour des résidus

4. Faire un Plasmaline O_2 300mTorr 100W pendant 3min si nécessaire

Les paramètres du dépôt d'aluminium sont les suivants :

1. Puissance de 180 W
2. Utilisation d'argon comme gaz
3. Débit de gaz de 20 sccm
4. Durée du dépôt de 3 heures 10 minutes

Photolithographie pour gravure de l'aluminium (S1818) Épaisseur visée: 2 μm

1. Nettoyer les échantillons (Acétone/IPA) si nécessaire (pas d'ultrasons!!)
2. Mettre 30 minutes dans l'étuve à une température de 125C
3. Étendre de la S1818 à l'aide d'une pipette. S'assurer que toute la surface est couverte.
4. Étaler lentement à 500 RPM pour une période de 5 secondes.
5. Étaler rapidement à 4000 RPM pendant 30 secondes.
6. Recuire l'échantillon pendant 1min @ 115C sur une plaque chauffante

Exposition à l'aligneuse OAI 806

C'est une exposition en champ clair avec masque fait au LNN par Luc Maurais.

1. Puissance de la lampe de 22 mW/cm²
2. Temps d'exposition de 7.5 secondes

Développement de la S1818

1. Pulvérisation pendant 30 secondes sur la développeuse POLOS au MF-319
2. Rinçage durant 15 secondes à l'eau DI
3. Séchage par rotation et jet d'azote

Gravure de l'aluminium au Metal Etch E6

Avec cette étape on grave le reste de l'aluminium ET du cuivre laissé par les étapes d'avant. Il est impératif qu'il ne reste plus de métal sur la surface sauf aux endroits d'intérêts sur les matrices de SPAD.

1. Faire chauffer la solution de E6 Metal Etch dans un bain-marie sur une plaque chauffante jusqu'à une température de 40C
2. Immerger l'échantillon et attendre 15min (ou jusqu'à ce qu'il ne semble plus y avoir d'Aluminium (vérifier au microscope)
3. Rincer à l'eau DI et séchage par jet d'azote
4. Analyser visuellement l'échantillon pour tous résidus d'aluminium

5. Si nécessaire remettre l'échantillon dans la solution et recommencer l'analyse
6. Retirer la photorésine au Remover 1165 et nettoyer (Acétone/IPA)

D. Recette pour le collage des coupons PAMP sur gaufre support

Recette d'étalement de HD3007 sur étaleuse Brewer Épaisseur visée : 6 μm

Il faut sortir le HD3007 du congélateur du LCSM au moins 2h avant utilisation. Préparer 2 plaques chauffantes.

1. Étaler du HD3007 sur la gaufre (un rond de 2 pouces au centre)
2. Étaler à 1000 RPM pendant 5s
3. Étaler à 1500 RPM pendant 60s
4. 1^{er} recuit à 90C pendant 90s
5. 2^e recuit à 120C pendant 90s
6. Laver l'étaleuse au nmp

Cure du HD3007 dans le four Sentrotech au LCSM (Personnes ressources : Frédéric Bourque, Guillaume Bertrand)

1. Utiliser le tube à polyimide (celui avec un ruban de Kapton dessus)
2. Faire circuler de l'azote dans la chambre pendant 30 minutes
3. Faire une première rampe de température de 5°C/min vers 200°C
4. Rester à 200°C pendant 30 minutes
5. Faire une seconde rampe en température de 5°C/min vers 250°C
6. Rester à 250°C pendant 90 minutes
7. Faire refroidir pendant la nuit jusqu'à 40°C

Collage du coupon sur le carrier sur la machine AML au LNN (Personne ressource : Étienne Grondin)

1. Mettre le carrier sur la platine du bas
2. Placer le coupon au sur la gaufre support, au centre
3. Faire le vide au max (environ 1E-4 mbar)
4. Monter les deux platines à 250C
5. Attendre 5min avant contact
6. Appliquer 130-140N de force pendant 15min
7. Refroidir à l'azote

E. Recette révélation/passivation des TSV en face arrière

Polissage en face arrière avec suspension 3 μm au LCSM

1. Utiliser la polisseuse du LCSM et le distributeur automatique
2. Coller au crystal bond et aligner l'échantillon
3. Utiliser un poids de 1.5kg
4. Oscillation de 4 (sur la polisseuse)
5. Vitesse de rotation de 90 (sur la polisseuse)
6. Le taux de gravure est d'environ 500 nm/min
7. Polir jusqu'à ce que les TSV soient tous biens visibles (aller voir au microscope tous les 10min)

Polissage en face arrière avec suspension 50 nm

Avec cette étape on vient polir les aspérités laissées par le polissage 3 μm et on vient préparer la surface au procédé de passivation en face arrière.

1. Utiliser la polisseuse au LNN (voir avec Serge Ecoffey)
2. Utiliser la recette standard 50 nm
3. Polir pendant 8 minutes
4. Nettoyer à l'eau dans la machine pendant 5 minutes

Nettoyage post CMP 50 nm

Cette étape a pour but de nettoyer les résidus de cuivre laissés sur la surface de silicium dans les étapes précédentes. Si on ne fait pas ce nettoyage, le placage de NiB (prochaine étape) va plaquer partout sur l'échantillon et la gravure RIE au SF_6 ne se fera pas bien. De plus, tous le TSV se retrouveraient court-circuités.

1. Faire un mélange SC1 dilué $H_2O: NH_4OH: H_2O_2$ 100:1:4
2. Chauffer à 85C dans un bain-marie
3. Immerger l'échantillon pendant 5 minutes
4. Rincer et sécher à l'azote

Placage NiB pour protection des TSV

On fait cette étape pour venir plaquer du NiB sur les TSV révélés pour les protéger pour la prochaine étape de RIE. Si on ne fait pas cette étape, le cuivre des TSV se fait attaquer et il y a beaucoup de répulvérisation, ce qui pourrait compromettre la passivation en face arrière.

1. Faire chauffer la solution A de placage de NiB d'Aveni à 65°C dans un bain-marie

2. Ajouter la solution B (attention à partir de cette étape la solution s'évapore, et se détériore en 20min. Mettre un verre de montre sur le bécher)
3. Immerger l'échantillon 2min30sec dans la solution
4. Rincer et sécher à l'azote

RIE SF_6 pour la gravure du silicium sur March 1701

Cette étape sert à graver le silicium autour des TSV pour qu'ils ressortent davantage. Cela aide pour bien passiver, avec l'aide de l'isolant en polyvinyle du TSV.

1. Utiliser le RIE March au LNN
2. Coller le coupon sur une gaufre de 6 pouces avec du crystal bond au centre
3. Lancer une gravure à vide au SF_6 pour conditionner
4. Graver à 100W, 100% SF_6 , 85 mTorr
5. Faire des coups de 30 secondes et aller voir au profilomètre l'épaisseur gravée
6. Répéter jusqu'à une gravure de 200 nm

Recette de S1818 pour passivation au Si_3N_4

1. Faire déposer 250 nm de Si_3N_4 à l'IMDQ avec 30% d'azote dans la chambre
2. Mesurer l'épaisseur à l'ellipsomètre et noter l'épaisseur pour chaque (faire 3 mesures).
Utiliser le modèle « **SiN sputteré** » (dans le répertoire XB) ou « **absorbing film** »
3. Mettre de la photorésine S1818 partout sur 2 coupons tests
4. Étaler à 3000RPM pendant 30s
5. Recuire à 110°C pendant 60 secondes
6. Mesurer l'épaisseur à l'ellipsomètre et noter l'épaisseur pour chaque (faire 3 mesures).
Utiliser la recette **S1818 post RIE** (dans le répertoire XB)
7. Étaler de la S1818 de la même manière exactement sur les vrais échantillons par-dessus le nitrure
8. Mesurer une fois de plus à l'ellipsomètre avec la recette **S1818 post RIE** et noter. L'épaisseur mesurée devrait ressembler beaucoup au total du nitrure et de la S1818 séparément, mais avec une différence d'environ 30 nm.

Recette de gravure au RIE O_2 et CF_4 sur March 1701

Utiliser le document Excel que j'ai créé en prenant soin d'entrer l'épaisseur de nitrure et l'épaisseur de S1818 obtenue juste avant, ainsi que l'épaisseur des deux combinés. D'autres paramètres peuvent être changés si d'autres tests ont été faits avant. **Toutes les gravures au RIE doivent être faites avec le coupon collé au centre d'un support de 6 pouces avec du crystal bond.**

1. Faire un conditionnement de la chambre à l' O_2 avec support 6 pouces et ajuster la pression avec la valve (voir Daniel Blackburn pour le fonctionnement de la valve)
2. Faire une première gravure à l' O_2
3. Faire une deuxième gravure à l' O_2
4. Faire un conditionnement de la chambre au CF_4 avec support 6 pouces et ajuster la pression avec la valve
5. Faire une première gravure au CF_4
6. Faire une deuxième gravure au CF_4
7. Faire une gravure O_2 pour retirer le restant de la S1818

F. Construction des contacts métalliques

Dépôt de la couche d'amorce pour l'électroplacage (IMDQ)

1. Déposer par évaporation 60 nm de Titane
2. Déposer par pulvérisation 300 nm de Cuivre
3. Déposer par évaporation 50 nm de Titane

Photolithographie pour l'électroplacage des contacts sur étaleuse Brewer (AZ P4903)

Épaisseur visée : 20 μm

Cette étape nécessite un alignement rigoureux avec masque sur l'OAI806 à champ sombre. Il est recommandé de régler la rotation en se servant de l'ouverture des pads d'autoalignement.

1. Toujours accélérer à 200 RPM/s et mettre un papier imbibé d'EBR dans le fond. L'imbiber légèrement à chaque étalement. Mettre le ruban bleu sur le trou du couvercle.
2. Étaler 15s @ 500RPM
3. Étaler 100s @ 3000 RPM
4. Faire un recuit sur plaque chauffante 1min30s @ 105C
5. Étaler 15s @ 500RPM
6. Étaler 100s @ 3000 RPM
7. Faire un recuit sur plaque chauffante 6min @ 105C
8. Attendre 30min avant d'exposer pour laisser la photorésine s'hydrater
9. Exposer la perle de bord pendant 300s sur l'OAI200
10. Développer 10min dans AZ400K 3:1 par immersion
11. Exposer les motifs pendant 95s sur l'OAI806 (mettre gap de 100 μm , hard contact)
12. Développer 6min dans AZ400K 3:1 (immersion, commencer à remuer le béccher à 30s de la fin)
13. Rincer à l'eau DI et sécher à l'azote

Électroplacage des UBM de cuivre Épaisseur visée : 5 μm

Placage des UBM de cuivre avec la solution 3DFill d'Aveni (solution mauve) avec le réacteur en PTFE.

1. Mouiller les trous avec la technique de la pipette (prendre les grosses pipettes). Immerger l'échantillon dans l'eau avec un peu de savon à vaisselle (Palmolive vert), et envoyer de gros jets d'eau vers les motifs avec la pipette.
2. Sortir l'échantillon de manière à ce que les motifs restent mouillés
3. Graver le Titane en immergeant l'échantillon dans une solution au HF 1:10 (HF: H_2O).
4. Attendre qu'il n'y ait plus de titane à l'œil.
5. Contacter les 4 coins de l'échantillon avec du ruban de cuivre sur la plaque de du réacteur
6. Recouvrir tout ce qui pourrait se faire plaquer sauf les motifs avec du ruban de Kapton
7. Assembler (ne pas oublier les rondelles beiges) le réacteur et mettre la pression d'air (vérifier l'étanchéité avec de l'eau)
8. Mettre la solution de placage (100ml AF600A + 250 μL AF600B) déjà conditionnée (20min de placage sur un échantillon pantin) dans le réacteur
9. Mouiller avec une grosse pipette en envoyant des gros jets de solution sur l'échantillon. On ne voit pas l'échantillon, donc en envoyer plusieurs pour être certain. **Très important.**
10. Démarrer la rotation de l'anode
11. Démarrer la source de courant pulsée Keithley 220 (10mA, 8ms ON, 24ms OFF)
12. Descendre l'anode et l'immerger. Aussitôt qu'elle touche le liquide, partir un chrono pour 8min
13. Après 8 minutes, arrêter la source de courant, fermer la pression d'air et sortir l'échantillon pour rinçage

Électroplacage de l'indium Épaisseur visée : 12-14 μm

1. Mettre la solution de placage d'Indium dans un bécher sur une plaque avec agitation magnétique
2. Recouvrir le dos et le reste de l'échantillon sauf un coin et les motifs avec du ruban de Kapton
3. Mettre l'échantillon dans le bécher et tremper le bécher 0.5sec dans un bain à ultrasons rempli au bord avec de l'eau pour faire le mouillage des motifs
4. Contacter l'échantillon avec une pince crocodile en le gardant dans la solution à la verticale (voir image)
5. Immerger l'anode d'Indium dans la solution
6. Lancer la source de courant pulsée Keithley 220 (20mA, 4ms ON, 30ms OFF) et plaquer pendant 24 minutes avec agitation moyenne

- Vérifier au microscope optique si l'indium est près de l'épaisseur de la photorésine. Si non, refaire des placages par coups de 2 minutes jusqu'à ce que l'indium semble être au bord de la photorésine

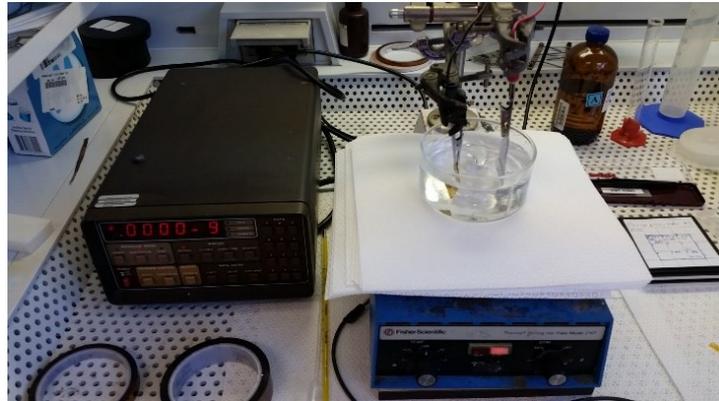


Figure 107 Montage pour placage d'indium

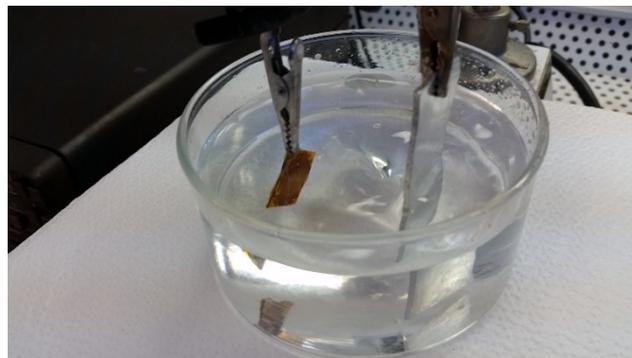


Figure 108 Montage pour placage d'indium

G. Retrait de la couche d'amorce

Application d'une photorésine de protection prédécoupe

- Mettre de la S1818 partout sur l'échantillon
- Étaler 30 secondes à 3000RPM
- Recuire 60 secondes à 110°C

Découpe au LPKF (seulement sur GM3)

- S'installer sur une serviette de laboratoire et coller l'échantillon par les coins avec du ruban adhésif
- Découper des ronds d'alignement au travers de l'échantillon en s'alignant sur les structures plaquées (job file : dicing_placage_GM3, outil : CutOut2layers)
- Retourner l'échantillon et découper des traits de clivage en s'alignant sur les ronds d'alignement faits avant (outil de clivage)

Clivage des dies (seulement sur GM3)

1. S'installer sur une dizaine d'épaisseur de lingette
2. Appuyer légèrement avec le bout d'une pince en plastique entre les structures du côté de la photorésine pour faire cliver les traits
3. Le faire pour toutes les puces sur l'échantillon

Retrait de la photorésine et de la première couche de titane

1. Faire un premier nettoyage une die à la fois dans l'acétone en les tenant avec les pinces avec face vers le bas pour empêcher les résidus de retomber sur le die
2. Laisser dans l'acétone face vers le haut pendant 5 minutes
3. Mettre dans l'IPA 2 min et sécher à l'azote
4. Mettre 10 secondes dans une solution de $H_2O:HF$ 1:10 ou jusqu'à ce que la première couche de titane soit complètement dissoute
5. Mettre dans l'eau 1 minute
6. Mettre dans l'IPA 30s et sécher à l'azote

Retrait de la couche de cuivre à la gravure par faisceau d'ion (IMDQ) Personne ressource :

Michael Lacerte

1. Coller les dies sur la platine avec de la graisse à vide
2. Fermer la chambre et faire le vide
3. Ajuster le courant de filament de la cathode (CC) afin d'obtenir un courant de décharge (DC) de 0.22 A (CC entre 7.5 et 10 A).
4. Ajuster le courant de filament (FC) à 3 A et la tension de décharge (DV) à 150 V.
5. Ajuster la tension du faisceau (BV) à 500 V et la tension d'accélération (AV) à 150 V
6. Allumer les filaments en appuyant sur source et attendre que les paramètres se stabilisent.
7. Mettre le porte-échantillon à l'angle voulu manuellement et diminuer le courant de filament (FC) de manière à obtenir un courant de neutralisation (NC) nul
8. Attendre 5 minutes pour que la source se stabilise et par la suite ajuster le (NC) à 45 mA.
9. Appuyer sur « Beam » pour commencer la gravure et attendre que les paramètres se stabilisent et passer en mode local.
10. Finalement, ajuster le courant du faisceau (BC) à 30 mA et ouvrir la cache pour commencer la gravure.
11. Graver 22 minutes pour GM3 et 25 minutes pour GM1 (** **Auparavant la recette était de 25minutes sur des tests sans puces amincies avec HD3007, mais étant donné l'isolation**

thermique du HD3007 entre la puce de 50 μm et le carrier, le taux de gravure s'est trouvé à être augmenté, alors on a dû baisser le temps de gravure. Faire attention.)



Figure 109 Photo des paramètres de gravure nécessaires pour la gravure de la couche d'amorce

Gravure de la dernière couche de titane

1. Faire l'immersion d'une die à la fois pendant 0.5 secondes dans une solution $H_2O:HF$ 1:50 et retremper dans l'eau plusieurs fois jusqu'à ce qu'on voit la couleur de la couche de nitrure apparaître. **Y aller doucement parce que les piliers décollent à cette étape.**
2. Sécher à l'azote

H. Assemblage des deux tiers et intégration

Soudure des deux tiers ensembles avec la Tresky au LCP

1. Faire un premier chauffage de la machine avec 2 itérations avec coupons tests du programme 10 en mémoire dans la Tresky et soudeur CuIn dans Itools. Utiliser l'embout conique 0.5mm
2. Vérifier que la température des deux plateaux de température est bien à 80°C et 170°C respectivement avec le thermocouple Fluke
3. Placer le GM1 en coupon sur la plaque chauffante, mettre la succion, mettre la cache pour l'environnement contrôlé et lancer le jet d'azote. Lancer le premier plateau de température.
4. Prendre le die GM3 par le carrier
5. Aligner à la caméra flip chip les structures d'autoalignement
6. Retirer la caméra
7. Mettre une goutte de flux PF708
8. Emmener le die GM3 dans la goutte de flux
9. Lancer le deuxième plateau de température

10. Mettre 20g de pression pendant 3sec après avoir atteint 160C et retirer la pression
11. Laisser 10sec à cette température
12. Refroidir

Découpe du die 3D au LPKF

1. Laver le flux à l'eau chaude (40C) avec des jets de pipette
2. Étaler de la photorésine sur le die (S1818 30s 3000RPM)
3. Couper au LPKF (job file : « dicing_intégration » outil : « CutOut GM1 »)
4. Nettoyer la photorésine à l'acétone face vers le bas
5. Mettre dans l'acétone 5 min
6. Mettre dans l'IPA 2 min
7. Sécher à l'azote

Retrait du carrier au solvant et nettoyage

Après avoir découpé la puce, il faut retirer le carrier en l'immergeant dans un solvant chaud, et ensuite il faut bien nettoyer pour enlever tout résidus sur les SPAD.

1. Immerger les dies dans le nmP à 70C pendant une nuit
2. Retirer le carrier en envoyant de petits jets avec une pipette
3. Remettre 2 heures dans un bécher à 70C
4. Mettre 2 heures dans du PGMEA à 70C
5. Faire un Plasmaline 100W 300mTorr 2min
6. Mettre dans l'acétone 5 min
7. Mettre dans l'IPA 5 min
8. Sécher à l'azote

Collage des dies sur PCB

Il faut faire attention à cette étape, car les pads du GM3 sont suspendus dans le vide (30-40 μm) et la microsoudure peut briser cette suspension, donc briser la connexion avec les pads (HV et COM).

1. Prendre de la peinture d'argent (Silverpaint)
2. Bien mélanger et mettre une petite goutte sur la trace du PCB
3. Tout de suite mettre le die sur la goutte et placer le die comme il faut
4. Mettre sur une plaque chauffante à 80C pendant 20min
5. Demander à un expert en microsoudure de microponter la puce sur le PCB

LISTE DES RÉFÉRENCES

- Adams, K. M., Anderson, J. E. and Graves, Y. B. (1994) 'Ionograph Sensitivity to Chemical Residues From 'no Clean Soldering Fluxes: Comparison Of Solvent Extract Conductivity and Surface Conductivity', *Circuit World*, 20(2), pp. 41–44. doi: 10.1108/eb046251.
- Agarwal, R. *et al.* (2009) 'Diamond bit cutting for processing high topography wafers', *Proceedings of the Electronic Packaging Technology Conference, EPTC*, pp. 267–271. doi: 10.1109/EPTC.2009.5416538.
- Agarwal, R. *et al.* (2009) 'High density Cu-Sn TLP bonding for 3D integration', *Proceedings - Electronic Components and Technology Conference*. IEEE, 32(0), pp. 345–349. doi: 10.1109/ECTC.2009.5074038.
- Agarwal, R. *et al.* (2010) 'Cu/Sn microbumps interconnect for 3D TSV chip stacking', *Proceedings - Electronic Components and Technology Conference*, 1555(ii), pp. 858–863. doi: 10.1109/ECTC.2010.5490698.
- Aithal, R. K. *et al.* (2006) 'Electroless copper deposition on silicon with titanium seed layer', *Materials Chemistry and Physics*, 98(1), pp. 95–102. doi: 10.1016/j.matchemphys.2005.08.079.
- Akin, M. *et al.* (2015) 'Eutectic Bonding of Integrated Circuits onto Polycarbonate and Poly(Methyl Methacrylate) by Means of Indium-Tin and Indium-Bismuth', *IEEE Transactions on Components, Packaging and Manufacturing Technology*. IEEE, 5(5), pp. 614–619. doi: 10.1109/TCPMT.2015.2420531.
- Au, K. Y. *et al.* (2011) 'Multi chip stacking & reliability challenges using TSV-micro C4 solder interconnection for FCCSP TSV package', *2011 IEEE 13th Electronics Packaging Technology Conference, EPTC 2011*, pp. 608–619. doi: 10.1109/EPTC.2011.6184493.
- Barnett, R. and Thomas, D. (2011) 'Yield and productivity improvements through use of advanced dual plasma source for TSV reveal & wafer dicing applications', *2011 IEEE 13th Electronics Packaging Technology Conference*, pp. 585–589.
- Bohan, Y., Chunqing, W. and Wei, Z. (2007) 'The microstructure of eutectic Au-Sn and In-Sn solders on Au/Ti and Au/Ni metallizations during laser solder bonding process for optical fiber alignment', *2006 7th International Conference on Electronics Packaging Technology, ICEPT '06*. doi: 10.1109/ICEPT.2006.359856.
- Bower, R. W. (1973) 'Characteristics of aluminum-titanium electrical contacts on silicon', *Applied Physics Letters*, 23(2), pp. 99–101. doi: 10.1063/1.1654823.

- Buchanan, K. *et al.* (2011) 'Plasma Etch and Dielectric Deposition Processes for TSV Reveal', *2011 IEEE International 3D Systems Integration Conference (3DIC), 2011 IEEE International*, pp. 5–6. doi: 10.1109/3DIC.2012.6262986.
- Charlet, B., Di Cioccio, L. and Leduc, P. (2007) 'Enabling technologies for 3D System on Chip (SoC) integration and examples of 3D integrated structures', *2007 IEEE International Conference on Integrated Circuit Design and Technology*, pp. 1–1. doi: 10.1109/ICICDT.2007.4299569.
- Chen, J. C. *et al.* (2011) 'Impact of slurry in Cu CMP (chemical mechanical polishing) on Cu topography of Through Silicon Vias (TSVs), re-distribution layers, and Cu exposure', *Proceedings - Electronic Components and Technology Conference*, 1, pp. 1389–1394. doi: 10.1109/ECTC.2011.5898693.
- Chen, J. C. *et al.* (2012) 'Effects of slurry in Cu chemical mechanical polishing (CMP) of TSVs for 3-D IC integration', *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2(6), pp. 956–963. doi: 10.1109/TCPMT.2011.2177663.
- Chen, Q. *et al.* (2012) 'A novel chip-to-wafer (C2W) three-dimensional (3D) integration approach using a template for precise alignment', *Microelectronic Engineering*. Elsevier B.V., 92, pp. 15–18. doi: 10.1016/j.mee.2011.04.047.
- Chew, J. *et al.* (2013) 'Characterization and optimization of a TSV CMP reveal process using a novel wafer inspection technique for detecting sub-monolayer surface contamination', *2013 IEEE International 3D Systems Integration Conference, 3DIC 2013*. doi: 10.1109/3DIC.2013.6702372.
- Chien, Y. *et al.* (2013) 'Low Temperature (<180°C) Wafer-level and Chip-level In-to-Cu and Cu-to-Cu Bonding for 3D Integration', *Proceedings of the Electronic Components & Technology Conference*, pp. 1146–1152.
- Choi, J. W. *et al.* (2013) 'Relationship between wafer-level warpage and Cu overburden thickness controlled by isotropic wet etching for through Si vias', *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 3(11), pp. 1820–1825. doi: 10.1109/TCPMT.2013.2279265.
- Chong, S. C., Wee, D. H. S. and Teo, K. H. (2011) 'Low standoff chip to wafer bonding', *2011 IEEE 13th Electronics Packaging Technology Conference, EPTC 2011*, pp. 108–112. doi: 10.1109/EPTC.2011.6184396.
- Chou, G. J. S. (2002) 'Microstructure Evolution of SnPb and SnAg/Cu BGA Solder Joints during Thermal Aging', *2002 Proceedings. 8th International Advanced Packaging Materials Symposium (Cat. No.02TH8617)*. doi: 10.1109/ISAPM.2002.990363.
- Dang, B. *et al.* (2009) '3D chip stack with integrated decoupling capacitors', *Electronic Components*

- and Technology Conference, 2009. ECTC 2009. 59th.* IEEE, pp. 1–5. doi: 10.1109/ECTC.2009.5073987.
- Enquist, P. *et al.* (2009) 'Low cost of ownership scalable copper direct bond interconnect 3D IC technology for three dimensional integrated circuit applications', *2009 IEEE International Conference on 3D System Integration, 3DIC 2009.* IEEE, (919), pp. 1–6. doi: 10.1109/3DIC.2009.5306533.
- Fang, Z. *et al.* (2013) 'Low temperature Sn-rich Au - Sn wafer-level bonding', *Journal of Semiconductors*, 34(10). doi: 10.1088/1674-4926/34/10/106001.
- Frieswijk, T. A. *et al.* (1997) 'Development of a solder bump technique for contacting a three-dimensional multi electrode array', *Microsystem Technologies*, 3(2), pp. 48–52. doi: 10.1007/s005420050054.
- Fromel, J. *et al.* (2012) 'Low temperature metal interdiffusion bonding for micro devices', *Proceedings of 2012 3rd IEEE International Workshop on Low Temperature Bonding for 3D Integration, LTB-3D 2012*, p. 163. doi: 10.1109/LTB-3D.2012.6238080.
- Hendrix, M., Drews, S. and Hurd, T. (2000) 'Advantages of wet chemical spin-processing for wafer thinning and packaging applications', *Twenty Sixth IEEE/CPMT International Electronics Manufacturing Technology Symposium (Cat. No.00CH37146)*, pp. 0–7. doi: 10.1109/IEMT.2000.910733.
- Hozawa, K. *et al.* (2013) '300-mm wafer 3D integration technology using hybrid wafer bonding', in *Proceedings of Technical Papers - International Microsystems, Packaging, Assembly, and Circuits Technology Conference, IMPACT*, pp. 51–54. doi: 10.1109/IMPACT.2013.6706626.
- Hsiao, Z. *et al.* (2015) 'Cu/BCB hybrid bonding with TSV for 3D integration by using fly cutting technology', *2015 International Conference on Electronics Packaging and iMAPS All Asia Conference (ICEP-IAAC)*, pp. 834–837. doi: 10.1109/ICEP-IAAC.2015.7111128.
- Huang, B. K. *et al.* (2013) 'Integration challenges of TSV backside via reveal process', *Proceedings - Electronic Components and Technology Conference*, (123), pp. 915–917. doi: 10.1109/ECTC.2013.6575683.
- Huffman, A. *et al.* (2007) 'Effects of assembly process parameters on the structure and thermal stability of Sn-capped Cu bump bonds', *Proceedings - Electronic Components and Technology Conference*, pp. 1589–1596. doi: 10.1109/ECTC.2007.374007.
- Hung, J. F. *et al.* (2012) 'Electrical testing of blind Through-Silicon Via (TSV) for 3D IC integration', *Proceedings - Electronic Components and Technology Conference*, pp. 564–570. doi: 10.1109/ECTC.2012.6248886.

- Hwang, G., Kalaiselvan, R. and Yusoff, H. B. M. (2016) 'Development of bottom-up Cu electroplating process overburden reduction for Through Silicon Via (TSV) application', *2016 IEEE 18th Electronics Packaging Technology Conference (EPTC)*, pp. 57–60.
- Itabashi, T. *et al.* (2011) 'High temperature bonding solutions enabling thin wafer process and handling on 3D-IC manufacturing', *2011 IEEE International 3D Systems Integration Conference, 3DIC 2011*, pp. 3–6. doi: 10.1109/3DIC.2012.6263003.
- Jimenez, G., Paroush, Z. 'E. and Ish-Horowicz, D. (1997) 'Dry Silicon Etching for MEMS', *Genes & Development*, 11(22), pp. 3072–3082.
- Jiun, H. H. *et al.* (2006) 'Effect of wafer thinning methods towards fracture strength and topography of silicon die', *Microelectronics Reliability*, 46(5–6), pp. 836–845. doi: 10.1016/j.microrel.2005.07.110.
- Johannessen, R., Taklo, M. M. V. and Sunding, M. F. (2009) 'SnAg microbumps for MEMS-based 3-D stacks', *IEEE Transactions on Advanced Packaging*, 32(3), pp. 683–694. doi: 10.1109/TADVP.2009.2015674.
- Jung, M. W. *et al.* (2011) 'Electropolishing and electroless plating of copper and tin to replace CMP and lithographic processes in Cu/Sn bump fabrication', *Proceedings - Electronic Components and Technology Conference*, pp. 1913–1916. doi: 10.1109/ECTC.2011.5898777.
- Kenny, S. *et al.* (2010) 'Electrolytic solder deposit for next generation flip chip solder bumping: 2010 International Microsystems, Packaging, Assembly and Circuits Technology (IMPACT) Conference', *International Microsystems Packaging Assembly and Circuits Technology Conference, IMPACT 2010 and International 3D IC Conference, Proceedings*. IEEE, pp. 1–4. doi: 10.1109/IMPACT.2010.5699485.
- Ko, C. T. *et al.* (2011) 'Wafer-Level 3D Integration with Cu TSV and Micro-Bump/Adhesive Hybrid Bonding Technologies', *2011 IEEE International 3D Systems Integration Conference (3DIC), 2011 IEEE International*, pp. 7–10. doi: 10.1109/3DIC.2012.6262949.
- Koo, J.-K. and Lee, J.-H. (2014) 'Electrochemical process for 3D TSV without CMP and lithographic processes', *Electronic Materials Letters*, 10(2), pp. 485–490. doi: 10.1007/s13391-014-8007-5.
- Kukharenka, E. *et al.* (2003) 'Electroplating moulds using dry film thick negative photoresist', *Journal of Micromechanics and Microengineering*, 13(4). doi: 10.1088/0960-1317/13/4/311.
- Kwon, W. *et al.* (2011) 'Novel thinning/backside passivation for substrate coupling depression of 3D IC', *Proceedings - Electronic Components and Technology Conference*, pp. 1395–1399. doi: 10.1109/ECTC.2011.5898694.

- Lanford, W. A. and Rand, M. J. (1978) 'The hydrogen content of plasma-deposited silicon nitride', *Journal of Applied Physics*, 49(4), pp. 2473–2477. doi: 10.1063/1.325095.
- Lannon, J. *et al.* (2014) 'Fabrication and testing of a TSV-enabled Si interposer with Cu- and polymer-based multilevel metallization', *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 4(1), pp. 153–157. doi: 10.1109/TCPMT.2013.2284580.
- Lau, J. H. (2016) 'Recent Advances and New Trends in Flip Chip Technology', *Journal of Electronic Packaging*, 138(3), p. 030802. doi: 10.1115/1.4034037.
- Lee, W. S. *et al.* (2001) 'An optimization of tungsten plug chemical mechanical polishing (CMP) using different consumables', *Journal of Materials Science: Materials in Electronics*, 12(1), pp. 63–68. doi: 10.1023/A:1011276830620.
- Li, C. *et al.* (2012) 'Integrated Wafer Thinning Process with TSV Electroplating for 3D Stacking', *2012 13th International Conference on Electronic Packaging Technology & High Density Packaging*, pp. 945–948. doi: 10.1109/ICEPT-HDP.2012.6474764.
- Liu, Y. *et al.* (2015) 'A metastable phase of tin in 3D integrated circuit solder microbumps', *Scripta Materialia*, 102, pp. 39–42. doi: 10.1016/j.scriptamat.2015.02.009.
- Liu, Y. and Wu, D. (2013) 'Copper Filling by Electroplating for High Aspect Ratio TSV', *2013 14th International Conference on Electronic Packaging Technology*, pp. 1271–1275.
- Logan, S. and Guthaus, M. R. (2011) 'Package-Chip Co-Design to Increase Flip-Chip C4 Reliability', *2011 12th International Symposium on Quality Electronic Design*, pp. 1–6. doi: 10.1109/ISQED.2011.5770782.
- Long, A. *et al.* (2006) 'Silicon Wafer Backside Thinning with Mechanical and Chemical Method for Better Mechanical Property', *2006 7th International Conference on Electronic Packaging Technology*, pp. 0–3. doi: 10.1109/ICEPT.2006.359813.
- Lu, M. C. (2018) 'Design Architectures for Compliant High Temperature Thermal Interface Materials', *Proceedings of the 17th InterSociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems, ITherm 2018*, pp. 126–133. doi: 10.1109/ITHERM.2018.8419592.
- Lv, Y. *et al.* (2014) 'A reliable Cu-Sn stack bonding technology for 3D-TSV packaging', *Semiconductor Science and Technology*, 29(2). doi: 10.1088/0268-1242/29/2/025003.
- Lv, Z. *et al.* (2012) 'Silicon substrate with TSV for light emitting diode packaging', *14th International Conference on Electronic Materials and Packaging, EMAP 2012*. doi: 10.1109/EMAP.2012.6507853.

- Ma, L. *et al.* (2013) 'Pure Bottom-up filling process for efficient TSV metallization', *Proceedings - 2013 14th International Conference on Electronic Packaging Technology, ICEPT 2013*, pp. 356–359. doi: 10.1109/ICEPT.2013.6756488.
- Ma, S. *et al.* (2014) 'Alkaline barrier slurry applied in TSV chemical mechanical planarization', *Journal of Semiconductors*, 35(2). doi: 10.1088/1674-4926/35/2/026002.
- Malta, D. *et al.* (2010) 'Integrated process for defect-free copper plating and chemical-mechanical polishing of through-silicon vias for 3D interconnects', *Proceedings - Electronic Components and Technology Conference*, pp. 1769–1775. doi: 10.1109/ECTC.2010.5490731.
- Marinace, J. C. and Mcgibbon, R. C. (1982) 'Titanium Dioxide Films to Improve Photoresist Adhesion', *Journal of The Electrochemical Society*, 129(10), pp. 2389–2390. doi: 10.1149/1.2123549.
- Marty, F. *et al.* (2005) 'Advanced etching of silicon based on deep reactive ion etching for silicon high aspect ratio microstructures and three-dimensional micro- and nanostructures', *Microelectronics Journal*, 36(7), pp. 673–677. doi: 10.1016/j.mejo.2005.04.039.
- Mauer, L. B. *et al.* (2013) 'Silicon Etch with integrated metrology for through silicon via (TSV) reveal', *2013 IEEE International 3D Systems Integration Conference, 3DIC 2013*, pp. 3–6. doi: 10.1109/3DIC.2013.6702325.
- Mauer, L. B., Taddei, J. and Youssef, R. (2014) 'Wet Silicon Etch Process for TSV Reveal Etchant SMC6-Tox ER', *2014 IEEE 64th Electronic Components and Technology Conference (ECTC)*, pp. 878–882.
- McLellan, N. *et al.* (2004) 'Effects of Wafer Thinning Condition on the Roughness, Morphology and Fracture Strength of Silicon Die', *Journal of Electronic Packaging*, 126(1), p. 110. doi: 10.1115/1.1647123.
- Mévellec, V. *et al.* (2007) 'Grafting polymers on surfaces: A new powerful and versatile diazonium salt-based one-step process in aqueous media', *Chemistry of Materials*, 19(25), pp. 6323–6330. doi: 10.1021/cm071371i.
- Motoyoshi, M. (2009) 'Through-Silicon Via (TSV)', *Proceedings of the IEEE*, 97(1), pp. 43–48. doi: 10.1109/JPROC.2008.2007462.
- Niclass, C. L., Rochas, A. and Besse, P. (2004) 'Array for 3D Imaging • 2004 IEEE International Solid-State Circuits Conference', *Imaging - 2004 IEEE International Solid-State Circuits Conference*, 15(7), pp. 963–965.

- Padhi, D. *et al.* (2003) 'Planarization of Copper Thin Films by Electropolishing in Phosphoric Acid for ULSI Applications', *Journal of The Electrochemical Society*, 150(1), p. G10. doi: 10.1149/1.1523415.
- Pei, Z. J., Fisher, G. R. and Liu, J. (2008) 'Grinding of silicon wafers: A review from historical perspectives', *International Journal of Machine Tools and Manufacture*, 48(12–13), pp. 1297–1307. doi: 10.1016/j.ijmachtools.2008.05.009.
- Peng, K. W. *et al.* (2015) 'Optimization and challenges of backside via flatness reveal process', *Proceedings - Electronic Components and Technology Conference*. IEEE, 2015–July(153), pp. 1818–1821. doi: 10.1109/ECTC.2015.7159846.
- Prasanna Venkatesh, R. *et al.* (2013) 'Characterization of TMAH based cleaning solution for post Cu-CMP application', *Microelectronic Engineering*. Elsevier B.V., 102, pp. 74–80. doi: 10.1016/j.mee.2012.04.006.
- Raynal, F. (2012) 'Integration of Electrografted Layers for the Metallization of Deep Through Silicon Vias', *Frederic Raynal (2012). Integration of Electrografted Layers for the Metallization of Deep Through Silicon Vias, Electroplating, Prof. Darwin Sebayang (Ed.), ISBN: 978-953-51-0471-1, InTech, DOI: 10.5772/33948. Available from: <http://www.intechopen.com/bo>, pp. 75–98. Available at: <http://www.intechopen.com/books/electroplating/integration-of-electrografted-layers-for-the-metallization-of-deep-through-silicon-vias>.*
- Schmidt, J. and Kerr, M. (2001) 'Highest-quality surface passivation of low-resistivity p-type silicon using stoichiometric PECVD silicon nitride', *Solar Energy Materials and Solar Cells*, 65(1), pp. 585–591. doi: 10.1016/S0927-0248(00)00145-8.
- Seah, C. H., Mridha, S. and Chan, L. H. (2001) 'DC/pulse plating of copper for trench/via filling', *Journal of Materials Processing Technology*, 114(3), pp. 233–239. doi: 10.1016/S0924-0136(01)00614-8.
- Skordas, S. *et al.* (2012) 'Wafer-scale oxide fusion bonding and wafer thinning development for 3D systems integration: Oxide fusion wafer bonding and wafer thinning development for TSV-last integration', *Proceedings of 2012 3rd IEEE International Workshop on Low Temperature Bonding for 3D Integration, LTB-3D 2012*, pp. 203–208. doi: 10.1109/LTB-3D.2012.6238091.
- Sparks, D. (1992) 'Plasma Etching of Si, SiO₂, Si₃N₄, and Resist with Fluorine, Chlorine, and Bromine Compounds', *Journal of the Electrochemical Society*, 139(6), pp. 1736–1741. doi: 10.1149/1.2069485.
- Tachi, S., Tsujimoto, K. and Okudaira, S. (1988) 'Low-temperature reactive ion etching and microwave plasma etching of silicon', *Applied Physics Letters*, 52(8), pp. 616–618. doi: 10.1063/1.99382.

- Taur, Y. *et al.* (1989) 'A new planarization technique, using a combination of RIE and chemical mechanical polish (CMP) (1989)', *International Technical Digest on Electron Devices Meeting*, pp. 2–5. doi: 10.1109/IGARSS.2013.6723748.
- Tian, Y. *et al.* (2012) 'Mechanism of Low Temperature Cu-In Solid-Liquid Interdiffusion Bonding in 3D Package', *2012 13th International Conference on Electronic Packaging Technology & High Density Packaging*, pp. 216–218. doi: 10.1109/ICEPT-HDP.2012.6474604.
- De Vogelaere, M. *et al.* (2001) 'High-speed plating for electronic applications', *Electrochimica Acta*, 47(1), pp. 109–116. doi: 10.1016/S0013-4686(01)00555-2.
- Wang, H. (2011) 'Efficient Solution to Selective Wet Etching of Ultra-Thick Copper Sacrificial Layer with High Selective Etching Ratio', *2011 16th International Solid-State Sensors, Actuators and Microsystems Conference*, pp. 1388–1391.
- Wang, L. *et al.* (2014) 'A cost effective method for TSV backside reveal', *Proceedings of the 5th Electronics System-integration Technology Conference (ESTC)*, pp. 4–6. doi: 10.1109/ESTC.2014.6962838.
- Wang, L. (2017) 'Direct bond interconnect (dbi[®]) for fine-pitch bonding in 3d and 2.sd integrated circuits', *2017 Pan Pacific Microelectronics Symposium (Pan Pacific)*.
- Wang, Y. G., Zhang, L. C. and Biddut, A. (2011) 'Chemical effect on the material removal rate in the CMP of silicon wafers', *Wear*. Elsevier B.V., 270(3–4), pp. 312–316. doi: 10.1016/j.wear.2010.11.006.
- Wang, Z., Jiang, F. and Zhang, W. Q. (2014) 'Si dry etching for TSV formation and backside reveal', *Proceedings of the 5th Electronics System-integration Technology Conference (ESTC)*, pp. 4–6. doi: 10.1109/ESTC.2014.6962840.
- Watanabe, N. *et al.* (2012) 'Silicon wafer thinning and backside via exposure by wet etching', *Proceedings of the 2012 IEEE 14th Electronics Packaging Technology Conference, EPTC 2012*, pp. 355–359. doi: 10.1109/EPTC.2012.6507107.
- Watanabe, N. *et al.* (2013) 'Development of Cu-less TSV Reveal Process Using Si / Cu Grinding , Electroless Ni Plating , and Alkaline Etching of Si', *2013 IEEE 15th Electronics Packaging Technology Conference (EPTC 2013)*, pp. 702–705. doi: 10.1109/EPTC.2013.6745810.
- Watanabe, N. *et al.* (2014) 'Novel through silicon via exposure process comprising Si/Cu grinding, electroless Ni-B plating, and wet etching of Si', *Japanese Journal of Applied Physics*, 53(5 SPEC. ISSUE 2), pp. 1–6. doi: 10.7567/JJAP.53.05GE02.

- Wei, T. *et al.* (2012) 'Copper Filling Process for Small Diameter , High Aspect Ratio Through Silicon Via (TSV)', pp. 483–487.
- Williams, K. R. *et al.* (2003) 'Etch Rates for Micromachining Processing — Part II', 12(6), pp. 761–778.
- Xie, Y. and Bhushan, B. (1996) 'Effects of particle size, polishing pad and contact pressure in free abrasive polishing', *Wear* 200, 200, pp. 281–295. Available at:
<http://electronicpackaging.asmedigitalcollection.asme.org/article.aspx?articleid=1407360>.
- Xu, L. *et al.* (2009) 'Electromigration failure with thermal gradient effect in SnAgCu solder joints with various UBM', *Proceedings - Electronic Components and Technology Conference*, pp. 909–913. doi: 10.1109/ECTC.2009.5074121.
- Xue, K. *et al.* (2013) 'The Study of Backside TS SV Reveal Process by direct Si / Cu Grinding and Polishing', *2013 IEEE 15th Electronics Packaging Technology Conference (EPTC 2013)*, pp. 775–779. doi: 10.1109/EPTC.2013.6745826.
- Yang, W., Akaike, M. and Suga, T. (2012) 'Low temperature Cu/Cu direct bonding using formic gas in-situ treatment', *Proceedings of 2012 3rd IEEE International Workshop on Low Temperature Bonding for 3D Integration, LTB-3D 2012*, p. 79. doi: 10.1109/ISWCS.2012.6328411.
- Yang, Z., Gewirth, A. A. and Trahey, L. (2015) 'Investigation of fluoroethylene carbonate effects on tin-based lithium-ion battery electrodes', *ACS Applied Materials and Interfaces*, 7(12), pp. 6557–6566. doi: 10.1021/am508593s.
- Yazzie, K. E. *et al.* (2012) 'Multiscale microstructural characterization of Sn-rich alloys by three dimensional (3D) X-ray synchrotron tomography and focused ion beam (FIB) tomography', *Materials Characterization*. Elsevier Inc., 70, pp. 33–41. doi: 10.1016/j.matchar.2012.05.004.
- Yoneta, K. *et al.* (2013) 'Study of low load and temperature, high heat-resistant solid-phase Sn-Ag bonding with formation of Ag₃Sn intermetallic compound via nanoscale thin film control for wafer-level 3D-stacking for 3D LSI', *Proceedings - Electronic Components and Technology Conference*, pp. 2381–2384. doi: 10.1109/ECTC.2013.6575918.
- Yoon, S. W. *et al.* (2009) 'Fabrication and packaging of microbump interconnections for 3D TSV', *2009 IEEE International Conference on 3D System Integration, 3DIC 2009*, pp. 1–5. doi: 10.1109/3DIC.2009.5306554.
- Yoon, W. *et al.* (2011) '2.5D/3D TSV Processes Development and Assembly/Packaging Technology', *2011 IEEE 13th Electronics Packaging Technology Conference*, pp. 336–340. doi: 10.1109/EPTC.2011.6184441.

Zhou, S. *et al.* (2011) 'Integrated process for silicon wafer thinning', *Proceedings - Electronic Components and Technology Conference*, pp. 1811–1814. doi: 10.1109/ECTC.2011.5898760.

Zoschke, K. *et al.* (2012) 'Polyimide based temporary wafer bonding technology for high temperature compliant TSV backside processing and thin device handling', *Proceedings - Electronic Components and Technology Conference*, pp. 1054–1061. doi: 10.1109/ECTC.2012.6248966.