

Universität Rostock  
Fakultät für Informatik und Elektrotechnik

---

# Ein Beitrag zur Analyse des Schaltverhaltens unipolarer SiC-Transistoren

---

## Dissertation

zur

Erlangung des akademischen Grades  
Doktor-Ingenieur (Dr.-Ing.)

vorgelegt von

Tobias Gerhard Appel,  
geb. am 01.04.1982 in Amberg

Rostock, 2014

Tag der Einreichung: 02.06.2014  
Tag der wissenschaftlichen Aussprache: 15.10.2014

Gutachter: Prof. Dr.-Ing. Hans-Günter Eckel, Universität Rostock IEF  
Prof. Dr.-Ing. Nando Kaminski, Universität Bremen IALB  
Dr.-Ing. Ralf Siemieniec, Infineon Technologies Austria AG

# Vorwort

Die vorliegende Dissertation entstand im Zeitraum von Oktober 2010 bis März 2014 am „Lehrstuhl für Leistungselektronik und Elektrische Antriebe“ in Zusammenarbeit mit der Hanning Elektro-Werke GmbH & Co. KG. Das Thema der Arbeit entstand im Zusammenhang mit der Entwicklung von Umrichtern für widrige Umgebungsbedingungen. Hierbei ergab sich die Möglichkeit, Transistoren auf der Basis neuer Halbleitermaterialien zu erforschen. Dieses Forschungsprojekt wurde aus europäischen Mitteln (EFRE, EFS) gefördert.

Die Unterstützung durch die Infineon AG Warstein mit Material und Erfahrungsaustausch ermöglichte einen Teil der Forschungsergebnisse.

Mein ganz besonderer Dank gilt an dieser Stelle Herrn Prof. Dr.-Ing. Hans-Günter Eckel für die wissenschaftliche Betreuung der Arbeit und sein Engagement.

Ich danke ferner allen, die mir bei der Realisierung der nötigen Prüfstände und Schaltungen geholfen haben, sowie meinen Kollegen für unsere konstruktiven Diskussionen und guten Ratschläge.

Es sei an dieser Stelle Frau Marion Meyer-Lutz für ihre große Hilfe beim Korrekturlesen sehr gedankt. Bei allen, die mich darüber hinaus privat unterstützten und motivierten, meiner Lebensgefährtin Hanna Müller, meinen Eltern und Freunden, möchte ich mich an dieser Stelle herzlich bedanken.

Rostock, Juni 2014,  
Tobias Gerhard Appel



# Kurzfassung

Das Reverse Recovery der Body-Diode eines unipolaren Transistors beim Schalten induktiver Lasten zeigt eine typische Ladung. Sie kann durch Analyse verschiedener Experimente mit dem Halbleiter in drei Arten unterteilt werden. SiC-Halbleiter weisen im Vergleich zu Si-Halbleitern eine um eine Größenordnung höhere Sperrschichtkapazität auf, da die Feldstärken im Halbleiter in gleichem Maße größer sind. Hierdurch wird beim Reverse Recovery eine bemerkenswerte Menge an Ladung messbar. Anhand von Messungen und Vergleichen ist dies deutlich zu erkennen. Dies wirkt sich auf das Schaltverhalten des Transistors und die Verlustaufteilung aus, was in ergänzenden Simulationen gezeigt wird. Die beim Reverse Recovery entstehenden Verluste sind durch eine äquivalente Ladung beim Forward Recovery kompensiert. Aus diesem Grund zeigt die Schottky-Diode beim Schalten keine Verlustleistung. Durch Benutzung der Body-Diode baut sich im Halbleiter ein Plasma auf. Dies verhindert das Synchrongleichrichten in Abhängigkeit der Verriegelungszeit. Schon nach sehr kleinen Verriegelungszeiten wird durch die Extraktion des Plasmas während des Reverse Recoverys eine Ladung messbar. Diese Ladung ist vom Laststrom und der Temperatur der Sperrschicht abhängig. Eine erhöhte Reverse Recovery Ladung tritt beim schnellen Schalten auf, hierfür können Defektelektronen in der Raumladungszone verantwortlich sein. Die aktuellen SiC-Transistoren neigen beim Reverse Recovery zum parasitären Aufsteuern, wodurch eine weitere Ladung verursacht wird. Dem parasitären Aufsteuern können Designvorschläge entgegenwirken. Hierzu wird die vorhandene und als störend angesehene parasitäre Induktivität am Source genutzt. Es entsteht eine Rückkopplung, die das parasitäre Aufsteuern verhindert. Sie beeinflusst das Einschalten des Halbleiters negativ und muss durch eine konstruktive Lösung umgangen werden. Die parasitären Gatewiderstände der aktuellen SiC-Halbleiter und die parasitären Induktivitäten kann eine erhöhte Einschalt- und Ausschaltspannung ausgleichen.



# Abstract

The reverse recovery of the body diode of a unipolar transistor when switching inductive loads shows a typical charge. They can be divided by analysis of various experiments with the semiconductor in three ways. SiC semiconductors have an order of magnitude higher junction capacitance in comparison to Si semiconductors. Since the semiconductors are operated with the same degree larger field strengths. This results in a remarkable amount of charge by reverse recovery. This is illustrated through measurements and comparisons to silicon-semiconductors. This has an effect on the switching behavior of the transistor and the allocation of losses, which is shown in supplementary simulations. The resulting additional losses are compensated by an equivalent charge in the forward recovery. Therefore, no power loss is realized during the switching of the Schottky diode. By use of the body diode, a plasma is built up in the semiconductor. This can be prevented by synchronous rectifying according to the locking time. After a very small dead time a charge is caused by the extraction of the plasma during the reverse recoveries. This charge depends on the load current and the temperature of the barrier layer. Increased reverse recovery charge occurs when fast switching. This could be explained by defect electrons in the space charge region. The current SiC transistors tend to parasitic turn-on at the reverse recovery. Due to this an additional type of charge is caused. The parasitic turn-on can be counteracted by the design proposals. To handel this, the present and disturbing parasitic inductance at the source is used. The result is a feedback loop that prevents the parasitic turn-on. The feedback loop influences the switching of the semiconductor negative and must be bypassed by a constructive solution. The parasitic gate resistances of the current SiC semiconductors and the parasitic inductances can be compensated with an increased turn-on and turn-off voltage.



# Inhaltsverzeichnis

<b>1. Einleitung</b>	<b>1</b>
<b>2. Unipolare leistungselektronische Halbleiterschalter</b>	<b>5</b>
2.1. Strukturen von Feldeffekttransistoren für die Leistungselektronik . . .	5
2.1.1. Aufbau und Ersatzschaltbild des MOSFET . . . . .	5
2.1.2. Aufbau und Ersatzschaltbild des JFET . . . . .	10
2.1.3. Einfluss der Transistorgehäuse . . . . .	16
2.2. Kaskodenschaltungen . . . . .	20
2.2.1. Klassische Kaskode . . . . .	20
2.2.2. Direct Driven JFET . . . . .	23
<b>3. Schaltvorgänge von SiC-JFET und MOSFET</b>	<b>25</b>
3.1. Allgemeiner Schaltvorgang des Feldeffekttransistors . . . . .	25
3.1.1. Einschaltvorgang . . . . .	26
3.1.2. Ausschaltvorgang . . . . .	30
3.2. Einschaltvorgang unter Einfluss parasitärer Elemente . . . . .	33
3.2.1. Einfluss der parasitären Induktivität am Drain-Anschluss und parasitärer Kapazitäten . . . . .	33
3.2.2. Einfluss der parasitären Induktivität am Source-Anschluss . .	37
3.2.3. Einfluss der parasitären Induktivität am Gate-Anschluss . . .	47
3.3. Ausschaltvorgang unter Einfluss parasitärer Elemente . . . . .	49
3.3.1. Einfluss der parasitären Induktivität am Drain-Anschluss und parasitärer Kapazitäten . . . . .	49
3.3.2. Einfluss der parasitären Induktivität am Source-Anschluss . .	53
3.3.3. Einfluss der parasitären Induktivität am Gate-Anschluss . . .	55
3.4. Schaltverluste . . . . .	56
3.4.1. Einschaltverluste . . . . .	57
3.4.2. Ausschaltverluste . . . . .	59
3.4.3. Verhalten der Verluste unter Einfluss parasitärer Elemente . .	62
<b>4. Verhalten von SiC-Dioden</b>	<b>65</b>
4.1. Forward Recovery . . . . .	65
4.1.1. Ladung während des Forward Recovery . . . . .	67
4.1.2. Forward Recovery Spannung . . . . .	69

4.2. Reverse Recovery . . . . .	75
4.2.1. Sperrschichtkapazität . . . . .	76
4.2.2. Bipolare Reverse Recovery Ladung . . . . .	79
4.2.3. Parasitäres Aufsteuern des FET beim Reverse Recovery der Body-Diode . . . . .	82
<b>5. Ansteuerschaltungen zur Reduzierung der Schaltenergie</b>	<b>109</b>
5.1. Ansteuerung des Transistors im Freilaufzweig . . . . .	109
5.1.1. Synchrongleichrichten . . . . .	110
5.1.2. Schaltungen zur Unterdrückung des parasitären Aufsteuerns .	113
5.2. Ansteuerung des Transistors im aktiven Zweig . . . . .	118
5.2.1. Ansteuerung durch Quasistromquelle . . . . .	119
5.2.2. Ansteuerung durch Ladungsausgleich . . . . .	122
5.3. Schaltverlustreduzierung durch Ansteuerverfahren . . . . .	124
<b>6. Zusammenfassung</b>	<b>129</b>
<b>Anhang</b>	<b>132</b>
<b>A. Anhang</b>	<b>133</b>
A.1. Simulationen . . . . .	133
A.1.1. Schaltvorgänge . . . . .	133
A.1.2. Parasitäres Aufsteuern . . . . .	134
A.2. Herleitungen . . . . .	135
A.2.1. Reihenschwingkreis . . . . .	135
A.2.2. Verschiebestromdichte am Steuerkopf . . . . .	137
A.2.3. Mittlere Ladungsträgerdichte . . . . .	138
A.3. Messaufbau . . . . .	141
A.4. Weitere Messungen . . . . .	143

# Nomenklatur

$\beta$	Übertragungsleitwertfaktor
$\delta n$	Überschuss-Elektronendichte
$\gamma$	Substratsteuerungsfaktor
$\varepsilon_0$	elektrische Feldkonstante
$\varepsilon_r$	Dielektrizitätszahl
$\lambda$	Kanallängenmodulationsparameter
$\mu_{n,p}$	Beweglichkeit der Ladungsträger
$\tau_d$	Zeitkonstanten der dielektrischen Relaxation
$\tau_{p,n}$	Ladungsträgerlebensdauer Hochinjektion (H), effektiv (eff)
$\Phi$	Oberflächenpotenzial
$\Psi(t)$	magnetischer Fluss

$A_{hl}$  Querschnittsfläche des Halbleiters

$C_{ds}$  interne Drain-Source-Kapazität

$C_{gd}$  interne Gate-Drain-Kapazität

$C_{gd}$  Miller-Kapazität

$C_{gs}$  interne Gate-Source-Kapazität

$C_{GS}$  externe Gate-Source-Kapazität

$C_{iss}$  Ausgangskapazität  $C_{gd} + C_{gs}$  bei Kurzschluss des FET

$C_j$  Sperrschichtkapazität

$C_{oss}$  Ausgangskapazität  $C_{gd} + C_{ds}$  bei Kurzschluss des Gates

$C_{rss}$  Rückwirkungskapazität  $C_{gd}$

$D_{p,n}$  Diffusionskonstante, ambipolar (<sub>A</sub>)

$E$  elektrische Feldstärke

$E_C$  Energieinhalt der Ausgangskapazität

$E_{diss}$  dissipative Energie

$E_{krit}$  kritische elektrische Feldstärke

$g_m$  Transkonduktanz

$i_A$	dynamischer Anodenstrom
$I_D$	Drainstrom
$i_D$	dynamischer Drainstrom
$I_G$	Gatestrom
$i_G$	dynamischer Gatestrom
$I_K$	Kanalstrom
$i_k$	dynamischer Kanalstrom
$I_L$	Laststrom
$I_N$	Nennstrom des Halbleiters
$i_{vDS}$	dynamischer Verschiebestrom zwischen Drain und Source
$i_{vGD}$	dynamischer Verschiebestrom zwischen Gate und Drain
$i_{vGS}$	dynamischer Verschiebestrom zwischen Gate und Source
$J$	Stromdichte
$J_n$	Elektronenstromdichte
$J_p$	Defektelektronenstromdichte
$j_v$	dynamische Verschiebestromdichte
$L_{Br}$	parasitäre Induktivität der Brücke
$L_{CS}$	parasitäre Induktivität des gemeinsamen Source-Anschlusses
$L_d$	parasitäre Induktivität am Drain
$L_G$	externe parasitäre Induktivität am Gate
$L_g$	interne parasitäre Induktivität am Gate
$L_k$	interne parasitäre Induktivität an der Kathode
$L_s$	parasitäre Induktivität am Source
$m$	Gradationsexponent
$n_n$	Elektronendichte im n-dotierten Gebiet
$n_{n0}$	Majoritätsladungsträgerdichte (Elektronendichte) im n-dotierten Gebiet bei thermodynamischem Gleichgewicht
$q$	Ladung, Elementarladung
$Q_C$	Sperrschichtladung
$Q_{rr}$	bipolare Reverse Recovery Ladung
$Q_{to}$	Ladung durch parasitäres Aufsteuern
$P$	Leistung
$p_n$	Defektelektronendichte im n-dotierten Gebiet
$R_G$	Gatewiderstand
$R_g$	interner Gatewiderstand

$L_\sigma$	Streuinduktivität
$T_j$	Temperatur der Sperrschicht
$U_{BD}$	Durchbruchspannung
$U_{bs}$	Substratvorspannung
$U_{Diff}$	Diffusionsspannung
$U_{ds}$	Drain-Source-Spannung
$u_{ds}$	dynamische Drain-Source-Spannung
$U_{fb}$	Flachbandspannung
$U_{FRM}$	maximale Flussspannung der Diode während des Forward Recoverys
$U_{GS}$	Gate-Source-Spannung
$U_{gs}$	interne Gate-Source-Spannung
$u_{GS}$	dynamische Gate-Source-Spannung
$u_{gs}$	dynamische interne Gate-Source-Spannung
$u_{AK}$	dynamische Kathoden-Anoden-Spannung
$u_{ka}$	dynamische interne Kathoden-Anoden-Spannung
$U_p$	Abschnürspannung
$U_{th}$	Schwellspannung
$U_{zk}$	Zwischenkreisspannung
$v_{p,n}$	Geschwindigkeit der Ladungsträger
$v_{sat}$	Sättigungsgeschwindigkeit der Ladungsträger
$w_b$	Basisweite
$W_g$	Bandlücke
<b>BJT</b>	Bipolartransistor, <i>bipolar junction transistor</i>
<b>BFM</b>	<i>Baliga Figur of Merit</i>
<b>DMOS</b>	<i>Double-Diffused Metal-Oxide-Semiconductor Field-Effect Transistor</i>
<b>FET</b>	<i>Unipolar Transistor</i>
<b>GaAs</b>	Galliumarsenid
<b>GaN</b>	Galliumnitrid
<b>IGBT</b>	Bipolartransistor mit isolierter Gate-Elektrode, <i>insulated-gate bipolar transistor</i>
<b>JFET</b>	<i>Junction-Field-Effect-Transistor</i>
<b>MOSFET</b>	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>

<b>NPT</b>	<i>non-punch-through</i>
<b>PMOS</b>	<i>P-Channel Metal-Oxide-Semiconductor</i>
<b>PT</b>	<i>punch-through</i>
<b>RWP</b>	Randwertproblem
<b>SBD</b>	Schottky-Diode, <i>Schottky barrier diode</i>
<b>Si</b>	Silizium
<b>SiC</b>	Siliziumkarbid
<b>SiO<sub>2</sub></b>	Siliziumdioxyd
<b>SIT</b>	<i>Static Induction Transistor</i>
<b>SPICE</b>	<i>Simulation Program with Integrated Circuit Emphasis</i>
<b>TO</b>	<i>Transistor Single Outline</i>

# 1. Einleitung

Die elektrischen Eigenschaften verschiedener Materialien sind wie alle stofflichen Eigenschaften dem Atomaufbau geschuldet. Ein besonderes Augenmerk liegt auf dem energetischen Abstand zwischen dem Leitungsband und den darunter liegenden Bändern. Die Größe der Lücke zwischen Valenzband und Leitungsband lässt die Kategorisierung zwischen Leitern, Isolatoren und Halbleitern zu.

Die Bandlücke ( $W_g$ ) eines Halbleitermaterials bestimmt die notwendige Energie, um Elektronen des Valenzbands zu ionisieren und somit freie Ladungen zu generieren. Dies hat zwei direkte Folgen. Anhand eines Vergleichs zwischen Silizium (Si) und Siliziumkarbid (SiC) wird dies verdeutlicht:

- Die intrinsische Leitfähigkeit entsteht durch die thermische Ionisierung der Dotierstoffatome. Somit zeigen Materialien mit kleiner Bandlücke bei steigenden Temperaturen früher einen Punkt, an dem ihre Sperrfähigkeit nicht mehr gewährleistet ist. Der Unterschied der intrinsischen Leitfähigkeit zwischen Si und SiC liegt im Bereich mehrerer Größenordnungen. Die Sperrfähigkeit des SiC-Halbleiters ist hierdurch bis  $T = 1000$  K gegeben.
- Die Dotierstoffatome können auch durch elastische Stöße freier Elektronen mit hoher Geschwindigkeit ionisiert werden. Die hohen Geschwindigkeiten werden durch große elektrische Felder verursacht. Die Stoßionisation tritt bei Überschreiten der kritischen elektrischen Feldstärke ( $E_{krit}$ ) ein. Die Stoßionisation führt beim SiC erst ab der zehnfachen kritischen Feldstärke des Si zum sogenannten Lawineneffekt.

Die Gitterstruktur des Kristallaufbaus verschiedener Halbleitermaterialien hat Auswirkungen auf die Beweglichkeit der Ladungsträger ( $\mu_{n,p}$ ). Die Beweglichkeit der Elektronen im SiC ist um ca. ein Drittel geringer als im Si. Die Beweglichkeit der Defektelektronen unterscheidet sich jedoch erheblich. Da die Beweglichkeit nicht konstant ist, muss mindestens die Sättigungsgeschwindigkeit der Ladungsträger ( $v_{sat}$ )

---

beachtet werden, diese ist im SiC doppelt so groß.

Die Dielektrizitätszahl ( $\epsilon_r$ ) ist beim SiC marginal kleiner. Dies wirkt sich bei Berechnungen jedoch kaum aus.

Dem Vergleich der einzelnen Eigenschaften mit Bewertung und Bezug zueinander widmeten sich Johnson [Joh65] und Baliga [SSB89] mit der Entwicklung von Bewertungsfaktoren. Durch den Johnson Bewertungsfaktor werden Halbleitermaterialien im Hinblick auf Hochfrequenztransistoren verglichen.

Der *Baliga Figur of Merit* (BFM) bewertet das Halbleitermaterial anhand des minimal theoretisch möglichen Widerstandes eines unipolaren Halbleiters. Der Bewertungsfaktor (Gl. 1.1) zeigt durch das Einsetzen der Werte der Materialeigenschaften die Vor- oder Nachteile eines Materials im Vergleich.

$$BFM = \frac{\epsilon_{SiC} \cdot \mu_{n,SiC} \cdot E_{krit,SiC}^3}{\epsilon_{Si} \cdot \mu_{n,Si} \cdot E_{krit,Si}^3} \quad (1.1)$$

Es ergibt sich ein BFM von 400 beim Vergleich von Si zu SiC. Dies bedeutet, dass eine identische Transistorstruktur auf der Basis SiC im Vergleich zum Si einen 400fachen kleineren minimalen theoretischen Widerstand aufweist. Bei gleichbleibendem Widerstand könnte die Sperrspannung um den Faktor 11 erhöht werden. Hierdurch verschiebt sich die Grenze der Durchbruchspannung von im Si etablierten unipolaren Halbleitern nach oben. Ab dem Wert dieser Grenze wird es in Bezug auf Leistungshalbleiter interessant, auf bipolare Halbleiter zu setzen. Beispiele für hochsperrende bipolare und unipolare Dioden im SiC sind in [SCJM<sup>+</sup>02] gegeben. Der Entwurf dieser Halbleiter setzt Grundlagenwissen über das Verhalten von freien Ladungsträgern voraus. Ein Ansatz sind die Erkenntnisse bei der Erforschung von SiC Hochfrequenz-Halbleitern [ZGL<sup>+</sup>00, MLI<sup>+</sup>05].

Die Erforschung von Halbleitern mit großer Bandlücke ist offen für verschiedene Materialien. Ein Beispiel für eine bipolare Diode auf der Basis von Galliumarsenid (GaAs) wird in [KBBL13] gezeigt.

Die einstellbare Bandlücke vieler Verbindungshalbleiter macht es wiederum möglich, in der Leistungselektronik neuartige, so genannte Heterostrukturen herzustellen. Damit kann ein so genannter High-Elektron-Mobility-Transistor auf der Basis

von Galliumnitrid (GaN) gefertigt werden. Die Frage nach dem geeigneten Material und Transistortyp beschäftigt angesichts der großen Auswahl an Kombinationsmöglichkeiten die Materialwissenschaft.

Den Anfang der Epoche kommerziell verfügbarer Halbleiter markiert eine Veröffentlichung von Cooper [CJA02]. Der dort gegebene Ausblick auf die Verfügbarkeit von SiC-Halbleitern bewahrheitet sich aktuell. Einige Exemplare der derzeit verfügbaren Transistoren im Siliziumkarbid wird von [DCB<sup>+</sup>13] verglichen. Gleichzeitig werden kommerziell verfügbare GaN Leistungshalbleiter entwickelt und erforscht.

In dieser Arbeit werden Aspekte des *Junction-Field-Effect-Transistor* (JFET) <sup>1</sup> und des *Metal-Oxide-Semiconductor Field-Effect Transistor* (MOSFET) <sup>2</sup> im SiC als leistungselektronische Schalter für hartschaltende Anwendungen beleuchtet. Die Auswahl beschränkt sich auf Transistoren, die in beide Richtungen Laststrom führen können. Somit scheiden Transistoren ohne Body-Diode aus. Die Arbeit gliedert sich zwischen der Leistung der Materialwissenschaften und der Ingenieurwissenschaften mit dem Verständnis als angewandte Wissenschaft ein. Ferner verbindet sie die Kenntnisse der Materialwissenschaften mit praktischen Aspekten.

Wie diese Transistoren aufgebaut sind, geht aus der Literatur hervor. Dies wird in Kapitel 2 gezeigt. Ebenfalls ein wichtiger Aspekt ist die Aufbau- und Verbindungstechnik, durch die aus den Chips Bauelemente werden. Die dazu verwendeten Gehäuse verändern bzw. beschränken das Schaltverhalten der Halbleiter.

Das Schaltverhalten der Transistoren wird anhand von selbst erbrachten Simulationen und Messungen von Doppelpulsversuchen auf induktive Lasten in Kapitel 3 erörtert. Es werden die Einflüsse der parasitären Elemente untersucht und diskutiert.

Da die untersuchten Transistoren in zwei Richtungen Strom leiten, wird im Kapitel 4 der Fall des rückwärts leitenden Transistors und sein Schaltverhalten untersucht. Das Abschalten der Diode wird als Reverse Recovery und ihr Einschalten als Forward Recovery bezeichnet. Die hierzu nötigen Untersuchungen sind Eigenleistungen. Die quantitative Auswertung bedarf der Einführung einer neuartigen Methode zur Bestimmung der Ladungsanteile. Das Reverse Recovery stellt sich bei hochdynamischen

---

<sup>1</sup>FF45R12W1J1F\_B11\_ENG,  $I_N = 45$  A,  $U_{BD} = 1,2$  kV

<sup>2</sup>CMF20120D,  $I_N = 20$  A,  $U_{BD} = 1,2$  kV

---

schen Vorgängen als problematisch heraus. Ein besonderes Augenmerk liegt hierbei auf dem Fall, dass das Reverse Recovery-Verhalten des Transistors eine Beeinflussung durch den vorher geflossenen Laststrom erfährt. Hierzu kann eine neuartige Hypothese herangezogen werden.

Wie dieses Phänomen über die Ansteuerung der Transistoren beherrschbar gemacht wird und wie die Schaltvorgänge in Richtung Effizienz optimiert werden können, findet sich in Kapitel 5. Dieses Kapitel fundiert auf in Eigenleistung erdachter Schaltungen, Untersuchungen und Auswertungen.

Die Ergebnisse, Erkenntnisse und entwickelten Theorien sind am Schluss der Arbeit im Kapitel 6 zusammengefasst.

## 2. Unipolare leistungselektronische Halbleiterschalter

Die Einheit aus Halbleiter und Ansteuerschaltung ist aus Sicht von [WNTR10] ein leistungselektronischer Schalter. Die Unterscheidung zwischen Ansteuerschaltung und Leistungshalbleiter geht im Fall der Verwendung einer Kaskode oder Darlingtonschaltung ineinander über. Der leistungselektronische Halbleiterschalter ohne Ansteuerschaltung kann zur Vereinfachung der Erklärung seines Verhaltens in aufeinander aufbauenden Ebenen erklärt werden. Zu diesen Ebenen gehören die Unterteilungen des folgenden Abschnittes.

### 2.1. Strukturen von Feldeffekttransistoren für die Leistungselektronik

Die im SiC erhältlichen Leistungstransistoren sind bis auf aktuell eine Ausnahme Feldeffekttransistoren. Die Entwicklung dieser Transistoren auf der Basis von Si ergab grundlegende Erkenntnisse des elektrischen Verhaltens. Ausgehend hiervon werden verschiedene SiC-Feldeffekttransistortypen vorgestellt und verglichen. Allen Transistoren gemeinsam ist eine Anbindung an die Umgebung, welche die Eigenschaften verändert.

#### 2.1.1. Aufbau und Ersatzschaltbild des MOSFET

Der MOSFET kann in vielen verschiedenen Schaltungen eingesetzt werden. Für die anwendungsspezifischen Anforderungen wird er in zahlreichen Ausführungen konstruiert. Das für den MOSFET zu benutzende Ersatzschaltbild hängt von der Art des Transistors und vom Einsatz ab. In der Leistungselektronik wird überwiegend mit

## 2.1 Strukturen von Feldeffekttransistoren für die Leistungselektronik

---

vertikalen Einzeltransistoren gearbeitet. Der planar-*Double-Diffused Metal-Oxide-Semiconductor Field-Effect Transistor* (DMOS) auf der Basis des Materials Silizium existiert bereits seit mehr als drei Jahrzehnten. Die aktuell im SiC gefertigten Transistoren erster Generation beruhen ebenfalls auf dem Aufbau des DMOS. Es wird vorerst nur auf das Ersatzschaltbild des Chips eingegangen.

Grundlegend gibt es zwei Arten von Ersatzschaltbildern, ein Großsignal- und ein Kleinsignal-Ersatzschaltbild. Letzteres vereinfacht das nichtlineare Verhalten des Transistors um einen eingeschwungenen Arbeitspunkt. Für die Betrachtungen in der Leistungselektronik eignet sich nur ein Großsignal-Ersatzschaltbild mit Berücksichtigung von Gleichstrom. Die Ersatzschaltbilder oder Modelle der Transistoren können in Schaltungssimulationsprogrammen eingesetzt werden, um ein Verständnis für sie oder für Schaltungen mit ihnen zu erlangen. Für das Simulationsprogramm *Simulation Program with Integrated Circuit Emphasis* (SPICE) werden von vielen Halbleiterherstellern Modelle bereitgestellt. Die Modelle können frei gestaltet sein oder eine parametrisierte Variante der SPICE Transistormodelle mit verschiedenen Vertiefungen, so genannten *levels*, sein.

Das Level-1-Modell ist eine Beschreibung des MOSFET mit vier Anschlüssen, den beiden Hauptanschlüssen Source und Drain, dem Steueranschluss Gate und einem Bulk, wie er nur in integrierten Schaltungen bzw. chipintern vorliegt. Diese Ersatzschaltbilder und Gleichungen beruhen auf der Arbeit von Shichman und Hodges [SH68]. Ihr Modell besteht im Wesentlichen aus der Transferstromquelle zwischen den Drain- und Source-Anschlüssen. Das Gate ist mit dem Knoten des Modells über Kapazitäten verbunden. Die dort anstehende Spannung wird zur Steuerung der Stromquelle genutzt. Der Bulk- oder Substratanschluss ist mit je einer Diode mit der Kathode zum Drain und Source des Transistormodells verbunden. Zur Beschreibung der Stromquelle sind die Gleichungen 2.1 bis 2.6 nötig. Es beschreibt weitgehend das Verhalten lateraler Transistoren bzw. das Kanalverhalten.

$$U_{gs} < U_{th} \rightarrow I_K = 0 \quad (2.1)$$

$$U_{gs} > U_{th} \rightarrow I_K = \beta \cdot U_{ds} \left( U_{gs} - U_{th} - \frac{U_{ds}}{2} \right) (1 + \lambda U_{ds}) \quad (2.2)$$

$$U_{gs} - U_{th} < U_{ds} \rightarrow I_K = \frac{\beta}{2} (U_{gs} - U_{th})^2 (1 + \lambda U_{ds}) \quad (2.3)$$

## 2 Unipolare leistungselektronische Halbleiterschalter

---

Der *subthreshold*-Strom (Gl. 2.1) ist ein Leckstrom durch den Kanal. Er tritt im Sperrzustand des Transistors auf, solange sich kein Inversionskanal durch Überschreiten der Schwellspannung ( $U_{th}$ ) bildet. Er ist am Halbleiter vom Leckstrom über den  $p^+n^-$ -Übergang nicht zu unterscheiden, und zusammen bestimmen sie die Sperrverluste des Halbleiters. Der kleine Leckstrom des Kanals wird in der Transferstromquelle zu Null gesetzt.

Sobald die Schwellspannung überschritten wird, beginnt der Transistor Strom zu leiten. Für diesen Fall muss die Drain-Source-Spannung ( $U_{ds}$ ) betrachtet werden, liegt sie über der Differenz aus interner Gate-Source-Spannung ( $U_{gs}$ ) und  $U_{th}$  oder darunter. Im letzteren Fall befindet sich der MOSFET im ohmschen Bereich oder Triodenbereich und es gilt Gleichung 2.2. Hier ist der Kanal voll ausgebildet und der Transistor verhält sich um den Nullpunkt des Ausgangskennlinienfelds wie ein Widerstand. Dieser Zustand tritt in den leistungselektronischen Anwendungen bei eingeschaltetem Transistor auf und bestimmt die Durchlassverluste. In diesem Zustand wird der Übertragungsleitwert (Gl. 2.5) messtechnisch bestimmt, da bei Drain-Source-Spannung im mV-Bereich keine Beeinflussung des Kanals entsteht. Ist die  $U_{ds}$  größer als  $U_{gs} - U_{th}$  befindet sich der Transistor im Abschnürbereich oder aktiven Bereich, Sättigungsbereich genannt. Es gilt Gleichung 2.3. Der MOSFET agiert wie eine Stromquelle. Der Kanal ist nicht mehr vollständig ausgeprägt, er wird durch das elektrische Feld zwischen Drain und Source abgeschnürt.

$$U_{th} = U_{fb} + \Phi + \gamma\sqrt{\Phi + U_{bs}} \quad (2.4)$$

$$\beta = \mu_s \cdot c'_{ox} \frac{W}{L} \quad (2.5)$$

$$\lambda = \frac{1}{U_A} \quad (2.6)$$

Der Kanallängenmodulationsparameter ( $\lambda$ ) ist in Gleichung 2.6 ausgedrückt. Abgeleitet vom Bipolartransistor (BJT) wird hiermit die Earlyspannung beschrieben.

Der Übertragungsleitwertfaktor ( $\beta$ ) setzt sich zusammen aus Übertragungsleitwertparameter und den Kanaldimensionen. Der Übertragungsleitwertparameter ist das Produkt der Kanalmobilität  $\mu_s$  und der flächenspezifischen Oxidkapazität  $c'_{ox}$ . Die Kanaldimensionen werden mit W für die Kanalweite und L für die Kanallänge angegeben. Die Oxidkapazität  $c'_{ox}$  repräsentiert dabei die von der Gate-Spannung abhän-

## 2.1 Strukturen von Feldeffekttransistoren für die Leistungselektronik

---

gige Menge an Ladung im Inversionskanal. Durch eine positive interne Gate-Source-Spannung wird im vollständig verarmten  $p^+$ -Gebiet unter dem Gate eine Ladung herbeigeführt, welche die Leitfähigkeit des Transistors bestimmt.

Die im Inversionskanal verschiebbare Ladung wird durch Störstellen in der Grenzschicht zwischen Halbleiter und Oxid und im Oxid selbst beeinflusst. Durch Verunreinigungen mit Fremdatomen und nicht gesättigten Bindungen von Si-Atomen, so genannten *dangling bonds*, entstehen Rekombinationszentren oder ortsfeste Ladungen. Durch Coulomb-Streuung an ortsfesten Ladungen wird die Beweglichkeit im Kanal reduziert. Bei SiC-SiO<sub>2</sub>-Übergängen kommt es zu einer bis zu drei Größenordnungen höheren Defektdichte ( $D_{it}$ ) als bei Si-SiO<sub>2</sub>-Grenzschichten. Der Hauptanteil der Defektdichte wird vom vorhandenen Kohlenstoff, den *carbon clusters*, ausgemacht. Die Defekte und wirkungsvollen Gegenmaßnahmen werden in [FKLP11] beschrieben.

Die Schwellspannung ( $U_{th}$ ) setzt sich aus der Flachbandspannung ( $U_{fb}$ ), dem Oberflächenpotenzial ( $\Phi$ ) und aus einem Term mit dem Substratsteuerungsfaktor ( $\gamma$ ),  $\Phi$  unter Berücksichtigung der Substratvorspannung ( $U_{bs}$ ) zusammen.

Die Bänderverbiegung an der Grenzschicht SiC-SiO<sub>2</sub> führt zur Oberflächenladung. Durch im Gitter des Oxids eingelagerte Fremdatome, die im Laufe der Zeit ihre Position ändern können, kann sich zudem die Oberflächenladung verändern. Diese Ladung wird durch eine negative Raumladung im Bulk ausgeglichen. Die resultierende Potentialdifferenz ist das Oberflächenpotential  $\Phi$  [Rei07].

Die Flachbandspannung ist die Spannung, die an einen pn-Übergang z.B. zwischen Source und Bulk oder Drain und Bulk angelegt werden muss, um einen geringen Stromfluss herbeizuführen bzw. die Krümmung der Bänder aufhebt. Die Schwellspannung weist einen negativen Temperaturkoeffizienten auf, da die Spannung des pn-Übergangs mit steigender Temperatur sinkt.

Wird eine Spannung zwischen Bulk und Source angelegt, entsteht ein Substratsteuerungseffekt, auch *body-effect* genannt. Dieser wirkt durch das Produkt aus dem  $\gamma$  und dem Wurzelausdruck der Gleichung 2.4 auf die Schwellspannung.

Das Transistormodell, bzw. die bisher beschriebene Transferstromquelle, wird in dem Ersatzschaltbild (Abb. 2.1b) des DMOS verwendet. Das Ersatzschaltbild ist in

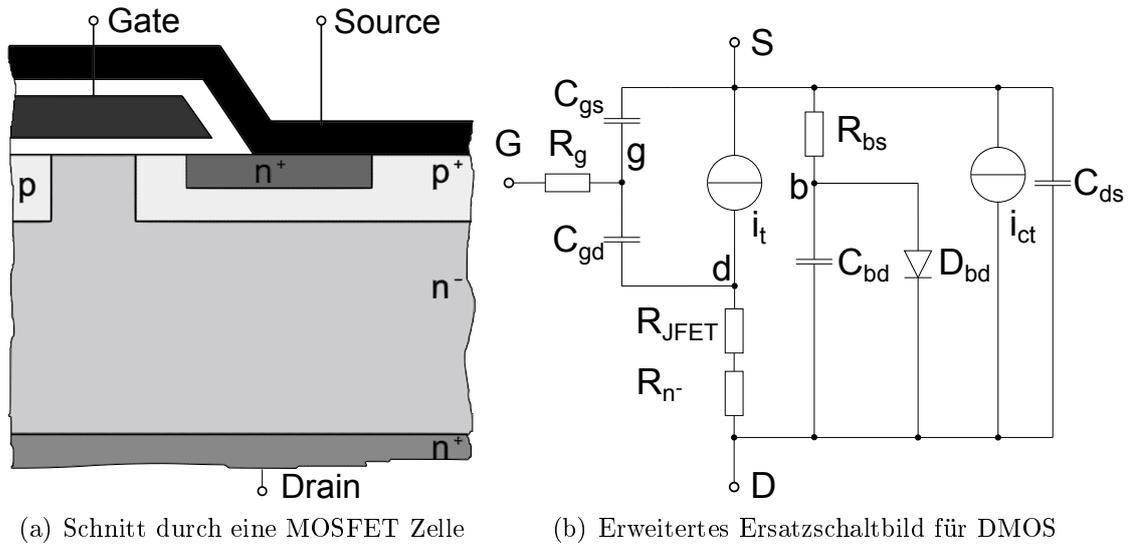


Abbildung 2.1.: Ersatzschaltbild und Schnittbild eines MOSFET

Anlehnung an die Veröffentlichung [Sin04] in Verbindung mit dem Schnittbild (Abb. 2.1 (a)) aufgebaut. Für die im Original verwendeten Transistorsymbole werden in Abbildung 2.1 (b) Stromquellen verwendet. Die Stromquelle  $I_t$  entspricht der Transferstromquelle des MOSFET Modells. Sie befindet sich zwischen dem Source und dem Drain mit zwei zusätzlichen Widerständen. Der Widerstand  $R_{n^-}$  ist der Bahnwiderstand des intrinsischen Gebiets.  $R_{JFET}$  ist der Widerstand unter dem Gate im Zwischenraum der beiden Bulk-Gebiete. Er wird durch die Raumladungszonen der  $p^+n^-$ -Übergänge moduliert.

Das Modell (Abb. 2.1 (b)) beinhaltet die interne Gate-Source-Kapazität ( $C_{gs}$ ). Sie setzt sich aus der Oxidkapazität  $c'_{ox} \cdot A$  und der Überlappungskapazität mit der Source-Metallisierung zusammen. Zwischen dem Source und dem Drain bildet sich eine spannungsabhängige Kapazität aus, diese wird in Gleichung 2.7 beschrieben. Der Wert  $C_{j0}$  beschreibt die Sperrschichtkapazität ohne Vorspannung. Die interne Gate-Drain-Kapazität ( $C_{gd}$ ) ist in ähnlicher Weise wie die interne Drain-Source-Kapazität ( $C_{ds}$ ) spannungsabhängig, was vom Gradationsexponenten ( $m$ ) beeinflusst wird. Sie wird zusätzlich durch einen hochohmigen  $R_{JFET}$  beim Sperren beeinflusst [SK11].

## 2.1 Strukturen von Feldeffekttransistoren für die Leistungselektronik

---

$$C_{ds}(U_{ds}) = \frac{C_{j0}}{(1 - U_{ds}/U_j)^m} \quad (2.7)$$

Der direkt unter der Source-Metallisierung implementierte Bipolartransistor mit der Schichtfolge  $n^+p^+n^-$  ergibt im Ersatzschaltbild eine Transferstromquelle  $I_{ct}$ . Die Basis dieses Transistors ist kurzgeschlossen und kapazitiv mit dem Drain über  $C_{bd}$  verbunden. Der Widerstand  $R_b$  verbindet die Basis des Bipolartransistors bzw. den Bulk mit dem Source und ist für die Substratvorspannung verantwortlich. Der Bipolartransistor kann bei großen Flankensteilheiten der Drain-Source-Spannung aufgrund der kapazitiven Kopplung einen Basisstrom erhalten und einschalten. Aus diesem Grund ist der Wert von  $R_b$  klein gehalten und die Body-Diode  $D_{bd}$  zwischen Bulk und Source kontaktiert [Sin04].

### 2.1.2. Aufbau und Ersatzschaltbild des JFET

Der JFET ist eine Alternative zum MOSFET. Mit der Entwicklung des JFET ist auf der Basis von Si sowie SiC vor der Entwicklung des MOSFET begonnen worden. Die Oxidation von Si-Oberflächen [FD57] wurde durch Carl Frosch entdeckt, wodurch der Bau des MOSFET erst möglich wurde.

Gleichermaßen wie der MOSFET ist er ein durch ein elektrisches Feld gesteuerter Transistor. Das elektrische Feld zur Steuerung des Kanals wird im JFET nicht von einer isolierten Gate-Elektrode erzeugt, sondern durch einen  $pn$ -Übergang. Die Leitfähigkeit des Volumens zwischen zwei  $pn$ -Übergängen wird durch die sich ausbildenden Raumladungszonen moduliert. In Abhängigkeit von der am  $pn$ -Übergang anliegenden Spannung verändert sich der verarmte Bereich  $W$  (Gl. 2.8). Der ursprünglich  $a$ -hohe Kanal wird eingeengt und erhöht seinen Widerstand. Der Faktor beruht auf einem symmetrischen Aufbau.

Das Material eines n-Kanal-JFET ist ein n-dotiertes Halbleitermaterial. Die Leitfähigkeit bzw. der Widerstand des Kanals ist in Gleichung 2.8 beschrieben. Der spezifische Widerstand des Kanals hängt von der Dotierung und der Beweglichkeit der Ladungsträger ab. Die Beweglichkeit der Elektronen im Kanal ist unabhängig

## 2 Unipolare leistungselektronische Halbleiterschalter

---

von der Art der Dotierung. Es sollte eigentlich die gleiche Beweglichkeit im n-Kanal des JFET und im n-Kanal des MOSFET, welcher aus einem p-dotiertem Gebiet besteht, erwartet werden. Da der JFET-Kanal nicht an einer Grenzfläche zwischen Halbleiter und Isolator entsteht, wird die Beweglichkeit hierdurch nicht beeinflusst.

$$R_{ch} = \frac{1}{\mu_n q N_D} \cdot \frac{L}{2Z(a - W)} \quad (2.8)$$

Die Beschreibung des Kanalverhaltens in Abhängigkeit der Drain-Source-Spannung und internen Gate-Source-Spannung basiert auf der Weite der Raumladungszone und führt zu Gleichungen, die Unterschiede verglichen mit der MOSFET-Beschreibung aufweisen. Das Verhalten der Transferstromquelle in Bezug auf die Transkonduktanz und die Konduktanz ist bei beiden Halbleitern aufgrund ihrer Feldsteuerung identisch. Beide Halbleiter lassen sich mit dem gleichen Modell beschreiben [TS02].

Eine physikalische Parametrierung des Shichman-Hodge-Modells wird in [WLP90] bzw. [WL94] vorgenommen. Der Fokus ihrer Modellierung liegt bei der Beschreibung des Bereiches einer internen Gate-Source-Spannung unterhalb der Schwellspannung. Das für den MOSFET eingeführte Modell postuliert für diesen Bereich keinen Strom  $I_D$  (Gl. 2.1), was für die Beschreibung von Leistungshalbleitern ausreichend ist. Der Übertragungsleitwertfaktor (Gl. 2.10) wird aus den Werten des Kanals berechnet. Zusätzlich zu der im Kanal verschiebbaren Ladungsdichte wird in der Gleichung die Höhe  $H$  in Relation zur Abschnürspannung ( $U_p$ ) beachtet.

Die Abschnürspannung ist die Spannung, die das Potential der Raumladungszone bei vollständig verarmtem Kanal beschreibt. Sie ist das Äquivalent zur Flachbandspannung und wird wie diese berechnet. Der Kanallängenmodulationsparameter (Gl. 2.11) gibt das Verhältnis des abgeschnürten Kanals ( $\Delta L$ ) zur Kanallänge wieder. Die abgeschnürte Kanallänge kann mit physikalischen Größen hergeleitet werden; lediglich für den Kurzkanal-JFET wird ein empirischer Faktor benötigt [WL94].

## 2.1 Strukturen von Feldeffekttransistoren für die Leistungselektronik

---

$$U_p = \frac{qN_d a^2}{2\epsilon_s} \quad (2.9)$$

$$\beta = \frac{1}{2 \cdot U_p} \cdot H\mu_s \cdot q \cdot N_d \frac{W}{L} \quad (2.10)$$

$$\lambda = \frac{\Delta L}{L \cdot V_{ds}} \quad (2.11)$$

Ein JFET kann wie auch ein MOSFET als selbstleitender oder -sperrender Transistor ausgelegt werden. Hierzu ist entscheidend, wie die Raumladungszonen der Steuertiode ohne äußere Spannung im Vergleich zur Dimensionierung der Höhe  $a$  des Kanals ausgelegt sind.

- Schnürt sie den Kanal ohne äußere Spannung vollständig ab, handelt es sich um einen selbstsperrenden oder „normally off“ JFET. Der Kanal wird durch Anlegen einer Spannung in Flussrichtung der Steuertiode leitend. Wird diese Spannung angelegt, fließt Strom durch diese Diode. Aktuell verfügbare Halbleiter dieser Art benötigen einen erheblichen Gatestrom [Gen]. Der Vorteil eines Gatestroms ist die Injektion von Ladungsträgern in den Kanal und die niedrig dotierte Schicht. Das Verhalten eines Bipolar Transistor Mode *Static Induction Transistor* (SIT) ist dem ähnlich [Sch06].
- Die Auslegung der Steuertiode kann so gewählt werden, dass die Raumladungszone ohne äußere Spannung den Kanal nicht verarmt. Dies führt zu einem selbstleitenden oder „normally on“ JFET. Durch eine größere Dotierstoffkonzentration im Kanal wird der Gradient des elektrischen Feldes höher, womit sich die Raumladungszone verkürzt. Der Vorteil der höheren Dotierung ist eine bessere Leitfähigkeit ohne Injektion von bipolaren Ladungsträgern, wodurch kein Gatestrom benötigt wird.

Das bisher beschriebene Kanalverhalten stellt nur einen Teil des vollständigen Leistungshalbleiters dar. Der Aufbau des Leistungshalbleiters beinhaltet zusätzlich zur Transferstromquelle parasitäre Elemente, die sein Schaltverhalten mitbestimmen. Die Entwicklung der Transistoren führt zu mehreren unterschiedlichen Varianten, von denen zwei in Abbildung 2.2 dargestellt sind.

Der in Abbildung 2.2 (a) gezeigte Schnitt durch eine Zelle stellt einen vertikalen Trench-JFET dar. Er kann sowohl in selbstleitender Ausführung gebaut werden

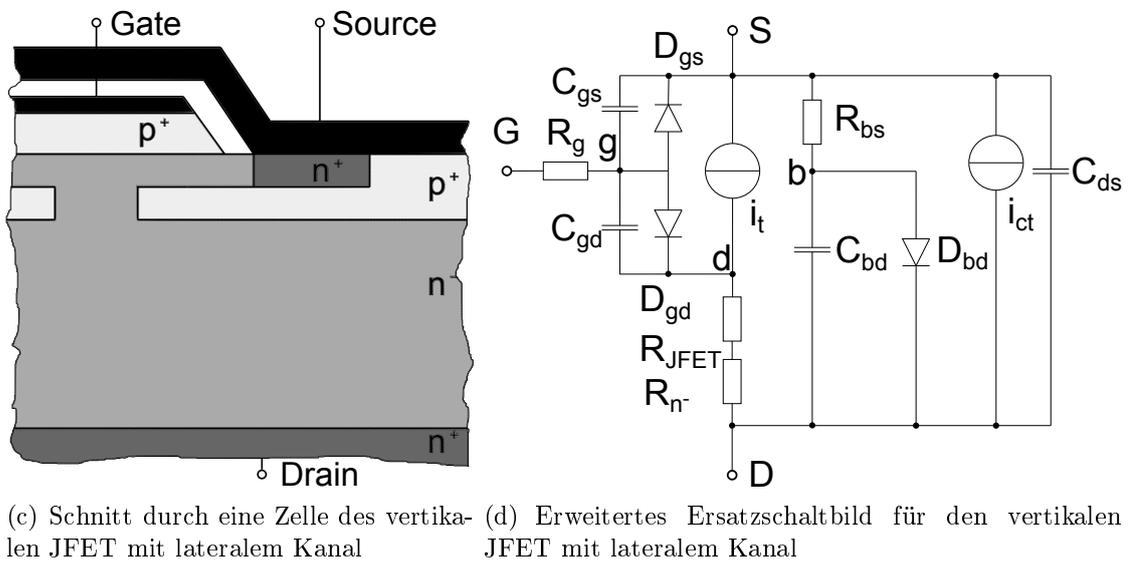
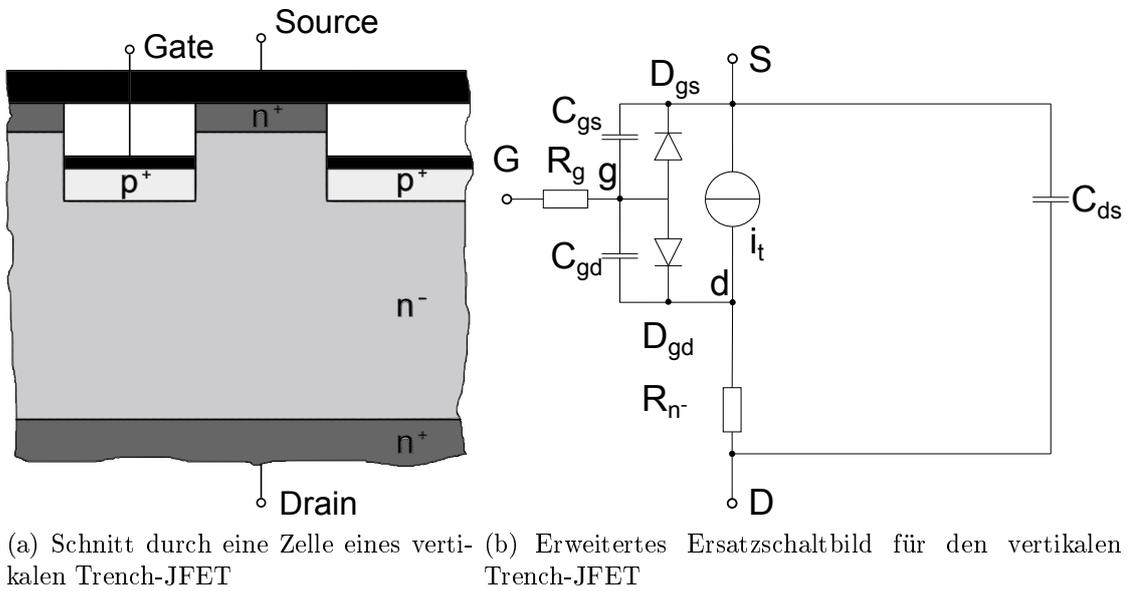


Abbildung 2.2.: Schnitt- und Ersatzschaltbilder des JFET

## 2.1 Strukturen von Feldeffekttransistoren für die Leistungselektronik

---

[VSH<sup>+</sup>10], als auch in selbstsperrender [KSR<sup>+</sup>10]. Das Ersatzschaltbild (Abb. 2.2 (b)) zeigt die Transferstromquelle, die Steuerdioden und die parasitären Kapazitäten. Die interne Gate-Source-Kapazität entsteht durch die Überlappung von Gate-Elektrode und Source-Metallisierung. Die interne Drain-Source-Kapazität verändert sich mit der Spannung vergleichbar zum MOSFET. Dies gilt bei der gezeigten Anordnung für die interne Gate-Drain-Kapazität gleichermaßen, da kein  $R_{JFET}$  in der Struktur auftritt. Dieser Nachteil und die große Überlappung von Gate und Drain machen sich im Schaltverhalten bemerkbar.

Ein weiterer Nachteil ist der kurze Kanal, der für eine Trioden-Charakteristik verantwortlich ist, wenn er nicht genügend schmal ausgeführt wird. In [Bal87, Geu66] wird hergeleitet, wie das Verhältnis zwischen Kanalhöhe und -weite zu einer Trioden- oder Pentoden-Charakteristik führt. Ein Beispiel für einen Halbleiter mit Trioden-Charakteristik ist der SIT. In [Kam01] wird ein SIT präsentiert und erörtert, demnach Kurzschlüsse mit dem Halbleiter zu hohen Strömen führen.

Ein Vorteil dieser Struktur ist eine einfache Kontaktierung und Isolierung, die das Design von Halbleitern für hohe Spannungen vereinfacht [FKLP11].

Im Halbleiter kann aufbautechnisch keine Body-Diode realisiert werden, da jedes  $p$ -Gebiet Kontakt zum Gate hat und eine Kontaktierung mit dem Source einen Kurzschluss erzeugt. Dies kann schaltungstechnisch ausgeglichen werden. In [SMG<sup>+</sup>13] wird gezeigt, wie die Ansteuerschaltung den JFET passiv ansteuert, um die Rückwärtsleitfähigkeit herzustellen.

Eine weitere Variante des JFET ist in Abbildung 2.2 (c,d) aufgezeigt. Es handelt sich um einen vertikalen JFET mit lateralem Kanal. Laterale Kanäle benötigen eine vergrabene Schicht, welche den Kanal von der intrinsischen Schicht trennt. Sie wird als Backgate-Elektrode bezeichnet. Mit Hilfe dieser Schicht und dem eigentlichen Gate wird die Kanalweite moduliert. Im vertikalen Trench-JFET ist das Gate von der Backgate-Elektrode nicht zu unterscheiden, und eine Abschnürung des Kanals erfolgt symmetrisch. Beim JFET mit lateralem Kanal sind das Backgate und der Source kurzgeschlossen, der Kanal wird unsymmetrisch abgeschnürt.

Es entsteht ein nahezu identischer Aufbau und ein identisches Ersatzschaltbild wie beim DMOS. Die Unterschiede zwischen den beiden Halbleitern sind, dass eine  $p$ -dotierte Schicht anstelle des Oxids die Gate-Elektrode vom Kanal trennt und das  $n$ -dotierte anstelle des  $p$ -dotierten Kanalmaterial. Die Elemente im Ersatzschaltbild

rechts der Transferstromquelle  $i_T$  und ihre Erklärungen können vom DMOS übernommen werden.

Die mit dieser Struktur gefertigten Transistoren können sowohl selbstleitend als auch selbstsperrend ausgelegt werden. Ein Beispiel für einen selbstleitenden JFET ist in [CCES06] beschrieben. Der Nachteil geringer Kanalhöhen oder schwacher Dotierungen bleibt unabhängig davon, ob lateral oder vertikal, erhalten, da dies für ein spannungsloses Abschnüren nötig ist. Der in den folgenden Kapiteln untersuchte JFET weist diese Struktur mit selbstleitendem Kanal auf und vereint so viele Vorteile [SND12].

Ein deutlicher Nachteil, den der laterale Kanal bzw. das mit Source verbundene Backgate mit sich bringt, ist der Durchgriff (*punch-through*, *reach-through*) des Gates. Erreicht die vom Gate ausgehende Raumladungszone jene des Backgates, ist der Kanal abgeschnürt. Eine weitere Absenkung der Gatespannung führt zu einem Stromfluss. Ab diesem Punkt wird die Raumladungszone des Gates weiterhin größer und drängt die des Backgates zurück. Die Raumladungszone des Backgate-*pn*-Übergangs im thermodynamischen Gleichgewicht wird hierdurch kleiner, wodurch die Backgatediode leitend wird. Der Unterschied zwischen *punch-through* und *reach-through* wird nicht übersetzt, er ist eine Definition des Stroms. Das Durchgriffverhalten vom SiC und seine Details werden in [KNS97] genau beschrieben. Der *reach-through* tritt mit der Abschnürspannung ein, wird jedoch als *punch-through* bei einem Gatestrom von  $200 \mu\text{A}$  bezeichnet [DBT<sup>+</sup>13].

Der Durchgriff tritt bei vertikalen Kanälen ebenso auf, aber nicht zwischen Gate und Backgate, da beide Gate-Elektroden auf gleichem Potenzial liegen und eine gemeinsame Raumladungszone ausbilden können. Wenn durch sehr hohe negative interne Gate-Source-Spannungen die Raumladungszone des Gates die Source-Metallisierung erreicht, tritt der Durchgriff auf. Es kann auch vor Erreichen des Durchgriffs zu einem Rückwärtsdurchbruch aufgrund zu hoher Feldstärke kommen. Die maximale negative Gate-Spannung und der Abstand zur Schwellspannung können wesentlich höher sein als beim lateralen Kanal. Aufgrund der Ähnlichkeit des Verhaltens von Strom und Spannung an der Steuerdiode beim Durchgriff und Durchbruch wird nur von einem Durchbruch gesprochen.

Ein wichtiges Element parasitärer Natur aller bisher gezeigten Ersatzschaltbilder ist

## 2.1 Strukturen von Feldeffekttransistoren für die Leistungselektronik

der interne Gatewiderstand ( $R_g$ ). Hierbei handelt es sich nicht um einen Widerstand als Bauelement, sondern um eine Materialeigenschaft. Diese ist meist unerwünscht, da sie das schnelle Umladen der Eingangskapazitäten behindert und somit die Schaltverluste der Transistoren erhöht. Dies wurde erstmals von [She90] im Zusammenhang mit dem MOSFET untersucht. Der MOSFET wird mit einer Polysilizium-Gate-Elektrode versehen, wenn auf sehr exakte fotolithografische Strukturierungen verzichtet werden soll. Als Alternative zur reinen Polysilizium-Gate-Elektrode mit hohem spezifischem Widerstand steht eine Senkung des Widerstands mit selbstjustierendem Silizid-Prozess zur Verfügung. Der Silizid-Prozess kann den Widerstand des Polysilizium deutlich senken.

Die JFET-Struktur, wie sie in [FKLP11] gezeigt wird, weist kein Polysilizium auf, hier wird der Silizid-Prozess direkt auf dem gut leitenden p-dotierten Material der Gate-Elektrode eingesetzt. Dies ist die gleiche Vorgehensweise wie bei der Source- oder Drain-Metallisierung. Der resultierende interne Gatewiderstand ist beim JFET entsprechend kleiner.

### 2.1.3. Einfluss der Transistorgehäuse

Die fertig prozessierten und vereinzelt Transistor- und Dioden-Chips werden meist beim Hersteller in Gehäuse verpackt. Dies ist ein notwendiger Schritt, um die Chips zu schützen, wenn sie für die Leiterplattenmontage oder in den mechanischen Aufbau des Umrichters integriert werden sollen. Eine weitere Variante ist die direkte Montage des Chips auf der Leiterplatte. An die Anbindung des Chips an seine Umgebung werden viele Ansprüche gestellt. Um diesen gerecht zu werden, existieren verschiedene Gehäuse und Montagetechniken.

Für Einzeltransistoren, Parallelschaltungen mit wenigen Chips, z.B. Bipolartransistor mit isolierter Gate-Elektrode (IGBT) und Freilaufdiode und auch für den Aufbau einer Kaskodenschaltung, kann ein *Transistor Single Outline* (TO)-Gehäuse Verwendung finden. Die TO-Gehäuse sind aufgrund ihrer Größe in der maximalen Verlustleistung und Anzahl an Anschlüssen beschränkt. Für komplexere Aufbauten wie z.B. den Leistungsteil eines dreiphasigen Pulswechselrichters stehen bedarfsgerechte Modul-Gehäuse zur Verfügung.

Die elektrischen Kontaktierungen, durch die der Chip mit den Anschlüssen des Ge-

häuses verbunden ist, weisen Induktivitätsbeläge auf. Die Induktivität, z.B. die Streuinduktivität ( $L_\sigma$ ), ist der Proportionalitätsfaktor zwischen dem verketteten magnetischen Fluss ( $\Psi(t)$ ) und Strom  $i(t)$ . Ändert sich der  $\Psi(t)$  aufgrund einer Änderung des Stroms beim Schalten des Transistors, wird die Spannung  $U_{ind}$  (Gl. 2.12) induziert. Diese Spannungen erzeugen Überspannungen und können zum Ausfall des Halbleiters beitragen. Es können Spannungsabfälle auftreten, die sich als sehr ungünstig erweisen. Dazu wird in [SVZ<sup>+</sup>13] ein MOSFET im TO-247-Gehäuse mit vier Anschlüssen getestet.

$$U_{ind} = L_\sigma \cdot \frac{di_d}{dt} \quad (2.12)$$

Die elektrischen Verbindungen eines MOSFET, beispielsweise im TO-Gehäuse, sind in Abbildung 2.3 zu sehen. Der MOSFET ist mit dem Symbol des eigentlichen Transistors gekennzeichnet, es verkörpert alle Elemente der eingeführten Ersatzschaltbilder außer den halbleitertypischen Kapazitäten und den Widerständen  $R_{n-}$  bzw.  $R_g$ . Sie sind separat gezeichnet.

Dem Transistor werden im Ersatzschaltbild die parasitären Induktivitäten aller Anschlüsse hinzugefügt. Durch die endliche Leitfähigkeit des Materials der Anschlüsse wird der  $R_{n-}$  vergrößert und in das Ersatzschaltbild eingefügt. Die durch das Gehäuse hinzugefügten parasitären Kapazitäten sind verglichen mit den halbleitertypischen Kapazitäten klein, sie werden vernachlässigt.

Der in [SVZ<sup>+</sup>13] eingeführte zusätzliche Anschluss ist ein Hilfsanschluss am Source des Transistors. Er wird als Kelvinkontakt bezeichnet und hat die Aufgabe, die parasitäre Induktivität am Source ( $L_s$ ) für die Masche vom Gate über den Transistor zum Source und zurück irrelevant zu machen. Somit kann der Transistor schneller eingeschaltet werden. Dies wird in Kapitel 3 vertieft. Beim Reverse Recovery der Body-Diode des MOSFET wirkt die parasitäre Induktivität am Source positiv, wenn sie nicht aus der Masche entfernt wurde. Dies wird in Kapitel 4 diskutiert.

Die Elemente des Ersatzschaltbildes (Abb. 2.3) bilden beim passiven oder aktiven Abschalten des Transistors einen Oszillator. Beim Abschalten wird auf die Anord-

## 2.1 Strukturen von Feldeffekttransistoren für die Leistungselektronik

---

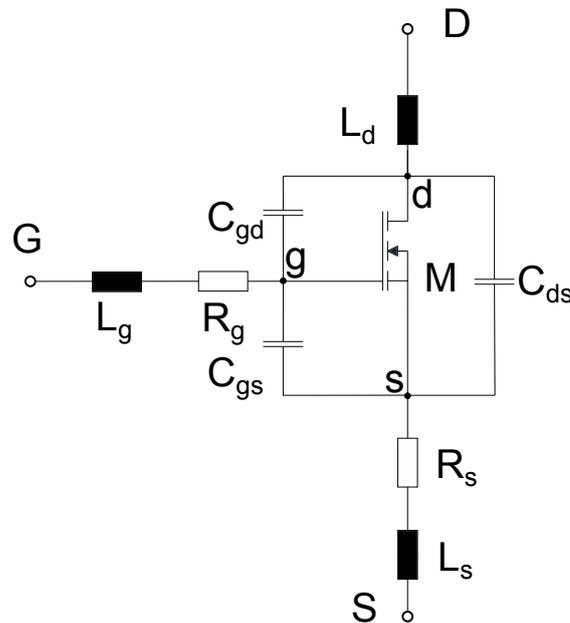


Abbildung 2.3.: MOSFET Ersatzschaltbild; parasitäre Kapazitäten extern gezeichnet

nung ein Spannungssprung gegeben. Der Transistor sperrt und die parasitären Elemente bilden einen Reihenschwingkreis, der durch die Sprungfunktion angeregt wird. Dies wurde in [APAHM12] auf der Basis des AC-Kleinsignalersatzschaltbildes der Diode untersucht. Es beinhaltet einen Widerstand parallel zu  $C_{ds}$ , um den Sperrstrom zu modellieren. Der zusätzliche Widerstand verkompliziert die Berechnung der Dämpfung und führte in der Herleitung des Dämpfungsfaktors zu einem Fehler (Anhang A.2). Wird der Dämpfungsgrad korrekt berechnet, ergeben sich mit und ohne Berücksichtigung des Sperrstroms nahezu gleiche Werte des Dämpfungsgrads. Die Ansätze aus [APAHM12] können fast identisch unter Verwendung von Gleichung 2.13 nachvollzogen werden.

Eine ausführliche Herleitung der Gleichung 2.13 für den Dämpfungsgrad befindet sich im Anhang A.2. Der Dämpfungsgrad trifft eine Aussage wie und ob ein System schwingt, indem er aufzeigt, wie die Nullstellen des charakteristischen Polynoms liegen. Die Basis zur Berechnung ist der Dämpfungsgrad (Gl. 2.13) mit den Elementen des Ersatzschaltbildes (Abb. 2.3).

$$D = \frac{R_s}{2} \cdot \sqrt{\frac{C_j}{L_\sigma}} \quad (2.13)$$

Der Dämpfungsgrad wird hauptsächlich durch den Widerstand des Halbleiters beeinflusst. Ist er hoch, liegt eine große Dämpfung des Systems vor. Bei Silizium-Halbleitern ist der Widerstand der  $n^-$ -Driftzone im unmodulierten Zustand hoch. Bei unipolaren SiC-Halbleitern wird die Ladungsträgermodulation der Driftzone nicht benötigt, der Dämpfungsgrad ist durch die Materialeigenschaft gering. Eine Vergrößerung der Ausgangskapazität des Halbleiters wirkt dämpfend auf das System. Die größte Ausgangskapazität hat der Silizium-Halbleiter durch die hohe Speicherladung. In diesem Zustand ist der  $n^-$ -Driftzone-Widerstand geringer.

**Tabelle 2.1.:** Dämpfungsgrad für Si- und SiC-Halbleiter, bei  $L_\sigma = 20 \text{ nH}$

$D$	$R_s \text{ in } \Omega$	$C_j$	
0,0158	1	2 nF	Si-Hl. beim Abschalten
0,005	0,1	200 pF	SiC-Hl. klein
0,00158	0,01	2 nF	SiC-Hl. groß

Ist der Dämpfungsgrad kleiner als eins, schwingt das System gedämpft. Dieser Fall würde bei SiC-Halbleitern mit den Werten in der Tabelle 2.1 vorliegen. Die drei Beispiele zeigen für den Fall der Diode ein typisches Reverse Recovery beim Abschalten durch den gewählten Schwingfall.

Das Beispiel der Si-Diode ist diffizil zu interpretieren, da sich die Ausgangskapazität und der Widerstand der Driftzone durch die Extraktion der bipolaren Ladungen während des Schaltvorgangs extrem verändern. Das System ist am Anfang durch seine hohe Kapazität und am Ende des Abschaltens durch den hohen Widerstand gut gedämpft. Das Beispiel zeigt einen Punkt in der Mitte des Abschaltens. Die Dioden sind im Allgemeinen so konstruiert, dass der Reverse Recovery-Strom nicht abreißt, bevor die Diode vollständig abgeschaltet hat.

Beim Reverse Recovery der unipolaren SiC-Dioden werden keine bipolaren Ladungen ausgeräumt, es wird ausschließlich die Sperrschichtkapazität umgeladen. Die Kapazität des abgeschalteten Halbleiters ist hierdurch kleiner, obwohl die Sperrschichtkapazität um Größenordnungen höher ist [APAHM12]. Hierdurch und durch

## 2.2 Kaskodenschaltungen

---

den kleineren Widerstand kommt es zu einer Entdämpfung des Systems bei Verwendung von SiC-Halbleitern.

## 2.2. Kaskodenschaltungen

### 2.2.1. Klassische Kaskode

Die Kaskode ist eine Reihenschaltung von zwei Elektronenröhren oder Transistoren, in der beiden Transistoren unterschiedliche Aufgaben zugeteilt sind. Die Trennung der Aufgaben und der Einsatz eines je dafür geeigneten Transistors können der Schaltung einen Vorteil verschaffen. Nachteilig ist, dass die Anzahl an benötigten Transistoren verdoppelt wird. Damit steigen die Durchlassverluste, der Platzbedarf, die Streuinduktivität und die Komplexität der Struktur.

Der einfachste Fall einer Verwendung von Kaskoden ist der Gebrauch eines vertikalen Feldeffekt-Transistors mit lateralem Kanal. Dies ist in [Kam01] ausführlich dargelegt. Die im vorangegangenen Abschnitt erklärten DMOS und JFET dieser Bauart unterscheiden sich nur im Steuerprinzip, nicht aber in Bezug auf die Lage des Kanals. Beim JFET sind die Strukturen mit lateralem und vertikalem Kanal gegenübergestellt (Abb. 2.2); aus diesem Grund wird hier der JFET zur Erklärung herangezogen.

Der Vergleich der beiden Ersatzschaltbilder (Abb. 2.2 (b), (d)) zeigt, dass der JFET mit lateralem Kanal unter anderem einen zusätzlichen  $R_{JFET}$  aufweist. Im Eigentlichen ist dieser Widerstand ein Kurzkanal-JFET (SIT). Die beiden mit Source verbundenen Backgate-Elektroden und das  $n^-$ -Gebiet zwischen ihnen formen den Kanal des Transistors. Sein Source ist am eigentlichen JFET, bzw. dem lateralen Kanal, angeschlossen. Der Drain des SIT ist der Drain der gesamten Struktur.

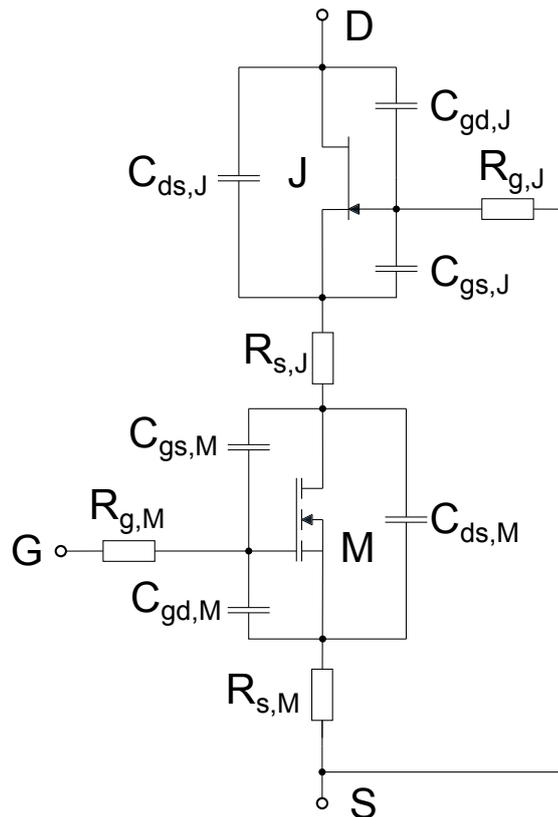
Das Ersatzschaltbild der Kaskode (Abb. 2.4) zeigt einen JFET, dessen Gate mit dem Source verbunden ist. Die Hauptanschlüsse dieses JFET sind hier mit dem Drain der gesamten Struktur und abweichend von SIT mit einem MOSFET verbunden.

Diese Anordnung verschafft dem JFET mit lateralem Kanal den Vorteil, dass die Gate-Elektrode des eigentlichen JFET, bzw. des Kanals, von der im Halbleiter vorherrschenden hohen Feldstärke abgeschirmt ist. Aus Sichtweise des Ersatzschaltbildes (Abb. 2.4) steuert der Transistor M (Kanal) den JFET J (SIT), wodurch M

## 2 Unipolare leistungselektronische Halbleiterschalter

eine viel kleinere Spannungsverstärkung aufweisen muss und Rückwirkung über seine Miller-Kapazität ( $C_{gd}$ )  $C_{gd,M}$  erfährt, als der JFET  $C_{gd,J}$ . Dies ist das Prinzip der Kaskode, welches auch häufig in der Signalelektronik genutzt wird.

In [HRM13] wird ein Bewertungsfaktor aus Durchlasswiderstand und Gateladung ( $R_{on} \cdot Q_g$ ) ausgedrückt. Die Anwendung auf unterschiedliche Transistoren, wie auch Kaskoden zeigt, dass sich bei der Kaskodierung von Halbleitern sehr kleine Werte des Bewertungsfaktors erreichen lassen, wodurch die Ansteuerleitung reduziert werden kann. Bei der Kaskodierung von diskreten Halbleitern ist der Aufwand an mehr Transistoren in Wirklichkeit eine Verlagerung von Transistoren aus der Ansteuer-schaltung in den Leistungsteil. Bei der Kaskodierung von JFET- oder MOSFET-Kanal und SIT hingegen ergibt sich ein Vorteil durch Einsparung von Halbleitern bzw. Ansteuerleistung.



**Abbildung 2.4.:** Ersatzschaltbild der JFET-MOSFET Kaskode; extern gezeichnete parasitäre Kapazitäten

Im Fall der Verwendung eines selbstleitenden SiC-JFET im Spannungszwischenkreis-

## 2.2 Kaskodenschaltungen

---

umrichter bietet die Kaskode einen hervorragenden Kompromiss. Bei Verwendung von selbstleitenden Transistoren für beide Kaskodentransistoren oder als Einzeltransistoren ohne Kaskode ist für den Spannungszwischenkreisumrichter ein Ausfall der Versorgungsspannung der Ansteuerschaltung problematisch. Tritt dieser Fall bei geladenem Zwischenkreis ein, schließen die Transistoren den Zwischenkreis, ohne Möglichkeit einzugreifen, kurz. Es wird, um dieses Szenario beim Einschalten des Umrichters zu vermeiden, eine unabhängige, vorzeitig aktive Spannungsquelle für die Ansteuerung benötigt.

Die Verwendung eines selbstsperrenden Si-MOSFET in der Kaskode (Abb.2.4) hebt dieses Problem auf. Mit der Kaskode ist es möglich, die meistverwendeten selbstsperrenden Si-Halbleiter auszutauschen. Der Einsatz des selbstleitenden JFET in der Kaskode lohnt gegenüber einem selbstsperrenden JFET oder MOSFET, da dieser geringere Durchlassverluste aufweist [SK11].

Die Auswahl eines geeigneten MOSFET  $M$ , dessen interner Gatewiderstand  $R_{g,M}$  und der interne Gatewiderstand des JFET  $R_{g,J}$  muss mit Bedacht geschehen. Dies ist Gegenstand der Veröffentlichungen [SND10, SND12]. Die Bauelemente müssen so ausgewählt werden, dass die Steilheit des Anstieges von Drainstrom und der Drain-Source-Spannung über das Gate des MOSFET gesteuert werden können, keine allzu großen Oszillationen auftreten, kein Halbleiter im Durchbruch betrieben wird und der Durchlasswiderstand einen Systemvorteil bietet. Problematisch ist, dass für ein kontrolliertes Schalten der MOSFET während des Schaltvorgangs im ohmschen Bereich der Kennlinie bleiben muss. Dies ist aufgrund des in einem weiten Bereich variierenden Laststroms nur mit relativ großen Gatewiderständen möglich, was den Schaltvorgang deutlich ausbremst.

Wird der MOSFET mit sehr kleinen Gatewiderständen abrupt abgeschaltet, entlädt der Laststrom über die Ausgangskapazität des MOSFET  $C_{ds,M}$  das Gate des JFET. Dies kann zu sehr schnellen Schaltvorgängen führen, wenn der MOSFET eine genügend große Ausgangskapazität hat, wodurch große Überspannungen hervorgerufen werden. Die Überspannung kann zu einem Durchbruch des JFET führen und Oszillationen auslösen. Das JFET Gate kann durch Vergrößerung des  $R_{g,J}$  langsamer geladen werden. Dies führt zu einem großen Spannungsabfall über  $R_{g,J}$  und dem MOSFET. Der MOSFET wird dann im Durchbruch betrieben.

Für einen gut kontrollierbaren Schaltvorgang sorgt auch die kapazitive Ankopplung des Gates wie in [Spr11] vorgeschlagen. Der MOSFET muss durch hohe Werte des

internen Gatewiderstands während des Abschaltens im ohmschen Bereich betrieben werden. Das Gate des JFET wird über eine Kapazität gegen das Sourcepotential entladen, wodurch sanftere Kurvenverläufe entstehen. Zum Ableiten der Leckströme des Gates wird eine Zehnerdiode parallel zur Kapazität geschaltet.

### 2.2.2. Direct Driven JFET

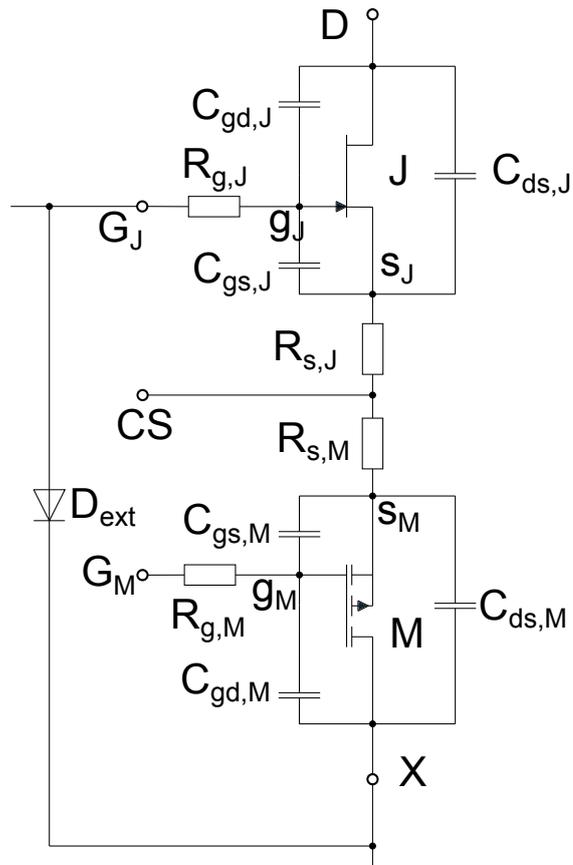
Eine weitere Möglichkeit, die Schaltvorgänge der Kaskode zu beeinflussen ist, das Gate des JFET zusätzlich aktiv anzusteuern. Dazu wird der Aufbau (Abb. 2.4) mit einer Diode zum Entladen des JFET-Gates Richtung Source versehen und das Gate des JFET mit einer zweiten Ansteuerschaltung verbunden [SND10, SND12]. Diese „Cascode Light“ [DZ10] genannte Schaltung kann durch den Einsatz eines *P-Channel Metal-Oxide-Semiconductor* (PMOS) bezüglich des Ansteueraufwands vereinfacht werden (Abb. 2.5) und wird „Direct Driven JFET“ [SK11] genannt. Der Anschluss des unteren Potentials (X) ist nicht mehr der Source des MOSFET, sondern der Drain des PMOS.

Die Verwendung eines PMOS zur Steuerung der eigentlichen Kaskode bietet den Vorteil, dass mit der Spannung für die Ansteuerung des JFET gleichzeitig der PMOS angesteuert werden kann. Es wird eine Versorgungsspannung benötigt, um beide Transistoren vom gemeinsamen Source (CS) aus zu steuern. Der selbstsperrende P-Kanal benötigt eine negative Spannung zwischen seinem Gate und dem CS, um leitend zu werden. Der selbstleitende JFET wird mit negativer Spannung sperrend. Ohne Anliegen einer Spannung an den Gates entlädt der Spannungsabfall am PMOS das Gate des JFET über die externe Diode ( $D_{\text{ext}}$ ). Beim normalen Schalten bleibt der PMOS stets eingeschaltet, es wird ausschließlich der JFET geschaltet. Der PMOS schaltet den JFET nur aus, wenn die Versorgungsspannung der Ansteuerschaltung nicht anliegt.

Durch die direkte Ansteuerung des JFET wird der Vorteil der Kaskode auf die Erzeugung einer selbstsperrenden Struktur mit einem selbstleitenden SiC JFET reduziert. Die Verkleinerung der Rückwirkung von  $C_{gd,J}$  mittels der Kaskode, wobei  $C_{gd,M}$  mit einer kleineren Spannung rückwirkt, wird aufgegeben. Hiermit wird der

## 2.2 Kaskodenschaltungen

---



**Abbildung 2.5.:** Ersatzschaltbild des Direct Driven JFET; extern gezeichnete parasitäre Kapazitäten

in [HRM13] eingeführte Bewertungsfaktor aus Durchlasswiderstand und Gateladung ( $R_{on} \cdot Q_g$ ) wieder hoch. Es wird mehr Ansteuerleistung benötigt, als von der Kaskode zu erwarten wäre.

## 3. Schaltvorgänge von SiC-JFET und MOSFET

Im folgenden Kapitel soll das Schaltverhalten aktiver unipolarer Leistungshalbleiter beleuchtet werden. Aus dem Schaltverhalten ergeben sich typische Verluste, die bei einer Auslegung von Interesse sind.

Es wird das harte Ein- bzw. Ausschalten des SiC-MOSFET und -JFET bei induktiver Last betrachtet. Die Last ist in den theoretischen Erklärungen und in praktischen Versuchen als Stromquelle zu betrachten. Mit Hilfe einer SPICE-Simulation kann das Schaltverhalten zunächst in seiner Theorie dargestellt werden. Die hierbei entstandenen Ergebnisse sind in [AE14] teilweise veröffentlicht. Hierbei werden parasitäre Einflüsse aufgrund von Aufbauten und Gehäusen außer Acht gelassen. Im Weiteren wird der Einfluss der parasitären Elemente anhand von Versuchen belegt, er ist in [AE13a] teilweise veröffentlicht.

Die Schaltvorgänge unterliegen einer Beeinflussung durch die Temperatur der Sperrschicht ( $T_j$ ). Dies ist nicht Gegenstand der Untersuchung, da die Beeinflussung bei unipolaren Halbleitern gering ist.

### 3.1. Allgemeiner Schaltvorgang des Feldeffekttransistors

Zur theoretischen Erklärung der Schaltvorgänge soll eine Simulation einer vereinfachten Struktur herangezogen werden. Diese ist in Abbildung 3.1 dargestellt. Es ist ein Tiefsetzsteller mit einer Quelle für den Laststrom ( $I_L$ ) abgebildet. Der Laststrom kann über die Diode D in einem Freilaufzweig fließen. Die Diode D hat ideale Schalteigenschaften, sie weist keine parasitären Elemente auf und hat eine geringe Durchlassspannung. Der Transistor M am unteren Potential ist ein *Unipolar Transistor*

### 3.1 Allgemeiner Schaltvorgang des Feldeffekttransistors

(FET). Seine parasitären Kapazitäten ( $C_{gd}$ ,  $C_{gs}$ ,  $C_{ds}$ ) sind getrennt vom FET dargestellt. Die Spannungsabhängigkeit der Kapazität  $C_{gd}$  ist in der Simulation identisch zu  $C_{ds}$  modelliert. Die internen parasitären Kapazitäten, Induktivitäten und Widerstände des FET sind im Model M nicht vorhanden. Die Spannungsquelle  $U_{GDU}$  dient als Symbol für die Ansteuerschaltung des FET. Der Gatewiderstand ( $R_G$ ) zur Ansteuerung des Transistors ist der Innenwiderstand der Ansteuerschaltung. Sie ist mit dem FET über den internen Gatewiderstand verbunden. Eine weitere Spannungsquelle repräsentiert den Zwischenkreiskondensator mit der Zwischenkreisspannung ( $U_{zk}$ ). Der Zwischenkreis weist eine  $L_\sigma$  auf. Sie vereint alle im Aufbau des Kommutierungskreises vorhandenen Leitungsbeläge. Die Parametrierung der Streuinduktivität, sowie alle weiteren Parameter orientieren sich an der Realität. Sie wurden mit Messungen bestimmt oder den Datenblättern entnommen, sowie durch ergebnisorientiertes Anpassen der Simulationen bestimmt.

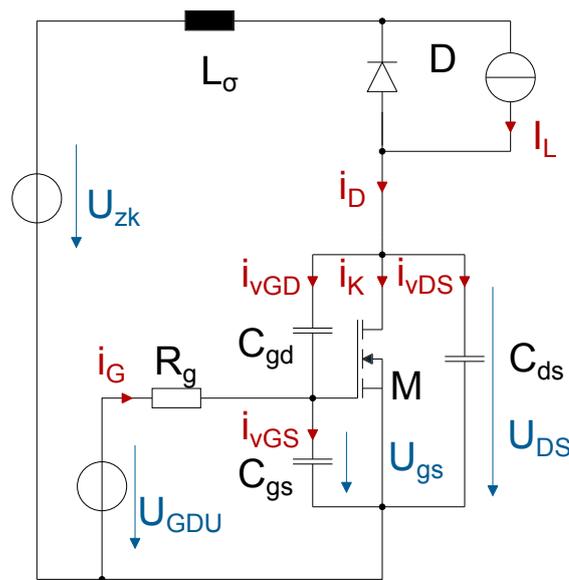


Abbildung 3.1.: Schaltplan mit MOSFET-Ersatzschaltbild; getrennt dargestellte parasitäre Kapazitäten, Strom- und Spannungsrichtungen

#### 3.1.1. Einschaltvorgang

Der Einschaltvorgang wird von der Ansteuerschaltung initiiert. Sie gibt einen Spannungssprung zum Zeitpunkt  $t_1$  (Abb. 3.2) vor. Zunächst werden die Eingangskapazi-

täten ( $C_{gd}+C_{gs}$ ) des FET bis zur Schwellspannung aufgeladen. Der Kanal des Transistors ist noch geschlossen, es fließt jedoch bereits ein geringer dynamischer Drainstrom ( $i_D$ ). Dieser ist ein Verschiebestrom durch die interne Gate-Drain-Kapazität, aufgrund einer Änderung der Gate-Drain-Spannung. Der Source-Anschluss des Transistors führt den restlichen Gatestrom, der den dynamischen Verschiebestrom zwischen Gate und Source ( $i_{vGS}$ ) darstellt. Ab dem Zeitpunkt  $t_2$ , nach Erreichen der Schwellspannung ( $U_{th}$ ), öffnet sich der Kanal und der dynamische Drainstrom in Höhe des dynamischen Verschiebestroms zwischen Gate und Drain ( $i_{vGD}$ ) wird zusätzlich vom dynamischen Kanalstrom überlagert. Die Zeitspanne bis  $t_2$  wird Einschaltverzögerungszeit genannt und ist proportional zum Produkt des Gatewiderstands und der Eingangskapazität.

Die dynamische interne Gate-Source-Spannung ( $u_{gs}$ ) steigt weiter bis zur Spannung  $U_{gs}(I_K)$  (Gl. 3.4). Diese Spannung ist aus der Gleichung für den Sättigungsstrom unter Korrektur durch die Kanallängenmodulation über den Umweg der Transkonduktanz ( $g_m$ ) hergeleitet. Eine Ableitung der Gleichung 3.1 nach der internen Gate-Source-Spannung ( $U_{gs}$ ) hat die Transkonduktanz zum Ergebnis (Gl. 3.3), da sie das Verhältnis von Ausgangsstrom zu einer Eingangsspannung ist.

Durch den beginnenden Anstieg des Drainstroms ab  $t_2$  wird an der parasitären Kommutierungskreisinduktivität  $L_\sigma$  ein Spannungsabfall hervorgerufen. Der Spannungsabfall reduziert die Spannung am Transistor, wodurch ein Verschiebestrom durch  $C_{gd}$  und  $C_{ds}$  fließt (Abb. 3.2). Dies vergrößert den Kanalstrom gegenüber dem Drainstrom deutlich. Der Spannungsabfall reduziert den Strom in die Gate-Source-Kapazität, wodurch die Gatespannung langsamer steigt und sich nicht mehr exponentiell nähert. Nach einer Einregelphase steigt der Drainstrom annähernd konstant, wodurch die Spannung an Streuinduktivität nicht mehr stärker abfällt.

Die Anstiegsgeschwindigkeit des Stroms ist abgesehen von  $g_m$  von den Faktoren  $C_{gs}$  und  $R_g$  abhängig. Um den Stromanstieg zu verlangsamen, wird die Kapazität künstlich mit einer externen Gate-Source-Kapazität ( $C_{GS}$ ) vergrößert. Somit wird die Aufladezeit der Eingangskapazität und die Zeit, bis ein gewisser Strom fließt, vergrößert. Damit einhergehend wird die Einschaltverzögerungszeit vergrößert. Der Gatewiderstand würde gleichermaßen auf die Aufladezeit wirken. Die Veränderung des  $R_G$  wirkt auch auf den Spannungsabbau, im Gegensatz zu einer Erhöhung von  $C_{GS}$ .

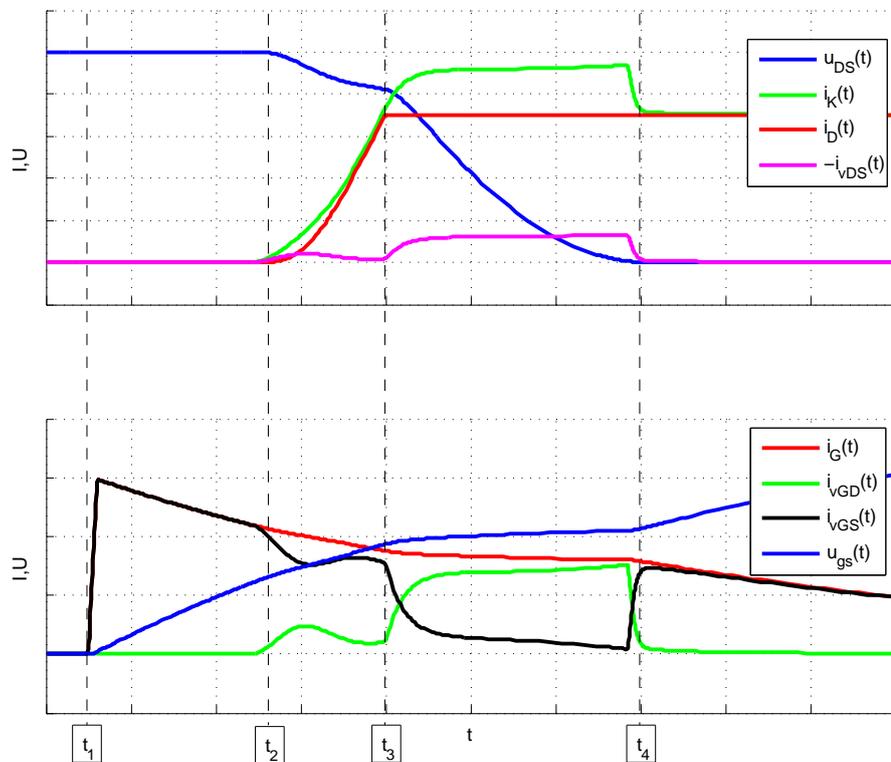
### 3.1 Allgemeiner Schaltvorgang des Feldeffekttransistors

$$I_K = \frac{1}{2}\beta(U_{gs} - U_{th})^2(1 + \lambda U_{ds}) \quad (3.1)$$

$$g_m = \frac{d(I_K)}{dU_{gs}} \quad (3.2)$$

$$g_m = \beta(U_{gs} - U_{th})(1 + \lambda U_{ds}) \quad (3.3)$$

$$U_{gs}(I_K) = U_{th} + \frac{I_K}{g_m} \quad (3.4)$$



**Abbildung 3.2.:** Prinzipieller Kurvenverlauf von  $u_{ds}$ ,  $u_{gs}$ ,  $i_{vGD}$  (invertiert),  $i_{vDS}$  (invertiert),  $i_G$ ,  $i_D$  in Abhängigkeit der Zeit beim Einschalten

Nach Erreichen des Laststroms zum Zeitpunkt  $t_3$  ist das so genannte Miller-Plateau ( $t_3 < t < t_4$ ) erreicht. Während dieser Phase wird die Drain-Source-Spannung abgebaut.

Der Abbau der Drain-Source-Spannung erfolgt über die Erhöhung der Gate-Source-

Spannung. Eine Erhöhung der internen Gate-Source-Spannung ist notwendig, da das Ausgangskennlinienfeld durch die Kanallängenmodulation im Sättigungsbereich statt horizontaler leicht schräge Kennlinien aufweist. Durch Umformen von Gleichung 3.1 wird sichtbar, dass der Spannungsabfall über dem Transistor bei konstantem Kanalstrom durch interne Gate-Source-Spannung ( $U_{gs}$ ) bestimmt wird.

Die fallende Drain-Source-Spannung hat den dynamischen Verschiebestrom zwischen Drain und Source ( $i_{vDS}$ ) als Entladestrom zur Folge und durch das Absinken der Gate-Drain-Spannung den dynamischen Verschiebestrom zwischen Gate und Drain ( $i_{vGD}$ ). Der Strom fließt zusätzlich zum Laststrom durch den Kanal, wie in der schematischen Darstellung (Abb. 3.2) zu erkennen ist. Die interne Gate-Source-Spannung muss zusätzlich soweit erhöht werden, bis der Kanalstrom getragen werden kann. Durch diesen Effekt steigt die interne Gate-Source-Spannung weiter, wie in der Stromaufbauphase. Die Flankensteilheit der Drain-Source-Spannung wird größer, bis der Kanal den maximalen Entladestrom trägt. Der Entladestrom der Miller-Kapazität verringert den dynamischen Verschiebestrom zwischen Gate und Source ( $i_{vGS}$ ), wodurch die Anstiegsgeschwindigkeit der dynamischen Drain-Source Spannung ( $u_{ds}$ ) begrenzt wird. Der gesamte Gatestrom fällt leicht, da sich der Spannungsabfall über dem Gatewiderstand verringert.

Die Spannungsabhängigkeit der Miller-Kapazität verursacht das sanfte Ausklingen der Spannungsflanke. Die Kapazität vergrößert sich bei fallender Spannung und benötigt immer mehr Strom, um umgeladen zu werden, dies verringert den dynamischen Verschiebestrom zwischen Gate und Source ( $i_{vGS}$ ) bis annähernd null. Was dazu führt, dass die interne Gate-Source-Spannung nicht weiter steigt und der Spannungsabfall des Kanals sich nicht mehr verkleinert.

Der Strom  $i_{vGS}$  ist begrenzt durch den Spannungsabfall am Gatewiderstand. Dies wird beim Entwerfen der Ansteuerschaltung ausgenutzt, um die Steilheit der Spannungsflanke einzustellen.

Nach Erreichen des ohmschen Bereichs im Ausgangskennlinienfeld des Transistors kommt dieser Vorgang zum Erliegen, das Miller-Plateau ist zu Ende ( $t = t_4$ ).

Der Innenwiderstand des *Unipolar Transistor* sinkt bei weiter steigender  $u_{gs}$  nun weniger. Ab dem Zeitpunkt  $t_4$  hat der Transistor bereits vollständig eingeschaltet, das Gate ( $C_{gs}$ ) wird mit der Zeitkonstante wie zu Beginn weiter aufgeladen. Der Kanalwiderstand sinkt weiter bis zu einem typischen  $R_{DS,on}$ .

## 3.1 Allgemeiner Schaltvorgang des Feldeffekttransistors

### 3.1.2. Ausschaltvorgang

Das Ausschalten (Abb. 3.3) wird ebenso von der Ansteuerschaltung gesteuert. Sie gibt zum Zeitpunkt  $t_1$  einen negativen Spannungssprung vor und leitet den Vorgang ein. Bei Betrachtung der Ströme und Spannungen am Transistoranschluss läuft der Ausschaltvorgang nun in umgekehrter Reihenfolge wie der Einschaltvorgang ab. Der Spannungssprung entlädt das Gate bzw. die Eingangskapazität, diese lässt die Spannung an der internen Gate-Source-Kapazität sinken. Durch eine Änderung der Gate-Drain-Spannung fließt von Beginn an ein Verschiebestrom durch die interne Gate-Drain-Kapazität. Das Entladen hat zunächst kaum Wirkung auf die Drain-Source-Spannung oder den Drainstrom, erst ab Erreichen der Spannung  $U_{gs}(I_K)$  zum Zeitpunkt  $t_2$ . Ab hier verändert sich der Innenwiderstand des Halbleiters stark.

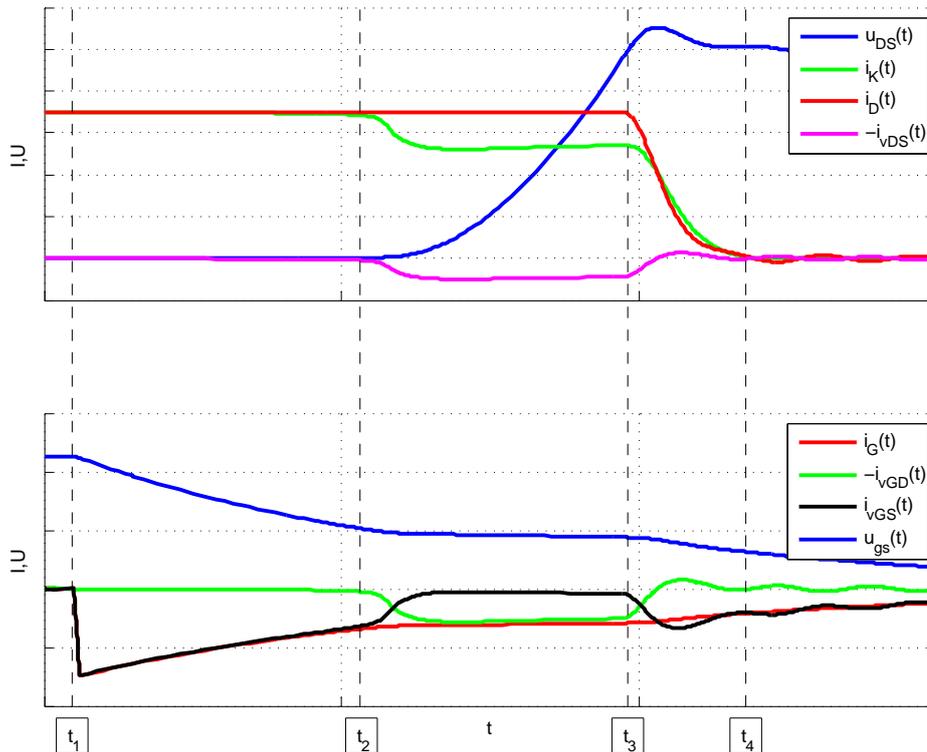


Abbildung 3.3.: Prinzipieller Kurvenverlauf von  $u_{ds}$ ,  $u_{gs}$ ,  $i_{vGD}$  (invertiert),  $i_{vDS}$  (invertiert),  $i_G$ ,  $i_D$  beim Ausschalten

Das Entladen von  $C_{gs}$  bzw. Absenken der internen Gate-Source-Spannung erhöht den Spannungsabfall des FET. Die steigende Anstiegsgeschwindigkeit der Drain-Source-Spannung verursacht einen Stromfluss durch den zum Kanal parallelen Kreis  $C_{gd} - R_g - U_{gdu}$  und  $C_{ds}$ . Hierdurch wird der dynamische Kanalstrom kleiner. Der kleiner werdende dynamische Kanalstrom hat eine Rückwirkung auf die Flankensteilheit der Drain-Source-Spannung durch die Kanallängenmodulation. Unter Annahme einer konstanten Gate-Source-Spannung und einem Rückgang des Kanalstroms tritt eine Verkleinerung der Spannung  $u_{ds}$  auf (Gl. 3.1).

Nach einer Einregelzeit fließt nahezu der gesamte Strom  $i_G$  in die Miller-Kapazität. Da der Strom durch den internen Gatewiderstand begrenzt ist und sich aufgrund des steigenden Stroms durch die Miller-Kapazität der Ladestrom von  $C_{gs}$  verkleinert, entsteht eine Rückkopplung die Miller-Plateau genannt wird. Die interne Gate-Source-Spannung reduziert sich aufgrund der zunehmenden Transkonduktanz bis zu dem Zeitpunkt, zu dem am FET die maximale Spannung anliegt. Der Gatestrom sinkt leicht.

Während dieser Phase wird die Miller-Kapazität durch den Gatestrom aufgeladen, wodurch die Ausgangsspannung steigt. Durch das Steigen der Drain-Source-Spannung verkleinern sich die Kapazitäten  $C_{gd}$  und  $C_{ds}$ . Durch den als konstant anzunehmenden Gatestrom stellt sich eine Flankensteilheit der Drain-Source-Spannung ein, die aufgrund der Verkleinerung der  $C_{gd}$  stetig steigt.

Die Abbildung 3.3 zeigt, dass beim Abschalten der Kanalstrom vom Drainstrom verschieden ist. Es kann generell zwischen folgenden zwei Fällen unterschieden werden:

- Abschalten mit Kanalstrom: Dies entspricht dem in Abbildung 3.3 gezeigten Fall. Die Summe des Produkts des Stroms durch die Miller-Kapazität mit dem Gatewiderstand und der Spannung der Ansteuerschaltung ist genügend hoch, so dass die interne Gate-Source-Spannung oberhalb der Schwellspannung ( $U_{th}$ ) liegt. Tritt dies ein, wird der Kanal geöffnet und ein Teil des Laststroms fließt über ihn ab. Die Spannung an  $C_{gs}$  sinkt auf das Niveau der Spannung  $U_{gs}(I_K)$ , die durch den verbleibenden Kanalstrom bestimmt wird. Die Flankensteilheit (Gl.3.6) der dynamischen Drain-Source Spannung steigt mit zunehmendem Laststrom nur noch schwach. Höhere Lastströme erzwingen über die Rückkopplung eine Erhöhung der internen Gate-Source-Spannung.

### 3.1 Allgemeiner Schaltvorgang des Feldeffekttransistors

---

Mit Hilfe der Transkonduktanz kann diese einfach ermittelt werden. Die höhere interne Gate-Source-Spannung bedingt einen höheren Spannungsabfall am Gatewiderstand und lässt einen höheren Strom  $i_{vGD}$  zu. Somit stellt sich eine geringfügig höhere Anstiegsgeschwindigkeit der Drain-Source-Spannung ein. In diesem Fall wird der Spannungsanstieg über den Gatestrom gesteuert. (Gl.3.6)

- Abschalten ohne Kanalstrom: Liegt die interne Gate-Source-Spannung unterhalb der Schwellspannung, ist der Kanal vollständig abgeschnürt. Der Laststrom, der in diesem Fall der dynamische Verschiebestrom zwischen Gate und Drain und der dynamische Verschiebestrom zwischen Drain und Source ist, lädt nun die Ausgangskapazität bis zur Zwischenkreisspannung auf. Die Flankensteilheit (Gl.3.5) der Drain-Source-Spannung ist dabei abhängig vom Quotienten des Laststroms und dem Wert der Kapazitäten. Dieser Fall markiert ein ungesteuertes Abschalten.(Gl.3.5)

$$\frac{du}{dt} = \frac{i_d}{C_{oss}} \quad (3.5)$$

$$\frac{du}{dt} = \frac{U_{gdu} - U_{gs}(I_k)}{R C_{gd}} \quad (3.6)$$

Im vorliegenden idealisierten Beispiel ist zum Zeitpunkt  $t_3$  die Summe aus Zwischenkreisspannung und Flussspannung der Diode erreicht. Der Strom kommutiert während der Zeitspanne  $t_3 < t < t_4$ . Beim Abschalten ohne Kanalstrom kommutiert der Strom der Kapazitäten des FET gegen den Spannungsabfall an der Streuinduktivität. Es ergibt sich eine Überspannung passend zur Steilheit der fallenden Stromflanke. Das Abschalten mit Kanalstrom zeigt die Abbildung 3.3. Das Abkommutieren des Stroms ist eine Überlagerung des Kanal- und des kapazitiven Stroms. Der Rückgang des Drainstroms ist schneller als der des Kanalstroms, da die Summe der Ströme  $i_{vDS}$  und  $i_{vGD}$  negativ wird. Der verbliebene Kanalstrom wird durch die exponentielle Annäherung der  $U_{gs}$  an die Spannung  $U_{gdu}$  bis zum Schnittpunkt mit der Schwellspannung abgeschnürt.

Der Zeitpunkt  $t_4$  markiert das Ende des Stromes durch den Kanal. Der Drainstrom kann durch Schwingungen der Streuinduktivität und der Kapazitäten überlagert werden. Die Gate-Source-Kapazität wird anschließend entladen bis zur Spannungsvorgabe durch die Ansteuerschaltung.

## 3.2. Einschaltvorgang unter Einfluss parasitärer Elemente

Das Einschalten wird von parasitären Elementen beeinflusst, bleibt aber in seiner Grundstruktur wie in der Theorie beschrieben. In diesem Abschnitt werden bisher vernachlässigte Effekte beleuchtet. Hierzu gehören das Verhalten der Freilaufdiode und der Einfluss von parasitären Induktivitäten an Drain, Source und Gate. Die Effekte werden anhand von gemessenen Kurvenverläufen von typischen Strömen und Spannungen gezeigt. Der messtechnische Zugriff auf interne Größen, wie in der theoretischen Beschreibung, bleibt in der Praxis verwehrt. Dazu gehört bei sehr schnellen Schaltvorgängen auch die dynamische interne Gate-Source-Spannung, da der interne Gatewiderstand des Halbleiters gegenüber dem Innenwiderstand der Ansteuerschaltung überwiegt.

### 3.2.1. Einfluss der parasitären Induktivität am Drain-Anschluss und parasitärer Kapazitäten

Das oben gezeigte Schaltbild (Abb. 3.1) bleibt weiterhin gültig. Ein Unterschied ergibt sich darin, dass die als ideal angenommene Diode D eine Ausgangskapazität besitzt.

Die Messung ist mit gleichen Zeitmarken wie oben (Abb. 3.2) versehen, die Einschaltverzögerungszeit zwischen  $t_1$  und  $t_2$  wurde anhand der gemessenen, aber nicht dargestellten Gate-Source-Spannung ermittelt.<sup>1</sup>

Die Streuinduktivität hat beim Einschalten eine entlastende Wirkung in Bezug auf

---

<sup>1</sup> Die Messungen des JFET (FF30R12W  $U_{BD} = 1,2 \text{ kV}$ ,  $I_N = 30 \text{ A}$ ) gegen eine JFET-Body-Diode im Freilauf zeigt den Betriebspunkt  $U_{zk} = 1 \text{ kV}$ ,  $I_l = 60 \text{ A}$ . Die Ansteuerschaltung wurde vom Hersteller übernommen. Die Messung des MOSFET (CFM20120  $U_{BD} = 1,2 \text{ kV}$ ,  $I_N = 20 \text{ A}$ ) gegen eine SiC-Schottky-Diode (SBD) (IDH15S120  $U_{BD} = 1,2 \text{ kV}$ ,  $I_N = 15 \text{ A}$ ) zeigt den Betriebspunkt  $U_{zk} = 1 \text{ kV}$ ,  $I_l = 40 \text{ A}$ . Die Ansteuerschaltung ist ein Produkt der Firma Concept ( $R_g = 10 \Omega$ ).

### 3.2 Einschaltvorgang unter Einfluss parasitärer Elemente

---

die dynamische Drain-Source-Spannung des Halbleiters. Diese ist in den Messungen (Abb. 3.4) im Zeitbereich zwischen  $t_2$  und  $t_3$  zu erkennen. Die dynamische Drain-Source-Spannung ist hier kleiner als die Zwischenkreisspannung, wie auch in der theoretischen Beschreibung (Abb. 3.2). Die beiden Messungen zeigen verschieden große Spannungseinbrüche, dies ist auf die Schaltgeschwindigkeit zurückzuführen. Der JFET wird mit einem größeren Spannungshub angesteuert, wodurch der Drainstrom wesentlich schneller steigt. Der MOSFET wird mit weniger Spannungshub angesteuert, die Flankensteilheit des Drainstroms und der induktive Spannungsabfall ist kleiner.

Mit Hilfe des Spannungs- und Stromverlaufs lässt sich ein Maß für die Streuinduktivität ermitteln. Durch das Integral der Spannung über die Zeit im Abschnitt  $t_2 < t < t_3$  in Verbindung mit der Änderung des Stroms ergibt sich ein Wert für  $L_\sigma$  (Gl. 3.8).

$$U_{ind} = L \frac{di}{dt} \quad (3.7)$$

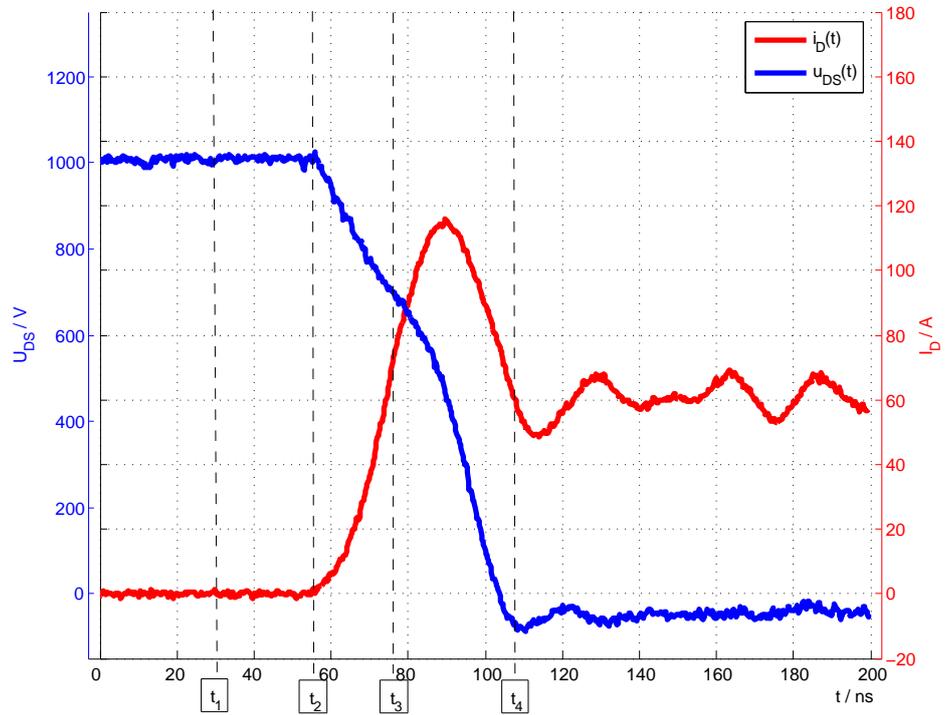
$$L_\sigma = \int_{t_2}^{t_3} (u_{ds}(t)) dt \frac{1}{I_d(t_3)} \quad (3.8)$$

Die Versuchsaufbauten weisen beide eine Streuinduktivität von ca. 40 nH auf.

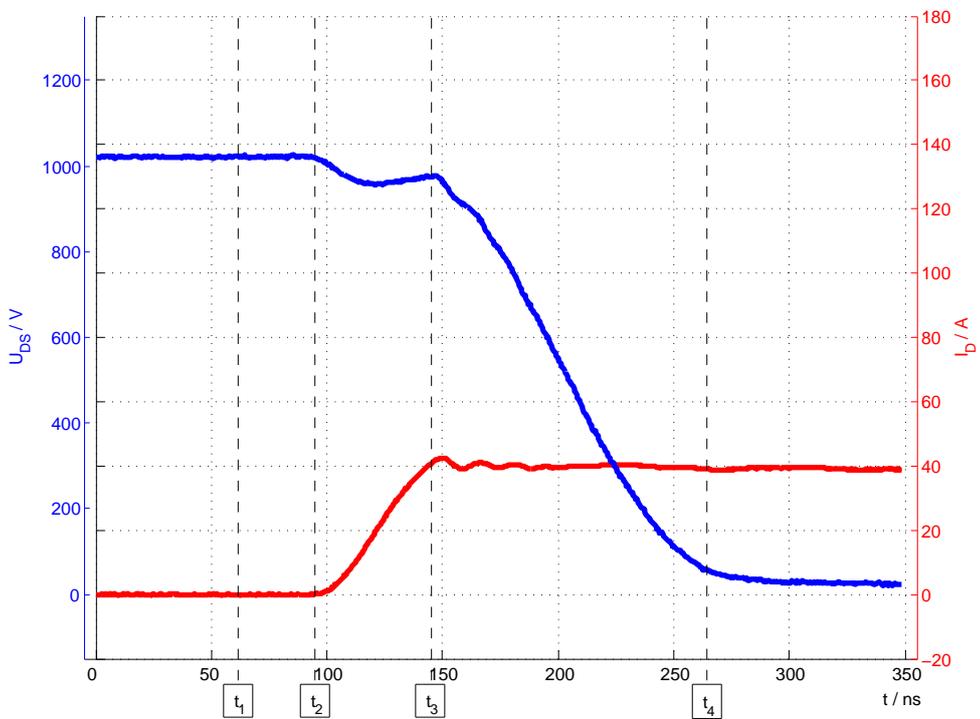
Die Streuinduktivität wirkt auf den Anstieg des Drainstroms wie in der Theorie beschrieben verzögernd. Dies ist an der langsam wachsenden Anstiegsgeschwindigkeit des Drainstroms zu erkennen. Diese Wirkung ist dem Einbruch der Drain-Source-Spannung zuzuschreiben. Durch ihn wird ein Verschiebestrom in der Gate-Drain-Kapazität verursacht. Der Stromfluss in der Gate-Drain-Kapazität verringert den Stromfluss in die Gate-Source-Kapazität und ihre Aufladegeschwindigkeit. Dies ist bei beiden Schaltvorgängen zu sehen. Beim schnelleren Schalten ist der Effekt ausgeprägter, da hier mehr Spannung abfällt.

Das Schaltbild (Abb. 3.1) ist in Hinsicht auf Last- und Aufbau bedingte Kapazität vereinfacht. Es werden nun parallel zu den Halbleitern weitere parasitäre Kapazitäten betrachtet. In diesem Fall sind sie statisch und werden durch eine konstante Anstiegsgeschwindigkeit der Spannung über ihnen mit konstantem Strom auf- oder entladen. Zum anderen beinhaltet der Halbleiter eine Sperrschichtkapazität, deren

### 3 Schaltvorgänge von SiC-JFET und MOSFET



(a) SiC-JFET / Body-Diode des SiC JFET



(b) SiC-MOSFET / SiC SBD

Abbildung 3.4.: Kurvenverlauf von  $u_{ds}$ ,  $i_D$  in Abhängigkeit der Zeit, beim Einschalten

### 3.2 Einschaltvorgang unter Einfluss parasitärer Elemente

---

Werte von der anliegenden Spannung abhängig sind. Bei einer konstanten Flankensteilheit der Spannung wird ein entsprechend zeitabhängiger Strom fließen. Bipolare Halbleiter weisen zusätzlich eine Diffusionskapazität oder Speicherladung auf. Bei einem Spannungsaufbau an einer bipolaren Diode fließt der Reverse-Recovery-Strom.

Die Verschiebestrome aufgrund der Kapazitäten des gegenüberliegenden Halbleiters beim Einschalten zeigen sich in den Versuchen beim JFET deutlich und beim MOSFET kaum. Die Messung des Drainstroms des MOSFET (Abb. 3.4 (b)) zeigt einen kleinen Verschiebestrom während der fallenden Spannung. Dies ist an dem gegenüber dem Laststrom erhöhten Mittelwert zwischen den Zeitpunkten  $t_3$  und  $t_4$  zu erkennen. Die Spitze des Einschaltstroms zum Zeitpunkt  $t_3$  ist dem Verschiebestrom in der Sperrschichtkapazität der Diode zuzuschreiben. Die verwendete Schottky-Diode hat zum Zeitpunkt  $t_3$  die kürzeste Raumladungszone und die größte Sperrschichtkapazität. Die Schottky-Diode speichert keine Ladung, somit fließt kein bipolarer Reverse Recovery Strom. In der Messung des JFET (Abb. 3.4(a)) ist ab Zeitpunkt  $t_3$  zum Laststrom zusätzlich ein kapazitiver Verschiebestrom und ein bipolarer Reverse-Recovery-Strom zu sehen. Der kapazitive und der bipolare Strom sind in etwa gleich groß. Dies ist in der Messung nicht zu erkennen, wird jedoch im Kapitel 4 beschrieben. Ab dem Zeitpunkt  $t_3$  ist die Diode sperrfähig und der FET baut seine Drain-Source-Spannung ab.

Die Flankensteilheit des Drainstroms beim JFET steigt bis zum Zeitpunkt  $t_3$  an. Der zusätzlich zu führende kapazitive Strom im Kanal und die dadurch bedingte Erhöhung der internen Gate-Source-Spannung, sowie der im Verlauf des Stromaufbaus geringere Zuwachs an interner Gate-Source-Spannung durch die exponentielle Annäherung der internen Gate-Source-Spannung an  $U_{gdu}$ , machen sich im Stromaufbau nicht bemerkbar. Dies ist auf den großen Spannungshub der Ansteuerschaltung zurückzuführen.

Beim MOSFET ist ein Rückgang der Flankensteilheit während des Stromaufbaus deutlich zu erkennen. Der MOSFET wird mit weniger Differenz zwischen  $U_{gdu}$  und Schwellspannung ( $U_{th}$ ) angesteuert.

Die Spannungsabhängigkeiten der Ausgangskapazität, insbesondere der Gate-Drain-Kapazität, hat zur Folge, dass die Anstiegsgeschwindigkeit der Drain-Source-Spannung

bei kleiner  $u_{ds}$  kleiner wird. Die Ausgangskapazität ist bei einer kleinen Drain-Source-Spannung größer, wodurch mehr Gatestrom zum Umladen benötigt wird. Es regelt sich somit ein langsamerer Abfall der Gate-Source-Spannung sowie der Drain-Source-Spannung ein. Dies ist in den Messungen um den Zeitpunkt  $t_4$  besonders beim MOSFET zu beobachten. Beim JFET ist dies nicht zu sehen. Der starke Rückgang des Diodenrückstroms zieht einen Rückgang des Kanalstroms nach sich. Bei gleichbleibender Gate-Source-Spannung stellte sich aufgrund der Kanallängenmodulation eine geringere Drain-Source-Spannung ein. Die Drain-Source-Spannung über dem JFET bricht bei zurückgehendem Kanalstrom schneller zusammen. Die sich vergrößernden Entladeströme aus  $C_{ds}$  und der Miller-Kapazität wirken dem entgegen. Der Strom durch die Miller-Kapazität wirkt dem auch durch die Gate-Source-Spannung entgegen. Wird der Strom größer als der Gatestrom, wird  $C_{gs}$  entladen, die Spannung  $U_{gs}$  sinkt und der Kanalstrom wird verkleinert. Der Drain-Source-Spannungsrückgang ist in diesem Fall schneller. Der Übergang zur Vorwärtsspannung der Diode ist hierbei weniger sanft.

Die parasitären Kapazitäten im Aufbau bilden zusammen mit der  $L_\sigma$  einen Schwingkreis. Durch Schaltvorgänge, insbesondere bei einem snapigem Reverse-Recovery, werden Oszillationen ausgelöst. Durch den ohmschen Widerstand der Halbleiter werden die Schwingungen gedämpft, jedoch können sie durch eine Rückkopplung im Halbleiter auch verstärkt werden [LMGP13]. In den Messungen (Abb. 3.4 (b)) sind rückgekoppelte Schwingungen nur in sehr gedämpftem Maß sichtbar. In Abbildung 3.4 (b) ist nach dem Zeitpunkt  $t_3$  ein steilerer Abfall der Drain-Source-Spannung sichtbar, der mit dem fallenden Strom korreliert. Nach dem vollständigen Einschalten klingt die Schwingung ab.

#### 3.2.2. Einfluss der parasitären Induktivität am Source-Anschluss

Die Induktivität am Source-Anschluss (Abb. 3.5) verursacht eine Rückkopplung auf das Schalten des Transistors. Die Rückkopplung entsteht durch die beim Schalten verursachte Änderung des Stroms am Source, die dort befindliche parasitäre Induktivität und die Präsenz dieser Induktivität im Gatekreis. Durch den Spannungsabfall an der parasitären Induktivität am Source-Anschluss wird die dynamische inter-

## 3.2 Einschaltvorgang unter Einfluss parasitärer Elemente

ne Gate-Source-Spannung beeinflusst. Wirkt der Spannungsabfall dem Aufbau der Gate-Source-Spannung entgegen, entsteht eine Gegenkopplung. Wirkt er mit, handelt es sich um eine Mitkopplung.

Dieser Effekt ist vom Transistortyp unabhängig, er zeigt sich bei MOSFET und JFET gleichermaßen. Bei der Kaskode gibt es eine zusätzliche Kopplung.

### 3.2.2.1. MOSFET

Die Rückkopplung ergibt sich durch die gemeinsame parasitäre Induktivität am Source ( $L_s$ ) (Abb. 3.5). Bei Verwendung diskreter Bauteile, die beispielsweise mit herkömmlichem 3-poligen TO-247 Gehäuse aufgebaut sind, kann sich die Rückkopplung zeigen.

Die parasitäre Induktivität am Source-Anschluss ist der Leitungsbelag der Bauteilanschlüsse. Sie setzen sich aus den Verbindungen im Inneren sowie den äußeren Anschlüssen des Gehäuses zusammen. Je nach Länge der äußeren Anschlüsse des Bauelements ist somit eine gewisse parasitäre Induktivität vorhanden. Der Anschlusspunkt der Source-Verbindung zur Ansteuerschaltung ist verantwortlich für die Gemeinsamkeit der parasitären Induktivität im Gate- und Laststromkreis. Bei Verwendung eines Hilfskontakts, der sich zusätzlich auf der Source-Bondinsel befindet und frei von Laststrom ist, kann die Kopplung ausgeschlossen werden. So genannte Kelvin-Anschlüsse oder Kelvin-Kontaktierung bzw. Hilfs-Source kommen für schnell schaltende Aufbauten infrage [SVZ<sup>+</sup>13]. Üblicherweise wird der Anschlusspunkt auf der Platine gewählt und das Bauelement mit der für die Montage auf Kühlkörpern etc. nötigen Länge eingelötet.

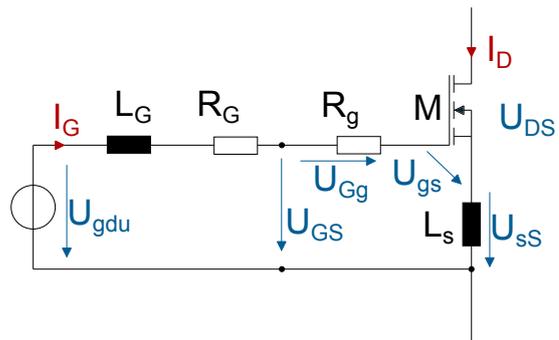


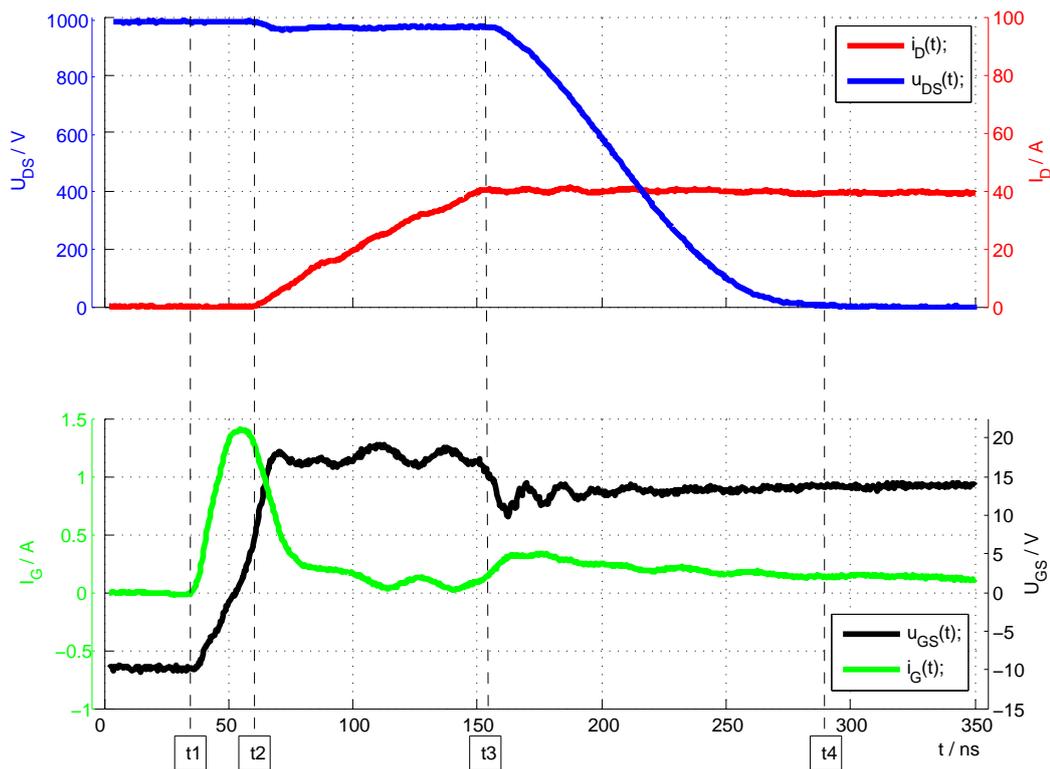
Abbildung 3.5.: Rückkopplung am MOSFET; Schaltbild

Die hierdurch entstandene Gegenkopplung führt zu Messergebnissen wie in der Ab-

### 3 Schaltvorgänge von SiC-JFET und MOSFET

Abbildung 3.6. Die Abbildung zeigt die gleiche Konfiguration wie in Abbildung 3.4 b, jedoch bei voller Anschlussdrahtlänge eingespanntem MOSFET. Die dargestellte Drain-Source-Spannung und der Drainstrom wurden wie oben erfasst. Die dynamische interne Gate-Source-Spannung ( $u_{gs}$ ) wurde an den eingezeichneten Punkten gemessen. Hier kann eine Überlagerung der Spannungsabfälle an den parasitären Elementen am MOSFET gemessen werden (Gl. 3.9). Sie ist in Schwarz (Abb. 3.6) dargestellt. Zur Verdeutlichung des Schaltablaufs ist in Grün der Gatestrom ( $I_G$ ) mit abgebildet.

$$U_{gs} = U_{GS} - U_{sS} - U_{Gg} \quad (3.9)$$



**Abbildung 3.6.:** Source-Gegenkopplung: Messung des Schaltversuchs mit vergrößerter Rückkopplung ( $u_{gs}(350ns) < U_{gdu} \rightarrow i_g(t > 350 ns) > 0$ )

Das Einschalten verläuft zunächst wie in der Theorie beschrieben. Bei  $t_1$  steigt die

### 3.2 Einschaltvorgang unter Einfluss parasitärer Elemente

---

Spannung am Ausgang der Ansteuerschaltung. Es fließt im ersten Moment ein hoher Gatestrom aufgrund des Spannungsabfalls über den Komponenten im Gatekreis. Der Gatestrom ändert sich zum Zeitpunkt  $t_1$  in den Messungen nicht sprunghaft, da die Ansteuerschaltung keinen Spannungssprung vorgeben kann. Die Spannung  $U_{gdu}$  baut sich langsamer als in der theoretischen Beschreibung auf. Der Gatestrom kann sich aufgrund der parasitären Induktivitäten am Source und am Gate nicht sprunghaft verändern. Die Induktivität  $L_G$  ist im Vergleich zu  $L_s$  kleiner.

Die Eingangskapazität des MOSFET wird aufgeladen, wodurch bei  $t_2$  die Schwellenspannung erreicht wird. Der Drainstrom beginnt bei  $t_2$  zu steigen, einhergehend mit dem induktiven Abfall der Drain-Source-Spannung.

Das Abfallen der Drain-Source-Spannung bedingt einen Verschiebestrom über die Miller-Kapazität, hierdurch fließt nicht mehr der gesamte dargestellte Gatestrom in die Kapazität  $C_{gs}$ . Das Aufladen verlangsamt sich und der Stromanstieg regelt sich auf einen konstanten Wert ein, entsprechend der Theorie in Abschnitt 3.1.1.

Es zeigt sich ein schneller Anstieg der Spannung  $u_{GS}$  kurz nach  $t_2$ . Dieser ist auf den Spannungsabfall  $u_{sS}$  zurückzuführen. Die gemessene Spannung erreicht einen Spitzenwert, der höher als die maximale Spannung der Ansteuerschaltung ist ( $U_{gdu} = 15$  V). Aufgrund der externen parasitären Induktivität am Gate ( $L_G$ ) und dem fallenden Gatestrom, kann die dynamische Gate-Source-Spannung ( $u_{GS}$ ) größer als  $U_{gdu}$  sein; es fließt weiterhin ein positiver Gatestrom. Der Anstieg von  $U_{gs}$  verringert den Gatestrom zusätzlich, wie in Abbildung 3.6 zu sehen ist.

Die Anstiegsgeschwindigkeit des Drainstroms wird durch die hohe positive Spannung  $U_{sS}$  deutlich kleiner. Sie hat sich im Vergleich zu Abbildung 3.4 (b) halbiert. Der Gatestrom wird zwischen  $t_2$  und  $t_3$  stetig kleiner. Durch Oszillationen wird der Gatestrom teilweise zu null. Dies ist auch im Drain-Source-Spannungsabfall zu erkennen. Der Spannungsabfall geht mit Abklingen des Gatestroms und der Zeitkonstante aus  $L_G \cdot R_G$  zurück.

Die Rückkopplung bewirkt eine deutliche Verlangsamung des Stromanstieges. Dies wird im Vergleich mit Abbildung 3.4 sichtbar. Der Gatestrom wird wieder größer, sobald der Transistor den maximalen Strom erreicht hat. Durch den Anstieg des Gatestroms fällt die Spannung  $u_{GS}$ , da an der Induktivität  $L_G$  eine Spannung abfällt.

Die gemessene dynamische Gate-Source-Spannung entspricht nicht der dynamischen internen Gate-Source-Spannung, da der Widerstand  $R_G$  deutlich kleiner als der interne Gatewiderstand ( $R_g$ ) ist. Da kaum Spannung an  $L_s$  abfällt, ist die Spannung  $u_{GS}$  zu  $u_{gs}$  proportional. Es ist zu erkennen, dass die  $u_{GS}$  während der Phase des Miller-Plateaus noch deutlich erhöht werden muss. Dies ist auf die geringe abnehmende Transkonduktanz zurückzuführen.

Das Miller-Plateau geht um den Zeitpunkt  $t_4$  zu Ende. Nach dieser Phase wird die Kapazität  $C_{gs}$  bis zur Spannung  $U_{gdu}$  aufgeladen. Dies dauert über den aufgezeichneten Zeitbereich an.

#### 3.2.2.2. Direct Driven JFET

Die Rückkopplungen, die in diesem Abschnitt gezeigt werden, sind mit dem „Direkt Driven JFET“ [DKM11] gemessen. Es handelt sich hierbei um das in den Grundlagen beschriebene Modul, das im Prinzip eine Kaskode ist. Die Kaskode wird beim normalen Schalten nicht genutzt, es können somit die Schaltvorgänge des JFET beobachtet werden.

Der bereits beschriebene Aufbau beinhaltet zu den bisher gezeigten Halbleitern zusätzliche parasitäre Elemente. Die für die folgende Beschreibung benötigten modulinternen und externen parasitären Elemente sind in der Abbildung 3.7 aufgezeigt. Der untere Teil des Moduls, wie er auch in der Messung verwendet wird, ist in der Zeichnung mit einer nach oben geöffneten Strichlinie markiert. Durch den Aufbau bedingt haben die Verbindungen der Halbleiter untereinander und nach außen je einen Induktivitätsbelag.

Diese sind als interne parasitäre Induktivität am Gate ( $L_g$ ) des JFET,  $L_s$  und parasitäre Induktivität am Drain ( $L_d$ ) und den Buchstaben (J) für JFET und (M) für MOSFET gekennzeichnet. Die parasitäre Induktivität des gemeinsamen Source-Anschlusses ( $L_{CS}$ ) wird im Normalfall zu  $L_g$  addiert. Des Weiteren ist der  $R_g$  des JFET dargestellt. Das Modul ist mit der für die Erklärung der Rückkopplung nötigen Außenbeschaltung der parasitären Induktivität der Brücke ( $L_{Br}$ ) dargestellt. Die Spannungsquellen repräsentieren die Ansteuerschaltungen mit ihrem komplexen Innenwiderstand.

Der Standardaufbau des Moduls weist durch die parasitären Induktivitäten eine

### 3.2 Einschaltvorgang unter Einfluss parasitärer Elemente

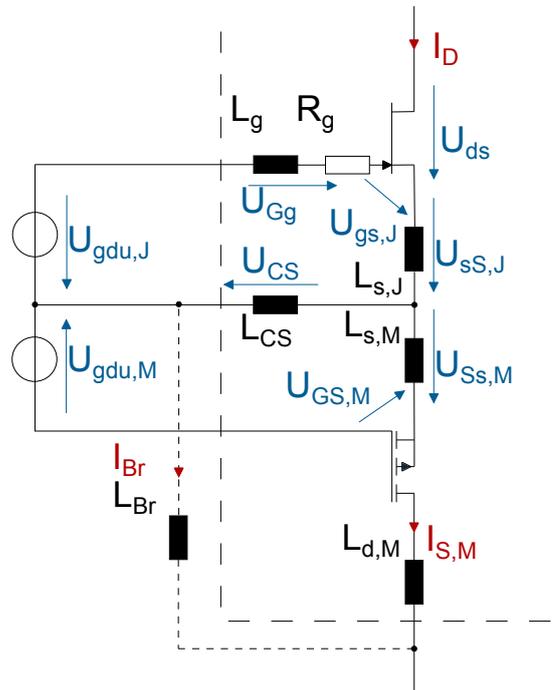


Abbildung 3.7.: Source-Gegenkopplung: Auszug – Schaltbild/Ersatzschaltbild

Rückkopplung auf. Die Rückkopplung am JFET macht sich prinzipiell in gleicher Weise wie im Abschnitt 3.2.2.1 bemerkbar. Um die Auswirkung der Rückkopplung am JFET zu verdeutlichen, wurde die Rückkopplung verstärkt. Dies geschieht mit Hilfe des wahlweise zugeschalteten Strompfads über parasitäre Induktivität der Brücke ( $L_{Br}$ ). Die Rückkopplung vergrößert sich bei der Aufteilung des Laststroms in die parallelen Zweige ( $L_{Br}$ , PMOS), da der Strom durch  $L_{Br}$  auch durch  $L_{CS}$  fließt. Somit wird  $L_{CS}$  zu einer gemeinsamen parasitären Induktivität im Gate- und Lastkreis, ähnlich wie  $L_{s,J}$ .

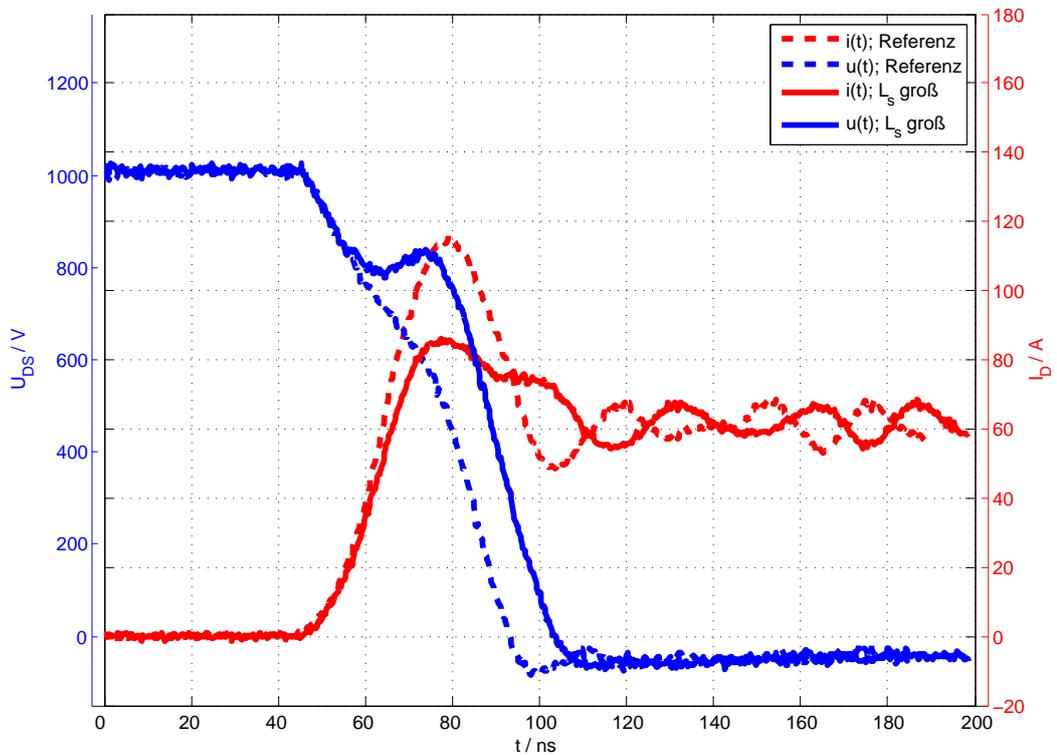
Der für die Funktion der Kaskode nötige PMOS erfährt ebenfalls eine Beeinflussung über seine gemeinsame parasitäre Induktivität am Source. Der PMOS reagiert in gleicher Weise wie der JFET, er wird jedoch nicht aktiv geschaltet. Bei genügend schnellem Stromanstieg kann der Halbleiter durch die Gegenkopplung über  $L_{s,M}$  gesperrt werden. Bei Vergrößerung der Rückkopplung am JFET wird die Beeinflussung am PMOS kompensiert (Gl. 3.10), da der Spannungsabfall  $U_{Ss,M}$  entgegengesetzt

### 3 Schaltvorgänge von SiC-JFET und MOSFET

zu  $U_{CS}$  ist.

$$U_{gs,M} = U_{gdu,M} + U_{sS,M} - U_{CS} \quad (3.10)$$

Die Beeinflussung des PMOS beim Schalten des Direct Driven JFET ist in den Messungen (Abb. 3.8) nicht nachweisbar. Die Drain-Source-Spannung des PMOS verhält sich in diesem Fall wie eine Induktivität und ist von den parasitären Induktivitäten nicht unterscheidbar. Eine erhöhte Drain-Source-Spannung des PMOS würde den JFET entlasten, jedoch an seinem Schaltverhalten ohne Strompfad  $L_{Br}$  nichts ändern. Mit dem Strompfad  $L_{Br}$  ist die Beeinflussung teils kompensiert.



**Abbildung 3.8.:** Source-Gegenkopplung: Messung des Schaltversuchs mit vergrößertem  $L_s$  / Referenzmessung (Abb. 3.4(a))

Die Rückkopplung auf den JFET beeinflusst das Schaltverhalten, wie am Vergleich (Abb. 3.8) der Referenzmessung mit der Messung mit vergrößertem  $L_s$  zu sehen ist. Die beiden dargestellten Schaltvorgänge starten zunächst identisch. Der Strom baut sich bis zu einer Höhe von ca. einem Drittel des Laststroms mit der gleichen

### 3.2 Einschaltvorgang unter Einfluss parasitärer Elemente

---

Steigung auf. Ab diesem Punkt flacht die Anstiegsgeschwindigkeit des Stroms mit vergrößerter Rückkopplung ab, bzw. bleibt konstant. Dies zeigt sich ebenfalls deutlich in den induktiven Spannungsabfällen.

Kurz nach Erreichen des Laststroms kann die Diode Sperrspannung aufnehmen, sobald der JFET Spannung abgibt. Am Punkt des maximalen Stroms ist der induktive Spannungsabfall null. Hier ist der reine Spannungsabfall an der Diode erkennbar, er ist ohne Gegenkopplung ca. doppelt so groß. Die Ansteuerschaltung kann aufgrund des fallenden Drainstroms den JFET mit Mitkopplung einschalten, wodurch die Spannung rasant fällt. Durch die Gegenkopplungen der Miller-Kapazität sinkt die Flankensteilheit der Drain-Source-Spannung in der Praxis nicht nachweisbar.

Der zu Beginn verlangsamte Spannungsabbau des JFET führt zu einer Beeinflussung des Reverse Recovery-Verhaltens der Diode. Durch die kleinere Spannung an der Diode zu Beginn wird die Speicherladung zu einem späteren Zeitpunkt ausgeräumt. Der dynamische Rückwärtsstrom der Diode verläuft nach seinem kleineren Maximum deutlich flacher unter dem Einfluss der Rückkopplung. Es werden in beiden Schaltvorgängen identische Ladungen aus der Diode extrahiert. Mit Gegenkopplung wird ein weicherer Verlauf des dynamischen Rückwärtsstroms erzeugt.

#### 3.2.2.3. Direct Driven JFET-Kaskode

Die Beeinflussung durch eine parasitäre Induktivität am Source unterscheidet sich rein quantitativ in den verschiedenen Kaskodentypen beim Einschalten. Jeder Halbleiter bekommt durch eine gemeinsame Induktivität im Last- und Ansteuerstromkreis eine Rückkopplung auf sein Schaltverhalten.

Der Direct Driven JFET oder auch „Cascode Light“-Aufbau [DZ10] benötigt den Strompfad über die Diode D (Abb. 3.9) für seine Funktion. Wird er abgekoppelt, sodass er seine Funktion beibehält, das Schalten aber nicht beeinflusst, ergibt sich ein Verhalten wie für einen einzelnen JFET. Dies kann über die Bauelemente  $R_D$ ,  $L_D$  geschehen. Es ist ein genügend großer Widerstand in der monolithisch integrierten Ansteuerschaltung [NLD12] vorgesehen. Sind diese Komponenten jedoch klein genug, wird das Schaltverhalten durch den Spannungsabfall  $U_L$  beeinflusst (Gl. 3.11). Bei positiven Werten für  $U_{Dio}$  fließt Strom durch die Diode D. Der Stromfluss teilt sich auf die Ansteuerschaltung und das Gate des JFET auf, welches entladen wird.

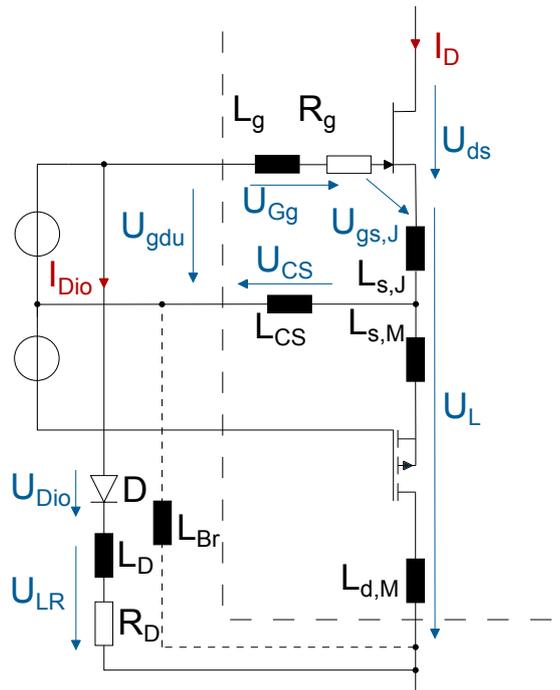


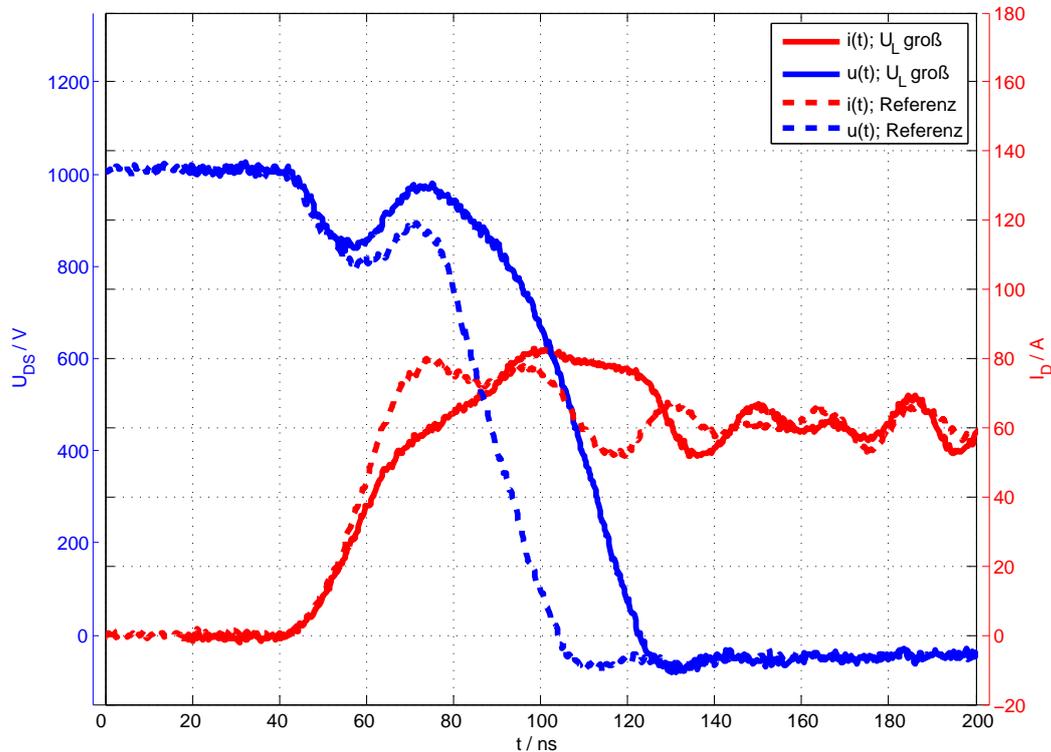
Abbildung 3.9.: Auszug – Schaltbild/Ersatzschaltbild

$$U_{Dio} = U_L + U_{Gg} + U_{gs,J} - U_{LR} \quad (3.11)$$

Der konstruktive Unterschied zwischen einer klassischen Kaskode und der Cascode Light ist die Diode D und die zusätzliche Ansteuerschaltung des JFET. Bei einer klassischen Kaskode fällt die Ansteuerschaltung für den JFET und die Diode D (Abb. 3.9) weg. Beim Einschalten soll der Spannungsabfall über dem MOSFET in beiden Kaskoden möglichst klein sein. Die Ansteuerschaltung des JFET in der Cascode Light wird beim Einschalten auf  $U_{gdu} = 0 \text{ V}$  gesetzt. Hierdurch wird die Diode D nicht mehr negativ vorgespannt. Dies führt dazu, dass die Diode auf kleine induktive Spannungsabfälle während des steigenden Stroms reagiert. Wird die Flussspannung der Diode D vernachlässigt, reagieren Cascode Light und die klassische Kaskode bei gleicher Dimensionierung von  $R_D$ ,  $L_D$  beim Einschalten auf den Spannungsabfall  $U_L$  nahezu identisch.

Die Messung (Abb. 3.10) zeigt einen Vergleich der Einschaltvorgänge der Cascode Light mit sehr kleiner  $R_D$ ,  $L_D$  Kombination unter Beeinflussung bei normalem und

### 3.2 Einschaltvorgang unter Einfluss parasitärer Elemente



**Abbildung 3.10.:** Messung der Schaltversuche bei sehr kleinem  $R_D$ ,  $L_D$ :  
Auswirkung der unkompenzierten parasitären Induktivitäten ( $U_L$  groß) / Direkt Driven JFET mit erhöhter Source-Induktivität (Referenz)  $L_{Br}$

verkleinertem Spannungsabfall  $U_L$ .

Die Veränderung der rückkoppelnden Induktivität wird wieder durch das Hinzufügen von  $L_{Br}$  verursacht. Das Hinzufügen von  $L_{Br}$  verursacht einerseits eine Erhöhung der rückkoppelnden Induktivität im direkten Ansteuerzweig des JFET, da durch  $L_{CS}$  ein Teil des Laststroms fließt. Andererseits reduziert es den Spannungsabfall  $U_L$ . Dies geschieht durch die Aufteilung des Laststroms in die parallelen Strompfade  $L_{Br}$  und  $L_{s,M}$  und durch die Kompensation des Zusteuermechanismus des PMOS. Durch die Verringerung des Spannungsabfalls  $U_L$  wird die Rückkopplung so klein, dass sich ein nahezu identisches Einschaltverhalten wie beim Direct Driven JFET mit erhöhter Source-Induktivität (Abb. 3.8) ergibt. Das gemessene Einschalten ist in der Abbildung 3.10 als Referenz dargestellt.

Die Cascode Light in der Konfiguration mit sehr kleinem  $R_D$ ,  $L_D$  oder eine klassi-

sche Kaskode zeigen bei großer Streuinduktivität im Aufbau ( $L_{s,M}$ ,  $L_{s,J}$ ,  $L_{d,M}$ ) ein Einschaltverhalten wie in der Abbildung 3.10 „ $U_L$  groß“.

Der Stromaufbau wird noch mehr verlangsamt. Der induktive Spannungsabfall und die Flankensteilheit des Drainstroms des JFET sind gering, da im Bereich des Stromaufbaus der Eingriff durch  $I_{Dio}$  besonders hoch ist. In dieser Phase liegt keine hohe Vorspannung in Sperrrichtung an der Diode mehr an, es ist aber eine induktive Spannung vorhanden. Der Stromanstieg flacht durch den Effekt ab, ebenso der induktive Spannungsabbau im ersten Moment. Es entsteht eine Verzögerung des Einschaltens um ein Viertel der Gesamtlänge, da die Drain-Source-Spannung des JFET höher ist. Die Kapazitäten  $C_{ds}$  und  $C_{gd}$  müssen länger entladen werden.

#### 3.2.3. Einfluss der parasitären Induktivität am Gate-Anschluss

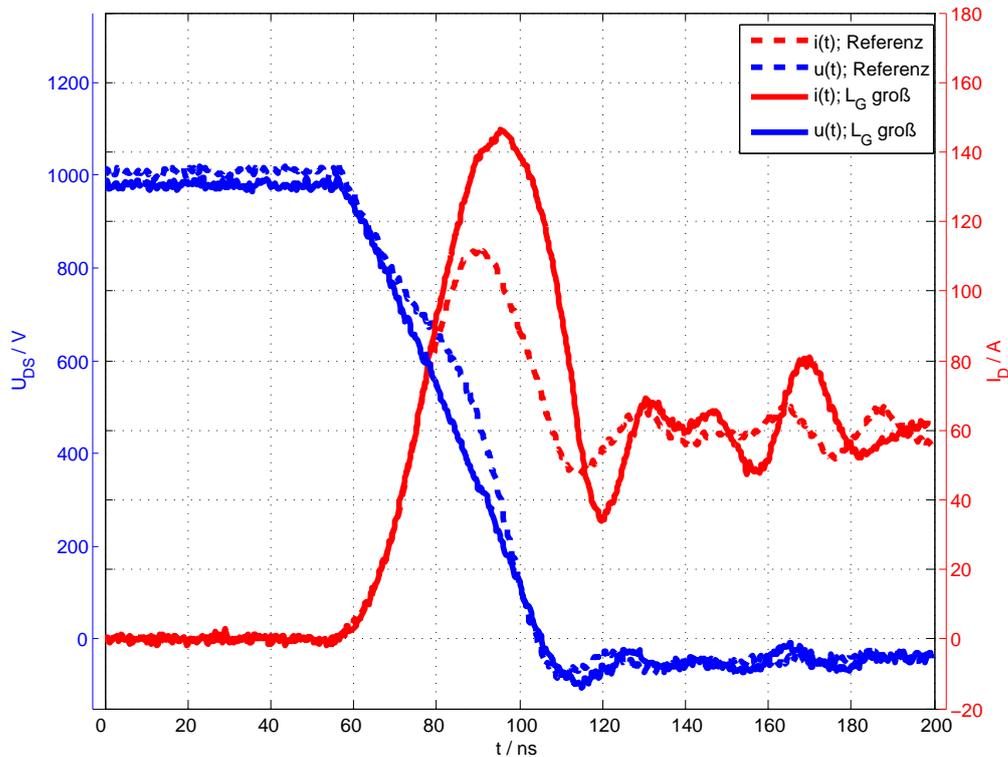
Die Induktivität am Gate-Anschluss  $L_g$  wie beispielsweise am MOSFET (Abb. 3.5) oder  $L_g$  beim JFET (Abb. 3.7) ist eine Zusammenfassung der induktiven Leitungsbeläge von der Spannungsquelle der Ansteuerschaltung zur Gate-Bondinsel und vom Abzweig des Source-Anschlusses zurück. Die gemeinsame parasitäre Induktivität des Ansteuer- und Laststromkreises zwischen Source-Bondinsel und der Anschlussstelle der Ansteuerschaltung zählt nicht zu dieser Induktivität.

Die Induktivität im Ansteuerkreis transformiert die Spannungsquelle  $U_{gdu}$  zu einer Stromquelle. Beim Einschalten muss der Gatestrom zunächst aufgebaut werden. Die Aufbauphase liegt vor dem eigentlichen Schaltvorgang und vor Erreichen der Schwellspannung. Der Stromaufbau wird durch die Zeitkonstante der R-L-C-Kombination bestimmt. Der Hauptteil des Widerstandes bei Konfigurationen ohne externen Gatewiderstand ist der interne Widerstand des Gates. Die Eingangskapazität besteht zu Beginn zum größten Teil aus der Kapazität  $C_{gs}$ . Die Induktivität im Ansteuerkreis besteht während dieser Phase aus  $L_g$  und  $L_s$ . Die Induktivität  $L_g$  ist gegenüber  $L_s$  größer.

Der Schaltvorgang erfährt bis zum Erreichen der Schwellspannung keine weitere Änderung durch ein größeres  $L_g$ , außer der Verlängerung der Einschaltverzögerungszeit. Es handelt sich hierbei um Induktivitäten im nH Bereich. Sie ergeben zusammen mit einem Gate-Widerstand Zeitkonstanten im ns Bereich. Wenige ns Variation in der Reaktionszeit können den Schaltvorgang (50 ns) wesentlich beeinflussen. Der

### 3.2 Einschaltvorgang unter Einfluss parasitärer Elemente

Gatestrom wird durch die Zeitkonstante geglättet bzw. unempfindlicher gegen Rückkopplungen.



**Abbildung 3.11.:** Erhöhte Gate-Induktivität: Messung des JFET Einschalten / Referenzmessung

Die Abbildung 3.11 zeigt die Referenzkurve. Sie stellt das Direct Driven JFET Einschaltverhalten ohne Beeinflussungen durch erhöhte parasitäre Induktivitäten dar. Die Referenzkurve ist als Punktlinie abgebildet. Es ist eine weitere Messung mit erhöhter parasitärer Induktivität im Ansteuerstromkreis dargestellt.

Der Vergleich der beiden Kurven zeigt einen deutlichen Unterschied im Spannungsabbau der Drain-Source-Spannung. Der Stromaufbau ist bis weit nach Erreichen des Laststroms identisch. Kurz nach Erreichen des Laststroms kann die Diode Sperrspannung aufnehmen und der JFET abbauen. Im Zeitbereich kurz nach Erreichen des Laststroms zeigt sich, dass beim Einschaltvorgang mit höherer parasitärer Induktivität im Gatekreis die Drain-Source-Spannung schneller abgebaut wird.

Die Spannungsreserve der parasitären Induktivität am Gate kann die Spannung der

gegenkoppelnden Induktivität teilweise ausgleichen.

Die fehlende Wirkung der Gegenkopplung bzw. die träge Reaktion auf eine Spannungsänderung am Gate des JFET, der als Diode benutzt wird, verursachen einen größeren Rückwärtsstrom der Body-Diode. Beim Reverse Recovery bzw. Einschalten spielt das Produkt von Strom durch den Halbleiter und der Spannungsabfall über ihm eine übergeordnete Rolle ([Lut06] s.128 f.). Da der JFET mit großem  $L_g$  wesentlich schneller Spannung abbaut, ist der höhere Strom unkritisch für die Verlustbilanz des JFET. Durch geeignete schaltungstechnische Maßnahmen ist es möglich, den dynamischen Rückwärtsstrom zu begrenzen.

### 3.3. Ausschaltvorgang unter Einfluss parasitärer Elemente

Die Beleuchtung der Ausschaltvorgänge in diesem Abschnitt erfolgt unter den gleichen Bedingungen wie Einschaltvorgänge in Abschnitt 3.2. Hierzu zählen die Ergänzungen der Schaltbilder und die Auswahl der Halbleiterkombinationen. Das Ausschalten wird in derselben Messung des Doppelpulsexperimentes erfasst wie das Einschalten. Das Ausschalten wird am Ende des ersten Pulses gemessen.

#### 3.3.1. Einfluss der parasitären Induktivität am Drain-Anschluss und parasitärer Kapazitäten

Die folgende Passage zeigt und diskutiert zwei Messungen im Abschaltmoment am MOSFET und JFET. Die Anordnung des Versuches am MOSFET entspricht der in Abbildung 3.5. Die parasitären Elemente sowie  $R_G$  sind minimal, wobei externe parasitäre Induktivität am Gate ( $L_G$ )  $>$   $L_s$  ist. Dies kommt aufgrund des Verhältnisses der Drahtlängen für die Strommessung und der Anschlussposition der Ansteuerschaltung zustande. Der Versuch mit dem JFET entspricht der Abbildung 3.7 ohne Source-Gegenkopplung. Die Ansteuerschaltung weist besonders kleine parasitäre Elemente auf. Dies führt zu einem sehr schnellen Schalten. Die Gatespannung ist nicht mit abgebildet, da sie im ersten Moment nur das Verhalten der Ansteuerschaltung wiedergibt und im weiteren Verlauf während der schnellen Kommutierung stark gestört wird.

### 3.3 Ausschaltvorgang unter Einfluss parasitärer Elemente

---

Der Ausschaltvorgang verläuft zunächst wie in der Theorie beschrieben. Die über den Kanal parallel geschalteten Kapazitäten  $C_{gd}$  und  $C_{gs}$  werden durch die negative Spannung der Ansteuerschaltung entladen. Der Zeitpunkt  $t_1$  liegt beim JFET in etwa zu Beginn des dargestellten Bereichs.

Die interne Gate-Source-Spannung hat sich bis zum Zeitpunkt  $t_2$  auf einen Spannungswert unter  $U_{gs}(I_K)$  abgesenkt, wodurch der Kanalstrom reduziert wird. Die Drain-Source-Spannung beginnt zu steigen, da ein Teil des Drainstroms nun in die Miller-Kapazität und in  $C_{ds}$  fließt und diese auflädt. Die Miller-Kapazität sinkt in ihrem Wert mit dem Anstieg des Spannungsabfalls über ihr. Dies führt zu einer Steigerung der Anstiegsgeschwindigkeit der Drain-Source-Spannung unter der Annahme eines konstanten Ladestroms. Dies ist nahe des Zeitpunkts  $t_2$  in den Messungen (Abb. 3.12) zu erkennen.

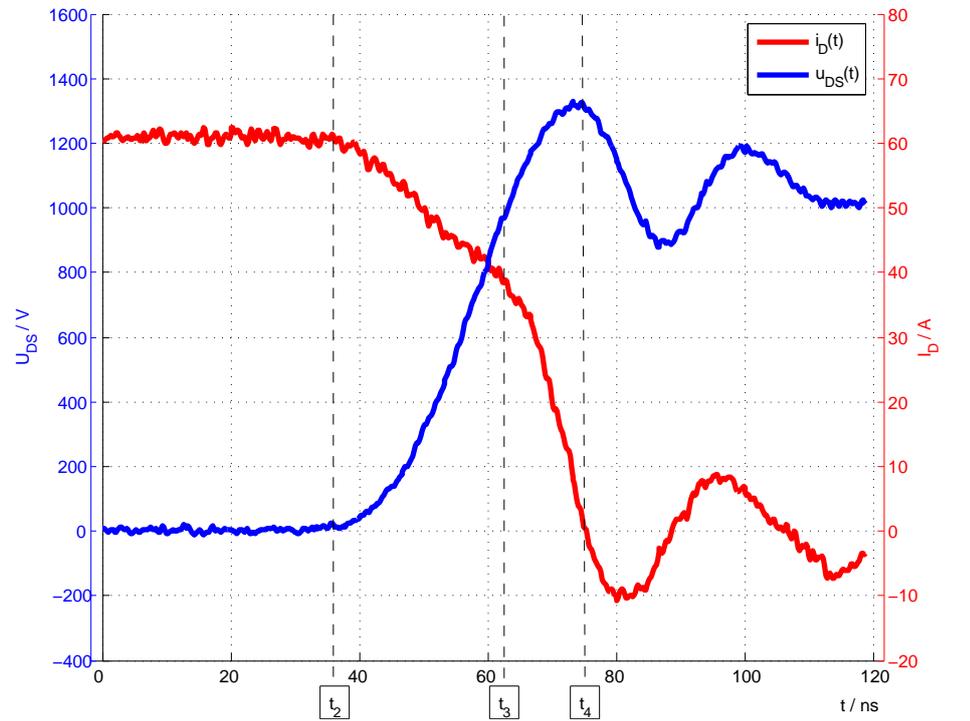
Die Anstiegsgeschwindigkeit der Drain-Source-Spannung steigt nach einer kurzen Zeit kaum weiter, da sich die Miller-Kapazität bei kleinen Spannungen deutlich und bei großen Spannungen wenig bei einem Spannungsanstieg über ihr ändert. Durch das Sinken der Gatespannung zu Beginn des Miller-Plateaus (Abb. 3.12 b) und den kleiner werdenden Gatestrom steigt die Flankensteilheit nicht.

Durch den Anstieg der Drain-Source-Spannung fällt die Spannung über der Last bzw. über dem oberen Halbleiter. Damit wird die parallele, parasitäre, nichtlineare Kapazität dieses Kreises entladen. Der Drainstrom sinkt, je weiter die Spannung steigt, da sich die Kapazität des oberen Halbleiters vergrößert. Dieser Vorgang dauert bis zum Zeitpunkt  $t_3$  an. Durch den sinkenden Drainstrom und das Aufladen der Ausgangskapazität ( $C_{oss}$ ) des Halbleiters wird der Kanalstrom reduziert. Das Abschalten kann vom gesteuerten in den ungesteuerten Fall wechseln [Sch06]. Dies ist in den Messungen nicht gegeben.

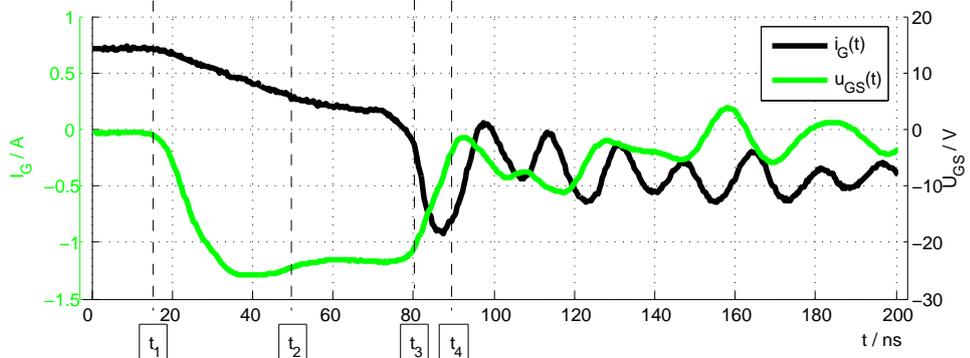
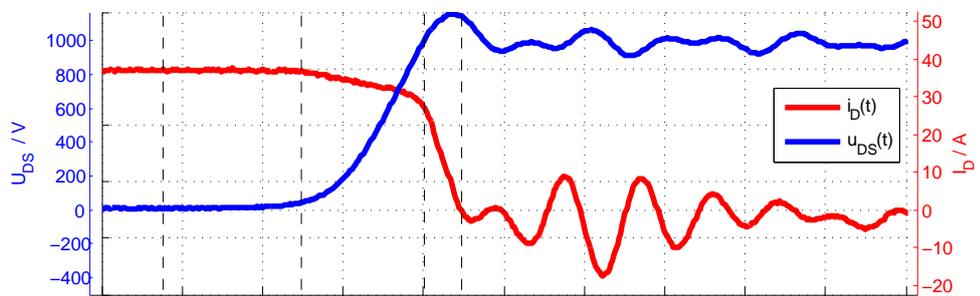
Durch eine große Ausgangskapazität der Halbleiter, in diesem Fall des gegenüberliegenden Halbleiters, verschiebt sich die Grenze des ungesteuerten Abschaltens über die in der Theorie beschriebene hinaus. Da der Drainstrom durch das Umladen der Ausgangskapazität des gegenüberliegenden Halbleiters verkeinert wird, kann bei größeren Lastströmen ungesteuertes Abschalten auftreten.

Der Zeitpunkt  $t_3$  liegt klassisch im Schnittpunkt der Drain-Source-Spannung mit

### 3 Schaltvorgänge von SiC-JFET und MOSFET



(a) des SiC-JFET / Body-Diode



(b) SiC-MOSFET / SiC SBD

Abbildung 3.12.: Kurvenverlauf von  $U_{ds}$ ,  $I_D$  Ausschalten

### 3.3 Ausschaltvorgang unter Einfluss parasitärer Elemente

---

der Zwischenkreisspannung. Die Diode übernimmt jedoch zu diesem Zeitpunkt noch nicht den Laststrom. Der Rückgang des Drainstroms verursacht einen Spannungsabfall an der Streuinduktivität des Kommutierungskreises. Der Spannungsabfall muss auf die Zwischenkreisspannung addiert werden. Die Spannung am Transistor muss bis zu dieser Spannung steigen, ehe die Sperrspannung an der Diode abgebaut ist und sie leitet. Die Flussspannung der Diode muss zusätzlich beachtet werden. Sie steigt bei SiC-Bauelementen nicht wesentlich über die Diffusionsspannung.

Ein Vergleich zwischen JFET und MOSFET (Abb. 3.12a, b) zeigt eine Differenz in den Kurven zum Zeitpunkt  $t_3$ . Er liegt jeweils im Schnittpunkt der Drain-Source-Spannung mit der Zwischenkreisspannung. Beim JFET liegt der Knick des Drainstroms hinter  $t_3$ . Dies ist mit dem größeren Spannungsabfall an der Streuinduktivität aufgrund der Flankensteilheit des Drainstroms zum Zeitpunkt  $t_3$  begründet.

Da die Diode den Laststrom übernimmt, kommt es zu einer schnellen Kommutierung und hohen Überspannung. Die Überspannung ist von der Ausgangskapazität des Halbleiters und der parasitären Induktivität des Kommutierungskreises abhängig und kann durch Gleichung 3.12 ausgedrückt werden [Sch12]. Sie entsteht mit Hilfe der Energieinhalte der beiden Speicher.

$$\hat{u}_{ds} = U_{zk} + \sqrt{\frac{L_\sigma}{C_{oss}}} \cdot i_d \quad (3.12)$$

Die Kommutierung läuft mit definierten Geschwindigkeiten ab. Im ungesteuerten Fall lässt sich aus der Höhe der induzierten Spannung (Gl. 3.12) mit Hilfe des Induktionsgesetzes die Änderung des Flusses bzw. die Kommutierungsgeschwindigkeit ( $di_D/dt$ ) ermitteln. (Gl. 3.13)

$$\frac{di_D}{dt} = \sqrt{\frac{1}{L_\sigma \cdot C_{oss}}} \cdot i_d \quad (3.13)$$

Im gesteuerten Fall kommutiert der Drainstrom aus der Ausgangskapazität und den Kanalstrom. Der Strom aus der Ausgangskapazität kommutiert wie beim ungesteuerten Abschalten. Der Kanalstrom wird durch das exponentielle Annähern der  $u_{gs}$  an die  $U_{gdu}$  reduziert, wodurch der Kanal weiter abschnürt und der Strom

zurückgeht. Diese Reduktion ist langsamer als das Kommutieren des Stroms der Ausgangskapazität. Beide Ströme werden addiert und ergeben den Drainstrom und seinen typischen Rückgang wie in Abbildung (Abb. 3.12). Dies kann dazu führen, dass der Drainstrom durch null geht, obwohl der Kanal noch einen Reststrom leitet. Die Überspannung und die Kommutierung ist in den Messungen (Abb. 3.12) vor dem Zeitpunkt  $t_4$  zu sehen. Nach dem vollständigen Abschalten können aufgrund der parasitären Kapazitäten und der Streuinduktivität noch abklingende Schwingungen auftreten, die durch den Schaltvorgang angeregt wurden.

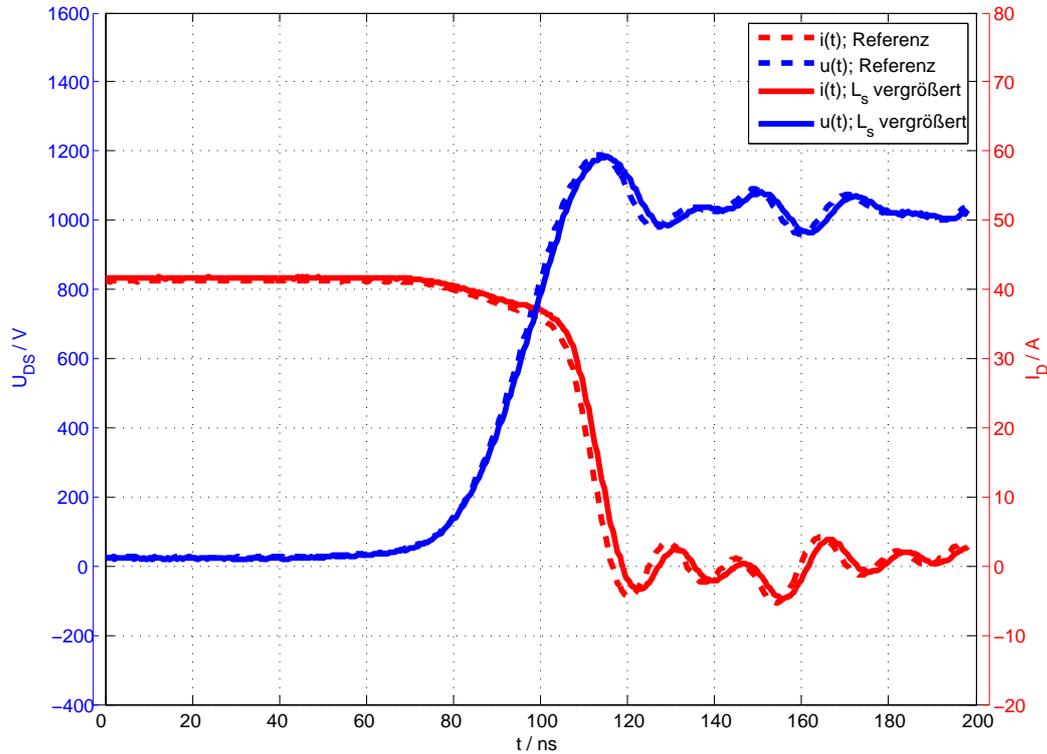
#### 3.3.2. Einfluss der parasitären Induktivität am Source-Anschluss

Die Beeinflussung des Ausschaltens durch die parasitäre gemeinsame Induktivität im Laststromkreis und im Ansteuerstromkreis, also am Source des Transistors, ist Gegenstand dieses Abschnitts. Der MOSFET und der Direct Driven JFET reagieren qualitativ identisch auf eine Veränderung dieser Induktivität. Die Auswirkungen auf eine klassische Kaskode können bei der Konfiguration des Direct Driven JFET nur eingeschränkt nachgewiesen werden. Die in Abbildung 3.9 gezeigte Diode  $D$  wird beim Ausschalten vorgespannt und durch den fallenden Strom mit einer zusätzlichen Spannung in Sperrrichtung belastet. Diese verursacht keinen direkten Stromfluss durch die Diode, lediglich einen Verschiebestrom aufgrund ihrer Sperrschichtkapazität.

Der PMOS Transistor des Direct Driven JFET wird beim Ausschalten durch den fallenden Strom, in umgekehrter Analogie zum Einschalten, aufgesteuert. Mit der Verwendung des Strompfades über  $L_{Br}$  wird dieser Effekt nicht kompensiert, jedoch eine Rückkopplung beim Schalten des JFET hergestellt. Somit wird das JFET Schaltverhalten unter Beeinflussung der parasitären Induktivität am Source-Anschluss in der Direct Driven JFET Anordnung sichtbar, auch wenn  $L_D$  und  $R_D$  klein sind.

Die Abbildung 3.13 zeigt die Veränderung des Schaltverhaltens eines MOSFET unter Einfluss der gemeinsamen parasitären Induktivität am Source-Anschluss. Die parasitäre Induktivität des Kommutierungskreises wurde nicht verändert. Es ist zu sehen, dass sich das Ausschalten leicht verzögert.

### 3.3 Ausschaltvorgang unter Einfluss parasitärer Elemente



**Abbildung 3.13.:** Ausschaltvorgang des MOSFET mit vergrößerter / minimaler parasitärer Induktivität am Source, ohne Veränderung weiterer parasitärer Induktivitäten

Aus der Gleichung 3.9 geht hervor, dass eine negative Spannung an der Source-Induktivität die Gate-Source-Spannung am Transistor wieder anhebt. Der reduzierte Spannungsabfall über  $R_g$  hat einen verringerten Stromfluss zur Folge und zögert den Abschaltvorgang hinaus. Dies ist unabhängig vom Kanalstrom gültig, da nur der Stromfluss durch  $R_g$  die Eingangskapazität auflädt. Der Spannungsanstieg flacht ab, wodurch auch der fallende Drainstrom in diesem Bereich abflacht.

Nach Erreichen der Zwischenkreisspannung sinkt der Einfluss durch einen Spannungsabfall an der Source-Induktivität, da der Gatestrom nun in die Gate-Source-Kapazität fließt. Bei der gezeigten Messung wird mit negativer Gate-Source-Spannung abgeschaltet. Es bildet sich ein hoher Spannungsabfall über dem Gatewiderstand. Dies verringert den Effekt der Rückkopplung. Bei weiterer Vergrößerung der parasitären Induktivität kann der Transistor wieder aufgesteuert werden.

### 3.3.3. Einfluss der parasitären Induktivität am Gate-Anschluss

Die parasitäre Induktivität am Gate-Anschluss ist die Zusammenfassung aus den parasitären Induktivitäten, die vom Gatestrom durchflossen werden. Durch die parasitären Widerstände und Induktivitäten bildet sich eine Zeitkonstante, mit der sich der maximale Gatestrom aufbaut. Wenn die Zeitkonstante eine vergleichbare Länge mit der Zeitkonstante der Kombination aus den parasitären Widerständen und Kapazitäten am Gate hat, ändert sich der Ausschaltvorgang wie in Abbildung 3.14 gezeigt. Das Verhalten der Ansteuerschaltung verändert sich von der reinen Spannungsquelle in Richtung Stromquelle.

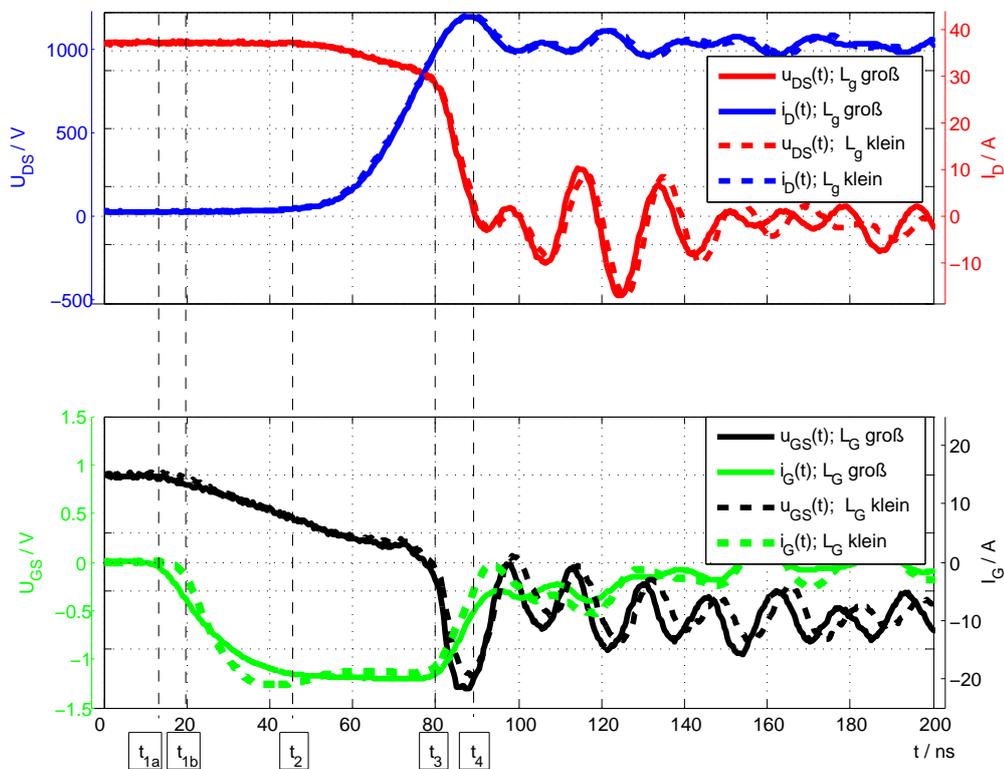


Abbildung 3.14.: Ausschaltvorgang des MOSFET mit vergrößerter / minimaler parasitärer Induktivität im Ansteuerstromkreis

Die Auswirkungen auf die Strom- und Spannungsverläufe am Transistor sind erst messbar, sobald die interne Gate-Source-Spannung den Wert  $U_{gs}(I_K)$  unterschreitet. Es kommt zu einer Erhöhung der Ausschaltverzögerungszeit. Während dieser Phase wird ein Gatestrom aufgebaut. Bei Erreichen des Zeitpunkt  $t_3$ , der den Beginn des

### 3.4 Schaltverluste

---

Miller-Plateau markiert, sind die Gateströme gleich hoch. Der Strom der Ansteuerschaltung mit höherem  $L_g$  ist etwa gleich groß, es macht sich im Spannungsaufbau nicht bemerkbar.

Die Kommutierung des Drainstroms am Ende des Miller-Plateaus kann nur im gesteuerten Fall beeinflusst werden. Da der Gatestrom am zeitlichen Ende des Miller-Plateaus deutlicher eingepreßt ist und abzuklingen beginnt, wird  $C_{gs}$  etwas schneller entladen.

Die Abbildung 3.14 zeigt dies im Vergleich der beiden Messungen. Die Unterschiede sind sehr klein, das Schalten wurde minimal beschleunigt. Aus der Messung wird deutlich, dass es sich bei diesem Abschalten um den gesteuerten Fall handelt. Im ungesteuerten Fall würde sich die Kommutierung nicht verändern.

Die Vergrößerung der parasitären Induktivität, über das in den Messungen verwendete Maß hinaus, würde das Schaltverhalten ausbremsen.

## 3.4. Schaltverluste

In diesem Abschnitt geht es zunächst um die Schaltverluste eines schnellen<sup>2</sup> Schaltvorgangs am MOSFET mit Schottky-Diode. In den Grundzügen sind diese auch für den JFET gültig. Die Verluste eines Arbeitspunktes werden anhand eines Diagrammes, das den Strom-, Spannungs-, Leistungs- und Schaltenergieverlauf beinhaltet, dargestellt. Der Schaltvorgang ist in die Zeitabschnitte aufgeteilt, wie in der theoretischen Beschreibung.

Das Schalten verursacht Verluste durch das gesteuerte Aufbauen bzw. Abbauen des Stroms und der Spannung, wobei beide gleichzeitig am Transistor anliegen (Gl. 3.14). Da die Transistoren eine Ausgangskapazität besitzen, muss auch der Energieinhalt der Ausgangskapazität ( $E_C$ ) berücksichtigt werden. Die in der Streuinduktivität zwischen den Anschlüssen für die Spannungsmessung gespeicherte Energie ist klein gegenüber  $E_C$ . Die dissipative Energie ( $E_{diss}$ ) ist die Energie, die im Kanal des Halbleiters in Wärme umgewandelt wird. Der Energieinhalt der Ausgangskapazität (Gl. 3.15) bleibt zwischen dem Aus- und Einschalten bei gleichbleibender Spannung konstant.

---

<sup>2</sup>Die Ausgangsspannung der Ansteuerschaltung (Concept) ist um 5 V nach oben verschoben.

$$E = \int (u_{ds} \cdot i_d) dt \quad (3.14)$$

$$E_c = \frac{1}{2} \cdot C_{oss} \cdot U_{zk}^2 \quad (3.15)$$

$$E_{off} = E_C + E_{diss,off} \quad (3.16)$$

$$E_{diss,on} = E_C + E_{on} \quad (3.17)$$

Der Zusammenhang der Schaltenergie mit den verschiedenen Arbeitspunkten wird mit der Übertragung der Erkenntnisse aus den Kurvenverläufen hergestellt. Des Weiteren ist am Beispiel des JFET aufgezeigt, welchen Einfluss parasitäre Elemente auf die Verluste nehmen.

#### 3.4.1. Einschaltverluste

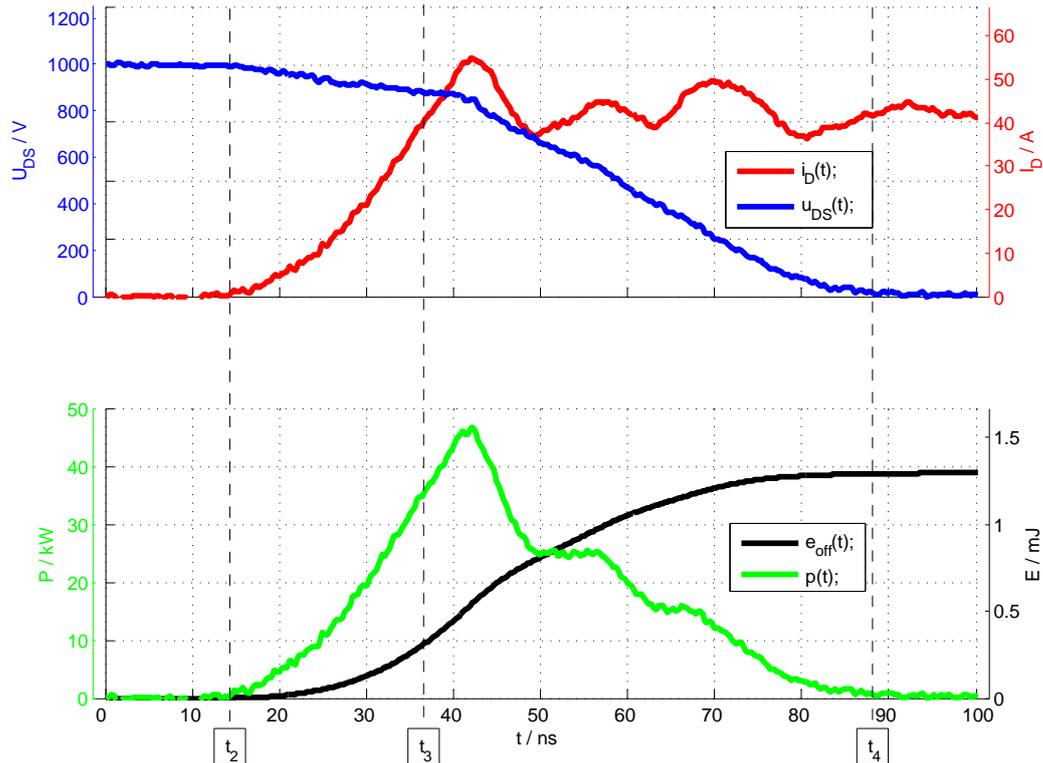
Die Einschaltverluste sind abhängig von Laststrom und Zwischenkreisspannung. Sie sind auch von parasitären Elementen, wie der Streuinduktivität und der parasitären Kapazität der Halbleiter, abhängig.

In der Phase des Gatestromaufbaus zwischen  $t_1$  und  $t_2$  (Abb. 3.15) entstehen keine Schaltverluste im Halbleiter.

Der Zeitpunkt  $t_2$  markiert den Beginn des Laststromaufbaus. Diese Phase erstreckt sich bis zum Zeitpunkt  $t_3$ , welcher klassisch nach dem Kriterium des Erreichens des Laststroms gewählt wurde. Der Stromaufbau weist eine zeitlich veränderliche Anstiegsgeschwindigkeit auf. Er erhöht sich bis  $t_3$  mit steigendem Drainstrom, da die Transkonduktanz sich bei kleiner  $U_{gs}$  stark verändert. Durch den Stromanstieg fällt an der Streuinduktivität des Zwischenkreises Spannung ab. Die Streuinduktivität des Zwischenkreises wird in dieser Phase aufmagnetisiert. Dieser Vorgang benötigt die Energie  $E_L$ , der Schaltvorgang wird entlastet. Da die Diode in dieser Phase leitet, wird nur der Transistor entlastet. Die sich aus dem Produkt von Strom und Spannung ergebende Leistung steigt zuerst langsamer, dann schneller an. Die integrierte Schaltenergie zieht der Leistung nach. Bis zum Zeitpunkt  $t_3$  wird ein Viertel der Schaltenergie im Halbleiter umgesetzt. Ab dem Zeitpunkt  $t_3$  wird Spannung abgebaut. Da die Kapazität der Diode umgeladen wird, das Reverse Recovery einsetzt, wird weiterhin Strom aufgebaut. Die Leistung wird sich weiter erhöhen.

### 3.4 Schaltverluste

Die verwendete Schottky-Diode kann unmittelbar, nachdem sie frei von Laststrom ist, Spannung aufnehmen. Die durch die Ladung der Diode verursachten Verluste sind mehr als eine Größenordnung kleiner als die Einschaltenergie. Die in der Diode umgesetzte Energie wird aus der Spannungsquelle geliefert, im Transistor entstehen lediglich Verluste durch den erhöhten Strom.

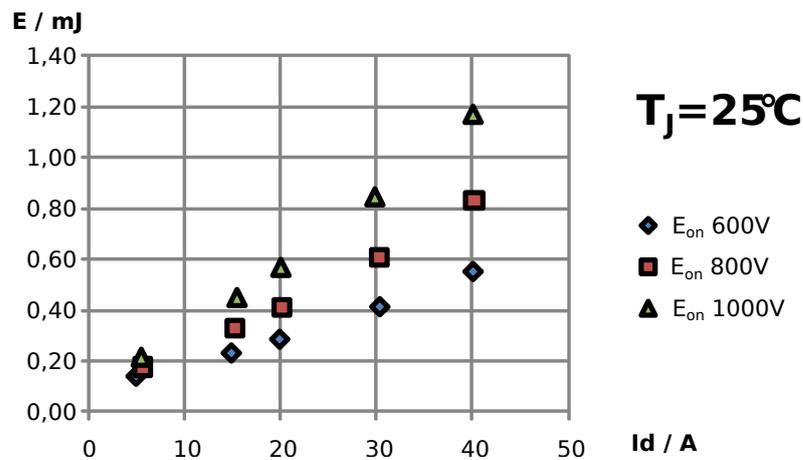


**Abbildung 3.15.:** Drain-Source-Spannung und Drain-Strom (oben), Verlauf der Schaltverluste und Energie beim Einschalten (unten) des MOSFET mit SBD

Ab dem Spitzenstrom ist der Spannungsabbau optisch erst zu erkennen, die Spannung fällt relativ konstant. Sie ist von induktiven Spannungsabfällen aufgrund der Schwingungen des Stroms und des Rückgangs des Reverse Recovery überlagert. Die Schwingungen verursachen die treppenförmig abfallende Leistung. Der langgezogene Spannungsabbau verursacht die restliche gemessene Einschaltenergie.

Während des Spannungsabbaus ist der Kanalstrom höher als der messbare Drainstrom, da die Ausgangskapazität des Transistors über den Kanal entladen wird (Abb.3.2). Es werden die Verluste gemäß Gleichung 3.17 umgesetzt. Die gemessenen

Verluste müssen durch die Energie  $E_C$  ergänzt werden.



**Abbildung 3.16.:** Schaltverluste beim Einschalten des MOSFET mit SBD:  
 $E = f(I_L, U_{ZK})$

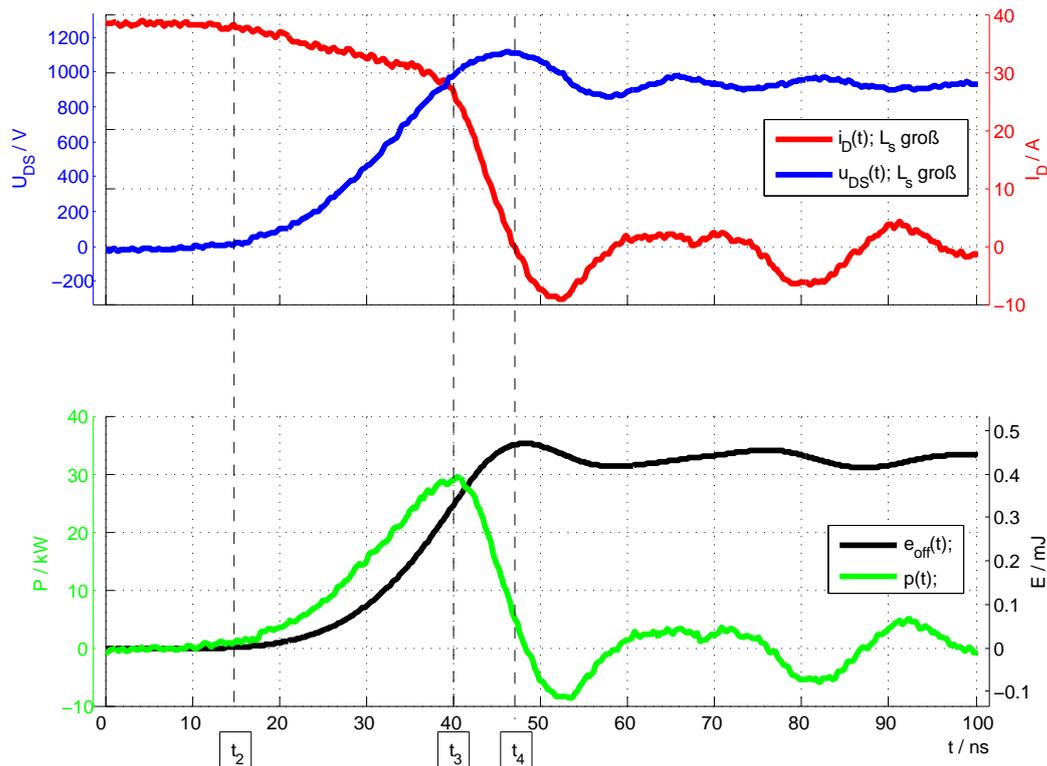
Der hier (Abb. 3.15) beschriebene Arbeitspunkt findet sich im Diagramm (Abb. 3.16) oben rechts wieder. Die Abhängigkeit der Schaltenergien von den Arbeitspunkten mit verschiedenen Lastströmen bei einer Zwischenkreisspannung ist im gemessenen Bereich nahezu linear. Die Hauptursache der linearen Abhängigkeit liegt in der Ausdehnung des Spannungsabbaus. Wie in Abbildung 3.15 zu sehen ist, wird hier die meiste Verlustenergie umgesetzt. Bei kleineren Lastströmen fallen in dieser Phase proportional weniger Verluste an. Der Stromaufbau macht einen deutlich kleineren Anteil aus. Bei sinkendem Laststrom wird das Verhältnis noch kleiner, da die Energie während des Stromaufbaus mehr als linear mit der Zeit wächst und die Phase kürzer wird. Wird die Zwischenkreisspannung kleiner, so wird die Schaltenergie im Bereich des Spannungsabbaus deutlich kleiner. Durch eine kleinere Drain-Source-Spannung wird die Zeit bis zum vollständigen Einschalten kürzer und die Spitzenleistung kleiner, beides zusammen verkleinert die Energie deutlich. Diese Veränderung stört die Linearität.

#### 3.4.2. Ausschaltverluste

Das Ausschalten des Halbleiters verursacht in gleicher Weise wie das Einschalten Verluste. Das Ausschalten lässt sich ebenfalls in zwei Phasen unterteilen, in den Spannungsaufbau und die Kommutierung.

### 3.4 Schaltverluste

Ab dem Beginn des Schaltvorgangs ( $t_1$ ) wird die Gate-Source-Spannung abgesenkt, wodurch sich der Kanalwiderstand erhöht. Es entstehen erhöhte Durchlassverluste, die umgesetzte Energie in dieser Zeitspanne ist zu vernachlässigen im Vergleich zu den gesamten Verlusten. Mit Erreichen des Zeitpunkts  $t_2$  wird der Kanal abgeschnürt.



**Abbildung 3.17.:** Drain-Source-Spannung und Drain-Strom (oben), Verlauf der Schaltverluste und Energie beim Ausschalten (unten) des MOSFET mit SBD

Die erste Phase ist die des Aufbaus der Drain-Source-Spannung zwischen  $t_2$  und  $t_3$  (Abb. 3.17). Der Spannungsaufbau kann wie in der Theorie beschrieben in zwei Fälle unterteilt werden. Beim ungesteuerten Abschalten ist der Kanal völlig abgeschnürt und der Laststrom fließt in die Ausgangskapazität. Die Schaltleistungen beim ungesteuerten Abschalten sind rein kapazitiv. Die gemessene Energie ist  $E_C$  zuzuschreiben und  $E_{diss}$  ist null. Die Verluste sind quadratisch von der Zwischenkreisspannung abhängig und vom Strom unabhängig. Das gesteuerte Abschalten

### 3 Schaltvorgänge von SiC-JFET und MOSFET

---

tritt ein, wenn der Laststrom weiter vergrößert wird. Die Spannung steigt in diesem Fall nur noch geringfügig schneller an. Ein Teil des Laststroms fließt über den Kanal ab, es werden zu den kapazitiven Verlusten nun auch Verluste im Kanal umgesetzt. Der Spannungsaufbau am Transistor geht mit einem Abbau der Spannung an der Diode einher. Dies führt zum Entladen ihrer Ausgangskapazität. Die in der Diode gespeicherte Energie wird wieder frei und entlastet die Spannungsquelle im Zwischenkreis. Zusätzlich wird der Transistor durch den Strom aufgrund der Ladung in der Diode entlastet. In dieser Phase werden ca. zwei Drittel der gesamten Ausschaltverluste umgesetzt.

Die Kommutierung des Stroms spielt sich in der zweiten Phase ab. Beim Abschalten des Stroms im Kommutierungskreis wird die in der Streuinduktivität gespeicherte Energie  $E_L$  wieder frei. Dies führt zu einer Erhöhung der Spannung über dem Transistor, da die Diode zu diesem Zeitpunkt bereits leitet. Der Transistor wird hierdurch belastet. Die Leistung sinkt trotz der steigenden Spannung, da der Strom schnell kommutiert. Bei der Kommutierung spielen die beiden Fälle weiterhin eine Rolle. Im ungesteuerten Fall, in dem kein Kanalstrom vom Transistor aktiv abgeschaltet werden muss, wird auch in dieser Zeitspanne nur kapazitive Energie umgeladen. Sie beläuft sich auf null, wie auch der Mittelwert der Schwingung ab  $t_4$ . Im vorliegenden gesteuerten Fall wird die gemessene Energie  $E_{diss}$  im Kanal in Wärme umgewandelt. Die Zeitspanne ist wesentlich kürzer als die für den Spannungsaufbau, es wird ca. ein Drittel der gesamten Ausschaltverluste umgesetzt.

Die Messung der zeitlichen Verläufe (Abb. 3.17) beschreibt den Arbeitspunkt rechts oben im Diagramm (Abb. 3.18). Das Diagramm beschreibt die Schaltverluste in Abhängigkeit vom Laststrom bei den verschiedenen Zwischenkreisspannungen. Die Abhängigkeit vom Laststrom bei einer Zwischenkreisspannung ist wie der Schaltvorgang selbst in zwei Fälle unterteilt, den gesteuerten und den ungesteuerten. Im ungesteuerten Fall sind die Verluste bei konstanter Zwischenkreisspannung immer gleich. Sie variieren mit der Zwischenkreisspannung quadratisch. Dies ist im Diagramm (Abb. 3.18) in dem Grundwert beim kleinem Strom abzulesen. Die Verluste steigern sich beim nächst größeren Strom nur wenig. In der Nähe dieser Messwerte liegt die Grenze des ungesteuerten Abschaltens. Das bei größeren Lastströmen eintretende gesteuerte Abschalten verursacht Verluste, die vom Strom nahezu linear

### 3.4 Schaltverluste

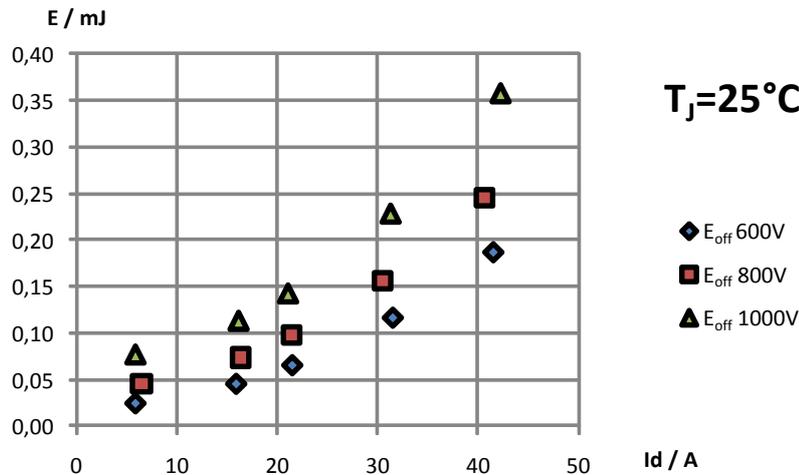


Abbildung 3.18.: Schaltverluste beim Ausschalten des MOSFET mit SBD:  
 $E = f(I_L, U_{ZK})$

abhängen. Da der überwiegende Teil der Schaltverluste im Bereich vom Spannungsaufbau verursacht wird, steigen die Verluste proportional zum Strom. Die Kommutierung wird mit steigendem Strom schneller (Gl. 3.13), wodurch die Verluste im gesteuerten Fall in dieser Phase nur gering wachsen.

Da die minimalen Verluste lediglich die  $E_C$  darstellen, tragen sie nicht zu der Erwärmung des Transistors beim Abschalten bei und könnten beim Ausschalten unberücksichtigt bleiben. In der Gesamtsumme der Schaltverluste, bestehend aus Ein- und Ausschaltverlusten, tauchen sie beim Einschalten erneut auf. Beim Einschalten können sie elektrisch nicht gemessen werden, erwärmen jedoch den Transistor [CSM13][AE14]. Dies gilt gleichermaßen für Schottky-Dioden, die allerdings keinen Kanal aufweisen und deshalb keine dissipativen Verluste beim Schalten zeigen.

#### 3.4.3. Verhalten der Verluste unter Einfluss parasitärer Elemente

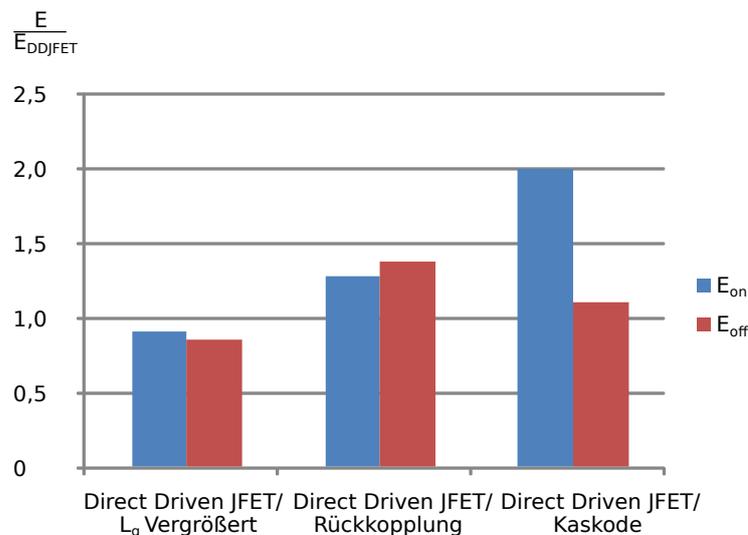
Das Schaltverhalten wird durch die parasitären Bauelemente teilweise deutlich beeinflusst. Dies gilt ebenfalls für die Verluste.

Die Veränderungen des Ein- und Ausschaltens aufgrund der parasitären Induktivitäten am Source und Gate sowie das Verhalten der Direct Driven JFET-Kaskode werden in der Abbildung 3.19 gezeigt. Das Diagramm zeigt Schaltverluste des JFET,

### 3 Schaltvorgänge von SiC-JFET und MOSFET

die auf Direct Driven JFET Schaltverluste normiert sind. Sie beziehen sich auf in Kapitel 3.2 sowie 3.3 gezeigte Messungen. Die Einschaltenergie der Messung (Abb. 3.8-Referenz) ist die Grundlage der Normierung für die Einschaltverluste. Die Ausschaltenergien sind auf die Verluste der in Abbildung 3.12(a) gezeigten Messung des Direct Driven JFET normiert.

Die normierten Werte können als Faktoren für die Ein- und Ausschaltverluste genutzt werden, da sie vom Arbeitspunkt unabhängig sind.



**Abbildung 3.19.:** Schaltverluste unter Beeinflussung der parasitären Induktivitäten

Die Auswirkung der erhöhten parasitären Induktivität am Gate, wie in der Messung (Abb. 3.11) gezeigt, auf die Verlustbilanz ist sowohl beim Einschalten als auch beim Ausschalten positiv. Der Schaltvorgang ist von einem höheren Reverse Recovery der Body-Diode geprägt. Der schnellere Spannungsrückgang überwiegt jedoch quantitativ.

Die Messung des Direct Driven JFET (Abb.3.8) zeigt schwach erhöhte Verluste durch die Rückkopplungen. Auffällig ist, dass sich die Ausschaltverluste stärker erhöhen als die Einschaltverluste. Dies ist typisch für ein *di/dt-control*, da der Einfluss der Rückkopplung auf die kleinere Spannungsdifferenz am Gatewiderstand beim Abschalten größer ist.

Das Einschaltverhalten der Direct Driven JFET-Kaskode (Abb. 3.10) mit normaler Induktivität am Source weist nahezu die doppelten Verluste auf wie das Einschalten des Direct Driven JFET. Das Schaltverhalten der Direct Driven JFET-Kaskode mit

### 3.4 Schaltverluste

---

reduzierter Streuinduktivität ist gleich dem Verhalten des Direct Driven JFET mit erhöhter Induktivität am Source. Durch die Reduzierung der parasitären Induktivität am Source können die Verluste in einer Kaskode stark reduziert werden. Die Ausschaltverluste bleiben nahezu unverändert, da diese Kaskode nur in einer Richtung wirksam ist.

## 4. Verhalten von SiC-Dioden

Dieses Kapitel beschreibt das Schaltverhalten und die Grundzüge des Durchlassverhaltens der SiC-Dioden. Es stehen zur Untersuchung sowohl eine unipolare SiC-Schottky-Diode (SBD) als diskretes Bauteil, sowie bipolare Typen in Form der Body-Dioden von FET zur Verfügung.

Die Halbleiter werden in Hinsicht auf ihr Forward Recovery Verhalten untersucht. Dies führt zu einer Erklärung ihres Durchlassverhaltens und einer Betrachtung der Sperrschichtladung.

Das für Dioden typische Reverse Recovery Verhalten wird in einem weiteren Abschnitt diskutiert. Die Body-Diode bildet die Grundlage für eine Untersuchung von bipolaren Ladungsträgern im SiC. Die hierbei entstandenen Ergebnisse sind in [AE13b] veröffentlicht. Darüber hinaus ist eine generelle Betrachtung des dynamischen Verhaltens des FET beim Reverse Recovery möglich, dies ist in [AE12] veröffentlicht. Durch die Nutzung der Body-Diode wird der FET zum bipolaren Halbleiter. Der starke Einfluss der Temperatur auf bipolare Halbleiter wird in den Untersuchungen berücksichtigt.

Das Verhalten von SiC-PIN-Dioden wird nicht explizit diskutiert, es gleicht dem Verhalten von Body-Dioden mit Ausnahme der Aspekte des parasitären Aufsteuerns und der Speicherladung.

### 4.1. Forward Recovery

Forward Recovery bedeutet wortwörtlich übersetzt „Vorwärtserholung“. Der Begriff bezeichnet den Effekt der abklingenden erhöhten Vorwärtsspannung der Diode im Augenblick des Einschaltens. Hier wird er zur Bezeichnung des Schaltvorgangs als Synonym für das Einschalten der Diode gebraucht. Der Einschaltvorgang ist aus Sicht der Diode passiv, er wird vom ausschaltenden Transistor M (Abb. 4.1) vorgegeben.

## 4.1 Forward Recovery

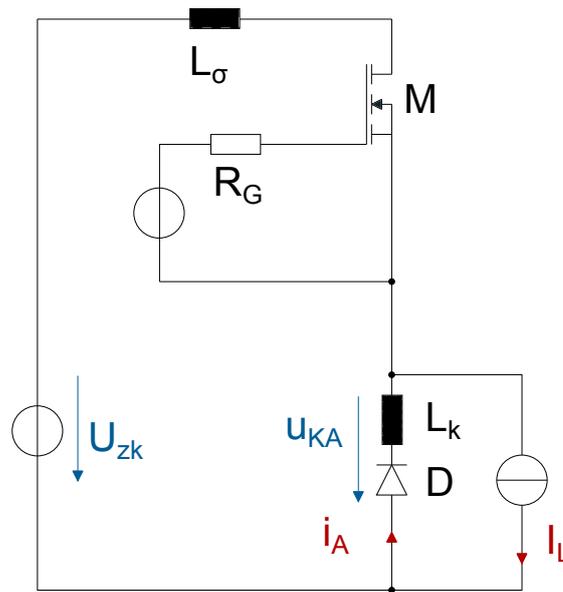


Abbildung 4.1.: Schaltung zur Messung der Vorgänge an der Diode

Der Einschaltvorgang wird detailliert in der Reihenfolge seines Ablaufs untersucht. Dazu ist eine Messung<sup>1</sup> des Forward Recovery (Abb. 4.2) der Direct Driven JFET Body-Diode in zwei Zeitabschnitte unterteilt.

Die erste Phase  $t_1$  bis  $t_2$  zeigt die fallende Spannung. Die dynamische Kathoden-Anoden-Spannung ( $u_{AK}$ ) fällt gleichermaßen, wie die Spannung am Transistor M steigt. Die Summe beider Spannungen ergibt die Summe aus der Zwischenkreis-Spannung und dem Spannungsabfall an der Streuinduktivität ( $L_\sigma$ ). Durch die schnelle Änderung der Spannung an der Diode fließt ein dynamischer Anodenstrom ( $i_A$ ) aufgrund der parasitären Kapazität des Halbleiters. Eine für die Diode charakteristische Größe ist hierbei die Ladung während des Forward Recovery.

Dieser Phase folgt die Kommutierung zwischen  $t_2$  und  $t_3$ . Sie läuft im Detail wie in Kapitel 3 beschrieben ab. In dieser Phase kommutiert der Laststrom ( $I_L$ ) in den Freilaufzweig. Während der Kommutierung tritt die erhöhte Forward Recovery Spannung an der Diode auf.

<sup>1</sup>Die Messungen der JFET-Body-Diode (FF30R12W  $U_{BD} = 1,2 \text{ kV}$ ,  $I_N = 30 \text{ A}$ ) gegen einen JFET zeigt den Betriebspunkt  $U_{zk} = 1 \text{ kV}$ ,  $I_L = 60 \text{ A}$ . Die Ansteuerschaltung wurde vom Hersteller übernommen. Die zusätzliche Gegenkopplung über  $L_s$  und negativer Strom durch das JFET Gate verhindern Aufsteuern, wenn das Diodenverhalten dargestellt werden soll. Die Messung der Si-Diode ( $U_{BD} = 1,2 \text{ kV}$ ,  $I_N = 25 \text{ A}$ ) gegen einen SiC-MOSFET (CFM20120D  $U_{BD} = 1,2 \text{ kV}$ ,  $I_N = 20 \text{ A}$ ) zeigt verschiedene Betriebspunkte. Die Ansteuerschaltung ist ein Produkt der Firma Concept ( $R_G = 0 \Omega$ ).

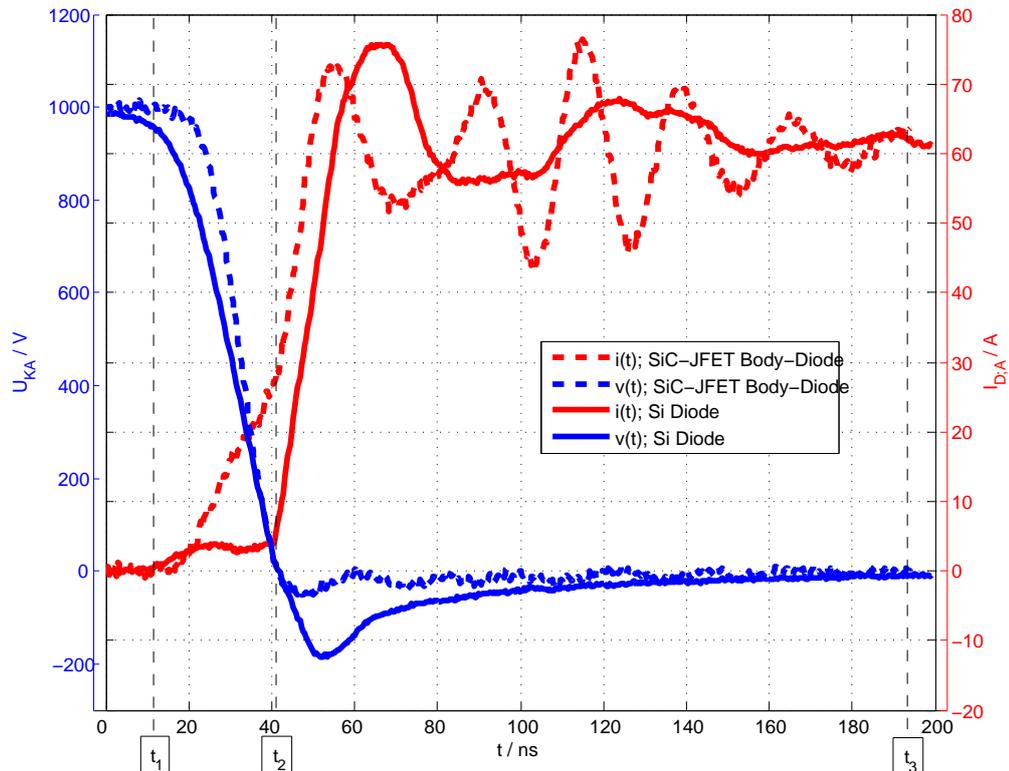


Abbildung 4.2.: Forward Recovery der Body-Diode des SiC-JFET und einer Si-Diode

Die beiden Phasen werden in den folgenden Abschnitten genau untersucht. Die Unterschiede von SiC und Si Diode werden hierbei beleuchtet.

#### 4.1.1. Ladung während des Forward Recovery

Der Übergang zwischen dem sperrenden und dem leitenden Zustand im Halbleiter ist in der Messung (Abb. 4.2) in der Zeitspanne  $t_1$  bis  $t_2$  zu sehen. Durch die hohen Schaltgeschwindigkeiten und die damit einhergehende große Flankensteilheit der dynamischen Kathoden-Anoden-Spannung wird der Verschiebestrom sichtbar. Der Stromfluss  $i_A$  im Zeitbereich  $t_1 < t < t_2$  (Abb. 4.2) ist durch die parasitäre Kapazität des Halbleiters zu begründen. Das Ersatzschaltbild der Diode beinhaltet eine spannungsabhängige Kapazität, um diesen Effekt richtig abzubilden. Die Kapazität wird bei jedem Schaltvorgang umgeladen, die benötigte Ladung ist die Sperrschichtladung ( $Q_C$ ).

## 4.1 Forward Recovery

---

Die Ladung kann durch Integration des dynamischen Anodenstroms über der Zeit ermittelt werden. Die untere Integrationsgrenze kann zwischen Beginn des Ausschnitts und  $t_1$  frei gewählt werden, die obere muss genau der Zeitpunkt  $t_2$  sein. Hierzu kann der Nulldurchgang der Spannung dienen. Die Integrationsgrenze liegt somit genau auf dem Wendepunkt des Stromverlaufs. Der Wendepunkt markiert zuverlässig den Moment, in dem die Diode leitend wird. Der Anstieg des kapazitiven Stroms wird bis zum Nulldurchgang der Kathoden-Anoden-Spannung zunehmend steiler, da sich die Kapazität der Sperrschicht mit sinkender Spannung vergrößert und die Flankensteilheit der fallenden Spannung sich kaum verändert. Ab dem Nulldurchgang der Kathoden-Anoden-Spannung kommutiert der restliche Strom des Transistors unter anderem durch Umschwingen. Die Funktion des kapazitiven Stroms ist links gekrümmt, die des kommutierenden Stroms rechts.

**Tabelle 4.1.:** Chipfläche und Ladung der Diode bei  $U_{ZK} = 1$  kV

	$Q_c / \text{nC}$	$A_{hl} / \text{mm}^2$
Schottky-Diode	137	8
MOSFET Body-Diode	164	16
JFET Body-Diode	361	27
Si-Diode	91	50

Die über dem Halbleiter anliegende Spannung vor  $t_1$  verursacht ein elektrisches Feld im Halbleiter. Wird die Spannung kleiner, so wird das elektrische Feld abgebaut. Durch die Veränderung eines elektrischen Feldes ist ein Verschiebestrom zu erwarten. Die Kapazität der Sperrschicht ist bei SiC- im Vergleich zu Si-Halbleitern wesentlich größer, da die SiC-Halbleiter mit deutlich höheren Feldstärken arbeiten. Dies ist in der Abbildung 4.2 zu sehen. Die beiden Schaltvorgänge zeigen einen ähnlich steilen Spannungsrückgang, aber weniger Strom während dieser Phase. Die Ladungsmenge ist in Tabelle 4.1 zusammen mit der Querschnittsfläche des Halbleiters ( $A_{hl}$ ) dokumentiert. Ein Vergleich zwischen dem Verhältnis von Ladung zu Fläche bestätigt, dass die SiC-Bauteile mit ca. einer Größenordnung höheren Feldstärke betrieben werden.

Bei der bipolaren Si-Diode kommt eine Speicherladung hinzu, diese wird im Ab-

schnitt Forward Recovery Spannung diskutiert. Sie kann in der Phase  $t_2 < t < t_3$  gemessen werden.

### 4.1.2. Forward Recovery Spannung

Der Effekt mit seiner ursprünglichen Bedeutung des überschießenden Spannungsabfalls an der Diode in Flussrichtung tritt nur bei bipolaren Dioden auf. Es gilt, je höher die Durchbruchspannung der Diode ist, desto höher ist auch die anfängliche Flussspannung.

Dieser Effekt tritt bei Si- und SiC-PIN-Dioden auf, jedoch in unterschiedlicher Ausprägung. Es ist anhand der Messung (Abb. 4.2) deutlich zu erkennen, wie groß der Unterschied bei realen Bedingungen ist. Die maximale Flussspannung der Diode während des Forward Recoverys ( $U_{FRM}$ ) ist kurz nach  $t_2$  erreicht, bei der Si-Diode beträgt dieser ca. 200 V. Die Body-Diode des SiC-JFET hat eine viel geringere  $U_{FRM}$ . Die schnellen transienten Vorgänge werden durch einen Abbildungsfehler der Messtechnik verfälscht, zusätzlich wird der Spannungsabfall des Chips mit einem induktiven Spannungsabfall überlagert. Die interne parasitäre Induktivität an der Kathode ( $L_k$ ) ruft diesen Spannungsabfall hervor. Die erhöhte Flussspannung der Body-Diode des SiC-JFET ist so gering, dass die Messung als Referenzmessung für die Si-Diode herangezogen werden kann.

Die Ursache der Forward Recovery Spannung liegt im Aufbau und der Physik der Halbleiter. Hochsperrende Halbleiter weisen eine Struktur mit einer nahezu intrinsischen Zone auf. Diese schwach dotierte  $n^-$ -Schicht und das in ihr ausgeprägte elektrische Feld nimmt die Sperrspannung auf. Die Dimensionierung dieser Schicht, die Dotierung und Weite, ist von der maximal zulässigen Feldstärke abhängig. Der Widerstand dieser Schicht kann durch einen Überschuss von Defektelektronen moduliert werden. Durch das Überschwemmen der intrinsischen Schicht mit Defektelektronen wird auch die Konzentration der Elektronen erhöht. Es entsteht ein Plasma mit einer hohen Ladungsträgerkonzentration. Es kann bei der verwendeten Si-Diode um zwei Größenordnungen über der Grunddotierung liegen [Lut06].

Die Überschwemmung der intrinsischen Schicht mit Plasma muss beim Einschaltvorgang hergestellt werden. Solange sich die Plasmaverteilung im Aufbau befindet, fällt eine erhöhte Durchlassspannung am Halbleiter ab.

## 4.1 Forward Recovery

---

Der Plasmaaufbau läuft in zwei Schritten ab. Der erste Schritt zeigt seine Auswirkung nur bei nahezu unendlich schneller Kommutierung. Bei solch einer Kommutierung findet in der Diode von Beginn an eine Hochinjektion von Ladungsträgern statt.

Es werden vom  $p^+n^-$ -Übergang Defektelektronen ins n-Gebiet und vom  $n^-n^+$ -Übergang Elektronen ins n-Gebiet eingeschwenkt. Die simulierte Ladungsträgerverteilung über dem Halbleiter ist in der Abbildung 4.3 oben am Beispiel der Si-Diode zu sehen. Die Verteilungen sind zu verschiedenen Zeiten dargestellt. Zum Zeitpunkt  $t = 0,42 \text{ ns}$  ist eine erkennbare Defektelektronendichte im n-dotierten Gebiet ( $p_n$ ) bzw. eine Elektronendichte im n-dotierten Gebiet ( $n_n$ ) jeweils nahe der Emitter zu sehen. Der mittlere Teil der Diode ist noch frei von injizierten Ladungsträgern.

Der von Beginn an fließende Strom kann bei einer Stromdichte und der Grunddotierung, wie sie für bipolare Si-Dioden vorgesehen sind, nicht alleine von der Majoritätsladungsträgerdichte (Elektronendichte) im n-dotierten Gebiet bei thermodynamischem Gleichgewicht ( $n_{n0}$ ) getragen werden. Da die Ladungsträger ihre Sättigungsgeschwindigkeit nicht überschreiten können, muss der Strom durch eine höhere Konzentration von Ladungsträgern getragen werden. Die Gleichung 4.1 ist für eine Ladungsträgerdichte von  $p, n_n = 1,2 \cdot 10^{14} \cdot \text{cm}^{-3}$  erfüllt.

$$J_n = e \cdot n_n v_{sat} \quad (4.1)$$

**Tabelle 4.2.:** Materialkonstanten

	$D_n / \text{cm}^2\text{s}^{-1}$	$D_p / \text{cm}^2\text{s}^{-1}$	$\tau_d / \text{s}$	$R_{n,epi} / \Omega$
SiC Body-Diode	23,3	2,97	$2,24 \cdot 10^{-12}$	$4,45 \cdot 10^{-3}$
Si-Diode	38,7	11,6	$1,65 \cdot 10^{-10}$	2,65

Durch die Injektion von Ladungsträgern entstehen zwei Raumladungszonen, die ein elektrisches Feld verursachen. Dies wird auch in [MLI<sup>+</sup>05] gezeigt und mit Messungen belegt. Die Raumladungen versuchen sich mit Hilfe des elektrischen Feldes auszugleichen. Dieser Effekt wird dielektrische Relaxation genannt. Der zeitliche Verlauf des Neutralisierungsvorgangs folgt einer e-Funktion mit der Zeitkonstante

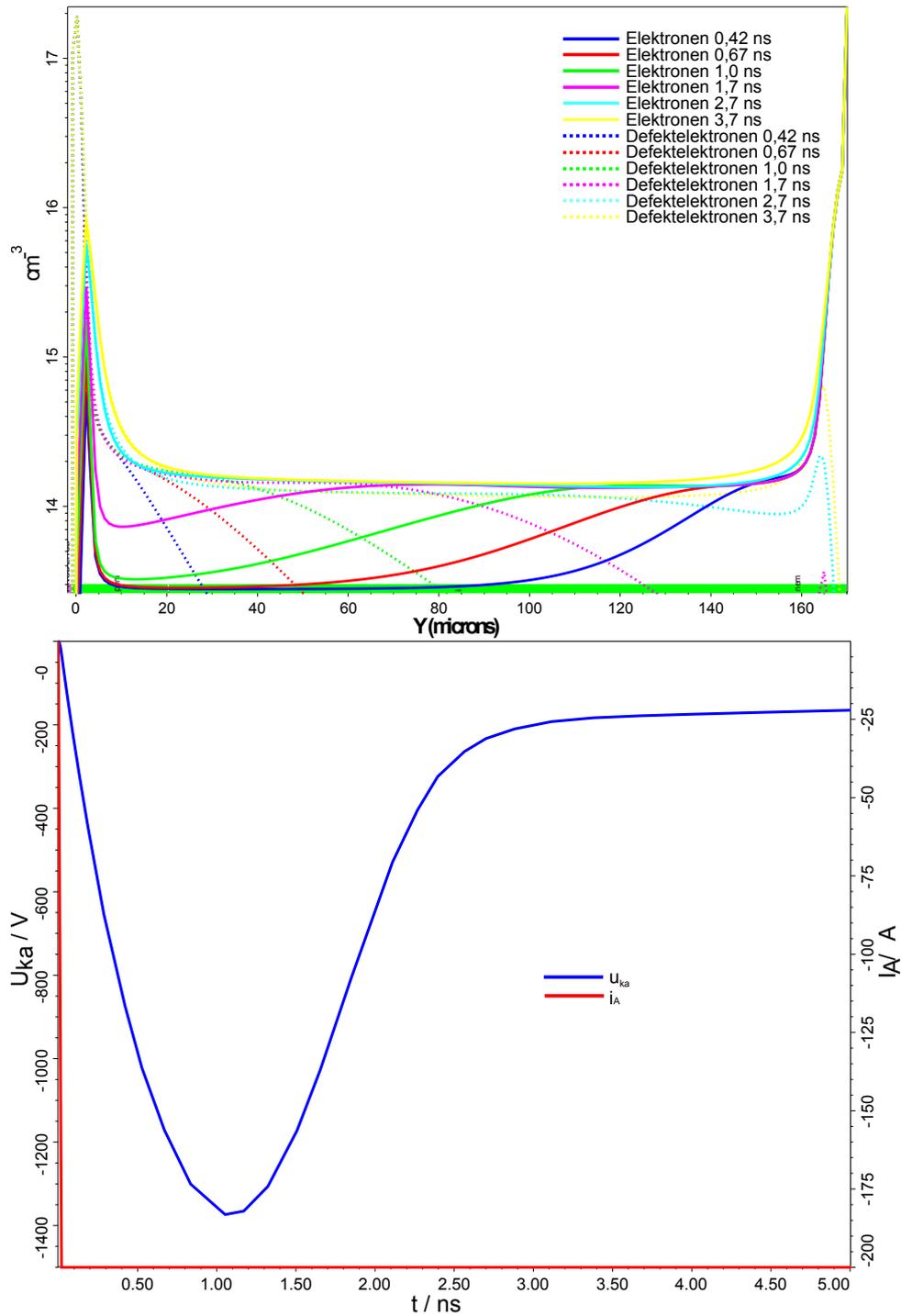
der dielektrischen Relaxation ( $\tau_d$ ) (Tab.4.2). Sie ist maßgeblich von der Leitfähigkeit abhängig.

Die Raumladungszonen breiten sich in entgegengesetzte Richtungen zur Mitte hin aus. Dies erhöht den Betrag an Raumladung und führt zu einem wachsenden elektrischen Feld. Das Integral des elektrischen Feldes wird von der Spannung in Abbildung 4.3 (unten) widerspiegelt. Zum Zeitpunkt  $t = 1 \text{ ns}$  haben die Spannung, das elektrische Feld und die Raumladungen fast das Maximum erreicht. Ein weiteres Ausbreiten der Ladungen bewirkt eine gegenseitige Kompensation der Raumladungen und einen Rückgang des elektrischen Feldes. Die dynamische interne Kathoden-Anoden-Spannung ( $u_{ka}$ ) geht mit dem elektrischen Feld zurück. Nach Abklingen des Vorgangs herrscht Neutralität im Halbleiter, es gilt das Massenwirkungsgesetz.

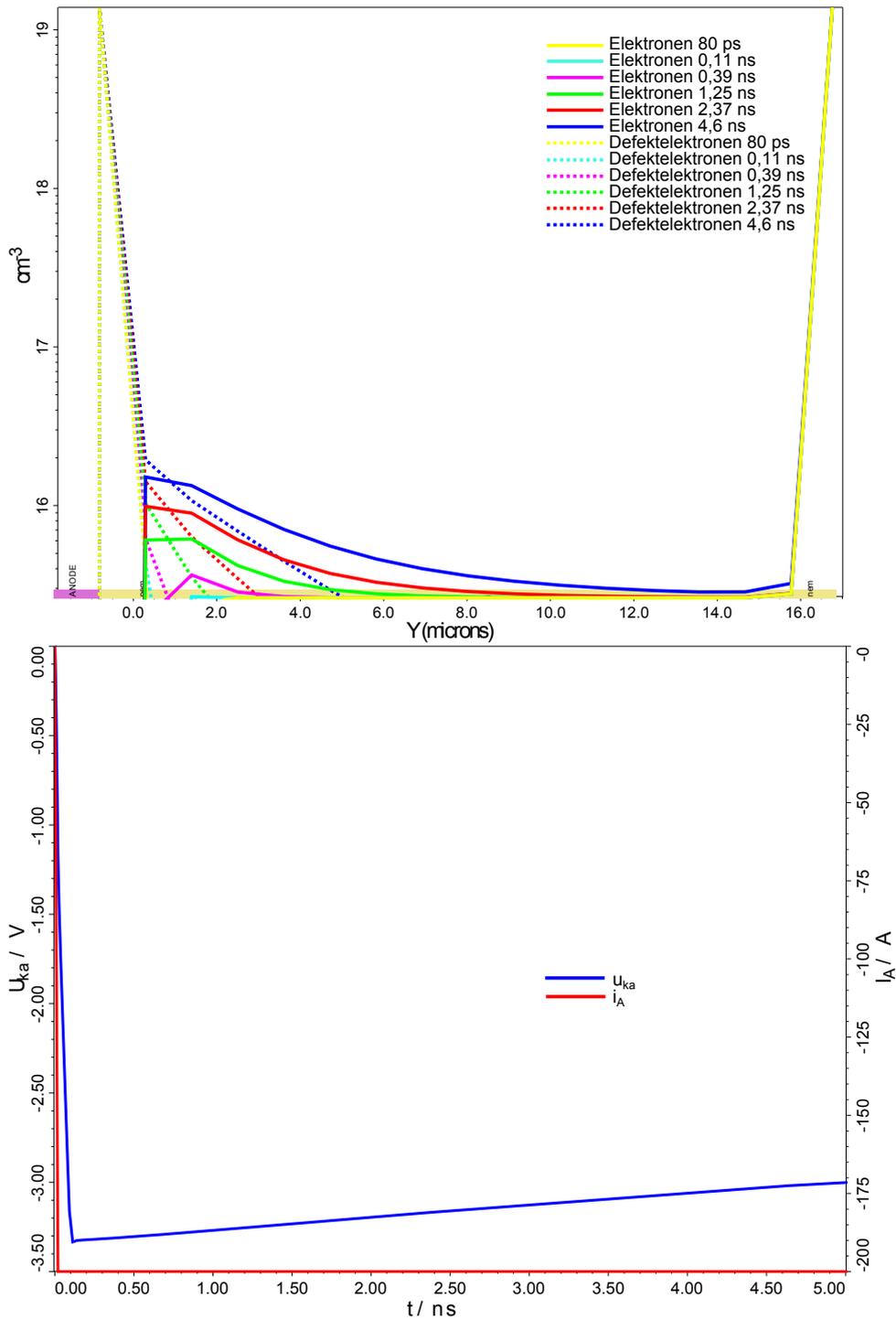
Die SiC-Body-Diode kann den Strom durch die Ladungsträger der Grunddotierung ohne Weiteres führen, da die Konzentration im Vergleich zur Si-Diode um zwei Größenordnungen höher liegt und die Sättigungsgeschwindigkeit der Ladungsträger doppelt so groß ist.

Die maximale Flussspannung tritt jedoch nicht mit dem Ende der Kommutierung auf. Der Grund hierfür ist nicht die dielektrische Relaxation, sie ist bei der guten Leitfähigkeit der intrinsischen Schicht irrelevant. Sobald der Strom in die Diode kommutiert, wird ein elektrisches Feld über dem Halbleiter aufgebaut. Der Strom fließt im ersten Moment als Verschiebestrom und verursacht keinen Spannungsabfall an der intrinsischen Schicht. Nachdem genügend Spannung an der Diode anliegt, wird der  $p^+n^-$ -Übergang leitend und der Widerstand der intrinsischen Schicht überwunden.

## 4.1 Forward Recovery



**Abbildung 4.3.:** Medici-Simulation des Forward Recovery einer Si-Diode bei sehr hohem  $di/dt$ : Elektronen und Defektelektronen Verteilungen  $f(x, t)|_{t=0,42 \text{ ns}, \dots}$  (oben), transienter Verlauf von Strom und Spannung (unten)



**Abbildung 4.4.:** Medici-Simulation des Forward Recovery einer SiC-Diode bei sehr hohem  $di/dt$ : Elektronen und Defektelektronen Verteilungen  $f(x,t)|_{t=80 \text{ ps}, \dots}$  (oben), transientser Verlauf von Strom und Spannung (unten)

## 4.1 Forward Recovery

---

Der zweite Schritt des Plasmaaufbaus verläuft in den verschiedenen bipolaren Dioden sehr ähnlich. Bei deutlich langsamerer Kommutierung startet der Plasmaaufbau im zweiten Schritt mit einer Niedriginjektionsphase [Kol00]. Die Niedriginjektion wird durch die wachsende Stromdichte allmählich zur Hochinjektion. Die Hochinjektion ist im ersten Schritt im Anfangsstadium zu erkennen. Zum Zeitpunkt  $t = 3,7 \text{ ns}$  (Abb.4.3-oben) ist nahe des  $p^+n^-$ -Übergangs eine Injektion von ca.  $p_n = 1 \cdot 10^{16} \cdot \text{cm}^{-3}$  zu erkennen. Durch die Neutralität im Halbleiter ist mit der gleichen Anzahl von Elektronen  $n_n$  zu rechnen. Diese hohe Anzahl an Ladungsträgern hat zu dieser Zeit die Mittelschicht noch nicht erreicht, was zu einem hohen Widerstand und Spannungsabfall über dem Halbleiter führt. Die SiC Body-Diode verhält sich identisch, jedoch ist ihr Spannungsabfall von Beginn an gering.

Mit fortschreitender Zeit diffundieren die injizierten Ladungen in die intrinsische Schicht, hierdurch verringert sich ihr Widerstand. Die in die intrinsische Schicht diffundierte Ladung ist die Speicherladung der Diode. Der Aufbau der Speicherladung läuft folgendermaßen ab:

Durch die Kontinuitätsgleichung (Gl. 4.2) wird die zeitliche Änderung der Ladungsträgerkonzentration mit der räumlichen Änderung der Stromdichte verknüpft. Mit der Vereinfachung, dass der Strom nur von der Diffusion getragen wird, gilt die Gleichung 4.3 für die Stromdichte im Halbleiter. Durch Einsetzen der Stromdichte (Gl. 4.3) in die Kontinuitätsgleichung (Gl. 4.2), mit der Vernachlässigung von Generation und Rekombination, ergibt sich eine partielle Differentialgleichung zweiter Ordnung (Gl. 4.4). Die Lösung der Differentialgleichung mit einer e-Funktion wurde [Bal10] entnommen (Gl.4.5).

$$\frac{\partial \delta n}{\partial t} = \frac{1}{q} \frac{\partial J_n}{\partial x} + G_n - R_n \quad (4.2)$$

$$J_n = q D_n \frac{\partial \delta n}{\partial x} \quad (4.3)$$

$$\frac{\partial \delta n(x, t)}{\partial t} = D_n \frac{\partial^2 \delta n(x, t)}{\partial x^2} \quad (4.4)$$

$$\delta n(x, t) = A(t) e^{-(x/\sqrt{4D_n t})} \quad (4.5)$$

Die Funktion der Überschuss-Elektronendichte ( $\delta n$ ) (Gl.4.5) beinhaltet die Anfangswertfunktion  $A(t)$ . Sie kann mit Hilfe der Gleichung für die Elektronenstromdichte

( $J_n$ ) gefunden werden [Bal10]. Die Funktion kann eine Ladungsträgerverteilung im Halbleiter in Abhängigkeit der Zeit und des Ortes wiedergeben. Bei einem festen Zeitpunkt zeigt die Funktion die Ladungsträgerverteilung über dem Ort. Es ergibt sich eine abklingende e-Funktion mit der Diffusionslänge  $L$ . Bei Betrachtung eines festen Ortes, z.B. der Mitte der intrinsischen Schicht, zeigt sich eine Funktion, die den Aufbau der Ladungsträger an dieser Stelle über die Zeit wiedergibt. Der Verlauf in seinem Anfangsstadium ist in der Simulation der SiC Body-Diode zu sehen (Abb. 4.4 - oben).

Die verwendeten Gleichungen berücksichtigen keine Ladungsträgerlebensdauern. Die Untersuchungen in [Kol00] und [Bal10] belegen, dass die Lebensdauer keinen Einfluss auf das Forward Recovery hat.

Die Funktion, die unter Lösung des Randwertproblems (RWP) entsteht, muss über die Länge der Basis integriert werden und mit der Fläche des Halbleiters multipliziert werden, um die Anzahl der Ladungsträger im Halbleiter zu erhalten. Wird dies mit der Elementarladung multipliziert, ergibt sich die Speicherladung.

Durch die Funktion wird nur eine Dimension des Halbleiters berücksichtigt, ferner wird die Injektion von Ladungen durch den  $n^-n^+$ -Übergang nicht korrekt abgebildet. Sie lässt jedoch einen wirklichkeitsnahen Eindruck zu, wie der Aufbau der Speicherladung in Abhängigkeit von der Zeit verläuft. Dies wird im Kapitel 5 gezeigt.

### 4.2. Reverse Recovery

Das Reverse Recovery ist der Ausschaltvorgang der Diode, es bedeutet wörtlich „Rückwärtserholung“. Der Begriff Reverse Recovery ist dem Abbau der Speicherladung zuzuschreiben. Die Speicherladung muss verschwunden sein, damit der Halbleiter nicht mehr leitfähig ist. Das grundsätzliche Verhalten der Diode beim Reverse Recovery ist Gegenstand zahlreicher Veröffentlichungen und Literaturstellen.

Der folgende Abschnitt beschäftigt sich genauer mit dem Verhalten der Body-Diode bzw. dem FET im Reverse Recovery-Fall. Die parasitäre Diode oder Body-Diode eines Si-MOSFET wird vereinzelt in [Lut06] und [Sch06] behandelt, jedoch nicht mit den hier beschriebenen Aspekten des parasitären Aufsteuerns. Dies wird in [KC10] erwähnt. Die hier beschriebenen Untersuchungen des Verhaltens der Body-Diode erweitern die Erkenntnisse um die Aspekte der Einflüsse parasitärer Elemente ( $R_g$  und

## 4.2 Reverse Recovery

---

$L_s$ ) und der bipolaren Speicherladung. Die parasitären Elemente sind aufbaubedingt immer vorhanden, die Speicherladung eines SiC Halbleiters ist nicht selbstverständlich. Sie wird im folgenden Abschnitt im SiC-JFET bei Benutzung der Body-Diode nachgewiesen.

Der Vorgang wird nicht aktiv vom Halbleiter bestimmt, das Einschalten des Transistors M (Abb. 4.4) steuert den Ablauf. Durch die Ansteuerung des Transistors sind Steilheiten des fallenden Stroms und der steigenden Spannung an der Diode festgelegt.

### 4.2.1. Sperrschichtkapazität

Die Sperrschichtkapazität ( $C_j$ ) bzw. die Ausgangskapazität des FET, die parasitäre Kapazität der Last und des Aufbaus verursachen bei jeder Änderung der Spannung einen Verschiebestrom. Das Phänomen zeigt sich beim Forward-Reverse Recovery sowie beim Ein- und Ausschalten des Transistors.

Als Charakterisierung der Sperrschichtkapazität dient die Ladung wie beim Forward Recovery. Die Messung (Abb. 4.5) zeigt das Reverse Recovery der Si-Diode und der Body-Diode des SiC-JFET bei  $I_L = 0$  A. Die Ladung der Sperrschicht kann mit diesem Versuch erneut ermittelt werden. Die Integration des Stroms liefert die Ladung. Die untere Integrationsgrenze ist der Beginn des Ausschnitts, die obere Integrationsgrenze ist der Zeitpunkt des Nulldurchgangs mit steigender Flanke des Stroms. Die Integration kann je nach Präzision der Messwerte auch bis zum Ende des Ausschnitts weitergeführt werden.

Das Ergebnis der Integration zeigt die gleichen Werte wie die Ermittlung beim Forward Recovery. Die gemessene Ladung ist der Sperrschichtkapazität zuzuschreiben. Die Diode ist vor dem Vorgang leitend, hat aber keinen Strom geführt. Der Transistor M (Abb. 4.1) sperrt vor dem gezeigten Reverse Recovery. Es fließt vor dem ersten Reverse Recovery beim Doppelpuls-Experiment nur der Sperrstrom des Transistors, der durch die induktive Last kurzgeschlossen wird. Der Halbleiter ist hierdurch frei von bipolaren Ladungen. Bei den Body-Dioden besteht die Möglichkeit des parasitären Aufsteuerns, was zu einer Erhöhung der Ladung beim Reverse Recovery führt. Dies wird durch eine optimierte Ansteuerschaltung verhindert. Das Problem des parasitären Aufsteuerns wird in Abschnitt 4.2.3 ausführlich erörtert.

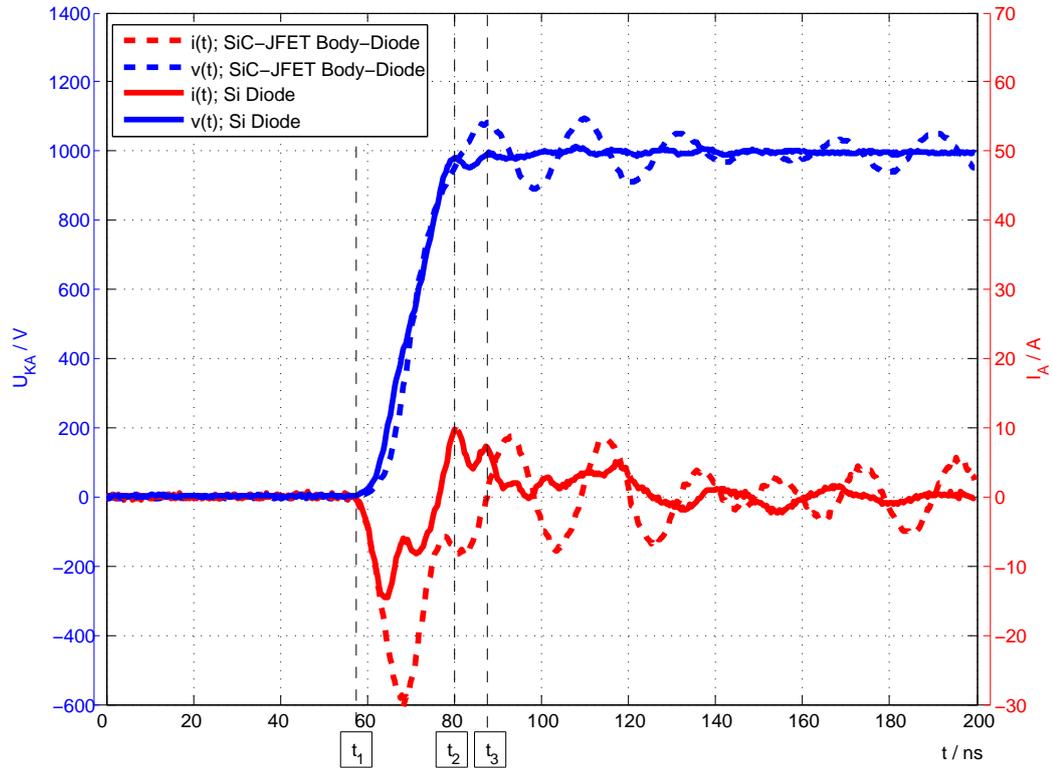


Abbildung 4.5.: Reverse Recovery der Body-Diode des SiC-JFET und einer Si-Diode bei  $I_L = 0$  A

Der Verlauf der steigenden Spannung an der Diode ist bei beiden Messungen ähnlich, wodurch sich die Vorgänge vergleichen lassen. Der Stromverlauf der SiC-Body-Diode hat zu Beginn des Reverse Recoverys einen Spitzenstrom, der den doppelten Wert des Stroms der Si-Diode erreicht. Die Ursache für das Verhältnis der Stromspitzenwerte liegt in verschiedenen Faktoren.

Der Strom eines Kondensators ist von der Änderung der Spannung und von der Änderung der Kapazität abhängig (Gl. 4.8).

## 4.2 Reverse Recovery

---

$$C_j(0) = A_{hl} \sqrt{\frac{q \cdot \varepsilon}{2 U_{Diff}} \frac{N_A \cdot N_D}{N_A + N_D}} \quad (4.6)$$

$$C_j(U) = \frac{C_j(0)}{(1 - U/U_{Diff})^m} \quad (4.7)$$

$$i_C = C \cdot \frac{\partial u_C}{\partial t} + U_C \cdot \frac{\partial c}{\partial t} \quad (4.8)$$

Die SiC-Body-Diode weist eine größere Sperrschichtkapazität  $C_j(0)$  auf. Bei der Annahme einer um zwei Größenordnungen höheren Dotierung der SiC-Bauelemente zu Si-Bauelementen bei vergleichbarer Sperrspannung ist  $C_j(0)$  um ca. Faktor Zehn größer (Gl. 4.6). Die gemessene Si-Diode hat die doppelte Fläche, wodurch das Verhältnis auf den Faktor Fünf schrumpfen würde. Würde die Flankensteilheit der Spannung bei beiden Messungen zum Zeitpunkt  $t = 1$  anliegen und sich nicht ändern, müssten die Ströme das Verhältnis der beiden  $C_j(0)$  zueinander abbilden. Durch den Aufbau der Steilheit der steigenden Spannung sinkt der Strom erst nach wenigen Nanosekunden auf ein Minimum.

Die Sperrschichtkapazität verkleinert sich durch die steigende Spannung und verläuft bei den beiden Dioden verschieden. Die Gleichung 4.7 hat die beiden Freiheitsgrade Diffusionsspannung ( $U_{Diff}$ ) und Gradationsexponent ( $m$ ). Die Diffusionsspannung bei der SiC-Body-Diode ist um den Faktor Vier größer, dies reduziert den Abfall der Sperrschichtkapazität mit der Spannung. Der Gradationsexponent variiert je nach Dotierprofil des  $p^+n^-$ -Übergangs. Bei dem Extremfall eines abrupten Übergangs in der SiC-Body-Diode ( $m = 0,5$ ) und eines linearen Übergangs in der Si-Diode ( $m = 0,3$ ) ergäbe sich ein Verhältnis von  $C_{j,SIC}(400)/C_{j,SI}(100) = 2$ . Dies würde das Verhältnis der Spitzenströme zueinander exakt wiedergeben.

Die negativ differenzielle Steigung der Sperrschichtkapazität verkleinert den Wert des Stroms, wodurch das Verhältnis der Ströme nicht mehr zum Verhältnis der Kapazitätswerte passt. Bei der Si-Diode ist die Änderung der Sperrschichtkapazität in der Anfangsphase stärker. Höhere Spannungen führen zu einer geringeren Änderung der Sperrschichtkapazität, wodurch schon früher bei ca. 100 V das Minimum des Stroms auftritt. Die SiC-Body-Diode zeigt ihren minimalen Strom bei ca. 400 V.

### 4.2.2. Bipolare Reverse Recovery Ladung

Im Folgenden wird gezeigt, dass der  $p^+n^-$ -Übergang im SiC-JFET (Body-Diode) ein bipolarer Halbleiter ist. Dies wird indirekt in der Veröffentlichung [JBWB12] für den baugleichen 1,2 kV 20A selbstleitenden JFET nachgewiesen. Der indirekte Nachweis erfolgt über Vergleichsmessungen mit und ohne paralleler Schottky-Diode. Ohne Schottky-Diode wird eine höhere Reverse Recovery Ladung gemessen. Bei Parallelschaltung einer Schottky-Diode wird der Stromfluss der Body-Diode durch ihre höhere Diffusionsspannung unterbunden, somit baut sich kein Plasma auf. Das gleiche Experiment bei Benutzung des hier verwendeten MOSFET wird in [HJF12] mit vergleichbarem Ergebnis dargestellt.

Der vorherige Abschnitt 4.1.2 über die Forward-Recovery Spannung zeigte, dass sich beim Einschalten der Diode eine Ladungsträgerverteilung im Bahngebiet einstellt. Der Aufbau der Ladungsträgerverteilung endet nach einer gewissen Zeit und geht in einen statischen Zustand über. Wird die Diode abgeschaltet, wird die Ladung aus der Mittelschicht wieder ausgetrieben. Dies geschieht mit dem Spannungsaufbau. Das Extrahieren der Ladung dauert bei Spannungen nahe der maximalen Sperrspannung so lange wie der Aufbau der Spannung. Durch die relativ kurze Zeitspanne wird der Strom messbar, im Gegensatz zum Aufbau des Plasmas beim Forward Recovery. Sein Integral über die Zeit ist die bipolare Reverse Recovery Ladung ( $Q_{rr}$ ) mit überlagerter Ladung aus der Sperrschichtkapazität  $Q_C$ . Die Ladung aus der Sperrschichtkapazität ist bekannt und wird von der gemessenen Ladung abgezogen. Weitere Ladungsanteile, wie das parasitäre Aufsteuern (Abschnitt 4.2.3), können durch die Einstellung des Schaltvorgangs und die Konstruktion der Ansteuerschaltung ausgeschlossen werden, hierzu zeigt der Anhang eine Messung.

Die Ladungsträger könnten während der Dauer des Vorgangs durch Rekombination verschwinden. Dies ist mit verschiedenen Schaltgeschwindigkeiten überprüft worden. Der Unterschied zwischen einem Spannungsaufbau mit einer Flankensteilheit von  $7,7 \text{ kV}/\mu\text{s}$  und  $5,5 \text{ kV}/\mu\text{s}$  verursacht einen Unterschied in der Ladung von ca. 50 nC. Dies ist das Ergebnis, welches mit der Schaltung zur Unterdrückung des parasitären Aufsteuerns beim schnellen Schalten erreicht wird. Diese Schaltung selbst verursacht eine bipolare Reverse Recovery Ladung von ca. 100 nC. Ein Vergleich

## 4.2 Reverse Recovery

---

der Messungen ohne diese Schaltung bei den verschiedenen Schaltgeschwindigkeiten zeigt einen Unterschied von 150 nC. Die gemessene Ladung wird in 150 ns um 5 Prozent kleiner. Die Zeitverläufe der Messungen mit verschiedenen Schaltgeschwindigkeiten sind im Anhang dokumentiert. Das Ergebnis der Auswertung des langsameren Schaltens wird als die Ladung  $Q_{rr}$  quantifiziert. Eine Reverse Recovery Messung am typgleichen MOSFET mit vergleichbarer Schaltgeschwindigkeit und einem deutlichen Unterschied im Reverse Recovery der Body-Diode zu einer Schottky-Diode ist in [SCWM10] abgebildet. Dies bestätigt die Annahme einer  $Q_{rr}$ , da parasitäres Aufsteuern beim langsamen Schalten auszuschließen ist, und die Ladung der Sperrschichtkapazität der SBD und des MOSFET aufgrund der Flächenverhältnisse vergleichbar sein muss.

Der Stromfluss beim Reverse Recovery ist abhängig von der Verteilung des Plasmas im Halbleiter. Die statische Verteilung der Ladungsträger basiert auf den gleichen Grundlagen wie die dynamische, z.B. beim Forward Recovery. Der Ansatz erfolgt wie beim Forward Recovery durch die Kontinuitätsgleichung (Gl. 4.2). Im stationären Fall darf im Gegensatz zu den transienten Vorgängen die Rekombination nicht vernachlässigt werden. Die Rekombinationsrate ist von der Ladungsträgerlebensdauer ( $\tau_{p,n}$ ) abhängig. Diese ist wiederum von verschiedenen Einflüssen abhängig, unter anderem von der Defektdichte. Die Ladungsträgerlebensdauer im verwendeten Halbleiter ist kurz, in [Sch06] wird z.B. von  $\tau_{HL}^{T0} = 64,3 \text{ ns}$  berichtet. Für den stationären Fall kann die zeitliche Änderung der Konzentration der Ladungsträger vernachlässigt werden. Unter Verwendung der Ladungsträgerlebensdauer für Hochinjektion  $\tau_H$  ergibt sich die Kontinuitätsgleichung (4.9).

Es wird in Gleichung 4.9 die ambipolare Transportgleichung eingesetzt. Da die Ableitung der Feldstromdichte null ist, ergibt sich die Differentialgleichung 4.10. Ihre Lösung ergibt die gesuchte Plasmaverteilung unter Berücksichtigung der Randbedingung  $a$ . Sie muss laut [Lut06] einen hyperbolen Verlauf aufweisen. Die vollständige Lösung des Randwertproblems ist in [Lin06] gezeigt. Es entsteht eine Verteilung der Ladungsträger im Durchlass der Diode mit Berücksichtigung der Ladungsträgerbeweglichkeiten.

Durch eine Mittelung (Gl. 4.11) des gelösten RWP ergibt sich eine mittlere Defektelektronendichte (Gl. 4.12). Die Lösung der Differentialgleichung und deren Integration sind im Anhang dokumentiert. Um die bipolare Ladung, die im Halblei-

ter gespeichert ist, zu erhalten, muss die mittlere Defektelektronendichte mit der Ladung ( $q$ ) und den Dimensionen des Halbleiters multipliziert werden (Gl. 4.13). Das Volumen des Halbleiters ist die  $A_{hl}$  multipliziert mit der Basisweite ( $w_b$ ), unter Vernachlässigung der hochdotierten Randgebiete.

$$\frac{\partial J_p}{\partial x} = -q \frac{p}{\tau_H} \quad (4.9)$$

$$D_A \frac{d^2 p}{dw^2} = \frac{p}{\tau_H} \quad (4.10)$$

$$\bar{p} = \frac{1}{wb} \cdot \int_{-wb/2}^{wb/2} (RWP) dw \quad (4.11)$$

$$\bar{p} = \frac{J \cdot \tau_H}{q \cdot w_B} \quad (4.12)$$

$$Q_{rr} = q \cdot A_{hl} \cdot w_B \cdot \bar{p} \quad (4.13)$$

Wird die mittlere Defektelektronendichte in Gleichung 4.13 eingesetzt, zeigt sich die Beziehung des Laststroms zur Reverse Recovery Ladung (Gl. 4.15). Die Ladungsträgerlebensdauer bei Hochinjektion ist in dem Term durch die effektive Ladungsträgerlebensdauer ersetzt worden. Sie ist eine Erweiterung von  $\tau_H$  von der Betrachtung des Bahngebiets hin zu den Randgebieten, den Emittern. Die jeweilige Lebensdauer der Ladungsträger in den hochdotierten Randzonen des Halbleiters weicht von der im Bahngebiet ab. Hier findet Auger-Rekombination statt. Sie ist stromabhängig, so dass sich  $\tau_{eff}$  mit der Stromdichte ändert. Die Ladungsträgerlebensdauer steigt mit der Temperatur der Sperrschicht ( $T_j$ ) [Sch06], sie kann mit Gleichung 4.16 berechnet werden. Die Parameter der Gleichung sind den gemessenen Verläufen anzupassen.

$$Q_{rr} = q \cdot A_{hl} \cdot w_B \cdot \frac{j \cdot \tau_H}{q \cdot w_B} \quad (4.14)$$

$$Q_{rr} = I_L \cdot \tau_{eff} \quad (4.15)$$

$$\tau_{...} = \tau_{...}^{25^\circ\text{C}} \left( \frac{T_j}{25^\circ\text{C}} \right)^\alpha \quad (4.16)$$

Die Reverse Recovery Ladung kann mit Gleichung 4.15 mit der nicht stromabhängigen Lebensdauer  $\tau_H$  berechnet werden. Dadurch ergibt sich ein linearer Verlauf, was in erster Näherung gut zu dem Diagramm in Abbildung 4.6 passt. Durch ei-

## 4.2 Reverse Recovery

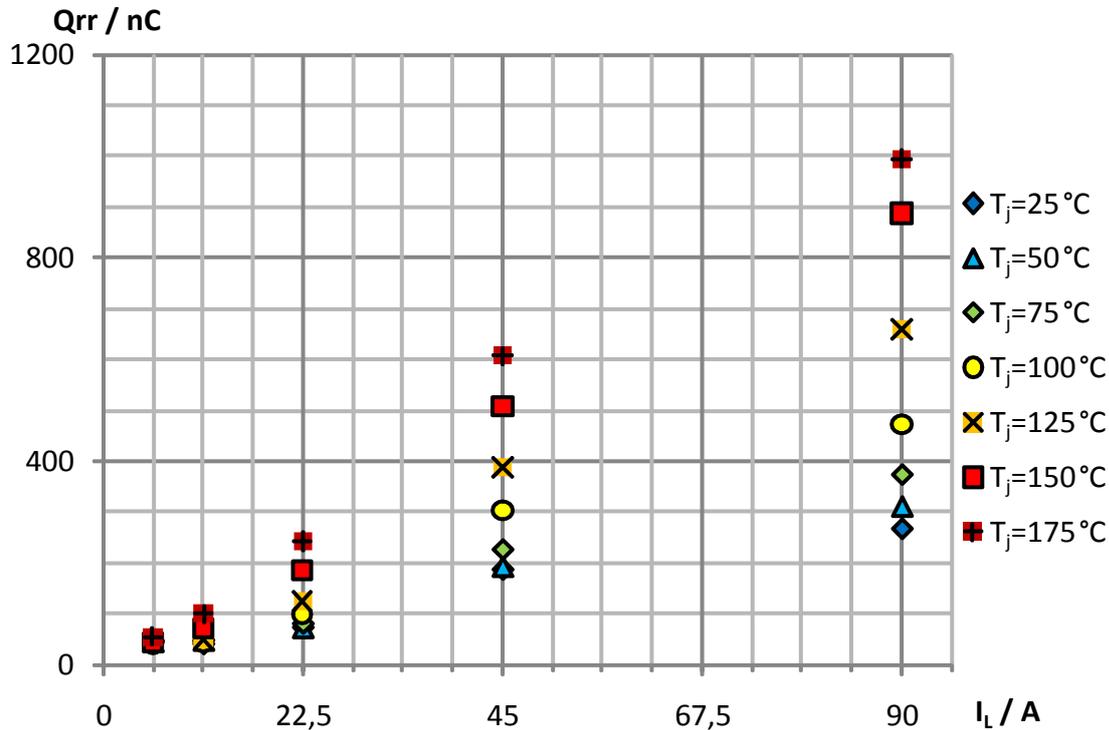


Abbildung 4.6.: Reverse Recovery Ladung der Body-Diode des SiC JFET in Abhängigkeit der Temperatur und des Stromes

ne sinkende Ladungsträgerlebensdauer bei höheren Stromdichten kann ein kleineres  $Q_{rr}$  als eine lineare Interpolation vorhersagt, erklärt werden. Durch die Kleinmann-Näherung wird der wurzelförmige Verlauf der bipolaren Ladung in Abhängigkeit des Stroms erklärt.

Die Temperatur spiegelt sich in der Gleichung 4.16 in der Ladungsträgerlebensdauer wider, durch Anpassung von  $\alpha$  und  $\tau_H$  kann die in der Messung ermittelte Temperaturabhängigkeit des  $Q_{rr}$  in guter Näherung wiedergegeben werden.

### 4.2.3. Parasitäres Aufsteuern des FET beim Reverse Recovery der Body-Diode

Das parasitäre Aufsteuern ist ein Effekt, der auf den Transistor zurückzuführen ist. Die Diode alleine betrachtet zeigt diesen Effekt nicht. Er kann beim Reverse Recovery an einer Halbbrücke mit zwei Transistoren auftreten, wenn z.B. in der Konfiguration (Abb. 4.1) die Diode D eine Body-Diode eines FET ist. Bei Verwen-

derung von Transistoren ohne Body-Diode, wie z.B. eines Bipolartransistors (BJT) oder Bipolartransistors mit isolierter Gate-Elektrode (IGBT), tritt das parasitäre Aufsteuern ebenfalls auf. Hier wird eine externe Diode antiparallel geschaltet und der Strom fließt nicht durch den Transistor. In diesem Abschnitt werden nur SiC Body-Dioden untersucht. Die Erkenntnisse sind bis auf den Einfluss der bipolaren Ladungsträger auf Transistoren mit externer Diode übertragbar [MSWF98]. Dies gilt unter der Berücksichtigung der Induktivitätsverhältnisse.

Beim parasitären Aufsteuern handelt es sich um eine Art Kurzschluss des Zwischenkreises. Der Strom fließt vor dem Reverse Recovery durch die Diode oder den Transistor, während des Vorgangs wird der zweite Transistor der Halbbrücke eingeschaltet. Sollte der Transistor des Freilaufzweiges vor der Kommutierung eingeschaltet sein, wird er mit entsprechender Verriegelungszeit vor dem Einschalten des zweiten Transistors abgeschaltet.

Der Strom kommutiert durch das Einschalten von der Diode ab. Es besteht jedoch auch die Möglichkeit, dass der abkommutierende Transistor parasitär aufsteuert und einen Stromfluss verursacht. Es entsteht der Eindruck eines Reverse Recovery Stroms. Dieser ist bei hochdynamischen Vorgängen in Verbindung mit jeglicher Last sichtbar. Je nach Laststrom, Halbleiterkonfiguration, Ansteuerschaltung und Temperatur fällt der Effekt verschieden aus.

Für das parasitäre Aufsteuern ist die Miller-Kapazität verantwortlich. Durch die Änderung der Spannung über dem Freilaufzweig während des Reverse Recoverys ändert sich auch die Drain-Source-Spannung des FET. Er beginnt Spannung aufzunehmen und baut ein zunächst dreieckförmiges elektrisches Feld ( $E$ ) am  $p^+n^-$ -Übergang auf. Dies ist das Ergebnis der Poisson-Gleichung für den Fall einer Auslegung für *non-punch-through* (NPT) oder für kleine Spannungen bei einer Auslegung für *punch-through* (PT). Das Potential lässt sich aus dem bekannten Feldverlauf durch Integration berechnen (Gl. 4.17).

Das Einsetzen der Gleichung 4.18 in das bestimmte Integral des Feldverlaufs ergibt nach einer Umformung die Drain-Source-Spannung (Gl. 4.19), mit der maximal auftretenden Feldstärke und dem Gradienten der Feldstärke.

Durch das Einsetzen der nach dem Zeitverlauf des maximalen elektrischen Feldes umgeformten Gleichung 4.19 in das Durchflutungsgesetz (Gl. 4.20) kann die

## 4.2 Reverse Recovery

---

dynamische Verschiebestromdichte ( $j_v$ ) (Gl. 4.22) hergeleitet werden. Eine ausführliche Herleitung befindet sich im Anhang.

Die Verschiebestromdichte, multipliziert mit der Fläche des Gates, ergibt den Strom, der über den Gate-Anschluss abfließen muss, wenn die Gate-Source-Spannung konstant bleiben soll. Die Spannung steigt am belasteten kapazitiven Spannungsteiler aus Gate-Source- und Miller-Kapazität bzw. am Gate-Anschluss. Der Strom wird über den komplexen Widerstand der Ansteuerschaltung durch den Spannungshub über ihm abgeführt. Wird hierbei die Schwellspannung des FET erreicht, steuert dieser parasitär auf.

$$U_{ds} = \int_0^{x'} (E(x)) dx \quad (4.17)$$

$$E(x') \left( \frac{dE}{dx} \right)^{-1} = x' \quad | \quad E(x') = \hat{E} \quad (4.18)$$

$$\frac{dU_{ds}}{dt} \cdot t = \frac{1}{2} \hat{E}^2 \left( \frac{dE}{dx} \right)^{-1} \quad (4.19)$$

$$j_v = \varepsilon \frac{d\hat{E}}{dt} \quad (4.20)$$

$$j_v = \varepsilon \sqrt{2 \cdot \frac{dU_{ds}}{dt} \cdot \frac{dE}{dx} \cdot \frac{1}{2} \cdot t^{-\frac{1}{2}}} \quad (4.21)$$

$$j_v = \varepsilon \sqrt{\frac{1}{2} \cdot \frac{dU_{ds}}{dt} \cdot \frac{dE}{dx} \cdot \frac{1}{\sqrt{t}}} \quad (4.22)$$

Um das parasitäre Aufsteuern zu verhindern, wird z.B. ein „Active Miller-Clamping“ bei der Konstruktion der Ansteuerschaltung vorgesehen [DPB<sup>+</sup>06]. Es verringert den ohmschen Widerstand der Ansteuerschaltung durch eine Überbrückung des Ausschaltwiderstands. Eine wichtige Maßnahme ist das Ausschalten mit negativer Spannung. In [MSWF98] wird dies am Beispiel eines IGBT gezeigt.

Die Quantifizierung des parasitären Aufsteuerns läuft wie die der anderen Ladungsteile beim Reverse Recovery ab. Da der Effekt nicht alleine auftritt, sondern immer in Verbindung mit der bipolaren Reverse Recovery Ladung  $Q_{rr}$  und der Sperrschichtladung  $Q_c$ , wird die Kenntnis dieser vorausgesetzt. Die Ladung  $Q_c$  kann einfach über das Forward Recovery ermittelt werden, in diesem Fall tritt kein parasitäres Aufsteuern auf, bzw. würde es keine Auswirkung haben. Die Ladung  $Q_{rr}$  wird bei

Vorgängen mit geringer Dynamik ( $du/dt = 5,5 \text{ kV}/\mu\text{s}$ ) gemessen. Durch eine Variation der Dynamik bzw. der negativen Vorspannung wird das Nichtauftreten des parasitären Aufsteuerns bei der  $Q_{rr}$  - Messung verifiziert. Die Ladung durch parasitäres Aufsteuern ( $Q_{to}$ ) kann durch Subtraktion der bekannten Ladungen ermittelt werden.

Bei einem hochsperrenden Si-FET kann der Fall eintreten, dass ein parasitärer Bipolartransistor leitend wird und eine Ladung wie das  $Q_{to}$  verursacht [Sin04]. Bei einem Si-FET mit niedrigen Sperrspannungen tritt dies nicht auf. Dies beruht auf dem Bahnwiderstand des  $p^+$ -Gebiets. Das Aufsteuern des parasitären BJT lässt sich im Experiment nicht bestätigen. Da die SiC Body-Diode nahezu die gleiche Ladung beim Reverse Recovery (Messung Abb. 4.5) aufnimmt wie sie beim Forward Recovery abgegeben hat, kann dieses Problem ausgeschlossen werden. Der SiC-FET für  $U_{BD} = 1,2 \text{ kV}$  verhält sich wie ein Si-FET für  $U_{BD} = 120 \text{ V}$ , bei dem dieses Problem ebenfalls nicht auftritt.

Die folgenden Messungen und ihre Analysen sind in drei Abschnitte gegliedert. Der erste beschäftigt sich mit dem Einfluss der Rückkopplung der gemeinsamen Source-Induktivität (s. Kap. 3). Es wird gezeigt, wie sich die Ansteuerschaltung auswirkt. Die Schaltversuche wurden bei Raumtemperatur durchgeführt, da die Temperatur auf die parasitären Elemente kaum Einfluss hat. Der letzte Abschnitt beschäftigt sich mit dem Einfluss des Plasmas der Diode auf den JFET bei verschiedenen Temperaturen.

### 4.2.3.1. Einfluss der Rückkopplung über die Sourceinduktivität

Die Aufbauten, die die Halbleiter beinhalten, weisen zusätzliche parasitäre Elemente auf. Durch die Verwendung von handelsüblichen Gehäusen, die nicht speziell auf hochdynamische Vorgänge optimiert sind, kann der Einfluss dieser parasitären Elemente nicht vernachlässigt werden. Bei den hohen Stromdichten in den Anschlüssen und den nötigen Abständen aufgrund der ebenfalls hohen Sperrspannung entstehen Leitungsbeläge, die als Induktivitäten dargestellt werden. Die für diesen Abschnitt wichtigen parasitären Induktivitäten sind in Abbildung 4.7 vollständig abgebildet. Zusätzlich befindet sich am Drain-Anschluss eine Induktivität, auf die kurz eingegangen wird. Sie wird ebenfalls durch den Aufbau des Kommutierungskreises be-

## 4.2 Reverse Recovery

---

einflusst. Bei den SiC-JFET Body-Dioden Reverse Recovery-Vorgängen wird der „Cascode Light“-Aufbau [DZ10] (Abb. 4.7) verwendet, bzw. der Schaltungsteil in Abbildung 4.9.

Die Wirkungsweise der Rückkopplung ist durch die Stromänderung beim Schalten begründet. Hierdurch wird in den parasitären Induktivitäten eine Spannung induziert. Das Schlüsselement ist die gemeinsame Induktivität im Ansteuer- und Lastkreis. Der Spannungsabfall an den parasitären Induktivitäten in den Abbildungen ist bei einem Stromabbau  $di/dt < 0$ , bestimmt durch die Zählpfeilrichtung, negativ. Die als unbekannt anzusehende interne Gate-Source-Spannung kann durch die Masche um die Ansteuerung, das Gate und die parasitären Elemente im Gatekreis, bestimmt werden. Die Maschengleichung 4.23 zeigt den einfachsten Fall, indem nur der JFET genutzt wird, ohne den Zweig  $L_{Br}$  und ohne Wirkung der Kaskode.

$$U_{gdu,J} + \frac{di_A}{dt} L_{s,J} + U_{CS} - U_{Gg,J} = U_{gs,J} \quad (4.23)$$

Unter Vernachlässigung der Spannungen  $U_{Gg,J}$  und durch das Nichtbeachten von  $U_{CS}$  wird sichtbar, wie eine fallende Flanke des Anodenstroms die ohnehin negative Spannung der Ansteuerschaltung unterstützt. Durch den abkommutierenden Strom ist die negative Spannung schon kurz vor dem Reverse Recovery vorhanden und kann die Gate-Source-Kapazität entladen. Die tiefer entladene Gate-Source-Kapazität, ihre stark negative Vorspannung, kann den Verschiebestrom durch die Miller-Kapazität gut aufnehmen. Dies ist von Bedeutung, wenn durch den internen Gatewiderstand bzw. die interne parasitäre Induktivität am Gate das Abfließen des Verschiebestroms behindert wird. Mit zunehmendem Laststrom und Flankenteilheit des kommutierenden Stroms nimmt das parasitäre Aufsteuern ab, da die Gate-Source-Kapazität länger entladen wird. Durch eine steigende Flanke des Anodenstroms wird eine gegenteilige Wirkung erzielt. Dies gilt unabhängig vom verwendeten Halbleitertyp.

Die Wirkung der Rückkopplung der Sourceinduktivität wird im Folgenden exemplarisch am JFET in Form des „Direct Driven JFET“ [DKM11] gezeigt. Bei dieser Schaltungstopologie ist ein PMOS zusätzlich im Kommutierungskreis, der ebenfalls

eine Rückkopplung erfährt.

$$U_{gdu,M} - \frac{di}{dt}L_{s,M} + U_{CS} = U_{GS,M} \quad (4.24)$$

Der PMOS benötigt eine negativere Gate-Source-Spannung als seine Schwellspannung, um leitend zu werden. Diese wird im statischen Fall von der Ansteuerschaltung  $U_{gdu,M}$  geliefert. Die fallende Flanke des kommutierenden Anodenstroms verringert den Betrag der wirksamen Spannung am Gate des PMOS. Dies zeigt die Maschengleichung 4.24 unter Vernachlässigung von  $U_{CS}$ . Der PMOS wird durch die Rückkopplung während des fallenden Anodenstroms abgeschnürt. Solange der Anodenstrom positiv ist, fließt er ungehindert durch die Body-Diode des PMOS. Nach dem Nulldurchgang kann sich die Rückkopplung in einem Spannungsabfall über dem PMOS bemerkbar machen. Er folgt dem Spannungsabfall an der Induktivität  $L_{s,M}$

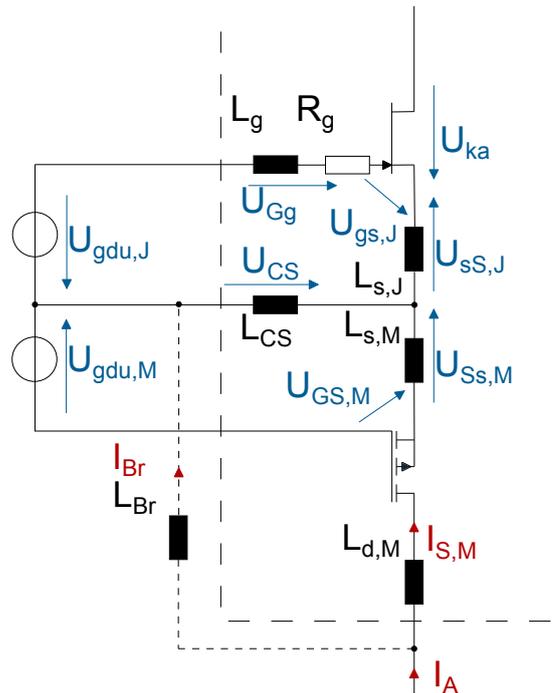
Um den Einfluss deutlich zu machen, sind in der Abbildung 4.8 zwei Messungen dargestellt. Sie weisen unterschiedlich große Rückkopplungen auf. Die Rückkopplung mit der modulinhärenten parasitären Induktivität  $L_{s,J}$  unter Verwendung der Schaltung wie in Abbildung 4.7 ohne Beachtung von  $L_{Br}$  zeigt die gemessenen Strom- und Spannungsverläufe wie in Abbildung 4.8 (Strichlinie). Sie werden als Referenz bezeichnet und in weiteren Darstellungen als solche verwendet.

Eine größere Rückkopplung kann künstlich durch die Verwendung von  $L_{Br}$  erzeugt werden. Der zusätzlich eingeführte Strompfad über die parasitäre Induktivität  $L_{Br}$  ist parallel zum PMOS geschaltet. Der Laststrom teilt sich am Knoten ( $L_{s,J}$ ,  $L_{s,M}$ ,  $L_{CS}$ ) auf und fließt durch die parallelen Zweige. Da hierdurch die Induktivität  $L_{CS}$  von Laststrom durchflossen wird, ist auch  $U_{CS}$  laststromabhängig und muss in den Maschengleichungen berücksichtigt werden. Durch die Verwendung von  $L_{Br}$  wird die Rückkopplung bei der Ansteuerung des JFET vergrößert und beim PMOS verkleinert.

Die Messung mit der erhöhten Rückkopplung ist in Abbildung 4.8 mit Volllinien dargestellt und mit  $L_s$  groß bezeichnet.

Die beiden Verläufe der Vorgänge in Abbildung 4.8 sind bis zum Zeitpunkt  $t_3$  identisch. Der Laststrom fließt zu Beginn  $0 < t < t_1$  durch die Body-Diode, bis der obere

## 4.2 Reverse Recovery

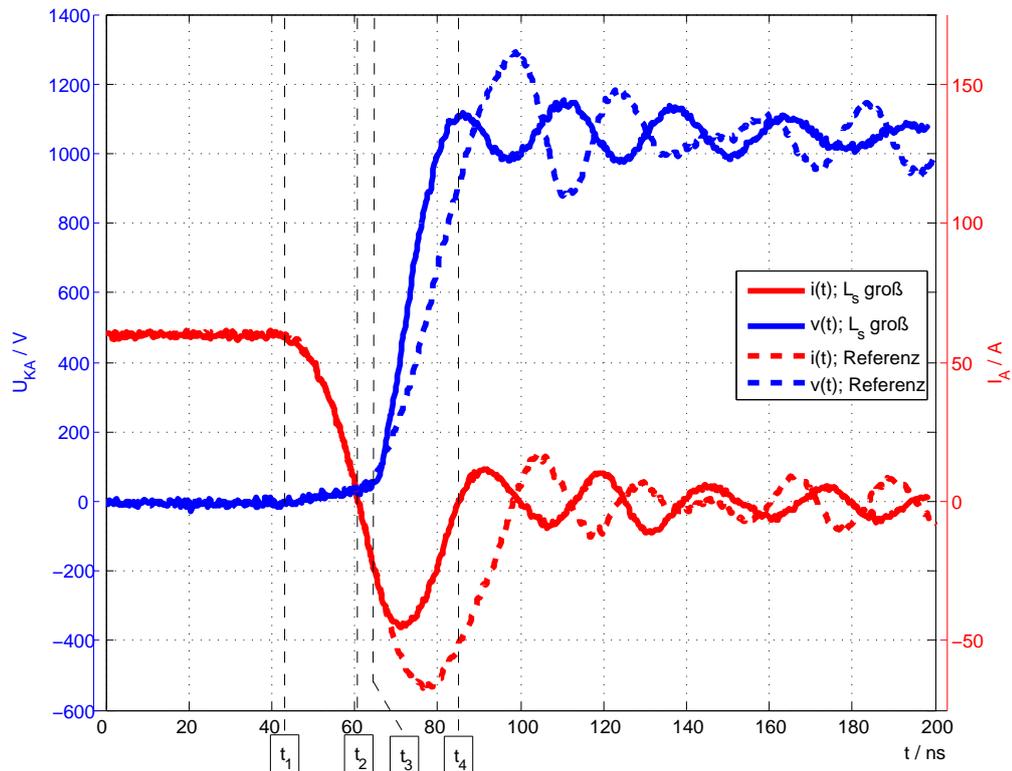


**Abbildung 4.7.:** Ersatzschaltbild des unteren Schalters, Direct Driven JFET Moduls mit Ansteuerschaltung

Schalter anfängt, den Strom zu übernehmen. Der Strom fällt und wechselt bei  $t_2$  sein Vorzeichen. Zunächst ist die Diode noch nicht sperrfähig, da sie mit Plasma überflutet ist. Das Plasma wird ab  $t_1$  im hochdotierten Bereich des  $p^+n^-$ -Übergangs durch Auger-Rekombination kleiner, da durch den sinkenden Strom weniger Ladungsträger emittiert werden. Ab  $t_2$  werden keine Ladungsträger mehr emittiert, durch den Spannungsaufbau am unteren JFET wird das Plasma extrahiert. Solange der  $p^+n^-$ -Übergang nicht frei von Plasma ist, leitet die Diode. Dieser Zustand dauert bis zum Zeitpunkt  $t_3$  an. Der Strom ist deutlich negativ geworden, die gemessene Spannung ist bis  $t_3$  auf die Induktivitäten zwischen den Messanschlüssen zurückzuführen.

Die Body-Diode nimmt ab  $t_3$  in beiden Fällen Spannung auf. Erst von diesem Zeitpunkt an ist es möglich, dass der JFET parasitär aufsteuert. Durch die Sperrspannung wird das elektrische Feld über dem  $p^+n^-$ -Übergang aufgebaut und der Verschiebestrom (Gl. 4.22) fließt. Er ist aufgrund der Zeitabhängigkeit zu Beginn am größten.

Die beiden Stromtransienten verlaufen nach  $t_3$  verschieden, wobei parasitäres Aufsteuern bei beiden auftritt. Ein Vergleich des Spannungsverlaufs zeigt, dass para-



**Abbildung 4.8.:** Verläufe von Strom und Spannung des Reverse Recovers der JFET Body-Diode mit großer Sourceinduktivität und der Referenz

sitäres Aufsteuern den gesamten Schaltvorgang beeinflusst. Der langsamere Spannungsanstieg der Referenz ist mit dem höheren Strom im einschaltenden JFET zu begründen (s. Kap. 3). Die Überspannungsspitze bei  $t_4$  bzw. bei  $t \approx 100$  ns ist auf die parasitäre Induktivität im Kommutierungskreis und die Änderung des Stroms zurückzuführen. Die Flankensteilheit des Stromes bei kleiner Rückkopplung ist größer, womit die Überspannung höher sein muss.

Der Direct Driven JFET ist vom Grundgedanken her eine Kaskode, die nur im Fehlerfall als solche genutzt wird. Im Normalbetrieb wird der JFET geschaltet und der PMOS ist eingeschaltet. Die hierfür nötige Schaltung ist in Abbildung 4.9 dargestellt. Der Unterschied zur Schaltung in Abbildung 4.7 ist der Strompfad mit der Diode D. Dieser Strompfad entlädt zuverlässig das Gate des JFET, wenn der PMOS im Fehlerfall abgeschaltet wird [DZ10].

## 4.2 Reverse Recovery

---

Eine Masche um die Elemente  $D$ ,  $L_D$ ,  $R_D$  die mit  $U_L$  charakterisierten Elemente, die Gate-Source-Kapazität des JFET und  $L_g$ ,  $R_g$  zeigt die Wirkungsweise des Diodenzweiges. Die Maschengleichung 4.25 beinhaltet die dynamischen Spannungen im Reverse Recovery Fall. Die Spannung der Ansteuerschaltung findet sich in der Gate-Source-Spannung des JFET wieder. Die Spannungsabfälle an den Induktivitäten und dem PMOS sind in der Spannung  $U_L$  zusammengefasst. Die Maschengleichung ist nach der Flussspannung der Diode umgestellt. Wird die Spannung positiv, fließt Strom aus dem Gate, und der JFET schließt. Eine Überlagerung mit einer Masche über der Ansteuerschaltung wird im Folgenden vernachlässigt:

$$U_{Dio} = U_{Gg} + U_{gs,J} - U_{LR} - U_L \quad (4.25)$$

Im Fehlerfall wird der JFET langsam abgeschaltet. Der Strompfad der Diode wird mit einem Widerstand  $R_D = 50 \Omega$  dimensioniert [NLD12] und die parasitäre Induktivität  $L_D$  muss in diesem Fall nicht klein sein. Somit ergibt sich im Normalbetrieb keine Beeinflussung durch die Diode, da schon bei kleinen Strömen viel Spannung am Widerstand abfällt. Es ergibt sich das gleiche Schaltverhalten wie ohne Diode, dies ist als Referenz dargestellt und ist dem Schaltverhalten des JFET zuträglich. Der Diodenstrompfad führt zu einer Rückkopplung der Laststromänderung auf die Gate-Source-Spannung am JFET. Die Rückkopplung wird bei sehr kleinen Widerständen und parasitären Induktivitäten  $L_D$  bemerkenswert groß. Sobald die Summe der Spannungen  $U_L$  und  $U_{gs,J}$  größer als die Flussspannung der Diode ist, wird das JFET Gate entladen. Dies ist im Reverse Recovery Fall günstig, da durch die Rückkopplung das parasitäre Aufsteuern verhindert wird.

Die Abbildung 4.10 zeigt die Messung mit der Diode D und sehr kleinen Werten für  $L_D$  und  $R_D$ , zum Vergleich ist die Referenz mit abgebildet. Die Kurven decken sich erneut bis zum Zeitpunkt  $t_3$ . Ab  $t_3$  ist bei der Messung mit kleinem  $L_D$  zu beobachten, dass der Strom nicht weiter sinkt. Die Ursache hierfür liegt in der starken Rückkopplung. Die rückkoppelnden Induktivitäten sind um ein Vielfaches größer. Sie wirken nur für den Fall, dass der Spannungsabfall an ihnen größer als die Vorspannung der Diode ist. In diesem Fall fließt ein Entladestrom. Die Steuerdiode des

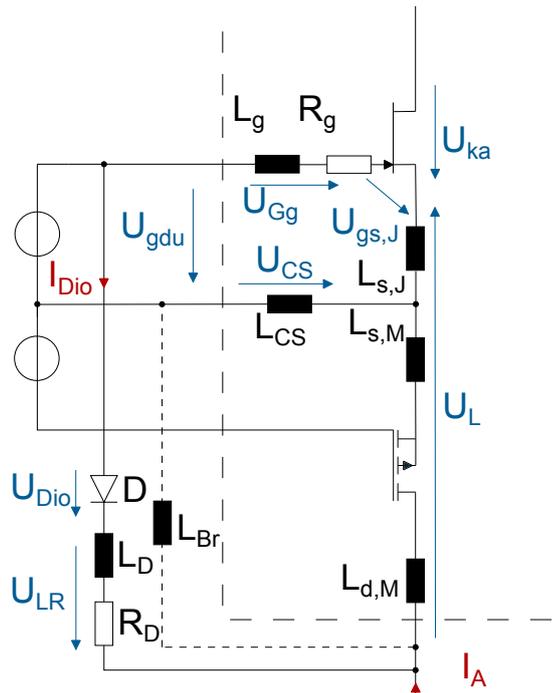


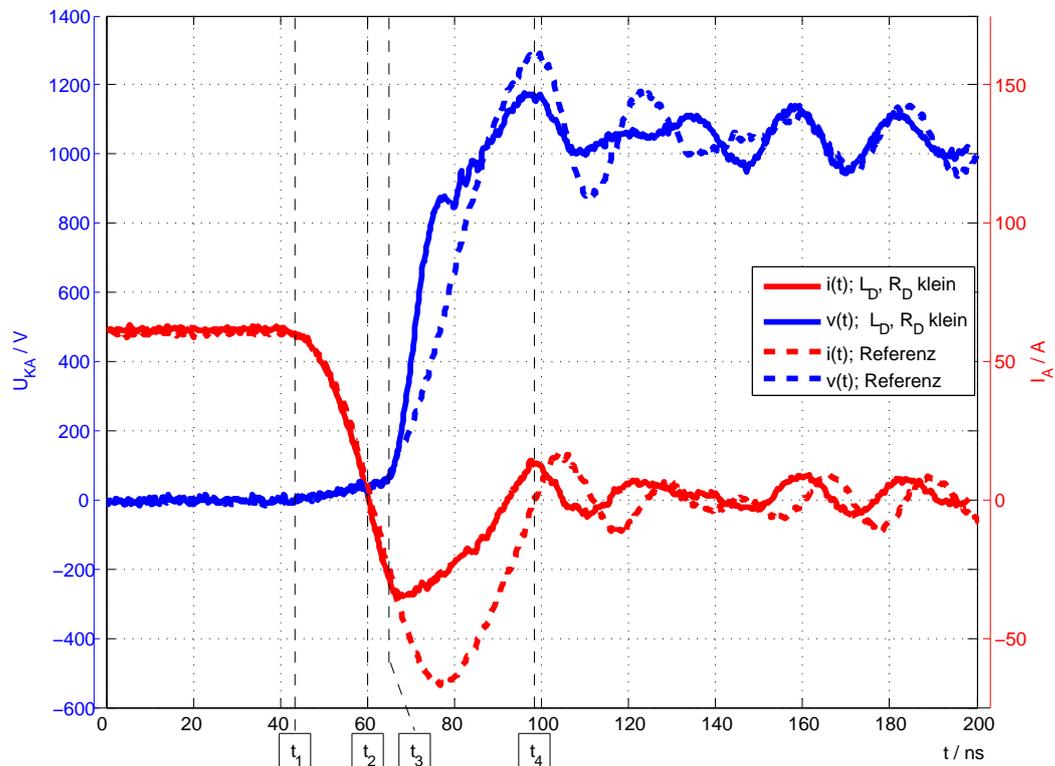
Abbildung 4.9.: Ersatzschaltbild des unteren Schalters des Direct Driven JFET Moduls mit vollständiger Ansteuerschaltung

JFET wird hierdurch in den Durchbruch getrieben. Der dynamische Gatestrom kann den Verschiebestrom (Gl. 4.22) ohne Anhebung der internen Gate-Source-Spannung kompensieren. Das parasitäre Aufsteuern wird zu Beginn vollständig unterbunden. Durch den kleineren Strom im einschaltenden JFET steigt die Spannung an der Diode schneller.

Da der Strom ab dem Zeitpunkt  $t_3$  wieder steigt, hat sich das Vorzeichen von  $U_L$  umgedreht. Die Diode D wird nun mit Sperrspannung beaufschlagt, durch die Verwendung einer Schottky-Diode mit einer hohen Sperrschichtkapazität liegt nun eine Mitkopplung vor. Die hohe Flankensteilheit und die Mitkopplung bewirken ein parasitäres Aufsteuern des JFET. Dies verursacht den bauchig-runden Verlauf des Reverse Recovery Stroms. Ein Vergleich des Spannungsverlaufs zeigt, dass die Überspannung geringer ausfällt. Durch das Aufsteuern wird die Spannung wie bei einem *aktiv clamping* vor der Überspannungsspitze abgeflacht.

Der Vergleich einer Auswertung der beiden unterschiedlichen Rückkopplungen ergibt näherungsweise identische Ladungen. Die Rückkopplung über die Diode kann

## 4.2 Reverse Recovery



**Abbildung 4.10.:** Verläufe von Strom und Spannung des Reverse Recovers der JFET Body-Diode mit niederinduktiver Diode D und der Referenz

im Hinblick auf die Wirkung der Sperrschichtkapazität optimiert werden, wodurch das parasitäre Aufsteuern völlig unterdrückt werden könnte. Schaltungstechnisch kann die Rückkopplung über zwei Strompfade realisiert werden. Ein aktiv anzusteuender Strompfad, der während des Reverse Recovers aktiv ist, und ein zweiter, der immer aktiv ist, aber keine Beeinflussung darstellt.

Das parasitäre Aufsteuern kann durch eine Kombination der beiden gezeigten Rückkopplungen nicht verringert werden. Da die Spannung  $U_L$  auf diese Weise verkleinert wird, ist die Diode D nicht mehr leitend und die Gegenkopplung über die Diode D unwirksam. Es besteht nur die Gegenkopplung über eine erhöhte Sourceinduktivität.

Die Rückkopplung ist scheinbar unabhängig von der Höhe des Laststroms, da die Spannungsabfälle von der Flankensteilheit des Drainstroms und den parasitären In-

duktivitäten verursacht werden. Es ergibt sich jedoch durch die Widerstände und Induktivitäten in den gezeigten Maschen je eine Zeitkonstante. Dadurch kommt es erst nach einer gewissen Zeit zu dem Stromfluss, der das parasitäre Aufsteuern verhindert. Aus diesem Grund wird beispielsweise das Aufsteuern ohne Laststrom im ersten Moment nicht verhindert.

Die Einführung eines Kelvinkontaktes [SVZ<sup>+</sup>13] muss sich negativ auf das parasitäre Aufsteuern auswirken, wenn nicht weitere Maßnahmen zu seiner Verhinderung ergriffen werden. Die Rückkopplung ist bei Verwendung eines MOSFET kritisch, da die Gate-Source-Spannung oft nur für kleine negative Werte spezifiziert wird [CI].

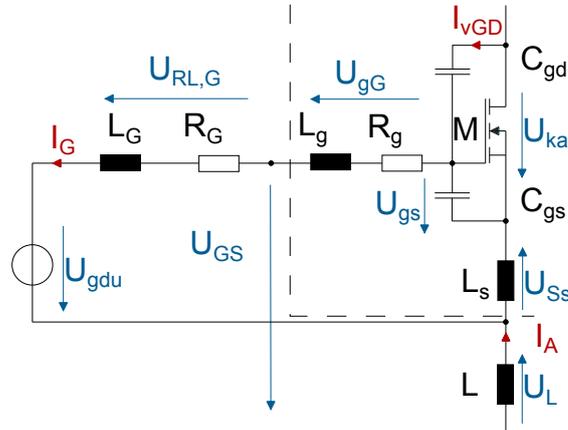
### 4.2.3.2. Einfluss der Ansteuerschaltung

Durch die Ansteuerschaltung kann das parasitäre Aufsteuern der Halbleiter deutlich beeinflusst werden. Die Auslegung der Ansteuerung konzentriert sich meist auf das Schaltverhalten. Es werden externe Gatewiderstände eingeführt, z.B. um die Flankensteilheit des Spannungsanstiegs beim Abschalten zu verringern. Der externe Gatewiderstand ist im Normalfall während der gesamten Auszeit wirksam. Die folgenden Versuche zeigen, wie sich das Aufsteuern in Abhängigkeit dieses Widerstands verhält. Aus den gewonnenen Erkenntnissen können Rückschlüsse auf weitere Faktoren der Ansteuerschaltung gezogen werden. Die kleingehaltene parasitäre Induktivität am Source ( $L_s$ ) ist hier ebenfalls vorhanden, wird aber im Allgemeinen vernachlässigt.

Der Innenwiderstand der Ansteuerschaltung oder der Gatewiderstand hat auf das parasitäre Aufsteuern einen Einfluss, da beim Reverse Recovery ein dynamischer Verschiebestrom zwischen Gate und Drain ( $i_{vGD}$ ) (Abb. 4.11 ) aufgrund der dynamischen Verschiebestromdichte ( $j_v$ ) (Gl. 4.22) fließt. Dieser Strom teilt sich auf. Ein Teil des Stroms fließt in die Ansteuerschaltung, der restliche Strom lädt die Gate-Source-Kapazität auf. Die Ströme teilen sich aufgrund des Widerstands der Ansteuerschaltung und der Spannung der Gate-Source-Kapazität auf. Die Ladung auf dem  $C_{gs}$  wird durch die interne Gate-Source-Spannung repräsentiert. Ist der interne Gatewiderstand und die interne parasitäre Induktivität am Gate zu vernachlässigen, ist auch die Spannung zu vernachlässigen. Der Halbleiter zeigt kein parasitäres Aufsteuern.

## 4.2 Reverse Recovery

Die Halbleiter weisen aufgrund der Prozesstechnologie einen internen Gatewiderstand auf, bei dem verwendeten MOSFET beträgt er  $5 \Omega$ . Das Reverse Recovery der Body-Diode mit diesem Widerstand ist in der Abbildung 4.12 dargestellt.



**Abbildung 4.11.:** Auszug aus dem MOSFET Ersatzschaltbild mit Ansteuerung beim Reverse Recovery

Das Reverse Recovery (Abb. 4.12) beginnt bei  $t_1$ , die Messung zeigt einen Vorgang ohne Laststrom, um eine bipolare Ladung und Rückkopplungen auszuschließen, bzw. zu reduzieren. Der Zeitpunkt  $t_1$  markiert den Beginn der Kommutierung, des Spannungsanstiegs und das Freiwerden des  $p^+n^-$ -Übergangs.

Die Messung (Abb. 4.12 oben) zeigt den Anodenstrom und die Kathoden-Anoden-Spannung an der Body-Diode. In der Abbildung 4.12 unten ist der Strom  $I_G$  und die Spannung  $U_{GS}$  dargestellt. Die gemessene Spannung an den Gate- und Source-Anschlüssen  $U_{GS}$  ist in der Maschengleichung 4.26 beschrieben. Die Größen sind im Schaltbild (Abb. 4.11) dargestellt. Die Ansteuerschaltung ist bei der Messreihe entfernt worden, um die Streuinduktivität zu minimieren. Daraus folgt eine Spannung von  $U_{gdu} = 0 \text{ V}$ .

$$U_{GS} = U_{RL,G} - L \frac{di_A}{dt} \quad (4.26)$$

$$U_{gs} = U_{gG} + U_{RL,G} + L_s \frac{di_A}{dt} \quad (4.27)$$

Die Spannung  $U_{KA}$  steigt, da der obere Transistor der Halbbrücke eingeschaltet wird.

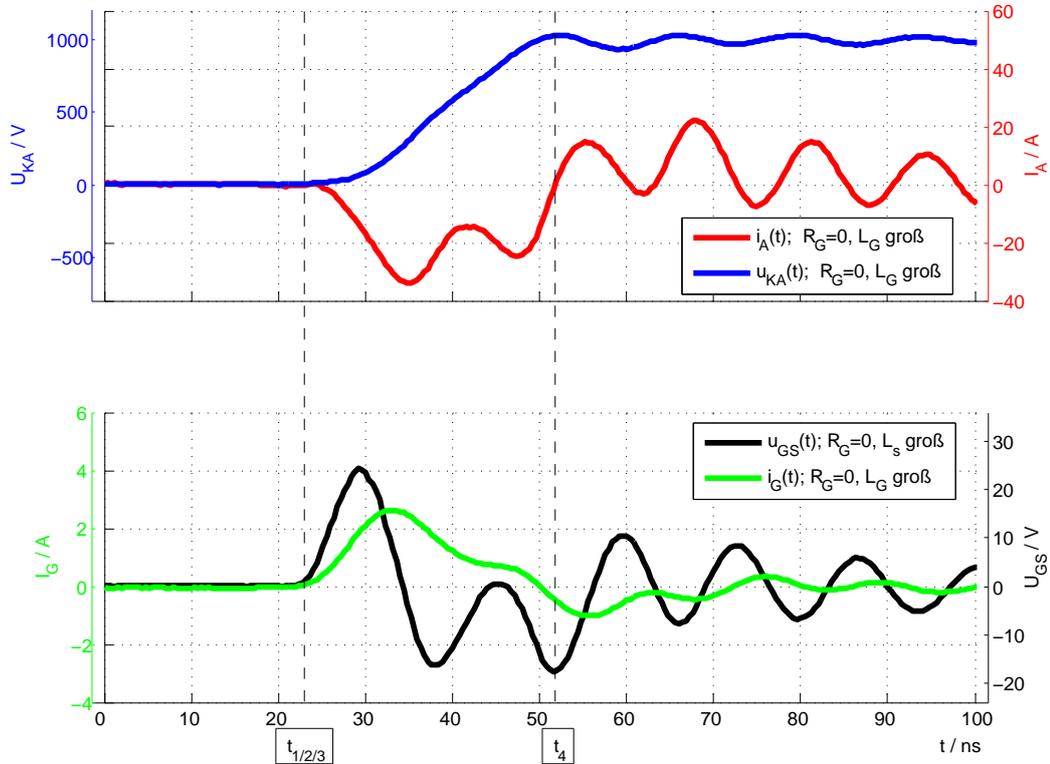


Abbildung 4.12.: Reverse Recovery der SiC MOSFET Body-Diode mit  $R_G = 0 \Omega$

Er gibt weitgehend den Spannungsanstieg vor. Durch die Stromänderung im Kommutierungskreis fällt an der parasitären Induktivität Spannung ab, was den Anstieg beeinflusst. Der Reverse Recovery Strom verändert ebenfalls das Schaltverhalten des oberen Transistors.

Die Spannung  $U_{GS}$  steigt zuerst schnell aufgrund des fallenden Anodenstroms und der parasitären Induktivitäten  $L_s, L$ , wobei  $U_L$  nur gemessen wird und nicht auf den Strom  $I_G$  wirkt. Die Spannung  $U_{GS}$  wird durch den Strom  $I_G$  und die Spannung  $U_{RL,G}$  im weiteren Verlauf verändert.

Nach  $t_1$  wird ein elektrisches Feld im MOSFET aufgebaut, welches den dynamischen Verschiebestrom zwischen Gate und Drain ( $i_{vGD}$ ) verursacht. Der Verschiebestrom verursacht eine exponentielle Annäherung der Spannung  $U_{gs} = I_{vGD} \cdot (R_{g+G})$  mit der Zeitkonstanten  $\tau = R_{g+G} \cdot C_{gs}$ . Der Strom  $I_G$  ist näherungsweise proportional zur Spannung  $U_{gs}$ , die mit dem Versatz von  $\tau$  früher auftritt. Die Spannung  $U_{Ss}$

## 4.2 Reverse Recovery

---

verkleinert  $U_{gs}$  (Gl. 4.27).

Während des Reverse Recoverys steigt die Gate-Source-Spannung über die Schwellspannung, es kommt zum parasitären Aufsteuern des Kanals. Der Kanalstrom ist dem kapazitiven Strom der Diode überlagert. Der Anodenstrom  $I_A$  zeigt einen langsameren Rückgang vor  $t_4$ .

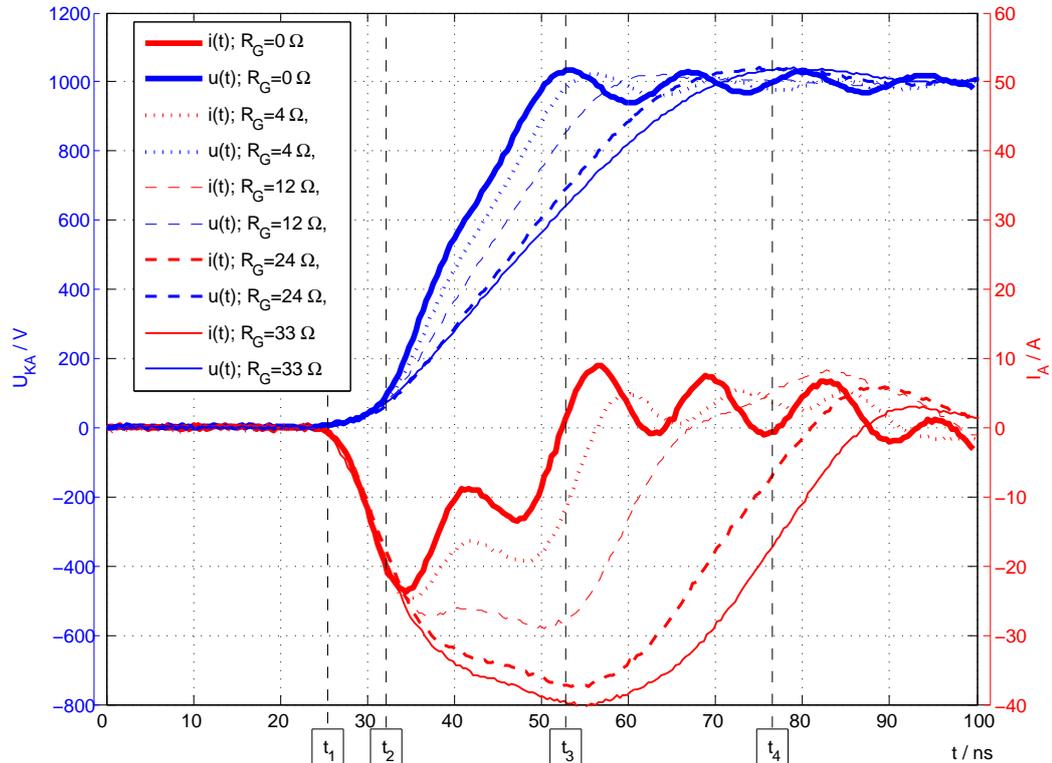
Wird zu dem bereits vorhandenen internen Gatewiderstand noch ein externer Widerstand hinzugefügt, wird das parasitäre Aufsteuern stark beeinflusst. Dies ist an den folgenden beiden Abbildungen zu sehen:

Abbildung 4.13 fasst die Messungen der Kathoden-Anoden-Spannungen und Anodenströme bei verschiedenen externen Gatewiderständen zusammen. Alle Vorgänge beginnen bei  $t_1$  wie in Abbildung 4.12. Das parasitäre Aufsteuern beginnt um den Zeitpunkt  $t_2$ , was durch die verschiedenen Kurven sichtbar wird. Sie zeigen bei größeren Widerständen an dieser Stelle die ersten Unterschiede. Ab diesem Zeitpunkt beginnt die Spannung schneller zu steigen.

Durch höhere Gatewiderstände wird bis  $t_3$  ein Anstieg der Gate-Source-Spannung und eine Zunahme des Aufsteuerns verursacht. Die Flankensteilheit der Kathoden-Anoden-Spannung ist bei hohem Gatewiderstand um den Faktor Zwei reduziert. Dies ist auf den zusätzlichen Strom, den der obere Halbleiter führen muss, zurückzuführen.

Die Vorgänge mit  $R_G > 4 \Omega$  zeigen ein Aufsteuern über den Spannungsanstieg hinaus. Bei  $R_G = 33 \Omega$  ist deutlich sichtbar, dass nach  $t_4$  noch ein Kanalstrom fließt. Eine Auswertung der in Abbildung 4.13 gezeigten Messung, bezüglich ihrer Ladung, ist in einem Diagramm in Abbildung 4.14 gegeben. Das Diagramm zeigt bei verschiedenen Gatewiderständen die gesamte Ladung während des Reverse Recoverys. Die Abhängigkeit der Ladung kann in guter Näherung von einer Geradengleichung beschrieben werden. Eine Herleitung der Funktion der Ladungsmenge in Abhängigkeit des Gatewiderstands muss die Gleichung 4.22 mit einer Rückkopplung auf den Spannungsanstieg beinhalten. Dieses komplexe Systemverhalten kann mit einem geringen Aufwand simuliert werden.

Die Ergebnisse zweier Simulationen sind im Diagramm abgebildet. Die „Simulation 2“ ist ein möglichst genaues Abbild des Aufbaus mit seinen parasitären Elementen.



**Abbildung 4.13.:** Verläufe von Strom und Spannung des Reverse Recoverys der MOSFET Body-Diode bei verschiedenen Gatewiderständen

Diese Simulation ist im Original mit dem Stromverlauf des Reverse Recoverys und den wichtigsten Parametern im Anhang dokumentiert. Die „Simulation 1“ beinhaltet keine parasitären Induktivitäten, sonst ist sie identisch mit der im Anhang dokumentierten Simulation. Der lineare Zusammenhang hat für ca.  $R_G > 12 \Omega$  Gültigkeit. Ein Erklärungsansatz für eine lineare Abhängigkeit ist, dass der FET ein ladungsgesteuerter Halbleiter ist. Steigt die Kathoden-Anoden-Spannung immer auf den gleichen Spitzenwert, wird unabhängig von Dauer und Form des Anstiegs das Integral nach der Zeit über  $I_v$  gleich groß sein. Diese Ladung fließt über den Gatewiderstand mit der Zeitkonstanten  $\tau$  ab. Wächst der Gatewiderstand, bleibt der Kanal länger offen und verursacht eine größere Menge an  $Q_{to}$ . Dabei muss sich der Vorgang ungefähr im Rahmen der Zeitkonstanten  $\tau$  abspielen.

Der lineare Zusammenhang ist bei kleinen  $R_G$  Werten nicht mehr gegeben. Dies ist darauf zurückzuführen, dass bei kleinen Widerständen die Gate-Source-Spannung

## 4.2 Reverse Recovery

klein ist. Bei kleinen  $U_{gs}$  nahe über der Schwellspannung nimmt die Transkonduktanz stark ab, wodurch der lineare Zusammenhang verzerrt werden kann. Wird die Schwellspannung des Halbleiters nicht erreicht, entsteht keine zusätzliche Ladung durch parasitäres Aufsteuern. Die Geradengleichung erhält einen Schnittpunkt mit der Abszisse bei einem Gatewiderstandswert, durch dessen Verwendung kein parasitäres Aufsteuern auftritt. Die verbleibende Ladung besteht aus den sonstigen Ladungsteilen beim Reverse Recovery. Dies wirkt sich in beiden Simulationen aus. Die Messung zeigt eine Geradengleichung, die durch den Ursprung verläuft. Das Verhältniss aus  $C_{gs}$  zu  $C_{gd}$  beeinflusst das parasitäre Aufsteuern maßgebend. Die Steigung der Gerade wird durch die Rückkopplung über  $L_s$  mitbestimmt. Die Spannung  $U_{Ss}$  wirkt länger bei größerem Aufsteuern durch das anhaltende Sinken des Anodenstroms in der Zeitspanne  $t_2 < t < t_3$  (Abb. 4.13).

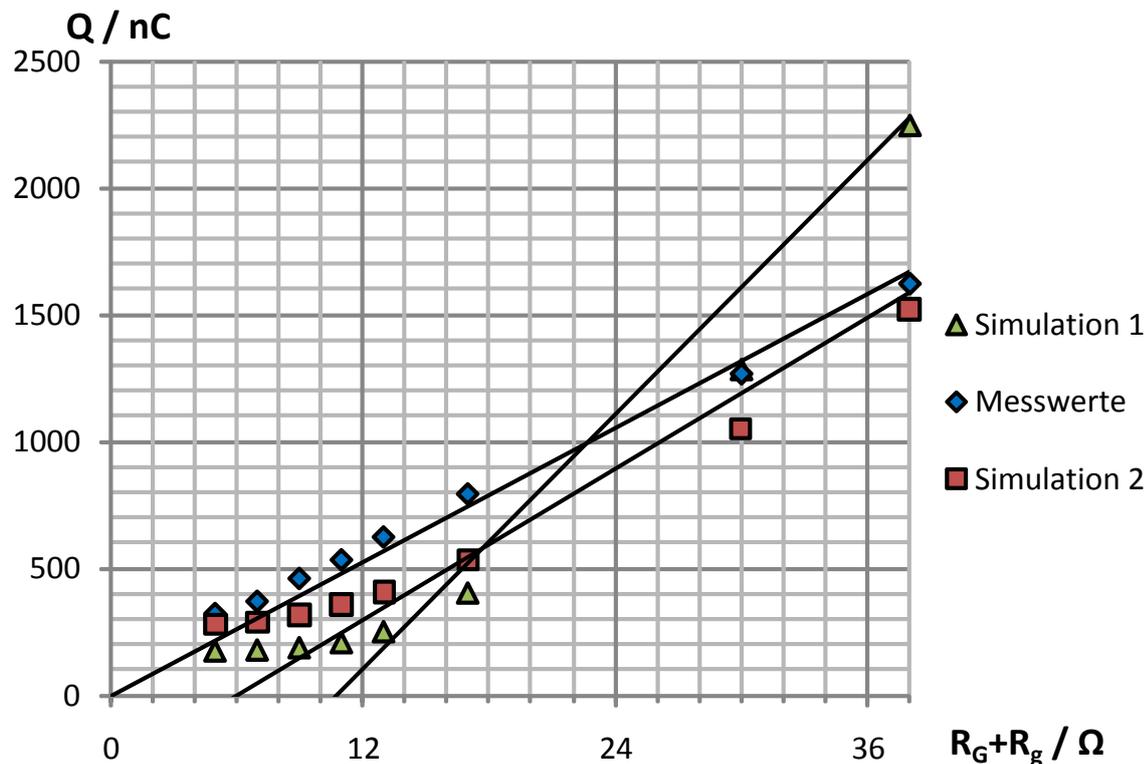


Abbildung 4.14.: Ladung beim Reverse Recovery ( $I_L = 0$  A) in Abhängigkeit vom gesamten Gatewiderstand

Das Verhalten einer externen parasitären Induktivität am Gate muss durch eine Simulation oder Messung verifiziert werden. Das transiente Verhalten des Stroms an der Induktivität entspricht nicht dem eines Widerstandes. Eine Induktivität in

der Größenordnung der internen parasitären Induktivität am Gate wirkt sich in den Simulationen und Messungen kaum aus.

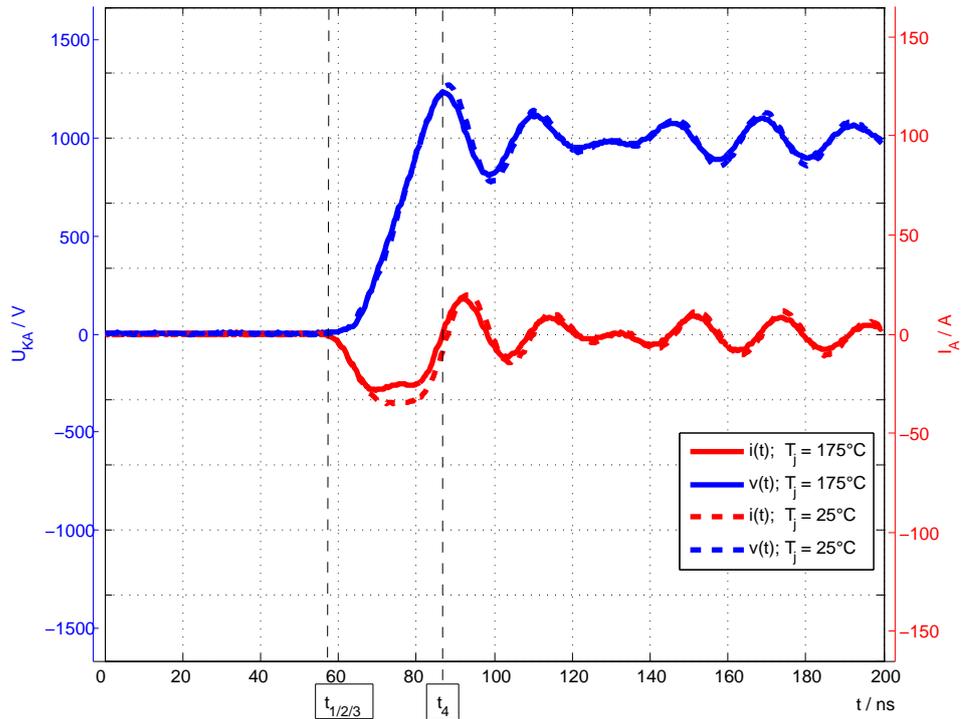
Die Messungen zeigen nur Versuche mit einer Vorspannung der Gate-Source-Kapazität von  $U_{gs} = 0 \text{ V}$ . Wird diese Spannung abgesenkt, tritt das Aufsteuern erst bei größeren Gatewiderständen ein. Die Ansteuerspannung muss nicht proportional zum Gatewiderstand wachsen, um das parasitäre Aufsteuern zu verhindern. Die Spannung am RC-Glied ( $U_{gs}$ ) erhöht sich nicht proportional mit dem Widerstandswert bei stets gleicher Stromform und Kapazität.

### 4.2.3.3. Einfluss der bipolaren Ladungsträger

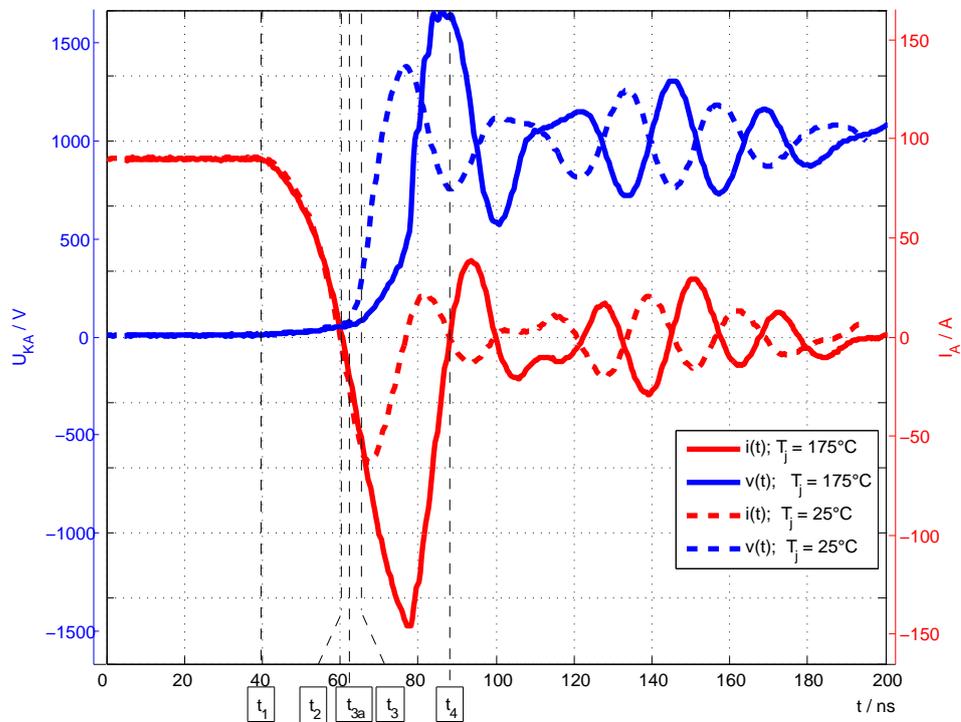
Die beim Reverse Recovery gemessene Ladung bei der Verwendung der Body-Diode des SiC-JFET hängt von der Temperatur des Transistors, vom vorherig geflossenen Strom und von der Schaltgeschwindigkeit ab. Diese Phänomene wird im Folgenden mit Messungen und einer Auswertung belegt. Ein Grund für das schaltgeschwindigkeitsabhängige Verhalten des parasitären Aufsteuerns kann das im Bauteil gespeicherte Plasma sein. Eine Hypothese des Einflusses der bipolaren Ladungsträger auf das parasitäre Aufsteuern stützt sich auf eine Abschätzung der Menge der freien Ladungsträger in der Raumladungszone des Halbleiters und der damit verbundenen Effekte.

Eine Untersuchung des JFET bei schnellen Schaltvorgängen ergibt bei Betrachtung des Reverse Recoverys der Body-Diode die in Abbildung 4.15 dargestellten Kurven. Die Messungen ohne Laststrom bei der Temperatur der Sperrschicht ( $T_j$ ) von  $25^\circ\text{C}$  und  $175^\circ\text{C}$  sind in (a) abgebildet. Beide Vorgänge starten zum Zeitpunkt  $t_1$ , zu dem der dynamische Anodenstrom  $i_A$  des Halbleiters zu fallen beginnt. Er fällt mit den Zeitpunkten  $t_2$ , dem Nulldurchgang des Stroms  $i_A$  und  $t_3$ , dem Freiwerden des  $p^+n^-$ -Übergangs von Plasma zusammen. Zunächst startet der Spannungsaufbau zögerlich, da der obere JFET langsam einschaltet. Durch die steigende Flankensteilheit der Spannung  $u_{AK}$  wird der Verschiebestrom langsam aufgebaut. Es baut sich ein dynamischer Verschiebestrom zwischen Gate und Drain ( $i_{vGD}$ ) wie in Abbildung 4.11 eingezeichnet auf. Die Flankensteilheit der Spannung  $u_{AK}$  ist während des Vorgangs gleich. Die Ströme  $i_A$  gehen mit Beginn des Spannungsanstiegs deutlich auseinander. Bemerkenswert ist, dass der Vorgang bei  $T_j = 175^\circ\text{C}$  einen kleineren Strom zeigt.

## 4.2 Reverse Recovery



(a)  $I_L = 0 \text{ A}$ ,  $U_{ZK} = 1 \text{ kV}$



(b)  $I_L = 90 \text{ A}$ ,  $U_{ZK} = 1 \text{ kV}$

**Abbildung 4.15.:** Kurvenverlauf von  $u_{KA}$ ,  $i_A$  in Abhängigkeit der Zeit bei SiC JFET / Body-Diode in kaltem und heißem Zustand

Die Messungen mit einem Laststrom von 90 A bei den Temperaturen  $T_j = 25^\circ\text{C}$  und  $T_j = 175^\circ\text{C}$  sind in Abbildung 4.15 (b) dargestellt. Beide Vorgänge starten zum Zeitpunkt  $t_1$  und verlaufen bis über den Zeitpunkt  $t_2$  des Nulldurchgangs deckungsgleich. Der Zeitpunkt  $t_3$  bzw.  $t_{3a}$  markiert den Beginn des Spannungsanstiegs. Dies ist der Zeitpunkt, zu dem der  $p^+n^-$ -Übergang frei von Plasma ist und die Body-Diode zu sperren beginnt. Die bisher gemessene Spannung entsteht aufgrund der parasitären Induktivität zwischen den Messanschlüssen und der fallenden Flanke des Anodenstroms. Danach wird aus der niedrig dotierten Schicht in beiden Fällen Plasma extrahiert. Bei hohen Temperaturen steigt der Strom deutlich an, wodurch am einschaltenden JFET eine hohe Spannung abfällt. An der Induktivität des Kommutierungskreises fällt in der Zeitspanne  $t_2 < t < t_3$  bei beiden Vorgängen die gleiche Spannung ab. Diese reduziert den Spannungsabfall über dem Halbleiter bei hoher Temperatur deutlich. Sobald der Anodenstrom steigt, wird der Halbleiter mit einer zusätzlichen Spannung beaufschlagt. Bei hoher Temperatur wird die Durchbruchspannung des JFET kurz vor  $t_4$  erreicht.

Eine Analyse der Ladung aus der Messung, deren Verläufe in Abbildung 4.15 zu sehen sind, ist in Tabelle 4.3 zusammengefasst. Die hier aufgelisteten Ladungen  $Q_{to}$  ergeben sich durch die Subtraktion der gemessenen Ladung mit den bereits bekannten Ladungen. Es wird davon ausgegangen, dass sich die bipolare Ladung  $Q_{rr}$  bei schnellen Vorgängen nicht gravierend durch Rekombination verändert. Ein Beweis hierfür ist die Messung  $I_L = 90\text{ A}$  und  $T_j = 25^\circ\text{C}$ , bei der nicht mehr Ladung gemessen werden kann, als in den Experimenten zur Bestimmung der bipolaren Reverse Recovery-Ladung. Die Ladung der Sperrschichtkapazität  $Q_c$  wurde in allen Experimenten mitgemessen und ist hierdurch ebenfalls bekannt. Eine Veränderung der Sperrschichtkapazität in Abhängigkeit der Temperatur wird in der Literatur nicht beschrieben.

**Tabelle 4.3.:** Ladungsanalyse der Reverse Recovery Vorgänge (Abb. 4.15)

$I_l$	$T_j$	$Q_{rr}$	$Q_{to}$
90 A	25 °C	267 nC	0
	175 °C	1315 nC	610 nC
0	25 °C	0	274 nC
	175 °C	0	143 nC

## 4.2 Reverse Recovery

---

Tabelle 4.3 verdeutlicht das Phänomen, das in Abbildung 4.15 (a) zu erkennen ist. Das Aufsteuern ist bei hoher Temperatur ohne Plasma kleiner. Hier ist kein bipolares Plasma  $Q_{rr}$  in der Body-Diode vorhanden, da vor dem Reverse Recovery kein Strom durch den Halbleiter fließt.

Bei vorherigem Stromfluss wird das Aufsteuern generell geringer, da hier die Rückkopplung wirksam sein kann. Aus diesem Grund tritt in kaltem Zustand kein Aufsteuern auf. Die Messung zeigt die Ladung  $Q_c + Q_{rr}$ . Durch die hohe Temperatur steigt die Menge an Plasma. Die bekannte Ladung  $Q_{rr} + Q_c$  wird bei diesem Versuch jedoch deutlich übertroffen.

Der Rückgang des Aufsteuerns bei hohen Temperaturen ohne Laststrom zeigt, dass der Effekt des Aufsteuerns nicht generell durch die Temperaturerhöhung herbeigeführt wird. Bei hoher Temperatur sinkt laut [DBT<sup>+</sup>13] die Schwellspannung des JFET. Dies kann durch eine Messung am verwendeten JFET bestätigt werden. Somit kann der JFET schon bei geringeren Gate-Source-Spannungen leiten. Des Weiteren steigt die *punch-through*-Spannung der Steuerdiode (Gate) des JFET. Zur Vermeidung des parasitären Aufsteuerns wird während des Reverse Recoverys die Steuerdiode des JFET in den Durchbruch getrieben. Hierdurch fließt durch das Gate ein Vorstrom, der Verschiebestrom  $I_{vGD}$  durch die Miller-Kapazität kann den bereits vorhandenen Strom durch die Steuerdiode ersetzen. Die parasitäre Induktivität mit Vorstrom behindert den Abfluss des Verschiebestroms weniger. Dies funktioniert bei hohen Temperaturen besser, da mit weniger Spannung an der Steuerdiode mehr Strom eingepreßt werden kann. Somit geht das Aufsteuern bei hohen Temperaturen zurück.

Ein weiterer Einflussfaktor auf das Aufsteuern ist der interne Gatewiderstand. Er unterliegt ebenfalls einer Beeinflussung durch die veränderte Temperatur. Das verwendete Material für die Gate-Elektrode und dessen Temperaturkoeffizient bestimmt sein Verhalten. Wird ein metallischer Werkstoff verwendet, sollte sich ein positiver Temperaturkoeffizient einstellen, wie bei dem verwendeten MOSFET [CBBW09].

Abbildung 4.15 (b) und der obere Teil der Tabelle 4.3 zeigen Reverse Recoverys mit einem vorherig fließenden Laststrom von  $I_L = 90$  A. Bei Raumtemperatur tritt kein parasitäres Aufsteuern auf. Im Gegensatz zu dem Versuch ohne Laststrom bei Raumtemperatur wirkt hier die Rückkopplung über die Sourceinduktivität dem Auf-

steuern zusätzlich entgegen. Da der Vorgang bis  $t_3$  identisch und unabhängig von der Temperatur ist, ergibt sich hieraus kein Unterschied. Bei einem Reverse Recovery bei hoher Temperatur kann eine hohe Ladung aufgrund von Aufsteuern gemessen werden. Während also ohne Vorstrom das Aufsteuern bei hoher Temperatur zurück geht, wird es mit Vorstrom stärker. Das vergrößerte Aufsteuern kann auf das Ausräumen des Plasmas zurückgeführt werden.

Der Zeitpunkt  $t_3$  markiert in etwa den Moment, in dem das Ausräumen des Plasmas beginnt. In der Zeit bis  $t_4$ , dem Erreichen der maximalen Spannung, wird die gesamte bipolare Reverse Recovery Ladung ( $Q_{rr}$ ) ausgeräumt. Hierdurch ist mit einer Defektelektronenstromdichte ( $J_p$ ) von durchschnittlich  $400 \text{ A/cm}^2$  zu rechnen. Diese Stromdichte wird durch das Ausräumen der Ladung  $Q_{rr} = 1000 \text{ nC}$  innerhalb ca.  $10 \text{ ns}$  erreicht. Der Verlauf des Plasmastroms kann mit Hilfe der Abbildung 4.15 (b) abgeschätzt werden. Die Verteilung des Plasmas ist durch Rekombination hyperbolisch, dies beeinflusst den zeitlichen Verlauf der Defektelektronenstromdichte. Ein möglicherweise konstanter kapazitiver Strom muss aufgrund der wachsenden Flankensteilheit der Spannung berücksichtigt werden. Dieser hat in etwa den Verlauf wie in 4.15 (a) dargestellt. Der Anteil an Kanalstrom tritt mit einer Zeitverzögerung auf, so dass ein Teil des Spitzenstroms dem parasitären Aufsteuern zugeordnet werden kann. Der Plasmastrom besteht aus einem Elektronenstrom, der im Plasma zur Kathode fließt und der Defektelektronenstrom, der in der Raumladungszone zur Anode fließt. Durch den Defektelektronenstrom wird in der Raumladungszone eine Feldaufsteilung [EF08] hervorgerufen. Ein Hinweis auf die Feldaufsteilung ist die Oszillation kurz vor  $t_4$ . Da sie bei der Durchbruchspannung des Halbleiters auftritt, kann der Effekt wie in einer Lawinen-Laufzeit-Diode dafür verantwortlich sein. Ein weiterer Hinweis auf eine Feldaufsteilung bis zu  $E_{krit}$  und eine hohe Defektelektronenstromdichte sind die Haltepunkte in der ansteigenden Kathoden-Anoden-Spannung. Die Haltepunkte werden in [OJK<sup>+</sup>00] gezeigt und erläutert. Dort wird die Bildung von Stromfilamenten in Simulationen und Messungen bewiesen. Durch den Lawineneffekt in den Stromfilamenten entstehen die Haltepunkte in der Kathoden-Anoden-Spannung.

Der in den Gleichungen 4.18 bis 4.22 verwendete Gradient des elektrischen Feldes kann durch die eindimensionale Poissongleichung 4.28 ermittelt werden. Die positive Raumladung besteht aus der Summe von Donatoren und Defektelektronen, abzüg-

## 4.2 Reverse Recovery

---

lich der Elektronen, multipliziert mit der Ladung ( $q$ ).

$$\frac{dE}{dx} = \frac{q(N_d - N_A + p_n - n_n)}{\varepsilon} \quad (4.28)$$

Der Einfluss des Defektelektronenstroms durch die Raumladungszone auf den Gradienten des elektrischen Feldes ist an das Verhältnis zwischen der Menge an Donatoren und der Menge an Elektronen und Defektelektronen zueinander geknüpft. Die Konzentration an Donatoren und die daraus resultierende Ladung ist durch die Herstellung des Halbleiters festgelegt und variiert nicht.

Durch den Defektelektronenstrom wird in der Raumladungszone des p-dotierten Gebiets eine Feldabflachung verursacht. Hierdurch, und durch die Möglichkeit der unvollständigen Ionisierung, [LKK<sup>+</sup>99] könnte es zu einem *punch-through* kommen. Die Veränderung der Temperatur der Sperrschicht bei den Messungen wirkt der unvollständigen Ionisierung entgegen, aus diesem Grund bleibt der Effekt unberücksichtigt.

Die Konzentration von freien Ladungsträgern kann mittels der Transportgleichung 4.29 unter Vernachlässigung von Diffusion berechnet werden.

$$n_n, p_n = \frac{J_{n,p}}{q \cdot \mu_{n,p} \cdot E} \quad (4.29)$$

Um die Konzentration berechnen zu können, wird die Kenntnis der Beweglichkeit der Ladungsträger  $\mu_{n,p} = f(T, E)$  benötigt. Ferner ist die Beweglichkeit der Ladungsträger von der Streuung an Defekten im Material beeinflusst, dies kann rechnerisch nicht überprüft werden. Die Gleichung 4.30 und die dazugehörigen Parameter in Tabelle 4.4 wurden [BGL97] entnommen. Sie ist das um den Einfluss der Temperatur erweiterte Caughey-Thomas Modell. Das Ergebnis  $\mu_0$  ist die Beweglichkeit ohne Einfluss des elektrischen Feldes.

$$\mu_0 = \mu_{min} + \frac{\mu_{max} - \mu_{min}}{1 + \left(\frac{N}{N_{ref}}\right)} \cdot \left(\frac{T}{300\text{ K}}\right)^\alpha \quad (4.30)$$

$$v_{sat} = \frac{v_{max}}{1 + 0,6 \cdot \exp\left(\frac{T}{600\text{ K}}\right)} \quad (4.31)$$

$$\mu = \frac{\mu_0}{\left(1 + \left(\frac{\mu_0 \cdot E}{v_{sat}}\right)^\beta\right)^{\frac{1}{\beta}}} \quad (4.32)$$

**Tabelle 4.4.:** Parameterliste zur Berechnung der Geschwindigkeit von  $n_n$  und  $p_n$  [BGL97][ZGL<sup>+</sup>00][RS01]

	n	p
$\mu_{min} / \text{cm}^2 \cdot \text{Vs}^{-1}$	0	15,9
$\mu_{max} / \text{cm}^2 \cdot \text{Vs}^{-1}$	947	124
$N_{ref} / \text{cm}^{-3}$	$1,94 \cdot 10^{17}$	$1,76 \cdot 10^{19}$
$\gamma$	0,61	0,34
$\alpha$	-2,15	-2,15
$\beta$	0,82	0,82
$v_{max} / \text{cm} \cdot \text{s}^{-1}$	$4,77 \cdot 10^7$	$1,7 \cdot 10^7$

Die Beweglichkeit der Ladungsträger im SiC wird oftmals als konstant angenommen, da es hier nicht wie im Si zu einer raschen Sättigung kommt. Die Beweglichkeit der Ladungsträger bis zur Sättigungsgeschwindigkeit bei ca.  $E = 0,5 \text{ MV/cm}$  wird langsam kleiner. Dies lässt sich mit der Gleichung 4.32 berechnen, sie wurde mit zugehörigen Parametern [RS01] entnommen. Die Gleichung arbeitet mit der temperaturabhängigen Sättigungsgeschwindigkeit. Sie kann durch die Gleichung 4.31 aus [RS01] ermittelt werden. Die Sättigungsgeschwindigkeit der Defektelektronen ist in [ZGL<sup>+</sup>00] mit einer Monte-Carlo-Simulation berechnet worden. Sie dient als Ausgang für Gleichung 4.31. Die Monte-Carlo-Simulation zeigt eine stark kleiner werdende Beweglichkeit der Ladungsträger ab einer Feldstärke von  $E = 1 \text{ MV/cm}$ . Dies wird mit der Gleichung 4.32 nicht erfasst.

Die Hochfeldmobilität unter Einbezug der Temperatur kann nun zusammen mit dem verwendeten elektrischen Feld und der mittleren Stromdichte in die Gleichung 4.29 eingesetzt werden. Die Ergebnisse sind in Tabelle 4.5 zusammengefasst.

## 4.2 Reverse Recovery

---

**Tabelle 4.5.:** Ladungsträgerdichte beim Reverse Recovery bei  $T_j = 175^\circ\text{C}$  und  $J = 400 \text{ A/cm}^2$

$E / \text{V} \cdot \text{cm}^{-1}$	$U_{ka} / \text{V}$	$n_n / \text{cm}^{-3}$	$p_n / \text{cm}^{-3}$
$7,5 \cdot 10^4$	3	$2,78 \cdot 10^{14}$	$1,07 \cdot 10^{15}$
$2,4 \cdot 10^5$	30	$1,93 \cdot 10^{14}$	$6,08 \cdot 10^{14}$
$7,4 \cdot 10^5$	300	$1,61 \cdot 10^{13}$	$4,38 \cdot 10^{14}$

Die Tabelle 4.5 beinhaltet die zum Halbleiter passende Sperrspannung beim entsprechenden elektrischen Feld. Der Zusammenhang zwischen Sperrspannung und Feld wird mit Hilfe der Auslegung eines JFET in [CCES06] hergestellt. Der dort analysierte „4H-SiC normaly off LC-V-JFET“ ist für ein trapezförmiges Feld ausgelegt. Der Halbleiter hat wie der verwendete JFET eine Durchbruchspannung von  $U_{BV} = 1,7 \text{ kV}$ . Es bestehen Unterschiede in der Gate-Struktur; die Auslegung der intrinsischen Schicht kann jedoch gleich sein.

Das Feld geht erst bei größeren Sperrspannungen von dreieckförmig zu trapezförmig über und ist somit als das Erste zu behandeln. Damit ergeben sich bei einer Donorkonzentration von  $N_d = 5 \cdot 10^{15} \text{ cm}^{-3}$  die Werte für  $U_{ka}$  in der Tabelle.

Zu Beginn des Reverse Recoverys ist das Verhältnis von Defektelektronenkonzentration zur Grunddotierung etwa ein Fünftel. Dies führt zu einer Erhöhung des Gradienten des elektrischen Feldes, aber nur zu einer geringen Erhöhung des Verschiebestroms. Die vereinfachte eindimensionale Betrachtung dieses Effektes führt nicht zu einer Erklärung des Aufsterns.

Eine detaillierte Finite-Elemente-Simulation mit den Konstruktionsdaten des JFET kann hier einen tieferen Einblick ergeben und die Hypothese validieren oder falsifizieren. Die Kenntnisse über das Verhalten bipolarer Ladungsträger im SiC in Abhängigkeit der elektrischen Feldstärke und der Rekombination können in der Simulation berücksichtigt werden.

Die komplexe dreidimensionale Struktur des Halbleiters kann weitere Effekte zeigen. Es ist auch denkbar, dass sich der Effekt nur lokal bemerkbar macht. Beispielsweise wird mit einer Simulation eines Si-MOSFET in [SBH<sup>+</sup>13] gezeigt, dass sich eine Defektelektronenansammlung im Randgebiet zerstörend auswirkt. Die Simulation der einzelnen Zelle bzw. die vereinfachte eindimensionale Betrachtung kann dieses

Problem nicht erfassen. Das Einbeziehen des Lawineneffektes zeigt in der zweidimensionalen Simulation [BNL<sup>+</sup>13] eine Erhöhung der Reverse Recovery Ladung. Unter Berücksichtigung des Ladungsträgerverhaltens und der Dimensionierung des SiC-JFET könnte das Phänomen hiermit eventuell erklärt werden.



# 5. Ansteuerschaltungen zur Reduzierung der Schaltenergie

Die Ansteuerschaltung ist der Kern eines effizienten Umrichters. Durch sie wird die Kurvenform von Strom und Spannung des Schaltvorgangs eingestellt. Dies wurde im Kapitel 3 eingehend erläutert. Hier werden zusätzlich Konzepte, mit denen das Schalten in Richtung Effizienz optimiert wird, vorgestellt. Die hierbei entstandenen Ergebnisse sind in [AE13b] und [AE13a] veröffentlicht. Sie erzielen einen schnelleren Schaltvorgang. Des Weiteren kann durch die Ansteuerschaltung das Reverse Recovery beeinflusst werden. Wie Kapitel 4 zeigt, ist das parasitäre Aufsteuern stark von der Ansteuerschaltung abhängig. Zusätzlich zeigen Body-Dioden eine Speicherladung. Mit den folgenden Methoden und Schaltungen gelingt es, die Schaltenergie beim Reverse Recovery zu reduzieren.

## 5.1. Ansteuerung des Transistors im Freilaufzweig

Der Spannungszwischenkreisumrichter benötigt konzeptionell einen vorwärts blockierfähigen und rückwärts leitfähigen Schalter. Eine induktive Last am Umrichter erzeugt einen kontinuierlichen Stromfluss im Umrichter. Aus diesem Grund muss der Umrichter über einen Freilaufzweig verfügen. Der FET mit seiner Body-Diode ist hierfür ideal, er ist vorwärtsblockierbar und rückwärtsleitfähig.

Die Ansteuerung des Transistors im Freilaufzweig geschieht oft unwillkürlich, da die meisten Ansteuerschaltungen die Stromrichtung nicht detektieren und unterscheiden. Dies stellt bei Verwendung eines FET das Synchrongleichrichten dar.

Unabhängig davon kann der Transistor ohne eine Unterscheidung der Stromrichtung zusätzlich während des Reverse Recoverys angesteuert werden. Diese Schaltungen führen zu einer Unterdrückung des parasitären Aufsteuerns. Dies ist beim SiC-FET besonders problematisch.

## 5.1 Ansteuerung des Transistors im Freilaufzweig

---

### 5.1.1. Synchrongleichrichten

Der Ausdruck Synchrongleichrichter rührt von einem Gleichrichter, der anstelle von Dioden mit Transistoren bestückt ist. Es werden die Transistoren während der Leitdauer der Diode aktiv eingeschaltet. Der betrachtete Umrichter, wenn er auch nicht als Gleichrichter betrieben wird, ist in seinen Freilaufzweigen so bestückt. Synchrongleichrichten ist möglich, wenn der Transistor hierfür geeignet ist. Dieser Betriebsmodus kann auch zu seiner Zerstörung führen. Die Zerstörung tritt ein, wenn beim Reverse Recovery die Feldaufteilung zu groß wird und beispielsweise der Randabschluss dem hohen Feld nicht standhält [SBH<sup>+</sup>13]. Zur Vermeidung wird der FET durch eine antiserielle Diode vom Stromfluss in Rückwärtsrichtung abgekoppelt. Die verwendeten SiC Transistoren hatten hiermit jedoch kein Problem.

Durch das Synchrongleichrichten wird hauptsächlich die Diffusionsspannung der Dioden umgangen und hierdurch Verluste reduziert [Bla91]. Die Diffusionsspannung der SiC-Halbleiter ist generell höher als bei vergleichbaren Si-Halbleitern. Wenn eine SiC Schottky-Diode genutzt wird, muss mit einer Diffusionsspannung vergleichbar mit einer Si-PIN-Diode gerechnet werden. Die Diffusionsspannung der Body-Diode ist ca. viermal höher als bei vergleichbaren Si-Dioden. Dies bietet den Vorteil, dass keine antiserielle Diode erforderlich ist, um den Strom durch den FET zu unterbinden [HJF12]. Die Steuerung des Umrichters muss in jedem Fall gewährleisten, dass der als Diode fungierende Transistor vor der Kommutierung sicher abgeschaltet ist.

Durch das Einschalten des Transistorkanals kann sich kein Plasma in der Body-Diode aufbauen. Der Transistor muss jedoch vor, bzw. exakt zu Beginn des Reverse Recovery ausgeschaltet werden. Die Zeitspanne zwischen dem Abschalten des Transistors und des Reverse Recoverys heißt Verriegelungszeit. Während dieser Zeit leitet die Body-Diode den Strom weiter. Bei der Verwendung des selbstsperrenden JFET ohne Body-Diode kann mit der in [SMG<sup>+</sup>13] publizierte Schaltung ohne Verriegelungszeit synchrongleichgerichtet werden. Der Stromfluss über den  $p^+n^-$ -Übergang bei Halbleitern mit Body-Diode verursacht einen Plasmaaufbau wie beim Forward Recovery (Kap. 4). Die dort hergeleitete Gleichung 4.5 der Verteilung der Elektrodendichte in Abhängigkeit von der Zeit und dem Ort wird hier wieder aufgegriffen. Die Randbedingung  $A(t)$  kann wie folgt gefunden werden (Gl. 5.1 - 5.4). Unter Ver-

## 5 Ansteuerschaltungen zur Reduzierung der Schaltenergie

---

nachlässigung des Feldstroms ist die Elektronenstromdichte ( $J_n$ ) am  $p^+n^-$ -Übergang nur von der Diffusion abhängig (Gl. 5.1). Der Gradient der Elektronendichte wird durch Ableiten der Gleichung 4.5 gefunden, es ergibt sich die Gleichung 5.2. Sie wird mit der Stromdichte am  $p^+n^-$ -Übergang gleichgesetzt (Gl.5.3). Durch Umstellen ergibt sich die gesuchte Randbedingung (Gl. 5.4).

$$J_n = qD_n \frac{\partial \delta n}{\partial x} \Big|_{\delta n(0,t)} \quad (5.1)$$

$$J_n = qD_n \frac{A(t)}{-\sqrt{4D_n t}} \quad (5.2)$$

$$J = a \quad (5.3)$$

$$A(t) = \frac{-a}{2q} \sqrt{\frac{t}{D_n}} \quad (5.4)$$

Die Verteilung der Elektronenkonzentration (Gl. 5.5) im Halbleiter muss über das Volumen integriert werden, um die Menge an Elektronen in Abhängigkeit von der Zeit zu bestimmen. Da die Verteilung eindimensional hergeleitet ist, ergibt sich die Integration nach den beiden anderen Raumdimensionen durch die Multiplikation mit der Querschnittsfläche des Halbleiters ( $A_{hl}$ ). Die Ladung (Gl. 5.7) ergibt sich durch Multiplikation der Menge an Elektronen mit der Ladung ( $q$ ). Die Gleichung 5.5 zeigt in [Bal10] mit der Verwendung zur Berechnung der Forward Recovery Spannung bei Si-PIN-Dioden gute Ergebnisse. Die hier gezeigte Berechnung der Ladung weicht um den Faktor Fünf von den Messwerten ab. Als Grundlage der Berechnung wurde die Dimensionierung aus [CCES06] übernommen. Die Vernachlässigung oder Beachtung der Rekombination zeigt auf das Forward Recovery bei Si-PIN-Dioden keine Auswirkung [Kol00, Bal10]. Bei der Ermittlung der Reverse Recovery Ladung spielt diese eine entscheidende Rolle. Die Ladungsträgerlebensdauer ist im SiC sehr kurz und somit die Rekombinationsrate hoch. Dies führt zu einem starken Durchhang der Plasmakonzentration in der intrinsischen Schicht. Ein Durchhang bedeutet, dass ein Gradient an Plasmakonzentration besteht. Die weiterhin diffundierenden Ladungsträger werden durch Rekombination ausgeglichen und der Aufbau an Ladung stoppt. Dies kann nach  $t = 300$  ns der Fall sein. Der Durchhang kann so stark sein, dass nicht der gesamte Halbleiter überflutet wird, wie dies bei Kleinsignal-Halbleitern der Fall ist. Die Länge  $x'$  kann stark verkürzt erscheinen und eine um Faktor Fünf kleinere Ladung erklären.

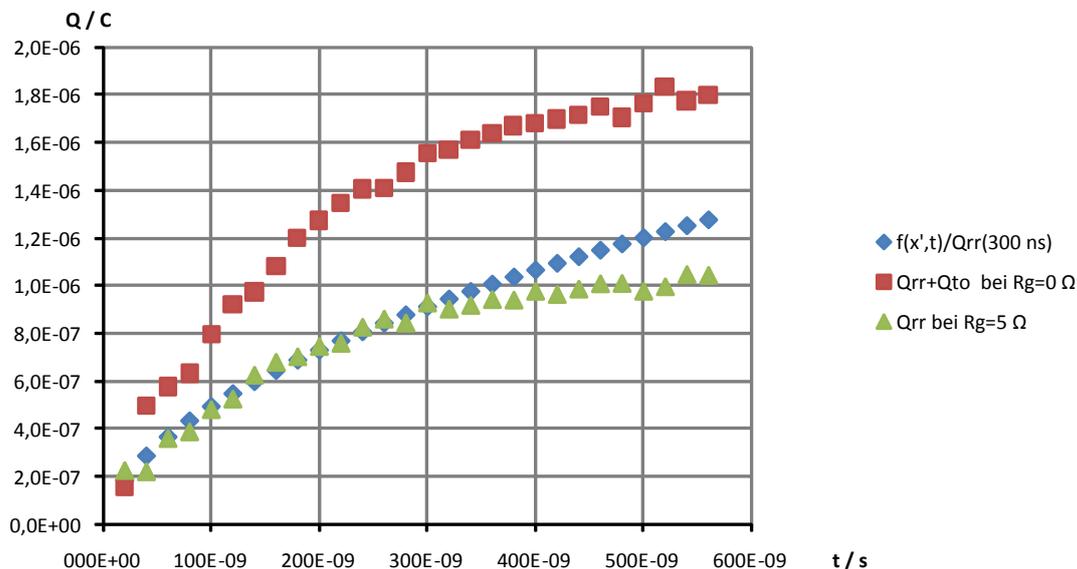
## 5.1 Ansteuerung des Transistors im Freilaufzweig

$$\delta n(x, t) = \frac{-a}{2q} \sqrt{\frac{t}{D_n}} e^{-x/\sqrt{4D_n t}} \quad (5.5)$$

$$Q = A_{hl} \cdot \frac{-a}{2} \sqrt{\frac{t}{D_n}} \int_0^{x'} (e^{-x/\sqrt{4D_n t}}) dx \quad (5.6)$$

$$Q = A_{hl} \cdot a \cdot t (e^{-x'/\sqrt{4D_n t}} - 1) \quad (5.7)$$

Die Funktion des Aufbaus der Speicherladung in Abhängigkeit der Zeit (Gl. 5.7) ist in Abbildung 5.1 normiert abgebildet. Die ermittelten Werte sind auf den Messwert  $Q_{rr}$  bei einer Verriegelungszeit von  $t = 300$  ns normiert.



**Abbildung 5.1.:** Ladungen beim Reverse Recovery bei  $I_l = 90$  A,  $U_{zk} = 1$  kV und  $175^\circ\text{C}$  mit variabler Verriegelungszeit bei Synchrongleichrichten; normierter Verlauf der Gleichung 5.7

In Abbildung 5.1 ist zu sehen, wie sich in Abhängigkeit der Verriegelungszeit die gemessene Ladung beim Reverse Recovery verhält. Die Messungen sind mit einem Laststrom  $I_l = 90$  A, einer Zwischenkreisspannung  $U_{zk} = 1$  kV und bei einer Temperatur von  $175^\circ\text{C}$  entstanden. Diese Randbedingungen rufen bei einem Reverse Recovery ohne Synchrongleichrichten eine Ladung von  $Q_{rr} = 995$  nC und  $Q_{to} = 802$  nC hervor. Wenn der Stromfluss durch die Body-Diode verhindert wird, z.B. durch

Synchrongleichrichten oder mit einer parallelen Schottky-Diode [HJF12], wird die Reverse Recovery Ladung erheblich verkleinert. Der Verlauf der Ladung kann qualitativ mit Gleichung 5.7 nachgebildet werden.

Ein Vorteil des Synchrongleichrichtens ist die Ersparnis eines weiteren Halbleiters z.B. einer SiC-Schottky-Diode, parallel zum FET. Gute Ergebnisse können mit dem Verfahren schon ab einer Verriegelungszeit von  $t = 100$  ns erreicht werden. Bei dieser Verriegelungszeit tritt eine Ladung von  $Q_{rr} = 481$  nC und  $Q_{to} = 317$  nC auf. Dies bedeutet eine Reduktion der Gesamtladung um mehr als die Hälfte. Eine Verriegelungszeit von  $t = 20$  ns reduziert die Ladung enorm, wobei diese Verriegelungszeit zu Problemen führt. Wird die Verriegelungszeit zu kurz, ist nicht mehr gewährleistet, dass der Kanal geschlossen ist, bevor der obere Transistor einschaltet. Die Ursache hierfür ist, dass die Schaltgeschwindigkeit des oberen Transistors mit dem Strom variiert (Kap. 3).

### 5.1.2. Schaltungen zur Unterdrückung des parasitären Aufsteuerns

Das parasitäre Aufsteuern ist eine Begleiterscheinung des Reverse Recoverys. Durch den Spannungsanstieg und dem einhergehenden Feldaufbau im Halbleiter werden Verschiebestrome in der Miller-Kapazität verursacht. Diese führen zu einem Aufladen der Gate-Source-Kapazität und zu einer Erhöhung der Gate-Source-Spannung, je nachdem wie sie über den Gate-Anschluss abfließen.

Das parasitäre Aufsteuern ist ausführlich in Kapitel 4 nachgewiesen worden. Das Problem tritt auch bei der Verwendung von Si-Transistoren auf, z.B. an einem IGBT [MSWF98]. Bei den verwendeten SiC-Transistoren ist das parasitäre Aufsteuern ein größeres Problem. Der Grund hierfür liegt im schmalen Bereich der möglichen Gate-Source-Spannung. Der verwendete JFET wird mit einer Schwellspannung von  $U_{th} = -13,5$  V und einer minimalen Gate-Source-Spannung von  $U_{gs,min} = -20$  V beschrieben. Der MOSFET liegt bei  $U_{th} = 2,5$  V und  $U_{gs,min} = -5$  V. Dies bedeutet, dass die Gate-Source-Kapazität maximal um ca. 7 V aufgeladen werden darf, bis der Transistor parasitär aufsteuert. Ein weiteres Problem stellt das ungünstige Verhältnis zwischen Miller-Kapazität und Gate-Source-Kapazität dar. Durch eine verhältnismäßig große Miller-Kapazität; aufgrund der hohen elektrischen Feldstärke wird das parasitäre Aufsteuern begünstigt. Wird der SiC-Transistor besonders

## 5.1 Ansteuerung des Transistors im Freilaufzweig

---

effizient bzw. schnell geschaltet, führt dies zu hohen Verschiebeströmen. Im Vergleich weisen herkömmliche Si-Transistoren, bei denen eine Gate-Source-Spannung  $U_{gs,min} = -10\text{ V}$  und Schwellspannung  $U_{th} = 4\text{ V}$  üblich ist, eine doppelt so große Reserve auf.

Das Verfahren, mit einer negativen Gate-Source-Spannung abzuschalten, um das parasitäre Aufsteuern zu verhindern, ist bei den untersuchten Schaltvorgängen nicht ausreichend gewesen. Die Lösung „Active-Miller-Clamping“ [DPB<sup>+</sup>06] kann das parasitäre Aufsteuern ebenso wenig bewältigen. Die Referenzmessung des Reverse Recoverys des JFET (Tab. 5.1) ist mit negativer Gate-Source-Spannung und ohne die Verwendung eines Gatewiderstands entstanden. Sie zeigt eine deutliche Erhöhung der Ladung im Vergleich zu den anderen Messungen. Sie ist auf das  $Q_{to}$  zurückzuführen.

Das parasitäre Aufsteuern muss unterdrückt werden, um ein Maximum an Effizienz zu erzielen. Hierfür sind die bewährten Methoden nicht effektiv genug, und es entsteht der Bedarf nach neuen innovativen Schaltungen. Ein Ansatz ist ein „Gate Assist Circuit“ [ZWTB13], mit dem die Gate-Source-Kapazität definiert entladen wird und während der Transienten des Stromes keine zu negative Spannung zwischen Gate und Source anliegt. Bei Verwendung eines SiC-MOSFET ist es nötig, die Grenzen der Gate-Source-Spannung einzuhalten, da das Gate-Oxid empfindlich ist. Bei Verwendung eines JFET stellt dies kein Problem dar, da kein Gate-Oxid vorhanden ist. Es können die beiden folgenden Schaltungen erfolgreich eingesetzt werden.

### 5.1.2.1. Aktiv schaltbare Rückkopplung

Eine Schaltungsvariante, mit der sich das parasitäre Aufsteuern verhindern lässt, ist die Rückkopplung über die gemeinsame Sourceinduktivität. Die Wirkungsweise der Induktivität  $L_s$  beim Schaltvorgang und beim Reverse Recovery ist in den Kapiteln 3 und 4 beschrieben. Um die positive Wirkung der Rückkopplung beim Reverse Recovery nutzen zu können und den negativen Effekt beim Einschalten zu umgehen, bedarf es einer Erweiterung der konventionellen Ansteuerschaltung.

Die aktiv schaltbare Rückkopplung kann mit dem Direkt Driven JFET in verschie-

## 5 Ansteuerschaltungen zur Reduzierung der Schaltenergie

---

denen Varianten realisiert werden. Dieser Aufbau verfügt über einen gemeinsamen Source-Anschluss zwischen dem JFET und dem PMOS, der für den Anschluss der Ansteuerschaltung konzipiert ist. Zur vollen Funktion benötigt der Aufbau eine Diode (D) zwischen dem Gate des JFET und dem unteren Potential des PMOS.

- Eine große Rückkopplung lässt sich leicht über einen externen Hilfsschalter parallel zum PMOS realisieren. Der Hilfsschalter wird während des Reverse Recoverys eingeschaltet und übernimmt einen Teil des Laststroms, womit sich die gemeinsame Induktivität  $L_s$  vergrößert. Beim Einschalten ist der Hilfsschalter abgeschaltet, woraus sich keine Beeinflussung ergibt.
- Wird die Diode (D) sehr niederinduktiv zwischen Gate und unterem Potential des PMOS angebunden, kann die gesamte im Aufbau vorhandene Induktivität genutzt werden. Dies führt zu einer sehr großen Rückkopplung. Die Diode (D) kann durch einen BJT ersetzt werden, um eine Beeinflussung beim Einschalten zu vermeiden. Es kann weiterhin eine hochinduktive Diode vorhanden sein, um die Funktion des Direct Driven JFET zu gewährleisten.

**Tabelle 5.1.:** Reverse Recovery Verluste bei  $I_l = 90$  A und  $T_j = 25^\circ\text{C}$  mit verschiedenen Rückkopplungen

Versuch	$E_{rr} / \text{mJ}$	$\hat{I}_{rr} / \text{A}$	$Q_{ges} / \mu\text{C}$
Referenz	0,92	-65,7	-1,408
JFET mit großem $L_s$	0,36	-45,0	-0,638
DD JFET mit niederinduktiver Diode D	0,45	-36,6	-0,615

Tabelle 5.1 zeigt die Auswertung der Referenzmessung im Vergleich zu den beiden erörterten Methoden. Beide Methoden zeigen eine deutliche Wirkung gegen das parasitäre Aufsteuern. Die Messwerte sind den Kapiteln 3 und 4 entnommen. Durch eine aktiv schaltbare Rückkopplung statt der statischen Variante muss sich ein identisches Verhalten ergeben. Beide Methoden können auch bei einem Aufbau mit Kelvinkontakt verwendet werden. Der Kelvinkontakt kann das Einschalten erheblich effizienter machen. Beim Reverse Recovery würde sich durch die fehlende Rückkopplung mehr parasitäres Aufsteuern zeigen.

## 5.1 Ansteuerung des Transistors im Freilaufzweig

---

Die durch die parasitäre Induktivität  $L_s$  und die hohe Flankensteilheit des Drainstroms entstehende negative Gate-Source-Spannung kann größer als  $U_{gs,min} = -20$  V sein. Das JFET Gate besteht aus einer Steuertiode. Diese Diode ist für eine maximale Sperrspannung von  $-20$  V ausgelegt, bei Spannungen darunter funktioniert sie wie eine Avalanche-Diode. Die Spannung steigt schwach weiter an, und es fließt ein Gatestrom. Das Gate kann kurzzeitig hohe Ströme führen, mittels diesen wird im Normalbetrieb der JFET geschaltet. Der Stromfluss über die Sperrschicht der Steuertiode wird während des Spannungsanstiegs beim Reverse Recovery vom Verschiebestrom durch die Miller-Kapazität ersetzt.

### 5.1.2.2. Vorbestromen des Gates beim JFET

Das Vorbestromen des Gates bedeutet, dass kurz vor dem Reverse Recovery ein negativer Gatestrom fließt. Der Stromfluss muss bis zum Beginn des Reverse Recovery andauern. Während des Vorgangs stellt sich ein Gatestrom aufgrund der verschiedenen Potentiale selbsttätig ein. Der Vorstrom wird durch Absenken der Gate-Source-Spannung bis unter die minimale Gate-Source-Spannung erzeugt. Hierdurch wird der  $p^+n^+$ -Übergang der Steuertiode in den Durchbruch getrieben, und es fließt ein negativer Gatestrom.

Dieser negative Gatestrom wirkt dem parasitären Aufsteuern entgegen, da er den Verschiebestrom durch die Miller-Kapazität senken kann. Durch einen vorzeitigen Stromfluss ergeben sich zwei Vorteile: Zum Einen wird die Gate-Source-Kapazität auf ihr Minimum entladen. Es ist möglich, die technische untere Grenze der Gate-Source-Spannung zu nutzen, da nicht mehr die Gefahr eines unbeabsichtigten Durchbruchs der Steuertiode besteht. Andererseits werden durch den Stromfluss die parasitären Induktivitäten im Ansteuerkreis aufmagnetisiert. Somit verringert sich ihre störende Wirkung.

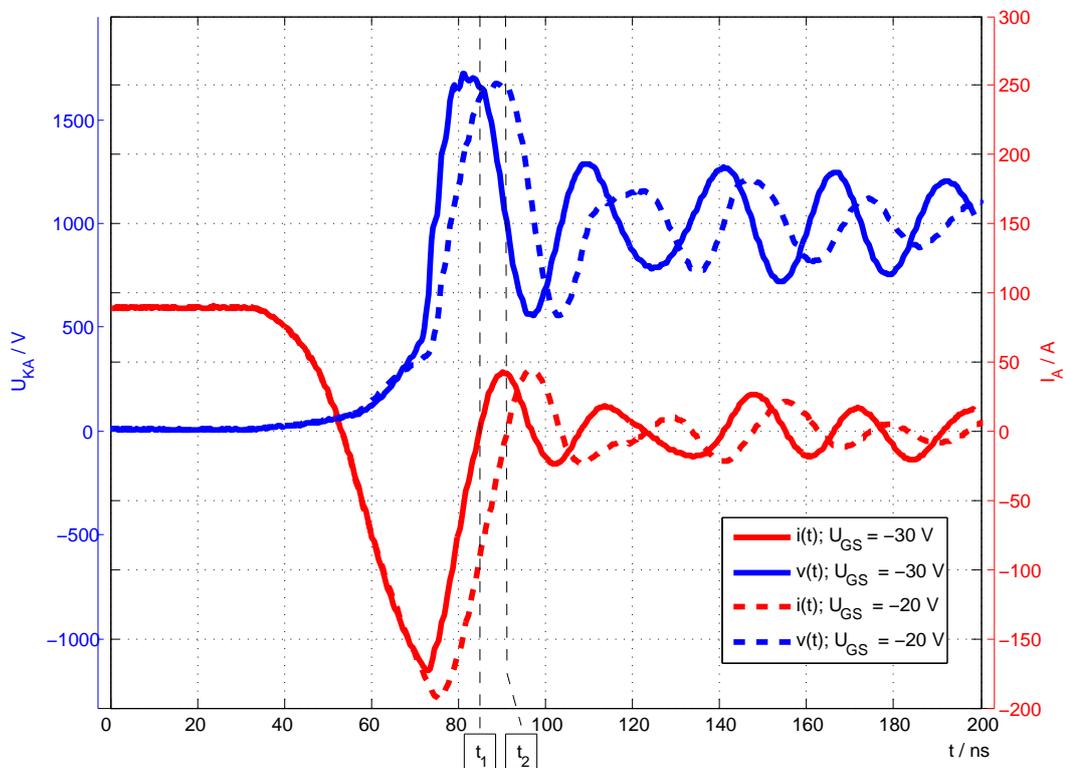
Der Durchbruchstrom der Steuertiode ist für das JFET Gate ungefährlich. Die Struktur des Gates ist ohnehin für einen kurzzeitig hohen Stromfluss ausgelegt. Das Umladen der Miller-Kapazität während des Schaltvorgangs verursacht ebenfalls hohe Gateströme.

Der während des Durchbruchs fließende Strom ist temperaturabhängig. Der Durchbruch ist eigentlich ein Durchgriff (Kap. 2). Durch die mit steigender Temperatur steigende mittlere Energie der Elektronen ( $U_T$ ) fließt bei gleichbleibender Spannung

## 5 Ansteuerschaltungen zur Reduzierung der Schaltenergie

mehr Strom über den  $p^+n^+$ -Übergang der Backgate-Elektrode. Dies beweist der in der Messung (Abb. 3.4(a)) sichtbar negative Temperaturkoeffizient des parasitären Aufsteuerns.

Das Verfahren ist auch auf den MOSFET übertragbar. Bei ihm muss beachtet werden, dass seine Gate-Source-Kapazität nicht unterladen wird. Ein Vorbestromen kann durch einen negativen Spannungssprung unmittelbar vor dem Reverse Recovery realisiert werden. Dabei werden an die Ansteuerschaltung hohe Ansprüche in Bezug auf zeitliche Präzision gestellt.



**Abbildung 5.2.:** Verlauf von Strom und Spannung beim Reverse Recovery bei  $I_l = 90$  A,  $T_j = 175$  °C mit und ohne Vorstrom  $I_G$

Ein Beispiel für die Wirksamkeit des Vorbestromens des Gates zeigt die mit der Volllinie abgebildete Messung (Abb. 5.2). Diese Kurve kann beim Reverse Recovery der Body-Diode des JFET mit einer Temperatur der Sperrschicht von  $T_j = 175$  °C und bei einem Laststrom von  $I_l = 90$  A gemessen werden, wenn das Gate vor dem

## 5.2 Ansteuerung des Transistors im aktiven Zweig

---

**Tabelle 5.2.:** Reverse Recovery Ladungen bei  $I_l = 90$  A und  $T_j = 175^\circ\text{C}$  mit verschiedenen Gate-Source-Spannungen; mit und ohne Rückkopplung

Versuch	$Q_{ges} / \text{nC}$	$Q_{to} / \text{nC}$
$U_{GS} = -20$ V	4262	2947
$U_{GS} = -30$ V	2880	1565
$U_{GS} = -20$ V mit Rückkopplung	2245	930
$U_{GS} = -30$ V mit Rückkopplung	2117	802

Reverse Recovery mit  $U_{GS} = -30$  V angesteuert wird. Im Vergleich hierzu ergibt sich unter den gleichen Bedingungen bei normaler Gate-Source-Spannung ein Kurvenverlauf, wie ihn die Punktlinie zeigt. Der Verlauf des Stroms unterscheidet sich im Spitzenstrom um ca. 20 A. Die Rückstromspitze liegt bei ca. 196 A. Da der Strom beim Schaltversuch mit normaler Gate-Source-Spannung weiter fällt und mit einer anfänglich kleineren Flankensteilheit steigt, wird der Nulldurchgang des Rückstroms ca. 5 ns später erreicht. Die zusätzliche Ladung ist dem parasitären Aufsteuern zuzuschreiben. Durch den Vorstrom kann die Ladung  $Q_{to}$  halbiert werden. In Tabelle 5.2 werden die Ladungen quantitativ wiedergegeben. Durch den insgesamt kleineren Rückstrom, bei der Messung mit  $U_{GS} = -30$  V, fällt am oberen Schalter weniger Spannung ab. Dies führt zu mehr Spannungsabfall an der Body-Diode. Die Spitzenspannung ist bei normaler Gate-Source-Spannung kleiner.

Bei den Messungen ist keine erhöhte Rückkopplung beteiligt. Zum Vergleich der Wirkung des Vorbestroms mit der Wirkung der Rückkopplung sind die Ladungen bei verstärkter Rückkopplung in Tabelle 5.2 zusätzlich beigefügt.

Der negative Temperaturkoeffizient des Zener-Durchbruchs der Steuertiode macht sich in der Wirksamkeit des Vorbestroms bemerkbar. Die Messung im Kapitel 4 (Abb. 3.4) zeigt dies. Der größere Vorstrom bei hohen Temperaturen kann die Vergrößerung des Aufsteuerns nicht kompensieren.

## 5.2. Ansteuerung des Transistors im aktiven Zweig

Die Ansteuerung der Transistoren im aktiven Zweig muss ebenso auf die Begebenheiten der SiC-Halbleiter angepasst werden wie die des Freilaufzweigs. Die Auswirkungen der parasitären Elemente der SiC-Halbleiter können durch eine geeignete Ansteuerschaltung ausgeglichen werden.

### 5.2.1. Ansteuerung durch Quasistromquelle

Eine ideale Strom- oder Spannungsquelle ist in der Praxis nicht realisierbar. Im Gegensatz dazu ist es gut möglich Quellen zu bauen, die eine Strom- oder Spannungsquellencharakteristik aufweisen. Eine reale Stromquelle kann mit einer einfach umsetzbaren Spannungsquelle und einer Transistor- oder Widerstandsbeschaltung realisiert werden. Die Quasistromquelle erhält ihre Bezeichnung durch ihre Bauart. Es handelt sich ebenso um eine Spannungsquelle, die jedoch mit einer Induktivität beschaltet ist. Dies führt zu einer Stromquellencharakteristik im eingeschwungenen Zustand in einem Bereich um den gewählten Arbeitspunkt.

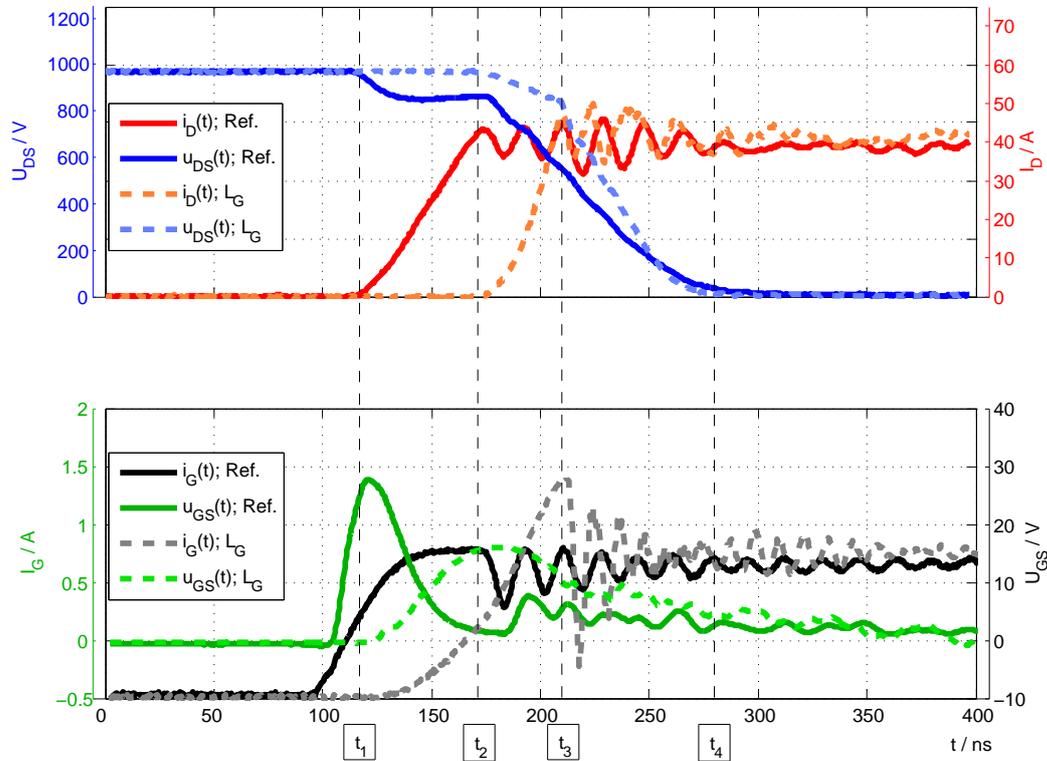
Die Realisierung der Ansteuerschaltung mit Stromquelle wird in [EZLS08] gezeigt. Hier wird eine Induktivität über eine Vollbrücke gesteuert. Diese Schaltung ermöglicht eine reale Stromquelle. Diese Ansteuerschaltung ermöglicht unter anderem die Rückgewinnung der für das Umladen des Gates benötigten Energie. Die Ansteuerung durch eine Quasistromquelle ist sowohl den Ansteuerschaltungen mit Stromquelle, als auch den resonanten Ansteuerschaltungen [Vri02] zuzuschreiben. Die Gate-Source-Kapazität und die Induktivität im Ansteuerkreis ergeben einen Schwingkreis über den die Gate-Source-Kapazität aufgeladen wird.

Die bisherigen resonanten Ansteuerschaltungen nutzen den Schwingkreis anstelle eines Widerstands zur Einstellung der Schaltgeschwindigkeit. Dies verringert die Wirkleistungsaufnahme der Ansteuerschaltung. Die hier gezeigte Schaltung soll nicht zur Verbesserung der Effizienz der Ansteuerschaltung dienen, sondern zur Verringerung der Schaltenergie des Leistungshalbleiters.

Die Wirkungsweise der Ansteuerung durch die Quasistromquelle kann durch einen Vergleich mit einer Ansteuerung mit Gatewiderstand erklärt werden. Die dazugehörigen Messungen sind in Abbildung 5.3 zu sehen. Die Messungen zeigen das Einschalten bei  $I_L = 40$  A,  $U_{zk} = 1000$  V und  $T_j = 25$  °C. Die Halbbrücke ist mit einer SiC Schottky-Diode im Freilaufzweig bestückt. Der externe Gatewiderstand beträgt bei beiden Messungen  $5 \Omega$ . Die Induktivität, bei der sich die Kurve „ $L_G$ “ ergibt, beträgt ca.  $10 \mu\text{H}$ .

Der Zeitpunkt  $t_1$  markiert den Beginn des steigenden Drainstroms bei Ansteue-

## 5.2 Ansteuerung des Transistors im aktiven Zweig



**Abbildung 5.3.:** Strom und Spannungsverläufe beim Einschalten des SiC-MOSFET bei  $R_G = 10 \Omega$ ,  $I_l = 40 \text{ A}$ ,  $U_{zk} = 1 \text{ kV}$  und  $25^\circ\text{C}$ ; mit und ohne „ $L_G$ “

**Tabelle 5.3.:** Kennwerte des MOSFET Einschalten bei  $I_L = 40 \text{ A}$ ,  $U_{zk} = 1000 \text{ V}$  und  $T_j = 25^\circ\text{C}$  Referenz und  $L_G$

Versuch	$\hat{P}$ / kW	E / mJ	$\frac{di}{dt}$ / $\text{A} \cdot \text{ns}^{-1}$	$\frac{du}{dt}$ / $\text{V} \cdot \text{ns}^{-1}$
$L_G = 10 \mu\text{H}$	33,2	1,38	1,25	13,9
$R_G$	36,7	2,69	0,75	8,57

## 5 Ansteuerschaltungen zur Reduzierung der Schaltenergie

---

rung mit Gatewiderstand. Durch den großen Spannungshub stellt sich über dem Gatewiderstand ein dazu proportionaler Strom ein. Bei Ansteuerung mit Induktivität steigt der Gatestrom wesentlich langsamer. Hierdurch wird die Gate-Source-Kapazität langsamer aufgeladen, und es kommt zu einer Verzögerung des gesamten Schaltvorgangs. Im Zeitpunkt  $t_2$  beginnt der Drainstrom bei Ansteuerung mit Induktivität zu steigen, bzw. die Spannung bei Ansteuerung mit Gatewiderstand zu fallen. In der Zeitspanne  $t_1 < t < t_2$  fällt der Gatestrom bei Ansteuerung mit Gatewiderstand von einem hohen Wert stark ab. Bei der Ansteuerung mit Induktivität steigt der Strom ca. auf die Hälfte verglichen zur Ansteuerung mit Gatewiderstand, er fällt jedoch nicht so schnell ab. Der Zeitpunkt  $t_3$  zeigt den Beginn der fallenden Drain-Source-Spannung bei Ansteuerung mit Induktivität. Die Zeit zwischen  $t_2$  und  $t_3$  ist kürzer als die Zeitspanne  $t_1 < t < t_2$ . Es wird in beiden Zeitspannen die gleiche Ladung auf das Gate aufgebracht.

Das beobachtete Phänomen beim Stromanstieg ist auf die Phase des Spannungsabbaus übertragbar. Die Phasen  $t_3 < t < t_4$  sind kürzer als die Zeitspanne  $t_2 < t < t_4$ .

Die Induktivität kann die Gate-Source-Kapazität durch die Stromquellencharakteristik schneller aufladen, dies ist für parasitäre Induktivitäten in [VH11] beschrieben. Der Spannungshub zu Beginn des Vorgangs wird ausgenutzt, um die Induktivität aufzumagnetisieren. Die Ansteuerung mit Widerstand kann zu Beginn des Vorgangs die Gate-Source-Kapazität schneller umladen und die Verzögerungszeit klein halten. Beide Vorgänge benötigen somit die gleiche Zeit. Das Einschalten mit Induktivität im Ansteuerkreis zeigt durch die größeren Flankensteilheiten von Drainstrom und Drain-Source-Spannung weniger Schaltenergie (Tab. 5.4). Die maximale Leistung ( $P$ ) hat ebenfalls abgenommen, da der Spannungsabfall an der parasitären Induktivität im Kommutierungskreis aufgrund der größeren Flankensteilheit des Stromes höher ist. Dies belastet die Diode.

Die Schaltung kann das Einschalten wie gezeigt verbessern. Beim Ausschalten ist die Induktivität nicht gleichermaßen wirksam, da der Spannungshub im Vergleich zum Einschalten bis zum Beginn des Vorgangs klein ist. Die Induktivität kann mit einer Diode beim Ausschalten überbrückt werden. Die Schaltenergie lässt sich mit der Quasistromquelle beim Einschalten halbieren.

### 5.2.2. Ansteuerung durch Ladungsausgleich

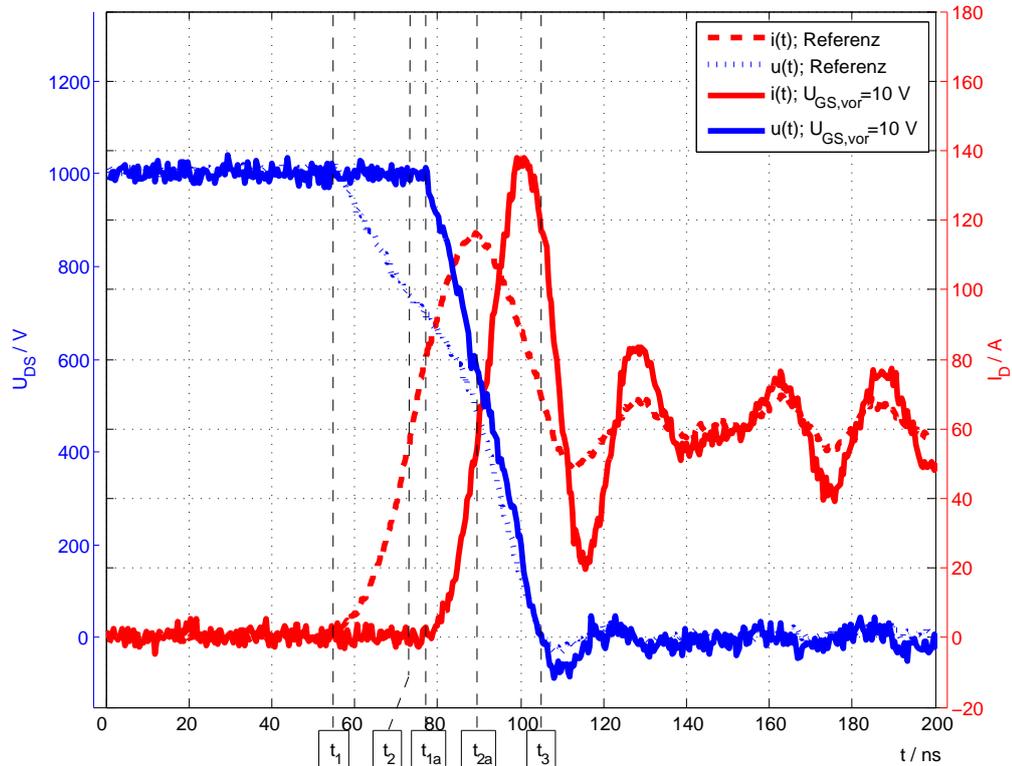
Die Ansteuerung durch Ladungsausgleich bedient sich dem Prinzip des Umladens von Kapazitäten, um den Halbleiter anzusteuern. Werden zwei Kapazitäten mit verschiedenen Ladungen parallel geschaltet, gleichen sich ihre Ladungen aus. Beim Ausgleich bleibt die Ladung erhalten, beide Spannungen sind nach dem Ausgleich identisch und kleiner als der größere Anfangswert.

Eine Ansteuerschaltung mit komplementärem Emitterfolger und externem Gatewiderstand ist die Basis für die Ansteuerung durch den Ladungsausgleich. Diese Ansteuerschaltung wird mit einem Stützkondensator vor der Ausgangsendstufe versehen, der durch eine hochohmige Spannungsquelle gespeist wird. Die Versorgungsspannung kann höher als die benötigte Gate-Source-Spannung sein. Wird der JFET eingeschaltet, entlädt sich der Stützkondensator, und die Eingangskapazität des JFET wird aufgeladen. Die hochohmige Versorgungsspannung bricht bis auf den Wert der Flussspannung der Steuertiode zusammen.

Mit Ansteuern durch Ladungsausgleich ergibt sich ein Nachteil durch das Aufladen des Stützkondensators. Die Ansteuerschaltung benötigt bei großem Aussteuerungsgrad entweder viel Leistung, um den Stützkondensator schnell aufzuladen, oder der Schaltvorgang wird bei großem Puls-Pause-Verhältnis langsamer. Die beiden Vorteile der Schaltung sind:

- Der Stützkondensator kann mit einer sehr hohen Spannung vorgeladen werden. Dies ermöglicht ein von Rückkopplung, internem Gatewiderstand und parasitären Induktivitäten unabhängiges, sehr schnelles und gezieltes Umladen des JFET Gates.
- Durch den Stromfluss wird ein minimaler Kanalwiderstand erzeugt. Durch einen Vorwärtsstrom in die Steuertiode wird ihre Raumladungszone minimal [Dom09].

Der Ansteuerung durch Ladungsausgleich gelingt es, gegenüber der herkömmlichen Ansteuerschaltung das Einschalten zu beschleunigen. Die Messungen in Abbildung 5.4 zeigen das Einschalten des JFET bei  $I_l = 60 \text{ A}$ ,  $U_d = 1000 \text{ V}$  und  $T_j = 25^\circ\text{C}$  mit den beiden verschiedenen Ansteuerschaltungen. Die mit Referenz bezeichnete Messung ist die Referenz aus Kapitel 3. Die Messung „ $U_{GS,vor} = 10 \text{ V}$ “ zeigt das



**Abbildung 5.4.:** Einschalten des JFET bei  $I_l = 60 \text{ A}$ ,  $U_d = 1000 \text{ V}$  und  $T_j = 25 \text{ }^\circ\text{C}$  mit Ansteuerung durch Ladungsausgleich und Referenz

Einschalten mit Ansteuerung durch Ladungsausgleich. Die Ansteuerschaltung steuert die Body-Diode des oberen Halbleiters nach dem Verfahren wie im Abschnitt 5.1.2.2 an.

Die beiden Messungen in Abbildung 5.4 zeigen einen Unterschied in der Flankensteilheit des Drainstroms. Dies verkürzt die Zeit des Stromanstiegs bis zum Erreichen des Laststroms  $t_1 < t < t_2$  um ca. ein Drittel. Durch die höhere Flankensteilheit fällt an der parasitären Induktivität des Zwischenkreises eine höhere Spannung ab, die den JFET entlastet. In der Zeitspanne  $t_{1a} < t < t_{2a}$  sinkt die Drain-Source-Spannung um ca. 200 V tiefer. Bei nahezu gleicher Flankensteilheit, aber weniger Drain-Source-Spannung, verkürzt sich ebenfalls die Zeitspanne bis zum Ende des Schaltvorgangs. Trotz des höheren Drainstroms  $\hat{I}$  ist die maximale Leistung (Tab. 5.4) kleiner. Die Verkürzung des Schaltvorgangs durch die höhere Flankensteilheit des Stroms führt zu einer Reduzierung der Schaltenergie um mehr als die Hälfte.

### 5.3 Schaltverlustreduzierung durch Ansteuerverfahren

---

**Tabelle 5.4.:** Kennwerte des JFET Einschalten bei  $I_L = 40$  A,  $U_{zk} = 1000$  V und  $T_j = 25$  °C Referenz, schalten mit Ladungsquelle

Versuch	$\hat{P}$ / kW	$E$ / mJ	$\hat{I}$ / A
Ansteuerung durch Ladungsausgleich	38,8	0,546	138
Referenz	57,8	1,27	117

Für eine Anwendung dieses Verfahrens am MOSFET wird ein größerer schaltungstechnischer Aufwand benötigt. Die hochohmige Spannungsquelle würde das MOSFET-Gate nach einer gewissen Zeit auf ihren Spannungswert aufladen, wenn der Strom nicht abgeführt wird. Dies kann beispielsweise durch einen Widerstandsteiler oder eine hochinduktive Zener-Diode realisiert werden. Eine Alternative zu diesem Verfahren ist das zweistufige Schalten. Es wird für das Einschalten des selbstsperrenden JFET benötigt [KRSC10].

Diese Methode kann auch für das Abschalten genutzt werden.

### 5.3. Schaltverlustreduzierung durch Ansteuerverfahren

Die vorangegangenen Abschnitte zeigen neue Verfahren, mit denen die Schaltenergie reduziert werden kann. Um einen Überblick über die Wirksamkeit der Schaltungen zu erhalten, werden diese Verfahren und Schaltungen im gleichen Arbeitspunkt ( $U_{zk} = 800$  V,  $I_L = 45$  A,  $T_j = 175$  °C) gemessen und in einem Diagramm dargestellt. Der Arbeitspunkt ist aus Sicht der Leistungsfähigkeit des Moduls sinnvoll gewählt.

In Abbildung 5.5 sind zwei Diagramme der Schaltenergien des JFET und seiner Body-Diode zu sehen. Das Diagramm der Schaltenergien des JFET zeigt auf der Abszisse die Schaltenergie beim Abschalten und auf der Ordinate die Schaltenergie beim Einschalten. Im Diagramm der Reverse-Recovery-Energie der Body-Diode ist nur diese Energie aufgetragen, die beim Forward Recovery frei werdende Energie ist stets gleich und beträgt -0,12 mJ.

Die verschiedenen Schaltungen und Verfahren sind mit Abkürzungen versehen. Das Verfahren Synchrongleichrichten aus Abschnitt 5.1.1 ist mit **Syn** gekennzeichnet.

## 5 Ansteuerschaltungen zur Reduzierung der Schaltenergie

---

Die aktiv schaltbare Rückkopplung, wie im Abschnitt 5.1.2.1 gezeigt, ist durch eine manuell eingebrachte Rückkopplung realisiert und mit **RK** im Diagramm beschrieben. Die Ansteuerung durch eine Quasistromquelle nach Abschnitt 5.2.1 wird durch eine Spule verwirklicht und mit **L<sub>G</sub>** bezeichnet. Das Diagramm vergleicht die erzielten Schaltenergien von drei Ansteuerschaltungen miteinander. Die mit **IFX** gekennzeichnete Ansteuerschaltung ist ein Aufbau mit dem auf Anfrage erhältlichen Demonstrator, passend zu den Direct Driven JFET Modulen. Die unveränderte Schaltung des Demonstrators ist räumlich nah an den JFET auf der Leiterplatte angeordnet und mit **1** gekennzeichnet. Eine Ansteuerschaltung mit Vorbestromen des Gates beim JFET nach Abschnitt 5.1.2.2 und Ansteuerung durch Ladungsausgleich (Abs. 5.2.2) trägt die Kennzeichnung **2**.

Die Ausschaltenergien der verschiedenen Verfahren und Schaltungen unterscheiden sich kaum. Dies ist darauf zurückzuführen, dass beim Ausschalten kein Rückstrom der Diode entsteht und eine Rückkopplung an der Sourceinduktivität keinen störenden Effekt hervorruft.

Die Einschaltenergien unterscheiden sich aus diesen Gründen deutlich voneinander. Die Verringerung der parasitären Induktivität im Gatekreis reduziert die Einschaltenergie durch die Reduktion des Anteils an parasitärem Aufsteuern am Rückstrom der Body-Diode. Dies ist der Fall beim Vergleich von 1.0 und IFX. Durch das Einbringen der Rückkopplung in den als Body-Diode fungierenden JFET werden das parasitäre Aufsteuern und die Einschaltenergie weiter reduziert.

Bessere Ergebnisse werden durch Synchrongleichrichten erzielt. Dies ist am Beispiel 1.Syn ablesbar, hierbei wird ohne Rückkopplung ein besseres Ergebnis erzielt als ohne Synchrongleichrichten, aber mit Rückkopplung. Dafür ist das parasitäre Aufsteuern aufgrund bipolarer Ladungsträger verantwortlich. Die Kombination aus Rückkopplung und Synchrongleichrichten verschafft nur noch kleine Vorteile.

Die aufwendige Konstruktion der mit 2 gekennzeichneten Ansteuerschaltung realisiert minimale Schaltenergien. Die Kombinationen mit Rückkopplung oder Quasistromquelle können dies kaum verbessern, das Synchrongleichrichten hingegen schon.

Die Reverse-Recovery-Energie ist mit der Schaltung IFX am größten, da hier weder parasitäres Aufsteuern, noch das  $Q_{rr}$  beherrscht werden kann. Die Verluste können

### 5.3 Schaltverlustreduzierung durch Ansteuerverfahren

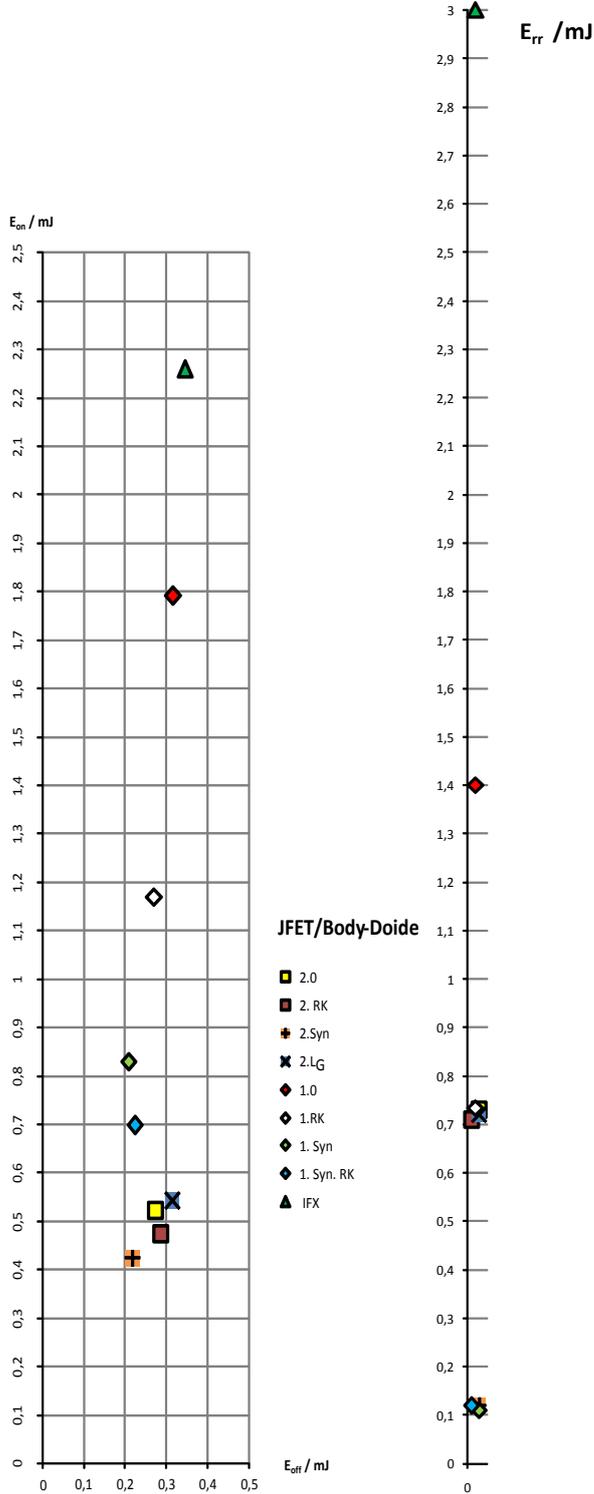


Abbildung 5.5.: Einschalt-, Ausschalt- und Reverse-Recovery-Energie des SiC-JFET bei  $U_{zk} = 800$  V,  $I_L = 45$  A,  $T_j = 175^\circ\text{C}$  mit verschiedenen Ansteuerungen

## 5 Ansteuerschaltungen zur Reduzierung der Schaltenergie

mit dem teilweisen Unterdrücken des parasitären Aufsteuerns (1.0) um mehr als die Hälfte reduziert werden. Es wird deutlich, dass die Verluste durch das parasitäre Aufsteuern einen Großteil der Reverse Recovery-Energie ausmachen. Alle Versuche, die das parasitäre Aufsteuern beherrschen, befinden sich im Diagramm bei ca. einem Viertel der ursprünglichen Reverse Recovery-Energien. Wird zusätzliches Synchrongleichrichten genutzt, können die Verluste auf ein Minimum gesenkt werden. Dieses Minimum ist die Energie, die in der Sperrschicht gespeichert ist. Sie wird beim Forward Recovery wieder frei, womit die Body-Diode frei von Schaltverlusten ist.



## 6. Zusammenfassung

Die hervorragenden Schalteigenschaften, das Erreichen des minimalen theoretischen Widerstands, dem so genannten Siliziumlimit eines modernen Si MOSFET sind der Entwicklung der vertikalen Struktur mit lateralem Kanal zu verdanken. Diese Struktur findet sich in den SiC-Transistoren teilweise wieder, womit sie die positiven Eigenschaften übernehmen. Durch die Verwendung von SiC wird das Siliziumlimit einfach durchbrochen. Die aufgezeigten Schwierigkeiten des Oxides in der MOSFET-Struktur können durch die Verwendung eines JFET umgangen werden. Der JFET kann in selbstsperrender und selbstleitender Ausführung aufgebaut werden. Ein selbstleitender Transistor ist im Design des Spannungszwischenkreisumrichters von Anfang an einzuplanen und führt möglicherweise im Betrieb zu Schwierigkeiten. Abhilfe kann die Kaskode schaffen. Eine Abwägung zwischen den verschiedenen Kombinationen in Hinsicht auf Schalt-, Durchlassverluste und Systemvorteile bleibt an dieser Stelle offen. Ein vorgestellter Kompromiss ist der Direct Driven JFET, dessen lateraler Kanal eine inhärente Body-Diode aufweist.

Die Schalteigenschaften dieser speziellen Lösung werden von den parasitären Elementen der Aufbau- und Verbindungstechnik beeinflusst. Dies geschieht nicht nur wie in der erwarteten Art und Weise, dernach Schwingungen durch den Schaltvorgang ausgelöst werden, wofür meist die gesamte parasitäre Induktivität des Kommutierungskreises verantwortlich ist.

Das Schaltverhalten des Direct Driven JFET und des MOSFET erfährt starke Beeinflussungen beim Einschalten durch die parasitären Elemente zwischen dem Source des Chips und dem Source-Anschluss des Transistorgehäuses. Wie anhand von Messungen belegt ist, verlangsamt sich das Einschalten hierdurch. Zur Verbesserung dieses Verhaltens existieren bei verschiedenen Gehäuse-Typen Hilfsanschlüsse. Dieser Effekt prägt sich bei der Kaskode in der Direct Driven JFET Variante viel deutlicher aus, da hier zwei miteinander verkoppelte Transistoren von diesem Problem

---

betroffen sind. Das Ausschalten ist von dem als Gegenkopplung zu verstehenden Effekt kaum betroffen, da eine Wirkung auf das unempfindliche Ende des Schaltvorgangs stattfindet. Die parasitäre Induktivität des Gate-Anschlusses kommt dem Einschalten zu Gute. Messungen und deren Auswertungen belegen dies. Der sich daraus ergebende Schwingkreis mit der Kapazität des Gates erhöht den Stromfluss während des Miller-Plateaus, wodurch die Schaltgeschwindigkeit steigt.

Mit Simulationen im Schaltungssimulator und angepassten Modellen lassen sich die Schaltvorgänge gut untersuchen. Mit Hilfe einer derartigen Untersuchung werden auch die Schaltverluste genauer beleuchtet.

Es zeigt sich, dass die Schaltverluste des Ein- und Ausschaltens bei einer Messung im Doppelpulsversuch einzeln nicht exakt bestimmbar sind, da die Ausgangskapazitäten eine Menge an Energie bei transienter Veränderung der Spannung speichern. Die Gesamtschaltenergie nach dem Addieren beider einzelner Energien ist letztendlich exakt. Dies beweist im Gegensatz zu bisherigen Annahmen, dass bei Schottky-Dioden die Reverse Recovery Energie null sein muss. Ergänzend zur Simulation wird mit der Analyse von Messwerten dargestellt, dass der Grenzfall des verlustlosen Abschaltens durch den hohen internen Gatewiderstand bei sehr geringen Stromwerten eintritt.

Durch das Abschalten induktiver Lasten und deren negativen Strömen durch den rückwärtsleitfähigen Transistor sind Diodenschaltvorgänge am *Unipolar Transistor* zu betrachten, das Reverse- und Forward Recovery. Das Forward Recovery ist von den parasitären Elementen im Rahmen der messtechnischen Genauigkeit unberührt. Das Reverse Recovery der Body-Diode hingegen unterliegt dem parasitären Aufsteuern des Transistorkanals. Eine neue Erkenntnis ist, dass dieses Aufsteuern durch die parasitären Elemente am Source unterdrückbar ist. Durch den unterstützenden induktiven Spannungsabfall an den parasitären Elementen wird die Gate-Source-Kapazität negativer vorgespannt und bietet somit dynamisch mehr Spannungsreserve bis zur Schwellspannung des Transistors. Im Gegensatz zum Einschalten ist eine große parasitäre Induktivität wünschenswert. Eine optimale parasitäre Induktivität für minimale Verlustenergien beim Schalten können weitere Untersuchungen aufzeigen. Zukünftige Arbeiten können auch den Bau einer Ansteuerschaltung beinhalten, die zwischen hoch- und niedrig-induktiv angebundenem Source entscheidet. Die parasitäre Induktivität des Gate-Anschlusses hat im Reverse Recovery-Fall eine

negative Wirkung und sollte, wie auch der Gatewiderstand, minimal sein.

Die allgemeine Annahme, dass keine bipolaren Ladungen bei Schaltvorgängen von SiC-Halbleitern beteiligt sind, widerlegen entsprechende Reverse Recovery Messungen und Analysen. Die Lebensdauer der Ladungsträger im SiC ist allgemein als kurz angenommen, was im Vergleich zu Silizium sehr deutlich ist. Durch eine neue Analysetechnik, mit der es gelingt, die Quantität der verschiedenen Ladungsanteile herauszufinden, kann eine Ladung aufgrund von Aufsteuern klar von bipolarer Reverse Recovery Ladung getrennt werden. Der Anteil an Ladung durch die parasitären Kapazitäten des Aufbaus ist aufgrund der Form des Aufbaus zu vernachlässigen. Die Menge an bipolarer Ladung beim Reverse Recovery einer SiC Body-Diode ist im Vergleich zu einer gleichartigen Siliziumstruktur gering. Dies bestätigt die Aussage, dass die Lebensdauer der Ladungsträger gering ist. Die in den Experimenten längste berechnete effektive Lebensdauer von Ladungsträgern beträgt 11 ns, was sich auf das Reverse Recovery auswirkt. Eine einfache und plausible Auswirkung ist die Vergrößerung des Rückstroms der Body-Diode über das Maß aufgrund der Sperrschichtkapazität hinaus. Eine weitere Beobachtung ist, dass sich der Rückstrom noch weiter vergrößert.

Es lässt sich eine Hypothese aufstellen, der zur Folge die freien Ladungsträger in der Raumladungszone eine Feldaufteilung verursachen und sich das parasitäre Aufsteuern vergrößert. Der größere Gradient des elektrischen Feldes würde eine größere Verschiebestromdichte verursachen. Ein größerer Verschiebestrom durch die Miller-Kapazität verstärkt das Aufsteuern. Die Überprüfung der Hypothese ist eine Aufgabe für weiterführende Untersuchungen. Hierfür kann sich eine Finite Elemente Simulation mit den Konstruktionsdaten des JFET eignen. Die Durchführung gelingt mit präzisiertem Wissen um das Verhalten von bipolaren Ladungsträgern. Eine hier gezeigte einfache eindimensionale Berechnung der Feldaufteilung und der Rückwirkung auf das parasitäre Aufsteuern kann das Phänomen weder erklären, noch widerlegen.

Synchrongleichrichten kann das Reverse Recovery der Body-Diode des JFET erheblich verbessern. Um das Problem der bipolaren Reverse Recovery Ladung zu umgehen, erscheint es zweckmäßig, die Body-Diode nicht zu nutzen. Bei einem ungeeigneten Silizium MOSFET realisiert dies das Abkoppeln mit antiseriellen Dioden. Die Body-Diode verhält sich wie eine Schottky-Diode bei Verwendung sehr kurzer Verriegelungszeiten. Voraussetzung hierfür ist das Unterdrücken des parasitären

Aufsteuerns.

Das Beherrschen des parasitären Aufsteuerns leistet beim JFET das erstmals verwendete Verfahren des Durchbruchs der Steuerdiode. Eine eigentlich zu negative Spannung am Gate des JFET führt zum Rückwärtsleiten der Steuerdiode des JFET und zu einem Gatevorstrom. Die Gatestruktur des Leistungshalbleiters ist im Allgemeinen darauf ausgelegt, dynamisch hohe Ströme zu führen. Der Gatestrom kann die Ladung über die Miller-Kapazität abführen, durch die die Gate-Source-Kapazität aufgeladen würde. Diese Verfahren nutzt die gleiche Wirkungsweise wie die Rückkopplung, durch eine hohe parasitäre Induktivität am Source.

Eine Ansteuerschaltung, die zusätzlich hohe dynamische Spannungen zum Aufladen des Gates nutzt, erzielt minimale Schaltenergien.

Ein Minimum an Schaltverlusten kann eine resonante Schaltentlastung erreichen [RE14].

Dies bietet den Vorteil, dass die Schaltgeschwindigkeit um eine Größenordnung reduziert ist. Bei langsamen Spannungsanstiegen tritt das parasitäre Aufsteuern beim Reverse Recovery nicht auf. Durch die Begrenzung der Flankensteilheit ist zusätzlich ein Vorteil bei der Aussendung von elektromagnetischer Störausstrahlung zu erwarten. Bei Verwendung unipolarer Halbleiter in einer resonanten Schaltung fallen keine Verluste durch Speicherladung an. Der Einsatz von SiC kann den Durchlasswiderstand der unipolaren Halbleiter optimieren. Der Vergleich eines resonant und eines hart schaltenden Aufbaus bietet Raum für weiterführende Untersuchungen.

# A. Anhang

## A.1. Simulationen

### A.1.1. Schaltvorgänge

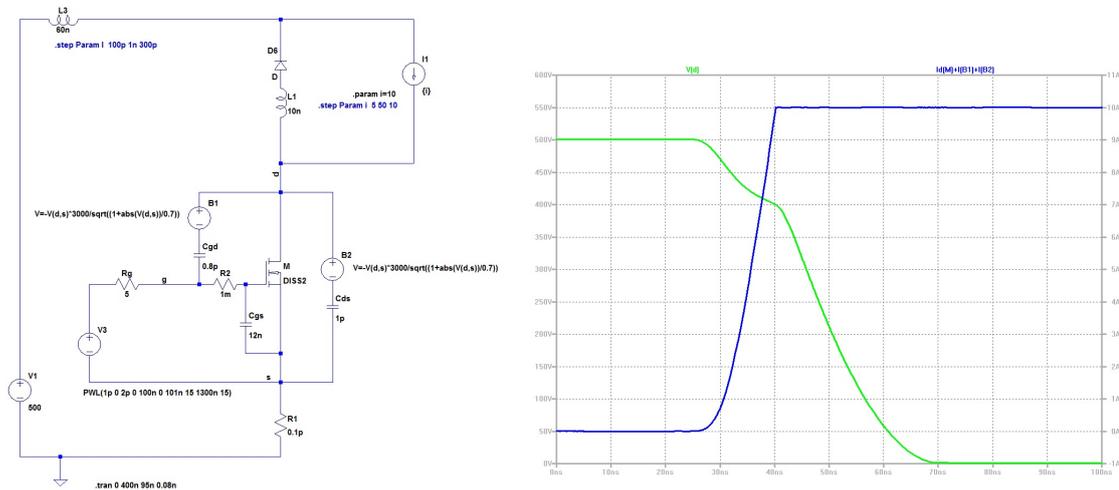


Abbildung A.1.: Simulation des parasitären Aufsteuerns mit verschiedenen Gatewiderständen

Relevante Elemente der Netzliste:

```
.model DISS2 VDMOS( Vto=4 Kp=3 Lambda=0.001 Cgdmin=5f Cgdmax=8f Cgs=8f Cjo=4f  
+Is=2n N=2 mfg=UNI-ROSTOCK Vds=1200 Ron=100m Qg=15n)  
B1 d N004 V=-V(d,s)*3000/sqrt((1+abs(V(d,s))/0.7))  
B2 d N007 V=-V(d,s)*3000/sqrt((1+abs(V(d,s))/0.7))  
Cgs N006 s 12n  
Cgd N004 g 0.8p  
Cds N007 s 1p
```

## A.1.2. Parasitäres Aufsteuern

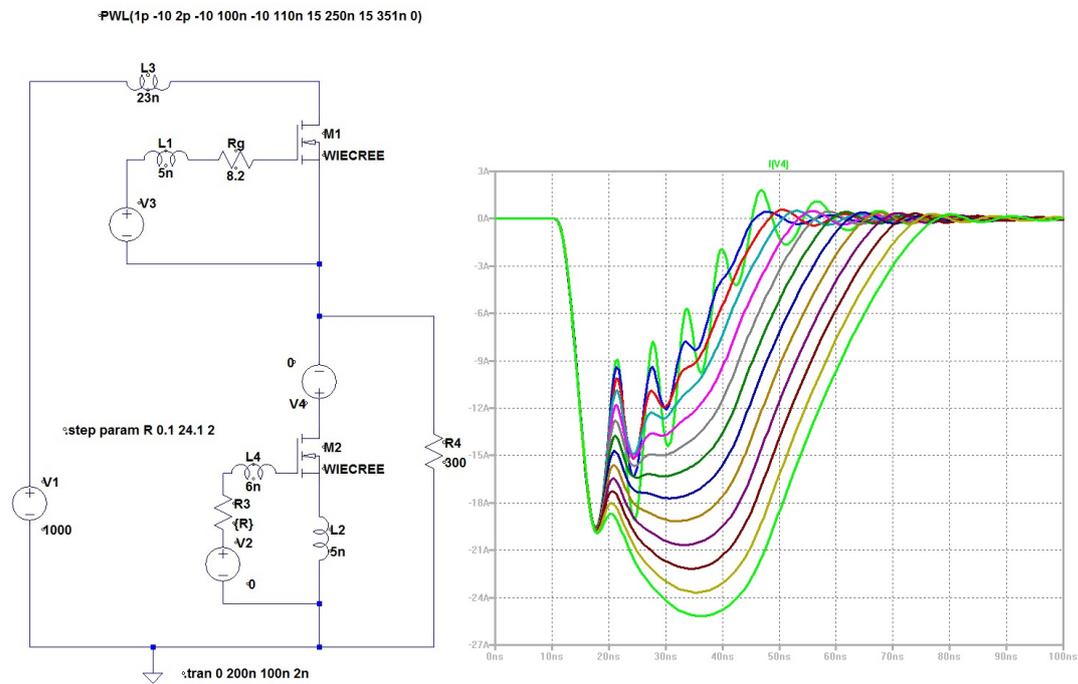


Abbildung A.2.: Simulation des parasitären Aufsteuerns mit verschiedenen Gatewiderständen

Relevante Elemente der Netzliste:

```
.model WIECREE VDMOS( Vto=2.9 Rg=5 Rs=5m Rd=50m Kp=1.0
+Lambda=0.0012 Cgdmin=0.011n Cgdmax=1.4n Cgs=0.41n Cjo=1.5n
+Is=2n M=0.40 N=0.01 mfg=UNI-ROSTOCK Vds=1500 Ron=100m Qg=15n)
```

## A.2. Herleitungen

### A.2.1. Reihenschwingkreis

**A.2.1.0.1. Dioden AC-Ersatzschaltbild** Die aus [APAHM12] entnommenen Gleichungen:

$$0 = s^2 + \left( \frac{R_s R_{AK} C + L_{stray}}{R_{AK} L_{stray} C} \right) \cdot s + \left( \frac{R_s + R_{AK}}{R_{AK} L_{stray} C} \right) \quad (\text{A.1})$$

$$\alpha = \frac{R_s R_{AK} C + L_{stray}}{2 R_{AK} L_{stray} C} \quad (\text{A.2})$$

$$\omega = \sqrt{\frac{R_s + R_{AK}}{R_{AK} L_{stray} C}} \quad (\text{A.3})$$

$$\zeta = \frac{\alpha}{\omega} = \sqrt{\frac{R_s + R_{AK} C + L_{stray}}{R_s + R_{AK} C L_{stray} + R_{AK}^2 L_{stray} C}} \quad (\text{A.4})$$

Durch Einsetzen der Werte  $R_s = 0,1\Omega$ ;  $R_{AK} = 1\text{ M}\Omega$ ;  $C = 20\text{ pF}$ ;  $L_{stray} = 20\text{ nH}$  in Gl. A.4 ergibt sich ein Wert für  $\zeta = 2,257$

Herleitung des Dämpfungsgrades aus Gl. A.2 und Gl. A.3. Die beiden Terme können als korrekt angenommen werden.

$$\begin{aligned} \zeta &= \frac{\frac{R_s R_{AK} C + L_{stray}}{2 \cdot R_{AK} L_{stray} C}}{\sqrt{\frac{R_s + R_{AK}}{R_{AK} L_{stray} C}}} \\ &= \frac{R_s R_{AK} C + L_{stray}}{\sqrt{\frac{R_s + R_{AK}}{R_{AK} L_{stray} C} \cdot 4 \cdot R_{AK}^2 L_{stray}^2 C^2}} \\ &= \frac{R_s R_{AK} C + L_{stray}}{\sqrt{(R_s + R_{AK}) \cdot 4 \cdot R_{AK} L_{stray} C}} \\ &= \sqrt{\frac{(R_s R_{AK} C + L_{stray})^2}{(R_s + R_{AK}) \cdot 4 \cdot R_{AK} L_{stray} C}} \\ &= \sqrt{\frac{R_s^2 R_{AK}^2 C^2 + 2 \cdot R_s R_{AK} C L_{stray} + L_{stray}^2}{4 \cdot R_s \cdot R_{AK} L_{stray} C + 4 \cdot R_{AK}^2 L_{stray} C}} \quad (\text{A.5}) \end{aligned}$$

Durch Einsetzen der Werte  $R_s = 0,1\Omega$ ;  $R_{AK} = 1\text{ M}\Omega$ ;  $C = 20\text{ pF}$ ;  $L_{stray} = 20\text{ nH}$  in Gl. A.5 ergibt sich ein Wert für  $\zeta = 0,001597$

**A.2.1.0.2. Reihenschwingkreis** Komplexer Spannungsteiler (Reihenschwingkreis)  
 $R_s$ ,  $C_j$ ,  $L_\sigma$  mit  $U_e = U_{ges}$  und  $U_a = U_{C_j}$ :

$$F(s) = \frac{\frac{1}{L_\sigma C_j}}{\frac{1}{L_\sigma C_j} + s \frac{R}{L_\sigma} + s^2}$$

$$0 = s^2 + s \frac{R}{L_\sigma} + \frac{1}{L_\sigma C_j}$$

Koeffizientenvergleich mit:

$$0 = s^2 + s2\delta + \omega_0^2$$

$$\delta = \frac{R}{2 \cdot L}$$

$$\omega_0 = \frac{1}{\sqrt{L_\sigma C}}$$

$$D = \frac{\delta}{\omega_0} = \frac{R}{2} \cdot \sqrt{\frac{C_j}{L_\sigma}} \quad (\text{A.6})$$

Durch Einsetzen der Werte  $R_s = 0,1\Omega$ ;  $C = 20\text{ pF}$ ;  $L_{stray} = 20\text{ nH}$  in Gl. A.6 ergibt sich ein Wert für  $D = 0,001581$

Die Nullstellen des charakteristischen Polynoms sind:

$$\Lambda_{1,2} = \frac{-2\delta \pm \sqrt{4\delta^2 - 4\omega_0^2}}{2}$$

$$= -\delta \pm \sqrt{\delta^2 - \omega_0^2}$$

$$= -\omega_0(D \mp \sqrt{D^2 - 1})$$

**Tabelle A.1.:** Schwingungsverhalten, Dämpfungsgrad

Fall	Kriterium	Lage der Nullstellen
Instabil	$D < 0$	2 komplex konjugierte Nullstellen pos. Realteil
Stabil	$D = 0$	2 komplex konjugierte Nullstellen ohne Realteil
Schwingfall	$0 < D < 1$	2 komplex konjugierte Nullstellen neg. Realteil
aperiodischer Grenzfall	$D = 1$	1 doppelte reale Nullstelle
Kriechfall	$D > 1$	2 reale Nullstellen

### A.2.2. Verschiebestromdichte am Steuerkopf

Die Grundvoraussetzungen:

$$u_{ds}(t) = a \cdot t \quad (\text{A.7})$$

$$E(x) = b \cdot x \quad (\text{A.8})$$

Potentialdifferenz ist Wegintegral über die elektrische Feldstärke:

$$U_{ds} = \int_0^{x'} (E(x)) dx$$

$$U_{ds} = \int_0^{x'} (b \cdot x) dx$$

$$U_{ds} = \frac{1}{2} \cdot b \cdot x'^2 \quad (\text{A.9})$$

Umstellung Gl. A.8; am Steuerkopf maximale Feldstärke:

$$E(x') \cdot b^{-1} = x' \quad | \quad E(x') = \hat{E}$$

Einsetzen in die ortsabhängige Spannung Gl. A.9:

$$U_{ds} = \frac{1}{2} \cdot \hat{E}^2 \cdot b^{-1}$$

$$2 \cdot U \cdot b = \hat{E}^2$$

$$\sqrt{2 \cdot U_{ds} \cdot b} = \hat{E}$$

Einsetzen der transienten Spannung Gl. A.7:

$$\sqrt{2 \cdot a \cdot b \cdot t} = \hat{E}$$

Die Verschiebestromdichte (Durchflutungsgesetz):

$$\begin{aligned} j_v &= \varepsilon \frac{d\hat{E}}{dt} \\ j_v &= \varepsilon \frac{d}{dt} \left( \sqrt{2 \cdot a \cdot b \cdot t} \right) \\ j_v &= \varepsilon \sqrt{2 \cdot a \cdot b} \cdot \frac{1}{2} \cdot t^{-\frac{1}{2}} \\ j_v &= \varepsilon \sqrt{\frac{1}{2} \cdot a \cdot b} \cdot \frac{1}{\sqrt{t}} \end{aligned}$$

Einsetzen der Steilheit des Spannungsanstiegs, Gradient der elektrischen Feldstärke

$$j_v = \varepsilon \sqrt{\frac{1}{2} \frac{dU_{ds}}{dt} \frac{dE}{dx}} \cdot \frac{1}{\sqrt{t}}$$

### A.2.3. Mittlere Ladungsträgerdichte

Kontinuitätsgleichung:

$$\frac{\partial \rho}{\partial t} + \operatorname{div} \mathbf{j} = -R + G$$

Vereinfachungen der Kontinuitätsgleichung (1D-Betrachtung der Ladungen,  $G=0$ ):

$$\begin{aligned} R_{p,n} &= \frac{p,n}{\tau_H} \\ \frac{dj_{p,n}}{dw} &= q \frac{p,n}{\tau_H L} \end{aligned}$$

Stromdichte und Ableitung:

$$\begin{aligned} j_{n,p} &= e \cdot p,n \cdot \mu_{p,n} \cdot E + q \cdot D_{p,n} \frac{dp,n}{dw} \\ \frac{d}{dw} j_p &= 0 + \frac{d(q \cdot D_p \frac{dp}{dw})}{dw} \end{aligned}$$

Differentialgleichung und Lösung:

$$D_A \frac{d^2 p}{dw^2} = \frac{p}{\tau_H}$$
$$p(w) = a_1 \cdot e^{-\sqrt{\frac{1}{D_a \cdot \tau_n}} \cdot w} + a_2 \cdot e^{\sqrt{\frac{1}{D_a \cdot \tau_n}} \cdot w}$$

Randbedingungen:

$$p(0) = -\frac{j \cdot L_a}{2q \cdot Da}$$
$$p(w_B) = \frac{j \cdot L_a}{2q \cdot Da}$$

Umformung mit:

$$L_a = \sqrt{D_a \cdot t_{HL}}$$
$$\cosh(z) = \frac{e^z + e^{-z}}{2}$$
$$\sinh(z) = \frac{e^z - e^{-z}}{2}$$

Ladungsträgerverteilung im Durchlass entnommen aus [Lin06]:

$$p(w) = \frac{j \cdot L_a}{2q \cdot Da} \left( \frac{\cosh\left(\frac{2w-w_B}{2L_a}\right)}{\sinh\frac{w_B}{2L_a}} - \frac{\mu_n - \mu_p}{\mu_n + \mu_p} \frac{\sinh\left(\frac{2w-w_B}{2L_a}\right)}{\cosh\frac{w_B}{2L_a}} \right)$$

Bildung des Mittelwertes der Ladungsträgerverteilung im Durchlass:

$$\begin{aligned} \bar{p} &= \frac{1}{w_B} \int_0^{w_B} p(w) dw \\ \bar{p} &= \frac{j \cdot L_a}{2q \cdot Da \cdot w_B} \left( \int_0^{w_B} \frac{\cosh\left(\frac{2w-w_B}{2L_a}\right)}{\sinh \frac{w_B}{2L_a}} dw - \int_0^{w_B} \frac{\mu_n - \mu_p}{\mu_n + \mu_p} \frac{\sinh\left(\frac{2w-w_B}{2L_a}\right)}{\cosh \frac{w_B}{2L_a}} dw \right) \\ \bar{p} &= \frac{j \cdot L_a}{2q \cdot Da \cdot w_B} \left[ \frac{L_a \cdot \sinh\left(\frac{2w-w_B}{2L_a}\right)}{\sinh \frac{w_B}{2L_a}} \right]_0^{w_B} - \frac{\mu_n - \mu_p}{\mu_n + \mu_p} \left[ \frac{L_a \cdot \cosh\left(\frac{2w-w_B}{2L_a}\right)}{\cosh \frac{w_B}{2L_a}} \right]_0^{w_B} \\ \bar{p} &= \frac{j \cdot L_a}{2q \cdot Da \cdot w_B} (2 \cdot L_a - 0) \\ \bar{p} &= \frac{j \cdot L_a^2}{q \cdot Da \cdot w_B} \\ \bar{p} &= \frac{j \cdot \tau_{HL}}{q \cdot w_B} \end{aligned}$$

### A.3. Messaufbau

**Tabelle A.2.:** Geräteliste

Gerätetyp	Hersteller, Bezeichnung	Verwendung
Oszilloskop	LeCroy, WaveSurfer 104 MXs-A	
Oszilloskop	Teledyn Lecroy, HDO 4104	
Pulsmustergenerator	IB-Billmann, PMG 02 (1.8.2006)	
Tastkopf	LeCroy, PP011	$U_{GS}, U_{shunt}$
Tastkopf	PMK, PHV 1000-PRO	$U_{DS}, U_{KA}$
Stromwandler (shunt)	T&M RESEARCH, SDN 414-01	$I_D, I_K$
Stromwandler (shunt)	T&M RESEARCH, SDN 414-10	$I_D, I_K$
Stromwandler (Zange)	LeCroy, CP031	$I_G$ -MOSFET
Ansteuerschaltung	CONCEPT, 2SC0435T2A0-17	MOSFET
Ansteuerschaltung	Infineon, 1ED020I12-F	JFET
Ansteuerschaltung	Eigenbau	JFET
Hochspannungsquelle	Regatron, TopCon TC.P	10 A, 1 kV
Lastdrossel	Eigenbau, 1 mH	
Zwischenkreis	Eigenbau, 3,3 mF + 10 $\mu$ F	1 kV
Heizung	Eigenbau	175 °C
Heizungsregler	Jumo eTRON T	

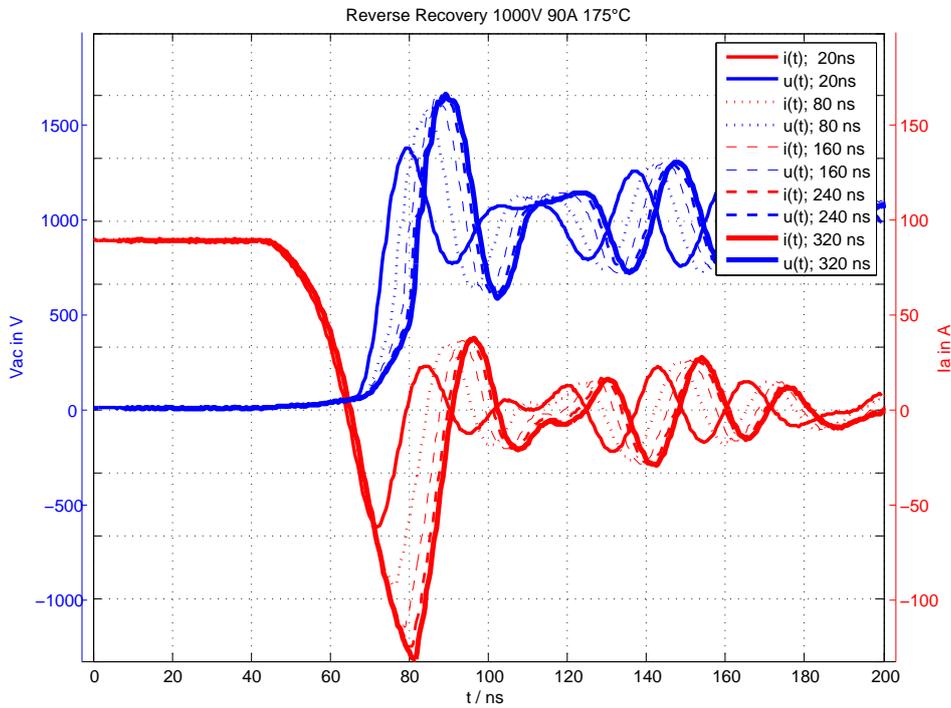
**Tabelle A.3.:** Versuchshalbleiter

Halbleitertyp	Bezeichnung	
JFET	FF45R12W1J1F_B11_ENG	45 A, 1,2 kV
JFET	FF30R12W1J1F_B11_ENG	30 A, 1,2 kV
MOSFET	CMF20120D	20 A, 1,2 kV
SiC-Schottky-Diode	IDH15S130	15 A, 1,2 kV
Si-PIN-Diode	ISL9R18120G2	18 A 1,2 kV

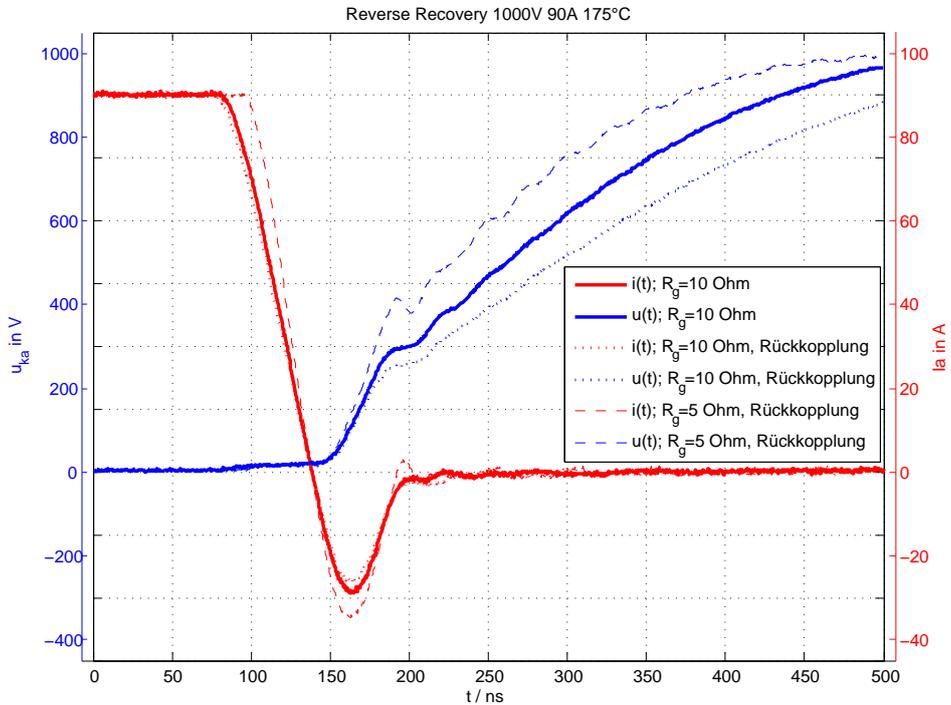


**Abbildung A.3.:** Prüfstand im Labor, mit WaveSurfer 104 MXs-A zur Messung des CMF20120D

## A.4. Weitere Messungen



Messung des Reverse Recoverys, verschiedene Verriegelungszeiten



Messung des Reverse Recoverys, verschiedene Ansteuerkonfigurationen



# Literaturverzeichnis

- [AE12] APPEL, Tobias ; ECKEL, Hans-Gunter: Reverse Recovery Behavior of the Body Diode of the SiC MOSFET. In: *PCIM Europe 2012; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management; Proceedings of VDE*, 2012, S. 959–965
- [AE13a] APPEL, Tobias ; ECKEL, Hans-Günter: Influence of Parasitic Inductances on the Switching Behavior of SiC JFET. In: *PCIM Europe 2012; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management; Proceedings of*, 2013, S. 303–310
- [AE13b] APPEL, Tobias ; ECKEL, Hans-Gunter: Bipolar reverse recovery behavior of the body-diode of a SiC JFET. In: *Power Electronics and Applications (EPE), 2013 15th European Conference on IEEE*, 2013, S. 1–6
- [AE14] APPEL, Tobias ; ECKEL, Hans-Gunter: Switching Losses Mechanisms of Unipolar Devices with Large Parasitic Capacitances. In: *PCIM Europe 2014; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management; Proceedings of VDE*, 2014, S. 1–8
- [APAHM12] ALATISE, Olayiwola ; PARKER-ALLOTEY, N-A ; HAMILTON, Dean ; MAWBY, Phil: The impact of parasitic inductance on the performance of silicon–carbide Schottky barrier diodes. In: *Power Electronics, IEEE Transactions on* 27 (2012), Nr. 8, S. 3826–3833
- [Bal87] BALIGA, B J.: *Modern Power Devices* Author/Publisher: Baliga, B.

*Jayant/Wiley, 1987. Title: Modern Power Devices Author/Publisher: Baliga, B. Jayant,... Wiley, 1987, 1987*

- [Bal10] BALIGA, B J.: *Fundamentals of power semiconductor devices*. Springer, 2010
- [BGL97] BAKOWSKI, M ; GUSTAFSSON, U ; LINDEFELT, Ulf: Simulation of SiC high power devices. In: *physica status solidi (a)* 162 (1997), Nr. 1, S. 421–440
- [Bla91] BLANC, James: Practical application of MOSFET synchronous rectifiers. In: *Telecommunications Energy Conference, 1991. INTELEC'91., 13th International IEEE*, 1991, S. 495–501
- [BNL<sup>+</sup>13] BABURSKA, Roman ; NIEDERNOSTHEIDE, F ; LUTZ, Josef ; SCHULZE, H ; FALCK, Elmar ; BAUER, Josef G.: Cathode-Side Current Filaments in High-Voltage Power Diodes Beyond the SOA Limit. In: *Electron Devices, IEEE Transactions on* 60 (2013), Nr. 7, S. 2308–2317
- [CBBW09] CHEN, Zheng ; BOROYEVICH, Dushan ; BURGOS, Rolando ; WANG, Fred: Characterization and modeling of 1.2 kV, 20 A SiC MOSFETs. In: *Energy Conversion Congress and Exposition, 2009. ECCE 2009. IEEE IEEE*, 2009, S. 1480–1487
- [CCES06] CHOI, YC ; CHA, Ho Y. ; EASTMAN, Lester F. ; SPENCER, Michael G.: Design Considerations of a New 4H-SiC Enhancement-Mode Lateral Channel Vertical JFET for Low-Loss Switching Operation. In: *Materials science forum* Bd. 527 Trans Tech Publ, 2006, S. 1199–1202
- [CI] CREE-INC.: CMF20120D-Silicon Carbide Power MOSFET / <http://www.cree.com/~media/Files/Cree/Power/Data%20Sheets/CMF20120D.pdf>. – Datasheet 2012
- [CJA02] COOPER JR, James A. ; AGARWAL, Anant: SiC power-switching devices-the second electronics revolution? In: *Proceedings of the IEEE* 90 (2002), Nr. 6, S. 956–968

- [CSM13] COUGO, Bernardo ; SCHNEIDER, Henri ; MEYNARD, Thierry: Accurate switching energy estimation of wide bandgap devices used in converters for aircraft applications. In: *Power Electronics and Applications (EPE), 2013 15th European Conference on IEEE*, 2013, S. 1–10
- [DBT+13] DUBOIS, Fabien ; BERGOGNE, Dominique ; TOURNIER, Dominique ; BUTTAY, Cyril ; MEURET, Régis ; MOREL, Hervé: Analysis of the SiC VJFET gate punch-through and its dependence with the temperature. In: *Power Electronics and Applications (EPE), 2013 15th European Conference on IEEE*, 2013, S. 1–10
- [DCB+13] DiMARINO, Christina ; CHEN, Zheng ; BOROYEVICH, Dushan ; BURGOS, Rolando ; MATTAVELLI, Paolo: Characterization and comparison of 1.2 kV SiC power semiconductor devices. In: *Power Electronics and Applications (EPE), 2013 15th European Conference on IEEE*, 2013, S. 1–10
- [DKM11] DOMES, Daniel ; KANSCHAT, Peter ; MESSELKE, Christoph: 1<sup>st</sup> industrialized 1200V SiC JFET module for high energy efficiency applications. In: *Power Conversion Intelligent Motion (PCIM) Europe*, 2011, S. 567–572
- [Dom09] DOMES, Daniel: *Untersuchungen zum Einsatz von unipolaren SiC Leistungshalbleiterbauelementen in Antriebsstromrichtern*. Shaker, 2009
- [DPB+06] DULAU, Laurent ; PONTAROLLO, Serge ; BOIMOND, Anthony ; GARNIER, J-F ; GIRAUDO, Nicole ; TERRASSE, Olivier: A new gate driver integrated circuit for IGBT devices with advanced protections. In: *Power Electronics, IEEE Transactions on* 21 (2006), Nr. 1, S. 38–44
- [DZ10] DOMES, Daniel ; ZHANG, Xi: CASCODE LIGHT – normally-on JFET stand alone performance in a normally-off Cascode circuit. In: *Power Conversion Intelligent Motion (PCIM) Europe*, 2010, S. 299–303
- [EF08] ECKEL, H-G ; FLEISCH, Karl: Turn-off behaviour of high voltage NPT- and FS-IGBT. In: *Power Electronics and Motion Control Conference, 2008. EPE-PEMC 2008. 13th IEEE*, 2008, S. 48–53

- [EZLS08] EBERLE, Wilson ; ZHANG, Zhiliang ; LIU, Yan-Fei ; SEN, Paresh C.: A current source gate driver achieving switching loss savings and gate energy recovery at 1-MHz. In: *Power Electronics, IEEE Transactions on* 23 (2008), Nr. 2, S. 678–691
- [FD57] FROSCH, CJ ; DERICK, L: Surface protection and selective masking during diffusion in silicon. In: *Journal of the Electrochemical Society* 104 (1957), Nr. 9, S. 547–552
- [FKLP11] FRIEDRICHS, Peter ; KIMOTO, Tsunenobu ; LEY, Lothar ; PENSL, Gerhard: *Silicon carbide*. Bd. 1. Wiley. com, 2011
- [Gen] GENESiC, Inc. Semiconductor: GA10JT12-263 Normally-OFF Silicon Carbide Junction Transistor / [http://www.genesicsemi.com/images/products\\_sic/sjt/GA10JT12-263.pdf](http://www.genesicsemi.com/images/products_sic/sjt/GA10JT12-263.pdf). – Datasheet Dec 2013
- [Geu66] GEURST, JA: Theory of insulated-gate field-effect transistors near and beyond pinch-off. In: *Solid-State Electronics* 9 (1966), Nr. 2, S. 129–142
- [HJF12] HILDEN, Tim ; JÄNKER, Peter ; FREY, Lothar: Reverse Recovery off All-SiC Switches . In: *Power Conversion Intelligent Motion (PCIM) Europe*, Mai, 2012, S. 979–983
- [HRM13] HAYNES, Geoff ; ROBERTS, John ; MIZAN, Ahmad: Lateral GaN Transistors High Density Layout Techniques. In: *Power Conversion Intelligent Motion (PCIM) Europe*, 2013, S. 30–35
- [JBWB12] JIANG, Dong ; BURGOS, Rolando ; WANG, Fei ; BOROYEVICH, Dushan: Temperature-dependent characteristics of SiC devices: performance evaluation and loss calculation. In: *Power Electronics, IEEE Transactions on* 27 (2012), Nr. 2, S. 1013–1024
- [Joh65] JOHNSON, EO: Physical limitations on frequency and power parameters of transistors. In: *IRE International Convention Record* Bd. 13 IEEE, 1965, S. 27–34

- [Kam01] KAMINSKI, N.: *Unipolare Leistungsbauelemente in Siliziumkarbid*. VDI-Verlag, 2001 (Fortschritt-Berichte VDI.: Elektronik/Mikro- und Nanotechnik). <http://books.google.de/books?id=m1zFAAAACAAJ>. – ISBN 9783183337095
- [KBBL13] KOWALSKY, Jens ; BASLER, Thomas ; BHOJANI, Riteshkumar ; LUTZ, Josef: GaAs pin Diodes as Possible Freewheeling Diodes. In: *Power Conversion Intelligent Motion (PCIM) Europe*, 2013, S. 975–981
- [KC10] KOCH, I. ; CANDERS, W.-R.: Discussion of turn on current peaks of SiC switches in half bridges *Materials Science Forum* 645, 2010, S. 1177–1182
- [KNS97] KAMINSKI, N ; NIEMANN, E ; SHEPPARD, ST: Punch-through behaviour of wide bandgap materials (with example in 6H-SiC) and its benefit to JFETS. In: *Materials Science Forum* Bd. 264 Trans Tech Publ, 1997, S. 1073–1076
- [Kol00] KOLESSAR, R: Physical study of the power diode turn-on process. In: *Industry Applications Conference, 2000. Conference Record of the 2000 IEEE* Bd. 5 IEEE, 2000, S. 2934–2940
- [KRSC10] KELLEY, Robin ; RITENOUR, Andrew ; SHERIDAN, David ; CASADY, Jeff: Improved two-stage DC-coupled gate driver for enhancement-mode SiC JFET. In: *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE IEEE*, 2010, S. 1838–1841
- [KSR<sup>+</sup>10] KELLEY, Robin ; STEWART, G ; RITENOUR, A ; BONDARENKO, V ; SHERIDAN, DC: 1700 V enhancement-mode SiC VJFET for high voltage auxiliary flyback SMPS. In: *Power Conversion Intelligent Motion (PCIM) Europe, Nuernberg (2010)*
- [Lin06] LINDER, Stefan: *Power semiconductors*. EPFL Press, 2006
- [LKK<sup>+</sup>99] LADES, M ; KAINDL, W ; KAMINSKI, N ; NIEMANN, E ; WACHUTKA, G: Dynamics of incomplete ionized dopants and their impact on

- 4H/6H-SiC devices. In: *Electron Devices, IEEE Transactions on* 46 (1999), Nr. 3, S. 598–604
- [LMGP13] LEMMON, Andrew ; MAZZOLA, Michael ; GAFFORD, James ; PARKER, Chris: Gate-Drive Considerations for Silicon Carbide FET-Based Half-Bridge Circuits. In: *Power Conversion Intelligent Motion (PCIM) Europe*, 2013, S. 311–316
- [Lut06] LUTZ, Josef: *Halbleiter-Leistungselemente*. Bd. 2012. Springer, 2006
- [MLI<sup>+</sup>05] MNATSAKANOV, TT ; LEVINSHTEIN, ME ; IVANOV, PA ; PALMOUR, JW ; DAS, M ; AGARWAL, AK: Analysis of the turn-on process in 6 kV 4H-SiC junction diodes. In: *Semiconductor science and technology* 20 (2005), Nr. 1, S. 62
- [MSWF98] MCNEILL, Neville ; SHENG, Kuang ; WILLIAMS, Barry W. ; FINNEY, Stephen J.: Assessment of off-state negative gate voltage requirements for IGBT's. In: *IEEE transactions on power electronics* 13 (1998), Nr. 3, S. 436–440
- [NLD12] NORLING, Karl ; LINDHOLM, Christian ; DRAXELMAYR, Dieter: 1<sup>st</sup> Commercial SiC JFET Driver for Direct Drive JFET Topology. In: *Power Conversion Intelligent Motion (PCIM) Europe*, 2012, S. 452–457
- [OJK<sup>+</sup>00] OETJEN, J ; JUNGBLUT, R ; KUHLMANN, U ; ARKENAU, J ; SITTING, R: Current filamentation in bipolar power devices during dynamic avalanche breakdown. In: *Solid-State Electronics* 44 (2000), Nr. 1, S. 117–123
- [RE14] RUMP, Thomas ; ECKEL, Hans-Guenter: Zero-Voltage-Switching Clamped Voltage DC/DC Buck Converter with SiC Power Devices. In: *PCIM Europe 2014; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management; Proceedings of VDE*, 2014, S. 1–8
- [Rei07] REISCH, Michael: *Elektronische Bauelemente*. Bd. 2. Springer, 2007

- [RS01] ROSCHKE, Matthias ; SCHWIERZ, Frank: Electron mobility models for 4H, 6H, and 3C SiC [MESFETs]. In: *Electron Devices, IEEE Transactions on* 48 (2001), Nr. 7, S. 1442–1447
- [SBH<sup>+</sup>13] SIEMIENIEC, R ; BLANK, O ; HUTZLER, M ; YIP, LJ ; SANCHEZ, J: Robustness of MOSFET devices under hard commutation of the body diode. In: *Power Electronics and Applications (EPE), 2013 15th European Conference on IEEE*, 2013, S. 1–10
- [Sch06] SCHRÖDER, Dierk: *Leistungselektronische Bauelemente*. Bd. 2. Springer, 2006
- [Sch12] SCHRÖDER, Dierk: *Leistungselektronische Schaltungen: Funktion, Auslegung und Anwendung*. Springer DE, 2012
- [SCJM<sup>+</sup>02] SINGH, Ranbir ; COOPER JR, James A. ; MELLOCH, Michael R. ; CHOW, TP ; PALMOUR, John W.: SiC power Schottky and PiN diodes. In: *Electron Devices, IEEE Transactions on* 49 (2002), Nr. 4, S. 665–672
- [SCWM10] SHENG, Honggang ; CHEN, Zheng ; WANG, Fred ; MILLNER, Alan: Investigation of 1.2 kV SiC MOSFET for high frequency high power applications. In: *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE IEEE*, 2010, S. 1572–1577
- [SH68] SHICHMAN, Harold ; HODGES, David A.: Modeling and simulation of insulated-gate field-effect transistor switching circuits. In: *Solid-State Circuits, IEEE Journal of* 3 (1968), Nr. 3, S. 285–289
- [She90] SHENAI, K: Gate-resistance-limited switching frequencies of power MOSFET's. In: *IEEE electron device letters* 11 (1990), Nr. 11, S. 544–546
- [Sin04] SINGH, Prabjit: Power MOSFET failure mechanisms. In: *Telecommunications Energy Conference, 2004. INTELEC 2004. 26th Annual International IEEE*, 2004, S. 499–502

- [SK11] SIEMIENIEC, Ralf ; KIRCHNER, Uwe: The 1200V direct-driven SiC JFET power switch. In: *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on IEEE*, 2011, S. 1–10
- [SMG<sup>+</sup>13] SCHRADER, Robin ; MAZZOLA, Michael ; GAFFORD, James u.a.: Diode-Free Synchronous Rectification using a SiC Trench JFET. In: *Power Conversion Intelligent Motion (PCIM) Europe, Nuernberg (2013)*
- [SND10] SIEMIENIEC, Ralf ; NÖBAUER, G. ; DOMES, D.: Stability and performance analysis of a cascode switch Proc. ISPS 2010, Prague, Czech Republic, 2010
- [SND12] SIEMIENIEC, Ralf ; NÖBAUER, Gerhard ; DOMES, Daniel: Stability and performance analysis of a SiC-based cascode switch and an alternative solution. In: *Microelectronics Reliability* 52 (2012), Nr. 3, S. 509–518
- [Spr11] SPRINGETT, N.: Capacitor-clamped Cascode Normally-on SiC JFET Operates as Synchronous Rectifier. In: *Power Conversion Intelligent Motion (PCIM) Europe, Mai, 2011*, S. 979–983
- [SSB89] SHENAI, Krishna ; SCOTT, Robert S. ; BALIGA, B J.: Optimum semiconductors for high-power electronics. In: *Electron Devices, IEEE Transactions on* 36 (1989), Nr. 9, S. 1811–1823
- [SVZ<sup>+</sup>13] STÜCKLER, F. ; VECINO, E. ; ZOJER, B. ; KUTSCHAK, M. ; QUAGLIANO, R. ; BENDA, M. ; RETTINGER, H.: Performance improvement of a *CoolMOS<sup>TM</sup>* C7 650V switch in a Kelvin source configuration. In: *Power Conversion Intelligent Motion (PCIM) Europe, 2013*, S. 636–641
- [TS02] TIETZE, Ulrich ; SCHENK, Christoph: *Halbleiter-Schaltungstechnik*. Bd. 12. Springer, 2002
- [VH11] VOLKE, Andreas ; HORNKAMP, Michael: *IGBT Modules: technologies, driver and application*. Infeneon Technologies, 2011

- [Vri02] VRIES, Ian D.: A resonant power MOSFET/IGBT gate driver. In: *Applied Power Electronics Conference and Exposition, 2002. APEC 2002. Seventeenth Annual IEEE* Bd. 1 IEEE, 2002, S. 179–185
- [VSH<sup>+</sup>10] VELIADIS, V ; STEWART, EJ ; HEARNE, H ; SNOOK, M ; LELIS, A ; SCOZZIE, C: A 9-kV normally-on vertical-channel SiC JFET for unipolar operation. In: *Electron Device Letters, IEEE* 31 (2010), Nr. 5, S. 470–472
- [WL94] WONG, Waisum W. ; LIOU, Juin J.: JFET circuit simulation using SPICE implemented with an improved model. In: *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on* 13 (1994), Nr. 1, S. 105–109
- [WLP90] WONG, WW ; LIOU, JJ ; PRENTICE, J: An improved junction field-effect transistor static model for integrated circuit simulation. In: *Electron Devices, IEEE Transactions on* 37 (1990), Nr. 7, S. 1773–1775
- [WNTR10] WINTRICH, Arendt ; NICOLAI, Ulrich ; TURSKY, Werner ; REIMANN, Tobias: *Applikationshandbuch Leistungshalbleiter ISLE*, 2010
- [ZGL<sup>+</sup>00] ZHAO, JH ; GRUZINSKIS, V ; LUO, Y ; WEINER, M ; PAN, M ; SHIKTOROV, P ; STARIKOV, E: Monte Carlo simulation of 4H-SiC IMPATT diodes. In: *Semiconductor science and technology* 15 (2000), Nr. 11, S. 1093
- [ZWTB13] ZHANG, Zheyu ; WANG, Fred ; TOLBERT, Leon M. ; BLALOCK, Benjamin J.: A gate assist circuit for cross talk suppression of SiC devices in a phase-leg configuration. In: *Energy Conversion Congress and Exposition (ECCE), 2013 IEEE* IEEE, 2013, S. 2536–2543

## Thesen

- SiC-Halbleiter weisen eine um eine Größenordnung höhere Sperrschichtkapazität auf im Vergleich zu Si-Halbleitern, da die Halbleiter mit in gleichem Maße größeren Feldstärken betrieben werden. Dies wirkt sich auf das Schaltverhalten und die Verlustaufteilung aus.
- Die Ladung beim Reverse Recovery kann in drei verschiedene Anteile getrennt werden. Die in der Ausgangskapazität gespeicherte Ladung ist bei SiC-Halbleitern nicht vernachlässigbar, wie auch der Anteil der Ladung durch Plasmaextraktion. Beim *Unipolar Transistor* tritt dies durch Benutzung der Body-Diode auf. Die aktuellen SiC-Transistoren neigen beim Reverse Recovery zum parasitären Aufsteuern, wodurch zusätzliche Ladung verursacht wird.
- Eine erhöhte Reverse Recovery Ladung tritt beim schnellen Schalten auf. Eine Erklärung für dieses Phänomen kann der Defektelektronenstrom in der Raumladungszone sein. Durch ihn wird der Gradient des elektrischen Feldes beeinflusst. Unter anderem wächst hierdurch der ohnehin große Verschiebestrom der SiC-Halbleiter. Da der Verschiebestrom durch die Miller-Kapazität das parasitäre Aufsteuern verursacht, wird es durch diesen Effekt verstärkt.
- Die parasitären Induktivitäten der Halbleiter gelten als unerwünscht. Eine fehlende parasitäre Induktivität am Source wirkt sich im Gegensatz dazu negativ aus. Die Rückkopplung verhindert das parasitäre Aufsteuern und beeinflusst das Einschalten des Halbleiters negativ. Die Rückkopplung kann direkt oder über die Kaskode wirken, in der der Direct Driven JFET eingebettet ist.
- Die parasitären Gatewiderstände der aktuellen SiC-Halbleiter und die parasitären Induktivitäten können mit einer erhöhten Einschalt- und Ausschaltspannung ausgeglichen werden. Das parasitäre Aufsteuern geht hierdurch zurück. Durch zusätzliches Synchrongleichrichten sind minimale Verluste und effiziente Umrichter möglich.