



Universitat Autònoma de Barcelona  
Escola d'Enginyeria  
Departament d'Enginyeria Electrònica



---

# VARIABILITAT DEPENDENT DEL TEMPS PER BTI I PORTADORS CALENTS EN MOSFETS ULTRAESCALATS

---

Memòria presentada per

Núria Ayala Cintas

Per optar al grau de

Doctora en Enginyeria Electrònica

Dirigida per

Dra. Montserrat Nafria Maqueda

i

Dr. Javier Martín Martínez,

Bellaterra (Cerdanyola del Vallés), Juny de 2013



Montserrat Nafria Maqueda, Catedràtica d'Electrònica i Javier Martín Martínez,  
Professor Lector de Tecnologia Electrònica, de la Universitat Autònoma de Barcelona,

**CERTIFIQUEN**

que la tesis titulada **Variabilitat depenent del temps per BTI i portadors calents en MOSFETs ultraescalats** que presenta Núria Ayala Cintas per optar al grau de Doctora en Enginyeria Electrònica, s'ha realitzat sota la seva direcció.

Bellaterra, Juny de 2013

Dra. Montserrat Nafria Maqueda

Dr. Javier Martín Martínez



# Índex

<b>Agraïments</b> .....	<b>7</b>
<b>Publicacions relacionades amb la tesis</b> .....	<b>9</b>
<b>Presentació</b> .....	<b>11</b>
<b>1 Introducció</b> .....	<b>15</b>
<b>1.1 El Transistor MOSFET</b> .....	<b>16</b>
<b>1.2 Problemes en l'escalat del transistor. Possibles solucions</b> .....	<b>19</b>
1.2.1 Dispositius basats en dielèctrics d'alta permitivitat (high-k).....	21
1.2.2 Millora de la mobilitat dels portadors al canal.....	23
<b>1.3 Variabilitat dels paràmetres elèctrics dels transistors</b> .....	<b>25</b>
<b>1.4 Mecanismes d'envelliment en el MOSFET</b> .....	<b>27</b>
1.4.1 Bias Temperature Instability (BTI) .....	28
1.4.2 Degradació per Channel Hot-Carriers .....	35
1.4.3 Degradació i ruptura dielèctrica.....	38
<b>2 Degradació per BTI i CHC en dispositius amb canal comprimit</b> .....	<b>39</b>
<b>2.1 Mostres analitzades i procediment experimental</b> .....	<b>40</b>
<b>2.2 Dependències de <math>\Delta V_T</math> amb l'estrès elèctric. Impacte de l'estrès mecànic al canal</b> .....	<b>44</b>
2.2.1 Longitud de canal i temps d'estrès .....	44
2.2.2 Tipus de canal (SiGe S/D i referència) .....	46
2.2.3 Tensió d'estrès.....	47
2.2.4 Llei empírica per $\Delta V_T$ .....	49
<b>2.3 CHC vs NBTI en mostres amb canal comprimit: quin és el mecanisme dominant?</b> .....	<b>50</b>
2.3.1 Comparativa de la degradació per estrès CHC amb l'estrès per NBTI.....	51
2.3.2 Extrapolació a les condicions d'operació.....	52
<b>3 Variabilitat dependent del temps per estressos NBTI i Channel Hot-Carrier</b> .....	<b>57</b>
<b>3.1 Mostres i procediment experimental</b> .....	<b>58</b>
3.1.1 Seqüències d'estrès.....	59
3.1.2 Automatització del sistema de mesura.....	60
<b>3.2 Caracterització de la variabilitat a temps zero</b> .....	<b>61</b>

<b>3.3 Variabilitat dependent del temps de la tensió llindar i la mobilitat en mostres SiGe S/D i de referència.....</b>	<b>62</b>
3.3.1 Estressos NBTI.....	63
3.3.2 Estressos CHC.....	66
<b>3.4 Impacte de la variabilitat dependent del temps dels dispositius en circuits: inversor CMOS .....</b>	<b>70</b>
3.4.1 Impacte de la variabilitat i degradació NBTI.....	72
3.4.2 Impacte de la variabilitat i degradació CHC.....	73
<b>4 Relaxació discreta del NBTI i RTN en transistors pMOS d'àrea petita.....</b>	<b>77</b>
4.1 Descripció de les mostres i procediment experimental .....	78
4.2 Dependència dels paràmetres dels defectes amb la tensió d'estrès i el temps de relaxació.....	82
4.3 Caracterització de defectes individuals .....	85
4.4 Impacte del RTN i NBTI en circuits .....	93
4.4.1 Flux de simulació .....	93
4.4.2 Efectes de la càrrega/descàrrega de defectes en el comportament del transistor .....	95
4.4.3 Efectes del RTN i BTI en cel·les SRAM.....	96
<b>Conclusions.....</b>	<b>101</b>
<b>Referències .....</b>	<b>105</b>
<b>Annexa: Publicacions més rellevants.....</b>	<b>119</b>

# Agraïments

Aquest treball ha estat possible gràcies a la col·laboració i interacció amb molta gent amb qui he tingut la sort i la oportunitat de coincidir durant tots aquests anys, i per tant, aquesta tesi els pertany també a ells.

Primerament, voldria agrair especialment als meus supervisors Montse Nafria i Javier Martín, per la seva direcció i constants fonts de noves idees. Hem hagut de prendre enginyoses estratègies per solucionar els problemes, i gràcies a elles hem arribat a bon port. Javi, gràcies perquè a més de co-director, has estat també un bon *patró* i sobretot, un bon amic.

També m'agradaria agrair a Rosana Rodríguez la seva contínua ajuda i dedicació i que m'ha proporcionat i he pogut adquirir. Gràcies a tots els companys amb qui he coincidit en el passat (Esteve Amat, Juan Boix), als presents (Vanessa, Albert, Albin, Miquel) i a les noves incorporacions (Marcos, Carlos).

Tampoc vull deixar de banda la resta de membres del Departament d'Enginyeria Electrònica de la Universitat Autònoma de Barcelona, que heu estat allà quan he necessitat fabricar, fer gestions, tràmits burocràtics, o simplement parlar i ampliar nous horitzons des de diferents perspectives. Especialment als companys de despatx Ferran, Paris, Gonzalo, Jose i Albin pels moments que m'heu fet gaudir!

Finalment, vull expressar la meva gratitud a la meva família qui, lluny del camp de l'enginyeria, han compartit el seu punt de vista en coses bàsiques però no menys importants, i m'han fet veure més enllà d'on m'arriba la vista.





# Publicacions relacionades amb la tesi

## Articles en revistes

1. N. Ayala, J. Martin-Martinez, E. Amat, M. B. Gonzalez, P. Verheyen, R. Rodriguez, M. Nafria, X. Aymerich and E. Simoen, "NBTI related time-dependent variability of mobility and threshold voltage in pMOSFETs and their impact on circuit performance", *Microelectronics Engineering*, Vol. 88, No. 7, pp. 1384-1387 (2011).
2. N. Ayala, J. Martin-Martinez, R. Rodriguez, M. B. Gonzalez, M. Nafria, X. Aymerich and E. Simoen, "Characterization and SPICE modeling of the CHC related time-dependent variability in strained and unstrained pMOSFETs", *Microelectronic Reliability*, Vol. 52, pp. 1924-1927 (2012).

## Comunicacions en congressos

1. J. Martín-Martínez, B. Kaczer, J. Boix, N. Ayala, R. Rodríguez, M. Nafria, X. Aymerich, P. Zuber, B. Dierickx and G. Groeseneken. "Circuit-design oriented modelling of the recovery BTI component and post-BD gate current". Conferencia de dispositivos electrónicos (CDE 2009) (Poster).
2. N. Ayala, J. Martin-Martinez, R. Rodriguez, M. Nafria, X. Aymerich, "Voltage and temperature dependences of the BTI probabilistic occupancy model parameters", *Workshop on Thin Dielectrics in Microelectronics (WoDiM 2012)*.
3. J. Martín-Martínez, N. Ayala, R. Rodriguez, M. Nafria and X. Aymerich. "Negative Bias Temperature Instability. Characterization, Device Modeling and Circuit Aging Evaluation", International Conference on Solid-State and Integrated Circuit Technology. (ICSICT 2012). **Invited Talk**.

4. N. Ayala, J. Martin-Martinez, R. Rodriguez, M. Nafria and X. Aymerich, "Unified characterization of RTN and BTI for circuit performance and variability simulation", Proceedings of the European Solid-State Device Research Conference (ESSDERC 2012), pp. 266-269.
5. J. Martin-Martinez, N. Ayala, R. Rodriguez, M. Nafria and X. Aymerich "RELAB: a tool to include MOSFETs BTI and variability in SPICE simulators", International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design. (SMACD 2012).
6. N. Ayala, J. Martin-Martinez, R. Rodriguez, M. B. Gonzalez, M. Nafria, X. Aymerich and E. Simoen. "Characterization and SPICE modeling of the CHC related time-dependent variability in strained and unstrained pMOSFETs" European Symposium on Reliability of Electron Devices, Failure Physics and Analysis (ESREF 2012).
7. J. Martín-Martínez, M. Moras, N. Ayala, V. Velayudhan, R. Rodríguez, M. Nafría and X. Aymerich. "Modeling of time-dependent variability caused by Bias Temperature Instability". Conferencia de Dispositivos Electrónicos (CDE 2013).

# Presentació

**A**vui dia, en l'era digital en que ens trobem, qualsevol gadget que utilitzem, des de l'ordinador de casa fins als smartphones i smartTV, es basa en dispositius electrònics. Per tal d'aconseguir les prestacions actuals, aquests dispositius han hagut de millorar progressivament, de manera que en cada nova generació són més ràpids i petits. Per millorar aquests dispositius, milers de persones treballen arreu del món investigant maneres d'implementar aquestes noves tecnologies i millorar-les. Dins de la branca de la micro i nanoelectrònica, s'estudia el disseny de nous dispositius (com per exemple els MEMS/NEMS o els FinFET) i de noves estructures (com per exemple els nanotubs o el grafé) per tal de seguir millorant les prestacions que ofereixen les noves tecnologies. Tot i aquests avenços en dispositius nanoelectrònics, el dispositiu més rellevant en els circuits integrats (CIs) actuals és el transistor MOSFET, dispositiu constituent de la majoria dels circuits integrats.

El MOSFET, utilitzat des de finals de la dècada dels 70, ha estat millorat per tal d'oferir un major rendiment, una resposta més ràpida i uns costos de fabricació més baixos. Per tal d'aconseguir aquests objectius ha estat necessari reduir les dimensions (escalat) dels MOSFETs. De fet, ja Gordon Moore a l'any 1965 va predir que el nombre de transistors per unitat de superfície en un CI es duplicaria cada 18 mesos durant les properes dos dècades. Més tard però, l'any 1975, Moore va modificar la seva pròpia llei al corroborar que el ritme baixaria, i que la capacitat d'integració es duplicaria cada 24 mesos. Aquesta llei s'ha complert fins al moment, arribant a aconseguir integrar  $2.6 \cdot 10^9$  transistors en els microprocessadors de 2011.

Així doncs, aquest escalat dels MOSFET ha fet que es puguin produir dispositius del node tecnològic de 32nm. Aquest profund escalat però, no ha estat absent d'entrebancs. De fet, han estat necessàries diverses modificacions dels MOSFETs inicials per tal d'aconseguir arribar al MOSFET actual. Això es deu principalment al fet que, al disminuir les dimensions, el transistor deixa de comportar-se de forma "ideal" per començar a aparèixer múltiples problemes de diferent naturalesa, com és el cas dels efectes de canal curt i els corrents de fuga, entre d'altres, que disminueixen la seva fiabilitat i fan augmentar el seu

consum elèctric. Un d'aquests corrents de fuga és el que apareix al disminuir el gruix del dielèctric de porta. Així, com a solució, companyies com Intel, des de l'any 2007 han substituït el SiO<sub>2</sub> (utilitzat tradicionalment com dielèctric de porta) per materials alternatius (high-k) que redueixen aquest corrent. Un altre aspecte relacionat amb l'escalat dels transistors i amb la millora en les seves prestacions és la velocitat de commutació. Per això, des de l'any 2002, Intel ja aplica un estrès mecànic en el canal dels dispositius per tal d'augmentar la seva velocitat de treball. A banda d'aquestes millores de les prestacions, s'ha de garantir que aquests dispositius són fiables i que el seu funcionament és el desitjat durant el seu temps de vida.

En el cas dels transistors MOSFET, hi ha diferents fenòmens que poden degradar el seu funcionament dins els xips, modificant progressivament les seves característiques, afectant al funcionament del CI. Els principals fenòmens físics causants de la degradació dels transistors són: *Channel Hot-Carrier* (CHC), *Bias Temperature Instability* (BTI) i *Oxide Breakdown* (BD). L'estudi d'aquests fenòmens és clau per entendre la degradació dels dispositius i poder prevenir-la o, almenys, millorar la vida útil d'aquests dispositius. Com aquests fenòmens poden disminuir la funcionalitat dels xips depèn de factors com la disposició del dispositiu dins del circuit, de la tensió i la temperatura a que estan exposats. Per aquest motiu, aquesta tesi s'ha centrat en l'estudi de la degradació de transistors MOSFET de tecnologies avançades en les que s'ha introduït estrès mecànic en el canal (*strained*) i el SiO<sub>2</sub> substituït amb dielèctrics high-k, per estressos *Hot-Carrier* o *Bias Temperature Instability*, i els seus efectes en circuits electrònics.

En el primer capítol es descriurà breument els principis fonamentals del funcionament del transistor MOSFET, així com les principals regles d'escalat utilitzades per disminuir les seves dimensions. A continuació es farà un apunt sobre els principals problemes que apareixen amb l'escalat del transistor, centrant-nos en l'aparició del corrent de fuga a través del dielèctric de porta i diferents mètodes per millorar la velocitat en la resposta dels transistors. Tot seguit es parlarà dels mecanismes de degradació estudiats en aquest treball (CHC i BTI) així com de la variabilitat associada als processos de fabricació i la dependència d'aquesta amb la degradació induïda als transistors (*Time-Dependent Variability*, TDV).

El segon capítol es centra en els resultats obtinguts en l'estudi del comportament de transistors *strained* amb high-k quan es sotmeten a estressos BTI i CHC. Per veure els efectes de l'estrès mecànic en el canal, s'han comparat els resultats trobats amb els de dispositius sense estrès mecànic. Finalment, s'ha avaluat quin dels dos mecanismes controla la degradació del dispositiu en condicions d'operació.

En el capítol següent, s'amplia l'estudi realitzat en el capítol anterior, però introduint la variabilitat associada al procés de fabricació. Per això, s'ha analitzat la degradació dels paràmetres de molts transistors idèntics, comparant els resultats en transistors *strained* i de referència. Després, s'han introduït les característiques elèctriques dels dispositius degradats en un simulador de circuits, tenint en compte la variabilitat, per analitzar els seus efectes en la resposta d'un circuit electrònic.

Per últim, en el quart capítol s'ha estudiat el mecanisme de degradació BTI en transistors d'àrea petita, l'anomenat RTN (*Random Telegraph Noise*). En aquest cas, s'ha

realitzat una caracterització dels dispositius per tal d'extraure els paràmetres d'un model físic del fenomen i les seves dependències amb les condicions d'operació dels dispositius. Tot seguit, el model, junt amb els seus paràmetres i dependències, s'ha introduït en un simulador de circuits, i s'ha avaluat l'impacte del RTN i el BTI en una cel·la SRAM.

Per acabar es presenten les conclusions més rellevants d'aquesta tesis. Com a apèndixs s'inclouen les còpies de les publicacions més representatives a les que aquesta tesis ha donat lloc.



# 1 Introducció

**A**mb el continu escalat dels dispositius, dictat per la llei de Moore, avui en dia és possible fabricar dispositius del node tecnològic dels 32nm. Aquest escalat dels transistors MOSFET comporta una millora de les prestacions dels CIs, com es pot veure en la Taula 1.1, on es comparen les velocitats de rellotge de diferents generacions de processadors i les àrees dels daus. En ella es pot veure com, des del Pentium 4 (130nm) fins a l'actual Core i5 (32nm), la velocitat del rellotge s'ha incrementat un 1GHz mentre s'ha reduït les dimensions dels daus en 50mm<sup>2</sup>.

Processador	Data de llançament	Node tecnològic (nm)	Velocitat de rellotge (GHz)	Àrea del dau (mm <sup>2</sup> )
<b>Pentium 4</b>	Mai'03	130	2.4	131
<b>Core 2 Duo</b>	Jul'06	65	2.4	143
<b>Core i7 920</b>	Nov'08	45	2.7	263
<b>Core i5 670</b>	Gen'10	32	3.4	81

**Taula 1.1** Especificacions de diferents generacions de processadors i millora en les seves prestacions [1].

Aquest increment de les prestacions ha estat possible gràcies a la miniaturització dels dispositius electrònics, permesa per les millores de la tecnologia. Però la reducció de les dimensions dels dispositius no està lliure de problemes, doncs, associats a aquest escalat, han aparegut nous fenòmens que limiten les prestacions dels circuits. Degut a la complexitat dels CIs actuals, aquests fenòmens són diversos i de diferent naturalesa. En aquest sentit, el *International Technology Roadmap for Semiconductors* (ITRS) publica cada any un informe detallat amb els principals objectius que s'han de complir per tal de continuar l'evolució de l'escalat dels dispositius [2].

En aquest capítol d'introducció es revisaran els fonaments de funcionament dels transistors MOSFET, que són els dispositius principals dels CIs actuals, juntament amb les regles d'escalat. A continuació, s'explicarà alguns dels problemes associats a l'escalat d'aquests dispositius, rellevants per aquest treball, així com una sèrie de propostes capaces de solucionar aquestes limitacions. Finalment es revisaran els principals mecanismes físics que limiten la fiabilitat dels MOSFETs, així com les tècniques emprades per la seva caracterització.

## 1.1 El Transistor MOSFET

MOSFET [3] correspon a les sigles, en anglès, de *Metal Oxide Semiconductor Field Effect Transistor*, és a dir, és un transistor d'efecte de camp basat en l'estructura MOS, i constitueix l'element fonamental dels CIs actuals, doncs gran part dels CIs d'ús comercial estan basats en transistors MOSFET. Va ser formulat teòricament per l'alemany Julius Edgar Lilienfeld en 1930 [4], tot i que, degut a problemes tecnològics i de desconeixença del comportament dels electrons sobre la superfície dels semiconductors, no es van poder fabricar fins dècades més tard per Walter Houser Brattain, John Bardeen i William Shockley [5].

En la Fig. 1.1 es mostra l'estructura bàsica d'un MOSFET. La part central és una capacitat MOS on l'elèctrode de porta (*Gate*) normalment és un metall o polisilici. El dielèctric, tradicionalment  $\text{SiO}_2$ , és un material aïllant que separa la porta del semiconductor. En la tecnologia de Silici, el semiconductor que hi ha al substrat (*Bulk*) pot ser tipus P o N, depenent de si aquest està dopat amb àtoms acceptors o donadors, respectivament. A continuació es suposarà un transistor amb substrat tipus P (Fig. 1.1), és a dir, que el substrat de Silici està dopat amb àtoms acceptors, cosa que implica un excés de forats ( $h^+$ ) i una manca d'electrons ( $e^-$ ). A ambdós extrems del substrat s'introdueixen unes zones de semiconductor tipus N (excés d'electrons), la font (*Source*) i drenador (*Drain*).

Depenent de les diferències de potencial en els terminals del transistor, es poden distingir diferents règims d'operació. Tenint en compte la capacitat MOS, quan es connecten porta i substrat a una diferència de potencial  $V_{GB} \ll 0V$ , els forats al semiconductor són atrets cap a la porta, es diu llavors que l'estructura es troba en un estat d'**acumulació** de forats a la interfície òxid-Silici. Si s'aplica una diferència de potencial positiva a la porta però molt petita ( $V_{GB} \approx 0V$ ), els portadors minoritaris ( $e^-$ ) s'acumularan en l'interfície òxid-Silici. Quan la diferència de potencial aplicada a la porta és suficientment elevada i positiva ( $V_{GB} \gg 0V$ ), hi haurà acumulació de  $e^-$  a la capa interfacial amb una densitat de portadors prou elevada per crear una capa d'**inversió**, anomenada canal. La tensió llindar,  $V_T$ , indica la tensió de porta mínima necessària per crear el canal de portadors minoritaris entre font i drenador. En tots els casos descrits a dalt, o bé no hi ha canal o bé la diferència de potencial entre drenador i font s'ha considerat que és zero (Fig. 1.2a) i per tant, no hi haurà corrent entre font i drenador i el transistor està en estat de **tall**.



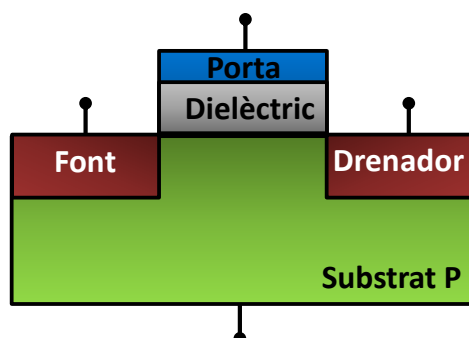


Fig. 1.1 Estructura bàsica d'un transistor nMOSFET.

Quan la capacitat MOS opera en el règim d'inversió, el transistor pot treballar en diferents regions de funcionament: zona lineal i zona de saturació. Aquestes zones, a diferència de les descrites en el paràgraf anterior, venen controlades per la tensió entre font i drenador ( $V_{DS}$ ). Depenent de la diferència de potencial entre drenador i font ( $V_{DS}$ , es considera  $V_B = 0V$ ), l'homogeneïtat de la densitat de càrrega en el canal variarà. Quan  $V_{DS}$  és baixa, la densitat de càrrega al llarg de tot el canal és homogènia; es diu que el transistor es troba en la regió **lineal** (Fig. 1.2b). A mesura que la diferència de tensió va augmentant, el camp elèctric vertical comença a disminuir a prop de la zona del drenador, i s'estreny el canal a prop d'aquesta zona. Si es segueix augmentant el voltatge  $V_{DS}$ , arribarà un punt (per  $V_{DS} \geq V_{DSsat}$ ) a partir del qual deixarà d'haver-hi càrrega en la frontera amb el drenador (*pinch-off*) (Fig. 1.2c). A partir d'aquest moment el corrent de drenador serà independent de la tensió  $V_{DS}$ . Es diu que el MOSFET està treballant en la regió de **saturació**.

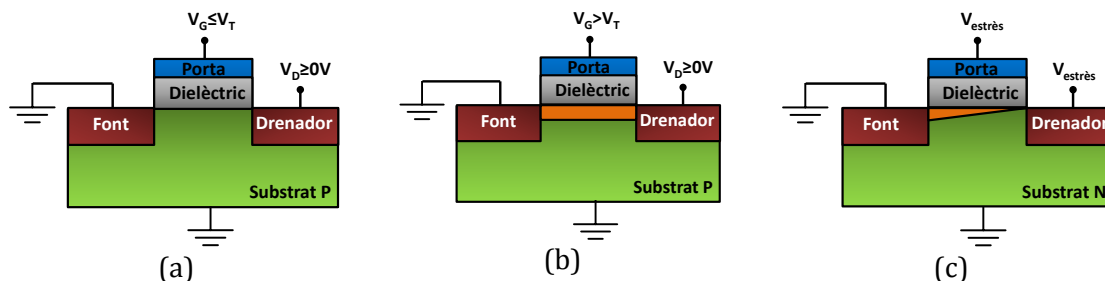


Fig. 1.2 Esquema dels diferents règims d'operació d'un transistor nMOS. Per a tensions de porta més petites que la tensió llindar, no s'ha creat el canal, es troba en la zona de tall (a). Per  $V_{GS} > V_T$  i  $V_{DS} < V_{DSsat}$ , es crea un canal conductor, pel qual circularà un corrent dependent de la tensió de drenador. Si  $V_{DS} > 0V$  en aquest cas el transistor es troba en la zona lineal (b). Si la tensió de drenador es fa molt elevada ( $V_{DS} > V_{DSsat}$ ), el canal deixa de ser homogeni per passar a tenir una zona d'estrangulament (*pinch-off*) en la que no hi ha càrrega. En aquest moment el corrent de drenador és independent de la tensió de drenador, el transistor es troba en la zona de saturació (c).

Així, el corrent que circula pel canal ( $I_D$ ) depèn tant de la tensió aplicada a la porta ( $V_{GS}$ ) com l'aplicada al drenador ( $V_{DS}$ ). Les equacions de (1.1) a (1.3) mostren la dependència de  $I_D$  amb les tensions  $V_{GS}$  i  $V_{DS}$  [3].

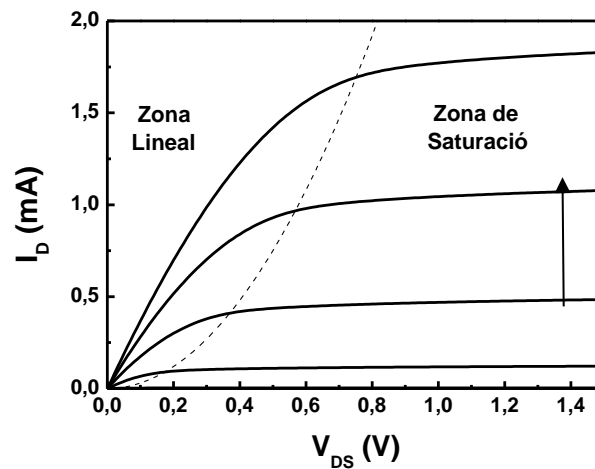
$$I_D = 0 \quad \text{per } V_{GS} < V_T \text{ i/o } V_{DS} = 0V \quad (1.1)$$

$$I_D = \frac{W}{L} \mu C_{ox} \left[ (V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \text{per } V_{DS} < V_{GS} - V_T \quad (1.2)$$

$$I_D = \frac{W}{2L} \mu C_{ox} (V_{GS} - V_T)^2 \quad \text{per } V_{DS} > V_{GS} - V_T \quad (1.3)$$

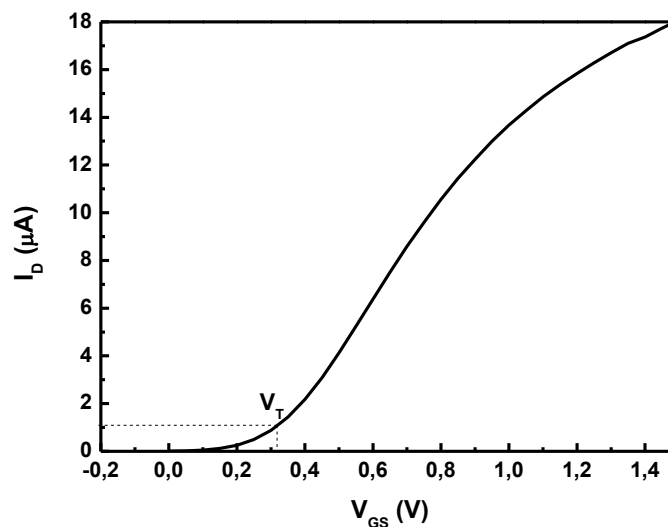
on  $W$  i  $L$  són l'amplada i la longitud del canal respectivament,  $C_{ox}$  és la capacitat de l'estructura MOS i  $\mu$  és la mobilitat dels portadors en el canal.

La corba característica  $I_D$ - $V_{DS}$  de la Fig. 1.3 mostra els diferents règims d'operació del transistor. Dins la paràbola dibuixada en línia puntejada, el transistor es troba en la zona lineal (eq. (1.2)). Fora de la paràbola, el transistor està en la zona de saturació (eq. (1.3)). La paràbola coincideix a les condicions en les que  $V_{DS} = V_{GS} - V_T$ , coneguda com tensió de saturació,  $V_{Dsat}$ .



**Fig. 1.3** Característiques  $I_D$ - $V_{DS}$  típiques d'un transistor nMOS per a diferents tensions de porta. Dependent de  $V_{DS}$  el MOSFET es troba en les zones lineal o de saturació.

L'altra corba característica del transistor és la  $I_D$ - $V_{GS}$  (Fig. 1.4), a partir de la que es pot definir, entre d'altres paràmetres, la tensió llindar ( $V_T$ ) del transistor.



**Fig. 1.4** Característica  $I_D$ - $V_{GS}$  típica d'un transistor nMOS.

Fins ara s'ha suposat que l'òxid de porta és un aïllant perfecte, de manera que entre la porta i el substrat el corrent que hi circula ( $I_G$ ) és nul o menyspreable. El continu escalat dels transistors però, ha comportat una variació en algunes de les propietats elèctriques dels transistors. A continuació s'explica diferents mètodes d'escalat dels transistors i els principals problemes que comporta aquesta disminució de dimensions.

## 1.2 Problemes en l'escalat del transistor. Possibles solucions

La miniaturització dels dispositius ve limitada per problemes de fabricació o bé per les pròpies limitacions fonamentals (físiques) dels dispositius. Els límits en l'escalat dels dispositius provenen en gran part de les restriccions en el consum de potència dels circuits CMOS fabricats i a la seva funcionalitat. Aquests límits físics tenen el seu origen principalment en les elevades fuites de corrent a través de l'òxid dels MOSFETs, quan el gruix del dielèctric es fa molt petit, i en els efectes de canal curt que apareixen quan es disminueix l'àrea del canal. Aquests últims modifiquen les característiques elèctriques en el canal dels transistors, alterant les prestacions dels circuits.

Existeixen diferents efectes de canal curt, per exemple, el *Drain Induced Barrier Lowering* (DIBL) es produeix degut a que, en transistors de canal curt, el camp elèctric entre drenador i font es fa tan gran que redueix la barrera de potencial entre ambdós terminals, provocant un increment en el corrent sub-llindar, alhora que disminueix la tensió llindar [6]. Un altre efecte és la *Modulació de la Longitud de Canal* (CLM), la qual té com a conseqüència que, en la regió de saturació, el corrent de canal té una dependència amb la tensió de drenador ( $V_{DS}$ ) [7, 8]. Altrament, quan la longitud de canal és molt petita, les zones de buidament del drenador i la font es poden arribar a tocar (*punch-through*), de manera que el corrent de drenador pot deixar d'estar restringit a la superfície del canal d'inversió.

Per solucionar els efectes de l'escalat, ja en la dècada dels 70 es va proposar seguir amb l'escalat però mantenint constant el camp elèctric [9], és a dir, reduint el voltatge aplicat en els dispositius i les dimensions verticals i horitzontals en un factor  $k > 1$  sempre el mateix per a totes elles. D'aquesta manera el camp elèctric es manté constant amb l'escalat i per tant, es controlen els efectes de canal curt. En la Taula 1.2 es mostren els criteris d'escalat a camp constant, indicant quins paràmetres del dispositiu han de ser escalats i en quin factor.

Ara bé, la implementació d'aquestes regles va donar lloc a problemes, ja que, per exemple, la tensió llindar depèn de paràmetres relacionats amb els materials propis de la tecnologia, com la funció de treball o el gap del Silici, que no es veuen afectats per les regles de l'escalat mostrades en la Taula 1.2. A la pràctica llavors, cal mantenir les tensions d'operació constants, i per tant, els camps elèctrics augmenten gradualment amb l'escalat. Així doncs, una dècada després de començar amb la regla de l'escalat a camp elèctric constant, aquesta va ser modificada donant lloc a una nova estratègia d'escalat, l'escalat generalitzat [10]. L'escalat generalitzat proposa que, mentre les dimensions del dispositiu s'escalen un factor  $k$ , el camp elèctric augmenta un factor  $\alpha > 1$ . D'aquesta manera, la

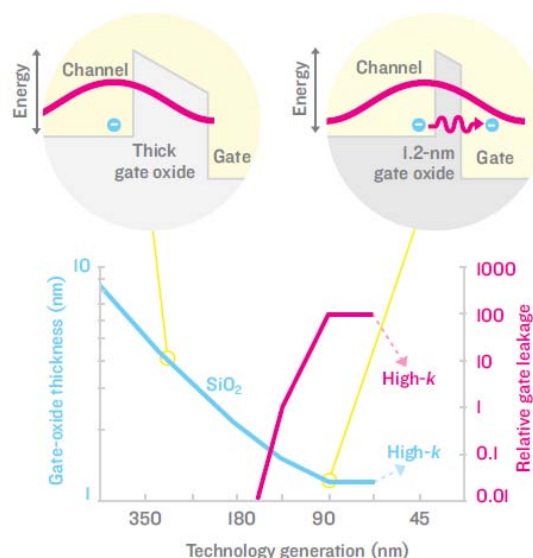
distribució del potencial es veu lleugerament afectada i per tant, els efectes de canal curt segueixen controlats.

	Paràmetres dels dispositius i circuits	Factor d'escalat ( $k > 1$ )
Regles de l'escalat a camp constant	Dimensions del dispositiu ( $L, W, t_{ox}$ )	$1/k$
	Concentració de dopatge	$k$
	Tensió d'alimentació	$1/k$
Efecte en els paràmetres del dispositiu	Camp elèctric	1
	Velocitat dels portadors	1
	Amplada de la capa de depleció	$1/k$
	Capacitat	$1/k$
	Densitat de càrrega en la capa d'inversió	1
	Corrent	$1/k$
Efecte en les figures de mèrit del circuit	Resistència del canal	1
	Temps de retràs	$1/k$
	Dissipació de potència	$1/k^2$
	Producte Potència-retràs	$1/k^3$
	Densitat de corrent	$k^2$
	Densitat de potència consumida	1

**Taula 1.2** Regles d'escalat a camp elèctric constant i les seves repercussions sobre els paràmetres del dispositiu i les figures de mèrit [11].

Com a resultat de l'escalat dels dispositius a tensions constants, els camps elèctrics en el dispositiu, tant verticals com laterals, augmenten. Com a conseqüència d'aquests camps elèctrics elevats, augmenten els corrents de fuga dins el transistor, cosa que comporta un augment en el consum elèctric dels dispositius.

El corrent de fuga a través del dielèctric augmenta amb l'escalat, degut a la disminució del gruix de l'òxid ( $t_{ox}$ ) i a l'elevat camp elèctric vertical. Per explicar aquest efecte, considerem un transistor amb substrat tipus P i un dielèctric suficientment prim (menys de 10nm) al que se li aplica una tensió a la porta  $V_{GS} > 0V$  mentre la resta de terminals estan connectats a terra ( $V_S = V_D = V_B = 0V$ ). En aquesta situació, l'òxid de porta està sotmès a un camp elèctric vertical que provoca un transport de portadors entre la porta i el substrat del dispositiu per efecte túnel (Fig. 1.5), que al seu temps es tradueix en un corrent  $I_G$  no nul en el terminal de porta.



**Fig. 1.5** Disminució del gruix de l'òxid de porta amb cada nova generació tecnològica, fins a assolir només un gruix de 5 àtoms (1.2nm). A aquestes dimensions, l'ona que descriu la localització d'un electró (a i b) és més àmplia que el gruix de l'òxid i l'electró pot, simplement, aparèixer en ambdós costats de l'òxid a través de desplaçament túnel en l'aïllant, és l'anomenat corrent túnel. Per això ha estat necessari canviar l'òxid de porta, de  $\text{SiO}_2$  als dielèctrics high-k, per tal de disminuir aquests corrents [12].

### 1.2.1 Dispositius basats en dielèctrics d'alta permitivitat (high-k)

Els elevats corrents de fuga a través del dielèctric de porta es deuen principalment a la disminució del gruix de l'òxid de porta, que comporta un augment del transport per efecte túnel i, per tant, un augment del consum elèctric. Per disminuir aquests elevats corrents llavors, cal fer servir un altre material amb un gruix físic més gran, però tal que es mantinguin les propietats elèctriques a les que s'ha arribat amb transistors amb  $\text{SiO}_2$ . Per això, la propietat que cal mantenir constant és la capacitat de l'òxid ( $C_{ox}$ ). Per tant, si es vol augmentar el gruix, mantenint  $C_{ox}$  i  $A$  constant, a partir de l'equació (1.4) es veu que s'ha d'augmentar la permitivitat dielèctrica ( $\epsilon$ ).

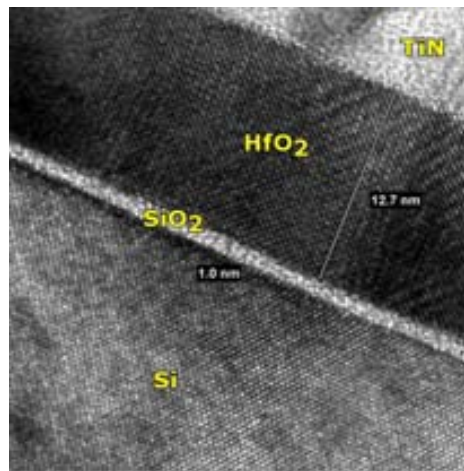
$$C_{ox} = A \frac{\epsilon}{t_{ox}} \quad (1.4)$$

Per aquest motiu, des de fa més d'una dècada, s'està treballant en la substitució del  $\text{SiO}_2$  per dielèctrics amb una constant dielèctrica superior a la de l'òxid de Silici (d'aquí el nom de high-k) com a dielèctric de porta, sent els més estudiats els de la Taula 1.3 [13]. La tasca de substituir completament el  $\text{SiO}_2$  per high-k no es trivial. Això es deu a que sobre el Si tendeix a créixer ràpidament una capa de  $\text{SiO}_2$  quan entra en contacte amb l'Oxigen de l'ambient. Per tant, es fa necessari controlar aquesta capa interfacial per avaluar correctament el comportament del high-k i escalar-lo als requeriments del ITRS. En [14] per exemple, fan un estudi de la deposició de  $\text{HfO}_2$  sobre el Silici.

Material	$\epsilon_r$	Material	$\epsilon_r$
$\text{Al}_2\text{O}_3$	9-11	$\text{Al}_x\text{Zr}_{1-x}\text{O}_2$	9-25, 14 <sup>a</sup>
$\text{Gd}_2\text{O}_3$	9-14	$\text{La}_2\text{O}_3$	21-30
$\text{Yb}_2\text{O}_3$	10-12	$\text{ZrO}_2$	14-25
$\text{Dy}_2\text{O}_3$	11-13	$\text{HfO}_2$	15-26
$\text{Nb}_2\text{O}_5$	11-14	$\text{TaO}_5$	25-26
$\text{Y}_2\text{O}_3$	12-18	$\text{TiO}_2$	50-80
$\text{Hf}_x\text{Si}_{1-x}\text{O}_y$	3.9-26, 11 <sup>b</sup>	$\text{SrTiO}_3$	200
$\text{Zr}_x\text{Si}_{1-x}\text{O}_y$	3.9-25, 12 <sup>b</sup>	$\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$	200-300

**Taula 1.3** Alguns dels materials high-k estudiats com a possibles candidats per substituir el  $\text{SiO}_2$  [13].

Un exemple de stack de porta basat en un dielèctric high-k es mostra en la Fig. 1.6, en la que es pot veure com entre el Silici i el high-k ( $\text{HfO}_2$ ) hi ha una capa interfacial de  $\text{SiO}_2$ .



**Fig. 1.6** Imatge transversal TEM del stack de porta [15], es pot veure com entre el Si i el high-k ( $\text{HfO}_2$ ) hi ha una capa interfacial de  $\text{SiO}_2$  molt més fina que la del  $\text{HfO}_2$ .

Amb la introducció dels materials high-k entra en joc un nou paràmetre, el gruix d'òxid equivalent (EOT, de l'anglès *Equivalent Oxide Thickness*) que s'ha d'entendre com el gruix que tindria una capa de  $\text{SiO}_2$  per a proporcionar la mateixa  $C_{ox}$  que s'obté amb el material high-k. Tenint en compte les permetivitats relatives del material i la capa interfacial de  $\text{SiO}_2$ , l'EOT està donat per (1.5). Així per a un gruix equivalent d'òxid (EOT), el gruix físic del high-k és més gran que el que es tenia inicialment pel  $\text{SiO}_2$ , aconseguint així una reducció considerable del corrent de fuites a través del dielèctric.

$$EOT = \frac{\epsilon_{\text{SiO}_2}}{\epsilon_{\text{high-k}}} t_{\text{high-k}} + t_{\text{SiO}_2} \quad (1.5)$$

Tot i això, la implementació del high-k en les tecnologies CMOS planteja nombrosos problemes. Un d'aquests problemes és l'elevada densitat de defectes intrínsecs dins de l'òxid, que provoca inestabilitats en la tensió llindar dels MOSFETs [16]. Altres problemes que apareixen amb la introducció dels high-k és que la mobilitat en el canal es redueix dràsticament degut a processos de scattering amb fonons [17].

A més dels problemes introduïts pel canvi de dielèctric de porta, els camps elèctrics intensos deguts a l'augment de l'escalat generen fenòmens que degraden les característiques elèctriques dels MOSFETs, i per tant, poden afectar al funcionament del circuit. Amb la introducció dels high-k, aquests fenòmens no només no desapareixen sinó que a més en alguns casos s'han agreujat i han aparegut nous efectes que poden provocar la fallada del circuit [18]. Aquests mecanismes d'envelliment s'estudiaran en detall en seccions posteriors.

Tot i les dificultats tecnològiques que comporta la introducció dels materials high-k, els avenços obtinguts fan que avui dia sigui possible fabricar MOSFETs basats en aquests dielèctrics en la tecnologia de 32nm, amb millores substancials respecte a la tecnologia de 45nm.

### 1.2.2 Millora de la mobilitat dels portadors al canal

Per poder continuar amb l'escalat dels transistors és essencial augmentar la mobilitat dels portadors i el corrent de transmissió [19]. Per aconseguir aquest propòsit s'han introduït nous materials al canal i/o nous mètodes per tal d'augmentar la mobilitat en el canal dels transistors.

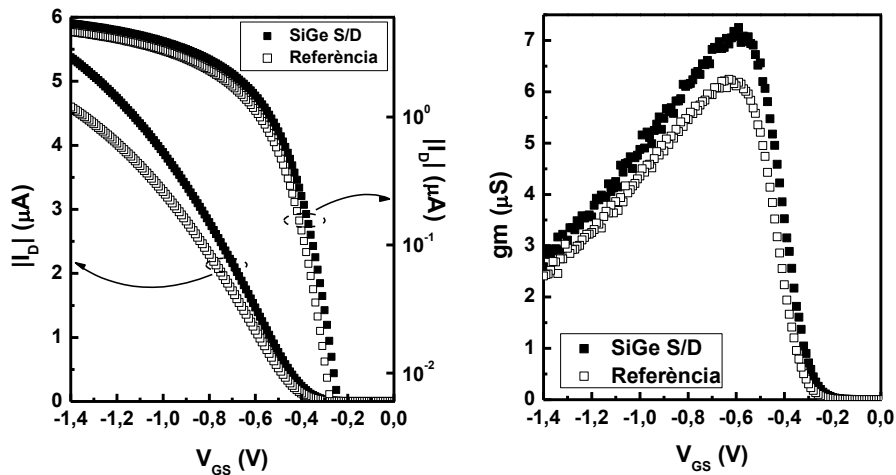
Una d'aquestes tècniques es basa en introduir un estrès mecànic al canal dels MOSFETs per aconseguir l'augment de mobilitat. Hi ha un ampli ventall d'estudis que demostren que, en nMOSFETs, el creixement epitaxial d'una capa de Silici estressat mecànicament sobre una altra capa de Silici sense estressar incrementa la mobilitat dels electrons i millora el funcionament dels dispositius [19-24]. Un altre mètode utilitzat per induir estrès mecànic al canal és aplicar un estrès uniaxial compressiu al canal en transistors pMOSFETs (Fig. 1.7a) i tensiu en nMOSFETs (Fig. 1.7b) [19]. Una manera d'induir aquest tipus d'estrès mecànic és introduir electrons ( $e^-$ ) a la font i drenador [19].



**Fig. 1.7** Esquema de transistors amb estrès mecànic induït amb SiGe per a pMOS (a) i SiC per nMOS (b) a la font i drenador.

Per aconseguir això, durant la fabricació es fa créixer a la font i drenador una zona selectiva amb SiGe [20, 25-33] per als pMOSFETs i amb SiC [25, 27, 33-38] per als nMOSFETs. Amb aquest mètode, les àrees amb SiGe/SiC indueixen un estrès compressiu/tensiu en el canal de Silici que, com a conseqüència, fa augmentar la mobilitat i millora el funcionament dels dispositius [19]. En la Fig. 1.8 es mostren les corbes  $I_D-V_{GS}$  i de la transconductància per a transistors amb el canal comprimit a partir de SiGe S/D (símbols tancats) i sense comprimir (símbols oberts). Com es pot observar, la tensió

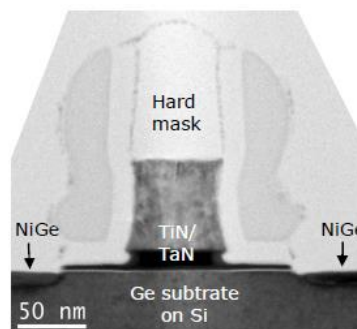
llindar no varia significativament d'un transistor a l'altre, però en canvi, el màxim de la transconductància, que està relacionat amb la mobilitat, és superior per mostres comprimides.



**Fig. 1.8** Corba  $I_D$ - $V_{GS}$  (esquerra) i de la transconductància (dreta) típiques per al cas de mostres amb canal comprimit (símbols tancats) i de referència (símbols oberts). Les mostres comprimides tenen una tensió llindar semblant a les mostres sense comprimir, però una major mobilitat.

La tecnologia amb el Silici estressat mecànicament es va començar a integrar en circuit lògics comercials a partir del node de 90nm [29, 30, 39, 40] i s'ha implementat satisfactòriament en els nodes tecnològics actuals de 45 i 32nm [26, 31].

En les tecnologies futures però, s'està investigant sobre un candidat adient per substituir el Si com element de canal, per la implementació de tecnologies CMOS de nodes per sota dels 22nm. En aquest sentit, els candidats més potencials són el substrat de Ge pels pMOSFET [41, 42] i de InGaAs pels nMOSFETs [43, 44]. Amb la implementació dels high-k com a dielèctric de porta [26, 31, 45] es fa necessari buscar un material de canal compatible amb el high-k. Per això, materials com el Ge en pMOSFETs [46-50] i el Ge o materials III-V per nMOSFETs [48, 51, 52] poden ser possibles candidats per substituir el Si.



**Fig. 1.9** Imatge TEM d'un transistor Ge-pMOSFET de 65nm [49].

Així s'ha aconseguit la integració en el node de 65nm de transistors pMOSFETs amb canal de Ge (Fig. 1.9) [49]. Tot i això, per poder integrar el Ge en un procés de Si, és



necessari tenir en compte diferents problemes que poden aparèixer durant la fabricació [53-55]. A més, un dels principals problemes de l'implementació amb Ge és el seu reduït *bandgap* (0.66eV) en comparació amb el del Si (1.1eV), doncs en els nodes avançats de CMOS, amb elevats camps elèctrics, la presència d'un *bandgap* petit pot incrementar considerablement el corrent de fuga entre les unions drenador/substrat per transistors de canal curt [56]. Per aquest propòsit s'estan considerant els GeOI (*Germanium On Insulator*) i els FinFets com possibles candidats per reduir el corrent de fuga de les unions [57].

### 1.3 Variabilitat dels paràmetres elèctrics dels transistors

En els inicis de la fabricació de sistemes complexos com els CIs, es va considerar que les propietats elèctriques dels transistors eren uniformes per tots ells [58], és a dir, dos transistors fabricats amb el mateix procés eren idèntics, tenint les mateixes característiques elèctriques, per exemple  $V_T$ . En la pràctica però, en tecnologies avançades s'ha observat que dos transistors físicament idèntics no tenen idèntiques característiques elèctriques. De fet, s'ha demostrat que les característiques dels transistors varien significativament de dau a dau i de oblea a oblea degut als processos de fabricació [58-60]. A més, tot i que diferents transistors tinguin les mateixes característiques elèctriques inicials, aquestes poden variar depenent del mode de funcionament de cadascun d'ells [60]. Amb el continu escalat dels transistors, aquestes variacions de les característiques elèctriques poden arribar a ser decisives en el funcionament dels transistors. De fet, segons l'ITRS, la variabilitat pot ser un altre element que limiti l'escalat dels transistors, podent afectar a la resposta dels circuits [2].

Avui dia, la investigació realitzada en el camp de la variabilitat es centra en tres àmbits [58, 61]: (i) la variabilitat deguda als processos de fabricació (*Time-Zero Variability*), (ii) la variabilitat provocada pel funcionament del dispositiu en el circuit (*Time-Dependent Variability*, TDV) i (iii) la variabilitat deguda a errors transitoris (per exemple, el *soft-error* degut a la radiació ambiental). En aquesta tesis ens centrarem en els dos primers grups.

Dins de la variabilitat associada als processos de fabricació, hi han diferents mecanismes que poden provocar alteracions en la resposta dels dispositius. Entre els més destacats estan la fluctuació del gruix de l'òxid [58, 61, 62], les distribucions estadístiques de les longituds de canal degut a la rugositat de la línia [58] i la fluctuació aleatòria de dopants (*random-dopant fluctuation*) [58, 63-66]. Aquest últim es deriva de la discretització dels àtoms dopants en el canal dels transistors [61]. Per exemple, el control de la tensió llindar dels transistors es fa mitjançant l'introducció d'àtoms dopants en el canal [61]. La Fig. 1.10 mostra el número d'àtoms dopants en el canal per transistors de diferents nodes tecnològics. Com es pot veure en la figura, amb la reducció del node tecnològic dels transistors es redueix exponencialment el nombre de dopants en ell. Això implica que en els nodes tecnològics d'avui dia (45-32nm) la quantitat d'àtoms dopants en el canal és d'unes poques desenes i, com a conseqüència, les característiques elèctriques de dos transistors poden ser diferents.

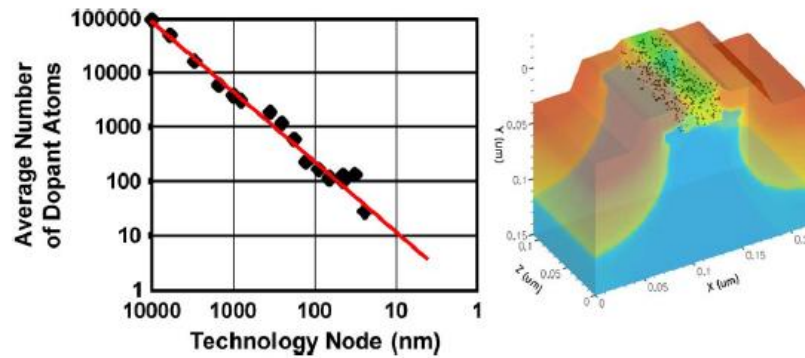


Fig. 1.10 Valor mig del número d'àtoms dopants en funció del node tecnològic [61].

La *Time-Dependent Variability* (TDV) està associada a les diferències en les característiques elèctriques dels transistors, pel seu envelliment durant la seva operació en un circuit [67-72]. Mecanismes d'envelliment (com el BTI, CHC o BD, que es descriuran en detall en les següents seccions) provoquen canvis en els paràmetres del MOSFET, que depenen en les seves condicions de funcionament particular en el circuit [71]. Per exemple, en la Fig. 1.11 es mostra la variabilitat inicial del transistor i com aquesta canvia depenent de l'històric de treball dels transistors en el CI. La variabilitat induïda per diferents processos d'envelliment es deu al fet que, primerament és gairebé impossible que dos transistors pateixin les mateixes condicions d'estrès [60]. Després, suposant que experimentin idèntics estressos, pot ser que cada transistor es degradi a un ritme diferent degut, per exemple, a la variabilitat inicial; com a conseqüència, el desplaçament de  $V_T$  (per exemple) no serà el mateix, i per tant, la dispersió de les  $V_T$  també es veurà modificada.

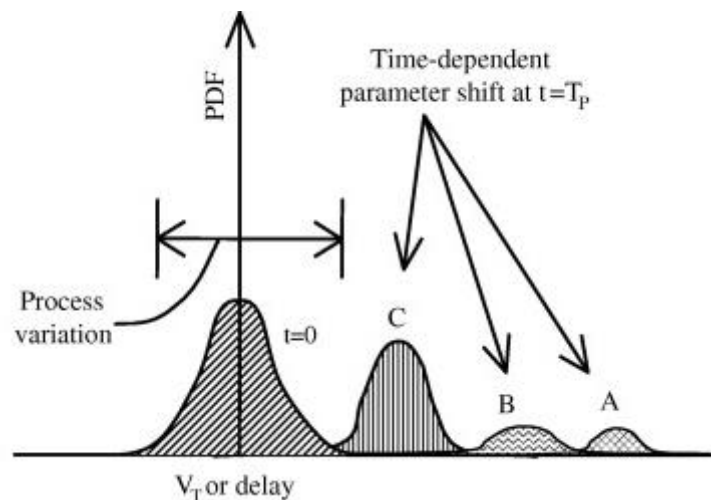
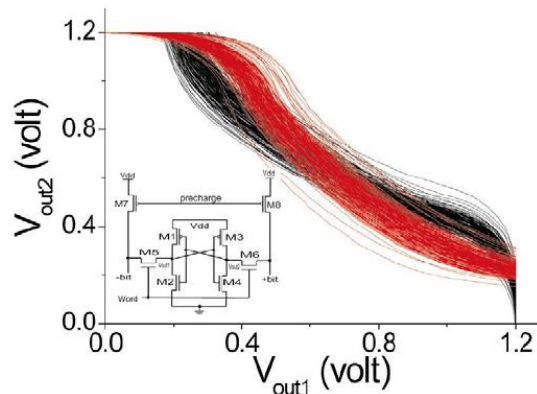


Fig. 1.11 Distribució de probabilitat de  $V_T$  o retard d'un circuit a temps zero (degut al procés de fabricació) i després d'un cert temps de funcionament  $T_p$ . Les distribucions estadístiques varien amb el temps [73].

Per avaluar els efectes de la variabilitat dels transistors en el funcionament de circuits, diferents autors treballen en la creació de models elèctrics capaços d'incloure totes les fonts de variabilitat i poder predir el comportament real dels circuits [58, 60, 74-76]. Per estudiar com afecten les fonts de variabilitat al rendiment dels circuits, alguns

autors han proposat traslladar progressivament els seus efectes des dels transistors cap a sistemes cada cop més complexos [77, 78]. En aquest sentit, el modelat compacte dels transistors pot ser adaptat per incloure els efectes de la variabilitat dels transistors en eines de disseny, a partir de les quals es pot estudiar el rendiment dels circuits [58, 71, 79]. Un exemple es mostra en la Fig. 1.12, on s'han simulat les corbes de transferència en cel·les SRAM, calculades a partir de models BSIM en els que s'ha tingut en compte la variabilitat dels transistors [80]. La figura posa de manifest les diferències que es poden obtenir en la resposta d'un circuit si es considera la variabilitat dels dispositius que el formen.



**Fig. 1.12** Corbes de transferència d'una cel·la SRAM obtingudes a partir de les característiques elèctriques dels transistors considerant la seva variabilitat. La resposta del circuit està condicionada per la variabilitat dels transistors [80].

Degut a la TDV, la degradació dels transistors pot modificar la resposta dels circuits, variant també la seva dispersió [81]. La determinació de l'evolució temporal de les distribucions és crítica per estudiar la fiabilitat dels circuits. És per aquest motiu que en aquesta tesi s'ha tingut en compte la variabilitat en les propietats elèctriques durant l'estudi de la fiabilitat dels transistors.

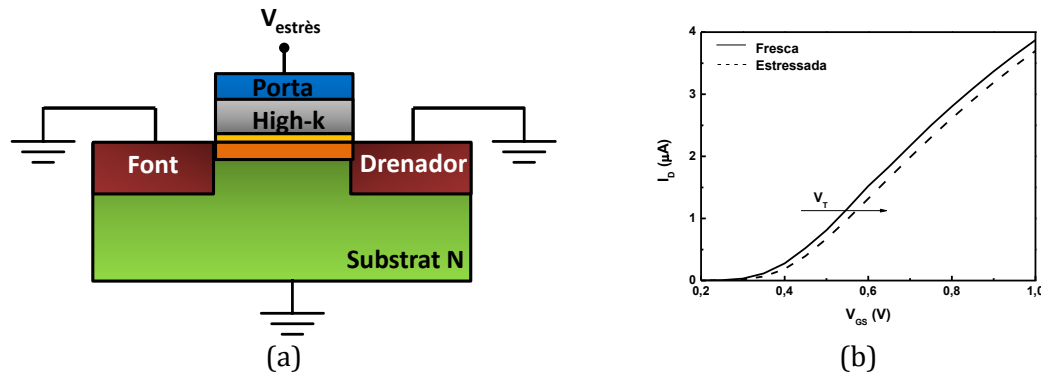
## 1.4 Mecanismes d'envelliment en el MOSFET

La disminució de les dimensions dels transistors, però no de la tensió d'operació en la mateixa proporció, ha provocat un augment dels camps elèctrics al dispositiu, fent aparèixer diferents mecanismes de degradació/fallada, i per tant una reducció de la seva fiabilitat. La *ruptura dielèctrica* (BD), el *Bias Temperature Instability* (BTI) i la degradació per *Channel Hot-Carrier* (CHC) són els principals problemes de fiabilitat relacionats amb l'escalat del MOSFET.

Aquesta tesi està centrada en els dos últims mecanismes de degradació (BTI i CHC), és per això que a continuació es farà una explicació detallada dels fenòmens físics associats a aquests mecanismes de degradació. Els dos mecanismes (BTI i CHC) poden finalitzar en una ruptura dielèctrica, per aquest motiu, per finalitzar, s'explicarà breument les característiques generals d'aquest mecanisme de fallada.

### 1.4.1 Bias Temperature Instability (BTI)

El fenomen BTI (*Bias Temperature Instability*) es dona quan a la porta del MOSFET s'aplica una tensió elevada (en valor absolut, Fig. 1.13a). Els efectes que provoca aquest fenomen es manifesten en les característiques del transistor per un augment (en valor absolut) de la tensió llindar (Fig. 1.13b). A més, aquests efectes en el desplaçament de la tensió llindar es veuen incrementats quan augmenta la temperatura.



**Fig. 1.13** Representació de la configuració d'un estrès BTI (a) i el desplaçament de la tensió llindar degut a aquest estrès (b).

Depenent de la polarització de l'estrès, a aquest fenomen se li anomena NBTI (en el cas de tensions de porta negatives, per pMOSFET) o PBTI (en el cas de tensions positives, per nMOSFET). El mecanisme NBTI es coneix des de la dècada dels 80, estudiant-se des d'aleshores els seus efectes en dispositius pMOS [82, 83]. Degut al continu escalat, l'augment dels camps elèctrics en l'interior dels transistors i les altes temperatures de treball ha fet que, en els últims anys es consideri que aquest fenomen és el més rellevant en la determinació de fiabilitat dels transistors. Amb la substitució del  $\text{SiO}_2$  per dielèctrics high-k, aquest fenomen, lluny de desaparèixer, es continua observant, sent fins i tot més rellevant en aquesta nova tecnologia [18].

Per una altra banda, el PBTI s'observa en transistors nMOSFET quan a aquests s'aplica una tensió elevada i positiva a la porta. El PBTI però, no ha estat tan estudiat degut a que, en transistors amb dielèctrics  $\text{SiO}_2$  i  $\text{SiON}$ , els seus efectes eren molt més petits en comparació amb els trobats en estressos NBTI en pMOS [84]. Amb la introducció dels high-k com a dielèctric de porta, el PBTI ha guanyat importància degut a que ara els seus efectes són comparables als observats pel cas de NBTI. Això és degut a que els high-k usualment utilitzats ( $\text{HfO}_2$ ,  $\text{HfSiO}$ ) tenen vacants en el seu interior que indueixen un atrapament de càrrega durant l'estrès [84].

Per caracteritzar el BTI, normalment es connecten font, drenador i substrat a terra, mentre a la porta s'aplica una tensió elevada en valor absolut. Per mesurar els efectes en el desplaçament de la tensió llindar, inicialment es caracteritza el transistor fresc (és a dir, prèviament a l'aplicació de cap estrès) per obtenir  $V_T^{(0)}$ . A continuació s'estressa la mostra i s'interromp després d'un temps predeterminat, per mesurar altre cop la tensió llindar i tot seguit es torna a estressar. Repetint aquest procés s'aconsegueix analitzar l'evolució de la degradació de la tensió llindar en funció del temps d'estrès. Si es torna a repetir per altres tensions d'estrès i altres temperatures, es poden obtenir les dependències de  $V_T$

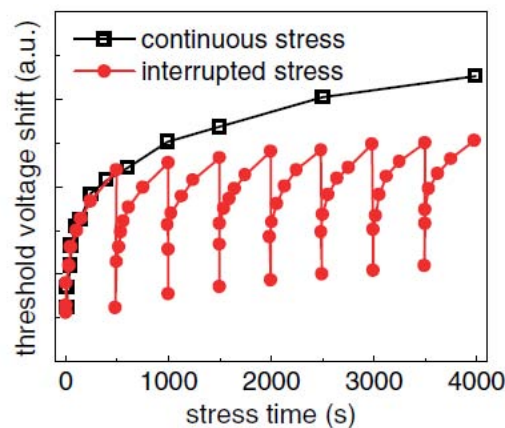
amb les condicions d'operació. Aquesta seqüència de test s'anomena MSM (*Measure-Stress-Measure*) i és la seqüència de test que s'utilitzarà principalment durant tota la tesis.

S'ha observat que la dependència de la variació de la tensió llindar,  $\Delta V_T$ , amb el temps d'estrès segueix una llei potencial [85, 86], mentre que la dependència amb la temperatura és exponencial [87], (1.6).

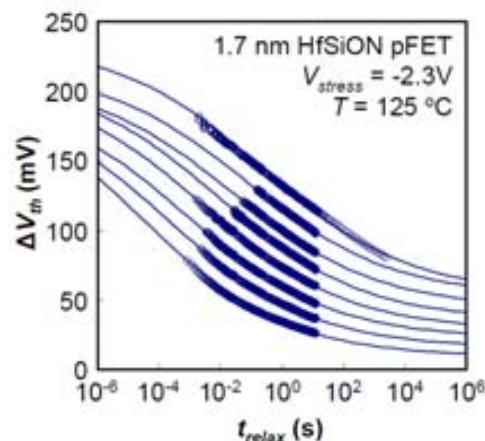
$$\Delta V_T = a \cdot t^b \cdot \exp\left(\frac{-E_a}{k_B T}\right) \quad (1.6)$$

On  $a$  i  $b$  són constants,  $k_B$  és la constant de Boltzmann ( $1.38 \cdot 10^{-23}$  J/K) i  $E_a$  és l'energia d'activació.

Un dels principals problemes a l'hora de caracteritzar el NBTI és la ràpida recuperació de  $V_T$  quan es deixa d'aplicar estrès a la mostra (Fig. 1.14), és a dir, el valor de  $V_T$  disminueix quan s'aplica una tensió baixa a la porta. Per això, per avaluar correctament els danys produïts per l'estrès a la mostra, es fa imprescindible mesurar aquesta recuperació.



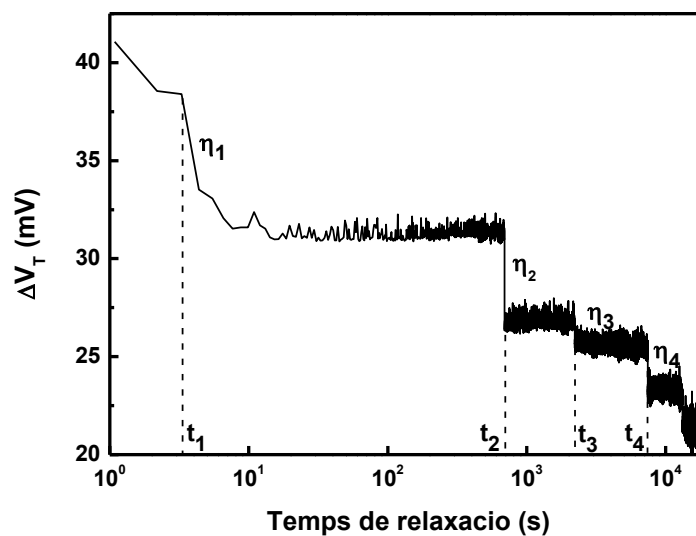
**Fig. 1.14** Evolució de la variació de  $V_T$  amb el temps per a un estrès continu (quadrats) i amb interrupcions (cercles). La variació de  $V_T$  és més gran quan no s'interromp l'estrès [88].



**Fig. 1.15** Exemple de la part recuperable de la tensió llindar en funció del temps de relaxació per a diferents estressos en mostres amb àrea  $10 \times 0.5 \mu m$  [89].

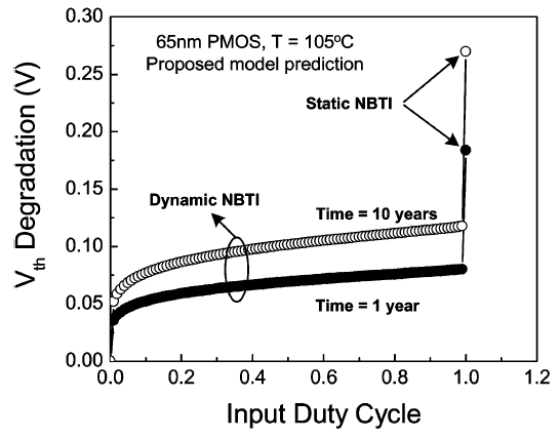
La ràpida recuperació de la tensió llindar un cop es deixa d'estressar la mostra fa que sigui complicat l'avaluació del dany real causat durant l'estrès. És per aquest motiu que s'han dissenyat diferents mètodes de caracterització per reduir el temps entre l'estrès i la caracterització el màxim possible i poder estudiar el dany real causat, com els mètodes *On-the-Fly* i l'*Ultra-Fast* (UF) [90, 91].

Tot i la millora en els dissenys dels mètodes de caracterització per avaluar la degradació del dispositiu durant el test, sempre queda una part recuperable que cal tenir en compte. La Fig. 1.15 mostra que la recuperació d'un dispositiu d'àrea gran en funció del temps es fa de forma contínua. Ara bé, s'ha observat experimentalment que quan es disminueixen les dimensions dels transistors, la recuperació es produeix de forma discreta, és a dir,  $\Delta V_T$  es dona en forma de canvis abruptes, com es mostra en la Fig. 1.16.



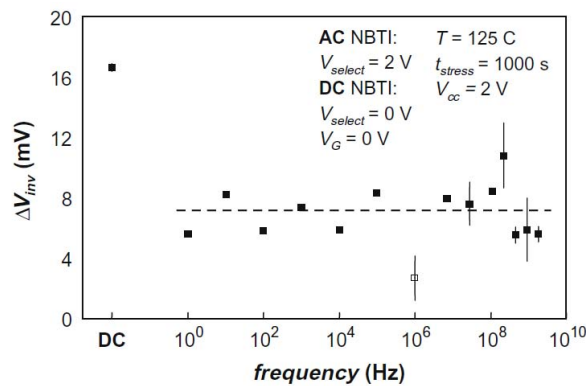
**Fig. 1.16** Exemple de relaxació discreta per un transistor amb  $W \times L = 0.15 \times 0.13 \mu\text{m}$ ,  $V_{\text{estrès}} = -2.8\text{V}$  i  $t_{\text{estrès}} = 100\text{s}$ .

La recuperació de  $V_T$  pot tenir efectes importants durant el funcionament dels dispositius en circuits electrònics, doncs aquests treballen normalment en dos estats de tensions, estat alt (estrès) i estat baix (relaxació) de tensió. Com s'ha vist en la Fig. 1.14, la variació de  $V_T$  és més important quan no s'interromp l'estrès, per aquest motiu, depenent de la freqüència i del *Duty Cycle* del senyal, la degradació del transistor, i en conseqüència, la modificació de la resposta de circuit, pot arribar a ser crítica [92]. Per exemple, en la Fig. 1.17 es representa la variació de  $V_T$  en funció del *Duty Cycle* del senyal dinàmic. Cal observar que la degradació quan el senyal és DC és molt superior a la trobada per senyals dinàmics, independentment del *Duty Cycle*. Això és degut a la recuperació de  $V_T$  durant el temps en el que el senyal es troba en un estat baix de tensions.



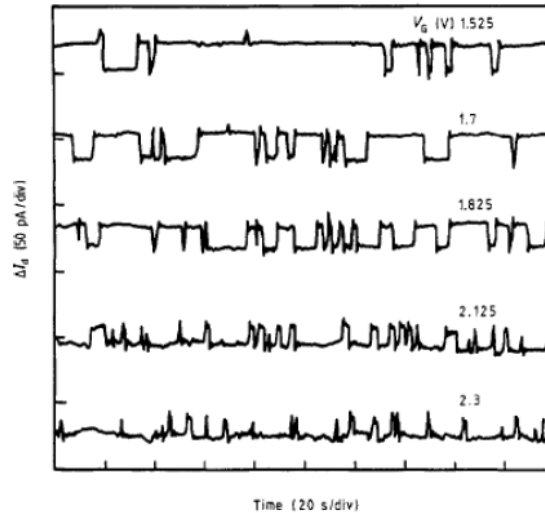
**Fig. 1.17** Degradació de  $V_T$  en funció del *Duty Cycle*, per un temps d'operació de 10 anys i d'1 any. Es pot observar com la degradació de  $V_T$  per a un senyal DC és molt superior a la trobada per estressos NBTI dinàmics [92].

De fet, altres treballs [86, 93] han demostrat que la degradació en la resposta d'un inversor no depèn de la freqüència del senyal d'entrada, sent la degradació sempre inferior que quan s'aplica un senyal DC. En la Fig. 1.18 es mostra com el desplaçament del punt de màxim guany de l'inversor ( $\Delta V_{in}$ ) després de 1000 segons d'estrès es manté independent de la freqüència, però tot i això, la degradació en el senyal de sortida, quan el senyal d'entrada és DC, és molt més elevada.



**Fig. 1.18** El desplaçament del punt de màxim guany,  $\Delta V_{in}$ , per a estressos NBTI AC es manté constant independentment de la freqüència dins el rang mesurat de 1Hz-2GHz. La corresponent  $\Delta V_{in}$  després d'un estrès NBTI DC, per inversors idèntics, mostra una degradació superior [93].

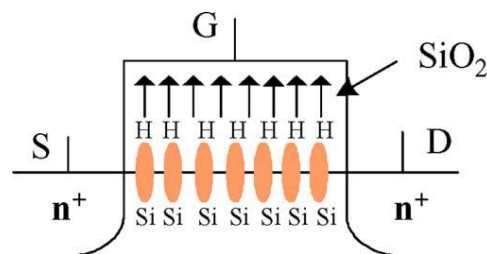
Un altre fenomen que apareix al disminuir les dimensions del transistor i la tensió de porta aplicada és el canvi discret en el corrent de canal o en la tensió llindar, anomenat *Random Telegraph Noise* (RTN). Actualment, diferents autors consideren que la fenomenologia del RTN i el NBTI tenen el mateix origen [67, 94, 95], és a dir, depenent de les tensions aplicades a la mostra s'obindrà el comportament típic del NBTI o el RTN. El RTN s'observa en forma de fluctuacions del corrent o voltatge entre diferents nivells discrets (Fig. 1.19). En dispositius MOS petits, es diferencien dos nivells de fluctuacions, atribuïts a la captura o emissió d'un únic electró produït per trampes dins en la interfície  $\text{SiO}_2\text{-Si}$  [96-98]. El senyal RTN es caracteritza per un temps en el que el senyal es troba en un estat "alt" ( $t_{alt}$ ) i un estat "baix" ( $t_{baix}$ ) amb una amplitud  $\delta I$  o  $\delta V$ .



**Fig. 1.19** RTN mesurat en un MOSFET d'àrea petita ( $0.4\mu\text{m}^2$ ) amb  $\text{SiO}_2$  com a dielèctric amb  $V_D=4\text{mV}$  i  $T=293\text{K}$ , per a diferents tensions de porta [99].

El continu escalat dels circuits CMOS i les tensions d'operació dels dispositius fa que el RTN introdueixi un paràmetre extra de variabilitat, arribant a ser un factor crític, produint fallades transitòries en SRAMs, DRAMs, oscil·ladors, PLLs i molts circuits de radio freqüència (RF) [100-104]. De fet, la fallada induïda pel RTN en cel·les SRAM encapçala els errors de lectura i/o escriptura de bits [103, 104]. Per una altra banda, el RTN introdueix un retard temporal en cel·les DRAM quan aquesta canvia d'estat  $Q$ , fent que s'hagi de refrescar més seguit la cel·la, implicant un augment en el consum del circuit [105].

Per poder explicar el mecanisme del NBTI, diferents autors han proposat models físics capaços de descriure la fenomenologia del NBTI observada. Uns dels que va adquirir molta importància va ser el model de *Reacció-Difusió* (R-D) [67, 87, 106]. En aquest model es considera que les càrreges interfacials són generades en la interfície  $\text{SiO}_2/\text{Si}$  (Reacció), amb una dependència lineal amb el temps d'estrès. Durant aquesta fase, s'alliberen àtoms d'Hidrogen, creant estats interfacials entre el substrat i l'òxid. En la subseqüent fase de difusió, els àtoms d'Hidrogen alliberats es difonen des de la capa interfacial cap a dins de l'òxid (Fig. 1.20) amb una dependència temporal proporcional a  $t^b$ , amb  $b$  de l'ordre de 0.25 [87].



**Fig. 1.20** Representació esquemàtica de la difusió de la càrrega mòbil dins de l'òxid descrita pel model R-D [106].



Tot i això, el model R-D mostra algunes discrepàncies amb els valors experimentals trobats en estressos NBTI. L'exponent  $b$ , que en el model té un valor de 0.25, és experimentalment més petit ( $\sim 0.13-0.20$ ) [107]. Donat que el paràmetre  $b$  és necessari per predir el temps de vida dels transistors, cal trobar el valor més exacte possible per tal de fer un càlcul més real de la fiabilitat del dispositiu. A més, el model R-D no és capaç d'explicar correctament la recuperació de  $V_T$  un cop s'elimina l'estrès. Actualment però, s'ha modificat aquest model, de forma que l'exponent  $b$  ara val  $1/6$  i és capaç de predir la recuperació de  $V_T$  [108].

Sembla però acceptat per la comunitat científica l'existència de trampes interfacials dins de l'òxid [67, 87, 106]. Aquestes trampes han estat atribuïdes a forats i àtoms d'Hidrogen atrapats. Un segon model pel BTI considera una distribució de trampes interfacials dins de l'òxid [109], tenint en compte models simples de trampes elàstiques [110], a les quals se les associava un temps característic de càrrega ( $\tau_c$ ) i un altre de descàrrega ( $\tau_e$ ), diferents per cadascuna de les trampes i distribuïts uniformement. Aquests temps estan relacionats amb la distribució espacial i la profunditat de les trampes dins de l'òxid [111]. Per això, en nodes tecnològics amb òxids gruixuts, les trampes dins de l'òxid estaven a molta profunditat, pel que els temps de càrrega i descàrrega eren molt grans i no es veia gairebé recuperació [111]. En canvi, en els òxids utilitzats en les tecnologies d'avui dia, amb un gruix físic entre 1 i 2nm, les constants màximes d'aquests temps, predits per aquest model, són de l'ordre de mil·lisegons [111], tot i que experimentalment s'han arribat a trobar valors de setmanes i fins i tot mesos [91, 112, 113]. Per tant, el model de trampes elàstiques no prediu correctament el comportament de les trampes dins de l'òxid. Aquestes observacions van suggerir que el NBTI és degut a l'atrapament de càrrega dins les trampes individuals. És a dir, cada trampa és responsable del desplaçament de  $V_T$  i té un temps característic de captura i d'emissió diferent de la resta.

Així, una trampa carregada tindrà una alta probabilitat de seguir carregada si  $t_{\text{relax}} < \tau_e$  i una alta probabilitat de descarregar-se si  $t_{\text{relax}} > \tau_e$ . De la mateixa manera, una trampa descarregada tindrà una alta probabilitat de seguir descarregada si  $t_{\text{estrès}} < \tau_c$  i una alta probabilitat de carregar-se si  $t_{\text{estrès}} > \tau_c$ . A partir d'aquestes suposicions es van proposar diferents models per descriure el comportament de les trampes [95, 114], tots ells basats en models probabilístics que consideren la probabilitat d'ocupació dels defectes a diferents condicions d'operació [95]. El que s'ha utilitzat en aquesta tesi per interpretar els resultats experimentals ha estat desenvolupat pel grup REDEC, de la UAB, en col·laboració amb IMEC, i s'anomena model OPD (model d'Ocupació Probabilística de Defectes) [114], pel que es descriu amb més detall a la següent secció.

### **Model d'Ocupació Probabilística de Defectes (OPD)**

El model OPD, desenvolupat a la UAB [114], permet descriure el canvi de la tensió llindar produït per estressos NBTI, a partir de la càrrega i descàrrega de defectes en la interfície de l'òxid amb el substrat. Considerant que en el dispositiu existeix una certa distribució de defectes, amb una certa probabilitat de càrrega/descàrrega per a cada defecte, el model avalua l'estat en que es troba un defecte (carregat o descarregat) a un

instant de temps determinat. Per simplificar l'explicació dels principis del model, inicialment es considera la càrrega/descàrrega d'un únic defecte, en el que a cada instant de temps,  $\Delta t$ , té una probabilitat de capturar una càrrega  $P_c = \Delta t/\tau_c$ , quan es troba buit, i una probabilitat d'emetre una càrrega  $P_e = \Delta t/\tau_e$ , quan està carregat. Els paràmetres  $\tau_c$  i  $\tau_e$  corresponen als temps de captura i d'emissió, respectivament, i són els paràmetres fonamentals del model. Treballs anteriors suggereixen que aquests paràmetres estan distribuïts en el temps seguint una distribució logarítmica [109] i depenen de la tensió d'estrès aplicada i de la temperatura a la que està sotmès el transistor [111]. Un altre paràmetre que caracteritza el defecte és  $\eta$ , que correspon al canvi de  $V_T$  en el dispositiu quan el defecte es carrega/descarrega.

Si es considera que s'aplica un voltatge d'estrès a la porta amb dos estats de tensions diferents, en el que  $V_H$  correspondrà a l'estat alt de tensió d'estrès i  $V_L$  a l'estat baix,  $P_e$  és la probabilitat d'emetre una càrrega,  $P_c$  és la probabilitat de capturar-la i  $\eta$  és la variació de la tensió llindar associada a la càrrega o descàrrega del defecte, la probabilitat d'ocupació del defecte ( $P_{occ}$ ) pot ser numèricament avaluada a partir del valor mig de moltes simulacions.  $P_{occ}$  analíticament queda descrita per les equacions (1.7) i (1.8) [114].

Si  $V_{estrès} = V_H$ :

$$P_{occ}(t) = P_{occ}(t_i) + \left( \frac{\tau_e(V_H)}{\tau_e(V_H) + \tau_c(V_H)} - P_{occ}(t_i) \right) \cdot \left( 1 - \exp\left( -\frac{(t-t_i)}{\tau_H} \right) \right) \quad (1.7)$$

Si  $V_{estrès} = V_L$ :

$$P_{occ}(t) = \frac{\tau_e(V_L)}{\tau_e(V_L) + \tau_c(V_L)} + \left( P_{occ}(t_i) - \frac{\tau_e(V_L)}{\tau_e(V_L) + \tau_c(V_L)} \right) \cdot \exp\left( -\frac{(t-t_i)}{\tau_L} \right) \quad (1.8)$$

on  $\tau_H^{-1} = \tau_e^{-1}(V_H) + \tau_c^{-1}(V_H)$ ,  $\tau_L^{-1} = \tau_e^{-1}(V_L) + \tau_c^{-1}(V_L)$  i  $t_i$  és el temps corresponent a la  $i$ -èsima transició entre l'estrès i la relaxació. Amb les equacions (1.7) i (1.8),  $P_{occ}$  només s'ha de calcular en les transicions de l'ona polsada, i no per a cada  $\Delta t$ .

El cas considerat per un defecte es pot estendre per calcular  $\Delta V_T$  en un dispositiu, en els que poden coexistir diferents defectes. L'evolució de  $\Delta V_T$  es calcula considerant distribucions de  $N$  defectes en el dispositiu, on cadascun d'ells contribueix amb un augment  $\eta$  (on el seu valor pot ser diferent per cada defecte) a  $\Delta V_T$  quan es carrega i una disminució quan es descarrega. Així, la  $\Delta V_T$  total associada a l'estrès NBTI pot ser expressada mitjançant l'equació (1.9).

$$\Delta V_T(t) = \sum_{j=1}^N k_j(t) \cdot \eta_j \quad (1.9)$$

sent  $j$  un índex que denota cada defecte,  $k_j$  serà igual a 1 o 0 depenent si el  $j$ -èsim defecte està ocupat o buit, respectivament. L'equació (1.9) indica que per calcular el valor de  $\Delta V_T$ , primer cal determinar els valors dels paràmetres  $N$ ,  $k_j$  i  $\eta_j$ .

Per obtenir  $k_j$  s'ha de calcular la probabilitat d'ocupació de cada defecte,  $P_{occ,j}$ , la qual depèn dels paràmetres  $\tau_{c,j}$  i  $\tau_{e,j}$  característics de cada defecte, segons (1.7) i (1.8). En

treballs anteriors s'ha mostrat com la tensió llindar augmenta durant l'etapa d'estrès i tendeix a recuperar-se durant la relaxació seguint una llei logarítmica amb el temps en un ampli rang de temps [89]. Aquest resultat suggereix que els temps característics  $\tau_{c,j}(V_H)$  i  $\tau_{e,j}(V_L)$  estan uniformement distribuïts en una escala logarítmica de temps [109]. Tot i això, els valors d'aquests dos paràmetres s'obtenen a partir de simulacions Monte Carlo, assumint les seves corresponents distribucions en un interval de temps (de  $10^{-8}$  a  $10^6$  segons d'interval) superior a la finestra temporal típica de mesura. A més, es considera que  $\tau_{c,j}$  i  $\tau_{e,j}$  no estan correlacionats [111], i, per simplificar-ho més, es consideren nul·les la probabilitat de captura a  $V_L$  i la d'emissió a  $V_H$ , imposant al model que  $\tau_{c,j}(V_L)$  i  $\tau_{e,j}(V_H)$  tendeixen a infinit. Finalment s'introdueixen els valors de  $\tau_{c,j}(V_H)$  i  $\tau_{e,j}(V_L)$  en les equacions (1.7) i (1.8) per calcular  $P_{occ,j}$ . El paràmetre  $k_j$  s'obté a partir de la comparació de  $P_{occ,j}$  amb un número aleatori,  $r$ , de manera que si  $P_{occ,j} > r$  aleshores  $k_j = 1$ , mentre que per  $P_{occ,j} < r$  llavors  $k_j = 0$ .

El paràmetre  $\eta_j$ , com s'ha dit abans, correspon al desplaçament de  $V_T$  causat en el dispositiu quan un defecte es carrega/descarrega. En un dispositiu, on hi ha molts defectes, la distribució estadística de les  $\eta$ 's dels diferents defectes pot ser descrita per una funció exponencial amb el valor mig  $\langle \eta \rangle$  [111]. Per últim, el nombre de defectes  $N$  segueix una distribució de Poisson [115]. Un cop trobats experimentalment els valors de  $N$  i  $\eta_j$ , i  $k_j$  a partir de les equacions (1.7) i (1.8), l'equació (1.9) proporciona  $\Delta V_T$  en el dispositiu. Tant  $\eta$  com  $\tau_c$  i  $\tau_e$  es poden obtenir experimentalment a partir dels canvis en  $V_T$  enregistrats quan el defecte es descarrega durant l'etapa de relaxació. Un exemple d'obtenció de  $\eta$  i  $\tau_e$  es mostra en la Fig. 1.16 en la que es mostra la variació de la tensió llindar en funció del temps de relaxació. Cada canvi abrupte observat en  $V_T$  correspon a un defecte caracteritzat per una  $\eta$  i un  $\tau_e$  diferents, produint-se en aquest cas la primera emissió a un valor proper a 5 segons. A [114] es demostra que aquest model explica correctament les tendències observades experimentalment pel comportament en transistors pMOSFETs quan aquests estan sotmesos a estressos NBTI.

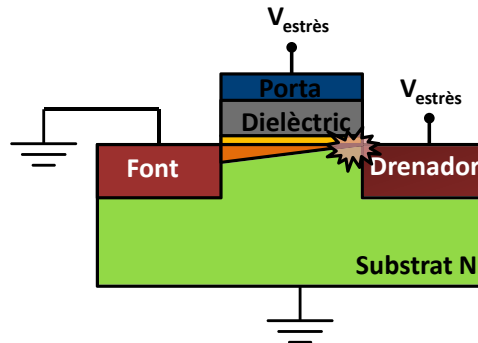
Aquest model pot descriure el comportament estocàstic del NBTI i les distribucions de  $\Delta V_T$  en transistors petits, i l'evolució de  $\Delta V_T$  amb l'estrès en condicions DC i AC. Per aquest motiu, el model és el marc en el que s'interpretaran els resultats que es mostraran en aquesta tesis.

#### 1.4.2 Degradació per Channel Hot-Carriers

Per provocar el dany per portadors calents en un temps raonable, igual que en el cas del BTI, es sotmet els dispositius a tests accelerats. La degradació per portadors calents es produeix quan a la porta s'aplica un potencial superior a la tensió llindar del transistor ( $V_{GS} > V_T$ ) i al drenador una tensió superior a la tensió de saturació ( $V_{DS} > V_{Dsat}$ ), mentre la resta de terminals es connecten a terra (Fig. 1.21). D'aquesta manera s'obté un camp elèctric lateral màxim a prop del drenador [116].

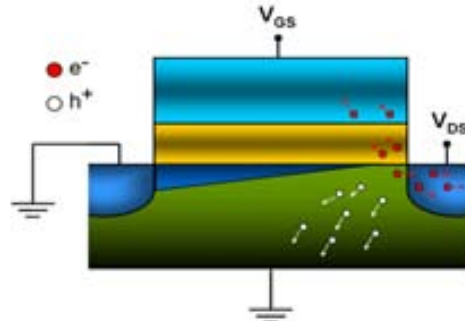
L'augment dels camps elèctrics laterals en els MOSFETs de canal curt fa que electrons i forats en el canal i en la zona de *pinch-off* guanyin suficient energia provocant una ionització per impacte en la que es generen parells  $e^-/h^+$  els qual tenen suficient energia com per superar la barrera de potencial entre el Silici i l'òxid. Aquest mecanisme

és conegut com degradació per portadors calents o *Channel Hot-Carriers* (CHC). Aquest mecanisme comporta una injecció de corrent de porta dins l'òxid que, subsequentment provoca una generació de trampes dins l'òxid, que canviarà la transconductància, tensió llindar, etc. del dispositiu [117, 118].



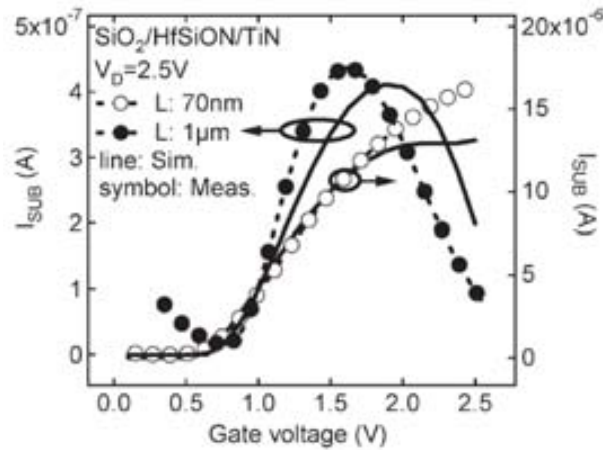
**Fig. 1.21** Configuració de tensions en un transistor per produir degradació per portadors calents [116].

Un cop es generen els electrons per ionització per impacte, aquests poden fluir cap a la font, drenador o porta. En canvi, els forats van cap al substrat, generant un corrent ( $I_{SUB}$ ) que pot ser mesurat i, en conseqüència, es pot avaluar el nombre de parelles  $e^-/h^+$  generats durant l'estrès (Fig. 1.22) [119]. A més, la degradació per portadors calents depèn de la temperatura, observant-se que per transistors amb canal llarg i dielèctric de porta basat en  $SiO_2$ , la degradació és inferior a temperatures altes [120, 121].



**Fig. 1.22** Ionització per impacte en un transistor nMOS.

A partir del paràmetre  $I_{SUB}$ , es pot avaluar les condicions per les quals es produeix la generació màxima de parells  $e^-/h^+$  en el transistor. En la Fig. 1.23 es mostra la dependència d' $I_{SUB}$  amb la tensió de porta. En ella es pot veure que les corbes arriben a un valor màxim, que determina els valors de  $V_{DS}$  i  $V_{GS}$  als quals la generació de parells  $e^-/h^+$  és màxima. Aquests valors són  $V_{GS} \approx V_{DS}/2$  per a transistors nMOS de canal llarg ( $> 0.15\mu m$ ) i  $V_{GS} = V_{DS}$  per canal curt ( $\leq 0.15\mu m$ ) [122, 123]. En canvi, en transistors pMOS, la condició de màxima generació es dona a  $V_{GS} = V_{DS}$  independentment de la longitud de canal [124].



**Fig. 1.23**  $I_{SUB}$  en funció de  $V_{GS}$  per dispositius de diferents longituds de canal. Els símbols corresponen a valors experimentals, mentre que les línies corresponen a simulacions. Per longituds de canal llargues,  $L = 1\mu m$ , la màxima condició de degradació es dona a  $V_{GS} = V_{DS}/2$ . En canvi, per a longituds de canal curtes,  $L = 70nm$ , la degradació màxima és a  $V_{GS} = V_{DS}$  [125].

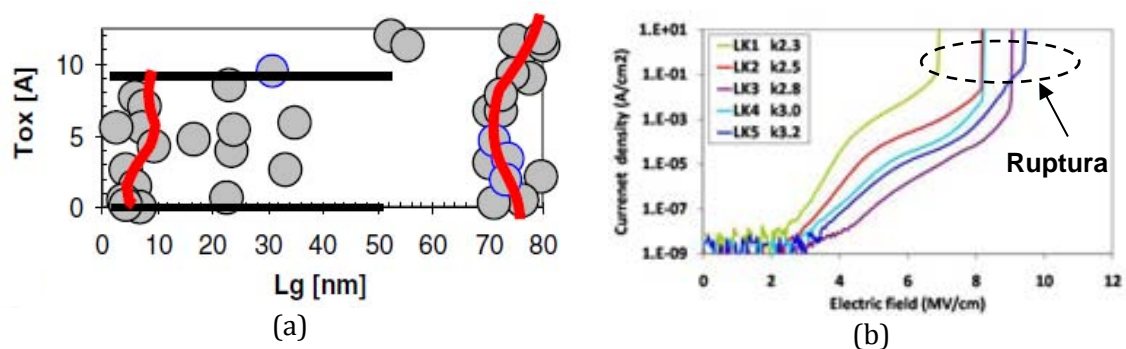
A més, diferents autors han mostrat que la degradació per portadors calents s'incrementa a mesura que es disminueix la longitud de canal dels transistors [126], el que s'ha atribuït al fet que la degradació per portadors calents és una degradació no-uniforme, doncs la ionització per impacte es produeix a la zona de pinçament del canal. Això vol dir que per a transistors de canal llarg el dany causat per aquest mecanisme estarà localitzat a prop del drenador, mentre que la font estarà en un estat no degradat [127]. En transistors de canal curt però, apareix una degradació per BTI extra en el canal que no pot ser menyspreada [124].

De la mateixa manera que per la degradació BTI s'han desenvolupat models capaços de descriure la fenomenologia observada i de predir el temps de vida dels dispositius. El model més estès ha estat el model de l'electró afortunat (*Lucky Electron Model*, LEM) [121, 128]. El LEM es basa en el càlcul de les probabilitats associades a la successió d'esdeveniments que fan possible que un electró que circula pel canal acabi assolint el terminal de porta. Aleshores, segons el LEM, el dany causat pels portadors calents generat en el dispositiu es produeix en termes de generació d'estats interfacials [129]. Aquest model però, s'ha posat en dubte en els nodes tecnològics actuals. Segons aquest model, a tensions de drenador per sota de 3.7eV no es pot produir degradació per portadors calents [130]. Però a l'hora d'estudiar la degradació CHC encara s'observa la seva existència en aquest rang de tensions. Així doncs, s'ha obert el camí a diferents interpretacions del model de degradació per portadors calents. Un d'ells és el *Electron-Electron Scattering* (EES) [130] on aquesta persistència es justifica mitjançant un mecanisme addicional de guany d'energia que es produeix degut a les interaccions entre els portadors i que pot arribar a malmetre el dielèctric de porta. Un altre model proposat és el *Multiple Vibrational Excitation* (MVE) [131] on la degradació per portadors calents es basa en l'excitació vibracional múltiple [131] dels enllaços Si-H a tensions baixes, els quals proporcionaran l'energia suficient al portador per tal de produir degradació per portadors calents. De fet, estudis més recents [132] promulguen una interacció entre les dos explicacions, dependent de la tensió aplicada.

### 1.4.3 Degradació i ruptura dielèctrica

Durant els estressos BTI i CHC hi ha injecció de càrrega dins l'òxid, que pot crear trampes dins el dielèctric de porta [87, 117]. Aquestes trampes poden contribuir a l'augment del corrent de porta per túnel assistit per la generació aleatòria de trampes [133]. Si l'estrès en el dispositiu es prolonga, les trampes poden crear un camí conductor entre la porta i el canal, augmentant el corrent entre ells. Es diu llavors que s'ha produït una ruptura dielèctrica (*Breakdown*, BD).

El model més acceptat per la comunitat científica capaç de descriure el fenomen del BD és el model percolatiu [31]. Aquest model considera una distribució d'esferes tridimensionals dins l'òxid de forma matricial; la generació d'aquestes esferes durant l'estrès es fa de forma aleatòria [134]. Cada esfera assisteix al corrent entre porta i substrat. Quan la densitat d'esferes es prou elevada, es pot generar un camí conductor entre porta i substrat pel qual circuli el corrent (Fig. 1.24a), és en aquest moment quan es produeix la ruptura (Fig. 1.24b). Amb la substitució del  $\text{SiO}_2$  per materials high-k però, s'ha hagut de modificar el model percolatiu per tal que seguís sent vàlid [135]. Aquest fet es deu a que aquests tipus de dielèctrics presenten una sèrie de zones per les quals la conducció del corrent és superior, són les anomenades *Grain Boundaries* (GB) [136]. El model percolatiu suposa que la generació de defectes és uniforme i aleatòria dins l'òxid, però degut a la presència d'aquestes GB, la generació de trampes deixa de ser aleatòria i per tant, cal modificar el model percolatiu per tal que contempli aquesta nova fenomenologia [135].



**Fig. 1.24** El model percolatiu considera trampes esfèriques que quan entren en contacte creen un camí conductor a través d'elles (a). La ruptura es produeix quan es crea un camí conductor que connecta les dues superfícies de l'òxid, detectant-se per un augment abrupte del corrent de porta (b) [135].

Quan es crea un camí conductor entre la porta i el Silici, els transistors poden deixar de funcionar, però, en tot cas el seu consum s'incrementa considerablement. Avui dia, la ruptura dielèctrica és un fenomen que ha sigut molt estudiat, havent-se, per exemple, analitzat la distribució estadística del temps de ruptura (TDDB, de l'anglès *Time-Dependent Dielectric Breakdown*) [137, 138]. Per altra banda, actualment se sap que si es controla el corrent durant el transitori de la ruptura, es pot arribar a recuperar nivells de corrent baixos a través de la porta, millorant-se així la fiabilitat dels dispositius. Aquest efecte es coneix amb el nom de *resistive switching* (RS) [139-141]. D'aquesta manera, el RS s'està investigant intensament i també les seves possibles aplicacions, com per exemple en el camp de les memòries RRAM [141].

## 2 Degradació per BTI i CHC en dispositius amb canal comprimit

Una de les alternatives adoptades per continuar amb l'escalat dels transistors MOSFETs ha estat la de modificar els materials utilitzats en la seva fabricació. Així, per limitar els elevats corrents de fuga a través del dielèctric de porta, s'ha substituït el  $\text{SiO}_2$  (dielèctric utilitzat tradicionalment) per materials high-k. Amb aquesta substitució es redueix el corrent túnel a través de la porta del dispositiu però, per contra, apareixen altres problemes com, per exemple, la disminució de la mobilitat dels portadors en el canal. D'aquesta manera, es proposen diferents alternatives tecnològiques per millorar aquesta mobilitat com, per exemple, fer servir materials al *bulk* que tinguin una major mobilitat, com ara el Germani [41, 42], o introduir estrès mecànic en el canal [20, 25-27]. Sigui la que sigui la opció triada, l'introducció d'aquestes modificacions planteja noves incògnites sobre la fiabilitat dels dispositius resultants. Aquest capítol està centrat, doncs, en l'avaluació de la fiabilitat de dispositius en que s'ha millorat la mobilitat dels portadors al canal. De les diferents tècniques disponibles, aquest treball s'ha centrat en l'estudi de dispositius amb canal estressat mecànicament, en particular, de transistors pMOSFET en els que a la seva font i drenador s'ha introduït Germani (SiGe S/D) per tal de comprimir el canal i aconseguir una mobilitat més gran. Centrant-nos en els dispositius SiGe S/D, molts autors han treballat en els aspectes tecnològics d'aquests dispositius per tal d'estudiar les millores en la mobilitat [142-144]. No obstant això, són menys els estudis relacionats amb la fiabilitat d'aquests nous dispositius [145-147]. En aquest capítol s'ha estudiat la degradació de transistors SiGe S/D sotmesos a estressos elèctrics, avaluant la variació dels seus paràmetres elèctrics.

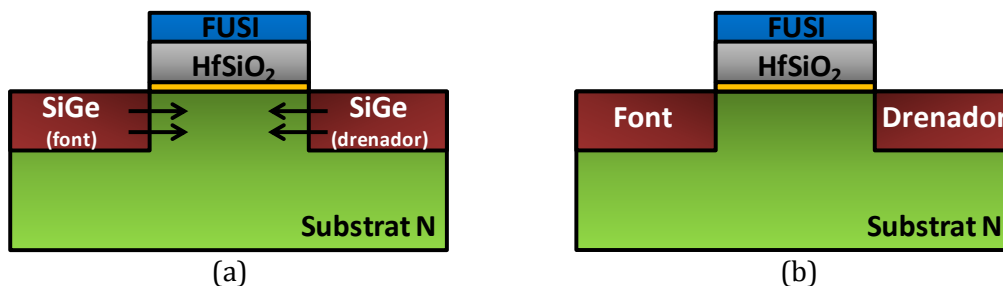
Avui dia, en la comunitat científica, sembla acceptat que el mecanisme de fallada dominant en els transistors MOSFETs actuals és el NBTI (*Negative Bias Temperature Instability*) [148]. Ara bé, en dispositius en que s'ha introduït estrès mecànic en el canal, els camps elèctrics verticals es mantenen inalterables mentre que els camps elèctrics horitzontals augmenten [146, 147]. Aquest fet pot comportar que estressos en els que actuen els camps elèctrics horitzontals, com és el cas de l'estrès per portadors calents (o

en anglès *Channel Hot Carrier*, CHC) augmentin el seu impacte en la degradació dels dispositius. Així doncs, en aquest treball s'ha estudiat l'impacte d'estressos NBTI i CHC en dispositius SiGe S/D.

## 2.1 Mostres analitzades i procediment experimental

Com s'ha dit, aquest capítol es centrarà en analitzar els mecanismes de degradació per *Negative Bias Temperature Instability* (NBTI) i *Channel Hot-Carrier* (CHC) en dispositius amb estrès mecànic al canal (mostres *strain*), comparant la seva degradació amb la generada en transistors estàndard.

En particular, els transistors analitzats han estat pMOSFET en els que s'ha introduït, al drenador i la font, àtoms de Germani (Fig. 2.1a) per tal d'aconseguir estrès mecànic en el canal, en aquest cas de compressió. Ens referirem a aquests transistors com pMOSFETs *strain* (o SiGe S/D) per diferenciar-los dels transistors sense Germani a la font i drenador, als que ens referirem com transistors de referència (Fig. 2.1b). Tots els MOSFETs tenen el mateix tipus de substrat, el mateix dielèctric de porta i elèctrode de porta. En concret, l'elèctrode de porta dels pMOSFETs és del tipus *Ni-rich Fully Silicied* (FUSI). El dielèctric de porta està constituït per dues capes, una de SiO<sub>2</sub> de 1nm de gruix i l'altra de ALD HfSiO<sub>2</sub> (40% SiO<sub>2</sub>, 60% HfO<sub>2</sub>) de 2.6nm, essent l'EOT del dielèctric de 1.4nm. L'amplada del canal (W) ha estat sempre de 1µm, mentre que s'han considerat dues longituds (L): una de 1µm (canal llarg) i l'altra de 0.13µm (canal curt).

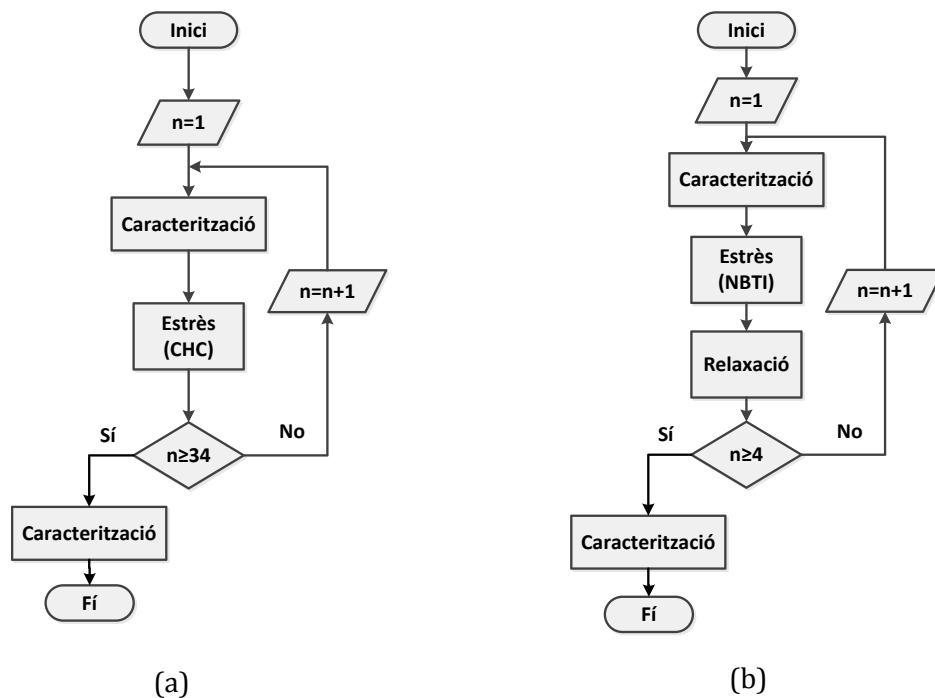


**Fig. 2.1** Esquemàtic dels dispositius analitzats, (a) transistors pMOS al que se'ls ha introduït Germani a la font i drenador per comprimir l'estructura cristal·lina del canal. (b) Transistors de referència, sense estrès mecànic al canal.

Per avaluar la seva fiabilitat, s'ha implementat una seqüència de test MSM (*Measure-Stress-Measure*), per induir la degradació i quantificar-la. L'estrès ha estat NBTI o CHC. Aquesta seqüència MSM varia lleugerament per NBTI i CHC, per tenir en compte les particularitats dels dos mecanismes de degradació. En la Fig. 2.2 es mostren les seqüències de test utilitzades per analitzar la degradació per CHC (Fig. 2.2a) i NBTI (Fig. 2.2b). Independentment del mecanisme considerat, les seqüències de test comencen per una caracterització de les mostres sense degradar, és a dir, es mesuren les corbes característiques  $I_G-V_{GS}$ ,  $I_D-V_{GS}$  i  $I_D-V_{DS}$  per la determinació de les propietats elèctriques inicials del transistor. A continuació, s'aplica l'estrès elèctric per degradar el dispositiu, el qual s'interromp periòdicament per mesurar la degradació. En el cas d'estressos CHC,



l'estrès s'interromp cada 20 segons, començant a 20 segons fins arribar a 700 segons ( $n=34$ ), mentre que en el cas d'estressos NBTI, l'estrès s'interromp seguint una escala logarítmica de temps, començant a 1 segon i finalitzant a 1000 segons (és a dir,  $n=4$ ). En la seqüència d'estrès NBTI, s'introdueix després de cada interrupció de l'estrès un període de 1000 segons de relaxació en el que es mesura el corrent de drenador en funció del temps, per tal de poder monitoritzar la recuperació de la tensió llindar.



**Fig. 2.2** Esquemes de la seqüència MSM pel cas d'estressos CHC (a) i NBTI (b). Com es pot observar, la única diferència està en la introducció d'una etapa de relaxació en el cas de BTI per tenir en compte la recuperació de la tensió llindar quan s'elimina l'estrès.

Normalment, per avaluar la degradació induïda per estressos CHC i NBTI, s'analitza la variació d'algun paràmetre elèctric del MOSFET. En el cas de NBTI, el paràmetre que habitualment es fa servir és la tensió llindar ( $V_T$ ), que varia per la creació de trampes interfacials en la interfase entre el dielèctric i el substrat que es poden carregar [95]. Tradicionalment, en el cas de CHC, el paràmetre més utilitzat per analitzar la física del mecanisme és el corrent de substrat ( $I_{SUB}$ ), però des del punt de vista de prestacions del dispositiu,  $I_{SUB}$  aporta poca informació. Ara però, s'ha mostrat que  $V_T$  es degrada també durant un estrès CHC [125], per això, en aquest treball, per comparar la degradació en estressos CHC i NBTI, s'ha utilitzat, com a paràmetre representatiu de la degradació, la variació de la tensió llindar ( $\Delta V_T$ ), ja que aquest paràmetre es veu modificat tant en estressos NBTI com CHC.

Per calcular la variació de la tensió llindar però, cal el valor de  $V_T$  de la mostra sense estressar ( $V_T^{(0)}$ ). Ara bé, la tensió llindar no es pot mesurar directament, sinó que es determina a partir de la corba  $I_D-V_{GS}$  de la mostra sense degradar [89]. Per això, com a criteri per determinar  $V_T^{(0)}$ , s'ha considerat que  $V_T^{(0)}$  correspon a la tensió de porta per la qual el corrent de drenador deixa de descriure una funció lineal, en representació logarítmica. En el nostre cas s'ha considerat un corrent d'aproximadament  $0.5\mu A$

( $V_T^{(0)} \approx 0.4V$ ) (Fig. 2.3 quadrats). Per calcular la variació de la tensió llindar ( $\Delta V_T$ ) deguda a l'estrès, el corrent es fixa al valor considerat en el cas de  $V_T^{(0)}$  ( $0.5\mu A$ ) i es mesura la nova tensió de porta per a la qual el corrent de drenador és el fixat (Fig. 2.3 cercles), la diferència entre les dues tensions de porta és  $\Delta V_T$ .

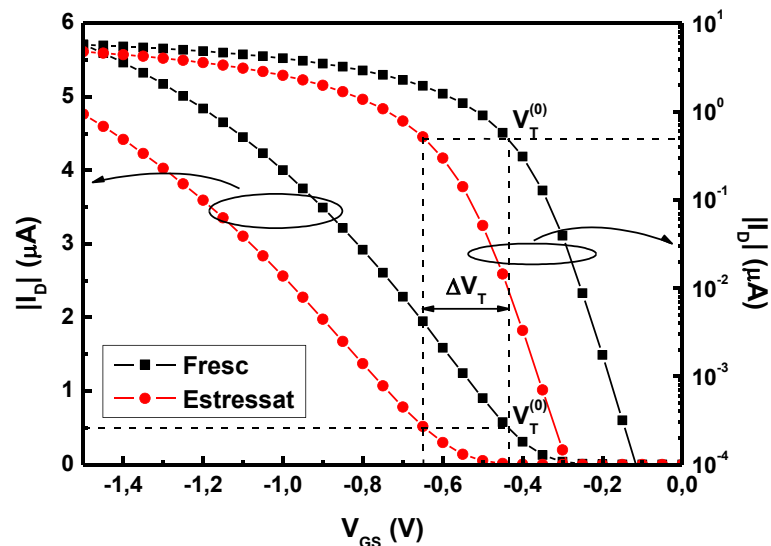


Fig. 2.3 Exemple d'obtenció de  $\Delta V_T$  a partir de les corbes  $I_D$ - $V_{GS}$ .

En l'etapa d'estrès, depenent del mecanisme de fallada que es vol estudiar, s'utilitzarà una configuració diferent de tensions als terminals. En el cas d'estressos NBTI, es connecta drenador, font i substrat a terra, mentre que a la porta s'aplica una tensió elevada i constant ( $V_{GS} = V_{estrès}$ ), en valor absolut (Fig. 2.4b). En el cas d'estressos CHC, cal induir un camp elèctric horitzontal que provoqui una ionització per impacte, provocant la creació de trampes interfacials en les proximitats del drenador. Per això, es connecten font i substrat a terra, mentre a drenador i porta s'apliquen tensions constants i elevades. En aquest cas s'han agafat tensions iguals,  $V_{GS} = V_{DS} = V_{estrès}$  (Fig. 2.4a), condició que genera la màxima degradació en transistors pMOS (*apartat 1.4.2*) [124].

Els valors particulars de les tensions d'estrès s'han triat de manera que  $\Delta V_T$  sigui fàcilment mesurable. A més, el rang de valors triats pels casos de NBTI i CHC s'intersecciona, per poder realitzar comparacions. En concret, el rang de tensions d'estrès utilitzat ha estat de -2.6V a -3.4V pel cas de NBTI, i de -2 a -2.8V pel cas de CHC.

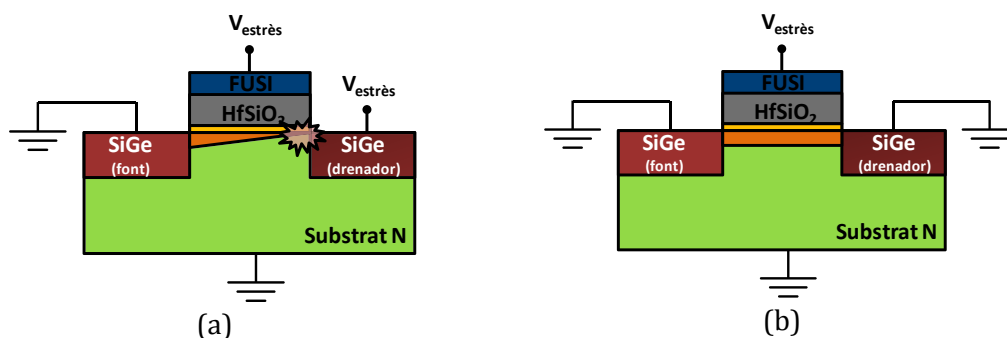


Fig. 2.4 Il·lustració d'un transistor pMOSFET sotmès a un estrès CHC (a) i NBTI (b)

En el cas de NBTI, a més, existeixen dos components en la degradació, una part permanent i una recuperable [89]. S'ha de tenir en compte que la recuperació de la tensió llindar comença en el moment en que s'interromp l'estrès (*apartat 1.4.1*). Per tant, en cada parada de l'estrès es fa necessari monitoritzar la recuperació d'aquest paràmetre.

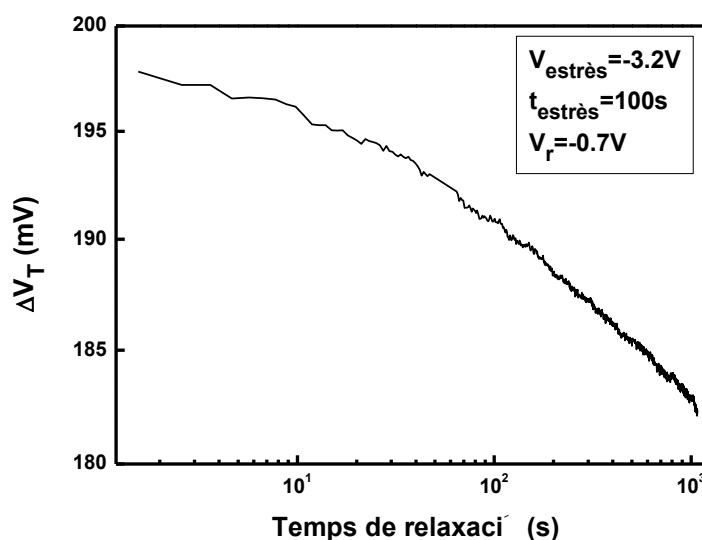
Per analitzar la recuperació de la tensió llindar, experimentalment es mesura l'evolució del corrent de drenador a tensions de porta baixes. En el nostre cas s'ha fixat la tensió a  $-0.7V$  per totes les mostres, mentre s'aplica al drenador la mateixa tensió que la utilitzada per mesurar les corbes  $I_D-V_{GS}$  ( $-50mV$ ) durant un temps de 1000 segons. La relació entre la variació del corrent de drenador i la variació de la tensió llindar ve donada per l'equació (2.1) [149].

$$\frac{\Delta I_D}{I_D^{(0)}} \propto -\frac{\Delta V_T}{(V_r - V_T^{(0)})} \quad (2.1)$$

on  $I_D^{(0)}$  és el corrent de drenador que circula pel transistor fresc (sense estressar) a la tensió de relaxació  $V_r = -0.7V$ , i  $V_T^{(0)}$  és la tensió llindar de la mostra fresca.

En la Fig. 2.5 es mostra, a mode d'exemple, la corba característica  $\Delta V_T-t_r$  (amb  $t_r$  el temps de relaxació), mesurada durant l'etapa de relaxació després d'haver aplicat una tensió d'estrès de  $-3.2V$  durant 100 segons. Es pot observar com  $\Delta V_T$  a  $t=1.5s$  pren un valor molt gran, aproximadament de  $200mV$ , degut a la tensió d'estrès tan elevada a la porta. Però després d'una relaxació de 1000 segons,  $V_T$  ha disminuït a  $182mV$ .

En estressos CHC es considera que la recuperació és menyspreable i no cal mesurar l'evolució de la tensió llindar durant la relaxació [146]. Per aquest motiu,  $\Delta V_T$  es mesurarà a partir de la corba  $I_D-V_{GS}$ , tal com s'indica a la Fig. 2.3.



**Fig. 2.5** Evolució de la variació de la tensió llindar durant la etapa de relaxació després d'un estrès NBTI. Prèviament s'havia estressat la mostra a una tensió de porta de  $-3.2V$  durant 100 segons, per a continuació relaxar-la a una tensió de porta de  $-0.7V$ , durant aproximadament 1000 segons.

En les següents seccions s'analitza en detall la dependència de la variació de la tensió llindar amb el temps i la tensió d'estrès, pels casos d'estressos NBTI i CHC, en els dos tipus de mostres (referència i SiGe S/D) i per diferents longituds de canal.

## 2.2 Dependències de $\Delta V_T$ amb l'estrès elèctric. Impacte de l'estrès mecànic al canal

En primer lloc s'han analitzat les dependències de la degradació dels dispositius amb SiGe S/D amb la longitud de canal i les condicions d'estrès ( $V$  i  $t$ ), comparant-les amb les de les mostres de referència. Així, per cada una d'aquestes dependències, s'han extret lleis empíriques que les descriu. L'objectiu últim serà proposar una única llei empírica capaç de considerar simultàniament les dependències de  $\Delta V_T$  amb la tensió i temps d'estrès, per als stressos CHC i NBTI per separat, que permeti fer extrapolacions a altres condicions d'estrès.

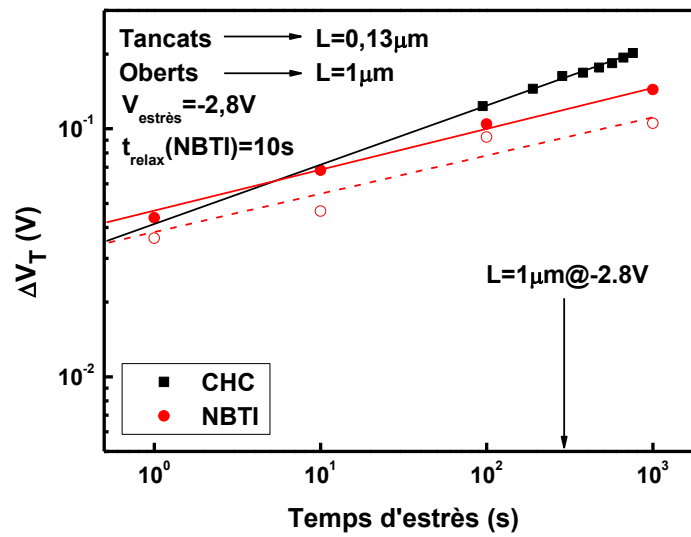
### 2.2.1 Longitud de canal i temps d'estrès

Primerament s'analitza la dependència de la variació de  $V_T$  amb el temps d'estrès, per diferents longituds del canal,  $L = 1\mu\text{m}$  (canal llarg) i  $L = 0.13\mu\text{m}$  (canal curt), per stressos NBTI i CHC. En aquest apartat es consideren mostres *strain*. Pels dos tipus d'estrès, les dades experimentals s'ajusten a lleis potencials com la de l'equació (2.2) [85, 86].

$$\Delta V_T = a \cdot t^b \quad (2.2)$$

on el paràmetre  $a$  es pot interpretar com la variació de la tensió llindar a un segon d'estrès i l'exponent  $b$  és indicatiu de la velocitat amb que es degrada la mostra. En el cas de mostres de referència, el paràmetre  $a$  depèn del tipus d'estrès, la tensió aplicada, i a més, pel cas de NBTI, del temps de relaxació [150]. El paràmetre  $b$  també depèn del tipus d'estrès però en aquest cas existeix controvèrsia sobre si  $b$  és independent de la tensió d'estrès aplicada [86, 113, 151, 152], o bé és dependent, per les mostres de referència [150].

En la Fig. 2.6 es mostra la variació de la tensió llindar mesurada en transistors *strain* de canal curt (símbols tancats) i de canal llarg (símbols oberts) per stressos CHC (quadrats) i NBTI (cercles) a una tensió fixa de  $V_{\text{estrès}} = -2.8\text{V}$ , en funció del temps d'estrès. Les línies corresponen als ajustos dels valors experimentals a una llei potencial com la de l'equació (2.2). Com es pot observar, en el cas de NBTI (●), els valors trobats aplicant la mateixa tensió i temps d'estrès en els transistors de canal llarg (○) i de canal curt (●) són molt semblants i tots dos s'ajusten correctament a l'equació (2.2). En canvi, en el cas de CHC (■), en transistors de canal llarg (□) a la tensió  $V_{\text{estrès}} = -2.8\text{V}$  utilitzada no es veu degradació en l'escala de tensions utilitzada a la figura, concloent-se així que la degradació per CHC és superior en canal curt. A més, pel cas de transistors de canal curt (■), la degradació de  $V_T$ , a temps per sobre de 10 segons, és superior a la trobada en NBTI.



**Fig. 2.6** Comparació de la variació de la tensió llindar en funció del temps d'estrès, a una tensió de -2.8V, per mostres *strain* de longitud de canal  $1\mu\text{m}$  i  $0.13\mu\text{m}$ , per estressos CHC (quadrats) i NBTI (cercles). Com es pot observar, la degradació per NBTI (cercles) en dispositius amb  $L = 1\mu\text{m}$  (símbols oberts) és similar a la degradació en mostres amb  $L = 0.13\mu\text{m}$  (símbols tancats). Mentre que en el cas de CHC (quadrats), la degradació és molt superior en dispositius de canal curt que en transistors de canal llarg, on per aquest cas no es veu degradació en l'escala vertical utilitzada.

Les dependències amb la longitud de canal dels paràmetres que determinen l'evolució temporal s'han analitzat amb més detall. A la Taula 2.1 es mostren els paràmetres  $a$  i  $b$  extrets dels ajustos dels valors experimentals de la Fig. 2.6 a l'equació (2.2). Com es pot observar, si es tenen en compte els marges d'error, el paràmetre  $a$  pren valors similars tant per estressos CHC en transistors de canal curt com per NBTI en transistors de canal curt i llarg. En el cas del paràmetre  $b$ , es pot veure com en estressos NBTI pren valors similars per transistors de canal llarg i curt, mostrant el valor típic per aquest estrès ( $\sim 0.13\text{-}0.20$ ) [86, 153]. Per una altra banda, en el cas d'estressos CHC,  $b$  és més gran que en el cas de NBTI i pren un valor per sota del típic per aquest tipus d'estrès ( $\sim 0.40$ ) [154, 155], degut segurament a un component NBTI que apareix en transistors de canal curt durant estressos CHC [156].

	$L = 1\mu\text{m}$		$L = 0.13\mu\text{m}$	
	$a (V \cdot s^{-b})$	$b$	$a (V \cdot s^{-b})$	$b$
<b>CHC</b>	--	--	$0.044 \pm 0.002$	$0.23 \pm 0.01$
<b>NBTI</b>	$0.038 \pm 0.009$	$0.15 \pm 0.04$	$0.047 \pm 0.003$	$0.16 \pm 0.01$

**Taula 2.1** Valors dels paràmetres  $a$  i  $b$  obtinguts de l'ajust de les dades experimentals de la Fig. 2.6 a l'equació (2.2), per a estressos CHC i NBTI, a una tensió d'estrès de -2.8V, en transistors de canal llarg i curt, *strain*. En el cas de CHC, no s'han pogut obtenir els valors d' $a$  i  $b$  en transistors de longitud de canal  $L=1\mu\text{m}$  perquè la degradació és menyspreable a aquesta tensió d'estrès.

Així doncs, a partir d'aquests resultats es pot concloure que la dependència de la variació de la tensió llindar amb el temps d'estrès, en mostres SiGe S/D, es pot ajustar a una llei potencial, tant per estressos CHC com NBTI. A més, també s'ha pogut concloure

que la degradació per estressos NBTI no depèn de la longitud de canal, mentre que per estressos CHC és molt superior la degradació en transistors de canal curt. Aquests resultats estan d'acord amb altres treballs d'altres autors que demostren que la variació de la tensió llindar en transistors *strain* no depèn de la longitud de canal en estressos NBTI [157], mentre que per estressos CHC la degradació és superior en transistors de canal curt [145]. Per aquest motiu, la resta d'aquest capítol s'ha centrat en analitzar les mostres de canal curt ( $L = 0.13\mu\text{m}$ ), per estressos CHC donat que aquestes dimensions corresponen al pitjor cas. Donada la independència amb la longitud de canal de la degradació per NBTI, s'ha decidit analitzar transistors de canal llarg ( $L = 1\mu\text{m}$ ).

### 2.2.2 Tipus de canal (SiGe S/D i referència)

Un cop avaluada la dependència de la degradació dels dispositius *strain* amb el temps d'estrès i la longitud de canal, per CHC i NBTI, s'ha comparat la degradació causada en aquests dispositius amb canal estressat mecànicament, amb la dels transistors de referència (sense SiGe S/D). En la Fig. 2.7 es mostra la variació de la tensió llindar en funció del temps d'estrès, a una tensió d'estrès fixa de  $-2.6\text{V}$ , per a estressos CHC i NBTI, en dispositius SiGe S/D i de referència. Les línies corresponen als ajustos dels valors experimentals a l'equació (2.2). Com es pot veure, per estressos CHC (■), el dany causat és superior en transistors amb SiGe S/D (■) que en els de referència (□). No obstant això, en el cas de NBTI (●), els resultats prenen valors similars tant pel cas de mostres *strain* (●) com en les de referència (○). Aquests resultats per NBTI estan en concordança amb els trobats per altres autors [157].

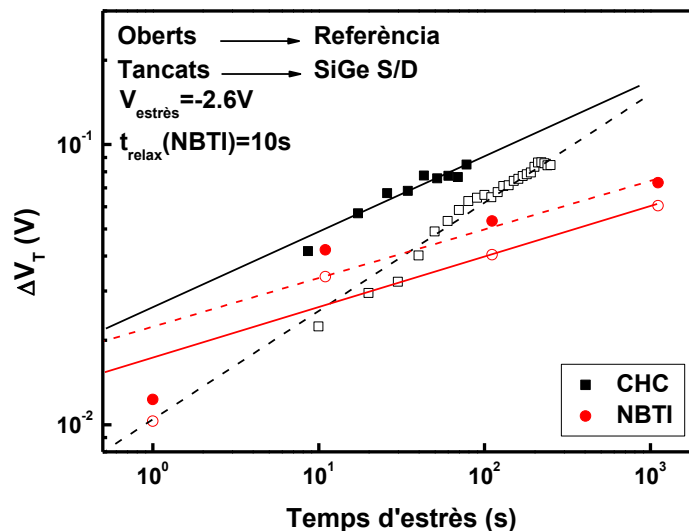


Fig. 2.7 Variació de la tensió llindar en funció del temps d'estrès per a estressos CHC (quadrats) i NBTI (cercles) en mostres *strain* (símbols tancats) i de referència (símbols oberts).

Els valors de la Taula 2.2 mostren els paràmetres  $a$  i  $b$  dels ajustos a l'equació (2.2). En aquesta taula es pot veure que, els paràmetres  $a$  i  $b$ , en el cas de NBTI, prenen valors molt similars pel cas de transistors *strain* i de referència. El fet de no veure's canvis

significatius en el cas del NBTI es pot explicar tenint en compte que la degradació per NBTI està associada a camps elèctrics verticals que no afecten significativament l'augment de la mobilitat [158], de manera que la dependència de  $\Delta V_T$  amb el temps no es veu modificada per la compressió del canal. Ara bé, en el cas d'estressos CHC,  $a$  és més d'un factor 2 superior en mostres *strain*, ja que l'augment de la mobilitat en el canal provoca, en estressos CHC, més ionització per impacte, la qual provoca una major degradació en el dielèctric de porta [146]. El paràmetre  $b$  però, és superior en mostres de referència. Aquests resultats indiquen que, en aquests nous dispositius, l'augment de la mobilitat, beneficiosa des del punt de vista de prestacions del dispositiu, suposa un impacte negatiu en la fiabilitat doncs, la degradació produïda per CHC és superior que en el cas de transistors de referència.

	SiGe S/D		Referència	
	$a$ ( $V \cdot s^{-b}$ )	$b$	$a$ ( $V \cdot s^{-b}$ )	$b$
<b>CHC</b>	$0.026 \pm 0.003$	$0.27 \pm 0.03$	$0.010 \pm 0.001$	$0.39 \pm 0.02$
<b>NBTI</b>	$0.022 \pm 0.006$	$0.17 \pm 0.05$	$0.017 \pm 0.006$	$0.18 \pm 0.04$

**Taula 2.2** Valors dels paràmetres  $a$  i  $b$  extrets a partir de les corbes de la Fig. 2.7, per a mostres *strain* i de referència sotmeses a estressos CHC i NBTI.

### 2.2.3 Tensió d'estrès

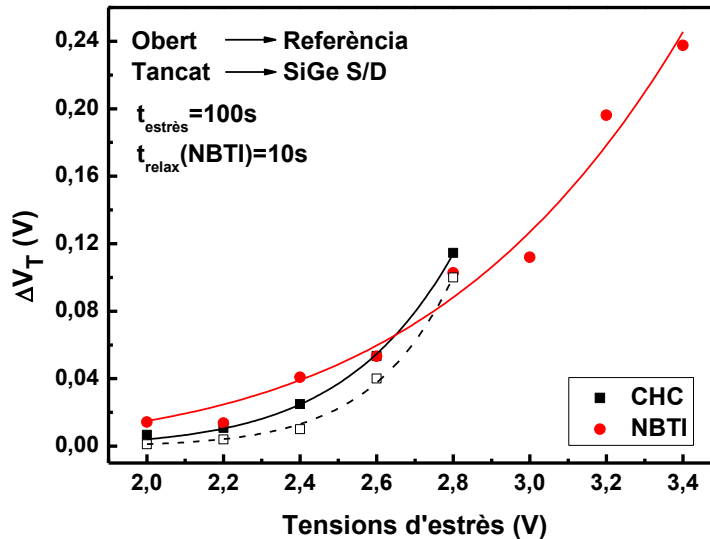
A continuació s'ha analitzat les dependències de  $\Delta V_T$  amb la tensió d'estrès, per estressos CHC i NBTI, pels dos tipus de mostres. Per això cal recordar que en transistors estàndard (sense canal comprimit), la dependència de  $\Delta V_T$  amb la tensió d'estrès segueix una llei potencial, pel cas d'estressos NBTI [152], mentre que en el cas d'estressos CHC la dependència pot ajustar-se a una llei exponencial o potencial [159]. Com s'ha vist en l'apartat anterior, la introducció de SiGe S/D no modifica la degradació que el dispositiu experimenta durant un estrès NBTI, pel que és d'esperar que la dependència de  $\Delta V_T$  amb la tensió d'estrès, en mostres *strain*, segueixi sent potencial. En canvi, com s'ha vist en estressos CHC sí que hi ha una dependència de la degradació amb el tipus de canal; tot i això, per facilitar les comparacions, s'ha suposat que la dependència de  $\Delta V_T$  amb la tensió d'estrès també segueix una llei potencial, tant per mostres SiGe S/D com de referència. En la Fig. 2.8 es mostren els  $\Delta V_T$  obtinguts per estressos CHC (■) i NBTI (●) en els dos tipus de MOSFETs per CHC i només per MOSFETs *strain* per NBTI, en funció de la tensió d'estrès. Els símbols corresponen als resultats experimentals, mentre les línies corresponen als ajustos a l'equació (2.3). Els valors experimentals s'han ajustat a una llei potencial per ambdós tipus d'estrès, CHC i NBTI.

$$\Delta V_T = \beta \cdot V^n \quad (2.3)$$

on  $\beta$  i  $n$  són paràmetres constants en el cas de CHC i dependents del temps de relaxació en el cas de NBTI [150]. La Fig. 2.8 mostra que una dependència potencial ajusta correctament les dades experimentals, per estressos NBTI i CHC, en aquest últim cas tant en mostres *strain* com de referència.

Si s'observa les corbes corresponents als estressos CHC, es pot veure que la variació de  $V_T$  és superior en les mostres *strain* (■). Si es comparen les corbes de CHC amb la de

NBTI, es veu que, a tensions d'estrès baixes, la degradació és superior en estressos NBTI. Tot i això, l'exponent  $n$  és superior en estressos CHC, més encara en mostres amb SiGe S/D, cosa que comporta que a partir de tensions per sobre de  $-2.6\text{V}$  (en valor absolut) la degradació és més gran en mostres sotmeses a estressos CHC.



**Fig. 2.8** Variació de la tensió llindar en funció de la tensió d'estrès per a transistors *strain* (símbols tancats) i de referència (símbols oberts) sotmesos a estressos CHC (quadrats) i NBTI (cercles). Els resultats es poden ajustar a la llei potencial de l'equació (2.3) (línies contínues i discontinües).

A la Taula 2.3 es mostren  $\beta$  i  $n$  extrets ajustant les dades experimentals a l'equació (2.3). El paràmetre  $\beta$  pel cas d'estressos NBTI és dos ordres de magnitud superior que pel cas d'estressos CHC, a tensions baixes l'estrès NBTI és el dominant. Ara bé, si ens centrem en les mostres SiGe S/D, el paràmetre  $n$  és dos vegades superior en el cas d'estressos CHC. Per una altra banda, comparant els resultats en estressos CHC, per mostres amb SiGe S/D i de referència, tot i que  $\beta$  és més d'un ordre de magnitud superior en el cas de les mostres amb SiGe S/D, el que és indicatiu d'una dependència més gran en tensions per aquestes mostres, mentre que el paràmetre  $n$  és lleugerament superior en les mostres de referència.

	SiGe S/D		Referència	
	$\beta (V^{-n})$	$n$	$\beta (V^{-n})$	$n$
<b>CHC</b>	$(4.2 \pm 1.3) \cdot 10^{-6}$	$9,9 \pm 0.3$	$(1.2 \pm 0.3) \cdot 10^{-7}$	$13.2 \pm 0.7$
<b>NBTI</b>	$(4 \pm 2) \cdot 10^{-4}$	$5.3 \pm 0.4$	--	--

**Taula 2.3** Valors dels paràmetres  $\beta$  i  $n$  extrets a partir dels ajustos a l'equació (2.3) dels valors experimentals de la Fig. 2.8. Com l'estrès mecànic del canal no implica canvis en la variació de  $\Delta V_T$  per estressos NBTI, únicament s'ha analitzat les mostres amb SiGe S/D en aquest cas.

A partir dels resultats mostrats es pot concloure que la degradació a temps d'estrès baixos (paràmetre  $a$ ) i a tensions baixes ( $\beta$ ) sempre és superior en el cas d'estressos NBTI. Tot i això, les dependències amb la tensió i temps d'estrès ( $n$  i  $b$ , respectivament) són més marcades en el cas de CHC, sobretot en mostres *strain*. Aquest fet implica que a tensions



d'estrès elevades i/o temps llargs d'estrès, la variació de la tensió llindar pot arribar a ser més gran pel cas d'estrèsos CHC.

### 2.2.4 Llei empírica per $\Delta V_T$

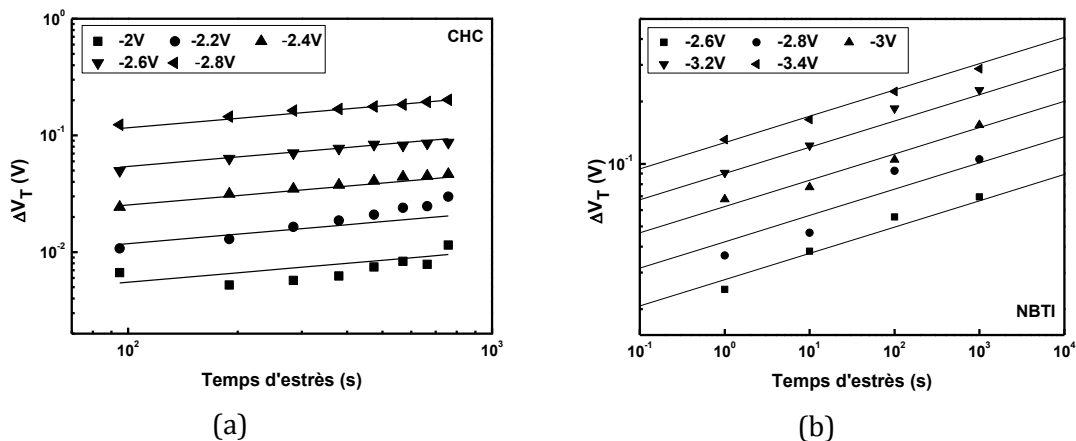
Tenint en compte les dependències de  $\Delta V_T$  amb la tensió i temps d'estrès trobades a les seccions anteriors, es pot proposar una llei empírica capaç de predir  $\Delta V_T$  per qualsevol tensió d'estrès i per un temps d'estrès qualsevol. Es proposa l'equació (2.4), obtinguda a partir de la combinació de les equacions (2.2) i (2.3) que descriuen les dependències de  $\Delta V_T$  amb el temps (*apartat 2.2.1 i 2.2.2*) i la tensió d'estrès (*apartat 2.2.3*).

$$\Delta V_T = a \cdot \beta \cdot t_s^b \cdot V_s^n \quad (2.4)$$

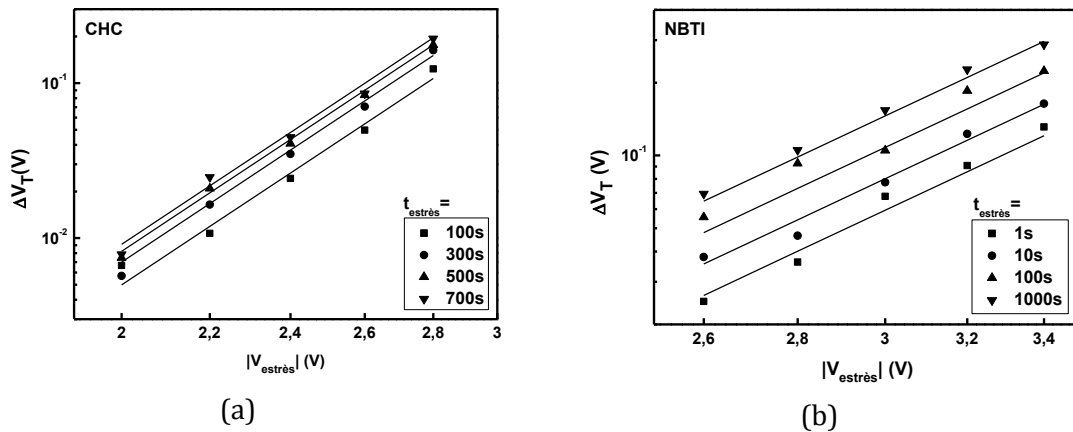
Per ajustar una equació de dues lleis potencials hi han mètodes senzills que ajusten equacions lineals amb vàries incògnites. Per això, per tornar l'equació (2.4) en lineal, s'aplica el logaritme a ambdós costats de l'equació i es realitza un canvi de variables (eq. (2.5)), on ara les variables són els logaritmes de  $V_s$  i  $t_s$ .

$$\log(\Delta V_T) = \log(K) + n \cdot \log(V_s) + b \cdot \log(t_s) \quad (2.5)$$

on  $n$  i  $b$  són els pendents i  $K$  és el producte d' $a$  per  $\beta$ . Amb aquesta equació és molt més fàcil fer els ajustos dels valors experimentals per a tensions i temps d'estrès simultàniament. A partir del mètode de múltiples regressions lineals [160] implementat a Matlab® considerant dades experimentals de  $\Delta V_T$  en funció del temps d'estrès per diferents tensions (Fig. 2.9) i la tensió d'estrès per diferents temps (Fig. 2.10), es poden extreure els valors mitjos dels paràmetres  $K$ ,  $n$  i  $b$  que millor ajusten les dades.



**Fig. 2.9** Variació de la tensió llindar  $\Delta V_T$  en funció del temps d'estrès per transistors *strain* sotmesos a estrès CHC (a) i estrès NBTI després de 10 segons de relaxació (b). En ambdós casos els valors experimentals s'ajusten correctament a l'equació (2.5) (línies contínues).



**Fig. 2.10** Variació de la tensió llindar  $\Delta V_T$  en funció de la tensió d'estrès per transistors SiGe S/D, sotmesos a estrès CHC (a) i NBTI després de 10 segons de relaxació (b). L'equació (2.5) (línies contínues) ajusta correctament els valors experimentals.

En la Taula 2.4 es mostren els valors dels paràmetres  $K$ ,  $n$  i  $b$  de l'equació (2.5) per estressos CHC i NBTI, pels casos de mostres de referència i *strain* (en el cas de CHC) i només *strain* (en el cas de NBTI). Els valors mostrats són la mitjana i la desviació estàndard, amb una confiança del 68%. Com era d'esperar, el paràmetre  $K$ , que és indicatiu de la degradació de  $\Delta V_T$  a tensions baixes i temps curts ( $V_s = 1V$  i  $t_s = 1s$ ), és dos ordres de magnitud més gran pel cas d'estressos NBTI, que pel d'estressos CHC en mostres *strain*, i fins a quatre ordres de magnitud superior que per estressos CHC en mostres de referència. En canvi, els factors d'acceleració ( $n$ ) i el ritme de degradació ( $b$ ) sempre són superiors en estressos CHC.

Tipus d'estrès	$K (V \cdot n \cdot s^{-b})$	$n$	$b$
CHC (referència)	$(3.21 \pm 0.24) \cdot 10^{-8}$	$13.15 \pm 0.21$	$0.31 \pm 0.02$
CHC (SiGe S/D)	$(2.15 \pm 0.12) \cdot 10^{-6}$	$9.12 \pm 0.16$	$0.31 \pm 0.03$
NBTI (SiGe S/D, $t_r = 10s$ )	$(1.17 \pm 0.05) \cdot 10^{-4}$	$5.67 \pm 0.24$	$0.13 \pm 0.01$

**Taula 2.4** Paràmetres  $K$ ,  $n$  i  $b$  extrets a partir dels resultats a les Fig. 2.9 i Fig. 2.10 ajustats a l'equació (2.5). Pel cas d'estressos NBTI, s'ha considerat un temps de relaxació de 10 segons. Pel cas dels estressos CHC s'han considerat dispositius d'àrea  $1 \times 0.13 \mu\text{m}^2$ .

La llei (2.4) amb els paràmetres de la Taula 2.4 pot fer-se servir per extrapol·lar els valors de  $\Delta V_T$  a tensions i temps d'operació. La degradació en aquestes noves condicions d'operació s'estudiarà en les següents seccions.

### 2.3 CHC vs NBTI en mostres amb canal comprimit: quin és el mecanisme dominant?

Com s'ha conclòs en la secció anterior, degut a la introducció de SiGe S/D en el transistor, la degradació per CHC en els dispositius *strain* és més gran que en les mostres de referència, mentre que la degradació per NBTI en els dos dispositius és comparable. Ara bé, si ens centrem en les mostres *strain* en funció de les condicions d'estrès, la degradació del dispositiu pot estar controlada per un o altre mecanisme (Fig. 2.7 i Fig. 2.8).

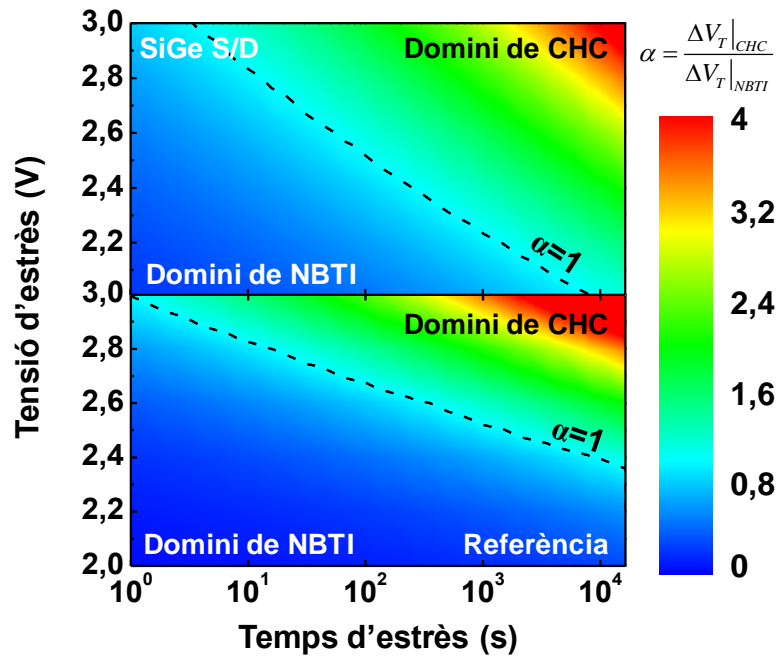
Les lleis empíriques per  $\Delta V_T(V,t)$  que permeten extrapolar a altres condicions d'operació (secció 2.2.4), permetran analitzar el domini d'un o altre estrès en la degradació induïda en els transistors. Considerant la dependència de  $\Delta V_T$  amb la tensió i el temps d'estrès descrita per l'equació (2.5), amb els valors dels paràmetres  $K$ ,  $n$  i  $b$  estrets experimentalment, es farà un escombrat en tensions i temps d'estrès, per CHC i NBTI, per avaluar quan un mecanisme domina sobre l'altre. Per últim s'extrapolaran els resultats a les condicions d'operació, per poder determinar el mecanisme de fallada predominant en els transistors quan operen en un circuit.

### 2.3.1 Comparativa de la degradació per estrès CHC amb l'estrès per NBTI

Per tal d'avaluar el domini d'un o altre mecanisme en la degradació dels dispositius per diferents condicions d'operació, i pels dos tipus de mostres, s'ha definit la magnitud  $\alpha$ , donada per l'equació (2.6), com la raó de la variació de  $\Delta V_T$  (indicativa de la degradació del dispositiu) mesurada per estressos CHC i NBTI per una tensió i un temps determinat.  $\alpha$  permetrà avaluar el mecanisme que controla l'envelliment del dispositiu en aquestes condicions.

$$\alpha(V,t) = \frac{\Delta V_T(V,t)|_{CHC}}{\Delta V_T(V,t)|_{NBTI}} \quad (2.6)$$

S'ha calculat  $\alpha$  amb les  $\Delta V_T$  proporcionades per l'equació (2.5) i considerant els paràmetres de la Taula 2.4, per cadascun dels mecanismes de degradació (CHC i NBTI) en mostres de referència i *strain*, per un rang de tensions i temps dins del rang experimental. Els resultats s'han representat en forma de mapes. En la Fig. 2.11 es mostra un mapa de  $\alpha$  per a diferents tensions (entre 2V i 3V) i temps d'estrès (entre 1s i 10<sup>4</sup>s), en les mostres de referència (figura de sota) i *strain* (figura de dalt). La línia de punts correspon a  $\alpha = 1$ , i indica les condicions en que ambdós tipus d'estrès, CHC i NBTI, causen la mateixa degradació (mateix  $\Delta V_T$ ). La regió per sobre de la línia puntejada ( $\alpha > 1$ ) correspon a degradacions per CHC més grans, mentre que la regió per sota de la línia de punts ( $\alpha < 1$ ) indica que la degradació està controlada per NBTI. En aquestes figures, els colors més blavosos indiquen valors baixos de la raó  $\alpha$ , és a dir, domini NBTI, mentre que colors tirant cap al vermell indiquen predomini de la degradació per CHC. Com es pot veure en la Fig. 2.11, la línia de punts corresponent a  $\alpha = 1$  té un pendent superior en el cas de les mostres amb SiGe S/D, tal i com suggereix la Taula 2.4 (on el paràmetre  $K$ , indicatiu de la degradació de  $\Delta V_T$ , és dos ordres de magnitud superior en mostres amb SiGe S/D per estressos CHC). La Fig. 2.11 mostra que la degradació produïda per CHC domina per a tensions elevades i temps d'estrès llargs pels dos tipus de mostres. En el cas de transistors *strain*, la degradació per CHC és més important, doncs pot arribar a controlar la degradació del dispositiu als temps d'operació dels transistors (a partir de 10<sup>4</sup> segons), i a tensions a partir de 2V.



**Fig. 2.11** Paràmetre  $\alpha$ , definit com la raó de la degradació induïda pels estressos CHC i NBTI en les mateixes condicions com a funció de la tensió i el temps d'estrès, per a les mostres *strain* (a dalt) i de referència (a sota). Els colors més blaus indiquen degradació dominada pel NBTI, mentre que els colors més vermells corresponen a una degradació dominada pel CHC. La línia de punts correspon a un  $\alpha = 1$ , és a dir, les condicions en les que la degradació per CHC és igual a la de NBTI.

### 2.3.2 Extrapolació a les condicions d'operació

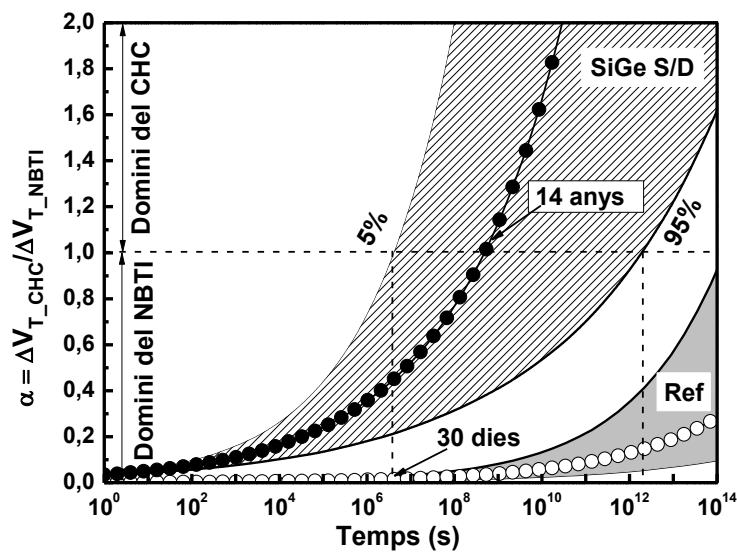
La Fig. 2.11 suggereix el domini de l'estrès NBTI sobre el de CHC per tensions d'estrès baixes i temps curts, però també que l'estrès CHC comença a guanyar importància a valors de temps que poden ser mesurats experimentalment. Així, la qüestió que sorgeix ara és quin és el mecanisme que controlarà la degradació en les condicions d'operació dels dispositius en circuits. Per intentar respondre aquesta qüestió s'ha avaluat les variacions de  $V_T$  en aquestes condicions. Per poder-ho fer, s'ha extrapolat la  $\Delta V_T$  d'aquests dispositius a la tensió d'operació nominal de  $-1.2V$ , utilitzant l'equació (2.5) i els paràmetres de la Taula 2.4, i s'ha fet servir  $\alpha$  com a magnitud indicativa del domini d'un estrès sobre l'altre a diferents temps d'operació. No obstant això, els intervals de confiança dels paràmetres  $K$ ,  $n$  i  $b$  utilitzats per calcular  $\alpha$  poden tenir un efecte important en la extrapolació de les dades, de manera que s'han considerat aquests intervals per l'avaluació del paràmetre  $\alpha$  a les condicions d'operació. Per a això, s'han generat diferents grups de valors dels paràmetres  $K$ ,  $n$  i  $b$  ( $10^4$  per cada tipus de mostra) a partir del càlcul per propagació d'errors [161] i simulacions Monte Carlo (MC), tenint en compte els errors estàndards dels paràmetres de la Taula 2.4. Per a cada nou conjunt de paràmetres generats, s'ha calculat  $\alpha$  per diferents temps a la tensió d'operació ( $-1.2V$ ).

La Fig. 2.12 mostra l'evolució de  $\alpha$  en funció del temps, per a una tensió d'operació de  $V_{op} = -1.2V$ , en transistors *strain* i de referència. Els símbols indiquen el valor de  $\alpha$  calculat quan es consideren els valor mitjos dels paràmetres  $K$ ,  $n$  i  $b$ , mentre que les regions ombrejades corresponen a l'interval de confiança 5% i 95% (línia puntejada  $\alpha=1$ ).

Es pot observar que, pels dispositius de referència, l'estrès NBTI sempre és dominant ( $\alpha < 1$ ) durant la vida d'operació del dispositiu, fins i tot per temps  $>3 \cdot 10^5$  anys, resultat que està d'acord amb les conclusions d'altres treballs [146], i per tant, NBTI sempre serà el principal mecanisme d'envelliment en aquests dispositius.

Pel cas dels dispositius SiGe S/D, en promig, després d'aproximadament 14 anys d'operació, la degradació per CHC pot arribar a ser més gran que la deguda a NBTI. Per tant, durant la vida útil del dispositiu (que habitualment es considera de 10 anys), de mitjana, la variació de la tensió llindar estarà controlada per degradació NBTI.

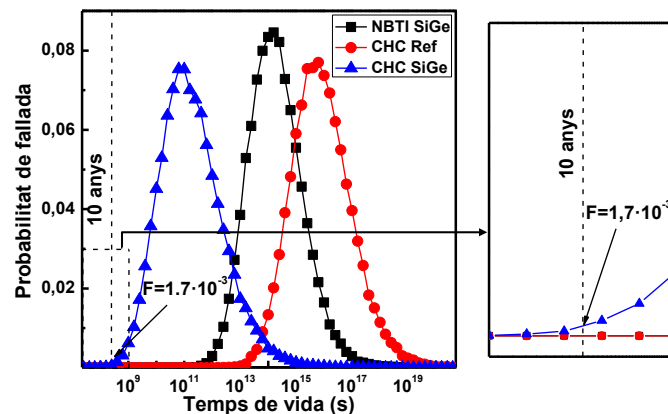
Ara bé, aquestes conclusions poden canviar quan es té en compte els intervals de confiança. No és sorprenent que, en les condicions d'operació, la incertesa de  $\alpha$  sigui molt gran: per exemple, per  $\alpha = 1$  l'interval de confiança de  $3\sigma$  abasta més de sis ordres de magnitud en el temps per les mostres *strain*. Tot i això, encara que el rang d'incertesa és molt gran, la Fig. 2.12 indica que, per les mostres de referència, l'estrès per CHC mai arribarà a ser el mecanisme de fallada dominant durant la vida útil dels dispositius. Per contra, per algunes de les mostres *strain*, la degradació per CHC pot esdevenir més important a temps tan curts com 30 dies, és a dir, els primers dies de la seva vida útil. Val la pena mencionar que, si en comptes d'utilitzar una llei potencial en la dependència temporal s'utilitzés una llei exponencial, s'obtidrien resultats qualitativament equivalents.



**Fig. 2.12** La raó  $\alpha$  en funció del temps d'estrès a les condicions d'operació (-1,2V), avaluat per a les mostres SiGe S/D i les de referència. Els símbols corresponen als seus valors quan es consideren els valors mitjos dels paràmetres de la Taula 2.4 per calcular  $\alpha$ . La regió ombrejada correspon als intervals de confiança de 5% a 95% de  $\alpha$  calculats a partir de simulacions Monte Carlo, considerant els errors estàndards dels paràmetres  $K$ ,  $n$  i  $b$ .

Els resultats anteriors indiquen que, en les condicions d'operació, per mostres sense estressar mecànicament, el mecanisme de fallada dominant és el NBTI, com era d'esperar [106]. Per contra, en mostres *strain*, l'estrès per CHC podria ser més rellevant, podent ser qui controla la degradació del dispositiu. Ara bé, tot i que el coeficient  $\alpha$  permet determinar

el mecanisme de degradació dominant, aquest no dóna informació sobre el temps de vida dels dispositius en les condicions d'operació. Per tant, per avaluar la fiabilitat dels dispositius, s'ha calculat el temps de fallada a les condicions d'operació, prenent com a criteri de fallada una variació de la tensió llindar de 30mV. Novament, per tenir en compte les incerteses de  $K$ ,  $n$  i  $b$  s'han realitzat simulacions Monte Carlo, per avaluar el temps necessari per assolir la variació de 30mV. S'han realitzat  $10^5$  simulacions Monte Carlo per a cada tipus d'estrès i mostra, per obtenir les diferents distribucions de probabilitat de fallada. En la Fig. 2.13 es mostren les distribucions estadístiques de fallada de mostres *strain* estressades per NBTI (quadrats) i CHC (triangles) i mostres de referència estressades per CHC (cercles). Segons aquesta figura, per estressos NBTI, els temps de vida són sempre superiors a 10 anys, de manera que compleixen amb els criteris de fiabilitat. No obstant això, segons la Fig. 2.13, alguns transistors SiGe S/D sotmesos a estrès CHC poden tenir un temps de vida inferior als 10 anys, podent ser la probabilitat de fallada per aquest temps de  $F = 1.7 \cdot 10^{-3}$ . Així doncs, una petita porció d'aquests dispositius podrien fallar durant la seva operació en el CI. Per tant, es pot concloure que, quan s'utilitzen dispositius amb canal estressat mecànicament, s'ha de tenir cura en mantenir la fiabilitat d'aquests dispositius relacionada amb la degradació per CHC.



**Fig. 2.13** Probabilitats de fallada a les condicions d'operació per estressos CHC i NBTI calculades a partir de simulacions Monte Carlo, considerant la incertesa dels paràmetres  $K$ ,  $n$  i  $b$ . Els dispositius comprimits sotmesos a estressos CHC mostren una fiabilitat menor, en comparació amb la de les mostres de referència i amb estressos NBTI.

Com a resum del capítol, s'ha analitzat la degradació de mostres SiGe S/D i de referència estressades per NBTI i CHC. S'ha determinat la dependència de la variació de la tensió llindar en funció del temps d'estrès, la longitud de canal, el tipus de mostra (*strain* o de referència) i la tensió d'estrès. La degradació per NBTI no depèn ni de la longitud de canal ni de la compressió del canal. Mentre que, per estressos CHC, els dispositius de canal curt experimenten una degradació superior. La degradació per CHC és més important en el cas de dispositius SiGe S/D que en el cas dels de referència, possiblement per l'augment de la ionització per impacte provocada per l'augment de la mobilitat dels portadors al canal.

Per una altra banda, tot i sent més elevada la degradació inicial en el cas d'estressos NBTI, la velocitat de degradació i el factor d'acceleració són més grans pels estressos CHC, tant en mostres *strain* com en les de referència, de manera que apareix la possibilitat de

que la variació de la tensió llindar arriba a ser superior en estressos CHC. La extrapolació dels resultats a altres condicions d'operació suggereixen que, a les condicions d'operació, en els dispositius de referència, el NBTI és el mecanisme de degradació dominant, mentre que pels transistors *strain*, la degradació pot arribar a ser controlada pel CHC. Ara bé, tot i que la seva probabilitat de fallada és més gran pel cas d'estressos CHC, la gran majoria dels dispositius *strain* compleixen els criteris de fiabilitat.





### 3 Variabilitat dependent del temps per estressos NBTI i Channel Hot-Carrier

Com s'ha explicat en el capítol anterior, la compressió del canal en transistors pMOS mitjançant la introducció de Germani en la font i drenador provoca un augment en la mobilitat dels portadors al canal que, com a conseqüència, comporta una millora en les prestacions dels transistors [19]. Ara bé, tot i aquesta millora en les prestacions, s'ha pogut veure que mecanismes de fallada associats a la ionització per impacte en el canal, com és el cas de la degradació per CHC, augmenten en importància, podent arribar, en el cas extrem, a la fallada prematura dels dispositius.

Per una altra banda, amb el continu escalat dels transistors, ha començat a guanyar importància la variabilitat dels dispositius, essent un paràmetre més a tenir en compte per definir les característiques elèctriques d'una tecnologia. Però a més, com s'ha vist, aquesta variabilitat pot dependre del temps (*Time-Dependent Variability*, TDV) [162].

Com a continuació del capítol anterior, en aquest s'ha estudiat la variabilitat a temps zero en les característiques elèctriques de transistors SiGe S/D i s'ha comparat amb la dels de referència, per determinar si la introducció de Ge modifica la variabilitat en els dispositius. Addicionalment, s'analitzarà la degradació, per avaluar la variabilitat dependent dels temps (TDV) [58, 162]. Com en el capítol anterior, es sotmetran mostres SiGe S/D i de referència a estressos NBTI i CHC. Habitualment només s'analitza els efectes de la degradació en la tensió llindar, però sembla que durant estressos CHC també es pot modificar la mobilitat. Per aquest motiu en aquest capítol també s'inclou l'anàlisi de la variació de la mobilitat en l'estudi de la variabilitat dependent del temps de dispositius pMOS *strain* i de referència. Per analitzar la degradació dels transistors, s'ha mesurat l'evolució de la tensió llindar i el canvi relatiu de la mobilitat en funció del temps d'estrès.

Com a conseqüència de les modificacions de la tensió lliandar i la mobilitat degut als stressos, hi ha un canvi en el comportament elèctric dels dispositius, i, per tant, també es veuran modificades les prestacions dels circuits. Per estudiar aquesta modificació de les prestacions circuitals, que per la variabilitat està distribuïda estadísticament, en aquest treball s'ha utilitzat una tècnica de simulació que combina simulacions Monte Carlo i SPICE, en la que, per tenir en compte la degradació dels dispositius, s'introduiran la variabilitat i degradació de  $V_T$  i  $\mu$  trobades experimentalment. Amb aquesta tècnica i, a mode d'exemple, s'ha analitzat els efectes de la variabilitat i la degradació dels dispositius en les prestacions d'un inversor CMOS.

### 3.1 Mostres i procediment experimental

Les mostres analitzades tenen les mateixes característiques que les emprades en el capítol anterior, és a dir, s'han estudiat transistors pMOSFET amb porta FUSI i un dielèctric compost de HfSiON i SiO<sub>2</sub>, amb un EOT de 1.4nm (Fig. 2.1). L'àrea dels transistors ha estat de 1x1µm<sup>2</sup> en tots els casos. A l'igual que en el capítol 2, s'han considerat mostres de referència i mostres SiGe S/D.

Per tal d'estudiar la variabilitat dels paràmetres elèctrics que descriuen el comportament dels dispositius, s'ha mesurat un nombre suficientment elevat de transistors nominalment idèntics, de diferents daus dins la mateixa oblea (variabilitat *inter-dau*), per tal de poder fer una estadística dels paràmetres prou fiable. Seria més rellevant analitzar la variabilitat en dispositius idèntics dins el mateix xip (variabilitat *intra-dau*), però degut al disseny de l'oblea utilitzada, la quantitat de dispositius idèntics dins el mateix xip és insuficient per fer una estadística fiable. Així doncs, s'han mesurat 20 dispositius idèntics de diferents daus dins la mateixa oblea per a cada tipus d'estrès (NBTI i CHC) i per a cada tipus de mostra (*strain* i referència). En total 80 dispositius.

A l'igual que en el capítol anterior, s'ha emprat una seqüència MSM (*Measure-Stress-Measure*) per a l'estrès i posterior caracterització. Degut a la quantitat elevada de mesures que s'han de fer, s'ha optat per automatitzar el test, per tal d'optimitzar el temps total dels experiments.

El sistema de mesura (Fig. 3.1) consta de la taula de puntes, on el *chuck* és la base on es col·loca l'oblea, el moviment del qual (necessari per canviar de dau) es pot controlar des d'un ordinador. A la taula se li connecta la instrumentació encarregada d'aplicar l'estrès i mesurar les característiques elèctriques dels dispositius (analitzador de paràmetres de semiconductors *keithley 4200-SCS*). El *keithley 4200-SCS* també està connectat a l'ordinador, al que li envia l'ordre per a que aquest mogui el *chuck*.

A continuació es descriurà amb més detall la programació dels diferents elements per tal d'automatitzar els tests. Primerament s'explicarà la seqüència MSM aplicada als transistors per cada tipus d'estrès. Tot seguit es parlarà de l'automatització de les seqüències MSM per aconseguir mesurar totes les mostres de forma automàtica.

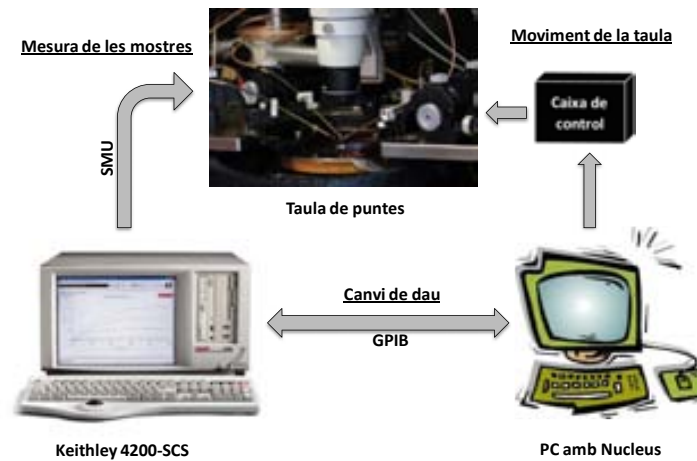


Fig. 3.1 Esquema de comunicació entre l'instrument de mesura i l'ordinador que controla el *chuck*.

### 3.1.1 Seqüències d'estrès

De la mateixa forma que en el capítol anterior, s'ha emprat una seqüència MSM (*Measure-Stress-Measure*), per induir i caracteritzar la degradació en els dispositius tant per estressos NBTI com CHC. Inicialment es caracteritzen les mostres fresques (sense estressar) per tal d'extreure els valors dels paràmetres elèctrics dels transistors. La tensió llindar s'extreu de la mateixa forma que en el capítol anterior (Fig. 2.3), mitjançant la corba  $I_D-V_{GS}$  i utilitzant com a criteri la tensió de porta a la que circula un corrent de  $0.5\mu A$  quan  $V_{DS} = -50mV$ . Per a aplicar un estrès NBTI, s'han connectat font, drenador i substrat a terra, mentre a la porta se li ha aplicat la tensió d'estrès. En el cas d'estressos CHC, per provocar la màxima degradació en els pMOS, s'han connectat drenador i porta a la tensió d'estrès mentre font i substrat es connecten a terra [129].

La tensió d'estrès utilitzada per ambdós tipus d'estressos ha estat de  $-2.8V$ , i s'ha aplicat durant un temps d'estrès total de 1000 segons, sempre a temperatura ambient. En el cas dels estressos NBTI, es monitoritza també l'etapa de relaxació, per tal de mesurar la variació de la tensió llindar en aquesta etapa, durant un temps de relaxació de 130 segons, aplicant una tensió a la porta de  $-0.5V$ , i una tensió al drenador de  $-50mV$ . Durant aquesta etapa es mesura l'evolució del corrent de drenador i a partir de l'equació (2.1), es calcula l'evolució de  $\Delta V_T$ . En el cas d'estressos CHC, com la recuperació és menyspreable [163], les variacions de la tensió llindar es calculen a partir de les corbes  $I_D-V_{GS}$ .

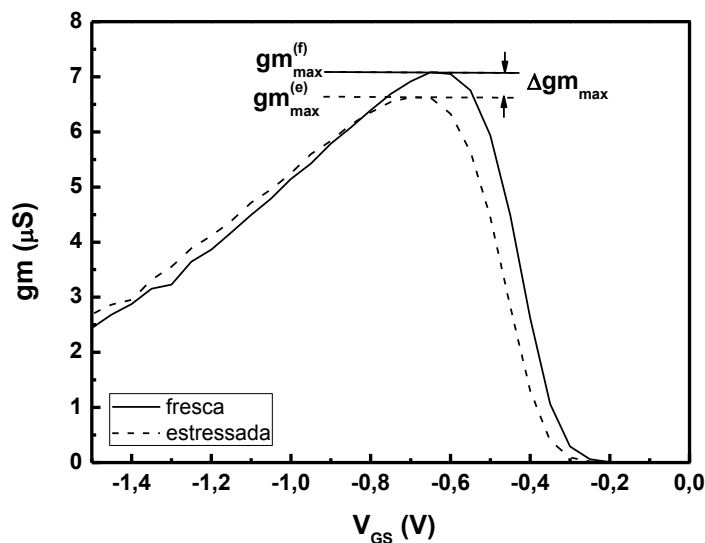
L'objectiu de les caracteritzacions és avaluar els canvis en la tensió llindar i la mobilitat,  $\Delta V_T$  i  $\Delta\mu$ , degut a l'estrès. Ara bé, les variacions de la mobilitat no es poden extreure directament de les corbes obtingudes, com en el cas de la tensió llindar. En aquest cas, es determina el canvi relatiu de la mobilitat, que es pot obtenir a partir de la transconductància ( $gm$ ) que es defineix com (3.1):

$$gm = \frac{\partial I_D}{\partial V_{GS}} \quad (3.1)$$

És a dir, a partir de la corba típica  $I_D-V_{GS}$  es pot obtenir la corba  $gm-V_{GS}$  (Fig. 3.2). Com es pot veure, aquesta té un màxim ( $gm_{max}$ ) que depèn, entre d'altres paràmetres, de la

mobilitat. Després d'aplicar a la mostra un estrès, la corba  $gm$ - $V_{GS}$  es modifica (línia discontinua) observant-se que el pic de la transconductància es desplaça cap a valors de tensions de porta més elevades (en valor absolut), degut al desplaçament de  $V_T$ , i cap a valors de  $gm$  més petits, degut a la degradació de la mobilitat. Calculant el desplaçament vertical que experimenta  $gm_{max}$  es pot avaluar la variació relativa del canvi de la mobilitat (3.2).

$$\Delta gm_{max} \propto \frac{\Delta \mu}{\mu_0} = \Delta \mu_r \quad (3.2)$$



**Fig. 3.2** Corba  $gm$ - $V_{GS}$  mesurada en un dispositiu fresc (línia contínua) i després d'estressar (línia discontinua). A partir del desplaçament vertical del pic de la transconductància es pot calcular el canvi relatiu de la mobilitat.

### 3.1.2 Automatització del sistema de mesura

Com s'ha comentat anteriorment, s'ha estudiat la variació de diferents paràmetres dels transistors per la degradació de les mostres en un número considerable de dispositius, per estudiar també la seva variabilitat. Per això, la seqüència MSM s'ha de replicar en tots els dispositius localitzats al llarg de la superfície de l'oblea, cosa que comporta un temps de test elevat. Per aquest motiu s'ha optat per introduir un pas addicional en la seqüència MSM (Fig. 3.3) per tal de canviar de mostra automàticament un cop finalitzada la seqüència en un dels DUTs (*Device Under Test*). El moviment que cal controlar és el del *chuck* (on reposa l'oblea), el qual s'ha de moure una distància tal que les puntes contactin en els terminals del següent dispositiu a analitzar.

El software que s'ha fet servir per controlar el moviment del *chuck* de la taula de puntes ha estat un d'específic proporcionat pel fabricant de la taula de puntes anomenat *Nucleus*, que permet controlar de forma remota els moviments del *chuck* des d'un ordinador [164]. Per fer les mesures automàticament, però, també és necessari comunicar l'instrument de caracterització (*keithley 4200-SCS*) amb l'ordinador que controla el *chuck* a

través d'un port GPIB (Fig. 3.1), per definir els moviments que haurà de fer el *chuck* per canviar del transistor d'un dau al transistor equivalent del dau veí.

Prèviament però, es col·loca l'oblea en el *chuck*, s'alinea i es defineix l'àrea dels daus, per tal que els desplaçaments siguin els correctes. A continuació es defineix el transistor en el que es vol fer l'experiment en el dau de referència, que serà aquell que defineix l'origen de coordenades (0,0), de tal manera que tot desplaçament que ordeni el software es calcularà a partir d'aquell punt. Finalment es seleccionen els daus en els que es vol mesurar. Totes aquestes opcions i més, estan explicades més detalladament en el manual d'usuari del *Nucleus* i en l'opció *Ajuda* [164].

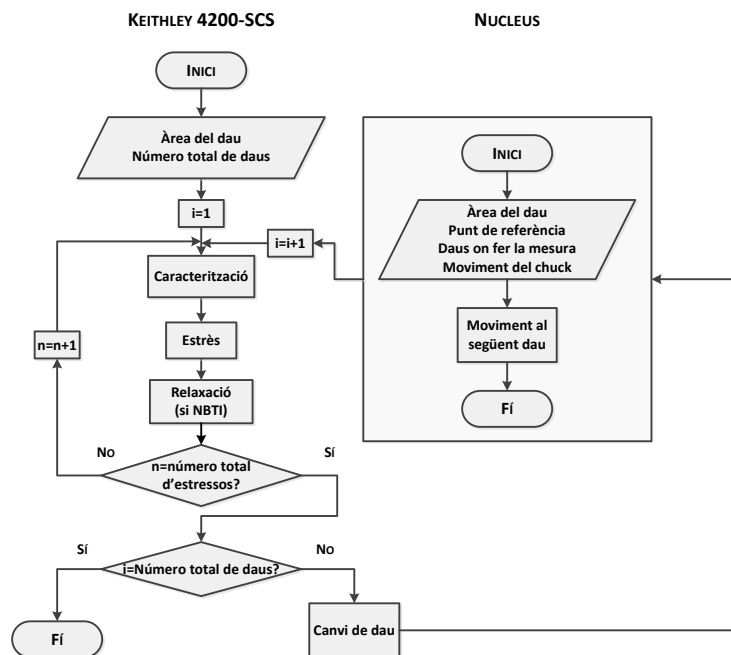


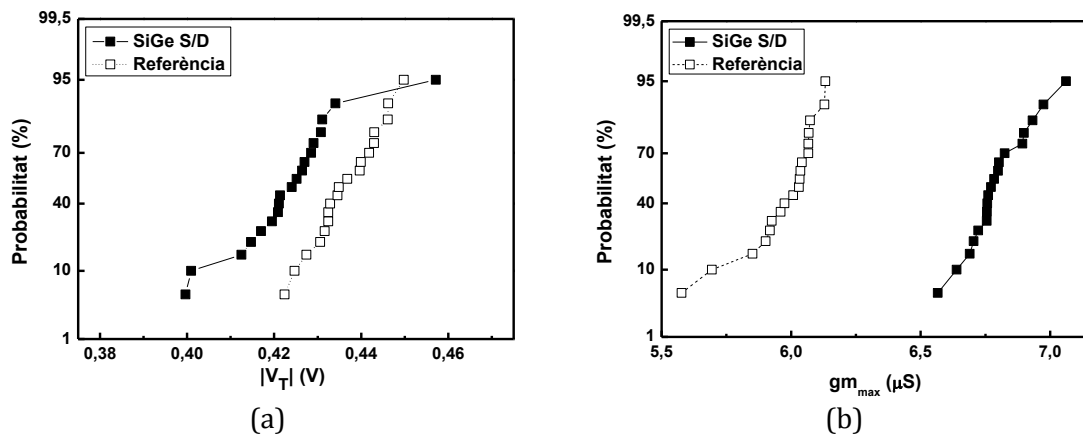
Fig. 3.3 Esquema del mètode de mesura utilitzat per analitzar múltiples mostres d'una mateixa oblea de forma automàtica.

Finalment cal crear la seqüència de mesura que executarà l'analitzador de paràmetres semiconductors. Per això, primerament es defineix el nombre de vegades (daus) que es voldrà repetir l'anàlisi. Tot seguit es crea la MSM desitjada (Fig. 3.3 esquerra). Finalment, després de la MSM, es dona l'ordre de canviar de dau. Just en aquell moment es mourà el *chuck* fins al següent dau i començarà de nou la MSM definida. Aquest procés es repetirà tantes vegades com el nombre de daus que s'hagi definit.

### 3.2 Caracterització de la variabilitat a temps zero

En primer lloc, s'ha analitzat la variabilitat associada al procés de fabricació, és a dir, la variabilitat a temps zero de  $V_T$  i  $\mu$ , a partir de la caracterització inicial de les mostres, i s'ha comparat pels transistors de referència i SiGe S/D. Per fer-ho, s'han obtingut les distribucions estadístiques de la tensió llindar i el pic de la transconductància (ja que la  $\mu$

no es pot extreure en els dispositius sense estressar a partir d'aquestes mesures, 3.1.1) de les mostres fresques (abans de cap estrès elèctric), per mostres *strain* i de referència. La Fig. 3.4 mostra les distribucions estadístiques de  $V_T$  (Fig. 3.4a) i  $g_{m_{max}}$  (Fig. 3.4b) de 20 mostres (sense estressar) SiGe S/D (símbols tancats) i 20 més de referència (símbols oberts). Les distribucions estadístiques indiquen que el valor mig de la tensió llindar pren valors semblants per ambdós tipus de mostres (Taula 3.1). Ara bé, el valor mig del pic de la transconductància és més gran en mostres *strain* (Taula 3.1), tal com és d'esperar, degut a l'augment de la mobilitat en les mostres amb estrès mecànic en el canal. Per una altra banda, si es comparen les dispersions, es pot observar que són similars en mostres SiGe S/D i en les de referència, per a  $V_T$  i  $g_{m_{max}}$  (Taula 3.1), ja que les corbes es mantenen paral·leles entre elles. Per tant, la introducció de Ge no modifica la variabilitat de  $V_T$  i  $g_{m_{max}}$  dels dispositius a temps d'estrès zero.



**Fig. 3.4** Distribucions estadístiques de la tensió llindar (a) i el pic de la transconductància (b) dels dispositius frescos, en el cas de transistors SiGe S/D (símbols tancats) i de referència (símbols oberts).

	$V_T \pm \sigma(V_T)$ (V)	$g_{m_{max}} \pm \sigma(g_{m_{max}})$ ( $\mu S$ )
<b>Referència</b>	$0.437 \pm 0.009$	$5.99 \pm 0.15$
<b>SiGe S/D</b>	$0.425 \pm 0.014$	$6.82 \pm 0.15$

**Taula 3.1** Valors mitjos i desviacions estàndards de la tensió llindar i el pic de la transconductància per mostres fresques de referència i SiGe S/D, extrets de les distribucions de la Fig. 3.4.

### 3.3 Variabilitat dependent del temps de la tensió llindar i la mobilitat en mostres SiGe S/D i de referència

Després d'avaluar la variabilitat a temps d'estrès zero (procés de fabricació), a continuació s'avalua la variabilitat dependent del temps, i. e., la variació del valor mig i la desviació estàndard amb el temps, introduïda pels estressos NBTI i CHC. En particular, es determinaran els valors mitjos i les desviacions estàndards de  $\Delta V_T$  i  $\Delta \mu_r$  en funció dels temps d'estrès, en ambdós tipus de mostres (SiGe S/D i de referència). A partir dels resultats obtinguts es formularan lleis empíriques que descriu l'evolució dels valors mitjos i la dispersió de  $\Delta V_T$  i  $\Delta \mu_r$ , que seran introduïdes posteriorment en un simulador de circuits, per poder descriure els efectes de la TDV (*Time-dependent Variability*) en el funcionament d'un circuit electrònic.

### 3.3.1 Estressos NBTI

En aquesta secció s'analitza l'evolució de la tensió llindar i la mobilitat relativa, així com les seves variabilitats, quan s'aplica un estrès NBTI a mostres *strain* i de referència. Per això, s'han representat les distribucions estadístiques de  $V_T$ , de les variacions de la tensió llindar ( $\Delta V_T$ ) i el canvi relatiu de la mobilitat ( $\Delta \mu_r$ ) en funció del temps d'estrès, obtingudes a partir dels diferents transistors dins la mateixa oblea. En la Fig. 3.5 s'ha representat la distribució estadística de  $|V_T|$  de la mostra fresca ( $t_{\text{estrès}}=0\text{s}$ ) i després de 100, 500 i 1000 segons d'estrès, per mostres SiGe S/D (símbols tancats) i de referència (símbols oberts). Com es pot veure en la figura, si es comparen les tensions llindars inicials per als dos tipus de mostres, aquestes tenen un desplaçament degut a la degradació, que en promig, és el mateix per a mostres SiGe S/D i de referència. En la Taula 3.2 es veu millor aquest fet, on es mostren els valors mitjos i les desviacions estàndards de  $|V_T|$  per als diferents temps d'estrès i els dos tipus de mostres. Si es comparen els valors mitjos entre els dos tipus de mostres (SiGe S/D i de referència) es veu una diferència de tensions aproximadament de 40mV. Però si es compara el desplaçament degut a la degradació es veu que el desplaçament és gairebé el mateix per ambdós tipus de mostres. També es pot veure com les desviacions estàndards no varien gaire amb el temps d'estrès, fet indicatiu de que la dispersió de  $V_T$  és deu principalment als processos de fabricació.

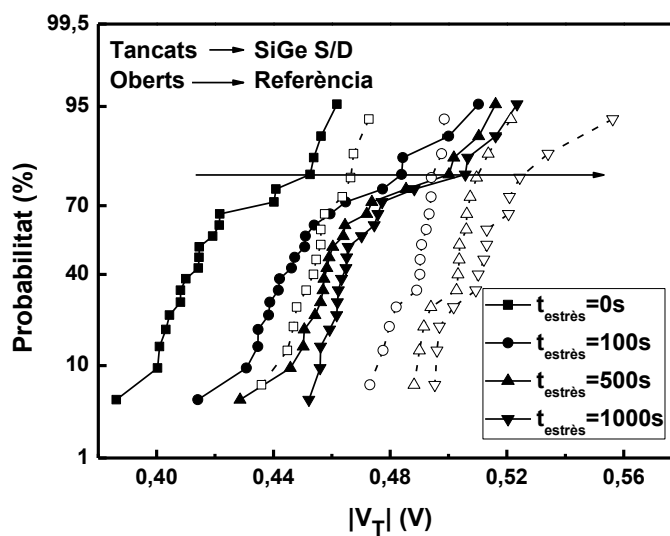
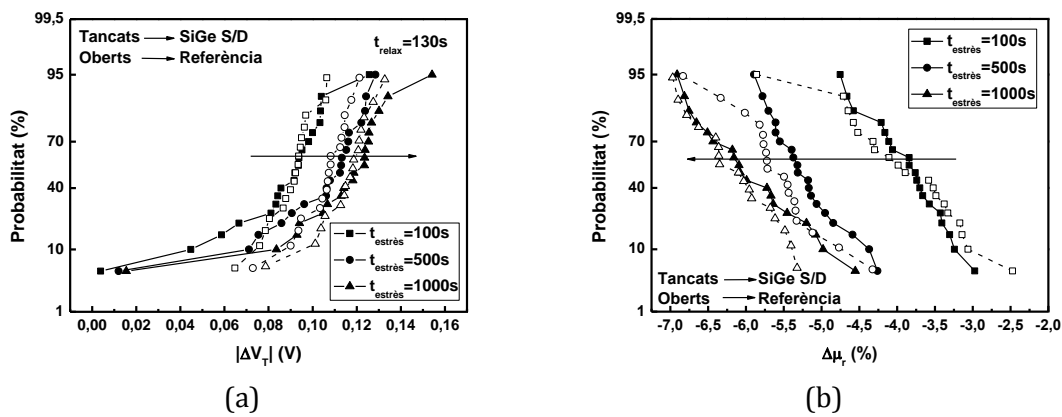


Fig. 3.5 Distribucions estadístiques de la tensió llindar  $V_T$  per a les mostres fresques ( $t_{\text{estrès}}=0\text{s}$ ) i a 100, 500 i 1000 segons de temps d'estrès NBTI, obtingudes per 20 mostres SiGe S/D (símbols tancats) i 20 mostres de referència (símbols oberts).

Temps d'estrès (s)	$ V_T $ SiGe S/D (V)	$ V_T $ Referència (V)
0	$0.425 \pm 0.026$	$0.460 \pm 0.019$
100	$0.458 \pm 0.027$	$0.492 \pm 0.016$
500	$0.471 \pm 0.025$	$0.506 \pm 0.015$
1000	$0.478 \pm 0.024$	$0.521 \pm 0.030$

Taula 3.2 Valors mitjos i les desviacions de  $V_T$  per mostres SiGe S/D i de referència, per a diferents temps d'estrès.

En la Fig. 3.6a es mostra les distribucions estadístiques de  $\Delta V_T$  després de 100, 500 i 1000 segons d'estrès per mostres SiGe S/D (símbols tancats) i de referència (símbols oberts), mesurades després d'un temps de relaxació de 130 segons. Com es pot observar, degut a l'estrès NBTI, el valor mig de  $\Delta V_T$  augmenta (en valor absolut) però, en canvi, la dispersió sembla no augmentar amb el temps d'estrès, ja que totes les corbes es mantenen gairebé paral·leles. En la Fig. 3.6b es mostra la distribució estadística del canvi relatiu de la mobilitat en les mateixes mostres, SiGe S/D (símbols tancats) i de referència (símbols oberts). Com es pot veure, a mesura que s'estressa la mostra el valor mig de la mobilitat disminueix, tot i que, de la mateixa manera que per  $\Delta V_T$ , la dispersió de la mobilitat tampoc augmenta amb el temps d'estrès.



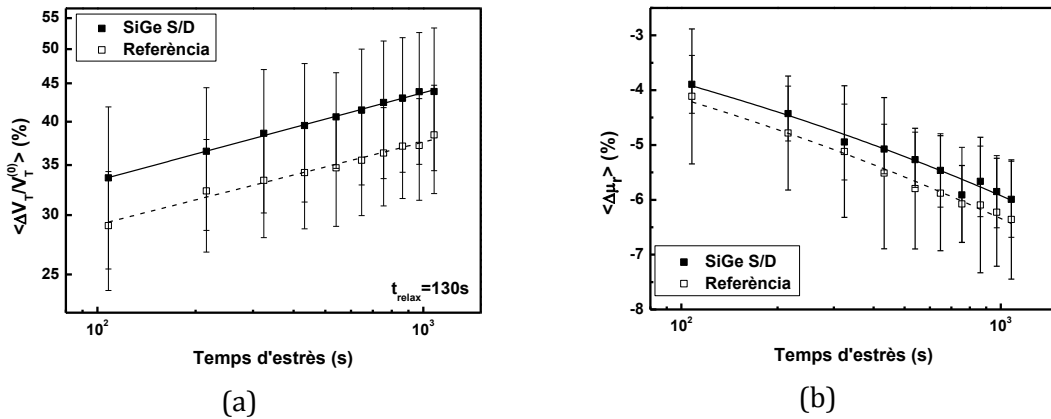
**Fig. 3.6** Distribucions estadístiques de la variació de la tensió llindar  $\Delta V_T$  (a) i el canvi relatiu de la mobilitat  $\Delta\mu_r$  (b), per a diferents temps d'estrès NBTI, obtingudes a partir de 20 mostres SiGe S/D (símbols tancats) i 20 mostres de referència (símbols oberts).

Si es comparen les distribucions corresponents a les mostres SiGe S/D i les de referència, es pot observar que són molt semblants per ambdós tipus de mostres, i a tots els temps d'estrès. Això està d'acord amb els resultats mostrats en el capítol 2, on es va concloure que l'estrès mecànic del canal no afecta a la degradació del transistor degut a NBTI, en promig. A més, la Fig. 3.6 també demostra que el NBTI tampoc afecta a la variabilitat, ja que el pendent no varia amb l'estrès.

S'ha fet un estudi més exhaustiu de l'evolució del canvi de  $\Delta V_T$  i  $\Delta\mu_r$  amb el temps d'estrès. Per poder comparar les magnituds de les variacions de  $V_T$  i  $\mu_r$ , s'ha calculat la variació relativa de  $\Delta V_T$ ,  $\Delta V_T/V_T^{(0)}$ . En la Fig. 3.7 es representa els valors mitjos de  $\Delta V_T/V_T^{(0)}$  i  $\Delta\mu_r$  (símbols) en funció del temps. Les barres d'error indiquen la desviació estàndard, per un nivell de confiança del 68%. Les línies contínues corresponen als ajustos de les mitjanes de  $\Delta V_T/V_T^{(0)}$  i  $\Delta\mu_r$  a una llei potencial [86] de la forma (3.3), on  $a$  i  $b$  són constants i  $y$  representa  $\Delta V_T/V_T^{(0)}$  o  $\Delta\mu_r$ .

$$y = a \cdot t_{\text{estrès}}^b \quad (3.3)$$





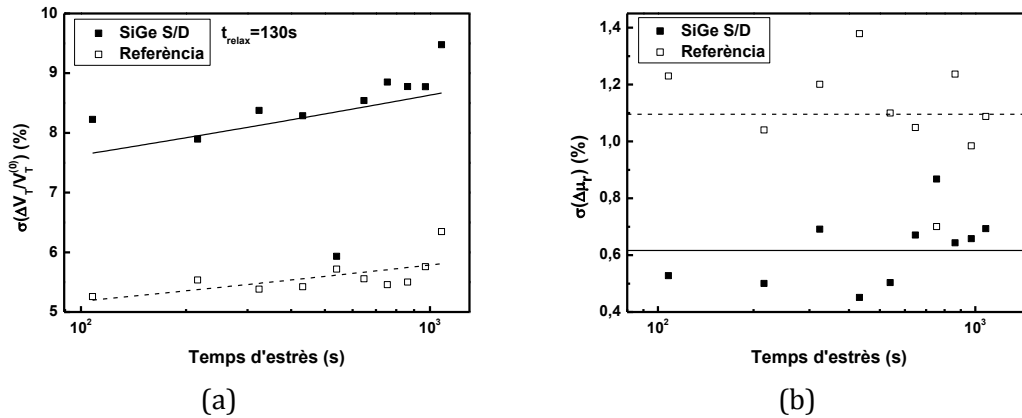
**Fig. 3.7** Evolució temporal del valor mig de la variació relativa de la tensió llindar  $\Delta V_T/V_T^{(0)}$  (a) i de la mobilitat relativa  $\Delta \mu_r$  (b) per a mostres SiGe S/D (símbols tancats) i de referència (símbols oberts). Les línies contínues són els ajustos dels valors mitjos a una llei potencial (3.3). Les barres indiquen la desviació estàndard en dispositius de SiGe S/D i de referència.

	$ \langle \Delta V_T / V_T^{(0)} \rangle $ (%)		$\langle \Delta \mu_r \rangle$ (%)	
	<i>a</i>	<i>b</i>	<i>a</i>	<i>b</i>
<b>SiGe S/D</b>	$19.4 \pm 0.3$	$0.117 \pm 0.002$	$-1.65 \pm 0.09$	$0.185 \pm 0.009$
<b>Referència</b>	$17.5 \pm 0.6$	$0.110 \pm 0.005$	$-1.78 \pm 0.09$	$0.184 \pm 0.008$

**Taula 3.3** Valors dels paràmetres *a* i *b* de l'equació (3.3) extrets a partir dels ajustos als valors mitjos de les dades experimentals de  $\Delta V_T/V_T^{(0)}$  i  $\Delta \mu_r$ , per NBTI.

En la Taula 3.3 es mostren els valors dels paràmetres *a* i *b* extrets dels ajustos de les corbes en la Fig. 3.7 a l'equació (3.3). Com es pot observar, per ambdós tipus de mostres, *a* i *b* prenen valors similars (d'acord amb el capítol 2 pel que fa a  $V_T$ ), amb evolucions temporals similars. Per altra banda, la Fig. 3.7 mostra que no només es modifica  $V_T$  per l'estrès NBTI, sinó que la mobilitat també es veu modificada per aquest estrès, essent aquesta variació aparentment independent de l'estrès mecànic del canal. A més a més, es pot observar que les variacions relatives en la tensió llindar degut al NBTI són molt superiors a les trobades per la mobilitat. Això estaria d'acord amb altres treballs en els que es considera que la degradació de la mobilitat és menyspreable en comparació a la de la tensió llindar [113].

Les desviacions estàndards però, són diferents per les mostres *strain* i les de referència. Això es pot observar millor a la Fig. 3.8, en la que es representa l'evolució de les desviacions estàndards de  $\Delta V_T/V_T^{(0)}$  i  $\Delta \mu_r$  amb el temps d'estrès, per mostres de referència i SiGe S/D. Cal notar que en el cas de  $\Delta V_T/V_T^{(0)}$  (a), la desviació estàndard és superior en mostres SiGe S/D que les de referència, mentre que en el cas de  $\Delta \mu_r$  (b), s'observa el cas contrari, és a dir, la desviació estàndard és superior en el cas de mostres de referència. Les línies corresponen als valors mitjos de les dispersions, mostrant que aquestes es mantenen constants amb el temps d'estrès en el cas de la mobilitat, però en depenen lleugerament en el cas de la tensió llindar. Ara bé, les variacions totals de les desviacions estàndards de  $\Delta V_T/V_T^{(0)}$  són d'un 1% en el cas de les mostres SiGe S/D i un 0.6% en les mostres de referència. Així, amb valors tan petits, es pot menysprear la dependència de la desviació estàndard de la variació relativa de la tensió llindar amb el temps d'estrès.

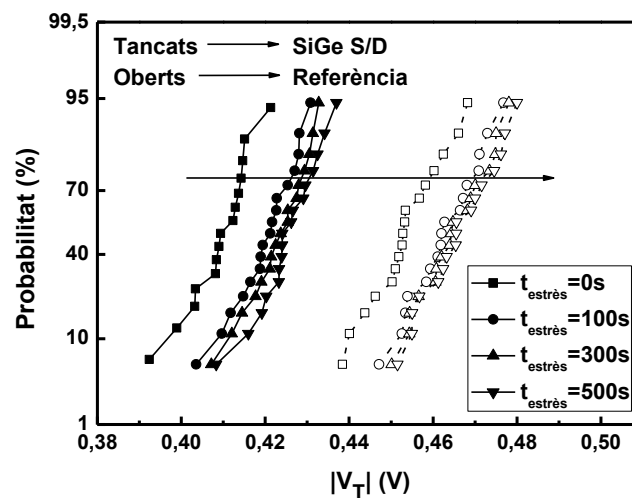


**Fig. 3.8** Evolució temporal de la desviació estàndard de la variació relativa de la tensió llindar (a) i el canvi relatiu de la mobilitat (b), per a transistors SiGe S/D (símbols tancats) i de referència (símbols oberts). Les línies discontinües representen els valors mitjans de les desviacions.

### 3.3.2 Estressos CHC

Com s'ha vist en el capítol 2, amb l'estrès mecànic del canal, s'aconsegueix un increment de la mobilitat dels portadors al canal, el que millora les prestacions dels transistors, però, també augmenta la degradació per *Channel Hot-Carrier* (CHC), la qual pot arribar a ser crítica en la fiabilitat d'aquests dispositius. En aquesta secció, amb un procediment anàleg al seguit en la secció 3.3.1, s'analitzarà la variabilitat dependent del temps en transistors pMOSFETs SiGe S/D i de referència sotmesos a estressos CHC.

Igual que pel cas d'estressos NBTI (*secció 3.3.1*), s'analitzen 20 mostres SiGe S/D i 20 més de referència, sotmeses a estressos CHC, en les que s'extreuen els paràmetres  $V_T$ ,  $\Delta V_T$  i  $\Delta\mu_r$ , indicatius de la degradació. En la Fig. 3.9 es mostren les distribucions estadístiques de  $|V_T|$  per dispositius *strain* (símbols tancats) i de referència (símbols oberts), per a les mostres fresques ( $t_{estrès} = 0s$ ) i després de 100, 300 i 500 segons d'estrès.



**Fig. 3.9** Distribucions estadístiques de la tensió llindar  $V_T$  per a les mostres fresques ( $t_{estrès} = 0s$ ) i a 100, 300 i 500 segons de temps d'estrès CHC, obtingudes per 20 mostres SiGe S/D (símbols tancats) i 20 mostres de referència (símbols oberts).

A partir de la figura i dels valors mitjans i les desviacions estàndards de  $|V_T|$  mostrats en la Taula 3.4, es pot veure que hi ha un desplaçament de la tensió llindar entre el tipus de mostres, degut a la introducció de Ge, i un altre desplaçament degut a l'estrès, que apareix en els dos tipus de mostres. Els valors mostrats en la taula indiquen que les desviacions estàndards no varien amb el temps d'estrès, per tant, la dispersió de  $|V_T|$  es deu principalment als processos de fabricació.

Temps d'estrès (s)	$ V_T $ SiGe S/D (V)	$ V_T $ Referència (V)
0	0.410±0.008	0.455±0.010
100	0.421±0.008	0.464±0.010
300	0.424±0.007	0.466±0.010
500	0.427±0.009	0.467±0.010

Taula 3.4 Valors mitjans i les desviacions estàndards de  $|V_T|$  per mostres SiGe S/D i de referència, a diferents temps d'estrès.

En la Fig. 3.10 es mostren les distribucions estadístiques de la variació de la tensió llindar (Fig. 3.10a) i el canvi relatiu de la mobilitat (Fig. 3.10b) per a transistors *strain* (símbols tancats) i de referència (símbols oberts), a diferents temps d'estrès. En el cas de  $\Delta V_T$ , a mesura que augmenta el temps d'estrès, el valor mig de  $\Delta V_T$  es desplaça cap a valors més grans (en valor absolut), com a conseqüència de la degradació per CHC, sent més gran la degradació en mostres SiGe S/D. Per una altra banda, es pot veure que, tot i que la variabilitat a temps zero és similar en mostres *strain* i de referència (Fig. 3.4), en el cas de  $\Delta V_T$ , les dispersions són menors en el cas de mostres amb SiGe S/D. En el cas de la mobilitat (Fig. 3.10b), la degradació és molt semblant en mostres *strain* i de referència, tot i que en altres treballs s'ha vist que aquesta degradació és superior en mostres *strain* [145]. El fet de trobar tan poca degradació en estressos CHC de  $\Delta V_T$  i  $\Delta \mu_r$  pot ser degut a que els transistors analitzats són de canal llarg i per tant la degradació a la tensió utilitzada és molt petita (veure secció 2.2.1). Per altra banda, la dispersió en  $\Delta \mu_r$  sembla que es manté pràcticament constant amb el temps d'estrès.

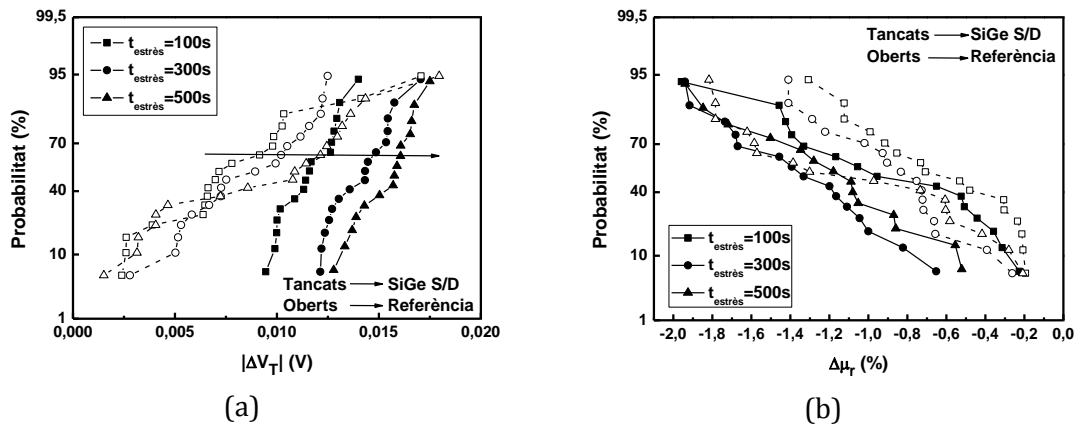
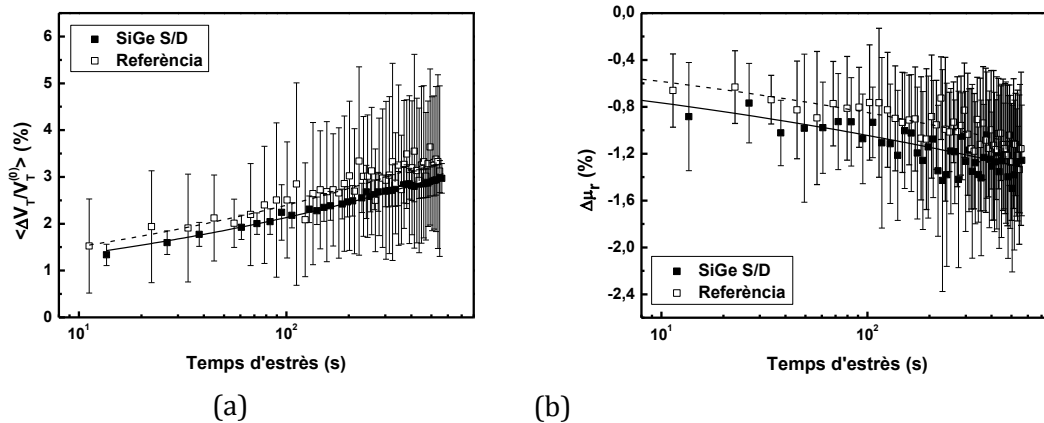


Fig. 3.10 Distribucions estadístiques de  $\Delta V_T$  (a) i  $\Delta \mu_r$  (b) per a diferents temps d'estrès CHC acumulats, per a 20 mostres SiGe S/D (símbols tancats) i 20 més de referència (símbols oberts).

Tal i com s'ha fet en el cas de NBTI, s'ha analitzat més acuradament l'evolució dels valors mitjos en funció del temps d'estrès de la variació relativa de la tensió llindar (Fig. 3.11a) i de la mobilitat (Fig. 3.11b), i les seves desviacions estàndards (Fig. 3.12). Com es pot observar, a mesura que augmenta l'estrès acumulat, la variació relativa de la tensió llindar augmenta (en valor absolut) mentre que la de la mobilitat disminueix. La variació dels paràmetres tenen una dependència temporal que es pot ajustar a una llei potencial com la de l'equació (3.3). La Taula 3.5 mostra els valors dels paràmetres  $a$  i  $b$  extrets dels ajustos dels valors mitjos de  $\Delta V_T/V_T^{(0)}$  i  $\Delta\mu_r$  de la Fig. 3.11 a la llei (3.3). Com es pot veure, el paràmetre  $b$  per  $\Delta V_T$  pren valors inferiors als trobats normalment (0.4-0.5) [154, 155].



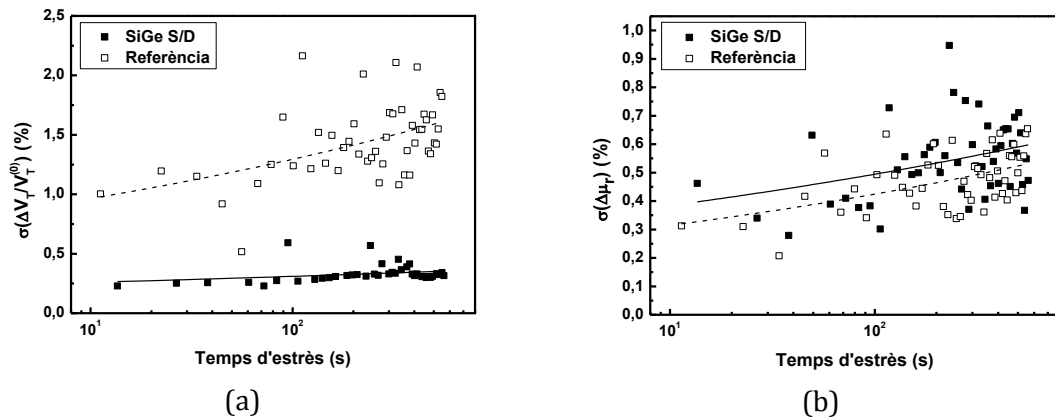
**Fig. 3.11** Evolució dels valors mitjos de  $\Delta V_T/V_T^{(0)}$  (a) i del canvi relatiu de la mobilitat  $\Delta\mu_r$  (b) per a mostres SiGe S/D (símbols tancats) i de referència (símbols oberts) en funció del temps d'estrès per estressos CHC. Les línies contínues i discontinües són els ajustos dels valors experimentals a una llei potencial amb el temps. Les barres de error corresponen a les desviacions estàndards de  $\Delta V_T/V_T^{(0)}$  i  $\Delta\mu_r$  en dispositius SiGe S/D i referència.

	$ \langle \Delta V_T/V_T^{(0)} \rangle $ (%)		$\langle \Delta\mu_r \rangle$ (%)	
	$a$	$b$	$a$	$b$
<b>SiGe S/D</b>	$0.845 \pm 0.016$	$0.20 \pm 0.01$	$-0.56 \pm 0.04$	$0.13 \pm 0.01$
<b>Referència</b>	$0.951 \pm 0.062$	$0.20 \pm 0.01$	$-0.40 \pm 0.03$	$0.16 \pm 0.02$

**Taula 3.5** Valors dels paràmetres  $a$  i  $b$  de l'equació (3.3) extrets a partir dels ajustos dels valors mitjos de  $\Delta V_T/V_T^{(0)}$  i  $\Delta\mu_r$  experimentals, de les Fig. 3.11, per estrès CHC.

Per una altra banda, en la Fig. 3.12a es pot veure que la desviació estàndard de la variació relativa de la tensió llindar és més petita en mostres *strain*. Aquest efecte podria ser explicat per un augment de les trampes interfacials a prop de la font i drenador degut al SiGe [165] que pot desembocar en una variació de la tensió llindar més localitzada i, per tant, en una dispersió de  $\Delta V_T$  més petita. Pel que fa a l'evolució de les desviacions estàndards amb el temps d'estrès, la Fig. 3.12b indica que les desviacions estàndards de  $\Delta\mu_r$  són similars en els dos tipus de transistors. Per una altra banda, per estressos CHC sembla que la desviació estàndard augmenta amb el temps d'estrès, en aquest cas tant per  $\Delta V_T/V_T^{(0)}$  com per  $\Delta\mu_r$  (a diferència del NBTI, que només apareixia per la tensió llindar). Ara bé, aquesta variació també es pot menysprear, ja que en gairebé 1000 segons les desviacions només augmenten un 0.09% i 0.82% per  $V_T$  per les mostres SiGe S/D i

referència, respectivament; i un 0.2% per  $\Delta\mu_r$  tant per les mostres SiGe S/D com les de referència.



**Fig. 3.12** Evolució temporal de les desviacions estàndards de  $\Delta V_T/V_T^{(0)}$  (a) i  $\Delta\mu_r$  (b), per transistors SiGe S/D (símbols tancats) i de referència (símbols oberts). Les línies contínues corresponen a ajustos a lleis potencials fets de les desviacions estàndards.

	$\sigma(\Delta V_T/V_T^{(0)})$ (%)		$\sigma(\Delta\mu_r)$ (%)	
	<i>a</i>	<i>b</i>	<i>a</i>	<i>b</i>
<b>SiGe S/D</b>	0.217±0.052	0.077±0.043	0.30±0.07	0.11±0.04
<b>Referència</b>	0.719±0.148	0.128±0.037	0.23±0.05	0.13±0.04

**Taula 3.6** Valors dels paràmetres *a* i *b* de l'equació (3.3) extrets a partir dels ajustos a les desviacions estàndards de les dades experimentals de  $\Delta V_T/V_T^{(0)}$  i  $\Delta\mu_r$ , per estressos CHC.

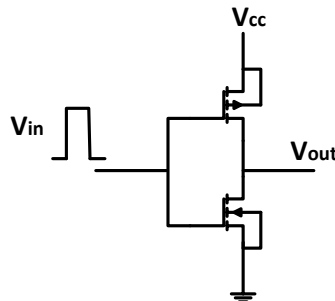
La Taula 3.6 mostra els valors dels paràmetres *a* i *b* extrets dels ajustos de les dades experimentals de la Fig. 3.12 a l'equació (3.3). Es pot observar que, en el cas del paràmetre *a* (en el cas de la variació de la tensió llindar), les desviacions són més petites en mostres *strain*, mentre que en el cas de la mobilitat relativa, tenen valors similars. El paràmetre *b*, indicatiu de l'evolució temporal, varia poc d'un tipus de mostra a l'altra.

Amb tots aquests resultats es pot arribar a la conclusió que la degradació, tant per NBTI com per CHC, no només implica un canvi en  $V_T$  sinó també en  $\mu$ , tot i que en aquest últim en menor mesura. Per altra banda, es pot considerar que la variabilitat addicional associada als estressos és menyspreable en comparació amb la tinguda en els processos de fabricació. Tot i aquests resultats, cal preguntar-se com afecten aquestes variacions en les prestacions dels circuits. En la següent secció es donarà resposta a aquesta pregunta, a partir de combinacions de simulacions SPICE i Monte Carlo en les que s'han tingut en compte els resultats experimentals de la degradació de  $V_T$  i  $\mu$ , per estressos NBTI i CHC, així com les seves variabilitats.

### 3.4 Impacte de la variabilitat dependent del temps dels dispositius en circuits: inversor CMOS

Fins ara s'han estudiat els efectes de la degradació i la variabilitat en les propietats elèctriques del dispositiu, a partir del seu impacte en  $V_T$  i  $\mu$ . Aquests canvis en les propietats elèctriques del dispositiu poden comportar canvis en les prestacions del circuit, que s'han d'analitzar. Normalment, quan s'estudia el comportament de circuits electrònics amb transistors degradats per NBTI, només es té en compte la variació en la tensió llindar, ja que com s'ha pogut veure, les variacions de la mobilitat són menyspreables en comparació amb les de  $V_T$ , sobretot en estressos NBTI. Ara bé, la degradació de la mobilitat també podria tenir efectes en les prestacions del circuit. Així doncs, s'ha analitzat l'impacte de la TDV (secció 1.3) dels dispositius en un circuit. Com a exemple, s'ha estudiat, com a bloc constituent de molts circuits digitals, l'inversor CMOS, en el que s'ha considerat que el transistor pMOS és un transistor *strain* o de referència, amb les mateixes característiques que els mesurats experimentalment, pel que s'ha tingut en compte les degradacions i variabilitats induïdes pels estressos.

L'inversor CMOS considerat, està format per un transistor pMOS i un altre nMOS configurats com mostra la Fig. 3.13, amb una tensió d'alimentació  $V_{cc} = 1.2V$ . Com a senyal d'entrada es considera un pols unipolar amb una freqüència de  $f = 500kHz$  i una amplitud de  $V_{in} = 1.2V$ . Per avaluar l'impacte de la degradació del pMOS en les prestacions del circuit s'ha considerat com a paràmetre el temps de pujada ( $t_{rise}$ ), doncs aquest paràmetre està fonamentalment determinat pel transistor pMOS de l'inversor.



**Fig. 3.13** Circuit inversor CMOS simulat amb tensió d'alimentació  $V_{cc}$ , tensió d'entrada  $V_{in}$  i tensió de sortida  $V_{out}$ . Només es considera variabilitat i degradació en el transistor pMOS.

S'ha dissenyat una eina que combina simulacions SPICE, en les que es defineix el circuit a simular i s'avalua el comportament elèctric dels dispositius, i Monte Carlo, que introdueix la degradació i variabilitat de les propietats elèctriques dels dispositius en el circuit. Per a introduir els efectes de la variabilitat i la degradació en les prestacions del dispositiu es modifiquen els paràmetres SPICE BSIM4 del dispositiu, en particular n'hi ha prou amb els paràmetres  $V_{TH0}$  i  $U_0$  [166], relacionats amb la tensió llindar i la mobilitat, respectivament [167]. Aquests paràmetres es poden determinar a partir de les dades experimentals, obtingudes en els dispositius, tenint en compte les mitjanes aritmètiques i les desviacions estàndards associades a  $\Delta V_T$  i  $\Delta \mu_r$ .

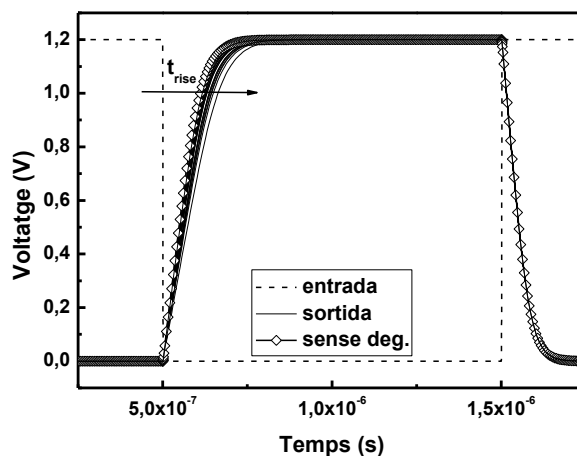
$$VTH0(t)|_{estrès} = VTH0|_{fresc} + \langle \Delta V_T(t_{estrès}) \rangle + randn(\sigma|_{\Delta V_T}) \quad (3.4)$$

$$U0(t)|_{estrès} = U0|_{fresc} \cdot \left[ 1 - \left( \langle \Delta \mu_r(t_{estrès}) \rangle + randn(\sigma|_{\Delta \mu_r}) \right) \right] \quad (3.5)$$

on  $VTH0|_{fresc}$  i  $U0|_{fresc}$  són els valors dels paràmetres SPICE en els dispositius frescos,  $\langle \Delta V_T(t) \rangle$  i  $\langle \Delta \mu_r(t) \rangle$  els valors mitjos de  $\Delta V_T$  i  $\Delta \mu_r$  per un temps d'estrès ( $t_{estrès}$ ) donat, respectivament, els quals s'extreuen dels ajustos fets de les dades experimentals.  $randn(\sigma|_{\Delta V_T})$  i  $randn(\sigma|_{\Delta \mu_r})$  són valors aleatoris que segueixen una distribució normalitzada amb valor mig igual a zero i una desviació estàndard donades pels valors experimentals de  $\sigma(\Delta V_T)$  i  $\sigma(\Delta \mu_r)$ , respectivament. En el cas de NBTI els valors de  $randn(\sigma|_{\Delta V_T})$  i  $randn(\sigma|_{\Delta \mu_r})$  s'han considerat independents del temps d'estrès, tenint en compte els resultats trobats anteriorment (Fig. 3.8), mentre que per CHC s'han considerat dependents del temps d'estrès, tot i que s'ha vist que aquesta dependència podria considerar-se menyspreable, com es dedueix de la Fig. 3.12.

Per calcular els nous paràmetres VTH0 i U0, que tenen en compte la degradació dels dispositius, s'utilitzen les equacions (3.4) i (3.5). Per simular el circuit amb transistors nominalment equivalents però a la pràctica diferents, per a cada nou dispositiu (amb caracteritzacions elèctriques diferents) es crea un nou fitxer d'entrada SPICE, el qual conté el circuit sota estudi amb dispositius descrits per diferents parelles de paràmetres VTH0 i U0.

A mode d'exemple, en la Fig. 3.14 es representa el senyal d'entrada i els corresponents a la sortida de 20 circuits nominalment idèntics (però a la pràctica diferents, doncs les seves característiques es modifiquen per efecte de la variabilitat i l'estrès dels dispositius) després d'un temps d'estrès de 500 segons. Com es pot observar,  $t_{rise}$  augmenta com a conseqüència de la degradació dels dispositius. Com a conseqüència de la variabilitat, s'obtenen temps de pujada diferents, que depenen de la degradació experimentada pels pMOS, ja que el temps de baixada, controlat pel nMOS, no es veu afectat.

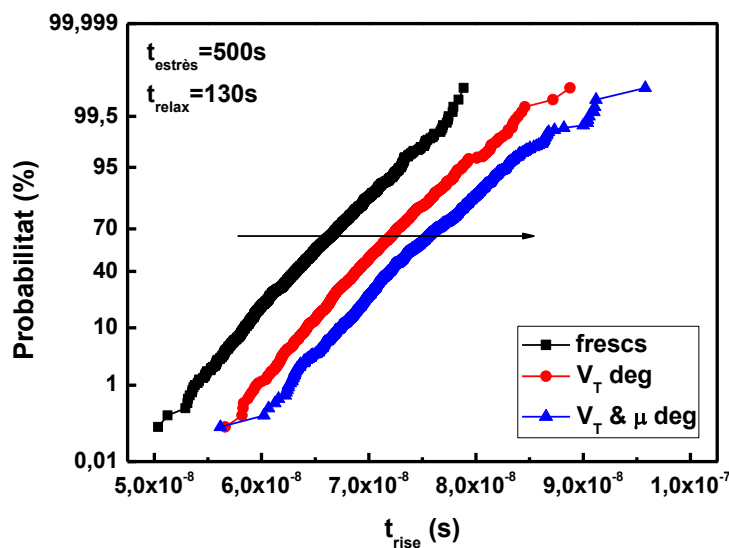


**Fig. 3.14** Senyal d'entrada (línia discontinua) i 20 voltatges de sortida d'un conjunt de circuits inversors CMOS després de 500 segons d'estrès NBTI. La degradació dels transistors pMOSFET comporta un increment en el temps de pujada ( $t_{rise}$ ), el qual té associada una distribució estadística, degut a la variabilitat de  $V_T$  i  $\mu$ .

### 3.4.1 Impacte de la variabilitat i degradació NBTI

Aquesta secció es centrarà en els efectes de la degradació per estrès NBTI i la variabilitat de transistors pMOS *strain* en el funcionament d'un inversor CMOS. No s'han comparat els resultats amb els equivalents en mostres de referència ja que en les seccions anteriors s'ha demostrat que la degradació NBTI no depèn de l'estrès mecànic del canal.

Per estudiar més detalladament els efectes de la variabilitat de la tensió llindar i de la mobilitat en el temps de pujada de l'inversor CMOS, s'han simulat 1000 circuits, considerant mostres fresques i degradades. En la Fig. 3.15 es representen les distribucions estadístiques del temps de pujada ( $t_{rise}$ ) després de 500 segons d'estrès, obtingudes a partir de simulacions de circuits quan es considera transistors pMOS frescos (quadrats) i després de 500 segons d'estrès, considerant només la variació de la tensió llindar (cercles) o variacions d'ambdós paràmetres ( $V_T$  i  $\mu$ ). Quan es comparen els temps de pujada, pels casos de considerar només variació de  $V_T$  o variació simultània de  $V_T$  i  $\mu$ , es pot concloure que si només es té en compte la degradació de  $V_T$  (es considera zero el canvi en  $\mu$  per estressos NBTI), s'infravalora el dany que es fa al circuit. La introducció de la variació de la mobilitat per l'estrès comporta un augment del temps de pujada, en promig, d'aproximadament el 5%. Recordem que el percentatge de variació de  $\mu$  era molt menor que el de  $V_T$ . Tot i això, a nivell de circuit els efectes poden ser importants. Així doncs, per fer una correcta estimació del comportament del circuit després de l'estrès, és necessari incloure la variació de la mobilitat en la descripció del comportament elèctric del MOSFET.

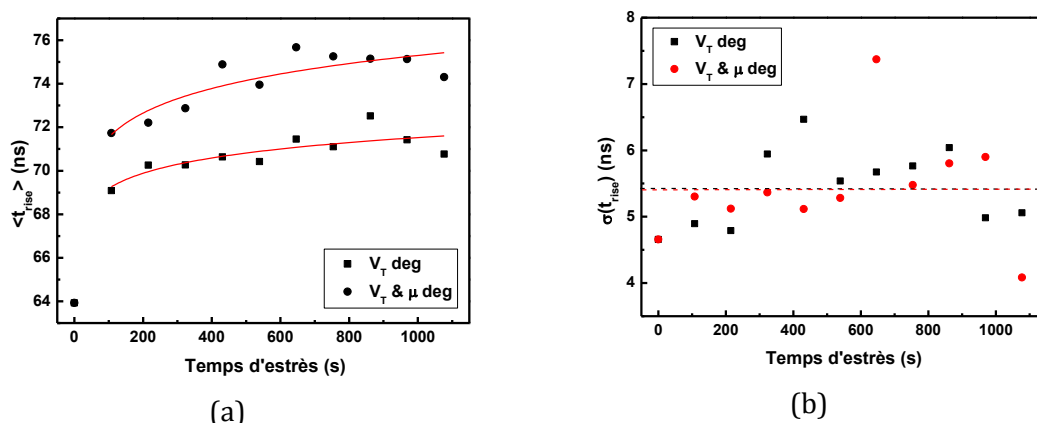


**Fig. 3.15** Distribucions estadístiques de  $t_{rise}$  obtingudes a partir de la simulació de 1000 circuits inversors CMOS, per a cada temps d'estrès, considerant dispositius amb SiGe S/D frescos (quadrats) i estressats per NBTI durant 500 segons, considerant només la variació de  $V_T$  (cercles) i la variació simultània de  $V_T$  i  $\mu$  (triangles).

S'ha analitzat amb més detall l'evolució del valor mig i de la desviació estàndard del temps de pujada del circuit en funció del temps d'estrès, tenint en compte només la



variació en  $V_T$  o considerant també la variació de  $\mu$ . En la Fig. 3.16a es mostra l'evolució del valor mig del temps de pujada en funció del temps d'estrès, quan es considera només la variació de la tensió llindar (quadrats) i quan s'inclou també la variació de la mobilitat (cercles) associades a l'estrès. A partir de la figura es pot concloure que el temps de pujada ( $t_{rise}$ ) evoluciona amb el temps d'estrès d'una forma potencial, però quan s'inclou la variació simultània de la mobilitat i la tensió llindar, la variació és més gran i més ràpida. Per tant, negligir la variació de  $\mu$  comporta subestimar els efectes de degradació en les prestacions del circuit, en promig.



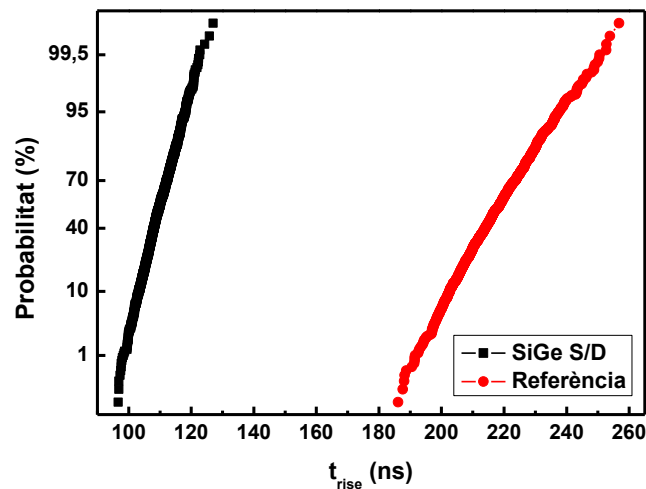
**Fig. 3.16** Valors mitjos (a) i la desviació estàndard (b) del temps de pujada dels inversors simulats (Fig. 3.15) en funció del temps d'estrès, pel cas de variació només de  $V_T$  (quadrats) i la combinació de la variació de  $V_T$  i  $\mu$  (cercles). Les línies contínues a (a) corresponen als ajustos fets a una llei potencial. La línia discontinua a (b) correspon als valors mitjos de les desviacions estàndards.

Finalment, en la Fig. 3.16b, s'ha representat l'evolució de la desviació estàndard del temps de pujada ( $\sigma(t_{rise})$ ) en funció del temps d'estrès per als mateixos casos que en la Fig. 3.16a. Com es pot observar, la variabilitat de  $t_{rise}$  és molt similar pels casos en que es considera, o no, la variació de la mobilitat. Aquest resultat es podria explicar per la gran dispersió de  $\Delta V_T$  en comparació amb la de  $\Delta \mu_r$  (Fig. 3.8). A més, la desviació estàndard de  $t_{rise}$  es manté relativament constant amb el temps d'estrès similar a la de  $t_{estrès} = 0$ s, i només es veuen petites oscil·lacions al voltant d'un valor promig. Aquest resultat suggereix que la variabilitat de la sortida del circuit vindrà donada principalment pel procés de fabricació, relacionada amb la variabilitat del circuit a  $t_{estrès} = 0$ s.

### 3.4.2 Impacte de la variabilitat i degradació CHC

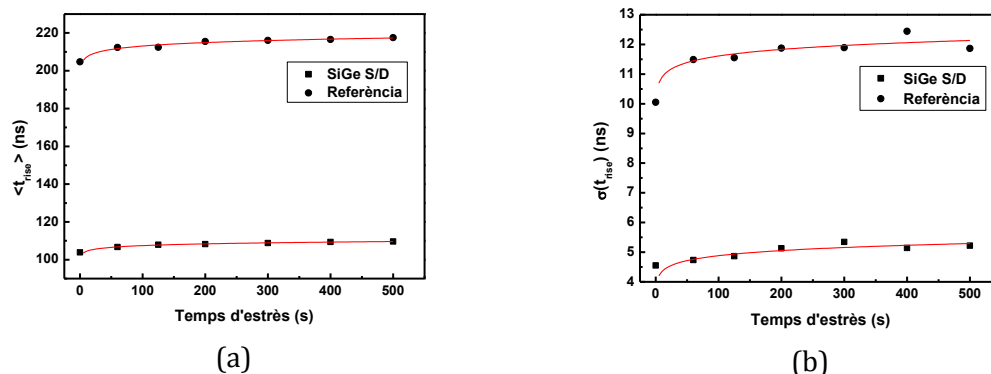
A continuació s'ha estudiat el comportament del mateix circuit inversor CMOS en el que, en aquest cas, el transistor pMOS es degrada per un estrès CHC. Com els transistors pMOS SiGe S/D experimenten una degradació superior a la trobada en transistors de referència per aquest tipus d'estrès, en aquesta secció s'estudia el comportament de 1000 circuits inversors quan aquests estan fabricats amb transistors SiGe S/D, comparant els resultats per inversors amb pMOS de referència, tenint en compte la degradació de la tensió llindar i la mobilitat.

En la Fig. 3.17 es representen les distribucions estadístiques del temps de pujada ( $t_{rise}$ ) obtingudes a partir de les simulacions, considerant en el transistor pMOS una degradació i una variabilitat equivalents a 500 segons d'estrès CHC, per transistors pMOS SiGe S/D i de referència, a una tensió de -1.2V. Com es pot observar en la Fig. 3.17, els temps de pujada són molt més petits en circuits amb transistors *strain*, tot i que els paràmetres  $V_T$  i  $\mu$  experimenten una variació superior en aquests transistors (Fig. 3.10). Aquest resultat pot ser entès tenint en compte la millora que suposa l'estrès mecànic del canal en les prestacions dels transistors. L'augment de la mobilitat en aquests transistors dóna lloc a una disminució del temps de pujada en l'inversor CMOS, el qual compensa la forta degradació produïda per l'estrès CHC.



**Fig. 3.17** Distribució estadística del temps de pujada ( $t_{rise}$ ) en inversors CMOS, tenint en compte la variabilitat i la degradació per CHC del pMOS, a un temps d'estrès de 500 segons, per MOSFETs *strain* i de referència.

Finalment, en la Fig. 3.18 es mostra l'evolució dels valors mitjos dels temps de pujada (a) i les seves desviacions estàndards (b), per mostres SiGe S/D i de referència. Com es pot veure, tot i la major degradació que experimenten les mostres *strain*, l'augment de la mobilitat deguda a l'estrès mecànic fa que la resposta temporal de l'inversor CMOS sigui millor. Pel que fa a la variabilitat de  $t_{rise}$ , el fet que la variabilitat de  $V_T$  en mostres SiGe S/D sigui menor, pot fer que la variabilitat en la resposta de l'inversor també sigui millor.



**Fig. 3.18** Evolució del valor mig del temps de pujada ( $t_{rise}$ ) (a) i la seva desviació estàndard (b) en funció del temps d'estrès, per a mostres amb SiGe S/D (quadrats) i de referència (cercles).

Com a conclusions del capítol, s'han estudiat les distribucions estadístiques de les variacions de  $V_T$  i  $\mu$  en transistors pMOSFET sotmesos a estrès NBTI i CHC, en mostres SiGe S/D i de referència. Els resultats han mostrat que l'evolució dels valors mitjos de  $\Delta V_T$  i  $\Delta \mu_r$  segueix una llei potencial amb el temps d'estrès, tant en estressos NBTI com CHC, sent superior l'exponent en el cas d'estrès CHC.

L'estudi de la variabilitat ha mostrat que les dispersions de  $V_T$  i  $\mu$  degudes al procés de fabricació són similars en mostres *strain* i de referència. Per una altra banda, un cop s'estressa la mostra per NBTI es pot considerar que, la variabilitat de  $\Delta V_T/V_T^{(0)}$  no depèn del temps d'estrès ni del tipus de mostra. En el cas de la variabilitat de  $\Delta \mu_r$ , aquesta és manté independent amb el temps d'estrès. Per una altra banda, en estressos CHC, s'ha observat que tot i que la variabilitat de  $\Delta \mu_r$  pren valors similars en mostres SiGe S/D i en les de referència, la variabilitat de  $\Delta V_T$  és molt més petita en mostres *strain*.

Finalment s'ha simulat un circuit inversor CMOS per estudiar els efectes de la variació de  $V_T$  i  $\mu$  per efecte de la degradació en les seves prestacions. Les modificacions de  $\Delta V_T$  i  $\Delta \mu_r$  han estat introduïdes en el simulador de circuits modificant els paràmetres  $V_{TH0}$  i  $U_0$  del model de paràmetres SPICE BSIM4, relacionats amb la tensió llindar i la mobilitat, respectivament. La variabilitat es considera variant aleatòriament aquests paràmetres, a partir de les variacions temporals trobades experimentalment. Les simulacions Monte Carlo i SPICE combinades han permès avaluar els efectes de la degradació i la variabilitat de les propietats dels transistors pMOS en el funcionament de l'inversor CMOS, a partir de l'estudi del temps de pujada ( $t_{rise}$ ) del senyal de sortida. Les simulacions mostren que, tot i que la variació de la mobilitat és molt menor que la de la tensió llindar en el dispositiu, l'impacte de  $\Delta \mu$  en el circuit pot ser considerable. Si no es té en compte la degradació de  $\mu$ , la degradació en el circuit s'infravalora. A més, per a estressos CHC, s'ha mostrat que, tot i la major degradació dels dispositius *strain*, l'augment de la mobilitat en les mostres fresques per l'estrès mecànic en el canal comporta una disminució tan significativa del temps de pujada que, tot i l'estrès, els circuits continuen mostrant millors prestacions que els construïts amb dispositius de referència.



## 4 Relaxació discreta del NBTI i RTN en transistors pMOS d'àrea petita

**M**algrat els esforços dedicats a l'estudi del mecanisme de NBTI des de la dècada dels 80, encara no s'ha consensuat el model que el descriu correctament. Durant un temps, el model més acceptat per explicar aquest fenomen va ser el de *Reacció-Difusió* (R-D) [168]. En aquest model es considera que es trenquen enllaços Si-H que hi ha en la interfície de l'òxid amb el substrat, generant càrregues mòbils que, per difusió, entren dins de l'òxid. Ara bé, el model de R-D no és capaç d'explicar correctament la recuperació de  $V_T$  quan s'elimina l'estrès [89]. L'observació de la recuperació de la tensió llindar, un cop eliminat l'estrès, però, és intuïtivament compatible amb un mecanisme en el que distribucions de trampes dins de l'òxid es carreguen i es descarreguen a diferents escales de temps [109, 169] i per tant els darrers models poden arribar a descriure correctament el mecanisme de NBTI.

Per una altra banda, com s'ha explicat en la introducció (*apartat 1.4.1*), quan les dimensions dels transistors disminueixen, la recuperació de la tensió llindar es dona en forma de salts discrets [109], corresponent cadascun d'ells a la descàrrega d'un defecte. Addicionalment, amb la disminució de les dimensions, guanya rellevància el *Random Telegraph Noise* (RTN), caracteritzat per una successió de càrregues i descàrregues dels defectes [170] que s'observen també al corrent de drenador ( $I_D$ ) com salts discrets. Així doncs, en els dispositius de nodes tecnològics avançats, amb una longitud de canal nanomètrica, la recuperació de  $V_T$  es produeix de forma discreta i apareix una variabilitat addicional significativa durant el funcionament dels dispositius per l'envelliment NBTI, habitualment no tinguda en compte durant el disseny dels circuits, que pot afectar al seu funcionament.

En aquest capítol, tenint en compte els models que atribueixen  $\Delta V_T$  a la càrrega/descàrrega de defectes, per estudiar la degradació NBTI, s'ha caracteritzat de forma aïllada el comportament de les trampes interfacials en funció de les condicions d'operació. Finalment, s'ha introduït la caracterització elèctrica dels defectes observats en

un model físic basat en simulacions Monte Carlo per tal d'analitzar el seu comportament a altres condicions d'operació. Per veure els efectes produïts per la càrrega/descàrrega dels defectes en el funcionament dels circuits, s'ha simulat una cel·la SRAM, en la que es considera que els defectes en els transistors pMOS es poden carregar/descarregar.

#### 4.1 Descripció de les mostres i procediment experimental

Les mostres utilitzades han estat transistors pMOSFET amb SiON com dielèctric de porta (EOT de 1.7nm) d'àrea petita, per poder visualitzar els canvis discrets de  $V_T$  durant l'etapa de relaxació. En aquest cas, s'ha considerat dispositius amb àrea  $W \times L = 0.15 \times 0.13 \mu\text{m}^2$ .

La seqüència d'estrès utilitzada per aquest estudi ha estat similar a l'emprada en els capítols anteriors. Es mesura la corba  $I_D - V_{GS}$  dels dispositius frescos per trobar les seves tensions llindar inicials. A continuació s'aplica una tensió d'estrès a la porta, en aquest cas entre -2V i -2.9V, constant durant 100 segons i finalment, es deixa relaxar la mostra. L'estrès és del tipus NBTI, per això mentre a la porta s'aplica una tensió elevada, la resta de terminals es connecten a terra. La recuperació de la tensió llindar es mesura de la mateixa manera que en els capítols anteriors: un cop finalitzada l'etapa d'estrès, la tensió de porta es disminueix a un valor proper a la tensió llindar mesurada en el dispositiu fresc (en aquest cas,  $V_{\text{relax}} = -0.5\text{V}$ ) i simultàniament s'aplica al drenador una tensió de -50mV per generar un corrent pel canal, que serà el que es mesuri, amb la resta de terminals connectats a terra.

Amb aquesta seqüència d'estrès i mesura (de la relaxació) s'analitzarà l'evolució dels canvis en la variació de la tensió llindar ( $\eta$ 's a l'equació (1.9)) associats a la càrrega/descàrrega dels defectes en cada transistor, amb la tensió d'estrès. La caracterització dels defectes es realitzarà a partir de les corbes de relaxació, mesurant els temps (durant el període de relaxació) en el que es produeixen caigudes abruptes de  $\Delta V_T$  (descàrregues) i l'alçada d'aquest salt ( $\eta$ , contribució del defecte a  $\Delta V_T$ ). S'ha de tenir en compte però que, com s'ha mencionat anteriorment, el nombre de descàrregues observables durant la relaxació està distribuït uniformement en una escala de temps logarítmica [109], per aquest motiu, per fer un estudi fiable cal analitzar un nombre prou elevat de descàrregues. Com que en cada dècada s'hauria d'esperar detectar el mateix nombre de salts, cal mesurar un nombre suficient de dècades per tenir un estudi significatiu. Degut a que amb el set-up disponible (descrit a la secció 2.1) només es pot mesurar temps de relaxació superiors al segon, per tenir almenys 5 dècades d'estudi, es va mesurar la relaxació durant un temps de  $10^5$  segons (aproximadament 28 hores).

El problema sorgeix en la gran quantitat de dades que es generen durant la mesura de la relaxació. El software utilitzat fins al moment té la limitació de no deixar crear arxius de dades massa grans. Per aquest motiu, s'ha desenvolupat un programa específic capaç de controlar l'instrument i guardar totes les dades generades durant la seqüència de test. El software s'ha desenvolupat en Matlab®, ja que el llenguatge que utilitza és una bona eina per controlar instruments via GPIB. Per una altra banda, s'ha canviat l'instrument de mesura utilitzat fins ara (Keithley 4200-SCS) per l'Agilent 4156C pel seu fàcil control via

GPIB en comparació al Keithley 4200-SCS. Cal tenir en compte que les característiques d'ambdós instruments són gairebé idèntiques, és a dir, els resultats obtinguts en aquest instrument serien iguals als trobats amb el Keithley. Tot seguit s'explica el programa desenvolupat per tal de mesurar la relaxació durant un temps suficientment llarg.

### Descripció del sistema de mesura

Tal i com es mostra en la Fig. 4.1, el que es pretén és, a través del programa desenvolupat en Matlab®, controlar via GPIB l'instrument de caracterització elèctrica Agilent 4156C, per a que aquest apliqui l'estrès i mesuri la resposta dels dispositius a través dels seus SMUs.

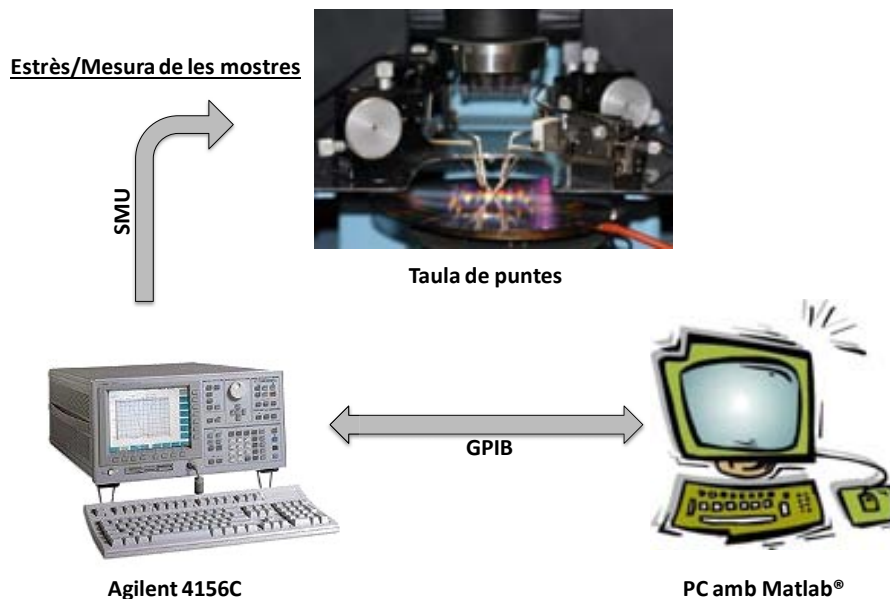
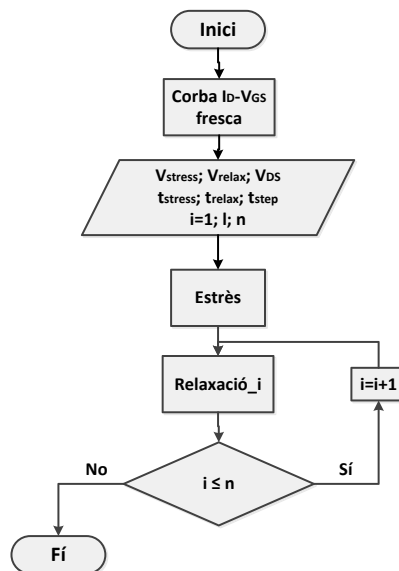


Fig. 4.1 Esquema del set-up de mesura utilitzat.

Per a fer-ho, l'Agilent 4156C es controla externament amb el programa desenvolupat en Matlab®, encarregat de controlar l'instrument i la seqüència de test. En Matlab® es poden fer servir dos conjunts de comandes per controlar l'instrument via GPIB. Les comandes SCPI, caracteritzades per tenir una estructura semblant a la programació manual del instrument, però amb l'inconvenient que no permeten representar el resultat de les mesures a temps real, és a dir, cal esperar a finalitzar el test en curs per visualitzar els resultats. Per altra banda, les comandes FLEX, pròpies de l'instrument, amb unes comandes poc intuïtives [171]. Ara bé, el sistema de comandes FLEX presenta un clar avantatge i és que representa els resultats de la mesura a temps real, és a dir, cada dada es tractable directament amb Matlab® sense haver d'esperar a la finalització del test. D'altra banda, també ofereix la possibilitat d'emmagatzemar els resultats sense interrompre el test i sense perdre informació durant la gravació dels arxius. Així doncs, en el programa de control s'ha fet servir les comandes SCPI per mesurar les corbes característiques  $I_D$ - $V_{GS}$ , a partir de les que s'obtenen els valors inicials del corrent de drenador i la tensió llindar, mentre que per la seqüència d'estrès i relaxació s'ha fet servir FLEX.

El diagrama de flux de la Fig. 4.2 representa la seqüència de test de l'estrès NBTI aplicat als transistors i la mesura de la recuperació de  $V_T$  durant l'etapa de relaxació. Inicialment s'obté la corba  $I_D$ - $V_{GS}$  del transistor fresc. A continuació es defineixen tots els paràmetres del test, com la tensió d'estrès ( $V_{estrès}$ ), la tensió de relaxació ( $V_{relax}$ ), la tensió de drenador ( $V_{DS}$ ), el temps d'estrès ( $t_{estrès}$ ), l'interval de temps entre dos mesures ( $t_{step}$ ), que en aquest cas s'ha ajustat al mínim permès per l'instrument (1ms), el temps total de relaxació ( $t_{relax} = 10^5$ s), el nombre de dades per arxiu ( $l$ ) i el nombre total d'arxius ( $n$ ) que vindrà definit com  $n = t_{relax}/(t_{step} \cdot l)$ , en el que s'emmagatzemarà l'evolució amb el temps de la relaxació. Una vegada s'ha acabat de definir les característiques de l'estrès/mesura, comença la seqüència de test.

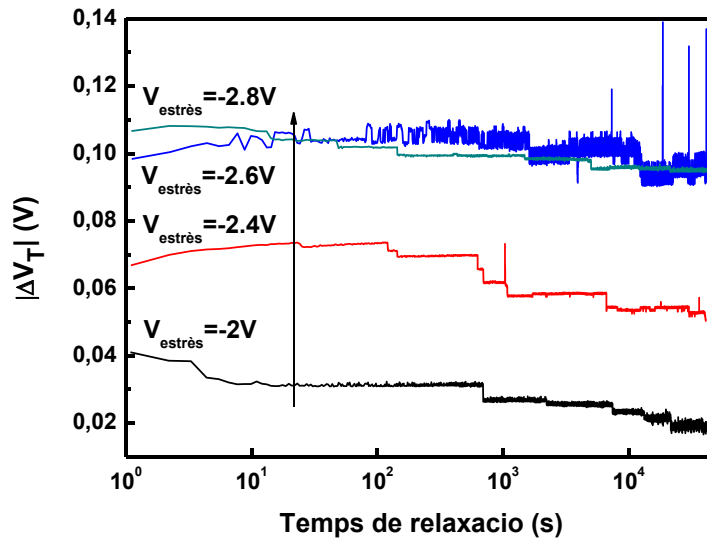
El programa envia l'ordre d'aplicar tensió a la porta ( $V_{estrès}$ ), mentre la resta de terminals es connecten a terra, i es mesura el corrent en el terminal de drenador durant un temps d'estrès ( $t_{estrès}$ ) fix. Un cop finalitza el temps d'estrès ( $t_{estrès}$ ) es canvia la tensió de porta per  $V_{relax}$  (-0.5V) i s'aplica al drenador la tensió  $V_{DS}$  (-50mV) durant el temps que s'hagi definit ( $t_{relax}$ ), per mesurar  $I_D$  durant l'etapa de relaxació i poder determinar  $\Delta V_T$  a partir de l'equació (2.1).



**Fig. 4.2** Diagrama de flux de la seqüència d'estrès/mesura de la recuperació de  $V_T$  durant períodes llargs de temps que permet analitzar el comportament de diferents dispositius a diferents tensions d'estrès.

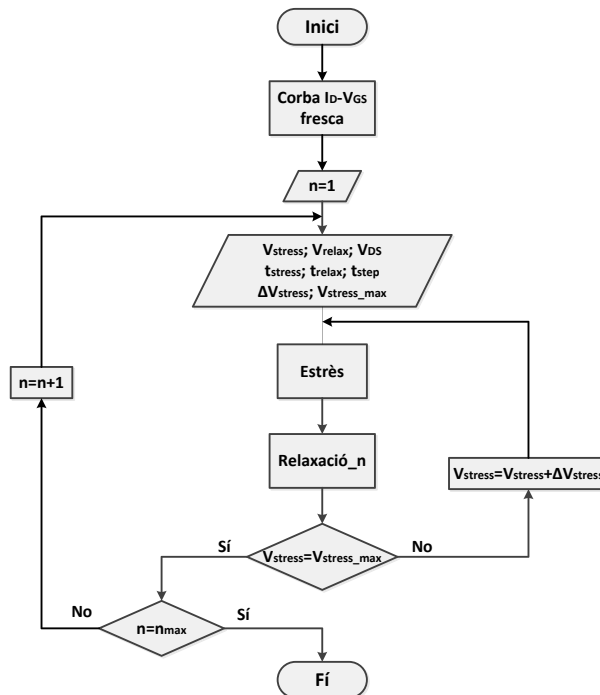
El que s'obté com a resultat són unes corbes com les mostrades en la Fig. 4.3, en la que es representa l'evolució de  $\Delta V_T$  en quatre dispositius diferents durant  $10^5$  segons de relaxació, sotmesos a diferents tensions de porta. Com és d'esperar, el valor de  $\Delta V_T$  inicial augmenta amb la tensió d'estrès. Addicionalment, s'observen disminucions brusques de  $\Delta V_T$ , que s'interpreten com a descàrregues de defectes que s'han carregat durant l'estrès previ. És de destacar que pel cas de la tensió d'estrès de -2.6V, la corba de relaxació presenta una successió d'increments i decrements (càrregues i descàrregues) de la mateixa amplitud, que es poden atribuir a RTN. Finalment, cal dir que, independentment de la tensió d'estrès aplicada, els defectes poden descarregar-se fins a temps molt llargs ( $t_{relax} > 10^4$ s).





**Fig. 4.3** Corbes de l'evolució de  $\Delta V_T$  per diferents mostres, durant un període de relaxació de  $4 \cdot 10^4$  segons i a diferents tensions.

Aquesta metodologia fa que el temps total necessari per obtenir informació sobre l'etapa de relaxació a temps llargs i a diferents tensions d'estrès sigui excessivament llarg, el que fa que no sigui pràctica. Així doncs, s'ha modificat la seqüència de test per optimitzar el temps total de mesura. En la nova seqüència, s'estressa la mateixa mostra a diferents tensions d'estrès, provocant la càrrega dels defectes a diferents condicions dins del mateix dispositiu. En la Fig. 4.4 es representa el diagrama de flux d'aquesta nova seqüència, on igual que en l'antiga, inicialment es mesura la corba característica  $I_D$ - $V_{GS}$ .



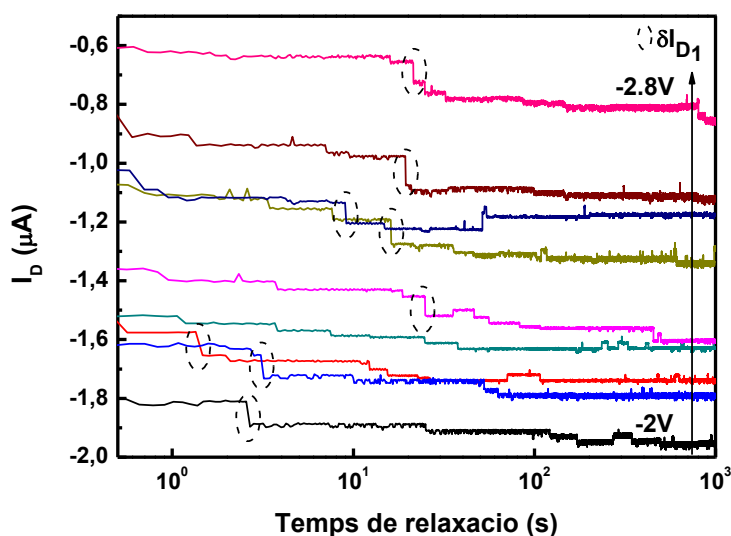
**Fig. 4.4** Diagrama de flux de la seqüència d'estrès/mesura de la caracterització dels defectes en un dispositiu durant l'etapa de relaxació.

A continuació s'estressa el dispositiu, ara durant un temps de 10 segons, i a continuació es deixa relaxar durant un temps suficient per veure unes quantes descàrregues (en aquest cas, amb 1000 segons hi ha hagut suficient). A continuació, la mateixa mostra es torna a estressar a una tensió una mica superior a la anterior, durant el mateix temps d'estrès i tot seguit es torna a relaxar a les mateixes condicions que en la relaxació anterior. Aquest procés es repeteix per tensions d'estrès de -2V fins a -2.9V amb un augment de la tensió  $\Delta V_{\text{estrès}} = -0.1\text{V}$ . Un cop s'arriba a la tensió d'estrès de -2.9V s'enregistra la última relaxació i es torna a començar la seqüència amb la tensió d'estrès baixa de -2V. Tota aquesta seqüència es torna a repetir un nombre  $n = 20$  de vegades, sempre en la mateixa mostra. D'aquesta manera s'aconsegueix analitzar el comportament dels defectes en un transistor ( $\tau_{c,e}$  i  $\eta$ ) per diferents condicions d'estrès.

## 4.2 Dependència dels paràmetres dels defectes amb la tensió d'estrès i el temps de relaxació

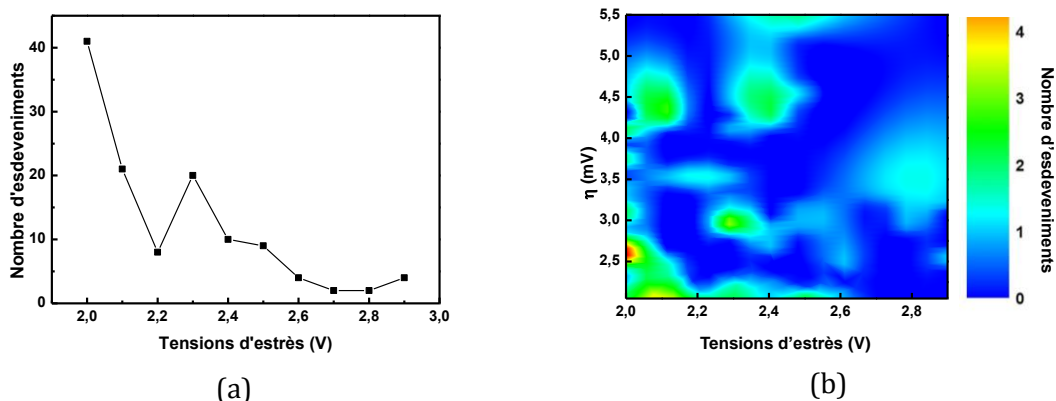
Com s'ha explicat en la secció anterior, la càrrega o descàrrega d'un defecte es detecta a la corba  $\Delta V_T$ - $t_r$  (o  $I_D$ - $t_r$ ) mesurada durant l'etapa de relaxació, per un canvi abrupte, pels seus efectes en la variació de la tensió llindar (o en el corrent de drenador). Cal recordar que  $\Delta V_T \propto -I_D$  (equació (2.1)) i per tant, els salts trobats en la  $\Delta V_T$  són equivalents als que es trobarien en  $I_D$ . A mode d'exemple, en la Fig. 4.5 es mostren diferents corbes  $I_D$ - $t_r$  de relaxació, per a diferents tensions de porta. Com es pot observar, a mesura que augmenta la tensió d'estrès,  $|I_D|$  disminueix, o el que és el mateix,  $|\Delta V_T|$  augmenta (Fig. 4.3). A més, es poden veure un seguit de salts abruptes cap a valors de  $I_D$  més grans (en valor absolut) que són indicatius de les descàrregues dels defectes individuals. De forma menys freqüent també es poden veure salts que comporten una disminució de  $I_D$  (en valor absolut), que corresponen a la càrrega dels defectes. A la Fig. 4.5 s'observen salts de diferents magnituds mesurats durant l'etapa de relaxació, extrets a partir de la seqüència de test representada en la Fig. 4.4, en la que a una mateixa mostra se li aplica les diferents tensions d'estrès i es deixa relaxar entre cada etapa d'estrès. En particular, a la Fig. 4.5 s'han encerclat els canvis abruptes de  $I_D$  amb la mateixa magnitud, corresponent a  $\delta I_{D1} \approx 800\text{nA}$ . Es pot observar que aquest salt apareix a gairebé totes les tensions d'estrès i en diferents temps, anant des dels 3 segons fins als 25 segons.

A partir del conjunt de corbes de relaxació com les de la Fig. 4.5, obtingudes per a diferents tensions d'estrès en els diferents cicles (un total de 20), s'ha fet un recompte del número de salts per cada tensió d'estrès i s'han agrupat en funció de la seva alçada (per defectes). D'aquesta manera es pot tenir el nombre total d'esdeveniments de descàrrega ( $\eta$  si es parla de canvis en la tensió llindar,  $\delta I_D$  si es parla de canvis en el corrent de drenador) del mateix defecte per a les diferents tensions d'estrès. Els salts amb  $\eta \leq 2\text{mV}$  es consideren associats a RTN mesclat amb soroll, que mereixen una anàlisi apart de manera que no es tindran en compte pel moment.



**Fig. 4.5**  $I_{D-tr}$  per a estressos de  $-2V$  fins a  $-2.8V$  aplicats a la mateixa mostra. A mesura que la tensió d'estrès augmenta (en valor absolut), el corrent de drenador disminueix (en valor absolut), és a dir,  $\Delta V_T$  augmenta. Els salts encerclats corresponen al defecte amb  $\delta I_{D1} \approx 800nA$ .

A la Fig. 4.6a es representa el número total d'esdeveniments de descàrrega, independentment de la seva magnitud, en funció de la tensió d'estrès, i que indica que el nombre de descàrregues disminueix amb la tensió d'estrès. Aquesta observació és indicativa de que, a mesura que augmenta la tensió d'estrès, la part recuperable del NBTI disminueix [172].

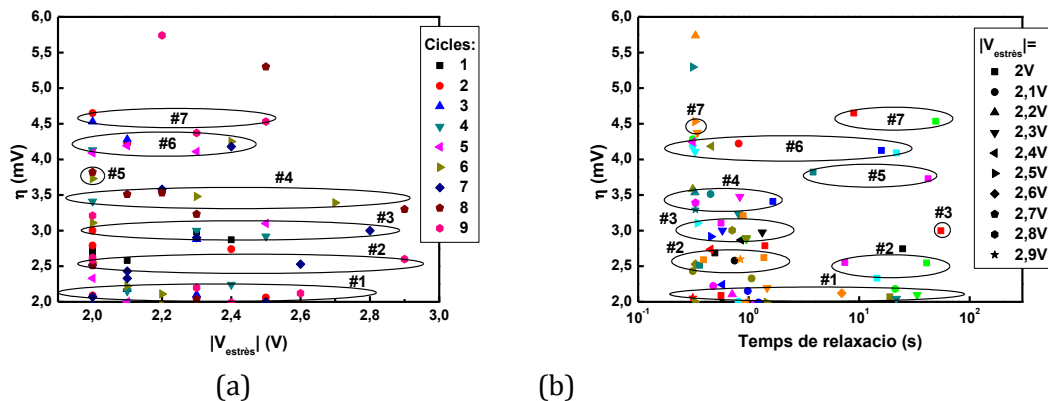


**Fig. 4.6** (a) Número de salts totals de magnitud superior a  $2mV$  en funció de la tensió d'estrès. (b) Representació 3D del número de salts d'una mateixa alçada per a les diferents tensions d'estrès.

En la Fig. 4.6b s'ha representat el número total de salts de la mateixa magnitud ( $\eta$ ) mesurats per les diferents tensions, en la que en blau es representa una freqüència baixa d'aparició, i en groc una freqüència alta. Com es pot observar, hi han alguns valors de  $\eta$  que no es donen mai (seccions blaves més fosques) i, en canvi, d'altres que es produeixen més d'un cop. També es pot observar que, en concordança amb la Fig. 4.6a, a mesura que augmenta la tensió d'estrès, disminueix el nombre de salts. La Fig. 4.6b suggereix que els

salts tenen alçades ben determinades, estant associats a un nombre reduït de defectes dins de l'òxid.

S'ha estudiat amb més detall la dependència de  $\eta$  amb la tensió d'estrès (Fig. 4.7a) i el temps de relaxació (Fig. 4.7b). Per fer-ho, s'ha representat l'alçada del salt (que identifica el defecte) en funció de la tensió d'estrès per als nou primers cicles (Fig. 4.7a) i en funció del temps de relaxació per a diferents tensions d'estrès (Fig. 4.7b).

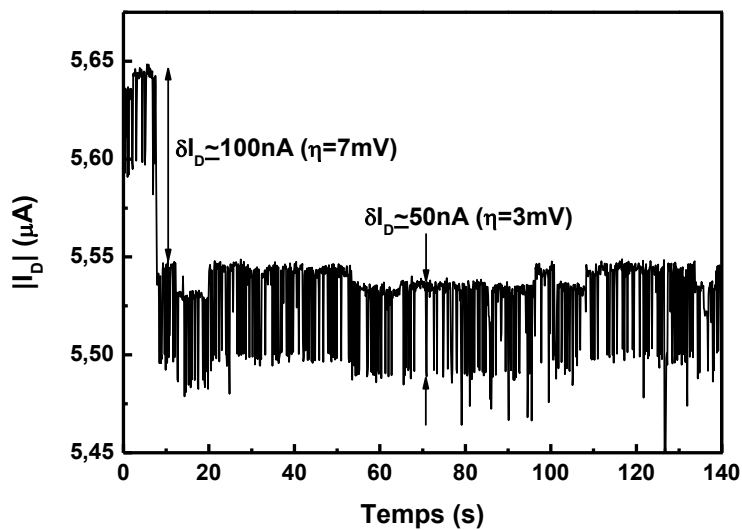


**Fig. 4.7**  $\eta$  en funció de la tensió d'estrès per a diferents cicles de la seqüència de test (a) i el temps de relaxació per a diferents tensions d'estrès (b). Els cercles corresponen a  $\eta$  amb la mateixa amplitud. Cada # indica un defecte diferent.

La Fig. 4.7a indica que una mateixa  $\eta$  es pot enregistrar per a diferents tensions d'estrès i diferents cicles. Si es fixa l'atenció en un sol defecte, com per exemple el defecte associat a  $\eta_3 = 3\text{mV}$  (#3), la Fig. 4.7 indica que la descàrrega d'aquest defecte s'observa per a diferents tensions d'estrès i diferents cicles, conclouent que la  $\eta$  associada a la càrrega/descàrrega d'un defecte no depèn de la tensió d'estrès. Si s'analiza el mateix defecte en la Fig. 4.7b (#3), es pot veure que, els temps de descàrrega són sovint propers a 1 segon, independentment de la tensió a la que s'ha estressat la mostra.

A partir dels resultats mostrats fins aquest moment, es pot concloure que l'alçada del salt ( $\eta$ ) no depèn de la tensió d'estrès.

L'anàlisi de les dependències dels paràmetres  $\eta$ ,  $\tau_c$  i  $\tau_e$ , a diferents condicions d'estrès es fa complicat, doncs hi han molts defectes involucrats en l'evolució de  $I_D$  enregistrat. Per facilitar l'anàlisi del comportament dels defectes, s'ha redissenyat l'experiment per tal de poder analitzar el comportament d'un nombre reduït de defectes. Per fer-ho, s'ha suposat que reduint la tensió d'estrès es podria aconseguir carregar només un defecte (doncs es limita la generació de nous defectes), de manera que durant la relaxació es podria caracteritzar la descàrrega d'aquest defecte de manera aïllada. Ara bé, quan s'ha fet això, enlloc d'observar la descàrrega del defecte durant l'etapa de relaxació s'ha observat només soroll, degut a que cap defecte s'havia carregat durant l'estrès previ o s'havien descarregat abans de fer la primera mesura. Per contra, l'evolució del corrent de drenador durant el període d'estrès mostra una sèrie d'esdeveniments de càrrega i descàrrega ben definits, com els mostrats en la Fig. 4.8. En la figura es pot diferenciar clarament dos defectes, un caracteritzat per una amplitud de 100nA (defecte B) i l'altre amb una amplitud de 50nA (defecte A), aquest últim mostrant un comportament típic de RTN.

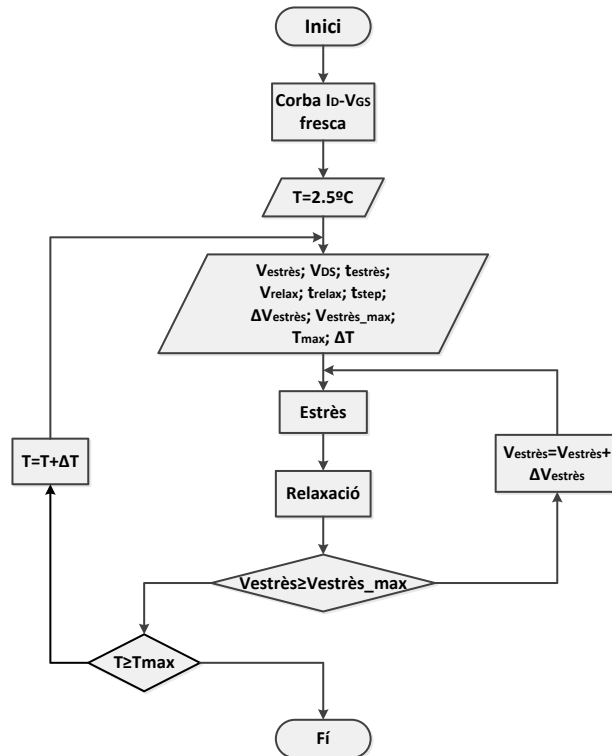


**Fig. 4.8** Evolució del corrent de drenador  $I_D$  per  $V_{GS} = -0.9V$  a temperatura ambient. Es pot observar clarament la variació degut a dos defectes que comporten un canvi en  $I_D$  de  $\delta I_D \approx 50 nA$  i  $\delta I_D \approx 100 nA$ . A més, el defecte amb amplitud  $\delta I_D \approx 50 nA$  presenta un seguit de càrregues i descàrregues, típiques de RTN.

### 4.3 Caracterització de defectes individuals

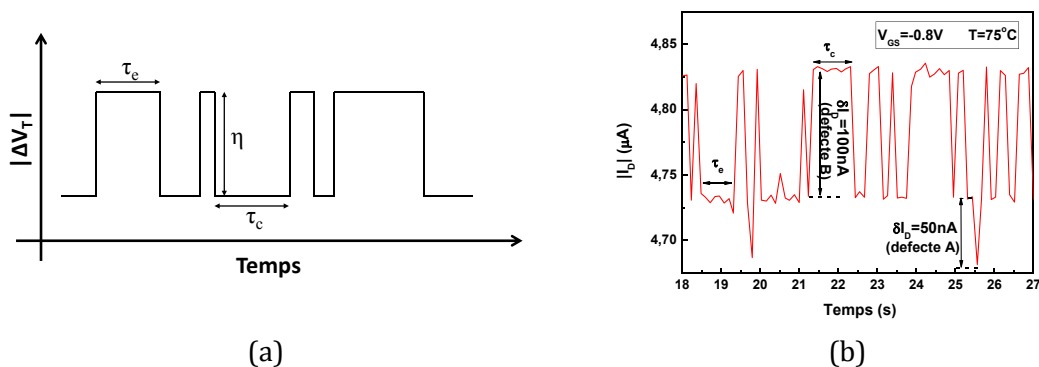
A partir dels resultats obtinguts de la Fig. 4.8, s'ha vist que a tensions baixes durant l'etapa d'estrès es poden mesurar descàrregues de defectes i també càrregues. Amb aquests tipus de mesures doncs, es pot caracteritzar tant el temps de captura com d'emissió dels defectes. A més, també es pot analitzar les distribucions estadístiques d'aquests temps i veure com es comporten a diferents condicions d'operació. Per obtenir una millor predicció del comportament dels defectes doncs, amb aquest procediment es poden mesurar més temps de captura i emissió d'un mateix defecte que no pas amb el procediment que es feia servir fins ara.

Així, la caracterització del comportament de defectes individuals per diferents condicions d'estrès s'ha realitzat en un únic transistor pMOS fent servir una seqüència de test com la del la Fig. 4.4 però aplicant tensions d'estrès molt més baixes que les utilitzades fins ara. En particular, la tensió d'estrès s'ha variat entre  $-0.6V$  i  $-1.4V$  (molt properes a les d'operació), i s'ha augmentat el temps d'estrès a 150 segons mantenint el temps de relaxació a 100 segons. Ara bé, a diferència de la secció 4.2 ara la caracterització dels defectes es realitza durant l'etapa d'estrès. Així, per poder mesurar  $I_D$  durant aquesta etapa, s'aplica una tensió al drenador de  $V_{DS} = -50 mV$  mentre simultàniament s'aplica la tensió  $V_{GS}$ , per mesurar l'evolució de  $I_D$  amb el temps. Addicionalment, quan s'acaba un cicle en tensions, es canvia la temperatura a la que es sotmet la mostra. La temperatura s'ha variat des de valors de  $2.5^\circ C$  fins a  $100^\circ C$ . En la Fig. 4.9 s'ha representat la seqüència de test utilitzada per caracteritzar els defectes individuals. Com es pot observar, la seqüència és similar a la de la Fig. 4.4 però introduint ara la temperatura com una nova variable de les condicions d'estrès.



**Fig. 4.9** Diagrama de flux de la seqüència de test utilitzada per caracteritzar els defectes individuals en un dispositiu.  $I_D$  es mesura durant l'estrès.

En la Fig. 4.10a es mostra la representació esquemàtica d'un senyal RTN típic, en el que es defineixen els diferents paràmetres que el caracteritzen,  $\eta$  (o  $\delta I_D$ ),  $\tau_c$  i  $\tau_e$ , tots ells definits anteriorment i que són els paràmetres del model OPD (secció 1.4.1). Cada defecte té associat una distribució de temps de captura i d'emissió ( $\tau_c$  i  $\tau_e$ ) [109]. El temps durant el qual el senyal es troba en un estat alt de tensió llindar (o baix de corrent de drenador) es defineix com el temps que un defecte carregat triga en emetre la càrrega, i es representa amb  $\tau_e$ . Per altra banda, el temps durant el qual la tensió llindar és baixa (o alt el corrent) és el temps que un defecte buit triga a capturar una càrrega, i es defineix com  $\tau_c$ . La Fig. 4.10b mostra un fragment d'una traça de  $I_D$  durant l'estrès en la que s'observa la càrrega/descàrrega de dos defectes diferents, el defecte A, caracteritzat per una  $\delta I_D \approx 50\text{nA}$  i el defecte B, amb  $\delta I_D \approx 100\text{nA}$ .

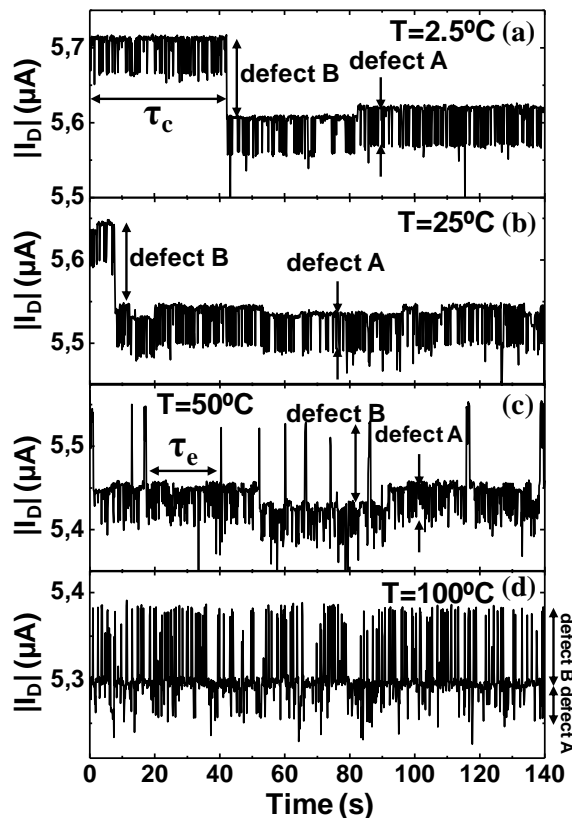


**Fig. 4.10** Esquemàtic d'un senyal RTN típic per  $\Delta V_T$  amb els paràmetres  $\eta$ ,  $\tau_c$  i  $\tau_e$  que el caracteritzen (a). Fragment d'una traça  $I_D$ -t que mostra el comportament RTN, durant l'etapa d'estrès (b). Es pot identificar dos defectes diferents amb  $\delta I_D \approx 50\text{nA}$  (defecte A) i  $\delta I_D \approx 100\text{nA}$  (defecte B).

A partir de senyals com els de la Fig. 4.10, s'ha analitzat la dependència dels paràmetres que defineixen el comportament dels defectes ( $\tau_c$ ,  $\tau_e$  i  $\eta$ ) amb la tensió de porta i la temperatura, que ens permetran proposar les lleis empíriques capaces de predir els valors d'aquests paràmetres per a qualsevol altra condició de tensió i temperatura. En la secció 4.2 s'ha conclòs que els  $\eta$  associats als defectes no depenen de la tensió d'estrès aplicada, per això per aquest paràmetre només s'estudiarà la seva dependència amb la temperatura. Tot i això, a partir d'ara, enlloc de parlar de  $\eta$  (relacionat amb  $V_T$ ), es parlarà de  $\delta I_D$ , paràmetre equivalent a l'hora de caracteritzar els defectes.

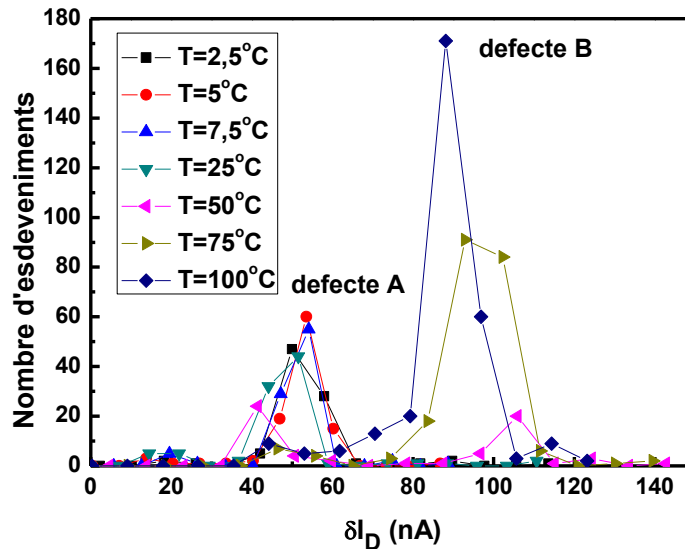
En la Fig. 4.11 es mostra, a mode d'exemple, per a una tensió de porta fixa de  $V_{GS} = -0.9V$ , les evolucions del corrent de drenador per a diferents temperatures. En totes les traces es poden identificar els dos defectes anteriors (A i B) pels seus  $\delta I_D$  associats. Si s'observa la seqüència de figures de la (a) fins la (d), es pot veure que a mesura que augmenta la temperatura, el salt de  $\delta I_D \approx 100nA$  (defecte B) es desplaça cap a temps més petits. A temperatures per sota de l'ambiental (Fig. 4.11a i b) només es veu un esdeveniment de càrrega d'aquest defecte, que per a  $T=2.5^\circ C$  passa a 42s aproximadament i a  $T = 25^\circ C$  a 10s. A temperatures superiors (Fig. 4.11c i d) per aquest defecte es veuen un seguit de càrregues (que no es veia a temperatures més baixes) i descàrregues típiques de RTN. A partir d'aquestes observacions es pot concloure que l'augment de la temperatura produeix una disminució del temps de captura i d'emissió.

Pel cas del defecte  $\delta I_D \approx 50nA$  (defecte A), en canvi, des d'un principi s'observa un senyal RTN d'aquesta amplitud. Però, de la mateixa manera que pel defecte B, a mesura que augmenta la temperatura, també disminueixen els temps de captura i d'emissió.



**Fig. 4.11** Evolució del corrent de drenador  $I_D$  per  $V_{GS} = -0.9V$  i una temperatura de  $T = 2.5^\circ C$  (a),  $25^\circ C$  (b),  $50^\circ C$  (c) i  $100^\circ C$  (d).  $\tau_e$  i  $\tau_c$  dels defectes A ( $\delta I_D \approx 50nA$ ) i B ( $\delta I_D \approx 100nA$ ) decreixen amb la temperatura.

En la Fig. 4.12 es mostra l'histograma de les amplituds predominants per cada temperatura. Com es pot veure, independentment de la temperatura, s'identifiquen clarament dos defectes que tenen associats  $\delta I_D \approx 100\text{nA}$  i  $50\text{nA}$ .



**Fig. 4.12** Nombre d'esdeveniments de càrrega/descàrrega dels defectes A i B per a diferents temperatures. Per temperatures altes és el defecte amb  $\delta I_D \approx 100\text{nA}$  el que domina, mentre que per temperatures baixes el dominant és el defecte A ( $\delta I_D \approx 50\text{nA}$ ).

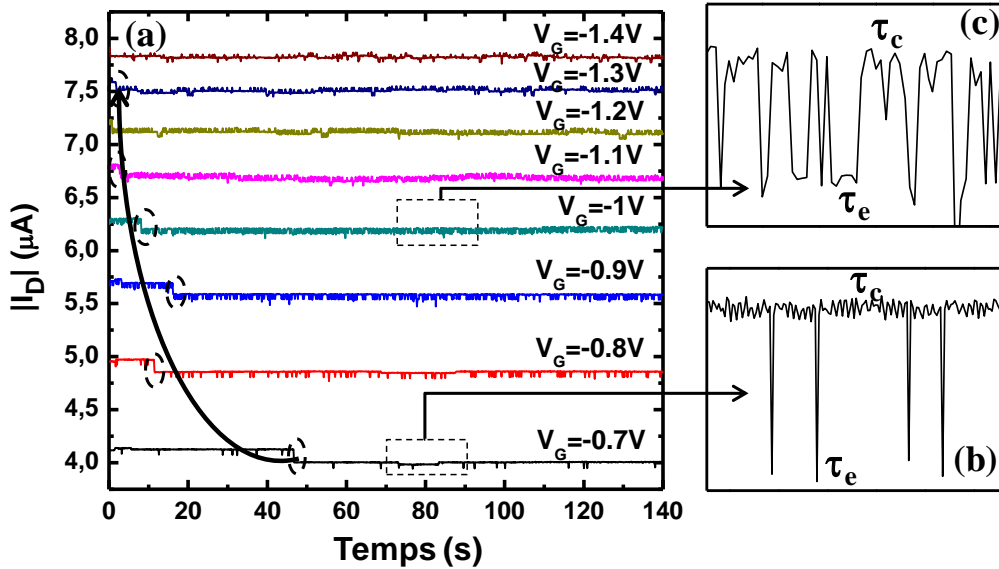
Les Fig. 4.11 i Fig. 4.12, indiquen que la magnitud dels canvis en  $I_D$  per la càrrega i descàrrega dels defectes es manté constant amb la temperatura i només els temps de captura i d'emissió depenen de les condicions d'estrès. A temperatures baixes s'observa majoritàriament els salts amb una  $\delta I_D$  petita (defecte A), mentre que a mesura que es va augmentant la temperatura aquests salts comencen a desaparèixer i augmenta la presència de  $\delta I_D$  més grans (defecte B), fins que a  $100^\circ\text{C}$ , aquest esdevé el predominant. En la següent secció s'analitzen les dependències dels valors mitjos dels temps de captura i d'emissió amb la tensió i la temperatura.

Com s'ha mostrat, en aquest dispositiu i aquestes condicions d'estrès, s'observa la càrrega i descàrrega de dues trampes diferents (defecte A i B), cada una d'elles caracteritzada per una distribució de  $\tau_c$  i  $\tau_e$  (Fig. 4.10). Com cada defecte té associada una distribució de  $\tau_c$  i  $\tau_e$ , cal analitzar els seus valors mitjos ( $\langle \tau_c \rangle$  i  $\langle \tau_e \rangle$ ) per poder estudiar les seves dependències amb la tensió de porta i la temperatura i extraure la llei empírica que descriu el seu comportament a altres tensions i temperatures. A continuació es calculen els valors mitjos dels temps de captura i emissió dels dos defectes i s'avaluen les seves dependències amb la tensió d'estrès i la temperatura.

En la Fig. 4.13 s'ha representat l'evolució del corrent de drenador en funció del temps, per diferents tensions de porta. Com es pot observar, el defecte B (amb  $\delta I_D \approx 100\text{nA}$ ), a una tensió de  $V_{GS} = -0.7\text{V}$ , captura una càrrega a 50 segons. Però a mesura que augmenta la tensió, el temps de captura disminueix, com indica la fletxa. Per a tensions de porta superiors a  $-1.2\text{V}$  (valor absolut) la descàrrega del defecte B no



s'observa, el que suggereix que es carrega immediatament després d'aplicar el voltatge i no es descarrega en la finestra temporal considerada. Pel que fa al defecte A (amb  $\delta I_D \approx 50 \text{ nA}$ ), els zooms de la figura permeten visualitzar millor el seu comportament. Notem que, a mesura que s'augmenta la tensió de porta  $|V_{GS}|$ , els  $\tau_c$  decreixen, mentre augmenten els  $\tau_e$  (Fig. 4.13b i c). En el cas del defecte A, la captura és gairebé immediata quan s'inicia l'estrès mentre el temps d'emissió és cada vegada més gran quan la tensió augmenta, arribant a ser els esdeveniments d'emissió minoritaris a  $-1.4 \text{ V}$ .



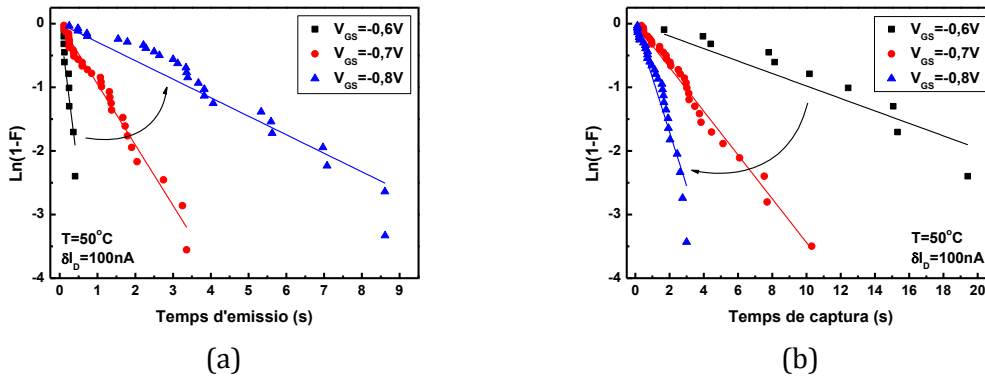
**Fig. 4.13** Evolució del corrent de drenador  $I_D$  per diferents tensions de porta,  $V_{GS}$ , a  $T = 7.5^\circ\text{C}$ . A mesura que s'augmenta la tensió de porta  $V_{GS}$ ,  $\tau_c$  decreix, mentre augmenta  $\tau_e$ . Els cercles i la fletxa corresponen a la càrrega del defecte B ( $\delta I_D \approx 100 \text{ nA}$ ) que es desplaça cap a temps menors a mesura que augmenta la tensió. Els zooms de les traces mostren en (b) i (c) el canvis de  $\tau_e$  i  $\tau_c$  amb la tensió, pel defecte A ( $\delta I_D \approx 50 \text{ nA}$ ).

Per estudiar en detall la dependència de  $\tau_c$  i  $\tau_e$  amb la tensió de porta, s'han representat les distribucions estadístiques d'aquests paràmetres, assumint una distribució exponencial de  $\tau_c$  i  $\tau_e$  [114]. La funció acumulada de probabilitat,  $F$ , vindrà així donada per l'equació (4.1).

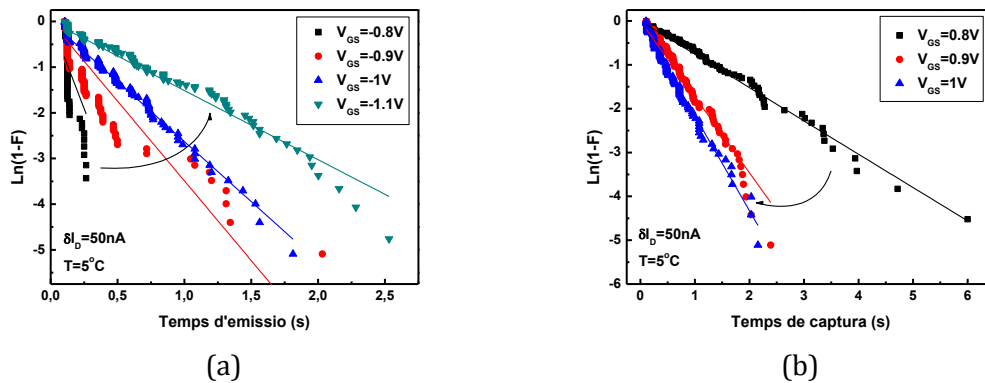
$$\ln(1 - F(V, T)) = \frac{-\tau}{\langle \tau(V, T) \rangle} \quad (4.1)$$

on  $\langle \tau \rangle$  representa els valors mitjans de  $\tau_c$  i  $\tau_e$ . Així, les distribucions dels temps de captura i d'emissió representades en un gràfic on l'eix y és  $\ln(1-F)$ , donaran lloc a una línia recta on el pendent és  $\langle \tau \rangle^{-1}$ . En la Fig. 4.14 es mostren els valors experimentals (símbols) i els ajustos (línies) a l'equació (4.1), pel cas del defecte B ( $\delta I_D \approx 100 \text{ nA}$ ), de les distribucions estadístiques dels temps de captura (b) i d'emissió (a) mesurats a una temperatura de  $50^\circ\text{C}$  a diferents tensions de porta. En la Fig. 4.15 es representen les corresponents al defecte A ( $\delta I_D \approx 50 \text{ nA}$ ) a una temperatura de  $5^\circ\text{C}$ . S'ha considerat temperatures diferents pels dos defectes perquè, com s'ha vist en la secció anterior, el rang de temperatures en

que s'observen les càrregues/descàrregues varien per cada defecte (a temperatures baixes domina el defecte A, mentre que a temperatures altes, el que domina és el defecte B).



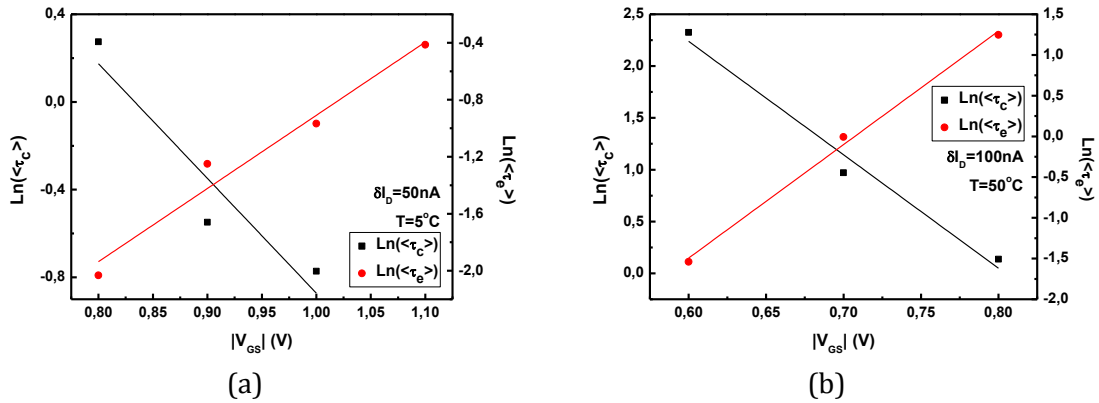
**Fig. 4.14** Distribució estadística dels valors experimentals (símbols) del temps d'emissió (a) i de captura (b) corresponents al defecte B ( $\delta I_D \approx 100\text{nA}$ ) per diferents tensions de porta a una temperatura  $T = 50^\circ\text{C}$ . Les línies corresponen als ajustos dels valors experimentals a l'equació (4.1). Els valors mitjos  $\langle\tau_c\rangle$  i  $\langle\tau_e\rangle$  s'obtenen de la inversa dels pendents de les rectes en aquests plots.



**Fig. 4.15** Distribució estadística dels valors experimentals del temps d'emissió (a) i de captura (b) corresponents al defecte A ( $\delta I_D \approx 50\text{nA}$ ) per diferents tensions de porta a una temperatura  $T = 5^\circ\text{C}$ . Les línies corresponen als ajustos dels valors experimentals a l'equació (4.1). Els valors mitjos  $\langle\tau_c\rangle$  i  $\langle\tau_e\rangle$  s'obtenen de la inversa del pendent de les rectes en aquests plots.

Les Fig. 4.14 i Fig. 4.15 indiquen que, pels dos defectes, quan s'augmenta la tensió d'estrès (en valor absolut), els pendents disminueixen pel cas del temps d'emissió, mentre que augmenten pels temps de captura, és a dir,  $\tau_e$  augmenta amb  $V_{GS}$  i  $\tau_c$  disminueix. Això es pot veure més clarament a la Fig. 4.16, en la que es representen els valors mitjos dels temps de captura i d'emissió, en funció de la tensió de porta, pels dos defectes. A mesura que s'augmenta la tensió de porta (en valor absolut), el temps de captura disminueix, mentre que el d'emissió augmenta, ambdós amb una dependència exponencial de la forma (4.2) [173], on  $a$  i  $b$  són constants.  $b$  és negativa en el cas del temps de captura i positiva en el cas del temps d'emissió.

$$\langle\tau\rangle = a \cdot \exp(b \cdot |V_{GS}|) \quad (4.2)$$



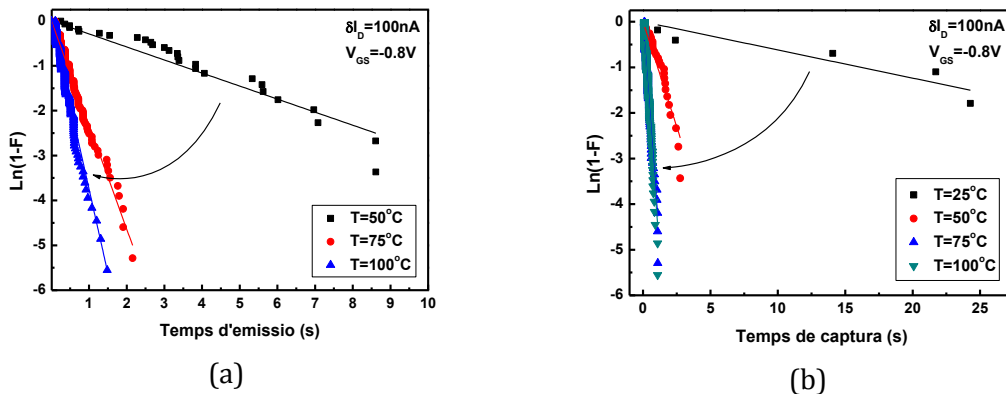
**Fig. 4.16** Dependències amb  $V_{GS}$  de  $\langle \tau_e \rangle$  (cercles) i  $\langle \tau_c \rangle$  (quadrats) per als dos defectes analitzats, per una temperatura de  $5^\circ\text{C}$  en el cas del defecte amb  $\delta I_D \approx 50 \text{ nA}$  (a) i temperatura de  $50^\circ\text{C}$  pel cas del defecte amb  $\delta I_D \approx 100 \text{ nA}$  (b).

A la Taula 4.1 s'inclouen els valors dels paràmetres  $a$  i  $b$  pels defectes A i B per a temperatures diferents, obtinguts dels ajustos de la Fig. 4.16.

$\delta I_D$ (nA)	T ( $^\circ\text{C}$ )	$a(\tau_c)$ (s)	$a(\tau_e)$ (s)	$b(\tau_c)$ ( $\text{V}^{-1}$ )	$b(\tau_e)$ ( $\text{V}^{-1}$ )
50	5	78.3	$2.37 \cdot 10^{-3}$	-5.23	5.13
100	50	6.66	$5.25 \cdot 10^{-5}$	-10.9	13.9

**Taula 4.1** Valors dels paràmetres  $a$  i  $b$  que ajusten millor els valors mitjos de  $\tau_c$  i  $\tau_e$  (Fig. 4.16) a l'equació (4.2).

A continuació, s'analitza la dependència de  $\tau_c$  i  $\tau_e$  amb la temperatura. Per a fer-ho, s'han representat les distribucions estadístiques de  $\tau_c$  (Fig. 4.17b) i  $\tau_e$  (Fig. 4.17a) del defecte B ( $\delta I_D \approx 100 \text{ nA}$ ) per diferents temperatures, per  $V_{GS} = -0.8 \text{ V}$ , i s'han ajustat a l'equació (4.1). Novament els pendents permetran obtenir els valors mitjos dels temps de captura i d'emissió i la seva dependència amb la temperatura. La Fig. 4.17 indica que  $\langle \tau \rangle$  disminueix amb la temperatura, tant pel cas del temps de captura com del d'emissió.

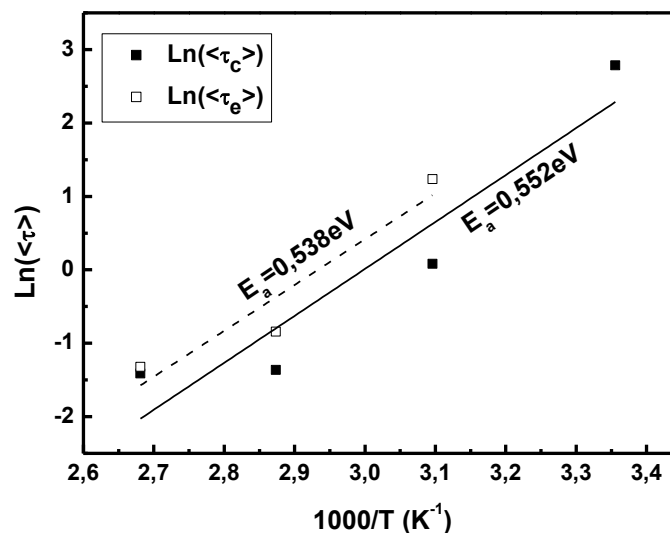


**Fig. 4.17** Distribucions estadístiques del temps d'emissió (a) i de captura (b) del defecte amb un canvi en el corrent de drenador  $\delta I_D \approx 100 \text{ nA}$ , per a diferents temperatures, a una tensió de porta  $V_{GS} = -0.8 \text{ V}$ .

En la Fig. 4.18 es representen els valors de  $\langle\tau_c\rangle$  i  $\langle\tau_e\rangle$  en funció de la temperatura, per a  $V_{GS} = -0.8V$ , en un plot d'Arrhenius. A partir del pendent d'aquest tipus de representació es poden extreure els valors de l'energia d'activació dels defectes amb l'equació (4.3) [170].

$$\langle\tau\rangle = \langle\tau_0\rangle \exp\left(\frac{E_a}{k_B T}\right) \quad (4.3)$$

on  $k_B$  és la constant de Boltzmann ( $1.38 \cdot 10^{-23} J/K$ ),  $E_a$  és l'energia d'activació del defecte, per als temps mitjos de captura o d'emissió, i  $T$  és la temperatura absoluta. En la Fig. 4.18 s'indiquen els valors de les energies d'activació pels temps de captura i d'emissió per al defecte B, a la tensió de porta de  $-0.8V$ . Com es pot observar, en aquest cas les energies d'activació prenen valors similars.



**Fig. 4.18** Dependència de  $\langle\tau_c\rangle$  (símbol tancat) i  $\langle\tau_e\rangle$  (símbol obert) amb la temperatura, per a una tensió de porta de  $-0.8V$ . Les rectes corresponen als ajustos fets a l'equació (4.3).

Finalment, un cop determinades les dependències de  $\langle\tau_c\rangle$  i  $\langle\tau_e\rangle$  amb la tensió de porta i la temperatura, es pot proposar una llei empírica que permetrà l'extrapolació a altres condicions d'operació ( $V$ ,  $T$ ). Combinant les equacions (4.2) i (4.3) en una única funció, queda l'equació (4.4).

$$\langle\tau\rangle = K \cdot \exp(b \cdot |V_{GS}|) \cdot \exp\left(\frac{E_a}{k_B T}\right) \quad (4.4)$$

on  $b$  i  $E_a$  són els paràmetres empírics extrets dels ajustos anteriors i  $K$  és el producte de  $\langle\tau_0\rangle$  i  $a$ . L'equació (4.4) es farà servir per analitzar els efectes de la càrrega/descàrrega dels defectes dins dels dispositius en el funcionament d'un circuit electrònic.

## 4.4 Impacte del RTN i NBTI en circuits

Amb la caracterització dels defectes individuals descrita a les seccions anteriors s'han extret les dependències dels paràmetres característics dels defectes,  $\tau_c$ ,  $\tau_e$  i  $\delta I_D$  (o  $\eta$ ), que descriuen el comportament del defecte (i. e., la seva càrrega i descàrrega), amb la tensió de porta i la temperatura. La càrrega i descàrrega dels defectes comporta una variació en la tensió llindar que modifica les propietats del dispositiu i que, com a conseqüència, pot introduir efectes en la resposta de circuits electrònics. No només això, en dispositius petits, la càrrega/descàrrega de defectes pot introduir una variabilitat extra en la  $V_T$ , addicional a la introduïda pel procés de fabricació, que pot influir també negativament en les prestacions dels circuits. Per aquest motiu, es fa necessari estudiar la resposta d'un circuit quan s'introdueixen aquests efectes en els dispositius. Així doncs, les lleis empíriques trobades en la secció anterior que descriuen les dependències de  $\tau_c$  i  $\tau_e$  amb la tensió de porta i la temperatura, per uns defectes particulars, s'han introduït en un simulador de circuits, per analitzar la degradació ( $\Delta V_T$ ) i variabilitat experimentada pel dispositiu en les condicions d'operació imposades pel circuit. Finalment, s'ha avaluat com afecta aquesta degradació en les prestacions del circuit.

Per això, s'ha utilitzat l'eina de simulació desenvolupada en el grup REDEC de la UAB anomenada RELAB (*Reliability Evaluation Tool of the UAB*) [174]. Aquesta eina combina simulacions Monte Carlo amb simulacions SPICE per tal de poder predir els efectes de la degradació dels transistors en el funcionament dels circuits.

### 4.4.1 Flux de simulació

RELAB és una eina de simulació de combina simulacions SPICE amb simulacions Monte Carlo. El fitxer SPICE és on es defineix el circuit el comportament del qual es vol estudiar. Inicialment en aquest fitxer es defineixen les característiques elèctriques dels dispositius frescos, és a dir, tipus (nMOS o pMOS), àrea, mobilitat i tensió llindar inicial de simulació, etc. S'han considerat dispositius amb les mateixes característiques que les dels transistors mesurats experimentalment en els apartats anteriors. Les simulacions Monte Carlo generen valors aleatoris de  $\tau_c$ ,  $\tau_e$  i  $\eta$ , que resultaran en una distribució estadística de les variacions de  $V_T$  en els dispositius. Aquestes calcularan els desplaçaments de  $V_T$  en els transistors, degut a la càrrega/descàrrega dels defectes, durant l'operació del circuit.

A la Fig. 4.19 es mostra el flux de simulació de RELAB. Com s'ha comentat anteriorment, inicialment es defineix el circuit electrònic a estudiar i les característiques dels dispositius amb els que està fabricat. A continuació, s'executa una simulació SPICE per tal de determinar les tensions en tots els terminals dels dispositius en el circuit. Tenint en compte les tensions trobades, les lleis empíriques que descriuen les dependències dels paràmetres,  $\tau_c$  i  $\tau_e$ , a les condicions d'operació, i models físics que descriuen la fiabilitat i la variabilitat dels dispositius (el OPD en el nostre cas), a partir de simulacions Monte Carlo, es calculen les  $\Delta V_T$  experimentades pels dispositius degudes a la càrrega i descàrrega dels defectes a les condicions d'operació particulars. Per introduir aquests desplaçaments de la tensió llindar del dispositiu per la degradació es connecten fonts de tensió en el terminal

de porta dels dispositius, com es mostra en la Fig. 4.20. Cada nova simulació SPICE a un temps diferent dóna com a resultat l'evolució temporal del funcionament del circuit.

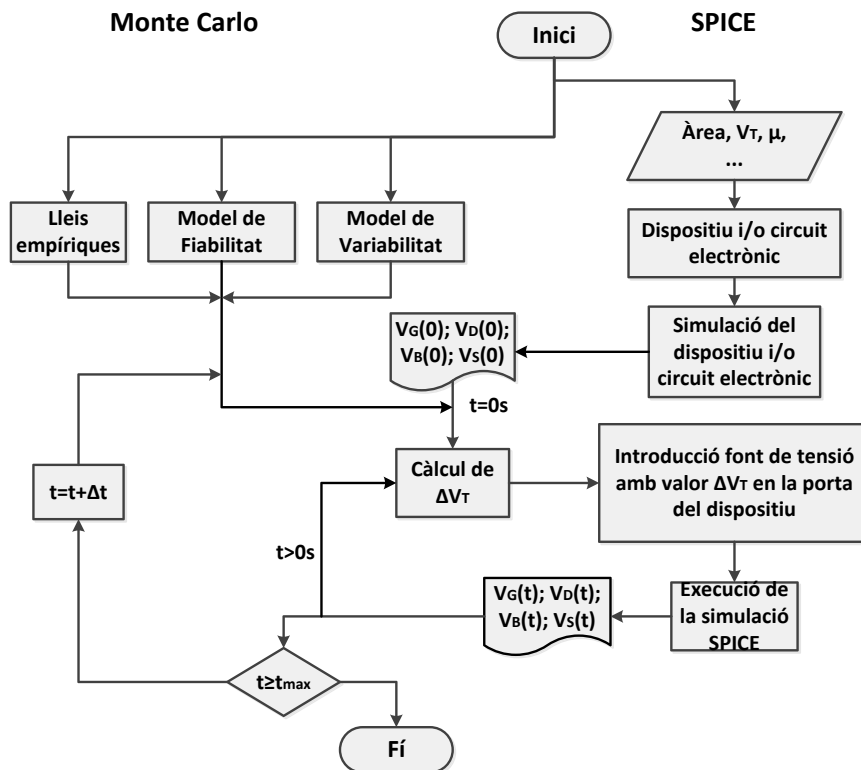


Fig. 4.19 Diagrama de flux del simulador RELAB.

Amb RELAB, primerament s'analitzarà el comportament elèctric d'un únic transistor en funció de la quantitat de defectes en el dielèctric (que serà indicatiu de l'àrea del canal) i diferents tensions de porta.

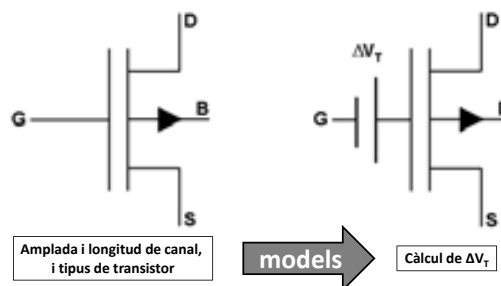


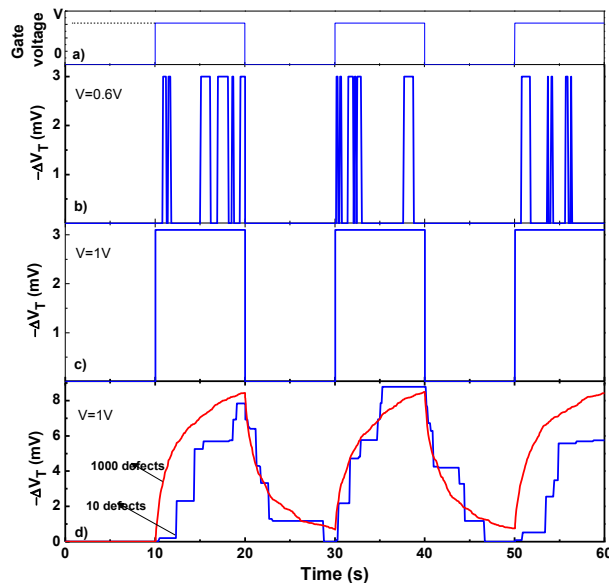
Fig. 4.20 Per poder considerar la variació de la tensió llindar durant la simulació del circuit, el simulador RELAB introdueix una font de tensió, amb valor  $\Delta V_T$ , a la porta de cada transistor. RELAB llegeix del fitxer SPICE els paràmetres del transistor necessaris per calcular el valor de  $\Delta V_T$ , com l'àrea del transistor, el tipus de substrat (N o P).  $\Delta V_T$  es calcula a partir de models de la variabilitat i degradació dels transistors, els paràmetres dels quals han estat experimentalment determinats, tenint en compte les tensions de porta.

#### 4.4.2 Efectes de la càrrega/descàrrega de defectes en el comportament del transistor

Prenent com a base els resultats dels apartats anteriors, s'ha simulat els efectes de la càrrega/descàrrega dels defectes individuals en la interfície del canal en el canvi de la tensió llindar de transistors pMOS. Per fer-ho, s'ha considerat el model OPD per NBTI (*secció 1.4.1*) i les lleis empíriques per les dependències dels paràmetres del model amb les condicions d'operació (*secció 4.3*) [114]. En primer lloc, s'ha avaluat l'efecte de la càrrega/descàrrega d'un **únic defecte**, en funció de la tensió d'operació i la temperatura, en la tensió llindar del MOSFET. La probabilitat d'ocupació d'un defecte ha estat calculada a partir de les equacions (1.7) i (1.8), on  $\tau_c$  i  $\tau_e$  es generen seguint la distribució estadística (4.1), utilitzant com a valors mitjos del temps de captura i d'emissió els calculats a partir de l'equació (4.4) (que depenen de  $V$  i  $T$ ) i com a valor de  $\eta$  el del defecte amb  $\delta I_D \approx 50\text{nA}$  ( $-3.81\text{mV}$ ), on  $\eta$  és independent de  $V$  i  $T$ . Per últim, a partir de l'equació (1.9), es calcula el desplaçament de  $V_T$ . Un exemple de la variació de  $V_T$  relacionada amb la càrrega/descàrrega d'un únic defecte s'il·lustra en la Fig. 4.21 (b i c), on es considera que s'aplica a la porta una  $V_{GS}$  polsada amb període de 20 segons (Fig. 4.21a). En aquest exemple s'ha considerat un defecte que causa un canvi  $\eta = -3.81\text{mV}$  en  $V_T$  (defecte mesurat experimentalment amb  $\delta I_D \approx 50\text{nA}$ ) quan aquest està ocupat i que, per  $V_{GS} = -0.6\text{V}$  i  $T=25^\circ\text{C}$ , s'obtenen, a partir de l'equació (4.4), els valors de  $\langle\tau_c\rangle = 1.2\text{s}$  i  $\langle\tau_e\rangle = 0.45\text{s}$ . La Fig. 4.21b mostra els valors de  $\Delta V_T$ , que en aquest cas coincideix amb  $\eta$ , doncs  $N=1$ , causat per la càrrega/descàrrega d'aquest defecte quan la tensió de porta té una amplitud de  $V_{GS}=-0.6\text{V}$ . Es pot observar que, igual que en la Fig. 4.8, ara també s'obté el comportament típic de RTN, ja que per aquest defecte, a aquestes tensions de porta, els valors mitjos del temps de captura i d'emissió són inferiors al temps en el que el senyal està en un estat alt de tensió (10 segons), de manera que la probabilitat de carregar-se i descarregar-se en cada semiperíode són molt elevades. La Fig. 4.21c mostra les traces de  $\Delta V_T$  pel mateix defecte quan a la porta s'aplica una tensió  $V_{GS} = -1\text{V}$ . En aquest cas, el defecte es manté carregat durant tot el semiperíode en el que la tensió de porta es troba en un estat alt, degut a que els temps mitjos de captura ha disminuït i el d'emissió ha augmentat ( $\langle\tau_c\rangle = 0.15\text{ms}$  i  $\langle\tau_e\rangle=26\text{s}$ ), i per tant la probabilitat de que el defecte es carregui és molt elevada, mentre que la probabilitat de que es descarregui és molt petita en aquest semiperíode.

A continuació s'ha considerat un cas més real en el que en un dispositiu coexisteixen **varis defectes**, el comportament dels quals queda descrit per diferents valors de  $\langle\tau_c\rangle$ ,  $\langle\tau_e\rangle$  i  $\eta$ , de manera que s'han de tenir en compte les contribucions de cadascun dels defectes. Les lleis empíriques trobades en apartats anteriors descriuen el comportament d'un únic defecte, sense considerar les contribucions de cap altre, per això s'ha hagut d'utilitzar el model OPD per calcular els  $\tau_{c,e}$  de múltiple defectes. Assumint que  $\eta$  segueixen una distribució exponencial [111], amb el seu valor mig amb  $\langle\eta\rangle = -4.75\text{mV}$  (valor semblant al defecte detectat experimentalment,  $\eta = -3.81\text{mV}$ ) [114], la Fig. 4.21d mostra les traces de  $\Delta V_T$  quan es consideren simultàniament 10 defectes (que pot representar el cas d'un dispositiu d'àrea petita) i 1000 defectes (dispositiu d'àrea gran) a una temperatura de  $25^\circ\text{C}$ . Cal destacar que l'evolució de  $\Delta V_T$  obtinguda en funció del temps correspon al comportament típic del NBTI durant les fases d'estrès ( $V_{GS} = -1\text{V}$ ) i relaxació ( $V_{GS} = 0\text{V}$ ), produint-se de forma discreta en dispositius petits (10 defectes) i contínua en dispositius grans (1000 defectes). A partir dels resultats mostrats a la Fig. 4.21 es pot

concloure que les fenomenologies RTN i NBTI tenen el mateix origen, és a dir, són causades pel mateixos defectes. Per tant, la caracterització dels dos fenòmens es realitzen de forma idèntica. Ara bé, la seva observació dependrà de les condicions (voltatge, temperatura, temps) a les que el dispositiu estigui sotmès. Per altra banda, es pot observar que les tensions d'operació dels dispositius actuals estan en el rang de tensions utilitzat durant la caracterització dels defectes (entre 0.6V i 1.4V), això vol dir que, en la tecnologia actual, on l'àrea dels dispositius cada vegada és més petita, s'haurà de tenir en compte els efectes de la variabilitat de  $V_T$  introduïts pel fenomen de RTN.

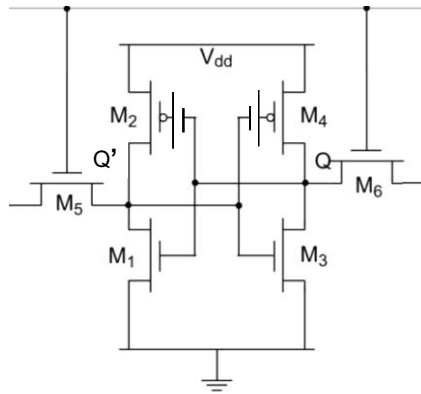


**Fig. 4.21** (a) Ona polsada aplicada a la porta d'un pMOSFET. (b) Traces de  $\Delta V_T$  obtingudes pel cas d'un únic defecte descrit per  $\langle \tau_e \rangle = 0.45s$ ,  $\langle \tau_c \rangle = 1.2s$  i  $\eta = -3.81mV$  ( $\delta I_D \approx 50nA$ ) quan  $V_{GS} = -0.6V$ , i (c)  $V_{GS} = -1V$ . (d) Traces de  $\Delta V_T$  obtingudes quan en el dispositiu hi han 10 defectes i 1000 defectes. El desplaçament típic de  $\Delta V_T$  observat durant estressos NBTI durant l'estrès i la relaxació es reproduïen correctament.

#### 4.4.3 Efectes del RTN i BTI en cel·les SRAM

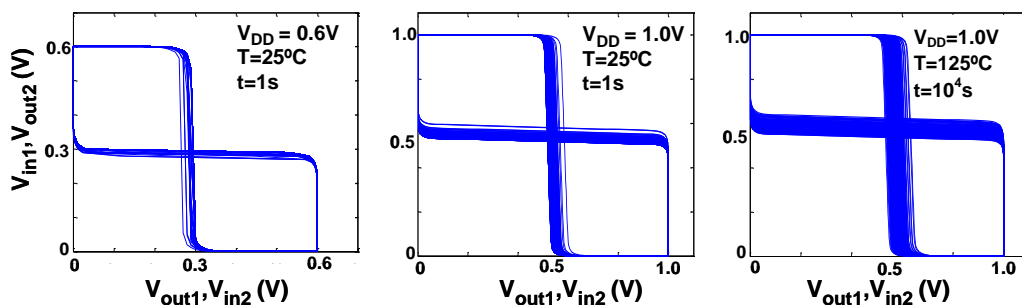
Un cop analitzada la variació de la tensió llindar en un dispositiu, per diferents quantitats de defectes i a diferents tensions de porta, s'ha analitzat els efectes de la variació de la tensió llindar, associada a RTN i NBTI relacionada amb aquests defectes, en el funcionament i la variabilitat d'una cel·la SRAM, com a circuit d'exemple. Per poder considerar la variació de la tensió llindar en la simulació SPICE de la cel·la SRAM, s'ha utilitzat la mateixa metodologia que en el cas d'un únic dispositiu, és a dir, s'ha introduït una font de tensió en el terminal de porta dels transistors pMOS (Fig. 4.22). El seu valor,  $\Delta V_T$ , s'ha calculat a partir de l'eina RELAB descrita en l'apartat 4.4.1. Les simulacions s'han fet pel cas en el que l'estat lògic canvia entre '0' ( $V_Q = 0$ ,  $V_{Q'} = V_{DD}$ ) i '1' ( $V_Q = V_{DD}$ ,  $V_{Q'} = 0$ ) cada 100ms. S'ha considerat que els transistors són de les mateixes característiques que els analitzats experimentalment en les seccions anteriors i tenen associats 10 defectes en la interfície òxid/substrat. Les distribucions de  $\tau_{c,e}$  i  $\eta$  que s'han considerat són les mateixes que l'apartat anterior (per a un dispositiu amb múltiples defectes) calculades a partir del model OPD i amb  $\langle \eta \rangle = 4.75mV$ , per cada transistor pMOS.





**Fig. 4.22** Cel·la SRAM utilitzada per avaluar l'efecte de l'atrapament i desatrapament de càrrega en els defectes d'un circuit. Per tenir en compte les variacions de  $V_T$ , s'ha introduït una font de tensió a la porta de cada transistor pMOS, el valor de les quals ha estat obtingut a partir del model OPD.

La Fig. 4.23 mostra les característiques de transferència (*Butterfly plot*) de les cel·les SRAM per a tres condicions diferents d'operació: (a)  $V_{DD} = 0.6V$ ,  $T = 25^\circ C$  i  $t = 1s$ ; (b)  $V_{DD}=1V$ ,  $T = 25^\circ C$  i  $t = 1s$ ; i (c)  $V_{DD} = 1V$ ,  $T = 125^\circ C$  i  $t = 10^4s$ . Per analitzar amb detall com canvia la resposta del circuit a mesura que es canvien les condicions de treball, de (a) a (b) s'ha augmentat la tensió de porta, mentre el temps i la temperatura es mantenen fixes, i en (c) es fixa la tensió de porta a  $V_{GS} = -1V$  (com a (b)) i s'augmenta la temperatura i el temps d'operació. A tensions baixes, temps curts i temperatures relativament baixes (Fig. 4.23a), els temps de captura seran superiors al temps d'operació del dispositiu ( $t = 1s$ ) i només atraparan càrrega aquells pocs defectes amb un temps de captura inferior a 1 segon. Per tant, les variacions de la tensió llindar seran petites així com la dispersió de la cel·la per l'aleatorietat del fenomen d'atrapar/desatrapar. Quan s'augmenta la tensió de porta (b), el temps de captura dels defectes disminueix. Així, mentre que defectes que a tensions baixes no es podien carregar (donat que tenien temps de captura massa gran), ara sí que ho poden fer, comportant un augment en  $\Delta V_T$ . Si a més s'augmenta la temperatura i el temps d'operació (condició (c)) els temps de captura disminuiran degut a la temperatura i com ara el temps d'operació és molt més gran ( $10^4s$ ) tots o gairebé tots els defectes contribuiran a la variació de la tensió llindar. Això es pot verificar en la Fig. 4.23, que mostra com la variabilitat del circuit està fortament influenciada per les condicions d'operació; a mesura que s'augmenta la tensió de porta, la temperatura i el temps d'operació, la variabilitat augmenta degut a la contribució de tots o gairebé tots els defectes en el desplaçament de  $V_T$ , fet que pot arribar a afectar negativament el funcionament del circuit.



**Fig. 4.23** *Butterfly plots* simulats de les cel·les SRAM a diferents condicions d'operació. En cadascuna de les condicions s'han simulat 200 cel·les idèntiques.

Per analitzar amb més detall l'impacte dels defectes en les cel·les SRAM, s'ha calculat el Marge de Soroll Estàtic (SNM, de l'anglès *Static Noise Margin*) de la cel·la SRAM. Aquest proporciona informació sobre la tolerància màxima de soroll que no causa alteracions en la lectura, i es mesura a partir de la longitud del costat del quadrat d'àrea més gran que s'ajusta dins la superfície entre les gràfiques dels dos inversors (Fig. 4.24).

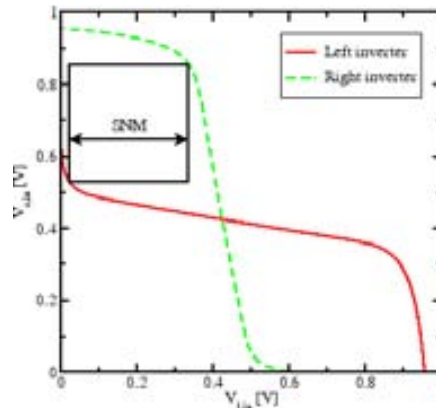


Fig. 4.24 Representació del Marge de Soroll Estàtic (SNM) [175].

Per a cada condició de treball, s'ha representat la distribució estadística del SNM en la Fig. 4.25. A  $V_{DD} = 0.6$  V,  $T = 25^{\circ}\text{C}$  i  $t = 1$  s (Fig. 4.25a) s'observa una dispersió de SNM molt baixa ( $\langle \text{SNM} \rangle = 264.7 \pm 2.2$  mV) (Fig. 4.23a) degut a que, com s'ha vist, només uns pocs defectes són capaços d'atrapar o desatrapar càrrega i la tensió llindar dels transistors gairebé no es veu modificada. Quan s'augmenta  $V_{DD}$  (Fig. 4.25b) també ho fa  $\langle \text{SNM} \rangle$  com era d'esperar quan s'augmenta  $V_{DD}$ , però també augmenta la dispersió doncs el número de defectes que poden atrapar i desatrapar càrrega creix. Com a conseqüència, s'observa un increment de la dispersió de SNM ( $\langle \text{SNM} \rangle = 438.5 \pm 9.2$  mV). Per l'últim cas (Fig. 4.25c), a altes temperatures i temps d'operació, defectes que estaven buits en els casos (a) i (b), ara es troben ocupats (això vol dir que contribueixen a un desplaçament net de  $V_T$ , típic del NBTI, Fig. 4.21d) augmenta la dispersió en les corbes de la Fig. 4.23. Conseqüentment, la distribució de SNM es desplaça cap a valors més petits i augmenta la seva dispersió ( $\langle \text{SNM} \rangle = 402.0 \pm 15.8$  mV) i per tant, les prestacions del circuit empitjoren i augmenta la variabilitat.

Aquests resultats demostren que els efectes de l'atrapament/desatrapament de càrrega en defectes a la interfície, causants del RTN i el NBTI, introdueixen una variabilitat en la resposta dels circuits que, a les condicions nominals d'operació del circuit (tensions baixes, temperatures altes i temps de treball molt llargs) afectaran a les seves prestacions.

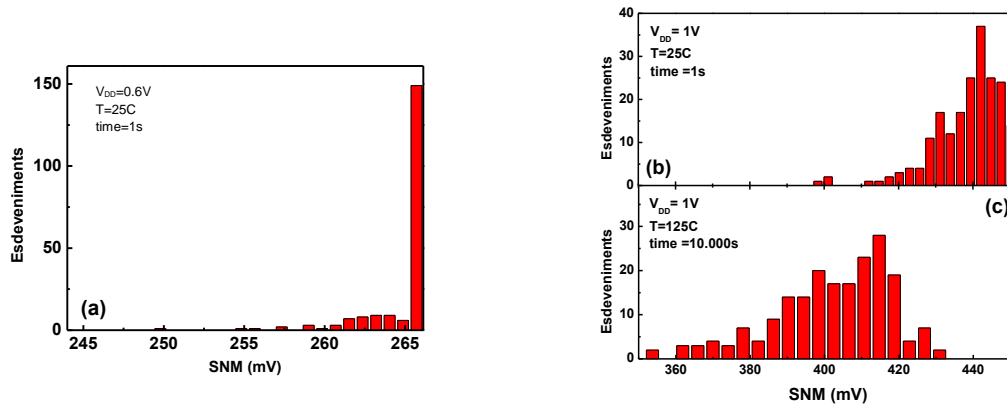


Fig. 4.25 Distributions de SNM obtingudes per a les cel·les SRAM a diferents condicions d'operació.

Com a resum, en aquest capítol s'han avaluat les dependències dels paràmetres  $\tau_c$ ,  $\tau_e$  i  $\eta$ , característics de cada defecte, en funció de la tensió d'estrès i la temperatura. A partir d'aquestes dependències s'ha trobat una llei empírica capaç de predir el seu valor a altres condicions d'operació. Els resultats han mostrat que els temps de captura i d'emissió disminueixen amb la temperatura de forma exponencial. Per una altra banda, a mesura que s'augmenta la tensió de porta els temps de captura disminueixen mentre augmenten els d'emissió, també seguint una llei exponencial en els dos casos.

Un cop trobada la llei empírica i amb l'ajut de l'eina RELAB, desenvolupada en la UAB, s'ha simulat el comportament de la  $V_T$  d'un transistor en el que es considerava un únic defecte, per a dos tensions de porta diferents, mostrant que a tensions baixes la tensió llindar té un comportament RTN, mentre que a tensions altes el defecte es carrega de forma instantània i no es descarrega fins que es deixa d'aplicar la tensió d'estrès. A continuació s'ha simulat el comportament de la  $V_T$  en el que es consideren 10 defectes dins de l'interfície òxid-substrat (transistor canal curt) i en el que es consideren 1000 defectes (canal llarg). Els resultats han mostrat que el comportament de  $V_T$  és el mateix que el trobat en estressos NBTI, amb càrregues i descàrregues discretes en el cas de transistors de canal curt (10 defectes) i contínues en el cas de transistors de canal llarg (1000 defectes). Aquests resultats han permès concloure que la fenomenologia del RTN i el NBTI tenen l'origen en els mateixos defectes, i la seva detecció dependrà de les condicions d'operació ( $V$ ,  $T$ ) del transistor.

A més, l'evolució discreta de  $V_T$  implica una variabilitat extra que pot afectar al funcionament de circuits electrònics. Per avaluar aquests efectes, com a exemple s'ha simulat una cel·la SRAM en la que pels transistors pMOS s'ha tingut en compte la variació de  $V_T$  deguda a la càrrega/descàrrega dels defectes. El SNM de les cel·les indiquen que a temps d'estrès llargs, temperatures i tensions d'operació, els defectes causants del RTN i el NBTI degraden les prestacions del circuit i introdueixen una variabilitat addicional que pot afectar a la fiabilitat dels circuits.



## Conclusions

L'escalat dels dispositius MOSFET, que ha portat a les tecnologies nanomètriques, ha comportat la introducció de nous materials, com per exemple els high-k com a dielèctrics de porta, i el Ge per augmentar la mobilitat. Ara bé, els beneficis de l'escalat en termes de millora de prestacions ha comportat problemes de variabilitat i de fiabilitat. Amb la disminució de les dimensions dels transistors, dos dispositius físicament idèntics no tenen les mateixes característiques elèctriques, variacions que poden ser decisives en el funcionament dels CIs. Per una altra banda, l'escalat dels transistors comporta augments dels camps elèctrics dins dels dispositius, de manera que poden aparèixer mecanismes de degradació que fan disminuir la seva vida útil. Entre els principals mecanismes de degradació que fan disminuir la fiabilitat dels transistors estan el *Bias Temperature Instability* (BTI), la degradació per *Channel Hot-Carrier* (CHC) i la ruptura dielèctrica (BD). Aquesta tesi s'ha centrat en els mecanismes de degradació de BTI i CHC en dispositius de tecnologies avançades, en particular, MOSFETs amb SiGe S/D, per augmentar la mobilitat, i dielèctric high-k com a material de porta, per disminuir el corrent de porta o amb àrea petita.

En primer lloc, s'ha estudiat la degradació durant estressos NBTI i CHC en dispositius *strain*, en concret en SiGe S/D, a partir de la variació de  $\Delta V_T$  amb el temps. La degradació en aquestes mostres s'ha comparat amb la de mostres de referència. Els resultats mostren que:

- La degradació per NBTI no depèn de la longitud de canal, mentre que per estressos CHC aquesta és molt superior en dispositius amb canal curt.
- Les dependències de la degradació amb el temps d'estrès obeeixen una llei potencial, essent el ritme de degradació més gran per CHC.
- La degradació NBTI no depèn de l'estrès mecànic del canal. En el cas d'estressos CHC però, tot i que el ritme de degradació és superior en mostres de referència, la degradació inicial és superior en mostres amb SiGe S/D.

- Les dependències de  $\Delta V_T$  en funció de la tensió d'estrès han mostrat que aquestes segueixen una llei potencial, amb un factor d'acceleració superior pel cas d'estressos CHC.

A partir dels resultats experimentals de les dependències de  $\Delta V_T$  en funció del temps i la tensió d'estrès, s'ha proposat una llei empírica que proporciona la degradació (en termes de  $\Delta V_T$ ) per qualsevol temps i tensió d'estrès, tant per mostres *strain* com de referència. S'ha comparat la variació de  $V_T$  per stressos CHC i NBTI, primer a tensions típiques d'estrès i, després, a tensions i temps típics d'operació. Els resultats mostren que:

- La degradació produïda per CHC domina per a tensions elevades i temps d'estrès llargs. En el cas de transistors *strain*, la degradació per CHC és més important, podent-se mesurar a valors de temps considerablement curts.
- En les condicions d'operació, per mostres de referència, el mecanisme de fallada dominant és el NBTI. Per contra, en mostres *strain*, l'estrès per CHC podria ser més rellevant, essent el que controli la degradació del dispositiu.
- Les distribucions estadístiques de la probabilitat de fallada per mostres *strain* i de referència indiquen que, per stressos NBTI, es compleix sempre amb els criteris de fiabilitat. No obstant això, alguns transistors amb SiGe S/D sotmesos a estrès CHC podrien fallar durant la seva operació en un CI.

A continuació, s'ha inclòs la variabilitat en l'avaluació de la fiabilitat d'aquests dispositius. Així, s'ha analitzat la *Time-Dependent Variability* (TDV) en mostres amb SiGe S/D i de referència, per stressos NBTI i CHC, considerant, addicionalment a  $V_T$ , els canvis en  $\mu$ . Per agilitzar l'estudi, s'ha automatitzat la seqüència de test per tal de realitzar els tests en múltiples mostres reduint el temps de mesura. Els resultats més rellevants han estat:

- Les distribucions estadístiques dels valors inicials de  $V_T$  i  $g_{m_{max}}$  (indicatiu de la mobilitat), per mostres *strain* i de referència, indiquen que la variabilitat de  $V_T$  i  $g_{m_{max}}$  (associada al procés), en dispositius amb SiGe S/D i de referència són semblants, del que es pot concloure que la introducció de Ge a la font i drenador no incorpora una variabilitat extra en les mostres.
- Quan s'aplica estrès NBTI, les variacions dels valors mitjos de  $\Delta V_T/V_T^{(0)}$  i  $\Delta\mu_r$  són aparentment independents de la introducció de Ge. Ara bé, en mostres *strain* la dispersió de  $\Delta V_T/V_T^{(0)}$  és superior i la de  $\Delta\mu_r$  inferior que en les de referència.
- En el cas d'estressos CHC, la variació dels valors mitjos de  $\Delta V_T/V_T^{(0)}$  és més gran en mostres *strain* mentre que la de  $\Delta\mu_r$  és semblant per ambdós tipus de mostres. Per altra banda, la dispersió de  $\Delta V_T$  per stressos CHC és inferior en el cas de mostres amb SiGe S/D.

S'ha analitzat l'impacte de la variació de  $V_T$  i  $\mu$  dels dispositius en un circuit. Com a exemple s'ha utilitzat, com a bloc constituent de molts circuits digitals, l'inversor CMOS, en el que s'inclou la degradació dels transistors pMOS. Aquesta degradació es considera modificant els paràmetres VTH0 i U0 del model de paràmetres SPICE BSIM4, variant-los pel mètode de Monte Carlo per tenir en compte la variabilitat. S'ha utilitzat el temps de pujada ( $t_{rise}$ ) del senyal de sortida de l'inversor com a paràmetre per avaluar l'impacte de la degradació del pMOS en les prestacions del circuit. Els resultats trobats han estat:

- En el cas d'estressos NBTI, tot i la variació menyspreable de  $\mu$  en comparació amb la de  $V_T$ , quan s'introdueix la variació de  $\mu$  en les simulacions de l'inversor s'obté un augment del temps de pujada en promig del 5%. Així doncs, per fer una correcta estimació del comportament del circuit després de l'estrès, és necessari tenir en compte la variació de la mobilitat en la descripció de les propietats del MOSFET.
- En el cas d'estressos CHC, tot i que la degradació en mostres amb SiGe S/D és lleugerament superior, l'augment de la mobilitat inicial en aquests transistors dóna lloc a una disminució del temps de pujada en l'inversor CMOS, el qual compensa la degradació produïda per l'estrès CHC.

Finalment, s'ha estudiat la degradació per BTI de dispositius d'àrea petita. Per això, en el context del model d'Ocupació Probabilística de Defectes (OPD) en el que s'atribueix la variació de  $V_T$  a la càrrega/descàrrega de defectes en el MOSFET, s'ha mesurat el corrent de drenador en dispositius sotmesos a aquest tipus d'estrès per extreure les dependències dels paràmetres del model, temps de captura ( $\tau_c$ ) i d'emissió ( $\tau_e$ ), i la variació de  $V_T$  que comporta la càrrega/descàrrega d'un defecte ( $\eta$ ), amb les condicions d'operació. Els resultats han mostrat que:

- La contribució a  $V_T$  de la càrrega/descàrrega d'un defecte no depèn de la tensió d'estrès. A mesura que augmenta la tensió d'estrès, disminueix el nombre de descàrregues durant la relaxació.
- Els valors mitjos dels temps de captura i d'emissió disminueixen amb la temperatura, seguint una llei d'Arrhenius.
- Quan s'augmenta la tensió de porta, els valors mitjos dels temps de captura disminueixen, mentre augmenten els temps d'emissió, seguint en ambdós casos una llei exponencial.

A partir, dels valors trobats experimentalment de les dependències dels paràmetres del model amb la tensió de porta i la temperatura, s'ha proposat una llei empírica per avaluar els seus valors a qualsevol condició d'operació. Amb aquesta llei empírica i juntament amb el model OPD, implementat a RELAB, un simulador de fiabilitat de circuits, s'ha avaluat l'impacte de la càrrega/descàrrega dels defectes en les prestacions del dispositiu i d'un circuit electrònic en funció de les condicions d'operació.

- A tensions i temperatures baixes, les variacions de la tensió llindar del dispositiu presenten el comportament típic del RTN, mentre que a tensions més altes presenten el comportament típic del NBTI. Això implica que el mecanisme que origina el RTN és el mateix que el del NBTI, i que el fet d'observar un comportament o un altre dependrà de les condicions d'operació.
- La SNM d'una cel·la SRAM a tensions i temperatures baixes mostra una dispersió molt petita. A mesura que s'augmenta la temperatura, tensió de porta i/o temps d'estrès però, la seva variabilitat augmenta considerablement disminuint el seu valor mig. Aquest resultat s'ha interpretat tenint en compte l'atrapament/desatrapament de càrrega en els defectes, que introdueix una variabilitat en la resposta dels circuits que, a les condicions nominals d'operació del circuit (tensions baixes, temperatures elevades i temps llargs d'operació) afectaran a les seves prestacions.

La metodologia de caracterització de dispositius més simulació de circuits adoptada en aquest treball obre nova via per anàlisi de la fiabilitat de dispositius i circuits, extrapolable a altres tecnologies.



## Referències

- [1] H. Esmailzadeh, T. Cao, Y. Xi, S. M. Blackburn, and K. S. McKinley, "Looking back on the language and hardware revolutions: measured power, performance, and scaling," *ACM SIGARCH Computer Architecture News*, vol. 39, pp. 319-332, 2011.
- [2] ITRS, "<http://www.itrs.net/>," 2012.
- [3] B. Streetman and S. Banerjee, *Solid State Electronic Devices*, 6th edition ed.: Prentice Hall, 2009.
- [4] J. E. Lilienfeld, "Method and apparatus for controlling electric currents," *U.S. Patent 1,745,175*, 1930.
- [5] J. N. Shurkin, *Broken genius*: Palgrave Macmillan, 2008.
- [6] D. Nirmal, P. V. Kumar, D. Joy, B. K. Jebalin, and N. M. Kumar, "Nanoscale tri gate MOSFET for Ultra low power applications using high-k dielectrics," *IEEE 5th International Nanoelectronics Conference*, pp. 12-19, 2013.
- [7] H. Po-Hsuan, L. Hongchin, and L. Yen-Tai, "A Simple Subthreshold CMOS Voltage Reference Circuit With Channel- Length Modulation Compensation," *IEEE Transactions on Circuits and Systems II*, vol. 53, pp. 882-885, 2006.
- [8] S. M. Sze, *Semiconductor devices: physics and technology*: Wiley-India, 2009.
- [9] R. H. Dennard, F. H. Gaensslen, V. Rideout, E. Bassous, and A. LeBlanc, "Design of ion-implanted MOSFET's with very small physical dimensions," *IEEE Journal of Solid-State Circuits*, vol. 9, pp. 256-268, 1974.
- [10] G. Baccarani, M. Wordeman, and R. Dennard, "Generalized scaling theory and its application to a ¼ micrometer MOSFET design," *IEEE Transactions on Electron Devices*, vol. 31, pp. 452-462, 1984.
- [11] Y. Taur and T. Ning, "Fundamentals of modern VLSI devices," 1998.

- [12] M. T. Bohr, R. S. Chau, T. Ghani, and K. Mistry, "The High-k Solution," *IEEE Spectrum* vol. 44, pp. 29-35, 2007.
- [13] M. Houssa, *High k Gate Dielectrics*: Taylor & Francis, 2003.
- [14] V. Singh, S. K. Sharma, D. Kumar, and R. K. Nahar, "Study of rapid thermal annealing on ultra thin high-k HfO<sub>2</sub> films properties for nano scaled MOSFET technology," *Microelectronic Engineering*, vol. 91, pp. 137-143, 2012.
- [15] N. m. a. d. group, "<http://nano.boisestate.edu/research-areas/gate-oxide-studies/>," *Boise State University*, 2013.
- [16] A. Kerber, E. Cartier, L. Pantisano, R. Degraeve, T. Kauerauf, Y. Kim, A. Hou, G. Groeseneken, H. Maes, and U. Schwalke, "Origin of the threshold voltage instability in SiO<sub>2</sub>/HfO<sub>2</sub> dual layer gate dielectrics," *IEEE Electron Device Letters*, vol. 24, pp. 87-89, 2003.
- [17] E. Gusev, E. Cartier, D. Buchanan, M. Gribelyuk, M. Copel, H. Okorn-Schmidt, and C. D'emic, "Ultrathin high-K metal oxides on silicon: processing, characterization and integration issues," *Microelectronic Engineering*, vol. 59, pp. 341-349, 2001.
- [18] G. Ribes, J. Mitard, M. Denais, S. Bruyere, F. Monsieur, C. Parthasarathy, E. Vincent, and G. Ghibaudo, "Review on high-k dielectrics reliability issues," *IEEE Transactions on Device and Materials Reliability*, vol. 5, pp. 5-19, 2005.
- [19] M. B. Gonzalez, "Defect Assessment Control and Engineering in Advanced Homo- and Hetero-Epitaxial Device Structures," *Katholieke Universiteit Leuven Ph.D Thesis*, 2011.
- [20] G. Eneman, "Design, fabrication and characterization of advanced Field Effect Transistors with strained silicon channels," *Katholieke Universiteit Leuven Ph.D Thesis* 2006.
- [21] G. Eneman, P. Verheyen, R. Rooyackers, R. Delhougne, R. Loo, M. Caymax, P. Meunier-Bellard, K. De Meyer, and W. Vandervorst, "Fabrication of strained Si nMOSFET transistors on thin buffer layers with selective and non-selective epitaxial growth techniques," *Materials Science in Semiconductor Processing*, vol. 8, pp. 337-342, 2005.
- [22] M. L. Lee, E. A. Fitzgerald, M. T. Bulsara, M. T. Currie, and A. Lochtefeld, "Strained Si, SiGe, and Ge channels for high-mobility metal-oxide-semiconductor field-effect transistors," *Journal of Applied Physics*, vol. 97, pp. 011101-011101-28, 2005.
- [23] J. Welser, J. Hoyt, and J. Gibbons, "Electron mobility enhancement in strained-Si n-type metal-oxide-semiconductor field-effect transistors," *IEEE Electron Device Letters*, vol. 15, pp. 100-102, 1994.
- [24] J. Welser, J. Hoyt, S.-I. Takagi, and J. Gibbons, "Strain dependence of the performance enhancement in strained-Si n-MOSFETs," *IEEE International Electron Devices Meeting*, pp. 373-376, 1994.
- [25] K.-W. Ang, K.-J. Chui, V. Bliznetsov, C.-H. Tung, A. Du, N. Balasubramanian, G. Samudra, M. F. Li, and Y.-C. Yeo, "Lattice strain analysis of transistor structures with silicon-germanium and silicon-carbon source/drain stressors," *Applied Physics Letters*, vol. 86, pp. 093102-093102-3, 2005.

- [26] C. Auth, A. Cappellani, J. S. Chun, A. Dalis, A. Davis, T. Ghani, G. Glass, T. Glassman, M. Harper, M. Hattendorf, P. Hentges, S. Jaloviar, S. Joshi, J. Klaus, K. Kuhn, D. Lavric, M. Lu, H. Mariappan, K. Mistry, B. Norris, N. Rahhal-orabi, P. Ranade, J. Sandford, L. Shifren, V. Souw, K. Tone, F. Tambwe, A. Thompson, D. Towner, T. Troeger, P. Vandervoorn, C. Wallace, J. Wiedemer, and C. Wiegand, "45nm High-k + metal gate strain-enhanced transistors," *Symposium on VLSI Technology*, pp. 128-129, 2008.
- [27] G. Eneman, E. Simoen, P. Verheyen, and K. De Meyer, "Gate influence on the layout sensitivity of Si<sub>1-x</sub>Ge<sub>x</sub> S/D and Si<sub>1-y</sub>Cy S/D transistors including an analytical model," *IEEE Transactions on Electron Devices*, vol. 55, pp. 2703-2711, 2008.
- [28] G. Eneman, P. Verheyen, R. Rooyackers, F. Nouri, L. Washington, R. Schreutelkamp, V. Moroz, L. Smith, A. De Keersgieter, and M. Jurczak, "Scalability of the Si/sub 1-x/Ge/sub x/source/drain technology for the 45-nm technology node and beyond," *IEEE Transactions on Electron Devices*, vol. 53, pp. 1647-1656, 2006.
- [29] T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, and J. Klaus, "A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors," *IEEE International Electron Devices Meeting*, pp. 11.6. 1-11.6. 3, 2003.
- [30] W.-H. Lee, A. Waite, H. Nii, H. Nayfeh, V. McGahay, H. Nakayama, D. Fried, H. Chen, L. Black, and R. Bolam, "High performance 65 nm SOI technology with enhanced transistor strain and advanced-low-K BEOL," *IEEE International Electron Devices Meeting*, pp. 55-59, 2005.
- [31] K. Mistry, C. Allen, C. Auth, B. Beattie, D. Bergstrom, M. Bost, M. Brazier, M. Buehler, A. Cappellani, R. Chau, C. H. Choi, G. Ding, K. Fischer, T. Ghani, R. Grover, W. Han, D. Hanken, M. Hattendorf, J. He, J. Hicks, R. Huessner, D. Ingerly, P. Jain, R. James, L. Jong, S. Joshi, C. Kenyon, K. Kuhn, K. Lee, H. Liu, J. Maiz, B. McIntyre, P. Moon, J. Neiryneck, S. Pae, C. Parker, D. Parsons, C. Prasad, L. Pipes, M. Prince, P. Ranade, T. Reynolds, J. Sandford, L. Shifren, J. Sebastian, J. Seiple, D. Simon, S. Sivakumar, P. Smith, C. Thomas, T. Troeger, P. Vandervoorn, S. Williams, and K. Zawadzki, "A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging," *IEEE International Electron Devices Meeting*, pp. 247-250, 10-12 Dec. 2007 2007.
- [32] P. Verheyen, G. Eneman, R. Rooyackers, R. Loo, L. Eeckhout, D. Rondas, F. Leys, J. Snow, D. Shamiryan, and M. Demand, "Demonstration of recessed SiGe S/D and inserted metal gate on HfO<sub>2</sub> for high performance pFETs," *IEEE International Electron Devices Meeting*, pp. 886-889, 2005.
- [33] Y.-C. Yeo, "Enhancing CMOS transistor performance using lattice-mismatched materials in source/drain regions," *Semiconductor Science and Technology*, vol. 22, p. S177, 2006.
- [34] K. W. Ang, K. J. Chui, V. Bliznetsov, A. Du, N. Balasubramanian, M. F. Li, G. Samudra, and Y.-C. Yeo, "Enhanced performance in 50 nm N-MOSFETs with silicon-carbon source/drain regions," *IEEE International Electron Devices Meeting*, pp. 1069-1071, 2004.
- [35] A. Biswas, "Determination of uniaxial stress of embedded Si<sub>1-y</sub>Cy source/drain nMOSFETs using numerical simulation techniques," *International Conference on Emerging Trends in Electronic and Photonic Devices and Systems*, pp. 45-48, 2009.

- [36] K.-J. Chui, K.-W. Ang, N. Balasubramanian, M.-F. Li, G. S. Samudra, and Y.-C. Yeo, "N-MOSFET with silicon-carbon source/drain for enhancement of carrier transport," *IEEE Transactions on Electron Devices*, vol. 54, pp. 249-256, 2007.
- [37] Z. Ren, G. Pei, J. Li, B. Yang, R. Takalkar, K. Chan, G. Xia, Z. Zhu, A. Madan, and T. Pinto, "On implementation of embedded phosphorus-doped SiC stressors in SOI nMOSFETs," *IEEE Symposium on VLSI Technology*, pp. 172-173, 2008.
- [38] P. Verheyen, V. Machkaoutsan, M. Bauer, D. Weeks, C. Kerner, F. Clemente, H. Bender, D. Shamiryan, R. Loo, T. Hoffmann, P. Absil, S. Biesemans, and S. G. Thomas, "Strain Enhanced nMOS Using In Situ Doped Embedded Si<sub>1-x</sub>C<sub>x</sub> S/D Stressors With up to 1.5% Substitutional Carbon Content Grown Using a Novel Deposition Process," *IEEE Electron Device Letters*, vol. 29, pp. 1206-1208, 2008.
- [39] P. Bai, C. Auth, S. Balakrishnan, M. Bost, R. Brain, V. Chikarmane, R. Heussner, M. Hussein, J. Hwang, and D. Ingerly, "A 65nm logic technology featuring 35nm gate lengths, enhanced channel strain, 8 Cu interconnect layers, low-k ILD and 0.57  $\mu\text{m}^2$  SRAM cell," *IEEE International Electron Devices Meeting*, pp. 657-660, 2004.
- [40] S. Ito, H. Namba, K. Yamaguchi, T. Hirata, K. Ando, S. Koyama, S. Kuroki, N. Ikezawa, T. Suzuki, and T. Saitoh, "Mechanical stress effect of etch-stop nitride and its impact on deep submicron transistor design," *IEEE International Electron Devices Meeting*, pp. 247-250, 2000.
- [41] T. Krishnamohan, Z. Krivokapic, K. Uchida, Y. Nishi, and K. C. Saraswat, "High-mobility ultrathin strained Ge MOSFETs on bulk and SOI with low band-to-band tunneling leakage: Experiments," *IEEE Transactions on Electron Devices*, vol. 53, pp. 990-999, 2006.
- [42] G. Nicholas, T. Grasby, D. Fulgoni, C. Beer, J. Parsons, M. Meuris, and M. Heyns, "High mobility strained Ge pMOSFETs with high- $\kappa$ /metal gate," *IEEE Electron Device Letters*, vol. 28, pp. 825-827, 2007.
- [43] M. Hudait, G. Dewey, S. Datta, J. Fastenau, J. Kavalieros, W. Liu, D. Lubyshev, R. Pillarisetty, W. Rachmady, and M. Radosavljevic, "Heterogeneous integration of enhancement mode In<sub>0.7</sub>Ga<sub>0.3</sub>As quantum well transistor on silicon substrate using thin ( $\leq 2 \mu\text{m}$ ) composite buffer architecture for highspeed and low-voltage (0.5 V) logic applications," *IEEE International Electron Devices Meeting*, vol. 2, pp. 625-628, 2007.
- [44] L. Xia and J. A. Del Alamo, "Impact of  $\langle 110 \rangle$  uniaxial strain on n-channel InGaAs high electron mobility transistors," *Applied Physics Letters*, vol. 95, p. 243504, 2009.
- [45] G. D. Wilk, R. M. Wallace, and J. Anthony, "High- $\kappa$  gate dielectrics: Current status and materials properties considerations," *Journal of Applied Physics*, vol. 89, pp. 5243-5275, 2001.
- [46] E. Batail, S. Monfray, C. Tabone, O. Kermarrec, J. Damlencourt, P. Gautier, G. Rabille, C. Arvet, N. Loubet, and Y. Campidelli, "Localized ultra-thin GeOI: An innovative approach to germanium channel MOSFETs on bulk Si substrates," *IEEE International Electron Devices Meeting*, pp. 1-4, 2008.

- [47] G. Hellings, J. Mitard, G. Eneman, B. De Jaeger, D. P. Brunco, D. Shamiryman, T. Vandeweyer, M. Meuris, M. M. Heyns, and K. De Meyer, "High performance 70-nm germanium pMOSFETs with boron LDD implants," *IEEE Electron Device Letters*, vol. 30, pp. 88-90, 2009.
- [48] M. Heyns, C. Adelman, G. Brammertz, D. Brunco, M. Caymax, B. De Jaeger, A. Delabie, G. Eneman, M. Houssa, and D. Lin, "Ge and III/V devices for advanced CMOS," *10th International Conference on Ultimate Integration of Silicon*, pp. 83-86, 2009.
- [49] J. Mitard, B. De Jaeger, F. E. Leys, G. Hellings, K. Martens, G. Eneman, D. P. Brunco, R. Loo, J. C. Lin, D. Shamiryman, T. Vandeweyer, G. Winderickx, E. Vrancken, C. H. Yu, K. De Meyer, M. Caymax, L. Pantisano, M. Meuris, and M. M. Heyns, "Record ION/IOFF performance for 65nm Ge pMOSFET and novel Si passivation scheme for improved EOT scalability," *IEEE International Electron Devices Meeting*, pp. 1-4, 15-17 Dec. 2008.
- [50] H. Shang, H. Okorn-Schimdt, J. Ott, P. Kozlowski, S. Steen, E. Jones, H.-S. Wong, and W. Hanesch, "Electrical characterization of germanium p-channel MOSFETs," *IEEE Electron Device Letters*, vol. 24, pp. 242-244, 2003.
- [51] S. Takagi, M. Sugiyama, T. Yasuda, and M. Takenaka, "Ge/III-V Channel Engineering for Future CMOS," *ECS Transactions*, vol. 19, pp. 9-20, 2009.
- [52] Y. Xuan, Y. Wu, H. Lin, T. Shen, and P. D. Ye, "Submicrometer Inversion-Type Enhancement-Mode InGaAs MOSFET With Atomic-Layer-Deposited Al<sub>2</sub>O<sub>3</sub> as Gate Dielectric," *IEEE Electron Device Letters*, vol. 28, pp. 935-938, 2007.
- [53] C. Claeys and E. Simoen, *Extended Defects in Germanium: Fundamental and Technological Aspects* vol. 118: Springer, 2009.
- [54] G. Eneman, E. Simoen, R. Yang, B. De Jaeger, G. Wang, J. Mitard, G. Hellings, D. Brunco, R. Loo, and K. De Meyer, "Defects, junction leakage and electrical performance of Ge pFET devices," *ECS Transactions*, vol. 19, pp. 195-205, 2009.
- [55] G. Eneman, R. Yang, G. Wang, B. De Jaeger, R. Loo, C. Claeys, M. Caymax, M. Meuris, M. Heyns, and E. Simoen, "P+/n junction leakage in thin selectively grown Ge-in-STI substrates," *Thin Solid Films*, vol. 518, pp. 2489-2492, 2010.
- [56] G. Eneman, B. De Jaeger, E. Simoen, D. P. Brunco, G. Hellings, J. Mitard, K. De Meyer, M. Meuris, and M. M. Heyns, "Quantification of drain extension leakage in a scaled bulk Germanium PMOS technology," *IEEE Transactions on Electron Devices*, vol. 56, pp. 3115-3122, 2009.
- [57] J. Feng, R. Woo, S. Chen, Y. Liu, P. B. Griffin, and J. D. Plummer, "P-channel germanium FinFET based on rapid melt growth," *IEEE Electron Device Letters*, vol. 28, pp. 637-639, 2007.
- [58] M. Alam, K. Roy, and C. Augustine, "Reliability- and process-variation aware design of integrated circuits," *IEEE Reliability Physics Symposium*, pp. 4A.1.1-4A.1.11, 2011.
- [59] S. Borkar, "Designing reliable systems from unreliable components: the challenges of transistor variability and degradation," *IEEE Micro*, vol. 25, pp. 10-16, 2005.

- [60] B. A. Millemon Sr, "CMOS Characterization, modeling, and circuit design in the presence of Random Local Variation," Boise State University, 2012.
- [61] K. J. Kuhn, M. D. Giles, D. Becher, P. Kolar, A. Kornfeld, R. Kotlyar, S. T. Ma, A. Maheshwari, and S. Mudanai, "Process technology variation," *IEEE Transactions on Electron Devices*, vol. 58, pp. 2197-2208, 2011.
- [62] W. Xingsheng, G. Roy, O. Saxod, A. Bajolet, A. Juge, and A. Asenov, "Simulation Study of Dominant Statistical Variability Sources in 32-nm High-k/Metal Gate CMOS," *IEEE Electron Device Letters*, vol. 33, pp. 643-645, 2012.
- [63] M. Agostinelli, S. Lau, S. Pae, P. Marzolf, H. Muthali, and S. Jacobs, "PMOS NBTI-induced circuit mismatch in advanced technologies," *Microelectronics Reliability*, vol. 46, pp. 63-68, 2006.
- [64] A. J. Bhavnagarwala, X. Tang, and J. D. Meindl, "The impact of intrinsic device fluctuations on CMOS SRAM cell stability," *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 658-665, 2001.
- [65] V. K. De, X. Tang, and J. D. Meindl, "Random MOSFET parameter fluctuation limits to gigascale integration (GSI)," *Symposium on VLSI Technology*, pp. 198-199, 1996.
- [66] R. W. Keyes, "Physical limits of silicon transistors and circuits," *Reports on Progress in Physics*, vol. 68, p. 2701, 2005.
- [67] M. A. Alam and S. Mahapatra, "A comprehensive model of PMOS NBTI degradation," *Microelectronics Reliability*, vol. 45, pp. 71-81, 2005.
- [68] K. Kang, H. Kufluoglu, K. Roy, and M. Ashraful Alam, "Impact of Negative-Bias temperature instability in nanoscale SRAM array: Modeling and analysis," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 26, pp. 1770-1781, 2007.
- [69] S. V. Kumar, K. Kim, and S. S. Sapatnekar, "Impact of NBTI on SRAM read stability and design for reliability," *7th International Symposium on Quality Electronic Design*, pp. 6 pp.-218, 2006.
- [70] B. C. Paul, K. Kang, H. Kufluoglu, M. A. Alam, and K. Roy, "Impact of NBTI on the temporal performance degradation of digital circuits," *IEEE Electron Device Letters*, vol. 26, pp. 560-562, 2005.
- [71] T. B. Tang, A. F. Murray, C. Binjie, and A. Asenov, "A framework to study time-dependent variability in circuits at sub-35nm technology nodes," *IEEE International Symposium on Circuits and Systems*, pp. 1568-1571, 20-23 May 2012 2012.
- [72] R. Vattikonda, W. Wang, and Y. Cao, "Modeling and minimization of PMOS NBTI effect for robust nanometer design," *Proceedings of the 43rd annual Design Automation Conference*, pp. 1047-1052, 2006.
- [73] M. Alam, K. Kang, B. Paul, and K. Roy, "Reliability-and process-variation aware design of vlsi circuits," *14th International Symposium on the Physical and Failure Analysis of Integrated Circuits*, pp. 17-25, 2007.

- [74] K. K. Kim, W. Wang, and K. Choi, "On-chip aging sensor circuits for reliable nanometer MOSFET digital circuits," *IEEE Transactions on Circuits and Systems II*, vol. 57, pp. 798-802, 2010.
- [75] C. Tu, S. Chen, A. Chuang, H. Huang, Z. Jhou, C. Chang, S. Chou, and J. Ko, "Transistor variability after CHC and NBTI stress in 90 nm pMOSFET technology," *Electronics Letters*, vol. 45, pp. 854-856, 2009.
- [76] W. Xingsheng, S. Roy, A. R. Brown, and A. Asenov, "Impact of STI on Statistical Variability and Reliability of Decanometer MOSFETs," *IEEE Electron Device Letters*, vol. 32, pp. 479-481, 2011.
- [77] B. Dierickx, M. Miranda, P. Dobrovolny, F. Kutscherauer, A. Papanikolaou, and P. Marchal, "Propagating variability from technology to system level," *International Workshop on Physics of Semiconductor Devices* pp. 74-79, 2007.
- [78] F. Martorell, S. D. Cotofana, and A. Rubio, "An analysis of internal parameter variations effects on nanoscaled gates," *IEEE Transactions on Nanotechnology*, vol. 7, pp. 24-33, 2008.
- [79] S. Ghosh, S. Bhunia, and K. Roy, "CRISTA: A new paradigm for low-power, variation-tolerant, and adaptive circuit synthesis using critical path isolation," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 26, pp. 1947-1956, 2007.
- [80] B. Cheng, S. Roy, A. Brown, C. Millar, and A. Asenov, "Statistical variations in 32nm thin-body SOI devices and SRAM cells," *9th International Conference on Solid-State and Integrated-Circuit Technology*, pp. 389-392, 2008.
- [81] H. Wang, M. Miranda, F. Catthoor, and D. Wim, "Impact of random soft oxide breakdown on SRAM energy/delay drift," *IEEE Transactions on Device and Materials Reliability*, vol. 7, pp. 581-591, 2007.
- [82] S.-H. Ho, T.-C. Chang, C.-W. Wu, W.-H. Lo, C.-E. Chen, J.-Y. Tsai, G.-R. Liu, H.-M. Chen, Y.-S. Lu, and B.-W. Wang, "Investigation of an anomalous hump in gate current after negative-bias temperature-instability in HfO<sub>2</sub>/metal gate p-channel metal-oxide-semiconductor field-effect transistors," *Applied Physics Letters*, vol. 102, pp. 012103-012103-4, 2013.
- [83] M. Wittmer, J. Noser, and H. Melchior, "Characteristics of TiN gate metal-oxide-semiconductor field effect transistors," *Journal of Applied Physics*, vol. 54, pp. 1423-1428, 1983.
- [84] S. Zafar, Y. H. Kim, V. Narayanan, C. Cabral, V. Paruchuri, B. Doris, J. Stathis, A. Callegari, and M. Chudzik, "A Comparative Study of NBTI and PBTI (Charge Trapping) in SiO<sub>2</sub>/HfO<sub>2</sub> Stacks with FUSI, TiN, Re Gates," *Symposium on VLSI Technology*, pp. 23-25, 0-0 0 2006.
- [85] B. S. Doyle, K. R. Mistry, and J. Faricelli, "Examination of the time power law dependencies in hot carrier stressing of n-MOS transistors," *IEEE Electron Device Letters*, vol. 18, pp. 51-53, 1997.
- [86] R. Fernandez, B. Kaczer, A. Nackaerts, S. Demuynck, R. Rodriguez, M. Nafria, and G. Groeseneken, "AC NBTI studied in the 1 Hz--2 GHz range on dedicated on-chip CMOS circuits," *IEEE Electron Device Letters*, pp. 1-4, 2006.

- [87] D. K. Schroder, "Negative bias temperature instability: What do we understand?," *Microelectronics Reliability*, vol. 47, pp. 841-852, 2007.
- [88] J. Stathis and S. Zafar, "The negative bias temperature instability in MOS devices: A review," *Microelectronics and Reliability*, vol. 46, pp. 270-286, 2006.
- [89] B. Kaczer, T. Grasser, P. J. Roussel, J. Martin-Martinez, R. O'Connor, B. O'Sullivan, and G. Groeseneken, "Ubiquitous relaxation in BTI stressing—New evaluation and insights," *IEEE International Reliability Physics Symposium*, pp. 20-27, 2008.
- [90] M. Denais, C. Parthasarathy, G. Ribes, Y. Rey-Tauriac, N. Revil, A. Bravaix, V. Huard, and F. Perrier, "On-the-fly characterization of NBTI in ultra-thin gate oxide PMOSFET's," *IEEE International Electron Devices Meeting*, pp. 109-112, 2004.
- [91] S. Rangan, N. Mielke, and E. Yeh, "Universal recovery behavior of negative bias temperature instability PMOSFETs," *IEEE International Electron Devices Meeting*, pp. 14.3. 1-14.3. 4, 2003.
- [92] W. Wang, S. Yang, S. Bhardwaj, S. Vrudhula, F. Liu, and Y. Cao, "The impact of NBTI effect on combinational circuit: modeling, simulation, and analysis," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 18, pp. 173-183, 2010.
- [93] R. Fernandez-Garcia, B. Kaczer, and G. Groeseneken, "A CMOS circuit for evaluating the NBTI over a wide frequency range," *Microelectronics Reliability*, vol. 49, pp. 885-891, 2009.
- [94] S. M. Amoroso, L. Gerrer, S. Markov, F. Adamu-Lema, and A. Asenov, "Comprehensive statistical comparison of RTN and BTI in deeply scaled MOSFETs by means of 3D 'atomistic' simulation," *Proceedings of the European Solid-State Device Research Conference (ESSDERC)*, pp. 109-112, 2012.
- [95] B. Kaczer, T. Grasser, P. J. Roussel, J. Franco, R. Degraeve, L. Ragnarsson, E. Simoen, G. Groeseneken, and H. Reisinger, "Origin of NBTI variability in deeply scaled pFETs," *IEEE International Reliability Physics Symposium*, pp. 26-32, 2010.
- [96] B. Kaczer, M. Toledano-Luque, W. Goes, T. Grasser, and G. Groeseneken, "Gate Current Random Telegraph Noise and Single Defect Conduction," *Microelectronic Engineering*, 2013.
- [97] C. Liang-Shun, H. Chien-Yuan, T. Yuan-Heng, K. Ya-Chin, and L. Chrong-Jung, "Temperature Sensing Scheme Through Random Telegraph Noise in Contact RRAM," *IEEE Electron Device Letters*, vol. 34, pp. 12-14, 2013.
- [98] S. Realov and K. L. Shepard, "Analysis of Random Telegraph Noise in 45-nm CMOS Using On-Chip Characterization System," *IEEE Transactions on Electron Devices*, vol. 60, pp. 1716-1722, 2013.
- [99] M. Kirton, M. Uren, S. Collins, M. Schulz, A. Karmann, and K. Scheffer, "Individual defects at the Si: SiO<sub>2</sub> interface," *Semiconductor Science and Technology*, vol. 4, p. 1116, 1989.
- [100] M. V. Dunga, *Nanoscale CMOS modeling*: ProQuest, 2008.



- 
- [101] J. S. Kolhatkar, *Steady-state and Cyclo-stationary RTS noise in MOSFETs*: University of Twente Ph.D Thesis, 2005.
- [102] H. Tian and A. El Gamal, "Analysis of 1/f noise in switched MOSFET circuits," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 48, pp. 151-157, 2001.
- [103] S. O. Toh, Y. Tsukamoto, Z. Guo, L. Jones, T.-J. K. Liu, and B. Nikolic, "Impact of random telegraph signals on V<sub>min</sub> in 45nm SRAM," *IEEE International Electron Devices Meeting*, pp. 1-4, 2009.
- [104] Y. Tsukamoto, S. O. Toh, C. Shin, A. Mairena, T.-J. K. Liu, and B. Nikolic, "Analysis of the relationship between random telegraph signal and negative bias temperature instability," *IEEE International Reliability Physics Symposium*, pp. 1117-1121, 2010.
- [105] K. V. Aadithya, A. Demir, S. Venugopalan, and J. Roychowdhury, "Accurate Prediction of Random Telegraph Noise Effects in SRAMs and DRAMs," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 32, pp. 73-86, 2013.
- [106] W. Wang, V. Reddy, A. T. Krishnan, R. Vattikonda, S. Krishnan, and Y. Cao, "Compact modeling and simulation of circuit reliability for 65-nm CMOS technology," *IEEE Transactions on Device and Materials Reliability*, vol. 7, pp. 509-517, 2007.
- [107] A. Shickova, B. Kaczer, A. Veloso, M. Aoulaiche, M. Houssa, H. Maes, G. Groeseneken, and J. A. Kittl, "NBTI reliability of Ni FUSI/HfSiON gates: Effect of silicide phase," *Microelectronics Reliability*, vol. 47, pp. 505-507, 2007.
- [108] S. Mahapatra, N. Goel, S. Desai, S. Gupta, B. Jose, S. Mukhopadhyay, K. Joshi, A. Jain, A. Islam, and M. Alam, "A Comparative Study of Different Physics-Based NBTI Models," *IEEE Transactions on Electron Devices*, vol. 60, pp. 901-916, 2013.
- [109] B. Kaczer, T. Grasser, J. Martin-Martinez, E. Simoen, M. Aoulaiche, P. J. Roussel, and G. Groeseneken, "NBTI from the perspective of defect states with widely distributed time scales," *IEEE International Reliability Physics Symposium*, pp. 55-60, 2009.
- [110] V. Huard, M. Denais, and C. Parthasarathy, "NBTI degradation: From physical mechanisms to modelling," *Microelectronics and Reliability*, vol. 46, pp. 1-23, 2006.
- [111] T. Grasser, H. Reisinger, P. Wagner, F. Schanovsky, W. Goes, and B. Kaczer, "The time dependent defect spectroscopy (TDDS) for the characterization of the bias temperature instability," *IEEE International Reliability Physics Symposium*, pp. 16-25, 2010.
- [112] B. Kaczer, V. Arkhipov, R. Degraeve, N. Collaert, G. Groeseneken, and M. Goodwin, "Disorder-controlled-kinetics model for negative bias temperature instability and its experimental verification," *IEEE International Reliability Physics Symposium*, pp. 381-387, 2005.
- [113] H. Reisinger, O. Blank, W. Heinrigs, A. Muhlhoff, W. Gustin, and C. Schlunder, "Analysis of NBTI degradation-and recovery-behavior based on ultra fast VT-measurements," *IEEE International Reliability Physics Symposium* pp. 448-453, 2006.

- [114] J. Martin-Martinez, B. Kaczer, M. Toledano-Luque, R. Rodriguez, M. Nafria, X. Aymerich, and G. Groeseneken, "Probabilistic defect occupancy model for NBTI," *IEEE International Reliability Physics Symposium*, pp. XT. 4.1-XT. 4.6, 2011.
- [115] S. Rauch, "Review and reexamination of reliability effects related to NBTI-induced statistical variations," *IEEE Transactions on Device and Materials Reliability*, vol. 7, pp. 524-530, 2007.
- [116] K. R. Hofmann, C. Werner, W. Weber, and G. Dorda, "Hot-electron and hole-emission effects in short n-channel MOSFET's," *IEEE Transactions on Electron Devices*, vol. 32, pp. 691-699, 1985.
- [117] G. V. Groeseneken, "Hot carrier degradation and ESD in submicrometer CMOS technologies: How do they interact?," *IEEE Transactions on Device and Materials Reliability*, vol. 1, pp. 23-32, 2001.
- [118] J.-Y. Tsai, T.-C. Chang, W.-H. Lo, C.-E. Chen, S.-H. Ho, H.-M. Chen, Y.-H. Tai, O. Cheng, and C.-T. Huang, "Hole injection-reduced hot carrier degradation in n-channel metal-oxide-semiconductor field-effect-transistors with high-k gate dielectric," *Applied Physics Letters*, vol. 102, pp. 073507-073507-4, 2013.
- [119] A. Acovic, G. La Rosa, and Y. C. Sun, "A review of hot-carrier degradation mechanisms in MOSFETs," *Microelectronics and Reliability*, vol. 36, pp. 845-869, 1996.
- [120] P. Heremans, G. Van den Bosch, R. Bellens, G. Groeseneken, and H. Maes, "Temperature dependence of the channel hot-carrier degradation of n-channel MOSFET's," *IEEE Transactions on Electron Devices*, vol. 37, pp. 980-993, 1990.
- [121] S. Tam, P.-K. Ko, and C. Hu, "Lucky-electron model of channel hot-electron injection in MOSFET's," *IEEE Transactions on Electron Devices*, vol. 31, pp. 1116-1125, 1984.
- [122] E. Li, E. Rosenbaum, J. Tao, G. C. F. Yeap, M. R. Lin, and P. Fang, "Hot carrier effects in nMOSFETs in 0.1 m CMOS technology," *IEEE International Reliability Physics Symposium*, pp. 253-258, 1999.
- [123] J. H. Sim, B. H. Lee, R. Choi, S. C. Song, and G. Bersuker, "Hot carrier degradation of HfSiON gate dielectrics with TiN electrode," *IEEE Transactions on Device and Materials Reliability*, vol. 5, pp. 177-182, 2005.
- [124] E. Amat, T. Kauerauf, R. Degraeve, R. Rodríguez, M. Nafría, X. Aymerich, and G. Groeseneken, "Channel hot-carrier degradation in pMOS and nMOS short channel transistors with high-k dielectric stack," *Microelectronic Engineering*, vol. 87, pp. 47-50, 2010.
- [125] E. Amat, T. Kauerauf, R. Degraeve, A. De Keersgieter, R. Rodríguez, M. Nafria, X. Aymerich, and G. Groeseneken, "Channel Hot-Carrier Degradation in Short-Channel Transistors With High-k/Metal Gate Stacks," *IEEE Transactions on Device and Materials Reliability*, vol. 9, pp. 425-430, 2009.
- [126] E. Amat, T. Kauerauf, R. Degraeve, R. Rodríguez, M. Nafría, X. Aymerich, and G. Groeseneken, "Simulation of the hot-carrier degradation in short channel transistors with high-k dielectric," *International Journal of Numerical Modelling: Electronic Networks, Devices and Fields*, vol. 23, pp. 315-323, 2010.

- [127] Y. Toyoshima, H. Iwai, F. Matsuoka, H. Hayashida, K. Maeguchi, and K. Kanzaki, "Analysis on gate-oxide thickness dependence of hot-carrier-induced degradation in thin-gate oxide nMOSFET's," *IEEE Transactions on Electron Devices*, vol. 37, pp. 1496-1503, 1990.
- [128] C. Hu, S. C. Tam, F.-C. Hsu, P.-K. Ko, T.-Y. Chan, and K. W. Terrill, "Hot-electron-induced MOSFET degradation-model, monitor, and improvement," *IEEE Journal of Solid-State Circuits*, vol. 20, pp. 295-305, 1985.
- [129] P. Heremans, R. Bellens, G. Groeseneken, and H. E. Maes, "Consistent model for the hot-carrier degradation in n-channel and p-channel MOSFETs," *IEEE Transactions on Electron Devices*, vol. 35, pp. 2194-2209, 1988.
- [130] S. E. Rauch, G. La Rosa, and F. J. Guarin, "Role of ee scattering in the enhancement of channel hot carrier degradation of deep sub-micron NMOSFETs at high VGS conditions," *IEEE International Reliability Physics Symposium*, pp. 399-405, 2001.
- [131] K. Hess, B. Tuttle, F. Register, and D. Ferry, "Magnitude of the threshold energy for hot electron damage in metal-oxide-semiconductor field effect transistors by hydrogen desorption," *Applied Physics Letters*, vol. 75, pp. 3147-3149, 1999.
- [132] C. Guérin, V. Huard, and A. Bravaix, "The energy-driven hot-carrier degradation modes of nMOSFETs," *IEEE Transactions on Device and Materials Reliability*, vol. 7, pp. 225-235, 2007.
- [133] S. Takagi, N. Yasuda, and A. Toriumi, "Experimental evidence of inelastic tunneling in stress-induced leakage current," *IEEE Transactions on Electron Devices*, vol. 46, pp. 335-341, 1999.
- [134] J. Stathis, "Percolation models for gate oxide breakdown," *Journal of Applied Physics*, vol. 86, pp. 5757-5766, 1999.
- [135] N. Raghavan, K. L. Pey, K. Shubhakar, and M. Bosman, "Modified Percolation Model for Polycrystalline High-k Gate Stack With Grain Boundary Defects," *IEEE Electron Device Letters*, vol. 32, pp. 78-80, 2011.
- [136] G. Bersuker, J. Yum, L. Vandelli, A. Padovani, L. Larcher, V. Iglesias, M. Porti, M. Nafria, K. McKenna, and A. Shluger, "Grain boundary-driven leakage path formation in HfO<sub>2</sub> dielectrics," *Solid-State Electronics*, vol. 65, pp. 146-150, 2011.
- [137] S. Blonkowski, F. Bana, and D. Ney, "Using Statistics of Extremes for Electromigration and Time Dependent Dielectric Breakdown," *IEEE Transactions on Device and Materials Reliability*, 2013.
- [138] K. Yew, D. Ang, and L. Tang, "A New Method for Enhancing High-/Metal-Gate Stack Performance and Reliability for High-Last Integration," *IEEE Electron Device Letters*, vol. 34, pp. 295-297, 2013.
- [139] A. Crespo-Yepes, J. Martin-Martinez, A. Rothschild, R. Rodriguez, M. Nafria, and X. Aymerich, "Resistive switching-like behavior of the dielectric breakdown in ultra-thin Hf based gate stacks in MOSFETs," *Solid-State Electronics*, vol. 65-66, pp. 157-162, 2011.
- [140] A. C. Yepes, J. Martin-Martinez, V. Iglesias, R. Rodriguez, M. Porti, M. Nafria, X. Aymerich, and M. Lanza, "Nanoscale and device level analysis of the resistive

- switching phenomenon in ultra-thin high-k gate dielectrics," *IEEE Spanish Conference on Electron Devices*, pp. 281-284, 2013.
- [141] Q. Zhou and J. Zhai, "Resistive switching characteristics of Pt/TaOx/HfNx structure and its performance improvement," *AIP Advances*, vol. 3, pp. 032102-032102-12, 2013.
- [142] L. Gomez, C. Ni Chléirigh, P. Hashemi, and J. Hoyt, "Enhanced hole mobility in high Ge content asymmetrically strained-SiGe p-MOSFETs," *IEEE Electron Device Letters*, vol. 31, pp. 782-784, 2010.
- [143] O. Weber, T. Irisawa, T. Numata, M. Harada, N. Taoka, Y. Yamashita, T. Yamamoto, N. Sugiyama, M. Takenaka, and S. Takagi, "Examination of additive mobility enhancements for uniaxial stress combined with biaxially strained Si, biaxially strained SiGe and Ge channel MOSFETs," *IEEE International Electron Devices Meeting*, pp. 719-722, 2007.
- [144] Y. J. Yang, W. Ho, C. F. Huang, S. Chang, and C. Liu, "Electron mobility enhancement in strained-germanium n-channel metal-oxide-semiconductor field-effect transistors," *Applied Physics Letters*, vol. 91, pp. 102103-102103-3, 2007.
- [145] E. Amat, J. Martin-Martínez, M. Gonzalez, R. Rodríguez, M. Nafría, X. Aymerich, P. Verheyen, and E. Simoen, "Processing dependences of channel hot-carrier degradation on strained-Si p-channel metal-oxide semiconductor field-effect transistors," *Journal of Vacuum Science and Technology B*, vol. 29, pp. 01AB07-01AB07-4, 2011.
- [146] W. H. Choi, C. Y. Kang, J. W. Oh, B. H. Lee, P. Majhi, H. M. Kwon, R. Jammy, G. W. Lee, and H. D. Lee, "Tradeoff Between Hot Carrier and Negative Bias Temperature Degradations in High-Performance n-channel MOSFETs," *IEEE Electron Device Letters*, vol. 31, pp. 1211-1213, 2010.
- [147] A. K. Shickova, P. Verheyen, G. Eneman, E. San Andres, P. Absil, B. Kaczer, and G. Groeseneken, "NBTI study on PMOS devices with TiN/HfO2 gate stack and process induced strain," *ECS Transactions*, vol. 3, pp. 253-261, 2006.
- [148] M. Denais, V. Huard, C. Parthasarathy, G. Ribes, F. Perrier, D. Roy, and A. Bravaix, "New perspectives on NBTI in advanced technologies: Modelling & characterization," *Proceedings of 35th European Solid-State Device Research Conference*, pp. 399-402, 2005.
- [149] A. T. Krishnan, V. Reddy, S. Chakravarthi, J. Rodriguez, S. John, and S. Krishnan, "NBTI impact on transistor and circuit: models, mechanisms and scaling effects [MOSFETs]," *IEEE International Electron Devices Meeting*, pp. 14.5.1-14.5.4, 2003.
- [150] B. Kaczer, T. Grasser, R. Fernandez, and G. Groeseneken, "Toward understanding the wide distribution of time scales in negative bias temperature instability," *ECS Transactions*, vol. 6, pp. 265-281, 2007.
- [151] C. L. Chen, Y. Lin, C. Wang, and K. Wu, "A new finding on NBTI lifetime model and an investigation on NBTI degradation characteristic for 1.2 nm ultra thin oxide," *IEEE International Reliability Physics Symposium*, pp. 704-705, 2005.

- [152] A. E. Islam, H. Kufluoglu, D. Varghese, S. Mahapatra, and M. A. Alam, "Recent issues in negative-bias temperature instability: Initial degradation, field dependence of interface trap generation, hole trapping effects, and relaxation," *IEEE Transactions on Electron Devices*, vol. 54, pp. 2143-2154, 2007.
- [153] M. Houshmand Kaffashian, R. Lotfi, K. Mafinezhad, and H. Mahmoodi, "Impact of NBTI on performance of domino logic circuits in nano-scale CMOS," *Microelectronics Journal*, 2011.
- [154] A. Bravaix, C. Guerin, V. Huard, D. Roy, J. M. Roux, and E. Vincent, "Hot-Carrier acceleration factors for low power management in DC-AC stressed 40nm NMOS node at high temperature," *IEEE International Reliability Physics Symposium*, pp. 531-548, 2009.
- [155] W. Wang, V. Reddy, A. T. Krishnan, R. Vattikonda, S. Krishnan, and C. Yu, "An Integrated Modeling Paradigm of Circuit Reliability for 65nm CMOS Technology," *IEEE Custom Integrated Circuits Conference*, pp. 511-514, 16-19 Sept. 2007 2007.
- [156] E. Amat, T. Kauerauf, R. Rodriguez, M. Nafria, X. Aymerich, R. Degraeve, and G. Groeseneken, "A comprehensive study of channel hot-carrier degradation in short channel MOSFETs with high-k dielectrics," *Microelectronic Engineering*, vol. 103, pp. 144-149, 2013.
- [157] A. Shickova, B. Kaczer, P. Verheyen, G. Eneman, E. S. Andres, M. Jurczak, P. Absil, H. Maes, and G. Groeseneken, "Negligible effect of process-induced strain on intrinsic NBTI behavior," *IEEE Electron Device Letters*, vol. 28, pp. 242-244, 2007.
- [158] A. Shickova, B. Kaczer, E. Simoen, P. Verheyen, G. Eneman, M. Jurczak, P. Absil, H. Maes, and G. Groeseneken, "Dielectric quality and reliability of FUSI/HfSiON devices with process induced strain," *Microelectronic Engineering*, vol. 84, pp. 1906-1909, 2007.
- [159] C.-H. Tu, S.-Y. Chen, M.-H. Lin, M.-C. Wang, S.-H. Wu, S. chou, J. Ko, and H.-S. Huang, "The switch of the worst case on NBTI and hot-carrier reliability for 0.13 $\mu\text{m}$  pMOSFETs," *Applied Surface Science*, vol. 254, pp. 6186-6189, 2008.
- [160] S. Chatterjee and A. S. Hadi, "Influential observations, high leverage points, and outliers in linear regression," *Statistical Science*, vol. 1, pp. 379-393, 1986.
- [161] P. R. Bevington and D. K. Robinson, *Data Reduction and Error Analysis for the Physical Sciences*, McGraw Hill ed., 1969.
- [162] H. Kufluoglu and M. Ashraful Alam, "A geometrical unification of the theories of NBTI and HCI time-exponents and its implications for ultra-scaled planar and surround-gate MOSFETs," *IEEE International Electron Devices Meeting*, pp. 113-116, 2004.
- [163] C. R. Parthasarathy, M. Denais, V. Huard, G. Ribes, E. Vincent, and A. Bravaix, "New insights into recovery characteristics during PMOS NBTI and CHC degradation," *IEEE Transactions on Device and Materials Reliability*, vol. 7, pp. 130-137, 2007.
- [164] I. Cascade Microtech, *User's Guide*, 2003.
- [165] K. Wong, W. Chim, K. Ang, and Y. Yeo, "Spatial distribution of interface trap density in strained channel transistors using the spread of the differential capacitance

- characteristics in scanning capacitance microscopy measurements," *Applied Physics Letters*, vol. 90, pp. 153507-153507-3, 2007.
- [166] J. Martin-Martinez, R. Rodríguez, M. Nafria, and X. Aymerich, "Time-dependent variability related to BTI effects in MOSFETs: Impact on CMOS differential amplifiers," *IEEE Transactions on Device and Materials Reliability*, vol. 9, pp. 305-310, 2009.
- [167] X. J. X. Mohan V. Dunga, Jin He, Weidong Liu, Kanyu, M. Cao, Xiaodong Jin, Jeff J. Ou, Mansun Chan, Ali M. Niknejad, Chenming Hu. (2006). *BSIM4.6.0 MOSFET Model, Chapter 15: Parameter Extraction Methodology*.
- [168] M. Alam, "A critical examination of the mechanics of dynamic NBTI for PMOSFETs," *IEEE International Electron Devices Meeting*, pp. 14.4. 1-14.4. 4, 2003.
- [169] T. Grasser, B. Kaczer, W. Goes, T. Aichinger, P. Hehenberger, and M. Nelhiebel, "A two-stage model for negative bias temperature instability," *IEEE International Reliability Physics Symposium*, pp. 33-44, 2009.
- [170] L. Zhang, C. Liu, R. Wang, R. Huang, T. Yu, J. Zhuge, P. Kirsch, H. H. Tseng, and Y. Wang, "Characteristics of Gate Current Random Telegraph Signal Noise in SiON/HfO<sub>2</sub>/TaN p-Type Metal-Oxide-Semiconductor Field-Effect Transistors under Negative Bias Temperature Instability Stress Condition," *Japanese Journal of Applied Physics*, vol. 49, 2010.
- [171] A. Technologies, "Semiconductor Parameter Analyzer GPIB Command Reference," *Agilent Technologies 4155C/4156C*.
- [172] V. Huard, "Two independent components modeling for negative bias temperature instability," *IEEE International Reliability Physics Symposium*, pp. 33-42, 2010.
- [173] A. Avellán, D. Schroeder, and W. Krautschneider, "Modeling random telegraph signals in the gate current of metal-oxide-semiconductor field effect transistors after oxide breakdown," *Journal of Applied Physics*, vol. 94, pp. 703-708, 2003.
- [174] J. Martin-Martinez, N. Ayala, R. Rodriguez, M. Nafria, and X. Aymerich, "RELAB: A tool to include MOSFETs BTI and variability in SPICE simulators," *International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design*, pp. 249-252, 2012.
- [175] S. N. Margin. <http://www.iue.tuwien.ac.at/phd/entner/node34.html#f:sram-vtc>.

## Annexa: Publicacions més rellevants

1. N. Ayala, J. Martin-Martinez, E. Amat, M. B. Gonzalez, P. Verheyen, R. Rodriguez, M. Nafria, X. Aymerich and E. Simoen, “NBTI related time-dependent variability of mobility and threshold voltage in pMOSFETs and their impact on circuit performance”, *Microelectronics Engineering*, Vol. 88, No. 7, pp. 1384–1387 (2011).
2. N. Ayala, J. Martin-Martinez, R. Rodriguez, M. B. Gonzalez, M. Nafria, X. Aymerich and E. Simoen, “Characterization and SPICE modeling of the CHC related time-dependent variability in strained and unstrained pMOSFETs”, *Microelectronic Reliability*, Vol. 52, pp. 1924-1927 (2012).
3. N. Ayala, J. Martin-Martinez, R. Rodriguez, M. Nafria and X. Aymerich, “Unified characterization of RTN and BTI for circuit performance and variability simulation”, Proceedings of the European Solid-State Device Research Conference (ESSDERC 2012), pp. 266-269.



## NBTI related time-dependent variability of mobility and threshold voltage in pMOSFETs and their impact on circuit performance

N. Ayala<sup>a,\*</sup>, J. Martin-Martinez<sup>a</sup>, E. Amat<sup>a</sup>, M.B. Gonzalez<sup>b</sup>, P. Verheyen<sup>b</sup>, R. Rodriguez<sup>a</sup>, M. Nafria<sup>a</sup>, X. Aymerich<sup>a</sup>, E. Simoen<sup>b</sup>

<sup>a</sup> Universitat Autònoma de Barcelona, Dept. Enginyeria Electrònica Edifici Q, 08193 Bellaterra, Spain

<sup>b</sup> Imec, Kapeldreef 75, 3001 Leuven, Belgium

### ARTICLE INFO

#### Article history:

Available online 6 April 2011

#### Keywords:

CMOS  
Reliability  
Variability  
NBTI  
SPICE  
Modelling

### ABSTRACT

Threshold voltage ( $V_T$ ) and mobility ( $\mu$ ) shifts due to process related variability and Negative Bias Temperature Instability are experimentally characterized in pMOSFETs. A simulation technique to include the time-dependent variabilities of  $V_T$  and  $\mu$  in circuit simulators is presented and used to evaluate their effects on CMOS inverters performance. The results show that mobility degradation under NBTI stresses could have to be considered for the evaluation of the circuit performance after device aging.

© 2011 Elsevier B.V. All rights reserved.

### 1. Introduction

The continuous CMOS downscaling dictated by the ITRS [1] requires structural changes in the devices. Among others, the gate oxide must be replaced by high- $k$  materials to reduce the high leakage currents [2]. Additionally, strain techniques, that require further process steps, may be implemented to increase the channel mobility [3]. In those ultrascaled devices, the variability of the electrical characteristics related to the fabrication process is raising importance [4]. Moreover, the time-zero variability becomes time-dependent due to aging mechanisms, such as Negative Bias Temperature Instability (NBTI) in pMOSFETs with ultrathin gate dielectric [5]. The NBTI induced threshold voltage ( $V_T$ ) shift has been extensively analyzed [6–8], whereas changes in mobility ( $\mu$ ) have been less studied [9]. This scenario makes difficult the prediction of the impact of time-dependent variability on the circuit performance. Then, in order to correctly evaluate the circuit reliability during the design phase, new simulation tools that account for the device time-dependent variability in the circuit response must be developed.

In this work, the NBTI related time-dependent variability of  $V_T$  and  $\mu$  in pMOSFETs is experimentally evaluated. A simulation tech-

nique that allows to include these shifts in SPICE simulators is presented. As an example, considering the device parameters extracted from the experimental measurements, the effects of the device variability and degradation on the performance of CMOS inverters have been studied. The role of mobility degradation and variability on the circuit response is also studied.

### 2. Experiment

The samples used in this work are strained pMOSFETs with Ni-rich FULLY Silicided FUSI gate ( $W \times L = 1 \times 1 \mu\text{m}$ ). The dielectric gate stack consists of 1 nm  $\text{SiO}_2$  and 2.6 nm  $\text{HfSiON}$ . To strain the device channel,  $\text{Si}_{1-x}\text{Ge}_x$  ( $x = 0.15$ ) was deposited by selective epitaxial growth in the Source/Drain (S/D) areas. Before the electrical stress, all the fresh (non-stressed) MOS devices were characterized by measuring the  $I_G-V_G$ ,  $I_D-V_G$ , and  $I_D-V_D$  characteristics. The devices were electrically stressed by applying  $-2.8 \text{ V}$  to the gate (and the other terminals grounded) to induce the NBTI damage at  $T = 300 \text{ K}$ . The stress was periodically interrupted and, after a relaxation time of  $t_{\text{relax}} = 130 \text{ s}$  (to control the NBTI relaxation effects), the  $I-V$  curves were again measured to characterize the induced damage. The threshold voltage was determined from the gate voltage that must be applied to obtain  $I_D = |1 \mu\text{A}|$  with  $V_D = -50 \text{ mV}$ . Relative changes in the mobility (normalized to the mobility of the fresh device),  $\Delta\mu_r$ , were calculated from the variations in the transconductance peak. To evaluate the device-to-device variability, 20 devices on the same wafer but on different dies were characterized.

\* Corresponding author.

E-mail address: [Nuria.Ayala@uab.es](mailto:Nuria.Ayala@uab.es) (N. Ayala).



### 3. Result and discussion

#### 3.1. $\Delta V_T$ and $\Delta\mu_r$ variability

Fig 1 shows typical  $I_D$ - $V_G$  (left axis) and transconductance curves (right axis) measured before and after a NBTI electrical stress of 1000 s. In addition to the well-known increase (in absolute value) of  $V_T$ , the stress also causes a decrease of mobility, as can be observed from the lowering of the peak in the transconductance characteristic. The dependence of these shifts with the stress time and their statistical distributions have been evaluated. Fig. 2a shows the statistical distributions of the  $V_T$  shifts after 100, 500, and 1000 s of stress obtained from the measurements of 20 devices at a relaxation time of  $t_{relax} = 130$  s. Fig. 2b shows a relative mobility degradation, at the same stress conditions. As can be observed, due to NBTI degradation, on the average,  $V_T$  increases (in absolute value), while  $\mu$  decreases with increasing the stress time. From the shape of the distributions, however, it is shown that the spread of both magnitudes do not seem to depend on the stress time. The temporal evolutions of the average and sample-to-sample variations have been analyzed in more detail, assuming Gaussian distributions (Fig. 3). Symbols in Fig. 3 correspond to the averages of  $\Delta V_T$  and  $\Delta\mu_r$ , whereas the error bars indicate the standard deviation of the distribution (i.e., 68% probability). The continuous lines correspond to fittings of the data to power laws  $at_{stress}^b$ , where  $a$  and  $b$  are constants. The dotted lines are simply guides to the eye. The results suggest that, as for the threshold voltage shift [10], the mobility shift also shows a power law dependence with the stress time. Note, however, that, in our measurements, the standard deviations of both device parameters remain constant with aging.

#### 3.2. Time-dependent variability of a CMOS inverter

The evaluation of the effect of  $V_T$  and  $\mu$  variability and degradation on the circuits performance can be a very complex task, so that a simulation methodology to include those effects in circuit simulators has been developed based on the measurements and Monte Carlo simulations. In this methodology, the BSIM4 SPICE MOSFET model is used to describe the device performance in the circuit simulator. Therefore, first of all, the BSIM4 SPICE model parameters of the fresh samples have been extracted. To take into account the device aging, the BSIM4 model parameters are modified. Recently, it has been shown that variability and degradation can be included

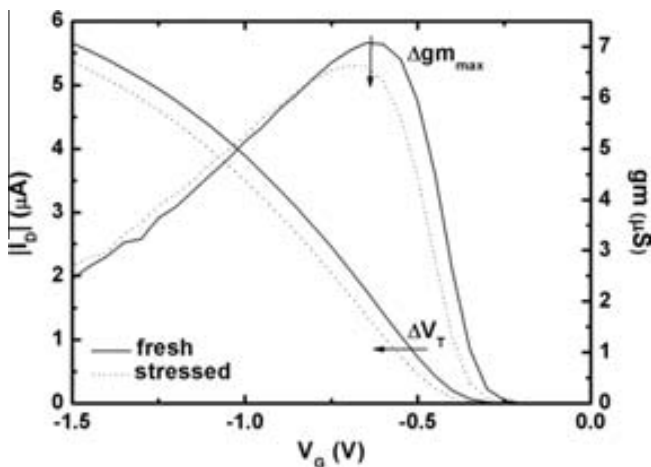


Fig. 1. Typical  $I_D$ - $V_G$  (left axis) and transconductance (right axis) of fresh and degraded transistors (1000 s of stress). In addition to the well-known  $V_T$  shift,  $\mu$  also decreases because of NBTI stress.

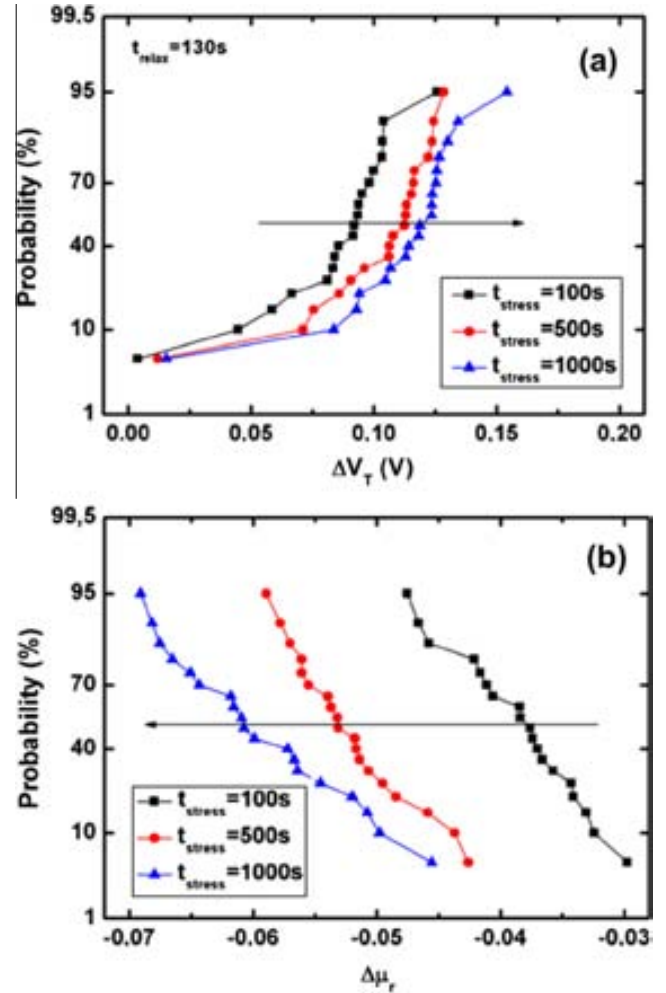


Fig. 2. Statistical distributions of threshold voltage shift,  $\Delta V_T$ , (a) and relative mobility variation,  $\Delta\mu_r$ , (b) measured after different stress times on 20 devices.

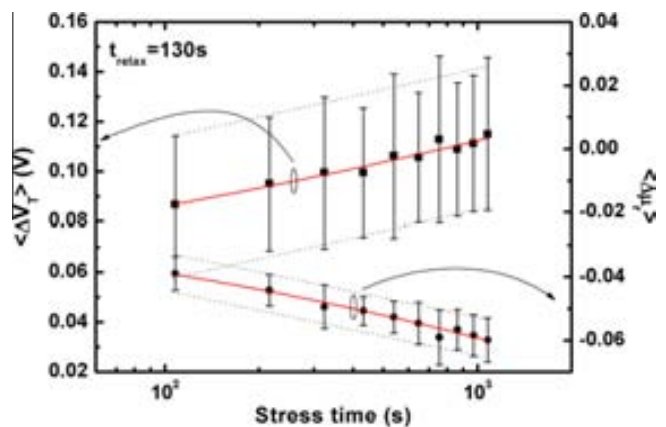


Fig. 3. Time evolution of the mean threshold voltage (squares) and relative mobility (circles) shifts. The error bars correspond to the standard deviation of the distributions. Continuous lines correspond to power-law fittings of the data averages. The standard deviations remain constant with degradation.

in the device description by simply changing the VTH0 and UO BSIM4 SPICE model parameters [11], which are related with  $V_T$  and mobility, respectively. These parameters are determined from the experimental data using a parameter extraction procedure de-

defined elsewhere [12] and their average and standard deviations evaluated. For the simulations, in order to consider a number of devices statistically meaningful, new VTH0 and U0 parameters are Monte Carlo generated, so that each pair will describe the electrical characteristics of a single device. To calculate the VTH0 and U0 parameters that describe the worn-out device, the following equations have been used:

$$V_{TH0}(t)|_{deg} = V_{TH0}|_{fresh} + \langle \Delta V_T(t_{stress}) \rangle + \text{randn}(\sigma_{|\Delta V_T}) \quad (1)$$

$$U_0(t)|_{deg} = U_0|_{fresh} \cdot [1 - (\langle \Delta \mu_r(t_{stress}) \rangle + \text{randn}(\sigma_{|\Delta \mu_r}))] \quad (2)$$

being  $V_{TH0}|_{fresh}$  and  $U_0|_{fresh}$  the BSIM4 parameters of the fresh transistors,  $\langle \Delta V_T(t) \rangle$  and  $\langle \Delta \mu_r(t) \rangle$  the mean values of  $\Delta V_T$  and  $\Delta \mu_r$  at the stress time  $t_{stress}$ , respectively, which can be calculated from the power law fittings in Fig. 3.  $\text{randn}(\sigma_{|\Delta V_T})$  and  $\text{randn}(\sigma_{|\Delta \mu_r})$  are two random numbers normally distributed with zero mean values and with the standard deviations experimentally obtained for  $\Delta V_T$  and  $\Delta \mu_r$ , respectively. In this particular case, the  $\text{randn}(\sigma_{|\Delta V_T})$  and  $\text{randn}(\sigma_{|\Delta \mu_r})$  values have been considered independent of the stress time in accordance with the results in Fig. 3. After that, for every generated pair of VTH0 and U0 parameters (for every new device), a new SPICE file which contains the circuit under study is created and its simulation is launched to compare the output of the circuit when it operates with degraded devices.

As example of the methodology, a CMOS inverter has been considered. The input signal was a unipolar pulsed waveform with  $f = 500$  kHz and 1.2 V of amplitude. Degradation is only considered in the pMOS transistor, consequently, only the rise time of the circuit ( $t_{rise}$ ) is affected. The output of the circuit when operating with fresh devices without variability (rhombus line) and the output of 20 different circuits (i.e., including variability) simulated at a stress time of 500 s (solid lines) are plotted in Fig. 4. As can be observed in Fig. 4,  $t_{rise}$  tends to increase in circuits working with degraded transistors, where as a consequence of the device variability, different  $t_{rise}$  are obtained. To study in detail the combined effect of time dependent-variability of  $V_T$  and  $\mu$ , 1000 inverters have been simulated, operating with fresh and worn-out devices. In Fig. 5 shows the statistical distributions of  $t_{rise}$  after 500 s of stress obtained from the simulations, for the cases of fresh pMOSFETs and degraded devices when only  $V_T$  changes (circles) and both the  $V_T$  and  $\mu$  variations (triangles) are considered. From the comparison of both cases, it is clear that  $\mu$  degradation introduces an extra  $t_{rise}$  increase that must be considered to correctly estimate the damage in the circuit performance. The time dependence of the average

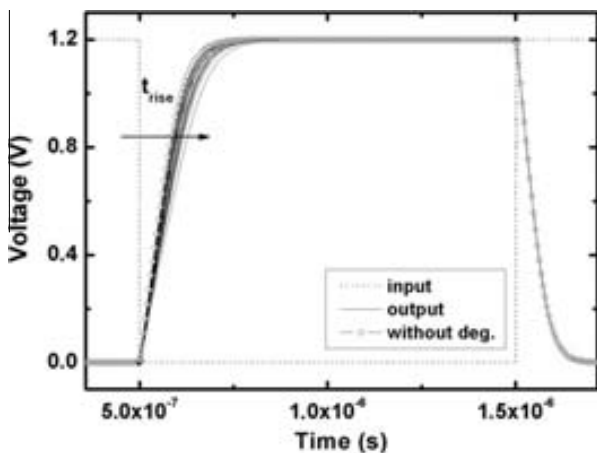


Fig. 4. Input signal and 20 simulated output voltage traces in a set of CMOS inverters, after 500 s of NBTI stress. The pMOSFET degradation leads to an increase of the rise time, which is statistically distributed due to the  $V_T$  and  $\mu$  variability.

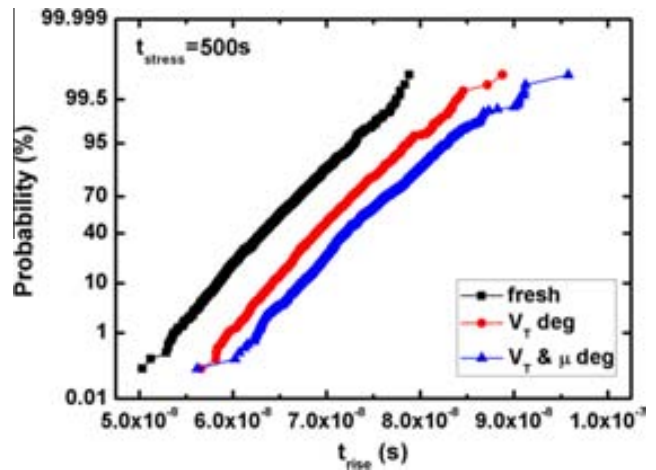


Fig. 5. Statistical distributions of  $t_{rise}$  obtained from the simulations of 1000 CMOS inverters for fresh (squares) and stressed devices. The cases of  $V_T$  degradation only (circles) and combined  $V_T$  and  $\mu$  aging (triangles) are considered.

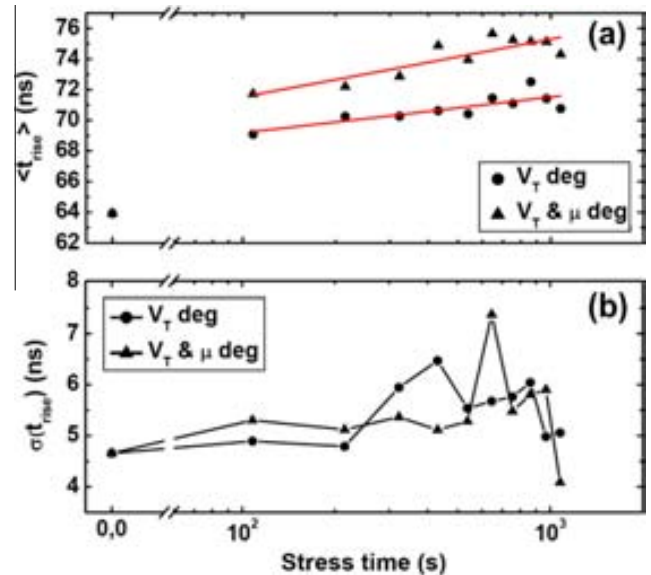


Fig. 6. Simulated mean (a) and standard deviation (b) of the inverter rise time versus stress time, for the cases of  $V_T$  shifts only (circles) and combined  $V_T$  and  $\mu$  aging (triangles).

and standard distributions of the rise times have been analyzed. Fig. 6a shows the evolution of the average of  $t_{rise}$  when only  $V_T$  shifts and when shifts in  $V_T$  and  $\mu$  are considered. From the figure it becomes clear that in both cases the  $t_{rise}$  evolution with stress time can be described by a power law, but a larger slope is obtained when the mobility degradation is considered. Subsequently, to neglect the mobility degradation leads to an underestimation of the aging effect in the circuit performance. Finally, in Fig. 6b, the standard deviation of the rise time ( $\sigma(t_{rise})$ ) is plotted as a function of stress time for the same cases than in Fig. 6a. As can be observed, similar  $t_{rise}$  variability is observed when considering (or not) the mobility degradation effect, which could be explained by the larger dispersion in the  $\Delta V_T$  compared to the  $\Delta \mu_r$  data (Fig. 3). Moreover, a relatively constant dispersion of  $t_{rise}$  with stress time is observed, and only small deviations from the fresh circuit case are observed. This result points out to the fact that the variability of the circuit performance is mainly due to the process related variability ( $t_{stress} = 0$ ).

#### 4. Conclusion

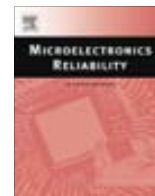
In this work, the statistical distributions of  $V_T$  and  $\mu$  in pMOS-FETs under NBTI degradation have been studied. The results show that device aging shifts the  $V_T$  and  $\mu$  average values (following a power law with time), but their spread are conserved. A technique to introduce the  $V_T$  and  $\mu$  time-dependent variability in circuit simulators has been presented. In our simulations variability and degradation are introduced by changing two of the SPICE BSIM4 model parameters in the circuit simulator, VTH0 and U0, related to threshold voltage and mobility, respectively. The VTH0 and U0 variations are determined from empirical laws. The simulation technique has been used to evaluate the variability and aging effects on the performance of a CMOS inverter, as an example circuit. For the technology used in this work, the simulations show that the mobility degradation caused by NBTI must be taken into account to correctly estimate the damage in the circuit performance. Moreover, process related variability is the main cause of circuit response variability, even after the device degradation.

#### Acknowledgements

This work was supported in part by the Spanish MICINN (TEC2007-61294 and TEC2010-16126) and in part by the DURSI of the Generalitat de Catalunya (2009 SGR-783).

#### References

- [1] International technology roadmap for semiconductors. Semiconductor Industry Association. (<http://public.itrs.net>).
- [2] H. Wong, H. Iwai, *Microelec. Eng.* 83 (2006) 1867.
- [3] P. Verheyen, G. Eneman, R. Rooyackers, R. Loo, L. Eeckhout, D. Rondas, F. Leys, J. Snow, D. Shamiryan, M. Demand, ThY. Hoffman, M. Goodwin, H. Fujimoto, C. Ravit, B.C. Lee, M. Caymax, K. De Meyer, P. Absil, M. Jurczak, S. Biesemans, *IEDM Tech. Digest.* 9 (2005) 886.
- [4] B. Cheng, S. Roy, G. Roy, F. Adamu-Lema, A. Asenov, *Solid-State Electron.* 49 (2005) 740.
- [5] T. Grasser, B. Kaczer, W. Goes, Th. Aichinger, Ph. Hehenberger, M. Nelhiebel, *Microelec. Eng.* 86 (2009) 1876.
- [6] WH. Choi, CY. Kang, JW. Oh, BH. Lee, P. Majhi, h.M. Kwon, R. Jammy, G.W. Lee, H.D. Lee, *IEEE Electr. Dev. Lett.* 31 (2010) 1211.
- [7] B. Kaczer, T. Grasser, Ph.J. Roussel, J. Martin-Martinez, R. O'Connor, B.J. O'Sullivan, G. Groeseneken, *Proc. IRPS* (2008) 20.
- [8] A. Shickova, B. Kaczer, E. Simoen, P. Verheyen, G. Eneman, M. Jurczak, P. Absil, H. Maes, G. Groeseneken, *Microelec. Eng.* 84 (2007) 1906.
- [9] E.P. Gusev, E. Cartier, D.A. Buchanan, M. Gribelyuk, M. Copel, H. Okorn-Schmidt, C. D'Emic, *Microelec. Eng.* 59 (2001) 341.
- [10] V. Huard, M. Denais, C. Parthasarathy, *Microel. Rel.* 46 (2006) 1.
- [11] J. Martin-Martinez, R. Rodriguez, M. Nafria, X. Aymerich, *IEEE Trans. Dev. Mat. Rel.* 9 (2009) 305.
- [12] BSIM4 user manual, Chapter 13: Parameter extraction methodology, <[http://www.device.eecs.berkeley.edu/~bsim3/bsim4\\_arch\\_ftp.html](http://www.device.eecs.berkeley.edu/~bsim3/bsim4_arch_ftp.html)>.



## Characterization and SPICE modeling of the CHC related time-dependent variability in strained and unstrained pMOSFETs

N. Ayala<sup>a,\*</sup>, J. Martin-Martinez<sup>a</sup>, R. Rodriguez<sup>a</sup>, M.B. Gonzalez<sup>b</sup>, M. Nafria<sup>a</sup>, X. Aymerich<sup>a</sup>, E. Simoen<sup>c</sup>

<sup>a</sup> Universitat Autònoma de Barcelona, Dept. Enginyeria Electrònica Edifici Q, 08193 Bellaterra, Spain

<sup>b</sup> Institut de Microelectrònica de Barcelona (IMB-CNM), CSIC, Campus UAB, 08193 Bellaterra, Spain

<sup>c</sup> Imec, Kapeldreef 75, 3001 Leuven, Belgium

### ARTICLE INFO

#### Article history:

Received 3 June 2012

Accepted 11 June 2012

Available online 7 July 2012

### ABSTRACT

Threshold voltage ( $V_T$ ) and mobility ( $\mu$ ) shifts due to process related variability and Channel-Hot Carrier (CHC) degradation are experimentally characterized in strained and unstrained pMOSFETs. A simulation technique to include the time-dependent variabilities of  $V_T$  and  $\mu$  in circuit simulators is presented and used to evaluate their effects on CMOS inverters performance.

© 2012 Elsevier Ltd. All rights reserved.

## 1. Introduction

The ultra downscaling dictated by the ITRS [1] makes necessary structural changes in CMOS devices for their optimal performance. Among others, high- $k$  materials have been introduced as gate dielectrics to reduce the high leakage currents [2]. Additionally, strain techniques, that require further process steps, may be implemented to increase the channel mobility [3]. In those ultrascaled devices, the variability of the electrical characteristics related to the fabrication process has become a limiting factor to ensure a proper device functionality [4]. Moreover, the variability of as-grown devices becomes time-dependent due to aging mechanisms during device operation. In this sense, with the continuous scaling of device dimensions, Channel-Hot Carrier (CHC) degradation has acquired a renewed interest [5]. Moreover, an increase of the mobility in strained samples suggests an increment of the impact ionization, and consequently of the CHC degradation, which can be critical in the reliability of these samples and, for this reason, CHC aging needs to be deeply analyzed [5,6]. In order to correctly evaluate the circuit reliability during the design phase, new simulation tools that account for the device time-dependent variability in the circuit response must be developed. In this work, CHC related time-dependent variability of  $V_T$  and  $\mu$  in pMOSFETs is experimentally evaluated. A simulation technique that allows to include these shifts in SPICE simulators is presented. As an example, the effects of time-dependent variability of strained and unstrained devices on the performance of CMOS inverters have been studied considering the device parameters extracted from the experimental measurements.

## 2. Material and methods

The samples used in this work were strained pMOSFETs with Ni-rich FULLY Silicided FUSI gate ( $W \times L = 1 \times 1 \mu\text{m}$ ). The dielectric gate stack consists of 1 nm  $\text{SiO}_2$  and 2.6 nm  $\text{HfSiON}$ . To strain the device channel,  $\text{Si}_{1-x}\text{Ge}_x$  ( $x = 0.15$ ) was deposited by selective epitaxial growth in the Source/Drain (S/D) areas. For comparison, unstrained Si reference samples with high- $k$  dielectric were also studied. Before the electrical stress, all the fresh (non-stressed) MOS devices were characterized by measuring the  $I_G-V_G$ ,  $I_D-V_G$  and  $I_D-V_D$  characteristics. The samples were subjected to CHC stress by applying voltages to gate and drain with source and bulk grounded for a total stress time of 500 s. The most damaging CHC stress condition was evaluated ( $V_G = V_D$ ) [7], considering  $V_G = V_D = -2.8$  V. The stress was periodically interrupted and the  $I-V$  transistor curves were again measured to characterize the induced damage.  $V_T$  variations with respect to the fresh  $V_T$  ( $\Delta V_T$ ), induced by CHC damage were obtained. Relative changes in the mobility, normalized to the mobility of the fresh device, ( $\Delta\mu_r$ ) were calculated from the variations in the transconductance peak ( $g_{m,\text{max}}$ ). To evaluate the device-to-device variability, 20 devices in different dies were characterized.

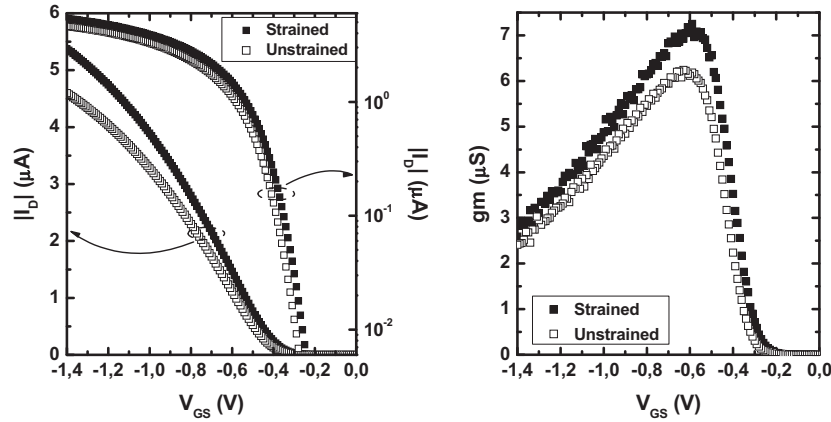
## 3. Results and discussion

### 3.1. Effect of CHC on $V_T$ and $\mu$ variability

The electrical characteristics of strained and unstrained transistors have been compared. Fig. 1 (left) shows two typical  $I_D-V_G$  measured with  $V_{DS} = -50$  mV obtained in strained and unstrained devices. By the comparison of both, no meaningful variations of the subthreshold slope are detected, which suggests that the inter-

\* Corresponding author.

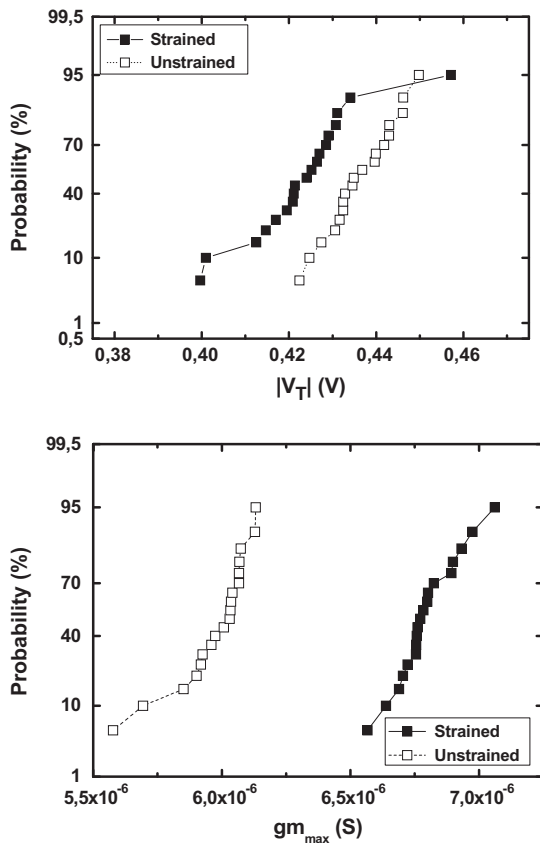
E-mail address: [Nuria.Ayala@uab.es](mailto:Nuria.Ayala@uab.es) (N. Ayala).



**Fig. 1.** Left:  $I_D$ - $V_{GS}$  characteristics in linear and log scale. Negligible changes in the subthreshold slope and  $V_T$  are observed, but a high current increase is observed in strong inversion region for the strained transistor. Right: transconductance curves obtained for the same samples. The higher peak observed in the strained pMOS device confirms its larger mobility.

facial trap density is not strongly affected by the channel strain. Although a very similar  $V_T$  is obtained in both samples, a larger drain current is measured in the strained transistor, which should be attributed to an increase of the mobility due to the channel strain. This is confirmed by the transconductance ( $gm$ ) curves plotted in Fig. 1 right. The higher  $gm$  peak obtained in the strained transistor confirms its higher mobility.

The time-zero variability on strained and unstrained samples has been compared. Fig. 2 shows the statistical distributions of  $V_T$  (top) and  $gm_{max}$  (bottom), on 20 fresh (before stress) devices with SiGe S/D (solid) and 20 fresh reference devices (open). By

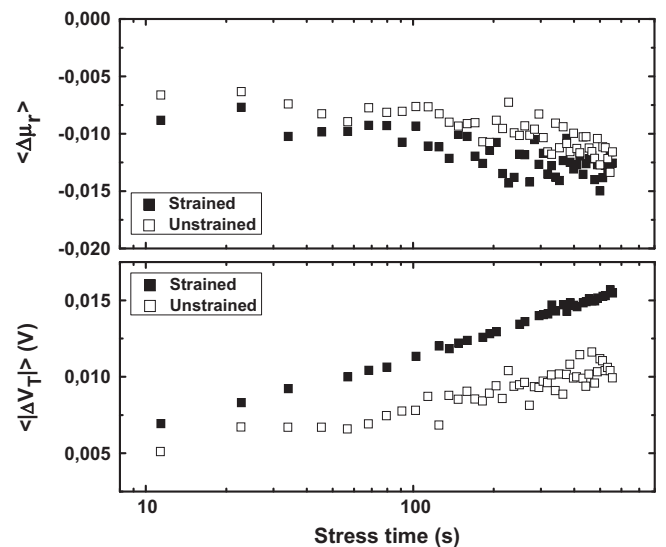


**Fig. 2.** Statistical distributions of  $V_T$  (top) and peak of the transconductance,  $gm_{max}$  (bottom), measured on 20 fresh (before stress) devices.

comparing these distributions a similar spread is obtained for  $V_T$  and  $gm$ . For strained devices slightly more positive  $V_T$  values are observed while the  $gm$  increase is apparent for all the samples.

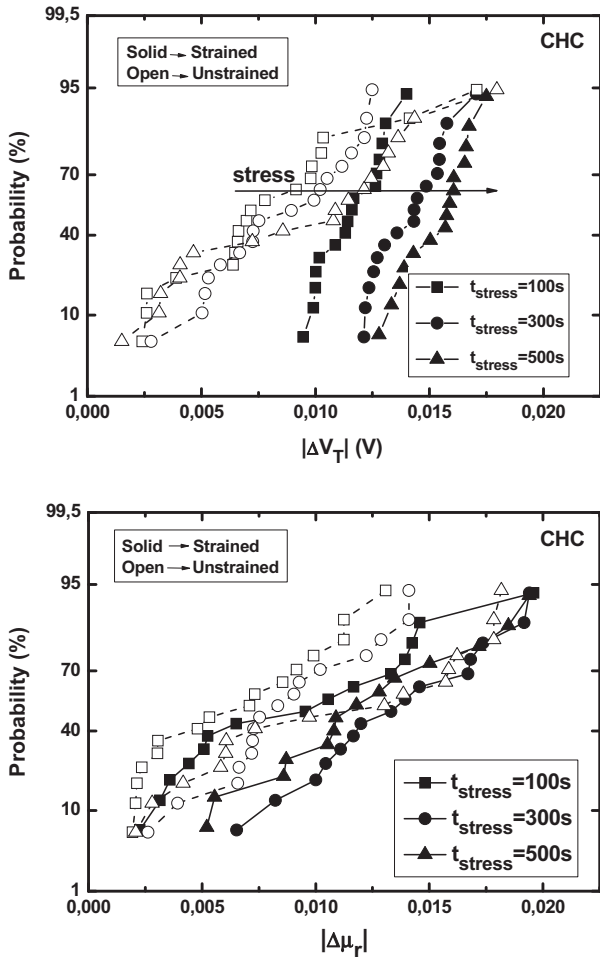
To evaluate the effect of CHC degradation, the evolution of  $\Delta V_T$  and  $\Delta\mu_r$  mean values with the CHC stress has been calculated (Fig. 3).  $|\Delta V_T|$  and  $|\Delta\mu_r|$  mean values increase with the induced degradation, which is more significant for strained devices, especially in the case of  $\Delta V_T$ . Note that  $\Delta\mu_r$  takes negative values, which indicates a mobility reduction of the sample. The mobility decrease in strained samples can be explained taking into account the higher impact ionization, and consequently an increase of CHC aging, caused by the initial larger mobility in fresh strained samples. This effect would also affect the  $|\Delta V_T|$  increase, but, additionally, in SiGe S/D strained devices a higher amount of interfacial traps, mainly in the regions close to source and drain, is detected [8]. This fact could influence the  $V_T$  degradation, therefore, a lower reliability should be expected when strained technology is used.

To analyze the effect of CHC stress on the  $V_T$  and carrier mobility variability, the statistical distributions of  $\Delta V_T$  and  $\Delta\mu_r$  with the stress time has been calculated. Fig. 4 shows the statistical distributions of  $\Delta V_T$  (top) and  $\Delta\mu_r$  (bottom) after 100, 300 and 500 s



**Fig. 3.** Time evolution of the average of relative mobility (top) and  $\Delta V_T$  (bottom) shifts for strained (solid) and reference (open) devices after CHC stress.



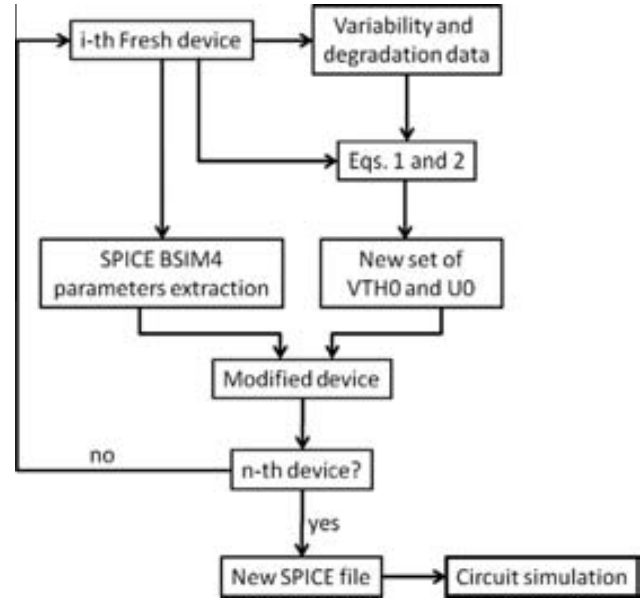


**Fig. 4.** Statistical distributions of the threshold voltage shift,  $\Delta V_T$  (top), and relative mobility variation,  $\Delta\mu_r$  (bottom), measured after different stress times on devices subjected to CHC stress. Twenty devices are included in each of the distributions.

of CHC stress for strained (solid symbols) and unstrained (open symbols) samples. It is observed that although the spread of  $\Delta V_T$  and  $\Delta\mu_r$  does not seem to depend on the stress time, a lower dispersion of  $\Delta V_T$  is observed in strained devices. To correctly account the time dependent variability effects in circuits, the impact of the fabrication process and the variability produced by CHC degradation must be considered. The next section presents a method in which both issues are simultaneously considered in a circuit simulator.

### 3.2. Time-dependent variability of a CMOS inverter subjected to CHC stress

The evaluation of the effect that  $V_T$  and  $\mu$  variability and degradation can have on the circuits performance is a very complex process, so that a simulation methodology to include those effects in circuit simulators has been developed based on the device empirical data and Monte Carlo simulations. In this methodology, which flow diagram is shown in Fig. 5, the BSIM4 MOSFET model is used to describe the device performance in the circuit simulator. First of all, the BSIM4 SPICE model parameters of the fresh samples have been extracted using a parameter extraction procedure [9]. To take into account the device aging, the BSIM4 model parameters are modified. Variability and degradation can be included in the device description by simply changing the VTH0 and U0 BSIM4 SPICE model parameters [10], which are related with  $V_T$  and mobility,



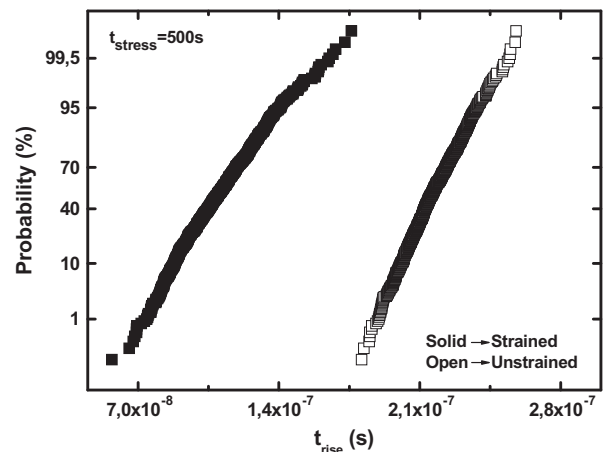
**Fig. 5.** Flow diagram used to include device variability and degradation effects in circuit simulations. This flow diagram is repeated for each circuit simulation.

respectively. The average and standard deviations of these parameters are determined from the experimental data of Fig. 2. For the simulations, in order to consider a statistically meaningful number of devices, new VTH0 and U0 values are Monte Carlo generated, so that each pair will describe the electrical characteristics of a single device. To calculate the VTH0 and U0 that describe the device degradation, the following equations have been used:

$$VTH0(t)|_{deg} = VTH0|_{fresh} + \langle \Delta V_T(t) \rangle + randn(\sigma_{|\Delta V_T|}) \quad (1)$$

$$U0(t)|_{deg} = U0|_{fresh} [1 - (\langle \Delta\mu_r(t) \rangle + randn(\sigma_{|\Delta\mu_r|}))] \quad (2)$$

being  $VTH0|_{fresh}$  and  $U0|_{fresh}$  the BSIM4 parameters of the fresh transistors,  $\langle \Delta V_T(t) \rangle$  and  $\langle \Delta\mu_r(t) \rangle$  the mean values of  $\Delta V_T$  and  $\Delta\mu_r$  at the stress time  $t$ , respectively, which can be calculated from the data of Fig. 3.  $randn(\sigma_{|\Delta V_T|})$  and  $randn(\sigma_{|\Delta\mu_r|})$  are two random numbers normally distributed with mean value zero and the standard deviations experimentally obtained for  $\Delta V_T$  and  $\Delta\mu_r$ . In this particular case, constant values with the stress time of



**Fig. 6.** Probability distributions of rise times of CMOS inverters taking into account the time dependent variability, CHC degradation and strain effects in the pMOS transistor.

$\text{randn}(\sigma_{|\Delta V_T|})$  and  $\text{randn}(\sigma_{|\Delta \mu|})$  have been considered in accordance with the results of Fig. 4. After that, for every generated pair of  $V_{T0}$  and  $U_0$  parameters (for every new device), a new SPICE file which contains the circuit under study is created and its simulation launched to compute the output of the circuit when it operates with fresh and degraded devices.

As an example, the simulation methodology has been applied to study the effect of variability, CHC degradation and strain on CMOS inverters. The inverter rise time ( $t_{\text{rise}}$ ), that is, the time to change from the low state to the high state was chosen as the parameter to characterize the variability and degradation effect.  $t_{\text{rise}}$  is purely controlled by the pMOS transistor, which simplifies the analysis process but it is illustrative of the impact of variability and degradation on circuits speed. Fig. 6 shows the probability distributions of  $t_{\text{rise}}$  obtained from simulations of inverters considering in the pMOS transistor a degradation and variability equivalent to 500 s of CHC stress. These simulations have been performed for circuits working with strained and unstrained pMOS transistors. 1000 circuits were simulated to obtain each distribution.

Fig. 6 shows that circuits working with strained channel devices have lower rise times, although the degradation of  $V_T$  and mobility due to the CHC stress is larger than the one obtained for the unstrained devices as was shown in Fig. 3. This result can be understood taking into account the better initial performance of the strained devices. The initial higher mobility induced by the strain gives a reduction of the initial  $t_{\text{rise}}$ , which compensates the higher impact of the CHC stress on the device degradation. Moreover, a slightly larger spread of the  $t_{\text{rise}}$  is observed for circuits working with strained devices, which is mainly due to the higher variability in the fabrication process. However, even taking into account this fact, strained technology still gives better performance to the degraded circuits.

#### 4. Conclusions

In this work, the statistical distributions of  $V_T$  and  $\mu$  in strained and unstrained pMOSFETs under CHC degradation have been studied. The results show that device CHC aging shifts the  $V_T$  and  $\mu$  average values, being these shifts larger for the case of strained samples, especially in the case of  $V_T$ . The mobility decrease has been attributed to the larger carrier mobility presented in the fresh strained samples which increases the impact ionization and, consequently, the CHC degradation. On the other hand, the larger amount of interfacial traps located close to drain and source

provoked by the strain could also affect the significant increase of  $V_T$  in strained damaged samples. A technique to introduce the  $V_T$  and  $\mu$  time-dependent variability in circuit simulators has been presented. In our simulations variability and degradation are introduced by changing two of the SPICE BSIM4 MOSFET model parameters in the circuit simulator,  $V_{T0}$  and  $U_0$ , related to threshold voltage and mobility, respectively. The  $V_{T0}$  and  $U_0$  parameters are evaluated from experimental data. The simulation technique has been used to evaluate the variability and aging effects on the performance of CMOS inverters, as an example circuit. From these simulations we conclude that the higher mobility of the strained devices compensates their larger CHC degradation, leading to better circuit performance.

#### Acknowledgements

This work was supported in part by the Spanish MICINN (TEC2010-16126) and by the DURSI of the Generalitat de Catalunya (2009 SGR-783).

#### References

- [1] International technology roadmap for semiconductors. Semiconductor Industry Association. <<http://public.itrs.net>>.
- [2] Wong H, Iwai H. On the scaling issues and high-k replacement of ultrathin gate dielectrics for nanoscale MOS transistors. *Microelectron Eng* 2006;83:1867–904.
- [3] Verheyen P, Eneman G, Rooyackers R, Loo R, Eeckhout L, Rondas D, et al. Demonstration of recessed SiGe S/D and inserted metal gate on HfO<sub>2</sub> for high performance pFETs. *IEDM 2005*;9:886–9.
- [4] Cheng B, Roy S, Roy G, Adamu-Lema F, Asenov A. Impact of intrinsic parameter fluctuations in decanano MOSFETs on yield and functionality of SRAM cells. *Solid State Electron* 2005;49:740–6.
- [5] Su P, Kuo JJ-Y. On the enhanced impact ionization in uniaxial strained p-MOSFETs. *EDL 2007*;28:649–51.
- [6] Saitoh M, Kobayashi S, Uchida K. Stress engineering in high-k FETs for mobility and on-current enhancements. *T-ED 2009*;56:1451–7.
- [7] Amat E, Kauerauf T, Degraeve R, De Keersgieter A, Rodriguez R, Nafria M, et al. Channel hot-carrier degradation in short-channel transistors with high-k/metal gate stacks. *T-DMR 2009*;9(3):425–30.
- [8] Wong K-M, Chim W-K, Ang K-W, Yeo Y-C. Spatial distribution of interface trap density in strained channel transistors using the spread of the differential capacitance characteristics in scanning capacitance microscopy measurements. *Appl Phys Lett* 2007;90.
- [9] BSIM4.6.0 MOSFET Model User's Manual, Parameter extraction methodology, [Chapter 15]. Available online: [http://www-device.eecs.berkeley.edu/bsim/Files/BSIM4/BSIM460/doc/BSIM460\\_Manual.pdf](http://www-device.eecs.berkeley.edu/bsim/Files/BSIM4/BSIM460/doc/BSIM460_Manual.pdf).
- [10] Martin-Martinez J, Rodriguez R, Nafria M, Aymerich X. Time-dependent variability related to BTI effects in mosfets: impact on CMOS differential amplifiers. *T-DMR 2009*;9(3):305–10.

# Unified characterization of RTN and BTI for circuit performance and variability simulation

N.Ayala, J. Martin-Martinez, R. Rodriguez, M. Nafria and X. Aymerich.

Departament d'Enginyeria Electrònica, Universitat Autònoma de Barcelona (UAB) 08193, Bellaterra, Spain.

Corresponding autor e-mail: Nuria.Ayala@uab.es

**Abstract**—In small devices, Bias Temperature Instability (BTI) produces discrete threshold voltage ( $V_T$ ) shifts, which are attributed to the charge and discharge of single defects. In this work, the voltage and temperature dependences of charging/discharging of individual defects, considering their stochastic behavior, have been analyzed. From the results, and considering a previously presented BTI physics-based model, the corresponding  $V_T$  shifts in the device have been obtained and included in a circuit simulator, to evaluate their effects on SRAM cells performance and variability.

## I. INTRODUCTION

In small MOSFETs, BTI reveals a stochastic behavior, which has been attributed to the charge/discharge of defects during stress/relaxation [1, 2]. The analysis of these isolated defects provides very valuable information for the development of future BTI models [2, 3]. The behavior of these defects has been also related to the Random Telegraph Noise (RTN) observed in MOS structures [1] which is characterized by different and clearly distinguished conduction levels [4]. In this work, a characterization of defects, attending to their stochastic behavior, on pMOS is presented. The capture ( $\tau_c$ ) and emission ( $\tau_e$ ) times of the defects and their dependences with the gate voltage ( $V_G$ ) and temperature have been analyzed. Based on these results and the probabilistic defect occupancy model for BTI [3], the corresponding  $V_T$  shifts have been evaluated and their impact on a SRAM cell behavior and variability analyzed.

## II. EXPERIMENTAL

The samples used in this work were pMOSFET transistors with SiON as gate dielectric (EOT=1.7nm) and area of  $0.15 \times 0.13 \mu\text{m}^2$ . Since our aim is to characterize in detail the behavior of the BTI related defects, the data measured on a single device will be shown in the paper. Firstly, the fresh transistor drain current ( $I_D$ ) versus  $V_G$  characteristic was measured to obtain the transistor  $V_{th}$ . Secondly, to obtain the  $\tau_c$  and  $\tau_e$  of the BTI related defects in the device,  $I_D$  was measured when applying -50mV at the drain, for different stress gate voltages and temperatures ( $2.5^\circ\text{C} \leftrightarrow 100^\circ\text{C}$ ) for 140 seconds. For each temperature,  $V_G$  was sequentially changed starting from -0.6V to -1.4V in steps of -0.1V and  $\tau_c$

and  $\tau_e$  were obtained from the  $I_D$  evolution for the different  $V_G$ . Before changing  $V_G$ , the sample was relaxed for 60 seconds (applying  $V_G = -0.5\text{V}$  and  $V_D = -50\text{mV}$ ).

## III. $V_G$ AND T DEPENDENCES OF DEFECTS BEHAVIOUR

When a voltage is applied to the gate of the device, abrupt changes in the  $I_D$ -t traces (which imply abrupt changes in the device  $V_T$ ) between clearly distinguished current levels can be observed (Fig. 1), which have been attributed to the charge/discharge of defects in the device [2]. Each defect has associated a fixed  $I_D$  increase/decrease ( $\delta I_D$ ) which identifies the defect and the  $\tau_c$  and  $\tau_e$  times are the times elapsed between consecutive sudden  $I_D$  changes with the same  $\delta I_D$  (see Fig. 3b and c).

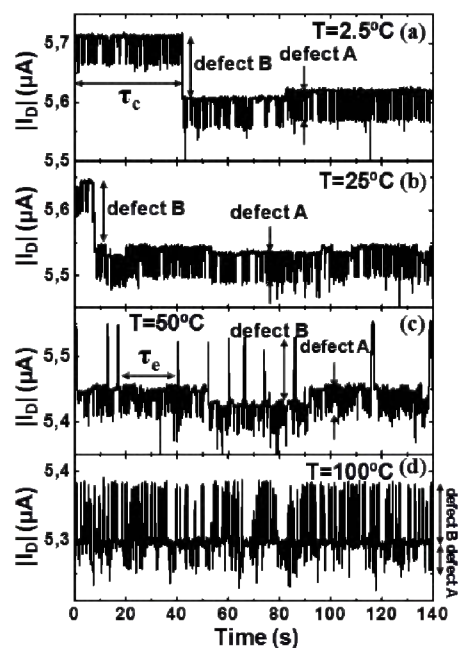


Figure 1.  $I_D$  evolution for  $V_G = -0.9\text{V}$  and  $2.5^\circ\text{C}$  (a),  $25^\circ\text{C}$  (b)  $50^\circ\text{C}$  (c) and  $100^\circ\text{C}$  (d).  $\tau_c$  and  $\tau_e$  of defect B ( $\delta I_D \approx 100\text{nA}$ ) decrease with temperature

First of all, the temperature dependence of  $\tau_c$  and  $\tau_e$  has been analyzed Fig. 1 shows the  $I_D$  evolution measured at  $V_G = -0.9\text{V}$  for different temperatures. Since defects can be



identified by the magnitudes of the  $I_D$  changes, the charging/discharging of two defects are clearly distinguished in Fig. 1, which correspond to  $\delta I_D \approx 50 \text{ nA}$  (defect A) and  $\delta I_D \approx 100 \text{ nA}$  (defect B) Fig. 1 shows that the charging (current decrease) of defect B observed at  $\sim 45 \text{ s}$  for  $T=2.5^\circ\text{C}$  (Fig. 1a) is shifted to lower times (Fig. 1b and 1c) when the temperature increases and, for large enough  $T$ , its charging cannot be observed in this scale (Fig. 1d). Therefore, this result suggests that  $\tau_c$  decreases with temperature. Moreover, when temperature increases, multiple discharging events (current increments) of defect B are observed (Fig. 1c and d), which also indicate that  $\tau_c$  decreases with temperature. Fig. 2 shows the number of detected charge /discharge events for each defect, for  $V_G = -0.8 \text{ V}$  and different temperatures. For the lower temperatures, events related to defect A are dominant. However, as temperature increases, the number of events related to defect B increases and dominates over those related to defect A.

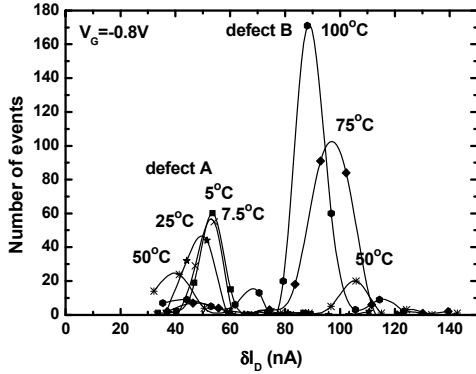


Figure 2. Number of charging/discharging events versus  $\delta I_D$  current change for different temperatures. For high temperatures defect B ( $\delta I_D \approx 100 \text{ nA}$ ) dominates, while for the lower temperatures defect A ( $\delta I_D \approx 50 \text{ nA}$ ) prevails.

The  $V_G$  dependence of  $\tau_c$  and  $\tau_e$  has also been studied. Fig. 3 shows the evolution of  $I_D$  for different gate voltages, for  $T=7.5^\circ\text{C}$ . For the lower gate voltage ( $-0.7 \text{ V}$ ), defect B is charged at  $\sim 50$  seconds. However, when  $V_G$  increases, this effect is shifted to lower times, which means a reduction of  $\tau_c$  with  $V_G$ . In addition, for defect A,  $\tau_c$  decreases and  $\tau_e$  increases as  $V_G$  increases (Fig. 3b and 3c). For very high  $V_G$ , the defect B is charged immediately after the voltage is applied and it is not discharged again in this time window.

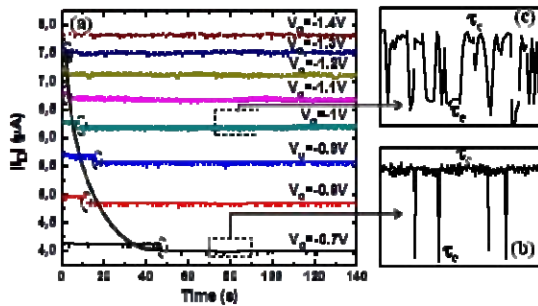


Figure 3.  $I_D$  evolution for different  $V_G$  ( $T=7.5^\circ\text{C}$ ).  $\tau_c$  decreases and  $\tau_e$  increases when  $V_G$  increases. The cycles and arrows correspond to charging events of defect B. Zooms of the traces are shown in (b) and (c) which correspond to charging/discharging of defect A.

The voltage and temperature dependences of the statistical distributions of the time constants measured for defects A and B have been analyzed, assuming an exponential distribution for  $\tau_c$  and  $\tau_e$  [3]. The cumulative probability function,  $F$ , satisfies (1).

$$\text{Ln}(1-F(V,T)) = -\tau / \langle \tau(V,T) \rangle \quad (1)$$

being  $\langle \tau \rangle$ , the mean value of  $\tau_c$  or  $\tau_e$ . As an example, Figure 4 shows  $\text{Ln}(1-F)$  versus  $\tau_c$  for defect B for different temperatures and  $V_G = -0.7 \text{ V}$ . Good fittings of the experimental data (symbols) to equation 1 are obtained. The values of  $\langle \tau_c \rangle$  can be determined from the slopes of these plots. Fig. 5 shows  $\langle \tau_c \rangle$  versus  $V_G$  for defect B, for 2 temperatures.  $\langle \tau_c \rangle$  and  $\langle \tau_e \rangle$  exponentially decrease and increase, respectively, with  $V_G$ . In addition, lower values of  $\langle \tau_c \rangle$  and  $\langle \tau_e \rangle$  are observed for larger temperatures. In our device, the voltage and temperature dependences of  $\langle \tau_c \rangle$  and  $\langle \tau_e \rangle$  have been found to be given by (2)

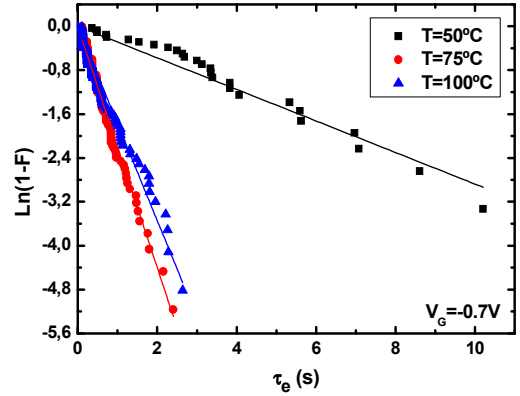


Figure 4. Symbols: experimental values of  $\tau_c$  obtained for defect B at  $V_G = -0.7$  and different temperatures. Lines: fittings of the experimental data to (1).  $\langle \tau_c \rangle$  can be obtained from the plots slopes.

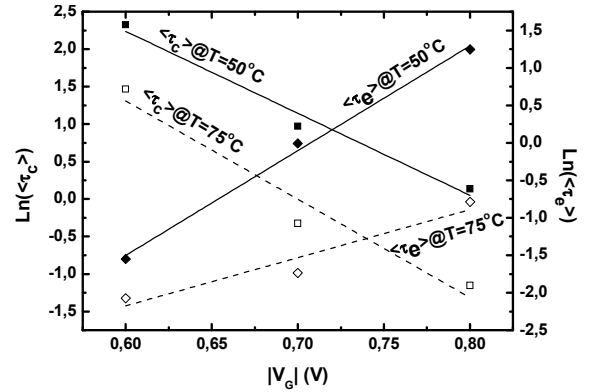


Figure 5.  $\langle \tau_c \rangle$  and  $\langle \tau_e \rangle$  versus  $V_G$  of defect B for different temperatures.

$$\langle \tau_{c,e} \rangle(V,T) = K \cdot e^{\alpha|V|} \cdot e^{E_a/k_B T} \quad (2)$$

where  $K$ ,  $\alpha$  and  $E_a$  are here empirical parameters which are related to the energy defect level and the structure band diagram [5].  $k_B$  is the Boltzmann constant.

#### IV. BTI SIMULATION AND IMPLICATIONS ON SRAM CELLS

Based on the previous results, the effect of the charge/discharge of individual defects in pMOS transistors has been simulated. To do this, the probabilistic defect occupancy model for BTI has been considered [3]. According to this model, when the defect is charged, a  $V_T$  shift of value  $\eta$  is observed.  $\eta$  can be experimentally obtained from the sudden  $I_D$  changes (Fig. 1,3) and the initial  $I_D$ - $V_G$  characteristic [6]. Moreover, in a device,  $\eta$ 's related to different defects are exponentially distributed [3]. The probability of charging/discharging of the defect can be obtained from the values of  $\tau_c$  and  $\tau_e$ , which in a device are statistically distributed following a logarithmic law [6]. First of all, the effect on the threshold voltage of the charging/discharging of a **single defect** has been evaluated, as a function of the operation voltage and temperature. The occupancy probability of the defect has been computed from (1) by randomly generating a particular value of  $\tau_c$  ( $\tau_e$ ). The average values of  $\tau_c$  ( $\tau_e$ ) are evaluated from (2), with the experimentally determined parameter values for the considered  $V_G$  and  $T$ . If the defect is found to be occupied,  $V_{th}$  shifts by an amount  $\eta$ . An example of  $V_{th}$  shift related to the charging/discharging of a single defect is illustrated in Fig. 6, where a pulsed  $V_G$  waveform (Fig. 6a) is applied. In the example, we have considered a defect with  $\langle\tau_c\rangle=1.2s$  and  $\langle\tau_e\rangle=0.45s$  for  $V=-0.6V$  and  $T=25^\circ C$ , that causes a change  $\eta = -3.81mV$  in  $V_{th}$  (defect A) when it is occupied. Fig. 6b shows the simulated  $\Delta V_{th}$  (or  $\eta$ ) caused by this defect when the gate voltage has an amplitude of  $V=-0.6V$ . Note that, as observed in Fig. 1, a typical RTN signal is obtained. Fig. 6c shows the  $\Delta V_{th}$  trace for the same defect when the gate voltage is  $V=-1V$ . In this case, as in Fig. 1c,  $\langle\tau_c\rangle$  decreases and  $\langle\tau_e\rangle$  increases, so that the defect is rapidly occupied, and because its very low emission probability, the defect does not discharge during the high-state voltage and, consequently, the  $\Delta V_{th}$  trace follows the gate voltage. In a device, however, **several defects** can coexist, with different values of  $\langle\tau_c\rangle$ ,  $\langle\tau_e\rangle$  and  $\eta$ , so that the contributions of all the defects have to be considered. Fig. 6d shows the  $\Delta V_{th}$  trace obtained when 10 (small area device) and 1000 (big area device) are simultaneously considered. For these simulations the  $\langle\tau_c\rangle$ ,  $\langle\tau_e\rangle$  and  $\eta$  distributions shown in [3] have been used, which correspond to devices with similar characteristics. Note that the obtained  $\Delta V_{th}$  evolution with time corresponds to the typical NBTI behavior during the stress ( $V=-1V$ ) and relaxation ( $V=0$ ) phases, being stochastic in small devices (blue line) and continuous in larger ones (red line). This result confirms that RTN and BTI phenomenology have the same origin (they are caused by the same defects) and shows that their observation depends on the conditions (voltage, temperature, time) at which they are studied.

The effects of the BTI  $V_{th}$  shifts related to these defects on the performance and variability of SRAM cells, as circuit example, have been analyzed, as a function of the operation conditions. The device threshold voltage shift is considered in the circuit by adding a voltage source to the gate of each

pMOS transistor (Fig. 7). The value of each voltage source is determined by using the simulation procedure and the characterization data previously described, which lead to the results in Fig. 6, taking into account the gate voltage applied to each pMOS and the circuit temperature. Simulations have been carried out when the logic states change between '0' ( $V_Q=0, V_{Q'}=V_{DD}$ ) and '1' ( $V_Q=V_{DD}, V_{Q'}=0$ ) every 0.1s. 10 defects with distributed  $\langle\tau_{c,e}\rangle$  and  $\eta$  have been considered in each pMOS transistor.

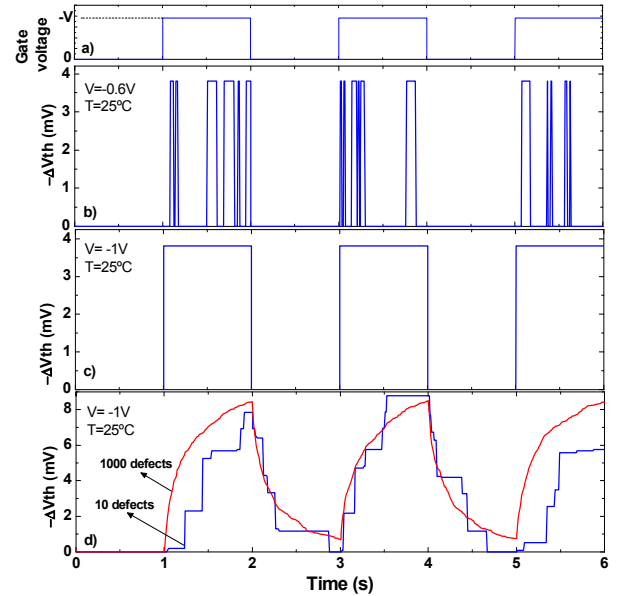


Figure 6. a) pulsed waveform used to evaluate the  $\Delta V_{th}$  traces related to defects at different conditions. b)  $\Delta V_{th}$  trace obtained for a defect with  $\langle\tau_c\rangle=0.45s$   $\langle\tau_e\rangle=1.2s$  and  $\eta=-3.81mV$  (defect A) when  $V=-0.6$ . (c) and  $V=-1V$  (d).  $\Delta V_{th}$  traces obtained from the combination of several defects. The typical  $\Delta V_{th}$  shifts of NBTI during stress and relaxation are well reproduced.

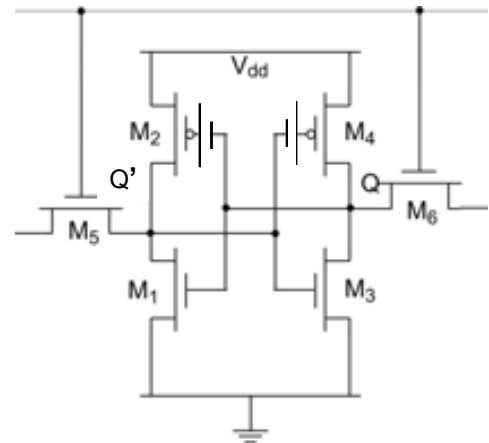


Figure 7. SRAM cell used to evaluate the effect of trapping/detrapping in defects. To account for the  $V_{th}$  variations, a voltage source is added at the gate of each pMOS transistor, whose values are obtained by performing simulations as those in Fig. 6.

Fig. 8 shows the corresponding butterfly plots at three different conditions, (a):  $V_{DD}=0.6V$ ,  $T=25^\circ C$ ,  $t=1s$ , (b):  $V_{DD}=1V$ ,  $T=25^\circ C$ ,  $t=1s$  and (c):  $V_{DD}=1V$ ,  $T=125^\circ C$  and

$t=10^4$ s. Clearly, the operation conditions of the SRAM cells have a strong influence on their performance variability.

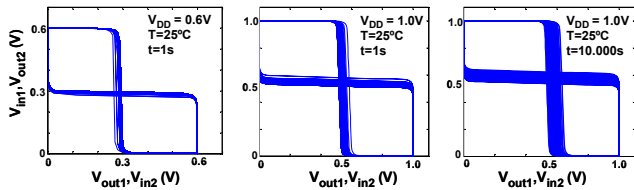


Figure 8. Butterfly curves obtained in SRAM cells at different conditions. 200 simulations have been performed for each case.

To carefully check this point, the Static Noise Margin (SNM) of the circuits have been calculated for each simulation, and their probability distributions plotted in Fig. 9. At  $V_{DD}=0.6V$ ,  $T=25^\circ C$  and  $t=1s$  (Fig. 9a) a low spread of the SNM distribution is observed because only few defects are potentially capable to trap/detrapp charge (RTN in the pMOS transistors, Fig. 6b). Increasing  $V_{DD}$  (Fig. 9b) increases the number of defects that can trap/detrapp charge and, consequently, a larger SNM spread is observed. In the last case (Fig. 9c), for a higher temperature and operation time, several defects that were empty in cases (a) and (b) are now occupied (leading to a net shift of  $V_{th}$ , typical of NBTI, Fig. 6d), and, consequently, a shift of the distribution to lower SNM values and an increase of the spread are obtained.

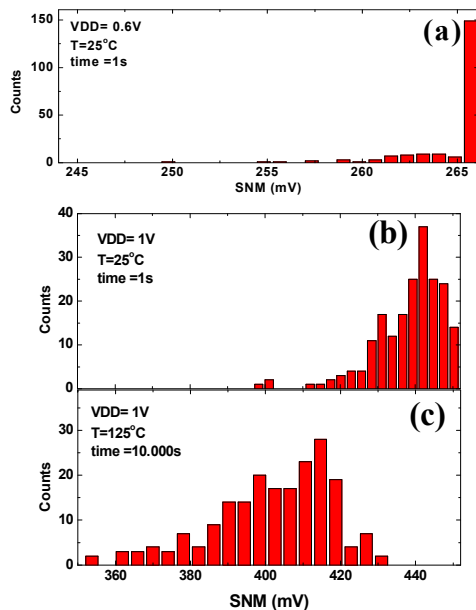


Figure 9. SNM distributions obtained for SRAM cells at different operation conditions.

The simulations show that if the behavior of individual defects are properly modeled and characterized, the impact of

RTN and NBTI on the circuit performance can be evaluated, taking into account the operation conditions of the transistors within the circuit.

## V. CONCLUSIONS

In this work, the behavior of individual defects in pMOSFETs, which can trap/detrapp charge during the operation of the device, has been characterized. The statistical distributions of their emission and capture times and their dependences with voltage and temperature have been experimentally obtained. From these data, the parameters of the previously presented probabilistic defect occupancy model for BTI have been determined, and the associated  $V_T$  shifts in the device evaluated. The results have shown that those defects that cause Random Telegraph Noise can induce NBTI degradation at higher voltages and operation times, so that the observation of RTN or BTI depends on the device operation conditions. Finally, the  $V_T$  shifts have been included in a circuit simulator, to study the RTN/BTI effects on SRAM cells. The results show that not only the performance, but also the variability of the cell depend on the operation conditions. In summary, using a physical-based model with experimentally obtained parameters values (which describe the underlying technology) the physical properties of defects can be directly translated into circuit response and variability.

## ACKNOWLEDGMENT

This work was partially supported by the Spanish MINECO (TEC2010-16126) and by the Generalitat de Catalunya (2009 SGR-783).

## REFERENCES

- [1] B. Kaczer, T. Grasser, Ph. J. Roussel, J. Franco, R. Degraeve, L. -A. Ragnarsson, E. Simoen, G. Groeseneken, and H. Reisinger, "Origin of NBTI variability on deeply scaled pFETs," Proc. Int. Reliab. Phys. Symp., 2010, pp. 26-32.
- [2] T. Grasser, H. Reisinger, P.-J. Wagner, F. Schanovsky, W. Goes, and B. Kaczer, "The Time Dependent Defect Spectroscopy (TDDS) for the Characterization of the Bias Temperature Instability", Proc. Int. Reliab. Phys. Symp., pp. 16-25, 2010.
- [3] J. Martin-Martinez, B. Kaczer, M. Toledano-Luque, R. Rodriguez, M. Nafria, X. Aymerich, and G. Groeseneken, "Probabilistic defect occupancy model for NBTI," Proc. Int. Reliab. Phys. Symp., 2011, pp. 920-925.
- [4] K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa, K. Kobayashi, and H. Onodera, "The impact of RTN on performance fluctuation in CMOS logic circuits," Proc. Int. Reliab. Phys. Symp., 2011, pp. 710-713.
- [5] A. Avellan, D. Schroeder, and W. Krautschneider, "Modeling random telegraph signal in the gate current of metal-oxide-semiconductor field effect transistors after oxide breakdown", J. Appl. Phys., 94, 2003, pp. 703-708.
- [6] B. Kaczer, T. Grasser, Ph. J. Roussel, J. Martin-Martinez, R. O'Connor, B. J. O'Sullivan, G. Groeseneken, "Ubiquitous relaxation in BTI stressing - new evaluation and insights", Proc. Int. Reliab. Phys. Symp., 2008, pp. 20-27.