

**KERNFORSCHUNGSZENTRUM
KARLSRUHE**

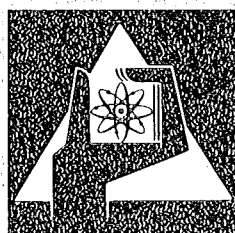
August 1975

KFK 2178

Abteilung Datenverarbeitung und Instrumentierung

Spezifikation eines CAMAC Single Crate Controller
mit DMA-Zusatz für den PDP-11-Unibus

H. Barthel, W. Heep, J.G. Ottens



**GESELLSCHAFT
FÜR
KERNFORSCHUNG M.B.H.**

KARLSRUHE

Als Manuskript vervielfältigt

Für diesen Bericht behalten wir uns alle Rechte vor

GESELLSCHAFT FÜR KERNFORSCHUNG M. B. H.
KARLSRUHE

KERNFORSCHUNGSZENTRUM KARLSRUHE

Abteilung Datenverarbeitung und Instrumentierung

KFK 2178

Spezifikation eines CAMAC Single Crate Controller
mit DMA-Zusatz für den PDP-11-Unibus

H. Barthel
W. Heep
J.G. Ottens

GESELLSCHAFT FÜR KERNFORSCHUNG M.B.H., KARLSRUHE

Zusammenfassung

Ein CAMAC Single Crate Controller mit DMA-Zusatz für die PDP-11-Rechnerfamilie wurde entworfen. Er besteht aus 2 CAMAC-Moduln zu je doppelter Breite, dem I/O-Controller und dem DMA-Controller.

Der I/O-Controller belegt 6 Unibus-Wortadressen und ermöglicht die programmgesteuerte Befehlsabwicklung und die Interrupteingabe bei Fehlersituationen oder Alarmen aus dem CAMAC-Crate.

Falls die Aufgabenstellung den schnellen Datentransfer erforderlich macht, wird der DMA-Controller, der 8 Unibus-Wortadressen in Anspruch nimmt, zusammen mit dem I/O-Controller eingesetzt. Der DMA-Controller kann über seine 8 Datenkanäle bis zu 8 CAMAC-Moduln bedienen und erlaubt den LAM-synchronisierten Datenaustausch zwischen CAMAC-Moduln und dem Rechnerspeicher im direkten Speicherzugriff, dabei wird der Transfer jedes Datenwortes durch eine LAM-Anforderung initialisiert. Jeder Datenkanal kann die Daten entweder im LIST- oder im DMI-Betrieb abarbeiten. Unter LIST-Betrieb ist ein Blocktransfer zwischen einer CAMAC-Adresse und einer Folge von Rechnerspeicherzellen zu verstehen. Der DMI-Betrieb dient zur direkten Spektrenakkumulation im Rechnerspeicher wie bei einem Vielkanal-Impulshöhen-Analysator.

Specification of a CAMAC Single Crate Controller with DMA option
for the PDP-11 Unibus.

Abstract

A CAMAC Single Crate Controller with DMA option has been designed for use with the PDP-11 computer family. The controller consists of two double width CAMAC modules: the I/O controller and the DMA controller.

The I/O controller, occupying 6 Unibus word addresses, is responsible for command operation and data transfer between the computer and CAMAC modules by program control and for interrupt requests resulting from CAMAC LAM signals or from error conditions.

If fast data transfer is required, the DMA controller, which is connected to the PDP-11 Unibus by assignment of 8 word addresses, has to be added. Operating in conjunction with the I/O controller, it may service up to 8 CAMAC modules simultaneously by performing LAM synchronized data transfer between CAMAC modules and computer memory by direct memory access via 8 data channels, every word transfer requiring a LAM request generated by the module to be serviced. Within each data channel two operating modes are possible, either LIST mode or DMI mode. LIST mode means block transfer of data between one CAMAC address and a sequence of memory addresses. DMI mode assembles ADC data by incrementing the contents of addressed memory locations, thus enabling the computer to operate as a multi channel pulse height analyzer.

Inhaltsverzeichnis

- 1. Einleitung
- 2. I/O-Controller
 - 2.1 Register und Adressenbelegung am PDP-11-Unibus
 - 2.1.1 Befehlsregister
 - 2.1.2 Datenregister
 - 2.1.3 Steuer- und Statusregister
 - 2.1.4 Alarmregister
 - 2.2 Befehlsablauf
 - 2.3 Interrupt-Struktur
 - 2.3.1 Bedeutung der Alarme
 - 2.3.1.1 LAM-Signale bei Einsatz des I/O-Controller allein
 - 2.3.1.2 LAM-Signale bei Einsatz des DMA-Controller
 - 2.3.2 Interrupt-Vektoradressen
- 3. DMA-Controller
 - 3.1 Register und Adressenbelegung am Unibus
 - 3.1.1 Steuerregister
 - 3.1.2 Aktivierungsregister
 - 3.1.3 Adressregister für den DMI-Betrieb
 - 3.1.4 Befehlsregistersatz
 - 3.1.5 Bus-Adressregistersatz
 - 3.1.6 Blocklängenzählersatz
 - 3.1.7 Offsetregistersatz
 - 3.1.8 Limitregistersatz
 - 3.2 Ablauf des autonomen Datentransfers
 - 3.2.1 LIST-Betrieb
 - 3.2.1.1 Blockende beim normalen LIST-Modus
 - 3.2.1.2 Blockende beim LIST/STOP-Modus
 - 3.2.2 DMI-Betrieb
 - 3.2.2.1 Adressenprüfung
 - 3.2.2.2 Überlauf-Behandlung
 - 3.3 Fehlerbehandlung
 - 3.3.1 Q-Fehler
 - 3.3.2 Time Out

Literaturverzeichnis

Anhang: Zusammenstellung der Namen und Abkürzungen
Registerübersicht

1. Einleitung

Wenn mit einem CAMAC-System |1| ausgerüstete Datenerfassungsanlagen oder Prozeßsteuerungen nur ein einzelnes CAMAC-Crate umfassen, liegt es nahe, dieses Crate mit einem sog. Single Crate Controller auszustatten, einer Steuereinheit, die einerseits die Schnittstelle zum CAMAC-Datenweg hat und andererseits die unmittelbare Ankopplung an den Prozeßrechner ermöglicht. Viele Anwendungsfälle, z. B. Spektroskopie-Meßplätze, stellen auch an einen Single Crate Controller hohe Anforderungen hinsichtlich schnellem Datentransfer zwischen Rechnerspeicher und CAMAC-Moduln. Derartige Anforderungen, denen ein programmgesteuerter Transfer nicht gerecht werden kann, machen den Einsatz einer Steuereinheit mit direktem Kernspeicherzugriff (DMA) unerlässlich.

Die Absicht dieses Berichtes ist die funktionelle Beschreibung eines leistungsfähigen, zum Anschluß an den Unibus der PDP-11-Familie |2| entworfenen CAMAC Single Crate Controller, dessen Spezifikationen in der Abteilung Datenverarbeitung und Instrumentierung der Gesellschaft für Kernforschung, Karlsruhe, in Zusammenarbeit mit der Abteilung Computer Spezial Systeme der Firma Digital Equipment GmbH entworfen wurden |3|. Digital Equipment GmbH fertigt diesen Controller^{*)} und wird als zugehörige Softwareunterstützung Handler zu den Betriebssystemen RT-11 und RSX-11/M liefern.

Der Single Crate Controller besteht aus 2 CAMAC-Moduln, jeweils 2 Einheiten breit, nämlich aus einem Haupt-Controller für den programmgesteuerten Transfer und die Interrupt-Abwicklung (I/O Controller, CA-11-FP) und einem Controller für den autonomen Datentransfer (DMA-Controller, CA-11-FN). Der I/O-Controller ist eine selbständige Einheit, die im CAMAC-Crate die Stationsplätze 24 und 25 einnimmt. Der DMA-Controller, für den die Stationsplätze 22 und 23 im CAMAC-Crate vorgesehen sind, ist eine Zusatzeinheit zum I/O-Controller und mit diesem über einen "Privat-Bus" zu verbinden; er wird nur dann eingesetzt, wenn zwischen Rechner und CAMAC-Moduln ein schneller Datentransfer über den direkten Speicherzugriff erforderlich ist.

*) voraussichtlich ab August 1975 lieferbar

2. I/O-Controller

Die Aufgaben des I/O-Controller sind die programmgesteuerte Abwicklung von CAMAC-Steuerbefehlen und CAMAC-Schreib-/Lesebefehlen mit 16 oder 24 bit Daten und die Interrupt-Eingabe zum Rechner.

2.1 Register und Adressenbelegung am PDP-11-Unibus

Der I/O-Controller enthält 6 Register, deren Bedeutung in den folgenden Abschnitten kurz erläutert wird, und belegt entsprechend seiner Registeranzahl 6 Unibus-Wortadressen. (Vergl. Abb. 1 im Anhang).

2.1.1 Befehlsregister (NAFR)

Das Befehlsregister umfaßt 14 bit und ist vom Rechner mit dem Befehlscode NAF des als nächsten auszuführenden CAMAC-Befehls zu laden, d. h. mit der codierten Stationsadresse N (5 bit) des anzusprechenden Moduls, der Subadresse A (4 bit) und dem Funktionscode F (5 bit). Das Laden dieses Registers löst den CAMAC-Zyklus aus.

2.1.2 Datenregister (BR, HOBR)

Die beiden schreib- und lesbaren Datenregister BR von 16 bit und HOBR von 8 bit dienen zur Pufferung der zwischen CAMAC-System und Rechner auszutauschenden Daten bei Schreib- oder Lesevorgängen.

2.1.3 Steuer- und Statusregister (CSR)

Dieses Register hat verschiedene Funktionen, von denen als wesentliche aufzuführen sind:

die Erzeugung der CAMAC-Signale INITIALISE (Z) und CLEAR (C);
Steuerung und Anzeige des INHIBIT-(I-) Signals und des ON/OFF

LINE-Zustandes des Controller; Anzeige von Q- und X-Signal und des Alarmzustandes, der aus der ODER-Verknüpfung aller LAM-Signale des Crates abgeleitet wird.

Ferner enthält das Register 2 Bitpositionen zur Interrupt-Maskierung, eine übergeordnete Maske für die allgemeine Freigabe der Interrupt-Anforderung und ein Maskenbit für die Zulassung eines Alarms bei Auftreten eines X-Fehlers als Folge einer CAMAC-Befehlsoperation.

2.1.4 Alarmregister (LR, HOLR)

Die beiden Alarmregister dienen einmal zur Anzeige des Alarm-Musters des CAMAC-Crate und zum anderen zur Festlegung des Interrupt-Vektors per Programm. Während das eine Alarmregister (LR) für LAM 1 bis LAM 16 und das niederwertige Byte des zweiten Alarmregisters (HOLR) für LAM 17 bis LAM 24 vorgesehen sind, ist das obere - durch Byte-Adressierung auch getrennt ansprechbare - Byte des zweiten Alarmregisters eigentlich das Interrupt-Vektoradressregister. (Vergl. Abschnitt 2.3.2).

2.2 Befehlsablauf

CAMAC-Steuerbefehle werden durch den Ladevorgang des Befehlsregisters (NAFR) ausgelöst und abgehandelt.

Ein Schreibbefehl an einen CAMAC-Modul erfordert je nach Länge des zu übergebenden Datenwortes - 16 bit bzw. 24 bit - 2 bzw. 3 Rechnerbefehle, nämlich das Laden des niederwertigen Datenregisters (BR, 16 bit) und ggf. das des höherwertigen Datenregisters (HOBR, 8 bit) und anschließend die Ablage des Befehlscodes NAF im Befehlsregister des Controller.

Ein Lesebefehl an einen CAMAC-Modul nimmt ähnlich wie beim Schreibbefehl je nach Länge des Datenwortes 2 bzw. 3 Rechnerbefehle in Anspruch, nämlich als ersten das Laden des Befehlsregisters, da dieser Vorgang immer den CAMAC-Zyklus initialisiert, und danach der Zugriff auf das oder die Datenregister, in denen die vom CAMAC-Datenweg kommenden Lesedaten abgelegt werden.

Bei allen Befehlsarten hat das Programm die Möglichkeit, durch Abfrage von Q- und X-Signal im Steuer- und Statusregister (CSR) den Verlauf der Befehlsoperation zu erfahren. Unter der Voraussetzung, daß der Interrupt bei X-Fehler, d. h. bei $X=0$, durch entsprechende Maskierung zugelassen ist, kann die Abfrage von X unterbleiben, da im Fehlerfall das Programm durch den Interrupt informiert wird.

2.3 Interrupt-Struktur

Der I/O-Controller leitet aus der ODER-Verknüpfung aller für eine Programmunterbrechung vorgesehener LAM-Signale ein Interruptsignal ab, das, vorausgesetzt, daß das übergeordnete Interrupt-Maskierungsbit im Steuer- und Statusregister dies erlaubt, zur Interruptanforderung am PDP-11-Unibus führt. Die Priorität der Interruptanforderung am Unibus ist hardwaremäßig festzulegen.

Bei CAMAC- Schreib- oder Lesebefehlen, deren Abwicklung, wie beschrieben, mehrere Rechnerbefehle an den Controller umfaßt, wird die Interruptanforderung des Controller für die Dauer der Befehlsabwicklung verriegelt.

2.3.1 Bedeutung der Alarme

Den LAM-Signalen 22, 23 und 24 kommt eine besondere Bedeutung zu.

2.3.1.1 LAM-Signale bei Einsatz des I/O-Controller allein

Wenn nur der I/O-Controller verwendet wird, können die Stationsplätze 1 bis 23 mit CAMAC-Moduln besetzt werden, und diese können dementsprechend die LAM-Signale 1 bis 23 erzeugen. LAM 24 wird ausgelöst, wenn bei einer CAMAC-Operation ein angesprochener Modul mit X=0 quittiert; jedoch verursacht dieser X-Fehler nur dann LAM 24, wenn er durch das dafür vorgesehene Maskierungsbit im Steuer- und Statusregister (CSR) des Controller freigegeben ist.

2.3.1.2 LAM-Signale bei Einsatz des DMA-Controller

Wenn der DMA-Controller zusätzlich in Betrieb genommen wird, werden unter dem LAM-Signal 24 weitere Fehlermeldungen zusammengefaßt: verschiedene, in den Abschnitten 3.2.2.1 und 3.3 beschriebene Fehlersituationen des DMA-Controller lösen ebenfalls dieses Alarm-Signal aus. Durch Lesen des Steuer- und Statusregisters (CSR) im I/O-Controller und des Steuerregisters (CTLR) im DMA-Controller muß das bearbeitende Programm die Ursache des LAM 24 ermitteln.

Außerdem erzeugt der DMA-Controller LAM 22 als Blockende-Zeichen (vergl. Abschnitt 3.2.1) und LAM 23 im Falle eines Inkrement-Überlaufs (vergl. Abschnitt 3.2.2.2).

Die 21 Alarm-Signale LAM 1 bis LAM 21, die von den verschiedenen CAMAC-Moduln des Crate gesendet werden können, sind gemäß ihrer Aufgabenstellung zu trennen: diejenigen, die nicht zu einer Programmunterbrechung führen, sondern eine Anforderung zum schnellen Datentransfer an den DMA-Controller stellen sollen, müssen an der Steckerverbindung des I/O-Controller durch geeignete Verdrahtung ausgewählt werden. Die Zuweisung von maximal 8 LAM-Signalen zu diesem Zweck ist sinnvoll, da der DMA-Controller maximal 8 derartige

Anforderungen verarbeiten kann; diese LAM-Signale stehen dann nicht mehr als Interruptquelle zur Verfügung.

2.3.2 Interrupt-Vektoradressen

Die von jedem externen Gerät bei einer Interruptanforderung an den PDP-11-Unibus mitzuliefernde Interrupt-Vektoradresse wird bei diesem Controller nicht durch Verdrahtung festgelegt, sondern ist programmierbar. Die Vektoradresse wird nämlich aus dem per Programm im Vektor-Adressregister, d. h. im höchstwertigen Byte des zweiten Alarmregisters, abgelegten Code ermittelt.

Dabei sind mit Hilfe eines sog. Vektor-Modus-Bits zwei verschiedene Betriebsarten wählbar: der Einzel-Vektor-Modus oder der Variable-Vektor-Modus.

Beim Einzel-Vektor-Modus stellt der Inhalt des Vektor-Adressregisters die Interrupt-Vektoradresse, unabhängig von der Alarmquelle, d. h. unabhängig davon, wieviele und welche LAM-Signale eingetroffen sind. Das den Interrupt bearbeitende Programm ermittelt die Alarmquelle(n) LAM 1 bis LAM 24 durch Lesen des Alarmmusters in den beiden Alarmregistern.

Beim Variablen-Vektor-Modus generiert jedes LAM-Signal seine eigene Vektoradresse. Bei gleichzeitigem Eintreffen mehrerer LAM-Signale setzt sich das mit der höheren Priorität durch; dabei ist LAM 1 die niedrigste und LAM 24 die höchste Priorität zugeordnet. Der Inhalt des Vektor-Adressregisters bildet in diesem Fall eine Grundadresse, zu der die aus der LAM-Nummer des gerade vorrangigen LAM-Signals abgeleitete Adresse addiert und somit die jeweilige Interrupt-Vektoradresse ermittelt wird.

3. DMA-Controller

Der DMA-Controller ermöglicht den autonomen Datentransfer simultan zur Befehlsabwicklung mit dem CAMAC-System und kann bis zu 8 CAMAC-Moduln gleichzeitig bedienen. Der Datenaustausch zwischen CAMAC-Moduln und Rechnerspeicher kann in zwei grundsätzlich verschiedenen Betriebsarten erfolgen, nämlich als Blocktransfer im sog. LIST-Betrieb oder im DMI-Betrieb.

Unter Blocktransfer im LIST-Betrieb wird der Datentransfer zwischen einer CAMAC-Adresse und einer Folge von Rechnerspeicherzellen verstanden; dabei sind beide Übertragungsrichtungen möglich, und die maximale Datenwortlänge entspricht der Rechnerwortlänge von 16 bit.

Der DMI-Betrieb (Direct Memory Increment) dient dem direkten Aufbau eines Histogramms im Rechnerspeicher, d. h. einer Spektrenakkumulation wie in einem Vielkanalanalysator.

Jeder der 8 Datenkanäle des DMA-Controller, über die die Daten der CAMAC-Moduln transferiert werden, kann softwaremäßig wahlweise in die eine oder andere Betriebsart umgeschaltet werden, unabhängig von der Betriebsart der anderen Kanäle.

Die Datenkanäle arbeiten LAM-synchronisiert, d. h. der Transfer jedes einzelnen Datenwortes über einen Kanal muß initialisiert werden durch ein von einem CAMAC-Modul gesendetes LAM-Signal, das die automatische Ausführung eines CAMAC-Schreib- oder Lesebefehls bewirkt. Gesteuert werden die 8 Datenkanäle durch einen schnell umlaufenden Scanner, der das Anstehen von Anforderungssignalen abfragt.

3.1 Register und Adressenbelegung am Unibus

Um einem DMA-Controller die zuvor skizzierten Eigenschaften zu geben, müssen in dem Gerät einige allgemeine Steuerfunktionen

z. B. zur Interruptmaskierung, zur Fehlererkennung und -abhandlung, zum logischen Ein- und Ausschalten der einzelnen Kanäle und zur Wahl der Betriebsart vorgesehen sein und darüberhinaus die einzelnen Kanäle mit einer Reihe von Registern, deren Funktionen sich in jedem Kanal wiederholen, ausgestattet sein.

Der DMA-Controller enthält 3 allgemeine Register und 5 Registersätze zu je 8 kanalspezifischen, gleichartigen Registern entsprechend den 8 Datenkanälen. Ein Registersatz wird unter einer einzigen Unibusadresse angesprochen, so daß der DMA-Controller insgesamt nur 8 Unibus-Wortadressen belegt. Die wesentlichen Funktionen der Register werden in den folgenden Abschnitten umrissen; eine Übersicht vermittelt Abb. 2 des Anhangs.

3.1.1. Steuerregister (CTLR)

Das Steuerregister erfüllt mehrere Aufgaben, unter anderem dient es zur Anzeige verschiedener Fehlersituationen und Statusflaggen, zur Anzeige des Scannerstandes und zur Interruptmaskierung. Weiterhin enthält das Steuerregister 3 Bits zum Eintragen einer Kanalnummer, die jeweils das zum Kanal gehörende Register aus einem Registersatz von 8 spezifiziert, d. h. durch Angabe der Kanalnummer k im Steuerregister und durch Ansprechen der für einen Registersatz gültigen Unibusadresse greift das Programm gezielt auf das dem Kanal k zugeordnete Register dieses bestimmten Registersatzes zu.

3.1.2 Aktivierungsregister (ACTR)

Das schreib- und lesbare Aktivierungsregister enthält 8 kanalspezifische Aktivierungsbits, so daß jeder Kanal einzeln ein- und ausgeschaltet werden kann, und 8 Bits zur Wahl der Betriebsart - LIST- oder DMI-Betrieb - jedes Kanals. Ist das Aktivierungsbit k gesetzt, so ist der Datenkanal k arbeitsbereit; das Aktivierungsbit kann - außer durch programmgesteuertes Löschen - auch hardwaremäßig in bestimmten Fehler- und Überlaufsituationen (vergl. Abschnitte 3.2 und 3.3) zurückgesetzt werden.

3.1.3 Adressregister für den DMI-Betrieb (MIAR)

In dieses, per Programm nur lesbare Register wird hardwaremäßig bei jedem DMI-Transfer die jeweils aktuelle Rechnerspeicheradresse eingetragen, deren Inhalt um eins zu erhöhen ist. Das Register umfaßt 17 Bits, die den Unibus-Adressbits A01 bis A17 zugeordnet sind. Das wertniedrigste Unibus-Adressbit A00 ist immer gleich Null, so daß nur Wortadressierungen möglich sind. Normalerweise greift das Programm auf dieses Register nur im Fall eines Inkrement-Überlaufs zu (vergl. Abschnitt 3.2.2.2).

3.1.4 Befehlsregistersatz (CMDR 0...7)

Jeder Datenkanal hat ein schreib- und lesbares Befehlsregister, in das vom Programm ein Teil des CAMAC-Befehlscodes, nämlich Subadresse A und Funktionscode F, des automatisch auszuführenden Schreib- oder Lesebefehls abgelegt wird.

3.1.5 Bus-Adressregistersatz (BAR 0...7)

Für jeden Datenkanal ist ein schreib- und lesbares Bus-Adressregister vorgesehen; die 17 Bitpositionen entsprechen den Unibus-Adressleitungen A01 bis A17, das wertniedrigste Bit A00 ist nicht zugänglich, so daß keine Byte-Adressierung möglich ist.

Das Bus-Adressregister ist nur beim LIST-Betrieb des Kanals von Bedeutung. Es wird vor Beginn des Datentransfers mit der Anfangsadresse des Rechnerspeicherbereichs geladen, aus dem oder in den die Daten zum oder vom CAMAC-Modul transportiert werden sollen. Nach jedem LIST-Zyklus seines Kanals wird der Inhalt des Registers um 2 erhöht (Wortadressierung).

3.1.6 Blocklängenzählersatz (WCR 0...7)

Der schreib- und lesbare Blocklängenzähler jedes Datenkanals wird ebenfalls nur beim LIST-Betrieb benötigt. Er umfaßt 16 Bits und erlaubt Datenblöcke von maximal 64K Worten. Er muß mit dem Zweierkomplement der gewünschten Blocklänge geladen werden und wird nach jedem LIST-Zyklus seines Kanals um eins erhöht. Erreicht er den Inhalt Null, wird ein LAM-Signal ausgelöst.

3.1.7 Offsetregistersatz (OFSR 0...7)

Für den DMI-Betrieb ist jeder Datenkanal mit einem schreib- und lesbaren Offsetregister ausgestattet, dessen 12 Bitpositionen in der Wertigkeit den Unibusadressen A06 bis A17 zugewiesen sind. Bei jedem DMI-Transfer in einem Kanal wird der Inhalt des zugehörigen Offsetregisters zu dem vom CAMAC-Modul kommenden Datenwort addiert, um daraus die zu inkrementierende Rechnerspeicheradresse zu gewinnen. Der Inhalt des Offsetregisters ist somit die Basisadresse eines im Rechnerspeicher zu akkumulierenden Spektrums.

3.1.8 Limitregistersatz (LIMR 0...7)

Ebenfalls für den DMI-Betrieb ist in jedem Datenkanal ein schreib- und lesbares Limitregister vorgesehen. Seine 12 Bits entsprechen in ihrer Wertigkeit den Unibusadressen A06 bis A17. Es dient zum Eintragen einer Grenzadresse, die beim DMI-Betrieb eines Kanals nicht überschritten werden darf, und bietet somit einen Schutz gegen unkontrollierbares Verändern von Rechnerspeicherbereichen im Fehlerfall (vergl. Abschnitt 3.2.2.1).

3.2 Ablauf des autonomen Datentransfers

Jeder Datenkanal des DMA-Controller bedient ein LAM-Signal aus dem Crate, das ihm durch Verdrahtung an der Steckverbindung des I/O-

Controller zugeordnet worden ist. Ein auf diese Weise ausgewähltes LAM-Signal verliert seine Bedeutung als Interrupt-Anforderung und dient ausschließlich als Anforderungssignal für den autonomen Datentransfer. Die von den CAMAC-Moduln gesendeten LAM-Signale können sich an ihrem Kanal des DMA-Controller nur durchsetzen, wenn die zugehörigen Aktivierungsbits gesetzt sind.

Wie bereits erwähnt, werden die 8 Datenkanäle mit Hilfe eines zyklisch umlaufenden Scanners gesteuert, der das Vorhandensein von Anforderungssignalen sequentiell abfragt. Liegt eine Anforderung an einen Kanal vor, so wird der Scanner angehalten und die Anforderung bearbeitet, indem ein Datenwort gemäß den in den Registern des betroffenen Kanals festgelegten Steuerfunktionen transferiert wird.

3.2.1 LIST-Betrieb

Beim LIST-Betrieb kann man zwischen 2 verschiedenen Betriebsweisen wählen, nämlich zwischen dem normalen LIST-Modus und dem LIST/STOP-Modus. Der Unterschied besteht darin, daß im normalen LIST-Modus der Überlauf des Blocklängenzählers den Datentransfer beendet, während im STOP-Modus der Transfer vom CAMAC-Modul unterbrochen wird, indem dieser mit $Q=0$ quittiert. Die Wahl zwischen beiden Betriebsmodi geschieht durch ein Steuerbit im Steuerregister (CTRL) des DMA-Controller und betrifft immer alle im LIST-Betrieb arbeitenden Datenkanäle.

Kanäle, die Daten von CAMAC-Moduln im LIST-Betrieb abarbeiten sollen, werden vom Programm durch Eintragen von A und F in die Befehlsregister, durch Laden der gewünschten Anfangsadressen und Blocklängen vorbereitet und werden durch Setzen der zugehörigen Aktivierungsbits im Aktivierungsregister in den betriebsbereiten Zustand geschaltet.

Ein eintreffendes LAM-Signal bewirkt nun in seinem Datenkanal die automatische Ausführung des CAMAC-Schreib- oder Lesebefehls, dessen

A- und F-Code im zum Kanal gehörigen Befehlsregister abgelegt ist, wobei die zugehörige Stationsadresse N aus der LAM-Nummer abgeleitet wird. Damit wird ein Datenwort von maximal 16 Bit von oder zu der aktuellen Rechnerspeicheradresse transferiert, die durch den Inhalt des Bus-Adressregisters des jeweiligen Kanals spezifiziert ist. Nach jedem solchen über einen Datenkanal abgewickelten Transfer werden Blocklängenzähler und Bus-Adressregister des Kanals fortgeschaltet.

3.2.1.1 Blockende beim normalen LIST-Modus

Der Überlauf des Blocklängenzählers eines Datenkanals löscht erstens das zum Kanal gehörige Aktivierungsbit im Aktivierungsregister ACTR des DMA-Controller, so daß sich keine weiteren LAM-Anforderungen an diesen Kanal durchsetzen können, hält zweitens den Abfrage-Scanner fest, so daß vorübergehend auch der Datentransfer der anderen Kanäle unterbunden wird, setzt drittens eine Flagge "Blocklängenzähler-Überlauf" im Steuerregister CTLR und erzeugt - vorausgesetzt, daß das Maskierungsbit im Steuerregister es zuläßt - das LAM-Signal 22, so daß das Programm unterrichtet wird, daß die Übertragung eines Datenblocks abgeschlossen ist.

Die Ursache des Interrupts ist anhand des Flaggenbits im Steuerregister CTLR zu erkennen, die Identifizierung des betroffenen Kanals geschieht anhand des ebenfalls im Steuerregister abgebildeten Scannerstandes und des gelöschten Aktivierungsbits.

Nach dem programmgesteuerten Löschen des Flaggenbits "Blocklängenzähler-Überlauf" wird die Datenübertragung an den anderen Kanälen fortgesetzt. Für einen Wiederstart des gerade vom Blockende betroffenen Kanals müssen Anfangsadresse und Blocklänge und sein Aktivierungsbit neu gesetzt werden.

3.2.1.2 Blockende beim LIST/STOP-Modus

Wenn der sog. LIST/STOP-Modus eingeschaltet worden war, so wird das Überlaufsignal eines Datenkanals simuliert, sobald der CAMAC-Modul die automatische Schreib- oder Leseoperation mit $Q=0$ beantwortet. Das simulierte Überlaufsignal hat im übrigen die gleichen Konsequenzen wie das echte. Das Programm erfährt durch Lesen des Blocklängenzählers die Anzahl der tatsächlich transferierten Datenworte.

Auch wenn die Kanäle im STOP-Modus betrieben werden, erweist es sich als zweckmäßig, die Blocklängenzähler auf - hinsichtlich Speicherplatzverwaltung - zulässige und sinnvolle Werte vorzusetzen, so daß die Übertragungssequenz eines jeden Kanals notfalls durch Überlauf des Blocklängenzählers beendet wird, falls die Anzahl der von oder zu einem CAMAC-Modul zu transferierenden Datenworte unbekannt ist oder aus Sicherheitsgründen, falls der CAMAC-Modul infolge eines Fehlers nicht vorschriftsmäßig ein $Q=0$ -Signal sendet. Der Stand des Blocklängenzählers gibt bei jedem Blockende-Interrupt Aufschluß über die tatsächliche Ursache des Abbruchs.

3.2.2 DMI-Betrieb

Der DMI-Betrieb ermöglicht die unmittelbare Akkumulation von Spektren im Rechnerspeicher wie bei der Impulshöhenanalyse in einem Vielkanalanalysator; seine häufigste Anwendung findet er wahrscheinlich zur Aufnahme von Energiespektren.

Die Datenworte, die maximal 15 Bit lang sein können, werden dabei von einem Impulshöhen-ADC geliefert, der entweder selbst ein CAMAC-Modul ist oder, falls ein externes Gerät, über eine CAMAC-ADC-Anpassung in das CAMAC-System einbezogen ist, so daß er in seiner logischen Funktion als CAMAC-ADC erscheint.

Kanäle, die Daten von ADC-Moduln im DMI-Betrieb verarbeiten sollen, werden vom Programm vorbereitet durch Laden der automatisch auszuführenden CAMAC-Lesebefehle in die Befehlsregister, durch Eintragen der Basisadressen in die Offsetregister und der Spektrengrenzen in die Limitregister der einzelnen Kanäle und werden durch Setzen der Aktivierungsbits sowie der Steuerbits für die DMI-Betriebsart im Aktivierungsregister für den DMI-Transfer freigegeben. Jedes vom CAMAC-ADC oder von der CAMAC-ADC-Anpassung gesendete Anforderungssignal initialisiert dann in seinem Datenkanal den CAMAC-Lesebefehl. Das gelesene Datenwort wird jeweils zum Inhalt des Offsetregisters addiert, das Ergebnis stellt die Rechnerspeicheradresse dar, deren Inhalt um 1 inkrementiert werden soll, und wird automatisch in das Adressenregister MIAR eingetragen. Dabei beaufschlagt das wertniedrigste ADC-Bit stets das Unibusadressbit AO1 (Wortadressierung).

3.2.2.1 Adressenprüfung

Die gebildete Summenadresse aus ADC-Wort und Offset wird einem Vergleich mit der dazugehörigen, im Limitregister jedes Kanals abgelegten Grenzadresse unterzogen. Solange die Summe die Grenze nicht überschreitet, wird ein Unibus-Zyklus eingeleitet, der den Inhalt dieser Speicheradresse zur Verfügung stellt; dieser wird im Kanal um 1 erhöht, und der neue Inhalt wird in dieselbe Zelle zurückgeschrieben. Der erfolgreiche Verlauf der Inkrementierung beendet einen DMI-Zyklus, d. h. er gibt den Abfrage-Scanner wieder frei, so daß die nächste Anforderung bearbeitet werden kann. Überschreitet das Additionsergebnis von ADC-Wort und Basisadresse die Grenzadresse, so wird der Unibus-Zyklus unterdrückt, die Flagge "Unzulässige Adresse" im Steuerregister CTRLR gesetzt und LAM 24 ausgelöst, so daß - Interruptfreigabe vorausgesetzt - das Programm über den Fehler unterrichtet wird. Da der Abfragescanner noch nicht wieder freigegeben worden ist, ist aus dem im Steuerregister wiedergegebenen Scannerstand zu ermitteln, an welchem Kanal der Fehler aufgetreten ist. Das Aktivierungsbit des betroffenen Kanals wird durch diesen Fehlerfall nicht gelöscht. Das bearbeitende Programm kann die unterbrochene Datenübertragung durch Löschen des Flaggenbits "Unzulässige Adresse" fortsetzen.

Das Limitregister ist somit eine Schutzmaßnahme gegen willkürliches Verändern von Rechnerspeicherzellen, falls vom CAMAC-Modul "sinnlose" Daten gesendet werden. Dieser Fall kann beispielsweise dadurch auftreten, daß die Auflösung eines ADC irrtümlich zu groß gewählt wurde, so daß sein Spektrum einen größeren Bereich einnehmen würde, als Speicherplatz dafür vorgesehen ist.

3.2.2.2 Überlauf-Behandlung

Ein weiterer beim DMI-Betrieb abzuhandelnder Ausnahmefall ist der Überlauf einer Rechnerspeicherzelle beim Inkrement-Vorgang. Ein solches Ereignis unterbricht ebenfalls vorübergehend den gesamten Datentransfer, da der Scanner zunächst im angehaltenen Zustand verbleibt; im Steuerregister CTLR wird die Flagge "Inkrement-Überlauf" gesetzt, im Aktivierungsregister normalerweise das Aktivierungsbit des betroffenen Datenkanals gelöscht und LAM 23 generiert, so daß bei zugelassener Interruptanforderung das Programm den Überlauf erkennt. Da das Steuerregister den augenblicklichen Scannerstand reflektiert, ist der entsprechende Datenkanal unmittelbar zu erkennen, und durch Lesen des Adressregisters MIAR erfährt das bearbeitende Programm die exakte Überlaufadresse, aus der im übrigen mittelbar ebenfalls auf den betroffenen Datenkanal rückzuschließen ist. Anhand dieser Kenntnisse kann das Programm die je nach Anwendungsfall unterschiedlich geeigneten Maßnahmen ergreifen, z. B. Abbruch der Akkumulation in diesem Datenkanal oder softwaremäßige Erweiterung der Zählkapazität über die durch die Rechnerwortlänge bedingte Kapazität von 64K Ereignissen pro Spektrenkanal hinaus durch Verwaltung der Überlaufereignisse in einem erweiterten Datenbereich.

Nach dem Lesen des Adressregisters MIAR setzt sich der Abfragescanner automatisch wieder in Bewegung, so daß der autonome Datentransfer fortgesetzt werden kann. Dieselbe Wirkung hat auch das Löschen der Flagge "Inkrement-Überlauf". Der vom Inkrement-Überlauf betroffene Datenkanal kann vom Programm durch erneutes Setzen des Aktivierungsbits wieder gestartet werden. Für Fälle, in denen

ein automatischer Wiederstart nach dem Lesen des Adressregisters MIAR bei allen Datenkanälen grundsätzlich erwünscht ist, kann das Löschen des Aktivierungsbits durch den Inkrement-Überlauf mit Hilfe eines besonderen Steuerbits im Steuerregister CTRLR verhindert werden.

3.3 Fehlerbehandlung

Beim autonomen Datentransfer auftretende Fehler werden grundsätzlich durch das LAM 24-Signal gemeldet.

Eine mögliche Fehlerquelle ist das Auftreten einer unzulässigen Adresse beim DMI-Betrieb. Dieses wird, wie bereits bei der Beschreibung des DMI-Ablaufs im Abschnitt 3.2.2.1 genauer geschildert, durch Setzen einer Flagge im Steuerregister CTRLR und durch LAM 24 abgehandelt. Auf Erkennung und Behandlung zweier weiterer Fehler soll im folgenden eingegangen werden.

3.3.1 Q-Fehler

Ein CAMAC-Modul kann den beim DMA-Transfer automatisch ausgelösten Schreib- oder Lesebefehl mit $Q=0$ quittieren. Dies bedeutet sowohl beim DMI-Betrieb als auch beim normalen LIST-Modus - im Gegensatz zum LIST/STOP-Modus - einen Fehler, der, durch ein Flaggenbit "Q-Fehler" im Steuerregister CTRLR gekennzeichnet, dem Rechner per LAM 24 mitgeteilt wird. Anhand des Scannerstandes ist der Datenkanal und damit der beteiligte CAMAC-Modul ausfindig zu machen. Durch Löschen der Flagge "Q-Fehler" wird der angehaltene Scanner wieder in Umlauf gebracht und damit der Datentransfer programmgesteuert wieder in Gang gesetzt.

3.3.2 Time Out

Wenn der Controller einen Unibus-Zyklus einleitet und nach einer Wartezeit von ca. 20 μ sec nicht das vorgeschriebene Quittungssignal empfängt, wird ebenfalls LAM 24 ausgelöst. Gleichzeitig wird das Aktivierungsbit des entsprechenden Datenkanals im Aktivierungsregister gelöscht und zur Kennung der Interrupt-Ursache die Flagge "Time Out" im Steuerregister CTLR gesetzt. Das bearbeitende Programm kann nach Identifizierung des Kanals aus dem Stand des festgehaltenen Scanners die Datenübertragung durch Löschen des "Time Out"-Flaggenbits wieder fortsetzen.

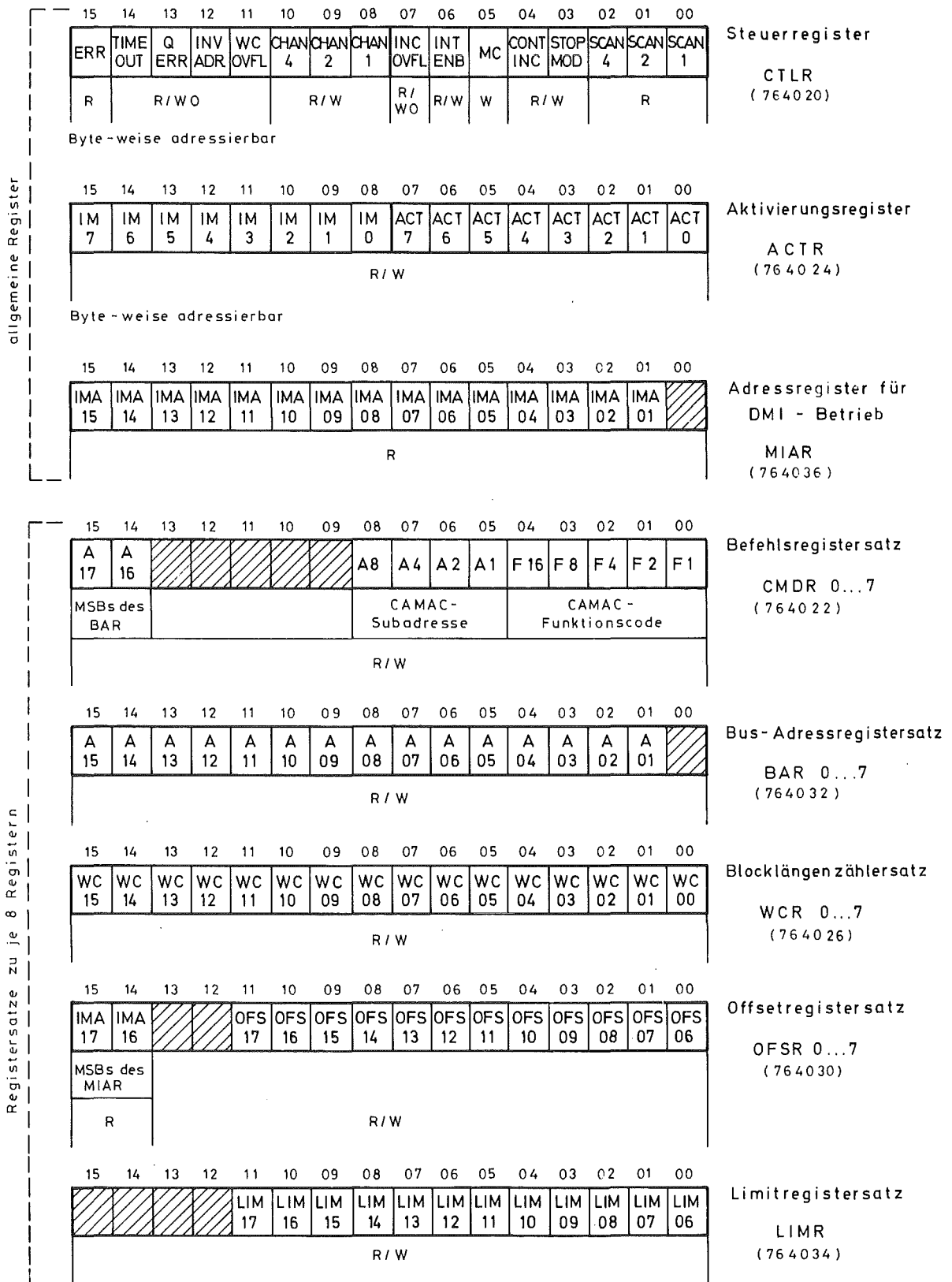
Die Ursache eines solchen Fehlers kann z. B. die Adressierung nicht existierender Rechnerspeicher sein.

Literaturverzeichnis

- |1| CAMAC - A Modular Instrumentation System for Data Handling - Revised Description and Specification
Euratom-Bericht EUR 4100e (Revised version 1972)
Luxembourg 1972
- |2| PDP-11 Processor Handbook,
PDP 11 Peripherals Handbook
Digital Equipment Corp. Maynard, USA, 1973
- |3| CAMAC Single Crate Controller with DMA Option for
the PDP-11 Family Computer (CA-11-FN/ CA-11-FP),
Kurzspezifikation.
Digital Equipment GmbH, München,
Computer Spezial Systeme, März 1975

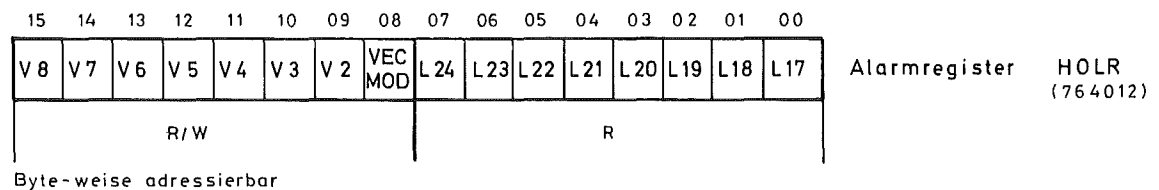
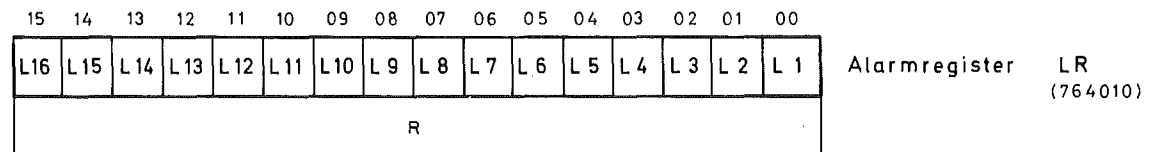
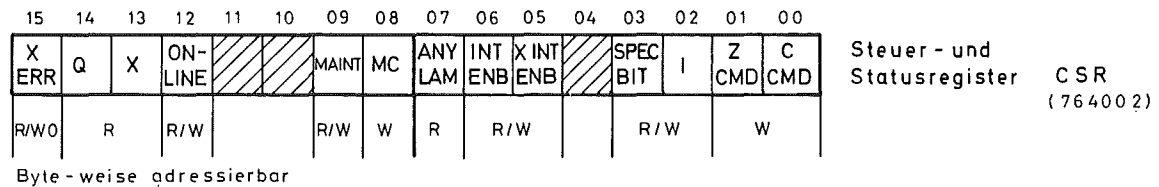
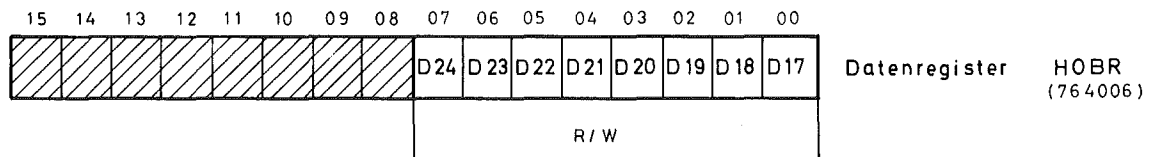
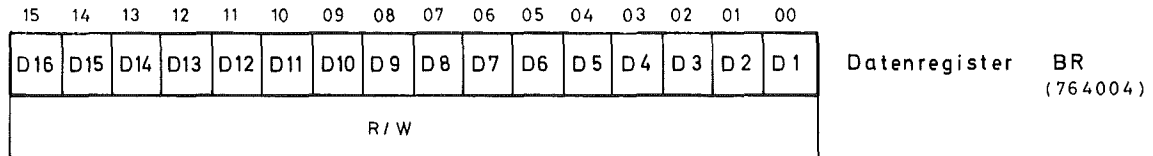
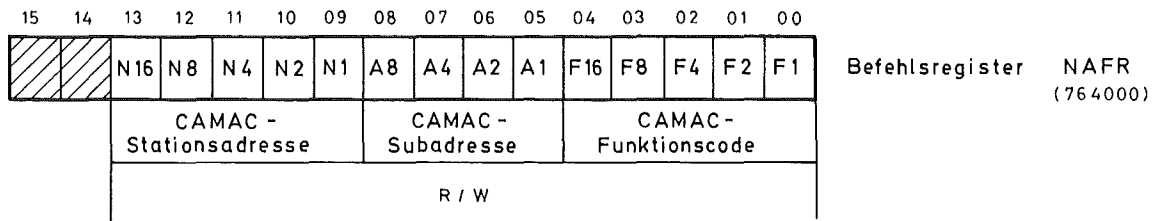
Anhang: Zusammenstellung der Namen und Abkürzungen (KFK 2178, ADI)

ACTR	<u>Active Register</u> ; Aktivierungsregister	LR	<u>LAM Register</u> ; Alarmregister für L1...L16
ACT 0...7	<u>Activate Channel 0...7</u> ; Aktivierungsbits für Datenkanal 0...7	L1...L24	Alarmmuster LAM1...LAM24
ANY LAM	Alarmanzeige, ØDER- Verknüpfung aller LAMs	MAINT	<u>Maintenance</u> Simulation eines LAM-Signals, per Programm zu Testzwecken
A01...A17	Unibus-Adressleitungen	MC	<u>Master Clear</u> ; Grundstellungssignal an den Controller
A1,A2,A4,A8	CAMAC-Subadresscode	MIAR	<u>Memory Increment Address</u> <u>Register</u> ; Adressregister für den DMI-Betrieb
BAR 0...7	<u>Bus Address Register 0...7</u> ; Bus-Adressregistersatz (LIST-Betrieb)	NAFR	<u>N A F Register</u> ; Befehlsregister für CAMAC- Befehlscode NAF
BR	<u>Buffer Register</u> ; Datenregister für D1...D16	N1,N2,N4 N8,N16	CAMAC-Stationsadresscode
C CMD	<u>CAMAC Clear Command</u>	ØFS06...ØFS17	<u>Øffset address</u> ; Basissadresse beim DMI- Betrieb, Inhalt des ØFSR
CHAN1,CHAN2, CHAN 4	<u>Channel 1,2,4</u> ; Angabe der Datenkanalnummer	ØFSR 0...7	<u>Øffset Register 0...7</u> ; Øffsetregistersatz für DMI-Betrieb
CMDR 0...7	<u>Command Register 0...7</u> ; Befehlsregistersatz	ØN-LINE	<u>ØN/ØFF-LINE-Zustand</u> des I/Ø-Controller
CØNT INC	<u>Continue Increment</u> ; zur automatischen Fort- setzung des Inkrement- Betriebs nach Lesen des MIAR, verhindert Löschen des Aktivierungsbits im Falle des Inkrement- Überlaufs.	Q	Anzeige des CAMAC-Q-Si- gnals (I/Ø-Controller)
CSR	<u>Control Status Register</u> ; Steuer- und Statusregister	Q ERR	Q-Error; Q-Fehlerflagge bei CAMAC- Befehlsquittierung mit Q=0 (DMA-Controller)
CTRL	<u>Control Register</u> ; Steuerregister	SCAN1,SCAN2, SCAN4	<u>Scanner 1,2,4</u> ; Anzeige des Scannerstandes
DMI	<u>Direct Memory Increment</u>	SPEC BIT	<u>Special Bit</u> ; Anzeige eines vom Benutzer frei zu wählenden, nicht standardmäßigen Signals
D1...D24	<u>Data</u> ; CAMAC-Schreib- oder Lese- daten	STØP MØDE	Einschalten des LIST/ STØP-Modus
ERR	<u>Error</u> ; Fehleranzeige, ØDER-Ver- knüpfung aller Fehler- situationen	TIME ØUT	Fehlerflagge bei Ablauf der Wartezeit beim Unibus- zyklus
F1,F2,F4, F8.F16	CAMAC-Funktionscode	VEC MØD	<u>Vector Mode</u> ; Wahl zwischen Einzel-Vektor- Modus und Variablen-Vektor- Modus
HØBR	<u>High Ørder Buffer Register</u> ; Datenregister für D17...D24	V2...V8	<u>Interrupt-Vektor(grund)adresse</u>
HØLR	<u>High Ørder LAM Register</u> ; Alarmregister für L17...L24 und Vektoradresse	WC ØVFL	<u>Word Count Øverflow</u> ; Flagge des Blocklängenzähler- überlaufs, Blockende-Kennung
I	CAMAC-Inhibit	WCR 0...7	<u>Word Count Register 0...7</u> ; Blocklängenzählersatz (LIST-Betrieb)
IMO...IM7	<u>Increment Mode for channel</u> 0...7; Einschalten des DMI-Betriebs im Datenkanal 0...7	WCOO...WC15	<u>Word Count</u> ; Blocklänge in Worten, Inhalt des WCR
IMAO1...IMAI7	<u>Increment Memory Address</u> ; Adresse der zu inkremen- tierenden Speicherzelle, Inhalt des MIAR	X	Anzeige des CAMAC-X-Signals
INC ØVFL	<u>Increment Øverflow</u> ; Flagge des Inkrement- Überlaufs bei DMI-Betrieb	X ERR	X-Error; X-Fehlerflagge bei CAMAC- Befehlsquittierung mit X=0
INT ENB	<u>Interrupt Enable</u> ; Interrupt-Freigabe	X INT ENB	<u>X Interrupt Enable</u> ; Freigabe des LAM 24 bei X-Fehler
INV ADR	<u>Invalid Address</u> Fehlerflagge einer unzuläs- sigen Adresse bei DMI-Betrieb	Z CMD	<u>CAMAC Initialize Command</u>
LIMR 0...7	<u>Limit Register 0...7</u> ; Limitregistersatz		
LIM 06...17	<u>Limit address</u> ; Grenzadresse, Inhalt des LIMR		



R : READ ONLY R/W : READ / WRITE
W : WRITE ONLY R/WO : READ / CLEAR

Abb. 2 Register des DMA - Controller CA-11-FN
(Stand Mai 1975)



R : READ ONLY R / W : READ / WRITE
W : WRITE ONLY R / W 0: READ / CLEAR

Abb.1 Register des I/O-Controller CA-11-FP
(Stand Mai 1975)