

**Timing Synchronization
and Fast-Control
for FPGA-based
large-scale Readout
and Processing Systems**

Zur Erlangung des akademischen Grades eines

DOKTOR-INGENIEURS

von der Fakultät für
Elektrotechnik und Informationstechnik
am Karlsruher Institut für Technologie (KIT)
genehmigte

DISSERTATION

von

Dipl.-Ing. Lukas Dominik Meder

geb. in Speyer

Tag der mündlichen Prüfung:

28.04.2017

Hauptreferent: Prof. Dr.-Ing. Dr. h. c. Jürgen Becker

Korreferent: Prof. Dr. rer. nat. Marc Weber

**Timing Synchronization and Fast-Control for
FPGA-based large-scale Readout and Processing Systems**

1. Auflage: April 2017

©2017 Lukas Dominik Meder

Zusammenfassung

In vielen heutigen Datenverarbeitungssystemen der Big-Data-Domäne spielen verteilte Echtzeitsysteme eine wichtige Rolle. Besonders, wenn Daten verschiedener Verarbeitungseinheiten in den Kontext der Aufgabe des globalen Systems gesetzt werden müssen, ist die Synchronisation der Daten oder des gesamten verteilten Systems notwendig.

Eine sehr markante Anwendung dieser Domäne, welche die präzise Systemsynchronisation voraussetzt, sind Auslesesysteme von Großexperimenten der Teilchenphysik. Dabei ist eine sehr große Anzahl an Elektronik in Form einer Verarbeitungskette miteinander verbunden, um Eventdaten bei Aggregat-Datenraten im Bereich von mehreren Terabit pro Sekunde zu erfassen. Was diese Aufgabe zusätzlich herausfordernd macht, ist die Struktur des Systems, welches in verschiedene Subdetektoren und unterschiedliche Verarbeitungsschichten unterteilt ist und aus einer Vielzahl verschiedenartiger elektronischer Komponenten besteht.

Um ein solch komplexes heterogenes System handhaben zu können, kommen verschiedene Kontrollmechanismen zum Einsatz. Eines dieser Kernsysteme der Experimente der Teilchenphysik stellen die Systeme zur Zeit- und schnellen Experimentsteuerung dar, auf welche der zentrale Fokus dieser Arbeit gelegt wird.

Im Falle des *Compressed Baryonic Matter (CBM)*-Experiments der *Facility for Antiproton and Ion Research (FAIR)* in Darmstadt hat das *Timing and Fast-Control (TFC)*-System die Aufgabe, einen globalen Takt und Zeitinformationen innerhalb des gesamten Online-Teils der Experimentauslese bereitzustellen und Steuerungsinformationen mit niedriger und vor allem konstanter Latenz aufnehmen und verteilen zu können. Die letztere Anforderung ist im Falle des CBM-Experiments besonders wichtig, da es über eine selbst-getriggerte Auslese verfügt, bei der die auf verschiedenen Verarbeitungsebenen befindlichen Einheiten autonom Entscheidungen darüber treffen müssen, ob bestimmte Eventdaten verwendet und weitergeleitet werden sollen.

In den folgenden Kapiteln dieser Arbeit wird die Entwicklung eines Prototypen des TFC-Systems für die Verwendung innerhalb von CBM erläutert. Hierbei wird ein besonderer Fokus auf den Teil der Digitalelektronik, welche mittels *Field Programmable Gate Arrays (FPGAs)* umgesetzt wird, und auf die Integri-

on spezieller Schnittstellen *Printed Circuit Boards (PCBs)* gelegt, wo diese benötigt werden. Während der Konzeptionierungsphase des TFC-Systems entstand innerhalb von CBM der Bedarf, ein vorläufiges System zur Zeitsynchronisation zur Verfügung zu haben, um kleinere Aufbauten der Auslese synchronisieren zu können, das sogenannte *Timing Synchronizer (TS)*-System. Die bei der Entwicklung dieses Systems gewonnenen Erkenntnisse flossen in das Konzept des TFC-Systems ein. Das TS-System kam innerhalb der Strahltests von CBM am *Conseil Européen pour la Recherche Nucléaire (CERN) Super Proton Synchrotron (SPS)* am Ende des Jahres 2016 erfolgreich zum Einsatz. Dieses System ermöglichte zum ersten Mal eine synchrone, selbst-getriggerte, freilaufende, mittelgroße, FPGA-basierte Datenerfassung innerhalb einer Strahlzeit des CBM-Experiments [168], was einen wichtigen Meilenstein auf dem Wege zur finalen Experimentauslese darstellt.

Des Weiteren wird in der Arbeit das Konzept und die Entwicklung der Komponenten des TFC-Systems detailliert beschrieben, wobei insbesondere die Verwendung von Glasfasern bzw. verdrehten Zweidrahtleitungen aus Kupfer als physikalisches Medium in konkurrierenden Ansätzen analysiert werden. Dabei bietet das Konzept der Anbindung per Glasfaser Vorteile, wie eine hohe Datenrate und die Verfügbarkeit kommerziell erhältlicher Komponenten, wobei der letztere kupferbasierte Ansatz eine mechanisch robustere Verkabelung und geringere Latenzen bei kurzen Nachrichten bietet und keine Hochgeschwindigkeitsübertrager benötigt. Besonders das letzte Kriterium erlaubt es, die Anwendbarkeit des kupferbasierten Konzepts auf Systeme auszuweiten, welche nicht über spezielle, teure Bausteine zur schnellen Datenserialisierung verfügen, was es beispielsweise erlaubt, diesen Ansatz auf Systeme des niedrigeren Preissegments zu übertragen. Aufgrund der Verfügbarkeit in Form von *Commercial off-the-shelf (COTS)* Hardware, wird sich der Ansatz, der Glasfaserverbindungen verwendet, potentiell besser für das TFC-System von CBM eignen, da keine spezielle Schnittstellen-Hardware in größerer Stückzahl entwickelt werden muss.

In Bezug auf die zukünftige Erweiterbarkeit von glasfaserbasierten Systemen zur Zeitsynchronisation, werden aktuell *passive optische Netze (PONs)* als favorisierte Lösung gehandelt, welche innerhalb der nächsten Upgrades der Experimente am CERN Verwendung finden werden. Jedoch hat das *Time-Division Multiple Access (TDMA)*-Verfahren, das in kommerziell erhältlichen PONs, wie *10-Gigabit-capable PON (XG-PON)*¹, in Upstream-Richtung verwendet wird, einen starken negativen Einfluss auf die erzielbare Latenz des Verteilungsnetzwerks.

Aus diesem Grund wurde ein neues Modulationskonzept für PONs im Rahmen dieser Arbeit entwickelt und innerhalb eines Laborsystems evaluiert. Bei diesem Ansatz wird versucht, die Latenz dadurch zu verringern, dass die Datenrate durch eine Unterteilung der Systembandbreite im Frequenzbereich auf die

Optical Network Units (ONUs) aufgeteilt wird, wobei das *Single-Carrier Frequency Division Multiple Access (SC-FDMA)*-Verfahren zum Einsatz kommt, welches ein von *Orthogonal Frequency Division Multiple Access (OFDMA)* abgeleitetes Modulationsprinzip darstellt.

Abstract

In many of today's processing systems of big data applications, distributed real-time systems play an important role. Especially when data from different processing units has to be put into the context of the global processing task, the synchronization of data or the whole distributed system is necessary.

A very prominent application having the requirement of a precise system synchronization are readout systems of large-scale experiments in the domain of particle physics. Here, a very large amount of electronics is interfaced in a processing chain in order to collect event data at aggregated rates in the range of several Terabits per second. What makes this task even more challenging is the structure of the system which is divided in different sub-detectors, organized in several processing layers and composed of various types of electronic devices.

In order to be able to handle such a complex and heterogeneous system, several control mechanisms need to be available. One of these core systems of particle physics experiments is the timing and fast experiment control which is the central focus of the work being described in this thesis.

In case of the CBM experiment at FAIR in Darmstadt, the so-called TFC system is in charge of the tasks of providing a global high-quality clock and timing information throughout the whole online part of the experiment readout and to collect and distribute control information at low and constant latencies. The latter need is of particular importance in case of the CBM experiment since it is based on a self-triggered readout where the units of the different processing layers need to take decisions on the usage and forwarding of event data autonomously.

In the following chapters of this thesis the design of a prototype of a TFC system for CBM is detailed. Here, a special focus is put on the part of the digital electronics which is going to be implemented on FPGAs and the integration of dedicated interfacing PCBs where required. During the conception of the system a preliminary TS-system was developed which was successfully used in the CBM beam tests at the CERN SPS at the end of 2016. This system enabled for the first time a common, self-triggered, free-streaming, medium-sized, FPGA-based data acquisition during a beamtime of the CBM experiment [168] which is an important milestone towards the final readout of system.

The thesis continues with the concept and design of the TFC system where the fiber and twisted pair based physical interfacing of nodes is analysed as different approaches. Whereas the fiber concept offers advantages like a high data rate and availability of commercial products, the latter copper-based system provides a more sturdy medium, lower latencies for short messages and does not require high-speed transceivers. Especially the last criterion extends the applicability of the copper-based concept to systems where no special expensive high-rate serializers are available, which allows to use this approach in systems of the lower price range. Due to the availability of COTS hardware, the fiber-based approach is potentially more suitable for the TFC system of CBM since no dedicated interfacing hardware needs to be designed in larger quantities.

Regarding the future expandability of fiber-based timing systems, currently *Passive Optical Networks (PONs)* are the favoured solution which is going to be used in the next upgrades of the experiments at CERN. However, the applied TDMA principle which is used for the *Upstream (US)* communication in commercial state-of-the-art PONs like XGPON1, tremendously impacts the latency of the distribution network.

For that reason, a new modulation concept for PONs has been developed and analysed as part of this thesis in form of a laboratory system. By using the SC-FDMA approach, which is a derivative of the OFDMA modulation principle, the latency penalty is mitigated since the continuous data rate is shared among the ONUs by applying a division of the frequency spectrum.

Vorwort

Diese Arbeit entstand während meiner Zeit als wissenschaftlicher Mitarbeiter am Institut für Technik der Informationsverarbeitung (ITIV) des Karlsruher Instituts für Technologie (KIT). In den Jahren als Doktorand am ITIV durfte ich viele wertvolle Erfahrungen sammeln, welche mich in vielerlei Hinsicht prägten. In dieser Zeit standen mir viele Menschen zur Seite, denen ich an dieser Stelle meinen Dank aussprechen möchte.

Zuallererst möchte ich mich bei Herrn Professor Jürgen Becker bedanken, dass er mir durch die Aufnahme in seine Forschungsgruppe und die Betreuung während meiner Zeit am Institut die Möglichkeit gab, in den Gebieten der FPGA-basierten Datenverarbeitung für optische Zugangsnetze und der Synchronisation der selbst-getriggerten Auslese von CBM zu arbeiten und schließlich die vorliegende Dissertation zu erstellen. Besonders bedanke ich mich für das entgegengebrachte Vertrauen, welches es mir ermöglichte, ein interdisziplinäres, internationales Arbeitsfeld kennenzulernen und mich zu einem selbstständigen Teil der Forschergemeinschaft zu entwickeln.

Ebenfalls möchte ich mich bei Professor Marc Weber bedanken, den ich während einiger Kooperationen zwischen ITIV und IPE schätzen lernte und der sich zur Übernahme des Korreferats bereit erklärte. Prof. Uli Lemmer, Prof. Ivan Peric und Prof. Marc Hiller danke ich, dass sie sich Zeit nahmen, bei meiner Promotion als Mitglieder der Prüfungskommission mitzuwirken.

Meine Forschungstätigkeit am ITIV durfte im Projekt OTONES beginnen, bei dem ich mit Kollegen des IPQs zusammenarbeitete. Professor Leuthold (ETH Zürich), Professor Koos und Professor Freude danke ich für die gute Zusammenarbeit und ihren steten fundierten Rat in den wöchentlichen Meetings.

Von Mitte 2014 bis zur Fertigstellung der Dissertation arbeitete ich an einem Timing-and-Fast-Control-System für das CBM-Experiment der FAIR, Darmstadt. Den dortigen Kollegen der CBM-DAQ-Gruppe, u.a. Walter Müller und David Emschermann, danke ich für den geleisteten Rat und die stets bereitwillige Unterstützung, beispielsweise bei der Entwicklung und Produktion der tDPB-FMC-Karte.

Nicht zuletzt möchte ich meinen Kollegen am ITIV und IPQ (Philipp, Stefan, Djorn, Juned) danken, die stets ein offenes Ohr hatten und ein wenig Abwechs-

lung in den allzu gewöhnlichen Arbeitsalltag brachten. Danken möchte ich dabei besonders meinen Zimmerkollegen (Michi, Jogi, Augusto) und den Kollegen aus dem ersten bis dritten Stock für die gemeinsame Zeit (Steffen, Falco, Simon, Harry, Timo, Hannes, Lidia, ...). Die manchmal auch etwas verrückten Freizeitaktivitäten, wie Kinobesuch, Lasertag, Kartfahren, Doktorhutbau oder das allsommerliche Grillen werden mir immer in guter Erinnerung bleiben.

Danken möchte ich vor allem auch Oliver Sander, der während seiner Zeit am ITIV in den Kaffee- und Gruppenmeetings stets Heiterkeit, aber auch angebrachte, konstruktive Kritik beitrug und mir nach Erstellung der Dissertation mit hilfreichen Anmerkungen zur Seite stand.

Ein ganz besonderer Dank gilt meiner Familie, bei der ich nach einer stressigen Woche immer wieder auftanken konnte und die mir auch half, etwas Abstand zu den Problemen des Arbeitsalltags zu bekommen. Oft nehmen wir gerade diese Dinge als selbstverständlich an, doch gerade in anstrengenden und herausfordernden Zeiten, wie einer Promotion, merken wir, wie wichtig diese sind.

Karlsruhe, im April 2017
Lukas Meder

Inhaltsverzeichnis

1	Einleitung	1
1.1	Motivation	2
1.2	Zielsetzung und Abgrenzung der Arbeit	6
1.3	Aufbau der Arbeit	8
2	Grundlagen TFC-System	11
2.1	Feldprogrammierbare Gattermatrizen	11
2.2	Hardware-Software Codesign	13
2.3	Steuerung der Detektorauslese	14
2.4	Zeitliche Synchronisation verteilter FPGA-Systeme	16
2.5	Präzise Erfassung von Zeit in digitalen Systemen	18
2.5.1	Zeit-zu-Digitalwert-Wandler	19
2.5.2	Digitale mischerbasierte Ansätze	23
2.6	Präzisionszeitprotokoll	27
2.7	Hochauflösende Zeitstempelerzeugung	29
2.8	Phasenrauschen und Jitter	32
2.9	Handhabung zeitkritischer Nachrichten der Auslese	36
2.10	Zeitlicher Determinismus in Auslese- und TFC-Systemen	39
3	Grundlagen passive optische Netze	45
3.1	Passive optische Netze	46
3.2	Mehrträgermodulationsverfahren	48
3.3	Digitale Signalverarbeitung in OFDM PONs	50
3.3.1	Signalmodulation	50
3.3.2	Diskrete Fourier-Transformation	52
3.3.3	Synchronisation	54
3.3.4	Kanalschätzung und -korrektur	55
4	Stand der Technik	59
4.1	Ausleseketten aktueller Teilchendetektorexperimente	59
4.2	Ansätze zur Zeitverteilung und Synchronisation der Auslesesys.	64
4.3	Bewertung der Ansätze zur Zeitsynchronisation	68
4.4	Ableitung von Eigenschaften für ein TFC-System in CBM	72

5	Vorstudie - ein Timing-System für Strahltests	75
5.1	Topologie und Funktionalität	76
5.2	FPGA-Erweiterungskarte	78
5.3	FPGA-Logik des Timing-Synchronizer-Systems	81
5.3.1	Generelle Funktionalität	82
5.3.2	Taktfunktionalität	84
5.3.3	Verarbeitung von PPS Referenzpulsen	85
5.3.4	Einstellung der Zeitsynchronisation	87
5.3.5	Erweiterte Funktionalität der TS-Logik	88
5.4	Evaluierung des Systems	90
6	Entwicklung des Timing-and-Fast-Control-Systems	97
6.1	Struktur und Anforderungen der CBM-Auslese	97
6.2	Topologie der TFC-Architektur	102
6.3	Ansätze zur höchst präzisen Zeitsynchronisation	104
6.4	TFC-Funktionalität in Auslese-Crates	108
6.5	FPGA-Logik der TFC-Knoten	111
6.6	Software des Microprocessor-Systems	113
6.7	HW/SW Phase-locked Loop Regelschleife	114
6.8	Datenübertragungskomponenten	121
6.9	Modulare physikalische TFC-Schnittstelle	124
6.10	Slow-Control-Schnittstelle	126
6.11	Peripheriekomponenten der TFC-Logik	127
6.12	Synchrone Schnittstelle zur DPB-Ausleselogik	128
6.13	Pläne zur Weiterentwicklung der Auslese von CBM	129
6.14	Zukünftige Erweiterbarkeit des TFC-Systems	130
7	Integration eines TFC-Prototypensystems	135
7.1	TFC-System mit Twisted-Pair-Schnittstelle	135
7.1.1	Ansatz zur kupferbasierten Synchronisation	136
7.1.2	Digitale Schnittstelle und Übertragungsprotokoll	141
7.1.3	Prototypisches Schnittstellen-PCB für den TFC-Master	145
7.1.4	TFC PCB für mTCA.4 Crate AMCs	149
7.2	TFC-System mit Glasfaserschnittstelle	152
7.2.1	Ansatz zur glasfaserbasierten Synchronisation	152
7.2.2	Digitale Schnittstelle und Übertragungsprotokoll	155
7.2.3	Umgesetzte glasfaserbasierte Prototypensysteme	159
8	Evaluation des umgesetzten Prototypensystems im Laboraufbau	163
8.1	TFC-System mit Twisted-Pair-Verbindungen	163

8.2	TFC-System mit Glasfaserverbindungen	167
8.2.1	Regelungspräzision	168
8.2.2	Fehlerrate synchronisierter Datenkanäle	171
8.2.3	Konstanz der Übertragungslatenz	173
8.2.4	Wiederholbarkeit der Phasenoffsetkompensation	177
9	Ein PON zur Signalverteilung innerhalb von TFC-Systemen	183
9.1	SCFDMA PON mit FPGA-basierten Zugangsknoten	184
9.2	Wellenlängen- und Bandbreiten-Schemata des OTONES PONs	186
9.3	Digitale PON-Architektur	190
9.3.1	Sendekomponente auf Anbieterseite (OLT Tx)	192
9.3.2	Empfangskomponente auf Nutzerseite (ONU Rx)	199
9.3.3	Sendekomponente auf Nutzerseite (ONU Tx)	202
9.3.4	Empfangskomponente auf Anbieterseite (OLT Rx)	204
9.4	Latenz der Anbieter-/Nutzer-FPGA-Logik	206
9.5	Evaluierung des SC-FDMA PONs im Laboraufbau	210
9.6	Schlussfolgerungen	218
10	Schlussfolgerungen und Ausblick	223
	Verzeichnisse	227
	Abbildungsverzeichnis	227
	Abkürzungsverzeichnis	231
	Literatur- und Quellennachweise	235
	Betreute studentische Arbeiten	251
	Eigene Veröffentlichungen	253

1 Einleitung

Ein Schwerpunktthema innerhalb der Experimentalphysik der letzten Jahrzehnte [18] stellt die Untersuchung der kleinsten Teilchen der Materie dar.

Innerhalb von Großexperimenten ist es dabei einerseits von Interesse, die Bestandteile der Materie zu untersuchen, wie beispielsweise das in letzter Zeit äußerst bekannt gewordene Higgs Boson, welches früh prognostiziert [55] und schließlich mittels der *A Toroidal LHC Apparatus (ATLAS)*- und *Compact Muon Solenoid (CMS)*-Experimente des CERNs nachgewiesen werden konnte [166]. Ebenfalls wird in anderen Experimenten das Verhalten gewisser Arten von Teilchen untersucht oder beispielsweise die Änderung der Zusammensetzung der Materie, wie dies unter anderem im CBM-Experiment der Fall ist [47], auf das sich die Beiträge dieser Arbeit schwerpunktmäßig beziehen.

Bei diesem Experiment werden Schwerionen bei hohen Energien zur Kollision gebracht [129], wodurch Bedingungen entstehen, welche denen wenige Augenblicke nach dem Urknall ähneln. Dabei sind gewisse Zustandsübergänge der Materie von Interesse, welche sich mithilfe des Phasendiagramms der QCD darstellen lassen (siehe Abbildung 1.1).

Ein besonderes Augenmerk wird dabei auf das Verhalten von Materie beim Übergang vom Zustand geringerer zu mittelhohen Temperaturen und bei hohen Teilchendichten gelegt, bei dem sich die Hadronen auflösen und schließlich zu einem Quark-Gluonen-Plasma umwandeln, was Deconfinement-Phasenübergang genannt wird [47]. Ein ähnlicher Zustand, bei dem sich Baryonen ebenfalls in Quarks und Gluonen auflösen, tritt bei niedrigen Temperaturen und noch höheren Dichten auf, wobei der Bereich dieses Phasenübergangs und das Verhalten jenseits dieser Schwelle unbekannt sind.

Die Zielregion der Untersuchungen innerhalb von CBM visiert dabei primär den Bereich sehr hoher Baryondichten bei moderaten Temperaturen/Energien an, wobei Strahlenergien von 10-40 GeV/u angestrebt werden, was in etwa dem in Abbildung 1.1 dargestellten Bereich nahe des roten Halbkreises entspricht.

Dazu im Vergleich wird es am *Large Hadron Collider (LHC)* primär angestrebt, bei sehr geringen Teilchendichten möglichst hohe Teilchenenergien zu erzielen [CBM17]. Im Jahr 2015 wurden diesbezüglich am LHC bei Proton-Proton-Kollisionen Energien von $\sqrt{s} = 13$ TeV erreicht [165]. Damit ist der innerhalb des

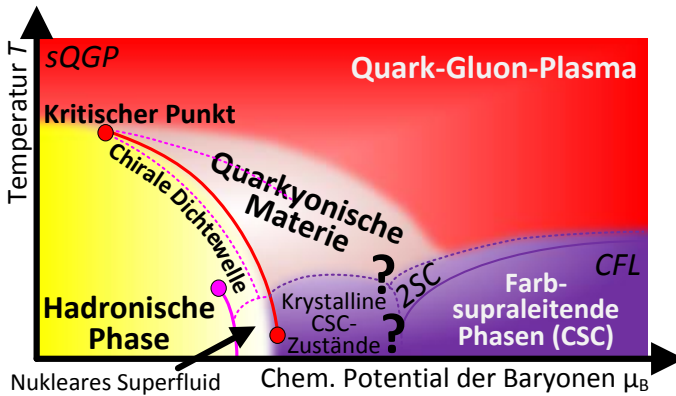


Abbildung 1.1: Das QCD-Phasendiagramm stark wechselwirkender Materie nach [47], [167]

CBM-Experiments erforschte Bereich des QCD-Phasendiagramms komplementär zu den Untersuchungen der Experimente am LHC im Falle des Protonen-Betriebsmodus [47]. Besonders markant ist beim CBM-Experiment, dass durch die hohen Baryonendichten sehr hohe Interaktionsraten hervorgerufen werden können, bis zu 1000 Teilchen pro zentraler Kollision [47], was sich gerade auf die Beobachtungshäufigkeit seltener Teilchen positiv auswirken kann [CBM17].

1.1 Motivation

Um in den Experimenten der Teilchenphysik die Eigenschaften der Materie zu untersuchen, kommen aufwändige Beschleuniger-, Detektor- und Auslesesysteme zum Einsatz.

Generell lassen sich dabei diese Experimente in Collider- und Fixed-Target-Experimente unterteilen. In erstere Kategorie fallen die bekannten Experimente am CERN. Dabei werden zwei gegenläufige Teilchenstrahlen an gewissen Kreuzungspunkten, den sogenannten Wechselwirkungspunkten, zusammengeführt, um Teilchenkollisionen hervorzurufen [71]. Ebenfalls ist es möglich, statt zwei Teilchenstrahlen zur Kollision zu bringen, ein Experiment mit einem fixed target auszulegen, bei dem die Teilchen mit einem feststehenden Objekt kollidieren, was gerade beim im Fokus dieser Arbeit stehenden CBM-Experiment der Fall ist. Ein Vorteil ist hierbei, dass es wesentlich leichter ist, den Strahl auf das feste Ziel einzustellen, als zwei Strahlen mit einem extrem geringen Durchmesser

aufeinander zu fokussieren. Nachteilig fällt allerdings dabei aus, dass unter Verwendung derselben Teilchen, beim Fixed-Target-Experiment in der Regel eine wesentlich geringere Kollisionsenergie erreicht wird [86].

Um die Teilcheninteraktionen dieser Experimente zu untersuchen, kommen verschiedene Arten von Detektoren zum Einsatz, die jeweils zur Analyse einer bestimmten Eigenschaft des Experiments besonders gut geeignet sind und es in Kombination erlauben, Kollisionsereignisse zu charakterisieren und genau zu untersuchen. Dabei lässt sich z.B. mit einem *Time-of-flight* (TOF)-Detektor die Zeit bestimmen, welche ein Teilchen für die Durchquerung einer Strecke zwischen zwei Teilen des Detektors benötigt [136] und mittels eines Cherenkov-Detektors die Geschwindigkeit der Teilchen ermitteln [83]. Die einzelnen Detektoren werden dabei üblicherweise in einer Art Schichtenaufbau angeordnet, was je nach Experimentanordnung in einer Richtung strahlenförmig hintereinander (z.B. CBM, NA62, *LHC Beauty* (LHCb)) oder auch zylinderförmig erfolgen kann (z.B. CMS, ATLAS, Belle II). In der Regel ist dies, das LHCb-Experiment am CERN ausgenommen, dem Aufbau des Experiments als Fixed Target bzw. Collider geschuldet. Das geplante Detektorsystem des CBM-Experiments ist in Abbildung 1.2 dargestellt.

Gegeben durch die hohen Interaktionsraten, die gewünschten hohen Auflösungen und die damit große Anzahl von Kanälen, wird eine sehr schnelle Ausleseelektronik benötigt, um diese Experimente mit ausreichender Güte beobachten und auswerten zu können. Damit einhergehend ist eine sehr hohe Datenrate, welche am Beispiel von CMS ohne Datenreduktion durchschnittlich etwa 40 Terabyte pro Sekunde betragen würde [171].

Um solch hohe Datenmengen erfassen und verarbeiten zu können, kommt heutzutage eine Kombination aus *Application Specific Integrated Circuits* (ASICs) und sogenannten FPGAs zum Einsatz. Letztere bieten im Vergleich zu Allzweck-(General-Purpose-) Prozessoren und ASICs den Vorteil, dass sie für die Verarbeitung von hochgradig parallelen Datenströmen sehr gut geeignet sind und über eine feine Struktur aus Speicher- und Funktionsblöcken verfügen, die durch den Anwender, speziell zugeschnitten auf die vorliegende Anwendung, programmiert werden können.

Dennoch ist es nicht ausreichend, diese hohen Datenmengen lokal mit einer hohen Rate verarbeiten zu können, sondern es ist ebenfalls notwendig, die Daten verschiedener Auslesekanäle und Verarbeitungseinheiten des verteilten Systems einander zuordnen zu können, um aus diesen aufseiten einer Online- oder Postprozessierung mit handhabbarem Aufwand physikalische Zusammenhänge ableiten und Schlüsse ziehen zu können. Gerade wenn Rohdatenmengen im Bereich von Terabit pro Sekunde anfallen, ist häufig eine global gesteuerte Selektion von Daten vonnöten, um den Fokus des Experiments zu lenken und damit Re-

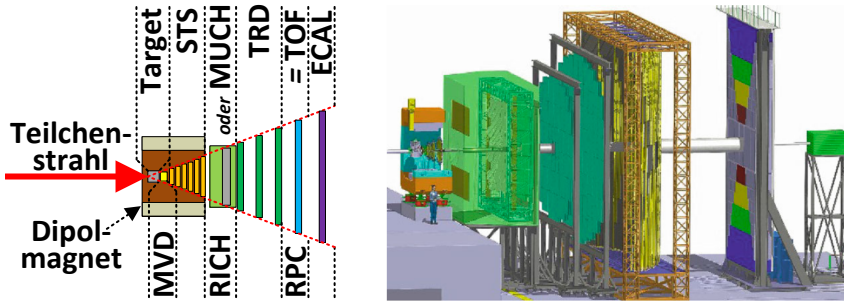


Abbildung 1.2: a) Schematischer Aufbau und b) 3D-Modell des Detektorsystems CBM-Experiments mit MVD, STS, RICH, TRD, RPC und ECAL[47]. Wenn gewünscht, kann der RICH durch den MUCH-Detektor ersetzt werden.

chenressourcen für die wirklich interessanten Ereignisse freizuhalten. Innerhalb des ATLAS-Experiments werden beispielsweise solche besonders interessanten Bereiche der Eventdaten als regions of interest bezeichnet [21].

Am CERN wird dabei der Ansatz der getriggerten Auslese verwendet, bei dem, basierend auf in verschiedenen Systemschichten befindlichen Entscheidungseinheiten, die Weiterleitung oder Verwerfung von aufgezeichneten Datensätzen beschlossen wird. Bei diesem Vorgehen besteht allerdings generell das Problem, dass nur Events weitergeleitet werden, welche durch die verschiedenen Trigger-schichten als interessant erkannt wurden. Deshalb ist es hier maßgeblich, dass eine genaue Charakterisierung des zu untersuchenden physikalischen Falls zur Verfügung steht, anhand der die Triggerentscheidungen getroffen werden. Aufgrund hoher Datenmengen wird innerhalb der getriggert betriebenen Collider-Experimente nur eine partielle Eventrekonstruktion im Online-System durchgeführt, was z.B. innerhalb der Bereiche des Events geschieht, welche als Regionen von Interesse erkannt wurden [21]. Dabei kann der Fall eintreten, dass der *High-Level Trigger (HLT)* ein physikalisches Ereignis nicht erkennt oder zusammengehörige Daten unvollständig im Festspeicher abgelegt werden, sodass eine vollständige Teilchenspur- bzw. Event-Rekonstruktion innerhalb der Offline-Analyse nicht möglich ist.

Da beim CBM-Experiment mit sehr hohen Teilchenanzahlen pro Kollision zu rechnen ist, wird bei der Auslese dieses Experiments ein neuartiger Ansatz verwendet [47]. Das hierbei angewendete Prinzip ist das der selbst-getriggerten Auslese, das auch als triggerless oder free-streaming bezeichnet wird. Im Kern besitzt der Online-Teil der Auslese bei diesem Vorgehen die Eigenschaft, dass

jede der verschiedenen Stufen autonom arbeitet. Dies trifft gerade auf das Frontend zu, das selbständig die Entscheidung treffen muss, wann Daten aufzuzeichnen sind. Ein besonderes Merkmal der selbst-getriggerten Auslese von CBM ist dessen Art der Eventdatenverarbeitung. Hierbei wird innerhalb des Online-Systems eine vollständige Event-Rekonstruktion durchgeführt, was die Durchführung wesentlich genauerer Vorabanalysen erlaubt, als es eine partielle Rekonstruktion ermöglichen würde. Damit sind beispielsweise physikalische Analysen umsetzbar, welche ohne vollständig vorhandene Teilchenspuren nicht berechnet werden könnten [128]. Nachteilig ist allerdings, dass das Online-System bei diesem Vorgehen über eine wesentlich größere Rechenleistung verfügen muss.

Eine weitere Problematik ergibt sich bei der vorliegenden freilaufenden (free-streaming) Auslese durch das autonome Verhalten des Online-Teils des Systems. Da an den unterschiedlichen Subdetektoren je nach Luminosität [183] ein großer Dynamikumfang der resultierenden Ereignisraten entstehen kann, können gerade an den Frontend-Bausteinen lokale Überlastzustände eintreten. Aus diesem Grund müssen die beteiligten Komponenten der Online-Auslese dazu in der Lage sein, zu erkennen, wann Daten aufgrund von einer temporär zu hohen Datenrate verworfen werden sollten oder weitergegeben werden können [11]. Dabei muss allerdings vermieden werden, dass korrupte Datensätze entstehen, was bei einem unkoordinierten, selbstständigen Verwerfen von Daten der Fall wäre. Somit muss es die verteilte Auslese erlauben, dass die Aktivität der Datenaufzeichnung und die Reaktion auf andere kritische Events global kontrolliert werden kann.

Für die Funktionstüchtigkeit der verteilten, autonomen Auslese ist es zudem zwingend notwendig, dass sie synchron betrieben wird, was einschließt, dass Daten zu denselben Zeitpunkten und mit exakt derselben Rate aufgezeichnet werden. Nur so können die aufgezeichneten Informationen, welche sich aus Daten verschiedener Subdetektoren und vieler einzelner Frontend-Bausteine zusammensetzen, mit ausreichender Genauigkeit die Eigenschaften des jeweiligen Events widerspiegeln. Zudem müssen die synchronen Takte von sehr hoher Qualität sein (Jitter), da die ASICs des Detektor-Frontends in der autonom arbeitenden Auslese des CBM-Experiments diese Takte vom Multi-Gigabit-Glasfaserlink ableiten und direkt für die Erfassung und Digitalisierung der analogen Detektordaten verwenden. Dies bedeutet, dass sich Ungenauigkeiten der Synchronisation und ein durch diesen Prozess eingebrachtes Rauschen in der Qualität der erfassten Detektordaten niederschlagen können.

Demzufolge sollte den *Frontend Electronics (FEE)* ASICs ein äußerst frequenzstabiler Takt von hoher Qualität zur Verfügung stehen, der zudem in Bezug auf die Synchronisationsgenauigkeit je Auslesem modul nur eine sehr kleine unbekannte

Phasenabweichung vom gewünschten Sollwert in der Größenordnung von nur wenigen 100 ps aufweist.

Innerhalb dieser Arbeit wird deshalb die Entwicklung eines sogenannten Timing-and-Fast-Control-Systems beschrieben. Dieses System ist im Online-Teil der Auslese des CBM-Experiments schwerpunktmäßig für die beiden zuletzt genannten Aufgaben zuständig und leistet somit einen besonders wichtigen Beitrag für den Betrieb der neuartigen selbst-getriggerten Auslese des CBM-Experiments.

1.2 Zielsetzung und Abgrenzung der Arbeit

Im Rahmen des CBM-Experiments wird innerhalb dieser Arbeit ein Konzept eines TFC-Systems entwickelt, welches das erste System dieser Art des CBM-Experiments darstellt.

Auf dem Wege der Konzeptfindung des TFC-Systems werden innerhalb der Arbeit zunächst aktuelle Auslesesysteme bestehender Experimente erläutert, da das zu entwickelnde Timing-System nicht das erste seiner Art in der Domäne der Experimente der Teilchenphysik darstellt. Im Zentrum der Betrachtung steht hierbei, wie die Synchronisation der Aufzeichnung der Detektordaten innerhalb der verteilten, heterogenen Systeme der Auslese dieser Experimente umgesetzt wurde. Dabei spielt es eine wichtige Rolle, welchem Prinzip die Messdatenaufzeichnung der Auslese folgt, da dies einen direkten Einfluss auf die Synchronisationskonzepte hat, und ob das System die Ausführung zeitkritischer Kommandos zur Experimentsteuerung benötigt. Schließlich werden die dort verwendeten Ansätze für den Kontext der Auslese von CBM bewertet.

Darauf wird die Entwicklung des Timing-Synchronizer-Systems erläutert, welches im Rahmen einer Vorstudie entstand. Im Vergleich zum benötigten TFC-System werden bei diesem Konzept zwar lediglich einige zentrale Teilaspekte realisiert, allerdings ist dadurch dessen Umsetzung und Integration mit relativ geringem Aufwand verbunden. Im Kern ist das Timing-Synchronizer-System dazu in der Lage, ersten Strahltestaufbauten der aus mehreren FPGA-Karten bestehenden und in der Entwicklung befindlichen Auslese von CBM, eine stabile Synchronisation des Systemtaktes und eine deterministische Ausführung von Kommandos zu bieten (siehe Kapitel 5). Dieses als Teil einer Vorevaluati-on beschriebene System, wurde im Rahmen der CBM-Strahlzeit am CERN SPS Ende 2016 erfolgreich zur Synchronisation der prototypischen Detektorauslese verwendet.

Aus den Eigenschaften der Auslese von CBM und den Schlüssen aus bestehenden Arbeiten wird anschließend das Konzept eines prototypischen TFC-Systems entwickelt, das auf die Anforderungen in CBM am besten zugeschnitten ist und,

trotz gewisser unbekannter Systemparameter, eine erste sichere Lösung für das TFC-System darstellt. Dabei ist besonders zu berücksichtigen, dass das CBM-Experiment eine selbst-getriggerte (self-triggered) Auslese verwendet, deren Steuerung und Synchronisation sich signifikant von der häufig verwendeten von außen getriggerten Auslese unterscheidet (triggered readout). Somit sind bestehende Konzepte anderer Experimente, wie beispielsweise der Timing- bzw. TFC-Systeme am CERN, nicht direkt für das TFC-System in CBM übertragbar.

Aufgrund der in der selbst-getriggerten Auslese autonom betriebenen Frontend-Elektronik ist es wichtig, mittels des TFC-Systems eine sehr genau frequenz- und phasensynchronisierte Auslese zur ermöglichen. Dabei muss der synchronisierte Systemtakt von besonders hoher Qualität sein, um die Datenerfassung aufseiten der Frontend-Elektronik nicht negativ zu beeinflussen und Detektordaten per *Multi-Gigabit Transceiver (MGT)*-Links auslesen zu können.

Da sich für die Topologie der Auslese von CBM verschiedene physikalische Medien eignen, die unterschiedliche Vorzüge besitzen, werden diese in der Arbeit als alternative Umsetzungen des TFC-Links vorgestellt. Dies ist einerseits die häufig zum Einsatz kommende Anbindung per Glasfaser und zum anderen die Verwendung eines komplett neu entwickelten Konzeptes einer TFC-Schnittstelle mit Twisted-Pair-Verbindungen. Ein Schwerpunkt wird innerhalb der Arbeit auf die Umsetzung eines prototypischen TFC-Links gelegt, welcher auf FPGA-Knoten und teilweise auf selbstentwickelten PCBs basiert.

Da sich keines der bestehenden Konzepte anderer Experimente für das TFC-System von CBM in seiner Gesamtheit verwenden lässt, ist es ein zentrales Ziel dieser Arbeit, aufzuzeigen, dass mit den hier vorgestellten Konzepten ein TFC-System umgesetzt werden kann, welches in der Lage ist, die Auslese von CBM zu synchronisieren und Möglichkeiten der zukünftigen Erweiterbarkeit bietet.

Gerade hinsichtlich des Ausbaus des TFC-Prototypensystems auf die zukünftig angestrebte Anzahl Ausleseknöten in CBM, werden in dieser Arbeit verschiedene mögliche Vorgehensweisen beschrieben. Da eine lineare Vervielfachung der Anzahl der TFC-Ports über die Kopplung mehrerer Master-Karten schnell an ihre Grenzen stößt, wird in dieser Arbeit eine besonders interessante Punkt-zu-Multipunkt-Verteilung analysiert. Die hierbei im Fokus stehende Anbindung mittels eines *Passive Optical Networks (PONs)* besitzt gerade auch in den Timing-Systemen der Experimente des CERNs eine aktuell hohe Relevanz, da dieser als zukünftiges Netzwerk zur Verteilung der LHC-Takte und Triggerinformationen geplant ist. Aufgrund der recht hohen Extremfall- (Worst-Case-) Latenz, die durch die in kommerziell erhältlichen PONs eingesetzte TDMA-basierte Vergabe von Zeitslots verursacht wird, ist die Verwendbarkeit dieser verfügbaren Architekturen in einem TFC nur sehr eingeschränkt möglich.

Aus diesem Grund wird als wichtiger Beitrag dieser Arbeit eine Alternative zu den kommerziell erhältlichen *Time-Division Multiplexing (TDM)*-PONs vorgestellt. Konkret bietet das in dieser Arbeit entwickelte System durch die Verwendung eines *Single-Carrier Frequency Division Multiple Access (SC-FDMA)*-Ansatzes im Upstream den konzeptionellen Vorteil, dass statt der Zuteilung der vollen Bandbreite zu gewissen Zeitslots (d.h. TDMA), für die gesamte Zeit eine zwar geringere, aber dafür konstante Übertragungsbandbreite allen Nutzern des PONs zu Verfügung steht. Gerade diese Eigenschaft hat bei der Verwendung innerhalb eines TFC-Systems den Vorteil, dass Fast-Control-Nachrichten mit einer konstanten Latenz übertragen werden können und gerade bei relativ kurzen Nachrichten die durchschnittliche und besonders die Extremfalllatenz der Kommunikation gering ausfällt.

Zusammenfassend hat die Arbeit das zentrale Ziel, ein neues Konzept eines TFC-Systems zu erläutern, das die Anforderungen von CBM erfüllt und Anknüpfungspunkte für die zukünftige Erweiterbarkeit bietet, wobei besonders die Funktionstüchtigkeit kritischer Kernkomponenten des Systems aufgezeigt wird. Die Erstellung eines komplett integrierten, voll funktionsfähigen und bis ins Detail getesteten finalen TFC-Systems ist allerdings ausdrücklich nicht das Ziel dieser Arbeit.

1.3 Aufbau der Arbeit

Die vorliegende Arbeit besitzt den im Folgenden beschriebenen Aufbau.

In Kapitel 2 werden zunächst die für das Verständnis der in den folgenden Kapiteln beschriebenen Inhalte notwendigen Grundlagen erläutert. Da die Arbeit ein breites Spektrum an Hintergründen voraussetzt, können diese aus Gründen des Umfangs der Arbeit nicht in aller Tiefe und im Detail behandelt werden. Dennoch werden in diesem Kapitel die essentiellen und etwas spezielleren Verfahren und Methoden erläutert, sodass die in den späteren Teilen der Arbeit präsentierten Inhalte nachvollzogen werden können. Zunächst wird in diesem Kapitel ein Überblick über die notwendigen Grundlagen der digitalen Seite der Arbeit gegeben. Darauf wird der Fokus auf grundlegende Themen des Gebiets der Auslese von Experimenten der Teilchenphysik gelegt und die Zusammenhänge der damit einhergehenden Timing- und schnellen Experimentsteuerung dargestellt. Anschließend werden die Hintergründe erläutert, welche zum Verständnis der in den späteren Kapiteln dieser Arbeit erläuterten PON-Architektur nützlich sind.

Im darauffolgenden Kapitel 4 wird der Stand der Technik aktueller Ausleseketten von Experimenten der Teilchenphysik dargestellt, wobei gesondert erklärt

wird, wie in den gegebenen Fällen die Synchronisation und Steuerung der Auslese vollzogen wird. Aus den hier beschriebenen Ansätzen und den Anforderungen in CBM wird darauf dargelegt, wie und weshalb die grundlegenden Bestandteile des Konzepts des prototypischen TFC-Systems für CBM gewählt wurden und was die Auslese von CBM von denen anderer existierender Experimente unterscheidet.

In den anschließenden Kapiteln 5 und 6 wird darauf die Konzeptfindung und das eigentliche entwickelte TFC-System erläutert. Dabei wird zunächst das TS-System in Kapitel 5 erklärt, welches als Vorläufer dieses Systems zur Synchronisation mittelgroßer Auslesen von Strahltests entwickelt wurde. Darauf wird das Konzept des TFCs in Kapitel 6 beschrieben, wobei ein zentraler Fokus auf die Methoden und Kernkomponenten des Systems gelegt wird, welche später in Form von FPGA-Logik integriert werden.

Das anschließende Kapitel 7 liefert Details über die konkrete Umsetzung des prototypischen TFC-Systems, wobei insbesondere die zwei alternativen Schnittstellenkonzepte erläutert und etwaige benötigte PCBs vorgestellt werden. In Kapitel 8 werden erste Ergebnisse der Evaluierung der dargelegten prototypischen Systeme beschrieben. Dabei wird ein zentraler Fokus auf die Synchronisation des TFC-Systems gelegt.

Als wichtiger Baustein der zukünftigen Erweiterbarkeit des TFC-Systems wird in Kapitel 9 das erwähnte SC-FDMA-PON erläutert. Hier findet sich neben der Beschreibung des grundlegenden Konzepts der FPGA-basierten digitalen Architektur und deren Umsetzung, eine Auswertung des funktionsfähigen prototypischen Systems im Laboraufbau.

Eine abschließende Zusammenfassung der Ergebnisse der Arbeit nebst daraus entstehender Schlussfolgerungen findet sich in Kapitel 10.

2 Grundlagen TFC-System

Die Detektorauslese von Experimenten der Teilchenphysik stellt ein verteiltes, heterogenes System dar. Da das TFC-System dieser Arbeit einen Teil der Online-Datenerfassung eines solchen Experiments bildet, werden innerhalb dieses Kapitels wichtige Grundlagen zum Verständnis dieser Systeme gelegt.

Ein besonders wichtiger Bestandteil der Online-Datenerfassung stellt die Technologie der feldprogrammierbaren Gattermatrizen dar (siehe Unterkapitel 2.1), für welche zum Zwecke einer effizienten Realisierung und der Anbindung deterministischer Logik, Hardware-Software-Codesign-Prinzipien zum Einsatz kommen (siehe Unterkapitel 2.2).

Da das TFC-System dieser Arbeit eines der zentralen Systeme zur Experimentsteuerung darstellt, werden diese in den Unterkapiteln 2.3 und 2.4 erläutert.

Eine besonders wichtige Teilfunktion des TFC-Systems ist die Zeitsynchronisation. In den Unterkapiteln 2.5 bis 2.8 werden diesbezüglich Verfahren zur Bestimmung von hoch aufgelösten Zeitinformatoren erklärt, welche in Systemen dieser Art verwendet werden. Der Fokus wird in den dortigen Ausführungen auf das verwendete *Dual Mixer Time Difference (DMTD)*- gelegt und das wichtige Verfahren beschrieben, das *Zeit-zu-Digitalwert-Wandlern (Time-To-Digital Converters (TDCs))* zugrundeliegt. Darauf wird dargestellt, wie mittels des Präzisionszeitprotokolls (*Precision Time Protocol (PTP)*) Zeitstempel mit einer Genauigkeit im Bereich von Picosekunden erzeugt und Slaves mit einer ebenso hohen Präzision synchronisiert werden können. Schließlich werden im Unterkapitel 2.8 die Begriffe des Phasenrauschens und des Jitters erläutert.

In den letzten beiden Teilkapiteln 2.9 und 2.10 wird auf die Grundlagen eingegangen, welche für die Fast-Control-Kommunikation besonders wichtig sind.

2.1 Feldprogrammierbare Gattermatrizen

Eine in den 80er Jahren aufgekommene Technologie der integrierten Schaltkreise ist die FPGA-Technologie [178]. Diese bietet im Vergleich zu ASICs die Möglichkeit, durch den Anwender nahezu beliebig oft programmiert zu werden. Dabei sind Speicher an konfigurierbaren Logikblöcken angebunden, welche deren logi-

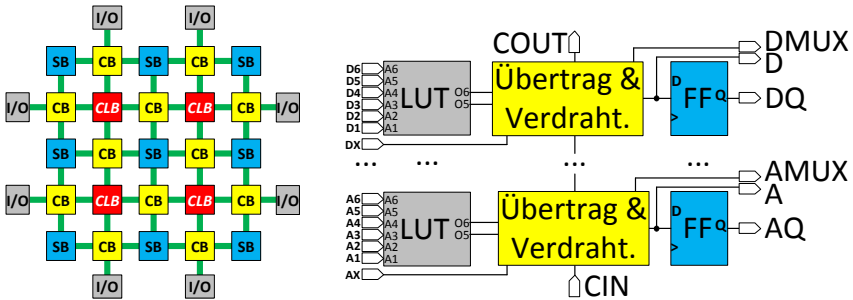


Abbildung 2.1: a) Grundlegende Struktur einer gitterbasierten FPGA-Topologie nach [41], b) verkürzte Darstellung einer Virtex-5 Slice [194]

sche Funktionen, die Verdrahtung innerhalb der Schaltung oder die Anbindung an *Input/Output (I/O)*-Pins bestimmen.

Aufgrund ihrer Flexibilität fallen sie größer und langsamer aus als ASICs aus Standardzellen und weisen eine größere Leistungsaufnahme auf [41]. Allerdings stellen sie für kleine und mittlere Stückzahlen eine günstigere Lösung dar und bieten für den Anwender kürzere Entwicklungszeiten. Da sie für die Programmierung im Feld ausgelegt sind, bieten sie gerade im Gebiet der Forschung und Prototypenentwicklung große Vorteile. Dabei ist die FPGA-Technologie besonders für die Auslese von Teilchendetektoren interessant, da diese einen hohen Datendurchsatz und gleichzeitig eine sehr gute und schnelle Anpassung der damit umgesetzten Schaltungen erlauben.

Im Vergleich zu ASICs, deren Herstellung Monate veranschlagt, lässt sich ein FPGA innerhalb einer Minute neu programmieren und die Bitstromgenerierung benötigt bei Änderungen am Design in der Regel nur Minuten bis wenige Stunden. Ebenfalls hilfreich ist bei FPGAs die Möglichkeit, Teile der Logik im Betrieb durch andere auszutauschen, was partielle dynamische Rekonfiguration genannt wird [70].

In Abbildung 2.1 a ist die grundlegende Struktur einer gitterbasierten FPGA-Topologie dargestellt. Dabei sind die zentralen Blöcke, die die Intelligenz der Logik definieren, die *Configurable Logic Blocks (CLBs)*. Mittels der *Connection Boxes (CBs)* werden die CLBs an das globale Routingnetz angebunden, das über die *Switch Boxes (SBs)* realisiert wird. An CBs angeschlossene I/O-Blöcke binden die Schaltung an die Außenwelt an.

Die dargestellten CLBs bestehen im Falle der Xilinx Virtex-5 [194] FPGA-Familie aus je zwei sogenannten Slices. In Abbildung 2.1 b ist eine Virtex-5 Slice dar-

gestellt. Die zentralen Elemente einer FPGA-Schaltung sind die sogenannten *Look-Up Tables (LUTs)*, welche eine Funktion anhand einer Wahrheitstabelle realisieren, indem sie den Wert am Ausgang dieses Logikblocks in Abhängigkeit der Werte an den Eingängen definieren. Über das Carry-&-Control-Netzwerk (Übertrag und Verdrahtung) werden je nach gewünschter Funktion und Taktabhängigkeit der Schaltung (synchron/asynchron) die LUTs an *Flip-Flops (FFs)* angeschlossen bzw. direkt mit den Ausgängen des CLBs verbunden. Dabei ist es ebenfalls möglich, mehrere benachbarte Slices oder CLBs über C_{in} und C_{out} direkt miteinander zu verschalten.

Neben den hier genannten CLBs verfügen heutige FPGAs über spezielle festverdrahtete Blöcke, wie Speicher, Hardware-Multiplizierer und Taktmodule. Ebenfalls besitzen deren I/Os vielfältige Einstellungsmöglichkeiten, wie verschiedene Spannungspegel, die Aktivierung differentieller Eingangsschaltungen, Überabtastglieder, anpassbare Verzögerungsstufen und eine direkte Anbindung an das Taktnetz. Für die Unterstützung aktueller Kommunikationslösungen, wie 10-Gigabit-Ethernet [60], sind meist ebenfalls spezielle Highspeed-Serialisierer vorhanden, um Raten pro Transceiver im zweistelligen Gigabit-Bereich zu unterstützen [198]. Diese kommen beim TFC-Kommunikationsansatz mit Glasfaserverbindungen zum Einsatz.

2.2 Hardware-Software Codesign

Beim Entwurf eines elektronischen Systems zur digitalen Datenverarbeitung spielen verschiedene Kriterien eine Rolle, um die Qualität der Umsetzung sicherzustellen. Hierbei ist es zum einen notwendig, eine möglichst hohe, auf die potentiellen Anwendungsfälle angepasste Leistungsfähigkeit zu erzielen. Andererseits sind Aspekte, wie eine angemessene Entwicklungszeit, eine leichte Anpassbarkeit und eine gute Wartbarkeit und Verwendbarkeit von Belang.

Um diesem Bedarf gerecht zu werden, wird in der Disziplin des Hardware-Software Codesigns [97] das Problem der Entwicklung integrierter heterogener Rechnerarchitekturen behandelt. Hierzu sind in Abbildung 2.2 verschiedene Varianten eines Beispielsystems abgebildet, mit welchem ein Algorithmus zur Merkmalsextraktion (Feature Extraction) umgesetzt werden soll, wobei das Ausgangssystem in Teilgrafik a eine reine Software-Implementierung mit Dateneingang und -ausgang darstellt.

Als grundlegendes Vorgehen wird hierbei ein vorliegender Algorithmus oder ein Basiskonzept eines Systems in Bereiche mit verschiedenen Kriterien unterteilt. Funktional lässt sich beispielsweise ein System in Teile separieren, die eine Dominanz des Datenflusses bzw. des Kontrollflusses aufweisen. Ein generell

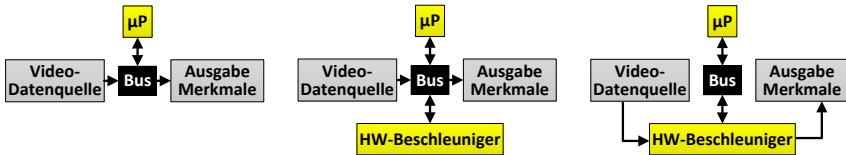


Abbildung 2.2: Hardware/Software-Codesign-Beispiel - a) reines Software-System, b) Hardware-Software-System mit Hardware-Beschleuniger und c) Hardware-Software-System mit gepipelinetem Hardware-Beschleuniger

verfolgter Ansatz ist, darauf die Anteile des Systems, die einen Schwerpunkt auf den Datenfluss legen, mittels eines Hardware-Beschleunigers umzusetzen (siehe Teilgrafik b), der beispielsweise über einen Bus mit dem Prozessor kommuniziert, wobei dieser die restlichen Kontrollflussanteile des Algorithmus verarbeitet.

Ein weiterer Lösungsansatz bestünde darin, die Datenflussbereiche, welche z.B. mittels einer Pipeline-Struktur umgesetzt werden könnten, strikt vom Prozessor zu trennen und Übergabepunkte einzurichten, an denen der Prozessor eingreifen oder Zwischen- oder Endergebnisse abfragen kann (siehe Teilgrafik c). Dadurch lassen sich eine hohe Datenrate im Datenpfad sicherstellen und gleichzeitig Probleme, wie nicht-deterministische Wartezustände, vermeiden.

Mittels der Disziplin des Hardware-Software Codesigns lassen sich somit verschiedene Ansätze realisieren, die einen kontinuierlichen Lösungsraum zwischen hochgradig spezialisierter und sehr flexibler general-purpose Lösung bieten und unterschiedlichste Anforderungsspektren abdecken können. Eine Anwendung dieses Vorgehens findet sich in Kapitel 6.5 und 7, in denen die Entwicklung des Teilsystems der *Soft-Phase-Locked-Loop (PLL)* beschrieben wird.

2.3 Steuerung der Detektorauslese

Die digitale Auslese von Experimenten der Teilchenphysik stellt ein stark verteiltes, heterogenes System dar. Um die Datenerfassung und den Betrieb des Experiments steuern und überwachen zu können, kommen in heutigen Systemen zur Auslese von Teilchendetektoren verschiedene Kontrollsysteme zum Einsatz, die unterschiedliche Aufgaben übernehmen. Dabei sind gerade die FPGA-Komponenten der Auslese in eine Infrastruktur von Baugruppenträgern (Crates), Einbaurahmen (Racks) oder *Personal Computers (PCs)* integriert, die zum Betrieb und

zur Schnittstellenanbindung verwendet werden. Dadurch lassen sich auch große Systeme aus tausenden von FPGA-Platinen handhaben, da die Verwendung einer der genannten Montagelösungen eine Reduktion der Systemkomplexität erlaubt. Im Folgenden findet sich eine Erläuterung der in dieser Arbeit relevanten Systeme. Sie erhebt allerdings keinen Anspruch auf Vollständigkeit.

Das Kontrollsystem mit dem weitesten Aufgabengebiet ist die nichtdeterministische Experimentsteuerung, welche auch Slow-Control genannt wird. Diese hat die Aufgabe, die Teilsysteme der Auslese im Betrieb zu parametrisieren und Monitoring-Funktionen bereitzustellen. Häufig ist dieses Kontrollsystem an eine globale Steuerungszentrale angebunden, wie dem CERN Control Center [44], [18], welche es erlaubt, den Zustand des globalen Systems zu überblicken und bei kritischen Ereignissen sofort zu reagieren.

Ein System, das weniger für direkt sichtbare Funktionen, wie die Parametrisierung und Auswertung des Experiments, vorhanden ist, sondern fundamental die verwertbare Aufzeichnung von Daten im Experiment steuert, ist das Timing- und Synchronisationssystem.

Grundlegend ist hierbei, dass ein Referenztaktsignal allen Komponenten der Auslese bereitgestellt wird, die synchron betrieben werden müssen. Dabei ist es neben der stabilen Frequenz häufig auch erwünscht, dass die Elektronik, zumindest im Falle der ersten Stufe des Systems, der FEE, die die Detektordaten aufzeichnet und digitalisiert, ebenfalls phasensynchron betrieben wird. Dadurch wird es möglich, dass die Datenaufzeichnung nicht nur dieselbe Datenmenge zurückliefert (Frequenzsynchronität), sondern ebenfalls die Daten zu möglichst denselben Zeitpunkten aufgenommen werden (Phasensynchronität).

Neben diesen Eigenschaften ist es zudem wichtig, eine globale Zeitreferenz bekannt zu machen. Hierbei sind Verbindungen konstanter Latenz eine nützliche Grundlage, um beispielsweise in seiner einfachsten Form mittels eines periodisch auftretenden *Pulse-Per-Second (PPS)*-Signals, die Taktperioden zu markieren, welche als Referenzzeitpunkte der Zeitbasis dienen, und beispielsweise den Sekundenübergang darstellen.

Je nach Art der Datenaufzeichnung der Auslese ist neben dem Timing-System ein Triggersystem an die Auslese angebunden, das, basierend auf der Granularität eines Referenztaktes, Hits und Events am Frontend und an darauffolgenden Prozessierungsstufen analysiert, um zu erkennen welche der Kollisionen wichtige Ereignisse beinhalten, die weitergeleitet und tiefergehender analysiert werden sollten.

Neben der Verwendung für die Zeitsynchronisation, werden Links konstanter Latenz häufig auch für den Aufbau eines sogenannten Fast-Control-Systems eingesetzt. Dieses System ist gerade in Ausleesesystemen relevant, bei denen es not-

wendig ist, zeitkritische Informationen an Systemkomponenten verteilen und entgegennehmen zu können. Dies können beispielsweise Nachrichten sein, die die Kalibrierung des Frontends steuern oder im Betrieb Ereignisse bekanntmachen, auf die schnell reagiert werden muss, oder auch einen Einfluss auf andere Komponenten des Systems haben.

2.4 Zeitliche Synchronisation verteilter FPGA-Systeme

Die Zeitsynchronisation stellt in Experimenten der Teilchenphysik eine der systemkritischen Funktionen dar.

Da die Experimente aus mehreren Detektoren bestehen, welche in Elemente unterteilt sind und eine Vielzahl an Auslesekanälen besitzen, bestehen diese Auslesesysteme aus verschiedenen Schichten, welche sich aus einer großen Anzahl von Ausleseplatinen zusammensetzen. Aufgrund der schiereren Menge der Komponenten, deren Verschiedenartigkeit und der Unterteilung in Systembereiche, wie Frontend-, FPGA- und Server-Schicht, ist eine definierte, mehrschichtige Zeitsynchronisation vonnöten.

Das grundlegende Vorgehen innerhalb dieses Systems ist dabei maßgeblich von der Art der Datenerfassung innerhalb des Systems, gerade aufseiten des Frontends, abhängig. Hier lassen sich die Arten der Datenaufzeichnung am Frontend in von extern ausgelöste (triggered) [82] und selbst-getriggerte (self-triggered) bzw. freilaufende (free-running) [49] Systeme unterteilen.

In seiner möglicherweise bekanntesten Ausprägung kommt ein triggerbasiertes System innerhalb der Experimente am CERN zum Einsatz [142] (z.B. CMS [130], ATLAS [77], *A Large Ion Collider Experiment (ALICE)* [40]). Hierbei wird das System relativ zu einem Referenztakt synchronisiert, im Falle des CERNs ist dies die *Bunch Crossing Clock (BCC)*.

Innerhalb des LHC, der einen Umfang von 26659 m aufweist, besitzen die ultrarelativistischen Teilchen beispielsweise bei einer Energie von 7 TeV eine Umlauffrequenz (orbit frequency) von 11.2455 kHz. Dabei werden Teilchenbündel (Bunches) im Abstand von etwa 25 ns generiert, was genau der BCC von etwa 40.07897 MHz entspricht, auf die die Auslese und besonders genau die FEE synchronisiert wird. Je nach Art der Teilchen schwankt die Umlauffrequenz leicht, besitzt aber immer das Verhältnis von 35640 relativ zum *Hochfrequenz (HF)*-Takt des *Timing, Trigger and Controls (TTCs)* [16] (~400.78 MHz), was der zehnfachen BCC entspricht. Da dieser Referenztakt somit genau die Frequenz besitzt, mit der die Teilchenbündel im LHC kollidieren, können die bei den Kollisionen an den Detektoren entstehenden Hits und Events mit der Granularität der BCC aufgezeichnet werden.

Dieser Ansatz entstand historisch aus dem Bedarf, mittels digitaler Elektronik, die bei weitem nicht das kontinuierliche Datenvolumen der Detektor-Frontends verarbeiten kann, dennoch eine hohe Messgenauigkeit und Zeitauflösung bei der Datenaufzeichnung zu ermöglichen. Dabei dient das Paradigma der getriggerten Auslese der Reduktion der anfallenden Datenmengen, indem nur Ereignisse weitergeleitet werden, die von Interesse für das gerade aktive Experiment sind. Hierbei werden die Daten der Events aufgezeichnet und zwischengespeichert, wobei deren Weiterleitung erst beim Auftreten des entsprechenden Triggersignals erfolgt [142].

Dazu ist ein mehrschichtiges Triggersystem vorhanden, das am Frontend mit dem Level-0 (L0) Trigger beginnt und bis zu den Triggern der hohen Stufe (HLT) am Server Array reicht. In den höheren Triggerlevels stehen immer mehr Informationen zu den Events bereit, sodass entschieden werden kann, ob die aufgezeichneten Daten interessant sind und somit die Daten weitergeleitet [142], oder ob die Daten verworfen werden sollten.

Die selbst-getriggerte Auslese könnte man hierbei als auf die getriggerte Auslese folgende Entwicklungsstufe beschreiben. In dieser Variante erfolgt die Datenaufzeichnung und -weiterleitung des synchron betriebenen Frontends kontinuierlich, das heißt, es existiert keine Art von Triggersystem, das es dem Frontend erlauben müsste, zwischengespeicherte Daten weiterzuleiten. Dabei erkennt das Frontend Hits und Events und leitet diese Daten an die nächste Schicht weiter. Es trifft dabei selbständig die Entscheidungen, welche Ereignisse von Interesse sein könnten, was allerdings zu höheren Datenraten führen kann [12], [49], [43]. Problematisch können bei diesem Aufbau große Trefferraten (hit rates) werden, wenn der durch die Messung erzeugte Datenumfang für längere Zeit die Ausgabegeschwindigkeit der Schnittstelle der Frontend-Bausteine übersteigt. Daraus können in diesem Fall Überlaufzustände entstehen, die es erfordern, einen Teil der Datenaufzeichnung des Detektors kurzfristig abzuschalten, da sonst korrupte Daten bei Teilen des Detektors auftreten können. Diese Zustände werden in der Regel durch eine hohe Luminosität [183] verursacht, da bei deren Zunahme ebenfalls die durchschnittlichen Hit- bzw. Eventraten ansteigen.

Diese Fehlerzustände der selbst-getriggerten Auslese lassen sich dadurch auflösen, dass mittels einer Anbindung der FPGA-Schicht an das Fast-Control-System kritische Zustände der einzelnen Detektor-ASICs aufgenommen werden, eine Entscheidung getroffen und die Auslese des Teildetektors entsprechend mittels Fast-Control-Nachrichten gesteuert wird. In Kapitel 2.9 wird auf diesen Teilaspekt der Systemsynchronisation näher eingegangen.

2.5 Präzise Erfassung von Zeit in digitalen Systemen

In verteilten Echtzeitsystemen und gerade auch Systemen der Teilchenphysik, in denen Messdaten erzeugt werden, spielt die Handhabung von absoluten Zeitpunkten und relativen zeitlichen Beziehungen eine wichtige Rolle. Um hierbei beispielsweise die zeitliche Erzeugung oder den Empfang von Datenpaketen festzustellen und für die Weiterverarbeitung zu speichern, werden Zeitstempel verwendet.

Am Frontend werden diese eingesetzt, um den auf Hits oder Events bezogenen Datenpaketen den Zeitpunkt der Erstellung oder des Auftretens des Ereignisses anzufügen. Ebenfalls sind Zeitstempel bei der Vermessung der Paketumlaufzeit (round trip latency) notwendig, wie dies beispielsweise beim PTP [57] durchgeführt wird. Dabei ist es von besonderem Interesse, neben den lokalen Zeitstempeln auch die Empfangs-/Sendezeitpunkte der Gegenstelle zu erhalten, um die Übertragungslatenzen schätzen zu können.

Die Genauigkeit der Zeitstempel ist maßgeblich dadurch beeinflusst, auf welche Weise diese erzeugt wurden. Werden diese beispielsweise von der Systemzeit eines per *Network Time Protocol (NTP)* [102] synchronisierten PCs abgeleitet, besitzen sie in der Regel eine Auflösung von Millisekunden oder bei Verwendung des Hardware-abhängigen Präzisionszeitgebers (Precision Counter) eine Genauigkeit von wenigen Microsekunden [81]. Die größte Ungenauigkeit, die bei der Messung der Zeit entsteht, ist dabei die durch den Prozessor im Zusammenspiel mit dem Betriebssystem erzeugte Unschärfe der Programmausführung. Für Messungen der Verzögerungszeit in einem Local Area Network (LAN) ist diese Genauigkeit häufig ausreichend, da genauere Systemzeitauflösungen aufgrund der nicht-deterministischen Übertragung in gewöhnlichen Ethernet-basierten Netzwerken (Switches, verschiedene Ethernet-Stacks etc.) kaum die Genauigkeit der Messung der Paketumlaufzeit erhöhen würden.

Im Falle von Microprocessor-basierten Echtzeitsystemen, die beispielsweise auf einem FPGA umgesetzt sind und ohne Betriebssystem auskommen, lässt sich die Auflösung weiter erhöhen, je Implementierung auf wenige Systemtakte genau. Werden allerdings präzise Messungen der Umlaufzeit benötigt, wie bei der Vermessung eines Links konstanter Latenz, reichen lokale Zähler in Software nicht mehr aus, sondern es müssen spezielle Hardware-Zähler verwendet werden, die taktgenaue Zeitstempel erzeugen können. Eine solche Generierung von Zeitstempeln erlaubt beispielsweise die Anpassung von lokalen Taktzykluszählern auf Slave-Seite mit einer Auflösung, je nach Rechengenauigkeit und abhängig von anderen Ungenauigkeiten, von wenigen bis zu einem Taktzyklus.

Im Falle der Anforderung, einen spannungsgesteuerten Oszillator auf den Takt der Gegenstelle einzustellen und einen absoluten Zielphasenwert vorzugeben,

sind für den Betrieb einer PLL Zeitstempel mit einer Auflösung von unterhalb eines Taktzyklus notwendig. Der Betrieb dieser Komponenten wird durch Ansätze ermöglicht, bei denen eine Art TDC stattfindet, oder durch mischerbasierte Ansätze, wie dem DMTD-Konzept (siehe Kapitel 2.5.1 und 2.5.2). Mittels des für diese Arbeit ausgewählten DMTD-Ansatzes konnten beispielsweise Auflösungen im Bereich von 10 ps und darunter erreicht werden (siehe Kapitel 8.1).

2.5.1 Zeit-zu-Digitalwert-Wandler

Um den zeitlichen Abstand zwischen zwei Pulsen zu bestimmen, werden sogenannte TDCs verwendet. Diese finden in vielen Bereichen Verwendung, in denen Zeitspannen mit hoher Genauigkeit bestimmt werden müssen, beispielsweise in HF-Systemen beim Datenempfang, in digitalen PLL-Implementierungen [145] oder auch in Detektoren der Teilchenphysik, beispielsweise in TOF-Detektoren, um die Zeit zu messen, die Teilchen benötigen, um zwei hintereinander angeordnete Detektorschichten zu passieren.

Im einfachsten Fall einer TDC kommt ein digitaler Zähler zum Einsatz, der die Zeit zwischen zwei eingehenden Pulsen auf Basis von Taktschritten zählt. Diese Methode ist allerdings nur für die Untersuchung relativ langsamer Prozesse geeignet, die keine besonders hohe Genauigkeit von unterhalb eines Taktzyklus benötigen.

Um die Auflösung der Zeitmessung auf den Sub-Taktzyklusbereich auszudehnen, lässt sich das Verfahren der Überabtastung oder der sogenannten Zeitstreckung verwenden. Für ersteres Vorgehen sind in der Regel externe Hardware Komponenten oder spezialisierte Hardware-nahe Verarbeitungsböcke notwendig. Hierbei wird häufig ein Deserialisierer-Block verwendet, wie z.B. die Xilinx *Input SERDES (ISERDES)*-Primitiven [199] oder spezielle Highspeed-Serialisierer [198], die eigentlich für die Datenkommunikation entwickelt wurden. Bei Verwendung einer ISERDES-Komponente ließen sich bei achtfacher Überabtastung und einem Systemtakt von 125 MHz beispielsweise Zeitstempel mit einer Auflösung von einer Nanosekunde generieren (=1 GHz Abtastrate). Die hochgradig optimierten Xilinx-GTX-Transceiver [198] der auf der Prototypenentwicklungsplatine von CBM eingesetzten Xilinx Kintex-7 FPGAs ermöglichen hingegen eine Datenrate von etwa 10 Gbit/s, was bei Verwendung als Teil einer TDC eine Auflösung von 100 ps erlaubt. Dabei gestaltet sich dessen Betrieb aufgrund der Anforderung eines hochwertigen externen Referenztaktes allerdings auch etwas schwieriger.

Eine Alternative zu diesem Ansatz stellt die Vernier-Methode [180] dar, welche auf der erwähnten Zeitstreckung basiert. Diese verwendet das Prinzip einer von

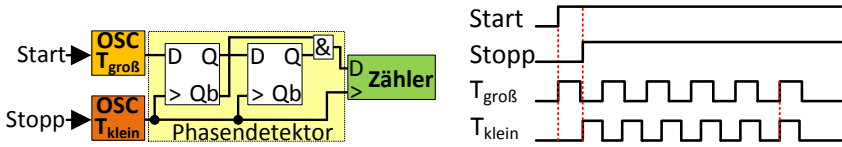


Abbildung 2.3: a) Basisstruktur Vernier TDC und b) Prinzip der Vernier Methode mit $T_{\text{klein}} = \frac{9}{10} T_{\text{groß}}$

Pierre Vernier entwickelten Vorgehensweise, welche bei heutigen Messschiebern zur erleichterten Bestimmung von Längen kleiner als einem Millimeter eingesetzt wird. Dabei existiert unterhalb einer ersten Messskala eine zweite, welche eine leicht verkleinerte Einteilung des Bereichs besitzt, beispielsweise statt für 10 Einteilungen bei 1 cm, entsprechen diese 0.9 cm auf der zweiten Skala. Dadurch besitzt diese Skala leicht verschobene Messstriche, welche nur dann mit einem Strich der oberen Skala zur Deckung kommen, wenn die zu messende Länge N Teile der Auflösung der feinen Skala als Teillänge zusätzlich zur größeren ersten Skala besitzt.

Dieses Verfahren lässt sich auf die Messung von Zeiten übertragen, indem zwei Oszillatoren verwendet werden, von denen einer eine leicht kürzere Periodendauer T_{klein} besitzt [204] (siehe Abbildung 2.3). Wird dabei beim Eintreten eines Events der schnelle Messoszillator gestartet, kann die Subtaktzyklusinformation mit einer Auflösung von $\Delta t = (T_{\text{groß}} - T_{\text{klein}})$ bestimmt werden, wobei die ermittelte Anzahl von N Taktzyklen, bis die steigenden Taktflanken beider Oszillatoren übereinander liegen, die Information zum zeitlichen Subtaktzyklusversatz mit der Granularität Δt zu $T_{\text{Offset}} = N \cdot \Delta t$ angibt.

Beträgt die zu messende Zeit mehr als eine Taktperiode, lässt sich dieses Vorgehen in Form eines hybriden Ansatzes umsetzen, indem die zu messende Zeitspanne mittels zweier Pulse signalisiert wird (Start, Stopp), wobei letzterer den Messoszillator startet und die Abspeicherung der ganzzahligen Anzahl Taktzyklen seit dem Start-Event auslöst. Darauf kann die beschriebene Vernier-Methode zur Bestimmung der Subtaktzyklusinformation verwendet werden.

Statt dieses Vorgehens ist es auch möglich, dieses Prinzip mittels zweier Verzögerungsketten umzusetzen [37] (siehe Abbildung 2.4 a). Hierbei entfallen die beiden Takte als wesentliche Messsignale, indem die erwähnten Start- und Stoppsignale in je eine asynchrone Signalkette eingespeist werden. Innerhalb der jeweiligen Kette werden Verzögerungselemente mit derselben Latenz verwendet, wobei sich die Latenzen der Elemente der beiden Ketten minimal unterscheiden müssen, da die Differenz $t_R = \tau_1 - \tau_2$ die Auflösung der TDC bestimmt. Die beiden Signalpfade werden darauf nach je einem Verzögerungsglied an einen D-FF

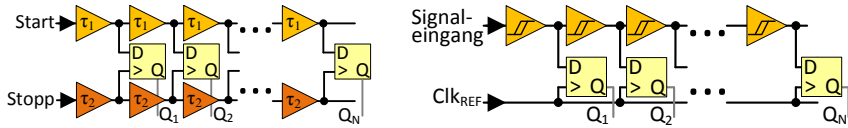


Abbildung 2.4: Struktur einer a) Vernier Delay Line TDC und b) einer Tapped Delay Line TDC

angebunden, indem dessen Dateneingang an die Start- und dessen Takteingang an die Stoppkette angeschlossen wird. Die Startkette (τ_1) besitzt dabei leicht länger verzögernde Elemente als die Stoppkette (τ_2). Tritt in dieser Anordnung eine steigende Taktflanke am Stoppsignal auf, werden die Werte der Startkette in die FFs übernommen, wobei besonders Pegelwechsel am Startsignal interessant sind, da deren Auftreten relativ zum Stoppsignal durch das Auslesen der FFs bestimmt werden kann.

Dem Prinzip der Interpolation, bei dem entweder ein Signal bei unterschiedlichen Phasenlagen bzw. ein Signal mit verschiedenen phasenverschobenen Versionen desselben Taktes abgetastet wird, folgen Tapped Delay Line TDCs [189], deren Basisstruktur in Abbildung 2.4 b dargestellt ist. Dabei werden in dieser Struktur in der Regel keine Start-/Stopppulse benötigt, vielmehr entscheidet ein an die Q-Ausgänge angeschlossener Decoder, ob ein Puls am Signaleingang aufgetreten ist und welche Eigenschaften dieser besitzt. Durch das mehrfache Abtasten eines Signals unter Verwendung von Verzögerungsgliedern findet eine Aufzeichnung des Signals bei verschiedenen Phasenlagen desselben statt, was im Idealfall dem Ergebnis einer Überabtastung entspricht. Damit können zwar wesentlich mehr Bits pro Basistakt mit scheinbar geringerem Aufwand aufgezeichnet werden, da keine hohen Signalfrequenzen auftreten, allerdings kann sich dessen Auslegung für eine hohe Genauigkeit als nicht trivial herausstellen.

Ein generelles Problem bei der Umsetzung von TDCs ist, wie bereits erwähnt, die Konstanz der asynchronen Verzögerungselemente, auch Bins genannt, zu gewährleisten, da diese einerseits die Auflösung aber auch die Linearität der TDC definieren. Dabei spielen sehr stark äußere Einflüsse, wie Temperatur und Betriebsspannung der Schaltung, aber auch Prozessvariationen eine wichtige Rolle. In ASICs wird beispielsweise, um die maximale TDC-Verzögerung auf einen Taktzyklus einzustellen und die Auswirkungen der genannten Einflüsse auf die Bins zu minimieren oder gar zu kompensieren, ein *Delay-Locked Loop (DLL)* verwendet, bei dem N spannungsgesteuerte Verzögerungselemente eingesetzt werden [37]. Für eine Vernier Delay Line gilt dabei beispielsweise als eine Optimierungsbedingung $T_{clk} = N \cdot \tau_1 - N \cdot \tau_2$.

Werden TDCs auf FPGAs implementiert, muss mit dominanten nichtlinearen Einflüssen umgegangen werden [189]. Dabei werden diese durch die Logik-Ressourcen des FPGAs an sich, aber auch durch die Routing-Komponenten und das Taktnetz verursacht. Um Routing-Einflüsse möglichst zu minimieren, bietet es sich z.B. an, die Carry-Chain der CLBs zu verwenden und so spaltenweise TDCs aufzubauen. Dabei können entweder LUTs oder gar die Multiplexer der Carry-Chain als Delay-Elemente eingesetzt werden.

Die Einflüsse von Nichtlinearitäten durch Logikelemente lassen sich durch eine Verfeinerung der Granularität und damit der Reduktion der Verzögerungszeiten bei gleichzeitiger Erhöhung der Anzahl Bins zur Beibehaltung des gleichen Dynamikumfangs abmildern [189]. Bei Verwendung einer größeren Anzahl Bins kann allerdings das Problem entstehen, dass sich eine TDC über mehrere Taktregionen erstreckt, welche aufgrund ihrer Anbindung an das globale Taktnetz unterschiedliche Verzögerungszeiten für die verteilten Takte im Bereich von Nanosekunden relativ zu Takten anderer Taktregionen aufweisen können. Dies kann beispielsweise zu Problemen führen, wie dem, dass Signale in einer Taktregion mit geringerer Taktlatenz erkannt werden, allerdings nicht in denen mit einer größeren Taktverteilungslatenz [189]. Durch Verwendung mehrerer von derselben Quelle abgeleiteten Taktsignalen, die allerdings verschiedene Phasenlagen aufweisen, lässt sich die benötigte Länge der Delay Line reduzieren. Dabei kann beispielsweise eine zweite Verzögerungskette instanziiert werden, in die dasselbe Pulssignal eingespeist wird, die aber mit einem um 180° gedrehten Takt abgetastet wird.

Um die Latenz von Logikelementen einer vorliegenden FPGA-Implementierung zu bestimmen und einen möglichst genauen TDC-Betrieb zu erlauben, kommt in TDC-Systemen häufig eine automatisierte Kalibrierung zum Einsatz. Die am häufigsten eingesetzte Methode stellt dabei der Code Density Test dar [32]. Ein Bin weist in der Regel einen in erster Näherung zeitweise konstanten und einen von Rauschen abhängigen Anteil auf. Um eine Kalibration des Bins vorzunehmen, bietet es sich an, eine große Anzahl Pulse zufälliger Länge und Auftrittszeit mit der nicht eingestellten TDC zu erfassen. Dabei ist es wichtig, dass die Quelle, die zur Erzeugung der Pulse verwendet wird, nicht mit dem Abtasttakt der TDC korreliert ist, da es sonst zu sogenannten Beating-Effekten kommen kann, die die Qualität der Messung signifikant beeinflussen können. Indem für jeden Bin die Anzahl Treffer aller vorheriger Bins aufaddiert und für den jeweiligen Bin durch die Anzahl Treffer des Bins geteilt wird, kann darauf eine LUT erstellt werden, welche die Verzögerungszeit pro Bin ausgibt.

Eine weitere Möglichkeit, um die Genauigkeit der Zeitmessung einer TDC zu verbessern, ist der Wave-Union-Ansatz [190], [191]. Beim Eintreten eines Messpulses wird bei diesem Vorgehen eine Folge von steigenden und fallenden Takt-

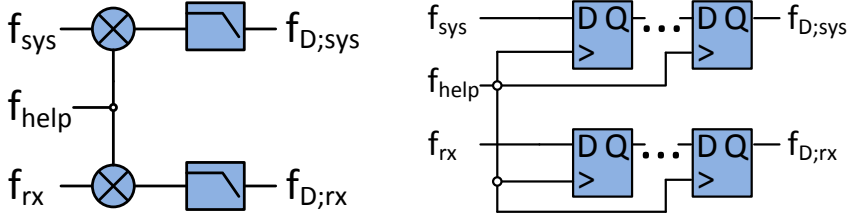


Abbildung 2.5: Eingangsstufe der DMTD-Komponente bei a) analoger [6] bzw. b) digitaler Umsetzung [106]

flanken mit bekanntem Schema erzeugt, wodurch das Auftreten eines Ereignisses zur mehreren TDC-Messungen führt, worauf aus diesen ein gemittelter Zeitpunkt des Events mit geringerem Rauschen bestimmt werden kann.

2.5.2 Digitale mischerbasierte Ansätze

Um eine feine Auflösung bei der Phasendifferenzmessung zweier Takte zu erhalten, deren Frequenz sich im Bereich des Systemtaktes befindet, bieten sich neben TDCs, die hauptsächlich für den zeitlichen Abstand von Pulsen verwendet werden, auch mischerbasierte Ansätze an [6].

Dabei entstammt der Grundgedanke dieses Ansatzes dem Vorgehen beim Mischen analoger Hochfrequenzsignale. Für den Fall des Mischens zweier cosinusförmiger Signale mit den Frequenzen f_1 und f_2 gilt dabei der allgemeine Zusammenhang der trigonometrischen Multiplikationstheoreme [1].

Mit $\omega_1 = 2\pi f_1$ und $\omega_2 = 2\pi f_2$,

$$\begin{aligned} \cos(\omega_1 t + \phi_1) \cdot \cos(\omega_2 t + \phi_2) &= \frac{1}{2} \cdot \cos(\omega_1 t + \phi_1 + \omega_2 t + \phi_2) \\ &+ \frac{1}{2} \cdot \cos(\omega_1 t + \phi_1 - \omega_2 t - \phi_2) \end{aligned} \quad (2.1)$$

Das sich dabei ergebende Signal setzt sich aus zwei Frequenzpulsen zusammen, nämlich einerseits einem Puls mit der Summenfrequenz $f_S = f_1 + f_2$ und einem mit der Differenzfrequenz $f_D = f_1 - f_2$ beider Signale. Wird nun der Lokaloszillator zu nahezu derselben Frequenz des Hochfrequenzsignals gewählt, tendiert die Frequenz für den Summenterm zu $f_S = 2 \cdot f_2 \approx 2 \cdot f_1$, wobei der Differenzterm eine sehr kleine Frequenz annimmt. Für das Mischen bandbegrenzter Signale muss dabei jede Einzelfrequenz des einen Signals mit dem anderen Signal gemischt werden. Dabei werden sich überlappende Frequenzanteile additiv ver-

rechnet, woraus das resultierende Spektrum entsteht. Um das niederfrequente Signal zu extrahieren, wird darauf in der Signaltheorie ein nachgeschalteter Tiefpassfilter verwendet, wodurch das Signal mit der Summenfrequenz unterdrückt werden kann.

Würden an dieser Stelle der Systemtakt und ein Empfangstakt als Mischsignale verwendet, würde sich damit ein Signal ergeben, das idealerweise die Differenzfrequenz beider Signale aufweist. Damit müsste aus diesem Signal beispielsweise mittels eines Zählers die Periodendauer geschätzt werden, woraus sich dessen Frequenz bestimmen lässt. Mittels einer Phasenregelschleife (PLL) müsste dabei die Systemfrequenz so eingestellt werden, dass die hier bestimmte Frequenz zu null geregelt wird. Leider geht durch diesen die Information über den relativen Phasenunterschied zwischen den beiden Signalen verloren.

Dieser konzeptuelle Nachteil lässt sich allerdings umgehen, indem ein zusätzlicher lokaler Oszillator verwendet wird, der sogenannte Hilfsoszillator (f_h), mit dem sowohl der Systemtakt (f_{sys}) als auch der Empfangstakt (f_{Rx}) in voneinander getrennten Stufen gemischt werden (siehe Abbildung 2.5). Gilt dabei für den Hilfsoszillator die Beziehung relativ zum Systemoszillator $f_h = \epsilon_{sys} \cdot f_{sys}$ und zum Empfangstakt $f_h = \epsilon_{rx} \cdot f_{rx}$, ergeben sich nach dem Tiefpass die folgenden Signale [Szi15]:

$$\begin{aligned}
 f_{D;rx} &= \frac{1}{2} \cdot \cos[(\omega_{rx} - \omega_h) \cdot t + \phi_{rx} - \phi_h] \\
 &= \frac{1}{2} \cdot \cos[(1 - \epsilon_{rx}) \cdot \omega_{rx} t + \phi_{rx} - \phi_h] \\
 f_{D;sys} &= \frac{1}{2} \cdot \cos[(\omega_{sys} - \omega_h) \cdot t + \phi_{sys} - \phi_h] \\
 &= \frac{1}{2} \cdot \cos[(1 - \epsilon_{sys}) \cdot \omega_{sys} t + \phi_{sys} - \phi_h]
 \end{aligned} \tag{2.2}$$

Damit ergeben sich zwei Signale, die mittels derselben Hilfsfrequenz heruntergemischt wurden, sodass sich deren Unterschiede im idealen System in demselben Maße im Frequenzbereich des Pulses der Differenzfrequenzen reproduzieren lassen.

Sobald diese niederfrequenten Signale zur Verfügung stehen, lässt sich mithilfe eines Zählers, der zwecks Stabilität mit dem lokalen Systemoszillator betrieben wird, der Phasenunterschied zwischen zwei Taktflanken der beiden Signale bestimmen, was in Abhängigkeit von den Verhältnissen der Frequenzen relativ zum Hilfsoszillator ϵ_{sys} bzw. ϵ_{rx} , über viele hunderte bis tausende Takte erfolgen kann. Im Extremfall exakt gleicher Frequenz von f_{sys} und f_{rx} wird für die Berechnung des Phasenversatzes genau eine Periode des niederfrequenten sich er-

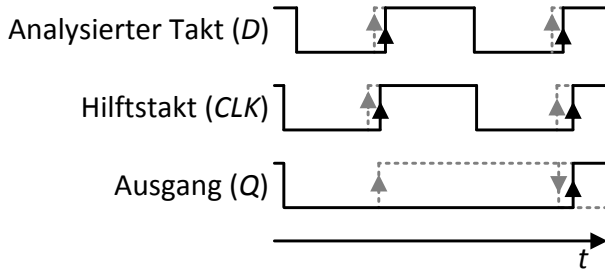


Abbildung 2.6: Takt-Jitter an der DMTD-Eingangsstufe

gebenden mittels des Hilfsoszillators heruntergemischten Signals benötigt, was $N_{Measure}$ Takten des Systemoszillators entspricht (siehe Gleichung 2.5).

Da die Phase des Hilfsoszillators ϕ_h in beiden Fällen vorkommt, entfällt dieser bei der relativen Phasenmessung zwischen den beiden Takten.

Der Ansatz der analogen DMTD [6] lässt sich leicht auf die digitale Domäne übertragen [106]. Dabei übernehmen D-FFs innerhalb des FPGAs die Funktion der Mischer und das Mischen wird durch die Operation der Abtastung ersetzt. In dieser Struktur wird der Hilfsoszillator an den FFs am Takteingang angeschlossen, wobei der System- bzw. Empfangstakt am Dateneingang eingespeist wird.

Da hierbei Metastabilitäten durch die Setup/Hold Times der FFs entstehen, muss an dieser Stelle eine Kette von FFs verwendet werden, wie sie auch für die Übergabe von Daten zwischen verschiedenen Taktdomänen zum Einsatz kommt [206]. Da sich die Phasenlage von zwei Signalen mit nur geringem Frequenzversatz nur langsam ändert, wird das hierbei entstehende Phasensignal ebenfalls nur wenige Änderungen erfahren, den Bereich der Taktflanken, an denen die Metastabilität auftritt, ausgenommen. Darauf lässt sich mittels digitaler Zähler entsprechend des oben genannten Vorgehens der Phasenunterschied bestimmen.

Im Falle der digitalen DMTD wird der Hilfsoszillator gemäß Gleichung 2.3 relativ zum Master im Verhältnis $f_h/f_{sys} = \epsilon_{sys}$ eingestellt. Dadurch stellt sich nach der DMTD-Eingangsstufe am Zweig des Systemtaktes ein Signal ein, das die Differenzfrequenz $f_{D;sys}$ besitzt (Gleichung 2.4).

$$f_h = \epsilon_{sys} \cdot f_{sys} = \frac{2^N - 1}{2^N} \cdot f_{sys} \quad (2.3)$$

$$f_{D;sys} = (1 - \epsilon_{sys}) \cdot f_{sys} = \frac{1}{2^N} \cdot f_{sys} \quad (2.4)$$

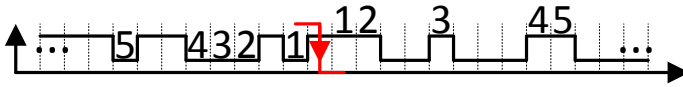


Abbildung 2.7: Schätzung des Zeitpunkts einer fallenden Taktflanke innerhalb des metastabilen Bereichs der DMTD-Eingangsstufe nach dem Bit-Value-Median-Verfahren

Ein *Least Significant Bit (LSB)* besitzt dabei die in Gleichung 2.6 dargestellte Auflösung. Im Falle von $N=14$, ergibt sich mit $f_{\text{sys}} = 120 \text{ MHz}$ (*GigaBit Transceiver (GBT)*-FPGA-Referenzfrequenz, siehe Kapitel 6.1) eine theoretische Phasenauflösung pro LSB von etwa 0.5 ps.

$$N_{\text{Measure}} = \frac{f_{\text{sys}}}{f_{D;\text{sys}}} = 2^N \quad (2.5)$$

$$\phi_{\text{min}} = \frac{T_{\text{sys}}}{N_{\text{Measure}}} = \frac{1}{2^N} \cdot T_{\text{sys}} \quad (2.6)$$

Diese Präzision lässt sich allerdings in der Realität nicht erreichen, da die Qualität des Taktes nicht dem Idealfall entspricht. Durch den vorhandenen Jitter, d.h. eine zeitliche Varianz des Auftretens der Taktflanken, ist die Erkennung der genauen Signalpegel im Bereich der Taktflanken und des zeitlichen Übergangsbereichs derselbigen fehlerbehaftet (siehe Beispiel in Abbildung 2.6). Auf das Thema Jitter wird im Grundlagenkapitel 2.8 näher eingegangen.

Um den Taktzyklus zu schätzen, in dem die Taktflanke auftrat, muss ein geeignetes Verfahren gewählt werden. Innerhalb der Entwicklung des White-Rabbit-Systems, das auch eine Form des DMTD-Ansatzes verwendet, wurden verschiedene Verfahren evaluiert, wobei die Abweichung bei der Bestimmung des Taktübergangs als hauptsächliches Qualitätskriterium gewählt wurde [188]. Dabei wurde ein Eingangssignal mit einer konstanten Phasenlage erzeugt und ein Hilfstakt mit gewissem gaussverteilterm Jitter verwendet.

Hier ergaben die Messungen, dass die *bit-value-median*-Methode trotz deren Einfachheit die besten Ergebnisse liefert (siehe Abbildung 2.7). Der hypothetische Taktübergang wird dabei an der Stelle angenommen, bei der die Anzahl Pegel *nach der Taktflanke*, die dem Wert *vor der Taktflanke* entsprechen, genau der Anzahl *inverser Pegel* entspricht, allerdings vor der Taktflanke.

Wird angenommen, dass sich dieses Verhalten am Eingang eines FFs beim Eintreten einer Taktflanke am Dateneingang von Messzyklus zu Messzyklus nur wenig ändert, kann dadurch der Zeitpunkt der Taktübergänge mit hoher Qua-

lität geschätzt werden. Selbst, wenn es dabei eine Tendenz zu mehr High- als Low-Pegeln vor der Taktflanke oder umgekehrt gäbe, würde dies lediglich zu einem konstanten Fehler führen (Herabsetzung der Genauigkeit), allerdings nicht die Präzision der Messung beeinflussen.

2.6 Präzisionszeitprotokoll

In verteilten Rechnernetzwerken ist es häufig notwendig, die Ausführung gewisser Aufgaben zu synchronisieren, um sicherzustellen, dass z.B. bei veränderlichen Datensätzen die korrekten Daten verwendet werden oder damit in einer Maschine die Steuergeräte die Teilaufgaben zur richtigen Zeit ausführen. Dabei ist es beispielsweise mittels des NTPs möglich, Uhren über das Internet mit Genauigkeiten von bis zu einer Millisekunde zu synchronisieren [101].

Für den Fall, dass diese Genauigkeit allerdings nicht ausreicht, beispielsweise in der Automatisierungstechnik, wurde das PTP entwickelt, das im Standard IEEE1588 [57] bzw. IEC 61588 [62] beschrieben wird. Mittels dieses Protokolls ist es möglich, unter Verwendung Ethernet-basierter Netzwerke, Komponenten mit Sub-Mikrosekunden Genauigkeit zu synchronisieren.

Grundlegend sind in der Topologie von PTP Master und Slaves definiert, wobei diese jeweils per Punkt-zu-Punkt-Links verbunden sind und sich mittels Switches die Anzahl Slaves erhöhen lässt [33] (siehe Abbildung 2.8 a). Diese Switches besitzen im einfachsten Fall (keine Redundanzen) einen Uplink Port (Slave) und mehrere Downlink Ports (Master). Generell wird eine Uhr an einem Endgerät, also einem Blatt des Synchronisationsbaumes, als Ordinary Clock und an einem Ethernet-Switch als Boundary Clock bezeichnet.

Um die Slave-Komponenten und Switches zu synchronisieren, werden nun die Punkt-zu-Punkt-Verbindungen von der Wurzel aus iterativ synchronisiert, sodass am Ende an den Endgeräten eine möglichst exakte Kopie der Master-Uhr zur Verfügung steht. Dabei ist zu beachten, dass eine solche Punkt-zu-Punkt-Verbindung zwischen einem Master und einer Slave-Komponente, einem Master und einem Switch, einem Switch und einem Slave oder zwei Switches bestehen kann, wobei in der Regel die der Wurzel hierarchisch nähere Komponente den Master Port und die andere den Slave-Port aufweist.

Die Synchronisation wird im Protokoll von PTP in zwei Schritten durchgeführt (siehe Abbildung 2.8 b). Zunächst wird die zeitliche Differenz der Uhren ermittelt. Dabei sendet der Master periodisch wiederholt eine SYNC-Nachricht, in der die geschätzte Uhrzeit des Slaves enthalten ist. Darauf wird in einer Folge-Nachricht (Follow-Up) der tatsächliche Zeitpunkt des Sendens der letzten SYNC-Nachricht eingebettet, sodass die Slaves in Kombination mit dem lokal gemess-

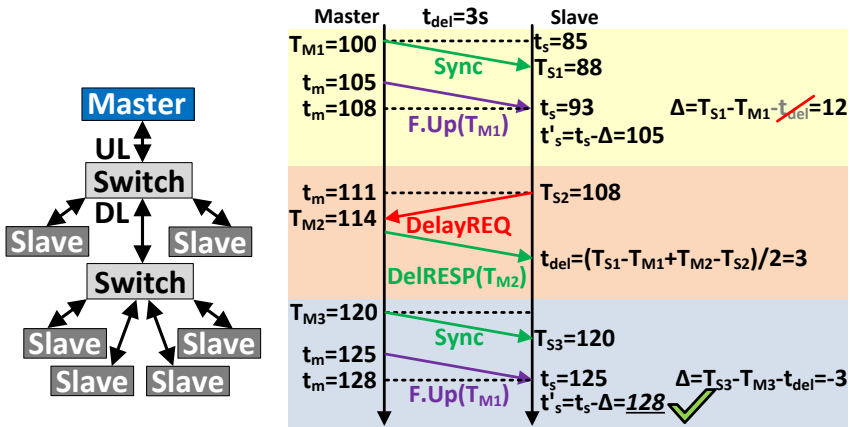


Abbildung 2.8: a) Aufbau PTP-Netzwerk und b) Schematischer Ablauf bei PTP nach [33]

senen Empfangszeitpunkt dieser SYNC-Nachricht den Master-Slave-Versatz berechnen können.

Da allerdings eine reale Übertragungstrecke stets messbare Verzögerungen verursacht, ist eine anschließende Latenzmessung notwendig (DelayREQ/RESP), um den durch die Übertragungsdauer hervorgerufenen Uhrenversatz zu kompensieren. Da je Master- und Slave-Link in dieser Topologie keine weiteren Switches vorhanden sind, sondern lediglich Netzkabel, besteht zwischen den beiden Knoten eine relativ symmetrische Verbindung, sodass die Schätzung der Übertragungsdauer mit guter Genauigkeit erfolgen kann.

Besonders wichtig für eine gut funktionierende PTP-Implementierung ist eine hardware-nahe Umsetzung der Zeitstempelgenerierung, welche möglichst direkt mit den physikalischen Übertragungskomponenten verbunden sein sollte. Dadurch ist es zudem möglich, die restlichen Teile von PTP auf einem Prozessor ohne Einbußen bei der Synchronisationsgenauigkeit auszuführen.

In White Rabbit [188] wurde dieses Vorgehen adaptiert, um mittels der präzisen DM TD-Phasenmessung [6] und der Einstellung eines *Voltage Controlled Oscillators* (VCOs) am Slave, Synchronisationsgenauigkeiten von unterhalb einer Nanosekunde zu erreichen.

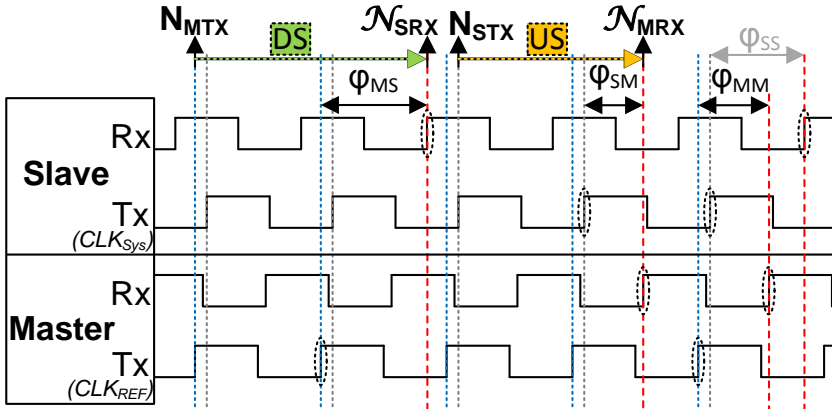


Abbildung 2.9: Phasenbeziehungen der Sende-/Empfangstakte innerhalb der verfeinerten PTP-basierten Messung der Paketumlaufzeit nach [188], [Szi15] im Falle eines nicht synchronisierten Systems

2.7 Hochauflösende Zeitstempelerzeugung

Um die lokale Zeit innerhalb der verteilten eingebetteten Echtzeitsysteme dieser Arbeit zu synchronisieren, kommt ein von PTP abgeleitetes Verfahren zum Einsatz. Die im Folgenden dargestellten Beschreibungen stellen eine Zusammenfassung aus [Szi15] und [188] dar. Im zugrundeliegenden Vorgehen wird analog zu PTP, aus Empfangs- und Sendezeitstempeln eines Links am Master und Slave, die Paketumlaufzeit gemäß Gleichung 2.7 bestimmt.

$$\Delta_{MM} = \left[(\mathcal{N}_{MRX} - N_{MTX}) - (N_{STX} - \mathcal{N}_{SRX}) \right] \cdot T \quad (2.7)$$

Dabei sind die Zeitstempel auf der Sendeseite stets exakt, weil das Versenden der Daten mit dem an der jeweiligen Komponente vorhandenen Systemtakt erfolgt und somit kein Phasenversatz zwischen dem Versenden einer Nachricht und der Erstellung des zugehörigen Zeitstempels auf Basis des Systemtakts besteht. Auf Empfangsseite besteht allerdings Verbesserungspotential, da durch das Übertragungsmedium und die im Signalpfad vorhandenen Komponenten Verzögerungszeiten entstehen, die in nahezu allen Fällen, keinem Integer-Vielfachen der Systemtaktperiode entsprechen. Dabei lassen sich die in Gleichung 2.7 kalligraphisch hervorgehobenen Zeitstempel \mathcal{N}_{MRX} und \mathcal{N}_{SRX} durch die Berücksichtigung der Beziehung zwischen der Phase des Systemtakts und der der empfan-

genen Nachricht mittels der in den Gleichungen 2.8 und 2.9 dargestellten Beziehungen auf den Subtaktzyklusbereich verbessern.

$$\mathcal{N}_{MRX} = \begin{cases} N_{MRX} - 1 + \frac{\phi_{MM}}{T} & \text{wenn } \phi_{MM} > 0 \\ N_{MRX} & \text{wenn } \phi_{MM} = 0 \end{cases} \quad (2.8)$$

$$\mathcal{N}_{SRX} = \begin{cases} N_{SRX} - 1 + \frac{\phi_{SS}}{T} & \text{wenn } \phi_{SS} > 0 \\ N_{SRX} & \text{wenn } \phi_{SS} = 0 \end{cases} \quad (2.9)$$

Dabei stellen die Phasenwinkel ϕ_{SS} und ϕ_{MM} jeweils den Winkel am Slave/Master dar, der bei der Erstellung eines Empfangszeitstempels zwischen der Signalflanke und dem Systemtakt besteht, wobei die gewählte steigende Taktflanke der des Zeitstempels voreilt, d.h. $t(\text{clk}_{\text{SysRising}}) \leq t(TS_{Rx})$.

Mit dem in Kapitel 2.10, Abbildung 2.15 dargestellten Aufbau ergibt sich z.B. die Phase ϕ_{MM} in der Theorie aus der Summe aller Verzögerungszeiten zwischen Sendeausgang und Empfangseingang am Master im *Downstream* (DS) Δ_{MS} und US Δ_{SM} und einer potentiell eingestellten Phase am Slave phase_S und einer anschließenden Modulo-Berechnung mit der Systemtaktperiode T nach Gleichung 2.10. In der Praxis würden allerdings die Phasen ϕ_{MM} bzw. ϕ_{SS} mittels der DMTD am Master bzw. Slave bestimmt werden.

$$\phi_{MM} = (\Delta_{MS} + \Delta_{SM} + \text{phase}_S) \bmod T \quad (2.10)$$

Bei Kenntnis der Verzögerungszeit zwischen Master und Slave Δ_{MS} , welche sich generell aus einer Verzögerungszeit in Taktzyklen δ_{MS} und einem Subtaktzyklusanteil ϕ_{MS} zusammensetzt, ließen sich Kompensationswerte am Slave für dessen Zeitbasis und Systemoszillatorphase ermitteln. Um diese Bestandteile der Linklatenz zu bestimmen, kann allerdings analog zu PTP eine Schätzung der Ein-Wege-Latenz aus ϕ_{MM} erfolgen, wobei die Zusammenhänge nach den Gleichungen 2.11 gelten.

$$\begin{aligned} \Delta_{MS} &= \Delta_{SM} = \frac{1}{2} \cdot \Delta_{MM} \\ &= N_{MS} \cdot T + \phi_{MS}; \quad N_{MS} \in \mathbb{N}, \quad 0 \leq \phi_{MS} < T \\ N_{MS} &= \left\lfloor \frac{\Delta_{MS}}{T} \right\rfloor \\ \phi_{MS} &= \Delta_{MS} \bmod T \end{aligned} \quad (2.11)$$

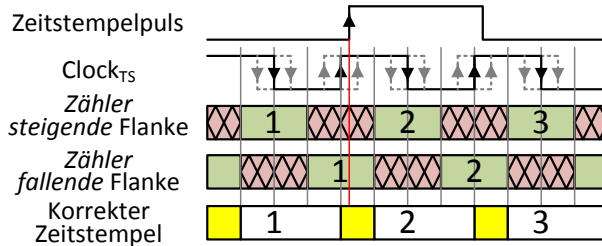


Abbildung 2.10: Taktzyklenzähler zur steigenden/fallenden Taktflanke und Beziehung zur Phasenlage eines Pulses der die Zeitstempelgenerierung anstößt

Um nun den Taktzykluszähler N_S und den Phasensollwert $phase_S$ am Slave zu bestimmen, sind Anpassungen nach den Gleichungen 2.12 vorzunehmen.

$$\begin{aligned}
 N_{adj} &= N_{MTX} - N_{SRX} + N_{MS} \\
 N_S &= N_S + N_{adj} \\
 phase_S &= \phi_{MS}
 \end{aligned}
 \tag{2.12}$$

Bei realen Flip-Flops kann es beim Auftreten einer Änderung des Signals am Dateneingang im zeitlichen Bereich nahe der Taktflanke des Flip-Flops zu Metastabilitäten kommen. Im Falle des Auftretens eines aus einer anderen Taktdomäne entstammenden Pulses zur Zeitstempelgenerierung müssen dementsprechend Vorkehrungen getroffen werden, sodass es in Abhängigkeit der Phasenlage des Empfangssignals, das den Puls auslöst, stets möglich ist, einen stabilen Wert von den Taktzyklenzählern abzufragen.

Dabei bietet es sich an, einen Zähler zu instanzieren, der auf die steigende und einen, der auf die fallende Flanke sensitiv ist. Hierbei ist allerdings darauf zu achten, dass eventuell der abgefragte Zählerstand angepasst werden muss, wenn der Wert des auf die fallende Taktflanke arbeitenden Zählers verwendet wird. Für das korrekte Verhalten der Zählerstände gelten die Beziehungen nach Gleichung 2.13. Der zeitliche Zusammenhang dieses Vorgehens ist in Abbildung 2.10 dargestellt, wobei der Bereich $0 < \phi \leq \frac{1}{4}T$ in der Graphik hervorgehoben ist. Die schraffierten Bereiche stellen dabei die zeitlichen Intervalle dar, in denen es nicht sichergestellt werden kann, dass beim jeweiligen Taktzyklenzähler ein stabiler Wert bereitsteht, da in dieser Takthälfte eine Taktflanke des Taktes zur

Zeitstempelerzeugung $Clock_{TS}$ eintreten wird, auf die der jeweilige Taktzyklenzähler sensitiv ist und so eine Änderung des Ausgangswertes zu erwarten ist.

$$N_C = \begin{cases} N_{\text{falling}} + 1 & \text{wenn } 0 < \phi \leq \frac{1}{4}T \\ N_{\text{rising}} & \text{wenn } \frac{1}{4}T < \phi \leq \frac{3}{4}T \\ N_{\text{falling}} & \text{wenn } \frac{3}{4}T < \phi \leq T \end{cases} \quad (2.13)$$

Für den idealen Fall einer symmetrischen Master-Slave-Verbindung würden bei Berücksichtigung obiger Erläuterungen und Anpassung der genannten Werte sowohl der Taktzykluszähler als auch die Slave-Phase perfekt auf die Werte des Masters eingestellt sein. In der Realität ist allerdings meist eine Kalibrierung mit mehr oder weniger großem Einfluss auf das Synchronisationsergebnis notwendig, sodass beispielsweise an verschiedenen Slaves in engen Grenzen wiederholbar dieselbe Phasenlage eingestellt werden kann.

2.8 Phasenrauschen und Jitter

Wird die Qualität von Signalen beschrieben, beispielsweise einer Übertragungsstrecke oder von Taktsignalen, wird häufig das Phasenrauschen (Phase Noise) oder der Jitter als Qualitätskriterium verwendet.

Die Notwendigkeit dieser Vergleichsgrößen entsteht daraus, dass reale Signale durch verschiedenartige Störgrößen beeinflusst werden. Generell lassen sich dabei die Einflüsse von Rauschen durch ihren Ursprung charakterisieren. Dabei wird in der Regel zwischen durch die Umgebung bzw. von der elektronischen Schaltung oder der Komponente selbst hervorgerufenem Rauschen unterschieden. Des weiteren existieren verschiedene physikalische Arten von Einflüssen, wie thermische, mechanische oder elektromagnetische. In Abbildung 2.11 ist eine Charakterisierung von Rauschen dargestellt, die sich an [116] anlehnt, welche sich schwerpunktmäßig auf das Rauschen empfangender Systeme bezieht, was auch auf die in dieser Arbeit behandelten Systeme zutrifft.

Wie in der Abbildung dargestellt, ist das Phasenrauschen ein Teil der intrinsischen Arten von Rauschen. Im allgemeinen Fall zeigt sich Rauschen sowohl in Form einer Amplituden- als auch einer Phasenvariation. In Abbildung 2.12 ist dies mithilfe eines Raumzeigers in der komplexen Ebene dargestellt.

Da das Phasenrauschen gerade im Falle eines Oszillatorsignals eine starke Frequenzabhängigkeit besitzt, wird dieses meist unter Zuhilfenahme des Diagramms des Phasenrauschens dargestellt. Hierbei ist die logarithmische Leistung relativ zu der des Oszillatorsignals über der Frequenz aufgetragen, wobei üblicherwei-

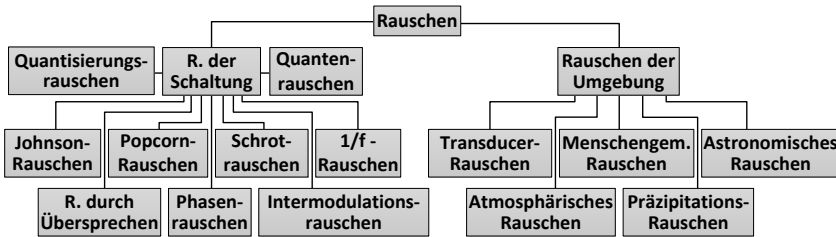


Abbildung 2.11: Kategorisierung von Rauschen in elektronischen Schaltungen nach [116]

se im Diagramm das einseitige Frequenzspektrum analysiert wird, das auf dessen Trägerfrequenz normiert dargestellt ist. Das Diagramm basiert dabei auf der Annahme, dass die gewünschte Trägerfrequenz ω_0 durch eine frequenzabhängige Rauschgröße $\Delta\omega_n(t)$ additiv beeinflusst wird [53].

Dabei zeigt sich zum einen, wie schnell die Signalleistung um die Trägerfrequenz abfällt, was ein Anzeichen für die Reinheit des Trägersignals und damit der zufällig verteilten Rauschanteile ist und ob z.B. deterministische Störgrößen vorhanden sind, wie beispielsweise ein Rauschterm von konstanter Frequenz, was sich im Diagramm als ein lokales Maximum zeigen würde. Mit dem Noise Floor wird in diesem Diagramm die Signalleistung bezeichnet, ab der ein Signal nicht mehr vom Rauschen unterschieden werden kann.

Abbildung 2.12 b zeigt das idealisierte Verhalten der Rauschleistung über der Frequenz relativ zum Trägersignal f_0 , mittels der Darstellung im Diagramm des Einseitenband-Phasenrauschens nach [146]. Hierbei ist ersichtlich, dass verschiedene Rauschanteile bei verschiedenen Abständen zum Träger auftreten, wobei manche Einflüsse die anderer überschatten können, sodass das Diagramm von der dargestellten Form abweicht. Folgende Charakterisierung entstammt [146].

Dabei besitzt ein typisches Oszillatorsignal in der Nähe des Trägers eine starke f^{-4} -Abhängigkeit, welche typischerweise mit Random-Walk-Rauschen zusammenhängt und durch physikalische Umgebungseinflüsse, wie mechanische Vibrationen oder Temperaturvariationen verursacht wird. Die daran anschließende f^{-3} -Abhängigkeit wird üblicherweise von Flicker-Frequenzmodulation verursacht, was meist durch mechanische Resonanzen eines aktiven Oszillators bzw. der verwendeten Komponenten entsteht. Weißes Frequenzmodulationsrauschen, das ein f^{-2} -Verhalten zeigt, tritt häufig bei Taktsignalen auf, die relativ zu einer passiven Resonatorreferenz erzeugt wurden. Dies kann beispielsweise bei einem Quarz der Fall sein, der auf einen Cäsium- bzw. Rubidium-Frequenzstandard eingestellt wurde. Phasenmoduliertes Flicker Noise besitzt

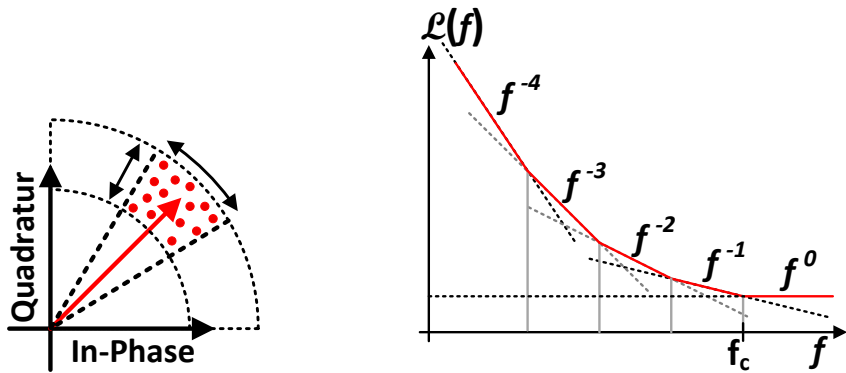


Abbildung 2.12: a) Durch Rauschen induzierte Variation der Amplitude und Phase, b) typisches Verhalten der Einseitenband-Leistung \mathcal{L} des Phasenrauschens im Frequenzbereich nach [146]

eine f^{-1} -Abhängigkeit und wird häufig dadurch verursacht, dass zur Verwendung des Oszillatorsignals ein Signalverstärker oder eine Schaltung zur Frequenzvervielfachung verwendet wird, die, je nach Qualität der Komponenten, im Betrieb ein mehr oder weniger starkes Rauschen hervorrufen. Oberhalb der Eckfrequenz f_c , die sich üblicherweise im Abstand der halben Resonatorbandbreite des Oszillators $\Delta f = \frac{f_0}{2Q}$ [79] vom Träger befindet, dominiert weißes phasenmoduliertes Rauschen. Dieser frequenz-flache Teil (f^0) des Diagramms des Phasenrauschens definiert das Verhalten im größten Frequenzabstand zum Trägersignal, bei dem die anderen Rauschterme bereits auf ein fast nicht mehr wahrnehmbares Maß abgeklungen sind. Diese Art von Rauschen wird kaum vom gewählten Resonanzmechanismus beeinflusst, kann aber Rauschquellen aufweisen, die dem Bereich der f^{-1} Abhängigkeit ähneln, wie die dem Oszillator nachgeschalteten Verstärkerstufen.

Jitter stellt eine weitere Sicht auf die Signalqualität dar. Dabei wird in Amplituden- und Phasenjitter unterschieden, wobei letzterer weniger leicht kompensiert werden kann. Im Grunde lässt sich Phasenjitter als eine Variation des zeitlichen Auftretens einer Taktflanke beschreiben (siehe Kapitel 2.5.2, Abbildung 2.6), welches den Betrieb von Komponenten mittels dieses Signals bzw. den Empfang dessen erschwert. Ist das Phasenrauschen bekannt, lässt sich durch die Integration der Leistung des Phasenrauschens zwischen zwei Frequenzen ω_1 und ω_2 , der

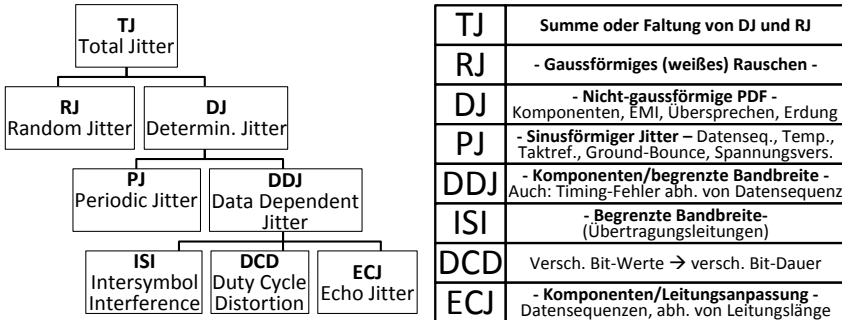


Abbildung 2.13: a) Charakterisierung möglicher Bestandteile und b) Ursachen von Jitter

Root Mean Square (RMS)-Phasenjitter J_{RMS} in diesem Frequenzbereich nach Gleichung 2.14 bestimmen.

$$J_{RMS} = \frac{\sqrt{2P_{noise}(f_1, f_2)}}{2\pi f_c}; \quad P_{noise}(f_1, f_2) = \int_{f_1}^{f_2} 10^{PN(f)/10} df \quad (2.14)$$

Ähnlich dem Phasenrauschen, lässt sich eine Charakterisierung von Ursachen von Jitter aufstellen, welche in Abbildung 2.13 dargestellt ist. Die wichtigste Unterscheidung ist hierbei die, ob der Jitter zufälliger Natur ist, oder aufgrund von Eigenschaften des Systems verursacht wird.

Je nach Art der signalerzeugenden Komponente und derer, die mit diesem Signal arbeiten oder es empfangen, wird der Jitter auf unterschiedliche Weise angegeben. Dabei wird neben dem Phasen- (Period-) Jitter bei Taktsignalen häufig der Zyklus-zu-Zyklus-Jitter bestimmt, welcher die maximale Variation der Taktperiode benachbarter Taktzyklen angibt und über eine gewisse Anzahl Perioden ermittelt wird, z.B. 10.000. Bei Datensignalen ist meist der *peak-to-peak* ($Pk-Pk$)-Jitter besonders interessant, da das *Bit Error Rate* (BER) primär durch diesen beeinflusst wird. Im Gegensatz zum Random-Jitter, der durch stochastische Prozesse bedingt ist, besitzt der deterministische Jitter in der Regel eine obere Schranke [30]. Der für ein gewisses BER benötigte $Pk-Pk$ -Jitter lässt sich dabei aus dem RMS-Jitter und dem Anteil des deterministischen Jitters am $Pk-Pk$ -Jitter näherungsweise nach Gleichung 2.15 berechnen.

$$TJ_{PkPk} = Cmul_{RMS} \cdot RJ + DJ_{PkPk} \quad (2.15)$$

Für ein BER von 10^{-12} sollte beispielsweise für Datensignale die RMS-Multiplikatorkonstante $C_{mul_{RMS}}$ zu 14.069 gewählt werden [30].

2.9 Handhabung zeitkritischer Nachrichten der Auslese

In der Ausleseketten von Experimenten der Teilchenphysik kommen unterschiedliche Teilsysteme zur Steuerung verschiedener Aspekte des Systems zum Einsatz (siehe Grundlagenkapitel 2.3). Häufig reicht allerdings die Funktionalität der Basissteuerungssysteme der Slow- und Timing-Control nicht aus, um ein System verlässlich starten und betreiben zu können. Dabei ist es meist notwendig, dazu in der Lage zu sein, kritische Informationen zwischen den verschiedenen Systemebenen austauschen zu können, die innerhalb einer gewissen, möglichst konstanten Zeitspanne sicher am Ziel ankommen und eventuell auch verarbeitet werden müssen.

Einerseits erwächst die Notwendigkeit eines sogenannten *Fast-Control (FC)*-Systems daraus, dass es für die Einstellung und Kalibrierung der synchronisierten Auslese möglich sein muss, Kommandos, die z.B. per Broadcast verteilt werden, an den verschiedenen Komponenten der Schichten zeitgleich ausführen zu können. Andererseits ist es beim im Betrieb befindlichen System notwendig, dass systemkritische Nachrichten möglichst schnell an eine zentrale Entscheidungslogik zur Bearbeitung weitergeleitet werden können, da diese Ereignisse einen Einfluss auf andere Komponenten haben können, was die Auslösung von Aktionen am gesamten Subdetektor erforderlich machen kann.

In Abbildung 2.14 sind hierbei die wesentlichen Typen des Informationsaustauschs zwischen den verschiedenen Systemschichten eines FPGA-basierten Teilchendetektorexperiments dargestellt.

Die hauptsächliche Kommunikation erfolgt dabei zwischen der FC-, der FPGA-basierten Auslese- und der FEE-Schicht, welche direkt an die Detektorelemente angebunden ist und abhängig vom Detektortyp diese mit elektrischen Signalen ansteuert. Im Falle von CBM kommunizieren die FPGA-basierten Ausleseplatinen über eine Glasfaserstrecke mit den strahlungsfesten GBTX ASICs [107] aufseiten der FEE-Schicht, welche die Anbindung der FPGAs an den bestrahlten Bereich sicherstellen. Da sich die GBTX ASICs im Idealfall transparent verhalten, sind diese im genannten Schaubild nicht dargestellt.

Die FC-Schicht ist mittels der TFC-Infrastruktur an die FPGA-Schicht angeschlossen, wobei die FC-Entscheidungsfindung, die in der Regel innerhalb des TFC-Systems vorhanden ist, auch als nachgeschaltete Komponente mit größerer Rechenleistung realisiert werden kann. Die steuernde FC-Schicht ist nur direkt mit der FPGA-basierten Zwischenschicht verbunden, sodass dort eingehende Nach-

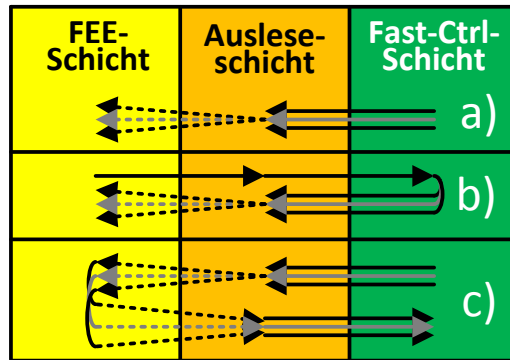


Abbildung 2.14: Verschiedene Arten kritischen Informationsaustauschs. *a)* Unidirektionaler synchroner Nachrichtenaustausch, *b)* kritische Nachricht einer FEE-Einheit erfordert zeitkritische Reaktion bei mehreren FEE-Komponenten, *c)* zeitgleiche Nachrichtenverteilung an mehrere Einheiten und darauffolgende Antwort der angesprochenen Komponenten (z.B. zur Kalibrierung)

richten bei Bedarf an die FEE Schicht verteilt bzw. deren Daten in der FPGA-Schicht gesammelt und an das FC-System weitergeleitet werden müssen.

In anderen Systemen, die eine ähnliche Art von Vorgehen zum kritischen Informationsaustausch benötigen, kann zwar die grundlegende Topologie, von der Entscheidungsfindung bis zum Frontend, variieren, die grundlegenden Typen des Nachrichtenaustauschs werden sich allerdings sehr ähneln.

In Abbildung 2.14 stellt eine durchgezogene Linie eine direkte Übertragung mittels nur je einer Verbindung dar (1:1), wobei eine gestrichelte Linie für eine Art von Aufteilung bzw. Nachrichtenbündelung zwischen Frontend- und FPGA-Schicht steht (1:N bzw. N:1).

Der in a dargestellte Fall steht für die synchrone Ausführung eines Kommandos an allen oder einem selektierten Teil der Komponenten der FPGA- bzw. der FEE-Schicht. Dies ist besonders wichtig, wenn z.B. ein in mehrere Hierarchieebenen unterteiltes System Kalibrierungswerte so weiterleiten muss, dass diese, für deren korrekte Verwendung, zu exakt denselben Zeitpunkten ankommen und entsprechend ausgeführt werden können.

Fall b stellt den wichtigsten Fall des FC-Systems dar, bei dem Nachrichten zu beliebigen Zeitpunkten von der FEE versendet und über die FPGA-Schicht an die FC weitergeleitet werden können, wobei in der FC-Schicht über die zu treffenden

Aktionen entschieden werden muss. Dabei kann es im konkreten Fall eintreten, dass Steuerkommandos an mehrere FEE Komponenten des CBM-Detektorsystems mit konstanter, kurzer Latenz verteilt werden müssen, sodass eine für die Komponente gültige obere Zeitschranke, bis zu der die Aktion durchgeführt sein muss, eingehalten werden kann. Ein Beispiel hierfür kann der möglicherweise innerhalb kurzer Zeit bevorstehende Überlauf eines Messdatenpuffers an einem oder mehreren der FEE ASICs darstellen, der die kurzfristige Unterbrechung der Aufzeichnung am gesamten Subdetektor erforderlich machen kann, was sich somit auf einige FPGAs und FEE ASICs der Zwischenschicht auswirken würde.

Im beschriebenen Fall b, spielt neben der Latenz über die Links auch die Verzögerungszeit durch die Komponente eine Rolle, welche die beschriebenen Entscheidungen zu treffen hat. Für die maximale Zeit, die für die Entscheidungsfindung zur Verfügung steht, ist dabei die Summe aller Verzögerungszeiten der Fast-Control-Links zu ermitteln, wobei dessen Antwort am FEE bzw. der Zwischenschicht ankommen muss, bevor möglicherweise das kritische Ereignis eintritt und im genannten Beispiel ein fehlerhafter Messdatensatz durch überlaufende Pufferspeicher entsteht.

Fall c stellt hingegen ein weniger kritisches Szenario dar, welches sich während Systembetrieb allerdings als sehr nützlich herausstellen kann. Hierbei wird sowohl die synchrone Nachrichtenausführung, als auch die Entgegennahme von Daten über Links konstanter Latenz verwendet. Damit kann beispielsweise das Setzen gewisser Einstellungen an einem Teil der Komponenten zur gleichen Zeit ermöglicht werden, worauf die verteilte FEE, um einen Überblick über den Zustand der Einheiten zu erhalten, deterministisch Statusmeldungen zurückschickt. Dies kann sich gerade in Fällen der Systemkalibrierung als von Vorteil erweisen, wenn gewisse Eigenschaften von an mehreren FPGAs angeschlossenen FEE ASICs kontinuierlich bestimmt werden sollen und ein aufwändigerer Algorithmus, der auf den gerade ausgelesenen Daten arbeitet, den Betrieb der Komponenten aktiv regeln muss, um die gewünschte Kalibrierung zu erzielen.

Abschließend ist anzumerken, dass sich die Last des FC-System verringern lässt, falls sich für Fall a und c weniger kritische zeitliche Anforderungen ergeben. Ist hierbei in Fall a keine sehr zeitkritische obere Schranke vorhanden, ist es im Grunde möglich, ohne die Verwendung des FC-Systems die synchrone Nachrichtenausführung zu erzielen, indem die Slow-Control-Kommunikation in Kombination mit den durch das Timing-System gewonnen Informationen verwendet wird.

Da die Komponenten der FPGA-Schicht an den notwendigen Stellen durch das Timing-System über eine global bekannte Zeitinformation verfügen, lässt sich die synchrone Nachrichtenausführung in Form eines deterministischen Sequenzer-Betriebs [10] umsetzen. Dabei werden in einem ersten Schritt an alle Einhei-

ten die auszuführenden Nachrichten per Slow-Control übertragen und der in der Zukunft liegende Ausführungszeitpunkt mittels dieser Nachrichten mitgeteilt. Es ist ebenfalls möglich, die Ausführung synchroner Kommandos stets zu definierten, bekannten Zeitpunkten erfolgen zu lassen, beispielsweise im ersten Taktzyklus jeder neuen Sekunde. Nach der Verteilung der Nachrichten findet schließlich die Nachrichtenausführung an allen Knoten, die die Nachricht erhielten, zum bekannten Zeitpunkt synchron statt. Dieser Ansatz wird in dem als Teil dieser Arbeit beschriebenen Timing-Synchronizer-System verwendet, um die zeitlich akkurate Ausführung von Slow-Control-Nachrichten innerhalb eines mittelgroßen Strahlzeitaufbaus an allen Slave-Einheiten zu ermöglichen (siehe Kapitel 5).

Zu berücksichtigen ist allerdings bei diesem Vorgehen, dass die Nachrichtenübertragung an alle Knoten abgeschlossen sein muss, bevor der definierte Ausführungszeitpunkt eintritt. Dies kann bei einer großen Komponentenanzahl problematisch sein, da eventuell jeder Knoten einzeln per Slow-Control angesprochen werden muss, falls eine Broadcast-Übertragung nicht unterstützt wird. Im Falle fester Ausführungszeitpunkte sind dadurch die pro Sequenz ausführbaren Nachrichten sehr begrenzt und davon abhängig, wie viele Knoten anzusprechen sind. Wenn im Falle flexibler Ausführungszeitpunkte hingegen die zeitliche Information erst in der letzten Nachricht übermittelt wird, ist lediglich die Anzahl ansprechbarer Komponenten und die Länge der Sequenz dadurch begrenzt, wie oft derartige Nachrichtenausführungen erforderlich sind, was der Sequenzwiederholrate entspricht.

Bei Verwendung eines deterministischen Fast-Control-Systems existiert diese Begrenzung, wenn überhaupt, nur in abgemilderter Form, da die im selbst definierbaren FC-Protokoll per Broadcast übertragenen Nachrichten, nach dem kompletten Empfang der Sequenz (Geschwindigkeit der Links) direkt ausgeführt werden können und in der Theorie nicht auf einen bestimmten Zeitpunkt gewartet werden bzw. dieser wesentlich weniger weit in der Zukunft liegen muss.

2.10 Zeitlicher Determinismus in Auslese- und TFC-Systemen

Um die Auslese eines Großexperiments der Teilchenphysik leichter handhaben zu können, ist diese in verschiedene hintereinander geschaltete Verarbeitungsschichten unterteilt, was strukturell einer Pipeline gleicht (siehe z.B. Abbildung 2.14 in Kapitel 2.9). Innerhalb dieser Schichten (z.B. FEE) arbeiten die jeweiligen Prozessierungskomponenten im Allgemeinen unabhängig voneinander, das heißt, sie können untereinander keine Daten austauschen und arbeiten mit derselben Grobfrequenz, welche allerdings nicht zueinander synchronisiert ist.

In diesem Zustand würde es möglich sein, Daten aufzuzeichnen und an die Serverfarm weiterzuleiten, allerdings würden sich z.B. im Fall der FEE ASICs die erzeugten Datenmengen je ASIC im Extremfall um den Faktor unterscheiden, der sich durch die durch den Hersteller des Systemoszillators angegebene *Parts-Per-Million (ppm)*-Frequenzabweichung von der angegebenen Frequenz ergibt. Dabei addiert sich zur angegebenen Abweichung in ppm im Auslieferungszustand eine Ungenauigkeit aufgrund externer Einflüsse und der unvermeidlichen Alterung des Oszillators.

Neben der somit wichtigen zeitlichen Synchronität ist es relevant, Verbindungen von kurzer, konstanter Latenz zu einem zentralen Kontrollsystem bereitzustellen, wie dies durch die in Kapitel 2.9 erläuterte Fast-Control umgesetzt wird. Diese sind besonders wichtig, um zum einen die zeitlich deterministische Steuerung des Systemstarts, der Kalibrierung und Parametrierung zu ermöglichen und zum anderen, um auf kritische Systemzustände zu reagieren.

Was dieses System von der Slow-Control unterscheidet ist, dass es eine deterministische Latenz bieten muss. Determinismus bezeichnet in diesem Fall die generelle Eigenschaft, dass sich die Übertragungslatenz zwischen verschiedenen Übertragungen nicht ändert, im Fast-Control-Teil auf Basis von Taktzyklen und im Falle der Links des Timing-Systems im Subtaktzyklusbereich. Dabei muss die Konstanz der Latenz gegeben sein für beliebig oft wiederholte Nachrichtenübertragungen unterschiedlichen Typs pro Daten-Flit einer Nachricht, ebenso für wiederholte Neustarts des Systems, im Falle von FPGAs auch bei wiederholten Neuimplementierungen des Designs und unter veränderlichen äußeren Systembedingungen. Die Ethernet-basierte Slow-Control-Übertragung erfüllt hierbei keinen der Aspekte, da sie bei ihrer Entwicklung nicht für diesen Anwendungsfall ausgelegt wurde und sowohl im FPGA (*Internet Protocol (IP)*-Stack) als auch im Übertragungsweg (Switches) COTS-Ethernet-Komponenten zum Einsatz kommen. Viel wichtiger ist dabei in Ethernet-basierten Systemen eine einfache Erweiterbarkeit und hohe Verfügbarkeit.

Im konkreten Fall der Datenübertragung des TFC-Systems lassen sich verschiedene mögliche Quellen, die einen Einfluss auf die Konstanz der Übertragungslatenz haben, anhand ihres Auftrittsortes charakterisieren. Die glasfaserbasierte Übertragungsstrecke des TFC-Systems ist in Abbildung 2.15 als Blockschaltbild dargestellt, welches sich an die Darstellung in den Arbeiten von White Rabbit anlehnt [84].

Hierbei erfolgt die Anbindung der Glasfaserlinks per *Small Form-Factor Pluggable (SFP)*-Module, welche aufseiten des FPGAs mit seriellen Hochgeschwindigkeits-Übertragern verbunden sind (Master-/Slave-PHY). In der Graphik ist die Latenz der SFP-Module in die der Glasfaserstrecke integriert. Im Falle der Zeitsynchronisation kommt ein einstellbarer Oszillator am Slave zum Einsatz,

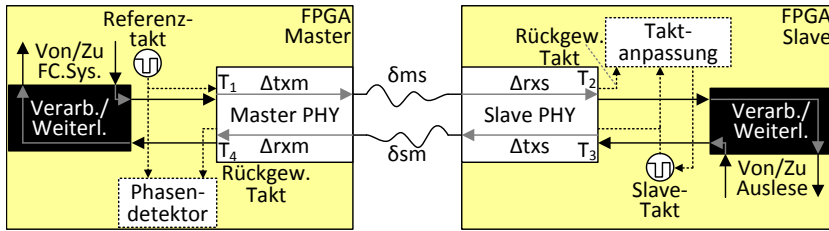


Abbildung 2.15: Quellen möglicher Latenzvariation in glasfaserbasierten Fast-Control-Übertragungsstrecken

der zunächst auf die Frequenz des Master-Taktes eingestellt wird. Darauf wird mithilfe der Zeitstempel T_1 bis T_4 die Paketumlaufzeit berechnet, worauf dessen Hälfte als Slave-Phasensollwert angenommen wird. Dabei sind die unbekanntenen Verzögerungen Δtxm , Δtxs , Δrxm und Δrxs der Highspeed-Transceiver und die Ausbreitungsverzögerung der Übertragungsstrecke δms und δsm relevant, wobei gerade die Anteile der Latenzen im Bereich kleiner als einem Taktzyklus interessant sind. Die Annahme, dass die Hälfte der Paketumlaufzeit dem wahren Slave-Versatz entspricht, ist nur dann exakt, falls die entsprechenden Sende-/Empfangs-/Ausbreitungs-latenzen identisch sind, z.B. Δtxm und Δtxs , und somit die DS- und US-Latenzen einander entsprechen.

Um die Messung der Paketumlaufzeit überhaupt möglich zu machen, ist somit der Determinismus der Verbindung eine Grundvoraussetzung. Dabei sind besonders die parametrierbaren Highspeed-Transceiver eine Quelle von nicht konstanter Latenz, was gerade auch durch eine ungünstige Konfiguration der Fall sein kann, beispielsweise mit elastischen Puffern oder anderen die Latenz verfälschenden aktivierten Komponenten. Wird die Strecke, zumindest für die Timing-Messung noch genauer untersucht, stellt die Übertragungsstrecke eine wesentliche Ursache von Latenzvariation dar, falls die Signale nicht über eine Faser bidirektional übertragen werden. Bei Glasfaserverbindungen, die eine Faser pro Richtung verwenden, Duplex-Verbindung genannt, kann sich bei Temperaturschwankungen die US- relativ zur DS-Faser unterschiedlich stark ausdehnen, was sich besonders stark bei längeren Strecken auswirkt und sehr zur Link-Asymmetrie beiträgt [84]. Da bidirektionale Glasfaserübertrager unterschiedliche Wellenlängen für beide Richtungen verwenden, besitzen der DS und US aufgrund des wellenlängenabhängigen Brechungsindex voneinander abweichende Ausbreitungsgeschwindigkeiten, was beispielsweise für 1550 nm und 1310 nm zu einem relativen Verzögerungskoeffizienten von $\alpha = \frac{\delta_{MS}}{\delta_{SM}} - 1 = \frac{n_{1550}}{n_{1310}} - 1$ führt [84], allerdings gut auf digitaler Seite berücksichtigt werden kann.

Im Falle des TP-basierten Anbindungsansatzes des TFC-Systems, der in Kapitel 7.1.1 beschrieben wird, kommen statt Glasfaser-, *Multipoint Low Voltage Differential Signaling (M-LVDS)*-Übertrager für differenzielle Kupferleitungen zum Einsatz. Durch deren Verwendung entstehen keine nicht deterministischen Übertragungslatenzen im Bereich von Taktzyklen, allerdings können diese durch ihren Output-to-Output und Part-to-Part Skew einen konstanten Latenzunterschied in Empfangs-/Senderichtung aufweisen, der für eine perfekte Phasensynchronisation kalibriert werden müsste, indem nach der Vermessung ein zusätzlicher Phasenversatz als Konstante für die Berechnungen der Paketumlaufzeit hinterlegt wird. Zu berücksichtigen ist allerdings bei diesem System, dass für die Messung der Paketumlaufzeit lediglich eines der vier Paare eines CAT7 Twisted-Pair-Ethernet-Kabels verwendet werden sollte, da diese mit ungleichmäßigen Verdrillungsraten (Twist-Ratios) im Kabel verlegt werden. Auch wenn der Laufzeitunterschied (Delay Skew), die maximale Differenz der Verzögerungszeit zwischen zwei Kabelpaaren eines Kabeltyps, laut TIA/EIA-568-B.2 [151] für die Erreichung einer bestimmten Kabelqualitätskategorie (z.B. CAT7) begrenzt ist, wirkt sich dies negativ auf die Synchronisationsgenauigkeit aus. Zwar verbessert sich durch einen vorhandenen Laufzeitunterschied theoretisch das Übersprechverhalten zwischen den Signalen auf den verschiedenen Paaren eines Kabels, allerdings besitzen diese damit auch signifikant unterschiedliche Ausbreitungslatenzen.

Einen für das Fast-Control-System besonders wichtigen Einfluss auf eine konstante, möglichst niedrige Latenz hat außer den zentralen Komponenten der Übertragungslinks die Anbindung der Strecke an die Verarbeitungskomponenten im FPGA. Leiten dabei die FEE ASICs Daten über die FPGA-Schicht zu dem die Entscheidungen treffenden System weiter, wobei letztere Verbindung in Abbildung 2.14 der Anbindung von der Slave- zur Master-Seite entspricht, ist darauf zu achten, dass durch die Verarbeitungslogik keine variablen Latenzen hervorgerufen werden.

Das bedeutet zum einen, dass bei der Fast-Control-Übertragung keine Prozessorkomponente involviert sein sollte, da diese durch ihren Software-basierten Ansatz mit Allzweck- (general-purpose-) Prozessor unweigerlich zu variierenden Latenzen führt. Zudem sollten logische Strukturen vermieden werden, die abhängig von ihrem aktuellen Zustand dem Datenstrom eine variable Latenz hinzufügen. Beispielsweise können sich auch für eine faire Signalverteilung ausgelegte Bussysteme auf die Signallatenz auswirken.

Realistisch gesehen, kann eine völlig konstante Latenz für gewisse Systemkonstellationen nicht erreicht werden, wenn der maximale Eingangsdurchsatz größer ausfällt als der der nächsten angebundenen Übertragungsstrecke. Dennoch ist darauf zu achten, dass in diesen Fällen zumindest eine möglichst kurze La-

tenz erzielt wird, indem den Fast-Control-Nachrichten die höchste Priorität zugewiesen wird. So sollten z.B. direkt nach der Beendigung der Übertragung einer Timing-Nachricht, ausstehende Fast-Control-Informationen bevorzugt versendet werden. Im konkreten System der TFC-Topologie folgt auf die hier genannte Glasfaserstrecke eine in Summe langsamere mTCA.4-Trigger-Backplane, an die maximal elf weitere Karten der Auslese angeschlossen sein können (nicht dargestellt). In diesem Fall sind die Nachrichten nach einem fairen Verteilungsverfahren, wie Round-Robin [110], zu versenden.

3 Grundlagen passive optische Netze

In heutigen hochleistungsfähigen Systemen kommen zum Zwecke der Erzielung hoher Datenraten häufig Glasfaserverbindungen zum Einsatz. Da sich diese ebenfalls besonders gut zum Datenaustausch bei Verwendung von FPGAs eignen, kommt diese Art von Verbindung gerade auch an verschiedenen Stellen der Online-Auslese von Großexperimenten der Teilchenphysik zum Einsatz. Ein aktueller Trend bei der Auslese von Teilchendetektoren ist der, dass für die Signalverteilung innerhalb von Timing-Systemen zur Anbindung einer großen Anzahl Slave-Einheiten *Passive Optical Networks (PONs)* statt switch-basierter Netzwerke verwendet werden.

Deshalb werden in den folgenden Unterkapiteln die für das Verständnis von PONs notwendigen Grundlagen gelegt. Dabei werden zunächst die bekanntesten Arten von PONs und die Besonderheiten von Mehrträgermodulationsverfahren erläutert, wie sie beispielsweise in *Orthogonal Frequency Division Multiple Access (OFDMA)* PONs zum Einsatz kommen. Schließlich werden die wichtigsten Basisblöcke der Signalverarbeitung erklärt, welche schwerpunktmäßig innerhalb der zuletzt genannten Art von PONs verwendet werden.

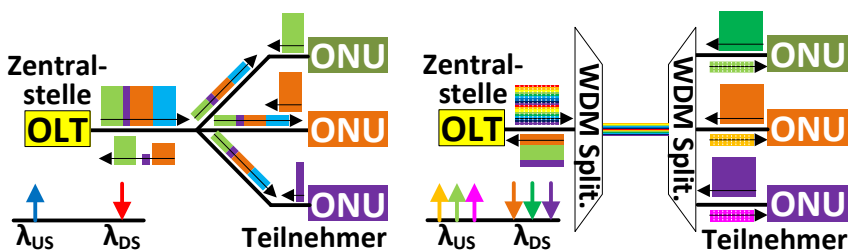


Abbildung 3.1: Passives optisches Netz mit Anbindung der ONUs per a) TDM bzw. b) WDM nach [181]

3.1 Passive optische Netze

Zur Datenkommunikation zwischen mehreren Teilnehmern per Glasfaser kommen in der Regel optische Netzwerke zum Einsatz. Dabei lässt sich grundlegend zwischen aktiven und passiven optischen Netzen unterscheiden. Ersterer verwenden dabei, wie beispielsweise das auf synchronem Ethernet basierende White-Rabbit-System [188], aktive Komponenten innerhalb des Signalpfades, was beispielsweise Switches, Router oder Multiplexer sein können. Im Gegensatz dazu setzen PONs, bis auf etwaige Verstärker oder Dämpfungsglieder, auf eine passive Signalverteilung. Da eine zukünftige Erweiterung des TFC-Netzes eher auf die passive Variante setzen würde, werden lediglich häufige Ausprägungen dieser Gattung innerhalb der folgenden Erläuterungen behandelt [181].

PONs kommen heutzutage hauptsächlich innerhalb der Verdrahtung der letzten Meile der Verkabelung von Internetanschlüssen zum Einsatz. Dabei existieren für diese Netze verschiedene Konzepte zur Verteilung von optischen Signalen.

Die in heutigen kommerziellen Systemen geläufigste Variante ist das TDM PON, das beispielsweise bei *Gigabit-capable PON (GPON)* [65] oder *XGPON1* [64] zum Einsatz kommt. Hierbei kommuniziert ein *Optical Line Terminal (OLT)* am Provider mit ONUs auf der Subscriber-Seite, indem je eine Wellenlänge für die DS- und die US-Kommunikation bereitsteht. In DS-Richtung sendet dabei das OLT Daten an die ONUs, wobei sich diese den entgegengesetzt gerichteten US per TDMA-Verfahren teilen.

Hierbei erhält jedes der ONUs einen festen Zeitslot definierter Länge, der periodisch auftritt und innerhalb dessen es Daten mit dem OLT austauschen darf. Mit der aktuellsten Ausführung dieser Art lassen sich mit diesem Ansatz Raten von 10/2.5 Gbit/s in DS-/US-Richtung erreichen. Nachteilig ist sicherlich bei diesem Verfahren, dass sich die US-Extremfall-Latenz in Abhängigkeit der sogenannten Split-Ratio, also der Anzahl ONUs pro OLT eines PONs, verschlechtert.

Eine alternative Ausprägung ist die, statt eines Zeitmultiplex der Datenströme von ONUs einen Wellenlängenmultiplex zu verwenden (WDM). Von Vorteil ist dabei, dass bei steigender Anzahl ONUs kein Nachteil bezüglich der US-Latenz entsteht, da jeder der Teilnehmer in US- und in DS-Richtung ein Wellenlängenpaar zugeteilt bekommt. Dabei ist es notwendig, dass die ONUs als farblos (*colorless*) entworfen werden, das heißt, dass diese unabhängig von der verwendeten Wellenlänge betrieben werden können. Bei diesem Ansatz gibt es zwei Möglichkeiten, die Wellenlängen der ONUs im DS/US zu definieren. Dies kann vom OLTs aus per Informationsaustausch und am ONU vorhandener einstellbarer *Light Amplification by Stimulated Emission of Radiation (Laser)* oder per Einfügung eines *Local Oscillator (LO)* je ONU aufseiten des OLTs erfolgen, wobei die ONUs auf den jeweiligen LO die US-Daten modulieren. Dabei besitzt zwar die erstere

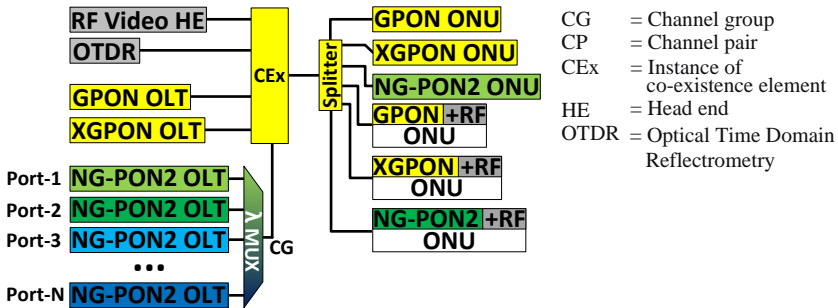


Abbildung 3.2: Passives optisches Netz mit Anbindung der ONUs per TWDM nach [66]

Lösung eine höhere Bandbreite, allerdings fällt diese wegen der benötigten einstellbaren Laser teurer aus. Aufgrund fehlender Standardisierung und anderer favorisierter Konzepte kommt dieses PON nicht als eigenständige Lösung, allerdings als zusätzliche Verteilungsschicht (Overlay) bestehender Systeme zum Einsatz.

Ein solcher Ansatz, der das genannte Verfahren verwendet, ist *Next-Generation Passive Optical Network 2 (NG-PON2)* [66], der Nachfolger der TDM PONs, welches das Konzept des TWDM PONs benutzt (siehe Abbildung 3.2). Indem hierbei die Eigenschaft des TDM mit WDM kombiniert wird, bietet es die Abwärtskompatibilität zu früheren kommerziellen PONs, wie GPON und XGPON1 und erlaubt statt 10 Gbit/s maximaler Rate, einen Durchsatz von bis zu 40 Gbit/s. Dabei ist der Trick, die Zuteilung der Wellenlängenkombinationen so zu wählen, dass es mit bestehenden PONs (legacy-PONs) keine Überschneidungen gibt und die freien Wellenlängenbereiche für vier bis acht sogenannte NG-PON2-Kanalpaare verwendet werden. Dabei besteht jedes dieser Paare aus einem DS- und einem US-Kanal, wobei diese mit verschiedenen Kombinationen der maximalen Raten von 10 Gbit/s und 2.5 Gbit/s symmetrisch/asymmetrisch konfiguriert werden können.

Ein gänzlich anderes Verfahren findet sich in den in der Forschung behandelten OFDMA PONs. Dabei wird die optische Modulation mit einer elektrischen Frequenzbereichsmodulation kombiniert, bei der mittels einer Fourier-Transformation im Frequenzbereich orthogonale Subträger moduliert werden (siehe Kapitel 3.2). Da hierbei zumeist die jeweilige LO-Frequenz am ONU unbekannt ist, muss bei diesem Verfahren berücksichtigt werden, gewisse (optische) Träger in das DS-Signal einzubringen, mit denen das DS-Signal ins Basisband und

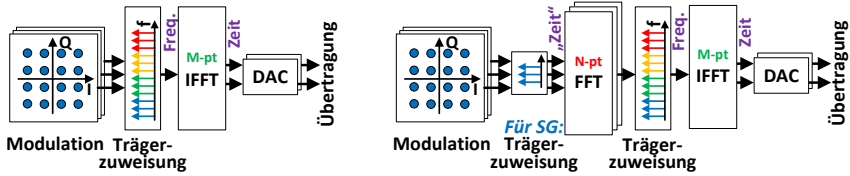


Abbildung 3.5: Vergleich der Basisprozessierung von OFDMA und SC-FDMA am Sender

können, was eine größere Reichweite erlaubt und gerade an mobilen, batteriebetriebenen Endgeräten von Vorteil ist.

Aufgrund der zweifachen Anwendung der Fourier-Transformation, werden diese entstehenden Einzelträger auch häufig Quasi-Nyquist-Träger genannt. Dabei entsteht durch die am Sender pro SG angewandte kleine *Discrete Fourier Transform (DFT)* jeweils ein Signal ähnlich eines OFDM-Zeitsignals im eigentlichen Frequenzbereich vor der großen *Inverse Fast Fourier Transform (IFFT)*, das schließlich analog zum Nyquist-Verfahren in orthogonale Sinc-Pulse im eigentlichen Zeitbereich des Senders transformiert wird [126].

3.3 Digitale Signalverarbeitung in OFDM PONs

3.3.1 Signalmodulation

Um Daten in realen Systemen übertragen zu können, ist stets eine Modulation vonnöten. In der einfachsten Form kann dies beispielsweise eine digitale Modulation sein, welche je Symbol die Werte eins und null annehmen kann. Weist das Übertragungsmedium allerdings ein ausreichendes *Signal-to-Noise-Ratio (SNR)* auf, ist es möglich, ein höherwertiges Modulationsverfahren als die genannte Modulation zu verwenden, welches *Binary Phase Shift Keying (BPSK)* entspricht. Im Allgemeinen lässt sich ein Modulationssymbol nach Gleichung 3.1 beschreiben.

$$s(t) = I(t) \cdot \cos(2\pi f_{mod}(t)t + \phi(t)) - Q(t) \cdot \sin(2\pi f_{mod}(t)t + \phi(t)); \quad (3.1)$$

$$f_{mod}(t) = f(t) + f_{LO}$$

Dabei besitzt das modulierte Signal die Amplitude A , die Frequenz f_{mod} und die Phase ϕ (siehe Abbildung 3.6). Es ist ebenfalls möglich, dass das Signal neben dessen Frequenz im Basisband $f(t)$ eine zusätzliche konstante Trägerfrequenz

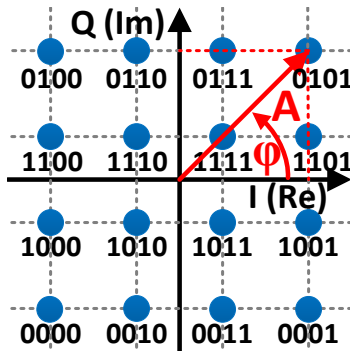


Abbildung 3.6: Konstellationsdiagramm von 16-QAM

f_{LO} aufweist. Abhängig davon, welche dieser Größen durch eine Modulation beeinflusst werden, findet in der Regel die Benennung des Modulationsformats statt. Dabei wird im Allgemeinen zwischen Amplituden- (ASK), Frequenz- (FSK) und Phasenumtastung (PSK) unterschieden. Um verschiedene Signalzustände zur Informationskodierung zu verwenden, wird bei ersterem die Variable $A(t)$ in meist diskreten Schritten, bei zweitem die Frequenz und beim letzten genannten die komplexe Phase des Signals variiert. Werden in einem Verfahren die eigentlichen enkodierten Bits nicht mittels der absoluten Modulationssymbole, sondern die Information in die Signaländerung eingebettet, wird von einer differenziellen Kodierung gesprochen. Beim differentiellen *Quadrature phase-shift keying* (QPSK) werden beispielsweise vier Modulationspunkte mit 90 Grad Phasenunterschied definiert, wobei die Phasenänderung zwischen zwei Symbolen die übertragene Information beschreibt.

Es sind ebenfalls Kombinationen verschiedener Basismodulationsverfahren möglich. Das bekannteste Verfahren ist dabei die QAM, bei der sowohl eine Amplituden- als auch eine Phasenmodulation zum Einsatz kommen. Abbildung 3.6 stellt ein Konstellationsdiagramm der häufig verwendeten 16-QAM dar, mit dem $\log_2(16) = 4$ Bits pro Symbol übertragen werden können. Besonders wichtig ist bei der Konstruktion eines Konstellationsdiagramms, dass die Konstellationspunkte äquidistant angeordnet sind, was je nach verwendetem relevanten Koordinatensystem der Fall sein sollte. Bei rechteckigen Modulationen (QAM) sollten dabei die X/Y Abstände im kartesischen Koordinatensystem und bei phasenmodulierten Verfahren (PSK) die Winkel und Amplitudenstufen im polaren Koordinatensystem gleichmäßig ausgelegt sein.

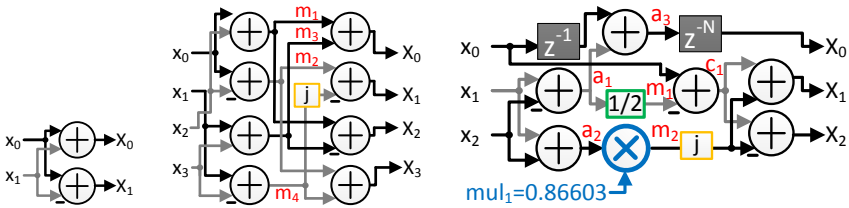


Abbildung 3.7: Verschiedene Butterfly-Größen - a) Radix-2, b) Radix-4 und c) 3-pt DFT

3.3.2 Diskrete Fourier-Transformation

Die zentrale Komponente von Systemen, welche OFDM-Signale verarbeiten, ist die Fourier-Transformation. In ihrer elementaren Funktion stellt diese einen Übergang zwischen dem Zeit- und Frequenzraum dar. Damit ist es möglich, am Sender Daten an gewisse Frequenz-Eingänge der Fourier-Transformation anzulegen, um ein Zeitsignal zu erhalten und am Empfänger aus diesem die modulierten Subträgerinformationen im Frequenzbereich zu extrahieren.

Da es sich beim konkreten Anwendungsgebiet von FPGAs um digitale, wertdiskrete, getaktete Systeme handelt, kommt hier die Fourier-Transformation in ihrer wert- und zeitdiskreten Form als DFT oder, falls deren Größe einer Zweierpotenz entspricht, einer effizienten *Fast Fourier Transform (FFT)* zum Einsatz. Gleichung 3.2 beschreibt dabei den mathematischen Zusammenhang, mittels dessen aus den Samples eines Fensters x_n im Zeitbereich die entsprechenden Subträger im Frequenzbereich berechnet werden, was im Falle von OFDM der Operation am Empfänger entspricht. Dabei stellt die Exponentialfunktion den komplexen Drehfaktor dar, welcher auch Twiddle Factor genannt wird.

$$X_k = \sum_{n=0}^{N-1} x_n \cdot e^{-2\pi kn/N}, k \in \mathbb{Z}; \quad W_N^{kn} = e^{-2\pi kn/N} \quad (3.2)$$

Um eine DFT aufzubauen, besteht die grundlegende Idee darin, durch Aufteilung des Problems in Teilprobleme, eine DFT nahezu beliebiger Größe (keine prime Anzahl Punkte) aus kleineren DFTs aufzubauen. Diesem Ansatz folgt das weitverbreitete Vorgehen von Cooley und Tukey [27], bei dem eine DFT der Größe $L = N \times M$ in zwei DFT-Stufen zerlegt wird, wobei die erste Stufe aus M DFTs der Größe N und die zweite Stufe aus N DFTs der Größe M besteht. Zur Verbindung beider Stufen wird, um die Phase der Ergebnisse zu korrigieren, eine

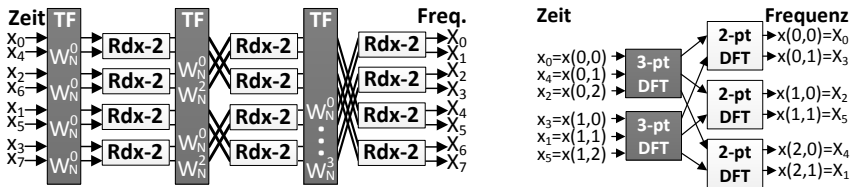


Abbildung 3.8: a) 8-pt FFT (DIT) und b) 6-pt DFT nach dem PFA [135]

Drehfaktormultiplikations- und eventuell eine Umordnungsstufe für die Ausgangswerte der ersten Stufe benötigt.

Ist die resultierende DFT-Größe noch nicht ausreichend klein, kann derselbe Ansatz wiederholt angewendet werden. Dabei werden die kleinsten Teile dieser Struktur Butterflies genannt und können prinzipiell mit beliebiger Wurzel (Radix) ausgeführt werden, wobei die dafür nötigen Logikbausteine mit der Größe der Wurzel stark ansteigen. Die Butterflies, die am wenigsten Ressourcen benötigen, sind dabei die Radix-2 und Radix-4 Größen, da diese im Vergleich zur 3-Punkte und allen größeren Wurzeln/DFTs [135] gänzlich ohne komplexe Multiplikationen auskommen (siehe Abbildung 3.7).

Wird bei diesem Vorgehen eine DFT in elementare Butterflies zerlegt, kann die Unterteilung entweder immer kleiner werdende, sich wiederholende Komponenten in Richtung der Frequenzdomäne (Decimation in Frequency [DIF]) oder der Zeitdomäne (Decimation in Time [DIT]) aufweisen (siehe Abbildung 3.8 a). Dabei ist zu beachten, dass sich auf der Seite, nach der dezimiert wird, die Reihenfolge der Ausgänge ändert, was meist die Verwendung einer Umordnungsstufe (mit Pufferspeichern) voraussetzt, um mit der natürlichen Reihenfolge der Datenvektoren arbeiten zu können.

Es ist mit dem hier beschriebenen Vorgehen von Cooley und Tukey [27] allerdings auch möglich, DFTs aufzubauen, welche keine Zweierpotenz als Größe besitzen, was es in der Regel voraussetzt, Butterflies mit verschiedenen Wurzeln zu verwenden und mixed-radix DFT genannt wird. Dabei kommen häufig Radix-2 oder -4 Butterflies in Kombination mit anderen primen DFT-Größen zum Einsatz.

Der PFA [24], auch Good–Thomas Algorithmus [50] genannt, ähnelt dabei sehr dem Cooley und Tukey Algorithmus, da bei diesem eine DFT der Größe N dekomponiert wird in zwei relativ prime Faktoren N_1 und N_2 , sodass $N = N_1 \cdot N_2$. Dabei ist es z.B. möglich, eine effiziente 6-Punkte DFT aufzubauen, indem eine nach Burrus [24] aufgebaute prime 3-Punkte DFT mit einem Radix-2 Butterfly kombiniert wird (siehe Abbildung 3.8 b) [135]. Durch eine Umordnung

der Eingänge benötigt diese Umsetzung im Vergleich zu Cooley und Tukey keine Twiddle-Faktoren, wodurch somit aufwändige Multiplikationen vermieden werden können.

3.3.3 Synchronisation

Eine grundlegende Einrichtung jedes Kommunikationsverfahrens ist die Synchronisation des Kanals. Dabei ist es zum einen notwendig, den Start einer Datenfolge erkennen zu können (Zeitsynchronisation) und andererseits Frequenzunterschiede zwischen OLT und ONU aufseiten des Teilnehmers kompensieren zu können.

Da bei OFDM-Systemen Daten- und Synchronisationssignale dasselbe Medium verwenden, kommen für die Synchronisation spezielle Sequenzen zum Einsatz. Die sogenannten Präambeln werden dabei der Datenkommunikation vorangestellt und dienen den beiden genannten Zwecken der Synchronisation.

Der grundlegende Ansatz, der für die Unterscheidung von Synchronisations- und Nutzdaten verwendet wird, ist die Sequenz per Korrelation zu untersuchen. Beim am weitesten verbreiteten Ansatz von Schmidl und Cox [124] wird dabei gemäß Gleichung 3.3 die Autokorrelation $P(d)$ und die Energie des Signals $R(d)$ gebildet und eine Zielfunktion $M(d)$ bestimmt.

$$\begin{aligned}
 P(d) &= \sum_{m=0}^{L-1} r_{d+m}^* \cdot r_{d+m+L}; & R(d) &= \sum_{m=0}^{L-1} |r_{d+m+L}|^2; \\
 M(d) &= \frac{|P(d)|^2}{(R(d))^2}
 \end{aligned}
 \tag{3.3}$$

Dabei stellt d das aktuelle Daten-Sample bzw. den Systemzeitpunkt und L den Abstand zwischen den beiden berücksichtigten Daten-Samples dar, der für die Korrelation verwendet wird. Für eine konkrete digitale Implementierung [34] kann die Gleichung so umgestellt werden, dass die Korrelation jeweils über die in der Vergangenheit empfangenen Samples gebildet wird (siehe Gleichung 3.4).

$$AKF(\tau, m) = \sum_{i=n-m}^{n-1} x_i^* \cdot x_{i-\tau}; \quad E(m) = \sum_{i=n-m}^{n-1} |x_i|^2
 \tag{3.4}$$

In Abbildung 3.9 ist das Verfahren nach Schmidl & Cox dargestellt, wie es in [34] verwendet und bei der Wahl des Synchronisationsverfahrens des PONs dieser Arbeit in Kapitel 9.2 berücksichtigt wurde. Es wurde als Präambel eine Sequenz

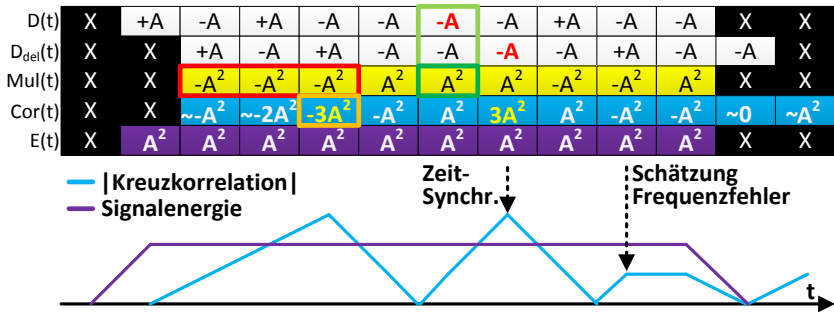


Abbildung 3.9: Autokorrelation und Signalenergie beim Synchronisationsalgorithmus nach Schmidl & Cox [34]

aus zehn sich in etwa abwechselnd wiederholenden OFDM-Symbolen gewählt, welches aus zwei Hälften besteht und lediglich das erste Symbol der zweiten Hälfte von ersterer abweicht. Um das Verhalten vereinfacht darzustellen, wurden im abgebildeten Fall reelle Symbole A als Präambelsymbole verwendet. Für die Bestimmung der Korrelation wird zunächst der empfangene Datenstrom $D(t)$ um ein Symbol verzögert ($D_{del}(t)$), dieses komplex konjugiert und mit dem aktuellen Symbol multipliziert ($Mul(t)$). Darauf erfolgt eine Addition über die Multiplikationsergebnisse der letzten drei Symbole, was das Korrelationsergebnis $Cor(t)$ mit $\tau = 1$ und $m = 3$ Symbolen darstellt. In einem weiteren Schritt wird die Energie des aktuellen Signals ermittelt $E(t)$.

Da die zweite erhaltene Spitze einen steileren Anstieg/Abfall der Korrelation zeigt, wird dieser als Zeitpunkt gewählt, mithilfe dessen auf den Beginn der Präambel geschlossen werden kann. Das auf die zweite Spitze folgende Plateau kann zur Schätzung des Frequenzfehlers des Lokaloszillators (*Carrier Frequency Offset (CFO)*) bzw. des Abtastoszillators (*Sampling Frequency Offset (SFO)*) verwendet werden, indem die Phasenänderung zwischen zwei aufeinanderfolgenden Präambeln beobachtet wird. Eine Schwellwertentscheidung auf Basis der Signalenergie kann dabei als Grundvoraussetzung für die Aktivität der erwähnten Logik zur Suche von Korrelationsspitzen/-plateaus verwendet werden.

3.3.4 Kanalschätzung und -korrektur

Ein realer Kommunikationskanal besitzt stets gewisse Eigenschaften, welche darüber ausgetauschte Signale im Vergleich zum idealen Kanal beeinflussen. Dabei sind diese Eigenschaften primär durch das Übertragungsmedium vorgegeben.

Das OFDM-Verfahren wurde ursprünglich für drahtlose Kommunikationswege entwickelt. Dabei stellt ein prominentes Beispiel der LTE-Kommunikationsstandard dar, der in DS-Richtung OFDM verwendet und im US das leicht abgewandelte SC-FDMA-Verfahren einsetzt. Da Antennen in der drahtlosen Kommunikation stets eine Art von Signalkegel abstrahlen [15], kommt es in realen Umgebungen zur Mehrwegeausbreitung, da das Signal an in der Umgebung befindlichen Objekten reflektiert und gestreut wird. Die daraus entstehenden Signale treffen am Empfänger mit unterschiedlichen Verzögerungen ein und besitzen je nach Signalweg verschiedene Signalleistungen. Gerade diese Störungen müssen am Empfänger durch eine geeignete Kanalkorrektur kompensiert werden.

Hierbei wird von ISI gesprochen, wenn verschiedene Signale der Mehrwegeausbreitung zu unterschiedlichen Zeiten am Empfänger eintreffen und das am OFDM-Empfänger verarbeitete Symbol durch Informationen des vorherigen oder nächsten Symbols beeinflusst wird. Dieses Problem lässt sich durch die zyklische Erweiterung des Symbols, *Cyclic Prefix (CP)* genannt, lösen, indem dessen Länge so gewählt wird, dass der Unterschied der Ausbreitungsdauer zwischen kürzestem und längstem Pfad der Mehrwegeausbreitung innerhalb der Dauer des CPs liegt [185]. Ebenfalls kann ISI dadurch hervorgerufen werden, falls ein SFO existiert, wodurch die Länge der abgetasteten OFDM-Symbole nicht der erwarteten Symbollänge entspricht.

Ein weiterer Störeinfluss der OFDM-Prozessierung ist die *Inter-carrier interference (ICI)*. Hierbei besitzt das empfangene Signal eine andere Frequenz als die am Empfänger erwartete, sodass die Orthogonalität der OFDM-Träger des Empfangssignals nicht mehr gewährleistet ist. Dabei tritt dieses Problem dann auf, wenn der durch die Mehrwegeausbreitung verursachte zeitliche Signalverbreiterung (Delay Spread) [179] die Länge des CP überschreitet. Der Verlust der Orthogonalität der Subträger kann ebenfalls durch einen CFO hervorgerufen werden, der beispielsweise dadurch entsteht, dass die Frequenz des LO zum Mischen des Passbandsignals ins Basisband des Empfängers (Downconversion) nicht der Frequenz zum Mischen des Basisbandsignals des Senders ins Passband (Upconversion) entspricht oder im falschen Verhältnis zu diesem Oszillator steht.

Wird statt der drahtlosen Kommunikation ein glasfaserbasiertes Übertragungsmedium verwendet, vorzugsweise *Single-Mode Fibre (SMF)*, bei dem nur eine Ausbreitungsmode existiert [174], verändern sich die Eigenschaften des Kanals maßgeblich. Im Falle von nur einer Ausbreitungsmode, entfällt zwar eine zum drahtlosen Kanal analoge starke Mehrwegeausbreitung, allerdings treten andere Effekte auf, welche ähnliche Auswirkungen besitzen. Durch die bei Glasfasern vorhandene chromatische Dispersion [87], welche die Ausbreitungsgeschwindigkeit in der Faser in Abhängigkeit von der Frequenz beeinflusst (*Group-Velocity Dispersion (GVD)*) und so ebenfalls ISI bzw. ICI verursachen kann. *Polarization-*

Mode Dispersion (PMD) wirkt sich hingegen auf die beiden innerhalb einer Glasfaser vorhandenen orthogonalen Polarisationen aus. Da sich die Ausbreitungskonstanten über die Länge einer realen Faser ändern, kommt es zu Doppelbrechungen, d.h. dass die beiden Polarisationen eine unterschiedliche Ausbreitungsgeschwindigkeit und damit eine andere Laufzeit durch das Medium besitzen (*Differential Group Delay (DGD)* [72]). Da die beiden genannten Einflüsse die effektive Länge eines OFDM-Symbols beeinflussen, können diese durch eine zyklische Erweiterung der OFDM-Symbole behandelt werden [125], wobei eine etwaige Kanalfilterung zusätzlich notwendig sein kann, z.B. eine frequenzabhängige Phasenanpassung.

Neben diesen Einflüssen eines Kanals können ebenfalls eine frequenzabhängige Dämpfung oder Phasenrotationen auftreten. Zur Kanalschätzung bietet sich es hier an, gewisse Pilotträger an verschiedenen Stellen des Frequenzbereichs einzubetten, welche eine konstante Phasenlage und Amplitude aufweisen. Durch Vergleich der empfangenen Pilotträger mit den erwarteten Werten, kann so mittels geeigneter Algorithmen bzw. Filterung der Frequenzbereich entzerrt werden. Es ist ebenfalls möglich, anhand der relativen Phasenänderung der Pilotträger zwischen aufeinanderfolgenden OFDM-Symbolen bzw. innerhalb eines Symbols Rückschlüsse auf einen CFO bzw. SFO zu treffen und diese entsprechend zu kompensieren. Ein konstanter CFO bedeutet dabei, dass das empfangene Spektrum einen konstanten Frequenzversatz im Basisband aufweist und sich somit die Phasenlagen der Pilottöne gleichmäßig in eine Richtung verschieben. Hingegen bewirkt ein SFO, dass OFDM-Symbole zu kurz oder zu lang ausfallen, was sich in Form eines Auseinanderlaufens der Phasenlage der Pilotträger widerspiegelt, auch differentieller Phasenfehler genannt [34].

Alternativ dazu kann eine bekannte Synchronisationsfolge innerhalb des Kommunikationsprotokolls verwendet werden, mit der beispielsweise eine *Automatic Gain Control (AGC)* bzw. eine Phasenrotationskomponente eingestellt werden kann. Ein Vorteil dieses Vorgehens ist, dass hierdurch bei langen Datensequenzen ein geringerer zusätzlicher Aufwand für die Kanalkorrektur anfällt, da lediglich am Anfang einer OFDM-Sequenz die Kompensationsschaltung initial eingestellt wird, was sich für einen langsam veränderlichen Kanal gut eignet, wenn beispielsweise eine Aktualisierung der Parameter auf Basis der empfangenen Daten erfolgen kann. Zudem können mithilfe einer Referenzsequenz Kompensationswerte für alle Subträger bestimmt werden, statt nur bestimmte Frequenzpunkte für diese Anpassung als Informationsquelle zur Verfügung zu haben. Sind allerdings für den Kanal kontinuierliche Anpassungen in größerem Ausmaß notwendig, können permanent vorhandene Pilotträger von Vorteil sein.

4 Stand der Technik

Auf dem Wege der Ermittlung von Parametern und Eigenschaften eines für das CBM-Experiment geeigneten TFC-Systems wurden die für die Datenerfassung zuständigen Systeme aktueller Experimente der Teilchenphysik untersucht. Die während dieser Analyse gewonnen Erkenntnisse werden innerhalb dieses Kapitels dargestellt.

Es werden hierbei zunächst die Ausleseketten der ausgewählten Experimente beschrieben und erläutert, welche Timing-Systeme und Konzepte zur etwaigen schnellen Experimentsteuerung verwendet werden. Darauf werden die jeweiligen zum Einsatz kommenden Ansätze anhand deren Eignung bewertet, den Betrieb der neuartigen selbst-getriggerten Auslese von CBM zu ermöglichen. Schließlich wird ein Satz zentraler Eigenschaften und Kernparameter abgeleitet, welche das Konzept des TFC-Systems bieten sollte, um die durch den Online-Teil der Datenerfassung von CBM gestellten Anforderungen erfüllen zu können.

4.1 Ausleseketten aktueller Teilchendetektorexperimente

Um die Detektordatenaufnahme eines Großexperimentes der Teilchenphysik zu ermöglichen, kommen aufwendige Auslesekonzepte zum Einsatz. Dabei müssen im Betrieb und gerade auch bei der Entwicklung eines solchen Auslesesystems verschiedene Herausforderungen gemeistert werden.

In der Regel kommt in Teilchenexperimenten ein mehrschichtiges Detektorsystem zum Einsatz, das sich aus mehreren Subdetektoren zusammensetzt, wobei jeder der Detektoren verschiedene Eigenschaften der Teilchenkollisionen ermitteln kann. Hierbei können diese gewonnenen Detailinformationen zur Untersuchung des Verhaltens bestimmter Teilchen dienen oder beispielsweise zur Rekonstruktion der Teilchenbahn notwendig sein. Damit die Subdetektoren eine hohe Auflösung bieten können, werden diese aus einer großen Anzahl von Sensorelementen aufgebaut. Aufseiten der Datenauslese ergibt sich durch diese Vielzahl an Elementen eine mindestens genauso große Zahl an Auslesekanälen, welche an die ASICs der FEE Schicht angebunden werden. An dieser Stelle findet darauf eine Messdatenerfassung, -aufbereitung und -digitalisierung statt, durch

die es möglich wird, Informationen über die Teilcheninteraktionen an die höheren Verarbeitungsschichten weiterzuleiten.

Auf hoher Abstraktionsebene ist das oben beschriebene Vorgehen bis zum Punkt der FEE ASICs allen heutigen Ausleseketten von Großexperimenten der Teilchenphysik gemein. Die weitere Datenverarbeitung unterscheidet sich allerdings häufig sehr und hängt maßgeblich davon ab, auf welche Weise die Datenaufzeichnung und Entscheidung über die Weiterverarbeitung von Events vollzogen wird. Hierbei lassen sich die Auslesesysteme, wie in Grundlagenkapitel 2.4 zur Synchronisation der Auslese erläutert, in die Systeme unterteilen, die Messdaten der FEE und an weiteren digitalen Zwischenschichten selbstbestimmt weiterleiten und die Systeme, welche extern dazu autorisiert werden müssen.

Der letzte genannte Ansatz kommt vor allem in den sieben zentralen Detektorsystemen am LHC zum Einsatz. Die dort stattfindenden Experimente sind die beiden großen Systeme ATLAS [163] und CMS [169], welche die Untersuchung des breitesten Spektrums an physikalischen Eigenschaften erlauben, die zwei spezifischer ausgerichteten Experimente ALICE [162] und LHCb [172], sowie die drei kleineren Experimente TOTEM [175], LHCf [173] und MoEDAL [119], welche sich in der Nähe der großen Detektoren CMS, ATLAS und LHCb befinden.

Das grundlegende Prinzip der Auslese dieser Experimente am CERN ist die (von außen) getriggerte Auslese. Hintergrund hiervon ist die Annahme, dass die anfallenden Datenmengen der Detektor-Frontends bei der gewünschten Qualität und Kanalanzahl nicht als kontinuierlicher Datenstrom ausgewertet werden können, da Datenströme im Bereich von mehreren Terabits pro Sekunde auftreten (z.B. CMS: etwa 40 Terabyte/s [171]). Generell ist es allerdings so, dass nur wenige der Events besonders interessante Eigenschaften besitzen, sodass zwischen der Event- und der Triggerrate unterschieden wird, wobei das Verhältnis beider Raten als Selektivität des Triggers bezeichnet wird.

Die Experimente am LHC arbeiten dabei mit einer Eventrate von 40 MHz (BCC, siehe Kapitel 2.4). Der LHC wurde für den im Jahr 2007 beginnenden Run für eine Luminosität [183] von $10^{34} \text{ cm}^{-2} \text{ sec}^{-1}$ ausgelegt, wobei dabei Teilchen-Teilchen-Interaktionen mit einer Rate von 700 MHz auftreten. Laut [82] tritt das besonders interessante und letztlich entdeckte Higgs-Boson [164], [166] mit einer Rate von 10^{-2} bis 10^{-1} Hertz innerhalb der Events auf, sodass eine Selektivität des gesamten, mehrschichtigen Triggersystems von mindestens 10^{-11} als notwendig erachtet wird [170].

Die Auslesesysteme der Experimente am CERN des Run 1 (2008/2009) ähneln sich im Grobkonzept sehr, besitzen allerdings im Detail unterschiedliche Lösungen. Beispielhaft seien deshalb im Folgenden die Auslesekonzepte von ATLAS und LHCb des Run1 und deren Upgrade beschrieben.

4.1 Ausleseketten aktueller Teilchendetektorexperimente

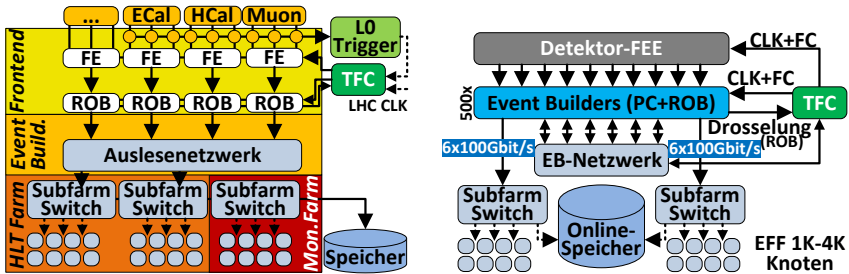


Abbildung 4.1: Blockdiagramm der Auslese von LHCb a) aus 2009 nach [172] und b) der Plan für Run 3 nach [38]

Im ATLAS Run1 [163] und LHCb Run1 und 2 [172] arbeitet die Auslese (siehe Abbildung 4.1 a), wie erwähnt, mit einer strikten getriggerten Auslesearchitektur. Hierbei nimmt die Detektorelektronik Daten auf und leitet diese über Puffer an die FEE weiter, wobei *ReadOut Boards (ROBs)* die Daten der FEE an das Auslesenetzwerk weiterreichen. Der Level-0 Trigger steuert dabei die Weitergabe der Informationen der FEE, wobei dessen Entscheidung auf Daten der Calorimeter und des Muonen-Detektors basiert. Das Auslesenetzwerk führt darauf die Eventerstellung (event building) durch, dessen Ergebnisse an den HLT weitergereicht werden. Dieser entscheidet im Folgenden darüber, ob die aufgezeichneten Daten im Permanentenspeicher des Experiments abgelegt werden sollten. Im Gegensatz zu ATLAS verfügt LHCb zusätzlich über ein TFC-System, was zur schnellen Experimentsteuerung verwendet wird.

Ein Blockdiagramm der Auslese des ATLAS Run 2 und 3 ist in Abbildung 4.2 dargestellt [22]. Hierbei ist das ATLAS Trigger- und Datenerfassungssystem (TDAQ) dafür verantwortlich, interessante Events zu erkennen und weiterzuleiten, wodurch sich die Eventrate von anfänglichen 40 MHz auf durchschnittliche 1 KHz abgespeicherte physikalische Events reduziert. Das Triggersystem ist dabei wie bisher in einen Level-1 Hardware-Trigger und einen HLT unterteilt.

Der Datenfluss des TDAQ-Systems verwendet eine push-pull-basierte Architektur, bei der Daten des detektornahen Frontends zur Elektronik fern des Detektors weitergeleitet und darauf über etwa zweitausend optische Links zum Auslesesystem übertragen werden. Hier ankommende Daten werden an den permanenten Eventdatenspeicher weitergeleitet, falls der HLT, der auf Teilen der kompletten Eventinformationen arbeitet und über je einen sogenannten Data Collection Manager pro HLT-Knoten angebunden ist, dies autorisiert.

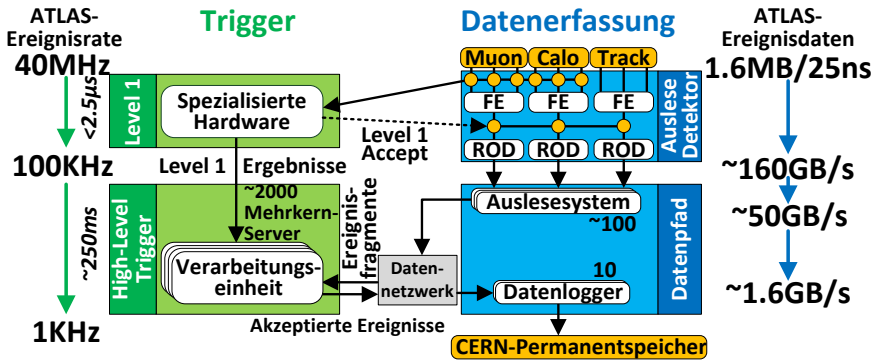


Abbildung 4.2: Blockdiagramm des TDAQ-Systems des ATLAS Run 2 und 3 nach [22]

Als eine wichtige Neuerung des nächsten Runs wird die Auslese über keine explizite Infrastruktur zur Eventerstellung mehr verfügen. Aufgrund der Anforderung, eine doppelt so hohe Luminosität [183] wie in Run 1 verarbeiten zu können, werden zudem 25% mehr Ausleseverbindungen und ein wesentlich schneller arbeitender HLT benötigt.

Aufgrund der für die Triggerentscheidung benötigten Zeit, besitzt der getriggerte Ausleseansatz den Nachteil, dass bei hohen Teilcheninteraktionsraten mit einer relativ großen Wahrscheinlichkeit einige Events verloren gehen können [36]. Da dadurch eine komplette Eventrekonstruktion nicht oder nur stark erschwert möglich ist, muss bei dieser Anforderung von der getriggerten Auslese abgewichen werden.

Aufgrund dessen wird im Gegensatz zum ATLAS-Experiment die LHCb-Auslese [38] des Run 3, der für das Jahr 2019 geplant ist, konzeptionell tiefgreifende Änderungen erfahren (siehe Abbildung 4.1 b).

Dabei ist es geplant, die Auslese auf ein triggerloses Frontend umzustellen, um die Effizienz der Auslese zu erhöhen und eine vollständige Eventrekonstruktion zu ermöglichen. Um die Performanz des Systems zu erhöhen, bestand dabei die zentrale Entscheidung darin, die Eventerstellung und -selektion in einer zur Eventfilterung verwendeten Serverfarm durchzuführen, wobei innerhalb der *Event Builder (EB)* PCs spezielle *PCI Express (PCIe)*-Karten zum Einsatz kommen, welche mittels Glasfasern und einer Kombination aus CERN GBTx ASICs und VTRx-Modulen direkt an die FEE-Schicht angebunden sind. Zur Steuerung der Auslese kommt in diesem Aufbau wie bisher ein sogenanntes Timing-

and-Fast-Commands-System zum Einsatz. Allerdings verteilt dieses System nun einen Takt und schnelle Steuerungskommandos neben den FEE Komponenten ebenfalls an die EBs und empfängt von diesen Anfragen zur Drosselung der Datenrate (throttling requests).

Im Auslesesystem des CBM-Experiments wird ebenfalls der Ansatz einer triggerlosen oder selbst-getriggerten FEE verfolgt, allerdings wird hierbei der Ansatz noch eine Stufe konsequenter umgesetzt, da ein Trigger an keiner Stufe der Auslese vorhanden sein wird [11]. Dies bedeutet zudem, dass die Komponenten der Auslese selbstständig die Entscheidung treffen müssen, wann aufgenommene Daten als Event zu kapseln, weiterzuverarbeiten und an höhere Stufen weiterzuleiten sind. Da gerade bei der Untersuchung des QCD-Phasendiagramms im Falle von CBM mit sehr hohen Interaktionsraten zu rechnen ist, wäre die Datenaufnahme mit einem getriggerten Auslesekonzept nicht praktikabel umsetzbar. In CBM wird erwartet, dass pro zentraler Schwerionenkollision bis zu eintausend geladene Teilchen entstehen, welche eine Reaktionsrate von bis zu 10 MHz aufweisen können [47].

Beim Auslesekonzept von CBM ist es die Philosophie, alle Hits eines Detektors aufzunehmen und online auf Basis der am Frontend zugeteilten Zeitstempel zu gruppieren [36]. Darauf werden durch den *First-Level Event Selector (FLES)* die Messdaten aller Detektoren innerhalb eines festen Zeitslots zu sogenannten CBM Timeslices zusammengefasst [28]. Der Vorteil ist hierbei, dass der FLES darauf eine vollständige Online-Eventrekonstruktion durchführen kann, wodurch physikalische Online-Analysen möglich werden, welche ohne komplett vorhandene Teilchenspuren nicht realisierbar wären [128]. Da hierbei Datenraten am Eingang des FLES von einem Terabyte pro Sekunde abgeschätzt wurden, kommt bei diesem ein heterogenes, hochleistungsfähiges System zum Einsatz, das sich die unterschiedlichen Vorteile von FPGAs, Grafikkarten und einem Vielkern-Prozessor-Cluster zunutze macht [28].

Da somit das LHCb-Experiment ein sehr ähnliches Auslesekonzept wie CBM verfolgt, können auch entsprechende Systemzustände eintreten, die beispielsweise das Auslösen einer globalen Drosselung der Datenrate der Detektorauslese erfordern. Damit setzt die Auslese von CBM ebenfalls das Vorhandensein eines solchen TFC-Systems voraus, wie es in der vorliegenden Arbeit behandelt wird.

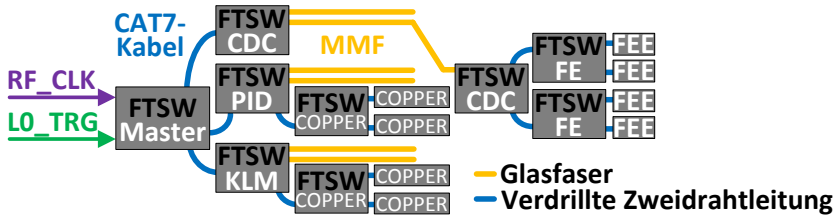


Abbildung 4.3: Blockdiagramm der Timing-/Trigger-Verteilung in Belle II nach [111]

4.2 Ansätze zur Zeitverteilung und Synchronisation der Auslesesysteme

Um die Datenerfassung der im letzten Kapitel 4.1 beschriebenen Auslesesysteme kontrolliert ablaufen zu lassen, werden verschiedene Ansätze verfolgt, die eine Synchronisation der Datenaufzeichnung und die Verteilung einer globalen Zeitinformation ermöglichen.

Im Belle-II-Experiment (siehe Abbildung 4.3), das am KEK, der japanischen Forschungsorganisation für Hochenergiebeschleuniger, stattfindet, wird ein Ansatz verfolgt, bei dem primär eine Standard CAT-7 Twisted-Pair-Verkabelung zum Einsatz kommt, um Zeit- und Triggerinformationen über eine Distanz von 15 Metern zu übertragen [112], [111]. Zur Anbindung der Links wurden spezielle, sehr flexible Frontend-Timing-Switch- (FTSW-) Karten entworfen, welche für die Installation in VME Baugruppenträgern ausgelegt und in ihrer Standardausführung zur Übertragung der Zeitinformation mit zwanzig Downlinks und einem Uplink und weiteren peripheren Twisted-Pair-Verbindungen ausgestattet sind. Es ist ebenfalls möglich, diese Platine mit zusätzlichen Glasfaserlinks auszurüsten, sodass zwischen gewissen Schichten der Verteilungstopologie die Timing- und Triggersignale über Glasfaserkabel versendet werden können.

Die für die Timing-Funktionalität wichtigsten Teile der Platine sind ein zentraler FPGA, der die Daten und Triggerkommunikation über die Twisted-Pair-Leitungen steuert und einen PLL-basierten Jitter-Cleaner Chip (TI CDCE62002 [156]) betreibt, um das Signal aufzubereiten und an die Links verteilen zu können. Dieser kann ein Taktsignal eines externen HF-Eingangs, einen lokalen Quarz oder ein Signal eines Twisted-Pair-Uplink-Ports als Referenz verwenden. Da langsame Änderungen des Takts innerhalb der Offline Analyse überwacht und kalibriert werden, ist im Twisted-Pair-Link dieses Systems für die Bestimmung der absoluten Phasenlage der Slave-Knoten kein Feedback Signal vorhanden. Für

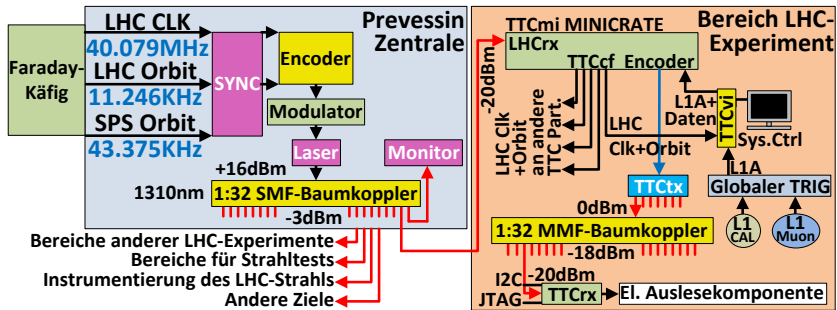


Abbildung 4.4: Blockdiagramm des CERN-TTC-Systems nach [149]

dieses System wurde ein geringer [111] Zyklus-zu-Zyklus-Jitter zwischen 10 und 20 ps am Endknoten ermittelt, wenn vier Puffer-Schichten zur Signalverteilung zum Einsatz kommen.

Die am CERN entwickelte und, zum Zeitpunkt der Erstellung der Arbeit verwendete Lösung zur Verteilung von Takt- und Timing-Informationen ist das TTC-System [148] (siehe Abbildung 4.4). Hierbei werden innerhalb der Steuerungszentrale in Prevevissin, dem französischen Teil des CERNs, die LHC-Referenzen wie BCC und die Orbit-Takte des LHC- bzw. SPS-Rings synchronisiert, speziell encodiert und auf einen 1310 nm Laser moduliert. Ein Glasfaser-Baumkoppler teilt darauf die Signale auf einzelne Glasfasern auf, welche zu den verschiedenen LHC-Experimenten, Räumen für Strahltests von Detektoren/Elektronik, der Strahlregelungselektronik etc. geleitet werden. Da hier längere Strecken überbrückt werden müssen (LHC-Ring: etwa 27 km Umfang), kommen hier SMFs zum Einsatz. Im Bereich der Experimente angekommen, kommt ein TTCmini Minicrate zum Einsatz, welches zum einen die reinen TTC-Daten weiterleitet, aber auch basierend auf den Daten des Calorimeter- und des Muonen-Detektors, Level-1 Triggerdaten dem TTC-Signal hinzufügt. Über den TTCtx genannten Sender werden schließlich die TTC-Informationen ausgegeben, mittels eines weiteren Glasfaser-Baumkopplers über *Multi-Mode Fibers (MMFs)* aufgeteilt und an die lokale Elektroniksteuerung weitergeleitet. Dort empfängt ein TTCrx genannter ASIC das TTC-Signal und stellt die aufmodulierten Daten als elektrische Signale bereit. Am TTCrx ASIC besteht weiter die Möglichkeit, die Phasenlage des Signals einzustellen (Grobeinstellung: 16 BCC-Intervalle, Feineinstellung mit 104 ps Auflösung [volle 25 ns BCC-Periode]).

Das Synchronisationskonzept des LHCb-Experiments, nach dessen Upgrade auf 40 MHz Eventrate [5] (siehe Abbildung 4.5 a), verwendet im Vergleich zum TTC-

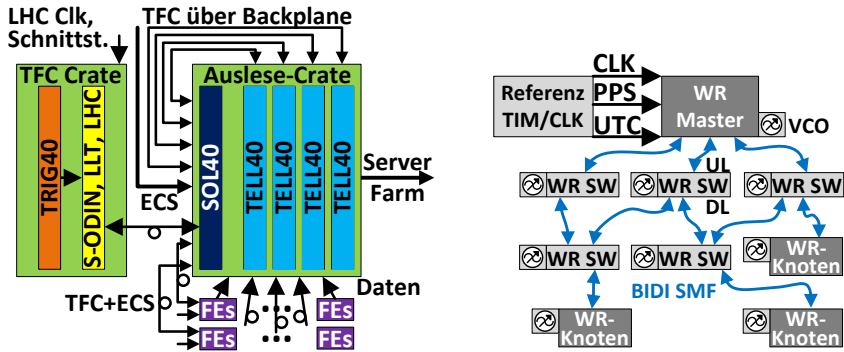


Abbildung 4.5: a) Blockdiagramm der physikalischen Struktur des Ausleseystems des ersten Upgrades des LHCb-Experiments mit Anbindung des TFCs nach [5] und b) eines White-Rabbit- (WR-) Netzwerks nach [188] mit WR-Switches (WR SW)

Netzwerk einen auf Glasfaser und FPGA-Karten basierenden Puffer-Ansatz, um die TTC-Informationen an eine große Anzahl Slave-Knoten zu verteilen. Hierbei kommen FPGA-Platinen zum Einsatz, welche die Basis der verschiedenen FPGA-Firmware-Typen darstellen (S-ODIN/ SOL40/ TELL40/ TRIG40) und verschiedene Aufgaben erfüllen. Im System des Runs 2 ist ein S-ODIN (TFC), der die Auslese überwacht, an SOL40 Glaserschnittstellen- und -auffächerungskarten (Fan-out) angebunden, welche die Schnittstelle zu den ROBs (TELL40) und den Frontend-Platinen darstellen. Dabei kommt der GBTx ASIC und dessen protokoll-äquivalentes FPGA-Gegenstück als Basis der Nachrichtenübertragung dieses Systems zum Einsatz. Physikalisch werden die Karten in dieser Struktur in ATCA installiert, wobei ein solcher Auslese-Baugruppenträger mit einem SOL40 und mehreren TELL40-Karten, bzw. ein TFC Crate mit einer Triggerplatine (TRIG40) und einem S-ODIN ausgerüstet ist, auf dessen FPGA die S-ODIN-Logik mehrfach instanziiert sein kann. Innerhalb des Crates werden dabei Takt und Fast-Control-Informationen über die Backplane verteilt. Somit wird in diesem Konzept das TFC-Crate mit N Auslese-Crates verbunden, wobei dieses an M Frontends je Auslese-Crate angeschlossen wird.

In der Weiterentwicklung dieses Aufbaus, bei dem das triggerlose Frontend ebenfalls integriert wird, ist es das Ziel 400 TELL40, 90 SOL40 und etwa 2500 Frontends mit dem TFC-System verbinden zu können [4]. Dabei wird die ATCA-basierte Topologie durch einen Aufbau ersetzt, bei dem die verschiedenen Arten von FPGA-Knoten mittels in PCs installierten PCIe-Karten realisiert werden. Durch diese tiefgreifende Änderung der Struktur werden zudem die TELL40s

nicht mehr über die SOL40-Karten angebunden, sondern parallel TELL40s und eine Kette von SOL40s und Frontends an den S-ODIN angeschlossen.

Da ein S-ODIN nicht genügend Schnittstellen besitzt, um die erwähnten etwa 500 Platinen anzubinden (TELL40s und SOL40s), wird eine Partitionierung vorgenommen, bei der je Partition ein S-ODIN an eine gewisse Anzahl Empfängerkarten angebunden ist und ein Super-S-ODIN Takt- und Zeitinformationen an diese Partitions-Master-S-ODINs verteilt, wodurch eine Baumarchitektur aufgebaut wird. Des Weiteren werden die SOL40- und TELL40-Karten nicht mehr direkt mit dem S-ODIN verbunden, sondern es kommt ein PON zum Einsatz, wodurch das optische Signal passiv aufgeteilt wird.

Beim Aspekt der Zeitsynchronisation hat sich als vielseitige Lösung für die Synchronisation außerhalb von Crates, auch über längere Strecken, das kommerziell angebotene White-Rabbit-System [188] bewährt. Die Topologie dieses Systems ist in Abbildung 4.5 b dargestellt und leitet sich von PTP ab (siehe Kapitel 2.6). Hierbei wird eine glasfaser-basierte synchrone Ethernet-Verbindung in einzelne zu synchronisierende Teilstücke zerlegt. Dabei stellen sowohl FPGA-Karten (*White Rabbit (WR) Node*) als auch spezielle Glasfaser-Switches (*WR Switch*) Knotenpunkte des Systems dar, die jeweils diese Teilstücke begrenzen. Bei einem White-Rabbit-Link besitzt je eine Seite der Verbindung Master- und die andere Slave-Privilegien. Mittels VCOs der Slave-Seite ist es bei dieser Topologie möglich, durch die iterative Synchronisation verschiedener Teilstücke, eine Baumstruktur zu erstellen, welche relativ zum Knoten der Wurzel sowohl auf Basis von Taktzyklen als auch bezüglich der Frequenz und Phasenlage des Systemoszillators präzise eingestellt werden kann. Die White Rabbit Switches besitzen dabei die besondere Fähigkeit, dass ein Port als Slave-Port (Upstream-Port) dient und alle anderen Ports, in der aktuellen Ausbaustufe 16 [20], als relativ synchronisierte Master-Ports fungieren.

Der große Vorteil dieses Vorgehens ist, dass durch dieses System sowohl die Zeitsynchronisation als auch Slow-Control-Informationen übertragen werden können. Die Genauigkeit der Phasensynchronisation wird vom Hersteller mit besser als 1 ns angegeben, wobei die Reinheit der nachgeführten Takte eine Qualität besitzt, die es erlaubt, Highspeed-Serialisierer mit einer niedrigen Bitfehlerrate zu betreiben [188].

Als nächste Evolutionsstufe des CERN TTC-Systems wird, wie beim LHCb-System, die Idee verfolgt, ein PON als Lösung für die Signalverteilung des globalen LHC-Timings zu verwenden [29] (siehe Abbildung 4.6). Dabei entstehen die Vorteile, dass eine bidirektionale Signalübertragung, eine große Anzahl an Empfangsknoten, eine hohe Bandbreite und eine Partitionierung des Systems per Software möglich wird. Zudem unterstützen kommerzielle PONs die Anbin-

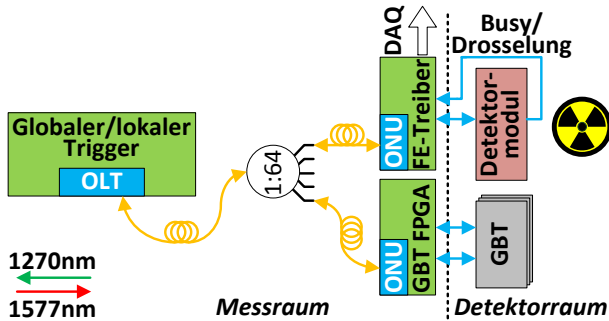


Abbildung 4.6: Beispielhaftes Blockdiagramm des geplanten CERN TTC PONs nach [91]

derung der verwendeten FPGA-Technologie über standardisierte Glasfaserübertrager, sodass das TTC-Signal direkt empfangen werden kann [4].

Im konkreten in [29] evaluierten Szenario wird ein TTC-Master mittels eines OLT-Glasfaserübertragermoduls an das PON angeschlossen, wobei ein asymmetrisches XGPON1 mit einer Datenrate von 10/2.5 Gbit/s in Downstream-/Upstream-Richtung gewählt wurde. Aufseiten des TTC-Slaves wird ein FPGA mittels eines ONUs angeschlossen, das sich die Upstream-Datenrate nach dem TDMA-Verfahren mit den anderen TTC-Slaves teilen muss. Das PON weist in der gewählten Konfiguration eine Split-Ratio von 1:128 auf, wodurch sich im konkreten Testszenario eine IDLE-Zeit von etwa 5 μ s je Slave ergibt.

Da die Stabilität der Upstream-Kommunikation durch einen großen Dynamikumfang ($P_{ONU_{near}} / P_{ONU_{far}}$) und zu kurz gewählte Totzeiten zwischen TDMA-Zeitslots aufeinanderfolgender ONUs beeinträchtigt werden kann, wurde in der aktuellen Umsetzung des TTC PONs [91] ein ONU-Zeitslot zu 125 ns (Nutzdaten + Overhead) gewählt, was bei einem Teilungsverhältnis (Split-Ratio) von 1:64 zu einer maximalen Leerlaufzeit von 8 μ s im Upstream führt.

4.3 Bewertung der Ansätze zur Zeitsynchronisation

Die Datenerfassung des CBM-Experiments unterscheidet sich, wie in Kapitel 4.1 beschrieben, durch dessen selbst-getriggert betriebene Auslese signifikant von anderen aktuellen Systemen zur Auslese von Experimenten der Teilchenphysik. Dennoch bieten die in den letzten beiden Unterkapiteln beschriebenen Systeme

in ihrer Gesamtheit Ansätze, auf deren Basis sich ein Konzept eines TFC-Systems entwickeln lässt.

Bevor im Folgenden auf die Ansätze zur Zeitsynchronisation eingegangen wird, werden zunächst die generellen Anforderungen der Auslese von CBM und der daraus folgenden Implikationen erläutert.

Die Grundvoraussetzung des Betriebs der heterogenen, verteilten Auslese ist, dass der komplette Online-Teil der Ausleseketten, von der FEE bis einschließlich der FPGA-Schicht, mit einem Takt von global gleicher Frequenz betrieben wird. Dies hat den Zweck, es zu ermöglichen, dass die Knoten der verschiedenen Detektoren des Online-Systems mit derselben Frequenz Daten aufzeichnen und identische Mengen an Eingangsdaten durch die Zwischenschichten zu Datencontainern gleicher Größe verpackt werden können. Zudem kommt im Falle der CBM-Auslese erschwerend hinzu, dass zur Sicherstellung einer kompletten Trennung der *Data Acquisition (DAQ)*- von der FEE-Schicht der Systemtakt am Frontend nicht über eine Taktleitung an die FEE weitergeleitet wird, sondern dieser vom seriellen Highspeed-Datenstrom der Glasfaserverbindung der Downstream-Datenübertragung abgeleitet werden muss. Damit stellt die Qualität der Taktverteilung eine sehr wichtige Voraussetzung des TFC-Systems dar.

Neben der somit wichtigen Synchronisation auf physikalischer Ebene, ist es essentiell, eine Zeitreferenz innerhalb der Auslese bekanntzumachen, welche beispielsweise für die Containerbildung und die Erstellung von Zeitstempeln an der Zwischenschicht eingesetzt werden kann.

Die zweite besonders wichtige Aufgabe des TFC-Systems, welche im Kapitel 4.1 erwähnt wurde, ist die Fast-Control-Funktionalität. Diese muss es ermöglichen, Informationen transparent mit kurzer, konstanter Latenz zwischen der FEE-, der FPGA-Schicht und einer zentralen Fast-Control-Einheit auszutauschen, um über entsprechend zu treffende Aktionen zu entscheiden und diese kontrolliert ausführen zu können.

Weitergehend würde die ideale TFC-Lösung keine Highspeed-Transceiver benötigen, da diese anderweitig für die Datenübertragung zum Einsatz kommen. Dennoch ist es für das System eine notwendige Voraussetzung, dass die zukünftige Erweiterbarkeit der Anzahl Slave-Verbindungen gegeben ist.

Letztendlich muss das TFC-System ebenfalls dazu geeignet sein, nicht nur Aufbauten der Auslese anbinden zu können, welche sich innerhalb eines kleineren Laboraufbaus abspielen, sondern das TFC muss in die Topologie der CBM-Auslese integrierbar sein, dessen finale Struktur berücksichtigen und Möglichkeiten der Erweiterbarkeit bieten.

Da die FPGA-Schicht die digitale Schnittstelle zwischen der FEE und der Server Farm und somit den Übergang vom synchronen zum nicht-deterministisch-

en Software-basierten Teil der Auslese bildet, bietet es sich an, diese Schicht als zentralen Anknüpfungspunkt des TFC-Systems zu verwenden. Im Kern dieser Schicht kommt eine große Anzahl FPGA-Karten zum Einsatz, final in der Größenordnung von 1000 Stück, welche zur leichteren Handhabbarkeit innerhalb von *Micro Telecommunications Computing Architecture (mTCA)* Crates installiert sind. Dadurch entstehen zwei Ebenen des TFC-Systems (innerhalb/außerhalb der Crates), die auf unterschiedliche Weise mit den TFC-Komponenten kommunizieren und synchronisiert werden müssen.

Im Folgenden werden die Synchronisations- und Signalverteilungsansätze der erläuterten Timing-Systeme bewertet, indem die Teilkonzepte der Systeme bezüglich ihrer Eignung für das Auslesesystem von CBM analysiert werden.

Das in Belle II angewandte Vorgehen entspricht einem elektrischen Pufferungsansatz der Taktsignale. Im einfachsten Fall ließe sich die Verteilung eines Taktes innerhalb eines großen Systems über mehrere Meter HF-Kabel bei sehr guter Signalqualität realisieren, wenn lange, sehr hochwertige Kabel zum Einsatz kämen. Dabei könnte der Takt direkt durch die FPGA-Komponenten wiederverwendet werden und dessen Qualität könnte dazu ausreichen, Highspeed-Serialisierer zu betreiben. Ebenfalls wäre es möglich, die Signale mittels Puffer- bzw. Aufbereitungsbausteinen zu verarbeiten, um längere Strecken überbrücken zu können. Allerdings würde dabei ein großes analoges Verteilungsnetzwerk benötigt und es müssten viele teure Kabel verlegt werden, um lediglich einen Takt innerhalb des Systems zu distribuieren.

In Belle II findet dieser Ansatz, allerdings in einer geschickt erweiterten Form, Verwendung, indem CAT7-Kabel zum Einsatz kommen. Da es sich dabei um eine mechanisch sehr robuste Verkabelung handelt und zudem vier getrennte, voneinander abgeschirmte, differentielle Übertragungspaare zu Verfügung stehen, stellt dies einen sehr interessanten Ansatz dar, da er eine hohe Flexibilität mit vergleichsweise günstigen Komponenten bietet. Dennoch ist das gewählte Vorgehen aus Belle II in der verwendeten Form für CBM nicht geeignet, da Variationen der Takte im Nachhinein, d.h. nicht im Online-System, kompensiert werden und ein Rückkanal mit konstanter, niedriger Latenz nicht Vorhanden ist.

Das erläuterte TTC-System bietet für den Einsatzzweck am CERN ein sehr gutes System zur Verteilung der globalen LHC-Takte an die Experimente und der lokalen Experimenttrigger an die einzelnen Controller der Detektorelektronik, da es mit seiner SMF-/MMF-Architektur Signale über weite Strecke übertragen kann. Durch die Verwendung verschiedener PLLs an mehreren Stellen des Systems lässt sich trotz der langen Strecken eine sehr gute Qualität der verteilten Referenztake sicherstellen. Was dieses System allerdings als Architektur eines TFC-Systems ungeeignet macht, ist die Tatsache, dass diese Architektur nur für die unidirektionale Verteilung von Referenzsignalen entwickelt wurde und so-

mit kein Rückkanal existiert. Des Weiteren ist die Phaseneinstellung von Slave-Takten, trotz des Vorhandenseins einer Logik am TTCrx zum Latenzausgleich (Deskew-Logik), nicht optimal für ein System, das des öfteren angepasst oder neu programmiert wird, da dessen Konfigurationswerte nicht automatisch bestimmt werden [148], was sich beim Aufbau eines neuen Systems als kritisch erweisen könnte.

Das White-Rabbit-System bietet eine interessante glasfaserbasierte Lösung zur Synchronisation von Netzwerken, die sich über Distanzen erstrecken, welche mit kommerziellen SFP-Übertragern überbrückt werden können, was bei 1000-BASE-LX10 Modulen und SMF-Kabeln Strecken von bis zu 10 km erlaubt [58]. Die sehr hohe Synchronisationsgenauigkeit und Qualität des am Slave erzeugten Taktes machen dieses System zu einer sehr interessanten Lösung für Timing- und Synchronisationssysteme. Nachteilig ist jedoch, dass die durch die synchronen Ethernet-Switches des Systems hervorgerufene durchschnittliche Latenz zur Paketweiterleitung im Bereich von 3 μ s liegt. Außerdem lässt sich mit der Basisversion des Systems ein Takt am Slave nur auf die Referenzfrequenz des verwendeten Highspeed-Kanals einstellen und somit nur diese Frequenz für den synchronen Betrieb anderer Gigabit-Transceiver, z.B. in Richtung FEE verwenden. Erst in späteren Versionen des Systems, die auf der Master- und Slave-Seite *Direct Digital Synthesis (DDS)*-ICs verwenden, lässt sich, trotz der verwendeten Gigabit-Ethernet-Referenzfrequenz von 125 MHz, am Slave ein Oszillator auf eine andere Frequenz einstellen, indem am Master gemessene Phasenwerte desselben Oszillators an den Slave zur Phaseneinstellung übertragen werden, was *Distributed DDS* [188] genannt wird. Dieser Ansatz ist, was die Regelung betrifft, wesentlich aufwendiger als der Basisansatz und erfordert zusätzliche Elektronikkomponenten, die nicht auf der Prototypenplatine des CBM-Experiments, dem *AMC FMC Carrier Kintex (AFCK)*, zur Verfügung stehen. Dennoch bietet der Kern des White-Rabbit-Systems, mittels des per VCOs verbesserten PTP-Verfahrens, einen sehr guten Basisansatz, um in einem verteilten System Oszillatoren mit sehr hoher Qualität zu synchronisieren und Frontend Links zu betreiben.

Das Vorgehen in LHCb und das Upgrade dessen bzw. des TTC-Systems bieten für das TFC-Konzept von CBM interessante Ansätze. Mit der Verwendung einer Hierarchie von Crates kommt das Ausleseystem von LHCb der in CBM angestrebten Struktur des Online-Teils der Auslese bis zur FPGA-Schicht sehr nahe. CBM setzt dazu ebenfalls in einer Vielzahl von Subdetektoren auf die GBTx basierte Frontend-Anbindung mit einer Verteilung von TFC-Informationen bis zur FEE. Da es allerdings nicht geplant ist, dieselben innerhalb des CERNs entwickelten optischen Schnittstellen oder Takt- und Triggerinformationen zu verwenden, ist eine direkte Übertragung des Konzepts nicht möglich. Dennoch ist der Aufbau eines TFC Crates mit einer gewissen Anzahl an Links zur Anbindung der Auslese-Crates eine angemessene Topologie.

Das innerhalb von CERN in der Entwicklung befindliche TTC PON bietet, aufgrund eines hohen Teilungsverhältnisses, einen sehr interessanten Ansatz zur einfachen Erweiterung der Anzahl Slaves innerhalb einer TFC-Topologie. Jedoch stellt die gewählte Art des PONs in der am CERN angedachten Parametrisierung keine gute Lösung für die FC-Kommunikation des TFC-Netzwerks dar, weil hierbei im US mit einer Extremfall-Latenz von $8 \mu\text{s}$ gerechnet werden muss. Würde allerdings ein PON verfügbar sein, das eine kontinuierliche Rate im US bieten könnte, wodurch eine geringe durchschnittliche Latenz entstünde, wäre allerdings ein PON ein sehr guter Kandidat für die zukünftige Erweiterung eines TFC-Netzwerks.

Zusammenfassend lässt sich herausstellen, dass der topologische Trend innerhalb von aktuellen Timing- bzw. TFC-Systemen in Richtung der glasfaserbasierten Anbindung tendiert. Ebenfalls werden für die Entgegennahme und Aufbereitung verteilter Takte PLL-basierte Verfahren eingesetzt, wobei sowohl reine Hardware-/IC-Lösungen, als auch kombinierte Hardware/Software PLL-Lösungen vertreten sind. Da die hier betrachteten Systeme zur Zeitsynchronisation für getriggerte Auslesen ausgelegt sind bzw. für ein breiteres Einsatzspektrum konzipiert wurden, sind deren etwaige Kommunikationsmöglichkeiten nicht auf eine geringe, konstante Latenz optimiert, wie sie für die FC-Übertragung in CBM benötigt werden.

4.4 Ableitung von Eigenschaften für ein TFC-System in CBM

Auf Basis der in Kapitel 4.3 dargelegten Bewertung der Konzepte der Timing-Systeme lässt sich ein grundlegender Satz an Eigenschaften des zu konzipierenden TFC-Systems formulieren.

Dabei ist es die generelle Idee, das TFC-System strukturell ähnlich des in LHCb aufgebauten Synchronisationssystems aus Run2 zusammenzustellen [5], was bedeutet, dass ein TFC-Master-Crate mit N Auslese-Crates verbunden wird, wobei in diesen die CBM-spezifischen *Data Processing Boards (DPB)*-Karten installiert sind (statt TELL40 in LHCb) und die Frontends anbinden.

Da die maximale obere Schranke der Latenz für ein funktionstüchtiges Fast-Control-System noch nicht genau bekannt ist, d.h. die Summe der Latenzen der Downstream-, Upstream-Kommunikation und Entscheidungsfindung, diese aber sicherlich innerhalb nur weniger Microsekunden liegen wird, sollte für den ersten Prototypen des TFC-Systems eine Infrastruktur gewählt werden, welche die geringste zusätzliche Latenz verursacht. Aufgrund der relativ hohen Latenz der switch-basierten White-Rabbit-Lösung bzw. der des aktuell ausgelegten CERN TTC PONs, wird eine Topologie favorisiert, die ebenfalls eher dem Basis-Kon-

zept der TFC-Anbindung in LHCb nahekommmt. Dabei sollte der TFC-Master-Slave-Link außerhalb der Crates zunächst mit Punkt-zu-Punkt-Verbindungen ausgeführt und die Synchronisation der DPBs innerhalb der Crates, analog zum Ansatz in LHCb, mittels der Crate-Infrastruktur umgesetzt werden.

Aufgrund eher geringer Flexibilität wird es für das TFC-System nicht vorgesehen, zum Zweck der Erzeugung eines hochwertigen Taktsignals am Slave auf Basis eines empfangenen Taktsignals, spezielle aufbereitende ICs wie in Belle II [111] einzusetzen.

Stattdessen wird ein Vorgehen ähnlich White Rabbit [188] als zentralem Ansatz anvisiert, bei dem eine frequenz- und phasensynchrone Kopie des Master-Taktes mittels nachgeregelter VCOs am Slave erzeugt wird. Durch das Vorhandensein eines symmetrischen Übertragungslinks sollte eine sehr hoch aufgelöste Messung der Paketumlaufzeit analog zum erweiterten PTP-Verfahren aus White Rabbit ermöglicht werden, welche die Ableitung eines präzisen Phasenversatzes am Slave erlaubt. Wäre es des Weiteren möglich, das Übertragungsmedium bidirektional zu betreiben, ließe sich zudem der Aufwand der Kalibration des Links reduzieren, da die Strecke so dieselbe Latenz in Down- und Upstream Richtung aufweist.

Bei der Anforderung bezüglich des Übertragungsmediums lässt sich hingegen, gerade in Verbindung mit der Anforderung der Erweiterbarkeit, keine ideale Lösung finden, ohne Kompromisse einzugehen. Da die glasfaserbasierte Kommunikation Highspeed-Serialisierer verwendet, wird durch diese Lösung stets mindestens eine dieser Komponenten belegt, welche anderenfalls für die Datenübertragung der Auslese verwendet werden könnte. Wird hingegen, ähnlich zu Belle II [111], auf eine Twisted-Pair-Übertragung gesetzt, steht dieser Serialisierer zur Verfügung. Dabei müssen allerdings neben der Master- ebenfalls auf der Slave-Seite Platinen entwickelt werden, welche die Twisted-Pair-Schnittstelle bereitstellen, wobei deren Stückzahl am TFC-Slave in die Größenordnung von etwa 100 Karten gehen könnte. Zudem existieren bezüglich der Erweiterbarkeit keine kommerziellen Lösungen, um das Twisted-Pair-Netz von der Anzahl der Teilnehmer her auszubauen. Es müssten also passive oder aktive Komponenten selbst entwickelt werden, welche diese Aufgabe übernehmen können, was natürlich auch ein FPGA-basiertes Verteilungssystem darstellen kann.

Im Hinblick auf den zukünftigen Ausbau des TFC-Netzwerks käme, außer einer TFC-Multi-Master-Crate-Lösung, ein PON-basiertes Verteilungsnetzwerk infrage, wenn sich dessen Upstream Latenz auf ein Maß reduzieren ließe, sodass sich die maximale Latenz der Übertragung und der Entscheidungsfindung unterhalb der, im Laufe des zukünftigen Auslesesystems von CBM zu bestimmenden, oberen Schranke der maximal zulässigen FC-Latenz einpendeln würde.

Dabei hätte das glasfaserbasierte System den Vorteil, dass bereits die benötigten Highspeed-Serialisierer zum Einsatz kommen und eventuell einige Komponenten der FPGA-Logik beim System-Upgrade zur PON-Architektur wiederverwendet werden könnten. Gleichwohl gestaltet sich die Umstellung auf ein PON-Netzwerk als aufwändig, da ein anderes Kommunikationsverfahren implementiert werden muss, das die Punkt-zu-Multipunkt-Kommunikation unterstützt. In Kapitel 9.1 findet sich deshalb die Beschreibung und Evaluierung eines PONs im Laboraufbau, das sich für eine zukünftige Erweiterung des TFC-Systems eignen könnte, da sich durch das hier verwendete Konzept die US-Extremfall-Latenz prinzipiell drastisch verringern lässt.

Auch wenn das Twisted-Pair-System für die Verwendung im TFC-System von CBM zunächst unattraktiv scheint, bietet es andere Anwendungsgebiete, welche mit einem glasfaserbasierten TFC-System nicht möglich wären, sodass dieses innerhalb dieser Arbeit als Alternativansatz umgesetzt und verglichen wird. Im Rahmen einer Vorevaluierung wurde dabei ein auf der *Twisted-Pair (TP)*-Kommunikation basierendes System zur Zeitsynchronisation erstellt, das sogenannte Timing-Synchronizer-System, welches innerhalb der CBM-Strahltests am CERN SPS Ende 2016 erfolgreich zum Einsatz kam und Schlüsse für das zukünftige TP-TFC-System ermöglichte.

Zusammenfassend lässt sich bezüglich der Wahl des Übertragungsmediums sagen, dass die Glasfaser-Lösung möglicherweise eine bessere Eignung für das CBM-System bietet, da COTS-Komponenten erhältlich sind und eventuell die zukünftige Erweiterung des Aufbaus leichter fällt. Da die Integration und Anbindung von Highspeed-Serialisierern sich allerdings als teuer erweist und diese aus diesem Grund im kostengünstigen Embedded-Bereich nur selten anzutreffen sind, bietet der TFC-Ansatz mit Twisted-Pair-Verbindungen dennoch gerade für dieses Einsatzgebiet eine interessante Synchronisationslösung, was sich auch beim entwickelten Timing-Synchronizer-System in Form einer einfachen Integrierbarkeit zeigte. Gerade auch in Bereichen, in denen neue verteilt rechnende, synchron arbeitende Architekturen verwendet werden, die keine serielle Highspeed-Kommunikation benötigen, kann dieses System dank dessen erleichterter Systemintegration möglicherweise den entscheidenden Vorteil bieten.

5 Vorstudie - ein Timing-System für Strahltests

Während der Konzeptionierungs- und Entwicklungsphase des TFC-Systems entstand der Bedarf, bereits innerhalb von frühen Strahltests etwas größere, zusammengesetzte Auslesesysteme betreiben zu können, die eine Auswertung mehrerer verschiedener Detektorelemente ermöglichen. Dabei stößt allerdings die durch eine Kette aus FPGA-Platine und FEE ASICs zur Verfügung gestellte Anzahl an Messkanälen bereits bei relativ kleinen Aufbauten an ihre Grenzen. Somit ist für den Betrieb einer mittelgroßen Strahltestauslese die Verwendung mehrerer unabhängiger Auslezeweige vonnöten, welche für eine verlässliche Datenaufzeichnung und -erfassung synchronisiert werden müssen.

Prinzipiell ist es bei kleineren Aufbauten möglich, den Systemtakt und ein Synchronisationssignal zwischen den FPGA-Platinen über Pin-Header oder Hochfrequenzkonnektoren wie *Subminiature As (SMAs)* zu verteilen. Wächst allerdings der Umfang der Aufbauten an oder entstehen Systeme, die in Crates installiert werden sollen oder solche, die besondere Anforderungen aufweisen, sind aufwändigere Synchronisationsansätze vonnöten.

Im Falle der für Ende des Jahres 2016 geplanten Strahltests kommen unter anderem die *n-X-Y-Time-Energy Read-out (XYTER)* [23] ASICs aus dem Jahre 2009 zum Einsatz. Diese wurden für die Auslese von Detektorelementen des STS-Detektors entwickelt. Bei diesem Chip besteht die Anforderung, bei direkter Anbindung an die DPB FPGAs, DC-gekoppelte Datenkanäle zu verwenden. Gleichzeitig teilen sich diese ASICs stets das Massepotential mit den angeschlossenen Detektorelementen. Dadurch ist es notwendig, die Auslekette vom Detektorelement bis zum FPGA auf demselben Potential zu betreiben. Bei der Verwendung von Siliziumdetektoren ist zudem zu berücksichtigen, dass diese physikalisch stets über eine n- und eine p-Seite verfügen. Während des Betriebs müssen diese Bereiche der Detektoren auf verschiedene Referenzpotentiale eingestellt werden, was einen Spannungsunterschied von mehreren hundert Volt zwischen der p- und n-Bezugsfläche verursacht.

Somit wird es bei diesem Aufbau klar, dass es nicht möglich ist, mittels einfacher Kupferverbindungen zwischen den FPGA-Platinen der n- und p-Seite diese Art von Detektorauslese zu synchronisieren, da dies unmittelbar zu Schäden an der Elektronik führen würde.

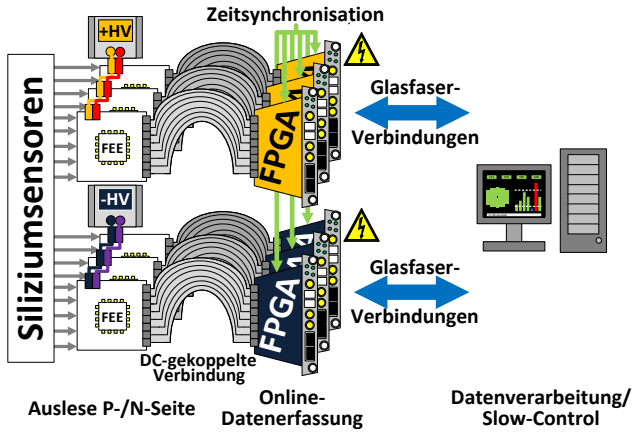


Abbildung 5.1: Auslesekette mit DC-gekoppelter FEE am Beispiel des STS-Detektors

Da zu diesem Zeitpunkt noch kein voll funktionsfähiges TFC-System zur Verfügung stand, wurde das sogenannte Timing-Synchronizer-System entwickelt, das in den folgenden Kapiteln erläutert und ausgewertet wird. Da dieses System einen Vorläufer des TFC-Systems mit herabgesetzter Funktionalität darstellt, fließen bei dessen Entwicklung gewonnene Erkenntnisse in das Konzept des TFC-Systems ein. Teile dieser Erläuterungen bezüglich des TS-Systems wurden durch den Autor in [MEF⁺16] bzw. [MEF⁺17] veröffentlicht.

5.1 Topologie und Funktionalität

Die Topologie der Strahltestauslese ist in Abbildung 5.1 dargestellt. Hierbei dienen die *Advanced Mezzanine Card (AMC)-FPGA Mezzanine Card (FMC)-Carrier-Kintex- (AFCK-)* Platinen als Basis der FPGA-basierten Auslese, welche mit sogenannten ANSI/Vita57.1 FMCs [7] ausgestattet werden können und die Funktionalität der Basisplatine erweitern.

Wie bereits im vorherigen Kapitel anklang, ist es notwendig, die FPGA-Platinen, welche sich auf verschiedenen Massepotentialen befinden, für die Synchronisation mittels Verbindungen an ein zentrales System anzuschließen, welche keinen Spannungsabfall über die Kommunikationsleitung zulassen und somit ebenfalls auf eine gleichanteilsfreie Datenübertragung setzen.

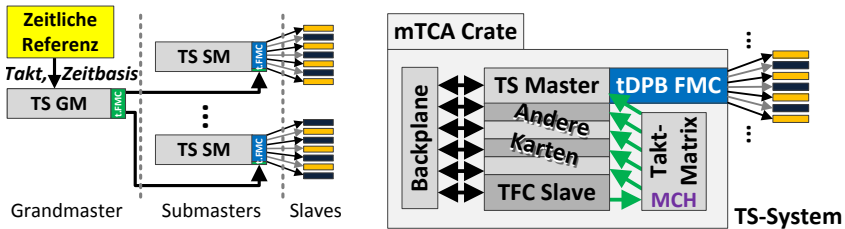


Abbildung 5.2: a) Topologie eines hierarchischen TS-Systems, b) möglicher zukünftiger Aufbau, bei dem der TS-Master Teil eines mTCA Crate ist und Takt- und zeitliche Informationen vom TFC-System erhält

Hierzu ließe sich ein Ansatz wählen, der auf Glasfaserverbindungen basiert, allerdings ist die Einbindung der dafür notwendigen seriellen Hochgeschwindigkeits-Übertrager und deren Anbindung an bestehende FPGA-Designs aufwendig, und nicht deterministische Übertragungslatenzen sind bei ungünstiger Parametrierung der Übertrager möglich.

Aufgrund dessen wurde statt des glasfaserbasierten ein kupferbasierter Ansatz gewählt, bei dem mittels COTS-Ethernet-Transformatoren, *Registered Jack 45 (RJ45)*-Verbindern und der strikten Trennung der Schirmpotentiale ein günstigeres, leichter umzusetzendes und besser handhabbares System entwickelt wurde.

Hierfür wurde die in den folgenden Kapiteln erläuterte *Timing DPB (tDPB) FMC*-Karte entwickelt, welche zusammen mit den Timing-Synchronizer-Logik aufseiten der FPGAs es erlaubt, ein synchrones Netzwerk für Strahlzeitauslesen bereitzustellen. Die tDPB FMC-Karte ist mit vier Ports ausgestattet, sodass mit den zwei FMC-Steckplätzen des AFCKs insgesamt acht FPGA-Karten angebunden werden können.

Dabei wurden die Komponenten Grandmaster, Submaster und Slave definiert, welche es ermöglichen, eine Baumstruktur aufzubauen und somit eine große Anzahl an Auslesekarten zu synchronisieren. In Abbildung 5.2 a ist ein solches System schematisch dargestellt.

Die Slaves stellen die Komponenten dar, welche in den DPBs der Auslese instanziiert werden und die Komponenten mit einem Takt und Synchronisationsinformationen versorgen. Die Grandmaster-Komponente übernimmt im TS-System die Rolle der Wurzel des Baumes und verfügt neben bis zu acht TS-Ports über die Möglichkeit, einen Takt und Synchronisationspulse eines Referenzsystems zu verwenden, wie z.B. des *CBM-Clock-System (CLOS)*-Taktgeneratorsystems [76], das bei die Auslese der MUCH FEE ASICs zum Einsatz kommt. Das Bin-

deglied dieses Systems stellen die Submaster-Komponenten dar. Sie erlauben es, mit bis zu sieben Sende- und einem TS-Empfangsport die TS-Link Informationen einer übergeordneten Komponente, wie dem Grandmaster oder einem weiteren Submaster, an die Sendeports weiterzuleiten und somit die Anzahl in einem Netzwerk befindlicher Slaves drastisch zu erhöhen. So ist es beispielsweise möglich, mittels eines Grandmasters bis zu acht Slaves zu synchronisieren, wobei das Hinzufügen einer Zwischenschicht aus Submastern es erlaubt, die Anzahl synchronisierbarer Slaves auf 56 zu erhöhen.

In zukünftigen Szenarien kann der TS-Grandmaster ebenfalls in einem mTCA Crate betrieben werden, was in Abbildung 5.2 b dargestellt ist. Hierbei erhält die TS-Komponente den Takt und die Synchronisationsinformationen von einem TFC-Slave, der den Referenztakt mittels der mTCA Telekommunikations- bzw. Triggerleitungen der Backplane weiterleitet.

Natürlich ist es mit der im Folgenden beschriebenen TS-Systemstruktur ebenfalls möglich, die FPGA-Karten in einem mTCA Crate zu installieren zwecks Programmierung, Slow-Control-Anbindung, Kühlung, Stromversorgung und der allgemein erleichterten Handhabung des Aufbaus. Dabei muss allerdings die Verteilung der Synchronisationssignale in der entwickelten Standardkonfiguration über Twisted-Pair-Kabel erfolgen. Da sich im Falle eines Aufbaus mit STS-Elementen die angeschlossenen Slaves ohnehin auf verschiedenen Potentialen befinden (p-/n-Seite), ließe sich kein vollständiges System mit einem mTCA Crate aufbauen, was eine externe Verkabelung notwendig macht. In einer zukünftigen Version der TS-Cores könnte dennoch, für den Fall, dass ein TS-Submaster innerhalb eines mTCA Crates mit sonst ausschließlich TS-Slave-Karten verwendet würde, die Signalverteilung per Leitungen der Telekommunikationstakt- bzw. Trigger-Backplane realisiert werden, wodurch die externen Kupferkabel für Karten, die zu denselben Crate gehören, entfallen könnten. Diese Erleichterung des Verdrahtungsaufwands eines Strahltests ist allerdings nur möglich, falls keine voll bestückten mTCA Crates im Aufbau benötigt werden, um die gewünschte Anzahl an Auslesekanälen erreichen zu können.

5.2 FPGA-Erweiterungskarte

In CBM werden für Strahlzeiten anwendungsspezifische FMC-Karten hauptsächlich dafür erstellt, um neben der benötigten Peripherieelektronik Verbindungsmöglichkeiten zwischen den verschiedenen Elektronikkomponenten bereitzustellen, die einzeln oder im Zusammenspiel evaluiert werden sollen. Hierbei werden für die AMCs der Auslese detektorspezifische Karten aufgebaut, welche die Verbinder und Schnittstellen in Richtung Frontend, aber ebenso für

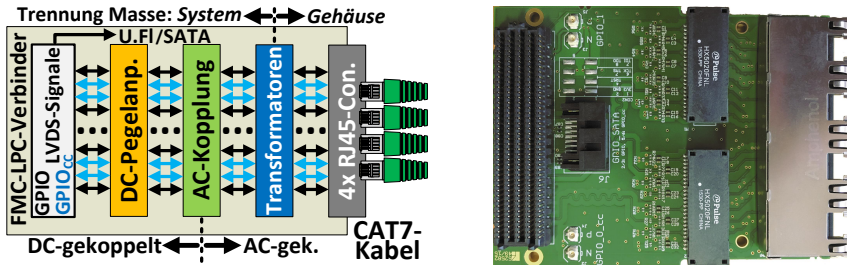


Abbildung 5.3: a) Blockschaltbild und b) Foto der tDPB-FMC-Karte mit galvanisch getrennten Twisted-Pair-Links

die Slave-Seite des hier beschriebenen Timing-Synchronizer-Systems anbieten. Das tDPB FMC wurde im Gegensatz dazu für die Master-Seite des TS-Netzwerks entwickelt, auch wenn es sich aufgrund der symmetrischen Auslegung ebenso auf der Slave Seite verwenden lässt.

Wie bereits im vorangegangenen Kapitel 5.1 erwähnt, ist die zentrale Idee hinter der Entwicklung der tDPB FMC mit COTS-Komponenten ein in jeder Hinsicht effizient einsetzbares System bereitzustellen, das es erlaubt, große Potentialdifferenzen sicher zu überbrücken und FPGA-Knoten zu synchronisieren. Ein Photo der produzierten tDPB FMC-Karte ist in Abbildung 5.3 dargestellt. Die Karte besitzt die Abmessungen (H, B, T) = (12 mm, 69 mm, 88.9 mm).

Bei der Entwicklung war neben der reinen Funktionalität vor allem der Formfaktor von Belang. Da die Karte ebenfalls in mTCA.4 Crates einsetzbar sein sollte, mussten deren Maße so gewählt werden, dass bei der Installation von mit der Karte bestückten AMCs im Crate keine Einschränkungen entstehen.

Um mögliche Kollisionen von PCB-Komponenten mit Karten in benachbarten Steckplätzen des mTCA Crates zu vermeiden, wurden nur sehr flache SMD-Bauteile auf der Oberseite der Karte platziert und etwas höhere Bauteile auf die Unterseite verlegt. Auf dieser Seite der Platine ist allerdings die Stapelhöhe nach ANSI/Vita57.1 [7] zu berücksichtigen, welche im größeren Fall 1cm beträgt und entsprechend die Höhe der Bauteile unterhalb der Karte laut Standard im I/O-Bereich auf 9.5 mm und in den restlichen Regionen der Karte auf 4.7 mm einschränkt.

Die Auswahl des für die tDPB FMC-Karte benötigten Multi-Port-RJ45-Konnektors gestaltete sich aufgrund dieser Höhenvorgabe allerdings etwas schwierig, da die Öffnungen der RJ45 Buchsen mit Einbuchtung für die Haltenasen der Stecker allein schon eine Höhe von etwa 7.5 mm besitzen. Aus diesem Grund

wurde für die tDPB FMC-Karte ein super-flacher Konnektor [9] ausgewählt, der eine Aussparung des PCB-Materials im Bereich unterhalb der Buchsen voraussetzt und so der Komponente effektiv mehr Bauhöhe bereitsteht, als unter der Platine verfügbar wäre. Bei einer PCB-Dicke von etwa 1 mm belegt der Stecker gerade einmal einen weiteren Millimeter oberhalb der Platine, was innerhalb des vertretbaren Rahmens liegt, da keine Kollisionen mit benachbarten AMCs auftreten. Leider musste durch diese Komponente sowohl die Breite als auch die Länge der FMC-Karte vergrößert werden, sodass deren Abmessungen die Dimensionen des ANSI/Vita57.1 [7] Standards überschreiten. Notwendig machte dies zum einen der geforderte PCB-Ausschnitt, der zu wenig PCB-Material an den Rändern der Karte übrig ließe, um den Befestigungsnasen des Konnektorgehäuses genügend mechanische Stabilität zu bieten. Des Weiteren musste die Komponente aufgrund deren Bautiefe um 13 mm über die spezifizizierte Länge des Standards hinausragen, damit die zweite Reihe der Montageschrauben der FMC-Karte verwendet werden kann, um für die Twisted-Pair-Kabel eine Zugentlastung zu bieten.

Als Schnittstelle zur FPGA-Platine dient ein FMC-Stecker, der in der *High Pin Count (HPC)*-Ausführung zum Einsatz kommt. Hierdurch ist es möglich, die Signalleitungen des FPGAs der Trägerplatine direkt an die Übertragungskomponenten der tDPB-Karte anzubinden. Dabei dienen zwei Gigabit-Ethernet-Transformatorbausteine mit je acht Kanälen zur galvanischen Trennung der Signalverbindungen zwischen den beiden FPGAs an den Enden der Übertragungsstrecke. Als weitere wichtige Designentscheidung, die die Verbindung zweier Karten erlaubt, welche sich auf verschiedenen Massepotentialen befinden, wurden die Massen des RJ45 Konnektorgehäuses und der Transformatoren in Richtung Übertragungsmedium lediglich gleichanteilsfrei an die Masse der Trägerplatine gekoppelt. Da der Kabelschirm eines *Screened Foiled Twisted Pair (S/FTP)*-Kabels eine leitende Verbindung zwischen den Gehäusen der Karten an den beiden Enden der Übertragungsstrecke herstellt, ist diese Maßnahme dringend notwendig. Die gewünschte gleichanteilsfreie Ankopplung der Massepotentiale wird mittels keramischer 2-KV Kapazitäten umgesetzt, da diese lediglich Ströme im hochfrequenten Bereich passieren lassen.

Um die Funktionalität zur Übertragung von Takt und Synchronisationsinformationen bereitzustellen, wurden die vier differenziellen Paare je Twisted-Pair-Port der Karte an je vier LVDS-fähige Paare des FMC-Steckers angebunden. Dabei wurde zwecks restlos gleichanteilsfreier Signalübertragung eine AC-Kopplung zwischen dem FMC-Stecker und den Transformatoren in jedes Leitungspaar eingefügt. Da *Low Voltage Differential Signaling (LVDS)* einen DC-Spannungsanteil von etwa 1.2 V spezifiziert (Common Mode Voltage) [150], wird für den korrekten Signalempfang durch die einstellbaren FPGA I/Os eine DC-Spannungsoffsetanpassung mittels Pull-Up-/Down-Widerständen auf der tDPB FMC-Karte

benötigt. Die hierbei auf der Platine eingesetzten Widerstände wurden für eine einstellbare FMC-/FPGA-Spannung (V_{adj}) von 2.5 V ausgelegt. Falls es aufseiten der empfangenden LVDS-fähigen FPGA I/Os nicht die Möglichkeit gibt, einen internen 100 Ω Widerstand zu aktivieren, ist es möglich, an aktuell unbestückten Lötstellen der tDPB FMC einen Terminierungswiderstand dieses Wertes zu installieren.

Um eine möglichst flexible Einsetzbarkeit der FMC-Karte zu erlauben, kommen bei jedem der TP Ports je zwei taktfähige und zwei I/O-Paare ohne den speziellen Übergang zum Taktnetz des FPGAs zum Einsatz. Hierdurch lassen sich bei der Bereitstellung der TS-Verbindung ohne Einschränkungen Taktsignale des Links, die an diesen speziellen I/Os ankommen, direkt als Systemtakte aufseiten des TS-Slaves/-Submasters wiederverwenden. Aufgrund der Verwendung von *General Purpose Input/Outputs (GPIOs)* ist die tDPB FMC-Karte nicht auf die Verwendbarkeit als Karte zur Verteilung von Zeitinformationen beschränkt, sondern sie lässt sich auch für den generellen Informationsaustausch zwischen FPGA-Platinen unter Verwendung eines beliebigen Protokolls einsetzen.

Eine weitere besonders nützliche Eigenschaft der Karte sind deren hochfrequenzkompatiblen GPIOs. Um die Einspeisung eines Referenztaktes und eines Synchronisationssignals am Grandmaster zu ermöglichen, sind hierzu zwei differenzielle FPGA I/Os an Hirose *Ultra Small Surface Mount Coaxial Connectors (U.FI)* angebunden, welche nur sehr wenig PCB-Fläche in Anspruch nehmen und leicht mithilfe eines Adapters an Hochfrequenz-Laborgeräte mit Standardverbindern wie SMAs angeschlossen werden können. Zwei weitere differenzielle Paare sind zudem an einen *Serial AT Attachment (SATA)*-Stecker angebunden. SATA-Kabel bieten den Vorteil, dass durch dessen Bauart keine Längenunterschiede zwischen den differenziellen Leitungen entstehen, da diese im Kabel parallel zueinander (twinaxial) verlegt werden. Mithilfe eines Adapters auf SMA-Anschlüsse, lassen sich auch diese I/Os beispielsweise zur akkuraten Latenz- oder Phasenmessung von Ausgangssignalen einsetzen.

5.3 FPGA-Logik des Timing-Synchronizer-Systems

Im Timing-Synchronizer-System stellen die FPGAs die Hauptfunktionalität des Systems bereit. Die dort verwendete Logik wird in den folgenden Teilkapiteln erläutert, wobei zunächst auf das grundlegende Konzept und darauf auf dessen Details eingegangen wird.

5.3.1 Generelle Funktionalität

Die grundlegende Idee zur Anbindung einer großen Anzahl Slaves ist, wie im Kapitel 5.1 zur Topologie erläutert, eine Baumstruktur für die Verteilung von Synchronisationsinformationen einzusetzen. Dabei stellt die Master-Slave-Verbindung die Basis des Systems dar. Hier generiert der Master ein 40 MHz Taktsignal, was dem benötigten Takt der FEE der Strahlzeittests entspricht und ein in dieser Taktdomäne erzeugtes PPS-Signal.

In der Regel basiert das PPS-Signal auf Pulsen der Dauer einer Taktperiode, die sich einmal pro Sekunde periodisch wiederholen. Da das bereits erwähnte System zur Auslese von STS-Detektorelementen zusammen mit dem *GSI Event-driven TDC with 4 Channels (GET4)*-System [31] ausgewertet werden soll, mit welchem die Driftröhren- (Straw-Tube-) Detektorelemente des MUCH-Detektors [26] ausgelesen werden können, ist beim TS-System darauf zu achten, dass sich dieses für beide Systeme eignet. Aus Gründen der Systemkompatibilität wurde deshalb die Wiederholrate der PPS-Pulse von einer Sekunde auf eine Zweierpotenz mal der Periodendauer des TS-Systems von 25 ns eingestellt, sodass dies etwa einer Sekunde entspricht ($= 2^{25} * 25 * 10^{-9} \text{ s} = 0.839 \text{ s}$). Da das GET4-System mit einem Takt von 160 MHz betrieben wird, was einem Vielfachen der TS-Frequenz entspricht, können beide Systeme mit einem Referenztakt betrieben werden, der von derselben Quelle generiert wird. Die Grundidee ist hierbei, dass das TS-System die Synchronisation beider Systeme übernimmt und am TS-Grandmaster die Takt- und Synchronisationsreferenz des CLOSY-Systems [76] eingespeist wird.

Bei der Entwicklung des TS-Systems war neben der Gewährleistung guter Kompatibilität die leichte Integrierbarkeit in bestehende FPGA-Designs und die einfache Verwendbarkeit des finalen Systems besonders wichtig. Um dieser Anforderung zu genügen, basieren die verschiedenen Typen von TS-FPGA-Knoten auf einer zentralen parametrierbaren Logikkomponente (siehe Abbildung 5.4 und 5.5), die die Takte und zur Synchronisation dienenden PPS-Signale für bzw. von TS-Links verarbeitet und mit `clk_pps_ctrl`-Core bezeichnet ist.

Durch Parametrierung lässt sich dieser Core sowohl für verschiedene Typen von TS-Masters als auch an TS-Slaves verwenden, indem an die erzeugten Schnittstellen des Cores die gewünschten I/O-Primitiven und Zusatzlogik angebunden werden. So ist es möglich, nur einen Empfangsport am TS-Slave zu verwenden, aber auch gemischte Konfigurationen sind realisierbar, bei denen zusätzlich sendende TS-Links aktiv geschaltet werden, wie dies beim TS-Submaster der Fall ist. Da pro AFCK-Platine maximal zwei FMC-Karten aufgesteckt werden können, stehen mittels der tDPB FMC-Karte acht TS-Ports zur Verfügung, was der maximalen Anzahl an Output TS-Links pro TS-Einheit entspricht. Wie im Topo-

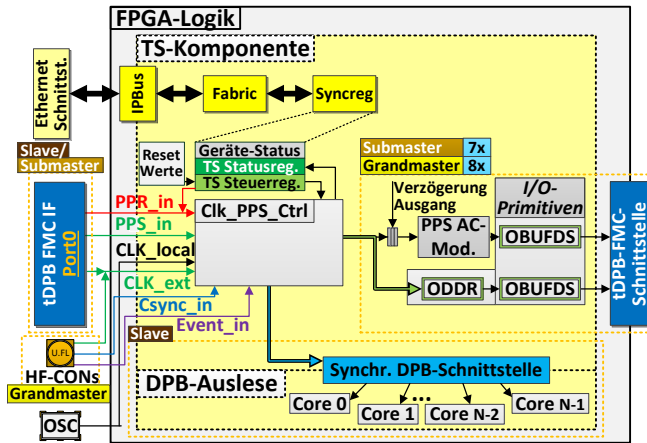


Abbildung 5.4: Blockdiagramm der TS-Knoten

logiekapitel 5.1 erläutert, lässt sich gerade durch diesen Core eine hierarchische Baumstruktur erstellen, durch welche es möglich ist, wesentlich mehr als acht TS-Links für die Anbindung von Slave-Knoten zu verwenden, die bei direkter TS-Grandmaster-Slave-Verbindung zur Verfügung stehen.

Die Hauptfunktionalität des `clk_pps_ctrl`-Cores ist im Falle der sendenden Seite der TS-Logik die Generierung von TS-Link-Informationen und auf der empfangenden Seite die Ableitung von Synchronisationsinformationen aus den Daten des TS-Links, um die lokale FPGA-Logik darauf einzustellen.

Im Falle des Grandmasters werden die Synchronisationsinformationen lokal erzeugt oder die des CLOSYS-Systems [76] als Referenz verwendet. Die Funktionalität des Submasters ist der des Grandmasters in dieser Hinsicht sehr ähnlich, allerdings werden die ausgegebenen TS-Link Informationen von der synchronisierten Logik generiert, welche auf die Informationen des vorgeschalteten Grandmasters synchronisiert wurde. Aufseiten der TS-Slaves werden die gewonnenen Timing-Informationen über die synchrone DPB-Schnittstelle an die Ausleselogik weitergereicht, welche innerhalb desselben FPGAs instanziiert und für die detektorspezifische Auslese zuständig ist.

Um die TS-Knoten per Slow-Control steuern zu können, besitzen diese eine Anbindung an das IPBus-Netzwerk [78], indem eine IPBus-Slave-Schnittstelle eingebunden wird. Dabei existiert innerhalb jeder TS-Komponente ein einstellbarer Slave-Registersatz, der sowohl Status- als auch Steuerregister bereitstellt

aber auch den nötigen Taktdomänenübergang zwischen der IPBus- (31.25 MHz) und der TS-System-Taktdomäne (40 MHz) handhabt. Durch die Anbindung der Registerbits an die Status- und Steuerleitungen der zentralen Logik der TS-Komponenten ist es möglich, die TS-Knoten direkt über das Ethernet-basierte Slow-Control-System einzustellen, zu überwachen und zu steuern.

5.3.2 Taktfunktionalität

An den TS-Submasters und -Slaves werden die über den TS-Link verteilten Taktsignale direkt wiederverwendet, um die lokale Logik zu synchronisieren. Die eingehenden Takte werden dabei mittels Xilinx MMCM-Taktgeneratoren [197] verarbeitet. Hierbei können Taktsignale von verschiedenen Quellen verwendet werden. Dies kann der lokale Systemtakt, ein externer Takt vom TS-Link oder von einem der Referenzeingänge sein. Aufseiten des Grandmaster kann für letzteres eine gDPB FMC-Karte montiert werden, um Referenzinformationen des CLOSYS-Systems [76] einspeisen zu können, wobei dies die Anzahl maximaler TS-Ports auf fünf begrenzt, da diese Karte nur über einen RJ45-Port verfügt.

Um die TS-Knoten auf verschiedene Referenztaktsynchronisieren zu können, ist es somit notwendig, zur Laufzeit zwischen Quellen des Systemtakts wechseln zu können. Dies kann sich als schwierig erweisen, da im Normalfall die FPGA-Logik nur an ein Taktnetz zur Synthese-Zeit angeschlossen werden kann und damit ein Wechsel nur durch eine partiell dynamische Rekonfiguration [89] der FPGA-Logik zu erreichen wäre. Abhilfe schaffen hierbei allerdings die genannten MMCM-Primitiven [197]. Diese verfügen über die Möglichkeit, zur Laufzeit zwischen zwei Eingangstakten umzuschalten und so einen anderen Takt als neuen Referenztakt für die Generierung der Ausgangstakte zu verwenden. Dabei ist allerdings auf die stete Verfügbarkeit der TS-Logik zu achten, da es bei einem ungeschickten Umschalten der Taktquelle von Hand oder einem Ausfall des externen Taktes dazu kommen kann, dass die Logik mangels Taktaktivität am gewählten Eingang nicht mehr reagiert.

Deshalb wurde für das TS-System eine einfache, aber dennoch effektive automatische Taktumschaltung entwickelt, die nur eine kurze Inaktivität des Taktes verursacht und die Verfügbarkeit des Systems sicherstellt.

Der grundlegende Gedanke dieser Lösung ist der, dass die lokale Taktquelle stets verfügbar ist, diese allerdings relativ zum Master-Port nicht synchron ist. Aus diesem Grund, stellt dieser Takt die sichere Rückfalllösung der Taktumschaltung dar, auf die im Notfall zurück gewechselt wird (fehlersicherer [Fail-Safe-] Ansatz [51]). Steht allerdings der externe Referenztakt zur Verfügung (TS-Link oder CLOSYS-Referenz [76]), ist es erstrebenswert, diesen zu verwenden. Da die

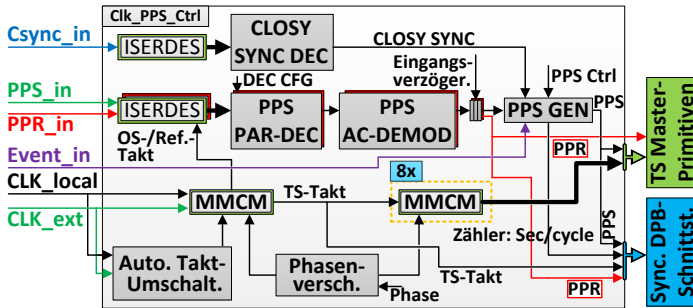


Abbildung 5.5: Blockdiagramm des zentralen Clk_PPS_Ctrl-Logikblocks

Systemfrequenz etwa dieselbe ist wie die der Referenztakten, wurde zur Erkennung der Stabilität und Verfügbarkeit dieser Takten der Ansatz gewählt, diese mittels des lokalen Taktes auf ein Viertel ihrer Frequenz zu teilen, was nur Flip-Flops und Taktpufferbausteine benötigt. Mittels eines logischen Vergleichs des aktuellen mit dem vergangenen Wert und eines Zählers wird die Zeit gemessen, in der bereits ein alternierendes Signal erkannt werden konnte oder die Zeit, seit der das Signal bereits auf einem konstanten Wert verharrt. Nach dem Überschreiten einer einstellbaren Zählerschwelle wird darauf entweder zur externen oder lokalen Taktquelle umgeschaltet. Durch eine Konfiguration per IPBus kann diese automatisch umschaltende Funktionalität aktiviert oder die Verwendung der gewünschten Taktquelle erzwungen werden.

Zur Ausgabe von erzeugten Takten über die tDPB FMC ist es notwendig, Primitiven am Ausgang zu instanzieren, da dies sonst nicht mit ausreichender Qualität mittels der GPIO-Pins möglich ist. Dazu wird lediglich eine Xilinx *Output DDR (ODDR)*-Komponente [199] benötigt, welche in Abhängigkeit des Taktes zur steigenden Taktflanke einen High- und zur fallenden einen Low-Pegel ausgibt. Da diese nur aufseiten der Master-Komponenten notwendig sind, werden diese außerhalb des clk_pps_ctrl-Cores in die FPGA-Logik eingebunden.

5.3.3 Verarbeitung von PPS Referenzpulsen

Für die Generierung und Verarbeitung von PPS-Signalen ist eine adaptive PPS-Generatorkomponente im clk_pps_ctrl-Core vorhanden, die, basierend auf verschiedenen Informationsquellen ein PPS und darauf synchronisierte Zählerinformationen bereitstellen kann. Hierbei steht zum einen ein Taktzyklenzähler zur Verfügung, der in der Granularität von Taktzyklen und den oben genann-

ten Pseudosekunden zählt. Zudem existiert ein 64-Bit breiter Zähler, der mit der Granularität von Nanosekunden zählt, also als Inkrement die Periodendauer in Nanosekunden verwendet. Dieser Zähler kann dazu verwendet werden, um die durch die Datenverarbeitung generierten Microslice-Container [28] mit Zeitstempeln zu versehen, da diese auf allen Slaves im synchronisierten Zustand identisch sind. Ebenso ist es mit diesem Zähler zusätzlich möglich, einfache Plausibilitätstests durchzuführen, indem die zeitlichen Offsets des TS-Knoten relativ zur lokalen Präzisionszeit eines Laborrechners verglichen werden. So ist leicht möglich, herauszufinden, ob ein Knoten außer Tritt geraten ist, das heißt, ob beispielsweise während des Strahltests ein unbeabsichtigter Reset auftrat, oder ob ein PPS-Puls eines eingehenden PPS-Signals übersprungen wurde.

Je nach vorliegendem Aufbau und der gewünschten Parametrisierung des Strahltests, lässt es der PPS-Generator zu, über Start-/Stopp-Kommandos ein PPS-Signal lokal zu generieren oder die lokale PPS-Erzeugung beim Eintreten einer bestimmten Bedingung zu starten. Ebenfalls kann ein PPS-Signal des TS-Links oder ein aus dem CLOSYSynchronisationssignal [76] abgeleitetes PPS als Referenz verwendet werden, um ein PPS für die weitere Verwendung zu erzeugen.

Am Grandmaster steht für die Verwendung des CLOSYSynchronisationssignals [76] weitere Logik bereit, da dieses in der 160 MHz Taktdomäne erzeugt wird. Dies ist notwendig, da an einem Eingang anliegende Datensignale, die nicht mit der Systemfrequenz erzeugt wurden, nicht dieselben Pulsbreiten besitzen und generell eine beliebige Phasenlage aufweisen können, weshalb eine direkte Verwendung dieser Signale nicht möglich ist. Hierfür ist dem Referenzeingang eine ISERDES-Primitive [199] nachgeschaltet, die den Eingang, der Sicherheit halber, mit dem achtfachen TS-Basistakt überabtastet. Eine einfache Inaktivitätsprüfung, zusammen mit der Unterdrückung von weiteren Aktivitätszyklen innerhalb einer gewissen darauffolgenden Zeitspanne, erlaubt darauf die Erzeugung eines PPS-Signals für die 40 MHz Taktdomäne.

Die Ausgabe des PPS-Signal erfordert im Vergleich zur Bereitstellung der Taktsignale (siehe Kapitel 5.3.2) jedoch eine etwas aufwändigere Logik. Wie bereits erwähnt, besitzt das PPS-Signal per Definition für den überwiegenden Teil der Zeit einen konstanten Wert, was dem Zustand der Inaktivität entspricht. Auf der tDPB FMC kommen allerdings AC-Kopplungskapazitäten und Transformatoren zum Einsatz, wodurch die Übertragung von Signalen mit dominierendem Gleichanteil nicht fehlerfrei möglich ist, da sich beispielsweise die Kapazitäten komplett auf-, bzw. entladen und sie dadurch eine potentiell notwendige schnelle Änderung des Zustands der Übertragungstrecke nicht zulassen. Aus diesem Grund wird das PPS-Signal am Master mithilfe einer *Exclusive OR (XOR)*-Verknüpfung mit einer periodischen Rechtecksequenz moduliert, wodurch das Rechtecksignal lediglich für eine kurze Zeit den idealen gleichanteilsfreien Zu-

stand beim Auftreten des PPS-Signals verlässt. Zum Zwecke einer einfachen Implementierung wird dieses Rechtecksignal in der Taktdomäne des TS-Systems erzeugt und stellt dabei ein leicht handhabbares Logiksignal mit High/Low Pegeln von einer Taktperiode Länge dar.

Am Slave kann eine ähnliche logische Verknüpfung verwendet werden, um das PPS-Signal aus dem Datenstrom zu extrahieren, indem der aktuelle mit dem letzten Wert NXOR-verknüpft wird (Äquivalenz). Aus Sicherheitsgründen, das heißt, um fehlerhafte PPS-Detektionen zu verhindern, z.B. beim Start oder Reset des Systems, wird für die Ausgabe des PPS-Signals ein sich für eine längere, einstellbare Zeit änderndes Eingangs-PPS Signal vorausgesetzt. Somit werden lange, konstante Pegel einer inaktiven Leitung nicht als PPS-Signal interpretiert.

Wenn ein Signal an einem Eingangspin verarbeitet werden muss, kann sich dieses in einer beliebigen Phasenlage relativ zum Systemtakt verbinden. Aus diesem Grund wird hier häufig ein variables Verzögerungselement (z.B. Xilinx IDELAY [199]) verwendet, dessen Verzögerungszeit während des Betriebs iterativ eingestellt werden muss, was allerdings fehleranfällig sein kann, gerade bei einem Reset der Logik. Deshalb wird, ähnlich der Verarbeitung des Referenz PPS-Signals von CLOSY, eine Überabtastung zum Empfang des PPS-Eingangssignals des TS-Links eingesetzt. Dem hierfür verwendeten Xilinx ISERDES-Baustein [199] ist eine Dekoderlogik nachgeschaltet, welche automatisiert die Phasenlage des Eingangssignals bestimmt und das überabgetastete Signal auf das korrekte 1-Bit Signal zurückführen kann.

5.3.4 Einstellung der Zeitsynchronisation

Werden mehrere Submasters und Slaves in einem TS-Netzwerk verwendet, ist es für eine gänzlich akkurate Synchronisation notwendig, die Blätter (TS-Slave) des TS-Baums zueinander zeitlich einstellen zu können.

Für die grobe Anpassung der zeitlichen Ausrichtung kann das PPS-Signal auf Basis von Taktzyklen verzögert werden. Diese Einstellung lässt sich per IPBus sowohl am Master als auch den Slaves mittels variabler Schieberegister vor (Master, Slave) bzw. nach dem PPS-Generator (Master) anpassen. Am Master ist es zudem möglich, jeden der Ausgänge unabhängig von den anderen einzustellen.

Im Falle, dass eine genauere Synchronisation der Slaves notwendig ist, feiner als eine Taktperiode des Systems, steht die Fein-Phasenverschiebungsfunktion der MMCMs [197] an jedem PPS-Ein- und -Ausgang zur Verfügung. Um das Takt- und das PPS-Signal an einem Ausgangspaar gleichmäßig relativ zueinander zu drehen, ist für das PPS-Signal ein Taktdomänenübergang von der nicht gedrehten Basistaktdomäne zur angepassten Ausgangstaktdomäne des TS-Links mit-

tels einer Kette von FFs umgesetzt. Hierbei lässt sich die Phasenlage, welche einfach über ein IPBus-Slave-Register angepasst werden kann, in der aktuellen Konfiguration mit einer Granularität von 25 ps einstellen. Die effektive Auflösung dieser Einstellung wird jedoch durch den Jitter des eingestellten Taktsignals herabgesetzt, welcher im obigen Fall im Bereich von 110-130 ps Pk-Pk liegt (siehe TS-Evaluationskapitel 5.4).

Da sich durch die Fein-Phasenverschiebung am Slave die Phasenlage zwischen TS-Link-Takt und -PPS dynamisch ändert, ist es unter Umständen von Vorteil, die Phase des ausgegebenen Taktes am Master einzustellen, da dies ebenfalls das PPS-Signal um den eingestellten Phasenwert verschiebt. Hierzu lässt sich an den Ausgängen der TS-Master-Ports je ein MMCM-Modul instanziiieren, das die gewünschte Operation möglich macht. Da die Änderung der Phase des Ausgangstaktes relativ zum Master Systemtakt Metastabilitäten am Ausgangs-Flip-Flop des Master-Ports verursachen kann, gibt es die Möglichkeit, die PPS-Pulsbreite auf zwei Takte einzustellen und die Pulslänge nach dem Taktdomänenwechsel wieder auf nur einen Takt per Logik zu begrenzen. Hier ist die Einstellbarkeit der Phase wieder an allen Master Ports unabhängig voneinander möglich.

5.3.5 Erweiterte Funktionalität der TS-Logik

Neben der Zeitsynchronisation der TS-Logik als Kernfunktionalität wurden weitere nützliche Funktionen in die Logik des TS-Systems integriert und zur erleichterten Bedienung entwickelt.

Da die TS-Logik über einen Steuerungs- und Statusregistersatz an das IPBus [78] Slow-Control-Netzwerk der Strahltestaufbauten angebunden ist, wurde eine einfach zu bedienende Software zur Steuerung des Systems entwickelt. Diese Software wird auf einem Linux-basierten Labor-PC ausgeführt und basiert auf den grundlegenden Funktionen des IPBus Frameworks [78]. Es erlaubt die automatische Identifikation der Knoten des TS-Systems, indem es über eine bestehende Datei iteriert, welche die bekannten Einheiten mit IPBus-Schnittstelle auflistet, auf diese per Ethernet zugreift und die physikalischen IPBus-Schnittstelleninformationen der erkannten Knoten in einer Datenstruktur ablegt. Darauf lässt sich das gesamte TS-Netzwerk steuern und überwachen, was bei Bedarf manuell über ein Benutzermenü geschehen kann.

Zur Reduktion des Aufwands der Parametrierung beim Systemstart, besitzen die TS-Komponenten eine voreingestellte IPBus-Slave-Register Reset Konfiguration, die es ermöglicht, dass die TS-Slaves und der Submaster sich sofort auf den TS-Link synchronisieren, sobald am Eingangs-Port ein gültiger TS-Link detektiert wird. So muss lediglich das TS-Netzwerk aufgebaut, die FPGAs program-

miert und der TS-Grandmaster gestartet werden, um das TS-System in Betrieb zu nehmen. Somit ist lediglich eine IPBus-Kommunikation mit dem Grandmaster vonnöten, um das System synchron zu starten und es müssen keine Steuerungsinformationen an ein etwaig großes TS-Netzwerk aus Submasters und Slaves verteilt werden. Da die Software mit einer automatischen TS-Knotenidentifikation ausgestattet ist, kann mithilfe eines Scripts das gesamte TS-Netzwerk unterteilt in TS-Typen stufenweise zurückgesetzt und erneut über den TS-Grandmaster gestartet werden.

Zur Anbindung der verschiedenen detektorspezifischen Varianten der FPGA-Designs wurde eine einheitliche synchrone DPB-Schnittstelle definiert. Generell werden über diese Schnittstelle der synchrone Systemtakt von 40 MHz und zwei davon abgeleitete Takte mit 120 MHz und 160 MHz bereitgestellt. Des Weiteren wird das vom TS-Link empfangene und aufbereitete synchrone PPS-Signal und ein Zähler auf Basis von Takten und Sekunden ausgegeben. Zur Einsparung einer häufig auftretenden Multiplikation in Software, bei der aus den Werten des Taktzykluszählers der entsprechende Zählerstand in Nanosekunden bestimmt wird, stellt die TS-Logik ebenfalls diesen Wert an der Schnittstelle bereit. Aufseiten der Detektorauslese der DPB-Logik werden das PPS-Signal bzw. die synchronisierten Zähler dazu verwendet, um eine Zeitreferenz abzuleiten, welche beispielsweise zur Nummerierung der Microslices [28] verwendet wird. Diese Container werden dazu eingesetzt, eine zeitliche Zuordnung aufgezeichneter Detektordaten zu erlauben, wenn diese als Datensätze zur Weiterverarbeitung am FLES ankommen.

Ebenfalls wurde eine Funktion integriert, mit der sich unter Verwendung der IP-Bus Slow-Control-Kommunikation und mithilfe des PPS eine synchrone Nachrichtenausführung entsprechend eines Sequenzer-Betriebs umsetzen lässt (siehe Kapitel 2.9). Dabei werden zunächst die gewünschten Nachrichten an alle DPBs verteilt, worauf das PPS-Signal die Ausführung dieser Nachrichten anstößt.

Da es sich bei der Systemintegration herausstellte, dass es eventuell von Vorteil sein kann, die synchrone Ausführung von Sequenzer-Nachrichten unabhängig von einer Zeitbasis nutzergesteuert auslösen zu können, wurde die Möglichkeit der Verwendung eines *Pulse-Per-Request (PPR)*-Signals eingeführt. Hierbei ist die Grundidee, mittels einer zusätzlich verwendeten Signalleitung des TS-Links ein weiteres PPS-ähnliches Signal zu verteilen, das am TS-Grandmaster bei Bedarf erzeugt und an allen TS-Slaves als einheitlicher Synchronisationspuls verwendet werden kann. Gerade aufgrund der Ähnlichkeit zum PPS-Signal wird hierfür dieselbe Logik zur Signalverteilung verwendet, wobei lediglich die beiden Enden der Strecke abgeändert werden müssen.

Da innerhalb von IPBus-Netzwerken die Übertragung von Broadcast-Nachrichten nicht unterstützt wird, kann es bei einer großen Anzahl DPBs theoretisch

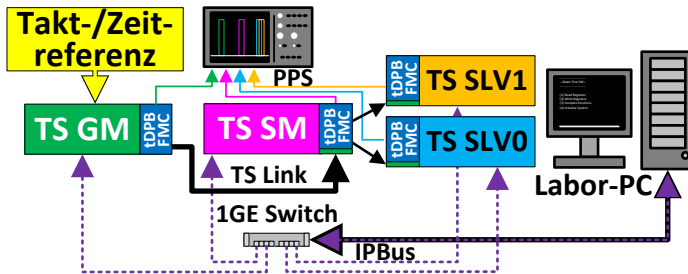


Abbildung 5.6: Block Diagramm des evaluierten hierarchischen TS-Systems

vorkommen, dass die Slow-Control-Nachrichten nicht rechtzeitig vor dem Eintreten des PPS-Signals an alle DPBs verteilt werden können. Bei Laboraufbauten von Strahlzeittests (<50 FPGAs) ist dieser Fall allerdings äußerst unwahrscheinlich, wenn vor der Nachrichtenverteilung der Wert des PPS-Zählers abgefragt und auf einen Zeitpunkt nahe des Sekundenübergangs gewartet wird. Damit stellt die Hinzufügung der PPR-Funktionalität lediglich eine zusätzliche nützliche Komfortfunktion dar, welche eventuell die Einstellung und Steuerung des Aufbaus beschleunigen kann. Dies ist dadurch zu begründen, dass in Abhängigkeit der Anzahl Knoten und der IPBus-Latenz in der Regel deutlich mehr als eine synchrone Nachricht pro Sekunde an allen Knoten gleichzeitig ausgeführt werden könnte, allerdings für eine verlässliche Durchführung der Nachrichtenverteilung eine gewisse Sicherheitsmarge eingehalten werden muss.

5.4 Evaluierung des Systems

Das TS-System wurde im Rahmen eines Laboraufbaus evaluiert. Die hierbei verwendete Trägerplatine ist die bereits erwähnte AFCK-Karte, die mit zwei FMC-Steckplätzen ausgestattet ist und in den Strahlzeittests eingesetzt werden wird. Das Testsystem wurde aus vier AFCKs aufgebaut, welche als Grandmaster, Submaster und zwei Slaves konfiguriert wurden (siehe Abbildung 5.6). Dabei sind die Slaves mit dem Submaster und dieser mit dem Grandmaster verbunden. Jede der AFCK-Platinen wurde dabei mit einer tDPB FMC-Karte ausgestattet und die Knoten mit je einem 10 m CAT7-Twisted-Pair-Kabel miteinander verbunden, was der maximalen Kabellänge entspricht, die später zum Einsatz kommen wird. Ein 40 MHz Referenztakt wurde über die GPIO-Konnektor der tDPB FMC-Karte des Grandmasters in das Netzwerk eingespeist.

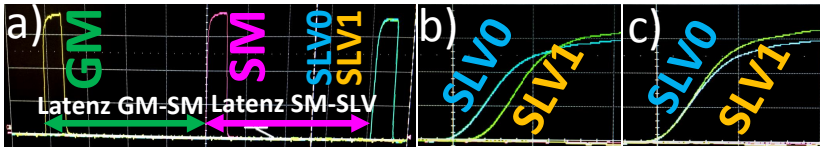


Abbildung 5.7: a) PPS-Signale eines synchronisierten TS-Systems mit Grandmaster, Submaster und zwei Slaves; b) Detailbild der zwei Slaves (SLV0 = blau, SLV1 = grün, 2 ns/div); c) PPS-Signale der Slaves nach dem Fein-Phasenschieben

Die einzelnen Karten sind über ein IPBus-Netzwerk mit dem Labor-PC verbunden, wodurch die Steuerung des Aufbaus ermöglicht wird. Über die bereits erwähnten HF-Konnektoren wird das PPS-Signal der TS-Komponenten zur Darstellung auf einem Oszilloskop ausgegeben. Zusammen mit den IPBus-Software-Routinen lässt sich hiermit leicht ermitteln, ob das System wie erwartet arbeitet. Über die Oszilloskopausgabe lässt sich ebenso messen, wie sehr das PPS- und Taktsignal eines Knotens im aktuellen Aufbau verzögert werden muss, wenn eine genaue Zeitsynchronisation erwünscht ist. Der zeitliche Slave-Slave Versatz wird hauptsächlich durch leichte Variationen der Kabellänge und den Längenunterschiede der Kabelpaare verursacht, der durch etwas unterschiedliche Twist-Ratios der differentiellen Paare eines Kabels hervorgerufen wird [46]. Die Auswirkungen dieser Fehlerquellen können später durch die erwähnte Funktionalität zur Fein-Phasenverschiebung kompensiert werden, indem die PPS-Signale, empfangene Messdaten oder bekannte Testsequenzen der FEE ASICs untersucht werden. Die letztere Variante ist potentiell am besten geeignet, um durch eine automatisierte Routine eine akkurate Synchronisation zu erhalten.

In homogenen TS-Netzwerken, in denen alle TS Slaves denselben Abstand zum Grandmaster besitzen (Anzahl Knoten, Typ und Kabellänge), ist bei Verwendung von 10 m Kabeln und 40 MHz Systemfrequenz für weniger große Bäume, in der Regel keine zusätzliche Verzögerung auf der Basis von Taktzyklen notwendig. Dies trifft gerade in dem Fall zu, dass nur Laufzeitunterschiede zwischen den Paaren des Twisted-Pair-Kabels maßgeblich ins Gewicht fallen, welche für CAT7-Kabel pro 100 m etwa 20 ns als obere Schranke besitzen [63]. Allerdings sind diese Anpassungen notwendig, falls heterogene Aufbauten erstellt werden, welche unterschiedliche Kabellängen oder Abstände zum Master besitzen. Ebenfalls können in solchen Szenarien einige Slaves direkt am Grandmaster angeschlossen und andere über Submasters angebunden sein.

Tests des Systems zeigten, dass das TS-System dazu in der Lage ist, Links von 10 m Länge mit Leichtigkeit zu betreiben. Hierbei lässt sich das System mit dem

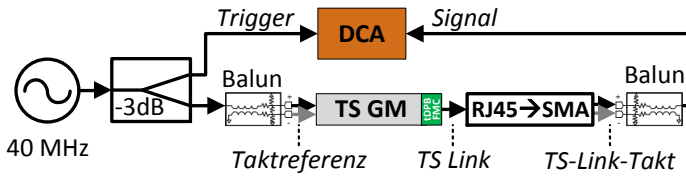


Abbildung 5.8: Aufbau zur Messung der des verteilten Taktqualität des TS-Links

TS-Link Takt von 40 MHz betreiben, aber es ließ sich ebenfalls zeigen, dass ein Betrieb der Verbindung sogar bei einer dreimal so hohen Frequenz von 120 MHz möglich ist. Der synchronisierte Basiszustand des bei 40 MHz betriebenen TS-Systems ist in Abbildung 5.7 a dargestellt. Abbildung 5.7 b zeigt die PPS-Signale der TS-Slaves im Detail, die im gegebenen homogenen Aufbau einen Offset von 1 ns aufweisen. In Abbildung 5.7 c wurde dieser Offset über die Fein-Phasenverschiebung kompensiert.

Um den Jitter des Taktsignals der TS-Verbindungen zu analysieren, wurde der Aufbau in Abbildung 5.8 für den Grandmaster gewählt. Dabei empfängt ein Agilent 86100C *Digital Communication Analyzer (DCA)* [2] einen Referenztakt (TRIG Eingang) eines Hewlett Packard 8648D Signalgenerators [54], dessen Signal ebenfalls in den TS-Grandmaster als externer Systemtakt eingespeist wird. In der Kette zur Auswertung der Signalqualität kamen ebenfalls *Balanced-Unbalanced (BALUN)*-Komponenten (Marki BAL-0006 [99]) zum Einsatz, die im gegebenen Fall ebenfalls die Leitungen mit den entsprechend benötigten Widerständen intern terminieren. Um auf den Takt des TS-Twisted-Pair-Kabels zugreifen zu können, kommt eine RJ45-zu-SMA-Adapterplatine von Texas Instruments [155] zum Einsatz, welche mittels SMA-Kabeln und einem weiteren BALUN an den Signaleingang des DCAs angeschlossen ist. So weisen sowohl der Trigger des DCAs als auch der Takt des TS-Links dieselbe Taktquelle auf, sodass dessen Qualität analysiert werden kann. Für die Messungen wurden die Standardeinstellungen der Flankensteilheit der LVDS-Ausgänge am FPGA gewählt (Slew rate = slow).

Neben den Signalverläufen sind die 10% /90% Amplitudenwerten und die idealisierten steigenden Flanken in Abbildung 5.9 dargestellt. Mit 10 m CAT7 S/FTP Ethernet-Kabeln wurden etwa 15/112 ps RMS/Pk-Pk Jitter bei einer Sample-Größe von 10.000 [141] ermittelt. Im Vergleich dazu verschlechterte sich der Jitter bei Verwendung eines flachen 10 m CAT6 *Unshielded Twisted Pair (UTP)*-Kabel zu etwa 17.5/130 ps RMS/Pk-Pk.

Die Verwendung des UTP-Kabels führte hierbei zu einer um 1.56 dB stärker gedämpften Signalamplitude und weniger steilen Signalflanken. Dies zeigt sich ebenfalls in den 10%/90% Anstiegszeiten, die zu 5.3/6.8 ns für 10 m CAT7-

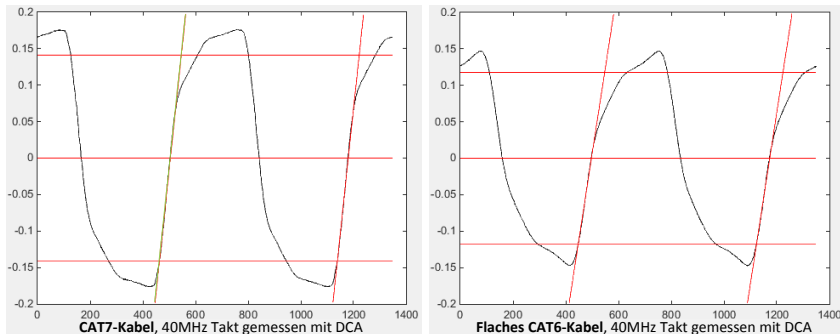


Abbildung 5.9: Messungen mit a) CAT7-S/FTP- und b) CAT6-UTP-Kabel

/CAT6-Kabel bestimmt wurden. Vergleichsmessungen zeigten, dass ein 3 m CAT7-Kabel eine Anstiegszeit von 2.6 ns aufweist. Durch Logiktests zeigte sich, dass die TS-Link Signalqualität beider Kabeltypen bei 10 m Länge ausreichend ist, um das TS-System fehlerfrei zu betreiben.

Es konnte ebenfalls gezeigt werden, dass sich mit dem TS-System relativ konstante Subtaktzyklus Übertragungslatenzen erreichen lassen. Dies trifft auf wiederholte Systemstarts, FPGA-Rekonfigurationen und Durchläufe der Implementierung der FPGA-Logik zu. Für Letzteres musste, z.B. zur Auswahl der MMCM-Primitiven, nur ein geringes Maß an manueller Komponentenplatzierung (Floorplanning) angewendet und die letzten Flipflops der PPS-Kette in die IOB-Blöcke [199] verschoben werden. Andernfalls kann es zu Variationen der durch das FPGA-Tool gewählten Signalpfade kommen, was sich je nach Implementierungsergebnis in veränderlichen Eingangs-/Ausgangslatenzen niederschlägt.

Zusammenfassend kann gesagt werden, dass das System eine adäquate Lösung darstellt, um verteilte Netzwerke von FPGAs zu synchronisieren, wenn an den Slave-Knoten moderate Anforderungen an den Jitter und damit die Taktqualität gestellt werden. Für den Betrieb von Highspeed-Serialisierern, wie sie in Richtung der FEE in CBM eingesetzt werden, reicht allerdings die Taktqualität dieser Lösung nicht aus, um eine Kommunikation mit ausreichend geringer Bitfehlerrate zu erzielen. Zudem existiert bei diesem System kein Rückkanal, mit dem beispielsweise die Phasenlage zwischen Master und Slave bestimmt werden könnte (wie die bidirektionalen SMF-Links in White-Rabbit-Systemen), und es ist keine Fast-Control-Funktionalität vorhanden. Werden zudem die differentiellen I/O-Spannungsbereiche von Standard-LVDS-Signalen betrachtet, wird klar, dass deren Signalstärke-Budget für die Übertragung über Längen von 20 m im Elektro-

5 Vorstudie - ein Timing-System für Strahltests



Abbildung 5.10: TS-Systeme im mTCA Crate ohne/mit Verkabelung. Grand- (G, rot), Submaster (S, grün), gDPB (g, gelb), nDPB (n, blau)

nikraum von CBM bei Übertragungsraten im Bereich von 200 Mbit und darüber nicht ausreicht, um eine konkurrenzfähiges System bieten zu können.

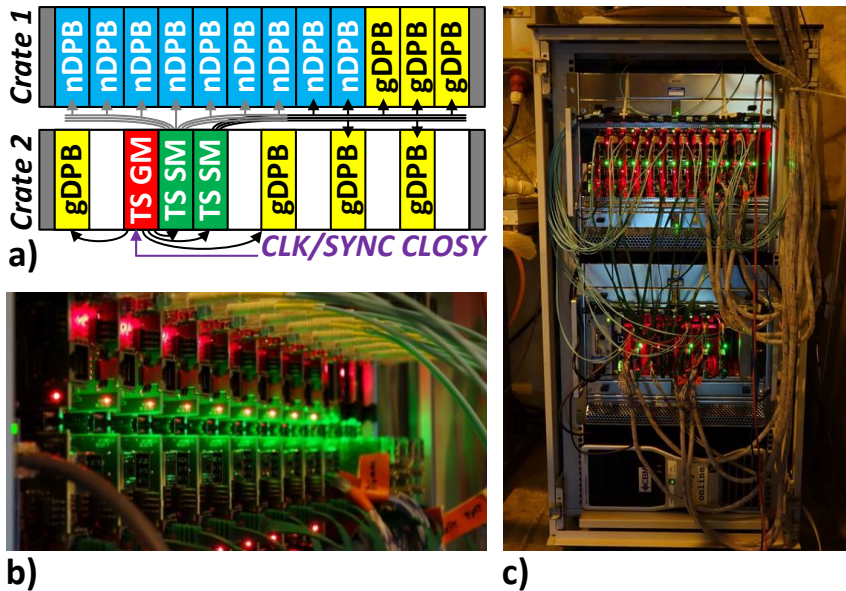


Abbildung 5.11: TS-System bei der CBM-Strahlzeit am CERN SPS Ende 2016 [168]. *a)* Schematischer Aufbau des TS-Netzwerks, *b)* Foto des Auslese-Crates 1 und *c)* der gesamten detektorfernen On-line-Datenerfassung (Grüne LEDs: PPS-Indikator des TS-Systems)

6 Entwicklung des Timing-and-Fast-Control-Systems

Aus den im Stand-der-Technik-Kapitel formulierten zentralen Eigenschaften eines am besten für die Online-Datenerfassung der Auslese des CBM-Experiments geeigneten TFC-Systems und den durch die TS-Vorstudie gewonnen Erkenntnissen wird in diesem Kapitel ein Konzept der TFC-Architektur entwickelt.

Innerhalb der folgenden Unterkapitel wird dazu zunächst die Struktur der Auslese von CBM und deren generelle Anforderungen erläutert. Zudem wird auf den den Aufbau der innerhalb der FPGAs der Online-Datenerfassung instanziierten Logik eingegangen.

Darauf wird die Topologie des TFC-Systems beschrieben, welches sich schwerpunktmäßig aus zwei hierarchischen Ebenen zusammensetzt. Hierbei existiert eine Kommunikationsebene innerhalb von Auslese-Crates und eine weitere außerhalb derselbigen in Richtung des TFC-Masters dar.

Des weiteren werden in Teilkapitel 6.3 die zum Zwecke der Zeitsynchronisation gewählten Ansätze erörtert, bevor in den darauffolgenden Teilkapiteln die Kernkomponenten des Konzepts der TFC-FPGA-Architektur detailliert erläutert werden.

Die potentiellen zukünftigen Weiterentwicklungen der Online-Datenerfassung des CBM-Experiments werden in den letzten beiden Teilkapiteln dargestellt. Dabei werden zunächst die innerhalb der CBM-DAQ-Gruppe für die finale Auslese von CBM gefassten Pläne und deren Auswirkungen auf die TFC-Architektur aufgezeigt. Abschließend werden Möglichkeiten zur zukünftigen Erweiterbarkeit des TFC-Systems diskutiert.

6.1 Struktur und Anforderungen der CBM-Auslese

Das CBM-Experiment besteht, wie im Motivationskapitel 1 erläutert, aus verschiedenen Detektoren, von denen jeder auf seine Weise bestimmte Eigenschaften der Elementarteilchen am besten aufzeichnen kann. Da die Detektoren auf unterschiedlichen physikalischen Prinzipien basieren, werden voneinander ver-

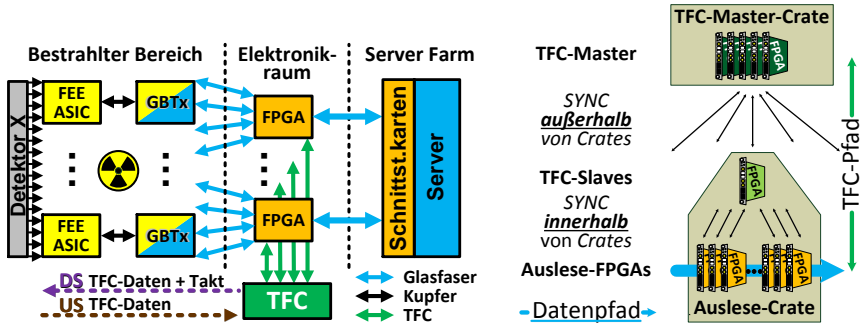


Abbildung 6.1: Blockdiagramm a) der geplanten Ausleseketten des CBM-Experiments und b) des zukünftig im Elektronikraum installierten TFC-Systems

schiedene Typen von Auslese-ASICs benötigt, die die analogen Sensordaten mit möglichst geringen Störungen aufnehmen, verstärken, aufbereiten und in digitale Werte bestimmter Auflösung wandeln. Die digitalen Daten besitzen je Detektortyp dabei verschiedenartige Bedeutungen, wie beispielsweise die Signalanstiegszeit, die Pulsbreite oder die Teilchenenergie.

Dennoch wurde ein einheitliches Konzept für das Online-System der digitalen Detektorauslese festgelegt [85], [80], das für die Mehrheit der CBM-Detektoren verwendet werden soll. Dies hat den Vorteil, dass Entwicklungszeit und Kosten reduziert werden können und eine geringere Anzahl verschiedener Elektronikkomponenten beim Systembetrieb vorrätig gehalten werden müssen, mit denen das System in regelmäßigen zeitlichen Abständen gewartet werden kann. Die Grundvoraussetzung, die eine einheitliche Detektorauslese ermöglicht, ist die Verwendung einer bei allen Detektortypen gleichen, definierten Schnittstelle aufseiten der Frontend-Elektronik.

Der für die weiteren Entwicklungen relevante Teil dieser Auslese ist auf hoher Abstraktionsebene in Abbildung 6.1 dargestellt. Hierbei ist der Aufbau generell in drei voneinander räumlich getrennte Bereiche unterteilt. Einer dieser Bereiche ist zum einen die Detektorkammer, CBM Cave genannt, in welcher die Teilcheninteraktionen stattfinden und somit eine erhöhte Strahlungsleistung vorherrscht. Des Weiteren existiert ein nahe dieser Kammer befindlicher Raum, der von der ionisierenden Strahlung abgeschirmt ist. Hier befindet sich neben der gesammelten Elektronik, welche zur Detektor-Frontend-Elektronik gehört, aber nicht der Strahlung ausgesetzt werden kann, die hoch parallelisiert arbeitende FPGA-Elektronik, DPB [205] genannt, welche die akkumulierten Datenströme

im Terabit-Bereich entgegennimmt, vorverarbeitet und an den dritten Bereich, die Serverfarm, weiterleitet, die auch FLES genannt wird [28].

Der Hauptgrund für die Trennung der ersten beiden Bereiche ist der, dass durch die hohe Strahlung transiente (*Single Event Transients (SET)*) und permanente (*Single Event Upsets (SEU)*) [115] Fehler in der Elektronik auftreten können, welche deren Betrieb stören und falsche Messergebnisse oder gar den zeitlich begrenzten oder dauerhaften Ausfall der Elektronik verursachen können. Für die elektrischen Komponenten, die dennoch im ersten Bereich der Ausleseketten untergebracht werden können, wurden bei deren Entwicklung spezielle Vorkehrungen getroffen, die verhindern, dass diese Art von Fehlern auftreten. Um Elektronik gegen Strahlung zu schützen, existieren verschiedene Ansätze. Darunter fällt beispielsweise die Abschirmung der Elektronik durch ein für die vorherrschende Strahlung dichtes Gehäuse, die Verwendung von geeigneten Halbleitern, wie Silizium Germanium (SiGe) [74] für ICs oder Silizium Carbid (SiC) und Gallium Nitrid (GaN) speziell als Material der Detektorelektronik [132] sowie die Anwendung geeigneter ASIC-Layout Prinzipien [74]. Eine weitere Erhöhung des Schutzes vor *Single Event Effects (SEE)* lässt sich durch die Verwendung von redundanten Bereichen bzw. Komponenten in der Elektronik oder speziellen Softwareentwurfsansätzen erreichen [74].

Da nicht nur die Verarbeitung der Daten, sondern ebenfalls deren Übertragung von diesen Störungen beeinflusst werden kann, wurde für den Übergang zwischen den ersten beiden Bereichen in CBM entschieden, die strahlungsfesten CERN GBT ASICs einzusetzen. Diese stellen aufseiten des Detektors eine sehr schnelle *Serial Peripheral Interface (SPI)*-ähnliche elektrische Schnittstelle bereit, welche sich aus mehreren Datenleitungen und einem Taktsignal zusammensetzt. Auf der anderen Seite dieser ASICs sind 4.8 GBit/s Glasfaserlinks angebunden, welche eine galvanische Trennung der beiden Bereiche bei dennoch hoher Datenrate ermöglichen.

Die FPGA-Schicht innerhalb des strahlungsfreien Bereichs stellt dabei die Gegenstelle der GBT ASICs dar [80]. Da der Glasfaserlink auf der FPGA-Seite mittels elektrischer serieller Highspeed-Links angebunden ist, die optische SFP-Übertragungsmodule ansteuern, werden für den Betrieb des Links spezielle Highspeed-Serialisierer-Primitiven instanziiert. Im Falle der in CBM eingesetzten Xilinx FPGAs sind dies die Xilinx GTX-Transceiver [198]. Um ebenfalls eine hohe Datenrate in Richtung der optisch angebundenen Serverfarm zu ermöglichen, wird dieselbe Art von Übertragern allerdings bei einer Datenrate von 10 Gbit/s eingesetzt.

Im strahlungsfreien Elektronikraum sind die genannten DPB FPGAs in mTCA.4 [118] Crates aus Gründen der Steuerung und Überwachung verbaut. In zwölf Steckplätzen können in diesen Crates spezielle AMC-Karten installiert werden.

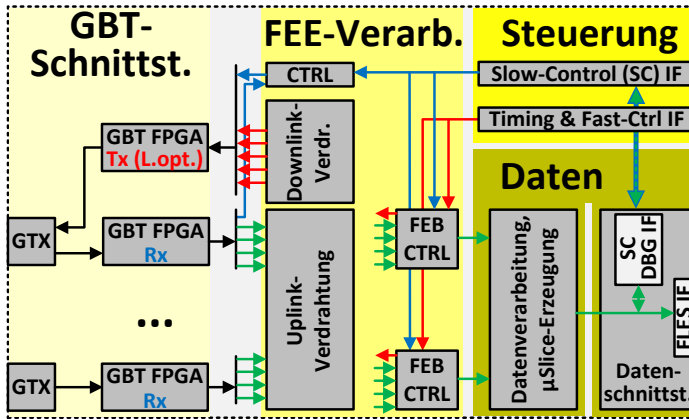


Abbildung 6.2: Blockdiagramm der geplanten DPB-FPGA-Logik [85]

Neben Stromversorgung und Kühlung verfügen die Steckplätze über eine Anbindung an einen Rückwandbus, welcher vielseitige Verbindungsmöglichkeiten bereitstellt. Darunter fallen z.B. Takt- und Trigger-, *Joint Test Action Group (JTAG)*- und serielle Highspeed-Leitungen. Zudem ist ein solches Crate ebenfalls mit einem sogenannten *mTCA Carrier Hub (MCH)* ausgerüstet. Diese Module können nach Bedarf des Nutzers konfiguriert werden, verfügen aber in der Regel zumindest über eine Taktmatrix (clock crossbar), welche es in Kombination mit der Backplane erlaubt, Takte innerhalb des Crates zu verteilen. Diese Struktur stellt die Basisanbindung der FPGA-Karten der Detektorauslese dar.

In Abbildung 6.2 ist das Blockschaltbild der Grobstruktur der geplanten DPB FPGA-Logik der CBM-Auslese dargestellt. Der hier dargestellte Aufbau fasst die Arbeiten mehrerer Forschungsgruppen zusammen, wobei am *Karlsruher Institut für Technologie (KIT)* das TFC-System entwickelt wird. Dabei ist die Logik dreigeteilt in die Komponenten in Richtung GBT-Link (GBT *Transceiver (TRx)*), Komponenten zur Prozessierung von der FEE kommender Daten oder dorthin weiterzuleitender Steuersignale (FEE Proc.) und den Schnittstellen zu den Slow-Control- und TFC-Systemen nebst der eigentlichen Datenverbindung in Richtung des Serverarrays.

Wie im linken Teil der Abbildung 6.2 zu erkennen, werden über den Downlink in Richtung FEE Steuerdaten gesendet und Messdaten dieser Elektronik im Uplink entgegengenommen. Ein besonders wichtiges Detail ist hierbei, dass die sendende GBT FPGA-Logik in ihrer latenzoptimierten Version verwendet

wird, da es erwünscht ist, allen Bausteinen der Frontend-Elektronik mit einer deterministischen, konstanten Latenz Steuerdaten weiterleiten zu können. Dies kann beispielsweise der Anfang der Aufzeichnung und das zeitkritische Umsetzen gewisser Einstellungen aufseiten der ASICs sein. Dabei spielt vor allem das TFC-System eine wichtige Rolle, da hierüber ebenfalls Links konstanter Latenz in Richtung einer globalen Steuereinheit angebunden sind (Fast-Control).

Die weiteren Komponenten des Uplink-Datenpfads sind für das Zusammenführen der Daten von verschiedenen Frontend ASICs, das bereits erwähnte Sortieren der Messdatenpakete und die Containerbildung zuständig (Group Processing and μ Slice Building).

Die dargestellte Datenschnittstelle (Data Interface) besitzt zum einen eine Verbindung in Richtung des *FLES Interface Module (FLIM)*, das als PCIe-Karte in den FLES-Servern verbaut ist, welche die eigentliche Datenauswertung durchführen. Andererseits gibt es eine Verbindung des Datenlinks in Richtung Slow-Control-Schnittstelle, um mittels Laborrechnern die Daten vor der Auswertung durch die Server vorab analysieren zu können. Diese Rechner können Teil der Experimentsteuerung sein, welche den Betrieb des Experiments überwachen. Ein Beispiel für ein solches System eines anderen Experiments ist das sogenannte CERN Control Center [44], [18].

Aufseiten der Serverfarm werden schließlich die Daten aller Detektorelemente, auch unterschiedlicher Detektortypen, vereint und aus den μ Slices sogenannte Timeslices erstellt, welche zeitlich geordneten Intervallen entsprechen, die jeweils die Daten aller Subdetektoren umfassen [28]. Die μ Slices sind hingegen Datencontainer gleicher zeitlicher Länge, aber mit, je nach Detektortyp und den aktuell eingetretenen Ereignissen, unterschiedlich großem Datenumfang. Die Timeslices weisen zur Behandlung möglicherweise problematischer Übergänge an deren Grenzen redundante Überlappungsbereiche auf. Darauf folgen weitere Verarbeitungsschritte des FLES, wie Event- und Spurerstellung (Track finding).

Aus den oben erläuterten Eigenschaften des CBM-Experiments und dessen Auslese lassen sich verschiedene Anforderungen für das zu entwickelnde TFC-System ableiten.

Eine grundlegende Eigenschaft der CBM-Auslese ist die, dass die Frontend-Elektronik selbst-getriggert betrieben wird. Es existiert also kein mehrschichtiges Trigger-System, wie beispielsweise in den Experimenten am CERN, sondern es werden ununterbrochen Daten von den Frontend ASICs aufgezeichnet, was zu einem kontinuierlichen Datenstrom führt, der von der FPGA-basierten Auslese gehandhabt werden muss. Es ist besonders wichtig, sicherzustellen, dass die Zeitstempel der Daten der einzelnen ASICs nicht auseinander laufen, da sonst nach kurzer Zeit keine Zuordnung der Daten mehr möglich wäre.

Diese Anforderung lässt sich nur dadurch adäquat umsetzen, dass alle Frontends mit demselben Basistakt als Referenztakt betrieben werden. Dabei wurde der Ansatz gewählt, aus dem GBT Downstream-Link, der von den DPBs aus sendend betrieben wird, den Takt des Frontends abzuleiten, um so die gegebene Anforderung zu erfüllen. Dies hat allerdings die grundlegende Voraussetzung, dass alle DPBs für den Betrieb der Highspeed-Serialisierer denselben Takt verwenden. Dabei ist es nicht ausreichend, dass lediglich Oszillatoren derselben festen bzw. programmierten Frequenz eingesetzt werden, da Frequenzabweichungen in vom Hersteller spezifizierten Frequenzbereichen von z.B. 50 ppm oder auch weniger einen signifikanten Einfluss auf die Datenaufnahme haben, der bei dem vorherrschenden Datenaufkommen nicht auf triviale Weise in späteren Prozessierungsstufen mit einigermaßen handhabbarem Aufwand behoben werden kann.

Als weitere Eigenschaft realer Teilchenexperimente entstehen durch eine lokale oder globale Variation der Luminosität [183] des Teilchenstrahls und der Trefferaten (Hit rates) der Teilchen an den Detektorelementen unterschiedliche Datenraten an den Frontend ASICs. Da dies bei einem länger andauernden höheren Datenaufkommen zu einem Pufferüberlauf und damit zu lokalem, temporärem Datenverlust führen kann, ist hierfür ein System notwendig, mit Hilfe dessen Systemzustände dieser Art abgefangen werden können, ehe korrupte Datensätze entstehen.

Auf Basis dieser Randbedingungen wird in den Teilkapiteln ein Konzept des TFC-Systems entwickelt. In den darauffolgenden Kapiteln werden zunächst in Kapitel 7 die Details der Umsetzung beschrieben und in Kapitel 8 das System im Laboraufbau evaluiert.

6.2 Topologie der TFC-Architektur

Um die Auslese, bestehend aus einer Vielzahl FPGA-Karten und einer noch größeren Anzahl Frontend ASIC zu synchronisieren, wurde das im Folgenden näher erläuterte Konzept gewählt, für das die in Abbildung 6.2 dargestellte DPB-FPGA-Logik geplant ist.

Als Basis für die Auslese wurde festgelegt, dass mittels der am CERN entwickelten GBTx Übertrager der Übergang vom Glasfaserlink der FPGAs zu den Frontend ASICs vollzogen werden soll. Hierbei stellen die FPGAs den Downlink in Richtung der GBTx Chips bereit, wobei diese den Systemtakt von 120 MHz aus dem Datenstrom zurückgewinnen und an die Frontend ASICs weiterreichen. Werden nun längenangepasste (lengt-matched) Glasfaserleitungen verwendet, lässt sich durch dieses Vorgehen ein synchronisiertes Frontend-GBTx-FPGA-Sys-

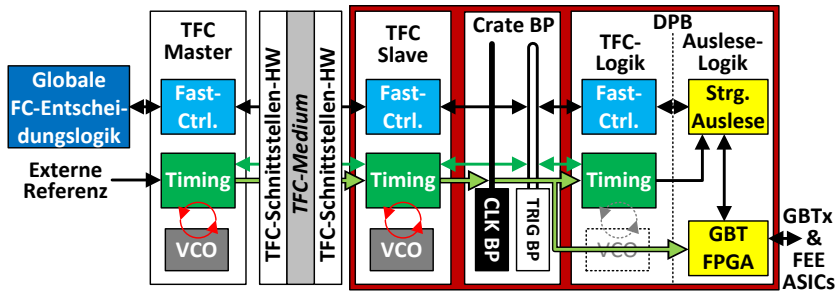


Abbildung 6.3: Topologie des Systems für die Zeitsynchronisations- und Fast-Control-Funktionalität

tem aufbauen, bei dem sich durch die gleichlangen Fasern ein Betriebszustand näherungsweise konstanter relativer Phasenlage erzielen lässt.

Wird nun auf die Struktur, bestehend aus mTCA.4 Crates, Bezug genommen, ist eine Unterteilung der Synchronisation der Auslese auf ein Level außerhalb der Crates und eines innerhalb der Crates sinnvoll (siehe Abbildung 6.3). Dabei wurde eine schematische Aufteilung in die Timing- (grün) und Fast-Control-Funktionalität (blau) vorgenommen. Auch die Komponenten innerhalb der Crates wurden hervorgehoben (rot). Mit einem dicken, hellgrünen Pfeil ist die Verteilung des Referenztaktes dargestellt.

Innerhalb eines Crates wird die Synchronisation mittels dessen Infrastruktur umgesetzt. Dabei werden die Telekommunikationstaktleitungen dazu verwendet, den Takt eines der AMCs an die anderen zu verteilen und die Triggerleitung der Backplane, um die Datenkommunikation zwecks Timing- bzw. Fast-Control-Funktionalität zu ermöglichen. Dementsprechend übernimmt dieses AMC die Rolle des sogenannten TFC-Slaves, welches die anderen AMCs, die als reine Auslese-DPB-AMCs fungieren, mittels Synchronisationskommandos taktsynchronisiert. Das TFC-Slave AMC stellt ebenfalls die Schnittstelle zum externen TFC-Netzwerk dar. Ein Konzept zur Synchronisation und Kommunikation innerhalb der mTCA Crates wird in Kapitel 6.4 vorgestellt.

Der schwerpunktmäßig in dieser Arbeit adressierte Teil der Synchronisation ist derjenige der Topologie, der sich außerhalb der mTCA.4 Crates befindet bzw. den TFC-Slave als Bindeglied einschließt. Hierbei bieten sich jenseits der Crate-Infrastruktur einige geeignete Verdrahtungsmöglichkeiten an.

Für die erste Version des externen TFC-Netzwerks von CBM wurde eine Punkt-zu-Punkt-Verdrahtung gewählt. Dies hat den Grund, dass für den in CBM ge-

geben Fall der selbst-getriggerten Auslese eine sehr geringe, konstante Latenz für die Handhabung und damit auch die Weitergabe zeitkritischer Nachrichten erwünscht ist. Gerade, da zum Zeitpunkt der Verfassung dieser Arbeit noch keine konkrete obere Schranke für die maximale Umlaufzeit eines Fast-Control-Pakets bekannt war (FEE \rightarrow ... \rightarrow Master, Verarbeitungszeit, Master \rightarrow ... \rightarrow FEE), wurde mit der direkten Anbindung die Topologie gewählt, mit der die geringste Latenz durch das Verteilungsnetzwerk verursacht wird. Stellt sich im weiteren Verlauf des CBM-Experiments die Latenz als weniger kritisch heraus bzw. wird eine konkrete obere Schranke ermittelt, z.B. von 5 μ s, kann ein alternatives Verteilungsnetzwerk, beispielsweise ein PON, wie es gerade am CERN für das TTC-System [29] integriert wird, eine interessante zukünftige Upgrade Lösung darstellen.

Die Punkt-zu-Punkt Anbindung bedeutet im Falle des externen TFC-Links, dass der TFC-Master, der sich in einem separaten Crate befindet, mit N TFC-Slaves kommuniziert und ihnen die nötigen Informationen bereitstellt. Werden die Abmessungen üblicher AMCs und passender FMC-Erweiterungskarten in Betracht gezogen, fällt auf, dass die Anzahl Ports auf etwa vier Ports pro FMC-Karte begrenzt ist, da die Breite und Höhe der FMC-Karten einen limitierenden Faktor darstellt. So würde ein TFC-Master-AMC lediglich acht Auslese-Crates anbinden können, was definitiv für die Anzahl erwünschter Kanäle in CBM nicht ausreichend ist.

Um die Anzahl Ports eines TFC-Masters zu erhöhen, bietet sich für den zukünftigen Ausbau dieselbe Herangehensweise wie bei den Auslese-Crates an, sodass mehrere TFC-Master-AMCs in einem mTCA.4 Crate zu einem TFC-Multi-Master kombiniert werden. Mit diesem Vorgehen erlaubt der Punkt-zu-Punkt-Ansatz eine Anbindung von $12 \times 8 = 96$ Auslese-Crates, was die Synchronisation von 1152 Auslese-AMCs ermöglicht.

Im Weiteren werden die fundamentalen Konzepte und Entwicklungen im Falle eines als Machbarkeitsstudie entwickelten TFC-Prototypensystems mit einer TFC-Master-Karte und einem TFC-Link behandelt, welches sich in zukünftigen Arbeiten entsprechend auf Multi-Port bzw. Multi-Master-System ausweiten lässt.

6.3 Ansätze zur höchst präzisen Zeitsynchronisation

Beim generellen Ansatz des TFCs außerhalb der mTCA.4 Crates wird mittels eines Kommunikationslinks die Zeitsynchronisation der Auslese und der deterministische Nachrichtenaustausch realisiert. Die im folgenden beschriebenen TFC-Ansätze beziehen sich, wenn nicht explizit genannt, auf diesen Teil der TFC-

Topologie, der einen TFC-Master mittels eines Links außerhalb der Crates zu einem TFC-Slave verbindet, welcher die Schnittstelle zum Auslese-Crate und dessen Infrastruktur darstellt.

Im Folgenden beziehen sich die topologischen Erläuterungen auf die Abbildungen 6.1 *a* und *b*, die zum einen den Aufbau der CERN GBT-basierten CBM-Auslese [80] und die TFC-Topologie darstellen. Ebenfalls relevant ist dabei die in Abbildung 6.2 dargestellte Grobstruktur der DPB-FPGA-Logik, welche die verschiedenen Stufen der Steuerungs- und Datenverarbeitungslogik zeigt.

Im bereits dargelegten Fall des Timing-Synchronizer-Systems (siehe Kapitel 5) war es ausreichend, den über das Kabel verteilten Takt direkt innerhalb der Slave-FPGA-Systeme wiederzuverwenden. Dies war allerdings nur deshalb möglich, weil im Falle früher Strahlzeittests keine Komponenten im zu synchronisierenden Systemteil zum Einsatz kommen, die besonders kritische Anforderungen an die Taktqualität bezüglich Jitter bzw. Phasenrauschen stellen.

Wie in Abbildung 6.1 aus Kapitel 6.1 dargestellt, gehören die Hochgeschwindigkeits-Übertrager in Richtung FEE zu den Komponenten, die für die Gewährleistung einer synchronen Auslese zwingend mit einer global synchronisierten Referenzfrequenz betrieben werden müssen. Diese Anforderung entsteht daraus, dass die CERN GBT-Chips aus dem vom FPGA-Schicht kommenden Downstream-Glasfaserlink einen Takt ableiten, der den selbst-getriggert betriebenen Frontend ASICs als Systemtakt zur Verfügung gestellt wird. Einerseits wird hierdurch auf elegante Weise ein synchronisiertes Frontend ermöglicht, andererseits entstehen dadurch besondere Anforderungen an das TFC-System. Da die zum Einsatz kommenden Highspeed-Transceiver für das Ermöglichen eines niedrigen Bitfehlerverhältnisses aufseiten ihres Kommunikationslinks eine Referenzfrequenz mit sehr geringem Jitter voraussetzen, lässt sich leider der im Timing-Synchronizer-System angewandte Ansatz nicht mehr 1:1 wiederverwenden.

Aufgrund dessen wurde ein Ansatz gewählt, der dem aus White Rabbit [188] bekannten Vorgehen ähnelt. Hier ist die zentrale Idee, den bereitgestellten Takt nicht einfach als Systemtakt wiederzuverwenden, sondern diesen zu nutzen, um dediziert auf der FPGA-Platine vorhandene VCOs passend einzustellen. Dies hat den großen Vorteil, dass keine FPGA-Komponenten verwendet werden, welche in der Regel nur eher minder-qualitative Taktsignale bereitstellen können, sondern der rauscharme Ausgang der Quarzoszillatoren ohne Umwege durch den FPGA direkt mit dem Referenztakeingang der Highspeed-Serialisierer verbunden werden kann, was störende Einflüsse minimiert (siehe auch Abbildung 6.5).

Um den Slave relativ zum Master zu synchronisieren, ist bei dem gewählten Ansatz eine Reproduktion des Master-Taktes auf der Slave-Seite vonnöten. Aus mehreren Gründen ist dies keine einfache Aufgabe. Rein physikalisch gesehen besitzen die Quarzoszillatoren des gleichen Typs einer Produktreihe nicht exakt

dieselben Oszillatorfrequenzen, sondern weichen in den vom Hersteller angegebenen Grenzen von der spezifizierten Mittenfrequenz ab, beispielsweise $\pm 2,5$ ppm. Die Genauigkeit der Oszillatorfrequenz wird von verschiedenen Faktoren beeinflusst, wie beispielsweise der Temperatur, der Alterung, dem Rauschen der Betriebsspannung, der angeschlossenen Last und dem Lötprozess [93]. Vonseiten der Hersteller werden allerdings viele Maßnahmen getroffen, um diese negativen Eigenschaften abzumildern. Bei hochwertigen Oszillatoren wird beispielsweise eine Temperaturstabilisierung vorgenommen, indem Temperaturschwankungen durch eine Kompensationsschaltung bzw. bei noch höherwertigen Modellen durch eine Heizung (oven-controlled oscillators) ausgeglichen werden.

Neben den bereits genannten Störeinflüssen kann allerdings die Signalqualität eines VCOs auch durch den Nutzer negativ beeinflusst werden. Beispielsweise ist bei der Auslegung des Einstellprozesses der Frequenz des VCOs darauf zu achten, dass die stetige Veränderung der die Offsetfrequenz regelnden Ausgangsspannung das Phasenrauschen und damit den Taktjitter nicht massiv verschlechtert und beispielsweise eine dominante Spitze im Diagramm des Phasenrauschens im Abstand der Regelfrequenz relativ zur Oszillatorfrequenz erscheint (siehe auch Grundlagenkapitel 2.8). Hierbei kann es nützlich sein, die Häufigkeit der Regelvorgänge durch eine Reduktion der Regelrate auf ein Maß zu reduzieren, bei dem immer noch der stabile Endzustand der Frequenzregelung erreicht werden kann und eine ausreichende Schnelligkeit des Regelvorgangs gegeben ist.

Um die Oszillatoren des Slaves einstellen zu können, ist es zunächst einmal notwendig, ein exaktes Bild davon zu bekommen, wie sich der Master- relativ zum Slave-Takt verändert. Hierbei ist es nützlich, als Vergleichsgröße die Phasenbeziehung zwischen dem über den Link übertragenen Takt vom Master und dem lokalen Systemoszillator des Slaves sehr genau ermitteln zu können. Da dies mit auf dem FPGA bereitgestellten Primitiven, wie den mit bis zu 1.25 GHz betreibbaren Eingangs-Serialisierern [199], nicht mit ausreichender Präzision möglich ist, wird hierfür ein Ansatz verwendet, der sich das metastabile Verhalten von synchroner FPGA-Logik nahe der Taktflanke und Zusammenhänge der Signaltheorie zunutze macht (siehe Kapitel 2.5).

Der hierbei verwendete Ansatz ist der der digitalen DMTD. Wie im Grundlagenkapitel 2.5.2 beschrieben, vergleicht diese Komponente die Phasenlage des Systemtakts unter Zuhilfenahme eines in der Frequenz minimal, aber exakt verschobenen Hilfstaktes, mit dem empfangenen Takt des TFC-Links. Die Phasenauflösung der DMTD wird dadurch ermöglicht, dass ein Mischen der verwendeten Takte mit dem Hilfstakt erfolgt, was ein Taktsignal erzeugt, welches eine, bezogen auf den Systemtakt, sehr geringe Frequenz besitzt. Über einen Mittelungsansatz innerhalb des zeitlichen Bereichs, bei dem der Signalwechsel des ab-

getasteten Taktes innerhalb der metastabilen Setup-/Hold-Zeitspannen des mit dem Hilfstakt betriebenen FFs liegt, lassen sich die Zeitpunkte der Taktflanken des analysierten Taktes und daraus die Phasenoffsets der beiden Systemsignale mit sehr guter Präzision bestimmen. Ein zentraler Teil der Zeitsynchronisation ist die Ermittlung von Steuerwerten der Oszillatoren innerhalb des Regelkreises, welche es dem Systemtakt am Slave ermöglichen, dem Takt des Masters zu folgen. Dies ist die Aufgabe der PLL-Regelschleife für die Oszillatoren. Da die beschriebenen Vorgänge nur mit unzureichender Genauigkeit mittels auf einem Microprocessor ausgeführter Software durchgeführt werden können, sind die zeit- und latenzkritischen Teile des TFC-Systems direkt in FPGA-Logik umgesetzt. Zudem benötigt die Umsetzung und Verifikation einer Änderung von FPGA-Logik signifikant mehr Zeit als eine Änderung von Softwarebestandteilen. Außerdem ist die Parametrisierung einer PLL kaum in Simulation möglich, da komplexe Zusammenhänge des Verhaltens der realen Komponenten benötigt werden, um das System mit ausreichender Genauigkeit nachbilden zu können.

Deshalb wurden alle Teile des Regelkreises, die keine sehr hohe Messgenauigkeit oder Aktualisierungsrate erfordern, aber zur Laufzeit anpassbar sein sollten, um eine schnelle, interaktive Systementwicklung zu ermöglichen, in Software realisiert. Diese wird von einem Soft-Core-Microprocessor durchgeführt, der auf demselben FPGA implementiert ist (siehe Kapitel 6.7). Mit diesen Maßnahmen wird der Regelkreis als ein Hardware/Software System umgesetzt, das die Vorteile der zwei Domänen optimal nutzt, was dem Vorgehen innerhalb des Hardware/Software Codesigns [97] entspricht.

Um die Entwicklung der Regelgrößen der PLL im Betrieb analysieren und im Detail verstehen zu können, wurde an den Microprocessor ein zyklisch adressierter Speicher angebunden, in den vonseiten des Prozessors nach jedem Regelschritt die Prozessgrößen geschrieben werden. Ein Auslesen dieser Parameter ist darauf mittels des IPBus [78] Frameworks möglich, welches das in CBM gewählte Labornetzwerk zur langsamen Experimentsteuerung (Slow-Control) darstellt. Dieser Speicher und der sogenannte IPBus-Slave, der die TFC-Funktionalität an das Slow-Control-System anbindet, werden in Kapitel 6.10 beschrieben. Diese und weitere Aufgaben der Software des Microprocessors werden in Kapitel 6.6 erläutert.

Ein weiterer zentraler Teil des TFC-Systems ist die Anbindung der physikalischen Schnittstelle (siehe Kapitel 6.9) des TFC-Links an den Microprocessor und die Komponenten zur Taktsynchronisation. Eine Erläuterung der für die effiziente Datenübertragung notwendigen Komponenten am Microprocessor findet sich in Kapitel 6.8.

Dabei werden im Umsetzungskapitel (Kapitel 7) zwei mögliche physikalische Schnittstellen untersucht. Die erste beschriebene Lösung ist eine Schlussfolge-

rung aus dem Timing-Synchronizer-System (siehe Kapitel 5). Dabei wird ein kupferbasierter TP-Link als Medium verwendet. Nach der Entwicklung einer ersten FMC-Karte (Kapitel 7.1.3), mit der bestätigt werden konnte, dass mit diesem Konzept die benötigte Reichweite bei hoher Datenrate erzielt werden kann, wurde die finale, von der Größe reduzierte und der Funktionalität her ausgebaut TFC-FMC-TP-Schnittstellenkarte entwickelt (Kapitel 7.1.4) und evaluiert (siehe Kapitel 8.1). Mit ihrer Eigenschaft, nur normale I/Os anstatt teurer High-speed-Transceiver zu benötigen, eignet sie sich besonders für Systeme, bei denen schnelle, spezialisierte Übertrager nicht zur Verfügung stehen. Da hierbei allerdings die Entwicklung einer zusätzlichen TFC-Slave-Schnittstellenkarte in großer Stückzahl erforderlich wäre und ohne zu entwickelnde Pufferstufen die Erweiterbarkeit eingeschränkt ist, wird diese Lösung wahrscheinlich nicht als finale physikalische Schnittstelle in CBM eingesetzt werden.

Die zweite Lösung stellt der Ansatz der Glasfaseranbindung dar, der in Kapitel 7.2 erläutert wird. Hierbei kommen bidirektionale Glasfaserübertrager zum Einsatz, welche an Highspeed-Serialisierer aufseiten des FPGAs angeschlossen werden. Wie bei der TP-Schnittstelle wird für erste Systeme eine direkte Punkt-zu-Punkt-Topologie verwendet. Da bei dieser Anbindung COTS FMC-Karten mit SFP-Montageschächten zum Einsatz kommen können, die auch für die Datenlinks eingesetzt werden, bietet dieser Ansatz eine leichtere Integrierbarkeit auf der Slave-Seite als der TP-Ansatz. Zudem besteht mit den Hochgeschwindigkeits-Übertragern die Möglichkeit, auf leichtere Weise später ein PON anzubinden, da hierbei kommerzielle OLT- oder ONU-Komponenten ebenfalls über serielle Kanäle im Gigabit-Bereich angeschlossen werden könnten, auch wenn die aktuell am CERN-für das TTC PON-[29] verwendeten OLT-Übertrager einen anderen Modulstandard als SFP verwenden (*10 Gigabit Small Form-Factor Pluggable (XFP)*).

6.4 TFC-Funktionalität in Auslese-Crates

Wie in Kapitel 6.13 zum zukünftigen Ausbau der Auslese von CBM erläutert, ist das Vorgehen zur Synchronisation der Auslese abhängig von der final gewählten Topologie. Dabei existierten zum Zeitpunkt der Erstellung der Arbeit die Optionen, dass AMCs und mTCA.4 Crate eingesetzt werden oder diese Struktur durch eine Anordnung von PC-basierten Verarbeitungseinheiten ersetzt wird, in denen FPGA-Karten per PCIe-Verbindung angebunden werden.

Die Kommunikation innerhalb von mTCA Crates wird in zukünftigen Arbeiten des CBM TFC-Systems im Detail behandelt werden. Da während des Zeitraums der Erstellung dieser Arbeit kein mTCA.4 Crate verfügbar war, stellen die fol-

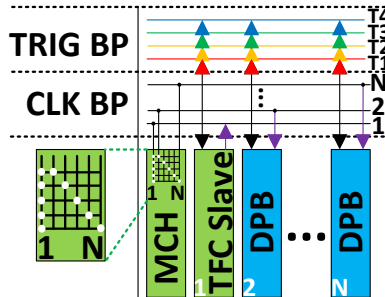


Abbildung 6.4: Anbindung der AMCs in mTCA.4 Crates zu Synchronisations- und Fast-Control-Zwecken

genden Beschreibungen vielversprechende Konzepte dar, welche in zukünftigen Arbeiten zu evaluieren sind.

Generell wird die Kommunikation über die mTCA Backplane allerdings mittels der MLVDS-Transceiver der AMC-Karten umgesetzt, welche die sogenannten Triggerleitungen anbinden (siehe Abbildung 6.4). Dabei stehen vier differenzielle Paare [59] für die Übertragung von Timing-Informationen und Fast-Control-Nachrichten zur Verfügung. Die Verteilung von Takten erfolgt hingegen über die Telekommunikationstaktleitungen, welche an jedes der AMCs, aber gerade auch den MCH angeschlossen sind.

In dieser Arbeit wird angenommen, dass die Taktverteilung über diese Leitungen der Backplane der mTCA Crates von ausreichend guter Qualität ist, sodass es möglich ist, damit die Highspeed-Links in Richtung FEE mit niedrigem Bitfehlerverhältnis zu betreiben. Es ist dabei valide anzunehmen, dass sich gerade die Phasenlage der AMC-Takte nur wenig ändern wird, da außer Signalverstärkern und einer Taktmatrix auf dem AFCK bzw. dem MCH im Signalweg keine aufbereitenden Komponenten vorhanden sind, die die Laufzeit nicht-deterministisch beeinflussen. Treten zudem nicht allzu große Latenzunterschiede zwischen den verschiedenen Ästen des Taktbaums in Richtung der AMC-Karten auf, würde es ausreichen, diese mittels PPS-Signalen zu synchronisieren, wie dies im TS-System durchgeführt wurde, wodurch das Crate synchronisiert betrieben werden kann.

Bei genauerer Betrachtung dieses Aufbaus fällt allerdings auf, dass die Wege des Taktsignals vom MCH zu den AMC-Karten nicht dieselbe Länge aufweisen, da die Pfadlängen üblicher mTCA.4 Backplanes nicht längen angeglichen sind. Hierbei berechnet sich die Laufzeit pro Meter Länge eines Signals entlang eines

PCB-Signalfades für eine symmetrische Streifenleitung zu $T_{PD} = \sqrt{\epsilon_r}/c$ [137], was z.B. bei einer üblichen Dielektrizitätskonstante von gewöhnlichem FR-4 Platinenmaterial von $\epsilon_r = 4,5$ circa 14 cm/ns ergibt. Somit führt der obige Ansatz zwar zu äquidistanten Taktflanken (dieselbe Taktfrequenz), allerdings ist deren tatsächliche Phasenlage nicht bekannt, was eine Kalibrierung des Crate Systems erfordert, falls die Phasenlagen der Takte stärker als erwünscht voneinander abweichen.

Hierbei ist allerdings anzumerken, dass die Detektorelemente eines realen Systems ebenfalls variante Verzögerungszeiten aufweisen können, welche unter anderem abhängig sein können von der Verkabelung, Abweichungen bei der Produktion oder Montage, dem Material des Sensorelements oder von elektrischen Parametern, wie der Signalamplitude. Da an einer AMC z.B. im Falle des STS-XYTER ASICs leicht mehrere hundert Kanäle angeschlossen sein können [73] [80], kann der etwaige Phasenversatz der AMCs bei der Kalibrierung des Aufbaus mit angeschlossenen Detektorelementen und der FEE mit einbezogen oder in demselben Kalibrationsschritt der Kanäle mitgemessen werden. Es ist damit in der Regel nicht unbedingt erforderlich, dass die Phasenlage der Takte der Karten eines Crates gänzlich exakt ausgerichtet sind, solange sich deren zeitlicher Versatz zusammen mit den Einflüssen der Elektronik bis zur Detektorauslese ermitteln und damit beispielsweise im Rahmen der Prozessierung an der Serverfarm kalibrieren lässt.

Mit den verbleibenden Leitungen der Backplane kann dabei die Fast-Control-Kommunikation erfolgen. Dabei sind allerdings nicht ausreichend Backplane-Kanäle verfügbar, um jeder Karte einen dedizierten Kanal zuordnen zu können. Es ist deshalb beispielsweise möglich, einen Kanal am TFC-Slave für das Versenden vom FC-Nachrichten und einen zum Empfang derer zu verwenden. Dadurch können FC-Nachrichten zu jedem Zeitpunkt an die Aulese-Karten weitergeleitet werden, allerdings muss der Upstream-Pfad zwischen den DPB AMCs des Crates geteilt verwendet werden.

Die Verwendung des Mediums lässt sich derart umsetzen, dass die Karten das Medium beobachten und sich dessen Zustand merken. Bei einer anstehenden FC-Nachricht wird das Medium für das Senden einer relativ kurzen Datensequenz belegt. Entsprechen dabei die gesendeten Bits nicht den angelegten, zieht sich die AMC-Karte vom Medium zurück und versucht nach einer zufälligen bzw. nach einer festgelegten, sich aus der Priorisierung der AMCs ergebenden Zeit, wieder das Medium zu verwenden. Das hierbei angewandte Vorgehen entspricht dem *Carrier Sense Multiple Access/Collision Avoidance (CSMA/CA)*-Verfahren, welches beispielsweise beim *Controller Area Network (CAN)*-Bus zum Einsatz kommt [207], falls beim Zugriff auf die Triggerleitungen und einer eintretenden Nachrichtenkollision die höher priorisierte Nachricht nicht verloren geht.

Um die Bandbreite der FC-Kommunikation zu erhöhen, ließen sich beispielsweise einzelne Karten AMC-Gruppen zuteilen, wobei Gruppenteilnehmer denselben Kanal verwenden, sodass sich bei einer geschickten Wahl der Gruppen die Häufigkeit von Bus-Kollisionen reduzieren lässt.

Im Falle, dass sich zukünftig ein PC-basiertes Auslesesystem durchsetzen würde, ist eine deterministische Backplane nicht mehr verfügbar. Dies hat den Grund, dass PC-basierte Systeme in der Regel keine Echtzeitsysteme darstellen. Soll dennoch die Synchronisation innerhalb eines PC-Systems möglich sein, ist es nützlich, eine Art Karte-zu-Karte-Backplane aufzubauen, die beispielsweise auf einer Art von flexiblen PCB-Streifen basieren kann, der an den FPGA-Karten angeschlossen werden könnte. Dieser Aufbau ähnelt dabei optisch der zur Kopplung mehrerer Grafikkarten eingesetzten Nvidia-SLI-Brücke [117]. Der Vorteil dabei ist, dass diese Backplane selbst entwickelt werden kann, wodurch es möglich ist, die Längen der Takt- und Triggerleitungen in Richtung der TFC-Slave-Karte anzugleichen, welches einen Ansatz erlaubt, der dem innerhalb eines mTCA Crates sehr ähnelt.

6.5 FPGA-Logik der TFC-Knoten

Das TFC-System stellt ein heterogenes Hardware/Software-System dar. Indem eine gezielte Aufteilung in Microprocessor und Beschleuniger bzw. Hardware-Logik und eine Partitionierung der Aufgaben in Abhängigkeit ihrer Kritikalität vorgenommen wurde, folgt das System Prinzipien des Hardware/Software Codesigns [97] (siehe Kapitel 2.2). Ein grober Überblick des Aufbaus der Logik der TFC-Knoten ist in Abbildung 6.5 dargestellt. In diesem und den folgenden Kapiteln werden die Bestandteile des FPGA-Logik des TFC-Systems beschrieben.

Im Zentrum der TFC-FPGA-Logik steht ein Soft-Microprocessor-System. Da dessen Basisaufbau in der Masterarbeit von Nandor Szirmak [Szi15] entwickelt wurde, finden sich einige detailliertere Beschreibungen, besonders was die Software betrifft, in der zugehörigen Ausarbeitung. Das Microprocessor-System steuert das Verhalten des TFC-Systems im Kern und erlaubt die Ausführung von benutzerdefinierter Software. Die zentrale Aufgabe des Systems ist dabei die autonome Steuerung der Funktionalität zur Zeitsynchronisation, welche insbesondere die in Kapitel 6.7 beschriebene PLL einschließt.

Neben dem eigentlichen Soft-Core-Microprocessor kommt in der in Abbildung 6.5 zu sehenden Struktur ein Microprocessor-Adapter zum Einsatz, welcher sich aus einem AXI-Bus mit einem Satz an Slave-Registern zusammensetzt. Hierbei ist es durch Schreibzugriffe auf diese Register möglich, Steuerleitungen der angeschlossenen Peripheriekomponenten zu setzen bzw. lesend den Wert von Status-

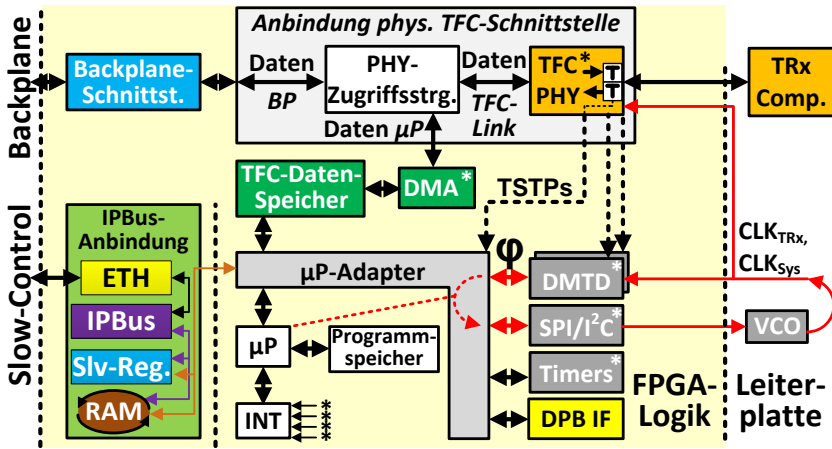


Abbildung 6.5: Struktur des TFC-Systems mit geplantem Bypass für die Fast-Control-Kommunikation

signalen abzurufen. Gerade für die Verwendung der Peripherie- und der DMTD-Komponente ist es notwendig, schnell auf Ereignisse reagieren zu können, wie neue Phasenwerte oder eine abgeschlossene serielle Übertragung, weshalb diese Komponenten an den Interrupt-Controller des Prozessors angeschlossen sind. Ebenfalls ist es mittels der Prozessorinterrupts möglich, die PLL-Funktionen zu definierten Zeitpunkten auszuführen, wofür in der FPGA-Logik einstellbare Zähler instanziiert wurden.

Das Prozessorsystem verfügt neben der Anbindung an die Peripherie auch über eine Schnittstelle in Richtung der Slow-Control der CBM-Auslese. Hier steht zum Zwecke der Parametrisierung und Evaluierung der PLL ein zyklisch adressierter Speicher zur Verfügung, in den der Prozessor die Regelgrößen ablegen kann und welcher vonseiten der Slow-Control per Controller mit automatischem Adressinkrement schnell ausgelesen werden kann. Hierdurch lässt sich im Betrieb das Verhalten der PLL evaluieren und deren Parameter schnell in der Software anpassen.

Zur Übertragung von Fast-Control-Nachrichten ist es ebenso geplant, einen Bypass zu integrieren, der im Falle des TFC-Slaves einen direkten Datenaustausch zwischen der Schnittstelle in Richtung der Triggerleitungen des mTCA.4 Crates und des TFC-Links, welcher die externe Datenkommunikation anbindet, möglich macht. Dies hat den Vorteil, dass unabhängig vom Microprocessor und dessen aktuellem Betriebszustand Nachrichten mit einer möglichst konstanten La-

tenz zwischen den beiden Schnittstellen übertragen werden können. Da diese allerdings unterschiedliche Datenraten aufweisen, ist bei einem hohen Datenaufkommen aufseiten der schnelleren Schnittstelle eine gänzlich konstante Übertragungslatenz nicht umsetzbar (z.B. 1 Gbit/s je Glasfaserlink und 240 Mbit/s M-LVDS-Links je Triggerleitung).

Für die Datenübertragung in Richtung der externen TFC-Schnittstelle ist in der FPGA-Logik ein sogenannter Timing-Node vorhanden. Dieser beinhaltet neben den Komponenten, die den physikalischen Link anbinden, auch Einheiten, welche beim Versenden oder Empfang gewisser Codewörter Zeitstempel generieren, indem sie den Wert eines Zählers auf Taktzyklenebene abspeichern und an den Prozessor weiterreichen. Im Falle eines frequenzsynchronisierten Systems, können die Subtaktzykleninformationen der DMTD den Empfangszeitstempeln hinzugefügt werden, um deren Präzision zu erhöhen. Eine *Direct Memory Access (DMA)*-Komponente erlaubt es, vom Prozessor erstellte Pakete aus einem Speicher über die Schnittstelle zu versenden bzw. empfangene Daten in den Speicher abzulegen, ohne den Prozessor zu involvieren.

6.6 Software des Microprocessor-Systems

Die Software des Microprocessor-Systems erfüllt vorwiegend die kontrollflussbasierten Aufgaben des TFC-Systems. Zur Strukturierung des Systems folgt diese einem Schichtenaufbau, der es ermöglicht, die abstrakten Funktionen aus den Hardware-näheren Basisfunktionen zu bilden. Dabei rufen diejenigen der hohen Abstraktionsebene das sogenannte Board Support Layer auf, diese die Gerätetreiber, welche letztlich auf die plattformabhängige Schicht zugreifen, mittels der die Zugriffe auf die Hardware durchgeführt werden.

Die beim Systemstart aktiven Funktionen führen die Systeminitialisierung durch, wie z.B. das Setzen der Standardwerte, die Einstellung der Basisfrequenzen der Oszillatoren per *Inter-Integrated Circuit (I2C)* bzw. SPI und die Abfrage der per Slow-Control gesetzten TFC-Einstellungen. Zudem wird im prototypischen System durch einen beim Systemstart ausgelesenen Schalter etc. der FPGA-Karte definiert, ob die Software sich entsprechend eines TFC-Masters oder Slaves verhalten soll, da im Basisaufbau dieses Systems beide Komponenten dieselbe FPGA Firmware und Software verwenden.

Des Weiteren existieren Funktionen, welche für die Nachrichtenkommunikation über den Timing-Node zuständig sind, die Generierung von Zeitstempeln durchführen und die Werte der Paketumlaufzeit berechnen. Der allerdings umfangreichste Teil der Funktionalität stellt die der PLL dar.

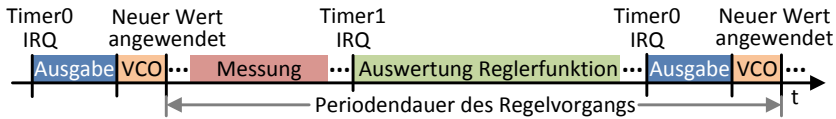


Abbildung 6.6: Software-Aufrufe und Interrupts der PLL-Regelschleife

Letztlich lässt sich das Verhalten der Software per IPBus über die einstellbaren Kontrollparameter steuern, was beispielsweise die Aufzeichnung der Regelparameter im zyklisch adressierten Speicher oder die Aktivität der PLL betrifft.

6.7 HW/SW Phase-locked Loop Regelschleife

Um die spannungsgesteuerten Oszillatoren nachzuregeln, kommt eine Phasenschleife zum Einsatz. Diese ähnelt vom Aufbau der PLL aus White Rabbit [188]. Beim Entwurf des Regelkreises fand ein Hardware/Software-Codesign-Ansatz Anwendung [97]. Um die Genauigkeit der Regelung optimieren und die Entwicklungszeit zu minimieren, wurde ein Teil der PLL in Hardware und ein Teil in Software realisiert. Die in Hardware realisierte DMTD-Komponente dient im hier beschriebenen Regelkreis als Phasendetektor. Durch das im Grundlagenkapitel 2.5.2 beschriebene Vorgehen wird mithilfe der DMTD-Komponente die Phasendifferenz zwischen dem Systemtakt und dem vom Link empfangenen Takt mit einer Präzision im niedrigen zweistelligen Picosekundenbereich ermittelt.

Der eigentliche, wenig zeitkritische und sehr kontrollflusslastige Teil der Regelung wird mithilfe von Software-Routinen umgesetzt, die auf einem Xilinx Microblaze [192] Soft-Core-Prozessor ausgeführt werden. Der Prozessor nimmt hierbei die Phaseninformationen der DMTD auf und berechnet mittels eines *Proportional-Integral (PI)*-Reglers den benötigten Frequenzversatz des Oszillators, was im Falle eines als Systemoszillator verwendeten VCOs mit der Regelkreisfrequenz von etwa 10 kHz erfolgt.

Um den Vorgang einer periodisch aktualisierten Regelschleife per Software zu modellieren, ist es notwendig, die Verzögerungszeiten des Regelkreises grob abzuschätzen und den Regelungsablauf in Einzelabschnitte zu unterteilen (siehe Abbildung 6.6).

Grundlegend ist hierbei, die Regelung in zwei bis drei Bereiche zu unterteilen, welche durch die genannten Latenzen vorgegeben werden. Hierbei besteht die erste Phase aus der Zeit, die benötigt wird, um einen neuen Phasenwert zu ermit-

teln. Im konkret vorliegenden Fall wird dieser Prozess durch die DMTD vollzogen, welche aufgrund des Verhältnisses von Hilfsoszillator zu Systemoszillator mehrere tausend Systemtakte benötigt, um einen neuen Phasenwert zu ermitteln (siehe Kapitel 2.5.2). Für $N = 14$, $f_{S_{ys}} = 120 \text{ MHz}$ ergibt sich somit die Frequenz des niederfrequenten Signals zu $f_{D;sys} = f_{S_{ys}}/2^N = 7.32 \text{ KHz}$ (siehe Kapitel 2.5.2), was aufgrund des verwendeten Vorgehens ebenfalls der Rate entspricht, mit der neue Phasenmesswerte erzeugt werden.

In der darauffolgenden Phase muss nun, auf Grund des Einflusses des neuen ermittelten Wertes, durch den PLL-Regler ein neuer Sollwert berechnet werden, was durch das Auftreten eines Interrupts des Systemzählers zur rechten Zeit initiiert wird.

In der letzten Phase muss nun dieser Wert angewendet werden, was unter Umständen mehrere Zugriffe auf die betreffende Schnittstelle benötigt. Hierbei kann erneut ein periodisch auftretender Interrupt verwendet werden, der einen gewissen zeitlichen Versatz zum Interrupt 1 besitzt und es erlaubt, die Bestimmung des neuen Ausgabewerts von dessen Ausgabe an den Oszillator zu trennen. Dieser zeitlich versetzte Interrupt ist zwar nicht zwingend notwendig, allerdings kann dadurch unter Umständen die Konstanz der Aktualisierungsrate der Regelgröße verbessert werden, falls deren Bestimmung unter gewissen Umständen unterschiedlich viel Zeit benötigt.

Bei diesem Abschnitt der Regelung ist zu beachten, dass eine sogenannte Einschwingzeit (Settling Time) auftritt, was die Zeit ist, die benötigt wird, bis die Frequenzänderung am Ausgang des Oszillators sichtbar wird, nachdem der Wert in das entsprechende serielle Kommunikationsregister geschrieben wurde. Falls der Eingang des Oszillators zur Frequenzverstimmung mittels eines *Digital-to-Analog Converters (DACs)* angesteuert wird, kommt hierbei die Latenz des DACs hinzu. Bei dem hier beschriebenen Vorgehen wird die Aktualisierungsrate des Regelkreises durch die für beide Interrupts identische Auslösefrequenz vorgegeben, falls die Summe der Latenzen zur Bestimmung und zum Setzen der Regelgröße kleiner ausfällt als die durch die Auslösefrequenz der Interrupts vorgegebene Zeitspanne. Es ist zudem zu berücksichtigen, dass die Interrupt-Rate nicht diejenige übersteigen sollte, mit welcher neue DMTD-Phasenmesswerte am Eingang erzeugt werden, da der PI-Regler sonst teilweise mit veralteten Messwerten arbeiten würde.

Für den in der PLL verwendeten DMTD-Ansatz ist es essentiell, dass der System- und der Hilfstakt in einem festen, bekannten Verhältnis zueinander stehen. Aus diesem Grund muss zunächst der Frequenzversatz des Hilfsoszillators korrekt eingestellt werden, bevor die Regelung der Systemfrequenz mittels der DMTD-Phasenwerte erfolgen kann. Hierfür kommt ein Frequenzzähler zum Einsatz, der das Verhältnis zwischen beiden Takten evaluiert (siehe Abbildung 6.7 a). Da-

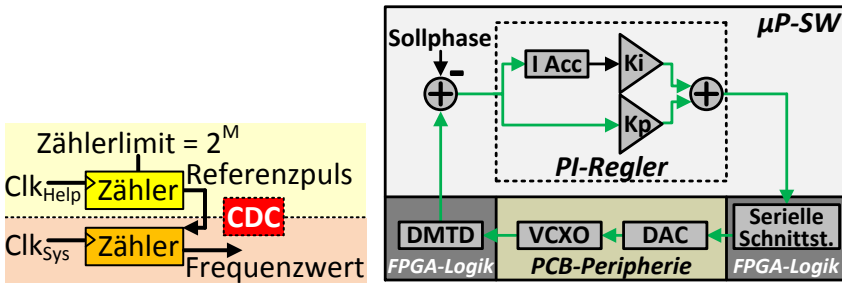


Abbildung 6.7: a) Zähler zur Bestimmung des Frequenzversatzes zwischen Hilfs- und Systemoszillator, b) Blockschaltbild des generellen Aufbaus der Hardware/Software-PLL

bei werden nach dem Systemreset in den Taktdomänen der beiden Oszillatoren Zähler gestartet. Sobald der Zähler des Hilfsoszillators überläuft, wird ein Puls ausgelöst, der die Speicherung des aktuellen Zählerstandes des Zählers in der Systemtaktdomäne auslöst. Bei bekanntem Zählerwert des Hilfsoszillators lässt sich der für das korrekte Verhältnis beider Taktfrequenzen benötigte Zählerstand in der Systemtaktdomäne nach Gleichung 6.1-6.3 berechnen.

$$f_{Help} = \frac{2^N - 1}{2^N} \cdot f_{Sys} \quad (6.1)$$

$$Count_{Help} = 2^M \rightarrow Count_{Sys} = floor \left(2^M \cdot \frac{2^N}{2^N - 1} \right) \quad (6.2)$$

$$Count_{Sys} = 1048640; M = 20, N = 14 \quad (6.3)$$

Dabei entspricht ein LSB des Frequenzzählers etwa einem ppm des Oszillators. Für die Einstellung der Hilfsfrequenz lässt sich dieselbe Art von PLL-Software-Routine verwenden, wie sie im späteren Teil des Kapitels für die Einstellung des Systemoszillators verwendet wird. Hierbei muss nur beachtet werden, dass nun als Messwerte, Werte des Frequenzzählers, der entsprechende Wert für $Count_{Sys}$ als Zielwert und passende Proportionalitäts- k_p und Integralkonstanten k_i verwendet werden.

Nachdem die Frequenz des Hilfsoszillators für das entsprechende Verhältnis eingestellt wurde, kann die PLL des Systemoszillators verwendet werden, um die Systemfrequenz auf der Slave-Seite nachzuregeln. Hierfür wurde eine Soft-PLL entwickelt, die im Phasenraum arbeitet (siehe Abbildung 6.7 b). Das Signal für das der PLL-Regler ausgelegt wurde, entspricht einem Rampen- bzw. Dreiecks-

signal, da das von der DMTD ermittelte Phasensignal bei einer vom Systemtakt abweichenden aber näherungsweise konstanten Frequenz des zu folgenden Referenztaktes, einen sich linear vergrößernden bzw. verkleinernden Phasenunterschied zwischen System- und Referenztakt zur Folge hat (siehe Kapitel 8).

Um einen Regler zu erhalten, der dazu in der Lage ist, den Phasenfehler nach endlicher Zeit gegen Null zu regeln, muss dieser das Kriterium der statischen Genauigkeit erfüllen [39]. Da ein PI-Regler eine Polstelle im Nullpunkt besitzt, ist dieser in der Lage, diese Bedingung zu erfüllen [39] und wird deshalb in vielen digitalen PLL-Entwürfen eingesetzt. Jedoch bestimmt dessen Parametrisierung in Abhängigkeit des Regelkreises maßgeblich, unter welchen Bedingungen dieser in der Lage ist, den stabilen Zielzustand zu erreichen, wie viel Zeit dies in Anspruch nimmt und unter welchen Umständen der Regelkreis diesen stabilen Zustand wieder verlässt.

Im vorliegenden Konzept des Regelkreises ist es wichtig, sicher den stabilen Zustand der Frequenzregelung zu erreichen, aber ebenfalls eine gewünschte Phasenlage wiederholbar einstellen bzw. gezielt verändern zu können. Für erste Eigenschaft könnte gewählt werden, dass der PI-Regler die *Phasenänderung* der DMTD-Phasenwerte analysiert und die Systemfrequenz entsprechend dieser "Frequenz" anpasst, sodass dessen Messwert gegen null geregelt wird. Dies hat zur Folge, dass der Regler sehr genau der Referenzfrequenz folgen kann. Die zweite Anforderung, eine gewünschte Phase einstellen zu können, gestaltet sich dabei allerdings etwas schwieriger, da erst dann stabile eine Zielphase erreicht werden kann, wenn die Frequenz eingestellt wurde. Es ist daher bei diesem Vorgehen naheliegend, nachdem der Frequenzeinstellung abgeschlossen wurde, die Frequenz des Systemtaktes leicht zu verstimmen, sodass sich die Phasenlage langsam relativ zum Referenztakt verändert. Dies hat allerdings den Nachteil, dass dieser Vorgang nur eher ungenau möglich ist, da nach dem Erreichen der Zielphase erst wieder die Zielfrequenz erreicht werden muss, was zu einer weiteren Phasenabweichung führt.

Ein weiterer Ansatz ist der, nach erfolgter Frequenzeinstellung in einen phasenregelnden Modus überzugehen, der statt der Phasenänderung ($f(t) = d\phi/dt$) die Abweichung von einem eingestellten Zielwert als Fehlergröße in den PI-Regler einspeist. Hier ist es allerdings von Nachteil, dass zwei Parametersätze innerhalb des PI-Reglers vorhanden sein müssten. Zudem ist es für diese Anpassung notwendig, den Integrationsakkumulator des PI-Reglers mit den korrekt umgerechneten Werten zu überschreiben, wenn zwischen der Phasen- und Frequenzregelung umgeschaltet wird. Dieses Vorgehen eignet sich möglicherweise für Fälle, bei denen der Systemoszillator einen größeren Versatz zur Referenzfrequenz besitzt, sodass dieser zunächst in den Bereich geregelt werden muss, der innerhalb des sogenannten stabilen Regelbereichs (lock range) der Reglervarian-

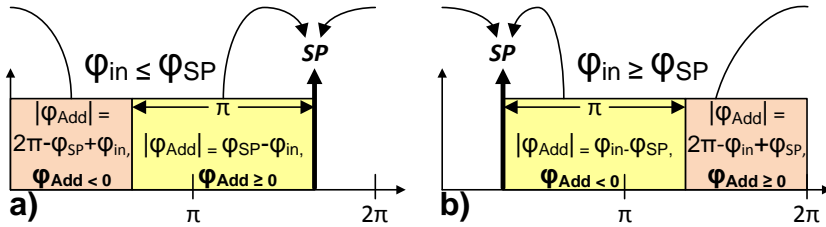


Abbildung 6.8: Bestimmung des eingespeisten Fehlersignals ϕ_{Add} und dessen Vorzeichen. a) Eingangsphasendifferenz $\phi_{in} \leq \phi_{SP}$ Phasensollwert, b) $\phi_{in} > \phi_{SP}$

te liegt, welche die Phasenwerte als Vergleichsgrößen verwendet. Hierbei eignet sich allerdings statt einer Messung der Phasenänderung auf Basis der DMTD eventuell eher das für den Hilfsoszillator vorgestellte Verfahren zur Frequenzmessung und Grobeinstellung mittels eines Frequenzzählers in FPGA-Logik.

Untersuchungen beim Systementwurf zeigten jedoch, dass es zumindest für die um eine Mittenfrequenz verstimmbaren VCOs nicht notwendig ist, einen solch aufwendigen Ansatz für die Erzielung sehr guter Ergebnisse zu verwenden. Die dabei am besten geeignete Herangehensweise ist es, die Abweichung der gemessenen Phasendifferenz zu einem beliebigen Zielphasenunterschied als Fehlergröße zu verwenden. Dadurch wird bei einer sich schnell und stark verändernden Differenz zum Zielwert der Phasenabweichung die Frequenz verstimmt, sodass nach endlicher Zeit die Zielfrequenz angenähert und diese erst stabil eingestellt wird, sobald ebenfalls die gewünschte Zielphase erreicht wurde. Somit werden damit beide Entwurfsziele mittels eines Regelprozesses realisiert, was allerdings auch nur deshalb möglich ist, weil generell die Frequenz eines Signals der Ableitung der Phase entspricht. Mittels dieses Vorgehens ist es zudem auf einfache Weise realisierbar, einen anderen Sollwert für die Phasenregelung einzuspeisen

Um sicherzustellen, dass das Fehlersignal, das die Abweichung zum Zielphasenunterschied angibt, sich innerhalb des Bereichs $[-2^{N-1}, 2^{N-1}] = [-\pi, \pi)$ bewegt, wird der Fehler ϕ_{Add} mittels des in Abbildung 6.8 dargestellten Ansatzes bestimmt.

Nach der Einstellung der TFC-Slave-Oszillatorfrequenz stabilisiert sich die Phasenlage relativ zum Master und die Messung der Paketumlaufzeit zwecks Bestimmung des Slave-Versatzes kann beginnen. Soll nach der Ermittlung eines Versatzes im Folgenden ein neuer Phasensollwert in die PLL eingebracht werden, sollte dieser nicht einfach als neuer Phasenwert eingestellt werden, da dies

aufgrund eines potentiell sprunghaft ansteigenden Phasendifferenzfehlers sofort zu einem starken Frequenzsprung führen würde. Stattdessen empfiehlt es sich, den neuen Phasenwert inkrementell additiv mit dem aktuellen Wert zu verrechnen, sodass eine langsame Phasenanpassung erfolgt und keine großen Frequenzsprünge auftreten.

Auswertungen mittels der in Kapitel 8.2.2 ausgewerteten Messaufbauten zeigen, dass die hochpräzisen, temperaturkompensierten Mercury Crystal VCOs [92], die im TP- und einem der Glasfasersysteme als Systemoszillatoren verwendet wurden, in der Regel nur um wenige ppm voneinander abweichen. Beispielsweise konnte in einem der gemessenen Fälle ein Frequenzversatz von gerade einmal 0.5 ppm gemessen werden, was mittels eines Stanford Research Systems SR620 Universal Time Interval Counters ermittelt wurde [144]. Dies liegt schwerpunktmäßig an der sehr guten Kalibrierung dieses Typs von temperaturkompensiertem Oszillator. Laut Datenblatt besitzen diese eine initiale Kalibrierungstoleranz von ± 1 ppm, was sich durch Alterung (± 1 ppm), Spannungs- und Lastwechsel (je ± 0.3 ppm) und je Lötvorgang (± 1 ppm) ändern kann. Dabei können die VCOs mittels des Kontrolleingangs um mindestens ± 6 ppm eingestellt werden, wodurch zwei Oszillatoren dieses Typs, bei angemessen angewandten Design-Prinzipien der Platinen, in nahezu allen Fällen aufeinander synchronisiert werden können.

Für den Fall der TP-Kommunikation unterscheidet sich die PLL darin, dass die Subtaktzyklusphasenwerte der Zeitstempel der *Timing (TIM)*-Kommunikation von einer separaten DMTD am Eingang dieses Kanals bestimmt werden (siehe Kapitel 7.1). Für die Bestimmung präziser Anpassungswerte der Sollphase der PLL des Systemoszillators werden damit Phasenwerte dieser DMTD-Komponente maßgeblich sein.

Im Falle der Konfiguration des glasfaserbasierten TFC-Systems, das einen einstellbaren Oszillator als Systemtaktquelle verwendet, ist ein etwas aufwändigerer Regelungsansatz vonnöten. Diese Anforderung entsteht dadurch, dass Oszillatoren, welche nicht auf eine feste Mittenfrequenz kalibriert sind, sondern flexibel in einem großen Frequenzbereich eingestellt werden können, in der Regel einen wesentlich aufwändigeren inneren Aufbau besitzen [139]. Dadurch können verschiedene Oszillatoren derselben Familie, welche vom Nutzer auf dieselbe Frequenz programmiert wurden, größere relative Frequenzabweichungen aufweisen als nur fein verstimmbare VCOs. Durch Messungen konnte festgestellt werden, dass für den Fall des vorliegenden Systems die VCOs zweier AFCK-Platinen im Initialzustand von der Frequenz her nur um etwa 0.5 ppm voneinander abwichen, wobei im Fall der auf $f_{sys} = 120$ MHz programmierten Oszillatoren Abweichungen im Bereich von 3-5 ppm auftraten.

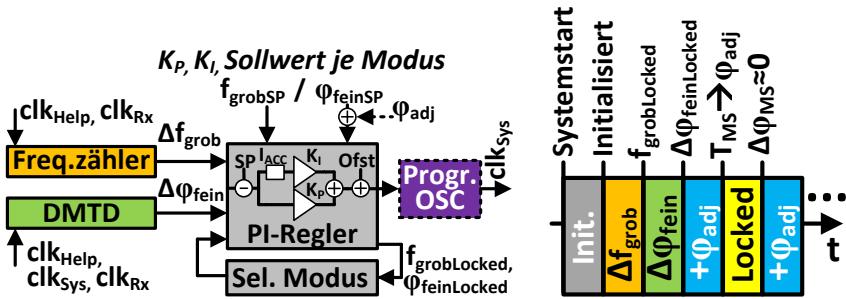


Abbildung 6.9: a) Soft-PLL mit Modi zur Grob- und Feinregelung der Oszillatorfrequenz, b) Schematischer Ablauf der Regelung mit Phasenoffsetkompensation

Aus diesem Grund wurde für die Einstellung der flexiblen Silicons Labs SI570 [139] Oszillatoren der AFCK-Platine ein zweistufiger Regelungsprozess eingeführt. Dabei besitzt die abgeänderte PLL den in Abbildung 6.9 a dargestellten Aufbau, der dem zeitlichen Ablauf des Regelprozesses nach Teilgrafik b folgt. Das grundlegende Unterscheidungsmerkmale zum bisherigen Aufbau ist der, dass nun zusätzlich Werte eines Frequenzzählers zur Einstellung des Systemoszillators verwendet werden, wie dies bereits für den Hilfsoszillator der Fall ist. Allerdings wird bei diesem Frequenzzähler das von der Glasfaserverbindung abgeleitete Taktsignal clk_{Rx} mit dem Hilfstakt clk_{Help} verglichen (etwa 60 ppm Versatz für $N=14$), da aufgrund des geringen Frequenzversatzes von clk_{Rx} und clk_{Sys} ein direkter Vergleich gerade am Ende des Regelprozess zu ungenauen Messergebnissen führen würde. Der durch den Frequenzzähler erzeugte Wert kann darauf innerhalb der PLL für die Grobeinstellung der Frequenz des programmierbaren Oszillators verwendet werden.

Da bei der Erzeugung dieses Messwerts allerdings der Systemoszillator nicht beteiligt ist, kann eine Veränderung dieses Wertes nur indirekt erfolgen. Der Trick ist hierbei, dass die Frequenz des Hilfsoszillators für das für die DMTD-Komponente benötigte Frequenzverhältnis von $f_{Help} = (2^N - 1)/2^N \cdot f_{Sys}$ relativ zum Systemoszillator, bereits aktiv durch die PLL des Hilfsoszillators an die des Systemoszillators angepasst.

In der Software der Grobfrequenzregelung wird gleichzeitig darauf geachtet, dass nur dann ein Regelschritt durchgeführt wird, falls das benötigte Verhältnis zwischen clk_{Help} und clk_{Sys} genau eingehalten wird. Gilt die geforderte Bedingung, wird die Regelung des Systemoszillators auf Basis des Verhältnisses von clk_{Rx} und clk_{Help} bewirken, dass sich dessen Frequenz immer mehr der

des abgeleiteten Takts anpasst. Dies geschieht dabei in dem Maße, wie sich der Wert des hier verwendeten Frequenzzählers dem Sollwert annähert. Mittels dieses Vorgehens ist es hierbei möglich den Frequenzversatz zwischen Empfangs- und Systemtakt auf wesentlich unterhalb von 1 ppm zu reduzieren ($f_{grobLocked}$), sodass in einem zweiten Schritt die Feinanpassung der Frequenz durchgeführt werden kann. Gleichung 6.4 stellt den mathematischen Hintergrund dieses Vorgehens dar.

$$\begin{aligned} f_{Sys} &= K_{DMTD} \cdot f_{Help}; & K_{DMTD} &= 2^N / (2^N - 1) \\ f_{Rx} &= K_{DMTD} \cdot f_{Help} + \Delta_{Err}; & \Delta_{Err} \approx 0 &\rightarrow f_{Sys} \approx f_{Rx} \end{aligned} \quad (6.4)$$

Der zweite Teil des Regelungsprozesses kann wieder mithilfe des bekannten Vorgehens erfolgen, bei dem DMTD-Phasenwerte als Sollgröße zum Einsatz kommen. Nach der Erreichung des Lock Zustands der Feinregelung $\phi_{feinLocked}$ kann mittels des aus der Zwei-Wege-Latenz resultierenden Ein-Weg-Phasenversatzes ϕ_{adj} der zwischen TFC-Master und -Slave bestehende Phasenfehler kompensiert werden.

In den beiden Regelmodi des hier erläuterten zweistufigen Regelprozesses kommen unterschiedliche Parametrierungen des PI-Reglers und verschiedene Vergleichsgrößen zum Einsatz. Deshalb ist beim Wechsel zwischen den beiden Modi sicherzustellen, dass die Regelung mit gültigen Ausgangsbedingungen fortgesetzt werden kann. Als sichere Lösung wurde gewählt, die Akkumulatoren des PI-Reglers zurückzusetzen, die aktuellen Systemparameter des einstellbaren Oszillators erneut per Programmierschnittstelle auszulesen und diese als neuen Ausgangszustand im gewählten Modus des PI-Reglers zu verwenden.

6.8 Datenübertragungskomponenten

Über den physikalischen TFC-Link können Daten von verschiedenen Quellen übertragen werden. Eine dieser Datenquellen stellt der Microprocessor dar, welcher über einen am Bussystem angebotenen DMA, der auf einen FPGA-internen *Block Random Accessible Memory (BRAM)*-Speicher zugreift, Daten mit der TFC-Schnittstelle austauschen kann.

Da Fast-Control-Nachrichten mit einer möglichst gleichbleibenden Latenz übertragen werden sollen, ist für deren Übertragung ein separater Datenpfad geplant, der explizit den Microprocessor umgeht, falls dieser nicht das Ziel der Nachricht darstellt, und nur hardware-nahe FPGA-Logik verwendet. Gerade am TFC-Slave ist diese Art von Bypass wichtig, da dieser sowohl an der Trigger-Backplane der mTCA Crates, als auch an den TFC-Link, der das Crate in Rich-

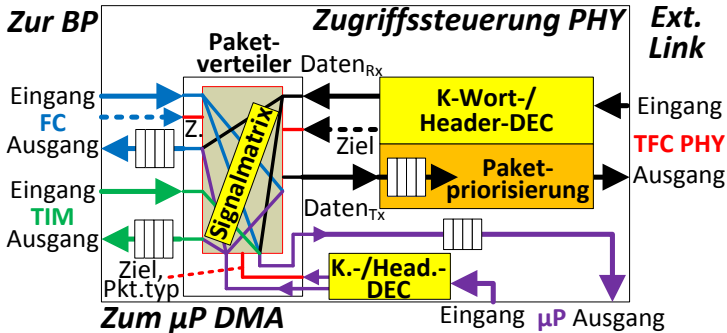


Abbildung 6.10: Komponente zur Steuerung des Zugriffs auf das physikalische Medium mit FC-Bypass

Die TFC-Master verlässt, angebonden ist und somit primär keine Prozessierungsaufgabe besitzt, sondern lediglich die des Multiplexes und der Weiterleitung der Daten der AMC-Karten erfüllen muss. Folgende Beschreibungen stellen das grundlegende Konzept zum geteilten Zugriff auf das TFC-Medium dar, das besonders für die Übertragung per Glasfaser wichtig ist, da hier nur eine physikalische Leitung für die Übertragung zur Verfügung steht.

Um mehrere dieser Datenquellen an den TFC-Link anzubinden, ist für die physikalische Schnittstelle eine Zugriffssteuerung vorgesehen, welche über die als nächstes zu übertragenden Daten entscheidet bzw. Daten an das richtige Ziel weiterleitet (siehe Abbildung 6.10). Hierbei werden vom TFC-Link empfangene Daten anhand des anführenden K-Worts bzw. des Paketkopfes (Headers) mit einem Zielrouting versehen und mittels einer Paketverteilers an den richtigen Port weitergeleitet. TIM-bezogene Pakete werden standardmäßig zwischen TFC-Link und Microprocessor ausgetauscht. In Abhängigkeit von der notwendigen Zeitsynchronisation innerhalb eines Crates, kann es ebenfalls notwendig sein, TIM-Daten über die Crate Backplane zu verschicken, statt nur ein PPS-Signal zu erzeugen. Für diesen Fall ist in der Abbildung ebenfalls eine Datenanbindung des TIM-Links der Backplane eingezeichnet. Die Standardweiterleitung von FC-Paketen erfolgt zwischen dem TFC-Link und dem FC-Port in Richtung der Backplane. Per Parametrisierung kann allerdings darüber entschieden werden, ob FC-Pakete auch an den Microprocessor weitergeleitet werden sollten bzw. per K-Wort oder Paketkopf kann das Ziel der Nachricht bekanntgemacht werden.

Die Anbindung per Twisted-Pair- bzw. Glasfasermedium unterscheidet sich in der Hinsicht, dass in ersterem Fall für TIM und FC getrennte differenzielle Paare zu Verfügung stehen und so eine gleichzeitige Übertragung verschiedener

Nachrichtentypen möglich ist. Mittels der Glasfaserübertrager steht zwar eine höhere Datenrate zur Verfügung, allerdings müssen TIM- und FC-Nachrichten über dasselbe Medium serialisiert übertragen werden. Diese Tatsache erfordert für beide physikalischen Anbindungskonzepte eine Paketpufferung, da die Eingangsdatenrate im Extremfall höher als die des Links ausfällt und gerade im Fall des Glasfasermediums eine Paketpriorisierung notwendig ist.

Kommen beispielsweise gleichzeitig FC- und Microprocessor-Pakete an, die an den TFC-Link gesendet werden sollen, muss darüber entschieden werden, welche Pakete zuerst gesendet werden sollen. Zudem kann es vorkommen, dass Nachrichten mehr als ein einzelnes Datenwort (Flit) lang sind, weshalb nicht nur in Richtung des TFC-Links aufgrund des niedrigeren Durchsatzes Puffer benötigt werden. Beispielsweise ließen sich am TFC-Link zwei FIFOs in Sende-richtung instanzieren, je einer für FC- bzw. TIM-Pakete, sodass bei nicht allzu hohem Datenaufkommen keine Daten verloren gehen. Hierbei muss allerdings berücksichtigt werden, dass eine maximale Nachrichtenlänge definiert wird; entsprechend dieser wird die Puffergröße gewählt, sodass keine Unterbrechung von Nachrichten notwendig wird.

Generell sind in diesem Aufbau FC- den TIM-Nachrichten bei der Übertragung bevorzugt zu behandeln, da hier die Konstanz der Latenz äußerst wichtig ist, üblicherweise deren Quelle außerhalb des FPGA-Systems liegt und die Erzeugung TIM-bezogener Nachrichten ohne größere Nachteile zeitlich begrenzt unterbunden werden kann. Ebenso ist es in der Regel zutreffend, dass von der Backplane oder dem TFC-Link ankommende FC-Nachrichten vor FC-Paketen des Prozessors weitergeleitet werden sollten.

Wird der Microprocessor als Paketquelle und -senke von FC-Nachrichten abgeschaltet, kann der Puffer innerhalb des FC-Pfades transparent geschaltet werden, was sich positiv auf dessen Latenz auswirkt. Eine etwaig notwendige Pufferung kann dabei innerhalb der FC-Schnittstellensteuerung der Backplane vorgenommen werden, da diese Verbindung in der Regel über eine geringere Datenrate als die TFC-Schnittstelle verfügt und sich so FC-Pakete in der Regel weniger lange bei dieser Komponente aufhalten. Diese FC-Schnittstellensteuerung der Backplane setzt dabei das notwendige Protokoll um und führt im Falle des TFC-Slaves innerhalb eines mTCA.4 Crates die FC-Kommunikation von mehreren DPBs zusammen bzw. adressiert zu sendende Pakete entsprechend.

Die eigentliche Anbindung des Microprocessors an die Datenübertragungskomponenten erfolgt mittels einer DMA-Komponente. Dies ist notwendig, da ohne diese Komponente die Übertragung von Nachrichten abhängig von der Last des Microprocessors und dieser somit zusätzlich für diese Aufgabe belegt wäre. Der Grundansatz ist hierbei, dass die Datenschnittstelle des Prozessors ein BRAM darstellt und lediglich Steuerinformationen und Interrupts mit der DMA-

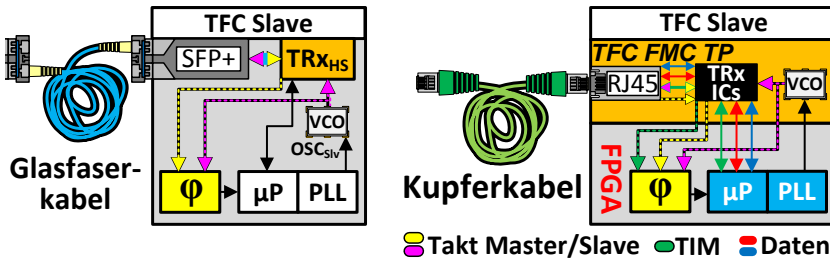


Abbildung 6.11: TFC-Link mit Übertragung a) per Glasfaserkabel bzw. b) per Twisted-Pair-Kupferkabel

Komponente ausgetauscht werden. Ein großer Vorteil dieses Vorgehens ist zudem, dass die Übertragungslatenz nach dem DMA unabhängig ist von prozessorbedingten Latenzvariationen.

6.9 Modulare physikalische TFC-Schnittstelle

Zur Übertragung der TFC-Informationen bieten sich, wie im Kapitel 4 zum Stand der Technik erläutert, für den TFC-Link verschiedene Ansätze an. Dort wurde ebenfalls dargelegt, dass für die erste Umsetzung des TFC-Systems die direkte Master-Slave-Anbindung gewählt wurde. Um hierfür die geeignetste Realisierung zu ermitteln, wurden zwei Übertragungskonzepte erstellt, welche in den folgenden Kapiteln näher beschrieben und evaluiert werden. Das grundlegende Unterscheidungsmerkmal beider Konzepte stellt das gewählte physikalische Medium dar.

Hierbei setzt das erste Konzept auf die Datenübertragung per Glasfaserkabel (siehe Abbildung 6.11 a). Diesem Konzept liegt der Ansatz der physikalischen Schnittstelle des White-Rabbit-Systems [17] zugrunde. Im Vergleich zu diesem System ermöglicht es allerdings zusätzlich zur Zeit- und Taktsynchronisation ebenso die im CBM-Experiment dringend erforderliche Fast-Control-Kommunikation, welche eine konstante, geringe Übertragungslatenz voraussetzt. Um per Glasfaser kommunizieren zu können, werden beim hier beschriebenen Konzept bidirektionale SMF SFP Glasfaserübertragungsmodule eingesetzt. Die Verwendung dieser speziellen Module hat den Grund, dass hierdurch die DS- und US-Kommunikation über dieselbe Faser stattfinden kann, wodurch die Faser nicht zum DS/US-Pfadlängenunterschied beiträgt. Die hierbei nicht beeinflusste Link-Asymmetrie bezeichnet dabei die Differenz der Latenzen zweier Ausbreitungs-

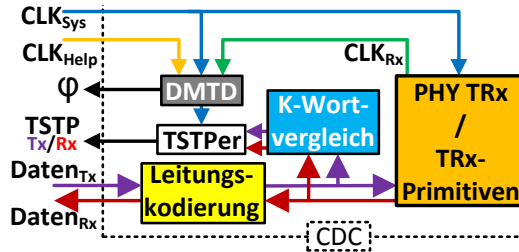


Abbildung 6.12: Generisches Blockschaltbild des TFC-Link PHY

pfade. Im Falle von vernachlässigbarer Link-Asymmetrie liefert die Annahme, dass die Hälfte der Zwei-Wege-Latenz der Latenz der Übertragungsstrecke entspricht, eine sehr gute Latenzschätzung für die DS/US Strecken.

Um die SFP-Module an die FPGA-Logik anzubinden, werden zur Kommunikation serielle Highspeed-Transceiver-Hardware-Primitiven aufseiten der FPGAs verwendet. Hierbei sendet oder empfängt die FPGA-Logik parallelisierte Datenströme im Bereich von wenigen hundert Megahertz, welche von den Übertrager-Primitiven zu oder von einem Datenstrom im Gigabit-Bereich außerhalb des FPGAs umgesetzt werden.

Der zweite im Stand der Technik erwähnte Ansatz verwendet die kupferbasierte Twisted-Pair-Anbindung als TFC-Medium. Hierbei wird eine zusätzlich zu entwickelnde Platine benötigt, welche es erlaubt, mittels spezieller Übertrager den TP-Link anzuschließen. Dabei können aufgrund geringerer zu erwartender Datenraten als im Glasfaseransatz gewöhnliche FPGA GPIOs zum Einsatz kommen. Da zudem vier Leitungen zur Übertragung von Daten bereitstehen, können diese unabhängig voneinander zur Kommunikation verwendet werden, was z.B. die in Kapitel 6.8 erwähnte Zugriffskontrolle der physikalischen Schnittstelle vereinfacht. Um eine bessere Qualität des TP-Taktes zu erreichen, wird ein dediziertes Taktsignal an einem der TP-Paare angelegt, welches von einem dedizierten Chip zur Taktverarbeitung bzw. einem Oszillator erzeugt wird. Da die Datensignale nicht mit diesem Taktsignal phasen-ausgerichtet sind, wird zusätzlich eines der Signale als halbduplex TIM-Leitung verwendet, um einen bidirektionalen Datenlink für Messungen der Paketumlaufzeit zu erhalten.

Ein generisches Blockschaltbild, das den für beide Ansätze gültigen grundlegenden Aufbau des TFC-Link *Physical Interface (PHY)* zeigt, ist in Abbildung 6.12 dargestellt. Innerhalb der PHY-Logikkomponenten beider Ansätze wird neben der Kommunikationslogik eine Zeitstempelgenerierung verwendet, die bei bestimmten auftretenden Paketen deren zeitliches Auftreten dem Microprocessor

mitteilt. Um solche Pakete von normalen Datenpaketen unterscheiden zu können, wird in den PHY-Komponenten ein 8b10b-Leitungscode [186] verwendet, der sogenannte K-Wörter definiert und zusätzlich eine gleichanteilsfreie Übertragung ermöglicht. Im Falle des glasfaserbasierten Ansatzes ist diese Leitungscodierung als Teil der Transceiver instanzierbar.

Mithilfe der in diesem Modul vorhandenen DMTD-Komponenten lässt sich die Präzision der Zeitstempel auf wesentlich unter eine Taktperiode verbessern, in der Regel im Bereich zwischen 10-100 ps.

Zwar nicht im prototypischen System vorhanden, aber in einer finalen Version des Systems sinnvoll, ist eine *Forward Error Correction (FEC)*, welche es erlaubt, Übertragungsfehler auf der Empfängerseite in gewissem Maße zu korrigieren, ohne dass eine Wiederholung der Übertragung notwendig wird. Gerade beim latenzkritischen FC-Link ist diese Maßnahme sinnvoll, da ein Paketverlust oder die benötigte Wiederholung eines Pakets signifikant die Konstanz der Nachrichtenübertragung beeinflusst bzw. die zeitlich gleichzeitige Ausführung von Kommandos unmöglich macht.

Da am TFC-Master an jedem der Ports eine Zeitstempelerzeugung und eine Phasenmessung notwendig ist, wurden alle dieser Komponenten in die Timing-Node-Logik eingebaut, sodass im Falle mehrerer Ports eine Vervielfachung der Logik einfach möglich ist.

6.10 Slow-Control-Schnittstelle

Um die verteilten Komponenten des TFC-Systems durch ein zentrales System kontrollieren zu können, ist es an das innerhalb von CBM verwendete Slow-Control-System angebunden. Für dieses System wird das am CERN entwickelte IPBus-System [78] eingesetzt. Dieses basiert auf Gigabit-Ethernet [59] und setzt dabei auf einen Pakettransfer per UDP [120]. Neben einem durch den Nutzer zu wählenden Ethernet-PHY, wird lediglich eine IPBus-Controller-Komponente benötigt, welche die Schnittstelle zwischen dem PHY und dem IPBus-Netzwerk auf dem FPGA steuert.

Der große Vorteil von IPBus stellt die Einfachheit bezüglich dessen Verwendung dar, da lediglich ein Slave-Gerät hinzugefügt werden muss, an das die benutzerdefinierte Logik des Systems, wie Status- und Steuerregister, angebunden werden kann. Neben diesem Basis-Slave stehen verschiedene weitere Arten zur Verfügung, wie beispielsweise ein Slave mit *First-In First-Out Memory (FIFO)*-Anbindung. Ein sogenanntes Peephole RAM, welches automatisch die Lese-/Schreibadresse erhöht, wurde für den TFC-Ringspeicher modifiziert (siehe Abbildung 6.13), sodass es möglich wird, mit einer hohen Datenrate, ohne

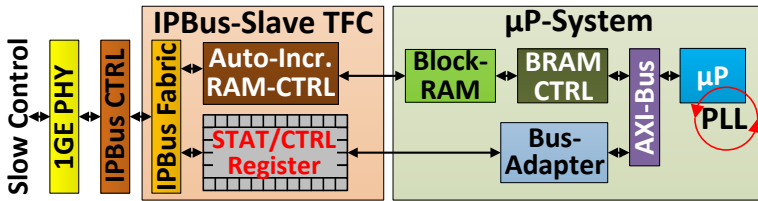


Abbildung 6.13: Anbindung des Microprocessor-Systems an die IPBus Slow-Control

Wartezustände, die aufgezeichneten Regelparameter der PLL über einen am Labornetzwerk angeschlossenen PC per Gigabit-Ethernet auszulesen. In Kapitel 8, Abbildung 8.3 finden sich Messdaten der PLL-Regelschleife, welche mithilfe des Ringspeicheransatzes im Betrieb aufgezeichnet wurden.

Neben dieser detaillierten Auswertung einer speziellen Funktion bietet ein durch IPBus bereitgestellter leicht instanziiertbarer Registersatz die Möglichkeit, die TFC-Subkomponenten der FPGA-Logik zu steuern, z.B. die Nachführung des Slave-Oszillators und Statusinformationen auszulesen, beispielsweise über das Erreichen des stabilen Zielzustands der Slave-PLL.

6.11 Peripheriekomponenten der TFC-Logik

Das TFC-System ist mit verschiedenen Peripheriekomponenten ausgestattet, ohne welche der TFC-Betrieb nicht möglich wäre (siehe Abbildung 6.5). Unter diese Kategorie fallen zum einen die zur Designzeit einstellbaren Timer, die die System-Interrupts zum Aufruf der PLL auslösen, wodurch deren Regelgrößen aktualisiert werden.

Des Weiteren stehen serielle Schnittstellenkomponenten für I2C und SPI zur Verfügung, von denen erstere den programmierbaren SI570-Oszillator [139] ansteuert, der je nach System als Hilfs- oder Systemoszillator verwendet wird und letztere Schnittstelle die Ausgabewerte der DACs definiert, welche den Frequenzversatz der VCOs vorgeben. Die verwendeten VCOs sind zum einen ein Mercury Crystal VM53S3 [92] *Voltage and Temperature Controlled Crystal Oscillator (VT-CXO)* mit 25 MHz, der meist als Systemoszillator verwendet wird, und ein IQD VCXO026156 [68] *Voltage Controlled Crystal Oscillator (VCXO)* mit 20 MHz als möglicher Hilfsoszillator.

Für den Fall, dass das IPBus-System nicht zur Verfügung steht, kann mit dem Microprocessor per *Universal Asynchronous Receiver Transmitter (UART)*-Komponente mit maximal 1 Mbit/s kommuniziert werden.

6.12 Synchrone Schnittstelle zur DPB-Ausleselogik

Um letztendlich die Informationen des TFC-Systems an die Logik der DPB-Auslese weiterzugeben, ist eine synchrone DPB-Schnittstelle vorhanden. Üblicherweise stellt dies lediglich eine Bündelung wichtiger Signalen an der Top-Schnittstelle der TFC-Cores dar, allerdings ist hier eine zusätzliche Logik zur Abstraktion der TFC-Informationen sinnvoll.

Ein üblicherweise verwendetes Signal, um den Startzeitpunkt gewisser Zeitintervalle bekanntzumachen, ist das PPS-Signal. Dieses besitzt die Eigenschaft, bei Beginn eines sich periodisch wiederholenden Zeitintervalls für die Dauer eines Systemtaktzyklus aktiv zu sein. Dementsprechend bietet sich im Falle des TFC-Systems an, dieses Signal vom synchronisierten taktzyklusgenauen Systemzeitähler abzuleiten. Da gerade für die Containerbildung innerhalb der DPB-Logik Zeitstempel benötigt werden, ist es notwendig, den Ausgang des erwähnten Systemzeitählers der Auslese bereitzustellen.

Ebenfalls werden über diese Schnittstelle zumeist die Systemtakte verteilt, welche innerhalb der Auslese in Richtung Frontend benötigt werden. Die Referenztakte der eingestellten VCOs werden hingegen über dedizierte Taktleitungen außerhalb des FPGAs direkt mit den entsprechenden Takteingängen der MGTs in Richtung Frontend verbunden, um eine möglichst hohe Qualität des Taktes sicherzustellen, da sich diese direkt im BER der Übertragung niederschlägt.

Die letztendlich speziell für den selbst-getriggerten Ansatz in CBM wichtige synchrone Schnittstelle der FC-Nachrichtenkommunikation wird ebenfalls an diesem Interface im Falle eines DPB-Knotens angebunden. Am TFC-Slave würden hingegen die FC-Nachrichten nur zwischen der Logik zur Backplane Kommunikation und der TFC-Link Schnittstelle ausgetauscht werden, da am TFC-Slave keine DPB-Auslese angebunden ist und diese Informationen nur am TFC-Master eventuell an eine externe Entscheidungsfindung weitergeleitet werden müssten. Falls dies einmal später notwendig wird, können prinzipiell genauso Informationen zu hardware-nahen/physikalischen Events etc. der DPB-Logik bzw. des FEEs über diese Schnittstelle gesammelt, in FC-Nachrichten abgelegt und an die übergeordneten TFC-Schichten weitergeleitet werden.

6.13 Pläne zur Weiterentwicklung der Auslese von CBM

Innerhalb von CBM finden ebenfalls Planungen bezüglich des Ausbaus des Auslesesystems bzw. zukünftiger Topologien der FPGA-basierten Online-Datenerfassung statt. Aufgrund der Tatsache, dass sich diese Änderungen auch auf das TFC-System und dessen zukünftige Struktur auswirken würden, werden diese in diesem Kapitel erläutert. Da, wie im Stand-der-Technik-Kapitel 4.4 genannt, sich die glasfaserbasierte Crate-zu-Crate Verdrahtung innerhalb des TFC-Systems möglicherweise eher für CBM eignen könnte, weil diese Anbindung eine potentiell bessere zukünftige Erweiterbarkeit aufweist, werden die Auswirkungen der geplanten Änderungen der Auslese im Folgenden auf dieses System bezogen.

Aktuell ist zum einen für CBM eine Serienversion der AFCK-FPGA-Platine im Gespräch, die aus Gründen der Produktionskosten wahrscheinlich über keine FMC-Konnektoren verfügen, aber mit einem Xilinx Kintex UltraScale FPGA [201] und einem oder zwei Paaren Avagotech Mini- [14] oder Micro-Pods [13] Tx/Rx bzw. ähnlichen optischen Mehrkanalmodulen ausgestattet sein wird. Diese Schnittstellenkomponenten binden je 12 10-Gbit-Kanäle mit Glasfaserlinks an, was besonders im Fall der Auslese für einen erhöhten Datendurchsatz sorgen wird.

Als zweites ist eine potentielle alternative Auslese für CBM im Gespräch, welche ähnlich der physikalischen Struktur des LHCb Run3 aussähe. Da im aktuellen Fall der Auslese je ein FPGA im Auslese-Crate, aber auch ein FPGA benötigt wird, um den 10 Gbit/s FLES-Link an der Serverfarm zu empfangen, wird eine Lösung diskutiert, die es erlaubt, ohne das zusätzliche sogenannte *FLES Interface Board (FLIB)* auszukommen, da dadurch potentiell Kosten eingespart und die Signalkette vereinfacht würde.

Die generelle Idee ist dabei, die Auslese-Karten in PCs zu installieren und als PCIe-Karten auszuführen, wobei deren Daten per Infiniband [61] an die Serverfarm geschickt würden, was einen geläufigen Standard innerhalb der Architekturen von Großrechnern darstellt. Der Vorteil dieses Aufbaus ist, dass prinzipiell kommerzielle FPGA-Karten eingesetzt werden könnten, falls nicht auf die aufwändige Taktfunktionalität des AFCKs gesetzt werden müsste. Ebenfalls könnten die teuren mTCA Crates entfallen und Messdaten könnten mittels der PCs in kleinen Aufbauten bereits im Voraus ausgewertet werden. Nachteilig ist hierbei allerdings die geringere Anzahl Auslesekarten, die pro Rechner installiert werden können, was die Anzahl notwendiger TFC-Links zu den PCs im Vergleich zu den mTCA Crates vervielfachen und damit den Aufwand der Signalverteilung innerhalb des TFC-Systems signifikant vergrößern würde.

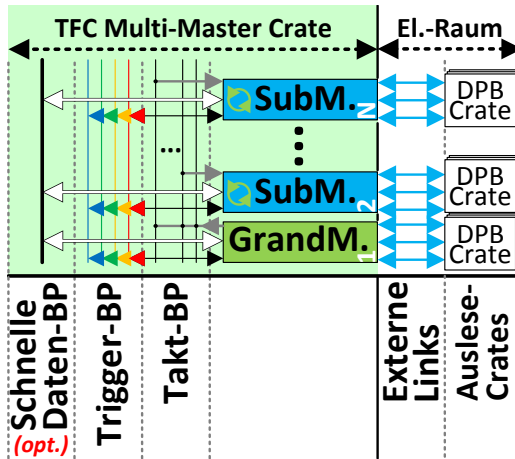


Abbildung 6.14: Erweiterung des TFC-Master-Aufbaus mittels weiterer AMCs zu einem Multi-Master-Crate

6.14 Zukünftige Erweiterbarkeit des TFC-Systems

Die bisherigen Erläuterungen des Konzepts des TFC-Systems beschäftigten sich lediglich mit Aufbauten, die nur eine TFC-Master-Karte verwenden. Werden die TFC-Links außerhalb von Crates als Punkt-zu-Punkt-Links ausgeführt, um eine minimale Übertragungslatenz zu erreichen, ist die Anzahl Slaves, die mit einer Master-Karte verbunden werden können, durch die Anzahl Ports der Karte begrenzt.

Im zentralen Konzept der finalen Auslese von CBM ist es allerdings geplant, innerhalb des Elektronikraums eine große Anzahl mTCA.4 Crates zu installieren, in denen die FPGA-basierte Auslese untergebracht sein wird. In diesem Raum könnten schätzungsweise etwas über 20 Racks platziert werden, die mit jeweils bis zu sechs DPB-Auslese Crates ausgestattet sein könnten, falls mTCA.4 Crates mit 8 und 19-Zoll Racks mit 48 Höheneinheiten verwendet würden. Daraus ergäbe sich bei Vollbestückung innerhalb von etwa 100-150 Crates eine Anzahl von Auslesekarten in der Größenordnung von etwa 1200 bis 1800 Stück, wobei reale Zahlen wahrscheinlich darunter anzusiedeln wären. Würde die finale Auslese auf einer Topologie von PCIe Karten basieren (siehe Kapitel 6.13), welche in Servergehäusen installiert würden, könnten ebenfalls einhundert oder ein Vielfaches davon an TFC-Links benötigt werden.

Um eine sehr große Anzahl an Crates anzubinden, besteht die Möglichkeit, den mehrfach erwähnten Ansatz des TFC-Multi-Master Crates zu verfolgen, bei dem, ähnlich eines synchronisierten Auslese-Crates, ausgehend von einer Grandmaster-Karte, die anderen Master-Karten synchronisiert werden. Dieses Vorgehen ist in Abbildung 6.14 dargestellt.

Hierbei stellt der Grandmaster seinen Referenztakt über die Telekommunikationstaktleitungen der Backplane den Submasters als Referenz zur Verfügung. Da dieser Takt aufgrund unterschiedlicher Abstände zum MCH und nicht längenangepegelter Taktleitungen der Backplane mit verschiedenen Phasenlagen an den sogenannten TFC-Submasters ankommt, sollten diese, um eine perfekte Kopie des Mastertaktes zu erhalten, phasensynchronisiert werden, da sonst ebenfalls die Slaves in den Auslese-Crates mit unterschiedlichen Phasenlagen synchronisiert würden.

Ähnlich dem beschriebenen Vorgehen bei der TFC-TP-Synchronisation würde an den Submasters zunächst die Frequenz des lokalen, einstellbaren Oszillators angepasst werden. Darauf ließe sich über die Trigger-Backplane eine PTP-basierte Messung der Paketumlaufzeit umsetzen, mittels welcher der Phasenversatz der Submaster bestimmt würde. Die Zeitstempel können dabei durch die Phaseninformationen der DMTD-Komponenten präzisiert werden, welche an die Trigger-Backplane angebunden sind.

Alternativ wäre es möglich, an jeder der TFC-Crate-Karten den Takt der Backplane direkt als Systemtakt zu verwenden und Kalibrierungswerte je Submaster-Karte zu bestimmen, die als konstante zusätzliche Phasenversatzwerte für die Slave-Synchronisation verwendet werden. Dabei würde also nicht der lokale Takt der Master-Karten zueinander angepasst, sondern vielmehr dieser algorithmisch postkompensiert, da nur die akkurate Synchronisation der Slaves für die Datenaufzeichnung wirklich relevant ist. Um diesen Ansatz zu ermöglichen, ist es allerdings eine Grundvoraussetzung, dass der durch das MCH verteilte Takt von sehr hoher Qualität ist und die Latenz der Taktverteilung zu den Master-Karten wiederholbar sehr konstant bleibt, sodass die ermittelten Werte der Kalibrierung gültig bleiben.

Die mithilfe des TFC-Multi-Master-Crate-Ansatzes mit einem Crate erreichbare Anzahl TFC-Slaves lässt sich nach Gleichung 6.5 berechnen.

$$N_{SlavesTotalMM} = N_{FPGA_Cards} \cdot N_{Ports} = 12 \cdot 8 = 96 \quad (6.5)$$

Damit ließen sich 96 Auslese-Crates mit der AFCK-Prototypenplatine von CBM anbinden, wenn das Crate mit 12 AMCs und jedes dieser mit je zwei 4-Port-FMC-Karten bestückt würde. Unter Berücksichtigung der geplanten Serienversion der FPGA-Platine von CBM ließe sich die Anzahl Ports bei Installation von

zwei Paaren der optischen Transceiver-Module verdreifachen, da so 24 Sendee-/Empfangskanäle zur Verfügung stünden. Wird dieser Plan für die Auslese-FPGA-Plattform im weiteren Verlauf von CBM umgesetzt, wäre es hierdurch möglich, mit einem mTCA.4 TFC-Multi-Master-Crate etwa 3500 Auslese-Karten in $N_{SlavesTotalMM}(BoardProduction) = 12 \cdot 24 = 288$ Crates synchronisiert zu betreiben. Damit wäre eine weitere Signalverteilung durch ein zusätzliches Netzwerk theoretisch nicht notwendig. Ein geeignetes Vorgehen zur Verarbeitung der dabei anfallenden hohen Datenraten der 24 seriellen Highspeed-Links ist bei diesem Ansatz aufseiten des FPGAs besonders wichtig.

Ein gänzlich anderer Ansatz, um die Anzahl synchronisierbarer Knoten zu erhöhen, sind Netzwerke zur Signalverteilung. Da eine switch-basierte Verteilung der TFC-Informationen mit sehr hohen Latenzen verbunden ist (siehe Kapitel 4), treten vor allem sogenannte passive Verteillösungen in den Fokus. Hierbei bieten PONs eine Architektur mit einem sehr hohen Split-Ratio von beispielsweise 1:64 oder mehr, was es potentiell ermöglichen würde, mittels einer Master-Karte alle Crates in CBM anzubinden, falls vier oder mehr der benötigten PON-Schnittstellen zur Verfügung stünden und die FPGA-Logikressourcen ausreichen. Die Anzahl mithilfe eines PONs ansprechbarer Slaves lässt sich nach Gleichung 6.6 bestimmen.

$$N_{SlavesTotalPON} = N_{Ports} \cdot N_{PONsplitRatio} \quad (6.6)$$

Um ein PON innerhalb des TFC-Systems nutzen zu können, muss dieses die Kriterien der FC-Kommunikation erfüllen können. Dies bedeutet, dass durch die zusätzlich verursachte maximale Kommunikationslatenz des PONs nicht die obere Schranke überschritten werden darf, welche in Summe für die Nachrichtenverteilung innerhalb der FC-Kommunikation ermittelt wurde. Mittels Gleichung 6.7 lässt sich dies vereinfacht beschreiben.

$$\begin{aligned} T_{FC_Limit} &= T_{FC_ComTotal} + T_{FC_Decision} \\ T_{FC_ComTotal} &= T_{FC_Com}(DS) + T_{FC_Com}(US) \\ T_{FC_Com}(DS) &= T_{FC_Com}(PON_{DS}) + T_{FC_Com}(DPB/FEE_{DS}) \\ T_{FC_Com}(US) &= T_{FC_Com}(PON_{US}) + T_{FC_Com}(DPB/FEE_{US}) \end{aligned} \quad (6.7)$$

Dabei setzt sich die obere Schranke der FC-Latenz T_{FC_Limit} aus der Latenz der Nachrichtenverteilung $T_{FC_ComTotal}$ und der Zeit $T_{FC_Decision}$ zusammen, die für die FC-Entscheidungsfindung beispielsweise am TFC-Master benötigt wird. Da die FC-Nachrichten von der FEE über das DPB und das PON an den TFC-Master und wieder zurück gesendet werden, fallen neben der PON-Latenz im US/DS $T_{FC_Com}(PON_{DS/US})$ auch Verzögerungen auf dem Weg von der FEE zum PON an ($T_{FC_Com}(DPB/FEE_{DS/US})$).

Zum Zeitpunkt der Erstellung dieser Arbeit setzen kommerziell erhältliche PONs allerdings mehrheitlich auf das TDMA-Verfahren zur Zuteilung des US an die ONUs. Aufgrund des hohen Split-Ratios dieser Netze verursachen diese PONs damit eine relativ hohe Latenz in US-Richtung, da jedes der ONUs nur innerhalb eines gewissen zugeordneten Zeitslots mit der OLT-Seite kommunizieren darf. Eine am CERN für das TTC-System gewählte Parametrierung eines solchen PONs führte zu einer relativ hohen US-Extremfall-Latenz von 8 μ s bei einer Split-Ratio von 1:64 [91] bei lediglich 125 ns langen Zeitslots je ONU.

Mit dem Aufkommen von NG-PON2 PONs wird das Problem dieses Latenzdefizits zwar abgemildert, allerdings nicht vollständig gelöst. Hierbei kommt ein TWDM Verfahren zum Einsatz, das TDMA mit WDM kombiniert, sodass neben einem Zeitmultiplex ebenfalls ein Wellenlängenmultiplex mit einstellbaren Lasern am ONU durchgeführt wird. Teilen sich allerdings bei großen Nutzerzahlen mehrere ONUs eine Wellenlänge, herrscht dasselbe Szenario vor wie bei TDM-PONs. Eventuell könnte die Reduktion der Nutzeranzahl pro Wellenlänge dazu ausreichen, dass sich die maximalen Kommunikationslatenzen zuzüglich Entscheidungsfindung unterhalb der für CBM akzeptablen Schwelle der FC-Paketumlaufzeit befindet. Nachteilig bleibt jedoch, dass das Versenden von zu beliebigen Zeitpunkten eintreffenden Nachrichten durch das TDMA-Schicht zu nicht konstanten Sendelatenzen führt, da die vergebenen Zeitschlitze den Sendezeitpunkt je Nutzer definieren.

Aus diesen Gründen wird in dieser Arbeit eine Alternative zu den zum Zeitpunkt der Erstellung dieser Arbeit kommerziell erhältlichen PONs untersucht, welche eine grundsätzlich andere Richtung einschlägt. Die hierbei evaluierte PON-Architektur verwendet statt des Zeitmultiplexes ein Wellenlängen- in Kombination mit einem Frequenzmultiplexverfahren. Es bietet dadurch eine konzeptbedingt wesentlich weniger variierende Latenz und einen gleichbleibenden Durchsatz in US-Richtung. Das dem SC-FDMA-Prinzip folgende PON wird in Kapitel 9 vorgestellt und kann einen Mehrwert für Prozessierungsnetzwerke wie TFC-Systeme bieten, welche von einem sich zeitlich konstant verhaltenden Übertragungsnetzwerk profitieren. Besonders für den Fall des Ausbaus der Topologie der Auslese mittels PCs könnte sich ein solches PON als interessant herausstellen, auch wenn diese Art von PON zum Zeitpunkt der Erstellung der Arbeit nicht kommerziell erhältlich ist.

7 Integration eines TFC-Prototypensystems

Nachdem in Kapitel 6 das grundlegende Konzept des TFC-Systems erläutert wurde, werden in diesem Kapitel Details der Integration des Systems dargelegt.

Im ersten Teil des Kapitels wird das TFC-System beschrieben, welches eine Twisted-Pair-Schnittstelle zur Anbindung des TFC-Links verwendet. Dabei wird zunächst das grundlegende Vorgehen erklärt, um das Kupfermedium für eine möglichst präzise Synchronisation einzusetzen, welche ebenfalls eine Kompensation des Slave-Phasenversatzes ermöglicht und das Vorgehen zur Fast-Control-Kommunikation dargestellt.

Des Weiteren werden die für diese Schnittstelle entwickelten Leiterplatten erläutert. Um die physikalische Anbindung des Mediums zu erlauben, wurde zunächst eine relativ große Master-Schnittstellenkarte entwickelt und evaluiert. Darauf wurde das für diese Karte verwendete Konzept verfeinert und eine TFC-Schnittstellenkarte erstellt, welche für den Einsatz innerhalb von mTCA.4 Crates optimiert wurde und auf Master- und Slave-Seite verwendet werden kann.

Im zweiten Teil des Kapitels wird auf das TFC-System mit Glasfaserschnittstelle eingegangen. Ähnlich der Beschreibung des Systems mit Twisted-Pair-Verbindungen wird hier ebenfalls zunächst das generelle Vorgehen zur Synchronisation und Datenübertragung beschrieben und die digitale I/O-Schnittstelle und das eingesetzte Protokoll erläutert.

Die FPGA-Prototypenplatine in CBM verfügt allerdings nur über eine gewisse Ausstattung an VCOs und programmierbaren Oszillatoren, welche sich nicht ideal für die Erzeugung der benötigten Referenztaktfrequenz von 120 MHz eignen. Deshalb werden am Ende des Kapitels zwei Systemkonfigurationen erläutert, welche auf dem Wege der Systemparametrisierung entwickelt wurden, wobei lediglich eine der Konfigurationen die benötigte Referenzfrequenz bieten kann.

7.1 TFC-System mit Twisted-Pair-Schnittstelle

Wie im Stand-der-Technik-Kapitel 4 erläutert, stellt die Anbindung mit Twisted-Pair-Verbindungen einen für einen breiteren Einsatzbereich geeigneten TFC-

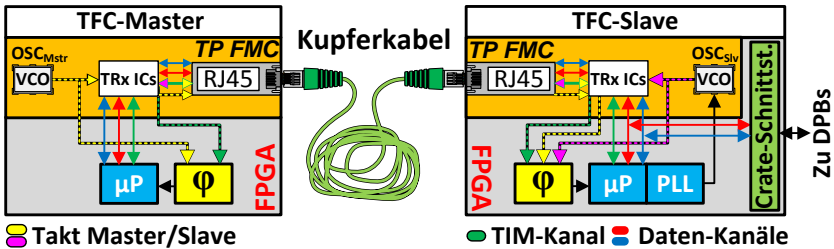


Abbildung 7.1: Aufbau des TFC-Master-Slave-Systems mit Kupferkabeln

Link-Ansatz zur VCO-basierten Taktsynchronisation und Nachrichtenverteilung mit niedriger Latenz dar.

Eine schematische Darstellung des TP-basierten Ansatzes findet sich in Abbildung 7.1. Hierbei ähnelt das Konzept zur Synchronisation sehr dem Vorgehen beim glasfaserbasierten Link, sodass die zentralen Bestandteile dieses Systems für das TP System übernommen werden können. Konkret sind dies das Microprocessor System samt PLL, DMA-Einheit und Peripherie.

Das zentrale Unterscheidungsmerkmal der beiden Systeme ist die physikalische Schnittstelle und deren Anbindung an den Datenpfad (per DMA) bzw. die Zeitstempelerzeugung. Beim TP-System stellt eine Aufsteckplatine zusammen mit Primitiven und Mehrzweck-I/O-Ports am FPGA diese Schnittstelle bereit. Es benötigt damit explizit keine teuren Hochgeschwindigkeitsübertrager, wodurch es wesentlich einfacher ist, diesen Ansatz auf andere Systeme zu übertragen, die ein synchrones Verhalten voraussetzen und eine zeitkritische Nachrichtenverteilung benötigen.

7.1.1 Ansatz zur kupferbasierten Synchronisation

Um ein TFC-System mit TP-Kabeln aufzubauen, wird eine Schnittstellenkarte benötigt, die eine elektrische Verbindung der Leitungen des FPGAs mit den differentiellen Paaren der TP-Kabel erlaubt. Diese TFC-TP-Karte stellt in diesem System per ANSI/VITA 57.1 [7] FMC-Stecker eine Verbindung mit der Trägerplatine her, welche den FPGA beherbergt. Dieser Stecker stellt die zentrale Schnittstelle für FPGA-Erweiterungskarten dar und bietet eine große Flexibilität zum Entwurf eigener Lösungen, da er über eine sehr hohe Anzahl elektrischer Kontakte verfügt und Daten-, Takt-, JTAG-, Highspeed-, Spannungsversorgungs- und weitere Anschlüsse umfasst.

Die generelle Anbindung des TP-Links erfolgt dabei auf der Erweiterungskarte mittels *Gigabit Ethernet (1GE)*-RJ45-Konnektoren und unter Verwendung passender Transformatoren. Die Signalübertragung und Aufbereitung geschieht mittels M-LVDS- [152], [153], [157] Übertragern von Texas Instruments, da diese einen größeren differentiellen Spannungsbereich (Differential Swing) am Transmitter bieten und einen geringeren am Receiver benötigen als vergleichbare LVDS-Signale, um das Eingangssignal korrekt zu empfangen.

Zur Datenübertragung stehen bei Ethernet-Twisted-Pair-Kabeln vier differentielle Adernpaare bereit, welche herstellerseitig leicht unterschiedliche Verdrillungsraten innerhalb des Kabelmantels aufweisen. Dies hat zur Folge, dass die Signale verschiedener differentieller Paare desselben Kabels unterschiedliche Längen besitzen, was zu verschiedenen Ankunftszeiten der Signale am Ende der Leitung führt (z.B. 25 ns pro 100 m Delay skew). Über die Kabellänge werden damit zum einen die ursprünglich gleichzeitig gesendeten Signale voneinander dekoriert, was eine Reduktion des Signalübersprechens bewirken kann, allerdings eine Übertragung unter Verwendung mehrerer Adernpaare mit vorhersagbarem Latenzzusammenhang erschwert.

Das TFC-TP-System macht sich dabei den Aufbau der TP-Kabel zunutze, indem die vier Adernpaare für verschiedene Funktionen verwendet werden. Diese Funktionen sind im Detail eine Taktleitung mit einem hochqualitativen Taktsignal, ein sogenannter bidirektional verwendeter Timing-Kanal und zwei für Fast-Control einsetzbare Datenkanäle.

Der Taktpfad ließe sich im TFC-TP-System prinzipiell ebenfalls generell bidirektional verwenden. Im Falle des TFC-Masters wird diese Funktionalität zwar nicht benötigt, im Gegensatz dazu ist der Empfang des Taktes allerdings an den TFC-Slaves notwendig. Für die zweite Version der TP-Karte, TFC FMC TP genannt, wurde deshalb eine Umsetzung gewählt, welche es ermöglicht, die Karte zur Entwicklung des kompletten TFC TP-Links einzusetzen. Aufgrund der begrenzten Anzahl taktfähiger I/O-Pins am FMC-Stecker wurde hierbei speziell der Port null so ausgelegt, dass dieser sowohl als vollwertiger Master-Port, aber auch als Slave-Schnittstelle dienen kann und alle benötigten Funktionalitäten bereitstellt. Dabei erlaubt es der erwähnte Port zusätzlich zur Übertragung eines Taktes im Falle des Masters, einen Takt vom TFC-Link über den dort angebotenen M-LVDS-Transceiver zu empfangen und an den Slave-FPGA zur Verarbeitung weiterzuleiten.

Mit diesem kann eine PLL auf Slave-Seite den lokalen Systemoszillator auf die Taktfrequenz des Masters einstellen (siehe Abbildung 7.2 a). Die erwähnte Eigenschaft der unterschiedlichen Verdrillungsraten des Ethernet-Kabels erschwert allerdings die deterministische Synchronisation der Phase des TFC-Slaves relativ zum Master. Dies hat den Grund, dass für eine Messung der Paketumlaufzeit

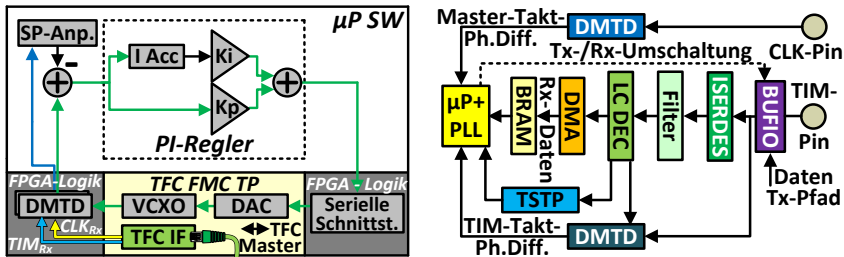


Abbildung 7.2: a) Blockschaltbild der PLL im Falle des TP TFC-Ansatzes und b) der Empfängerseite der TFC-Kommunikation mit Bestimmung der Phasenlage der Signale an den CLK-/TIM-Pins

analog zum Ansatz aus PTP [57], ein symmetrisches Down-/Upstream Latenzverhältnis benötigt wird. Deshalb ist es gerade für die Synchronisation über längere Übertragungsstrecken nicht sinnvoll, verschiedene Adernpaare für Down- und Upstream zu verwenden, da sonst eine falsche Phasenlage aus der Verzögerungszeit berechnet werden kann.

Für den TP-Ansatz wurde deshalb die Umsetzung gewählt, dass die exakte Messung der Paketumlaufzeit mittels des TIM-Kanals vollzogen wird, wobei sowohl Timing Down- als auch Upstream über dasselbe Adernpaar übertragen werden. Der Timing-Kanal wird dabei also im Halbduplex-Modus betrieben und abwechselnd von Master und Slave zur Übertragung verwendet. Dies hat zur Folge, dass ähnlich den *Bidirectional (BIDI)*-SFP-Transceivern, welche über nur eine SMF übertragen, der Übertragungskanal über die Leitung nicht zur Linksasymmetrie beiträgt. Somit werden etwaige asymmetrische Übertragungslatenzen lediglich durch die FPGA- und Transceiver-Logik auf beiden Seiten des physikalischen Kanals verursacht.

Somit erfolgt die Frequenzmessung auf Basis des hochqualitativen Taktsignals und die Messung des Master-Slave-Phasenversatzes mithilfe des TIM-Kanals. In Abbildung 7.2 b ist das Vorgehen in Form eines Blockschaltbilds dargestellt. Dies entspricht in abgewandelter Form dem Vorgehen in White Rabbit, bei dem mithilfe des aus dem TFC-Link abgeleiteten Taktsignals sowohl die Frequenz als auch die Zeitstempelerzeugung der Linkdaten für die Phasensynchronisation erfolgt. Da allerdings hierbei das Taktsignal dieselbe Phasenlage aufweist wie das Datensignal, wird im Fall von White Rabbit nur ein Link verwendet. Aufgrund der Tatsache, dass aus einem schnellen Datensignal ohne das Vorhandensein spezieller externer Hardwarekomponenten keine gut umsetzbare und

ausreichend genaue Ableitung des Taktes möglich ist, wurde für das TP-System die erwähnte Umsetzung gewählt.

Die Änderung des Vorgehens zur Synchronisation hat damit auch einen Einfluss auf die verwendeten Komponenten zur präzisen Phasenmessung. Für die reine Einstellung der Slave-Oszillatorfrequenz wird eine DMTD-Komponente an den Taktsignalpfad angeschlossen und die Phasendifferenz zwischen empfangenem Master- und lokalem Slave-Takt mittels des Hilfstaktes ermittelt.

Diese Differenz wird darauf dem PI-Regler der Soft-PLL in Abbildung 7.2 a als Fehlersignal zugeführt, welcher mittels einer auf einem Microprocessor ausgeführten Software realisiert wird. Um nun einen Master-Slave-Phasenversatz bestimmen zu können, wird neben der Anbindung des TIM-Pfads an die DMA-Einheit und dem zyklenakkuraten Zeitstempelgenerator eine DMTD-Komponente eingesetzt, um den Subtaktzyklus-Phasenversatz beim Empfang von Paketen zu ermitteln.

Dieser Wert wird dann verwendet, um die Präzision der Zeitstempel des Timing-Kanals zu erhöhen und daraus mithilfe der Zeitstempel des Masters die Zwei-Wege-Latenz und schließlich den korrekten Slave-Phasenollwert zu bestimmen (siehe Abbildung 7.2 a).

Nachteilig ist hierbei, dass für die korrekte Funktionalität der DMTD ein taktähnliches Signal empfangen werden muss. Ansätze hierfür sind im folgenden Kapitel 7.1.2 aufgelistet, in welchem das Synchronisationsprotokoll beschrieben wird. Ein ähnliches Vorgehen, bei dem ein taktähnliches Signal übertragen und per DMTD analysiert wurde, fand ebenfalls in einer Masterarbeit zum White-Rabbit-System Anwendung, um die Verzögerung der Highspeed-Transceiver-FPGA-Primitiven messen zu können [188].

Um für diesen Link die Zeitstempel erzeugen und diese Zählerstände des Masters an den Slave übertragen zu können, ist ebenfalls eine Datenübertragung an den TIM-Kanal angebunden. Hier lösen spezielle Komma-Characters beim Senden und Empfangen die Zeitstempelgeneratoren aus, deren Ausgabewerte für die spätere Verwendung in Registern abgelegt werden. Auf Empfängerseite wird in der Datenübertragungskette eine Überabtastung des Signals verwendet, mittels dessen das Bit-Alignment des Datenstroms bestimmt werden kann und eine einfache Filterung des Empfangssignals möglich ist, sodass eine stabile Datenkommunikation auch bei leicht unterschiedlichen Frequenzen erlaubt wird.

Wichtig bei dem in Abbildung 7.2 b dargestellten Aufbau ist, dass die DMTD-Komponenten direkt an die I/O-Pins angeschlossen werden, da durch zwischengeschaltete Komponenten, wie den Primitiven zur Signalüberabtastung zwecks des Data-Alignments oder durch FFs/LUTs, die Subtaktzyklusinformationen der Eingangssignale verfälscht oder ganz verloren gehen.

Auf den TFC-TP-Karten in Kapitel 7.1.3 und 7.1.4 sind verschiedene VCOs vorhanden. Für den Hilfsoszillator ist es möglich, einen per SPI und DAC angesteuerten um die Mittenfrequenz regelbaren VCXO einzusetzen, der allerdings von der Makrofrequenz her nicht variabel ist. Als Alternative kann ein per I2C in einem weiten Frequenzband einstellbarer Oszillator verwendet werden, der allerdings in der gewählten Konfiguration nicht über einen einstellbaren Feinregelungseingang verfügt. Aufgrund einer I2C-Taktfrequenz von 400 KHz im Vergleich zu bis zu 20 MHz bei SPI und eines wesentlich größeren Umfangs zu übertragender Daten (Slave-/Registeradresse, Datenfeld, sukzessive Zugriffe auf mehrere Register je Regelungszyklus), benötigt dessen Einstellung wesentlich mehr Zeit als dies beim VCO erforderlich ist.

Als Hauptoszillator kommt beim TP-Ansatz ein makrofeinster VCO zum Einsatz, der ebenfalls über einen Eingang zur Frequenzverstimmung verfügt und mittels per SPI ansteuerbarem DAC nachgeregelt werden kann. Für eine größere Flexibilität der TFC-TP-Karte ist dieser Oszillator an einen Chip zur flexiblen Takterzeugung von Texas Instruments angeschlossen, siehe [156] bzw. [154]. Diese Art von *Integrated Circuits (ICs)* erlauben es zum einen, die Ausgangsfrequenz in einem breiten Band einzustellen, verfügen aber auch über fünf/zehn bzw. zwei/vier unabhängige als differentielle/single-ended einstellbare Taktausgänge und 3 bzw. 2 als Taktreferenz verwendbare Eingänge. Im Falle der ersten für den TFC-Master entwickelten Erweiterungskarte sind die benötigten Taktausgänge direkt und bei der TFC FMC TP einer der Taktausgänge über einen zusätzlichen Baustein zur Taktpufferung und -vervielfältigung an die M-LVDS-Transceiver angeschlossen, sodass diese das Taktsignal über je ein Adernpaar der TP-Ports übertragen können.

Die nicht für den TP-Link verwendeten Ausgangsports des Takterzeugungschips bieten im Falle der TFC-FMC-TP-Karte die Möglichkeit (siehe Kapitel 7.1.4), Takte innerhalb eines mTCA.4 Crates zu verteilen. Hierzu ist der zweite Takteingang des ICs zur Taktgenerierung an eines der bidirektionalen FMC-Signale angebunden. Der zweite differenzielle Ausgang dieses Chips liegt dabei an einem weiteren dieser Paare des FMC-Steckers an, wobei dieses Signal stattdessen auch über einen gewöhnlichen taktfähigen I/O in Richtung FPGA ausgegeben werden kann.

Letztere Option ist dann zu wählen, wenn die FMC I/Os der bidirektionalen Taktleitungen bei der vorliegenden FPGA-Platine nicht verwendet werden können. Die Taktausgabe per bidirektionaler Taktleitungen bietet hingegen die Möglichkeit, den Takt über eine Taktmatrix (Crossbar) zu verteilen, sodass dieser sowohl als Systemtakt eingesetzt, aber gerade auch anderen Karten des Crates als Referenztaktsignal bereitgestellt werden kann. Zur Verteilung eines Taktes in einem Crate ist allerdings eine FPGA-Karte des AMC-Standards für mTCA.4 Cra-

tes vonnöten, wie das AFCK, mittels dessen ein Takt über die Telekommunikationsleitungen der Backplane ausgegeben werden kann.

Dieses Vorgehen erlaubt es, ein taktsynchrones System zu erstellen, das bezogen auf den Takt eines der TFC FMC TPs synchron arbeitet. Gerade in Verbindung mit der Option, am Taktgenerator-Chip ein Taktsignal von einem der FMC BIDI-Signale einspeisen zu können, lassen sich vorteilhafte Systemtopologien aufbauen. Dies kann beispielsweise ein TFC-Multi-Master-Crate sein, dessen Funktionalität auf mehrere TFC-Master-AMCs aufgeteilt wird, welche allerdings im Vergleich zu einem ad-hoc System, das keine Backplane-Anbindung des Taktes an eine TFC-FMC-TP-Karte besitzt, synchron arbeitet.

7.1.2 Digitale Schnittstelle und Übertragungsprotokoll

Anstatt Zeitsynchronisations- und Fast-Control-Daten wie beim Glasfaseransatz über eine Verbindung zu übertragen, erfolgt dies im TP-Ansatz getrennt über verschiedene Adern. Dabei unterscheiden sich in diesem System die für den Timing-Kanal und die Datenleitungen des TP-Ansatzes verwendeten Protokolle maßgeblich. Wo es beim TIM-Kanal nicht auf eine hohe Datenrate, sondern eine zuverlässige Phasenmessung ankommt, ist für die Fast-Control-Kommunikation die Latenz und damit direkt verbunden, auch der Durchsatz der Übertragung mit entscheidend. Die folgenden Erläuterungen stellen ein Konzept für das Protokoll des TP-basierten Schemas dar, welches aus Zeitgründen bisher noch nicht vollständig in die FPGA-Firmware des AFCKs, der FPGA-basierten Prototypenplatine der Auslese von CBM, integriert werden konnte. Das hier beschriebene Konzept wurde innerhalb der Masterarbeit von Andreas Michel [Mic16] mittels einer Xilinx KC705-Evaluierungsplatine [196] umgesetzt und evaluiert.

Wie im letzten Kapitel genannt, ist es für den TIM-Link notwendig, die Phasenmessung mittels DMTD zu ermöglichen, um die Präzision der TIM-Kanal-Zeitstempel von der Granularität auf der Basis von Taktzyklen auf den Subtaktzyklusbereich verfeinern zu können. Dabei wäre es am Master ohne DMTD oder eine äquivalente TDC-Lösung am Timing-Kanal nicht möglich, den Phasenversatz des Slaves feiner als zyklengenau zu ermitteln, da kein Rückkanal für den Slave-Takt existiert und damit eine Vergleichsgröße zum Betrieb einer DMTD-Komponente fehlen würde, welche auf Basis der Systemtakte arbeitet. Da allerdings der Master-Oszillator die Referenzfrequenz des darauf eingestellten Slave-Oszillators darstellt, ist durch das Vorhandensein des Timing-Kanals ein Rückkanal für den Takt nicht notwendig, da für die Einstellung des Phasenversatzes am Slave lediglich akkurate Informationen über die Paketumlaufzeit der physikalischen Verbindung benötigt werden.

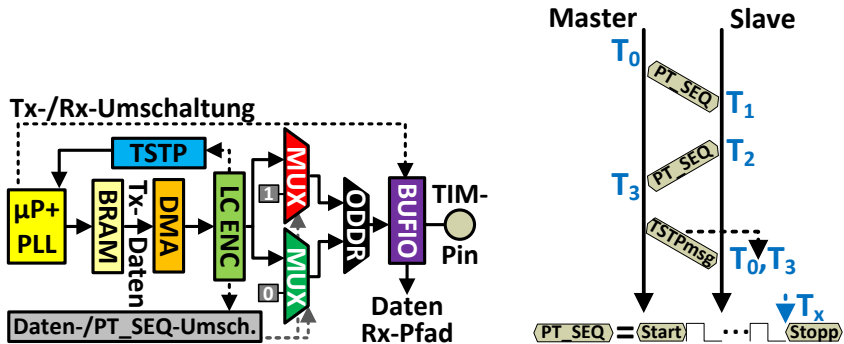


Abbildung 7.3: a) Logik zum Senden von Daten und Pseudotakt (PT_SEQ) über den TIM-Kanal und b) zeitlicher Ablauf des Basisprotokolls des Timing-Kanals

Ein Ansatz, um eine Messung dieser Übertragungsdauer zu ermöglichen, stellt die Übermittlung eines Pseudotaktes über den TIM-Link dar. Der hierbei relevante zeitliche Ablauf ist in Abbildung 7.3 b dargestellt, wobei in Abbildung 7.3 a die Anbindung des TIM-Sendepfads schematisch dargestellt ist, welcher die Erzeugung des Pseudotaktes ermöglicht. Die Empfangsseite wurde in Kapitel 7.1.1, Abbildung 7.2 dargestellt.

Hierbei initiiert zunächst einer der Knoten die Datenübertragung durch das Senden eines Start 8b/10b-Komma-Wortes [186], worauf dieser Knoten damit beginnt, eine alternierende Folge von Eins- und Nullpegeln mit definierter Länge zu senden und schließlich mit einem weiteren speziell gewählten Komma-Wort das Ende der Übertragung signalisiert.

Am Empfänger werden diese Komma-Wörter dazu verwendet, um Zeitstempel zu erzeugen bzw. die Phasemessung der DMTD am TIM-Kanal zu steuern. Dabei initiiert das Start-Komma-Wort die Aktivität der DMTD an der Gegenstelle, welche das darauffolgende Pseudotaktsignal zur Phasendifferenzmessung verwendet. Indem die Sequenzlänge so gewählt wird, dass diese mindestens einer vollen Periode des Signals der Differenzfrequenz der DMTD nach Kapitel 2.5.2 entspricht, was für $N = 14$ mindestens $2^N = 16384$ Taktzyklen bedeutet ($T_{D:sys} = 136.5 \mu s; f_{sys} = 120 MHz$), ist sichergestellt, dass ein neuer Wert des Phasenversatzes mithilfe des Pseudotaktsignals des TIM-Kanals durch die DMTD an der Gegenstelle bestimmt werden kann. Das Komma-Wort am Ende der Pseudotaktsequenz schließt die Übertragung ab und löst die Generierung eines Zeitstempeln am Sender und beim Empfänger aus. Dabei wird der Emp-

fangszeitstempel durch den gerade bestimmten Subtaktzyklusphasenwert der TIM DMTD präzisiert. Darauf wird die Übertragungsrichtung umgekehrt und die Sequenz beginnt von neuem, wodurch die verbleibenden Zeitstempeln erzeugt werden.

Die tatsächlich benötigte Mindestlänge der hierfür benötigten Pseudotaktsequenz wurde noch nicht final bestimmt. Es lässt sich allerdings annehmen, dass die benötigte Länge dieser Sequenz nicht wesentlich über 2^N , $N = 14$ hinausgehen muss (siehe Kapitel 2.5.2). Hier fließen beispielsweise die Latenzen des Überabstastgliedes, des Rauschfilters, des 8b/10b Decoders und der Entscheidungslogik am Empfänger ein, was sich allerdings im Rahmen weniger Takte bewegen sollte. Um sicherzustellen, dass keine Fehldetektionen von Phasenwerten durch die DMTD verursacht werden, ist darauf zu achten, dass sich diese automatisch nach Erkennung des Start-Komma-Wortes und der Beendigung des gewählten Messzeitraums wieder inaktiv schaltet und zurücksetzt.

Nachdem die vier in Abbildung 7.3 b dargestellten Zeitstempel erzeugt wurden, werden diese darauf an den Slave versandt (Timestamp Message) und durch die auf die Master-Frequenz eingestellte Slave-PLL als Phasensollwert verwendet. Um hierbei die Slave-PLL nicht vollkommen außer Tritt zu bringen, ist darauf zu achten, dass der Sollwert der Phasenregelung nur langsam inkrementell verändert wird, um größere Frequenzsprünge zu vermeiden, welche die Signalqualität des Taktes während der Regelung stark negativ beeinflussen können.

Die im Blockschaltbild in Abbildung 7.3 a nahe des TIM-Pins zu findenden zusätzlichen Komponenten sind für die Übertragung des Pseudotaktes notwendig. Hierbei sorgen die Multiplexer dafür, dass zwischen der Datenübertragung und der Ausgabe des Pseudotaktes gewechselt werden kann. Die ODDR-Primitive erlaubt es dabei, zwischen den beiden Logikpegeln des Pseudotaktes umzuschalten, was mit der Frequenz des Systemtaktes geschieht. Des Weiteren kann dadurch das System direkt mit dem für den GBT-Link in Richtung Frontend benötigten Takt von 120 MHz betrieben werden und dabei dennoch die Datenübertragung mit der Rate erfolgen, welche bei der Zieldistanz von 20 m als maximalem Wert ermittelt wurde (siehe Kapitel 7.1.4), was mit 240 MBit/s gerade der doppelten Systemfrequenz in MBit/s entspricht.

Da die Fast-Control-Funktionalität in dieser Arbeit noch nicht implementiert wurde, werden hier Konzepte vorgestellt, wie diese in zukünftigen Arbeiten umgesetzt werden kann. Die zwei Adernpaare des Ethernet-Twisted-Pair-Kabels, die nicht den Master-Takt bzw. die Timing-Informationen übertragen, werden für den Austausch von Fast-Control-Nachrichten verwendet. Im Vergleich zu einem 1GE Glasfaserlink ist mit einem CAT7 Twisted-Pair-Adernpaar zusammen mit den verwendeten M-LVDS-Transceivern nur eine wesentlich geringere Übertragungsgeschwindigkeit von etwa 250 Mbit/s möglich. Um diesen Durch-

satznachteil abzumildern, ist es prinzipiell zulässig, statt je eine Richtung pro verbundenem Knoten, bei Bedarf beide für die Datenübertragung vorgesehene Adernpaare zu verwenden, was die Datenrate effektiv verdoppeln kann. Im Falle des Fast-Control-Nachrichtensystems wird allerdings davon ausgegangen, dass die Anzahl notwendiger zu meldender Events eher gering ausfällt. Daher kann dazu übergegangen werden, entweder die sichere Zuweisung von einem Adernpaar je Richtung zu wählen oder mittels des oben beschriebenen Vorgehens die Übertragungslatenz zu reduzieren. Bei der zuletzt genannten Option besteht allerdings bei einem ungeschickt gewählten Übertragungsprotokoll die Gefahr, dass Signalkollisionen auf der Leitung auftreten.

Um dies zu umgehen, besteht hierbei die Möglichkeit, zu einer anforderungsbasierten Zuteilung der zweiten Leitung überzugehen. Dabei kann der Ausgangszustand so definiert werden, dass je eine Leitung jeweils einem der Knoten zugewiesen wird, wobei diese generell im Idle Zustand für den Empfang, also hochohmig geschaltet werden. Die zweite mögliche zuteilbare Leitung kann auf Anfrage für ein Paket oder eine bestimmte Zeit zugewiesen werden und wird im Folgenden als Aggregation (AG) Leitung bezeichnet. Sendet ein Knoten eine AG request (z.B. ein spezielles Komma-Wort), was auf der standardmäßig zuteilten Leitung erfolgt, und bleibt die zweite Leitung dabei hochohmig, versendet dieser darauf den Rest des Pakets unter Verwendung beider Leitungen. Erkennt dieser jedoch, dass die angefragte Leitung nicht inaktiv bleibt, wird das Paket nur über den primären Kanal übertragen. Nach der Übermittlung des Pakets wird die Leitung wieder freigegeben, indem der daran angeschlossene Transceiver in den Empfangsmodus umgeschaltet wird.

Wird dieses Verfahren angewendet, können allerdings auch Blockierungsprobleme auftreten, welche es verhindern, dass die Knoten miteinander kommunizieren können. Deshalb wird als Fall-Back Lösung bei nicht mehr reagierenden Knoten eine zugeteilte Leitung sofort wieder zurückgegeben. Als Ausweichlösung wäre es hier ebenfalls möglich, über den Timing-Link einen "AG Reset" anzufordern, was die Zuteilung der Leitungen in den Ausgangszustand zurückversetzt. Ist für das Fast-Control-System eine gänzlich deterministische Übertragungslatenz erwünscht, darf die gerade beschriebene Funktionalität nicht verwendet werden, da hierdurch die Übertragung bei einem freien Kanal im Idealfall doppelt so schnell erfolgen kann.

Im Folgenden wird auf das Konzept der Logikstruktur des FPGA-Designs des Fast-Control-Systems eingegangen. Da das Fast-Control-System die Anforderung hat, möglichst geringe und konstante Latenzen aufzuweisen, ist es notwendig, alle Komponenten zu umgehen, die auf dem Signalweg zu nicht vorhersehbaren Verzögerungen führen können.

Da dies im Besonderen der *Microprocessor (uP)* ist, ist es für dieses System notwendig, eine Art Fast-Control Bypass Controller hinzuzufügen, der es ermöglicht, Daten, die von den AMC-Karten des Crates des TFC-Slaves ankommen, entgegenzunehmen, eventuell zu filtern und über einen Datenpuffer priorisiert an die Übertragungskomponenten weiterleiten zu können (siehe Abbildung 6.10 in Kapitel 6.8). Dabei sollte der uP beispielsweise auch dazu in der Lage sein, diesen Bypass abzuschalten, sodass keine Pakete mehr direkt weitergeleitet werden oder Kopien der Nachrichten in einem Speicher abzulegen, um z.B. eine Prüfung versendeter Pakete vornehmen zu können oder wichtige Informationen zum Systemzustand als Nachrichtenkopien beispielsweise per Slow-Control bereitstellen zu können. Eine Darstellung der Struktur des TFC-Designs, das diesen Bypass berücksichtigt findet sich im Konzeptkapitel 6.5 in Abbildung 6.5.

7.1.3 Prototypisches Schnittstellen-PCB für den TFC-Master

Zur Auswertung des Ansatzes mit verdrehten Zweidrahtleitungen aus Kupfer wurde eine erste prototypische Platine entwickelt, das so genannte *TFC Master Signal Distribution Board (TMSDB)*. Teile der folgenden Erläuterungen wurden durch den Autor in [MDSB16] veröffentlicht.

Die Platine wurde erstellt, um das TP-basierte Konzept möglichst gut auszuwerten und verschiedene Testsznarien evaluieren zu können. Dabei lag der Schwerpunkt bei der Entwicklung des PCBs darauf, herauszufinden, ob eine Datenübertragung mittels des Twisted-Pair-Links über die Zieldistanz von mindestens 20 m möglich ist und ein darüber verteilter Takt zum Betrieb eines Slave-Systems wiederverwendbar ist. Aufgrund des Charakters der Platine als Testplattform, wurde diese Karte mit vielen Testoptionen versehen, die die Auswertbarkeit unterstützen; allerdings entstanden dadurch auch Nachteile, was die spätere Einsetzbarkeit der Platine angeht. Dabei ist der schwerwiegendste Nachteil die durch die externe Spannungsversorgung und große Anzahl Ports geschuldete Größe der Karte, welche zwei FMC-Stecker belegt und wesentlich länger ausfällt als dies der ANSI/Vita57.1 Standard [7] spezifiziert.

Dennoch erfüllt die Karte die an sie gestellte Anforderung der vielseitigen Verwendbarkeit, indem sie sich im stand-alone Betrieb auf verschiedenen FPGA-basierten Trägerplatinen montieren lässt, da sie sich, was den Abstand FMC-Stecker und die maximale Leistungsaufnahme angeht, an den ANSI/Vita57.1 Standard hält.

In Abbildung 7.4 ist ein Bild der hergestellten Platine und dessen Blockdiagramm dargestellt. Das prinzipielle Konzept der Karte ist, unter der Verwendung von M-LVDS-Transceivern, einen TP-basierten Link bereitzustellen, der neben einem

7 Integration eines TFC-Prototypensystems

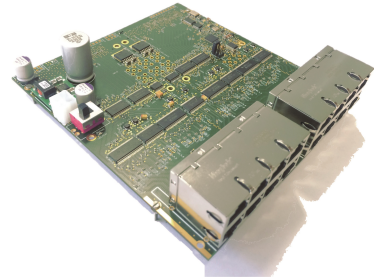
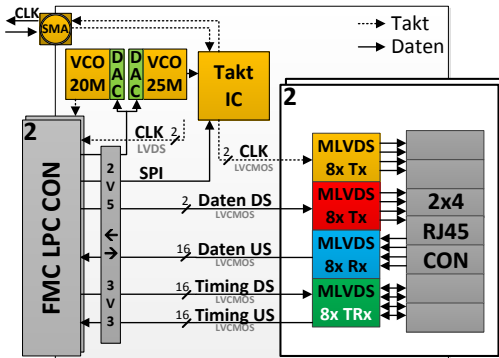


Abbildung 7.4: a) Blockschaltbild des TMSDBs und b) Foto der bestückten Karte

Taktsignal ebenfalls einen bidirektionalen Timing-Link und Datensignale zum Austausch von Fast-Control-Nachrichten anbindet.

Hierbei wurde für die hier beschriebene Master-Karte für den Takt und die Datenleitungen eine feste Übertragungsrichtung gewählt. Dabei sind der Takt und eine der Datenleitungen an allen Ports fest für den Sendebetrieb konfiguriert und der übrige Datenkanal für permanentes Empfangen ausgelegt, da dies die Anzahl benötigter Verbindungen in Richtung der Trägerplatine verringert.

Ein Vorteil der erwähnten M-LVDS-Transceiver sind deren größerer differentieller Sende- und kleiner benötigter Empfangsswing von 650 mV respektive 50/150 mV (M-LVDS Typ-1 bzw. 2) [184], der es ermöglicht, über größere Strecken einen Datenlink aufbauen zu können. Zudem erlauben es diese Übertrager zwischen Senden und Empfangen umzuschalten, sodass es möglich wird, über dasselbe Twisted-Pair-Paar von zwei Enden aus Daten zu übertragen, was einen Ansatz der Node Synchronisation ähnlich White Rabbit erlaubt, allerdings ohne Highspeed-Transceiver und ein optisches Medium zu benötigen. Da die Transceiver primär für die Verwendung in Mehrpunkt-Backplanes entwickelt wurden, tolerieren diese auch zeitlich begrenzte Zustände, in denen zwei der Übertrager fälschlicherweise gleichzeitig auf derselben Leitung sendend aktiv sind. Die verwendeten M-LVDS-Chips entstammen der SN65MLVD-Serie von Texas Instruments [152], [153].

Auf die M-LVDS-Chips folgend, bilden zwei 8-Port-Gigabit-Ethernet-Konnektoren die elektromechanische Schnittstelle in Richtung der Twisted-Pair-Kabel. Diese Komponenten weisen integrierte Transformatoren auf, besitzen hierdurch

und wegen ihres zweireihigen Aufbaus jedoch entsprechend große Abmessungen, erlauben es damit allerdings auch, die M-LVDS-Chips direkt anzubinden.

Für die für den Empfang ausgelegten differentiellen Paare in Richtung der TP-Schnittstelle, wurde eine aufwändige Terminierung verwendet, um auch potentielle Common-Mode Offset Probleme beim Empfang behandeln zu können, welche Split Termination genannt wird und beispielsweise in CAN zur Verbesserung der *Electromagnetic Compatibility* (EMC) zum Einsatz kommt [25]. Hierbei wurden die Paare am Empfänger mittels zweier $50\ \Omega$ Widerstände in Richtung eines Mittenpotentials verbunden, das über eine Keramikkapazität an das Massepotential angeschlossen wurde. Dadurch verfügt das Signal in der Nähe des Empfängereingangs effektiv über die benötigte $100\ \Omega$ Terminierung, wobei höherfrequente Störspannungen in Richtung Masse abgeleitet werden können.

Da Datensignale, die in einer Elektronikkomponente, wie einem FPGA, erzeugt wurden, in der Regel von geringerer Signalqualität sind als die Ausgangssignale spezieller Taktgeneratoren, wird beim TMSDB ein von einem IC generiertes Taktsignal über den TFC-Link übertragen. Dabei wird der Takteingang dieses ICs von einem VCO getrieben, dessen Betriebsfrequenz mittels eines DACs, um die Mittenfrequenz verstimmbar werden kann. Dieser dient im für das TFC-System angestrebten Synchronisationsansatz als Systemoszillator, der am Slave auf den vom Master über den Link gesendeten Takt eingestellt werden soll.

Hierbei kommt ein sehr flexibler 3 Input, 5/10 differential/single-ended Output IC von Texas Instruments (CDCE62005) [154] zum Einsatz. Dieser Takterzeugungs-ICs ist für Testzwecke mit HF-Konnektoren verbunden, um am zweiten Takteingang ein externes Referenzsignal einspeisen zu können oder ein durch den IC generiertes Taktsignal zur Darstellung mithilfe eines Oszilloskops auszugeben. Mittels des im Grundlagenkapitel 2.5.2 erläuterten DMTD-Ansatzes, kann durch die Verwendung eines auf der Platine vorhandenen Hilfsoszillators sehr genau die Phasendifferenz zwischen einem empfangenen Takt und dem Systemtakt bestimmt werden, was für die präzise Zeitstempelgenerierung [188] auch am Master notwendig ist, um mithilfe der Master-Zeitstempel am Slave den Phasenfehler relativ zum Master bestimmen zu können.

Um sicherzugehen, dass keine Überlastung der Trägerplatine durch eine zu hohe Stromaufnahme entsteht, wurde eine externe Spannungsversorgung in dieser Version der Schnittstellenplatine verwendet. Hier wird aus einer eingespeisten 12 V Spannung zunächst mittels eines Arbwärtswandlers (Step-Down Converter) eine 5 V Spannung erzeugt, woraus durch zwei Low-Drop-Out (LDO) Linearregler die 3.3 V und ebenfalls mit einem anderen LDO-Regler die 2.5 V VADJ-Spannung erzeugt wird. Da der FPGA nur 2.5 V bzw. 1.8 V *Low Voltage CMOS* (LVCMOS)-single-ended-Signale (je nach VADJ Level und verwendeter FPGA-I/O-Bank) erzeugen und empfangen kann, werden zum Übertragen der

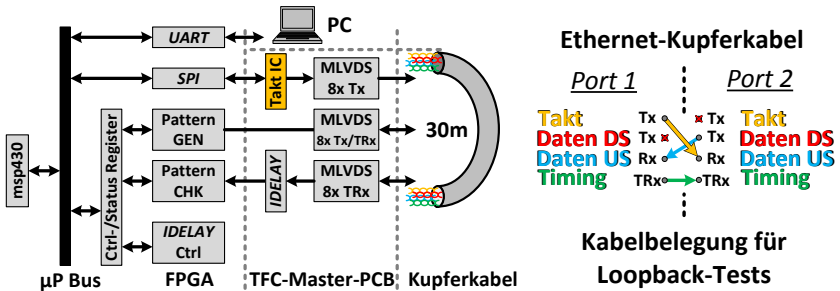


Abbildung 7.5: a) Blockschaltbild des Testsystems und b) Loopback-Konfiguration mit CAT7 Ethernet-Kabel

Daten mittels der auf 3.3 V betriebenen M-LVDS-Transceiver Logikpegelwandler eingesetzt.

Das hier beschriebene PCB wurde darauf mittels eines Testsystems evaluiert, welches in Abbildung 7.5 a dargestellt ist. Dabei wurde ein openMSP430 Soft-Core-Prozessorsystem aufgebaut, welches den Datenaustausch mit der TMSDB-Karte steuert. An die per GPIO-Pins angeschlossenen M-LVDS-Chips werden hierbei *Pseudo-Random Binary Sequence (PRBS)*-Folgen gesendet und die empfangenen Daten mithilfe eines einfachen BER-Testers auf Übertragungsfehler überprüft. Bei Verwendung eines 30 m CAT7 Kabels konnten mit diesem Aufbau Datenraten von 200 Mbit/s erzielt werden, wobei dabei gleichzeitig ein 120 MHz Taktsignal und zwei Datensignale in unterschiedliche oder dieselbe Richtung übertragen werden konnten. Um einen Loopback-Test mittels zweier Master-Ports durchführen zu können, musste die Verdrahtung innerhalb einer der Stecker entsprechend Abbildung 7.5 b angepasst werden. Dies hatte den Grund, dass das TMSDB-PCB nur eine unidirektionale Übertragung der Takte und Datenleitungen, ausgenommen der Timing-Leitung, zulässt.

Zusammenfassend lieferte das TMSDB bezüglich der Signalqualität die erhofften Ergebnisse. Allerdings schränkt die schiere Größe die Verwendbarkeit in stark integrierten Aufbauten, wie mTCA.4 Crates, sehr ein. Die Flexibilität der möglichen Übertragungsprotokolle ist aufgrund der fest verdrahteten Übertragungsrichtung etwas begrenzt, da über die Datenleitungen in je nur eine Richtung übertragen werden kann, was zudem die mögliche Datenrate für Fast-Control-Nachrichten begrenzt. Da die Karte nicht als Slave Schnittstelle verwendet werden kann, konnte mit der Karte kein voll funktionsfähiger TFC-Link getestet werden.

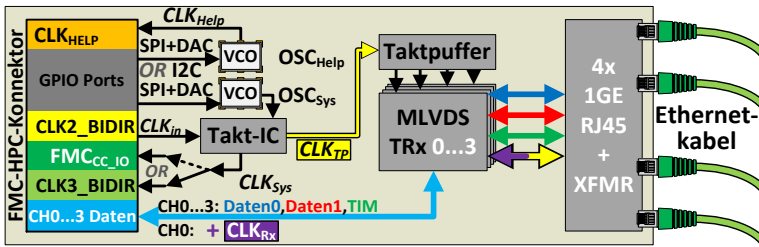


Abbildung 7.6: Blockschaltbild der TFC-FMC-TP-Karte

7.1.4 TFC PCB für mTCA.4 Crate AMCs auf Master- und Slave-Seite

Nach den erfolgversprechenden Messergebnissen der TP-basierten TMSDB-Prototypenplatte wurde das Konzept erweitert und verfeinert, was in die Entwicklung der TFC FMC TP-Karte mündete, welche ebenfalls in der Masterarbeit von Juri Lebedev beschrieben wird [Leb16]. Teile der diese Karte betreffenden Erläuterungen wurden durch den Autor in [MLB17] veröffentlicht.

Hierbei wurde das TFC-TP-Konzept gerade bei den Aspekten verbessert, durch die sich die TMSDB-Karte nicht eignet, um in einem integrierten TFC-System betrieben werden zu können. Hierunter fallen vor allem die Aspekte der Abmessungen, Spannungsversorgung, Taktverteilung und die Twisted-Pair-Übertragung, die bei der TFC-FMC-TP-Karte signifikante Verbesserung erfuhren.

In Abbildung 7.6 ist der Aufbau der Platine in Form eines Block Diagramms dargestellt; Bilder der hergestellten TFC-FMC-TP-Platine finden sich in Abbildung 7.7. Durch die Kombination der geringen Abmessungen der tDPB FMC-Karte mit der Nutzung der 3.3 V und VADJ Spannungsschienen des FMC-Steckers wird es möglich, die Karte effizient in Umgebungen mit starker Integrationsdichte zu nutzen, wie dies innerhalb von mTCA.4 Crates der Fall ist.

An der elektromechanischen TP-Schnittstelle kommt statt eines 8-Port-RJ45-Moduls derselbe super-flache 4-Port-Konnektor zum Einsatz, der schon bei der tDPB FMC-Karte verwendet wurde. Dadurch kommt es zu keinen Kollisionen der Komponenten der Karte mit benachbarten AMCs, was eine Vollbestückung von mTCA.4 Crates ermöglicht. Zudem wird durch die Reduktion der Ports pro AMC-Karte nicht die Anzahl Ports pro Crate verringert, da die Installation des TMSDBs mit 8-Ports pro FMC-Stecker jeden zweiten mTCA.4 Slot blockiert hätte. Vielmehr verringern sich durch die TFC-FMC-TP-Karten die Wartungskosten des TP-basierten Interface, da die kleineren FMC-Karten wesentlich günstiger

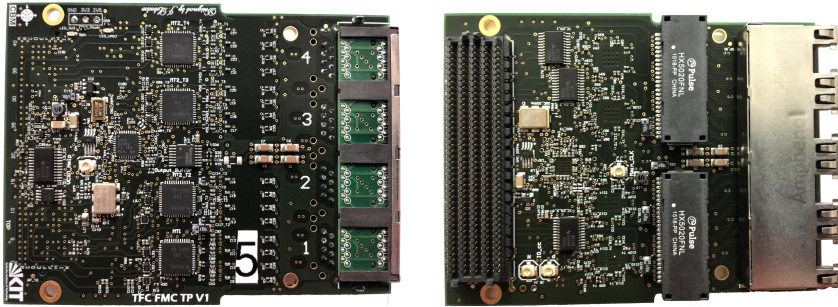


Abbildung 7.7: Foto einer der bestückten TFC FMC TP PCBs

ausfallen als eine 16-Port Karte. Auch wenn die äußeren Abmessungen der Karte dieselben sind (1.5 mm - 3.6 mm breiter im I/O-Bereich und 13.5 mm länger als eine FMC-Karte nach ANSI/Vita57.1 Standard), bietet sie eine wesentlich fortschrittlichere Funktionalität als dies bei der tDPB FMC-Karte der Fall ist. Sie übernimmt zusätzlich die Eigenschaften der tDPB-FMC, welche die Trennung der Massepotentiale der angeschlossenen Karten ermöglichten.

Aufgrund der reduzierten Anzahl Ports können andere M-LVDS-Übertragungs-ICs zum Einsatz kommen als bei der TMSDB-Karte. Ebenso erlaubt es diese Reduktion, in Kombination mit der Verwendung eines FMC-HPC-Konnektors, alle TP-Paare als bidirektionale Kanäle auszuführen, was die Flexibilität möglicher Anwendungen der Karte signifikant erhöht. Die Zuteilung der Leitungen zu den TP-Paaren wurde dabei nicht geändert. Diese folgt immer noch dem Muster Referenztakt, Data0, Data1, Timing. Vielmehr ist es nun hierdurch möglich, die Übertragungsrichtung der Datenkanäle frei zu wählen und somit die Fast-Control-Datenrate im Idealfall zu verdoppeln. Beim bidirektionalen Timing-Link werden nun an allen Ports taktfähige FPGA I/Os verwendet, was sich in dem Fall positiv auswirkt, dass vom Timing-Kanal ein direkter Übergang zum Taktbaum des FPGAs benötigt wird.

Beim Austausch der verwendeten ICs wurde die Anbindung der TP-Kanäle der Ports an die Transceiver-Chips geändert, sodass nun je ein Chip alle Kanäle eines TP RJ45-Ports betreibt. Bei der TMSDB-Karte wurden stattdessen große 8-Kanal ICs verwendet, die je einen Signaltyp aller Ports des ehemaligen 8-Port-RJ45-Konnektors mit Daten versorgen bzw. davon Daten entgegennehmen.

Bezüglich der Taktfunktionalität der Karte kommt anstatt des leistungshungrigen und sowohl funktional als auch von der Anzahl Ports überdimensionierten TI CDCE62005 [154] die sehr vereinfachte Version dieser Chip-Familie (CD-

CE62002 [156]) in Kombination mit einem TI LMK00804B [158] eins-zu-vier Takt-pufferungs-Chip zum Einsatz. Trotz dessen reduzierter Funktionalität ermöglicht eine geschickte Anbindung der Ein- und Ausgänge des Chips an die bidirektionalen Taktleitungen des FMC-Steckers, dass fortgeschrittene Möglichkeiten zur Verarbeitung von Takten in Kombination mit einer mTCA.4-kompatiblen AMC-Karte zur Verfügung stehen.

Da diese FMC-Taktleitungen im Falle der AFCK-Prototypenplatine in CBM an eine Taktmatrix und die Telekommunikationsleitungen des Crates angebunden sind, ist es möglich, den Takt einer der FMC-Karten im gesamten Crate zu verteilen bzw. von dort in den Takterzeugungs-IC als Referenztakt einzuspeisen. Dies ermöglicht es einerseits, am TFC-Slave ein synchronisiertes Auslese-Crate zu erzeugen, aber andererseits auch den Aufbau von Multi-Master TFC-Crates. Letzere Option erlaubt es, die Anzahl an TFC-Master-Ports drastisch zu erhöhen, da damit zwölf mit FMC-Karten bestückte AMCs betrieben werden können, was es im Falle der TFC FMC TP möglich macht, die Anzahl Ports von acht auf 96 Ports zu erhöhen, was der Anzahl Auslese-Crates entspricht, die mit je einem TFC-Slave angebunden werden können. Dabei kann einerseits der Referenztakt von einer der TFC FMC TPs direkt durch den Takterzeugungs-IC der anderen TFC FMC TPs wiederverwendet werden, was lediglich einen frequenzsynchrone Betrieb ermöglicht. Andererseits ist es möglich, den verteilten TFC-FMC-TP-Takt an die FPGAs weiterzuleiten, um die System-VCOs, die an die Takt-ICs angeschlossen sind, mit dem White-Rabbit-basierten Ansatz nachzuregulieren, was auch eine Minimierung des Phasenfehlers erlaubt. Für den Fall, dass die bidirektionalen FMC-Takte nicht an den FPGA angeschlossen sind, wie beispielsweise beim KC705-Evaluierungsplatine [196], kann der Systemtakt dennoch an den FPGA weitergeleitet werden, indem die Position eines Pairs Jumper-Widerstände geändert wird.

Zusätzlich zum Hauptoszillator wird, wie am TMSDB, auch am TFC FMC TP ein Hilfsoszillator bereitgestellt. Allerdings lässt sich hier auswählen, ob ein programmierbarer Silicon Labs SI570-Oszillator [139] oder ein über einen DAC um seine Mittenfrequenz einstellbarer VCO verwendet wird. Ersterer hat den Vorteil, dass die DMTD-Komponente aufgrund der direkten Erzeugung der benötigten Frequenz des Hilfstaktes, und damit geringerem Jitter, potentiell präzisere Ergebnisse liefert, da keine Primitive im FPGA verwendet werden muss, welche die Taktqualität durch eine Vorverarbeitung verschlechtert. Hierbei ist es allerdings nachteilig, dass durch dessen aufwändigere und langsamere I2C-Schnittstelle eine geringere Regelrate der PLL verwendet werden muss (1.5 - 3 KHz), als dies mit einigem an Spielraum bei den VCOs möglich ist (10 KHz), da diese mittels eines am analogen Steuereingang angeschlossenen DAC (SPI-Schnittstelle) eingestellt werden.

Neben den oben genannten neuen Möglichkeiten der Datenkanäle, lässt sich der bidirektionale Modus des TP-Kanals des Referenztaktes ebenfalls gewinnbringend nutzen. Da es ein großes Manko des TMSDBs war, dass es nur als Master-Schnittstelle verwendet werden konnte und so der Aufbau eines Master-Slave-Links mit dieser Karte nicht möglich war, wurde die TFC-FMC-TP-Karte explizit auch für dieses Szenario ausgelegt. Dabei lässt sich neben der Konfiguration der Daten- und Timing-Kanäle von RJ45-Port0 ebenfalls ein Takt vom TP-Link an den FPGA weiterleiten, da dieser am TFC-Slave als Referenztakt verwendet wird, um den Systemoszillator am Slave per PLL einzustellen.

Zusammenfassend stellt die TFC FMC TP die nächste Generation der TMSDB-Karte dar. Sie ermöglicht es, dank der Änderungen an der Anbindung der M-LVDS-Kanäle, ein TP-TFC-Master-Slave-System zu entwickeln und zu evaluieren, ohne eine separate Slave-Karte entwerfen zu müssen. Zusätzlich erlaubt sie es, auch zukünftige Aufbauten zu erstellen, welche sich aus mehreren zueinander synchronisierten Karten zusammensetzen und innerhalb eines mTCA.4 Crates betrieben werden.

7.2 TFC-System mit Glasfaserschnittstelle

Der potentiell zentrale Ansatz in CBM zur Anbindung von Auslese Crates an den TFC-Master ist das glasfaserbasierte Konzept. Dabei kommen elektrische serielle Highspeed-Transceiver aufseiten des FPGAs zum Einsatz, welche mittels geeigneter SFP-Module die Übertragung per Glasfaser ermöglichen. Die besonderen Vorteile dieser physikalischen Schnittstelle sind deren prinzipiell bessere Erweiterbarkeit in Richtung eines PONs, das auch auf Highspeed-Transceiver setzen würde, und die kommerzielle Verfügbarkeit von FMC-Erweiterungskarten, die SFP-Slots oder Einschübe mit einem ähnlichen Formfaktor bereitstellen. Als nachteilig ist hingegen zu erwähnen, dass die Verwendung eines Glasfaserlinks für das TFC-System die Anzahl Ausleselinks für die Messdatenübertragung herabsetzt. Ebenfalls muss bei diesem Ansatz die Datenübertragung des TFC-Systems der TIM- und FC-Funktionalität über dieselbe serielle Kommunikationsleitung erfolgen, was eine geschickte Priorisierung innerhalb der Nachrichtenkommunikation erfordert.

7.2.1 Ansatz zur glasfaserbasierten Synchronisation

Das grundlegende Vorgehen bei der Zeitsynchronisation des TFC-Systems mittels dieses Linktyps basiert auf dem Ansatz des White-Rabbit-Netzwerks [188]. Hierbei ist das maßgebliche Prinzip, dass die Betriebsfrequenz der Slave-Kom-

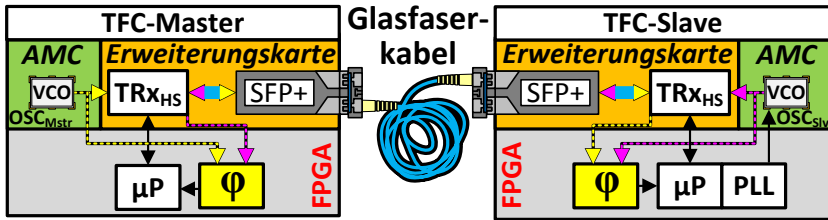


Abbildung 7.8: Genereller schematischer Aufbau des glasfaserbasierten TFC-Systems

ponente eines Punkt-zu-Punkt-Links mittels einstellbarer Oszillatoren an die Frequenz des Masters angepasst wird. Durch die Verwendung bidirektionaler SFP-Übertrager werden nur über eine Faser Daten gesendet, wodurch der Weg über das physikalische Medium zwischen Master und Slave und umgekehrt dieselbe Länge besitzt, was der präzisen Messung der Zwei-Wege-Latenz zugute kommt. Werden nun weitere Vorkehrungen aufseiten der seriellen Transceiver des FPGAs getroffen, wodurch eine Datenkommunikation mit konstanter Latenz möglich wird, erlaubt dieser Aufbau eine sehr exakte Kompensation des Subtaktzyklusphasenversatzes zwischen den beiden Komponenten des Links. Im White-Rabbit-System wurde die Punkt-zu-Punkt-Kommunikation so erweitert, dass durch die Verwendung Ethernet-basierter Links eine Switch-basierte Topologie aufgebaut werden kann. Dies hat den Vorteil, dass prinzipiell eine nahezu unbegrenzte Anzahl Slaves relativ zu einem Master synchronisiert werden können. Bei dieser Topologie bestehen die Verbindungen, analog zu PTP, aus Einzellinks, die sich aus je einer Master- und einer Slave-Seite zusammensetzen, wobei der Slave relativ zum Master synchronisiert wird. Mittels mehrerer Lagen Switches erfolgt somit eine iterative Synchronisation des Systems, wobei sich konzeptbedingt, ohne das Vorhandensein von Kompensationsinformationen, der Fehler der eingestellten Phase relativ zum Master je zusätzlicher Schicht akkumulieren kann.

Wie bereits im Stand der Technik Kapitel 4.2 dargelegt, besitzt diese Art von Topologie nicht nur Vorteile, da durch die Verwendung eines Ethernet-Stacks und der Switch-basierten Kommunikation eine nicht vernachlässigbare Latenz bei der Nachrichtenübertragung entsteht, was keine ideale Voraussetzung für ein TFC-System darstellt. Aufgrund dessen wird in diesem Kapitel die Entwicklung eines TFC-Systems beschrieben, welches als erste entwickelte Lösung für die Synchronisation der Auslese des CBM-Experiments auf eine strikte Punkt-zu-Punkt Übertragung setzt und es möglichst versucht, größere durch das Kommunikationsprotokoll verursachte Latenzen zu vermeiden.

Wie bei White Rabbit verwendet der hier beschriebene Ansatz einstellbare Oszillatoren und serielle elektrische Highspeed-Transceiver. Im Gegensatz zum Link des genannten Systems, kommt allerdings keine Ethernet-basierte Kommunikation zum Einsatz, die zusätzliche Verzögerungen verursachen würde. Zur Synchronisation der Oszillatoren, wird aus dem Datenstrom ein Taktsignal abgeleitet und mittels einer DMTD-Komponente analysiert. Dieses erzeugte Taktsignal kann zwar für den Betrieb weniger kritischer FPGA-Logik verwendet werden, es sollte allerdings nicht als Referenztakt für serielle Highspeed-Transceiver eingesetzt werden, da dessen Phasenrauschen nicht den Anforderungen dieser Komponenten entspricht [195].

Im Falle des glasfaserbasierten Systems ist es notwendig, mithilfe der AFCK-Prototypen-FPGA-Platine ein System zu realisieren, welches sowohl die gewünschte Taktrate als auch die Anforderung der Einstellbarkeit des System- und Hilfsoszillators erlaubt. Da das System mit Twisted-Pair-Links eine selbst entwickelte Platine als elektrische Schnittstelle verwendet, welche auch diese Oszillatoren bereitstellt, konnten hier die für die Anwendung idealen Taktkomponenten gewählt werden. Zwecks Unterstützung einer hohen PLL-Reglerate eignen sich hier Oszillatoren am besten, welche mittels eines am Frequenzverstimmungs-Eingang angeschlossenen DAC mit schneller SPI-Schnittstelle angesteuert werden können. Da die AFCK-Platine für den Fall von White Rabbit [52] entwickelt wurde, welches mit einer Referenzfrequenz von 125 MHz arbeitet, statt der für den in CBM verwendeten GBT-Link benötigten 120 MHz, besitzt diese nur eine Kombination aus schnell regelbarem VCO und fest eingestelltem Takterzeugungs-IC, welche für die White-Rabbit-Frequenz ausgelegt wurde.

Aus diesem Grund muss für den FEE Link final der einstellbare Oszillator gewählt werden, der per I2C-Schnittstelle angebunden ist. Dabei ist nachteilig, dass dieses Interface mit maximal 400 KHz angesprochen werden kann, was wesentlich geringer ist als bei der SPI-Verbindung in Richtung des DACs der VCOs. Bei den per SPI angebundenen VCOs, muss jeweils nur der Wert eines Registers geändert werden, um die Oszillatorfrequenz anzupassen. Im Vergleich dazu ist es wesentlich aufwändiger, eine Frequenzänderung des programmierbaren Oszillators herbeizuführen. Hierbei ist es notwendig, zunächst den Oszillator einzufrieren, darauf vier bis fünf (LSBs + MSB) Registerwerte des Festkomma-Multiplizierers (fractional multiplier) zu ändern und schließlich den Oszillator nach der Änderung wieder freizugeben [139]. Zudem ist es bei der I2C-Verbindung erforderlich, neben der Registeradresse bei jedem Wechsel des adressierten Registers, die Device Adresse zu übertragen. Durch all diese notwendigen Übertragungen und die geringere Rate der Verbindung, muss beim glasfaserbasierten System, unter der Verwendung des AFCKs die PLL-Reglerate, wie erwähnt, auf einen Wert zwischen 1.5 und 3 KHz eingestellt werden, um vor dem nächsten Regelzyklus alle I2C-Zugriffe abgearbeitet zu haben.

Ein Ansatz, um die Probleme der geringeren Regelrate abzumildern, ist der, dennoch die Phasenmesswerte der DMTD mit 10 KHz entgegenzunehmen, unter Umständen gewichtet zu akkumulieren, aber die Anpassungen der Oszillatorfrequenz nur mit der gewählten Regelrate durchzuführen. So gehen keine Informationen verloren, die bei höheren Regelraten erkennbar wären, wie Zwischenwerte einer steilen Phasenrampe bei einer großen Frequenzdifferenz zwischen System- und Empfangstakt, die für den korrekten PLL-Betrieb wichtig sind.

Dabei ist es von Vorteil, die Auswertung der Daten für den PI-Regler des Regelkreises von der Anwendung der Daten zu trennen. Indem die Basis-Interruptrate von 10 KHz beibehalten wird, können bei dieser Rate z.B. nur die DMTD-Phasenwerte akkumuliert werden und beispielsweise nur alle vier Regelschritte die Werte auf die Prozessgrößen des Controllers angewendet und neue Werte geschrieben werden, was einer Aktualisierungsrate von 2.5 KHz entspräche.

7.2.2 Digitale Schnittstelle und Übertragungsprotokoll

Die Basis der elektrischen Schnittstelle und des Protokolls zur Zeitsynchronisation wurden in der Masterarbeit von Nandor Szirmak [Szi15] erläutert und dienen für die im Folgenden dargestellten Entwicklungen als Ausgangssystem. Dabei werden zur Anbindung des Glasfaserlinks im hier beschriebenen Ansatz serielle Highspeed-Transceiver eingesetzt, welche bei Verwendung des Basisdesigns von Nandor Szirmak und einer Referenzfrequenz von 125/120 MHz mit einer Datenrate von 2.5/2.4 Gbit/s betrieben werden. Von den seriellen Transceivern wäre es zwar unterstützt den Link mit höheren Datenraten zu betreiben, allerdings wird die Rate durch die verfügbaren Glasfaser SFP-Module beschränkt, die im finalen System zum Einsatz kommen sollen.

Da es für die Messung der Paketumlaufzeit von Vorteil ist, über dieselbe Faser Daten übertragen zu können, sollten hierfür BIDI-SMF-SFP-Glasfasermodule verwendet werden. Hierbei sind aktuell sowohl 10 Gbit- und 1 Gbit-Module verfügbar. Von der Fast-Control-Latenz her gesehen sind höhere Linkraten von Vorteil, vorausgesetzt die SFP-Module besitzen eine vergleichbare Latenz wie diejenigen für niedrigere Datenraten. Werden jedoch die Marktpreise beider Modulgeschwindigkeiten, zur Zeit der Erstellung dieser Arbeit, verglichen, vervielfachen sich die Kosten pro Verbindung, wenn die schnelleren Module für den TFC-Link ausgewählt würden, da diese im Gegensatz zu den üblichen Duplex-Multimode-Transceivern eher ein Nischenprodukt darstellen. Generell wird allerdings für die Fast-Control-Übertragung keine dauerhaft hohe Rate benötigt, weshalb abgeschätzt werden kann, dass bei geringen Nachrichtenlängen der Geschwindigkeitsvorteil kaum ins Gewicht fällt, verglichen mit den durch die di-

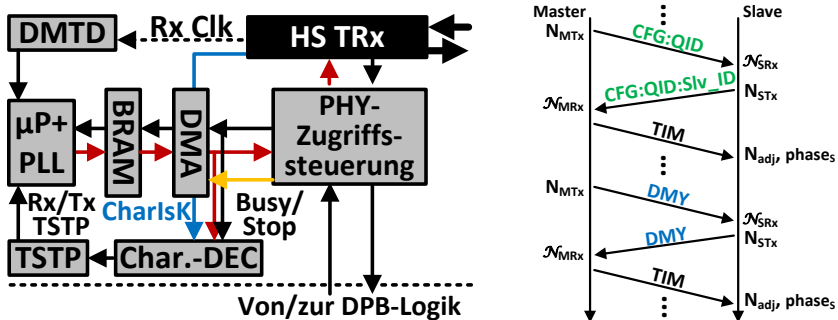


Abbildung 7.9: a) Logik zur Anbindung der Glasfaserschnittstelle innerhalb des FPGAs und b) Protokoll der Zeitsynchronisation über Glasfaser nach [Szi15]

gitale Logik des TFC-Systems an sich hervorgerufenen Verzögerungszeiten bei der Verarbeitung der Pakete.

Um deshalb bidirektionale 1GE-Glasfaserübertragermodule, die mit maximal 1.25 Gbit/s betrieben werden können, zu verwenden, muss die genannte Rate der Highspeed-Transceiver in Abhängigkeit des Referenztakts entsprechend reduziert werden. Dabei können beispielsweise bei Verwendung eines 1.2 Gbit/s Links, einer Referenzfrequenz von 120 MHz und einer 8b/10b-Leitungscodierung 8 Bit pro Systemtakt über den Link gesendet werden.

Die Grobstruktur der Schnittstelle zur Anbindung des Glasfaserlinks innerhalb der FPGA ist in Abbildung 7.9 a dargestellt. Innerhalb des FPGAs fällt die Logik des Timing Links, bis auf den Highspeed-Transceiver, etwas einfacher aus als im Twisted-Pair-System, da die Zeitstempelgenerierung direkt am Gigabit-Transceiver stattfinden kann, weil die 8b/10b-Kodierung mittels der Logik des Übertragers gehandhabt werden kann. Zudem kann der Empfangstakt durch diese Primitive vom Datenstrom abgeleitet werden, wodurch keine Phasenverschiebung zwischen Daten und Taktsignal besteht und somit nur eine DMTD-Komponente benötigt wird, die die Phasendifferenz zwischen dem Master- und Slave-Takt bestimmt.

Bei der Datenübertragung muss das physikalische Glasfasermedium für die Übertragung von Timing-Informationen und den Fast-Control-Daten geteilt verwendet werden. Hierbei entstehen Schwierigkeiten durch die potentiell unterschiedlichen Datenquellen von Timing- und Fast-Control-Nachrichten. Dabei werden die Timing-Nachrichten vom uP erzeugt, da dieser ebenfalls dazu zuständig ist, die Zeitstempel zu verarbeiten und bei Bedarf an den Slave zu übertragen.

Bei den Fast-Control-Nachrichten ist es wichtig, wie in Kapitel 7.1.2 erwähnt, dass diese durch keine Komponente länger und vor allem unvorhersehbar lange aufgehalten werden. Aus diesem Grund wird es zumindest für die TFC-Slave-Cores benötigt, dass für Fast-Control-Nachrichten der Auslesearten ein Bypass des Datentransfers existiert, der direkt eine Datenweiterleitung an die Übertragungskomponenten erlaubt. Der schematische Ansatz hierfür ist in Abbildung 7.9 durch den PHY-Access-Control-Block dargestellt.

Hier wird analog zum im Konzeptkapitel 6.8 beschriebenen Vorgehen ein Routing der Nachrichten durchgeführt. Liegen gerade keine Sendedaten vor, werden sogenannte Idle-Pakete über den Link gesendet, was zumindest die Anwesenheit des Knotens signalisiert. Im Falle anstehender Fast-Control-Sendedaten werden diese Daten an die PHY Access Control und schnellstmöglich an den Highspeed-Transceiver weitergeleitet. Stehen keine Fast-Control-Daten im betreffenden Register bereit, werden, falls vorhanden, Daten des Prozessors über den DMA versendet.

Je nach Kritikalität der FC-Nachrichtenweiterleitung, kann entweder die Übertragung von aktuellen Nachrichten zur Zeitsynchronisation erfolgen oder das priorisierte Verarbeiten der ausstehenden FC-Nachrichten nach der Beendigung des aktuellen Übertragungsvorgangs gewählt werden. Im Falle einer unterbrochenen Timing-bezogenen Nachricht müsste dieser Vorfall dem uP gemeldet werden, was mittels der Busy-/Stop-Signale geschehen könnte, da sonst die Messung der Paketumlaufzeit verfälscht wird, indem alte Zeitstempel verwendet werden etc.. Nach dem Abbruch eines Messvorgangs der Paketumlaufzeit würde ein neuer Vorgang mit dem Senden eines Leerpakets (DMY) durch den Master begonnen werden. Im Empfangspfad entscheidet ebenfalls eine Paketprozessierung, wohin ein eingehendes Paket weitergeleitet werden muss. Hierbei erfolgt diese Unterscheidung basierend auf dem verwendeten Komma-Wort des Leitungscodes (und potentiell dem Paketkopf). Dabei werden Informationen eines Timing-Pakets stets an den Prozessor weitergeleitet und Fast-Control-Daten direkt in das Fast-Control-Empfangsregister abgelegt, welche je nach zukünftiger Entscheidung zur Systemplattform der Auslese-Crates, direkt an die betreffende Kommunikationseinheit angebunden ist.

Im Folgenden wird das Basisprotokoll zur Zeitsynchronisation erläutert, wie es in der Masterarbeit von Nandor Szirmak [Szi15] verwendet wurde. Hierbei tauschen Master und Slave zur Synchronisation Nachrichten nach einem Verfahren aus, das vom Vorgehen in PTP [57] abgeleitet ist, wobei bestimmte Nachrichten die Zeitstempelgenerierung auslösen. Dem Konzept der Kommunikation zur Zeitsynchronisation wird dabei das in Abbildung 7.9 b dargestellte Verhalten zugrunde gelegt.

Hier wird nach dem Systemstart eine Linkidentifikation durchgeführt, bei der vom Master aus ein ID-Request-Paket gesendet wird, was vom Gegenüber mit einem ID-Paket beantwortet wird, in das die Informationen des Knotens eingebettet werden. Master und Slave erzeugen dabei beim Versenden und dem Empfang eines dieser Pakete, wie für PTP [57] üblich und im Ansatz für die TP-Phasenmessung erläutert, die Zeitstempel N_{MTX} , N_{SRX} , N_{STX} und N_{MRX} , wobei die Empfangszeitstempel mittels der lokal bestimmten DMTD-Phase auf eine Auflösung im Subtaktzyklusbereich verfeinert werden. Ist die Identifikation des Slaves abgeschlossen, werden statt diesen Nachrichten, periodisch Leerpakete (DMY) vom Master an den Slave gesendet, welche die Durchführung derselben Prozedur zur Zeitstempelerzeugung bewirken.

Mithilfe der Formeln des Grundlagenkapitels 2.7 wird die Zwei-Wege-Latenz und darauf aus der halben Verzögerungszeit und eventuell einer durch Kalibrierung bestimmten zusätzlichen Dauer, der Taktzyklus- N_{adj} und Subtaktzyklusversatz $phase_S$ errechnet. Dabei kann ersterer zum Einstellen des Taktzyklenzählers der lokalen Kopie Zeitbasis verwendet werden, der zur Generierung eines PPS-Signals zum Einsatz kommen kann. Der übrigbleibende Subtaktzyklusanteil wird dagegen dafür eingesetzt, um den aktuell beim PI-Regler aktiven Phasensollwert anzupassen, da dies direkt zu einer Veränderung der stabilen Phasenlage des Reglers führt. Um zu vermeiden, dass die PLL außer Tritt gerät, sollte der Sollwert, wie bereits im Konzeptkapitel 6.7 zur PLL erwähnt, nur langsam inkrementell verändert werden.

Je nach verwendetem physikalischem Medium, kann dieses durch mechanische oder thermische Einflüsse die Phasenlage des ankommenden Signals beeinflussen. Im Falle einer Änderung der Temperatur einer langen Glasfaser kommt es zu einer Ausdehnung bzw. Schrumpfen der Fasern, was gleichzeitig auch eine Änderung der Ausbreitungslatenz bewirkt. Kommt zudem eine bidirektional betriebene Glasfaser zum Einsatz, die zwei verschiedene Wellenlängen für beide Ausbreitungsrichtungen verwendet, können sich durch die unterschiedlichen Brechungsindizes die Übertragungslatenzen für DS und US ändern, was durch ein entsprechendes Modell kompensiert werden müsste [188]. In der Regel wirkt sich dieser Effekt allerdings weniger stark aus und weist in einem gewissen Bereich der Temperaturvariation eine lineare Abhängigkeit auf [203], [90].

In Abhängigkeit der Rate und des Ausmaßes der dadurch eintretenden Phasenvariationen, die für die zukünftige Systeminstallation zu bestimmen wäre, ist die hier erwähnte Messung der Paketumlaufzeit zumindest mit der Wiederholrate durchzuführen, die es erlaubt, ein Wandern der Phase außerhalb des vertretbaren Rahmens zu verhindern.

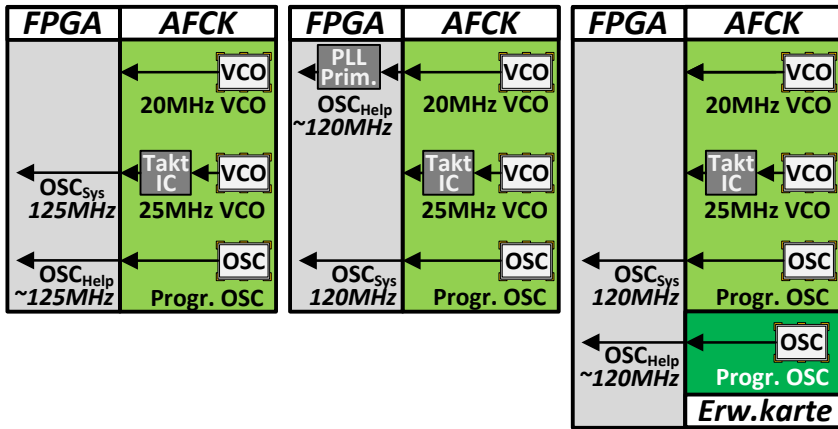


Abbildung 7.10: Konfigurationen des glasfaserbasierten TFC-Systems mit a) VCO als Systemtaktquelle ($f_{sys} = 125 \text{ MHz}$), b) FPGA-interner Verarbeitung eines VCOs-Signals für einen System-/Hilfstakt von $f_{sys} = 120 \text{ MHz}$ und c) bei Verwendung eines weiteren unabhängigen programmierbaren Oszillators einer FMC-Erweiterungsplatine als Hilfstaktquelle

7.2.3 Umgesetzte glasfaserbasierte Prototypensysteme

Auf dem Weg zu einem glasfaserbasierten TFC-System wurden verschiedene Systeme aufgebaut. Angefangen mit einem initialen System aus der Masterarbeit von Nandor Szirmak wurde ein System aufgebaut, welches eine Glasfaser-Link mit 2.5 Gbit/s Übertragungsrate besitzt. Dieses System verwendete einen auf dem AFCK vorhandenen, schnell einstellbaren VCO, von dem ein Takt von 125 MHz abgeleitet und als System- und Referenztakt der MGTs verwendet wurde (siehe Abbildung 7.10 a bzw. 7.11 a). Da allerdings in CBM ein Glasfaserlink in Richtung FEE aufgebaut werden wird, der die CERN GBTx ASICs anbindet und basierend auf einem 120 MHz Takt einen 4.8 Gbit/s Link betreibt, bietet dieser Aufbau nicht die benötigte Zielfrequenz. Aufgrund der starken Analogie zum TP-System, die diese Zusammenstellung des Systems bietet, indem es denselben Typ von VCO als einzustellenden Systemtakt verwendet, wurde dieses System dennoch entwickelt, um die Funktionalität des gewählten Basissystems des Glasfaserkonzepts zu evaluieren. Die hierbei verwendete PLL wurde mit einer Rate von 10 KHz betrieben und lieferte näherungsweise äquivalente Ergebnisse zum TP-basierten TFC-Prototypensystem (siehe Kapitel 8.2). Neben der

7 Integration eines TFC-Prototypensystems

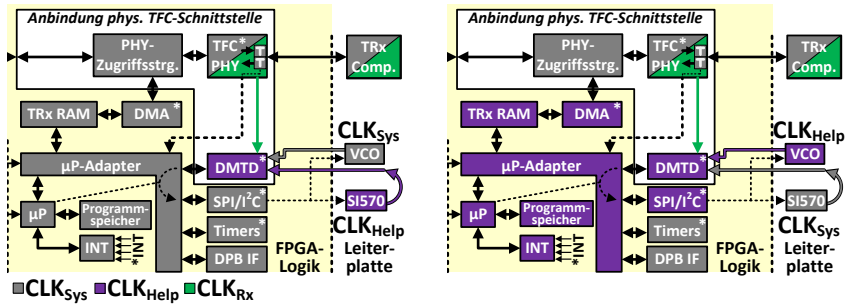


Abbildung 7.11: Taktdomänenübergänge der Systeme mit a) VCO bzw. b) programmierbarem Silicon Laboratories SI570-Oszillator [139] als Systemtaktquelle

präzisen Zeitstempelgenerierung wurde die Funktionalität dieses TFC-Systems so weit ausgebaut, dass eine vollständige Frequenz- und Phasensynchronisation eines TFC-Master-Slave-Systems erfolgen kann, was äußerst hohe Synchronisationsgenauigkeiten von $\pm 1/2 T_{UI}$ des TFC-Links ermöglichte.

Darauf wurde ein zweites System entwickelt, welches den programmierbaren SI570 [139] als Systemtakt und einen VCO lediglich als Hilfstakt verwendet (siehe Abbildung 7.10 b bzw. 7.11 b). Hierbei besteht allerdings die Schwierigkeit, dass der SI570 Oszillator beim Systemstart eine von der gewünschten Systemfrequenz stark abweichende Frequenz aufweist und deren Änderung auf den Zielwert von 120 MHz einen sehr instabilen Takt für eine gewisse Zeit verursacht. Dadurch ist kein stabiler Betrieb eines Prozessors möglich, der mit diesem Ausgangssignal als Takt betrieben wird und für die Einstellung des Oszillators zuständig ist, da Software-Abstürze auftreten.

Aus diesem Grund wurde es für dieses System gewählt, den Hilfstakt, der für den gesamten Systembetrieb nahezu stabil bleibt, als Systemtakt des Prozessors und der direkt verbundenen Peripheriekomponenten einzusetzen und lediglich die kritischen synchronen Bestandteile des Aufbaus, wie den Systemzeitähler, Zeitstempelgeneratoren und die Komponenten des physikalischen TFC-Links mit dem Takt des programmierbaren Oszillators zu betreiben, wohl wissend, dass dies einen Reset der betroffenen Komponenten voraussetzen kann, nachdem das System initialisiert wurde.

Daraus ergeben sich im Vergleich zum ersten System abweichende Taktdomänenübergänge, welche vor allem zwischen dem DMA des Microprocessors und den Übertragungskomponenten des TFC-Links ins Gewicht fallen. Da diese Ver-

bindung primär für die Datenkommunikation zur Zeitsynchronisation auf Taktzyklenebene und für die Phasenoffsetbestimmung des Slaves verwendet wird, ist hier eine fehler- und unterbrechungsfreie Weiterleitung der Daten essentiell.

Die hierbei auftretende Schwierigkeit ergibt sich aus dem im Falle des eingestellten Systems erwünschten Frequenzversatz zwischen Hilfs- und Systemoszillator. Dieser Frequenzunterschied zeigt sich besonders beim Versenden von Daten durch den DMA, da die Komponenten zur physikalischen Datenübertragung mit der Frequenz $f_{Sys} = 2^N / (2^N - 1) \cdot f_{Help}$ betrieben werden, wodurch der Sendepuffer innerhalb des Taktomänenübergangs während der Übertragung leerlaufen kann. Aufgrund des relativ kleinen Frequenzversatzes von etwa 60 ppm für $N=14$ ist es hier allerdings für Nachrichten, die aus wesentlich weniger als 2^N Datenworten bestehen, ausreichend, im Falle eines leeren Puffers, einen um ein Wort höheren Füllstand abzuwarten, nachdem dieser auf der Leseseite als befüllt gekennzeichnet wurde. Dadurch kann bei einem kontinuierlichen gleichzeitigen Schreiben und Lesen des Puffers und näherungsweise stabilem Frequenzversatz ein Leerlaufen unter den genannten Bedingungen ausgeschlossen werden.

Da sich die Präzision der DMTD-Phasenmessung bei Verwendung des per PLL-Primitive weiterverarbeiteten 20 MHz VCO-Taktes, wie in Kapitel 8.2 erläutert, im Vergleich zum ersten System stark verschlechtert (≤ 40 ps gegenüber ≤ 10 ps), wurde eine weitere Variante des glasfaserbasierten Systems entwickelt (siehe Abbildung 7.10). Diese setzt zur Erzeugung des Hilfstaktes einen weiteren programmierbaren Oszillator ein, der sich auf einer der FASTER Technology FM-S14 [42] FMC-Erweiterungskarten befindet, welche je vier SFP-Schächte beherbergen, die für die Verwendung der Glasfaserübertrager benötigt werden. Zur Einstellung steht bei diesem Oszillators eine I2C-Programmierschnittstelle zur Verfügung, welche mit einer Rate von 400 KHz betrieben werden kann.

Sollen aufseiten des Slaves 10-Gbit-Links in Richtung des FLES betrieben werden, wird ein hochwertiger Takt benötigt, dessen Frequenz von üblicherweise 156.25 MHz nicht der TFC-Frequenz entspricht, was einen weiteren Oszillator erfordert. Aus diesem Grund wurde diese Systemvariante erst als dritte Möglichkeit implementiert, da diese wegen der Wahl der Oszillatoren auf der TFC-Slave-Seite weniger Flexibilität bietet. Aufgrund des Aufbaus der AFCK-Prototypenplatine, muss für den Betrieb der 10 Gbit-Links in dieser Konfiguration eine weitere FMC-Erweiterungskarte installiert werden, welche die benötigte Taktfrequenz bereitstellen kann, da alle MGT-Referenztaktsignale, an welche die erstere Karte angebunden ist, durch das TFC-System belegt werden.

Was die Qualität der Phasenmessung betrifft, kann diese Auslegung des TFC-Systems allerdings überzeugen. Dabei kann es eine Regelungspräzision bieten, welche der des ersten Systems entspricht, das allerdings nur mit einer festen Frequenz von 125 MHz betrieben werden kann.

Aufgrund der flexiblen Einstellbarkeit der Systemvarianten mit programmierbaren Oszillatoren können zwei unabhängige TFC-Einheiten allerdings einen wesentlich größeren Frequenzversatz im Initialzustand des Systems aufweisen als bei der Variante mit nur fein einstellbaren VCOs. Für die Einstellung der PLL des Systems mit programmierbaren Oszillatoren wurde deshalb ein zweistufiger Regelprozess verwendet werden (siehe Kapitel 6.7), da der stabile Regelbereich (lock range) der entwickelten Variante der PLL, welche lediglich DMTD-Phasenwerte verwendet begrenzt ist.

Ein Vergleich der Leistungsfähigkeit beider Systeme in Bezug auf die Zeitsynchronisation, findet sich im folgenden Kapitel 8.2.

8 Evaluation des umgesetzten Prototypensystems im Laboraufbau

Innerhalb dieses Kapitels wird die Evaluierung des prototypischen TFC-Systems erläutert. Dabei wird zunächst der Messaufbau des Prototypensystems beschrieben, welcher es erlaubt, ohne eine Veränderung des Aufbaus beide Ausführungen der TFC-Schnittstelle zu untersuchen.

In einem ersten Teil der Evaluierung wird die Synchronisationspräzision des Systems mit Twisted-Pair-Schnittstelle ausgewertet.

Darauf werden die in Kapitel 7.2.3 vorgestellten FPGA-Designs des glasfaserbasierten TFC-Systems evaluiert. Diese Art von Schnittstelle wird mit einer höheren Wahrscheinlichkeit zum Betrieb der Auslese von CBM zum Einsatz kommen, da sie eine potentiell bessere Erweiterbarkeit und eine leichtere Integrierbarkeit für mögliche zukünftige PC-basierte Auslesesysteme mit PCIe-FPGA-Karten bieten kann.

Deshalb wurden für diesen Typ von TFC-System weiterführende Evaluierungen durchgeführt, in welchen beispielsweise das BER eines synchronisierten MGT-Links, die Präzision der Zwei-Wege-Latenzmessung und die Wiederholgenauigkeit dieser Messung bei Resets untersucht werden.

8.1 TFC-System mit Twisted-Pair-Verbindungen

Zur Evaluierung des TP-basierten TFC-Ansatzes wurde im Rahmen der Veröffentlichung zur TFC-FMC-TP-Karte [MLB17] ein Testsystem aufgebaut, mithilfe dessen die Datenübertragung mittels einer Schleifenschaltung (Loopback) und die Synchronisation eines Knotens im TFC-Master-Slave-Aufbau getestet werden konnte. Dieses System ist in Abbildung 8.1 dargestellt.

Dabei sind, im Vergleich zum vollständigen Konzept des TFC-Systems, die Datenübertragung mithilfe eines DMAs, die Erzeugung von Zeitstempeln und die Fast-Control-Übertragung und das Protokoll des Timing-Links noch nicht vollständig umgesetzt und getestet. Der Aufbau aus uP-System, DMTD und seriel-

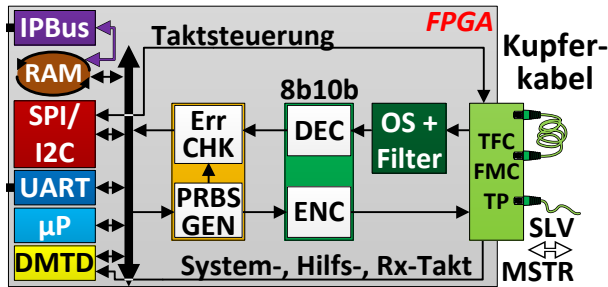


Abbildung 8.1: Microprocessorsystem für Tests der Übertragung und der Synchronisation des Slave-Oszillators (PLL)

len Schnittstellen entspricht allerdings schon dem für die Taktnachführung notwendigen Aufbau.

Im Testsystem werden PRBS-Folgen generiert, ein 8b10b-Leitungscode darauf appliziert, die Daten serialisiert und an die TFC-FMC-TP-Karte weitergeleitet, wo die M-LVDS-Chips die Daten über den TP-Link versenden. Ein Ethernet-Kabel verbindet dabei zwei Ports der TFC-FMC-TP-Karte im Loopback.

Auf der empfangenden Seite werden die Sequenzen überabgetastet (OS), was im vorliegenden System mit der vierfachen Systemtaktfrequenz geschieht. Darauf wird die Sub-Bit-Ausrichtung bestimmt, die Daten parallelisiert und der Leitungscode dekodiert. Durch einen Vergleich der empfangenen Bit-Folge mit der gesendeten PRBS-Folge wird am Ende der Kette die Anzahl der Übertragungsfehler ermittelt.

Durch die Überabtastung kann die Bestimmung der korrekten Sub-Bit-Ausrichtung automatisch und ohne Verzögerung erfolgen, wie dies im Gegensatz dazu bei der Verwendung von IDELAY-Komponenten durch einen iterativen Prozess der Fall wäre. Um die 8b10b-Dekodierung zu ermöglichen, die auf der Basis von jeweils zehn Eingangsbits erfolgt, wird am Anfang des Sendevorgangs eine Synchronisationssequenz den PRBS-Daten vorangestellt, auf welche die notwendige Seriell-parallel-Wandlung auf der Empfängerseite eingestellt wird. Nach der Einstellung der Parallelwandlung erfolgt alle zehn Takte eine Dekodierung der Empfangsdaten. Prinzipiell ließen sich zur Synchronisation der Datensequenz die Eingangsdaten, welche einem Bit für Bit gefüllten Schieberegister entstammen, auch in jedem Takt dekodieren, allerdings würde es dabei zu Fehldetektionen kommen und die Disparitätsprüfung würde zwischen korrekt ausgerichteten zehn Bit Wörtern fehlschlagen.

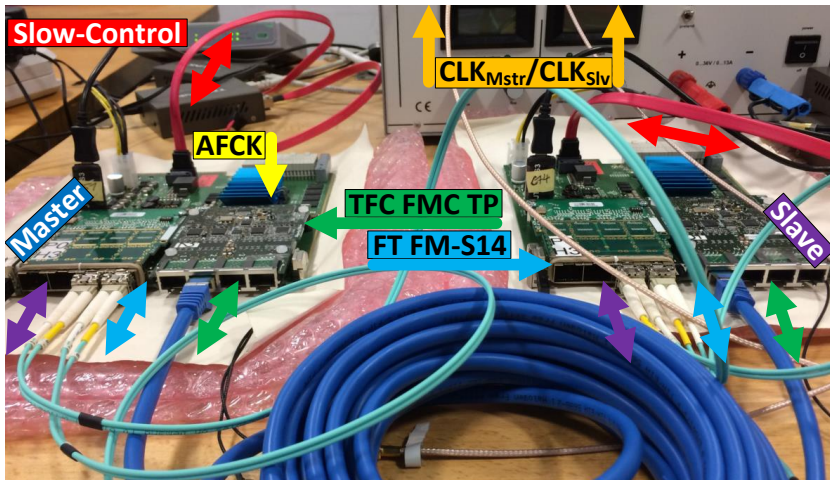


Abbildung 8.2: TFC-Systemaufbau für Messungen der Glasfaser- (linke FMCs, Port rechts, blau) und TP-Variante (rechte FMCs, grün) mit zusätzlichem 5 Gbit/s Xilinx IBERT Datenlink (linke FMCs, Port links, violett) zur FEE-Link-Simulation und der Slow-Control-Anbindung (SATA-Kabel, rot)

Mithilfe dieses Systems konnte ermittelt werden, dass das System bei Verwendung eines CAT7-Kabels der Länge 25 m über alle drei TP-Kanäle in dieselbe oder unterschiedliche Richtungen mit 240 Mbit/s übertragen kann, wobei ein Takt von 120 MHz am Taktkanal anliegt. Damit ist es möglich, die im Elektronenraum von CBM benötigte Leitungslänge von 20 m mit 5 m zu übertreffen und dabei sowohl die Referenzfrequenz der GBT-Links in Richtung FEE bereitzustellen, als auch nahezu die maximale Datenrate der M-LVDS-Chips von 250 MBit/s zu erreichen. Hierbei wurden die 240 Mbit/s aufgrund der Möglichkeit zur effizienten Generierung der Daten innerhalb der 120 MHz-Taktdomäne des TFC-Systems als Datenrate gewählt, da dies lediglich eine ODDR-Primitive am Ausgang erfordert.

Das TFC-Master-Slave-System wurde basierend auf der in Abbildung 8.1 dargestellten FPGA-Logik aufgebaut. Ebenfalls kommt bei diesem Design eine Soft-PLL zum Einsatz, welche durch ein Hardware-Software-System realisiert wurde.

Hierbei wird als Systemtakt das auf 120 MHz eingestellte Ausgangssignal des Takterzeugungs-ICs verwendet, an den ein Mercury Crystal VM53S3 [92] VCO mit 25 MHz als Referenz angeschlossen ist. Die Hilfsfrequenz wird mittels des

8 Evaluation des umgesetzten Prototypensystems im Laboraufbau

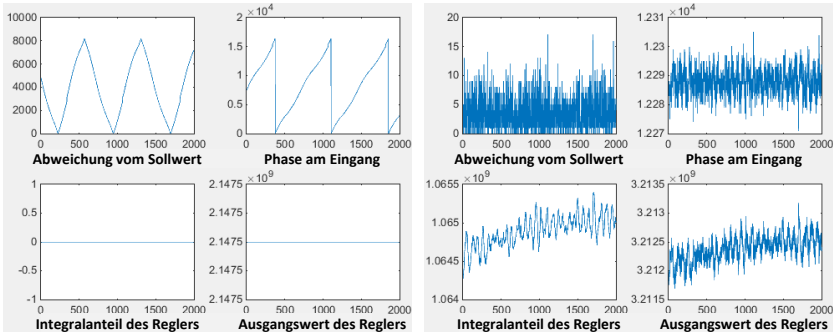


Abbildung 8.3: Twisted-Pair, $f_{sys} = 120 \text{ MHz}$. Aufgezeichnete Regelparameter des PI-Reglers im Falle von $3/2 \pi = 270^\circ = 12288$ Zählerwerten als Phasensollwert im Falle des a) inaktiven PI-Reglers mit festem Frequenzunterschied und b) synchronisiertem Slave-Oszillator bei aktivem PI-Regler. Dargestellte Reglerparameter: Eingangphase, Abweichung vom 270° -Sollwert, Integralanteil und Ausgangswert des PI-Reglers

Silicon Labs Si570-Oszillators [139] auf die korrekte Frequenz relativ zum Systemoszillator eingestellt, die sich nach Gleichung 8.1 ergibt.

$$f_{Help} = \frac{2^N - 1}{2^N} \cdot f_{sys} \approx 119.9927 \text{ MHz}; \quad N = 14, f_{sys} = 120 \text{ MHz} \quad (8.1)$$

Neben den bereits erläuterten systemkritischen Komponenten, ist das TFC-System ebenfalls mit einer Slow-Control-Schnittstelle in Form einer IPBus-Slave-Komponente mit Status- und Steuerregistern ausgestattet. Zusätzlich ist für fortgeschrittene Messzwecke ein angepasster IPBus-Peephole-RAM-Controller angebunden, der aufseiten des uP-Systems mit einer BRAM-Komponente verbunden ist. Vonseiten des uPs lässt sich auf dieses BRAM mittels eines an den *Advanced eXtensible Interface (AXI)*-Bus angeschlossenen BRAM-Controllers zugreifen.

Der Zweck dieser Anbindung des BRAMs ist es, das genaue Verhalten von Prozessen in der uP-Software aufzeichnen und mittels IPBus ohne große Verzögerungen auslesen zu können. Dabei besitzt das Peephole RAM die Eigenschaft, dass es über das IPBus Software Framework optimal genutzt werden kann, indem nach einer initialen Einstellung der Leseadresse kontinuierlich Lesezugriffe möglich sind, ohne eine Adresserhöhung per Bus vornehmen zu müssen, da die Adresse als selbst-inkrementierend implementiert ist. So ist es möglich, in jedem

Takt einen neuen Wert aus dem RAM auszulesen und eine sehr hohe Datenrate zu erhalten, da etwaige Wartezustände nur durch die Ethernet-Schnittstelle oder die IPBus-Software auf dem PC selbst hervorgerufen werden.

Der Ansatz der Vermessung der PLL läuft dabei wie folgt ab. Nach jedem Regelzyklus des PI-Controllers werden die Prozessparameter in das BRAM geschrieben und die Adresse zyklisch erhöht. Wird vonseiten der Laborsoftware entschieden, dass die Informationen der letzten Regelzyklen gelesen werden sollen, wird das Beschreiben des BRAMs angehalten, was per Bit eines der IPBus-Slave-Register gesteuert wird, darauf das BRAM komplett gelesen und das Abspeichern der Regelgrößen wieder aktiviert. So lassen sich selbst kleine Änderungen der Reglerparameter im Systembetrieb beobachten und es lässt sich leicht ein Systemüberblick gewinnen. Um beispielsweise acht 32-Bit Variablen über 2048 Regelzyklen im Speicher halten zu können, verfügt das zusammengesetzte BRAM über eine Größe von 64 Kbyte. In späteren Systemen würde diese Messvorrichtung nicht verwendet werden, da die BRAMs für die eigentliche Datenverarbeitung benötigt werden und in den finalen Systemen der PI-Regler bereits vollständig parametrisiert wäre.

In Abbildung 8.3 a sind vier der acht aufgezeichneten Reglervariablen des inaktiven Regelkreises dargestellt, wobei in b der aktive Regelkreis im stabilen Endzustand zu sehen ist, der auf $3/2 \pi = 270^\circ$ als Phasensollwert eingestellt wurde, was bei einem DMTD-Wertebereich von $2^{14} = 16384$ 12288 Zählerwerten entspricht. Der PI-Regler wurde in diesem Fall mit einer Regelrate von 10 KHz betrieben. Die in der linken oberen Hälfte der Abbildung 8.3 b dargestellte Abweichung von unterhalb von 20 Zählerwerten entspricht bei einem Systemtakt von $f_{sys} = 120$ MHz bzw. $T_{sys} = 8.333$ ns einem Phasenmess-/Regelfehler von kleiner als ± 10 ps. Die vorliegende Messung besitzt eine maximale Phasenabweichung von 8.65 ps.

Damit bietet der vermessene Aufbau des prototypischen TFC-Systems mit Twisted-Pair-Verbindungen eine Synchronisationspräzision, welche der kommerziellen glasfaserbasierten Referenzlösung äußerst nahe kommt. Nach [133] wird bei der Synchronisation von Slave-Knoten in White-Rabbit-Systemen eine durchschnittliche Präzision von etwa 6 ps erreicht.

8.2 TFC-System mit Glasfaserverbindungen

Beim glasfaserbasierten TFC-System wurde eine Faster Technology (FT) FM-S14 [42] FMC-Erweiterungskarte auf die AFCKs montiert. Zwecks Vermeidung einer ständigen Veränderung des Aufbaus beim Wechsel zwischen TP- und Glasfaser-system, besitzt das System dabei den in Abbildung 8.2 dargestellten Auf-

bau. Für erste Tests wurden, aufgrund der Auslegung des Systems von Nandor Szirmak [Szi15] und zum Zwecke der schrittweisen Anpassung des Systems zur final benötigten TFC-Umsetzung, zunächst Duplex-Faser-10G-SFP+-Transceiver verwendet.

Im ersten in Kapitel 7.2.3 genannten System, das Glasfaserlinks verwendet, wurde die für White Rabbit eingesetzte Kombination [52], die mittels eines VCOs und eines nachgeschalteten ICs einen Takt von 125 MHz erzeugt, als Systemtaktquelle benutzt. Da diese Taktfrequenz damit von den später benötigten 120 MHz abweicht, ist die Übertragungsrate des Links von 2.5 Gbit/s ebenfalls von der finalen Rate verschieden. Der interne Aufbau der FPGA-Logik ist in den Kapiteln 6.2 und 7.2 erläutert.

Nach Abschluss der Evaluierung der Zeitsynchronisation dieses Systems wurden die umgesetzten Konzepte für die finale Konfiguration des TFC-Systems portiert, bei der ein programmierbarer Oszillator als Systemtaktquelle zum Einsatz kommt, um eine Frequenz von 120 MHz erzeugen zu können (siehe Kapitel 7.2.3). Die zunächst implementierte Variante zwei des Glasfasersystems setzt dabei auf einen VCO als Hilfstaktquelle. In der dritten Variante wurde schließlich ein weiterer programmierter Oszillator zur Erzeugung des Hilfstakts verwendet, wodurch sich die Synchronisationsqualität signifikant verbessern ließ. In den folgenden Unterkapiteln werden die Messergebnisse dieser Systeme miteinander verglichen.

8.2.1 Regelungspräzision

Zunächst wurde die Regelungspräzision der glasfaserbasierten Systeme analysiert. In Abbildung 8.4 sind die Messergebnisse des ersten glasfaserbasierten TFC-Systems dargestellt, das mit einem Systemtakt von 125 MHz betrieben wurde. Die aufgezeichneten Reglerparameter wurden mittels des in Kapitel 8.1 genannten zyklisch adressierten BRAMs mit selbstinkrementierender Leseadresse gewonnen. Die Regelung des Slave-Taktes findet mittels einer PLL statt, welche durch das Zusammenspiel von Microprocessor und deterministischer Hardwarenaher FPGA-Logik umgesetzt wurde (siehe Kapitel 6.5) und DMTD-Phasenwerte als Eingangsgröße verwendet.

Werden die Messergebnisse dieser ersten Variante des glasfaserbasierten TFC-Systems mit denen des Twisted-Pair-Ansatzes in Abbildung 8.3 verglichen, fällt auf, dass sich die gemessene Phasendifferenz im inaktiven Zustand der PLL des glasfaserbasierten Systems etwas linearer verhält. Dies kann möglicherweise dadurch verursacht werden, dass der auf dem AFCK vorhandene Oszillator mit höherwertigen Layoutprinzipien in das Design der Karte integriert oder nur

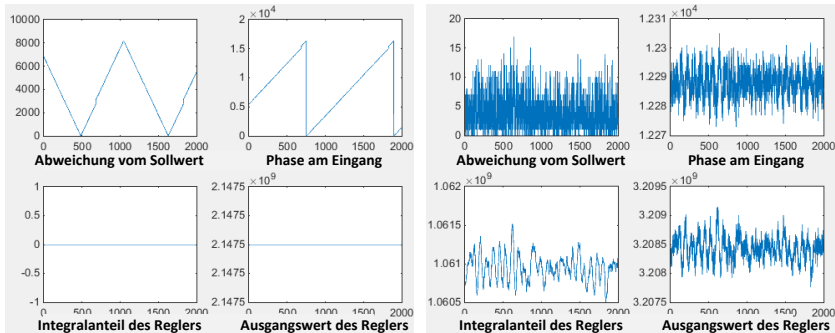


Abbildung 8.4: Glasfaser, $f_{sys} = 125 \text{ MHz}$. Aufgezeichnete Reglerparameter des PI-Reglers im Falle von $3/2 \pi = 270^\circ = 12288$ Zählerwerten als Phasensollwert im Falle des a) inaktiven PI-Reglers mit festem Frequenzunterschied und b) synchronisiertem Slave-Oszillator bei aktivem PI-Regler. Dargestellte Reglerparameter: Eingangsphase, Abweichung vom 270° -Sollwert, Integralanteil und Ausgangswert des PI-Reglers

ein Lötvorgang zum Aufbau der Platine verwendet wurde, was zu einer stabileren Relativfrequenz zwischen Master- und Slave-Oszillator führen kann. Bei der TFC-FMC-TP-Karte fand je ein Lötprozess pro Platinenseite statt, wobei der Systemoszillator bereits im ersten Lötvorgang bestückt und somit zwei starken Temperaturschwankungen ausgesetzt war. Im regelnden Zustand der PLL ist allerdings kein gravierender Unterschied zwischen den Messungen beider Systeme erkennbar.

In Abbildung 8.5 und 8.6 werden die Regelungspräzisionen des Twisted-Pair- und der Glasfasersysteme einander gegenübergestellt. Dabei werden die Abweichungen der gemessenen Phasenwerte vom Sollwert der Regelung jeweils als Histogramm dargestellt. Die ersten beiden Systeme weisen in den aufgezeichneten Messungen eine maximale Abweichung vom eingestellten Sollwert von 8.65 ps auf. Diese näherungsweise identischen Regelungspräzisionen lassen sich dadurch begründen, dass beide Systeme einen hochwertigen VCO als Systemtaktquelle und einen programmierbaren Oszillator als Hilfsoszillator einsetzen und für beide Systeme somit ähnliche Voraussetzungen gelten. Die unterschiedlichen Verdrahtungskonzepte per Glasfaser- bzw. Twisted-Pair-Kupferkabel haben anscheinend keinen nennenswerten Einfluss auf die Regelungspräzision im stabilen Zielzustand der PLL.

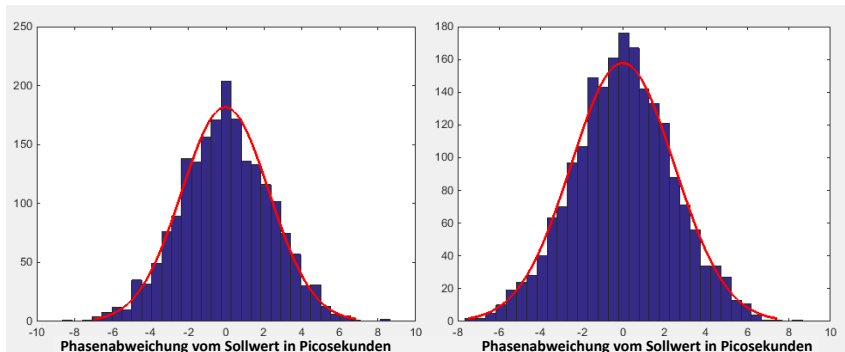


Abbildung 8.5: Vergleich der Regelungspräzision des *a)* Twisted-Pair- und *b)* des Glasfasersystems mit VCO als Systemtaktquelle

Ein messbarer Unterschied lässt sich allerdings beim Vergleich der beiden zuletzt genannten Systeme mit der Variante feststellen, welche einen programmierbaren Oszillator als Systemtaktquelle und das per FPGA-PLL-Primitive verarbeitete Signal eines 20 MHz VCOs als Hilfstakt verwendet (siehe Abbildung 8.6 a). Es lässt sich erahnen, dass für diese herabgesetzte Qualität das minder-qualitative Signal des Hilfsoszillators ursächlich ist und weniger die geringere Regelrate der PLL, welche durch die im Vergleich zu SPI niedrigere Kommunikationsfrequenz der I2C-Schnittstelle vorgegeben wird (400 KHz gegenüber 20 MHz). Diese Systemkonfiguration erreicht aufgrund eines größeren Grundrauschens dieses Taktes und einigen wenigen Ausreißern lediglich eine Regelungspräzision zwischen 30 und 40 ps.

Um diese These zu bestätigen, wurde eine dritte Systemvariante implementiert, welche einen weiteren programmierbaren Oszillator verwendet, der auf einer der FM-S14-FMC-Erweiterungskarten [42] von FASTER Technology zur Verfügung steht. Der Vergleich dieser beiden Systemvarianten ist in Abbildung 8.6 dargestellt. Obwohl bei diesem Aufbau beide Oszillatoren über eine langsame 400 KHz I2C-Schnittstelle angesprochen werden müssen, kann eine Regelungspräzision erreicht werden, welche der der Systeme mit VCO als Systemtaktquelle in nichts nachsteht und diese im besten Fall sogar übertrifft. Im Vergleich zu den VCO-basierten Systemen, welche eine maximale Abweichung vom eingestellten Phasen-sollwert von 8.65 ps zeigten (siehe Abbildung 8.5), konnte für das System, das auf einen programmierbaren Oszillator als Systemtaktquelle setzt, eine maximale Phasenabweichung von 6 ps ermittelt werden (siehe Abbildung 8.6).

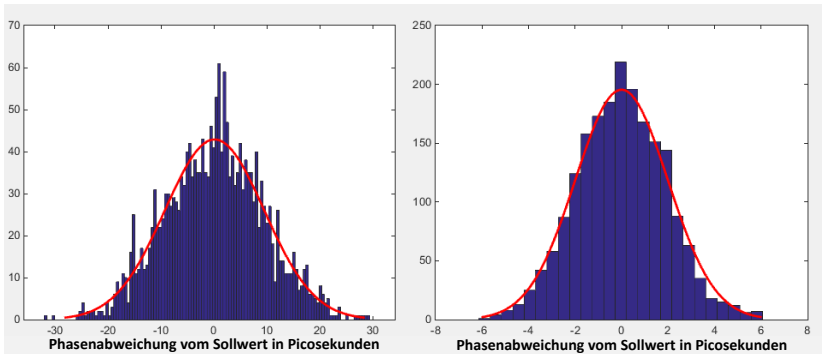


Abbildung 8.6: Vergleich der Regelungspräzision des Glasfasersystems mit programmierbarem Oszillator als Systemtaktquelle *a)* und per PLL-Primitive verarbeitetem VCO-Signal bzw. *b)* einem weiteren programmierbaren Oszillator als Hilfstaktquelle

Aufgrund der final benötigten Systemtaktfrequenz von 120 MHz ist es unter Verwendung der Taktkomponenten der AFCK FPGA-Prototypenplatte von CBM alleine nicht möglich, eine Konfiguration zu wählen, mit welcher die beiden benötigten Taktfrequenzen ohne Einsatz von FPGA-Primitiven erzeugt werden können. Dies hat, wie gezeigt werden konnte, einen negativen Einfluss auf die Regelungspräzision des synchronisierten Systemtaktes.

Werden allerdings aufseiten des TFC-Slaves keine weiteren Glasfaserlinks anderer Referenzfrequenz als der des TFC-Systems benötigt, oder kann eine weitere FM-S14-FMC-Erweiterungskarte [42] von Faster Technology installiert werden, ist mittels der Konfiguration der dritten Variante sowohl eine flexible Wahl der Systemfrequenz als auch eine sehr hohe Regelungspräzision möglich.

8.2.2 Fehlerrate synchronisierter Datenkanäle

Das im Folgenden beschriebene Testszenario, das für den Betrieb des TFC-Systems als Teil der zukünftigen Auslese von CBM eine besondere Relevanz hat, analysiert den Betrieb von Datenlinks, welche den synchronisierten TFC-Systemtakt als Referenztakt verwenden. Um die Auslese von CBM synchronisiert bis hin zur FEE betreiben zu können, ist es notwendig, einen relativ zum TFC-System synchronisierten glasfaserbasierten Link bei 4.8 Gbit/s in Richtung FEE mit geringer Fehlerrate betreiben zu können. Da ein solcher Aufbau mit GBTx ASICs und Frontend-Komponenten noch nicht zur Verfügung steht, wurde zur

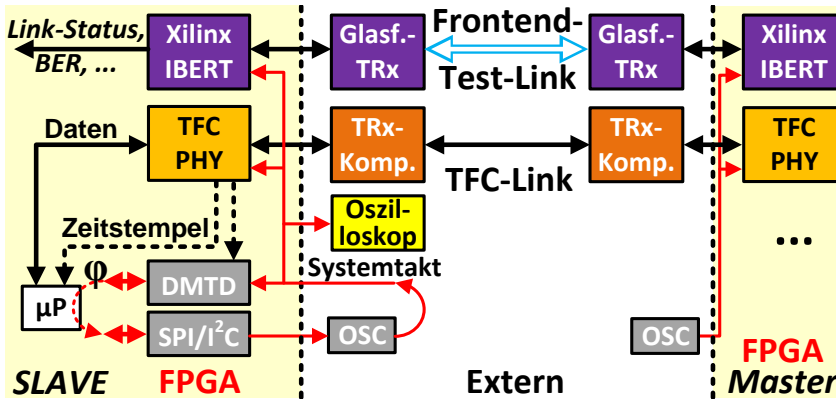


Abbildung 8.7: Testszenario zur Evaluierung des BER eines mit dem synchronisierten TFC-Slave-Takt betriebenen Hochgeschwindigkeits-Glasfaserlinks

Auswertung dieses Falles ein System aufgebaut, mit dem es möglich ist, die Bitfehlerrate eines Highspeed-Links zu evaluieren, der einen aktiv nachgeregelten Oszillator als Referenztakt verwendet (siehe Abbildung 8.7).

Dabei wird den evaluierten TFC-Master-Slave-Aufbauten ein 5 Gbit/s bzw. 4.8 Gbit/s Glasfaserlink hinzugefügt, der an beiden Enden an Xilinx-IBERT-Logik [202] angebunden ist. Mithilfe dieser Komponente lassen sich Hochgeschwindigkeitsübertrager von Xilinx mittels der Übertragung von PRBS-Daten evaluieren. Da der Xilinx-IBERT-Logikbaustein eine tiefe Verzahnung mit den Transceivern besitzt, lässt sich ebenfalls detailliert der Status des Links analysieren, wie die Rate des vom Link abgeleiteten Taktes, das BER des Links und das aus dem empfangenen Signal abgeleitete Augendiagramm. Ebenfalls lässt sich eine umfangreiche Parametrisierung und Steuerung der Serialisierer-Primitiven vornehmen. Dadurch lassen sich beispielsweise verschiedene Teile der Übertragerlogik zurücksetzen oder die Eigenschaften der Übertragungsparameter und Equalizer der Transceiver so einstellen, dass ein optimales Augendiagramm am Empfänger erzielt werden kann.

Tests dieses Aufbaus zeigten, dass sowohl im freilaufenden Fall der PLL, als auch im aktiv regelnden Zustand keine messbaren Unterschiede bei der Signalübertragung über den 5 Gbit/s bzw. 4.8 Gbit/s Xilinx-IBERT-Daten-Link feststellbar sind. Die Übertragung verlief in beiden Fällen stets fehlerfrei. Die in Abbildung 8.8 dargestellten Ausschnitte entstanden nach etwa 30 Minuten Messdauer, woraus bei der gegebenen Link-Rate von etwa 5 Gbit/s ein BER von besser als 10^{-13}

GTX_X0Y10		GTX_X0Y10	
MGT Settings		MGT Settings	
MGT Alias	GTX2_117	MGT Alias	GTX2_117
Tile Location	GTX_X0Y10	Tile Location	GTX_X0Y10
MGT Link Status	5.0 Gbps	MGT Link Status	4.8 Gbps
PLL Status	QPLL LOCKED	PLL Status	QPLL LOCKED
Loopback Mode	None	Loopback Mode	None
● ● ●		● ● ●	
RX Bit Error Ratio	6.974E-014	RX Bit Error Ratio	6.154E-014
RX Received Bit Count	1.434E013	RX Received Bit Count	1.625E013
RX Bit Error Count	0.000E000	RX Bit Error Count	0.000E000
BERT Reset	Reset	BERT Reset	Reset
Clocking Settings		Clocking Settings	
TXUSRCLK Freq (MHz)	125.03	TXUSRCLK Freq (MHz)	120.03
TXUSRCLK2 Freq (MHz)	125.03	TXUSRCLK2 Freq (MHz)	120.03
RXUSRCLK Freq (MHz)	125.03	RXUSRCLK Freq (MHz)	120.03
RXUSRCLK2 Freq (MHz)	125.03	RXUSRCLK2 Freq (MHz)	120.03

Abbildung 8.8: Messergebnisse der Xilinx-IBERT-Komponente am TFC-Slave. Der auf den TFC-Master synchronisierte Systemtakt des TFC-Slaves von 125 MHz bzw. 120 MHz diente als Referenztakt des a) 5 Gbit/s bzw. b) 4.8 Gbit/s Hochgeschwindigkeits-Glasfaserlinks

resultiert. Bei einer längeren Messdauer wären mit großer Wahrscheinlichkeit auch weitaus geringere BERs ermittelbar (z.B. mehr als 2 Tage notwendig für 10^{15} übertragene Bits). Für den Fall eines Glasfaser-Loopbacks am Slave, statt des dargestellten Aufbaus mit Master-Slave-Link, ließen sich ähnliche Messergebnisse erzielen.

Der Hauptgrund für die geringen Bitfehlerraten ist der, dass im synchronisierten Zustand die Sollwertänderungen sehr gering ausfallen und somit der Betrieb des Oszillators kaum gestört wird, was sowohl für die nur wenig einstellbaren VCOs, aber auch für die programmierbaren Oszillatoren der Fall ist.

8.2.3 Konstanz der Übertragungslatenz

Ein weiteres Testszenario ist in Abbildung 8.9 dargestellt. Ziel dieses Aufbaus ist es, die Übertragungslatenz des geteilten TIM/FC-Links zu bestimmen und die Konstanz der Übertragung auszuwerten. Dabei kann eine präzise Messung der Zwei-Wege-Latenz mittels durch DMTD-Phasenwerte verbesserter Empfangs-

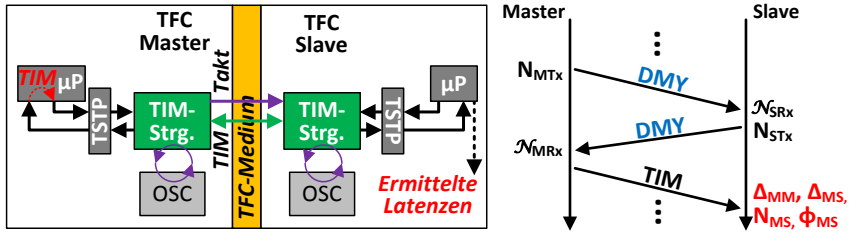


Abbildung 8.9: a) Testzenario zur Evaluierung der Übertragungslatenz synchronisierter TFC-Links und b) beispielhafter Nachrichtenaustausch zur Zeitstempelgenerierung

zeitstempel erfolgen und so die genauen Übertragungsdauern zwischen den verwendeten Messpunkten bestimmt werden.

Im hier visualisierten Fall ist die Übertragungsstrecke an beiden Enden an Microprozessoren angebunden und es werden zur Bestimmung der Konstanz und damit des Determinismus der Übertragungsstrecke, Paketumlaufzeitmessungen mittels des in Kapitel 7.2.2 erläuterten Protokolls zur Zeitsynchronisation des Glasfasersystems durchgeführt. Dabei wird zunächst der Systemoszillator am TFC-Slave auf die Frequenz des Masters eingestellt, um die Ermittlung stabiler Phasenmesswerte zu erlauben. Mittels eines periodisch wiederholten Austauschs von Lernnachrichten (DMY) nach Abbildung 8.9 b werden auf beiden Seiten der Übertragungsstrecke Zeitstempel erzeugt, worauf die zwei als letztes erzeugten Zeitstempel des Masters mittels einer TIM-Nachricht an den Slave übertragen werden. Vom System werden nicht nur Zeitstempel auf der Basis von Taktzyklen erzeugt, sondern es werden ebenfalls die DMTD-Phasenmesswerte zur Verbesserung der Empfangszeitstempel verwendet. Das Vorgehen zur Verfeinerung der Zeitstempel ist im Grundlagenkapitel 2.7 erläutert.

Zur Auswertung des zeitlichen Verlaufs der Paketumlaufzeitmessung kommt wieder das zyklisch adressierte BRAM zum Einsatz, das bereits für die Auswertung der PLL verwendet wurde. Abbildung 8.10 stellt den Verlauf der erzeugten Zeitstempel exemplarisch dar. Die dabei sichtbaren Abstände der Master- und Slave-Zeitstempel zueinander werden aufgrund nicht synchronisierter Taktzykluszähler am Slave verursacht. Die Verzögerungszeiten zwischen den aufgezeichneten Zeitstempeln am Slave (N_{SRX} zu N_{STX}) werden primär durch den Ablauf des Microprocessor-Programms verursacht. Da dieser, neben der Zwei-Wege-Latenzmessung, schwerpunktmäßig die Routinen der System- und Hilfsoszillator-PLL, einschließlich der Bedienung der seriellen Schnittstellen in Richtung der Oszillatoren und der Berechnung der neuen Sollwerte, bearbeiten muss,

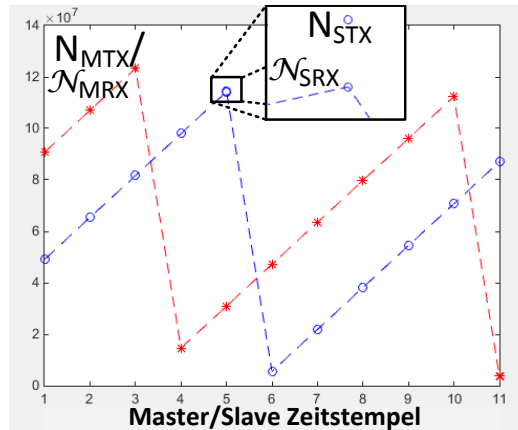


Abbildung 8.10: Zwei-Wege-Latenzmessung - Ausschnitt Zeitstempel auf Taktzyklenbasis ohne synchronisierte Taktzyklenzähler am Master (rot) bzw. Slave (blau)

variiert die Zeit zwischen den Zeitstempeln am Slave stark in Abhängigkeit der Auslastung dessen Prozessors.

Die eigentliche Berechnung der Zwei-Wege-Latenz der Übertragungsstrecke ist allerdings nicht von der erwähnten Verarbeitungszeit am Slave abhängig, da sich diese nach Gleichung 2.7 des Grundlagenkapitels 2.7 aus den Zeitstempeln berechnen lässt.

Bei den Messungen kam der in Abbildung 8.2 dargestellte Aufbau des TFC-Master-Slave-Systems zum Einsatz. Da das Glasfaserkabel und dessen Länge bei gleichbleibenden Temperaturen und ohne mechanische Belastungen nur einen geringen Einfluss auf die Konstanz der Übertragung hat, wurden für erste Tests im Labor verfügbare 10-Gbit-Duplex-Multimode-Glasfaserkabel von 1 m 50 $\mu\text{m}/125 \mu\text{m}$ OM3- [8] und 10 m OM2-Kabel [67] verwendet, auch wenn diese nicht der final benötigten Länge von etwa 20 m entsprechen. Für weitere zukünftige Auswertungen werden allerdings die Länge und die Eigenschaften des Kabels eine Rolle spielen, da diese die Übertragungslatenz und die Link-Asymmetrie der Übertragung beeinflussen (\rightarrow Slave Synchronisationsphase). Eine besonders wichtige Änderung zukünftiger Messaufbauten wird die Ersetzung der MMF-Duplex-Glasfaserübertrager durch bidirektionale SMF-Module darstellen, da hierdurch die Link-Asymmetrie minimiert werden kann.

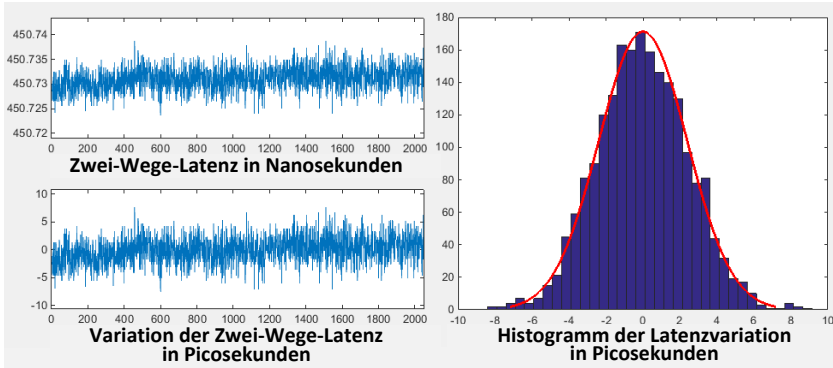


Abbildung 8.11: Zwei-Wege-Latenzmessung, $f_{\text{sys}} = 125 \text{ MHz}$ mit 1m Faser - präzise Latenz mit Subtaktzyklusinformation und Histogramm der Variation um den Mittelwert ($\sim 450.731 \text{ ns}$)

Eine visualisierte Darstellung der Ergebnisse von jeweils etwa 2000 Messungen der Zwei-Wege-Latenz Δ_{MM} für das System mit VCOs ist in den Abbildungen 8.11 und 8.12 dargestellt. Die breite der Bins des Histogramms wurde in der Darstellung entsprechend den diskreten Schritten der Auflösung der DMTD-Phasenmessung von $1/2^N \approx 0.5 \text{ ps}$, $N = 14$ gewählt.

Für das System mit VCO als Systemtaktquelle konnte die Zwei-Wege-Latenz mit einer Präzision bestimmt werden, die mit etwa $\pm 10 \text{ ps}$ der Präzision der DMTD-Phasenmessung nahekommt, wie sie bereits für die beiden PLL-Messungen ermittelt werden konnte. Dies hat den Grund, dass Sendezeitstempel stets mit der steigenden Taktflanke erzeugt werden und der Zeitpunkt des Empfangs der Pakete mithilfe der DMTD-Phasenmessung präzise bestimmt wird, wobei im vorliegenden System eine theoretische Auflösung von 0.5 ps zur Verfügung steht. Würde sich das statistisch unabhängige Rauschen der beiden Oszillatoren, das sich in den Subtaktzyklussignalen ϕ_{MRX} und ϕ_{SRX} niederschlägt, konstruktiv überlagern, könnte somit auf Basis der bei der PLL ermittelten Präzision der DMTD-Phasenmessung von $\pm 10 \text{ ps}$ eine theoretische maximale Abweichung von $\pm 20 \text{ ps}$ auftreten, da diese additiv verrechnet werden.

Die Konstanz der Messung der Zwei-Wege-Latenz änderte sich bei Verwendung des 10 m-Kabels im Vergleich zur Variante mit 1 ka. Die maximale Abweichung der Messung errechnete sich ebenfalls zu etwa 9 ps . Bei dieser Messung war zudem ersichtlich, dass sich die Übertragungsdauer um 81.5 ns (siehe Abbildung 8.12) vergrößert, was mit $Lat_{\text{Fiber}}(18m) \approx 18m / (c_0 \cdot 0.7) = 85.77 \text{ ns}$ näherungsweise der erwarteten zusätzlichen Zwei-Wege-Latenz entspricht, die durch

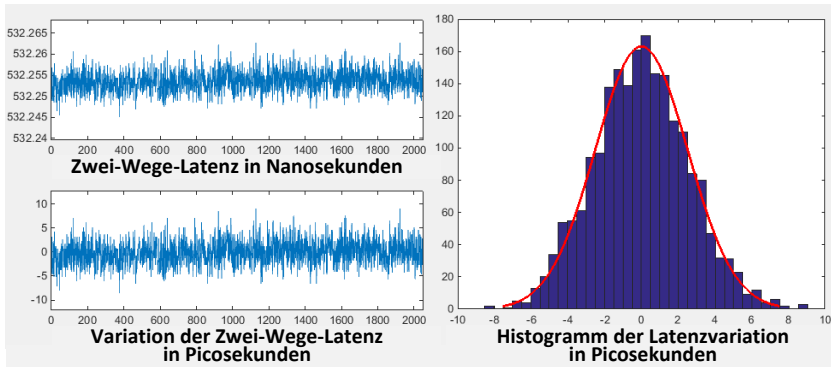


Abbildung 8.12: Zwei-Wege-Latenzmessung, $f_{sys} = 125 \text{ MHz}$ mit 10 m Faser - präzise Latenz mit Subtaktzyklusinformation und Histogramm der Variation um den Mittelwert ($\sim 532.2525 \text{ ns}$)

die zusätzliche Kabellänge von 18 m bei 70% der Lichtgeschwindigkeit innerhalb der Glasfaser (häufig verwendeter Richtwert) verursacht wird. Bei dieser Messung wurde der im Folgenden Unterkapitel erläuterte Mechanismus des Bit-Slides noch nicht berücksichtigt, was lediglich einen Einfluss auf die gemessenen absoluten Latenzen des 1 m und 10 m Kabels haben kann.

Da sich die anderen beiden Varianten des Glasfaser-TFC-Systems lediglich dadurch vom ersten System unterscheiden, dass anstatt eines VCOs ein programmierbarer Oszillator als Systemtakt verwendet wird, wurden die Messungen der Zwei-Wege-Latenz nicht für diese Systeme durchgeführt. Die Konstanz der Messung ändert sich durch die Wahl des Systemoszillators nur wenig, da sich lediglich der Anteil des Rauschens innerhalb der Messung in Abhängigkeit der Regelungspräzision der PLL ändern würde ($\pm 10 \text{ ps}$ bzw. $\pm 30\text{-}40 \text{ ps}$).

8.2.4 Wiederholbarkeit der Phasoffsetkompensation

Im vorliegenden System sind die Xilinx GTX-Transceiver [198] mit elastischen Puffern instanziiert. Innerhalb dieser Übertrager werden eingehende Datenströme zunächst durch die sogenannte *Physical Medium Attachment (PMA)*-Schicht geleitet, das Equalizer und eine *Clock and Data Recovery (CDR)*-Stufe beinhaltet. Darauf erfolgt die Bestimmung der Bit-Ausrichtung und eine Dekodierung des Leitungscodes innerhalb der *Physical Coding Sublayer (PCS)*-Schicht bevor die parallelen Datenworte an die FPGA-Logik weitergeleitet werden. Hierbei wer-

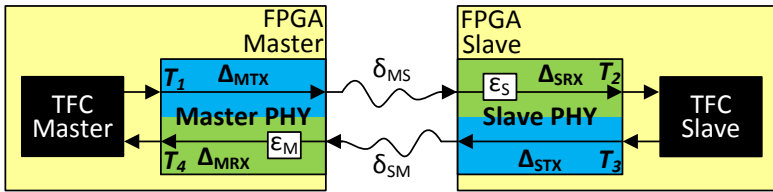


Abbildung 8.13: Blockschaltbild der TFC-Übertragungskette mit MGT-Übertragern (PHY) und Bit-Slide (ϵ_M, ϵ_S) nach [188]

den innerhalb des PMA und PCS zwei verschiedene Takte verwendet, was bewirkt, dass die Datenströme über einen Taktdomänenübergang transferiert werden müssen.

Generell besitzen die beiden Takte initial keine vorhersagbare relative Phasenlage, sodass diese von Hand durch zusätzliche externe Logik vor der Datenübertragung eingestellt werden muss oder der Taktdomänenübergang mittels des elastischen Puffers umgesetzt werden kann. Der elastische Puffer erlaubt dabei eine einfachere Handhabung der Bit-Ausrichtung, allerdings erhöht sich dadurch die Latenz im Vergleich zum ersten Ansatz, welcher auch Buffer Bypass Modus genannt wird. Bei verschiedenen Systemstarts besitzen die Takte eine beliebige Phasenlage, was zu unterschiedlichen Verzögerungszeiten durch den elastischen Puffer führt, der die Bit-Ausrichtung innerhalb der Datenworte anpasst. Um eine näherungsweise stabile Messung der Paketumlaufzeit bei wiederholten Systemstarts für die Zeitsynchronisation zu ermöglichen, muss folglich die Bit-Verzögerung des Transceivers ermittelt und in die Berechnung einbezogen werden.

Dies kann mittels eines am GTX-Übertrager angeschlossenen relativ einfachen Rx-Bit-Slide-Moduls erfolgen, das in White Rabbit entwickelt wurde. Dort wird unter Verwendung der "Comma_detected" und "byte_is_aligned" Signale des GTX-Übertragers die Bit-Ausrichtung ermittelt. Dabei wird nach einem Reset zunächst das Setzen des ersten Signals abgewartet, worauf solange die Daten per "Rx_Slide" Signal bitweise verschoben werden, bis das zuletzt genannte Signal aktiv wird. Die Anzahl durchgeführter logischer Bit-Schiebeoperationen wird darauf an den Microblaze weitergegeben, um nach Gleichung 8.2 die korrekte Zwei-Wege-Latenz zu berechnen. Dabei bewirkt eine Bit-Verschiebung eine zusätzliche Latenz von $T_{UI_GTX} = 1/f_{Linerate_GTX} = 400 \text{ ps}$ bzw. 416.67 ps , was als Unit Interval der seriellen Datenübertragung bezeichnet wird. Der Bit-Slide-Wert des Masters ϵ_M wird als Teil der Timing-Nachricht vom Master zum Slave gesendet.

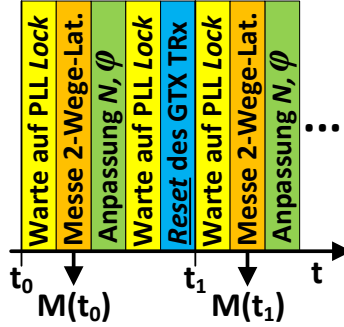


Abbildung 8.14: Zeitlicher Ablauf zur Auswertung der Wiederholbarkeit der Zwei-Wege-Latenzmessung

Da sich die Bit-Slide-Werte am Master ε_M bzw. Slave ε_S nach jedem Reset des Hochgeschwindigkeitsübertragers verändern, sich allerdings die Latenz Δ_{MM} abzüglich der Bit-Slides näherungsweise konstant verhält, wird diese Latenz für die Schätzung der Ein-Wege-Latenz Δ_{MS_corr} verwendet. Damit ergeben sich die Gleichungen 8.2, welche sich aus den Gleichungen 2.7, 2.11 und 2.12 ableiten lassen. Aus der Latenz Δ_{MS_corr} lässt sich durch Addition des dem Bit-Slide ε_S entsprechenden Phasenwertes $\phi(\varepsilon_S)$ schließlich die Sollphase am Slave ϕ_{S_corr} berechnen.

$$\begin{aligned} \Delta_{MM_corr} &= \left[(\mathcal{N}_{MRX} - \mathcal{N}_{MTX}) - (\mathcal{N}_{STX} - \mathcal{N}_{SRX}) \right] - \left[\phi(\varepsilon_M) + \phi(\varepsilon_S) \right] \\ \Delta_{MS_corr} &= 1/2 \Delta_{MM_corr} \\ \phi_{S_corr} &= \phi_{MTX} + (\Delta_{MS_corr} \bmod T) + \phi(\varepsilon_S); \quad \phi_{MTX} = 0 \end{aligned} \quad (8.2)$$

In Abbildung 8.14 ist der zeitliche Ablauf der Prozessierungsschritte dargestellt, der zur Vermessung der Variation der Zwei-Wege-Latenz bei wiederholten Resets der GTX-Übertrager automatisiert durchlaufen wird. Dabei wird zum Systemstart zunächst auf das Erreichen des stabilen Zielzustands der Soft-PLL (lock) gewartet. Dies stellt innerhalb der Messung jeweils den Systemzustand dar, der zwischen den folgenden Einzelschritten immer wieder eingenommen wird. Darauf wird abwechselnd der Slave auf den Master synchronisiert bzw. ein Reset des MGT-Transceivers durchgeführt. Bei der Anpassung des Slaves wird neben der Zeitbasis auch die Phase des Slaves präzise eingestellt, indem der Phasensollwert der PLL mittels des Vorgehens nach Gleichung 8.2 angepasst wird (siehe $Phase_{Ref}$ in Abbildung 6.7).

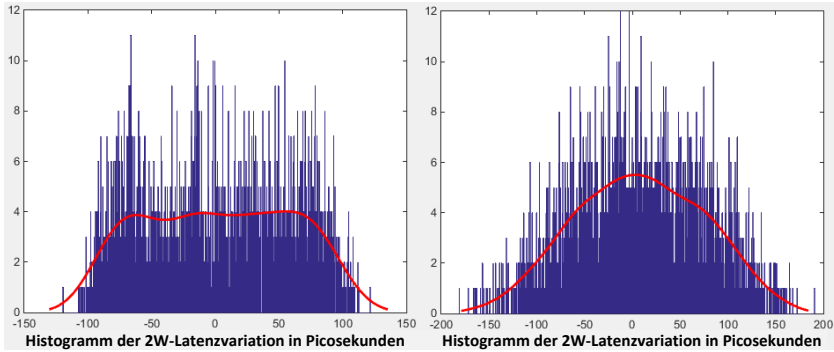


Abbildung 8.15: Variation der gemessenen Zwei-Wege- (2W-) Latenz des TFC-Links in Picosekunden bei wiederholten Resets der GTX-Transceiver. System mit *a*) VCO als Systemtaktquelle (Var. 1) und *b*) programmierbaren Oszillatoren als Systemtakt- und Hilfstaktquelle (Var. 3)

Die zwischenzeitlichen Resets ausgenommen, stellt dies die Prozedur dar, welche im TFC-System für eine präzise frequenz- und phasenangepasste Synchronisation zum Einsatz kommt. Nach Durchführung dieser Anpassung kann, je nach vorliegendem physikalischem Medium, lediglich eine Kalibrierung eines konstanten systeminhärenten Phasenversatzes notwendig sein, welcher durch unterschiedliche DS-/US-Latenzen hervorgerufen wird.

Abbildung 8.15 stellt die Variation der gemessenen Zwei-Wege-Latenzwerte abzüglich der Bit-Slides $\varepsilon_M, \varepsilon_S$ dar, wobei der Mittelwert der Latenzmessung im Fall a etwa 442.6ns und im Fall b 460.3 ns beträgt. Dabei liegen dem dargestellten Histogramm 2048 Zwei-Wege-Latenzmessungen zugrunde. Der Unterschied der gemessenen durchschnittlichen Verzögerungen ergibt sich durch die leicht verschiedenen verwendeten Taktfrequenzen von 125 MHz bzw. 120 MHz. Wird die durchschnittliche Verzögerungszeit aus Fall b über den verwendeten Takt als Proportionalitätsfaktor mit Fall a verglichen, weichen diese lediglich um etwa 0.7 ns voneinander ab, was 1.6‰ der Übertragungslatenz entspricht. Dies zeigt zudem, dass die Konstanz der Übertragung von der Variation der Taktquelle und der -frequenz unabhängig ist.

Zudem ist gerade in Abbildung 8.15 a erkennbar, dass die Messergebnisse tendenziell keiner Gaussverteilung folgen. Dies hat den Grund, dass der Zustand nach einem Neustart bzw. Reset des Systems zufällig ist, sodass jede Phasenlage der Oszillatoren mit derselben Wahrscheinlichkeit auftreten kann. Die GTX-

Transceiver bestimmen beim Empfang der Daten deren beste Ausrichtung relativ zum Übertragungstakt des Links. Dabei kann mittels des Bit-Slide-Mechanismus theoretisch eine unbekannt Variation von einem halben Unit Interval bei der Datenrate des MGTs auftreten (z.B. $1/2 T_{UI} = 1/2 \cdot 2.5 \text{ GHz} = 200 \text{ ps}$), da die restlichen 180° des Unit Intervals zum invertierten Datenstrom führen würden. Die Ergebnisse der dargestellten Messung folgen diesem Verhalten, wobei die maximale Abweichung zu etwa $\pm 120 \text{ ps}$ bzw. $\sim \pm 190 \text{ ps}$ im Falle des Systems in Abbildung 8.15 a bzw. b bestimmt werden konnte.

Um alle Einflüsse auf die Genauigkeit der Synchronisation einzuschließen, sollten zukünftige Messungen des Weiteren die absolute Abweichung der eingestellten Slave Phase relativ zum Master untersuchen. Dazu können beispielsweise die Takte des Masters und Slaves ausgegeben werden und deren Versatz mittels einer genauen Auswerteeinheit, beispielsweise eines FPGAs oder eines Oszilloskops, verglichen werden. Erste Auswertungen mittels der Mathematikfunktionen eines eher einfachen Oszilloskops zeigten für den Fall in Abbildung 8.15 a, dass die hier ermittelte Genauigkeit wahrscheinlich nicht ganz erreicht werden kann, da während Systemtests eine maximale Abweichung des Systems von etwa $\pm 1/2 T_{UI} \pm \Delta\epsilon$; $\Delta\epsilon \approx 50 \text{ ps}$ um die Phasenlage des Masters auftrat.

Zusammenfassend lässt sich aus den dargestellten Messergebnissen schlussfolgern, dass die Synchronisation eines Master-Slave-Systems mittels der im TFC-System umgesetzten Konzepte mit sehr hoher Präzision und Genauigkeit möglich ist. Dabei verhält sich die synchronisierte Übertragungstrecke so deterministisch, dass die Übertragungslatenz nur um wenige Picosekunden im Rahmen der Messgenauigkeit schwankt. Wird der Wert der Zwei-Wege-Latenz halbiert, lässt sich analog zum Vorgehen in PTP [57] die Ein-Wege-Latenz schätzen und deren Taktzyklus- und Subtaktzyklusinformation zur präzisen Einstellung des Slaves verwenden. Dabei lassen sich gerade letztere Werte zur Berechnung des Phasenversatzes des Systemoszillators am Slave einsetzen. Eine PLL lässt sich dabei so auf diese Phasenwerte einstellen, dass eine äußerst genaue Kopie des Verhaltens des Master-Oszillators am Slave erzeugt werden kann. Auch bei wiederholten Systemstarts lassen sich mittels des TFC-Systems reproduzierbar genau Slaves auf einen Master einstellen, was innerhalb weniger hundert Picosekunden, unterhalb eines Unit Intervals des Übertragungslinks, erfolgen kann. Damit eignet sich dieses System, um auch bei einer großen Anzahl Slave-Karten und bei unterbrochenem Systembetrieb ein verlässlich und genau synchronisiertes System aufzubauen.

Etwas negativ bemerkbar machte sich die resultierende Zwei-Wege-Latenz des glasfaserbasierten TFC-Links von 450 ns bei gerade einmal 1 m Glasfaserkabel, die maßgeblich durch die bei einer Datenrate von etwa 2.5 Gbit/s betriebenen Xilinx GTX-Transceiver [198] hervorgerufen wird. Da diese mit elastischen Sende-

/Empfangspuffern konfiguriert wurden, können zukünftige Evaluierungen zeigen, ob durch eine Änderung der Parametrierung des Übertragers eventuell geringere Latenzen umsetzbar sind.

9 Ein PON zur Signalverteilung innerhalb von TFC-Systemen

Durch den Trend des immer weiter ansteigenden Bedarfs an digitaler Internetbandbreite werden gerade auch die optischen Zugangsnetze weiterentwickelt, um diesen Bedarf besser abdecken zu können. Schwerpunktmäßig werden aus diesem Grund auch in der Forschung Alternativen zu den aktuellen TWDM PONs untersucht, mit denen beispielsweise die spektrale Effizienz erhöht werden kann. Ein sehr bekanntes Projekt, das die Erzielung hoher Datenraten von bis zu 50 Gbit/s im Fokus hatte, ist das Accordance PON [34]. Bei dem dort verwendeten OFDMA-Ansatz erfolgt die Zuteilung des Mediums an die Nutzer nicht mittels eines Zeitmultiplex sondern durch eine Aufteilung des Frequenzbereichs.

Ein großer Nachteil aktuell kommerziell erhältlicher TDMA-basierter PONs ist, dass diese bei steigender Nutzerzahl konzeptbedingt gerade im US hohe Extremfall-Latenzen und niedrige durchschnittliche Übertragungsraten verursachen. Damit sind neuartige PONs, die stattdessen auf ein Frequenzmultiplexverfahren setzen, gerade auch für Systeme wie das TFC-System dieser Arbeit, interessant, da hier geringe und vor allem auch nur wenig schwankende Übertragungslatenzen wichtig sind.

Aus diesem Grund wird in den folgenden Teilkapiteln ein PON vorgestellt, welches sich den Ansatz der Aufteilung des Frequenzbereichs zur Nutzertrennung zunutze macht, das sogenannte *Optical Acces Network using OFDM TONES (OTONES)* PON. Statt sich besonders hohe Datenraten als festes Ziel zu setzen, wurde in dem hier erläuterten PON stattdessen primär angestrebt, eine robuste Übertragung bei gleichzeitig niedrigen Kosten aufseiten der ONUs zu erhalten, da dies eine spätere Verwendbarkeit des zugrundeliegenden Konzepts erleichtert.

Zunächst wird im Folgenden der zugrundeliegende elektro-optische Aufbau des PONs erläutert, das Wellenlängen- und Bandbreitenschema des OTONES PON vorgestellt und der digitale SC-FDMA-Protokollrahmen beschrieben. Anschließend werden die FPGA-basierten Zugangsknoten auf Anbieter- und Teilnehmerseite beschrieben.

Am Ende des Kapitels erfolgt eine Abschätzung der Latenz des PONs und eine Evaluierung der DS-/US-Kommunikation im Laboraufbau.

9.1 SCFDMA PON mit FPGA-basierten Zugangsknoten

In diesem Kapitel wird das elektro-optische Konzept des PONs erläutert, welches als physikalisches Verteilungsnetzwerk des FPGA-basierten SC-FDMA-Zugangsnetzes zum Einsatz kommt. Folgende Erläuterungen beziehen sich auf das in Abbildung 9.1 nach [123] dargestellte OTONES PON. Hierbei besitzt das Netz, wie im Falle des Accordance PONs, eine Punkt-zu-Multipunkt-Topologie, welche sich aus einem OLT und mehreren ONUs zusammensetzt, die über mehrere Kilometer Glasfaser miteinander verbunden sind. Grundlegend ist hierbei, dass aus Gründen der Kosteneinsparung, ein Laser auf der Seite der ONUs vermieden werden soll. Deshalb kommt dort ein *Silicon-based Photonic Integrated Circuit (SI-PIC)* zum Einsatz, welcher dazu in der Lage ist, durch Remodulation eines optischen Referenzsignals (Seed) im DSs Daten im US in Richtung des OLTs zu übertragen.

Innerhalb der PON-Architektur wird dabei ein Übertragungskonzept verwendet, bei dem je Wellenlänge zwei sogenannte Slices von je etwa 12.5 Gbit/s eingesetzt werden (E). Dabei ist jede Slice in vier Slots der Bandbreite $W_{Slot} = 3.125$ GHz aufgeteilt, wodurch sich das sogenannte Pilot-Upstream-Downstream-Guardband-Slot-Schema (PUDG) ergibt (D). Im Pilot-Slot wird dabei der erwähnte DS Seed P_1 eingefügt. Der Guardband-Slot ist für die Laser-lose Modulation des USs notwendig, um bei diesem Prozess entstehende Störsignale außerhalb der anderen drei Slots halten zu können.

Im DS generiert ein OLT Tx einen DS-Slot (A) (siehe Kapitel 9.3.1), dem der DS Seed bei $2.5W_{Slot}$ hinzugefügt wird (B). Darauf wird das elektrische Signal mittels eines I/Q-Modulators und dem optischen Träger moduliert (C), dessen Ausgangssignal gefiltert und verstärkt (D) und über ein sogenanntes Bündeladerkabel (trunk fiber) übertragen (E).

Ein nachgeschalteter Remote Hub ist dabei für die Verteilung der Signale des PONs zuständig (F), wobei zunächst die geraden bzw. ungeraden Slices herausgefiltert (*Filter Wavelength Division Multiplexing (FWDM)*) und anschließend die gewünschte Wellenlänge selektiert wird (*Dense Wavelength Division Multiplexing (DWDM)*). Nach einer weiteren Übertragungsstrecke und einem *Optical Distribution Network (ODN)* (G) gelangt das Signal über einen bidirektionalen *Semiconductor Optical Amplifiers (SOA)* und einen optischen Splitter/Kombinierer zum ONU. Dort wird das Signal mittels des Ansatzes der remote heterodyne detection empfangen (H), was durch ein Mischen des DS-Signals mit dem DS Seed ge-

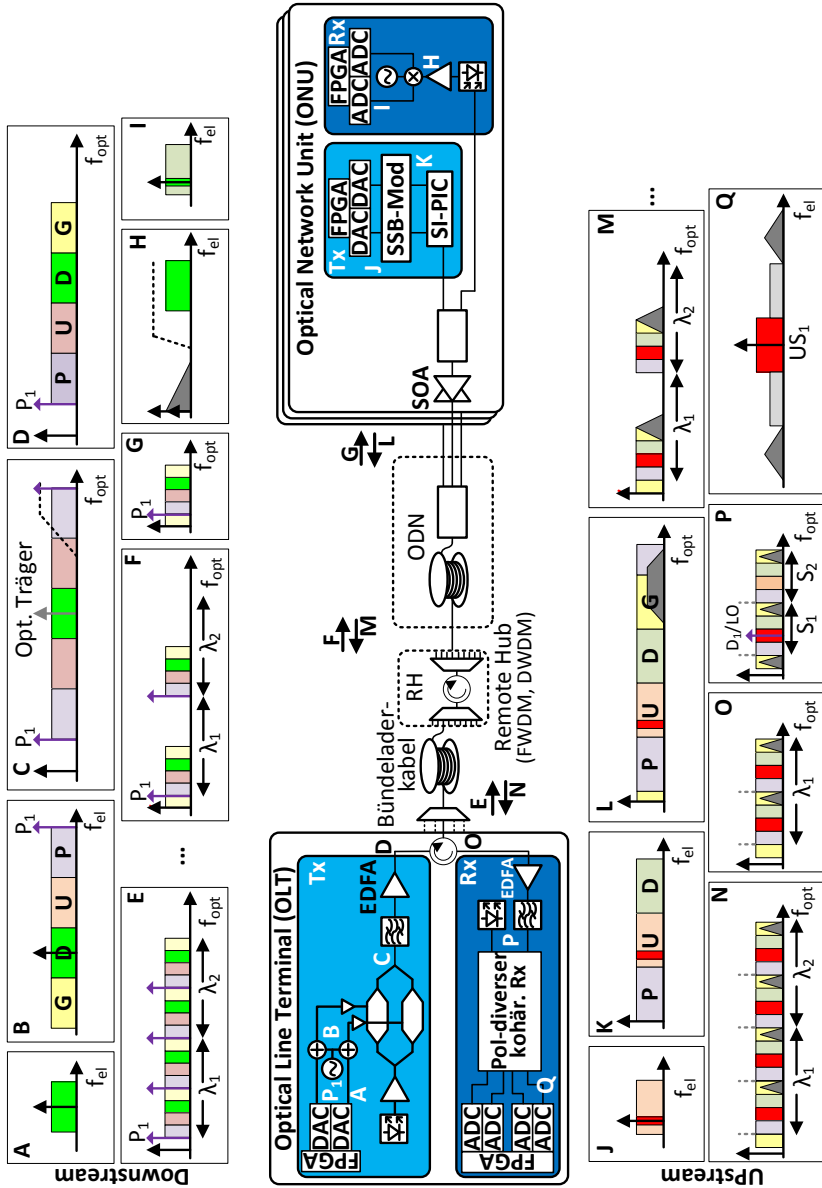


Abbildung 9.1: Gesamtkonzept der OTONES-PON-Architektur nach [122], [123]

schieht [121]. Im Anschluss wird das Empfangssignal mithilfe eines elektrischen I/Q-Demodulators ins Basisband des ONUs gemischt (*I*). Schließlich prozessiert ein digitaler Echtzeit SC-FDMA-ONU-Empfänger nach der analog-digital Wandlung den Datenstrom (siehe Kapitel 9.3.2).

In US-Richtung erzeugt ein ONU-Transmitter das Signal einer SG (*J*). Im ersten analog-elektrischen Schritt wird darauf eine *Single SideBand* (SSB)-Modulation durchgeführt (*K*), was mithilfe einer am Technion, Haifa entwickelten SSB-Modulatorkarte geschieht. Darauf wird mittels eines SI-PICs und des DS Seeds das Signal des USs optisch moduliert, anschließend in die zentrale ONU-Faser eingekoppelt und durch den bereits erwähnten bidirektionalen SOA verstärkt (*L*).

Im Anschluss wird der Remote Hub in entgegengesetzter Richtung des DS durchlaufen (*M/N*) und das Signal über einen zirkularen Koppler in Richtung des OLT-Empfängers geleitet (*O*). Dort wird das Signal zunächst vorverstärkt und gefiltert (*P*) und mittels eines polarisationsdiversen kohärenten Empfängers [122] empfangen (*Q*). Der Grund für dieses Vorgehen ist der, dass das Signal von mehreren ONUs unterschiedliche Polarisierungen aufweisen kann, was durch das verwendete Remodulationskonzept des USs und unterschiedliche Ausbreitungspfade geschehen kann. Würde somit der Empfänger auf eine einzige optische Polarisationskonstellation eingestellt, könnten die Daten anderer ONUs nicht empfangen werden, da im Extremfall die Polarisierungen zweier ONU orthogonal zueinander sein können. Aufseiten des digitalen OLT-Empfängers wird darauf das Signal für beide Polarisierungen entgegengenommen, in den Frequenzbereich transformiert, beide Datenströme am Ende der Verarbeitungsketten wieder zusammengeführt und die Empfängerdaten dekodiert (siehe Kapitel 9.3.4).

9.2 Wellenlängen- und Bandbreiten-Schemata des OTONES PONs

Das innerhalb des OTONES-Projektes entwickelte PON verwendet das in Abbildung 9.2 dargestellte grundlegende Bandbreitenschema [3]. Hierbei existieren spektral gesehen zwei Slices von $W_{Slice} = 12.5$ GHz Bandbreite pro optischer Wellenlänge, um in einer Punkt-zu-Multipunkt-Topologie die Kommunikation eines OLTs mit einer definierten maximalen Anzahl ONUs zu ermöglichen.

Dabei ist jede Slice in vier Slots der Bandbreite $W_{Slot} = 3.125$ GHz aufgeteilt, wodurch sich das sogenannte Pilot-Upstream-Downstream-Guardband (PUDG) Slot-Partitionierungsschema ergibt. Die Komponenten des OLTs generieren bzw. empfangen dabei Daten der vollen analogen Bandbreite eines Slots W_{Slot} . Im Falle des OLT-Transmitters werden Daten für den DS-Slot erzeugt und aufseiten des Empfängers Datenströme des US-Slots entgegengenommen. Im Basissche-

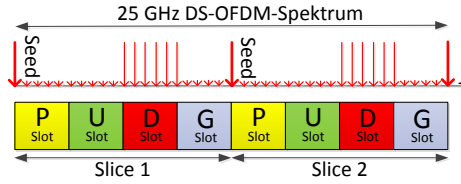


Abbildung 9.2: Bandbreitenschema einer OTONES Slice nach [3]

ma dieser Daten Slots werden 960 Subträger auf die Bandbreite W_{Slot} abgebildet und diese in 10 SGs von je 96 Subträgern unterteilt (siehe Abbildung 9.3 a). In dem 1024 Subträger bei einer Wandlerrate von $W_{SlotOS} = 3.333 \text{ GSa/s}$ prozessiert werden, wird die Slot-Bandbreite um 6.67% digital überabgetastet. Würde jeglicher Overhead des nachfolgend beschriebenen Übertragungsprotokolls beiseite gelassen, wären die OLT-Komponenten somit bei einer 16-QAM Signalmodulation dazu in der Lage, eine Rohdatenrate von 12.5 Gbit/s bereitzustellen bzw. zu verarbeiten.

Während der Systementwicklung zeigten frühe Messungen allerdings, dass bei diesem einfachen Schema der Subträgerzuteilung Probleme durch den Einfluss analoger elektrischer und optischer Komponenten auf Subträger nahe der *Direct Current* (DC)-Frequenz der SGs oder des DS- bzw. US-Slots entstehen. Dabei werden gerade diese DC-Komponenten vor allem durch die AC-Kopplung elektrischer Highspeed-*Analog-to-Digital-Converters* (ADCs) oder -DACs fast komplett unterdrückt. Im Falle von spezialisierten elektro-optischen Modulatoren [147], schnellen, sehr rauscharmen Verstärkern oder Mischern als Teil der Up-/Downconversion-Stufen, können innerhalb der Übertragungsstrecke Träger nahe der DC-Frequenz zudem durch Nichtlinearitäten stark verzerrt werden, worauf OFDM-Systeme sehr empfindlich reagieren.

Aus diesem Grund musste das Daten-Slot Schema so verändert werden, dass nahe der DC-Träger im Basisband des Daten-Slots und der SGs einige Träger ungenutzt bleiben, um das SNR am Empfänger nicht unnötig herabzusetzen. Gerade wegen des gewählten SC-FDMA-Ansatzes, bei dem sich das Rauschen einzelner Subträger auf alle anderen Träger der SG verteilt, was aufgrund der zweiten prozessierten DFT geschieht (96-Punkte DFT-Spread), würden ohne diese Maßnahme alle Subträger des ONUs einen höheren Grad an Rauschen aufweisen.

Im Falle der PON-Messungen von OTONES zeigten sich in einem Bereich von unterhalb von 7 MHz starke Signalverzerrungen/-dämpfungen, was sich auf die Verstärkerblöcke innerhalb der flexiblen elektrischen Up-/Downconversion-Stufen zurückführen ließ (siehe Abbildung 9.23). Aufgrund dessen war es notwen-

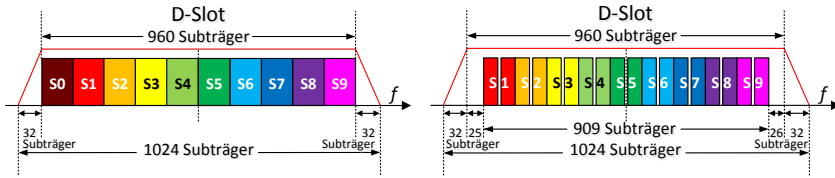


Abbildung 9.3: Grundlegendes Schema des OTONES DS-Slots

dig, das in [3] vorgestellte Übertragungsschema des Daten-Slots so anzupassen, dass fünf Subträger in der Mitte des Frequenzbandes jeder SG, das heißt etwa 16.3 MHz, ausgelassen wurden, was die SGs um denselben Umfang an Subträgern vergrößerte [113].

Um für diese Maßnahme ausreichend Bandbreite zur Verfügung zu haben, musste eine der zehn SGs entfernt werden, wodurch sich der maximal erreichbare OLT-Durchsatz um 10 % auf 11.25 Gbit/s bei 16-QAM verringert (siehe Abbildung 9.3 b). Andererseits ist das im Vergleich zu [123] angepasste Schema, bei dem eine SG um den DC-Subträger des jeweiligen Daten-Slots zentriert ist, dazu in der Lage, gleichzeitig die negativen Signaleinflüsse innerhalb des Basisbands des OLTs auf dieselbe Weise, wie im Basisband der SGs, zu umgehen. Je nach Qualität der analogen Komponenten nahe der DC-Frequenz ist es möglich, die Anzahl der ausgelassenen Subträger zu reduzieren, sodass sich die effektive digitale Überabtastung des Signals des Daten-Slots erhöht oder mehr spektraler Raum existiert, um eine größere Anzahl an SG-Subträgern zur Datenübertragung zu verwenden.

In DS-Richtung kommt dabei ein Übertragungsprotokoll zum Einsatz, das, wie bei OFDM-basierten Systemen üblich, einzelne OFDM-Symbole gleichen Typs gewissen Symbolgruppen zuweist, welche in dieser Arbeit Epochen genannt werden (siehe Abbildung 9.4).

Um innerhalb einer solchen Übertragungssequenz den Anfang eines Zyklus zu erkennen, ist dieser eine Synchronisationssequenz E_{sync} vorangestellt, welche aus 16 Symbolen besteht. Um die ONUs dabei auf das OLT-Signal synchronisieren zu können, wird in dieser Epoche eine auf der MINN-Sequenz [105] basierende Präambel übertragen, welche sich nach dem Basisschema $B_{Basic} = [A, A, -A, A]$ zusammensetzt, wobei die Länge einer Teilsequenz A, $1/4$ der Länge eines SC-FDMA-Symbols entspricht.

Verglichen mit dem Ergebnis der Auto-Korrelationsfunktion der Schmidl-Cox-Präambel, welche in ihrer Basisausführung ein weniger stark ansteigendes Extremum am Anfang der Übertragungssequenz zeigt [124], wird durch die hier

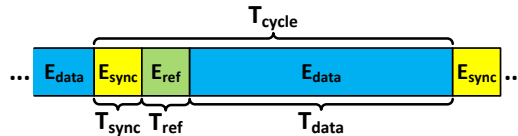


Abbildung 9.4: Zeitliches Übertragungsprotokoll im DS, das sogenannte Epochen verwendet

gewählte MINN-Anordnung ein Korrelationsverlauf mit einer ausgeprägteren Spitze erzeugt. Das Basissymbol B_{Basic} setzt sich aus den negierten/nicht-negierten Teilsymbolen A zusammen, wobei diese Zadoff-Chu Sequenzen darstellen, welche zu der Gruppe der *Constant Amplitude Zero Autocorrelation* (CAZAC)-Folgen gehören. Diese Art der Sequenz findet besonders in LTE [75] Verwendung, beispielsweise bei den primären Synchronisationssignalen.

Im Falle des OLT Tx, wird eine Zadoff-Chu Sequenz A mit Prime Root $R = 7$ und einer Länge $N_{\text{ZC}} = 240$ Samples verwendet. Durch Überabtastung der Sequenz B_{Basic} von 960 Samples um die bereits genannten 6.67%, entsteht das Symbol B_{OS} mit einer Größe von 1024 Samples. Durch rekursive Anwendung der erwähnten Vorschrift für B_{Basic} auf B_{OS} werden 16 Synchronisationssymbole erzeugt, welche eine Bandbreite W_{Slot} aufweisen und so den gesamten DS-Slot abdecken. Somit wird eine etwas längere Präambel verwendet, welche sich aus mehreren kleineren Trainingssequenzen zusammensetzt. Der Grund für diesen Aufbau der Präambel ist der, dass am ONU Rx eine Schätzung der Trägerfrequenz mit hoher Qualität ermöglicht werden soll und diese bei längeren Sequenzen mit höherer Genauigkeit erfolgen kann. Im Falle eines OFDM-basierten *Wireless Local Area Network* (WLAN)-Übertragungssystems nach [69] konnte zudem die CFO-Schätzung mit geringeren Fehlern im quadratischen Mittelwert erfolgen, wenn eine Präambel aus kurzen Trainingsymbolen statt einer grobgranularen Präambelsequenz verwendet wurde.

Um die Initialisierung von Komponenten, wie der AGC oder der Kanalkorrektur, am ONU zu erleichtern, ist die Epoche E_{ref} vorhanden, innerhalb der modulierte Daten übertragen werden, welche auf PRBS-Folgen basieren, die ebenfalls am ONU bekannt sind und in jeder Wiederholung des Übertragungsprotokolls identisch sind. In der letzten Epoche E_{data} des Übertragungszyklus, welche bei weitem die längste Folge an Symbolen umfasst, werden die Nutzdaten übertragen, welche im Demonstrationssystem von PRBS-Generatoren bereitgestellt werden.

Im Falle des OTONES PONs wird durch die zyklische Erweiterung der OFDM-Symbole (Cyclic Postfix) ein Overhead von 3.125% verursacht. Etwa 3.75% ent-

fallen auf die zusätzlichen Epochen des Übertragungsprotokolls, die nicht für Nutzdaten verwendet werden, wobei hier die folgenden Epochenlängen in Anzahl Symbolen gewählt wurden

$$N_{sync} = 16, N_{ref} = 64, N_{data} = 2048.$$

Aufgrund von Bandbreitenbegrenzungen des Hardware-Aufbaus (siehe Kapitel 9.5) musste die Abtastrate auf 3.2 GS/s reduziert werden, was die Bandbreite der Slots um etwa 4% auf $W_{Slot} = 3$ GHz verringert.

In Summe ist der OLT Tx damit in der Lage, eine Datenrate von 10 Gbit/s pro DS-Slot bei 16-QAM bereitzustellen, wobei dies einer Rate von 1.1 Gbit/s pro SG entspricht. Werden als akzeptable Untergrenze der Datenübertragung 100 Mbit/s festgelegt, können über einen DS-Slot des OTONES PONs beispielsweise 64 Nutzer bei einer Datenrate von etwa 150 Mbit/s angebunden werden, wenn eine zusätzliche TDM-Schicht zum Einsatz käme. Im Laboraufbau konnte die Funktionalität der DS-Kommunikation im optischen *Back-To-Back* (B2B)-Test demonstriert werden (siehe Kapitel 9.5).

Für den US wurde aufgrund des eher frühen Entwicklungsstandes bei Projektende, ein Protokoll verwendet, das sich direkt vom DS- Protokoll ableitet. Da für den ersten OLT-Rx-Prototypen eine Umsetzung verwendet wird, die auf der Instanzierung eines ONU Rx basiert (siehe Kapitel 9.3.4), wird für den US dasselbe zeitliche Schema wie für den DS eingesetzt. Verglichen mit dem DS-Protokoll wird dabei lediglich die Bandbreite der Präambel für die Verwendung am ONU Tx reduziert und für die anderen Epochen eine in Summe geringere, aber pro SG gesehen identische Anzahl an Subträgern zugeteilt.

Die in Kapitel 9.5 vorgestellten US-Messungen zeigen, dass mit diesem Ansatz die Kommunikation im US prinzipiell mit guter Qualität möglich ist, auch wenn der komplette Test des elektro-optischen Laboraufbaus des US, aufgrund eingeschränkter Performanz der analogen elektrischen Mischerstufen und projektbedingt begrenzter Messzeit, nicht vollständig durchgeführt werden konnte.

9.3 Digitale PON-Architektur

In den folgenden Kapiteln werden die zentralen digitalen Komponenten der PON-Architektur beschrieben. Wie bereits im Kapitel 9.2 erläutert, kommt in diesem PON der SC-FDMA-Ansatz zum Einsatz, welcher ein erweitertes Konzept von OFDMA darstellt (siehe Grundlagenkapitel 3.2). Teile dieser Erläuterungen, bezüglich der DS-Kommunikation und dessen digitaler Architektur, wurden durch den Autor in [MSA⁺14] veröffentlicht.

Dabei kommt statt einer Fourier-Transformation, mit der in der Regel die gesamte Systembandbreite (siehe W_{Slot} in Kapitel 9.2) abgedeckt wird, eine zweite in Serie geschaltete FFT bzw. DFT mit zur vorherigen Transformation inversem Verhalten zum Einsatz [108]. Ein großer Vorteil dieses Vorgehens ist, dass sich das Signal am Ende der Prozessierungskette ähnlich der Übertragung mehrerer Einzelträger (Single Carrier) verhält.

Dies resultiert daraus, dass die Informationen im Frequenzbereich einer SG durch die nachgeschaltete Transformation miteinander verrechnet werden, was beispielsweise auch die Eigenschaften des Kanals auf alle Subträger der SG gewissermaßen gemittelt verteilt. Zudem kann durch die Verrechnung der Trägerinformationen das PAPR signifikant reduziert werden, welches bei OFDM-Systemen aufgrund vieler voneinander unabhängiger, aber gleichzeitig aktiver und in geringem Frequenzabstand befindlicher Subträger sehr hoch ausfällt.

Diese Reduktion des PAPRs und damit die Verringerung der Dynamik des Ausgangssignals hat einen merklichen positiven Einfluss auf nachgeschaltete analoge Komponenten der Signalkette. Im Falle von Verstärkern ist direkt ersichtlich, dass diese mit einer höheren durchschnittlichen Ausgangsleistung betrieben werden können, ohne temporär in Sättigung zu gehen, wenn das PAPR des Eingangssignals geringer ausfällt.

Eine Besonderheit des OTONES-Übertragungskonzeptes ist die Art der Enkodierung der Trägerdaten. In üblichen OFDM-Systemen werden die zu übertragenden Datenbits direkt auf QAM-Modulationspunkte abgebildet und Subträgern zugeordnet. Dadurch müssen leichte Phasenrotationen der Subträgerdaten am Empfänger korrigiert werden, welche aufgrund eines geringen CFOs oder bei Wahl eines Abtastzeitpunkts auftreten können, der leicht vom korrekten Zeitpunkt abweicht, sich allerdings noch innerhalb des CPs befindet. Häufig wird diese Anpassung durch Untersuchung einzelner OFDM-Symbole durchgeführt oder mithilfe im Signal vorhandener Referenzträger mit bekannter Phasenlage, sogenannter Pilottöne, was die Anzahl Subträger reduziert, die für Nutzdaten verwendet werden können.

Im Gegensatz dazu, wird im System von OTONES das Prinzip des *Differential Phase Encodings (DPEs)* und der *Multiple-Symbol Differential Detection (MSDD)* [138] eingesetzt, um am Empfänger eine stabile absolute Phasenlagen zu erhalten und zusätzliche Referenzsubträger innerhalb der SGs zu vermeiden. Die Trägerückgewinnung wird hierbei auf Empfängerseite durch eine multiplizierereulose Umsetzung des MSDD-Algorithmus realisiert [177], bei der Phasenunterschiede benachbarter Subträger innerhalb einer SG analysiert werden, wodurch sich verbesserte Referenzphasenwerte und ein geringeres Phasenrauschen der dekodierten Symbole erzielen lassen.

Da die OLT- und ONU-Komponenten des DS auch die meisten Eigenschaften der SC-FDMA-Übertragung des US beinhalten, werden die grundlegenden Eigenschaften der digitalen Architektur anhand dieser Komponenten erläutert und abweichende Eigenschaften der Komponenten des US hervorgehoben.

Um die Bandbreiten der SGs des PONs nach Kapitel 9.3 durch die digitalen FPGA-basierten Verarbeitungseinheiten bereitstellen zu können, wurden für die prototypische Architektur des Laborsystem spezielle ADCs und DACs ausgewählt, die als Teil des Kapitels 9.5 erläutert werden.

9.3.1 Sendekomponente auf Anbieterseite (OLT Tx)

Der OLT-Transmitter stellt die digitale Seite zur Generierung der DS-Slot Daten dar (siehe Kapitel 9.2). Dieser verwendet viele Komponenten, welche in skalierter Größe auch am ONU-Transmitter zum Einsatz kommen.

Abbildung 9.5 zeigt die Logik des digitalen Highspeed-OLT Tx Designs, welches für die Erzeugung des SC-FDMA-Schemas, auch DFT-Spread OFDM genannt, eine große IFFT und eine kleine DFT verwendet. Um die Auswertung und die Feineinstellung der Komponente im Laboraufbau zu erleichtern, wurde der Transmitter mit einem gewissen Maß an Flexibilität entworfen, die es erlaubt, bestimmte Parameter der Verarbeitungs-Pipeline zur Laufzeit anpassen zu können. Ebenfalls stellt die Nutzerschnittelle Möglichkeiten bereit, mithilfe derer der generelle Betrieb des OLT Tx in Kombination mit den schnellen DACs des in Kapitel 9.5 beschriebenen Hardware-Aufbaus gesteuert werden kann.

Die größte Herausforderung beim Entwurf des Senders stellte der hohe Grad an Verarbeitungsparallelität dar, der notwendig ist, um etwa 3 GS/s an Durchsatz für den überabgetasteten DS-Slot mithilfe kommerziell erhältlicher FPGAs zu erreichen. Dabei wurde eine Parallelität von 16 Samples pro Taktzyklus bei einer Taktfrequenz von 208.333 MHz gewählt. Die bei der Generierung eines FPGA-Bitstroms innerhalb des Toolflows durchlaufene Platzierung und Verdrahtung der Logik wird dabei maßgeblich vom Umfang und den Abhängigkeiten innerhalb der Logik beeinflusst. Da sich für die verwendeten Xilinx Virtex-6 [200] FPGAs zeigte, dass ein Takt von etwa 400 MHz nur schwerlich in einem umfangreichen Logik Design erreichbar ist, stellt eine Taktfrequenz von nahe 200 MHz einen guten Kompromiss dar.

Alle Berechnungen, ausgenommen die parallel arbeitenden PRBS-Generatoren und die Einfügung des zyklischen Postfix, sind mit dem erwähnten Grad von Parallelität ausgelegt. Um die Größe der Logik zu reduzieren, wurde jede der Komponenten nur einmal instanziiert, da jede der Komponenten den vollen Durchsatz der OLT Tx unterstützt.

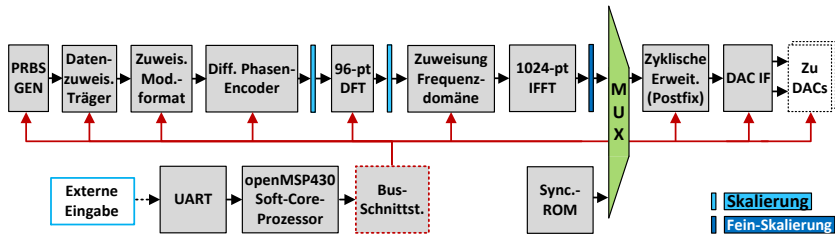


Abbildung 9.5: Blockschaltbild des SC-FDMA-OLT-Echtzeittransmitters

Die erste Verarbeitungsstufe stellt der PRBS-Generator dar, welcher die Rohdaten des Laboraufbaus erzeugt. Diese Stufe ist aus N_{SC} parallelisierten PRBS-Schieberegistern aufgebaut, deren aktueller Zustand für die Generierung von Referenzdaten zurückgesetzt bzw. auf einen anderen Initialzustand eingestellt werden kann, der dem letzten Zustand bei der Nutzdatengenerierung entspricht. In Abhängigkeit vom gewählten Modulationsformat werden bei dieser Stufe ebenfalls die Bitfolgen in Tupel gruppiert, welche die Informationen darstellen, die die späteren Konstellationspunkte definieren. Hierbei werden beispielsweise bei QPSK Tupel von je zwei Bit und bei 16-QAM Tupel von je vier Bit erzeugt.

Dieser Stufe nachgeschaltet ist der Controller, der die Subträgerzuweisung innerhalb des Senders vornimmt. Neben der Zuweisung von Eingangsdaten ist er auch für das Umschalten zwischen Nutzdaten und gespeicherten Synchronisationssequenzen am Ende der Verarbeitungskette zuständig. In der Referenz- und Datenepoche werden Daten der PRBS-Generatoren angefordert und FFT-shifted an die folgende Stufe weitergereicht. Der Terminus FFT-shift beschreibt dabei die Operation, welche die erste Hälfte mit der zweiten Hälfte der Daten einer FFT vertauscht, wie es bei den meisten digitalen Implementierungen benötigt wird, bei denen die zuerst ein-/ausgegebenen Daten die positiven und die darauffolgenden, die negativen Frequenzen des Basisbands der FFT beschreiben.

Darauffolgend werden die erzeugten Bit-Tupel in Konstellationspunkte umgesetzt. Dabei kommt eine LUT-basierte Komponente zum Einsatz, die in [34] entwickelt wurde, bei der, in Abhängigkeit der eingegebenen Bits und des Modulationsformats, komplexe Symbole der gewünschten Auflösung erzeugt werden, wobei die komplexen Werte je Sample als zwei Signale ausgegeben werden, welche dem Real- und Imaginärteil entsprechen.

Da die Phaseninformationen der Modulationssymbole im OTONES-Schema je Spektralgruppe in die Änderung der Phase zwischen den jeweiligen Konstellationspunkten integriert werden, folgt auf den Modulation Format Mapper eine

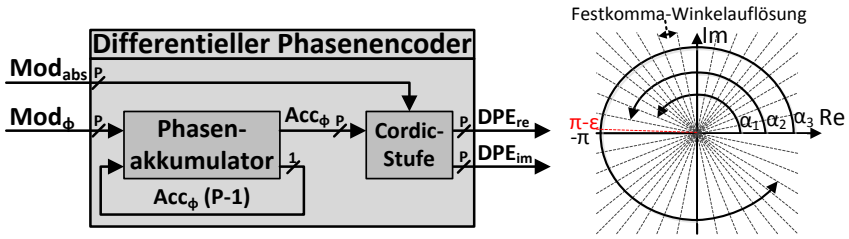


Abbildung 9.6: a) Struktur des DPE für Parallelität P und b) Festkommazahlen/Winkelabbildung mit $\alpha_3 = \alpha_1 + \alpha_2$

DPE-Enkodierungsstufe. Die DPE-Komponente folgt dabei dem Prinzip, dass der Phasenwert des aktuellen Modulationsvektors jeweils um den entsprechenden Wert des vorherigen Vektors in der komplexen Ebene gedreht wird. Im Falle des ersten Modulationsvektors eines OFDM-Symbols, wird die Phase dessen um den Phasenwert des letzten Vektors des vorherigen OFDM-Symbols gedreht. Formal lässt sich diese Operation gemäß Gleichung 9.1 beschreiben.

$$A_{DPE}(i, t) = \begin{cases} A(i, t) \cdot e^{-j\angle A(N-1, t-1)} & , i = 0 \\ A(i, t) \cdot e^{-j\angle A(i-1, t)} & , i > 0 \end{cases} \quad (9.1)$$

Daraus lässt sich schließen, dass die Berechnung des letzten Modulationsvektors A_{DPE} einer SG die Phaseninformation aller vorhergehenden Modulationsvektoren benötigt, was eine rekursive Ausführung der Enkodierungsvorschrift bedeutet und suboptimal für eine parallelisierte Highspeed-Implementierung wäre. Dennoch ist eine effiziente Umsetzung möglich, wenn folgende Maßnahmen getroffen werden. Die Struktur der DPE ist in Abbildung 9.6 dargestellt.

S1 : Werden die Berechnungen in Polarkoordinaten anstatt im kartesischen Koordinatensystem durchgeführt, entfallen die aufwändigen komplexen Multiplikationen mit dem Phasenterm im Exponenten. Stattdessen müssen lediglich reelle Additionen der Phasenwerte berechnet werden (siehe Gleichung 9.2, 9.3).

$$A_{DPE}(i, t) = |A(i, t)| \cdot e^{-j \cdot \phi(i, t)} \quad (9.2)$$

$$\phi(i, t) = \begin{cases} \phi(N-1, t-1) + \angle A(0, t) & , i = 0 \\ \phi(i-1, t) + \angle A(i, t) & , i > 0 \end{cases} \quad (9.3)$$

S2 : Durch Entwurf eines pipelinten Addierbaums der benötigten Prozessierungsparallelität P (Phase Accumulator Komponente) lassen sich nach der

anfänglichen Prozessierungslatenz in jedem Takt P neue Phasenwerte berechnen. Wird zudem die Addition der akkumulierten Phase Acc_ϕ , dem letzten Phasenwert des vorherigen Taktzyklus, in die letzte Addiererstufe verschoben, können die Datenabhängigkeiten im Addiererbaum aufgelöst werden.

- S3 : Durch Einführung einer eins-zu-eins Abbildung des Phasenraums auf den vorzeichenbehafteten Festkomma-Wertebereich (Signed Fixed-Point) des Phasenarguments (siehe Gleichung 9.4), ist eine Neuinterpretation der Phasenwerte von Konstellationspunkten nicht notwendig, da ein Überlauf des Festkomma-Wertebereichs des Phasenarguments stets den korrekten Wert annimmt, was sich den zirkular definierten Wertebereich des Zweierkomplements zunutze macht.

$$[-\pi \dots \pi - \epsilon] \hat{=} [-2^{N-1} \dots 2^{N-1} - 1] \quad (9.4)$$

- S4 : Mithilfe des *Coordinate Rotation Digital Computer (CORDIC)*-Algorithmus [182] kann die Phasenkodierung ohne Multiplikationen oder exponentielle Umwandlungstabellen umgesetzt werden. Werden dabei der Betrag des Modulationssymbols als ein kartesisches Signal mit ausschließlich Realteil und die jeweilige akkumulierte Phase als Rotationswinkel interpretiert, kann der Basisalgorithmus des CORDIC-Algorithmus innerhalb der letzten Stufe der DPE zum Einsatz kommen.

Werden zudem die Modulationssymbole aufseiten der Modulation Format Mapper zusätzlich in Polarkoordinaten ausgegeben, können diese direkt an die DPE-Komponente angeschlossen werden und die DPE-Stufe benötigt nur sehr wenige Logikressourcen. Dabei kommt eine CORDIC-Komponente zum Einsatz, die die Umsetzung aus [35] als Grundlage verwendet.

Auf diese Stufe folgen die beiden Fourier-Transformationen, die mittels einer aufwändigeren Zuweisungsstufe für die Einfügung der DC-Träger im Frequenzbereich verbunden sind (siehe Kapitel 9.2). Da hierbei eine ungerade Anzahl von ungenutzten Subträgern in einen auf 16 Samples parallelen Datenstrom an beliebigen Stellen eingefügt werden muss, kann ein sehr aufwändiges Design entstehen. Im gewählten Ansatz werden zunächst die Eingangsdaten für jede der SGs mittels Schieberegistern serialisiert. Danach folgt die Einfügung der DC-Träger im Frequenzbereich und anschließend die positionsrichtige Rekombination der Datenströme. Hierbei müssen die Zwischenergebnis-Schieberegister im zeitlichen Verlauf der Frequenzbereichsverarbeitung an den korrekten Stellen gelesen werden, worauf ein pipelintier ODER-Baum die Zusammenführung zu einem einzigen Datenstrom ermöglicht. Leider wird durch diese auf Durchsatz

optimierte Umsetzung ein erhöhtes Maß an FPGA Slices benötigt, da die gesamten Manipulationen bei relativ großen Sample-Bitbreiten erfolgen müssen.

Bei FFTs, deren Größe einer Zweierpotenz entspricht, lohnt sich eine Neuentwicklung meist nur noch in speziellen Fällen, in denen ein unerreicht hoher Durchsatz angestrebt oder eine Feinjustage notwendig ist, da frei verfügbare Umsetzungen mittlerweile ein sehr hohes Integrationsniveau bezüglich effizienter Ressourcennutzung erreicht haben. Aus diesem Grund wurden für die 1024-pt IFFT am OLT Tx und die in der 96-pt DFT verwendete 16-pt FFT eine Umsetzung gewählt, die mittels des Spiral DFT-Generators [143] erzeugt wurde. Dem Generator liegt dabei ein sehr vielseitiger bibliotheksbasierter FFT Compiler [100] zugrunde, der auf Basis einer mathematischen Beschreibung der Transformation effizienten, synthetisierbaren *Hardware Description Language (HDL)*-Code erzeugen kann. Durch die automatisierte Instanziierung und Verschaltung von Basisblöcken, wie Radix-N Butterflies, Multiplizierern, Permutationen, Rückkopplungsstufen etc., können verschiedenste FFTs generiert werden, die unterschiedlichen Durchsatzanforderungen genügen.

Nachteilig ist bei diesem Ansatz jedoch, dass dieser eine relativ hohe Prozessierungslatenz verursacht, wodurch sich die damit erzeugten FFTs weniger für die Verwendung innerhalb eines TFC-Systems eignen. Im Falle einer pipelinten 1024-pt FFT mit 16 Samples pro Takt und natürlicher Sortierung der Indizes am Ein- und Ausgang, werden zur Ausgabe des ersten Ergebnisses etwa 250 Takte benötigt, was bei einer Taktfrequenz von etwa 200 MHz, 1.25 μ s entspricht, wobei selbst die erwähnte 16-pt FFT etwa zehn Takte Latenz verursacht. Dieser Ansatz wurde allerdings dennoch für die als Machbarkeitsstudie ausgelegte Demonstration des SC-FDMA-Systems gewählt, da eine handoptimierte Umsetzung sehr viele Ressourcen benötigt und somit die Implementierung des Gesamtdesigns erschwert hätte.

Die 96-pt DFT erforderte hingegen die Entwicklung einer schnellen Mixed-Radix DFT [140], welche in Abbildung 9.7 dargestellt ist, da deren Größe keiner Zweierpotenz entspricht. Nach dem generellen Mixed-Radix-Ansatz werden für die Umsetzung der 96-pt DFT nach der Regel $N_{LG} = N_1 \cdot N_2 = 96 = 6 \cdot 16$, DFTs der Größen 16-pt und 6-pt benötigt. Um die korrekte Dekomposition in die zwei kleineren DFT-Größen zu ermöglichen, passt eine Drehfaktor-Multiplikationsstufe (TF MUL, violett) die Phasenwinkel der Signale der DFT und zwei Permutationsstufen (Index Mapping [IM], orange) die Sortierung der Signale an.

Da sich die 6-pt DFT aufgrund eines von zwei verschiedenen Primfaktors nicht ohne Weiteres mithilfe des einfachen Cooley&Tukey-Algorithmus [27] umsetzen lässt, musste eine neue, effiziente DFT mit primärer Größe entwickelt werden. Dabei wurde der Primfaktor Algorithmus [135] verwendet, mithilfe dessen zwei DFTs mit relativ primärer Größe ($6 = 2 \cdot 3$) effizient zu einer 6-pt DFT kombiniert

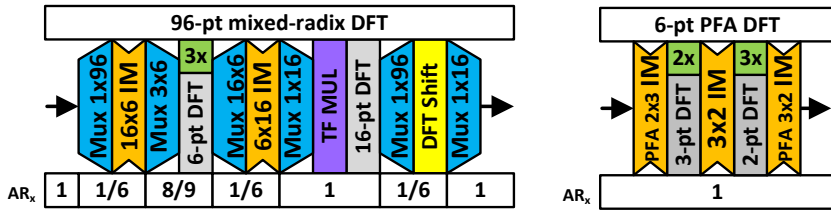


Abbildung 9.7: Struktur der effizienten 96-pt mixed-Radix DFT, welche eine 6-pt PFA DFT verwendet. Für die relative aktive Zeit einer Stufe gilt: Activity Ratio $AR_{BlockOut} = AR_{Ref} \cdot AR_x$, $AR_{Ref} = AR_{DFTin} = 1$

werden können. Für die 3-pt DFT wurde eine Umsetzung von einem optimierten Algorithmus aus [24] abgeleitet, welche nur eine Konstantenmultiplikation benötigt (siehe Abbildung 3.7 in Kapitel 3.3.2). Für eine maximale Genauigkeit wird die Auflösung innerhalb der 96-pt DFT nicht reduziert, stattdessen erfolgt die Skalierung iterativ. Dabei wird bei einer Addition die Bitbreite des Ergebnisses um ein Bit vergrößert, wobei eine Multiplikation mit einer reellen Konstanten C_{mul} die Ergebnisbitbreite um $\log_2(C_{mul})$ erhöht. Im Falle von Twiddle-Factor-Multiplikationen wird hingegen als Kompromiss keine Vergrößerung der Bitbreite vorgenommen, da der komplexe Betrag des Drehfaktors stets eins ist. Da für die 16-pt FFT eine nicht-skalierende Implementierung gewählt wurde, werden, um Clipping innerhalb der FFT zu vermeiden, vier ungenutzte *Most Significant Bits (MSBs)* als Puffer an das Ergebnis der 6-pt DFT angehängt.

Um die Genauigkeit der 96-pt DFT zu maximieren, aber nicht übermäßig viele Ressourcen zu benötigen, müssen die Eigenschaften der Zielarchitektur (Xilinx Virtex 6) berücksichtigt werden. Da deren DSP48E1 Blöcke, die als Hardware-Multiplizierer verwendet werden, eine maximale Eingangsbitbreite von 16 Bits unterstützen, muss diejenige der 96-pt DFT entsprechend gewählt werden, sodass, gerade für die 16-pt und die darauffolgende große 1024-pt FFT, das Kaskadieren von DSP48E1 Slices vermieden wird. Aufgrund der dargelegten Vorüberlegungen ergibt sich die optimale Eingangsbitbreite der 96-pt DFT gemäß Gleichung 9.5.

$$\begin{aligned}
 BW_{in} &= BW_{DSPslice} - BW_{AddBitsInSTG} - BW_{DFTbuf} \\
 &= 18 - \lceil \log_2(6) \rceil - 4 = 11 \text{ Bits}
 \end{aligned}
 \tag{9.5}$$

Da für die 96-pt DFT eine Prozessierungsparallelität von 16 Samples pro Takt gewählt wurde, lassen sich, durch die Instanziierung von lediglich drei der sech-

zehn 6-pt DFTs, 81.25% der DFTs einsparen, was einer Slice-LUT-Einsparung der gesamten 96-pt DFT von 58% entspricht. Im Allgemeinen lassen sich ähnliche Einsparungen bei Prozessierungskomponenten vornehmen, wenn für den Durchsatz bzw. die Parallelität D einer Komponente und die des Systems P gilt, das an allen Komponenten $D \geq P$ ist, was im gegebenen Fall mit $3 \cdot 6 = 18 \geq 16$ zutrifft.

Die in Abbildung 9.7 blau eingezeichneten Multiplexerstufen sind dafür da, die für die Berechnungen notwendigen Pufferungen und Umgruppierungen vorzunehmen. In der letzten Stufe der 96-pt DFT wird für die korrekte Weiterverarbeitung durch die darauffolgenden Stufen die Anordnung der Ausgänge fft-shifted.

Mit der großen IFFT ist der Kern der SC-FDMA Verarbeitung abgeschlossen. Wie in Kapitel 9.1 erwähnt, wurden für die Präambelsymbole Zadoff-Chu CAZAC-Sequenzen gewählt. Da diese innerhalb eines FPGAs nicht effizient generiert werden können, wurden diese in einem FPGA-internen *Read Only Memory* (ROM)-Speicher abgelegt. Am Ende der SC-FDMA-Kette wird deshalb nach der IFFT, je nach aktuell aktiver Epoche, zwischen den durch die SC-FDMA-Pipeline generierten Daten und den Präambelsymbolen umgeschaltet. Aus Effizienzgründen ist je ein vollständig prozessiertes, überabgetastetes Präambelsymbol im Speicher abgelegt, da zur Generierung der Sequenz lediglich dieses Symbol nicht-invertiert bzw. invertiert ausgegeben werden muss.

In der vorletzten Stufe der Pipeline erfolgt die Einfügung der zyklischen Erweiterung (CP) der SC-FDMA-Symbole. Um zusätzliche große Speicher zu vermeiden und die Latenz nicht zu sehr in die Höhe zu treiben, wird an dieser Stelle bewusst anstatt eines zyklischen Präfix ein zyklischer Postfix erzeugt. Dabei werden die als erstes generierten N_{CP} Samples des Symbols an das Ende angehängt (Postfix), anstatt ein komplettes Symbol im Speicher puffern zu müssen, um vor diesem Symbol die als letztes ausgegebenen N_{CP} Samples einzufügen (Präfix). Da der CP in der Regel nur wenige Prozent des Symbols lang ist, erlaubt dieses Vorgehen eine signifikante Einsparung von BRAM-Speichern.

Die DAC-Schnittstellenkomponente steuert die Kommunikation mit den Wandlermodulen. Zusätzlich zu den reinen Highspeed-Links im Falle des OLTs in Richtung der Converter-Modul FPGAs ist eine Schnittstelle vorhanden, die es einem openMSP430 Soft-core Microprocessor [48] ermöglicht, mit den Wandlermodulen zu kommunizieren und mehrere der Module zueinander zu synchronisieren. Da für den OLT-Transmitter DACs aus dem Projekt Accordance verwendet wurden, findet hier ebenfalls die dort bereits entwickelte digitale Schnittstelle Verwendung [34] (siehe Kapitel 9.5).

Neben dieser Funktionalität lassen sich im Betrieb des OLT Tx (Reset Zustand) gewisse Parameter mittels des openMSP430 Prozessors einstellen, um die Auswertung des Transmitters im Laborsystem zu erleichtern. Dabei ist es zum einen

möglich, das Modulationsformat umzuschalten und die Länge des CP anzupassen. Für den Fall, dass einmal keine idealen PRBS-Daten übertragen werden sollen, gibt es die Möglichkeit, die Skalierung anhand einer Zweierpotenz nach gewissen Blöcken der Verarbeitungs-Pipeline zur Laufzeit anzupassen, um ein Clipping innerhalb der Pipeline zu vermeiden. Hierzu lässt sich das Bit auswählen, welches nach der Skalierungsstufe als LSB erscheinen soll.

Zusätzlich zum Anpassen der Skalierung innerhalb der Pipeline ist eine Feinskalierungsstufe am Ende der Pipeline vorhanden, welche es mittels eines einstellbaren Multiplizierers erlaubt, die Größe des Ausgangssignals akkurat zu justieren. Da in OFDM-basierten Systemen das PAPR hoch ausfallen kann, ist es gerade am Ausgang des Transmitters wichtig, die Größe des Ausgangssignals möglichst gut einzustellen.

Dabei zeigte sich im Betrieb des System, dass es in Kombination mit den analogen Komponenten durchaus vorteilhaft sein kann, einen etwas höheren durchschnittlichen Ausgangspegel einzustellen und es in Kauf zu nehmen, dass das Signal für einige wenige Samples auf den bei der Bitbreite der Wandler maximal möglichen Wert begrenzt wird (Clipping). Dies darf allerdings nur in der letzten berechnenden Stufe der Pipeline auftreten, da sich sonst clipping-verursachte Ungenauigkeiten in Daten anderer Samples akkumulieren können.

Eine zweite wichtige Aufgabe der Feinskalierungsstufe ist es, die Leistung des Signals der Nutzdaten möglichst nahe an die der Synchronisationsfolge anzugleichen, um Leistungssprünge zu vermeiden, die den Betrieb von empfindlichen nichtlinearen Komponenten beeinflussen können, wie die aus Mach-Zehnder-Modulatoren bestehenden I/Q-Modulatoren [131].

9.3.2 Empfangskomponente auf Nutzerseite (ONU Rx)

Der ONU-Empfänger stellt die Gegenstelle des OLT-Transmitters im DS dar. Die Verarbeitungskomponenten dieser Einheit wurden vom Technion, Haifa entwickelt, wobei viele der dort angewandten Algorithmen auf Vorarbeiten dieses Instituts basieren.

Abbildung 9.8 zeigt das schematische Blockdiagramm des ONU Rx, welches die wichtigsten Komponenten der Empfangskette darstellt. Zentral ist hierbei, dass statt einer 1024-pt FFT, die alle SGs verarbeitet, lediglich eine 128-pt FFT zum Einsatz kommt, die das überabgetastete Signal einer SG prozessiert.

Ebenfalls ist essentiell, dass der ONU-Empfänger einen vorhandenen CFO ausregeln muss, was die Frequenzeinstellung des LO betrifft und direkt die Position der SG im Frequenzbereich des ONU Rx beeinflusst. Die ist deshalb wichtig, da

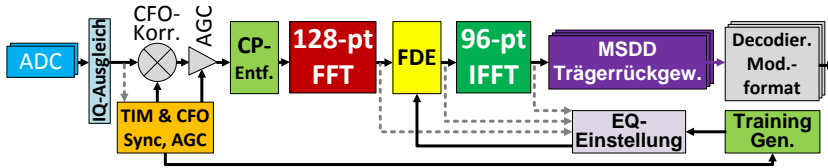


Abbildung 9.8: Schematisches Blockdiagramm der Grobstruktur des SC-FDMA ONU Rx

ein nicht kompensierter Versatz des LO die Orthogonalität der OFDM-Subträger beeinflusst und zu ICI führt.

Um den Beginn eines SC-FDMA-Protokollrahmens zu erkennen, kommt der in Kapitel 9.2 erwähnte korrelationsbasierte Algorithmus nach MINN [105] zum Einsatz. Durch eine Metrik, die auf der Autokorrelation des empfangenen Datenstroms und dessen Signalenergie [124] basiert, lässt sich sehr genau das erste Sample des Protokolls erkennen. Dabei lässt sich die Signalenergie als Schwellwert für den Beginn der Auswertungen des Algorithmus und die Autokorrelation als Zielfunktion verwenden. Zeigt der Signalverlauf letzterer ein markantes Extremum, wurde mit großer Wahrscheinlichkeit gerade der Synchronisationspunkt der Präambel erkannt.

Neben der Frequenz- und Zeitsynchronisation kommen am Empfänger zusätzlich Kanalkorrekturverfahren zum Einsatz. Der *Frequency Domain Equalizer (FDE)* ist dabei zwischen 128-pt FFT und 96-pt DFT-Spread und damit in der Frequenzdomäne eingefügt. Vorteil dieser Anordnung ist, dass damit die Einflüsse eines frequenzselektiven Kanals korrigiert werden können.

Um für dieses Vorgehen trotz des Fehlens von Pilotträgern im Frequenzbereich, anhand derer eine Entzerrung vorgenommen werden könnte, Referenzwerte für den Equalizer bestimmen zu können, markiert der Synchronisationsblock zum richtigen Zeitpunkt nach der Erkennung der Präambel die Referenzdatenepoche als solche. Darauf kann die Equalizer-Adaptionskomponente aus den Referenzdaten im Frequenzbereich Korrekturwerte berechnen, welche in der darauffolgenden Datenepoche auf den Frequenzbereich angewendet werden können.

Einen negativen Einfluss auf das Verhalten im Frequenzbereich können verschiedene analoge Komponenten besitzen, gerade auch sehr bandbreitenbegrenzte Komponenten. Hierdurch wird eine gewisse Welligkeit im Frequenzbereich verursacht. Dadurch kann beispielsweise gerade am Rande des Frequenzbereichs in Richtung der Cut-off-Frequenz eines Tiefpassfilters das Empfangssignal beeinflusst werden, was sich auf dessen Amplitude auswirken aber auch in Form einer Phasenrotation der Subträger zeigen kann. Der am ONU Rx verwendete

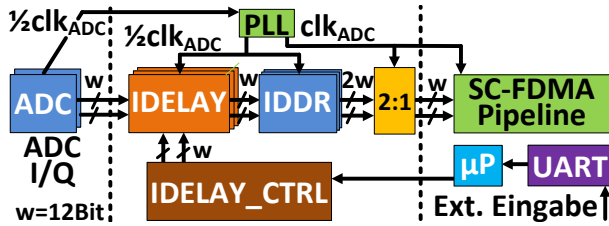


Abbildung 9.9: Blockdiagramm der ADC-Schnittstelle am SC-FDMA ONU Rx

Algorithmus zur Bestimmung der Referenzwerte der Frequenzbereichszentrierung wurde mittels eines *Least-Mean Square (LMS)*-Schätzers [187], [138] umgesetzt, durch den der Entwurf adaptiver Filter mit relativ geringer Komplexität möglich ist.

Nach der Prozessierung durch die 96-pt DFT kann die eigentliche MSDD-Phasendekodierung und adaptive Phasenkorrektur erfolgen. Für die verwendete Implementierung kommt eine MSDD-Komponente zum Einsatz, die ohne Multiplizierer auskommt und sich damit sehr effizient gestaltet [177]. Im Falle optischer Signalübertragung kann dieses Verfahren besonders gut mit *Amplified Spontaneous Emission (ASE)*, Laser- und nicht-linearem Phasenrauschen umgehen. Beim MSDD-Ansatz findet eine rückkopplungsbasierte Entscheidungsfindung zur Phasendekodierung der Empfangsdaten statt, bei welcher Korrekturwerte auf die empfangenen Phasenargumente der Samples einwirken, welche auf Basis der gemittelten Geschichte einer bekannten Anzahl Samples stets aktuell gehalten und verbessert werden [177].

Am Ende der Kette gibt der Modulation Format Demapper die den Modulationssymbolen entsprechenden Bitfolgen aus, wobei mittels eines openMSP430 Prozessors ebenfalls die nach der MSDD erhaltenen Konstellationspunkte ausgelesen werden können (siehe Kapitel 9.5).

Der ONU Rx wurde mit einer Logik-Parallelität von einem Sample pro Takt implementiert, was zwar die Entwicklung der Algorithmen vereinfacht, allerdings ein bewusstes Floorplanning der FPGA-Logik als Nutzereingabe im Implementierungsschritt des FPGA-Toolflows voraussetzt. Dies ist deshalb notwendig, damit die automatisierte FPGA-Entwurfskette verlässlich die benötigte Taktfrequenz des ADC-Referenztaktes von etwa 400 MHz an allen notwendigen Stellen der Hochgeschwindigkeitslogik sicherstellen kann.

Vonseiten des Autors wurde die ADC-Schnittstelle des ONU Rx entwickelt und zur Systemintegration bereitgestellt, da die Wandlerkarten nicht am Partnerinstitut verfügbar waren und das System im späteren Verlauf des Projekts im Sys-

temlabor des *Instituts für Photonik und Quantenelektronik (IPQs)* am KIT evaluiert wurden.

Am ADC erfolgt dabei die Ausgabe abgetasteter Daten mittels zweier differentieller 12-Bit LVDS-Busse, welche Daten im *Double Data Rate (DDR)*-Modus liefern, da die für den FPGA ausgegebene Taktfrequenz dem halben ADC-Takt entspricht. Deshalb werden innerhalb der FPGA-Logik Xilinx Input-DDR-Blöcke [199] instanziiert. Da die SC-FDMA-Pipeline hingegen mit dem Takt des ADCs betrieben wird, erfolgt in der nächsten Stufe eine 2-zu-1 Umsetzung der aufgenommenen Samples, sodass bei 400 MHz je Systemtaktzyklus, jeweils ein Real- und ein Imaginärteil Sample bereitsteht. Die im Diagramm dargestellte PLL-Komponente entspricht einer Xilinx MMCM-Primitiven [197] und wird zur Taktteilung/Vervielfachung verwendet.

Aufgrund der Tatsache, dass die Pfade der Datenleitungen zum FPGA nicht dieselbe Länge besitzen, kommen zum Zwecke der Latenzanpassung Xilinx Input-Delay-Blöcke [199] zum Einsatz, welche vonseiten des Microprocessors eingestellt werden können.

9.3.3 Sendekomponente auf Nutzerseite (ONU Tx)

Der ONU-Transmitter ist, als Teil der US-Kommunikation, für die Erzeugung von Daten auf Teilnehmerseite zuständig.

Um möglichst ein Design zu erhalten, das ohne Anwendung von Floorplanning stets zu einem die Timing-Anforderungen erfüllenden Implementierungsergebnis führt, wurde für den ONU Tx zur Erzeugung der SC-FDMA-Daten bei etwa 400 MS/s eine Prozessierungsparallelität von $P = 4$ Samples pro Takt gewählt, was zu einer Taktfrequenz von etwa 100 MHz führt.

Der Aufbau des ONU Tx gestaltet sich als eine Kombination des Verhaltens des OLT Tx mit dem Prozessierungsaufwand des ONU Rx (siehe Abbildung 9.10).

Der generelle Aufbau dieser Einheit ist dabei klar vom OLT-Sender abgeleitet und stellt eine skalierte Version desselben dar. Direkt erkennbar ist, dass nur eine SG prozessiert werden muss und daher die Komponenten der Pipeline entsprechend ausgelegt wurden.

Hierbei existiert nur ein parallelisierter PRBS-Generator und die darauffolgenden Komponenten benötigen lediglich eine Parallelität von $P = 4$. Die SC-FDMA-Prozessierung erleichtert sich dahingehend, dass eine vereinfachte 96-pt DFT-Spread Verarbeitung eine deutlich weniger aufwändige Zuweisung des Frequenzbereichs und lediglich eine 128-pt IFFT am Ende der Verarbeitungskette durchgeführt werden müssen, um das überabgetastete Zeitsignal zu erhalten. Bei der

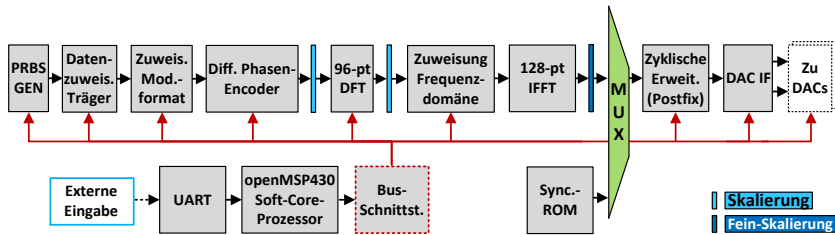


Abbildung 9.10: Blockdiagramm des SC-FDMA ONU Tx

128-pt IFFT kommt ebenfalls eine mittels des Spiral-DFT-Generators [143] erzeugte Komponente zum Einsatz, welche eine Latenz von 120 Taktzyklen verursacht, was ähnlich der IFFT am OLT Tx einer Latenz von 1.2 μs entspricht.

Ebenfalls kommt eine DPE-Stufe nach dem Modulation Format Mapper und eine präprozessierte Synchronisationsfolge zum Einsatz, die vor der CP-Einfügung bei Bedarf in den Datenstrom eingebracht werden kann. Zudem erlaubt ein Microprocessor die Steuerung verschiedener Einstellungen des Transmitters, welche bis auf die Parameter der DAC-Schnittstelle denen des OLT Tx entsprechen.

In Abbildung 9.11 ist die genannte DAC-Schnittstelle des ONU Tx dargestellt, über den eine Texas Instruments DAC3162-Evaluierungsplatine per FMC-Erweiterungskarte angeschlossen wird. Wie bereits erwähnt, ist es auch bei dieser Schnittstelle grundlegend, dass je vier Samples pro Takt bei einer Taktfrequenz von etwa 100 MHz erzeugt werden. Da der Zweikanal DAC nur eine parallele Daten Schnittstelle zur Anbindung der beiden Datenkanäle verwendet, müssen die Daten per DDR-Kanalmultiplex ausgegeben werden, wobei auf die steigende Taktflanke Daten des Kanals A und auf die fallende Daten des Kanals B am Eingang des DACs anliegen müssen. Auf digitaler Seite wurde dies mittels eines Xilinx Oupput-*Serializer-Deserializer* (*SERDES*)-Blocks [199] realisiert, der aus acht Samples bei niedriger Rate mittels des vierfachen Systemtaktes und aktivem DDR-Modus die benötigte Datenrate beider DAC-Kanäle bereitstellt.

Da die zwölf LVDS-Datenleitungen in Richtung der DACs, welche Signalfade auf der Xilinx ML605, der Evaluations- und FMC-Erweiterungskarte des DAC-Moduls aufweisen, als Ganzes betrachtet, nicht dieselbe Länge besitzen, werden Xilinx Output Delay-Blöcke [199] an den Datenausgängen in Richtung DACs instanziiert. Diese werden vonseiten des openMSP430-Microprocessors [48], auf empirisch bestimmte Werte für die Verzögerungs-Taps der I/O-Pins des FPGAs eingestellt, welche direkt nach der Konfiguration des FPGAs zugewiesen, aber auch bei Bedarf im Betrieb manuell angepasst werden können.

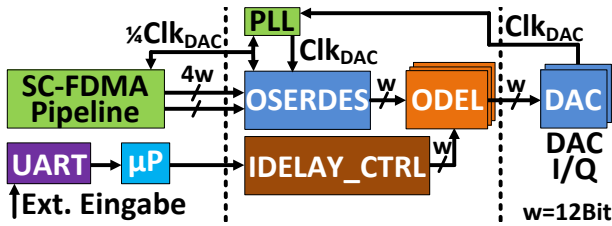


Abbildung 9.11: Blockdiagramm der DAC-Schnittstelle am SC-FDMA ONU Tx

9.3.4 Empfangskomponente auf Anbieterseite (OLT Rx)

Der OLT-Empfänger stellt die Gegenstelle des ONUs im US auf Anbieterseite dar. In Abbildung 9.12 ist dabei das Konzept des grundlegenden Aufbaus des digitalen Designs des OLT Rx dargestellt.

Dieses basiert, entsprechend den Transformationen am OLT Tx, auf einer 1024-pt FFT und einer schnellen 96-pt IFFT auf der Ebene der SGs. Zusätzlich zum Modulation Format Demapper und der MSDD-Dekodierung kommt eine CFO-Kompensations- und Timing-Synchronisationsstufe zum Einsatz. Zudem erlaubt die Hinzufügung einer Verarbeitungskomponente zur SFO-Schätzung die Bestimmung von Kompensationswerten für die Systemoszillatoren der ONUs, die auf Basis der Werte der MSDD oder der Referenzsequenzen arbeitet. Falls die ONUs denselben Takt für die DS- und US-Kommunikation verwenden, können die SFO-Kompensationswerte des US zur Plausibilitätsprüfung eingesetzt werden, da die ONUs ohnehin im DS direkt den SFO bestimmen, was dort unter Umständen mit höherer Genauigkeit erfolgen kann.

Da die ONUs in der Realität über unterschiedlich lange Glasfasern angeschlossen sind und in diesem Aufbau die Daten mittels einer großen 1024-pt FFT prozessiert werden, müssen die US-Sendedaten der ONUs innerhalb des zyklischen Postfix auf die FFT-Fenster synchronisiert sein, da es sonst zu ISI-Störungen kommt. Aus diesem Grund macht es dieser Aufbau erforderlich, die ermittelten Werte der Timing-Synchronisation an die ONUs per DS-Kommunikation zu übertragen und dort anwenden zu lassen, da sich die Durchführung der zeitlichen Synchronisation von N ONUs auf der digitalen Seite des OLT-Empfängers in diesem Ansatz zu aufwendig gestaltet.

Da sich durch die unterschiedlichen Kabellängen an verschiedenen ONU-Tx-Einheiten, unterschiedliche effektive Polarisierungen der optischen Signale der verschiedenen ONUs ergeben (siehe PMD in Kapitel 3.3.4), ist die Verwendung eines polarisierungsunabhängigen kohärenten Empfängers notwendig (siehe Ka-

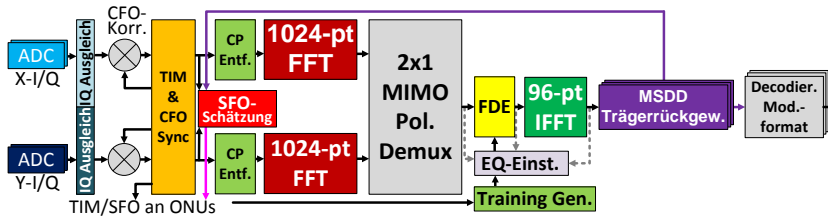


Abbildung 9.12: Ursprünglich geplanter SC-FDMA OLT Rx mit 1024-pt FFT

pitel 9.1). Damit werden je Polarisation zwei ADCs und innerhalb des OLT-Rx-FPGAs zwei unabhängige digitale Verarbeitungsketten und ein 2:1-*Multiple Input Multiple Output* (MIMO)-Polarisationsdemultiplexer benötigt, was diesen Aufbau sehr umfangreich macht in Bezug auf die benötigten FPGA-Ressourcen.

Da sich zudem dessen Einstellung als schwierig erweisen und die Integration sich somit als langwierig herausstellen würde, wurde für den ersten Systemtest zur Verifikation des OTONES-US-Konzeptes ein Ansatz gewählt, der *Digital Down Converter* (DDC)-Komponenten verwendet. Diese wurde innerhalb einer Arbeit von Meyer [96] entwickelt und erlaubt es, die ONUs anhand ihrer SGs zu trennen (siehe Abbildung 9.13). Dabei wird, neben einem digitalen Mischer, eine Kette von Halbbandfiltern verwendet, die jeweils mit dem Faktor zwei dezimieren, um je eine SG zu extrahieren, welche genau 1/8 der OLT-Bandbreite umfassen. Dadurch ist es zudem möglich, den bereits vorhandenen ONU Rx zum Empfang der US-Daten innerhalb des OLT Rx zu instanzieren.

Es ist damit möglich, mit relativ wenig Aufwand einen ersten Prototypen zum Empfang einer SG im US aufzubauen. Zudem lassen sich durch eine Vervielfältigung der Logik alle SGs empfangen, ohne dass eine zeitliche Synchronisation der Startzeitpunkte der Sequenzen der ONUs Tx im US notwendig ist, welche die Verteilung von Kompensationswerten zur Anpassung der ONU Tx US-Latenz voraussetzen würde. Vielmehr kann mit diesem Vorgehen jedes ONU ähnlich des DS unabhängig von den anderen synchronisiert werden. Im Allgemeinen wird ein Ansatz dieser Art Mehrphasen-Filterbank [176] genannt.

Daten erhält der OLT-Empfänger von Highspeed-Wandlern aus dem Projekt Accordance und verwendet deshalb ebenfalls die dort entwickelte digitale Schnittstelle [34] (siehe Kapitel 9.5).

Da die ONUs im US denselben DS Seed verwenden und auf ein SI-PIC gleichen Typs setzen, sollte sich der US CFO der SGs in Grenzen halten, falls keine die Frequenzstabilität/-präzision störenden Einflüsse vorhanden sind, wobei allerdings generell die Kalibrierung der SG CFOs sinnvoll ist. Verglichen mit dem

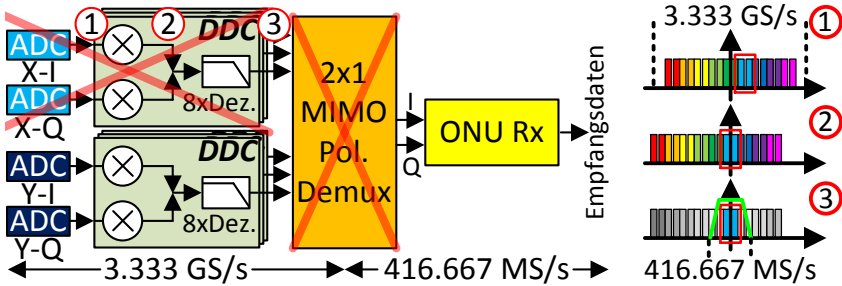


Abbildung 9.13: a) Blockschaltbild des SC-FDMA OLT Rx bei korrektem polarisationssensitivem Empfang (Testszenario für eine Polarisation und eine SG dargestellt), b) Bandbreitenschema mit DDC

DS, muss zudem eventuell der CFO des OLT Rx angepasst werden, um die SGs korrekt ins Basisband zu mischen.

Für den in Kapitel 9.5.0.2 evaluierten elektrischen US-Prototypen wurde ein OLT Rx implementiert, welcher eine SG empfängt und den Polarisierungsdemultiplex zunächst nicht verwendet, da dieser erst für die optischen Tests notwendig wird. Dieser Aufbau ist konkret in Abbildung 9.13 a dargestellt.

9.4 Latenz der Anbieter-/Nutzer-FPGA-Logik

In diesem Kapitel werden die Verzögerungszeiten der digitalen OLT- und ONU-FPGA-Logik untersucht. Da die Empfängerkomponenten im Falle des ONU Rx nahezu vollständig bzw. des OLT Rx in Teilen vonseiten des Technion, Haifa entwickelt und integriert wurden, werden in diesem Kapitel ausschließlich Latenzwerte der Senderkomponenten des OLTs bzw. des ONUs vorgestellt, welche vollständig am KIT umgesetzt wurden. Auch wenn dabei keine Resultate der Empfängerseite bereitstehen, erlauben diese eine erste Einschätzung der Verzögerungszeiten der SC-FDMA-Verarbeitungskette im DS und US.

In den Tabellen und Graphiken von Abbildung 9.14 bzw. 9.15 sind die Latenzwerte der einzelnen Module des OLT und ONU Tx auf Basis von Taktzyklen dargestellt. Dabei entstammen diese Werte der Simulation der jeweiligen Sendeinheit und stellen die Berechnungszeiten dar, welche nötig sind, um das jeweils erste Sample/Ergebnis des Prozessierungsblocks zu erhalten. In den genannten Abbildungen entsprechen die Namen der Logikkomponenten den Bausteinen der jeweiligen Senderlogik, welche in den Abbildungen 9.5 (OLT Tx) und 9.10

Komponente	Latenz	Latenz
$T_{Clk} = 5 \text{ ns}$	Taktz.	ns
PRBS-Generator	(58)	(290)
Zuw. Mod.format	2	10
Diff. Phasen-ENC	26	130
DFT96 Trägerzuw.	2	10
DFT96	72	360
Freq.Dom. Tr.zuw.	5	25
IFFT1024	244	1220
Skalierung	6	30
Zykl. Erweiterung	2	10
Lat. $D_{In} - D_{Out}$	365	1825

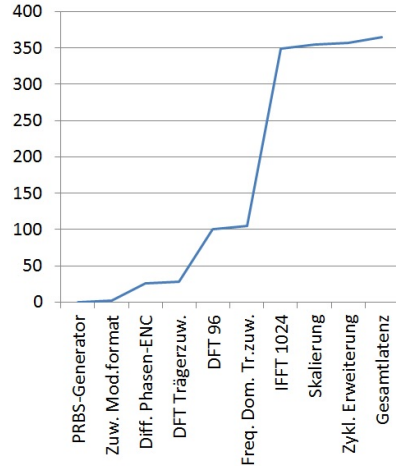


Abbildung 9.14: Latenz der Komponenten am OLT Tx, a) tabellarisch und b) graphisch mit akkumulierter Latenz (Taktzyklen)

(ONU Tx) dargestellt sind. Entsprechend den im Evaluierungskapitel 9.5 gewählten Taktfrequenzen betragen diese am OLT/ONU 5 ns, respektive 10 ns.

Für beide Komponenten ist aus den Abbildungen ersichtlich, dass die zwei nacheinander ausgeführten Fouriertransformationen die meiste Berechnungszeit benötigen. Bis auf die genannten Transformationen fallen die zur Verarbeitung notwendigen Taktzyklen am OLT und ONU Tx nahezu identisch aus.

Wie in den vorhergehenden Kapiteln dargelegt, basieren diese Transformationen auf Logikblöcken, welche mittels des Spiral-DFT-Generators erzeugt wurden [143]. Für die 1024-pt und 128-pt FFT ist es naheliegend, dass sich aus der achtfachen Problemgröße, bei einer vierfach höheren Parallelität am OLT im Vergleich zum ONU, etwa die doppelte Latenz zur Durchführung der Berechnung ergeben kann.

Bei der entwickelten 96-pt DFT ist allerdings auffällig, dass sich die Anzahl Taktzyklen am ONU nicht entsprechend dieses Zusammenhangs relativ zum OLT verhält. Dies hat den Grund, dass für die Berechnung der 96-pt DFT ein Vorgehen gewählt wurde, das direkt vom Ansatz nach Cooley & Tukey abgeleitet wurde [27]. Dabei sind, zur mathematisch richtigen Durchführung der Operationen, Umsortierungen der Daten innerhalb eines DFT-Fensters vonnöten, was zur zeitlich korrekten Ausführung die Pufferung eines gesamten Fensters voraussetzt.

9 Ein PON zur Signalverteilung innerhalb von TFC-Systemen

Komponente	Latenz Taktz.	Latenz ns
$T_{Clk} = 10 \text{ ns}$		
PRBS-Generator	(26)	(260)
Zuw. Mod.format	2	20
Diff. Phasen-ENC	23	230
DFT96 Trägerzuw.	0	0
DFT96	151	1510
Freq.Dom. Tr.zuw.	0	0
IFFT128	142	1420
Skalierung	7	70
Zykl. Erweiterung	2	20
Lat. $D_{In} - D_{Out}$	333	3330

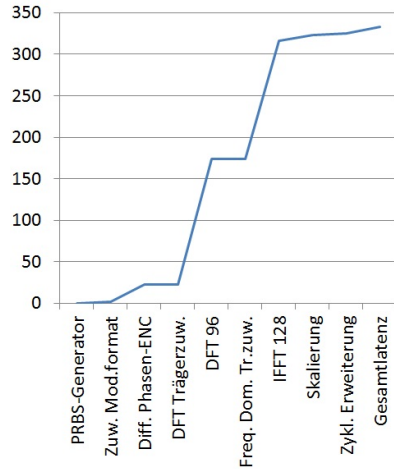


Abbildung 9.15: Latenz der Komponenten am ONU Tx, a) tabellarisch und b) graphisch mit akkumulierter Latenz (Taktzyklen)

Dadurch werden vor und nach der 6-pt DFT und der 16-pt FFT-Pufferstufen benötigt, welche größere Verzögerungszeiten verursachen und den Großteil der Latenz der 96-pt DFT ausmachen.

Am OLT kommen hierbei sechs Pufferstufen zum Einsatz, die 27 Takte Verzögerung und somit 37.5% Latenz der 96-pt DFT verursachen. Aufseiten des ONUs ergeben sich durch dieselbe Anzahl Pufferstufen hingegen 82 Takte Latenz, was 54% der gesamten Verzögerungszeit der 96-pt DFT entspricht. Dieser signifikante Unterschied ergibt sich daraus, dass durch die geringere Rechenparallelität am ONU zur Pufferung des gesamten Fensters mehr Taktzyklen notwendig sind. Dabei ist anzumerken, dass beim Entwurf dieser Transformation zunächst die Entwicklung erster Prototypen OLT- und ONU-Einheiten im Vordergrund stand, sodass lediglich eine Optimierung auf den Durchsatz und die benötigten Logikressourcen stattfand.

In Summe ergeben sich somit Latenzen auf der Basis von Taktzyklen, die für beide Typen von Sendern nur um etwa zehn Prozent auseinanderliegen. Da allerdings der OLT im Vergleich zum ONU Tx mit der doppelten Taktrate betrieben wird, weist der OLT nur etwa die halbe Verzögerungszeit auf.

Zur Approximation der mit dieser digitalen PON-Architektur minimal möglichen Verzögerung in DS- und US-Richtung kann angenommen werden, dass die

Latenz der Empfänger stets größer ausfällt als die der Sender, da ebenfalls eine Kanalkorrektur und Synchronisation durchgeführt werden müssen. Somit würde die digitale Prozessierung innerhalb der FPGAs für eine Ein-Wege-Übertragung mindestens 5 bis 6 us Latenz verursachen.

Zusätzlich ist bei dieser Abschätzung die Latenz der ADCs und DACs einzubeziehen. Aufseiten der ONUs lassen sich dabei als Richtwerte die in den Datenblättern angegebenen Zeiten annehmen, welche im Falle des TI ADS5402 ADCs 50 und beim DAC3162 1.5 Taktzyklen auf Basis der verwendeten Wandlertaktrate betragen.

Für die OLT-Seite gestaltet sich eine Abschätzung allerdings schwieriger, da selbstentwickelte Wandlermodule verwendet werden, welche mit einem weiteren per Hochgeschwindigkeits-Links abgebundenen FPGA und den eigentlichen Wandler-ICs ausgestattet sind. Somit fallen hier die Latenzen der schnellen Übertragungsstrecke und der Verarbeitungslogik auf beiden Seiten dieser Strecke und die der eigentlichen Wandlermodule ins Gewicht. Da die hier eingesetzten ADCs [161] und DACs [88] Latenzen im ein- bis niedrigen zweistelligen Nanosekundenbereich aufweisen, dominiert die Latenz des Highspeed-Links die Gesamtlatenz. Leider konnte während der in Kapitel 9.5 erläuterten Evaluierung nicht mehr die Summe der Latenzen vermessen werden, welche sich bei Kombination des OLT-FPGAs und den Wandlermodulen ergibt.

Wird allerdings angenommen, dass sich die Latenz des Highspeed-Links der Wandlermodule aus [34] ähnlich der Zweiwegemessung aus Kapitel 8.2 verhält, kann angenommen werden, dass diese eine Verzögerung von etwa 250-300 ns verursachen. Wird die zusätzliche Verarbeitungslogik auf beiden Seiten des Links und in Richtung der Wandler einbezogen, kann eine Gesamtlatenz von 500 ns bis maximal 750 ns geschätzt werden.

Damit ergibt sich für die hier erläuterte Realisierung eines Prototypen einer SC-FDMA-PON-Architektur je Übertragungsrichtung, ohne Berücksichtigung des Mediums, in guter Näherung eine Latenz von 7-8 us, was in etwa der des US der aktuellen Parametrisierung des CERN TTC TDM PONs entsprechen würde.

Da diese Latenz für ein TFC PON von CBM als kritisch anzusehen ist (siehe State-of-the-Art Kapitel 4), wären für die Verwendbarkeit als finale Lösung zur Signalverteilung tiefgreifende Optimierungen vonnöten. Dabei müsste besonders die Latenz der DFTs reduziert werden. Zudem ist ein PON im Laboraufbau das aus diskreten Komponenten, prototypischen Wandlermodulen und FPGAs besteht (siehe Evaluierungskapitel 9.5), aufgrund der Kosten, der Stabilität und der Wartbarkeit nicht für die Integration in ein finales Auslesesystem eines Teilchendetektors geeignet. Falls allerdings zukünftig eine kommerzielle Umsetzung dieses oder eines verwandten Konzepts verfügbar wäre, würde ein solches PON

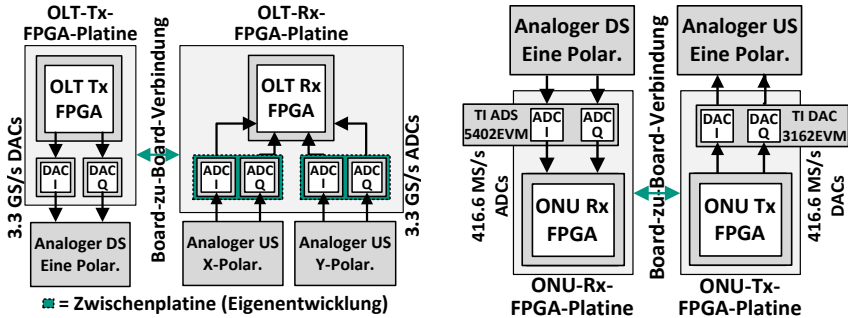


Abbildung 9.16: Aufbau der AD-/DA-Wandlung am a) OLT bzw. b) ONU

durchaus eine interessante Lösung zur optischen Signalverteilung innerhalb eines TFC-Netzwerks bei niedriger Latenz darstellen.

9.5 Evaluierung des SC-FDMA PONs im Laboraufbau

Aufseiten des OLTs kam eine HiTech Global HTG-V6HXT-100G [56] Platine mit Xilinx Virtex-6 HX380T [200] FPGA (siehe Abbildung 9.16 a und 9.19 a bzw. eine innerhalb des Accordance [34] Projekts entwickelte Platine zum Einsatz, die denselben FPGA verwendet.

Die Unterschiede beider Platinen betreffen vor allem die Möglichkeit der Anbindung der DAC- und ADC-Wandler. Beim HTG-V6HXT-100G werden zwei FMC-Erweiterungskarten mit je 8 Paaren HF-Kabel an je zwei Micram Evaluierungsplatinen [98] angeschlossen, auf die Wandlermodule aufgesteckt werden. Im Vergleich dazu stellt die Accordance-Platine [34] eine integrierte Lösung dar, bei der je zwei ADC- und DAC-Steckplätze vorhanden sind, sodass dieselben Wandler direkt aufgesteckt werden können und zusätzliche Platinen entfallen.

Aufgrund der Aufteilung der Entwicklungen und Evaluierung in die Komponenten des DS und des US, wurden die einzelnen Send- und Empfangsmodule, wie in Abbildung 9.16 dargestellt, als getrennte FPGA-Designs aufgebaut. Um Daten zwischen den einzelnen Subkomponenten der jeweiligen Einheit im späteren Verlauf der Systementwicklung auszutauschen, wurde der eingezeichnete Link zwischen den FPGA-Karten vorgesehen.

Im DS verwendet der OLT-Sender zwei der in Accordance [34] entwickelten DAC-Module, welche mittels eines seriellen Highspeed-FPGA-zu-FPGA-Link

angebunden werden. Die DACs der Module, welche mit je einem 12-Bit Maxim MAX5881 DAC [88] und einem kleinen Xilinx Virtex-6 LX75 [200] Schnittstellen-FPGA ausgestattet sind, werden bei einer Abtastrate von 3.2 GS/s betrieben, da es bei der Rate von 3.333 GS/s zu Instabilitäten des Highspeed-Links kam.

Um die vier benötigten ADC-Kanäle am OLT-Empfänger anbinden zu können, wurde eine spezielle Aufsteckplatine mit zwei Sockeln entwickelt, welche $2 \times 8 = 16$ differenzielle Highspeed-Kanäle an zwei ADC-Sockel weiterleitet. Da allerdings, wie später berichtet, die OLT-Empfänger Messungen, aufgrund zeitlicher und funktionaler Beschränkungen, nur elektrisch durchgeführt werden konnten, wurde für diese Platine kein dual-polarization OLT-Empfänger entwickelt. Stattdessen wurde der OLT-Empfänger im Single-polarization-Fall mit zwei der in Accordance [34] aufgebauten ADCs evaluiert, die mit je einem Texas Instruments ADC12D1800 [161] und, wie bei den DAC-Modulen, einem Xilinx Virtex-6 LX75 [200] FPGA ausgerüstet sind und mit derselben Rate betrieben wurden, wie die Wandler am OLT-Sender.

Die ONUs wurden mittels Zwei-Kanal-ADCs bzw. -DACs von Texas Instruments (TI) angebunden, welche über eine Auflösung von 12 Bit verfügen (siehe Abbildung 9.16 b). Am Sender kamen dabei mit dem TI DAC3162 [159] bestückte (siehe Abbildung 9.23) und am Empfänger mit einem ADS5402 [160] IC (siehe Abbildung 9.20 b) ausgestattete Evaluierungsplatine zum Einsatz, welche mittels der FMC-Schnittstelle an eine Xilinx ML605 [193] Platine angeschlossen wurden, die als FPGA-Platine der ONUs diente und mit einem Virtex-6 LX240 [200] FPGA ausgerüstet ist.

9.5.0.1 Downstream Messungen

Im Downstream wurden ein elektrischer und ein optischer B2B-Test durchgeführt, welche die in Abbildung 9.17 gezeigten Aufbauten besaßen. Hierbei wurde während des Tests aufgrund leichter Überschaubarkeit ein DS-Übertragungsrahmen der Struktur $N_{sync} = 16, N_{ref} = 64, N_{data} = 64$ verwendet. Dabei wurde der CP zu $N_{CPolt} = 32$ OLT Tx Samples gewählt, was einer zyklischen Erweiterung der Symbollänge von 3.125% entspricht.

Durch die Herabsetzung der Abtastrate am OLT Tx auf $\tilde{W}_{SlotOS} = 3.2 \text{ GS/s}$ ergeben sich im DS-B2B-Test die Slot-Bandbreite \tilde{W}_{Slot} und die SG-Bandbreite \tilde{W}_{SG} bzw. deren überabgetastete Variante \tilde{W}_{SGos} und die Länge des CP \tilde{N}_{CPonu} , mit $N_{SColtOS} = 1024, N_{SColt} = 960, N_{SConuOS} = 128$ und $N_{SConu} = 96$ entsprechend den Gleichungen 9.6.

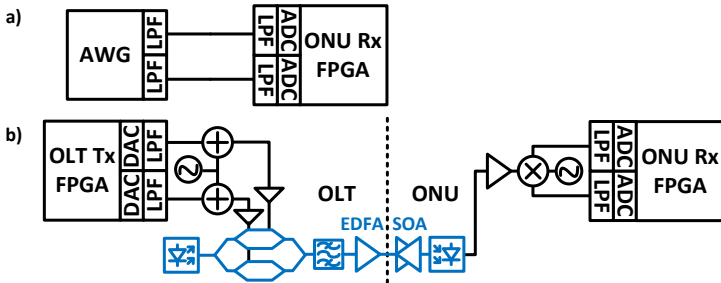


Abbildung 9.17: Ausgewertete DS-Messaufbauten: a) rein elektrischer Aufbau bei direkter Verbindung eines AWGs mit dem ONU Rx, b) optischer B2B-Messaufbau

$$\begin{aligned}
 \tilde{W}_{Slot} &= W_{SlotOS} \cdot 960 / 1024 & \tilde{W}_{SG} &= W_{SlotOS} \cdot 96 / 1024 \\
 &= 3 \text{ GHz} & &= 300 \text{ MHz} \\
 & & & \\
 \tilde{W}_{SGos} &= W_{SlotOS} \cdot 128 / 1024 & \tilde{N}_{CPonu} &= N_{CPolt} \cdot 128 / 1024 \\
 &= 400 \text{ MHz} & &= 4
 \end{aligned}
 \tag{9.6}$$

Im ersten Testszenario (siehe Abbildung 9.17 a) wurde eine Übertragungsssequenz aus der Simulation des OLT Tx entnommen, digital in das Basisband von SG S2 heruntergemischt (siehe Abbildung 9.3 b in Kapitel 9.2) und im Speicher eines Agilent M8190A AWG abgelegt (12-Bit Auflösung, 5 GHz Bandbreite, 12 GS/s maximale Abtastrate). Das AWG wurde darauf per direkter elektrischer Verbindung, nach einer passenden elektrischen Tiefpassfilterung am AWG/ONU (~1650 MHz [103] bzw. ~170 MHz [104] 3dB-Bandbreite je Kanal), an die Eingänge der ONU Rx ADCs angeschlossen.

Im zweiten Schritt wurde die DS-Kommunikation im optischen B2B-Aufbau ausgewertet [123] (siehe Abbildung 9.17 b), was bedeutet, dass keine lange Glasfaserstrecke in den Signalweg eingebaut wurde. Die weitere analoge elektrische und optische Strecke aufseiten des OLTs und des ONUs entspricht hingegen dem in Kapitel 9.1 beschriebenen Vorgehen im Konzept des OTONES PONs.

Dabei wird den DS-Slot Daten des OLT Tx, nach einer Anti-Aliasing Filterung per Tiefpass, analog elektrisch der DS Seed im Abstand von $2.5 \cdot W_{Slot}$ hinzugefügt, worauf dieses Signal mittels eines optischen I/Q-Modulators in die optische Domäne transferiert wird und das PUDG OTONES Slice-Schema entsteht.

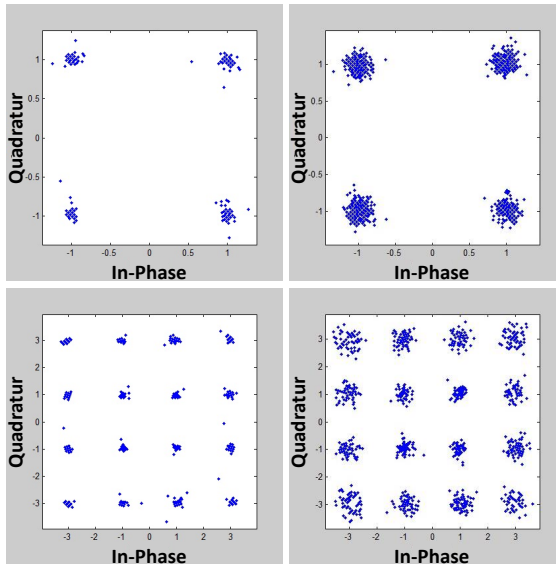


Abbildung 9.18: Aufgenommene Konstellationsdiagramme und EVM_m am ONU Rx im Falle direkter AWG-ONU-Rx-Verbindung (links) und des optischen B2B-Messaufbaus (rechts) für QPSK (oben) und 16-QAM (unten)

Anschließend wird das Signal mit einem *Erbium-Doped Fiber Amplifier (EDFA)* OLT-seitig verstärkt, wobei eine anschließende Verstärkung auf ONU-Seite zum Zwecke der Signalaufbereitung mittels eines deutlich günstigeren bidirektionalen SOA erfolgt. Zwischen den beiden genannten optischen Verstärkern befindet sich in der Regel die Übertragungsstrecke, welche den in Kapitel 9.1 Remote Hub beherbergt, durch den ein FWDM und ein DWDM zwecks Datenver- und -aufteilung des optischen Spektrums vollzogen wird. Der zweite optische Verstärker würde für den B2B zwar nicht benötigt, allerdings wurde dieser aus dem Grund im Test verwendet, damit alle Komponenten, die einen signifikanten Einfluss auf die Empfangsqualität haben, das lange Bündeladerkabel (trunk fiber) ausgenommen, in der Übertragungsstrecke vorhanden sind.

Darauf gelangt das optische Signal über eine Filterung an eine Photodiode, wo es per remote heterodyne detection [123] analog empfangen wird und somit die elektro-optische Wandlung stattfindet. Dabei mischt sich der DS Seed mit den

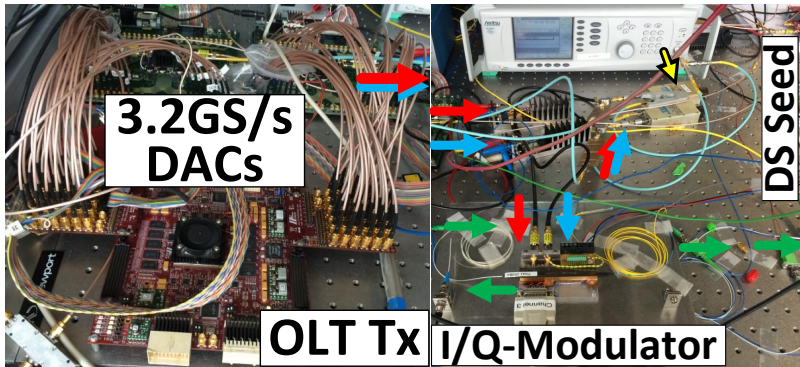


Abbildung 9.19: Laboraufbauten zur Messung der DS-Übertragung: OLT Tx, D/A-Wandlung, Erzeugung des DS-Seeds, opt. Modulation (I/Q-Modulator)

DS-Slot, worauf die DS-Slot Daten gemäß Kapitel 9.1, Abbildung 9.1 (*H*) im elektrischen Passband bei einer Mittenfrequenz von $2.5 \cdot W_{Slot}$ erscheinen.

Anschließend wird mit einem elektrischen Verstärker mit geringer Impedanz der Photostrom verstärkt und dieses Signal mittels eines elektrischen I/Q-Mischers ins komplexe elektrische Basisband des ONU Rx gemischt, wo es nach einer Tiefpassfilterung mittels ADCs digitalisiert und durch den ONU Rx empfangen wird. Anzumerken ist, dass bei diesem Aufbau am ONU ausschließlich relativ preisgünstige Komponenten zum Einsatz kommen, wobei der eher teure, aber hochperformante EDFA ausschließlich am OLT verwendet wird.

In Graphik 9.18 sind die aus beiden Fällen gewonnen Signale als Konstellationsdiagramme dargestellt, wobei in der linken Spalte die Messungen des elektrischen und in der rechten Hälfte die des optischen B2B-Tests dargestellt sind. Die Diagramme wurden dabei mittels eines am ONU Rx vorhandenen openMSP430 per UART-Verbindung abgerufen. Da dabei die Konstellationspunkte mittels einer Darstellung in Polarkoordinaten encodiert werden, bei der 7 Bits für den Modulus und 8 Bits für den Winkel verwendet werden, tritt die sichtbare Kachelform der Diagramme aufgrund der gewählten Quantisierung auf.

Im elektrischen B2B-Fall konnten damit EVM_m Werte von 3.3% bzw. 2.6% und im optischen Aufbau von 8.9% bzw. 7.1% für QPSK respektive 16-QAM gemessen werden. Dabei wurde die EVM_m gemäß [127] berechnet, indem eine Normierung der *Error-Vector-Magnitude* (*EVM*) auf die größte, in der idealen Konstellation vorhandene Amplitude erfolgt.

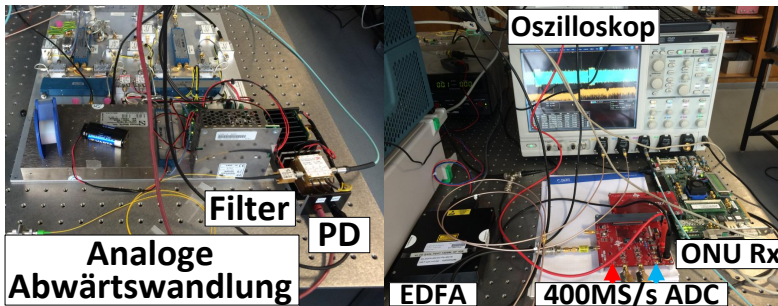


Abbildung 9.20: Laboraufbauten zur Messung der DS-Übertragung: opt. Filterung, Detektion (Photodiode), Abwärts- und A/D-Wandlung und ONU Rx

Das System ist damit in der Lage, eine Signalqualität zu bieten, welche gleich gut oder besser ausfällt als vergleichbare optische OFDM-Systeme. In [95] wird ein optisches OFDMA-System vorgestellt, bei dem 128/64 Subträger bei einer Bandbreite von 1 GHz im elektrischen bzw. optischen B2B-Fall empfangen werden. Verglichen mit dem Subträgerabstand des OFDM-Systems dieser Arbeit von 3.125 MHz, besitzt das dort beschriebene OFDM-System einen Subträgerabstand von 7.8125 bzw. 15.625 MHz, wobei im optischen B2B-Test für QPSK/16-QAM eine EVM_m von 10.7%/8.4% verglichen mit 8.9%/7.1% dieser Arbeit gemessen wurde.

Eine weitere Arbeit [19] erzeugt ein OFDM-Signal mit 128 Subträgern unter der Verwendung von 6 Bit DACs bei einer Abtastrate von 21.4 GS/s, was zu einem Subträgerabstand von 167.1875 MHz führt, wobei eine Datenrate von 8.36 Gbit/s erzielt werden konnte. Hierbei wurde eine EVM von -18dB für den optischen B2B-Fall bei QPSK gemessen, wobei die Messungen dieser Arbeit im Falle von QPSK einer EVM von -21dB entsprechen [134].

In Abbildung 9.19 und 9.20 sind Aufnahmen dargestellt, welche während der Messungen des DS entstanden und den Systemaufbau zeigen. Abbildung 9.19 a stellt den digitalen OLT Tx nebst Micram-Evaluierungsplatinen [98] und DACs dar. Die Tiefpassfilterung mittels zweier Filter aus dem Projekt Condor [94], die elektrische Einfügung des Downstream Seeds, die Verstärkung und die optische Modulation per I/Q-Modulator sind in Abbildung 9.19 b zu sehen.

Auf ONU-Seite sind in Abbildung 9.20 a der optische Filter, die zur Detektion verwendete Photodiode und der analoge elektrische I/Q-Demodulator darge-

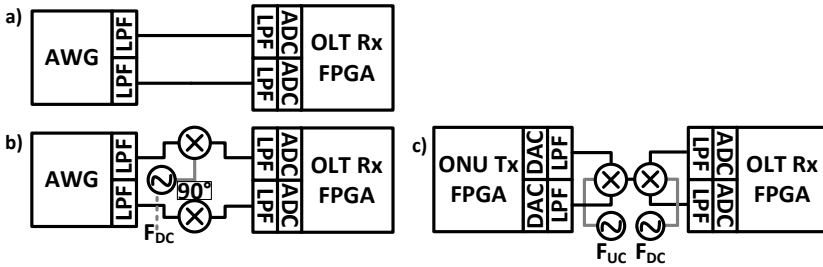


Abbildung 9.21: US-Messaufbauten: a) elektrischer Aufbau mit direkter Verbindung von AWG und OLT Rx, b) mit Abwärtswandlung und c) mit Auf- und Abwärtswandlung und ONU Tx bzw. AWG (vereinfacht dargestellt)

stellt, der zum Heruntermischen des Signals ins Basisbands des ONU Rx verwendet wird.

Abbildung 9.20 b zeigt den EDFA auf OLT-Seite, die analoge elektrische Tiefpassfilterung und die TI ADC-Evaluierungskarte auf Teilnehmerseite und den digitalen ONU Empfänger. Zusätzlich ist im oberen Bereich der Ausgabe des Oszilloskops das Übertragungsprotokoll des DS im Zeitbereich zu sehen (mit optisch herausstechender Präambelsequenz) und im unteren Diagramm der Frequenzbereich des Passbandsignals der SG des ONU Rx vor der analog elektrischen Downconversion ins Basisband, welches direkt nach dem elektrischen Verstärker nach der Photodiode per 3dB-Splitter abgegriffen wurde.

9.5.0.2 Upstream Messungen

Für die US-Messungen wurde der in Kapitel 9.3.4 erläuterte Aufbau eingesetzt. Dieser verwendet eine DDC zum digitalen Heruntermischen des überabgetasteten OLT-Rx-Signals auf den Bereich der gewünschten SG, um zum einen ISI-Probleme zu vermeiden, die durch unterschiedliche US-Latenzen entstehen, aber auch, um den für den DS entwickelten ONU Rx wiederverwenden zu können.

Beim Test der US-Kommunikation wurde wie bei der Evaluierung des DS ein inkrementelles Testen des Aufbaus angewandt, wobei zunächst der elektrische US der Komponenten ausgewertet wurde. In Abbildung 9.21 sind die drei gewählten Aufbauten dargestellt.

Im finalen optischen Aufbau würde das ONU-Tx-Signals mittels einer SSB-Modulation und der Wiederverwendung des DS Seeds zur US-Modulation zunächst

vom Basisband auf eine Zwischenfrequenz gemischt und schließlich in den optischen US-Slot gewandelt, um die Teilnehmerdaten im korrekten Bereich des optischen PUDG Schemas zu platzieren (siehe Kapitel 9.1, Abbildung 9.1). Darauf würden, nach der optischen Übertragungsstrecke die US-Daten, unter Verwendung eines polarisationsdiversen kohärenten Empfängers, im elektrischen Basisband des OLT Rx ankommen.

In einem ersten optischen US-B2B-Test könnte der Aufbau insoweit vereinfacht werden, dass aufseiten des ONU Tx eine analoge Mischerstufe und ein I/Q-Modulator verwendet werden. Damit könnte auf der OLT-Seite eventuell ein Ansatz ähnlich des Empfangs des DSs angewendet werden, bei dem das Passbandsignal durch ein zweites analoges elektrisches Mischen ins Basisband konvertiert würde oder mittels eines kohärenten optischen Empfängers entgegengenommen werden könnte [122]. Demzufolge würde vom Vorgehen her im US-Messaufbau zunächst eine Upconversion auf die Mittenfrequenz der SG im Frequenzbereich des US-Slots und darauf eine Downconversion des Signals ins Basisband des OLT Rx stattfinden.

Aus diesem Grunde wurde ein erster Plausibilitätstest des Konzepts mit einem AWG durchgeführt, das direkt mit dem OLT Rx verbunden wurde, wobei die benötigten Tiefpassfilter zwischengeschaltet wurden. In den Speicher des AWGs wurden dabei aus der Simulation des ONU Tx stammende Übertragungsdaten geladen, welche per digitaler Vorverarbeitung zunächst auf die Mittenfrequenz $F_{UC} = 1.5 \cdot W_{Slot} - 3 \cdot W_{SG}$ der SG2 hochgemischt und darauf mit $F_{DC} = 1.5 \cdot W_{Slot}$ ins Basisband des OLT Rx gewandelt wurden. Die Qualität der Messergebnisse entsprach dabei mit $EVM_m = 2.4\%$ in etwa der DS-Messung für 16-QAM (siehe Abbildung 9.22 a).

Darauf wurde der Downconversion Schritt der Präprozessierung entfernt und dieser mittels einer bereits für die DS-Messungen verwendeten elektrischen Mischerstufe durchgeführt (siehe Abbildung 9.21 b). Dabei ist erkennbar, dass sich die Signalqualität durch die analogen Komponenten messbar verschlechtert, was sich allerdings mit $EVM_m = 5.7\%$ noch einigermaßen im Rahmen hält (siehe Abbildung 9.22 b).

Im letzten Test wurde die Vorverarbeitung entfernt und die reinen ONU-Tx-Daten durch das AWG wiedergegeben bzw. direkt durch den Echtzeit ONU Tx erzeugt (siehe Abbildung 9.21 c). Wie aus Abbildung 9.22 c ersichtlich, verschlechtert sich durch die Hinzunahme der zweiten Mischerstufe die Empfangsqualität am OLT Rx so sehr, dass die Konstellationspunkte kaum mehr zugeordnet werden können ($EVM_m = 17.5\%$), was sich auf die aus diskreten Komponenten bestehenden Mischerstufen zurückführen ließ. Da sich durch ein Vertauschen der Mischerstufen das Ergebnis änderte, zeigt, dass die Komponenten der Stufen

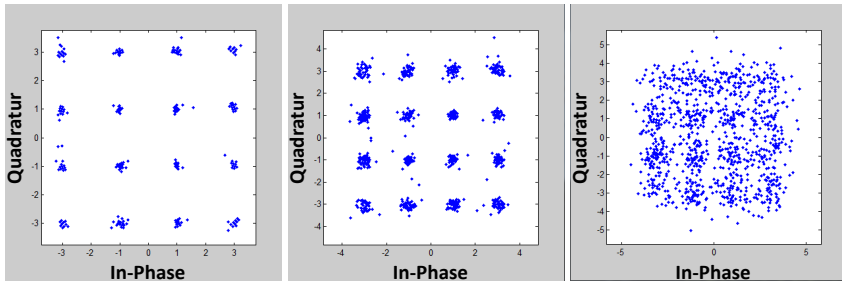


Abbildung 9.22: Aufgezeichnete Konstellationsdiagramme und EVM am Echtzeit-OLT-Rx im Fall direkter elektrischer Verbindung, nur mit elektrischer Abwärtswandlung und dem Fall mit elektrischer Auf- und Abwärtswandlung. Ermittelte EVM_m für 16-QAM: 2.4%, 5.7% und 17.5%.

wahrscheinlich keinen Defekt aufweisen, allerdings deren bidirektionales Verhalten im gegebenen Frequenzbereich eingeschränkt ist.

Dennoch lässt sich durch diese Tests die Funktionalität des digitalen Konzepts des US bestätigen, da der Empfang der Daten durch das prototypische OLT-Rx-FPGA-Design, inklusive analog elektrischem Heruntermischen, möglich ist und in einer Arbeit von Schindler die Funktionalität des optischen Konzepts unter Verwendung zweier ONUs gezeigt werden konnte [123].

Im Folgenden sind Aufnahmen des Laboraufbaus des letzten Falls der US-Messungen dargestellt. In Abbildung 9.23 ist der ONU Tx an die bei 400 MS/s betriebenen DACs angeschlossen, die über Tiefpassfilter zur Anti-Aliasing-Filterung an die Upconversion-Stufe angeschlossen sind. Darauf erfolgt das Heruntermischen mittels der rechts im Bild dargestellten Stufe in das OLT-Rx-Basisband.

Der OLT Rx empfängt nach einer weiteren Tiefpassfilterung das Signal mittels auf Micram-Evaluierungsplatinen [98] installierter ADC-Module, die bei 3.2 GS/s betrieben wurden (siehe Abbildung 9.24).

9.6 Schlussfolgerungen

In den Kapiteln dieses Abschnitts der Arbeit wurde eine neuartige PON-Architektur entwickelt, welche statt eines TDMA-Verfahrens zur Aufteilung des Mediums auf eine Kombination aus Wellenlängen- und Frequenzmultiplex setzt. Innerhalb des Bereichs eines DS- bzw. US-Slots einer Slice wird dabei ein SC-

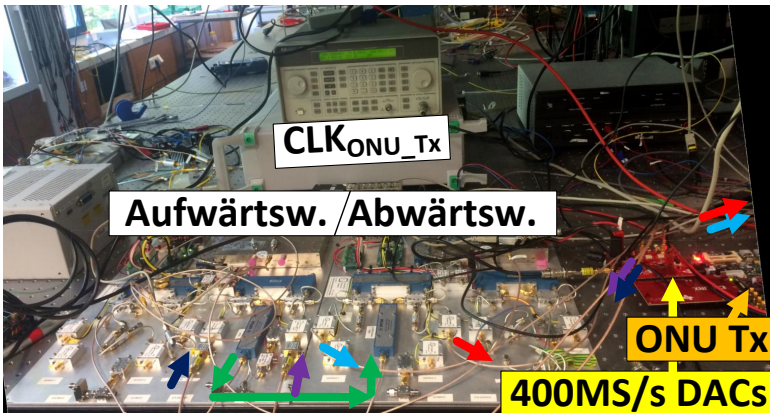


Abbildung 9.23: Laboraufbauten zur Messung der US-Übertragung: Takterzeugung, ONU Tx, D/A- und Auf-/Abwärts wandlung

FDMA-Verfahren angewendet, aufgrund dessen das Ausgangssignal unter anderem ein geringeres PAPR im Vergleich zu OFDMA aufweist. Dies wirkt sich positiv auf die durchschnittliche Signalleistung und damit den Betrieb von nicht-linearen Komponenten, wie optischen Modulatoren aus, was sich in einer verbesserten Signalqualität zeigt und größere mittlere Ausgangsleistungen erlaubt.

In Zusammenarbeit mit einer Gruppe des Technions, Haifa unter Leitung von M. Nazarathy wurde eine digitale Echtzeitarchitektur entwickelt, welche sich aus SC-FDMA-Sende- und -Empfangskomponenten auf Provider- und Nutzerseite zusammensetzt. Dabei wurden die jeweiligen Einheiten mittels FPGAs und teilweise kommerziell erhältlichen (ONU) bzw. in einer Arbeit von Dreschmann [34] (OLT) entwickelten DAC-/ADC-Wandlermodulen realisiert und zusammen mit dem durch Schindler [122] aufgebauten optischen Teil des PONs im Laboraufbau evaluiert. Im Fall der DS-Messungen konnte eine Signalqualität erreicht werden, welche etwas besser ausfällt als in vergleichbaren zur Zeit der Evaluierung veröffentlichten OFDMA-Systemen. Die Funktionalität des Konzepts der US-Übertragung konnte ebenfalls gezeigt werden, indem der elektrische Back-to-Back Fall und durch Schindler [122] die optische Übertragungsstrecke erfolgreich verifiziert werden konnte.

Um eine Aussage zur Eignung der SC-FDMA-Architektur für das TFC-Szenario hinsichtlich dessen zu erwartender Latenz zu treffen, wurde die Verzögerungszeit der am KIT entwickelten SC-FDMA-Sender auf Basis der digitalen Logik und der Wandlermodule abgeschätzt. Da für die Entwicklung der digitalen Ar-

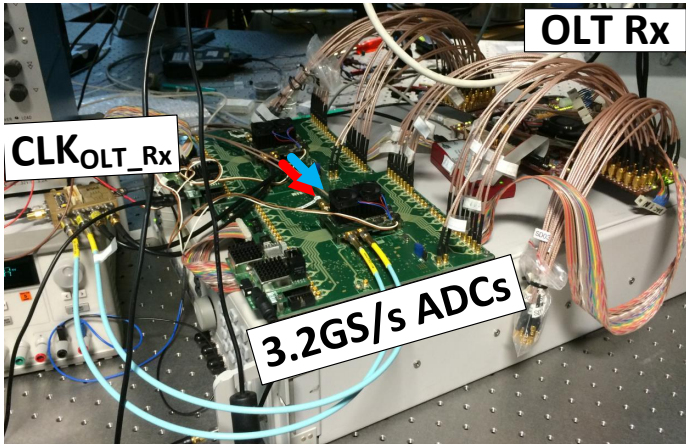


Abbildung 9.24: Laboraufbauten zur Messung der US-Übertragung: Takterzeugung, A/D-Wandlung, OLT Rx

chitektur zunächst die Bestätigung der Funktionalität des SC-FDMA-Konzepts im Vordergrund stand, wurden die digitalen Verarbeitungsblöcke nicht auf Latenz, sondern zunächst lediglich auf deren Durchsatz und benötigte Logikressourcen optimiert. Dabei wurden die Verzögerungszeiten für die beiden Sendereinheiten in Summe zu etwa 6 μ s bestimmt, wobei die Empfängerseite, die zusätzliche aufbereitende und synchronisierende Funktionen erfüllen muss, eine etwas höhere Verarbeitungszeit benötigen wird als der jeweilige Sender auf Provider- bzw. Nutzerseite.

Demzufolge ergeben sich für die hier vorgestellte prototypische SC-FDMA-Architektur mit neun Teilnehmern bei je 1 Gbit/s kontinuierlicher Rate Latenzen, welche im Rahmen der für das CERN TTC PON gewählten Parametrisierung des kommerziellen TDMA XGPON-1 liegen, das für 64 Teilnehmer bei 8 Mbit/s durchschnittlicher Rate ausgelegt wurde [91]. Weitere Teilnehmer könnten in der SC-FDMA-Architektur entweder mittels der zweiten Slice, einer weiteren optischen Wellenlänge, durch eine Verkleinerung der Spektralgruppen oder eine Vergrößerung der Slot Bandbreiten hinzugefügt werden.

Aus diesen Ergebnissen lässt sich schlussfolgern, dass das hier beschriebene prototypische System noch keinen signifikanten Vorteil bezüglich der Latenz zur kommerziellen XGPON-1-Vergleichslösung bietet (8 μ s im US). Anzumerken ist dabei allerdings, dass es sich bei dem hier erläuterten SC-FDMA PON um eine nur wenig optimierte Architektur aus diskreten Komponenten handelt.

Daraus lässt sich folgern, dass das zugrundeliegende Konzept für den Fall einer kommerziellen Umsetzung das Potential einer merklichen Reduktion der durchschnittlichen Übertragungslatenz bietet. Somit besitzt das hier erläuterte SC-FDMA-PON-Konzept Eigenschaften, welche es zu einer äußerst interessanten Verteilungslösung für Timing-, TFC- und solche Systeme macht, welche auf eine geringere mittlere und kleinere Extremfall-Latenzen angewiesen sind, als dies zum Zeitpunkt der Erstellung dieser Arbeit kommerziell erhältliche TDM PONs bieten können.

10 Schlussfolgerungen und Ausblick

Innerhalb dieser Arbeit wurde die Entwicklung eines prototypischen TFC-Systems für das CBM-Experiment behandelt. Bei diesem Experiment wird eine neuartige Art von Auslese verwendet, die sich signifikant vom Ansatz der getriggerten Auslese unterscheidet, da ein selbst-getriggertes Frontend, eine free-streaming betriebene Online-Datenerfassung und eine vollständige Online-Eventrekonstruktion zum Einsatz kommen [45].

Da sich für den Betrieb dieser Auslese keine der verfügbaren Lösungen zur Zeitsynchronisation und kritischen Ereignissteuerung des Standes-der-Technik eignet, wurde hierfür in dieser Arbeit eine neue Methodik in Form eines TFC-Konzepts entwickelt. Die zentrale Fragestellung lautete dabei, mittels welcher Ansätze der Betrieb einer großen, verteilten free-streaming Online-Datenerfassung mit ausreichender Qualität ermöglicht werden kann.

Zur Untersuchung dieser Fragestellung wurde zunächst ein vorläufiges Synchronisationssystem mit Twisted-Pair-Verbindungen entwickelt, das den Betrieb der ersten synchronen, selbst-getriggerten, freilaufenden, mittelgroßen, FPGA-basierten Auslese des CBM-Experiments im Rahmen eines Strahltests ermöglichte [168].

Ausgehend von den Schlüssen aus diesem System und existierenden Systemen zur Zeitsynchronisation und kritischen Ereignissteuerung anderer Experimente, wurde darauf ein Konzept des TFC-Systems erarbeitet. Durch Kombination der Regelung von Oszillatoren mittels Soft-PLL und Kommunikationslinks mit konstanter Latenz wurde eine TFC-Architektur entworfen, welche anhand der bisher bekannten Anforderungen der Auslese von CBM ausgelegt wurde.

Für die in dieser Arbeit zentrale Topologie außerhalb der mTCA.4 Crates wurde zwecks einer möglichst geringen Kommunikationslatenz eine Punkt-zu-Multipunkt TFC-Topologie mit Direkt-Links gewählt. Da sich hierfür prinzipiell sowohl ein auf dem Vorläufer der TFC-Architektur basierender Twisted-Pair-Ansatz, aber auch eine Anbindung per Glasfaser eignet, wurden diese als zwei alternative Verdrahtungskonzepte innerhalb dieser Arbeit aufgebaut und ausgewertet. Wo nötig, wurden Schnittstellenkarten entwickelt.

Dabei bietet die Glasfaserkommunikation den Vorteil kommerziell erhältlicher Hardware und potentiell leichter Erweiterbarkeit, wobei die Twisted-Pair-Va-

riante eine wesentlich geringere Komplexität und ein viel breiteres Anwendungsfeld im Bereich eingebetteter Systeme besitzt, da keine seriellen Hochgeschwindigkeitskanäle benötigt werden.

Auf FPGA-Seite kommt dabei ein HW/SW-System zum Einsatz, das die Flexibilität eines Soft-Core-Prozessors mit hardware-naher Logik kombiniert, um eine hoch präzise Phasenmessung und eine effiziente Regelung von Oszillatoren zu ermöglichen. Dabei wurde ebenso ein Konzept vorgestellt, das es für den Twisted-Pair-Ansatz erlaubt, ohne die Ableitung eines Taktes von einem Hochgeschwindigkeitsdatenlink eine phasenangepasste Synchronisation zu erzielen.

Sowohl im Falle der Verwendung eines Glasfaser- als auch eines Twisted-Pair-Mediums, lieferte ein prototypisches System zur Timing-Synchronisation eines TFC-Master-Slave-Systems mittels Soft-PLL und nachgeregelter Oszillatoren äußerst vielversprechende Messergebnisse. Dabei konnte eine maximale Phasenabweichung vom eingestellten Sollwert im Rahmen von weniger als 10 ps gemessen werden, was der Präzision des als kommerziell erhältliche Referenz angesehenen Systems von durchschnittlich 6 ps äußerst nahe kommt [133]. Mittels des angewandten Verfahrens zur präzisen Zeitstempelerzeugung konnte demonstriert werden, dass das aufgebaute glasfaserbasierte TFC-System eine sehr konstante Übertragungslatenz zwischen zwei FPGAs bieten kann, welche im Betrieb lediglich im Rahmen der Regelungspräzision von 10 ps variiert. Zudem ermöglicht es der gewählte Ansatz, TFC-Slaves auf ein halbes Unit Interval des TFC-Links wiederholbar genau (± 208.3 ps bei 2.4 Gbit/s) auf einen Master zu synchronisieren. Ebenfalls ergaben Messungen, dass mittels des synchronisierten TFC-Taktes aufseiten der Slaves ein Highspeed-Link mit sehr geringer Fehlerrate betrieben werden kann ($BER < 10^{-13}$). Somit eignet sich die entwickelte Übertragungsstrecke sowohl für die präzise Bestimmung des Slave-Phasenfehlers zwecks zeitlicher Synchronisation, als auch als Medium zur zeitlich deterministischen Fast-Control-Kommunikation.

Dies bestätigt, dass mittels der hier vorgestellten Methodik eine in Auslese-Crates unterteilte selbst-getriggerte-Datenerfassung mit hoher Qualität synchronisiert werden kann und sich die Konstanz der physikalischen Kommunikationsverbindung zwischen Crates für den Austausch kritischer Nachrichten der Auslese eignet.

Zur Evaluierung der zukünftigen Erweiterbarkeit der TFC-Topologie wurde ferner die digitale Architektur eines optischen SC-FDMA PONs entwickelt und ausgewertet, das eine Alternative zu den heute kommerziell verwendeten TDM PONs darstellt.

Hierbei erfolgt die Zuteilung des Upstream-Mediums nicht über einen Zeitmultiplex, was bei einer großen Anzahl Nutzer zu hohen Extremfall-Latenzen führen würde, sondern durch eine Aufteilung der Systembandbreite im Frequenz-

bereich. Dabei können die ONUs auf Nutzerseite zu jeder Zeit mit dem OLT kommunizieren, wodurch konzeptbedingt gerade für kurze Nachrichten mit einer geringen Latenz zu rechnen ist.

Mittels elektrischer und optischer Tests im Laboraufbau wurde die PON-Architektur evaluiert, wodurch die Funktionalität des entwickelten PONs gezeigt werden konnte.

Aufgrund der durch den SC-FDMA-Ansatz möglichen Reduktion der Bandbreiten und Abstraten auf Teilnehmerseite, stellt das resultierende PON eine vergleichsweise günstige Alternative zu heutigen TDM-PONs dar. Dabei muss dennoch angemerkt werden, dass die evaluierte prototypische Version des PONs aufgrund der verwendeten diskreten Komponenten für eine direkte in einem TFC-System zu teuer ausfällt. Zudem wird durch die auf den FPGAs zum Einsatz kommenden nicht auf besonders geringe Latenz ausgelegten FFTs und des noch nicht optimierten Kommunikationsprotokolls eine recht hohe Verzögerungszeit von 7-8 μs verursacht.

Dennoch lässt sich für das entwickelte PON abschließend sagen, dass sich dieses Konzept als Lösung zur Signalverteilung innerhalb eines TFC-Netzwerks eignet. Für dessen tatsächliche Verwendung wäre allerdings eine vollständig integrierte kommerzielle Lösung notwendig, sodass sich dessen Kosten und Prozessierungszeiten im Rahmen halten.

Im Folgenden seien als Ausblick dieser Arbeit einige Bereiche des TFC-System genannt, in denen weitere Entwicklungen möglich und erstrebenswert sind.

Ein zentraler Punkt stellt dabei die Umsetzung des Konzepts der Fast-Control-Kommunikation dar. Des Weiteren steht die Entwicklung der Synchronisation der DPBs innerhalb von Crates aus, wobei diese Analogien besitzt, die sich potentiell für den Ausbau eines TFC-Masters zu einem Multi-Master-Crate verwenden lassen.

Ebenfalls wird zu ermitteln sein, welche Paketumlaufzeit einschließlich der Entscheidungsfindung im Falle kritischer Fast-Control-Nachrichten innerhalb des TFC-Systems für die finale Auslese von CBM zulässig sind. Dabei ist es interessant, herauszufinden, welche Schritte bei verschiedenen Konstellationen eintreffender FC-Nachrichten einzuleiten sind, um z.B. einen Kompromiss zwischen maximaler Zuverlässigkeit der Auslese und der Aufzeichnung vollständiger, zusammenhängender Datensätze zu erhalten.

Letztendlich wird aus der maximalen Ein-Wege-Latenz der FC-Pfade ableitbar sein, welche Lösung zur Signalverteilung sich für eine zukünftige Modifikation der Topologie des TFC-Systems zwecks Vergrößerung der Anzahl Slave-Knoten am besten eignen würde, wie beispielsweise ein TFC-Multi-Master-Crate oder ein PON aus der Gruppe der WDM, OFDMA oder SC-FDMA PONs.

10 Schlussfolgerungen und Ausblick

Zusammenfassend stellen die hier beschriebenen Arbeiten eine wichtige Basis der TFC-Architektur dar, welche als essentieller Teil der Auslese des CBM-Experiments zum Betrieb der free-streaming Online-Datenerfassung zum Einsatz kommen wird.

Abbildungsverzeichnis

1.1	Der QCD unterliegendes Phasendiagramm	2
1.2	Aufbau des CBM Experiments	4
2.1	Gitterbasierte FPGA Topologie, Virtex-5 Slice	12
2.2	Hardware/Software-Codesign-Beispiel	14
2.3	Basisstruktur und Prinzip der Vernier TDC	20
2.4	Vernier Delay Line / Tapped Delay Line TDC	21
2.5	Eingangsstufe der DMTD-Komponente	23
2.6	Takt-Jitter an der DMTD-Eingangsstufe	25
2.7	Bit-Value-Median-Verfahren am Eingang der DMTD	26
2.8	PTP-Netzwerk - Aufbau und Ablauf	28
2.9	Phasenbez. der Tx-/Rx-Takte verfeinerte PTP-basierte Messung	29
2.10	Taktzyklenzähler und Phasenlage von Zeitstempelpulsen	31
2.11	Kategorisierung von Rauschen in elektronischen Schaltungen	33
2.12	Rauschen - I/Q Ebene, Phasenoise Diagramm	34
2.13	Charakterisierung möglicher Bestandteile und Ursachen v. Jitter	35
2.14	Verschiedene Arten kritischen Informationsaustauschs	37
2.15	Quellen von Latenzvariation FPGA und Glasfaserstrecke	41
3.1	TDM und WDM PON	45
3.2	Passives optisches Netz mit TWDM	47
3.3	Passives optisches Netz des Accordance-Projekts nach [34]	48
3.4	OFDMA PON, orthogonale Subträger	49
3.5	Basisprozessierung von OFDMA und SC-FDMA am Sender	50
3.6	Konstellationsdiagramm von 16-QAM	51
3.7	Verschiedene Butterfly-Größen - Radix-2, Radix-4 und 3-pt DFT	52
3.8	8-pt FFT und 6-pt PFA DFT	53
3.9	Autokorrelation und Signalenergie nach Schmidl & Cox	55
4.1	Blockdiagramm der Auslese von LHCb	61
4.2	Blockdiagramm des ATLAS-TDAQ-Systems	62
4.3	Blockdiagramm Timing System BelleII	64
4.4	CERN TTC	65
4.5	LHCb TFC Struktur	66

4.6	Blockdiagramm CERN TTC PON	68
5.1	Ausleseketten mit DC-gekoppelter FEE am Beispiel des STS-Detektors	76
5.2	Topologie des TS-Systems	77
5.3	Blockschaltbild und Foto der tDPB-FMC-Karte	79
5.4	Blockdiagramm der TS-Knoten	83
5.5	Blockdiagramm des zentralen Clk_PPS_Ctrl-Logikblocks	85
5.6	Block Diagramm des evaluierten hierarchischen TS-Systems	90
5.7	Messung der PPS Signale eines TS-Systems	91
5.8	Aufbau zur Messung der des verteilten Taktqualität des TS-Links	92
5.9	Messungen TS-Link CAT7 S/FTP- und CAT6-UTP-Kabel	93
5.10	TS-Systeme an der GSI im mTCA Crate ohne/mit Verkabelung	94
5.11	TS-System bei der CBM-CERN-SPS-Strahlzeit 2016	95
6.1	Blockdiagramm der geplanten CBM-Auslese/des TFC-Systems	98
6.2	Blockdiagramm der geplanten DPB-FPGA-Logik [85]	100
6.3	Systemtopologie für Zeitsynchronisation und Fast-Control	103
6.4	Anbindung der DPB/TFC Slave AMCs in mTCA.4 Crates	109
6.5	TFC FPGA Design mit FC-Bypass	112
6.6	Software-Aufrufe und Interrupts der PLL-Regelschleife	114
6.7	Blockschaltbild des Frequenzzähler und der Soft-PLL	116
6.8	Bestimmung des Fehlersignals ϕ_{Add}	118
6.9	Soft-PLL mit Modi zur Grob- und Feinregelung der Oszillatoren	120
6.10	TFC-PHY-Zugriffsteuerung mit FC-Bypass-Port	122
6.11	Aufbau TFC-Link Glasfaser/Twisted-Pair	124
6.12	Generisches Blockschaltbild des TFC-Link PHY	125
6.13	Anbindung des Microprocessor-Systems an die Slow-Control	127
6.14	Erweiterung TFC Multi-Master Crate	130
7.1	Aufbau des TFC-Master-Slave-Systems mit Kupferkabeln	136
7.2	Blockschaltbild der TP-PLL und des geplanten Empfangspfads	138
7.3	Geplante TP Logik auf Sendeseite, Pseudotaktsequenz	142
7.4	Blockschaltbild/Bestückte TMSDB-Platine	146
7.5	Blockschaltbild Testsystem/Kabel-Loopback TMSDB	148
7.6	Blockschaltbild der TFC-FMC-TP-Karte	149
7.7	Foto einer der bestückten TFC FMC TP PCBs	150
7.8	Schematischer Aufbau des glasfaserbasierten TFC-Systems	153
7.9	Logik Anbindung Glasfaser, Timing Protokoll des Glasfaserlinks	156
7.10	Konfigurationen des glasfaserbasierten TFC-Systems	159
7.11	Taktdomänenübergänge der glasfaserbasierten TFC Systeme	160
8.1	μP -System für Tests der Übertragung und der Slave-Osz.sync.	164

8.2	Messaufbau TFC TP/Fiber mit HS-Daten Link	165
8.3	Aufgezeichnete Regelparameter des PI Reglers	166
8.4	Aufgezeichnete Regelparameter des PI Reglers	169
8.5	Histogramm: Regelungspräzision TP-/Glasfasersysteme mit VCOs	170
8.6	Histogramm: Regelungspräzision Glasfasersysteme	171
8.7	Testzenario: BER-Test	172
8.8	Testzenario: BER-Messung IBERT	173
8.9	Testzenario: Latenz	174
8.10	Testzenario: Zwei-Wege-Latenz Taktzyklus-Timestamps	175
8.11	Testzenario: Zwei-Wege-Latenz 1m, Subtaktzyklus Mstr.-Osz.	176
8.12	Testzenario: Zwei-Wege-Latenz 10 m, Subtaktzyklus Mstr.-Osz.	177
8.13	Blockschaltbild GTX Übertragungsstrecke mit Bit-Slide	178
8.14	Wiederholbarkeit Zwei-Wege-Latenzmessung	179
8.15	Wiederholbarkeit Zwei-Wege-Latenzmessung	180
9.1	Gesamtkonzept der OTONES-PON-Architektur nach [122], [123]	185
9.2	Bandbreitenschema einer OTONES Slice nach [3]	187
9.3	Grundlegendes Schema des OTONES DS-Slots	188
9.4	Übertragungsprotokoll im DS, das sogenannte Epochen verwendet	189
9.5	Blockschaltbild des SC-FDMA-OLT-Echtzeittransmitters	193
9.6	DPE Struktur und Winkelabbildung	194
9.7	Struktur der 96-pt und 6-pt DFT am OLT Tx	197
9.8	Blockdiagramm zur Grobstruktur des SC-FDMA ONU Rx	200
9.9	Blockdiagramm der ADC-Schnittstelle am SC-FDMA ONU Rx	201
9.10	Blockdiagramm des SC-FDMA ONU Tx	203
9.11	Blockdiagramm der DAC-Schnittstelle am SC-FDMA ONU Tx	204
9.12	Ursprünglich geplanter SC-FDMA OLT Rx mit 1024-pt FFT	205
9.13	Polarisationssensitiver OLT Rx, Bandbreitenschema	206
9.14	Latenz der Komponenten am OLT Tx	207
9.15	Latenz der Komponenten am ONU Tx	208
9.16	Aufbau der AD-/DA-Wandlung am OLT bzw. ONU	210
9.17	Messaufbauten DS	212
9.18	Konstellationsdiagramme DS	213
9.19	Laborbilder DS - OLT Tx, DS Seed, opt. I/Q-Mod.	214
9.20	Laborbilder DS - PD, DC, ONU Rx	215
9.21	Messaufbauten US	216
9.22	Konstellationsdiagramme US	218
9.23	Labora Aufbau Messung US: Takt, ONU Tx, DAC, Auf-/Abwärtsw.	219
9.24	Labora Aufbau Messung US: Takt, ADC, OLT Rx	220

Abkürzungsverzeichnis

1GE Gigabit Ethernet	CLOSY CBM-Clock-System
AC Alternating Current	CMS Compact Muon Solenoid
ADC Analog-to-Digital-Converter	CORDIC Coordinate Rotation Digital Computer
AFCK AMC FMC Carrier Kintex	COTS Commercial off-the-shelf
AGC Automatic Gain Control	CP Cyclic Prefix
ALICE A Large Ion Collider Experiment	CPU Central Processing Unit
AMC Advanced Mezzanine Card	CRC Cyclic Redundancy Check
ASE Amplified Spontaneous Emission	CSMA/CA Carrier Sense Multiple Access/Collision Avoidance
ASIC Application Specific Integrated Circuit	CSMA/CD Carrier Sense Multiple Access/Collision Detection
ATLAS A Toroidal LHC Apparatus	CSMA/CR Carrier Sense Multiple Access/Collision Resolution
AWG Arbitrary Waveform Generator	DAC Digital-to-Analog Converter
AXI Advanced eXtensible Interface	DAQ Data Acquisition
B2B Back-To-Back	DC Direct Current
BALUN Balanced-Unbalanced	DCA Digital Communication Analyzer
BCC Bunch Crossing Clock	DDC Digital Down Converter
BER Bit Error Rate	DDR Double Data Rate
BIDI Bidirectional	DDS Direct Digital Synthesis
BPSK Binary Phase Shift Keying	DFT Discrete Fourier Transform
BRAM Block Random Accessible Memory	DGD Differential Group Delay
CAN Controller Area Network	DIF Decimation in Frequency
CAZAC Constant Amplitude Zero Autocorrelation	DIT Decimation in Time
CB Connection Box	DLL Delay-Locked Loop
CBM Compressed Baryonic Matter	DMA Direct Memory Access
CDR Clock and Data Recovery	DMTD Dual Mixer Time Difference
CERN Conseil Européen pour la Recherche Nucléaire	DPB Data Processing Boards
CFO Carrier Frequency Offset	DPE Differential Phase Encoding
CLB Configurable Logic Block	DS Downstream

Abbreviations

DSL Digital Subscriber Line	HLT High-Level Trigger
DSP Digital Signal Processor	HPC High Pin Count
DWDM Dense Wavelength Division Multiplexing	HW Hardware
EAM Electro-Absorption Modulator	I In-phase component
EB Event Builder	I/O Input/Output
ECAL Electromagnetic Calorimeter	I²C Inter-Integrated Circuit
EDFA Erbium-Doped Fiber Amplifier	IC Integrated Circuit
EMC Electromagnetic Compatibility	ICI Inter-carrier interference
EVM Error-Vector-Magnitude	ID Identification
FAIR Facility for Antiproton and Ion Research	IFFT Inverse Fast Fourier Transform
FC Fast-Control	IP Internet Protocol
FDE Frequency Domain Equalizer	IP Intellectual Property
FDM Frequency-Division Multiplexing	IPQ Institut für Photonik und Quantenelektronik
FEC Forward Error Correction	IQ In-phase and Quadrature component
FEE Frontend Electronics	ISERDES Input SERDES
FF Flip-Flop	ISI Inter-symbol interference
FFT Fast Fourier Transform	ITIV Institut für Technik der Informationsverarbeitung
FIFO First-In First-Out Memory	JTAG Joint Test Action Group
FIR Finite Impulse Response	KIT Karlsruher Institut für Technologie
FLES First-Level Event Selector	Laser Light Amplification by Stimulated Emission of Radiation
FLIB FLES Interface Board	LD Laser Diode
FLIM FLES Interface Module	LHC Large Hadron Collider
FMC FPGA Mezzanine Card	LHCb LHC Beauty
FPGA Field Programmable Gate Array	LHCf LHC forward
FSM Finite State Machine	LMS Least-Mean Square
FTSW Frontend Timing Switch	LO Local Oscillator
FWDM Filter Wavelength Division Multiplexing	LSB Least Significant Bit
GBT GigaBit Transceiver	LTE Long Term Evolution
GET4 GSI Event-driven TDC with 4 Channels	LUT Look-Up Table
GPIO General Purpose Input/Output	LVC MOS Low Voltage CMOS
GPON Gigabit-capable PON	LVDS Low Voltage Differential Signaling
GSI Gesellschaft für Schwerionenforschung	MAC Medium Access Control
GUI Graphical User Interface	MCH mTCA Carrier Hub
GVD Group-Velocity Dispersion	MIMO Multiple Input Multiple Output
HDL Hardware Description Language	
HF Hochfrequenz	

M-LVDS Multipoint Low Voltage Differential Signaling
MGT Multi-Gigabit Transceiver
MMF Multi-Mode Fiber
MoEDAL Monopole and Exotics Detector at the LHC
MSB Most Significant Bit
MSDD Multiple-Symbol Differential Detection
mTCA Micro Telecommunications Computing Architecture
MUCH Muon Chambers
MUX Multiplexer
MVD Micro Vertex Detector
NCO Numerically Controlled Oscillator
NG-PON2 Next-Generation Passive Optical Network 2
NOC Network-on-Chip
NTP Network Time Protocol
ODDR Output DDR
ODN Optical Distribution Network
OFDM Orthogonal Frequency Division Multiplexing
OFDMA Orthogonal Frequency Division Multiple Access
OLT Optical Line Terminal
ONU Optical Network Unit
OTONES Optical Access Network using OFDM TONES
P2P Point-to-Point
PAPR Peak-to-Average-Power-Ratio
PC Personal Computer
PCB Printed Circuit Board
PCI Peripheral Component Interconnect
PCIe PCI Express
PCS Physical Coding Sublayer
PFA Prime-Factor Algorithm
PHY Physical Interface
PI Proportional-Integral
Pk-Pk peak-to-peak
PLL Phase-Locked-Loop
PMA Physical Medium Attachment
PMD Polarization-Mode Dispersion
PON Passive Optical Network
ppm Parts-Per-Million
PPR Pulse-Per-Request
PPS Pulse-Per-Second
PRBS Pseudo-Random Binary Sequence
PTP Precision Time Protocol
Q Quadrature Component
QAM Quadrature Amplitude Modulation
QCD Quantum chromodynamics
QPSK Quadrature phase-shift keying
RAM Random Access Memory
RICH Ring Imaging Cherenkov Detector
RJ45 Registered Jack 45
RMS Root Mean Square
ROB ReadOut Board
ROM Read Only Memory
ROS ReadOut System
RPC Resistive Plate Chambers
Rx Receiver
S/FTP Screened Foiled Twisted Pair
SATA Serial AT Attachment
SB Switch Box
SC-FDMA Single-Carrier Frequency Division Multiple Access
SEE Single Event Effects
SERDES Serializer-Deserializer
SET Single Event Transients
SEU Single Event Upsets
SFO Sampling Frequency Offset
SFP Small Form-Factor Pluggable
SG Spectral Group
SI-PIC Silicon-based Photonic Integrated Circuit
SMA Subminiature A
SMF Single-Mode Fibre
SNR Signal-to-Noise-Ratio

Abbreviations

SOA Semiconductor Optical Amplifiers	U.FI Ultra Small Surface Mount Coaxial Connectors
SPI Serial Peripheral Interface	UART Universal Asynchronous Receiver Transmitter
SPS Super Proton Synchrotron	uP Microprocessor
SSB Single SideBand	US Upstream
STS Silicon Tracking System	UTC Coordinated Universal Time
SW Software	UTP Unshielded Twisted Pair
TDAQ Trigger and Data Acquisition	VCO Voltage Controlled Oscillator
TDC Time-To-Digital Converter	VCSEL Vertical Cavity Surface Emitting Laser
TDM Time-Division Multiplexing	VCXO Voltage Controlled Crystal Oscillator
TDMA Time-Division Multiple Access	VHDL Very High Speed Description Language
tDPB Timing DPB	VTCXO Voltage and Temperature Controlled Crystal Oscillator
TFC Timing and Fast-Control	WDM Wavelength Division Multiplexing
TIM Timing	WFT Winograd Fourier Transform
TMSDB TFC Master Signal Distribution Board	WLAN Wireless Local Area Network
TOF Time-of-flight	WR White Rabbit
TOTEM TOTAl cross section, Elastic scattering and diffraction dissociation Measurement at the LHC	XFEL X-Ray Free-Electron Laser
TP Twisted-Pair	XFP 10 Gigabit Small Form-Factor Pluggable
TRD Transition Radiation Detector	XGPON 10-Gigabit-capable PON
TRx Transceiver	XOR Exclusive OR
TS Timing Synchronizer	XYTER X-Y-Time-Energy Read-out
TTC Timing, Trigger and Control	
TWDM Time and Wavelength Division Multiplexing	
Tx Transmitter	

Literatur- und Quellennachweise

- [1] ABRAMOWITZ, M. und I. A. STEGUN: *Handbook of Mathematical Functions: with Formulas, Graphs, and Mathematical Tables*. S. 1046. Dover Publications, 1965.
- [2] AGILENT TECHNOLOGIES INC.: *Agilent 86100C Wide-Bandwidth Oscilloscope Mainframe and Modules*. Techn. Ber., 2013. Technical Specifications, 8th March, 2013.
- [3] AGMON, A., M. NAZARATHY, D. MAROM, S. BEN-EZRA, A. TOLMACHEV und R. KILLEY: *Polarization-Diverse OFDM/WDM PON with Laserless Colorless 1Gb/s ONUs based on Si PICs and slow ICs*. Bd. 6, S. 225–237, 2014.
- [4] ALESSIO, F., S. BARON, M. B. MARIN, J. CACHEMICHE, F. HACHON, R. JACOBSSON und K. WYLLIE: *Clock and timing distribution in the LHCb upgraded detector and readout system*. In: *Topical Workshop on Electronics for Particle Physics (TWEPP) 2014*, 2014. jinst102015C02033.
- [5] ALESSIO, F. und R. JACOBSSON: *System-level Specifications of the Timing and Fast Control System of the LHCb Upgrade*. Techn. Ber. LHCb-PUB-2012-001, ver. 1.4, LHCb, 2011.
- [6] ALLAN, D. und H. DAAMS: *Picosecond time difference measurement system*. In: *29th Annual Symposium on Frequency Control*, S. 404–411, 1975.
- [7] AMERICAN NATIONAL STD. INSTITUTE INC.: *ANSI/VITA 57.1 FPGA Mezzanine Card (FMC) Standard*, 2010.
- [8] AMPHENOL: *Specification - FO-10GGBLCX20-001*. Techn. Ber. A, 2006. Technical Drawing.
- [9] AMPHENOL CANADA CORPORATION: *RJE72-488-1401 - RJE72 CAT 5e, RIGHT ANGLED, RECESSED, LOW PROFILE*. Techn. Ber., February 2012. Technical drawing, P-RJE72-488-1XXX, 22nd February 2012.
- [10] ANNALA, J.: *The Fermilab Sequencer - Use in Collider Operations*. In: *International Conference on Accelerator and Large Experimental Physics Control Systems (ICALEPCS 95)*, 1995.
- [11] ARMBRUSTER, T.: *SPADIC - a Self-Triggered Detector Readout ASIC with Multi-Channel Amplification and Digitization*. Doktorarbeit, Ruperto-Carola

- University of Heidelberg, Germany, 2013.
- [12] ARMBRUSTER, T., P. FISCHER und I. PERIC: *SPADIC — A self-triggered pulse amplification and digitization ASIC*. In: *IEEE Nuclear Science Symposium & Medical Imaging Conference*, 2010.
 - [13] AVAGO TECHNOLOGIES: *MicroPOD AFBR-77D1SZ, AFBR-78D1SZ - 10 Gbps/Channel Twelve Channel Parallel Fiber Optics Modules*. Product Brief AV02-4040EN - March 8, 2013, 2013.
 - [14] AVAGO TECHNOLOGIES: *MiniPOD AFBR-811VxyZ, AFBR-821VxyZ*. Techn. Ber. AV02-2842EN - March 8, 2013, 2013.
 - [15] BALANIS, C. A.: *Antenna Theory Analysis and Design*, Bd. 3. A. J. Wiley and Sons Inc., 2005.
 - [16] BARON, S.: *TTC challenges and upgrade for the LHC*. In: *11th Workshop on Electronics for LHC and Future Experiments*, 2005.
 - [17] BECK, D., E. VAN DER BIJ, G. DANILUK, J. SERRANO, M. LIPINSKI, A. VOLLHARDT, A. WUJEK, A. RUBINI, A. WALLIN, B. RAT, C. PRADOS, D. FLORIN, D. LAMPRIDIS, E. G. COTA, F. FRANK, H. PEEK, J. G. RAMIREZ, J. L. MANAS, M. KREIDER, M. BAIZAN, N. KAUR, P. ALVAREZ, P.-E. POTTIE, P. MOREIRA, P. JANSWEIJER, T. FLECK, T. PINKERT, T. WLOSTOWSKI und W. W. TERPSTRA: *White Rabbit project, Open Hardware Repository*.
 - [18] BECK, F.: *The Design an Construction of a Control Center for the CERN SPS Accelerator*. Techn. Ber., European Organization for Nuclear Research, 1976.
 - [19] BENLACHTAR, Y., R. BOUZIANE, P. MILDER, R. KOUTSOYANNIS, C. R. BERGER, J. C. HOE, M. PÜSCHEL, P. M. WATTS, M. GLICK und R. I. KILLEY: *Real-time DSP-based optical OFDM transmission*. In: *35th European Conference on Optical Communication (ECOC)*, S. 20–24, 2009.
 - [20] BIJ, E. VAN DER, G. DANILUK, B. RAT, G. KASPROWICZ und J. G. RAMIREZ: *White Rabbit Switch - Hardware*.
 - [21] BLAIR, R., J. DAWSON, G. DRAKE, W. HABERRICHTER, J. SCHLERETH, J. ZHANG, M. ABOLINS, Y. ERMOLINE und B. POPE: *The ATLAS High Level Trigger Region of Interest Builder*. In: *Journal of Instrumentation*, Bd. 3, 2008.
 - [22] BORGA, A., A. KUGEL, M. JOOS, J. SCHUMACHER, L. TREMBLET, W. VANDELLI, J. VERMEULEN, P. WERNER und F. WICKENS: *Evolution of the ReadOut System of the ATLAS experiment*. Techn. Ber. ATL-DAQ-PROC-2014-012, CERN, Geneva, Jun 2014.
 - [23] BROGNA, A., S. BUZZETTI, W. DABROWSKI, T. FIUTOWSKI, B. GEBAUER, M. KLEIN, C. SCHMIDT, H. SOLTVEIT, R. SZCZYGIEL und U. TRUNK: *NXYTER, a CMOS read-out ASIC for high resolution time and amplitude measu-*

- rements on high rate multi-channel counting mode neutron detectors. In: *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, Bd. 568 d. Reihe 301 - 308, 2006.
- [24] BURRUS, C. und P. ESCHENBACHER: *An in-place, in-order prime factor FFT algorithm*. *IEEE Transactions on Acoustics, Speech and Signal Processing*, 2(4):806–817, 1981.
- [25] CASAROSA, G., M. APUZZO, L. FANUCCI und B. SARTI: *Characterization of the EMC Performances of the CAN Bus in a Typical System Bus Architecture for Small Satellites*. In: *9th EUROMICRO Conference on Digital System Design (DSD'06)*, 2006.
- [26] CBM COLLABORATION: *Technical Design Report for the CBM : Muon Chambers (MuCh)*. Techn. Ber., GSI, 2015. GSI-2015-02580.
- [27] COOLEY, J. und J. TUKEY: *An Algorithm for the Machine Calculation of Complex Fourier Series*. In: *Mathematics of Computation*, Bd. 19, S. 297–301, 1965.
- [28] CUVELAND, J. DE, V. LINDENSTRUTH und THE CBM COLLABORATION: *A First-level Event Selector for the CBM Experiment at FAIR*. *Journal of Physics: Conference Series*, 331(2):022006, 2011.
- [29] D. M. KOLOTOUROS, S. BARON, C. S. F. V.: *A TTC Upgrade Proposal Using Bidirectional 10G-PON FTTH Technology*. In: *Topical Workshop on Electronics for Particle Physics (TWEPP) 2014, France*, 2014. jinst102015C04001.
- [30] DAMM, W.: *Jitter – An Introduction*. Techn. Ber., Wireless Telecom Group. WHITEPAPER.
- [31] DEPPE, H. und H. FLEMMING: *The GSI event-driven TDC with 4 channels GET4*. In: *IEEE Nuclear Science Symposium conference record*, 2009.
- [32] DOERNBERG, J., H. S. LEE und D. A. HODGES: *Full-Speed Testing of A/D Converters*. In: *IEEE Journal of Solid-State Circuits*, Bd. 19, 1984.
- [33] DREHER, A. und D. MOHL: *Präzise Uhrzeitsynchronisation - Der Standard IEEE 1588*. Techn. Ber., Hirschmann Automation and Control GmbH. White Paper, Rev. 1.2.
- [34] DRESCHMANN, M.: *Realisierung einer adaptiven parallelen Hardwarearchitektur für hochperformante OFDMA Zugangsnetzwerke*. Doktorarbeit, Karlsruher Institut für Technologie, 2015.
- [35] DRINKARD, D.: *Configurable cordic core in verilog project*. Link: http://opencores.org/project,verilog_cordic_core, as of 12th Aug. 2011.
- [36] DUBEY, A. K., J. SAINI, R. N. SINGARAJU, S. CHATTOPADHYAY, G. S. N. MURTHY, S. KHAN und Y. VIYOGI: *Testing a triple-GEM detector with cosmic*

- rays using a self-triggered Front End Electronics (FEE)*. In: *Proceedings of the DAE Symposium on Nuclear Physics*, Bd. 56, S. 1094–1095, 2011.
- [37] DUDEK, P., S. SZCZEPANSKI und J. V. HATFIELD: *A high-resolution CMOS time-to-digital converter utilizing a Vernier delay line*. In: *IEEE Journal of Solid-State Circuits*, Bd. 35, S. 240–247, 2000.
- [38] DURANTE, P., J.-P. CACHEMICHE, N. NEUFELD, G. VOUTERS, F. ALESSIO und R. L. GAC: *The readout system upgrade for the LHCb experiment*. In: *20th IEEE NPSS Real Time Conference*, S. 3, 2016.
- [39] EKLUND, H.: *Real Time Phase Locked Loops*. Diplomarbeit, Department of Computer Science and Electrical Engineering, Lulea University of Technology, March 2005.
- [40] EVANS, D., S. FEDOR, I. KRALIK, G. T. JONES, P. JOVANOVIĆ, A. JUSKO, R. LIETAVA, L. SANDOR, J. URBAN und O. VILLALOBOS-BAILLIE: *ALICE Trigger System*. In: *10th Workshop on Electronics for LHC Experiments and Future Experiments*, 2004.
- [41] FAROOQ, U., Z. MARRAKCHI und H. MEHREZ: *Tree-Based Heterogeneous FPGA Architectures*. In: *Springer Science+Business Media New York*, 2012.
- [42] FASTER TECHNOLOGY LLC: *FM-S14 Quad SFP/SFP+ transceiver FMC - User Manual*, February 2014.
- [43] FISCHER, P., I. PERIC, M. RITZERT und M. KONICZEK: *Fast Self Triggered Multi Channel Readout ASIC for Time- and Energy Measurement*. In: *IEEE Transactions on Nuclear Science*, Bd. 56, 2009.
- [44] FRAMMERY, B.: *The LHC Control System*. In: *10th ICALEPCS International Conference on Accelerator & Large Experiment Physics Control Systems*, 2005.
- [45] FRIESE, V.: *Simulation and reconstruction of free-streaming data in CBM*. In: *Journal of Physics: Conference Series*, Bd. 331, S. 032008, 2011.
- [46] FRIESEN, H. W. und W. G. NUTT: *Local area network cabling arrangement*, 1989.
- [47] FRIMAN, B., C. HOEHNE, J. KNOLL, S. LEUPOLD, J. RANDRUP, R. RAPP und P. SENGER: *The CBM Physics Book*, Bd. 814 d. Reihe *Lecture Notes in Physics*. Springer, 2011.
- [48] GIRARD, O.: *openMSP430 project*. Link: <http://opencores.org/project,openmsp430>, as of January 2013.
- [49] GOERRES, A., R. BUGALHO, A. D. FRANCESCO, C. GASTON, F. GONCALVES, G. MAZZA, M. MIGNONE, V. D. PIETRO, A. RICCARDI, J. RITMAN, A. RIVETTI, M. D. ROLO, J. C. DA SILVA, R. SILVA, T. STOCKMANN, S.

- J. VARELA, V. VECKALNS und R. WHEADON: *A free-running, time-based read-out method for particle detectors*. In: *Journal of Instrumentation*, Bd. 9, 2014.
- [50] GOOD, I. J.: *The relationship between two fast Fourier transforms*. In: *IEEE Trans. Comput.*, S. 310–317, 1971.
- [51] GROTE, K.-H. und J. FELDHUSEN: *Taschenbuch für den Maschinenbau*. Dubbel, 2014.
- [52] GUMINSKI, M., W. ZABOLOTNY, G. KASPROWICZ, K. POZNIAK und R. ROMANIUK: *Time and clock synchronization with AFCK for CBM*. In: *Proceedings of SPIE - Photonics Applications in Astronomy, Communications, Industry, and High-Energy Physics*, Bd. 9662, S. 96622V–96622V–6, 2015.
- [53] HAJIMIRI, A. und T. H. LEE: *A General Theory of Phase Noise in Electrical Oscillators*. In: *IEEE Journal of Solid-State Circuits*, Bd. 33, S. 179–194, 1998.
- [54] HEWLETT PACKARD (AT LAST PRODUCED BY AGILENT TECHNOLOGIES INC.): *Agilent 8648A/B/C/D Signal Generators*. Techn. Ber., 2006. Data Sheet, 6th November, 2006.
- [55] HIGGS, P.: *Broken symmetries, massless particles and gauge fields*. Bd. 2, S. 132–133, 1964.
- [56] HITECH GLOBAL: *HTG-640: Xilinx Virtex 6 HXT 40G/100G Development Platform*. Techn. Ber. HTG-V6HXT-100GIG User Manual.
- [57] IEEE STANDARDS ASSOCIATION: *1588-2008 - IEEE Standard for a Precision Clock Synchronization Protocol for Networked Measurement and Control Systems*, 2008.
- [58] IEEE STANDARDS ASSOCIATION: *IEEE Std 802.3-2008 (Revision of IEEE Std 802.3-2005)*, 2008.
- [59] IEEE STANDARDS ASSOCIATION: *IEEE Standard for Ethernet - IEEE Std 802.3™-2012*, 2012.
- [60] IEEE STANDARDS ASSOCIATION: *802.3-2015 - IEEE Standard for Ethernet*. Techn. Ber., 2015.
- [61] INFINIBAND TRADE ASSOCIATION: *InfiniBand Architecture Specification Volume 1/2*, 2015.
- [62] INTERNATIONAL ELECTROTECHNICAL COMMISSION: *IEC 61588:2009 - Precision clock synchronization protocol for networked measurement and control systems*, 2009.
- [63] INTERNATIONAL ORGANIZATION FOR STANDARDIZATION: *ISO/IEC 11801:2002 - Information technology - Generic cabling for customer premises*.
- [64] INTERNATIONAL TELECOMMUNICATION UNION: *10-Gigabit-capable passi-*

- ve optical network (XG-PON) systems: Definitions, abbreviations and acronyms.*
- [65] INTERNATIONAL TELECOMMUNICATION UNION: *Gigabit-capable passive optical networks (GPON): General characteristics*, March 2008.
- [66] INTERNATIONAL TELECOMMUNICATION UNION: *40-Gigabit-capable passive optical networks (NG-PON2): General requirements*, March 2013. Recommendation ITU-T G.989.1.
- [67] INTOS ELECTRONICS: *InLine LWL Duplex Kabel, LC/LC, 50/125 μ m, OM2, 10m*. Techn. Ber. Art.-Nr.: 88540.
- [68] IQD FREQUENCY PRODUCTS LTD.: *IQD CFPV-45 - VCXO Specification*. Techn. Ber. 7, 2015. Model Data Sheet V1.2550.
- [69] JIAN, L., L. GUOQING und G. B. GIANNAKIS: *Carrier frequency offset estimation for OFDM-based WLANs*. IEEE Signal Processing Letters, 8(3):80–82, 2001.
- [70] JONES, G. J.: *The reconfigurable application of ERAS*. In: *IEE Colloquium on User-Configurable Logic - Technology and Applications*, 1991.
- [71] JONES, O. R.: *LHC beam instrumentation*. In: *2007 IEEE Particle Accelerator Conference (PAC)*, S. 2630–2634, 2007.
- [72] KARLSSON, M.: *Probability density functions of the differential group delay in optical fiber communication systems*. In: *Journal of Lightwave Technology*, Bd. 19, S. 324–331, 2001.
- [73] KASINSKI, K., R. KLECZEK, P. OTFINOWSKI, R. SZCZYGIEL und P. GRYBOS: *STS-XYTER, a high count-rate self-triggering silicon strip detector readout IC for high resolution time and energy measurements*. In: *IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC)*, S. 1–6, 2014.
- [74] KEYS, A. S. und M. D. WATSON: *Radiation Hardened Electronics for Extreme Environments*. In: *International Planetary Probes Workshop – 5*, 2007.
- [75] KHAN, F.: *LTE for 4G Mobile Broadband*. Cambridge University Press, 2009.
- [76] KOCH, K.: *CLOSY: A very precise clock generation for timing measurements and synchronization of the CBM ToF wall*. In: *IEEE Nuclear Science Symposium and Medical Imaging Conference*, 2009.
- [77] KORDAS, K.: *The ATLAS Data Acquisition and Trigger: concept, design and status*. In: *Proceedings of the 10th Topical Seminar on Innovative Particle and Radiation Detectors*, Bd. 172, S. 178–182, 2007.
- [78] LARREA, C. G., K. HARDER, D. NEWBOLD, D. SANKEY, A. ROSE, A. THEA und T. WILLIAMS: *IPbus: a flexible Ethernet-based control system for xTCA hardware*. In: *Topical Workshop on Electronics for Particle Physics*,

2015. jinst102015C02019.
- [79] LEE, T. H. und A. HAJIMIRI: *Oscillator phase noise: a tutorial*. In: *IEEE Journal of Solid-State Circuits*, Bd. 35, S. 326–336, 2000.
- [80] LEHNERT, J., D. EMSCHERMAN, C. J. SCHMIDT, W. ZABOLOTNY, A. P. BYSZUK und R. S. ET AL.: *GBT based readout in the CBM experiment*. In: *Topical Workshop on Electronics for Particle Physics*, 2016.
- [81] LENTFER, A.: *Microsecond Resolution Time Services for Windows*, June 2012. Version 2.50, October 2016.
- [82] LINDENSTRUTH, V. und I. KISEL: *Overview of trigger systems*. In: *Nuclear Instruments and Methods in Physics Research*, Bd. 535, S. 48–56, 2004.
- [83] LINK, J., M. R. P. YAGER, J. ANJOS, I. BEDIAGA und C. G. ET AL.: *Cherenkov particle identification in FOCUS*. In: *Nuclear Instruments and Methods in Physics Research*, Bd. 484, S. 270–286, 2002.
- [84] LIPINSKI, M., T. WLOSTOWSKI, J. SERRANO und P. ALVAREZ: *White Rabbit: a PTP Application for Robust Sub-nanosecond Synchronization*. In: *International IEEE Symposium on Precision Clock Synchronization for Measurement Control and Communication (ISPCS)*, S. 25–30, 2011.
- [85] LOIZEAU, P.-A., D. EMSCHERMAN, J. LEHNERT, W. F. J. MUELLER und J. YANG: *The prototype readout chain for CBM using the AFCK board and its software components*. Bd. 9662, S. 96622X 1–11, 2015.
- [86] LOURENCO, C. und H. WÖHRI: *Heavy-flavour hadro-production from fixed-target to collider energies*. Bd. 433, 2006.
- [87] MANDELLI, S., A. GATTO, M. MAGARINI, P. BOFFI, P. MARTELLI, S. PECORINO und A. SPALVIERI: *Phase Noise Impact on Directly Detected Optical OFDM Transmission in Uncompensated Links*. In: *18th International Conference on Transparent Optical Networks (ICTON)*, S. 1–4, 2016.
- [88] MAXIM INTEGRATED: *12-Bit 4.3 GSps Cable Downstream Direct RF Synthesis DAC*. Techn. Ber. Datasheet.
- [89] MCKAY, N. und S. SINGH: *Dynamic Specialisation of XC6200 FPGAs by Partial Evaluation*. In: *Field-Programmable Logic and Applications From FPGAs to Computing Paradigm*, S. 298–307. Springer Berlin Heidelberg, 1998.
- [90] MEDHAT, M., S. Y. EL-ZAIAT, A. RADY und M. F. OMAR: *Application of fringes of equal chromatic order for investigating the effect of temperature on optical parameters of a GRIN optical fibre*. In: *Journal of Optics A: Pure and Applied Optics*, Bd. 4, S. 174, 2002.
- [91] MENDES, E., S. BARON, D. KOLOTOUROS, C. SOOS und F. VASEY: *The*

- 10G TTC-PON: *Challenges, Solutions and Performance*. In: *Topical Workshop on Electronics for Particle Physics*, 2016.
- [92] MERCURY CRYSTAL: *VM53S series 3.0V - SMD Clipped Sine wave 5.0 x 3.2 x 1.5 mm*. Techn. Ber.
- [93] MERCURY ELECTRONIC IND. CO. LTD.: *TCXO and VCTCXO*. Techn. Ber., September, 15 2003. Rev. 1.
- [94] MEYER, J.: *HW/SW Co-Design Framework für Hochgeschwindigkeits-OFDM Signalverarbeitung*. Doktorarbeit, Karlsruher Institut für Technologie, 2014.
- [95] MEYER, J., M. DRESCHMANN, D. KARNICK, P. SCHINDLER, W. FREUDE, J. LEUTHOLD und J. BECKER: *A novel system on chip for software-defined, high-speed OFDM signal processing*. 26th Symposium on Integrated Circuits and System Design (SBCCI) 2013, 2013.
- [96] MEYER, J., S. MENZEL, M. DRESCHMANN, R. SCHMOGROW, D. HILLER-KUSS, W. FREUDE, J. LEUTHOLD und J. BECKER: *Ultra High Speed Digital Down Converter Design for Virtex-6 FPGAs*. In: *Proceedings of OFDM 2012, 17th International OFDM Workshop 2012 (InOWo'12)*;, Nr. 1-5, 2012.
- [97] MICHELL, G. D. und R. GUPTA: *Hardware/software co-design*. Proceedings of the IEEE, 85(3), 1997.
- [98] MICRAM MICROELECTRONIC GMBH: *VEGA30G Evaluation Board for 30 GS/s Converters*. Techn. Ber. Datasheet.
- [99] MICROWAVE, M.: *BAL-0006 - BROADBAND BALUN (200 kHz to 6 GHz)*. Techn. Ber., 2015. Data sheet, 06/10/15.
- [100] MILDER, P. A., F. FRANCHETTI, J. C. HOE und M. PÜSCHEL: *Discrete Fourier Transform Compiler: From Mathematical Representation to Efficient Hardware*. CSSI Technical Report #CSSI-07-01, Carnegie Mellon University, 2007.
- [101] MILLS, D. L.: *Internet time synchronization: the network time protocol*. In: *IEEE Transactions on Communications*, Bd. 39, S. 1482–1493, 1991.
- [102] MILLS, D. L.: *Internet time synchronization: the network time protocol*. In: *Global States and Time in Distributed Systems*. IEEE Computer Society Press, 1994.
- [103] MINI CIRCUITS: *SLP-1650+*. Techn. Ber. Coaxial Low Pass Filter - 50Ohm DC to 1400MHz.
- [104] MINI CIRCUITS: *ZX75LP-158+*. Techn. Ber. Coaxial Low Pass Filter - 50Ohm DC to 158MHz.
- [105] MINN, H., M. ZENG und V. K. BHARGAVA: *On timing offset estimation for*

- OFDM systems. *IEEE Communications Letters*, 4(7):242–244, July 2000.
- [106] MOREIRA, P., P. ALVAREZ, J. SERRANO, I. DARWEZEH und T. WLOSTOWSKI: *Digital dual mixer time difference for sub-nanosecond time synchronization in Ethernet*. In: *IEEE International Frequency Control Symposium (FCS)*, S. 449–453, 2010.
- [107] MOREIRA, P., R. BALLABRIGA, S. BARON, S. BONACINI, O. COBANOGU und F. F. ET AL.: *The GBT Project*. In: *Topical Workshop on Electronics for Particle Physics*, S. 21–25, 2009.
- [108] MYUNG, H. G.: *Introduction to Single Carrier FDMA*. In: *15th European Signal Processing Conference*, S. 5, 2007.
- [109] MYUNG, H. G., J. LIM und D. J. GOODMAN: *Single Carrier FDMA for Uplink Wireless Transmission*. In: *IEEE Vehicular Technology Magazine*, Bd. 1, S. 30–38, 2006.
- [110] NAGLE, J.: *On packet switches with infinite storage*. In: *IEEE Transactions on Communications*, Bd. COM-35, 1987.
- [111] NAKAO, M.: *Timing distribution for the Belle II data acquisition system*. In: *Topical Workshop on Electronics for Particle Physics*, 2011. jinst72012C01028.
- [112] NAKAO, M., T. HIGUCHI, R. ITOH und S. Y. SUZUKI: *Data acquisition system for Belle II*. *Journal of Instrumentation*, 5(12):C12004, 2010.
- [113] NAZARATHY, M. und A. TOLMACHEV: *Receiver, Transmitter and a method for digital multiple sub-band processing*. Patent Granted in EU, US. WO 2012168926 A3, 2014.
- [114] NEE, R. V. und R. PRASAD: *Ofdm for Wireless Multimedia Communications*. Artech House Universal Persona, 1999.
- [115] NORMAND, E.: *Single-Event Effects in Avionics*. In: *IEEE Transactions on Nuclear Science*, 1996.
- [116] PETTATI, R.: *Noise within Receiving Systems*. Wiley Interscience, 1984.
- [117] PHILIP B. JOHNSON, N. C.: *Connecting graphics adapters for scalable performance*, 2009.
- [118] PICMG: *MicroTCA Enhancements for Rear I/O and Precision Timing (MT-CA.4)*.
- [119] PINFOLD, J. L.: *The MoEDAL Experiment at the LHC*. In: *2nd International Conference on New Frontiers in Physics*, Bd. 71, 2014.
- [120] POSTEL, J.: *User Datagram Protocol*. Techn. Ber., Internet Standard, 1980.
- [121] SCHINDLER, P., R. M. SCHMOGROW, D. HILLERKUSS, M. NAZARATHY,

- S. BEN-EZRA, C. KOOS, W. FREUDE und J. LEUTHOLD: *Remote Heterodyne Reception of OFDM-QPSK as Downlink-Solution for Future Access Networks*. In: *Advanced Photonics Congress*, 2012.
- [122] SCHINDLER, P. C.: *Next-Generation Optical Access Networks Architectures, Signal Processing and Devices*. Doktorarbeit, ETH Zürich, 2014.
- [123] SCHINDLER, P. C., A. AGMON, S. WOLF, R. BONK, L. MEDER, M. MELTSIN und J. BECKER: *Ultra-Dense, Single-Wavelength DFT-Spread OFDM PON with Laserless 1 Gb/s ONU at only 300 MBd per Spectral Group*. European Conference and Exhibition on Optical Communication (ECOC) 2014, 2014.
- [124] SCHMIDL, T. M. und D. C. COX: *Robust frequency and timing synchronization for OFDM*. In: *IEEE Transactions on Communications*, Bd. 45, S. 1613–1621, 1997.
- [125] SCHMOGROW, R., R. BOUZIANE, M. MEYER, P. A. MILDER, P. C. SCHINDLER, R. I. KILLEY, P. BAYVEL, C. KOOS, W. FREUDE und J. LEUTHOLD: *Real-time OFDM or Nyquist pulse generation – which performs better with limited resources?*. In: *Optics Express*, Bd. 20, S. B543–B551, 2012.
- [126] SCHMOGROW, R., D. HILLERKUSS, S. WOLF, B. BÄUERLE, M. WINTER, P. KLEINOW, B. NEBENDAHL, T. DIPPON, P. C. SCHINDLER, C. KOOS, W. FREUDE und J. LEUTHOLD: *512QAM Nyquist sinc-pulse transmission at 54 Gbit/s in an optical bandwidth of 3 GHz*. In: *Journal Optics Express*, Bd. 20, S. 6439–6447, 2012.
- [127] SCHMOGROW, R., B. NEBENDAHL, M. WINTER, A. JOSTEN, D. HILLERKUSS, S. KOENIG, J. MEYER, M. DRESCHMANN, M. HUEBNER, C. KOOS, J. BECKER, W. FREUDE und J. LEUTHOLD: *Error vector magnitude as a performance measure for advanced modulation formats*. *IEEE Photonics Technology Letters*, 24(1):61–63, 2012.
- [128] SCHWARZ, K., F. UHLIG, R. KARABOWICZ, A. MONTIEL-GONZALEZ, M. ZYNOVYEV und C. PREUSS: *Grid Computing at GSI for ALICE and FAIR – present and future*. *Journal of Physics: Conference Series*, 396(3):032097, 2012.
- [129] SCHWARZSCHILD, B.: *Have Heavy Ion Collisions at CERN Reached the Quark–Gluon Plasma?*. In: *Physics Today*, Bd. 53, S. 20–23, 2000.
- [130] SEEZ, C.: *The CMS trigger system*. In: *The European Physical Journal C - Particles and Fields*, Bd. 34, S. 151–159, 2004.
- [131] SEIMETZ, M.: *High-Order Modulation for Optical Fiber Transmission*, Bd. 143. Springer, 2009.
- [132] SELLIN, P. J. und J. VAITKUS: *New materials for radiation hard semiconductor*

- detectors*. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 557(2), February 2006.
- [133] SERRANO, J., M. CATTIN, E. GOUSIOU, E. VAN DER BIJ, T. WLOSTOWSKI, G. DANILUK und M. LIPINSKI: *The White Rabbit project*. In: *Proceedings of IBIC2013*, S. 936–942, 2013.
- [134] SHAFIK, R. A., M. S. RAHMAN und A. R. ISLAM: *On the Extended Relationships Among EVM, BER and SNR as Performance Metrics*. In: *4th International Conference on Electrical and Computer Engineering*, S. 408–411, 2006.
- [135] SHANK, S., NARAYAN, M. J. NARASIMHA und A. M. PETERSON: *DFT Algorithms - Analysis and Implementation*. Stanford University CA Stanford Electronics Labs, 1978.
- [136] SHAO, M., O. BARANNIKOVA, X. DONG, Y. FISYAK, L. RUAN, P. SORENSEN und Z. XU: *Extensive particle identification with TPC and TOF at the STAR experiment*. In: *Nuclear Instruments and Methods in Physics Research*, Bd. 558, S. 419–429, 2006.
- [137] SHARAWI, M. S.: *Practical issues in high speed PCB design*. IEEE Potentials, 23(2):24–27, April 2004.
- [138] SIGRON, N., I. TSELNIKER und M. NAZARATHY: *Carrier phase estimation for optically coherent QPSK based on Wiener-optimal and adaptive Multi-Symbol Delay Detection (MSDD)*. Optics Express, 20(3):1981–2003, 2012.
- [139] SILICON LABORATORIES: *Si570/Si571 - 10 MHz to 1.4 GHz I2C programmable XO/VCXO*. Techn. Ber., 2014. Rev. 1.5 4/14.
- [140] SINGLETON, R. C.: *An Algorithm for Computing the Mixed Radix Fast Fourier Transform*. IEEE Transactions on audio and Electroacoustics, AU-17(2):93–103, 1969.
- [141] SiTIME CORPORATION: *Clock Jitter Definitions and Measurement Methods*. Techn. Ber., 2014. SiTime, application note SiT-AN10007 Rev 1.2, January 2014.
- [142] SMITH, W. H.: *Triggering at LHC experiments*. In: *Proceedings of the ninth International Conference on Instrumentation*, Bd. 478, S. 62–67, 2002.
- [143] SPIRAL: *Spiral DFT/FFT IP Core Generator project, patent free version from DATE'09*. Link: <http://www.spiral.net/hardware/dftgen.html>, as of 17th Jan. 2013.
- [144] STANFORD RESEARCH SYSTEMS: *MODEL SR620 - Universal Time Interval Counter*. Techn. Ber., 2006. User Guide.

- [145] STASZEWSKI, R. B. und P. T. BALSARA: *Phase-Domain All-Digital Phase-Locked Loop*. In: *IEEE Transactions on Circuits and Systems*, Bd. 52, S. 5, 2005.
- [146] SULLIVAN, D., D. ALLAN, D. HOWE und F. WALLS: *Characterization of Clocks and Oscillators*. 1990. NIST Technical Note 1337.
- [147] TANG, Y., W. SHIEH, X. YI und R. EVANS: *Optimum Design for RF-to-Optical Up-Converter in Coherent Optical OFDM Systems*. In: *IEEE Photonics Technology Letters*, Bd. 19, 2007.
- [148] TAYLOR, B.: *TTC distribution for LHC detectors*. In: *IEEE Transactions on Nuclear Science*, Bd. 45, 1998.
- [149] TAYLOR, B. G.: *TTC machine interface (TTCmi) - User Manual*. Techn. Ber. 1.3, CERN.
- [150] TELECOMMUNICATIONS INDUSTRY ASSOCIATION: *Electrical characteristics of Low Voltage Differential Signaling (LVDS) interface circuits*, May 2000.
- [151] TELECOMMUNICATIONS INDUSTRY ASSOCIATION: *TIA/EIA-568-B.2 - Commercial Building Telecommunications Cabling Standard, Part 2: Balanced Twisted-Pair Cabling Components*, 2001. TIA/EIA-568-B.2.
- [152] TEXAS INSTRUMENTS: *SN65MLVD080/SN65MLVD082 - 8-channel half-duplex M-LVDS line transceivers*. Techn. Ber. manual SLLS581B, (2003, revised 2005).
- [153] TEXAS INSTRUMENTS: *SN65MLVD128/SN65MLVD129 - 1:8 LVTTTL to M-LVDS repeater dual 1:4 LVTTTL to M-LVDS repeaters*. Techn. Ber., 2004. manual SLLS586, (2004).
- [154] TEXAS INSTRUMENTS: *CDCE62005 - 3:5 Clock Generator, Jitter Cleaner with Integrated Dual VCOs*. Techn. Ber., 2008. manual SCAS862F, (2008, revised 2015).
- [155] TEXAS INSTRUMENTS: *RJ45 to SMA Adapter Board - DS91C176EVK*. Techn. Ber., 2008. User manual, Rev. 0.1, January, 2008.
- [156] TEXAS INSTRUMENTS: *CDCE62002 - Four Output Clock Generator/Jitter Cleaner With Integrated Dual VCOs*. Techn. Ber., 2009. manual SCAS882D, (2009, revised 2012).
- [157] TEXAS INSTRUMENTS: *4-Channel half-duplex M-LVDS Line Transceivers*. Techn. Ber., 2010. SLLS902 – February 2010.
- [158] TEXAS INSTRUMENTS: *LMK00804B Low Skew, 1-to-4 Multiplexed Differential/LVCMOS-to-LVCMOS/TTL Fanout Buffer*. Datasheet, 2014. SNAS642A – june 2014 – revised july 2014.
- [159] TEXAS INSTRUMENTS INC.: *Dual-Channel, 10-/12-Bit, 500-MSPS Digital-to-*

- Analog Converters (DACs)*. Techn. Ber., 2012. Datasheet SLAS736D - NOVEMBER 2010 - REVISED AUGUST 2012.
- [160] TEXAS INSTRUMENTS INC.: *Dual 12-Bit 800Msps Analog-to-Digital Converter*. Techn. Ber., 2014. Datasheet SLAS936B - MARCH - 2013 - REVISED JANUARY 2014.
- [161] TEXAS INSTRUMENTS INC.: *ADC12D1800 12-Bit, Single 3.6 GSPS Ultra High-Speed ADC*. Techn. Ber., 2015. Datasheet SNAS500P - MAY 2010 - REVISED JULY 2015.
- [162] THE ALICE COLLABORATION: *The ALICE experiment at the CERN LHC*. In: *Journal of Instrumentation*, Bd. 3, 2008.
- [163] THE ATLAS COLLABORATION: *The ATLAS Experiment at the CERN Large Hadron Collider*. In: *Journal of Instrumentation*, Bd. 3, S. S08003, 2008.
- [164] THE ATLAS COLLABORATION: *Observation of a new particle in the search for the Standard Model Higgs boson with the ATLAS detector at the LHC*. Physics Letters B, 716(1):1–29, 2012.
- [165] THE ATLAS COLLABORATION: *Search for strong gravity in multijet final states produced in pp collisions at $\sqrt{s} = 13$ TeV using the ATLAS detector at the LHC*. In: *Journal of High Energy Physics*, Nr. 3, S. 26, 2016.
- [166] THE ATLAS COLLABORATION und CMS COLLABORATION: *Combined Measurement of the Higgs Boson Mass in pp Collisions at $\sqrt{s} = 7$ and 8 TeV with the ATLAS and CMS Experiments*. Phys. Rev. Lett.114.191803, 114(19):33, 2015.
- [167] THE CBM COLLABORATION: *Technical Design Report for the CBM - Silicon Tracking System (STS)*. Techn. Ber. GSI Report 2013-4, 2013.
- [168] THE CBM COLLABORATION: *CBM Progress Report 2016*. Techn. Ber., 2016.
- [169] THE CMS COLLABORATION: *The CMS experiment at the CERN LHC*. In: *Journal of Instrumentation*, Bd. 3, S. S08004, 2008.
- [170] THE CMS COLLABORATION und G. M. DALLAVALLE: *The CMS muon trigger*. In: *Astroparticle, Particle and Space Physics, Detectors and Medical Physics Applications*, 2004.
- [171] THE CMS COLLABORATION und K. HOLTMAN: *CMS Data Grid System Overview and Requirements*. Techn. Ber. CMS NOTE 2001/03, The Compact Muon Solenoid Experiment, 2001.
- [172] THE LHCb COLLABORATION: *The LHCb Detector at the LHC*. In: *Journal of Instrumentation*, Bd. 3, S. S08005, 2008.
- [173] THE LHCf COLLABORATION: *The LHCf detector at the CERN Large Hadron*

- Collider*. In: *Journal of Instrumentation*, Bd. 3, 2008.
- [174] THE ROYAL SWEDISH ACADEMY OF SCIENCES: *2009 Nobel Prize in Physics – Scientific Background: Two revolutionary optical technologies – Optical fiber with high transmission*. 2009.
- [175] THE TOTEM COLLABORATION: *The TOTEM Experiment at the CERN Large Hadron Collider*. In: *Journal of Instrumentation*, Bd. 3, S. S08007, 2008.
- [176] TOLMACHEV, A. und M. NAZARATHY: *Low-Complexity Multi-Band Poly-phase Filter Bank for Reduced-Guard-Interval Coherent Optical OFDM*. In: *Advanced Photonics*, S. SPMB3, 2011.
- [177] TOLMACHEV, A., I. TSELNIKER, M. MELTSIN, I. SIGRON und M. NAZARATHY: *Efficient Multiplier-free FPGA Demonstration of Polar-domain Multi-Symbol-Delay-Detector (MSDD) for High Performance Phase Recovery of 16-QAM*. Optical Fiber Communication Conference and Exposition and the National Fiber Optic Engineers Conference (OFC/NFOEC) 2013, 2013.
- [178] TRIMBERGER, S. M.: *Three Ages of FPGAs: A Retrospective on the First Thirty Years of FPGA Technology*. In: *Proceedings of the IEEE*, Bd. 103, S. 318–331, 2015.
- [179] TSE, D. und P. VISWANATH: *Fundamentals of Wireless Communication*. Cambridge University Press, 2005.
- [180] VERNIER, P.: *La construction, l'usage, et les propriétés du quadrant nouveau de mathématique*. 1631.
- [181] VETTER, P.: *Next Generation Optical Access Technologies*. European Conference and Exhibition on Optical Communication (ECOC) 2012, 2012.
- [182] VOLDER, J. E.: *The CORDIC Trigonometric Computing Technique*. IRE Transactions on Electronic Computers, EC-8(3):330–334, 1959.
- [183] WARTBURG, S. VON: *CAS - CERN Accelerator School: Intermediate Course on Accelerator Physics*. 2003.
- [184] WATTERSON, C.: *LVDS and M-LVDS Circuit Implementation Guide*. Techn. Ber., Analog Devices, 2013. AN-1177 - Application Note.
- [185] WEN, J. H., S. H. LEE, G. R. LEE und J. T. CHANG: *Timing and Delay Spread Estimation Scheme in OFDM Systems*. In: *IEEE Transactions on Consumer Electronics*, Bd. 54, S. 316–320, 2008.
- [186] WIDMER, A. X. und P. A. FRANASZEK: *A DC-Balanced, Partitioned-Block, 8B/10B Transmission Code*. In: *IBM Journal of Research and Development*, Bd. 27, S. 440–451, 1983.
- [187] WIDROW, B. und M. E. HOFF: *Adaptive switching circuits*. In: *IRE WESCON*

- Convention Record*, Bd. 4, S. 96–104, 1960.
- [188] WLOSTOWSKI, T.: *Precise time and frequency transfer in a White Rabbit network*. Diplomarbeit, Warsaw University of Technology, Poland, 2010/2011.
- [189] WON, J. Y., S. I. KWON, H. S. YOON, G. B. KO, J. W. SON und J. S. LEE: *Dual-Phase Tapped-Delay-Line Time-to-Digital Converter With On-the-Fly Calibration Implemented in 40 nm FPGA*. In: *IEEE Transactions on Biomedical Circuits and Systems*, Bd. 10, S. 231–242, 2016.
- [190] WU, J.: *On-Chip processing for the wave union TDC implemented in FPGA*. In: *2009 16th IEEE-NPSS Real Time Conference*, S. 279–282, 2009.
- [191] WU, J. und Z. SHI: *The 10-ps wave union TDC: Improving FPGA TDC resolution beyond its cell delay*. In: *2008 IEEE Nuclear Science Symposium Conference Record*, S. 3440–3446, 2008.
- [192] XILINX INC.: *MicroBlaze Processor Reference Guide*. Techn. Ber. UG984 (v2016.1) April 6, 2016.
- [193] XILINX INC.: *ML605 Hardware User Guide*. Techn. Ber., 2012. UG534 (v1.8) October 2, 2012.
- [194] XILINX INC.: *UG190 - Virtex-5 FPGA User Guide*. Techn. Ber., 2012. UG190 (v5.4) March 16, 2012.
- [195] XILINX INC.: *7 Series FPGA GTX/GTH/GTP Transceivers - Reference clock phase noise masks*. Techn. Ber., 2013. AR 44549.
- [196] XILINX INC.: *KC705 Evaluation Board for the Kintex-7 FPGA*. Techn. Ber., 2013. UG810 (v1.4) July 18, 2013.
- [197] XILINX INC.: *7 Series FPGAs Clocking Resources*. Techn. Ber., 2015. User Guide UG472 (v1.11.2) June 12, 2015.
- [198] XILINX INC.: *7 Series FPGAs GTX/GTH Transceivers - User Guide*. Techn. Ber., 2015. UG476 (v1.11.1) August 19, 2015.
- [199] XILINX INC.: *7 Series FPGAs SelectIO Resources*. Techn. Ber., 2015. User Guide UG471 (v1.6) September 18, 2015.
- [200] XILINX INC.: *Virtex-6 Family Overview*. Techn. Ber., 2015. Product Specification DS150 (v2.5) August 20, 2015.
- [201] XILINX INC.: *UltraScale Architecture and Product Overview*. Techn. Ber., 2016. DS890 (v2.9) September 27, 2016.
- [202] XILINX INCORPORATED: *ChipScope Integrated Bit Error Ratio Test (IBERT) for Virtex-7 GTX (v2.00.a)*. Techn. Ber., 2011. DS867 October 19, 2011 - Product Specification.

- [203] YANG, N., Q. QIU, J. SU und S. J. SHI: *Research on the temperature characteristics of optical fiber refractive index*. In: *Optik - International Journal for Light and Electron Optics*, Bd. 125 d. Reihe 5813-5815, 2014.
- [204] YAO, C. Y., W. C. HSIA, P. J. TSAI und Y. J. WEN: *The Vernier-Based TDC Employing Soft-Injection-Locked Ring Oscillators*. In: *2012 IEEE International Instrumentation and Measurement Technology Conference Proceedings*, S. 2291–2294, 2012.
- [205] ZABOLOTNY, W. und G. KASPROWICZ: *Data processing boards design for CBM experiment*. Bd. 9290, S. 929023–929023–11, 2014.
- [206] ZHOUG, Y. F. Z., D. TONG und X. CHENG: *Clock Domain Crossing Fault Model and Coverage Metric for Validation of SoC Design*. In: *Proceedings of the Conference on Design, Automation and Test in Europe*, S. 1385–1390, 2007.
- [207] ZURAWSKI, R.: *Industrial Communication Technology Handbook*, Bd. 2. CRC Press, 2014.

Betreute studentische Arbeiten

- [Bai12] BAIER, JOHANNES: *Analysis and Design of an FPGA-based OFDM Transmitter for MIMO Radar Application*. Diplomarbeit, Karlsruher Institut für Technologie, 2012.
- [Kai14] KAISER, THOMAS: *LowPower FPGAs in Sensornetzwerken*. Seminararbeit, Karlsruher Institut für Technologie, 2014.
- [Leb16] LEBEDEV, JURI: *Entwurf eines Systems zur Synchronisation eines verteilten FPGA-Systems*. Masterarbeit, Karlsruher Institut für Technologie, 2016.
- [Mic16] MICHEL, ANDREAS: *Entwurf eines Systems zur Synchronisation eines FPGA-Systems per Glasfaser bzw. Twisted-Pair Links - TBD*. Masterarbeit, Karlsruher Institut für Technologie, 2016.
- [Szi15] SZIRMAK, NANDOR: *Analysis of Interconnection and System Concepts for the Construction of a TFC-System*. Masterarbeit, Karlsruher Institut für Technologie, 2015.
- [Zay14] ZAY, JANOS: *Concept and design of a system for evaluating the properties of high-speed transceivers*. Projektarbeit, Karlsruher Institut für Technologie, 2014.

Eigene Veröffentlichungen

Konferenz- \ Journalbeiträge und Buchkapitel

- [ANM⁺13] AGMON, A., M. NAZARATHY, D. MAROM, S. BEN EZRA, A. TOLMACHEV, R. KILLEY, P. BAYVEL, L. MEDER, M. HUEBNER, W. MEREDITH, G. VICKERS, P. SCHINDLER, R. SCHMOGROW, D. HILLERKUSS, W. FREUDE und J. LEUTHOLD: *Bi-directional Ultra-dense Polarization-muxed/diverse OFDM/WDM PON with Laserless Colorless 1Gb/s ONUs Based on Si PICs and <417 MHz Mixed-Signal ICs*. In: *Optical Fiber Communication Conference Anaheim, California United States*, Seite 3, 2013.
- [ANM⁺14] AGMON, A., M. NAZARATHY, D. MAROM, S. BEN EZRA, A. TOLMACHEV, R. KILLEY, P. BAYVEL, L. MEDER, M. HUEBNER, W. MEREDITH, G. VICKERS, P. C. SCHINDLER, R. SCHMOGROW, D. HILLERKUSS, W. FREUDE, C. KOOS und J. LEUTHOLD: *OFDM/WDM PON With Laserless, Colorless 1 Gb/s ONUs Based on Si-PIC and Slow IC*. *Journal of Optical Communications and Networking*, Band 6:225–237, 2014.
- [CBM17] CBM COLLABORATION: *Challenges in QCD matter physics - The Compressed Baryonic Matter experiment at FAIR*. In: *The European Physical Journal A*, Band 53, Seite 60, 2017. DOI: 10.1140/epja/i2017-12248-y.
- [GMHB11] GOEHRINGER, D., L. MEDER, M. HUEBNER und J. BECKER: *Adaptive Multi-Client Network-on-Chip Memory (Best Paper Award)*. In: *Proceedings of the International Conference on ReConFigurable Computing and FPGAs (ReConFig 2011), Cancun, Mexico, Seiten 7–12, 2011*.
- [GMOB13] GOEHRINGER, D., L. MEDER, O. OEY und J. BECKER: *Reliable and adaptive network-on-chip architectures for cyber physical systems*. *ACM Transactions on Embedded Computing Systems (TECS)*, Band 12(51):51:1–51:21, 2013.
- [GMW⁺12] GOEHRINGER, D., L. MEDER, S. WERNER, O. OEY, J. BECKER und M. HUEBNER: *Adaptive Multiclient Network-on-Chip Memory Core: Hardware Architecture, Software Abstraction Layer, and Application Ex-*

- ploration. In *International Journal of Reconfigurable Computing*, Seite 14, 2012.
- [MDSB16] MEDER, L., M. DRESCHMANN, O. SANDER und J. BECKER: *A signal distribution board for the timing and fast control master of the CBM experiment*. In: *Journal of Instrumentation*, Band 11, Seite 9, 2016. (JINST11C02001).
- [MEF⁺16] MEDER, L., D. EMSCHERMANN, J. FRÜHAUF, W. F. J. MÜLLER und J. BECKER: *A Timing Synchronizer System for Beam Test Setups requiring Galvanic Isolation*. In: *20th IEEE Real Time Conference, Padova, Italy*, 2016.
- [MEF⁺17] MEDER, L., D. EMSCHERMANN, J. FRÜHAUF, W. F. J. MÜLLER und J. BECKER: *A Timing Synchronizer System for Beam Test Setups requiring Galvanic Isolation*. In: *IEEE Transactions on Nuclear Science (TNS)*, 2017.
- [MLB17] MEDER, L., J. LEBEDEV und JÜRGEN BECKER: *A Versatile Small Form Factor Twisted-Pair TFC FMC for mTCA AMCs*. In: *Journal of Instrumentation*, Band 12, Seite 9, 2017. (JINST12C03074).
- [MSA⁺14] MEDER, L., P. C. SCHINDLER, A. AGMON, M. MELTSIN, R. BONK, J. MEYER, M. DRESCHMANN, A. TOLMACHEV, R. HILGENDORF, M. NAZARATHY, S. BEN EZRA, T. PFEIFFER, W. FREUDE, J. LEUTHOLD, C. KOOS und J. BECKER: *Flexible Real-Time Transmitter at 10 Gbit/s for SCFDMA PONs Focusing on Low-Cost ONUs*. In: *Conference on Design and Architectures for Signal and Image Processing (DASIP)*, Seiten 1–8, 2014.
- [SAW⁺14] SCHINDLER, P. C., A. AGMON, S. WOLF, R. BONK, L. MEDER, M. MELTSIN und J. BECKER: *Ultra-Dense, Single-Wavelength DFT-Spread OFDM PON with Laserless 1 Gb/s ONU at only 300 MBd per Spectral Group*. *European Conference and Exhibition on Optical Communication (ECOC) 2014*, 2014.
- [WKW⁺14] WORMS, K., C. KLAMOURIS, F. WEGH, L. MEDER, D. VOLKMER, S. P. PHILIPPS, S. K. REICHMUTH, H. HELMERS, A. W. BETT, J. VOURVOULAKIS, C. KOOS, W. FREUDE, J. LEUTHOLD und W. STORK: *Lightning-safe Monitoring of Wind Turbine Rotor Blades Using Optically Powered Sensors*. *Sensors and Measuring Systems 2014*, Seiten 1–4, 2014.
- [WKW⁺16] WORMS, K., C. KLAMOURIS, F. WEGH, L. MEDER, D. VOLKMER, S. P. PHILIPPS, S. K. REICHMUTH, H. HELMERS, A. KUNADT, J. VOURVOULAKIS, A. W. BETT, C. KOOS, W. FREUDE, J. LEUT-

HOLD und W. STORK: *Reliable and lightning-safe monitoring of wind turbine rotor blades using optically powered sensors*. Wind Energy, 2016.