

論文審査の結果の要旨

報告番号	甲 先 第 <b>321</b> 号	氏 名	FARA ASHIKIN BINTI ALI
審査委員	主査 島本 隆 副査 西尾 芳文 副査 橋爪 正樹 副査 四柳 浩之		
学位論文題目 Built-in Quiescent Supply Current Test Circuits for Electrical Interconnect Tests in 3D Stacked ICs (3D積層ICの静的電源電流による電氣的配線テストのための組み込み型検査回路に関する研究)			
審査結果の要旨 本研究は3次元にICチップであるダイを積層して作製する3D積層ICのダイ間配線に発生する断線欠陥を発見もしくは断線配線を特定する検査を可能にするダイ内組み込み型検査用回路に関するものである。 3D積層IC内のダイはシリコン貫通ビアやマイクロバンプで接続される。その工程は複雑でダイ間の配線に断線欠陥が発生する場合がある。ダイ間配線の信号は直接測定できないことから、その欠陥の発見は非常に難しく、3D積層ICの普及の妨げとなっている。本論文ではその配線に発生した断線欠陥の発見を可能にする検査用回路とそれをを用いた検査法を提案している。その検査法は検査対象配線に検査時のみ電源電流を流し、その静的電流値の異常でその配線に発生した欠陥を検出するものである。 一般に3D積層IC内に積層するダイ内にはバウンダリスキャン回路が内蔵されている。そこで本論文ではその回路を流用し検査時にのみ電源電流を検査対象回路に流しその電流異常で断線を検出する検査法とそのため検査用回路を提案している。またその検査能力を評価するためICを試作し、そのICを用いた回路実験と回路シミュレーションを行い、完全断線だけでなく従来の検査法で発見できない抵抗断線や容量断線が発見できることを明らかにしている。 家電製品など大量に生産する電子機器内で使われるICでは低価格化を実現するためにICチップ内にバウンダリスキャン回路を内蔵しないことが多い。そのようなICチップを積層して3D積層ICを作製する場合もあるため、本論文ではその3D積層IC内のダイ間配線も電源電流測定により検査できるような検査用回路と電気検査法を提案している。その検査可能性を調査するためにその検査用回路を内蔵したICを試作し、回路実験と回路シミュレーションで完全断線や従来の検査法で発見できない抵抗断線や容量断線が発見できることを明らかにしている。 これらの成果は新しく、また次世代ICとして期待されている3D積層ICの高信頼化の実現につながり、その重要性は高い。 以上の結果より本論文は博士(工学)の学位授与に値するものと判定する。なお、本論文の審査には愛媛大学工学部高橋 寛教授の協力を得た。			