

# 多層配線 LSI の断線故障検査に関する研究

四柳 浩之, 橋爪 正樹

## On testing of open faults in multi-layered wiring LSIs

by

Hiroyuki YOTSUYANAGI and Masaki HASHIZUME

Open faults are difficult to test since the floating wire occurred by an open fault has unstable voltage. In this work, the effect of adjacent lines around an open fault in multi-layered wiring LSIs is discussed. To observe the relation between an open fault and the adjacent lines, a  $0.35\mu\text{m}$  CMOS IC is designed and fabricated. The open fault macros with a transmission gate and with an intentional break are included in the IC. The adjacent lines in the same layer and the different layers are placed in the test chip. The simulation and experimental results show that the voltage at the floating wire is affected by the adjacent lines.

Keywords: testing, open faults, VLSI, multi-layered wiring, adjacent lines

### 1. まえがき

LSI の高集積化に伴う配線の微細化や配線層の多層化などの技術の採用により, LSI の配線がますます複雑化している. 故障検出の面においては, 配線の断線, 配線間の短絡などの欠陥を効率よく検出することが求められる. 多層配線 LSI では信号線の欠陥や配線層間のビアの欠陥による断線故障が発生しやすくなっている. 断線故障は, 故障発生信号線以降の電位が不定となり検査が困難である. 断線故障による故障信号線の電位は隣接信号線間のカップリング容量などの影響を受けることが知られている<sup>(1-6)</sup>. 多層配線 LSI では, 同一配線層の隣接信号線のみならず, 上下層間の隣接信号線の影響を考慮する必要がある. 断線故障の

検査法として, 電源電流の  $\text{IDDQ}$  値を測定する手法<sup>(1,2)</sup>や断線故障発生時にフローティング状態となる信号線電位を LSI 外部から交流電界を加えることでより異常電流を発生しやすくする手法<sup>(3)</sup>などが提案されている.

本研究では, 東京大学大規模集積システム設計教育研究センター(VDEC)のチップ試作サービスを用いた IC 試作により隣接信号線電位が断線故障発生箇所の電位に与える影響について観測を行った. IC 試作では, トランスミッションゲート(TG)を用いて擬似的に導通状態と断線状態の制御可能とする擬似断線故障と, 信号線に完全断線を挿入した擬似断線故障を含む回路を CMOS  $0.35\mu\text{m}$  プロセスにて設計した. 電子回路シミュレーションにより隣接信号線とのカップリング容量が断線信号線電位に与える影響を確認し, 試作 IC の実測により同層および上下層間の隣接信号線が断線信号線に与える影響について観測した.

徳島大学大学院ソシオテクノサイエンス研究部情報ソリューション部門  
Department of Information Solution, Institute of Technology and Science, Graduate School of the University of Tokushima  
連絡先: 〒770-8506 徳島市南常三島町 2-1  
徳島大学大学院ソシオテクノサイエンス研究部

## 2. 断線故障発生時の隣接信号線間容量の影響

断線故障には、配線が完全に断線する完全断線故障と高抵抗の抵抗成分を持つ抵抗断線故障に分類される。本研究では完全断線故障を対象とする。完全断線故障では、故障発生信号線がフローティング状態となるため隣接信号線の影響をより受ける。以下、完全断線故障を断線故障とよび、断線故障発生によりフローティング状態となる信号線を断線信号線とよぶ。

図1に隣接する3信号線 A, B, C の中央に位置する信号線 B に断線故障が発生した例を示す。断線故障発生時には断線信号線 B\_OUT の電位は不定であり、カップリング容量によって隣接信号線 A, C の電位の影響を受ける可能性がある。図中の  $C_1, C_2, C_3, C_4$  が配線間のカップリング容量を表す。カップリング容量は、断線信号線と隣接信号線の距離が近いほど大きく、並走距離が長いほど大きい。文献(1)では回路シミュレーションにより断線信号線電位が隣接信号線の影響を受けて論理変化を起こす場合のあることが報告されている。例として、信号線 A, C がともに電位 L から H へと遷移した場合、カップリング容量の値によっては断線信号線 B\_OUT の電位が H へと遷移し、論理値異常として故障検出される。

断線故障の検査においては、断線信号線電位が不定であるため、従来用いられている、信号線論理値が0または1に固定される縮退故障モデルでは故障動作を十分に表すことができない<sup>(4,5)</sup>。しかし図1のモデルでは隣接信号線間容量の影響による断線信号線電位を見積もることで縮退故障モデルと同様の条件で検査入力の生成が可能である<sup>(6)</sup>。

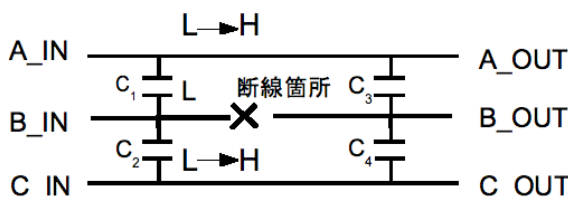
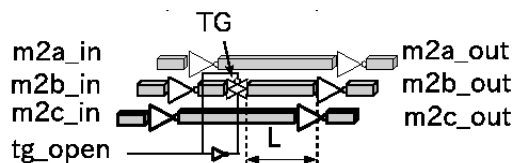


図1:断線故障発生時の隣接信号線間容量の影響

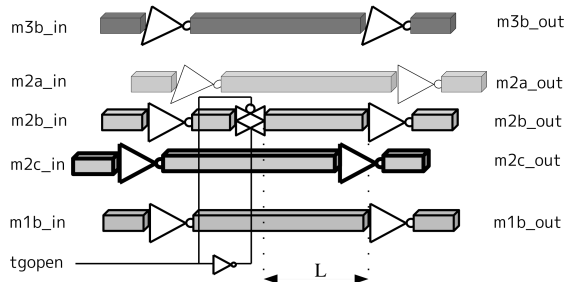
## 3. 擬似断線故障 IC の製作

断線故障発生時の隣接信号線間容量の影響を調査するため、回路内に断線故障を模擬する回路を挿入した IC の試作を ROHM 0.35 $\mu\text{m}$  CMOS プロセスを用いて行った。試作 IC 内には、2種類の擬似断線故障を含む隣接信号線の配線構造の異なる故障回路を複数設計した。擬似断線故障は、信号線にトランジションゲート(TG)を挿入したものと、信号線に設計規則で許容される最小間隔の間隙を挿入したものの2種を作成した。

トランジションゲートを用いる擬似断線故障マクロの例を図2に示す。TG はゲート電圧  $tg\_open$  に電圧 L を与えると導通し、電圧 H を与えると遮断するため、 $tg\_open = L$  で正常回路を、 $tg\_open = H$  で断線故障回路を模擬することができる。配線構造による違いを観測するため、1) 同一層 (metal 2 層) に並走する3信号線  $m2a, m2b, m2c$  を作成し、中央の信号線  $m2b$  に TG を挿入した図2(a)の擬似断線故障マクロ、2) metal 1, metal 2, metal 3 の3層に信号線をそれぞれ1線( $m1b$ )、3線( $m2a, m2b, m2c$ )、1線( $m3b$ )並走させ、metal 2 層の中央の信号線  $m2b$  に TG を挿入した図2(b)の擬似断線故障マクロ、の2種を設計した。設計した擬似断線故障マクロのレイアウト図を図3に示す。隣接信号線  $m2a, m2b, m2c$  の間隔は設計規則で与えられた最小間隔を用い、断線信号線の長さ  $L$  は 30 $\mu\text{m}$  に設定した。

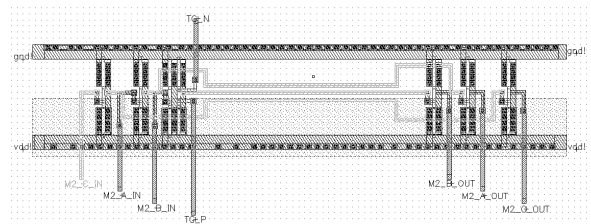


(a) 同層3線

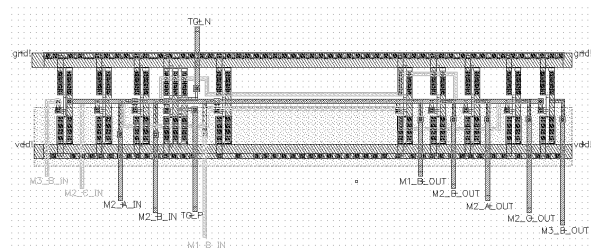


(b) 3層5線

図2: TG を用いる擬似断線故障マクロ



(a) 同層3線



(b) 3層5線

図3: TG を用いる擬似断線故障マクロのレイアウト

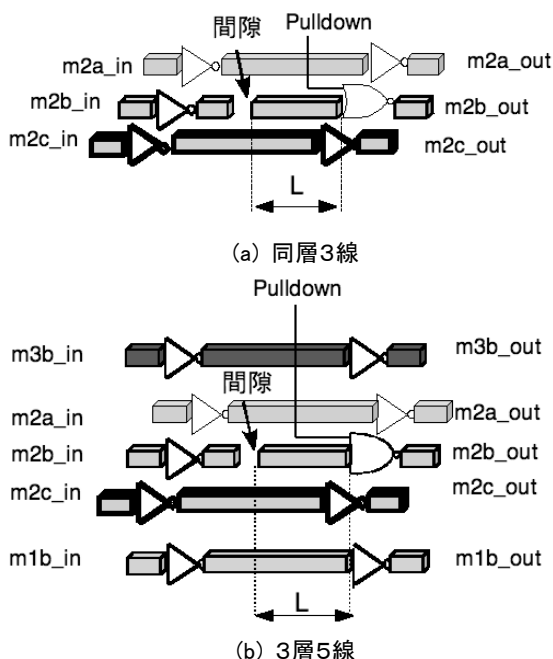


図4: 間隙を用いる擬似断線故障マクロ

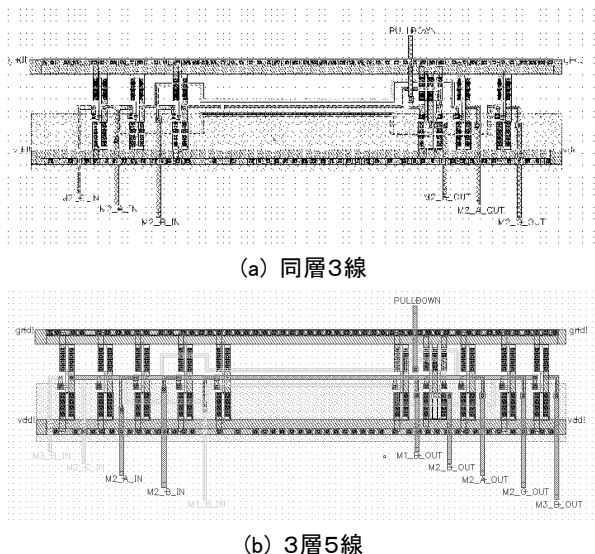


図5: 間隙を用いる擬似断線故障マクロのレイアウト

間隙を用いる擬似断線故障マクロの例を図4に示す。断線故障発生時のフローティング状態となる信号線を模擬するため、信号線に設計規則を満たす最小間隔の間隙を挿入した。間隙を挿入する擬似断線では、フローティング状態となる断線信号線が中間電位を持ち、次段ゲートに貫通電流が流れる可能性がある。そこで他の断線故障マクロの観測時に貫通電流の影響を与えないために、断線信号線には2入力 NOR ゲートを接続し、他方の入力 pull-down を外部から制御可能とした。観測対象以外の断線故障マクロにお

いては、入力 pull-down に H 入力を与えることで、断線信号線の電位にかかわらず NOR ゲートにおける貫通電流の発生を防ぐことができる。観測対象の断線故障マクロでは pull-down = L とし、フローティング状態となる断線信号線が隣接信号線から受ける影響を観測する。TG による擬似断線故障マクロと同様に配線構造を図4(a),(b)に示す同層3線、3層5線の2種類を設計した。図5にレイアウト図を示す。並走する隣接信号線の長さLも同様に 30 $\mu$ m と設定した。

#### 4. 断線故障のシミュレーションと試作 IC の測定

3章で述べた擬似断線故障マクロについて、作成したレイアウトから配線間容量などのパラメータを抽出し、HSPICE シミュレーションを行った。なお、使用した CMOS プロセスの容量抽出では同層の配線間容量が抽出されないため、3層5線のレイアウトから抽出した結果について述べる。

図6にシミュレーションで印加した入力を示す。断線信号線と並走する信号線における論理電圧は印加した入力電圧の反転値である。間隙を用いた擬似断線故障マクロに図6の入力を印加したシミュレーションを行った。断線信号線の電圧波形を図7に示す。上下層の隣接信号線 m1b, m3b が H となる入力に対して、断線信号線電位が 1.2[V]付近に上昇していることがわかる。

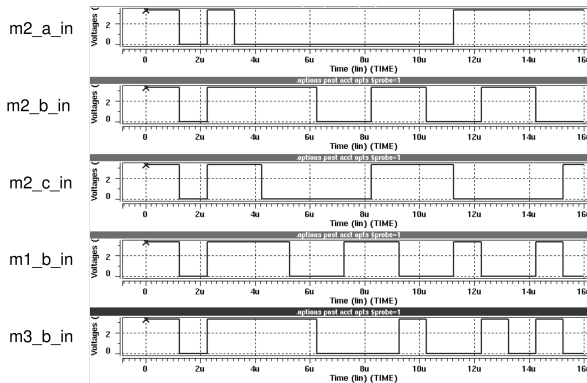


図6: シミュレーション入力

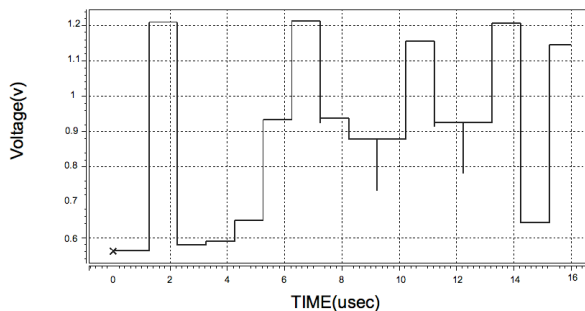


図7:断線信号線電圧シミュレーション結果

試作 IC を図8の基板を用いてロジックアナライザ, パターンジェネレータ, デジタルオシロと接続し, 擬似断線故障を含む回路の測定を行った.

metal2 層に3本の隣接信号線を配置した擬似断線故障に対する実験結果を図9, 図10, 図11に示す. 断線信号線 m2b の隣接信号線 m2a に論理電圧遷移を印加し, 他方の隣接信号線 m2c に論理電圧 H が印加されるように図9(a)に示す入力パターンを印加して得られた電圧波形を図9(b)に示す. 隣接信号線 m2a での電圧変化により, m2b の電位が変動し, 出力電圧 m2b\_out が変化していることがわかる. 電圧変化しない隣接信号線 m2c の電位を H に設定した場合の結果を図10に示す. 図9の場合と同様に m2a での電圧変化の影響を断線信号線 m2b が受けていることがわかる. 一方, 隣接信号線の遷移を m2c に与え, m2a を電圧 L に設定した図11の入力パターンに対しては, 断線信号線の次段のゲート出力 m2b\_out に隣接信号線の影響が見られなかった. m2a = H とする入力パターンに対しても同様に隣接信号線 m2c の論理電圧遷移の影響は見られなかった. このことより, 試作 IC においては断線信号線 m2b に与える影響の強さが隣接線 m2a と m2c で異なると考えられる. レイアウト設計時には並走する隣接信号線の長さは m2a, m2c ではほぼ等しく, シミュレーションにおいても m2a と m2c の間に相違は見られなかったが, 実 IC では影響の強さが異なっていた. これらの断線故障のふるまいから, 隣接信号線一方の遷移のみで断線故障信号線電位を検出可能ではない場合が存在することがわかる. レイアウト設計時に信号線 m2a と m2c は m2b に対してほぼ対称に配線しているが, シミュレーション結果では断線信号線電位が次段ゲートのしきい値付近で遷移していたことより, 配線の微小な違いが出力論理電圧の遷移の有無に影響している可能性がある. 断線故障検査時には, 断線信号線電位へより影響を与えるようになるべく多くの隣接信号線に同一の遷移を与える必要があると考えられる.

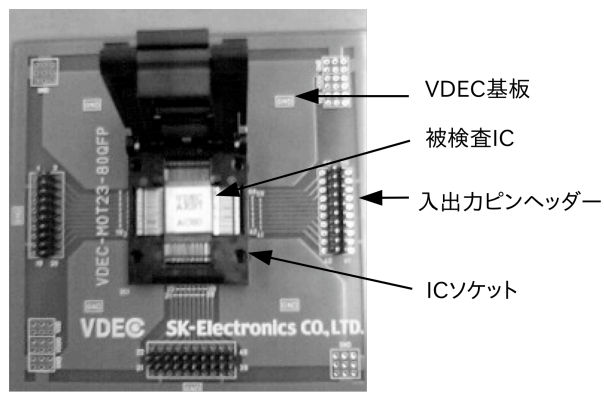


図8:試作 IC と実験用基板

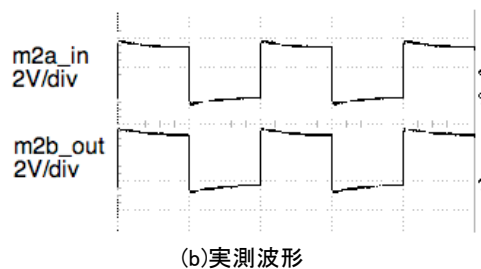
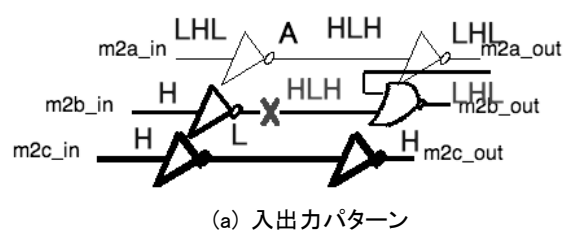


図9: 同層3線に対する実測例1(m2a 遷移, m2c=L)

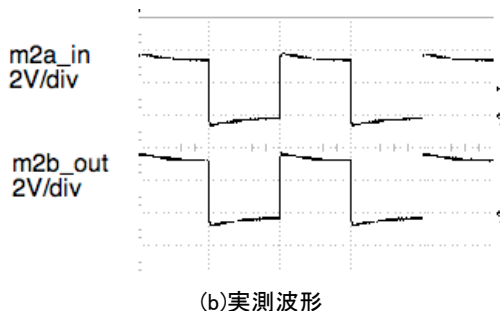
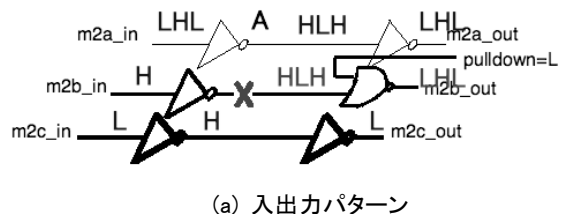


図10: 同層3線に対する実測例2(m2a 遷移, m2c=H)

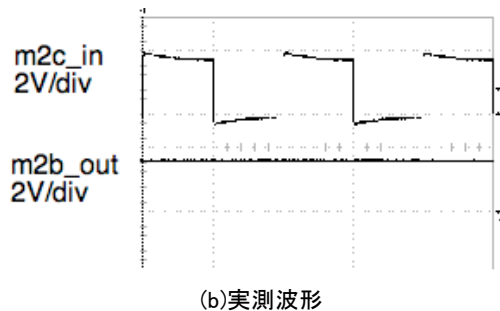
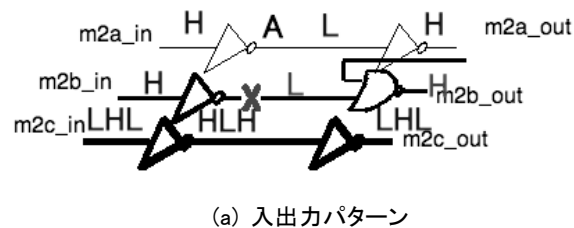


図 11: 同層3線に対する実測例3(m2a=L, m2c 遷移)

metal1, metal2, metal3 の3層に5線の隣接信号線を配置した擬似断線故障に対する実測結果を表1に示す. 入力パターン欄に L/H と記されている入力に論理電圧遷移を起こすクロック信号を印加した. 出力欄には, 断線信号線を入力に持つゲート出力 m2b\_out の測定値を示す. 正常回路における出力値は m2b\_out = H である. 出力欄に L/H と記されているものは印加した入力パターンに対して, 隣接信号線の影響による論理電圧変化が観測されたことを示す. 出力欄が L と記されている入力パターンについては, 常に論理値異常が出力で観測されたことを示す. 出力欄が H と記されている入力パターンについては隣接信号線の電圧変化による影響は見られなかった.

表1より同層3線の結果と同様に隣接信号線 m2a の影響が最も強く現れていることがわかる. m2a\_in = L に対しては他の入力に関わらず出力電圧が L となり, 出力論理値異常として断線故障の検出が可能である. m2a 以外の隣接信号線は, 1つの隣接線が H (つまり入力に L を一つ含む)となる条件の下で出力の論理電圧変化として影響が現れる.

表 1: 3層5線の擬似断線故障マクロに対する測定結果

入力パターン (m3b_in, m2a_in, m2b_in, m2c_in, m1b_in)	出力 m2b_out
( L/H, H, H, H, L )	L/H
( L, H, H, H, L/H )	L/H
( L/H, H, H, L, H )	L/H
( L, H, H, L/H, H )	L/H
( H, H, H, L, L/H )	L/H
( H, H, H, L/H, L )	L/H
( H, L/H, H, H, H )	L/H
( L/H, L, H, H, H )	L
( H, L, H, H, L/H )	L
( H, L, H, L/H, H )	L
( L/H, H, H, H, H )	H
( H, H, H, H, L/H )	H
( H, H, H, L/H, H )	H

## 5. まとめ

本研究では, 断線故障発生時の隣接信号線の故障検出に与える影響を観測するために, 擬似断線故障を含む IC を設計, 試作した. 断線信号線の電位は, 同層の隣接信号線および上下層の隣接信号線のいずれにも影響される可能性があることを回路シミュレーションと試作 IC の測定の方

から確認した. また, 隣接信号線が断線信号線へ与える影響の強度が各隣接信号線により異なることも観測された. 今後の課題として, 複数の隣接信号線を考慮する断線故障検査用の入力パターン生成法などが挙げられる.

## 謝辞

本研究は平成 18 年度ソシオテクノサイエンス研究部研究プロジェクトによる助成を受けて行われたものである. 本研究におけるチップ試作およびシミュレーションは東京大学大規模集積システム設計教育研究センターを通し ローム(株)および凸版印刷(株), シノプシス株式会社, 日本ケイデンス株式会社, メンター株式会社の協力で行われたものである. また東條充氏, 美崎洋介氏には IC 設計および測定実験において協力いただいた. ここに記して, 感謝の意を表します.

## 参考文献

- 1) V. H. Champac, A. Rubio, J. Figueras: Electrical Model of the Floating Gate Defect in CMOS IC's: Implications on IDDQ Testing, IEEE Trans. Computer-Aided Design, 13(3), 359-369 (1994).
- 2) A. Zenteno, V. H. Champac, J. Figueras: Detectability Conditions of Full Opens in the Interconnections, Journal of Electronic Testing: Theory and Applications, 17, 85-95 (2001).
- 3) M. Hashizume, M. Ichimiya, H. Yotsuyanagi, T. Tamesada: CMOS Open Defect Detection by Supply Current Measurement under Time-Variable Electric Field Apply, IEICE Trans. on Information and Systems, E85-D(10), 1542-1550 (2002).
- 4) E. J. McCluskey, C-W. Tseng: Stuck-Fault Tests vs. Actual Defects, Proc. International Test Conference, 336-342 (2000).
- 5) 大村洋, 四柳浩之, 橋爪正樹, 為貞建臣: 隣接信号線の電圧値を考慮する断線故障の検査可能性評価, 電気関係学会四国支部連合大会, p.130 (2005).
- 6) 小山田裕矢, 四柳浩之, 橋爪正樹: 複数隣接信号線の影響を用いる断線故障検査用テストパターン生成, 電気関係学会四国支部連合大会講演論文集, p.107 (2007)