



**Universidade de Brasília - UnB
Faculdade UnB Gama - FGA
Curso de Engenharia Eletrônica**

**PROJETO DE CONVERSORES AC-DC E
FREQUÊNCIA EM DC APLICADOS NA TÉCNICA
BUILT-IN TEST**

**Autor: (Felipe Ferreira Sallum)
Orientador: (Sandro Augusto Pavlik Haddad)**

**Brasília, DF
2014**



Felipe Ferreira Sallum

**TÍTULO: PROJETO DE CONVERSORES AC-DC E FREQUÊNCIA EM DC
APLICADOS NA TÉCNICA BUILT-IN TEST**

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Orientador: Dr. Sandro Augusto P. Haddad

**Brasília, DF
2014**

CIP – Catalogação Internacional da Publicação*

Ferreira Sallum, Felipe.

Projeto de Conversores AC-DC e Frequência em DC Aplicados na Técnica Built-in Test/ Felipe Ferreira Sallum. Brasília: UnB, 2014.

Monografia (Graduação) – Universidade de Brasília Faculdade do Gama, Brasília, 2014. Orientação: Sandro Augusto P. Haddad.

1. Conversor de Frequência em DC. 2. Conversor AC-DC. 3. Técnica Built-in Test I. P. Haddad, Sandro Augusto. II. Doutor.

CDU Classificação



Felipe Ferreira Sallum

Monografia submetida como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica da Faculdade UnB Gama - FGA, da Universidade de Brasília, em 24/06/2014 apresentada e aprovada pela banca examinadora abaixo assinada:

Prof. Dr.: Sandro Augusto P. Haddad, UnB/ FGA
Orientador

Prof. Dr.: Wellington Avelino do Amaral, UnB/ FGA
Membro Convidado

Prof. Dr.: José Camargo da Costa, UnB/ ENE/FT
Membro Convidado

Brasília, DF
2014

AGRADECIMENTOS

Agradeço primeiramente a Deus por cada conquista, em seguida aos meus pais, familiares e amigos pelo apoio durante todo o curso. Agradeço também ao meu orientador pela excelente orientação para a realização deste trabalho.

Quem acredita sempre alcança. Renato Russo

RESUMO

Esta monografia visa o projeto, a implementação e os testes de dois conversores, um conversor AC-DC e um conversor de frequência em DC. Esses conversores serão aplicados na tecnologia BIT (Built-in testing), ou seja, serão concebidos para que possam ser implementados dentro de um chip que contém um sistema complexo. O conversor AC-DC gera uma tensão ou uma corrente de saída proporcional à amplitude da tensão ou corrente de entrada. Já o conversor de frequência em DC gera uma tensão ou corrente de saída proporcional à frequência do sinal de entrada. Esses circuitos são usados para a medição e verificação do funcionamento do sistema em que eles estão acoplados ou integram um bloco de um sistema. Para cada conversor, várias topologias serão apresentadas, dentre elas novas topologias, onde é utilizado o princípio dos circuitos translineares para desenvolver circuitos que operam em altas frequências. Essas novas topologias serão discutidas e implementadas. A especificação desejada para os conversores são: Possuir uma boa linearidade, ocupar uma pequena área do chip, atuar em sinais de frequência na ordem de GHz e baixas correntes, entre dezenas e centenas de μA . O consumo não será analisado. Para o conversor AC-DC, mais especificamente o circuito RMS-DC com o amplificador operacional real os resultados da corrente de saída DC obtidos para as correntes de entrada com amplitudes iguais a $25\mu\text{A}$, $37,5\mu\text{A}$, $50\mu\text{A}$, $62,5\mu\text{A}$ e $75\mu\text{A}$ a 1GHz de frequência foram, respectivamente: $36,6\mu\text{A}$, $53,8\mu\text{A}$, $70\mu\text{A}$, $85\mu\text{A}$ e $99\mu\text{A}$. Para o conversor de frequência em DC, entre 1GHz e 3GHz, a cada aumento de 100MHz a corrente de saída DC aumentou em $0,3\mu\text{A}$ a $0,4\mu\text{A}$, tendo para 1GHz a corrente de saída DC igual a $13,7\mu\text{A}$.

.

Palavras-chave: Conversor AC-DC. Conversor de frequência em DC. Técnicas BIT. Circuito Translinear. Conversor RMS. Detectores de Pico.

ABSTRACT

This monograph aims to design, implement and test two converters, the AC-DC converter and the frequency-to-DC converter. They will be applied in the Built-in Testing (BIT) techniques, that is to say, they will be built on-chip of a complex system. The AC-DC voltage or current converter provides the output voltage or current proportional to the amplitude of the input signal. The frequency-to-DC converter generates the output voltage or output current proportional to the frequency of the input signal. These converters are used to measure and test the system where they are built-in, also they can be a function block that is part of a system. For each converter, some approaches available in the literature will be presented. Also, new approaches, which use the translinear principle, will be presented and developed to work in high frequencies. These new circuits will be designed and implemented. The specifications desired are: good linearity, a small integration area, conversion of high frequency signals of GHz magnitude and current small amplitude, between tens and hundreds of μA . The power consumption will not be part of the analyses. For the AC-DC converter, more specifically, the RMS-DC circuit with the real operational amplifier, the results of the DC output current where the amplitude of the input current are equal $25\mu\text{A}$, $37,5\mu\text{A}$, $50\mu\text{A}$, $62,5\mu\text{A}$ and $75\mu\text{A}$ at 1GHz frequency were $36,6\mu\text{A}$, $53,8\mu\text{A}$, $70\mu\text{A}$, $85\mu\text{A}$ and $99\mu\text{A}$, respectively. For the frequency-to-DC converter, between 1GHz and 3GHz, each increase of 100MHz, the DC output current raised between $0.3\mu\text{A}$ and $0.4\mu\text{A}$. The DC output current for 1GHz was equal to $13.7\mu\text{A}$.

Keywords: AC-DC converter. Frequency-to-DC Converter. BIT techniques. Translinear Circuits. RMS converter. Peak detectors.

SUMÁRIO

1 INTRODUÇÃO	11
1.1 OBJETIVOS E MOTIVAÇÃO.....	11
1.2 JUSTIFICATIVA	12
1.3 METODOLOGIA	12
1.4 ORGANIZAÇÃO DA MONOGRAFIA.....	13
2 APLICAÇÕES	14
2.1 TESTE DE UM TRANSECTOR ATRAVÉS DO DETECTOR RMS <i>ON-CHIP</i>	14
2.2 DETECTOR DE PICO RF PARA CALIBRAÇÃO DE UM LNA.....	15
2.3 <i>FREQUENCY-LOCKED LOOP</i> BASEADO NO CONVERSOR DE FREQUÊNCIA EM TENSÃO ...	16
2.4 TESTE DE OSCILADORES COM UM FVC E UM CONVERSOR AC6-DC.....	17
3 CONVERSOR DE FREQUÊNCIA EM DC	19
3.1 CIRCUITOS TRANSLINEARES.....	19
3.1.1 PRINCÍPIO TRANSLINEAR ESTÁTICO.....	20
3.1.2 PRINCÍPIO TRANSLINEAR DINÂMICO.....	21
3.2 PROJETO DO FVC USANDO UM BLOCO DIFERENCIADOR E UM INTEGRADOR.....	23
3.3 PROJETO DO FVC USANDO UM BLOCO INTEGRADOR E UM CONVERSOR RMS.....	24
3.4 PROJETO DO FVC USANDO UM BLOCO DIFERENCIADOR E UM CONVERSOR RMS.....	25
3.5 PROJETO DO FVC BASEADO NO PRINCÍPIO DE REDISTRIBUIÇÃO DE CARGA.....	26
4 CONVERSOR AC-DC	29
4.1 DETECTOR RMS BASEADO NO PRINCÍPIO TRANSLINEAR.....	29
4.2 DETECTOR RMS USANDO TECNOLOGIA MOS	30
4.3 DETECTORES DE PICO.....	31
5 IMPLEMENTAÇÃO	34
5.1 IMPLEMENTAÇÃO DO CONVERSOR AC-DC.....	34
5.2 IMPLEMENTAÇÃO DO CONVERSOR DE FREQUÊNCIA EM DC.....	48
5.3 AMPLIFICADOR OPERACIONAL REAL.....	63
5.4 CONVERSOR RMS-DC COM AMPLIFICADOR OPERACIONAL REAL.....	66
5.5 REFERÊNCIA DE CORRENTE.....	68
6 CONCLUSÃO	71
6.1 TRABALHOS FUTUROS.....	72
REFERENCIAS BIBLIOGRAFICAS	74

1. INTRODUÇÃO

1.1 Objetivos e Motivação

O objetivo desse trabalho é projetar e implementar dois conversores capazes de medir a frequência e a amplitude de sinais senoidais de alta frequência, na ordem de GHz, entre 1GHz e 3GHz, e de baixa amplitude, na ordem de dezenas ou centenas de μA . O sistema será projetado utilizando tecnologias CMOS e Bipolar. Também serão apresentadas e projetadas novas topologias, onde este é foco deste trabalho. Essas novas topologias fazem o uso do princípio translinear e serão adequadas para circuitos em altas frequências. O consumo não será analisado neste trabalho. A tecnologia utilizada será a TSMC 0.18 μm RF Mixed-Signal.

Esses conversores poderão ser utilizados com circuitos BIT (Built-in Testing). Circuitos BITs são usados para facilitar testes em vários domínios. No caso de circuitos integrados, BIT é a técnica de projeto de um circuito adicional dentro de um circuito integrado que permite o teste de funcionalidade. Os CI's com BIT acoplado reduzem a dependência de equipamentos externos para teste deixando portanto, o teste de chips mais fácil, rápido e com um custo reduzido.

Os circuitos projetados poderão também fazer parte de equipamentos externos para medições de amplitudes e frequências de circuitos eletrônicos discretos com as especificações similares. Neste trabalho serão projetados e implementados dois circuitos fundamentais para essas aplicações, o conversor de frequência em DC ou, em inglês, *Frequency-to-DC converter* e o conversor AC-DC. Com essas duas conversões, será possível medir e analisar o funcionamento de circuitos.

Os dispositivos conversores de frequência em DC são muito importantes e são utilizados em diversas aplicações como sistema de controle de potência, processamento de sinais de baixa frequência, campos da instrumentação, transmissão de dados, dispositivos de medição como a unidade de controle de tensão em osciladores, tacômetros para o controle de velocidade de motores e medidores de vazão.

Os dispositivos conversores AC-DC são baseados, principalmente, em detectores RMS ou detectores de pico. Esses dispositivos são usados em diferentes aplicações, como teste de blocos críticos em um transceptor de RF, como amplificadores de baixo ruído e amplificadores de potência. Podem ser usados, também para o teste e medição de osciladores.

1.2 Justificativa

O comportamento de circuitos em altas frequências é diferente de circuitos que operam em baixas frequências. Isso ocorre porque as capacitâncias parasitas nos transistores começam a interferir. O modelo dos transistores e as equações, portanto mudam quando se tratam de circuitos em altas frequências. Novas topologias serão discutidas, onde será utilizado o princípio translinear para a implementação dos circuitos que operam em altas frequências. Circuitos translineares e altas frequências são duas áreas que na maioria das vezes não são relacionadas. Normalmente os circuitos translineares operam em frequências na ordem de Hz até kHz, porém uma abordagem diferente será utilizada para implementação. Para que tenham uma boa *performance*, os dois conversores devem ter boa linearidade, resposta rápida, funcionamento em uma larga extensão de frequência (entre 1GHz e 3GHz) e baixo *ripple*.

1.3 Metodologia

A primeira etapa para a realização dessa monografia é fazer a revisão bibliográfica e o estudo das topologias que podem ser utilizadas para a implementação dos conversores de acordo com a especificação de frequência (1Ghz a 3GHz) e amplitude da corrente de entrada (entre dezenas e centenas de μA). Posteriormente, serão projetadas as novas topologias baseadas em circuitos translineares para operarem em altas frequências. Com o software de simulação de circuitos Cadence, os circuitos das novas topologias serão implementados e testados. Serão realizados testes funcionais em cada conversor.

1.4 Organização da Monografia

No segundo capítulo, algumas aplicações dos conversores serão apresentadas, mostrando o quanto são importantes. No terceiro capítulo, serão apresentados os circuitos conversores de frequência em DC, as especificações que devem ser atingidas e as topologias. No quarto capítulo serão apresentados os circuitos conversores AC-DC, suas especificações e topologias. No quinto capítulo é feita a implementação e testes de alguns dos conversores escolhidos. No último capítulo será feita a conclusão deste trabalho, bem como as atividades futuras que poderão ser realizadas após este trabalho.

2 APLICAÇÕES

Vários sistemas utilizam o conversor de frequência em DC e o conversor AC-DC para medição, verificação, teste ou como um bloco funcional do próprio sistema, portanto são bastante importantes e muito utilizados. Algumas das várias aplicações serão discutidas mais detalhadamente neste capítulo.

2.1 Teste de um transceptor através do detector RMS *on-chip* [1]

Para o teste de blocos RF em um transceptor integrado, a inclusão de seguidores de tensão (*buffers*) para monitorar caminhos de sinais RF através de um analisador de espectro externo não é uma boa opção, pois há um aumento do tempo de teste e, por consequência, aumento do custo final do produto. Portanto, uma boa estratégia seria a inclusão de um detector RMS para monitorar a magnitude de tensão de sinais RFs através de medições DC. A Figura (1) mostra a arquitetura de um transceptor wireless. São apresentados diversos nós onde seria interessante adicionar um detector RMS de RF.

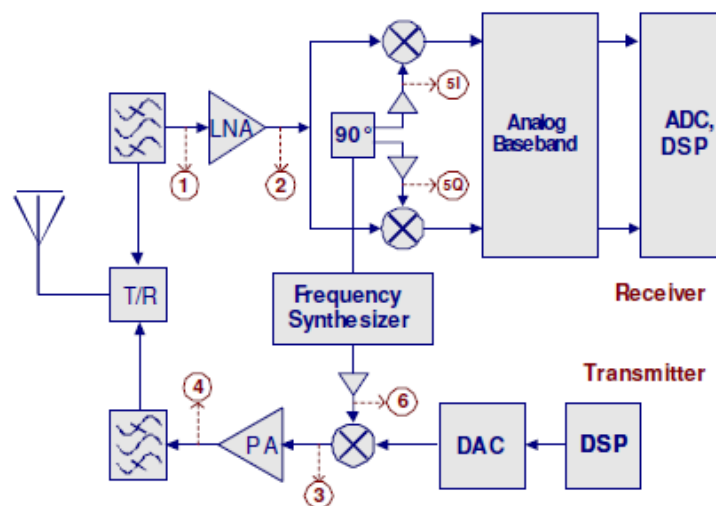


Figura 1: Arquitetura de um transceptor e pontos de teste [1]

Como mostra a Figura (1), todos os nós são fontes de sinais de RF e podem ser mensurados. Os nós 1 e 2 correspondem à entrada e à saída do amplificador de baixo ruído (LNA), 3 e 4 são os pontos de entrada e saída do amplificador de

potência. Os nós 1, 2, 3 e 4 são sinais de altas frequências, portanto são mais difíceis de serem medidos. É importante monitorar a amplitude de saída dos buffers (pontos 5I, 5Q e 6), que são utilizados para garantir adequada comutação entre os *mixers*, pois o ganho de conversão e figura de ruído dos *mixers* depende da amplitude dos osciladores locais.

2.2 Detector de Pico RF para Calibração de um LNA (Amplificador de Baixo Ruído) [2]

Modernos transceptores integrados são compostos de circuitos RF, analógicos e sinais mistos juntos no mesmo chip. Blocos de um transceptor de RF *on-chip* como LNA e VCO são geralmente sujeitos às variações de temperatura e de processo. Isso resulta em um deslocamento da frequência ressonante desses circuitos podendo levar ao fracasso do sistema transceptor inteiro. O detector de pico pode ser utilizado para controlar a tensão de saída de um LNA/VCO e o sinal mensurado é usado para sintonizar o LNA e o VCO na frequência desejada. A calibração automaticamente elimina o uso de equipamentos externos e pode ajudar no tempo de teste e no custo.

A Figura (2) mostra a aplicação de um detector para detecção e calibração do LNA *on-chip*.

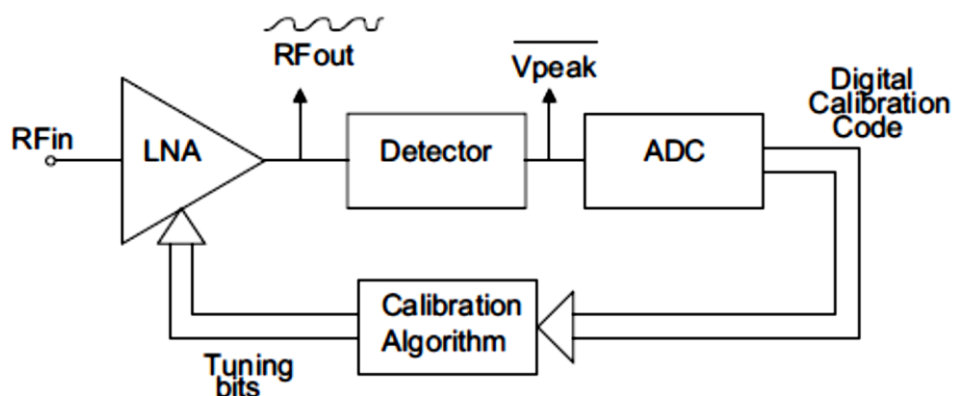


Figura 2: Aplicação do detector para calibração do LNA [2]

A tensão DC detectada pelo detector de pico é processada usando um conversor analógico-digital (ADC) de baixa velocidade. O conversor é usado na calibração do LNA para corrigir a frequência ressonante do casamento de impedância. Por último, a calibração é feita através de um algoritmo.

2.3 Frequency-Locked Loop baseado no conversor de frequência em tensão [3]

O circuito *Phase-Locked Loop* (PLL) é um bloco muito usado em aplicações de circuitos integrados. É geralmente usado em sistemas envolvendo comunicações, controle automático de frequência ou fase, sínteses de frequência e sistemas de instrumentação. Ele gera um sinal de saída que controla o sinal de referência na entrada. O sinal de saída é sincronizado com a referência do sinal de entrada tanto em frequência quanto em fase. O PLL é construído através de um detector de fase ou um detector de fase e frequência (PFD), um filtro passa-baixa, um oscilador controlado por tensão (VCO) e alguns outros componentes. Geralmente, o filtro passa-baixa não é integrado, mas implementado externamente com componentes discretos para minimizar a área consumida pelo PLL. Para superar essas restrições de projeto e permitir que o circuito seja completamente integrado com uma área aceitável do chip é apresentado o circuito *frequency-locked loop* (FLL). O circuito *frequency-locked loop* (FLL) é similar ao PLL, ele gera um sinal de saída que controla o o sinal de referência da entrada. Porém, neste caso, o sinal de saída é sincronizado apenas em frequência com o sinal de entrada. O diagrama de blocos desse sistema é mostrado na Figura (3).

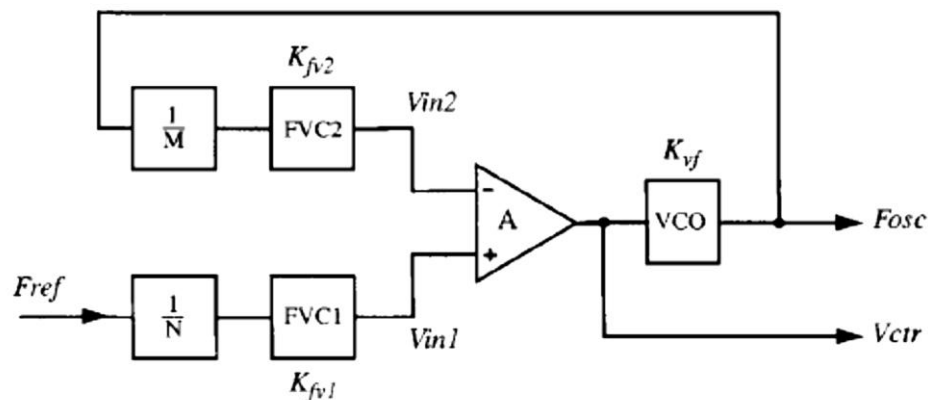


Figura 3: Diagrama de blocos do circuito FLL [3]

O princípio de operação do FLL é baseado na comparação de frequência, a comparação é completada pela combinação de dois FVCs e um comparador. Esse FLL é um circuito com realimentação negativa e é composto por dois FVCs, um VCO, um comparador e dois divisores de frequência, um divisor por M e outro por N. Primeiramente, a frequência do sinal de referência da entrada (F_{ref}) é dividida por N

e convertida em uma tensão DC V_{in2} pelo FVC1. Da mesma maneira, a frequência de oscilação do VCO (F_{osc}) é dividida por M e convertida em uma tensão DC V_{in2} pelo FVC2. A diferença entre eles é, então amplificada pelo amplificador operacional A de alto ganho e resulta na tensão de saída V_{ctr} , que é empregada para controlar a frequência de saída do VCO. A saída do amplificador operacional aumentará ou diminuirá a frequência de oscilação de VCO até que V_{in2} torne igual a V_{in1} .

2.4 Teste de osciladores com um FVC e um VVC.

Os conversores de frequência em tensão e de tensão AC em tensão DC podem ser de grande importância também, para o teste de osciladores, pois dariam informações quanto ao funcionamento dos mesmos. Osciladores são muito usados em diversos tipos de circuitos eletrônicos, como em circuitos de comunicação, computação ou qualquer circuito que utilize eventos periódicos. Portanto, uma técnica BIT poderia ajudar na diminuição de custos e tempo para verificação desses circuitos. Para o projeto desses conversores deve ser levado em conta as especificações dos osciladores. Devem ser projetados de acordo com a extensão de frequência em que eles operam. O diagrama de blocos desse sistema é apresentado na Figura 4.

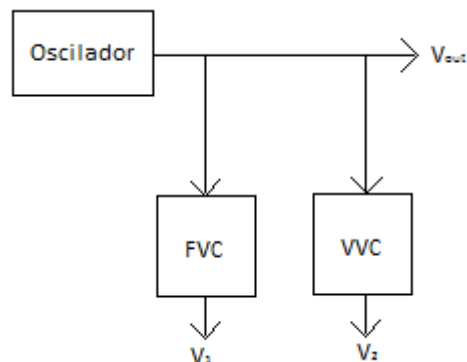


Figura 4: Diagrama de blocos do oscilador com os conversores

De acordo com a Figura 4, um conversor de frequência em tensão (FVC) receberia o sinal de saída V_{out} do oscilador e geraria um sinal que indicaria a frequência em que o oscilador está operando. O conversor de Tensão AC em tensão DC também receberia o sinal de saída V_{out} do oscilador e indicaria a tensão AC do oscilador. Com essas duas informações seria possível verificar o funcionamento do oscilador.

Neste capítulo, observou-se a importância dos circuitos conversores em várias aplicações. Eles são usados para teste em algumas aplicações e como parte do circuito em outras. Os dois conversores geram tensões contínuas. Assim, com esses valores, pode-se verificar o funcionamento dos circuitos ou utilizá-los para o controle do sistema.

No capítulo seguinte será apresentado o conversor de frequência em DC. Algumas topologias serão mostradas, algumas baseadas no princípio de circuitos translineares que também será introduzido neste capítulo.

3 Conversor de Frequência em DC

Um conversor de frequência em DC ou conversor de frequência em tensão (FVC) é um dispositivo que converte um sinal de entrada AC em um sinal de saída DC proporcional à frequência do sinal de entrada. Para que tenha um bom desempenho, o FVC deve ter boa linearidade, resposta rápida, funcionamento em uma larga extensão de frequência e baixo *ripple*. Como será implementado no próprio chip, ou seja, usando a técnica BIT, esse dispositivo não deve afetar o sistema onde ele será implementado e deve ocupar a mínima área possível. O conversor que será projetado neste trabalho será voltado para aplicações em altas frequências, entre 1GHz e 3GHz e baixas amplitudes.

Serão projetados alguns circuitos baseados no princípio da translinearidade e outro baseado na redistribuição de carga de capacitores, descritos neste capítulo. Além disso, o princípio de circuitos translineares também será explicado neste capítulo. No final da implementação de alguns desses circuitos um deles será escolhido, baseado no melhor desempenho de acordo com as especificações desejadas.

3.1 Circuitos Translineares

O princípio translinear fornece um método de realização de funções matemáticas. Geralmente, com um pequeno número de transistores, é possível implementar complexas funções. Todas os sinais de entrada e saída são em forma de corrente, então pode-se dizer que circuitos translineares operam em modo corrente.

Esse princípio explora a característica exponencial da função de transferência do transistor bipolar e do transistor MOS na região de inversão fraca. O termo translinear é derivado da equação da transcondutância g_m para pequenos sinais de um transistor bipolar, dado por [4]:

$$g_m = \frac{\partial I_c}{\partial V_{be}} = \frac{I_c}{V_t}, \quad (3.1)$$

onde I_c é a corrente de coletor, V_{be} é a tensão base-emissor e V_t é a tensão térmica. A Equação (3.1) mostra que a transcondutância é linear na corrente de coletor.

Há dois princípios básicos em circuitos translineares que serão discutidos para a implementação dos conversores. O primeiro é o princípio translinear estático e o segundo o princípio translinear dinâmico.

3.1.1 Princípio Translinear Estático

O princípio Translinear Estático é explicado usando a expressão da corrente de coletor I_c do transistor bipolar e I_D do transistor MOS na região de inversão fraca. A corrente de coletor na região ativa do transistor bipolar é dada por:

$$I_c = \lambda I_s e^{\frac{V_{be}}{V_t}}, \quad (3.1.1)$$

onde λ é o fator de escala da área do emissor e I_s é a corrente de saturação do transistor.

A corrente do dreno no transistor MOS na região de inversão fraca é dada por:

$$I_d = I_{do} e^{\left(\frac{V_{gs}}{nV_t}\right)}, \quad (3.1.2)$$

onde n é uma constante e vale aproximadamente 1,5.

O princípio Translinear Estático se aplica em *loops* das junções dos semicondutores com a relação exponencial Tensão-Corrente. O *loop* é caracterizado por um número par de junções. Um exemplo de quatro transistores em um *loop* translinear é mostrado na Figura (5). Considera-se que os transistores operam na mesma temperatura.

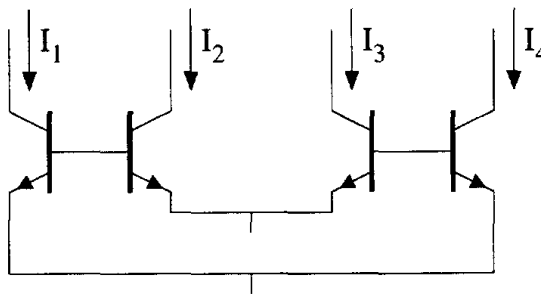


Figura 5: Loop translinear de 4 transistores [4]

Aplicando a lei de Kirchhoff de tensão obtém-se:

$$V_{be1} + V_{be3} = V_{be2} + V_{be4} \quad (3.1.3)$$

Transformando a descrição da equação (3.1.3) de modo de tensão em modo de corrente do transistor bipolar, tem-se:

$$V_t \ln \frac{I_1}{\lambda_1 I_s} + V_t \ln \frac{I_3}{\lambda_3 I_s} = V_t \ln \frac{I_2}{\lambda_2 I_s} + V_t \ln \frac{I_4}{\lambda_4 I_s}, \quad (3.1.4)$$

Supondo que os transistores operam na mesma temperatura, então V_t é igual para todos os quatro transistores. Assim, V_t pode ser eliminado da equação (3.1.4). Em seguida usa-se a regra da soma de logaritmos, obtendo :

$$\ln \frac{I_1 I_3}{\lambda_1 \lambda_3 I_s^2} = \ln \frac{I_2 I_4}{\lambda_2 \lambda_4 I_s^2}, \quad (3.1.5)$$

Sabendo que a corrente de saturação I_s é igual para todos os transistores e eliminando o logaritmo da equação (3.1.5), obtém-se a representação dos loops translineares em termos do produto das correntes de coletor:

$$I_1 I_3 = \lambda_{eq} I_2 I_4, \quad (3.1.6)$$

onde $\lambda_{eq} = \frac{\lambda_2 \lambda_4}{\lambda_1 \lambda_3}$ é a razão equivalente da área do loop translinear.

3.1.2 Princípio Translinear Dinâmico

O Princípio Translinear Estático é limitado a funções de transferência independente da frequência. Admitindo capacitores nos *loops* translineares, define-se então o Princípio Translinear Dinâmico. Nesse princípio incluem-se funções de transferência dependentes da frequência. A Figura 6 apresenta um circuito que nos ajuda a definir esse princípio.

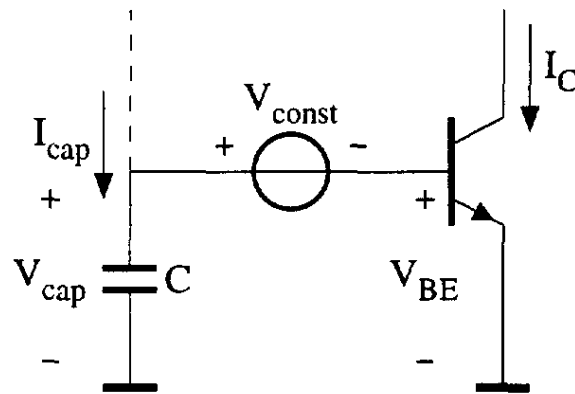


Figura 6: Princípio dos circuitos translineares dinâmicos [4]

Sabe-se que a corrente no coletor I_C é dada pela equação (3.1.1). Calculando a derivada de I_C em função do tempo, tem-se:

$$\dot{I}_C = I_C \frac{v_{be}}{v_t} \quad (3.1.6)$$

onde

$$\dot{I}_C = \frac{dI_C}{dt} \quad (3.1.7)$$

A tensão V_{be} é a mesma tensão no capacitor V_{cap} . A corrente no capacitor I_C é:

$$I_{cap} = C \frac{dV_{cap}}{dt} = C \frac{dV_{be}}{dt} = C \dot{V}_{be}, \quad (3.1.8)$$

onde C é a capacitância.

Combinando as equações (3.1.7) e (3.1.8), resulta-se em:

$$\dot{I}_C = \frac{I_C I_{cap}}{v_t C}, \quad (3.1.9)$$

ou, mostrando de outra forma,

$$C v_t \dot{I}_C = I_C I_{cap}, \quad (3.1.10)$$

A equação (3.1.10) define o princípio translinear dinâmico: “A derivada no tempo de uma corrente é equivalente ao produto de correntes”.

3.2 Projeto do FVC usando um bloco diferenciador e um integrador [5]

O circuito proposto é composto por três subcircuitos, um diferenciador, um integrador e um circuito que faz a raiz quadrada da divisão. Assume-se que o sinal de entrada V_{in} é um sinal senoidal puro, tendo como amplitude A . As constantes de tempo do diferenciador e do integrador são, respectivamente τ_d e τ_i . Logo, a entrada V_{in} e a saída do integrador V_1 e do diferenciador V_2 podem ser escritas como:

$$V_{in} = A \sin(\omega t) \quad (3.2.1)$$

$$V_1 = \frac{-A}{\tau_i \omega} \cos(\omega t) \quad (3.2.2)$$

$$V_2 = (A \tau_d \omega) \cos(\omega t) \quad (3.2.3)$$

Os valores absolutos dos sinais V_1 e V_2 podem ser alcançados pelo uso de retificadores. Em seguida, o resultado será inserido no circuito responsável pela operação de raiz quadrada e divisão. Assim a saída V_{out} é dada por :

$$V_{out} = \sqrt{\frac{|V_2|}{|V_1|}} = \tau \omega, \quad (3.2.4)$$

onde $\tau = \sqrt{\tau_d \cdot \tau_i}$.

Observa-se pela equação (3.2.4) que a saída V_{out} é uma função linear da frequência angular ω e não é dependente da amplitude do sinal de entrada.

A Figura (7) mostra o diagrama do conversor proposto.

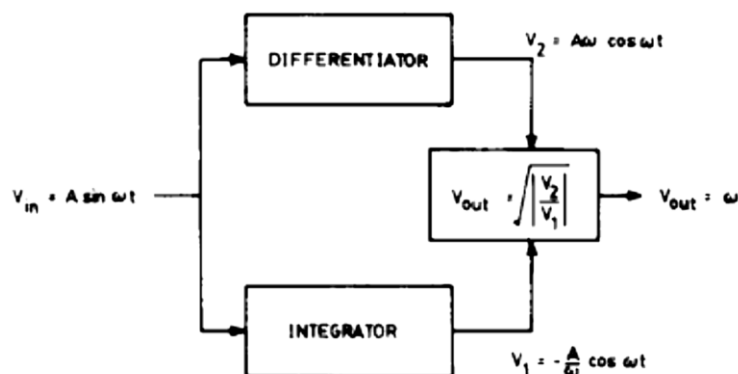


Figura 7: Diagrama de blocos do circuito conversor proposto [5]

O circuito de cada bloco será mostrado mais adiante.

3.3 Projeto do FVC usando um bloco integrador e um conversor RMS [6]

O sistema conta com quatro sub-blocos: Um integrador, dois conversores RMS e um divisor. O conversor RMS proporciona uma corrente de saída I_{out} igual ao valor médio da corrente de entrada, ou seja, a versão de $\frac{I_{in}^2}{I_{out}}$ filtrada por um passa-baixa:

$$I_{out} = \left\langle \frac{I_{in}^2(t)}{I_{out}} \right\rangle \quad (3.3.1)$$

Assumindo que o sinal de entrada I_{in} é um sinal senoidal puro com amplitude ou tensão de pico de A e frequência ω :

$$I_{in}(t) = A \sin(\omega t) \quad (3.3.2)$$

Aplicando a lei dos senos e cossenos no quadrado da corrente de entrada obtém-se:

$$I_{in}(t)^2 = A^2 \left[\frac{1}{2} - \frac{1}{2} \cos(2\omega t) \right] \quad (3.3.3)$$

Assim, a saída do bloco do conversor RMS se torna:

$$I_1 = \left\langle \frac{I_{in}^2(t)}{I_1} \right\rangle = \frac{A^2}{2I_1} \quad (3.3.4)$$

Isolando I_1 , tem-se:

$$I_1 = \frac{A}{\sqrt{2}}, \quad (3.3.5)$$

No ramo paralelo, a corrente de entrada é integrada, dando:

$$I_{in}'(t) = \frac{-A}{\tau_i \omega} \cos(\omega t), \quad (3.3.6)$$

onde, τ_i é a constante de tempo do integrador. Em seguida $I_{in}'(t)$ é processado pelo conversor RMS, resultando em:

$$I_2 = \left\langle \frac{I_{in}^2(t)'}{I_2} \right\rangle = \frac{A^2}{2I_2 \tau_i^2 \omega^2} \quad (3.3.7)$$

Assim, isolando I_2 , obtém-se:

$$I_2 = \frac{A}{\tau_i \omega \sqrt{2}} \quad (3.3.8)$$

Por último, dividindo as correntes I_1 e I_2 , resulta-se em:

$$I_{out} = I_M \frac{I_1}{I_2} = I_M \tau_i \omega \quad (3.3.9)$$

O diagrama do conversor proposto é apresentado na Figura (8).

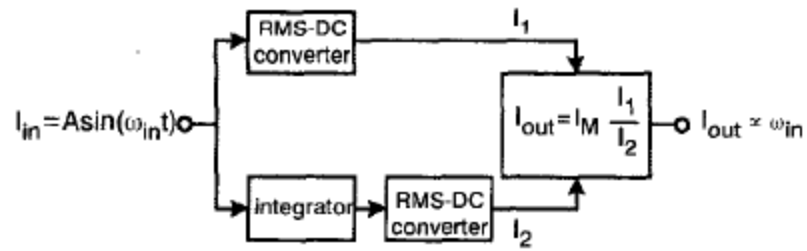


Figura 8: Diagrama do circuito conversor proposto [6]

3.4 Projeto do FVC usando um bloco diferenciador e um conversor RMS [7]

O conversor proposto é composto por um diferenciador, dois conversores RMS e um divisor. O diagrama de blocos é mostrado na Figura (9).

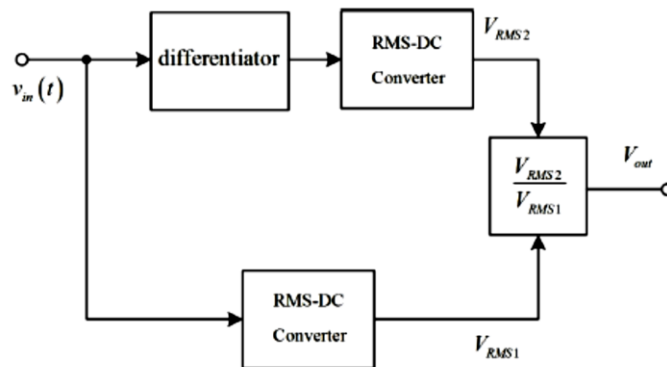


Figura 9: Diagrama de blocos do conversor proposto [7]

Assume-se que o sinal de entrada V_{in} é um sinal senoidal puro tendo como amplitude A e frequência ω . Assim, a entrada V_{in} e a saída do diferenciador V_d podem ser escritas como:

$$V_{in} = A \sin(\omega t) \quad (3.4.1)$$

$$V_d = (A \tau_d \omega) \cos(\omega t), \quad (3.4.2)$$

onde τ_d a constante de tempo do diferenciador.

Os sinais V_{in} e V_d passam pelo conversor RMS e geram as saídas V_{RMS1} e V_{RMS2} , que podem ser escritas como, respectivamente:

$$V_{RMS1} = \frac{A}{\sqrt{2}} \quad (3.4.3)$$

e

$$V_{\text{RMS2}} = \frac{A_{\text{rd}} \omega}{\sqrt{2}} \quad (3.4.4)$$

Logo, dividindo V_{RMS2} em (3.3.4) por V_{RMS1} em (3.3.3), obtém-se V_{out} , como

$$V_{\text{out}} = k \omega, \quad (3.4.5)$$

onde $k = k_{\text{div}} \tau_d$ é a sensibilidade do conversor e k_{div} é o fator de escala do divisor.

Observa-se que o sinal de saída é linearmente proporcional à frequência ω e não depende da amplitude do sinal de entrada.

3.5 Projeto do FVC baseado no princípio de redistribuição de carga do capacitor [8]

O FVC proposto neste tópico requer uma pequena área para implementação, é rápido e simples. É baseado no princípio de redistribuição de carga em capacitores e sinais de controle derivado do sinal de entrada. O diagrama de blocos é apresentado na Figura 10.

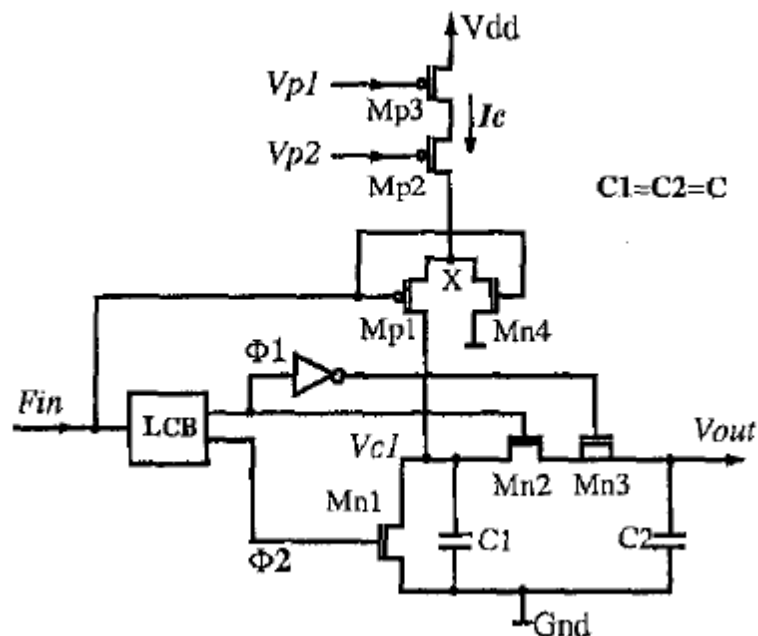


Figura 10: Diagrama de blocos do conversor proposto [8]

O circuito, baseado na tecnologia CMOS, é composto por dois capacitores iguais ($C1$ e $C2$), uma fonte de corrente I_c e um conjunto de transistores ($Mp1$, $Mn1$,

Mn2, Mn3, Mn4) que atuam como chaves e um bloco lógico de controle (LCB). O LCB gera os sinais ϕ_1 e ϕ_2 que controlam os transistores Mn1, Mn2 e Mn3. Esses dois sinais são pulsos estreitos com a mesma frequência F_{in} , mas de fases diferentes. Os transistores Mp1 e Mn4 são controlados diretamente pelo sinal de entrada, e são ligados e desligados alternativamente na razão da frequência do sinal de entrada. Com o sinal de entrada e os sinais de controle ϕ_1 e ϕ_2 , a operação geral do circuito é carregar o capacitor C1 pela constante de tempo I_c durante metade do período da forma de onda da entrada e, então, transferir a carga para o capacitor C2 que a manterá e produzirá a tensão de saída correspondente à frequência de entrada F_{in} .

Durante T_1 , metade do período, o sinal $V(F_{in})$ está em nível baixo, o transistor Mp1 está ligado enquanto Mn1, Mn2 e Mn4 estão desligados pelos sinais ϕ_1 e ϕ_2 . Nessas circunstâncias, o capacitor C1 será carregado pela corrente constante I_c . A presença do transistor Mn4 não é por funcionalidade, mas por aumento de performance do circuito. Ele é incluído para manter a tensão do nó X (Figura (9)) em nível baixo quando o sinal de entrada é alto, então quando o sinal de entrada muda do nível alto para o nível baixo, o capacitor C1 começará a carregar por um tensão pequena. Isso eliminará o erro de tensão que poderia ser introduzido pelos picos transientes que aparecem durante o chaveamento do transistor Mp1 quando o transistor Mn4 não é usado.

Quando o sinal de entrada chaveia para o nível alto, o transistor Mp1 é desligado, Mn4 é ligado e o capacitor C1 para de carregar. A carga final acumulada do capacitor C1 é diretamente proporcional à metade do período da forma de onda de entrada. Essa carga deve então ser transferida para o capacitor C2 para ser armazenada como indicação da frequência de entrada. Isso ocorre logo depois que o capacitor C1 pára de carregar, o sinal ϕ_1 vai para nível alto por um pequeno período τ_1 e liga o transistor Mn2. Porém, quando Mn1 e Mp1 estão desligados, a carga armazenada no capacitor C1 e a carga inicial armazenada no capacitor C2 são distribuídas igualmente entre esses dois capacitores. O transistor Mn3 atua como uma falsa chave e seu propósito é minimizar o erro de tensão associado com o *clock feedthrough* e os efeitos de injeção de carga. Uma vez que a distribuição de carga C1 e C2 é completada, o transistor Mn2 é desligado, então o capacitor C2 é isolado do resto do circuito e segura a carga durante T_2 , a segunda metade do

período de T_2 . Quando ϕ_1 retorna a zero, o sinal ϕ_2 vai para alto num pequeno período de tempo τ_2 e liga o transistor $Mn1$ que descarrega o capacitor $C1$.

Se o sinal de entrada $V(\text{Fin})$ desse circuito for um onda quadrada de frequência Fin e com *duty cycle* de 50%, então a tensão de saída pode ser expressa em termos de Fin como:

$$V_{\text{out}} = \frac{I_c}{C_1} \left(\frac{T}{2} \right) = \frac{I_c}{C} \left(\frac{1}{2\text{Fin}} \right) \quad (3.5.1)$$

O limite máximo de frequência, f_{max} do conversor é determinado por τ_1 e τ_2 . Nesse caso, f_{max} pode ser expresso por:

$$f_{\text{max}} \leq \frac{1}{2(\tau_1 + \tau_2)} \quad (3.5.2)$$

Três diagramas de blocos que implementam algumas funções matemáticas foram apresentados. A utilização de circuitos translineares torna a implementação dessas funções mais simples. Os três diagramas de bloco mostram que a tensão de saída é proporcional à frequência do sinal de entrada, atingindo o objetivo do circuito. Uma quarta topologia é apresentada utilizando o princípio da redistribuição de carga. Neste caso são utilizados transistores MOS para implementação do circuito.

No próximo capítulo, o conversor de tensão AC em tensão DC será apresentado. Algumas topologias que implementam esse circuito serão discutidas. A primeira é baseada em um detector RMS utilizando circuitos translineares. A segunda utiliza a tecnologia MOS para a implementação do detector RMS. Outras duas topologias são mostradas para a realização de detectores de pico. Todas essas topologias geram uma tensão de saída proporcional à amplitude do sinal de entrada.

4 Conversor AC-DC

Algumas maneiras de conversão de um sinal AC em DC serão apresentadas neste item. Entre elas estão os Conversores ou Detectores RMS e os Detectores de Pico. Detectores RMS podem ser implementados através de circuitos bipolares translineares ou puramente com a tecnologia MOS. Os detectores de pico são uma outra opção para implementação desse tipo de circuito. Busca-se um circuito que ocupe uma pequena área para que seja inserido no chip de teste. Além disso, ele não deve afetar o sistema a ser testado e deve ter uma boa performance para frequências entre 1GHz e 3GHz.

4.1 Detector RMS baseado no princípio translinear

Como discutido anteriormente, o princípio translinear é um modo prático de implementar circuitos analógicos não-lineares. Para o detector RMS, dois blocos são fundamentais, um divisor quadrático e integrador. As equações 3.3.1-3.3.5 provam esse resultado.

Um circuito com *loop* básico translinear que implementa o detector RMS é mostrado na Figura (11).

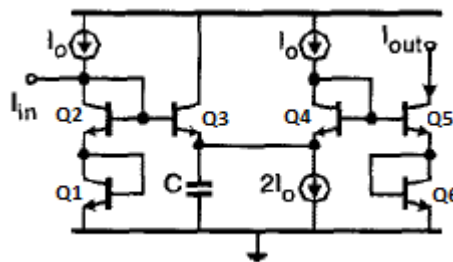


Figura 11: circuito translinear básico que implementa o detector RMS [6]

De acordo com o princípio translinear aplicamos o *loop* Q1-Q6. Assim tem-se:

$$I_1 I_2 I_4 = I_3 I_5 I_6 \quad (4.1.1)$$

Sabendo-se que $I_1 = I_2 = I_{in}$, $I_3 = I_0 + I_{cap}$, $I_4 = I_0$ e $I_5 = I_6 = I_{out}$ e substituindo em (4.1.1):

$$I_{in} I_{in} I_0 = (I_0 + I_{cap}) I_{out}^2 \quad (4.1.2)$$

Resolvendo a equação obtém-se:

$$I_{in}^2 I_0 = I_0 I_{out}^2 + I_{cap} I_{out}^2 \quad (4.1.3)$$

De (3.1.9) :

$$I_{in}^2 I_0 = I_0 I_{out}^2 + \frac{C V t I_{out}}{I_0} I_{out} \quad (4.1.4)$$

A equação (4.1.4), resulta-se em:

$$I_{out} = \left\langle \frac{I_{in}^2}{I_{out}} \right\rangle = \frac{A}{\sqrt{2}} \quad (4.1.5)$$

Portanto, a corrente de saída torna-se o valor RMS do sinal de entrada.

4.2 Detector RMS usando tecnologia MOS [1]

Circuitos conversores RMS usando tecnologia MOS ocupam uma área menor que os circuitos bipolares. Portanto, para a implementação através da técnica BIT, esses circuitos são mais indicados. O detector RMS proposto consiste em três etapas. Um diagrama de blocos conceitual é mostrado na Figura (12).

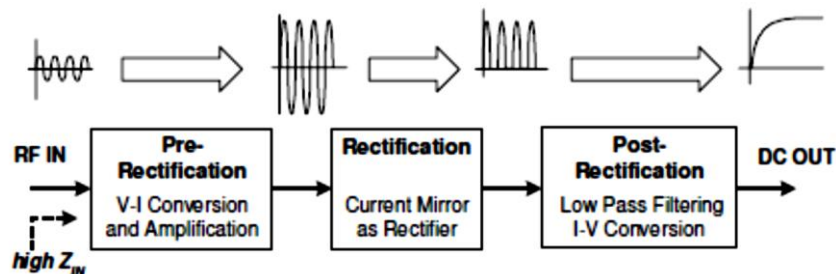


Figura 12: Diagrama de blocos do detector RMS proposto [1]

O primeiro estágio corresponde à alta-impedância para o caminho do sinal, converte o sinal de tensão em um sinal de corrente e o amplifica. O segundo estágio é um retificador de meia onda. O sinal retificado é filtrado no último estágio para obter o valor médio. A saída é então, uma tensão DC proporcional à amplitude do sinal na entrada do detector.

Um esquemático do circuito que pode ser implementado para criar o detector RMS é apresentado na Figura (13).

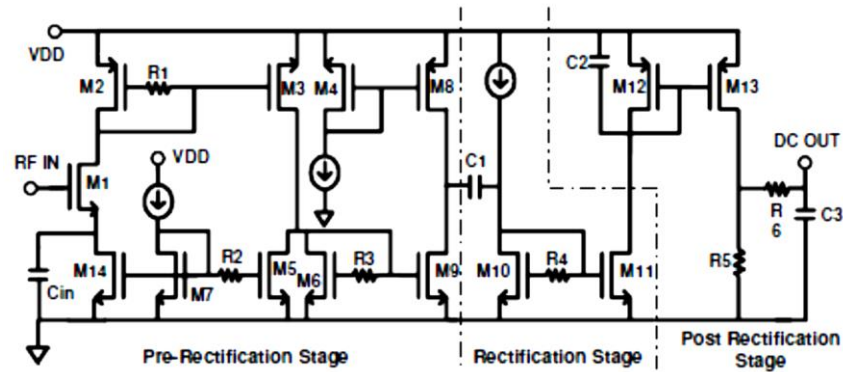


Figura 13: Esquemático do circuito detector RMS [1]

O estágio pré-amplificador age como um transcondutor. O transistor M1 atua como conversor tensão-corrente e é seguido pelos transistores PMOS M2 e M3 e os NMOS M6 e M9, que amplificam a corrente. O estágio retificador é o estágio formado pelos transistores M10 e M11. M10 é polarizado com uma pequena corrente de fonte. Assim ele é polarizado para estar região de inversão fraca. Isso aumenta a velocidade de retificação. Durante a o ciclo positivo, a corrente AC vinda do capacitor C1 faz com que M10 entre na região de saturação e, assim M10 e M11 ficam ligados. Durante o ciclo negativo M10 vai para a região de corte, alcançando, portanto a retificação de meia onda. Por último, o estágio posterior consiste num filtro passa-baixa de segunda ordem com conversão da corrente em tensão. O primeiro polo é implementado no espelho de corrente PMOS carregado com M12 e C2. O resistor R5 faz a conversão de corrente em tensão enquanto que R6 e C3 cria o segundo polo.

4.3 Detectores de Pico

Para o projeto de detectores de pico que operam em frequências elevadas deve haver um compromisso entre a linearidade, o tempo de resposta e a precisão. A diferença entre os detectores de pico e os detectores RMS é bem sutil. Dois circuitos com configurações diferentes serão apresentados. Ambos fornecem a tensão de saída proporcional à amplitude da tensão de entrada. O primeiro circuito é mostrado na Figura (14).

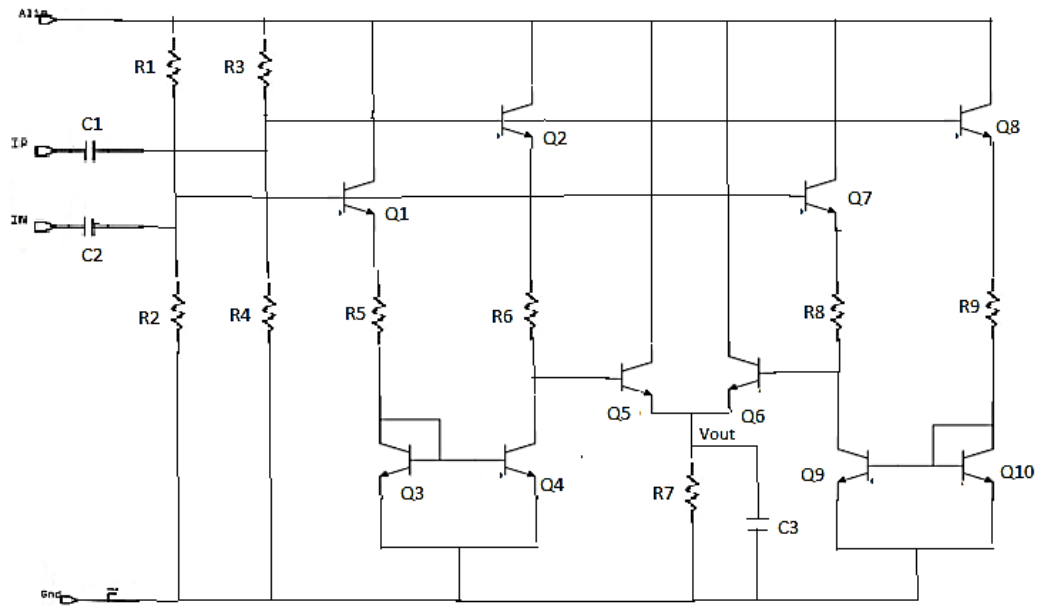


Figura 14 : Esquemático do primeiro circuito detector de pico

Deseja-se determinar a tensão de saída V_{out} . Analisando duas malhas, pode-se encontrar a equação dessa tensão. A primeira malha é composta por Q3, R5, Q1 e R1. A segunda malha é composta por Q5, R6, Q2 e R3:

$$V_{alim} - R1 (I_{dc} + I_n) - V_{beQ1} - R5 I - V_{beQ3} = 0 \quad (4.3.1)$$

$$V_{alim} - R3 (I_{dc} + I_p) - V_{beQ2} - R6 I - V_{beQ5} = V_{out} \quad (4.3.2)$$

Supondo $R1 = R3$, $R2 = R4$, $R5 = R6$ e as tensões V_{beQi} iguais e subtraindo (4.3.2) de (4.3.1), obtém-se:

$$V_{out} = R1 I_n - R3 I_p \quad (4.3.3)$$

Substituindo $R1 I_n$ por V_{e1} (tensão de entrada 1) e $R3 I_p$ por V_{e2} (tensão de entrada 2), resulta-se em:

$$V_{out} = V_{e1} - V_{e2} \quad (4.3.4)$$

Tendo em vista que V_{e2} é o mesmo sinal de V_{e1} defasado de 180° , quando V_{e2} é maior que V_{e1} o transistor Q5 entra em corte e a tensão V_{out} iria para 0, caso não houvesse a parte direita do circuito. Essa parte do circuito é um espelho da parte esquerda, fazendo com que a tensão de saída seja:

$$V_{out} = V_{e1} - V_{e2}, \text{ quando } V_{e1} > V_{e2} \quad (4.3.5)$$

$$V_{out} = V_{e2} - V_{e1}, \text{ quando } V_{e2} > V_{e1} \quad (4.3.6)$$

Desse modo, o circuito faz a retificação de onda completa. O resistor R7 e o capacitor C3 transformam o sinal em uma tensão DC.

Um segundo esquemático (Figura 15) é proposto.

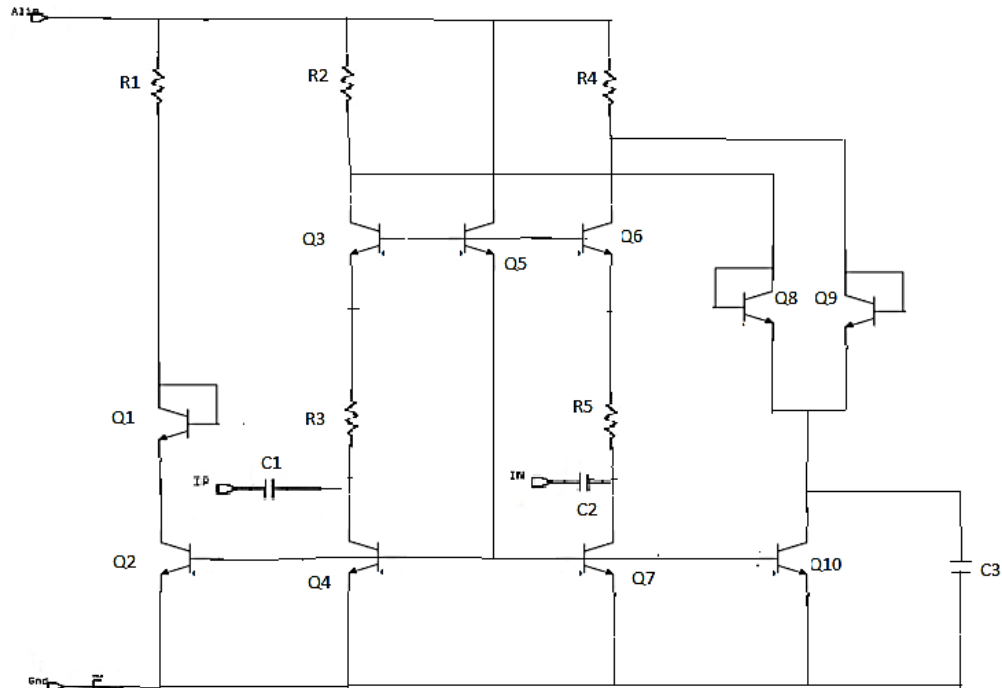


Figura 15: Segundo esquemático proposto de um detector de pico.

Nesse caso, tem-se uma configuração base comum onde o sinal é amplificado. Em seguida os transistores Q8 e Q9, conectados como diodo, fazem a retificação da onda. Por último, o capacitor C3 transforma o sinal retificado em uma tensão DC.

Neste capítulo, foram apresentadas diversas maneiras de converter um sinal Ac em um sinal DC que é proporcional a amplitude do sinal de entrada. Dois conversores RMS foram mostrados, um utilizando circuitos translineares para implementação da função RMS e outro utilizando a tecnologia MOS. Outros dois circuitos detectores de pico foram discutidos.

5 IMPLEMENTAÇÃO

Nos capítulos 3 e 4 foram apresentadas algumas topologias dos conversores AC-DC e de frequência em DC. Neste capítulo, algumas dessas topologias serão implementadas no software de simulação de circuitos Cadence. A tecnologia utilizada para o projeto é a TSMC 0.18 μ m RF Mixed-Signal. Primeiramente será implementado o conversor AC-DC utilizando transistores MOS, bipolar e diodos disponíveis na tecnologia. Em seguida, será implementado o conversor de frequência em DC, projetando e simulando cada bloco que o compõe. Posteriormente, será projetado um amplificador operacional que será utilizado para substituir um componente ideal do conversor RMS-DC. Os resultados do circuito ideal são apresentados em seguida. Por último, é mostrada uma topologia de uma referência de tensão que poderá fazer parte dos conversores.

5.1 Implementação do Conversor RMS-DC

Para implementar a topologia do RMS-DC apresentado em 4.1 na tecnologia TSMC 0.18 μ m RF Mixed-Signal foram utilizados o transistor MOS em inversão fraca e o transistor bipolar. Os resultados da utilização dos dois tipos de transistores serão comparados e discutidos posteriormente. Como discutido na seção 3.1, a corrente do dreno do transistor MOS em inversão fraca cresce exponencialmente com a tensão V_{gs} , ou seja, é similar à expressão da corrente no transistor bipolar, que cresce exponencialmente com a tensão V_{be} . Portanto, é possível utilizar tanto o transistor bipolar como o transistor MOS.

Os transistores bipolares implementados na estrutura de um transistor CMOS podem ser vistos na Figura (16) .

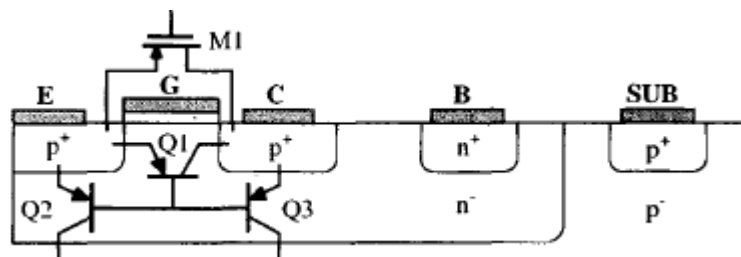


Figura 16: Estrutura de um transistor CMOS [9]

Essa estrutura inclui quatro dispositivos: Transistor bipolar lateral (Q1), dois transistores bipolares verticais parasitas (Q2 e Q3) e o transistor original MOSFET. Na tecnologia *n-well*, como na estrutura mostrada na Figura (16), apenas os transistores bipolares pnp podem ser fabricados a não ser que se tenha o substrato isolado, tendo assim a possibilidade de utilização do transistor npn.

Um fator limitante para o uso dos transistores bipolares disponíveis nessa tecnologia é que o parâmetro Beta é muito pequeno. Assim, a corrente de base é relativamente alta. O valor do Beta na tecnologia TSMC 0,18 μ m RF Mixed-Signal vale em torno de 2,5 para os transistores pnp e 10 a 20 para o transistor npn.

Primeiramente verifica-se a resposta em frequência dos transistores bipolares disponíveis na tecnologia, Figura (17), para constatar a possibilidade de sua utilização na aplicação deste trabalho.

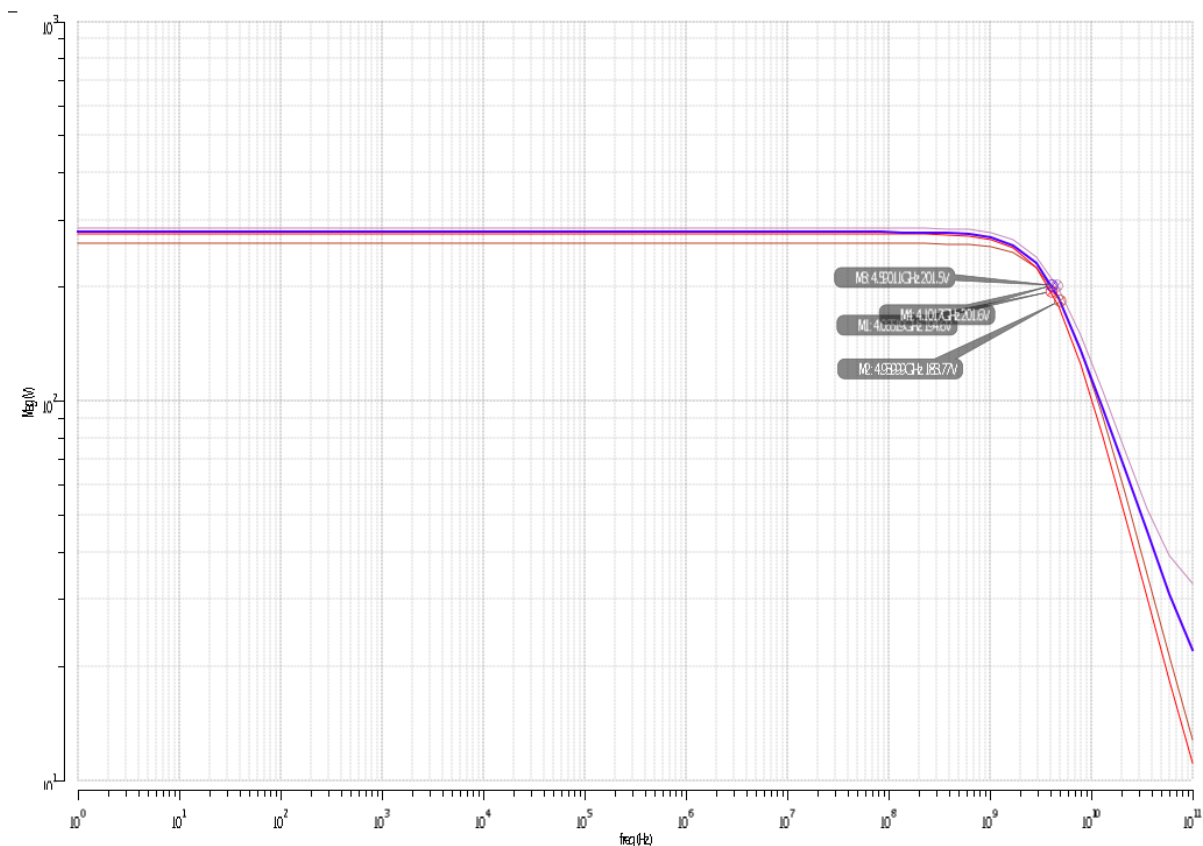


Figura 17: Resposta em frequência dos transistores bipolares e diodos

A Figura (17) apresenta a resposta em frequência dos transistores bipolares npn10, pnp10_3 (transistores bipolares verticais) e dos diodos dioden e dioden3v, dispositivos disponíveis na tecnologia TSMC 0,18 μ m RF Mixed Signal.

As frequências de corte dos transistores npn10 e pnp10_3 e dos diodos dioden e dioden3v para uma corrente de $100\mu\text{A}$ são apresentados na Tab. (1).

Tabela 1. – Frequência de corte dos componentes

Componente	F [GHz]
Transistor npn10	4.56
Transistor pnp10_3	4.10
Diodo dioden	4.06
Diodo dioden3v	4.96

Portanto, de acordo com a Tab. (1), os dois transistores bipolares têm uma resposta em frequência que atende a especificação dos conversores.

Em seguida, é feita uma análise DC, como mostrada na Figura (18). A corrente DC, I_o , é definida como $6\mu\text{A}$ e a capacitância como 30pF .

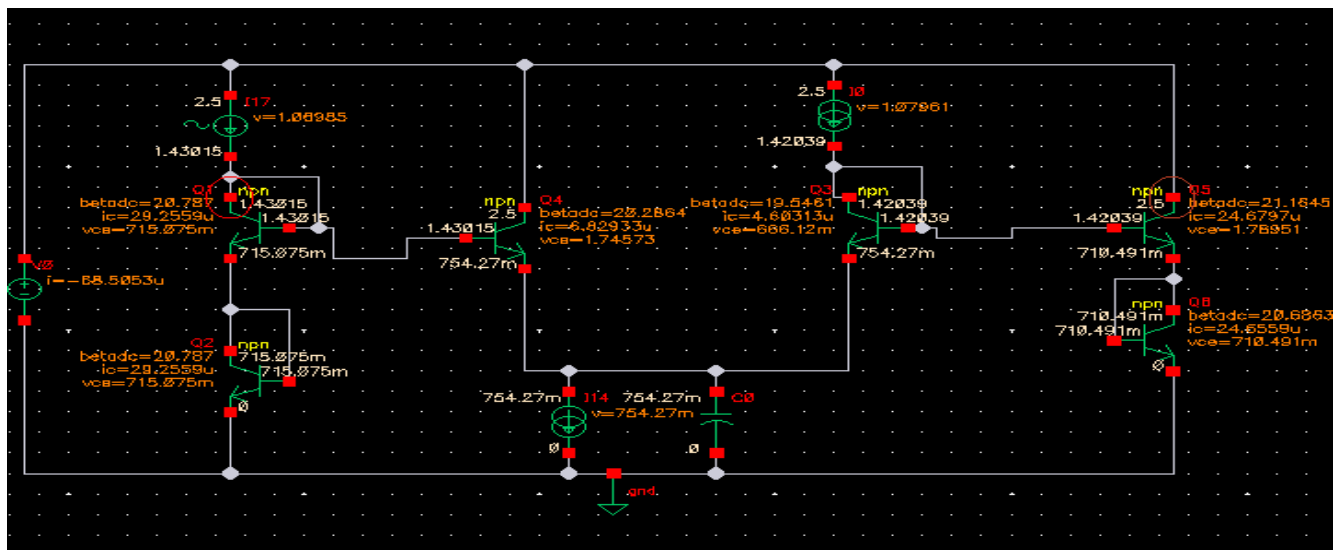


Figura 18: Polarização do circuito RMS com transistores bipolares

Nota-se na Figura (18) que a corrente que passa pelo coletor do transistor Q3 não é exatamente $6\mu\text{A}$, mas apenas $4,6\mu\text{A}$. Isso ocorre porque o Beta é pequeno e parte dessa corrente segue para a base desse transistor. Nota-se também que o Beta dos transistores variam de 19,5 a 21,2.

Enfim, verifica-se o resultado através de uma análise transiente. Nessa simulação, apresentada na Figura (19), a corrente de entrada I_{in} foi variada de $25\mu\text{A}$ a $75\mu\text{A}$, em 3 passos lineares. A frequência foi definida em 1GHz .

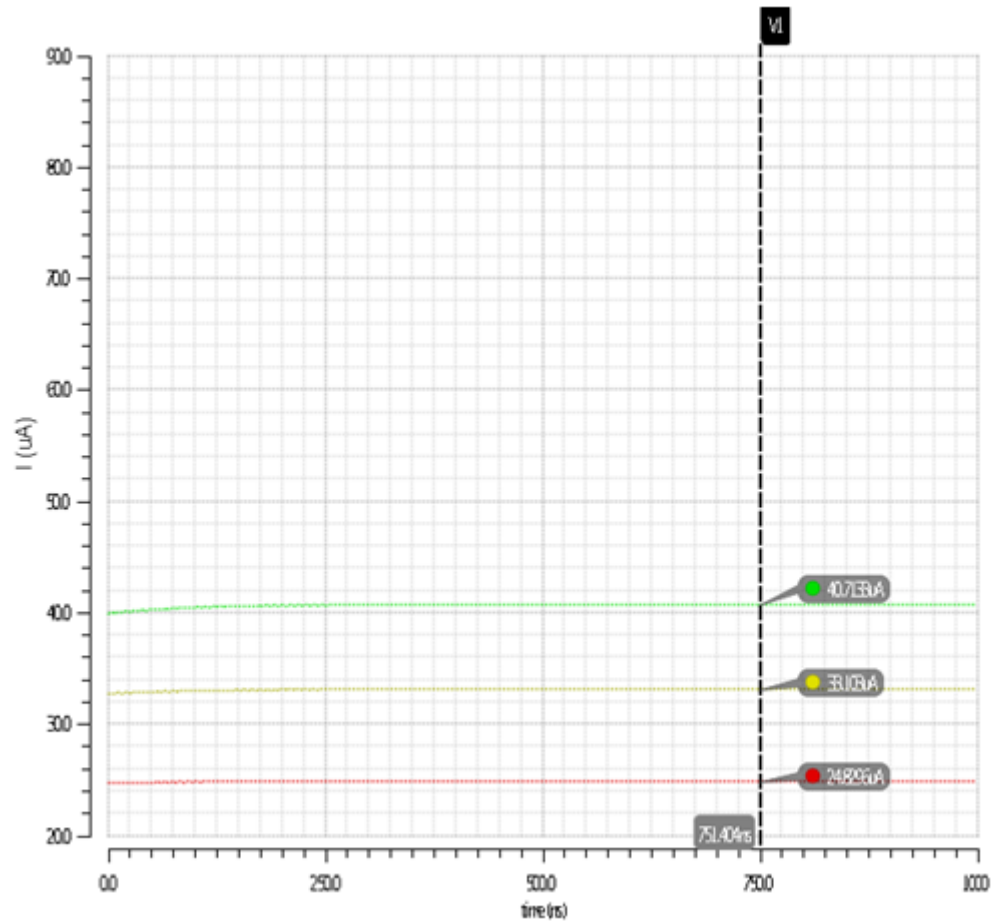


Figura 19: Análise Transiente para a frequência de 1GHz e I_{in} variando de $25\mu A$ a $75\mu A$.

Para uma corrente de entrada I_{in} de $25\mu A$ a corrente de saída I_{out} foi de $24,9\mu A$, para I_{in} de $50\mu A$, I_{out} foi de $33,1\mu A$ e para I_{in} igual a $75\mu A$, I_{out} foi de $40,7\mu A$. Esses resultados de I_{out} não são resultados corretos para os valores RMS da corrente I_{in} , mostrando que a utilização dos transistores bipolares nessa topologia não é adequada. A Tabela (2) apresenta os valores da corrente I_{out} obtidos e I_{rms} teóricos ($2 \cdot I_{in} / \sqrt{2}$) de acordo com suas respectivas correntes de entrada I_{in} .

Tabela 2. – Corrente de saída I_{out} e corrente I_{rms} teórico da análise da Figura (19) para cada valor da corrente de entrada I_{in} .

I_{in} [uA]	I_{out} [uA]	I_{RMS} [uA]
25	24,9	35,3
50	33,1	70,7
75	40,7	106

A segunda possibilidade é substituir os transistores bipolares por transistores MOS em inversão fraca. Para que o transistor MOS esteja operando na região de inversão fraca ou região de *subthreshold* é necessário que a tensão entre o *gate* e o *source* (V_{gs}) seja menor que a tensão *threshold* (V_{th}).

Assim, para a polarização do transistor, deve-se ter uma corrente baixa e uma relação (W/L) alta, onde W é o comprimento do transistor e L a largura. Fazendo algumas simulações, fixaram-se I_0 em $1\mu\text{A}$ e W/L em $25\mu\text{m}/500\text{nm}$. A polarização é mostrada na Figura (20).

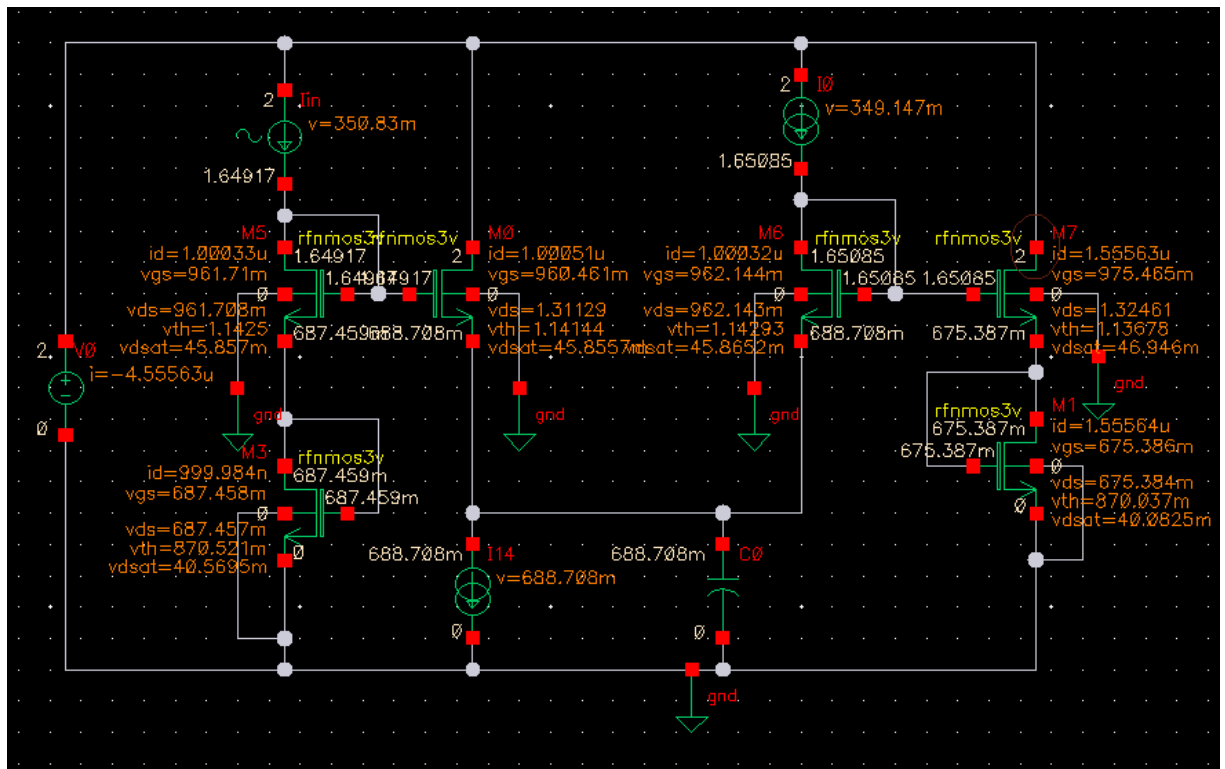


Figura 20: Polarização do circuito RMS com transistores MOS

Nota-se na Figura (20) que o V_{th} dos transistores, quando o substrato está ligado ao *source* e este ligado ao terra, é de 870mV . A tensão V_{gs} desses transistores, M1 e M3, é de 675mV e 687mV , respectivamente. Portanto ambos estão operando na região de inversão fraca.

Porém, transistores MOS em inversão fraca não possuem uma boa resposta em frequência, como pode ser constatado na Figura (21). A análise AC foi feita para

uma corrente de $1\mu\text{A}$ num transistor NMOS que possui uma relação W/L de $50\mu\text{m}/500\text{nm}$.

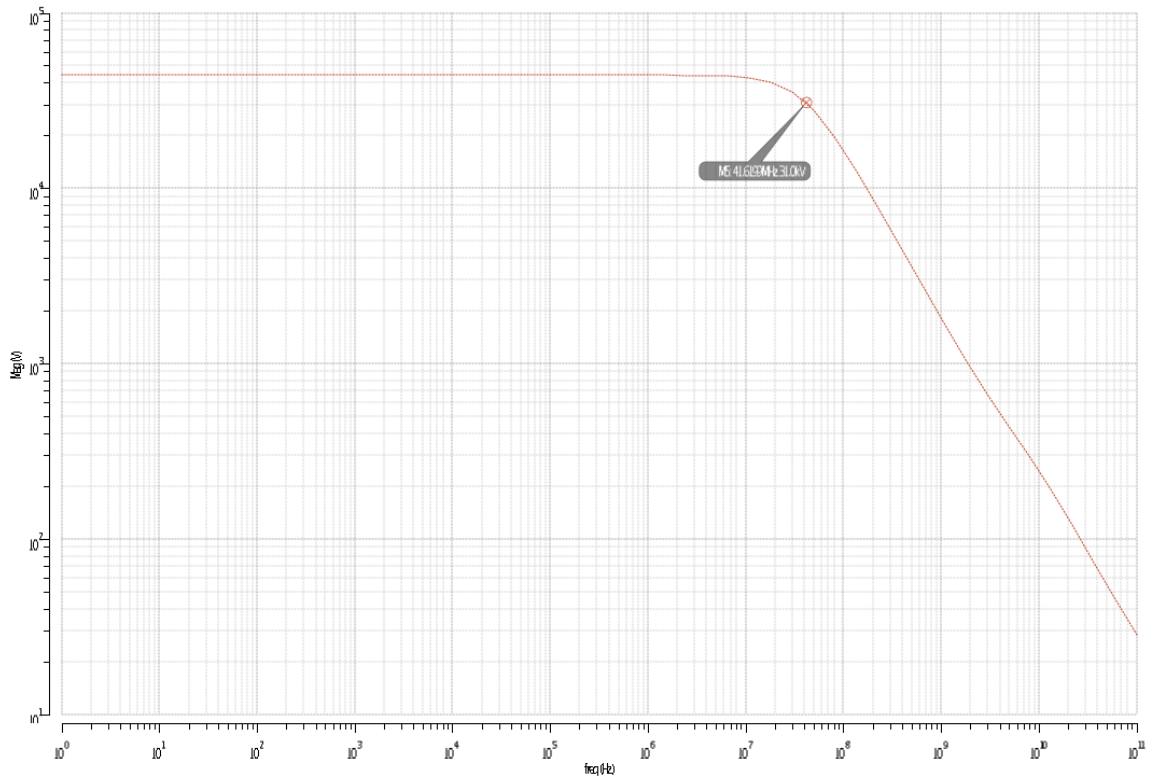


Figura 21: Análise AC de um transistor NMOS para uma corrente de $1\mu\text{A}$ e $W/L = 50\mu\text{m}/500\mu\text{m}$

A Figura (21) mostra que a frequência de corte é de $41,7\text{MHz}$, muito abaixo da ordem de GHz, frequência em que o circuito deve funcionar, como especificado neste trabalho. Desse modo, conclui-se que a utilização de transistores MOS para a implementação do circuito RMS-DC também não é adequada.

As topologias apresentadas utilizando transistores bipolares da tecnologia CMOS ou transistores MOS em inversão fraca possuem baixo desempenho para a aplicação deste trabalho. No caso dos transistores bipolares, o Beta é muito baixo, tornando os resultados não satisfatórios. Já os transistores MOS em inversão fraca não atingem bons resultados em altas frequências, impossibilitando sua utilização. Uma topologia alternativa para implementar circuitos em *Log-domain* é proposta em [10]. A Figura (22) mostra o circuito RMS-DC que não necessita da característica exponencial dos transistores CMOS, substituindo-os por diodos e seguidores de tensão.

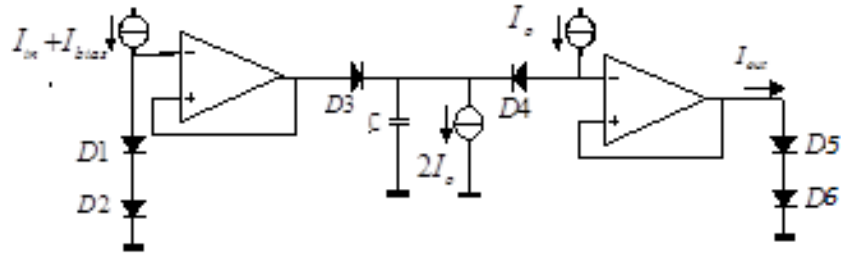


Figura 22: RMS-DC *Log-Domain*

Os diodos D1 a D6, que possuem característica exponencial, e o capacitor C formam um loop translinear dinâmico. O diodo D4 é polarizado com uma corrente dc I_o , portanto atua como uma fonte de tensão constante. A corrente de saída atravessa os diodos D5 e D6. A corrente no Diodo D3 é igual a $I_o + I_{cap}$.

De acordo com o princípio translinear obtém-se a mesma equação de 4.1.3, ou seja:

$$I_{in}^2 I_o = I_o I_{out}^2 + I_{cap} I_{out}^2 \quad (5.1.1)$$

De (3.1.9) :

$$I_{in}^2 I_o = I_o I_{out}^2 + \frac{C Vt I_{out}}{I_o} I_{out} \quad (5.1.2)$$

A equação (5.1.2), resulta-se em:

$$I_{out} = \left\langle \frac{I_{in}^2}{I_{out}} \right\rangle = \frac{A}{\sqrt{2}}, \quad (5.1.3)$$

onde A é igual a amplitude da corrente de entrada.

A frequência de corte ω_c do conversor RMS é:

$$\omega_c = \frac{I_o}{C Vt}, \quad (5.1.4)$$

sendo Vt a tensão térmica que vale aproximadamente 25mV à temperatura igual a 20°C.

Outra motivação para a implementação dessa topologia é o tamanho do diodo em relação ao transistor bipolar e ao transistor MOS. A Figura (23) mostra os três dispositivos juntos e demonstra o quanto menor é o diodo em relação aos outros.

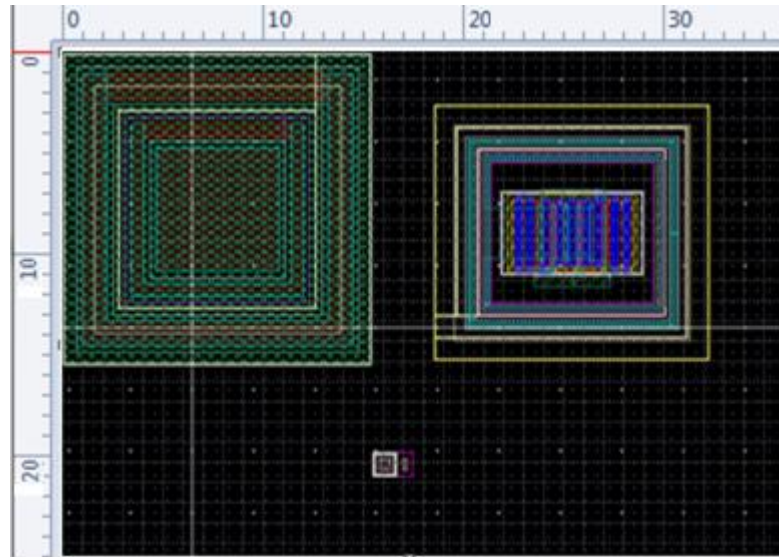


Figura 23: Layout dos transistores bipolar e MOS e do diodo

O dispositivo da esquerda é o transistor bipolar npn, o da direita é o transistor MOS de $W = 25\mu\text{m}$ e $L = 500\text{nm}$ e o dispositivo na parte inferior é o diodo utilizado para a implementação. Os valores mostrados na régua é de $1\mu\text{m}$. Observa-se que o diodo é muito menor que os outros componentes.

A implementação da topologia apresentada na Figura (22) no Cadence é mostrada na Figura (24).

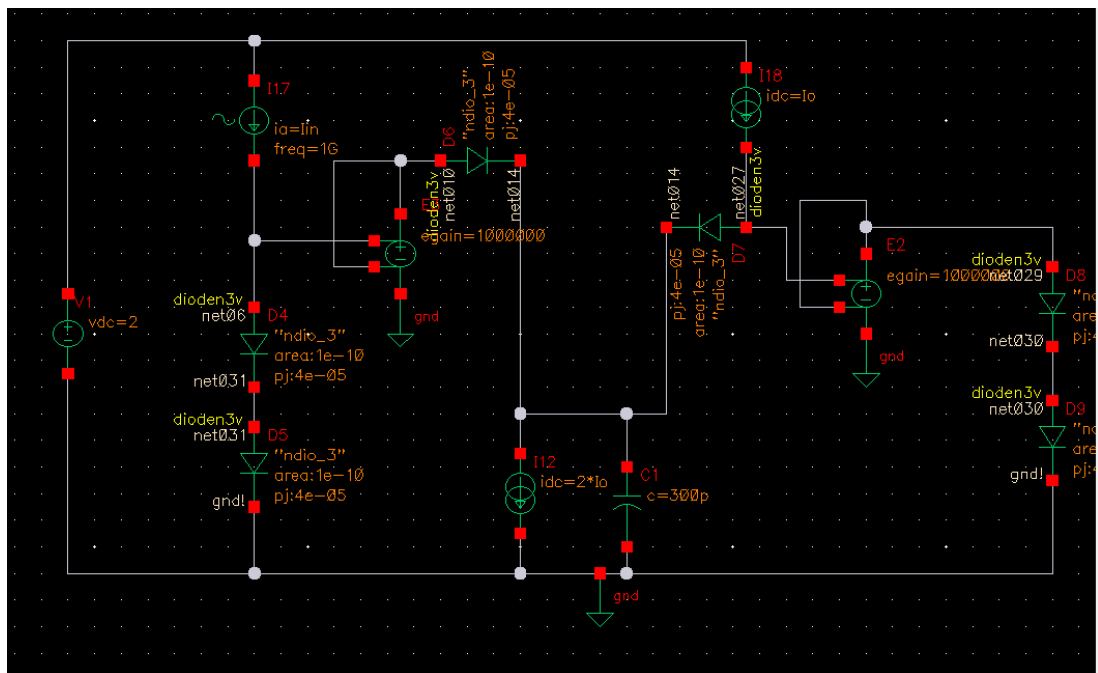


Figura 24: Implementação do RMS-DC no Cadence

Observa-se na Figura (24) que o seguidor de tensão inserido é uma fonte de tensão ideal controlada por tensão. A fonte de corrente também é ideal.

Primeiramente, foi definida na fonte de corrente de entrada uma corrente DC igual a I_o e uma corrente AC com amplitude igual a I_{in} . Neste caso, a amplitude I_{in} não poderia ser maior que I_o , pois o circuito entraria em corte quando I_{in} fosse negativo e de módulo maior que I_o . De acordo com algumas simulações, quanto maior era o valor da capacitância, menor era a ondulação (*ripple*) depois da estabilização. Assim, após algumas simulações, foi definida a capacitância com o valor de 300pF. Esse valor é muito alto para um circuito integrado, portanto posteriormente esse valor foi alterado. O valor de I_o foi definido como 100uA. A análise AC é apresentada na Figura (25).

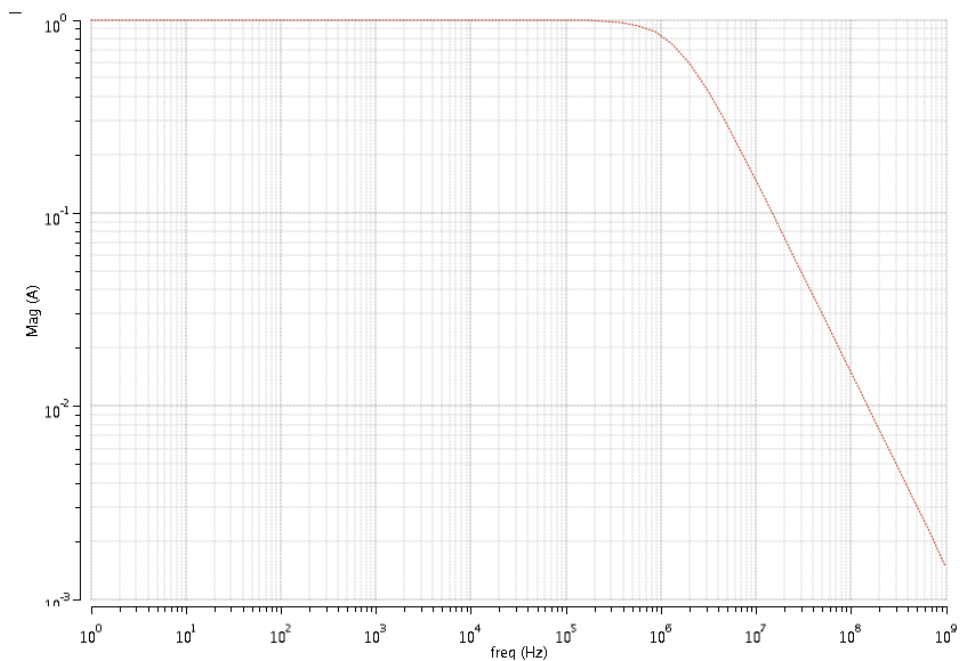


Figura 25: Análise AC do RMS-DC

Analisando o gráfico, é possível identificar a frequência de corte, ou seja, frequência correspondente à amplitude de -3dB. A frequência de corte é, portanto, aproximadamente 1.5MHz.

Segundo a equação 5.1.14, com $I_o = 100\mu\text{A}$, $C = 300\text{pF}$, $V_t = 25\text{mV}$, a frequência de corte é igual a 13,3Mrad/s ou 2.12MHz. O valor encontrado na simulação não é exatamente igual ao valor teórico porque os diodos não são ideais, portanto podem diminuir a frequência de corte.

Em seguida, foi feita uma simulação transiente, mostrada na Figura (26). Nessa simulação a corrente de entrada I_{in} foi variada de $10\mu A$ a $100\mu A$ em 3 passos lineares para se verificar a linearidade da resposta. A frequência de entrada é de 1GHz.

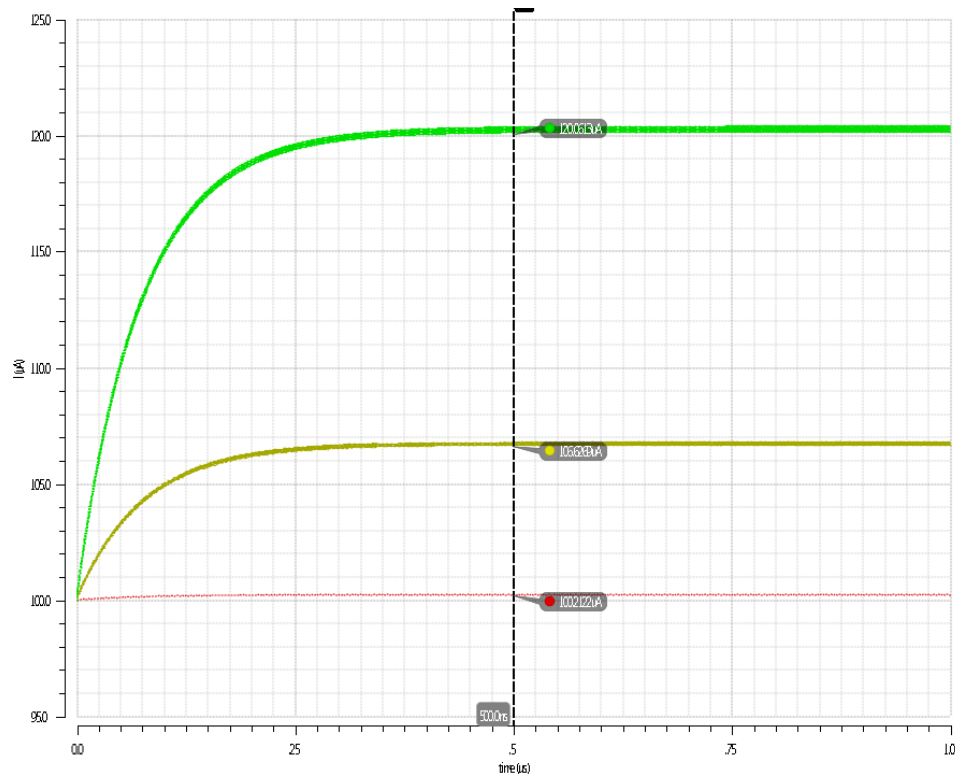


Figura 26: Análise Transiente com I_{in} de $10\mu A$ a $100\mu A$ para frequência de 1GHz.

Após a estabilização, a corrente de saída foi de $100,2\mu A$, $106,6\mu A$ e $120,06\mu A$ para as amplitudes da corrente de entrada I_{in} iguais a $10\mu A$, $55\mu A$ e $100\mu A$, respectivamente. A Tabela (3) apresenta os valores da corrente I_{out} obtidos da Figura (26) e I_{rms} teórico ($I_{in} / \sqrt{2}$) de acordo com suas respectivas correntes de entrada I_{in} .

Tabela 3. – Corrente de saída I_{out} e corrente I_{rms} teórico da análise da Figura (26) para cada valor da corrente de entrada I_{in} .

I_{in} [uA]	I_{out} [uA]	I_{RMS} [uA]
10	100.2	7,07
55	106.6	38,9
100	120.06	70,7

Para a frequência de 5GHz, as amplitudes da corrente de saída diminuem, porém modificando o tamanho W e L dos diodos em 10 vezes obtém-se amplitudes próximas à da frequência de 1GHz, como mostra o resultado da Figura (27).

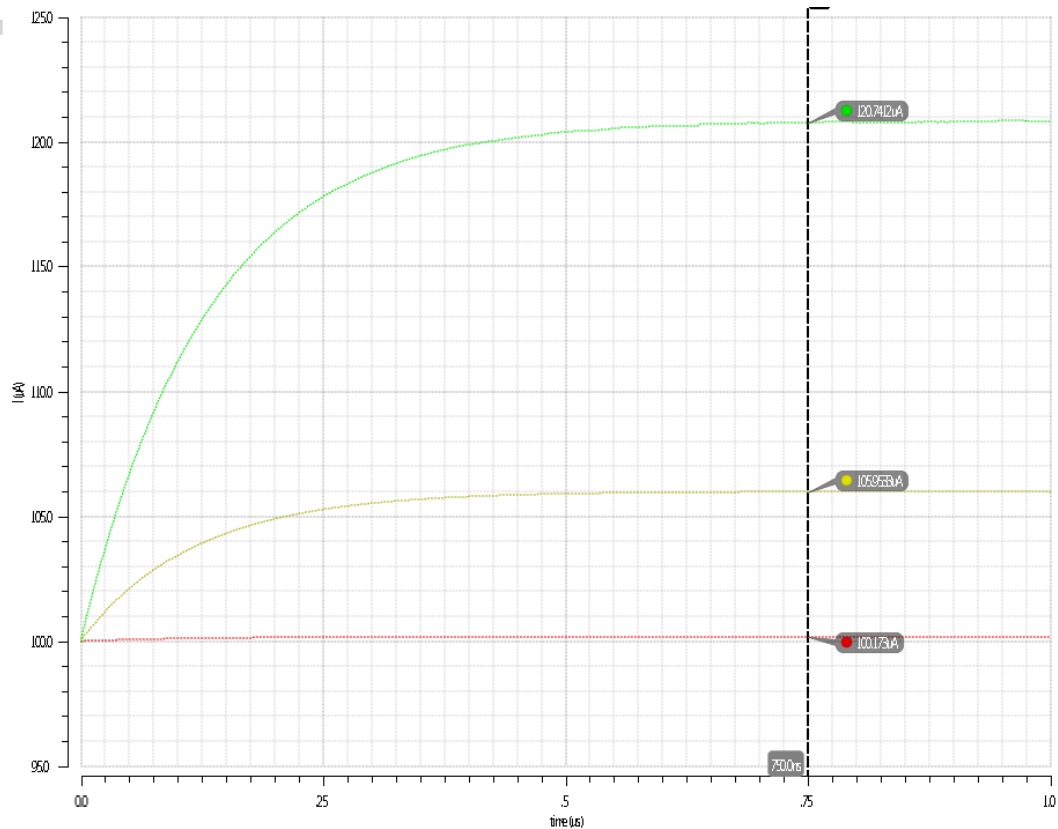


Figura 27: Análise Transiente com I_{in} de $10\mu A$ a $100\mu A$ para frequência de 5GHz.

Após a estabilização, a corrente de saída foi de $100,1\mu A$, $105,9\mu A$ e $120,7\mu A$ para a amplitude da corrente de entrada I_{in} igual a $10\mu A$, $55\mu A$ e $100\mu A$, respectivamente. Nota-se que os resultados são bem próximos daqueles obtidos para a frequência de entrada de 1GHz. A Tabela (4) apresenta os valores da corrente I_{out} obtidos da Figura (27) e I_{rms} teóricos ($I_{in} / \sqrt{2}$) de acordo com suas respectivas correntes de entrada I_{in} .

Tabela 4. – Corrente de saída I_{out} e corrente I_{rms} teórico da análise da Figura (27) para cada valor da corrente de entrada I_{in} .

I_{in} [uA]	I_{out} [uA]	I_{RMS} [uA]
10	100.1	7,07
55	105.9	38,9
100	120.7	70,7

Com esses resultados, verifica-se que o circuito não obedece a equação 5.1.3, que indica o valor da corrente de saída como a amplitude da corrente de entrada dividido por $\sqrt{2}$, ou seja, o valor RMS de um sinal senoidal. Também, variando linearmente a corrente de entrada a corrente de saída não varia linearmente. Isso acontece porque a corrente de entrada tem um DC I_o e a corrente I_{in} varia em torno do DC.

Em vista disso, uma modificação foi feita como tentativa de obter um resultado igual ao teórico. O DC foi definido agora por $I_o +$ amplitude de I_{in} , assim a corrente no diodo D4 sempre será positivo, variando de I_o até $2I_{in} + I_o$.

Desse modo, a função de I_o passa a ser apenas para que a corrente no diodo D4 não chegue a 0. Assim, é possível diminuir seu valor. Diminuindo o valor de I_o , pode-se diminuir o valor da capacitância obtendo a mesma frequência de corte.

Após algumas simulações, os valores de I_o e C foram fixados em $6\mu A$ e $30pF$, respectivamente.

A Figura (28) expõe o resultado de uma simulação transiente para a frequência de 1GHz e três valores de amplitude para a corrente de entrada, $25\mu A$, $50\mu A$ e $75\mu A$.

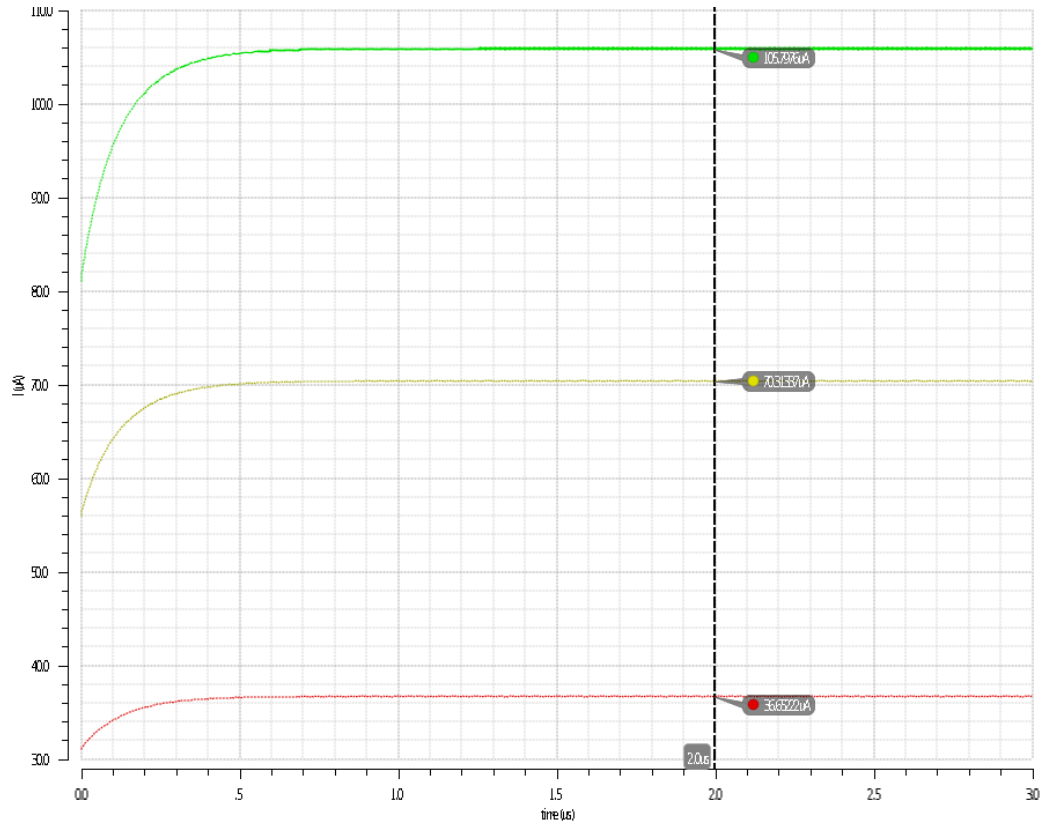


Figura 28: Análise Transiente da corrente de saída com frequência de 1GHz e corrente de entrada iguais a 25 μA , 50 μA e 75 μA de amplitude

Para a amplitude de 25 μA , o resultado obtido após o tempo de estabilização foi de 36,6 μA . Já para a amplitude de 50 μA , o resultado foi de 70,3 μA e por último, para 75 μA , obteve-se 105,8 μA como resultado. Calculando o valor RMS teórico, como $2 \cdot I_{in} / \sqrt{2}$, obtém-se 35,35 μA , 70,7 μA e 106,06 μA para as amplitudes de 25 μA , 50 μA e 75 μA . Esses resultados mostram que os valores encontrados nas simulações são bem próximos dos resultados teóricos, validando o circuito como um conversor RMS-DC. Já que os valores obtidos são bem próximos dos valores RMS, pode-se concluir que o resultado é linear com o valor da amplitude de entrada. A Tabela (5) apresenta os valores da corrente I_{out} obtidos da Figura (28) e I_{rms} teóricos de acordo com suas respectivas correntes de entrada I_{in} .

Tabela 5. – Corrente de saída I_{out} e corrente I_{rms} teórico da análise da Figura (28) para cada valor da corrente de entrada I_{in} .

I_{in} [μA]	I_{out} [μA]	I_{RMS} [μA]
25	36,6	35,35
50	70,3	70,7
75	105,8	106,06

A Figura (29) exibe os resultados da corrente de saída para a corrente de entrada entre $25\mu A$ e $75\mu A$ em passos de $5\mu A$ na frequência de 1GHz.

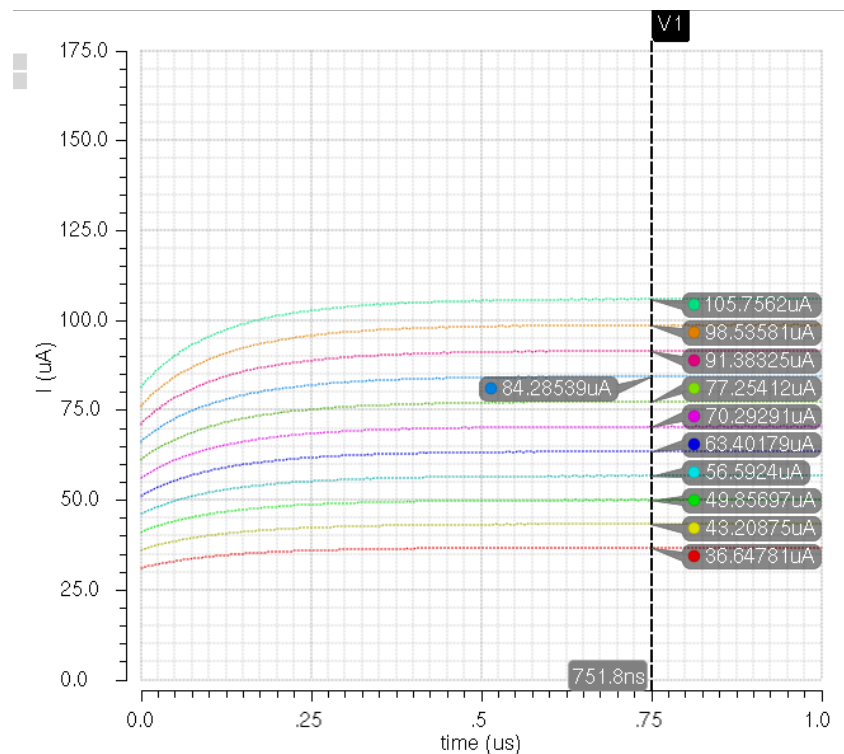


Figura 29: Análise Transiente da corrente de saída com frequência de 1GHz e corrente de entrada entre $25\mu A$ e $75\mu A$ de amplitude em passos de $5\mu A$

Essa simulação mostra a linearidade da corrente de saída variando linearmente a corrente de entrada. A variação da corrente de saída é de aproximadamente $7\mu A$ a cada variação de $5\mu A$ da corrente de entrada.

Em seguida, é feita uma simulação transiente variando a frequência da corrente de entrada para verificar o comportamento do circuito em relação à frequência.

A Figura (30) exibe o resultado da análise transiente da corrente de saída variando a frequência da corrente de entrada de 1GHz a 5GHz quando $I_o = 6\mu A$, $C = 30pF$ e $I_{in} = 50\mu A$.

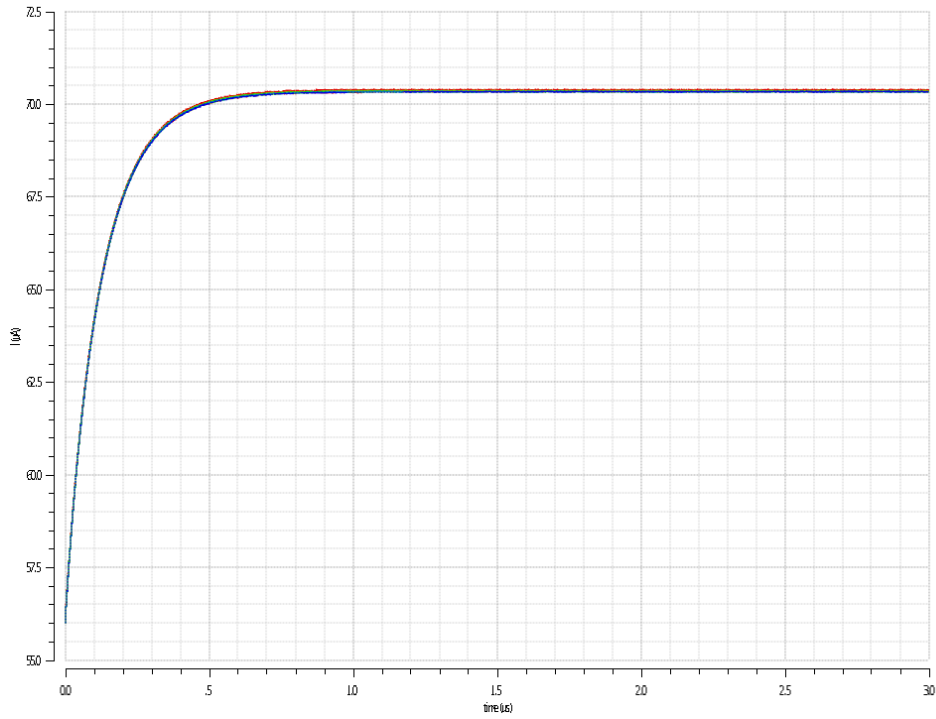


Figura 30: Análise Transiente da corrente de saída para frequências de 1GHz a 5GHz.

Observa-se na Figura (30) que as curvas estão sobrepostas, portanto os valores da corrente de saída entre 1GHz e 5GHz se mantêm constante. Portanto, atende o requisito de não variar de acordo com a mudança na frequência.

5.2 Implementação do Conversor de Frequência em DC

O conversor de frequência em DC proposto em 3.3 é implementado. Segundo o diagrama de blocos apresentado na Figura (8), um conversor RMS-DC, um bloco integrador e um bloco divisor são necessários para obter uma corrente proporcional a uma frequência de entrada. O conversor RMS-DC foi apresentado e implementado em 5.1, portanto esse circuito desenvolvido será utilizado no conversor.

O circuito integrador é mostrado na Figura (31). Ele segue o princípio translinear.

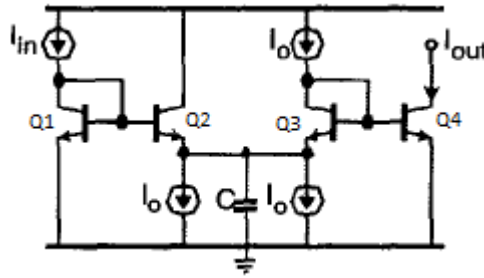


Figura 31: Circuito Integrador

De acordo com o princípio translinear, com o *loop* Q1-Q4, obtém-se

$$I_1 I_3 = I_2 I_4 \quad (5.2.1)$$

Sabendo-se que $I_1 = I_{in}$, $I_2 = I_0 + I_{cap}$, $I_3 = I_0$ e $I_4 = I_{out}$ e substituindo-os em (5.2.1), resulta-se em:

$$I_{in} I_0 = (I_0 + I_{cap}) I_{out} \quad (5.2.2)$$

Resolvendo a equação obtém-se:

$$I_{in} I_0 = I_0 I_{out} + I_{cap} I_{out} \quad (5.2.3)$$

De (3.1.9) :

$$I_{in} I_0 = I_0 I_{out} + C V_t \dot{I}_{out} \quad (5.2.4)$$

Transformando o domínio do tempo para o domínio S:

$$I_{in} I_0 = I_0 I_{out} + C V_t S I_{out} \quad (5.2.5)$$

Enfim, isolando I_{out} , obtém-se o seguinte resultado:

$$I_{out} = \frac{I_0}{I_0 + C V_t S} I_{in} \quad (5.2.6)$$

Com a equação 5.2.6 conclui-se que o circuito comporta-se como um filtro passa-baixa, ou seja, um integrador depois do pólo.

A frequência de corte ω_c do integrador é:

$$\omega_c = \frac{I_0}{C V_t} \quad (5.2.7)$$

A topologia do integrador utilizando diodos ao invés de transistores para gerar o *loop* translinear é exibida na Figura (32).

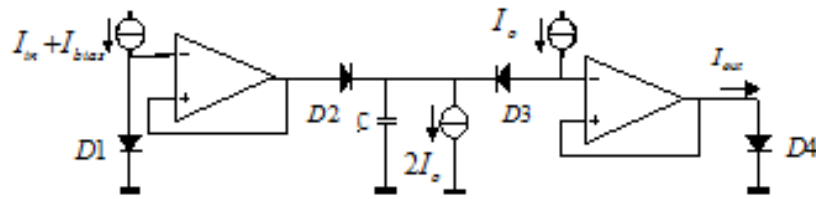


Figura 32: Integrador Log-Domain [10]

Esse circuito é um filtro passa-baixa. Porém, como todo filtro passa-baixa, após a frequência de corte ele é um integrador. Os quatro diodos D1-D4 formam o loop translinear. O diodo D3 é polarizado com uma corrente DC I_o e, portanto, age como uma fonte de tensão constante. A corrente de saída percorre o diodo D4. A corrente de D2 é igual a $I_o + I_{cap}$ gerando o *loop* translinear dinâmico. As equações são, desse modo, as mesmas para o circuito utilizando transistores bipolares ou transistores MOS.

A Figura (33) mostra a implementação do circuito integrador *log-domain* no Cadence.

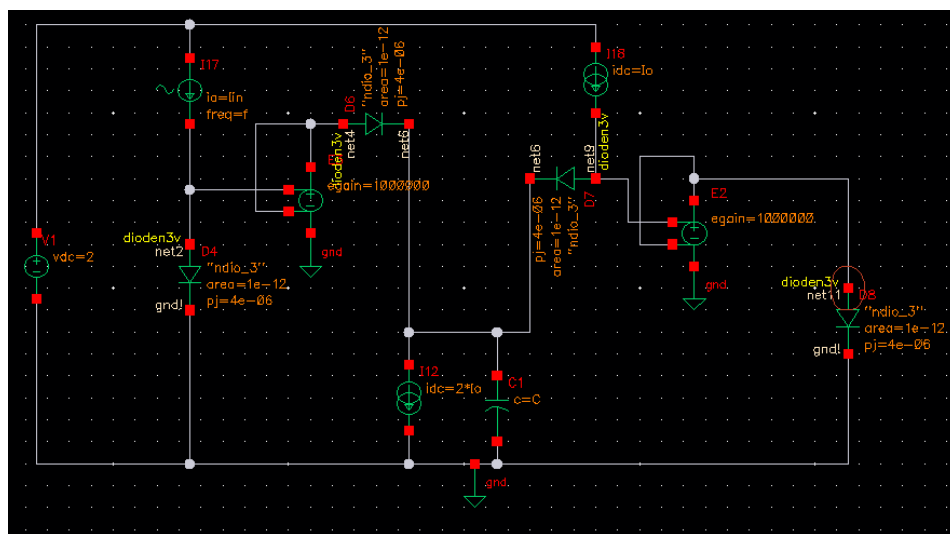


Figura 33: Implementação do Integrador no Cadence

Como o circuito deve trabalhar em altas frequências, na ordem de GHz, a frequência de corte deve estar na mesma ordem de GHz, para que o sinal não seja muito atenuado e esteja operando na faixa de integração.

Primeiramente, realiza-se uma análise AC para verificar a variação do ganho com a frequência e constatar a função como integrador. A análise é mostrada na

Figura (34). Essa análise é feita para uma capacitância de 100fF e uma corrente I_0 de 10 μ A.

A frequência de corte é calculada de acordo com 5.2.7, assim encontra-se uma frequência de 600MHz.

Observa-se na Figura (34) que o valor da frequência de corte também é próxima de 600MHz.

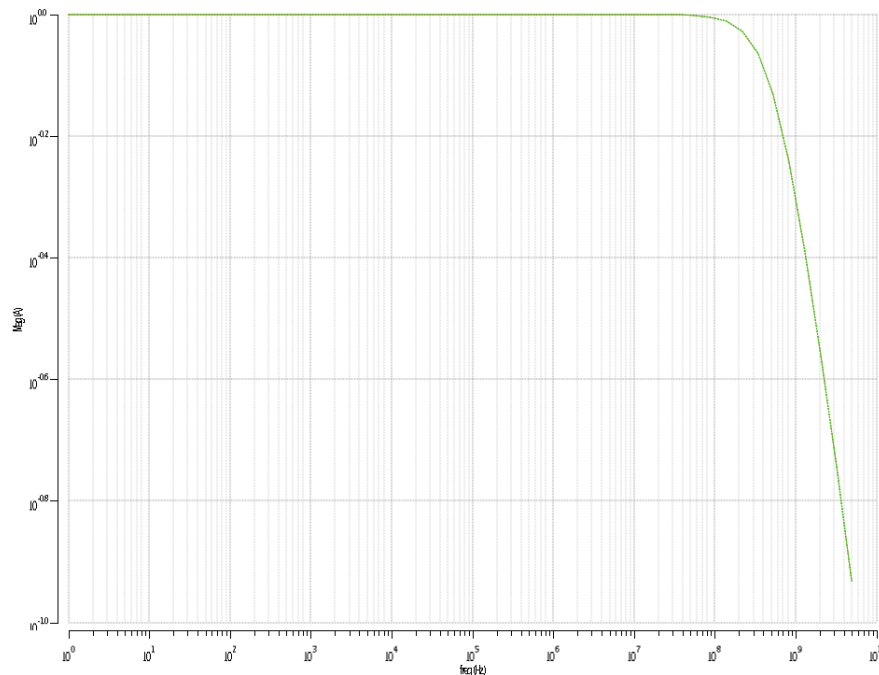


Figura 34: Análise AC do circuito integrador

Em seguida foi feita uma análise transiente para 3 frequências diferentes de 1GHz a 2GHz em passos lineares. O resultado é apresentado na Figura (34).

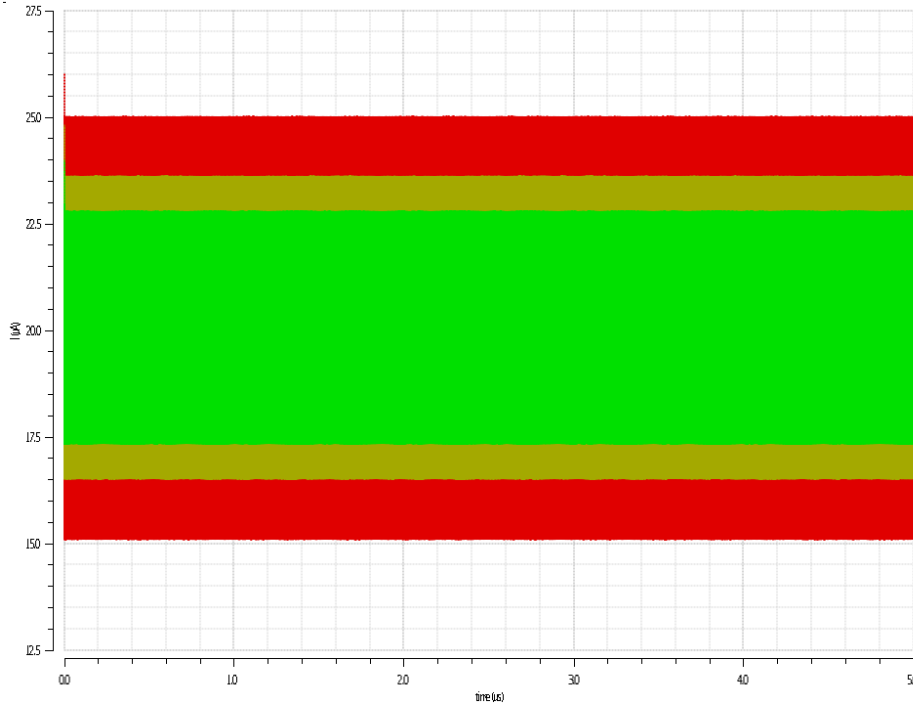


Figura 35: Análise Transiente para 3 frequências diferentes.

A corrente de entrada é igual a $10\mu\text{A(p)}$. A amplitude da corrente de saída para uma frequência de entrada de 1 GHz varia de $15\mu\text{A}$ a $25\mu\text{A}$, ou seja, $10\mu\text{A(pp)}$. Já a amplitude da corrente de saída para 1,5GHz varia de $16,5\mu\text{A}$ a $23,5\mu\text{A}$, ou $7\mu\text{A(pp)}$. Para a frequência de 2GHz, I_{out} varia de aproximadamente $17,5\mu\text{A}$ a $22,5\mu\text{A}$, ou seja, $5\mu\text{A(pp)}$. Assim, verifica-se que com o aumento da frequência a corrente diminui. A Tabela (6) apresenta os valores da corrente I_{out} obtidos da Figura (35) de acordo com suas respectivas frequências.

Tabela 6. – Correntes de saída I_{out} para as frequências de 1GHz, 1,5GHz e 2GHz de acordo com a Figura (35).

frequência [GHz]	I_{out} [$\mu\text{A(pp)}$]
1	10
1,5	7
2	5

Esse resultado foi obtido tendo como fonte de corrente DC $I_{\text{in}} + I_{\text{o}}$. Porém, como essa corrente de saída será a corrente de entrada do RMS-DC e, como a corrente varia em torno de um DC alto, o resultado do RMS-DC não será correto. A corrente deveria variar de 0 até duas vezes a amplitude. Uma solução encontrada foi

eliminar I_{in} do DC, deixando o DC apenas com I_o e tendo I_{in} bem maior que I_o . A simulação transiente com essa mudança é mostrada na Figura (36). O valor de I_{in} foi mudado para $100\mu A$ e os valores de I_o e C foram mantidos em $10\mu A$ e $100fF$, respectivamente.

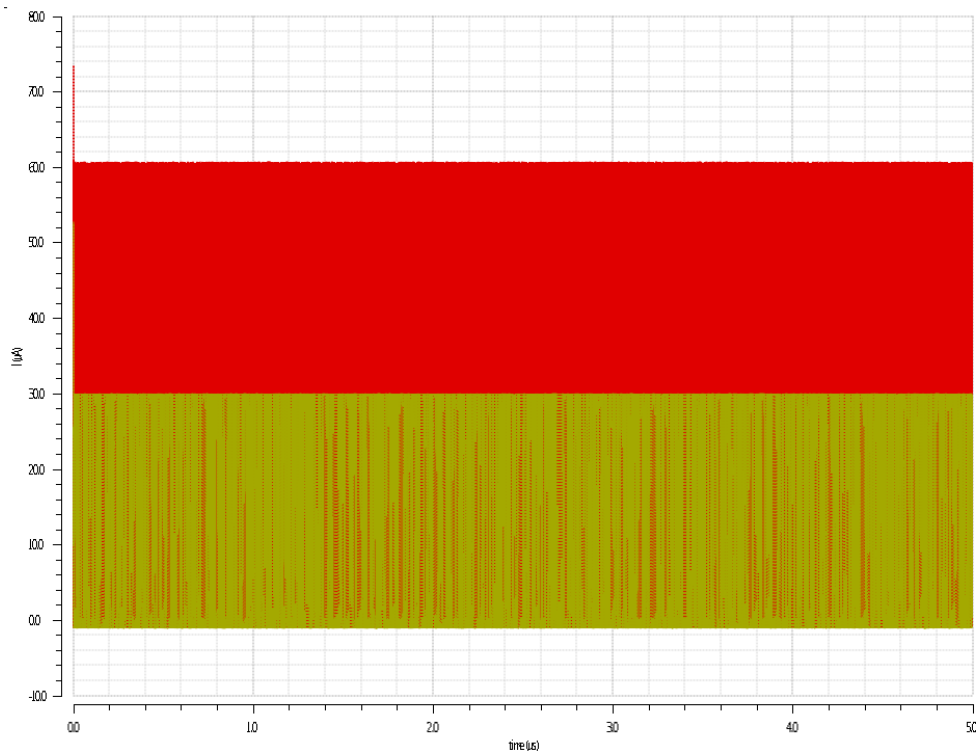


Figura 36: Análise Transiente com frequência da corrente de entrada de 1 e 2GHz alterando o DC da corrente de entrada.

Nota-se pela Figura (36) que a corrente I_{out} para I_{in} de 2GHz atinge uma amplitude de $30\mu A$ e I_{out} para I_{in} de 1GHz atinge amplitude de $60\mu A$. Porém, como I_{in} é muito maior que I_o , quando a corrente chega em 0 o circuito não passa corrente e corta.

Como a capacitância definida é muito pequena e as capacitância parasitas podem influenciar nos resultados, é necessário aumentá-la. Contudo, não se deve alterar a frequência de corte. Portanto, ao aumentar o valor da capacitância deve-se ao mesmo tempo aumentar o valor da corrente I_o .

O seguinte passo foi conectar o integrador ao RMS-DC. Para conectá-los foi utilizada uma fonte de corrente controlada por corrente. No circuito real será utilizado

um espelho de corrente. A Figura (37) mostra o esquemático dos dois circuitos juntos.

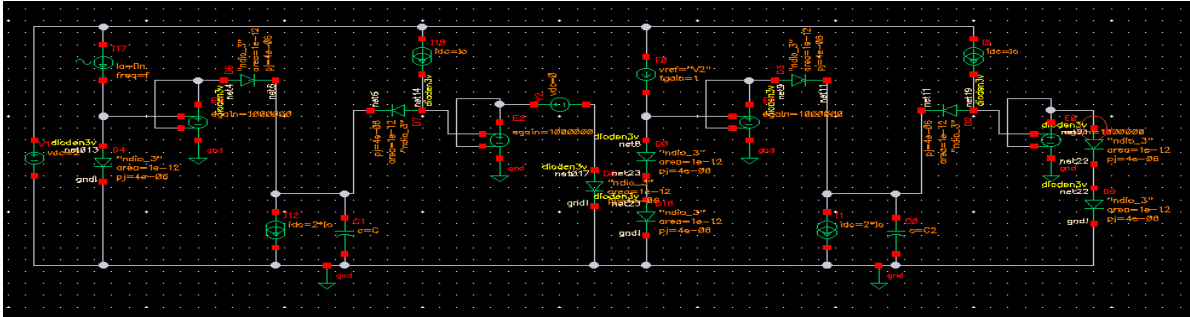


Figura 37: Esquemático Integrador e RMS-DC conectados

A fonte de corrente na entrada do circuito RMS-DC é controlada pela corrente que passa pela fonte de tensão (de 0V) conectada à saída do integrador.

A capacitância do integrador foi aumentada para 500fF e a corrente I_0 para 50 μ A, mantendo-se, portanto, a frequência de corte. A capacitância do RMS-DC foi definida em 60pF. A simulação transiente para I_{in} igual a 500 μ A variando a frequência de 1GHz a 2GHz em passos de 50MHz é mostrada na Figura (38).

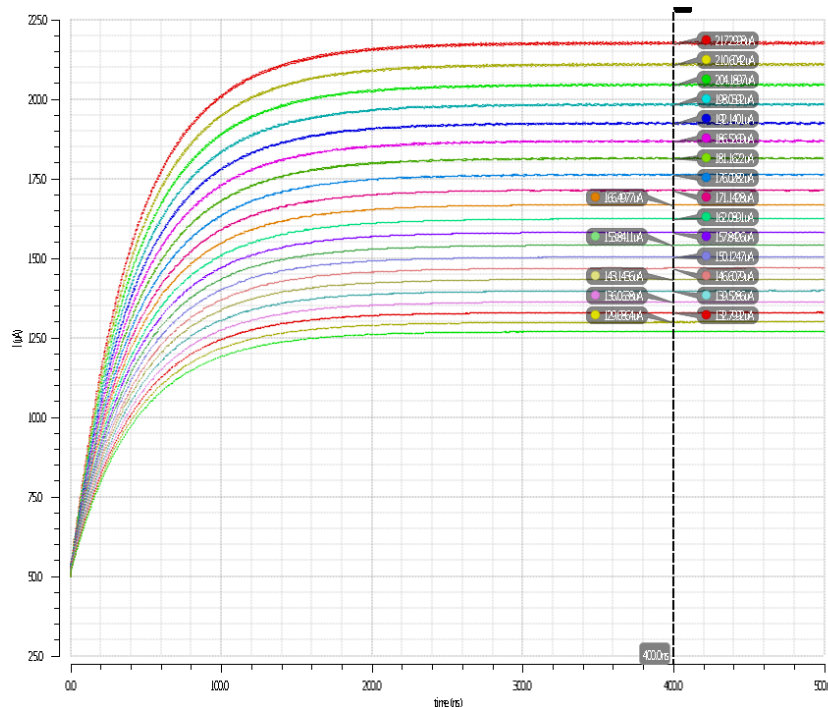


Figura 38: Simulação Transiente variando a frequência de 1GHz a 2GHz

Observa-se que aumentando a frequência de entrada, a corrente diminui. O objetivo agora é ter uma boa linearidade.

A Figura (39) apresenta o resultado dessa simulação para as frequências de 1GHz, 1,5GHz e 2GHz, mostrando a corrente de saída do integrador e a corrente de saída do RMS-DC.

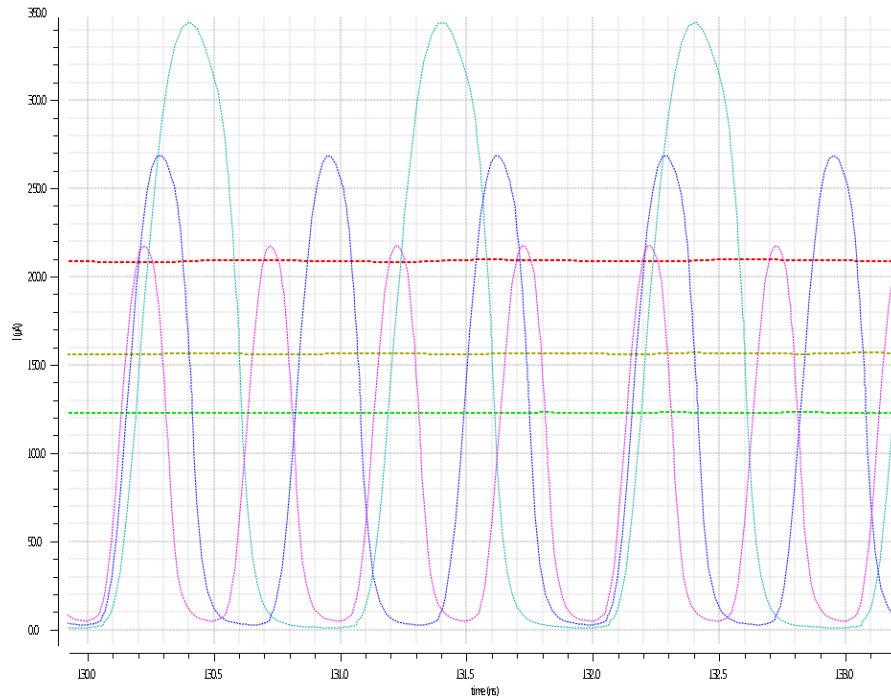


Figura 39: Corrente de saída do integrador e corrente de saída do RMS-DC para frequências de 1GHz, 1,5GHz e 2GHz

As correntes DC exibidas na Figura (39) são as correntes de saída I_{out} do RMS-DC. Para 1GHz a corrente de saída é de 217,3 μ A, para 1,5GHz a corrente I_{out} é de 162 μ A e para 2GHz obtém-se 126,7 μ A. A Tabela (7) apresenta os valores da corrente I_{out} do RMS-DC obtidos da Figura (35) de acordo com suas respectivas frequências.

Tabela 7. – Correntes de saída I_{out} do RMS-DC para as frequências de 1GHz, 1,5GHz e 2GHz de acordo com a Figura (39).

frequência [GHz]	I_{out} [μ A]
1	217,3
1,5	162
2	126,7

Embora se tenha com o aumento da frequência uma diminuição da corrente, não há ainda uma boa linearidade. Entre 1GHz e 1,5GHz a variação de corrente foi

de $55,3\mu\text{A}$ e entre $1,5\text{GHz}$ e 2GHz a variação foi de $35,3\mu\text{A}$. Para melhorar a linearidade algumas simulações foram feitas. Uma melhor linearidade foi obtida aumentando a corrente I_o para $100\mu\text{A}$ e diminuindo capacitância para 300fF . A Figura (40) mostra o resultado dessa modificação.

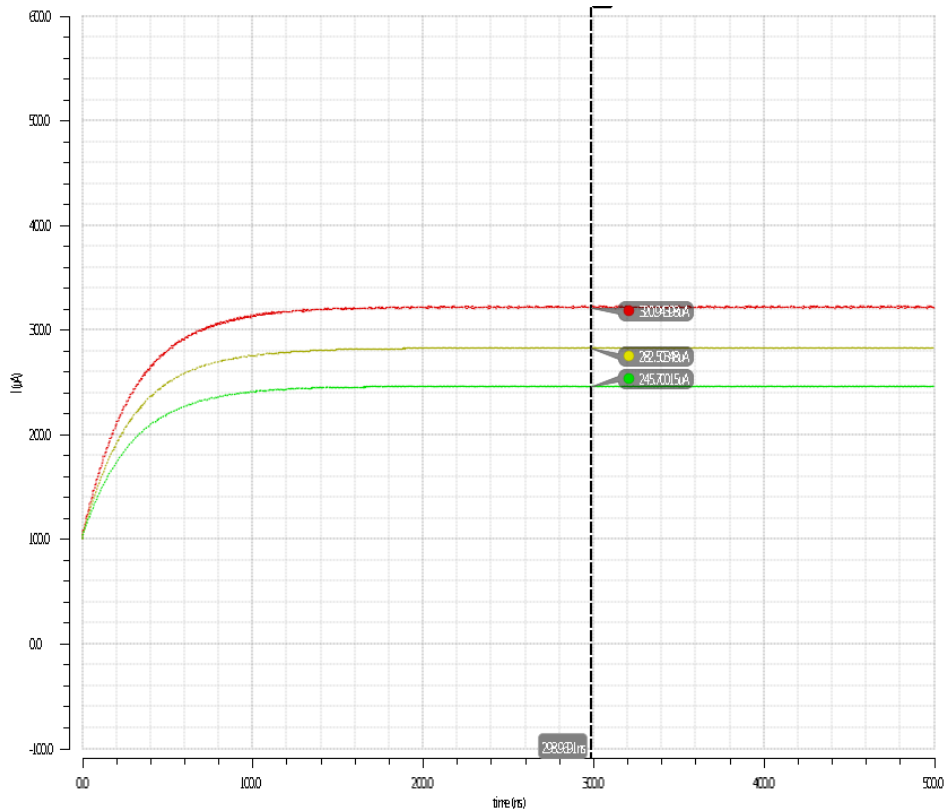


Figura 40: Corrente de saída para as frequências de 1GHz , $1,5\text{GHz}$ e 2GHz

A corrente de saída I_{out} para 1GHz é de $320,9\mu\text{A}$, para $1,5\text{GHz}$ obtém-se $282,5\mu\text{A}$ e para 2GHz I_{out} é de $245,7\mu\text{A}$. A Tabela (8) apresenta os valores da corrente I_{out} do RMS-DC obtidos da Figura (40) de acordo com suas respectivas frequências.

Tabela 8. – Correntes de saída I_{out} do RMS-DC para as frequências de 1GHz , $1,5\text{GHz}$ e 2GHz de acordo com a Figura (40).

frequência [GHz]	I_{out} [μA]
1	320,9
1,5	282,5
2	245,7

A variação da corrente I_{out} de 1GHz a 1,5GHz é de $38,4\mu A$ e de 1,5GHz a 2GHz é de $36,8\mu A$. Conclui-se, desse modo que o circuito apresenta uma boa linearidade para os valores de capacitância e corrente DC I_o modificados.

Para manter uma boa linearidade em frequências ainda maiores é necessário diminuir o valor da capacitância ou aumentar o valor da corrente I_o . Entre as frequências de 2GHz e 3GHz foi diminuído o valor da capacitância para 200fF. A Figura (41) apresenta a simulação da corrente de saída para uma corrente de entrada de amplitude de $500\mu A$ em três frequências, 2GHz, 2,5GHz e 3GHz.

A corrente de saída I_{out} obtida para 2GHz, 2,5GHz e 3GHz foi de $286,8\mu A$, $258,9\mu A$ e $234,5\mu A$, respectivamente. Logo, a variação entre 2GHz e 2,5GHz é de $27,9\mu A$ e entre 2,5GHz e 3GHz é de $24,4\mu A$. A Tabela (9) apresenta os valores da corrente I_{out} do RMS-DC obtidos da Figura (41) de acordo com suas respectivas frequências.

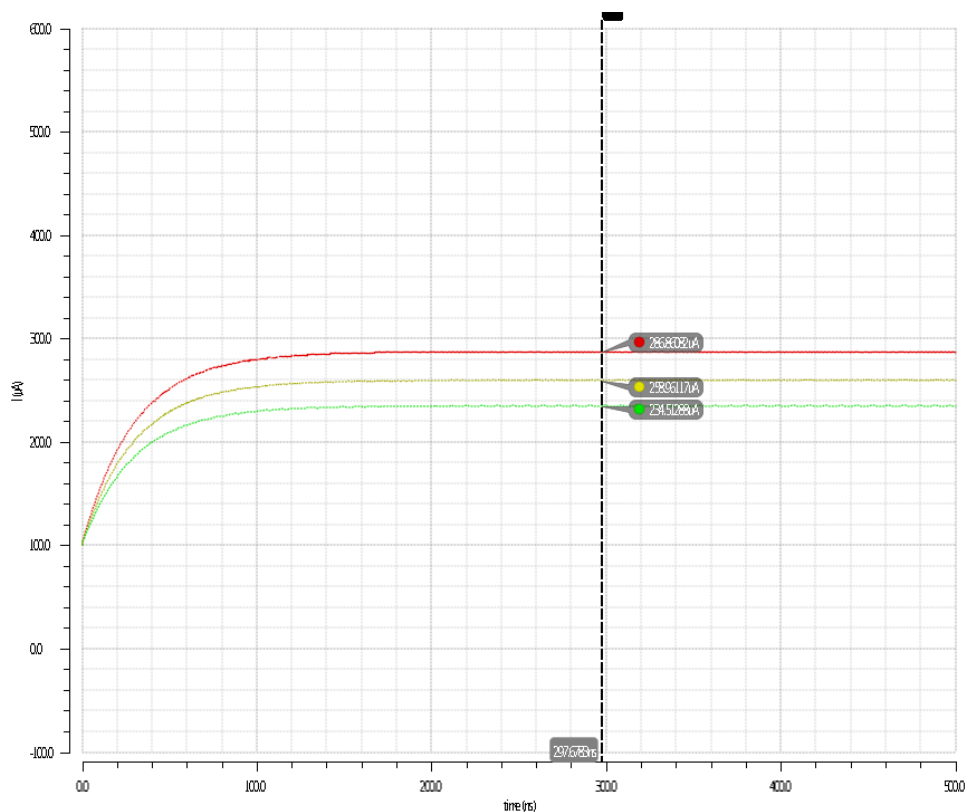


Figura 41: Corrente de saída para as frequências de 2GHz, 2,5GHz e 3GHz

Tabela 9. – Correntes de saída I_{out} do RMS-DC para as frequências de 2GHz, 2,5GHz e 3GHz de acordo com a Figura (41).

frequência [GHz]	I_{out} [μ A]
2	286,8
2,5	258,9
3	234,5

Pode-se melhorar a linearidade com a modificação dos valores da capacitância C e da corrente I_o do integrador, Porém, diminuir a capacitância pode causar resultados piores no circuito real, devido às capacitâncias parasitas, e aumentar a corrente I_o aumenta o consumo de potência do circuito. Logo, a modificação desses valores é questão de compromisso entre potência e linearidade.

O passo seguinte é projetar um circuito divisor que divida a corrente de saída do circuito RMS-DC pela corrente proveniente do circuito composto pelo RMS-DC e pelo integrador, de acordo com o digrama de blocos da Figura (8).

Uma topologia que faz a divisão das correntes é apresentada na Figura (42). Nessa topologia os transistores MOS estão em inversão fraca e constituem um *loop* translinear. Pode-se utilizar transistores MOS, pois nesse caso as correntes de entrada do circuito são corrente constantes.

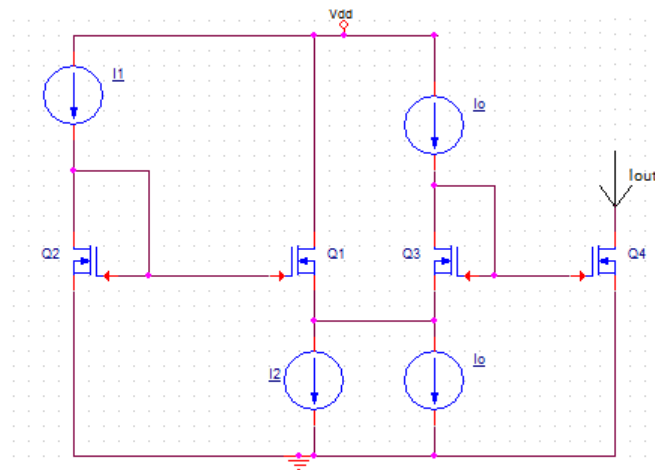


Figura 42: Topologia do circuito Divisor

Polarizando os transistores MOS em inversão fraca e tendo como base o *loop* Q1-Q4, pelo princípio translinear obtém-se:

$$I_1 I_o = I_2 I_{out} \quad (5.2.6)$$

$$I_{out} = \frac{I_1 I_o}{I_2} \quad (5.2.7)$$

De acordo com o diagrama de blocos da Figura (8), na equação 5.2.7 a corrente I_1 seria a corrente proveniente do circuito RMS-DC e a corrente I_2 seria a corrente proveniente do circuito composto pelo RMS-DC e pelo integrador. As duas correntes serão implementadas como fontes de corrente controladas por corrente.

Esse circuito implementado no software Cadence é mostrado na Figura (43).

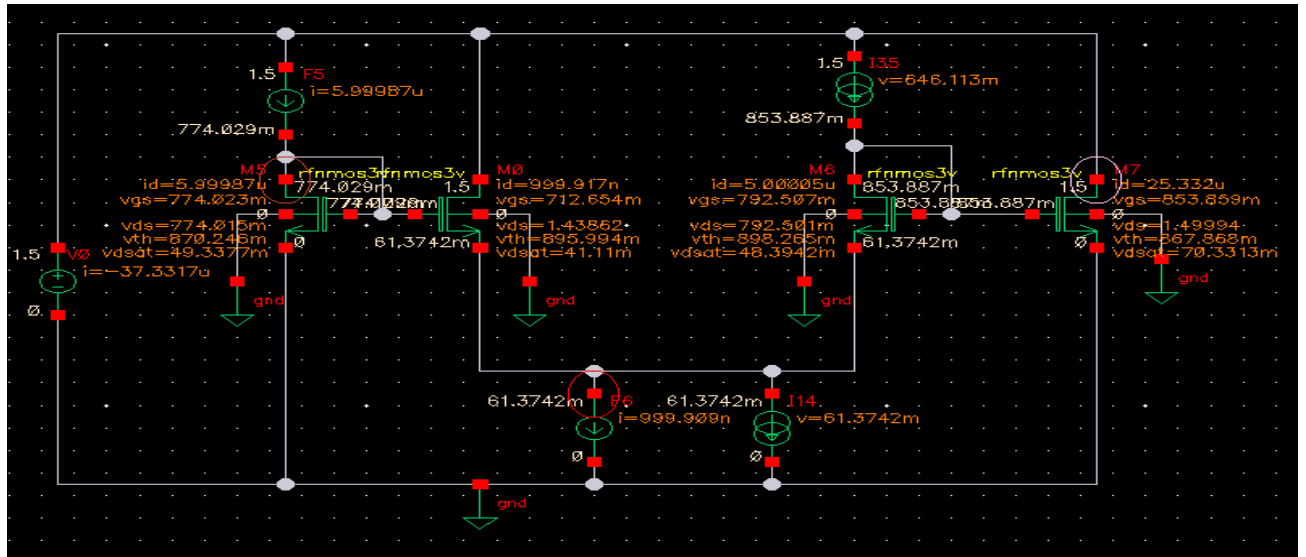


Figura 43: Circuito divisor implementado no Cadence

Para que os transistores operem na região de inversão fraca é necessário que a tensão V_{gs} seja menor que a tensão de threshold. Assim, a corrente deve ser muito pequena ou a relação W/L do transistor deverá ser muito grande. A corrente proveniente dos dois blocos é na ordem de centenas de μA . Desse modo, dividem-se as correntes pelo fator 100 para que a corrente seja baixa. A relação W/L é definida em $50\mu/500n$, ou seja, em 100. A tensão de alimentação aplicada é 1,5V, tensão definida para que a tensão V_{ds} do transistor Q4 seja baixa, não interferindo significativamente na corrente de saída I_{out} . A corrente I_o foi definida em $5\mu A$.

O esquemático do circuito completo implementado no Cadence é apresentado na Figura (44).

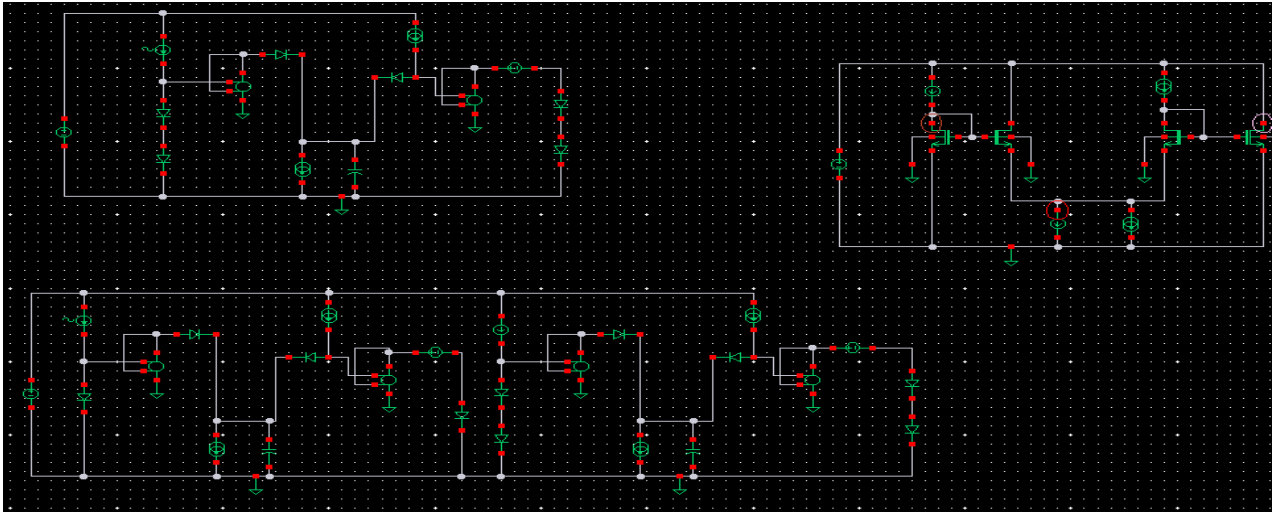


Figura 44: Equemático do circuito FVC completo no Cadence

O circuito FVC é composto por três partes, um RMS-DC, um RMS-DC mais um integrador e um divisor. Na Figura (44) o RMS-DC é o circuito superior esquerdo, o circuito RMS-DC mais o integrador é o circuito inferior esquerdo e o divisor é o lateral direito. A mesma fonte de corrente I_{in} AC entra no circuito RMS-DC e no circuito RMS-DC mais o integrador. No circuito divisor há duas fontes de corrente controladas por corrente, I_1 e I_2 , I_1 é a corrente de saída do RMS-DC e I_2 é a corrente de saída do RMS-DC mais o integrador.

A Figura (45) mostra uma simulação transiente do circuito completo para 3 frequências diferentes, 1GHz, 1,5GHz e 2GHz, com I_{in} igual a $500\mu\text{A}$ de amplitude, capacitância C do RMS-DC igual a 60pF , capacitância C do integrador igual a 300fF , corrente DC I_o do RMS-DC e do integrador iguais a $100\mu\text{A}$ e a corrente I_o do circuito divisor igual a $5\mu\text{A}$.

A polarização do circuito divisor pode ser vista na Figura (43), que foi simulada nos valores de corrente e capacitâncias citadas no parágrafo anterior. Verifica-se que a tensão V_{gs} dos transistores está menor que a tensão de *threshold* V_{th} , portanto todos os transistores estão em inversão fraca.

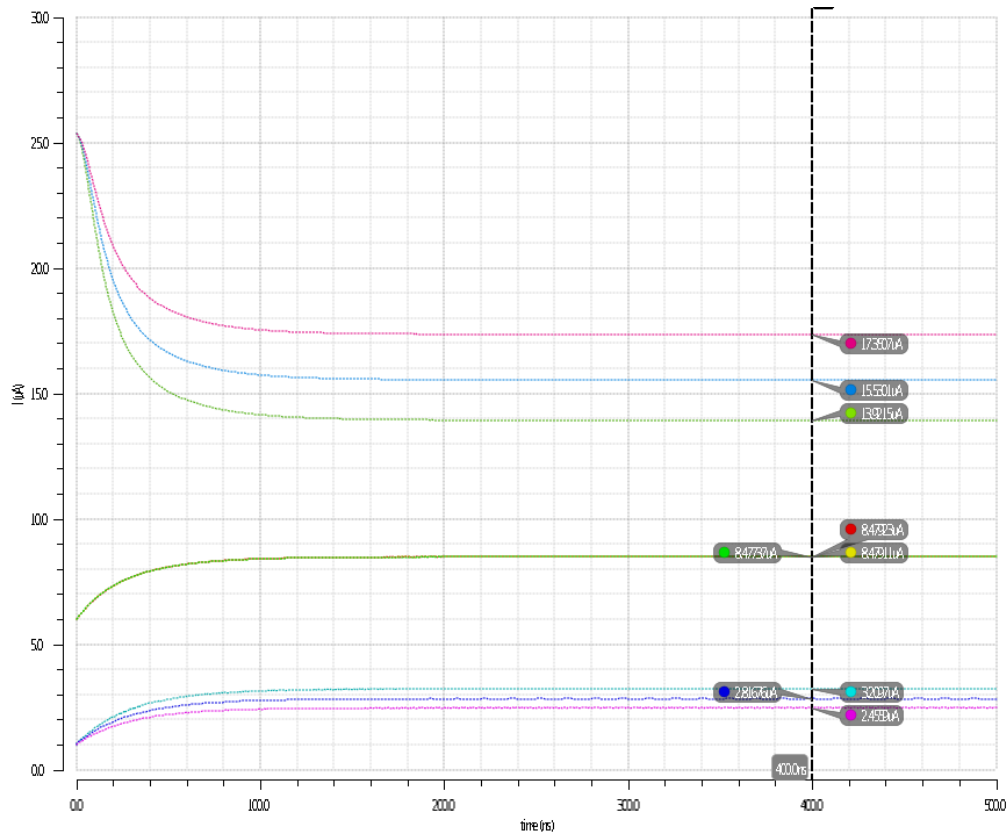


Figura 45: Resultado da simulação transiente do circuito FVC completo, variando a frequência de entrada de 1GHz a 2GHz em 3 passos lineares

Observa-se na Figura (45) três tipos de curvas. O primeiro tipo (as três curvas inferiores) representa a corrente de saída do circuito RMS-DC mais o integrador, dividido por 100 ($I_{int+rmsdc}$). A corrente para a frequência de 1GHz é de 3,21 μA , para 1,5GHz obtém-se 2,81 μA e para 2GHz o resultado é de 2,45 μA . O segundo (as três curvas do meio) representa a corrente de saída do RMS-DC dividido por 100 (I_{rmsdc}). As três curvas parecem estar sobrepostas, portanto não há variação com a frequência. A corrente para as três curvas é de aproximadamente 8,47 μA . Já as três curvas superiores são os resultados da corrente de saída do divisor (I_{out}), ou seja, são os resultados finais. Para a frequência de 1GHz a corrente na saída do divisor é de 13,9 μA , para 1,5GHz a corrente é de 15,5 μA e para 2GHz a corrente é de 17,3 μA . A Tabela (10) apresenta essas correntes para suas respectivas frequências.

Tabela 10. – Correntes I_{rmsdc} , $I_{\text{int+rmsdc}}$ e I_{out} para as frequências de 1GHz, 1,5GHz e 2GHz de acordo com a Figura (45).

frequência [GHz]	$I_{\text{int+rmsdc}}$ [μA]	I_{rmsdc} [μA]	I_{out} [μA]
1	3,21	8,47	13,9
1,5	2,81	8,47	15,5
2	2,45	8,47	17,3

Com esses resultados, verifica-se que com o aumento da frequência, a corrente também aumenta. Também nota-se uma boa linearidade pois a variação entre 1GHz e 1,5GHz é de $1,6\mu\text{A}$ e a variação entre 1,5GHz e 2 GHz é de $1,8\mu\text{A}$.

A Figura (46) apresenta uma variação da frequência da corrente de entrada entre 1GHz e 3GHz em passos de 100MHz. A amplitude da corrente de entrada I_{in} é de $500\mu\text{A}$.

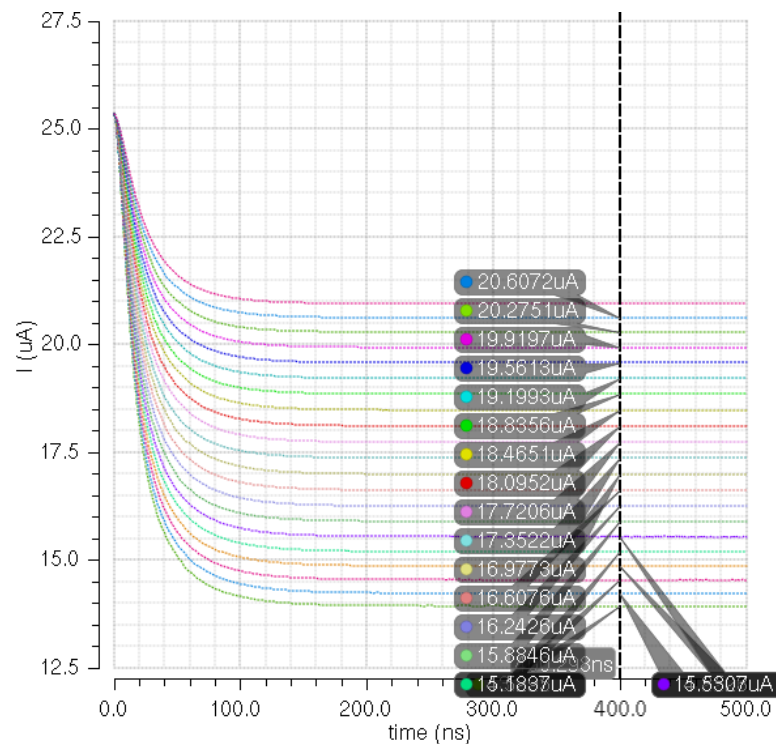


Figura 46: Resultado da simulação transiente do circuito FVC completo, variando a frequência da corrente de entrada de 1GHz a 3GHz em passos de 100MHz

Aumentando a frequência em passos de 100MHz a corrente de saída aumenta em passos de $0,3\mu\text{A}$ a $0,4\mu\text{A}$ indicando uma boa linearidade.

5.3 Amplificador Operacional Real

Os seguidores de tensão utilizados no projeto do conversor AC-DC e no conversor de frequência em DC foram simulados através de uma fonte de tensão controlada por tensão, onde o ganho é alto. Para a concepção do circuito real é necessário substituí-los por um amplificador operacional conectado como seguidor de tensão.

Para o projeto desse amplificador é necessário que ele tenha um produto ganho banda na ordem de 3GHz, ou seja, na frequência de 3GHz o ganho será de 1 quando o amplificador estiver em malha aberta.

Como o amplificador será utilizado como seguidor de tensão, o ganho do mesmo será de 1, assim a frequência do sinal pode chegar até 3GHz não tendo atenuação do sinal. A topologia utilizada para o projeto do amplificador será o *Balanced*, como mostrado na Figura (47).

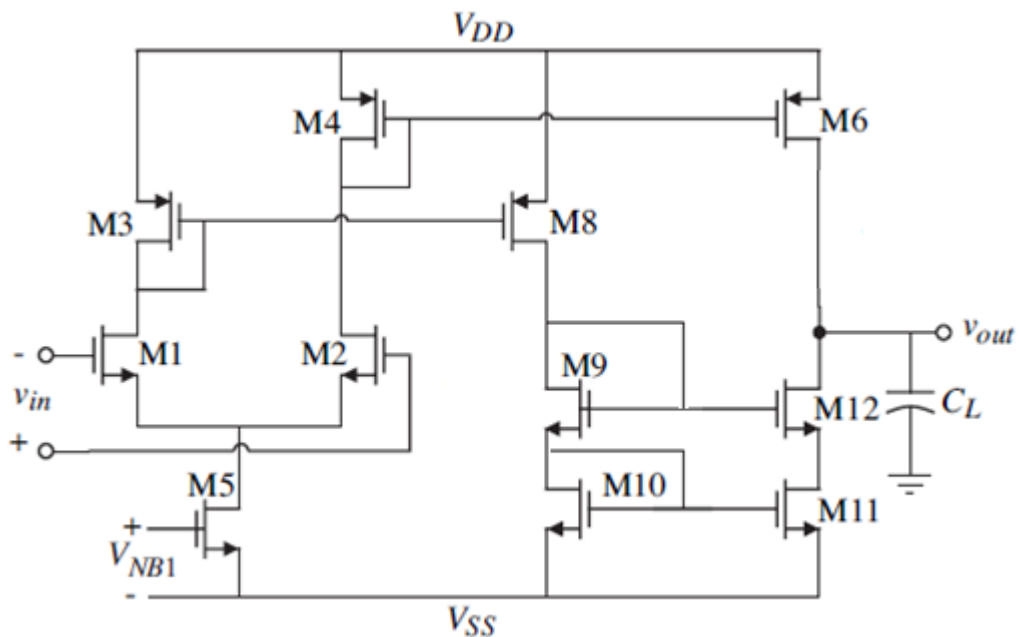


Figura 47: Topologia para o projeto do Amplificador Balanced

Supondo as transcondutâncias $g_{m3} = g_{m8}$ e $g_{m1} = g_{m2}$, temos a seguinte equação para o ganho A_v desse amplificador:

$$A_v = \frac{V_{out}}{V_{in}} = g_{m1} \cdot (g_{m6} \cdot r_{o6} // g_{m12} \cdot r_{o12} \cdot r_{o11}), \quad (5.3.1)$$

Onde r_o é a resistência de saída do transistor.

O Ganho Banda GB do amplificador é igual a:

$$GB = \left(\frac{gm_1}{C_L} \right) \quad (5.3.2)$$

A capacitância C_L será o resultado das capacitâncias parasitas do circuito.

Sabendo-se que

$$gm_1 = \left(\frac{2ID}{V_{GS} - V_{th}} \right), \quad (5.3.3)$$

então para que se tenha um ganho banda alto é necessário que a corrente do dreno seja alta e tensão a V_{GS} seja a mínima possível, lembrando que V_{GS} deve ser maior que a tensão de threshold para que o transistor esteja em saturação. Para aumentar o gm_1 pode-se aumentar a relação W/L do transistor M1. Com o aumento de W/L a tensão V_{GS} diminui de acordo com a equação (5.3.4) da corrente I_D que passa pelo dreno do transistor quando o mesmo está no regime de saturação:

$$ID = \frac{K_n}{2} \frac{W}{L} (V_{GS} - V_{th})^2, \quad (5.3.4)$$

em que K_n é uma constante da tecnologia de processo adotada.

Como projetaremos um amplificador, os transistores devem estar no regime de saturação.

A corrente que passa pelo transistor M5 é projetada através de um espelho de corrente, tirando a necessidade de polarizá-lo através de uma fonte de tensão.

Após algumas simulações, o ganho banda foi atingido quando a corrente I_D era de $500\mu A$ e a relação W/L dos transistores M1 e M2 era de $50\mu m/300nm$. A Tabela (11) apresenta os valores de W e L de todos os transistores.

Tabela 11. – Tamanho W e L dos transistores M1 a M12.

Transistor	W [μm]	L [μm]
M3, M4, M6, M7	6	0.3
M5	7	0.3
M9, M12	6	0.3
M10, M11	30	0.3
M1, M2	50	0.3

A análise DC é feita para verificar se os transistores estão operando no regime de saturação. Para que estejam em saturação a tensão V_{GS} deve ser maior

que a tensão threshold e tensão V_{ds} deve ser maior que $V_{gs} - V_{th}$. O esquemático do amplificador implementado no Cadence com a análise DC é apresentado na Figura (48). A tensão V_{dd} é de 3V, a corrente I_{in} é de $500\mu A$ e a tensão DC de polarização dos transistores M1 e M2 é de 1,6V, tensão definida de acordo com a tensão de entrada dos seguidores de tensão do RMS-DC ideal.

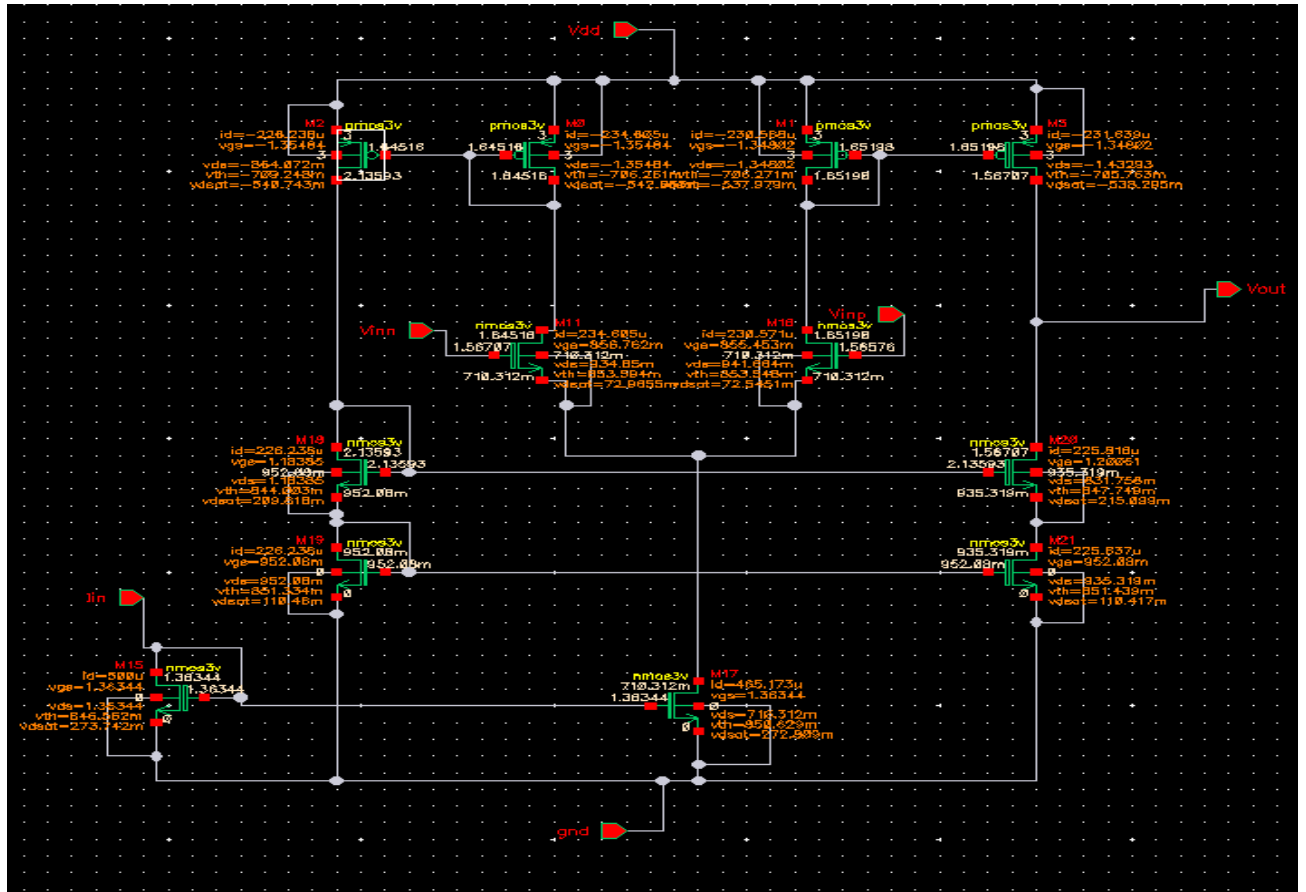


Figura (48): Simulação DC do Amplicador *Balanced*

De acordo com a análise DC todos os transistores estão operando em saturação. Em seguida é feito uma análise AC para verificar a resposta em frequência e constatar se o ganho banda está acima de 3GHz. Essa análise é apresentada na Figura (49).

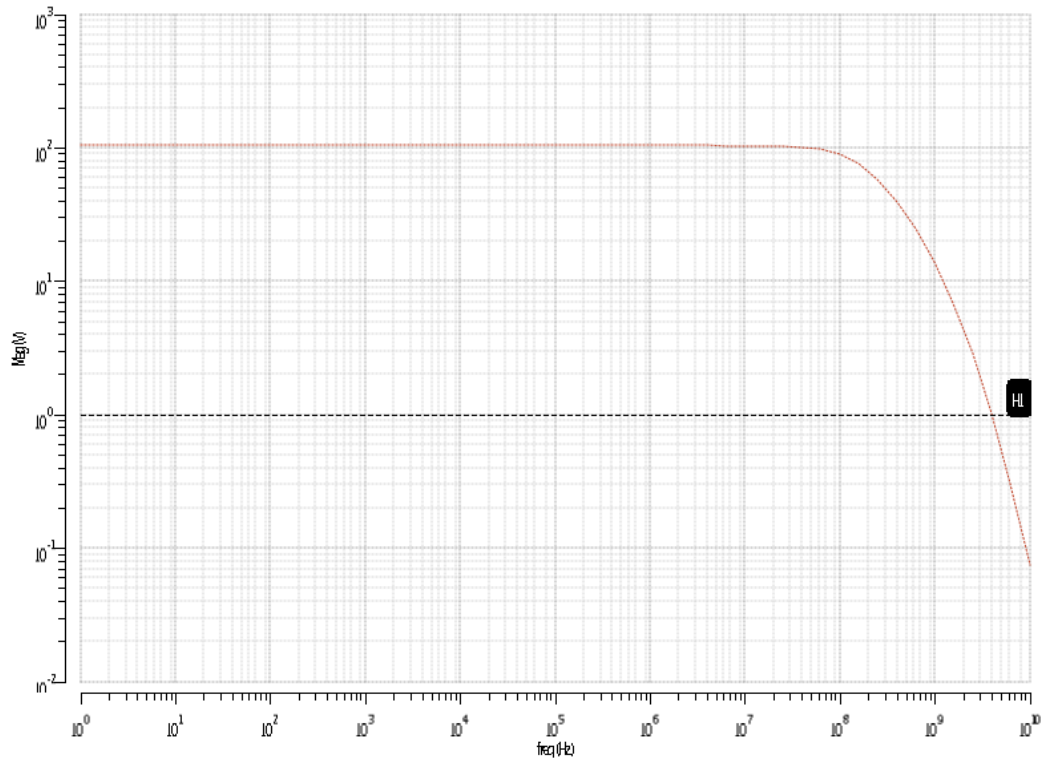


Figura 49: Análise AC do amplificador

O ganho banda pode ser verificado através do valor da frequência onde o ganho é 1. Verifica-se pela Figura 49 que o ganho banda do amplificador é de 3GHz. Com esse resultado, pode-se concluir que esse amplificador pode ser usado para substituir os *buffers* ideais utilizados nos conversores.

5.4 Conversor RMS-DC com o amplificador Real

O conversor RMS-DC apresentado na Figura (24) possui duas fontes de tensão controladas por tensão que funcionam como seguidores de tensão ideais. Para o circuito real é necessário substituí-las por amplificadores reais. O amplificador operacional projetado em 5.3 é utilizado no conversor RMS-DC. Procura-se atingir os mesmos resultados obtidos no circuito ideal e mostrados nas Figuras (28) e (29), onde a corrente de saída é o resultado rms da corrente de entrada.

O esquemático do circuito RMS-DC implementado com os amplificadores operacionais é exibido na Figura (50).

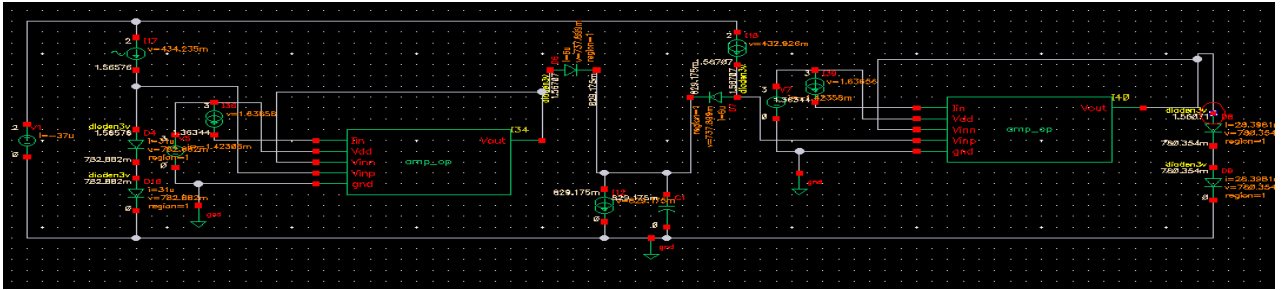


Figura 50: Esquemático do circuito RMS-DC com seguidores de tensão reais

A saída de ambos os amplificadores é conectada na sua respectiva entrada negativa obtendo, portanto, uma realimentação negativa. Essa configuração faz com que os amplificadores se comportem como um seguidor de tensão ou *buffer*.

Os amplificadores são alimentados através de uma fonte de tensão de 3V e a corrente de entrada é de $500\mu\text{A}$. Os valores da corrente I_o do conversor e da capacitância C foram fixados em $6\mu\text{A}$ e 30pF , respectivamente, de acordo com as simulações do circuito ideal.

A Figura (51) apresenta o resultado de uma simulação transiente para a frequência de 1GHz e variando a amplitude da corrente de entrada de $25\mu\text{A}$ a $75\mu\text{A}$ em 5 passos lineares.

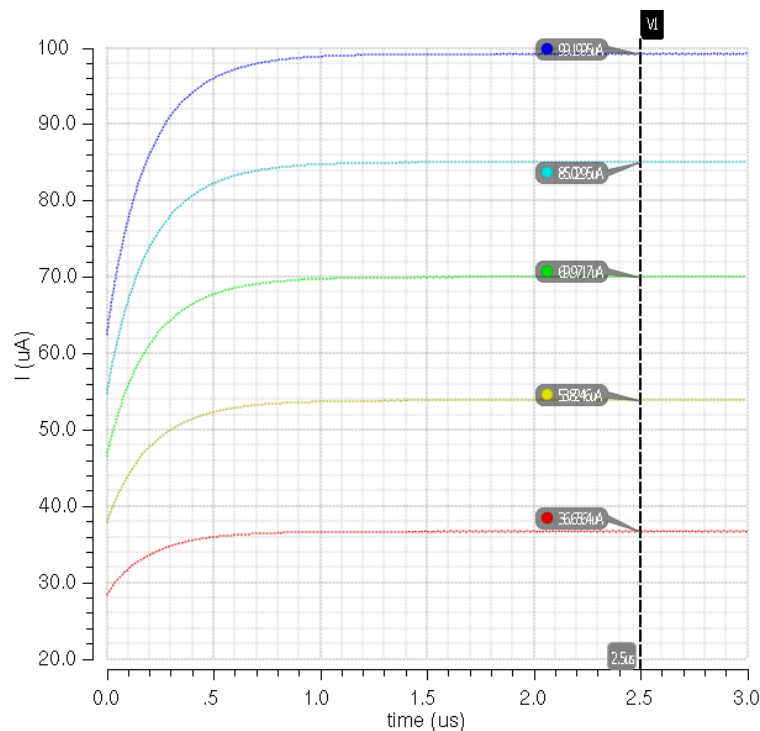


Figura 51: Análise Transiente da corrente de saída com frequência de 1GHz e variando a amplitude da corrente de entrada de $25\mu\text{A}$ a $75\mu\text{A}$ em 5 passos

Para a corrente de entrada com amplitude de $25\mu\text{A}$, o resultado da corrente de saída obtido após o tempo de estabilização foi de $36,6\mu\text{A}$. Já para a amplitude de $37,5\mu\text{A}$, o resultado foi de $53,8\mu\text{A}$, para $50\mu\text{A}$ obteve-se aproximadamente $70\mu\text{A}$, para $62,5\mu\text{A}$ a saída foi de aproximadamente $85\mu\text{A}$ e, por último, para $75\mu\text{A}$ o resultado foi de aproximadamente $99\mu\text{A}$. Calculando o valor RMS teórico, como $2 \cdot I_{in} / \sqrt{2}$, obtém-se respectivamente $35,35\mu\text{A}$, $53\mu\text{A}$, $70,7\mu\text{A}$, $88\mu\text{A}$ e $106,06\mu\text{A}$ para as correntes de entrada de amplitudes iguais a $25\mu\text{A}$, $37,5\mu\text{A}$, $50\mu\text{A}$, $62,5\mu\text{A}$ e $75\mu\text{A}$. A Tabela (12) apresenta os valores da corrente I_{out} obtidos da Figura (51) e I_{rms} teóricos de acordo com suas respectivas correntes de entrada I_{in} .

Tabela 12. – Corrente de saída I_{out} e corrente I_{rms} teórico da análise da Figura (51) para cada valor da corrente de entrada I_{in} .

I_{in} [μA]	I_{out} [μA]	I_{RMS} [μA]
25	36,6	35,35
37,5	53,8	53
50	70	70,7
62,5	85	88
75	99	106,06

Esses resultados mostram que os valores encontrados nas simulações são bem próximos dos resultados teóricos validando o circuito real.

5.5 Referência de Corrente

Nas implementações dos conversores apresentados nesse trabalho, há várias fontes de corrente com diferentes valores. Uma forma de implementá-las é projetando um circuito de referência de corrente e através de espelhos de corrente gerar os diferentes valores utilizados.

Uma topologia de referência de corrente é mostrada na Figura (52). Com essa topologia é possível gerar uma corrente independente da tensão de alimentação, ou seja, em um certo limite, a variação da tensão de alimentação não altera significativamente o valor da referência de corrente.

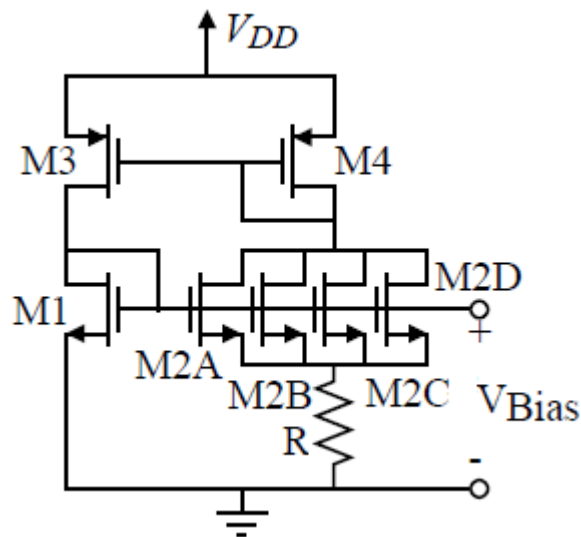


Figura 52: Topologia da Referência de Corrente independente da tensão de alimentação [11]

Caso todos os transistores tenham a mesma relação W/L , então a corrente I_3 será igual à corrente I_4 . Desse modo a corrente I_1 também será igual à corrente I_2 , corrente que passa por cada transistor M2. Todos os transistores estão operando em saturação. De acordo com a malha composta pelo transistor M1, pelos transistores M2 e pela resistência R, obtém-se:

$$V_{gs1} = V_{gs2} + I_2 \cdot R \quad (5.5.1)$$

Isolando a corrente I_2 resulta-se em :

$$I_2 = \frac{V_{gs1} - V_{gs2}}{R} \quad (5.5.2)$$

Como os quatro transistores M2 possuem a mesma relação W/L do transistor M1, V_{gs2} será menor que V_{gs1} . Sabendo-se que:

$$V_{gs} = \sqrt{\frac{2I}{kn \frac{W}{L}}} + V_{th}, \quad (5.5.3)$$

e que $I_1 = I_2$, $V_{th1} = V_{th2}$, $K_{n1} = K_{n2}$, $(W/L)_2 = 4(W/L)_1$ e, enfim, substituindo (5.5.3) em (5.5.2), a corrente I_2 resulta-se em:

$$I_2 = \frac{1}{2 kn \frac{W}{L} R^2} \quad (5.5.4)$$

Supondo que se projete I_2 igual a $10\mu\text{A}$, para ter uma corrente de $100\mu\text{A}$ em uma determinada parte do circuito, basta que se tenha um espelho de corrente onde o transistor que passará a corrente de $100\mu\text{A}$ tenha uma relação W/L de dez vezes o valor de W/L do transistor que gera a corrente I_2 .

Neste capítulo, foram projetados os conversores AC-DC e de frequência em DC. A tecnologia utilizada para a implementação foi a TSMC $0,18\mu\text{m}$ RF Mixed-Signal. Os resultados de cada conversor foram discutidos a fim de se projetar e chegar em conversores que atendem as especificações deste trabalho. Dois componentes ideais dos conversores como o amplificador operacional e a referência de corrente foram apresentados e projetados para fazer parte do circuito real.

6 CONCLUSÃO

Neste trabalho foram apresentados dois tipos de conversores, um conversor de frequência em DC e um conversor AC-DC. Esses dois conversores são muito importantes para a medição e verificação do funcionamento de circuitos. O objetivo deste trabalho foi projetar e implementar esses dois conversores utilizando novas topologias que utilizam o princípio translinear e podem ser aplicadas em circuitos para altas frequências, neste caso entre 1GHz e 3GHz e tendo baixa amplitude de corrente, entre dezenas e centenas de μA .

Os dois dispositivos conversores são bastante importantes e utilizados em muitas aplicações, como mostrado no capítulo 2. Alguns enfoques foram apresentados para a implementação desses dispositivos. Para o conversor de frequência em DC, o uso de circuitos translineares ajuda na implementação de funções matemáticas, que nos gera uma tensão ou corrente de saída proporcional à frequência do sinal de entrada. Três diagramas de blocos foram mostrados neste trabalho e através de blocos como diferenciadores, integradores, divisores e rms, pode-se implementar o conversor.

Os conversores AC-DC apresentados neste trabalho são baseados, principalmente, em detectores RMS ou detectores de pico. Quatro topologias foram apresentadas, uma baseada em circuitos translineares, outra topologia utilizando transistores MOS e dois circuitos detectores de pico usando transistores bipolares.

Para o conversor AC-DC, entre as topologias apresentadas, foi implementado o RMS-DC baseado em circuitos translineares. Primeiramente foi feita a tentativa de implementá-lo utilizando transistores MOS. Porém, esse tipo de transistor em inversão fraca não possui um bom comportamento para altas frequências. Como a especificação do projeto era trabalhar com frequências entre 1GHz e 3GHz, foi observado com as simulações que não seria possível utilizá-lo, pois sua frequência de corte era da ordem de MHz. Em seguida, foi feita a tentativa de utilizar os transistores bipolares disponíveis na tecnologia TSMC 0.18 μm RF Mixed-Signal. Esses transistores mostraram um bom desempenho em altas frequências, porém o valor do parâmetro β dos bipolares era muito baixo influenciando nos resultados finais. A topologia utilizando diodos se mostrou a mais eficiente para o projeto desse conversor e os resultados obtidos foram muito satisfatórios, tendo uma aproximação

excelente entre a teoria e a prática. O seguidor de tensão ideal utilizado no conversor RMS-DC posteriormente foi implementado. Desse modo, ele foi substituído no conversor e foram verificados os resultados com esse bloco real. Os resultados obtidos foram satisfatórios, tendo uma corrente de saída próxima do valor RMS da corrente de entrada. Para amplitudes altas houve uma diminuição da acurácia. Os resultados da corrente de saída DC obtidos para as correntes de entrada com amplitudes iguais a $25\mu\text{A}$, $37,5\mu\text{A}$, $50\mu\text{A}$, $62,5\mu\text{A}$ e $75\mu\text{A}$ a 1GHz de frequência foram, respectivamente: $36,6\mu\text{A}$, $53,8\mu\text{A}$, $70\mu\text{A}$, $85\mu\text{A}$ e $99\mu\text{A}$.

Para o conversor de frequência em DC, foi implementada uma topologia que utiliza os seguintes blocos: RMS-DC, integrador e divisor. O bloco RMS-DC foi o mesmo utilizado no conversor AC-DC. O bloco integrador também foi implementado através de diodos e seguidores de tensão, pois transistores MOS em inversão fraca e transistores bipolares não tiveram bons resultados tendo em vista sua utilização em altas frequências e seu tamanho. O bloco divisor foi implementado com transistores MOS em inversão fraca, pois a corrente que passava por eles eram correntes DC. Foi necessário dividir a corrente que entrava nos transistores MOS para mantê-los na região de inversão fraca com o tamanho $W/L = 50\mu\text{m}/500\text{nm}$. Foi realizada a conexão desses blocos para formar o conversor de frequência em DC. Obteve-se uma corrente proporcional à frequência do sinal de entrada entre 1GHz e 3GHz atingindo o objetivo do conversor.

No conversor de frequência em DC, entre 1GHz e 3GHz, a cada aumento de 100MHz a corrente de saída DC aumentou em $0,3\mu\text{A}$ a $0,4\mu\text{A}$, tendo para 1GHz a corrente de saída DC igual a $13,7\mu\text{A}$.

6.1 Trabalhos Futuros

Uma continuação pode ser feita com este trabalho. Primeiramente pode-se implementar as fontes de corrente utilizadas nos conversores. Uma topologia que gera uma referência de tensão independente da tensão de alimentação foi proposta neste trabalho.

Pode-se melhorar o amplificador operacional aumentando ainda mais seu Produto Ganho Banda e também verificar outros parâmetros como margem de fase, consumo etc.

Em seguida substituir os amplificadores e fontes de corrente nos conversores projetados. Fazer testes de corners, análise de Monte Carlo e criar o layout.

Aplicar os conversores numa aplicação específica.

7 REFERÊNCIAS BIBLIOGRÁFICAS

- [1] **A. Valdes-Garcia, R. Venkatasubramanian, R. Srinivasan, J. Silva-Martinez and E. Sanchez-Sinencio**, A CMOS RF RMS Detector for Built-in Testing of Wireless Receivers, in Proc. 23rd IEEE VLSI Test Symposium, Palm Springs, CA, May 2005, pp. 249- 254
- [2] **J. Karthik, A. K. Qadeer and C. Patrick**, Design and Analysis of 1-60GHz, RF CMOS Peak Detectors for LNA Calibration, in Proc. International Symposium on Digital Object Identifier, April 2009, pp. 311 – 314
- [3] **A. Djemouai, M. A. Sawan, and M. Slamani**, “New frequency-locked loop based on CMOS frequency-to-voltage converter: Design and implementation,” *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process.*, vol. 48, no. 5, pp. 441–449, May 2001.
- [4] **M. Jan**, Static and Dynamic Translinear Circuits, Ph. D. thesis, Delft University of Technology, 1998.
- [5] **W. Surakamponorn, Y. Chonbodeechalermroong, and S. Bunjongjit**, “An Analog Sinusoidal Frequency-to-Voltage Converter,” *IEEE Trans. on Instrumentation and Measurement*, vol. 40, No. 6, pp. 925-929, Dec. 1991.
- [6] **T.Y. Lin, E.M. Drakakis and A.J. Payne**, “Architecture for frequency-to-current converter,” *IEEE Electronics Letters*, vol. 37, no. 24, pp. 1427-1428, Nov. 2001.
- [7] **A. Lorsawatsiri, W. Kiranon, V. Silaruam, W. Sangpisit, and P. Wardkein**, "Simple and Accurate Frequency to Voltage Converter," *IEEE International Conference on Electrical Engineering/Electronics Computer Telecommunications and Information Technology (ECTI-CON)*, 2010, pp. 212-215
- [8] **A. Djemouai, M. A. Sawan and M. Slamani**, “New circuit techniques based on a high performance frequency-to-voltage conversion”. Presented at the IEEE Int. Conf. Electronics Circuits and Systems, Pafos, Cyprus, 1999, pp. 13–16.
- [9] **D. D. Geoffrey, W. R. Gordon and M. Jamal Deen**, “The Development of Bipolar Log Domain Filters in a Standard CMOS Process”. The 2001 IEEE International Symposium on Circuits and Systems, 2001, pp 145-148.
- [10] **S. A. P. Haddad, W. A. Serdijn**, “High-Frequency Dynamic Translinear and Log-domain Circuits in CMOS Technology”. The 2001 IEEE International Symposium on Circuits and Systems, 2001, pp 313-316.
- [11] **ALLEN, Phillip**. *CMOS Analog Circuit Design. 2aEdição, Oxford.*