



**Universidade de Brasília - UnB
Faculdade UnB Gama - FGA
Engenharia Eletrônica**

TRABALHO DE CONCLUSÃO DE CURSO 2

**Projeto de um Conversor A/D por aproximações
sucessivas contido em uma etiqueta RFID para o
controle da temperatura do sangue**

**Autor: Nicholas Gustavo Duarte C. de Souza Bastos
Orientador: Prof Dr Sandro Augusto P. Haddad**

**Brasília, DF
Dezembro de 2013**



Nicholas Gustavo Duarte Carlos de Souza Bastos

Projeto de um Conversor A/D por aproximações sucessivas contido em uma etiqueta RFID para o controle da temperatura do sangue

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Orientador: Prof Dr Sandro Augusto P. Haddad

**Brasília, DF
Dezembro de 2013**

CIP – Catalogação Internacional da Publicação*

D. C. de S. Bastos, Nicholas Gustavo.

Projeto de um Conversor A/D por aproximações sucessivas contido em uma etiqueta RFID para o controle da temperatura do sangue/ Nicholas Gustavo Duarte Carlos de Souza Bastos. Brasília: UnB, 2013.

Monografia (Graduação) – Universidade de Brasília
Faculdade do Gama, Brasília, 2013. Orientação: Dr Sandro Augusto P. Haddad.

1. Circuitos Integrados Analógicos. 2. Sistema-em-chip inteligente. 3. SoC I. P. Haddad, Sandro Augusto. II. Doutor.

CDU Classificação



Nicholas Gustavo Duarte Carlos de Souza Bastos

Monografia submetida como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica da Faculdade UnB Gama - FGA, da Universidade de Brasília, em 11/12/2013 apresentada e aprovada pela banca examinadora abaixo assinada:

Prof. Dr Sandro Augusto P. Haddad, UnB/ FGA
Orientador

Prof. Msc José Edil Guimarães de Medeiros, UnB
Membro Convidado

Prof. Dr Wellington Avelino do Amaral, UnB/ FGA
Membro Convidado

Brasília, DF
Dezembro de 2013

AGRADECIMENTOS

Primeiramente a Deus por me dar forças para superar as adversidades e as condições necessárias para continuar trilhando o caminho para atingir meus objetivos.

Aos meus familiares e amigos pelo apoio incondicional, estímulo e por criarem uma base que possibilita que eu seja uma pessoa melhor.

Ao professor Sandro Haddad, por me orientar no trabalho de conclusão de curso de maneira excelente, me auxiliando nas maiores dúvidas e me direcionando adequadamente para o bom rumo da pesquisa.

Nicholas Gustavo Duarte Carlos de Souza Bastos

RESUMO

O projeto visa a implementação e desenvolvimento dos circuitos integrados analógicos constituintes de um conversor A/D por aproximações sucessivas. Esse conversor A/D é parte integrante de uma etiqueta RFID que será colocada em bolsas de sangue com a intenção de monitorar a temperatura do sangue durante um eventual transporte entre hospitais ou centros de saúde. O system-on-chip (SoC) inteligente é a etiqueta RFID. Os circuitos analógicos são necessários dentro de um sistema inteligente, pois fazem o interfaceamento da parte digital (microprocessador) com os sensores ou até mesmo com o meio exterior, por meio de filtros contínuos, amplificadores e conversores A/D, que poderão ser desenvolvidos neste projeto. Além disso, estes circuitos necessitam de um gerenciamento de potência para todo o sistema, por meio das fontes reguladoras de tensão e corrente.

Avaliando este cenário, propõe-se neste projeto a pesquisa e o desenvolvimento de circuitos integrados analógicos que possam ser aplicados em sistemas em chip inteligentes. O projeto de pesquisa será realizado no Laboratório de Projeto de Circuitos Integrados (LPCI-Gama) da Faculdade do Gama (FGA/UnB). No entanto, esta linha de pesquisa apresenta uma parceria com o Laboratório de Dispositivos e Circuitos Integrados (LDCI) do Departamento de Engenharia Elétrica da UnB e com o Centro de Design (Design House) para projetos de Circuitos Integrados, DFChip, implantado em um ambiente compartilhado com incubadora de empresas, CDT (Centro de Desenvolvimento Tecnológico)/UnB. Nesta segunda etapa do projeto foi implementado um conversor A/D por aproximações sucessivas utilizando softwares de simulação como Cadence Orcad e Cadence Virtuoso.

Palavras-chave: Circuitos Integrados (CIs). System-on-Chip (SoC). Etiqueta RFID. Circuitos Analógicos. Conversores A/D por aproximações sucessivas. Fontes Reguladoras de Tensão e Corrente. Cadence Orcad. Cadence Virtuoso.

ABSTRACT

The project aims at the development and implementation of analog integrated circuits constituents of an A / D converter by successive approximations. This A / D converter is part of an RFID tag that is placed on blood bags with the intention of monitoring the temperature of the blood for a possible transportation of bags between hospitals or health centers . The system-on - chip (SoC) is a smart RFID tag. The analog circuits are needed within an intelligent , since they are digital interfacing part (microprocessor) with the sensors or even with the outside by means of solid filters , amplifiers and A / D converters , which may be developed in this project . In addition, these circuits require a power management for the entire system by means of sources of current and voltage regulators.

Evaluating this scenario, it is proposed this project to research and development of analog integrated circuits that can be applied to systems in intelligent chip. The research project will be conducted in the Laboratory of Integrated Circuit Design (LPCI - range) of the Faculty of Range (FGA / UNB). However , this line of research has a partnership with the Laboratory for Devices and Integrated Circuits (LDCI) Department of Electrical Engineering at UNB and the Center of Design (Design House) for projects of Integrated Circuits , DFChip , deployed in an environment shared with business incubator , CDT (Technology Development Centre) / UNB . In this second phase of the project will be implemented an A / D converter by successive approximations using simulation softwares like Cadence Orcad and Cadence Virtuoso.

Keywords: Integrated Circuits (ICs). System-on-Chip (SoC). RFID tag. Analog Circuits. A / D converters by successive approximations. Sources Regulators Voltage and Current. Cadence Orcad. Cadence Virtuoso.

SUMÁRIO

AGRADECIMENTOS	5
RESUMO.....	6
ABSTRACT	7
SUMÁRIO.....	8
LISTA DE ILUSTRAÇÕES.....	10
LISTA DE SIGLAS	12
LISTA DE SÍMBOLOS	13
CAPÍTULO 1	14
1.1 INTRODUÇÃO	14
1.2 OBJETIVOS GERAIS E MOTIVAÇÃO	16
1.3 METODOLOGIA	17
1.4 RESULTADOS ESPERADOS	18
CAPÍTULO 2	19
REVISÃO BIBLIOGRÁFICA	19
2.1 SISTEMAS DE CONVERSÃO ANALÓGICO/DIGITAL	19
2.1.1 Principais Parâmetros Estáticos que devem ser especificados para o projeto de um Conversor A/D.....	22
2.2 TOPOLOGIAS DE CONVERSORES A/D	25
2.2.1 Conversor Flash.....	26
2.2.2 Conversor de aproximações sucessivas.....	27
2.2.3 Conversor rampa dupla (Two-Step)	28
2.2.4 Conversor sigma-delta.....	29
2.3 CONVERSAR SAR (APROXIMAÇÕES SUCESSIVAS)	30
2.3.1 Motivo	30
2.3.2 Características.....	31
2.4 CONVERSAR SAR (ETIQUETA RFID) PARA CONTROLE DE TEMPERATURA DE BOLSA DE SANGUE...	36
CAPÍTULO 3	37
MODELAGEM DO CONVERSAR A/D SAR IDEAL	37
CAPÍTULO 4	42
PROJETO DO CONVERSAR A/D POR APROXIMAÇÃO SUCESSIVA UTILIZANDO O SOFTWARE CADENCE ORCAD.....	42
4.1 SISTEMA COMPLETO IDEAL.....	42
4.1.1 Lógica dos Clocks	43
4.1.2 Conversor D/A Charge Redistribution (Charge Scaling)	45
4.1.3 SAR (Sucessive Approximation Register) e Lógica Digital	48
4.2 CIRCUITOS REAIS E AUXILIARES	52
4.2.1 Comparador Analógico.....	53
4.2.2 Chave Complementar	57
4.2.3 Referência de Corrente	60
4.3 SISTEMA COMPLETO REAL	64
CAPÍTULO 5	66
RESULTADOS	66
5.1 CARACTERIZAÇÃO DO CONVERSAR A/D SAR IDEAL	66
5.1.1 Tensão Constante.....	69
5.1.2 Rampa.....	69
5.1.3 Senóide	70
5.2 COMPARADOR ANALÓGICO REAL	72
5.3 CHAVE COMPLEMENTAR (TRANSMISSÃO) REAL	73
5.4 CARACTERIZAÇÃO DO CONVERSAR A/D SAR REAL	74
5.4.1 Tensão Constante.....	77
5.4.2 Rampa.....	78

5.4.3 Senóide	78
5.5 REFERÊNCIA DE CORRENTE E VARIAÇÃO DE TEMPERATURA	80
CAPÍTULO 6	82
6.1 CONCLUSÕES	82
6.2 TRABALHOS FUTUROS	83
REFERÊNCIAS BIBLIOGRÁFICAS.....	84

LISTA DE ILUSTRAÇÕES

Figura 1.1 Etiqueta RFID.....	15
Figura 1.2 Antena ou bobina ou indutor ou dispositivo ressonante da tag de RFID. .	15
Figura 2.1 Diagrama de Blocos de um Conversor A/D[2].	19
Figura 2.2 Amostragem de um sinal genérico.	20
Figura 2.3 Erro de Quantização.[2].....	21
Figura 2.4 Erro por offset. a) Offset positivo. b) Offset negativo.[2]	22
Figura 2.5 Erro de ganho. a) Erro positivo. b) Erro negativo.[2].	23
Figura 2.6 a) Não-linearidade diferencial. b) Acurácia relativa.[2].....	24
Figura 2.7 Faixa Dinâmica Livre de Espúrios onde observa-se a SNR e a SFDR.[2]	25
Figura 2.8 Classificação dos conversores A/D de acordo com a Velocidade.[1].....	26
Figura 2.9 Esquemático de um Conversor Flash.[1].....	27
Figura 2.10 Diagrama de Blocos de um Conversor SAR.[1].	28
Figura 2.11 Esquemático de um Conversor Rampa Dupla.	29
Figura 2.12 (a)Conversor Sigma-Delta;(b)Modulador Sigma-Delta de primeira ordem.	29
Figura 2.13 Fluxograma do Conversor SAR.[1].....	32
Figura 2.14 Fluxograma Adequado.[1].....	33
Figura 2.15 Esquemático e comportamento do circuito Unipolar Charge- Redistribution D/A.[1]	34
Figura 2.16 Processo de aproximação do Conversor SAR.	36
Figura 2.17 Diagrama de Blocos Detalhado.	36
Figura 3.1 Símbolo do Conversor SAR e um conversor D/A.	37
Figura 3.2 Diagrama do Conversor D/A IDEAL.	37
Figura 3.3 Diagrama de Blocos do Conversor SAR detalhado.....	38
Figura 3.4 Registrador de Deslocamento (Contador) detalhado.	39
Figura 3.5 Latch 8bits detalhado.	40
Figura 3.6 Resultado Aproximação MATLAB.	41
Figura 4.1 Conversor Analógico/Digital (SAR).....	43
Figura 4.2 Contador em Anel.....	43
Figura 4.3 Processo de Inicialização do Conversor Analógico Digital (SAR).....	43
Figura 4.4 Clocks definidos no Orcad.	43
Figura 4.5 Os 4 bits menos significativos do DAC (LSB).....	43
Figura 4.6 Os 4 bits mais significativos do DAC (MSB).	43
Figura 4.7 Scaling Capacitor para combinação de 2 DACs de 4 bits.[4].....	43
Figura 4.8 O valor das capacitâncias.[4].....	43
Figura 4.9 Registradores para os capacitores mais significativos (MSB).	43
Figura 4.10 Registradores para os capacitores menos significativos (LSB).....	43
Figura 4.11 Contador em Anel.	50
Figura 4.12 Contador em anel com a lógica do clock.....	51
Figura 4.13 Contador em anel com a lógica do clock.....	43
Figura 4.14 Resposta do Comparador sem e com histerese.[4]	53
Figura 4.15 Histerese.[4]	54
Figura 4.16 Comparador com Histerese Interna.[4].....	54
Figura 4.17 Funcionamento da histerese interna. [4]	55
Figura 4.18 Comparador com Histerese com a tecnologia AMS35.	57
Figura 4.19 Chave Complementar.[6]	57
Figura 4.20 Chave Complementar com a tecnologia AMS35.	58

Figura 4.21 Dummy Switch para cancelar Injeção de Carga.[6].....	59
Figura 4.22 Chave Complementar com Dummy Switch para reduzir a Injeção de Carga com a tecnologia AMS35.....	60
Figura 4.23 Topologia a ser utilizada na Referência de Corrente.[6].....	43
Figura 4.24 Referência de Corrente implementada no Orcad.	43
Figura 4.25 Referência de Corrente implementada no Virtuoso.....	43
Figura 4.26 Circuito real.	64
Figura 4.27 Circuito real.	64
Figura 4.28 Símbolos dos circuitos implementados no Orcad: Comparador, Referência de Corrente e Chave Complementar.	65
Figura 5.1 Palavra Digital 01111111 para a entrada de $V_{dd}/2$ (1,65 V).....	66
Figura 5.2 Palavra Digital 10000000 para a entrada de 1,66 V.....	67
Figura 5.3 Palavra Digital 11111011 para a entrada de 3,25 V.....	67
Figura 5.4 Palavra Digital 11111111 para a entrada de 3,3 V.	68
Figura 5.5 Aproximação para um sinal de entrada de 3,15 V.....	68
Figura 5.6 Aproximação para uma Tensão Rampa na entrada.....	70
Figura 5.7 Senóide de frequência 1kHz aproximada pelo Conversor.	71
Figura 5.8 Senóide de frequência 100Hz aproximada pelo Conversor.	71
Figura 5.9 FFT da senóide de 100Hz.....	72
Figura 5.10 Tensão de saída com histerese do Comparador.....	73
Figura 5.11 Tensão Constante de 3,3V aplicada na entrada da chave complementar.	74
Figura 5.12 Palavra Digital 10000000 para a entrada de $V_{dd}/2$ (1,65 V).	75
Figura 5.13 Palavra Digital 10000000 para a entrada de 1,66 V.....	75
Figura 5.14 Palavra Digital 11111010 para a entrada de 3,25 V.....	76
Figura 5.15 Palavra Digital 11111110 para a entrada de 3,3 V.....	76
Figura 5.16 Aproximação para um sinal de entrada de 1,0 V.	68
Figura 5.17 Aproximação para um sinal de entrada de 2,5 V.....	68
Figura 5.18 Aproximação para uma Tensão Rampa na entrada.....	68
Figura 5.19 Senóide de frequência 100Hz aproximada pelo Conversor.....	79
Figura 5.20 FFT da Senóide de frequência 100Hz.	80
Figura 5.21 Referência de Corrente variando a temperatura.....	80
Figura 5.22 Referência de Corrente com valor de corrente diferente de 10 μA variando a temperatura.....	81

LISTA DE SIGLAS

CI	Circuito Integrado
SoC	System-on-Chip
A/D	Analógico/Digital
D/A	Digital /Analógico
MCTI	Ministério de Ciência e Tecnologia e Informação
ABDI	Agência Brasileira de Desenvolvimento Industrial
ABINEE	Associação Brasileira da Indústria Elétrica e Eletrônica
MDIC	Ministério do Desenvolvimento, Indústria e Comércio
LDCI	Laboratory of Integrated Circuits
S/H	Sample and Holder
SNR	Relação sinal/ruído
Matlab	Matrix Laboratory
SAR	Sucessive Approximation Register
ADC	Conversor A/D
DAC	Conversor D/A

LISTA DE SÍMBOLOS

Fs	Frequência de Amostragem	[Hz]
q	Resolução	[V]
ErM	Tensão máxima da faixa dinâmica	[V]
Erm	Tensão mínima da faixa dinâmica	[V]
N	Número de bits	
Vref	Tensão de referência	[V]
Vin	Tensão de Entrada	[V]
Vda	Tensão de Saída do conversor D/A	[V]
I	iteração	
VTRP+	Tensão positiva de trip point da Histerese	[V]
VTRP-	Tensão negativa de trip point da Histerese	[V]

CAPÍTULO 1

1.1 INTRODUÇÃO

Este trabalho visa a implementação de circuitos integrados analógicos de um conversor A/D que pertence a um SoC inteligente necessário para monitorar a temperatura da bolsa de sangue durante o transporte dessas entre hospitais ou centros de saúde. Então, é necessário projetar um ADC (Conversor A/D) que possa atuar em uma faixa de valores que consiga converter temperaturas de transporte e armazenamento.

Após pesquisas realizadas sobre a manutenção da qualidade do sangue nos hospitais, verificou-se que é necessário manter a temperatura entre uma certa faixa de valores para evitar que este sangue altere a composição. A temperatura para transporte de sangue é entre 1°C a 10°C. Já para o armazenamento do sangue e dos componentes específicos contidos no sangue, existem valores que chegam até -30°C.[8]

Esse SoC inteligente é uma etiqueta *RFID*, que contém diversos circuitos integrados para que possibilite o monitoramento da temperatura do sangue. Identificação por radiofrequência ou *RFID* é um método de identificação automática por meio de sinais de rádio, recuperando e armazenando dados remotamente através de dispositivos denominados etiquetas *RFID*. Uma etiqueta ou *tag RFID* é um *transponder*, pequeno objeto que pode ser colocado em uma pessoa, animal, equipamento, embalagem ou produto, dentre outros. Contém chips de silício e antenas que lhe permite responder aos sinais de rádio enviados por uma base transmissora. Além das etiquetas passivas, que respondem ao sinal enviado pela base transmissora, existem ainda as etiquetas semipassivas e as ativas, dotadas de bateria, que lhes permite enviar o próprio sinal. São bem mais caras que do que as etiquetas passivas. Essa tecnologia utiliza transponders (os quais podem ser apenas lidos ou lidos e escritos) nos produtos, como uma alternativa aos códigos de barras, de modo a permitir a identificação do produto de alguma distância do scanner ou independente, fora de posicionamento.

Esta etiqueta contém chips de silício onde ficam concentrados os circuitos de conversão e processamento do sinal analógico, por meio de sensores e atuadores para enviar os dados para uma base receptora por meio das antenas desta etiqueta. Então, a idéia deste trabalho é desenvolver um conversor A/D por aproximações sucessivas, necessário para realizar a conversão e o processamento dos dados obtidos da temperatura em bits para ser enviado para uma base receptora que controla esta temperatura e possibilita a manutenção da qualidade do sangue nos hospitais. *Tag de RFID* permite um controle preciso da temperatura, bem como o controle de diversas bolsas de sangue em um mesmo momento. Estas etiquetas são desenvolvidas com a intenção de integrar os circuitos analógicos, além de possibilitar um maior controle e automação de dados.

Nas figuras (1.1) e (1.2) são apresentados exemplos de etiquetas RFID:



Figura 1.1 Etiqueta RFID.



Figura 1.2 Antena ou bobina ou indutor ou dispositivo ressonante da tag de RFID.

1.2 OBJETIVOS GERAIS E MOTIVAÇÃO

O trabalho visa o projeto e implementação de circuitos analógicos constituintes de um Conversor A/D por aproximações sucessivas que pertence a um sistema em chip (System-on-Chip ou SoC) inteligente. Este sistema inteligente é uma etiqueta RFID que possui os circuitos integrados analógicos e as antenas necessárias para a transmissão dos dados. Para fazer o interfaceamento do meio digital com sensores/atuadores ou até mesmo o meio exterior, necessita-se de circuitos analógicos como filtros contínuos, amplificadores e conversores A/D. Estes circuitos necessitam de um gerenciamento de potência para o sistema, por meio de fontes reguladoras de tensão e corrente. Assim, este trabalho tem por objetivo projetar e implementar os circuitos integrados analógicos deste conversor A/D SAR (Sucessive Approximation Register). Este bloco de conversão é necessário, já que as etiquetas RFID necessita de um processamento digital dos dados para que sejam monitorados e controlados. Este conversor é de 8 bits. Para o projeto será utilizado a tecnologia AMS 0.35 μm e este conversor tem que atender uma faixa de temperatura de $-30\text{ }^{\circ}\text{C}$ a $10\text{ }^{\circ}\text{C}$. A tensão de alimentação a ser utilizada é de 3,3 V.

A motivação principal deste trabalho é desenvolver aplicações onde seja possível monitorar e controlar de maneira mais automática diversos dados, com o objetivo de facilitar e agilizar processos simples realizados diariamente. Por exemplo, a aplicação deste projeto que faz o controle da temperatura do sangue contido em bolsas durante o transporte e o armazenamento. Outro exemplo é o controle de carros que contenham etiquetas RFID facilita o processo, pois é possível controlar via radiofrequência quantas vezes este carro passou pelo pedágio e o condutor pode pagar apenas ao final do mês a quantia, ao invés de ser necessário parar para fazer o pagamento e gerar trânsistos. Outra motivação é contribuir na área de Circuitos Integrados (CIs) no desenvolvimento de sistemas em chip inteligentes cada vez mais integrados, já que o país necessita de tecnologia para evolução da economia, bem como motivar futuros estudantes a seguirem esta área, que é importante para o desenvolvimento sócio-econômico do Brasil. Atualmente o país possui poucos pesquisadores e projetistas na área de microeletrônica, comparando com países europeus e os Estados Unidos.

1.3 METODOLOGIA

Para projetar e implementar os circuitos analógicos constituintes do Conversor A/D, foi feito um estudo bibliográfico, buscando um conversor A/D mais adequado para esse sistema integrado inteligente. Foram consultadas diversas referências de conversores A/D, analisando as características e os tipos e a definição do conversor mais adequado para o interfaceamento do meio digital com o meio contínuo. Em uma etiqueta *RFID*, a interação do meio analógico com o meio digital é realizada por meio de sensores. Desta forma, é crucial o estudo bibliográfico dos conversores A/D. São estes que convertem o sinal analógico em digital. Em um primeiro momento do trabalho é fundamental este estudo focado no conversor e nas especificações deste.

Após a escolha do conversor A/D mais adequado, foi feita uma simulação do diagrama de blocos do conversor utilizando o software de simulação MATLAB para observar os resultados esperados na saída do conversor, dado um determinado sinal de entrada.

Em seguida, para o Trabalho de Conclusão de Curso 2, o primeiro passo foi implementar em baixo nível (transistores) o circuito do conversor A/D SAR e os circuitos auxiliares (fontes reguladoras de tensão e corrente) a este conversor utilizando o software de simulação Cadence Orcad e se possível no Cadence Virtuoso. O Cadence Virtuoso não estava disponível para desenvolvimento devido a problemas técnicos da própria Universidade. Então, foi necessário a implementação do conversor utilizando o software Cadence Orcad.

Ao final da implementação, foram realizadas simulações para mostrar os resultados obtidos com a conversão analógica/digital. Além de realizar procedimentos de testes bem definidos e padronizados.

1.4 RESULTADOS ESPERADOS

Para o Trabalho de Conclusão 1, o objetivo foi fazer o estudo bibliográfico sobre circuitos de conversores analógico/digital e obter o conversor mais adequado para ser implementar na segunda etapa do trabalho. Esperou-se, também, simular no MATLAB/Simulink o diagrama de blocos do Conversor A/D e obter resultados do comportamento do conversor, dado um sinal de entrada determinado.

Já para o Trabalho de Conclusão de Curso 2, foi realizado mais estudos bibliográficos de outros circuitos e maneiras de testar o funcionamento do conversor SAR. Projetar, implementar, testar e validar, utilizando o software Cadence Virtuoso ou Orcad, o conversor A/D escolhido na primeira etapa do trabalho, que é o Conversor A/D por Aproximações Sucessivas. Caracterizar o conversor A/D SAR utilizando diversos sinais de entrada como rampa, tensão DC e senóide. Com uma senóide de entrada é possível caracterizar o conversor aplicando FFT (Fast Fourier Transform) no Orcad e obter a SNR do conversor A/D.

Obs.: O projeto do conversor SAR foi desenvolvido no software Cadence Orcad, pois o Cadence Virtuoso não estava disponível para desenvolvimento.

CAPÍTULO 2

REVISÃO BIBLIOGRÁFICA

2.1 SISTEMAS DE CONVERSÃO ANALÓGICO/DIGITAL

A generalidade dos sinais elétricos de interface com o meio ambiente em sistemas em chip (SoC), nomeadamente as ondas geradas de sensores, atuadores e até mesmo o meio exterior que captam e/ou que agem sobre os sistemas físicos são geralmente sinais analógicos. O processamento de sinais no domínio analógico é uma tarefa complexa e pouco flexível. Então é muito comum utilizar o recurso da amostragem e quantização e o processamento do sinal digital.

Uma vez convertido para o domínio digital, o sinal pode ser processado dependendo da resolução escolhida. O desempenho de um sistema deste tipo é geralmente limitado pela velocidade e resolução dos blocos de conversão e pela qualidade dos blocos de filtragem envolvidos na aquisição do sinal.

Os blocos de conversão de sinal analógico-digital (Conversor A/D) desempenham o papel de converter o sinal analógico de entrada em um sinal digital, o que permite o seu processamento no domínio digital por uma quantidade de bits. A seguir, o diagrama de blocos do sistema de conversão Analógico/Digital:

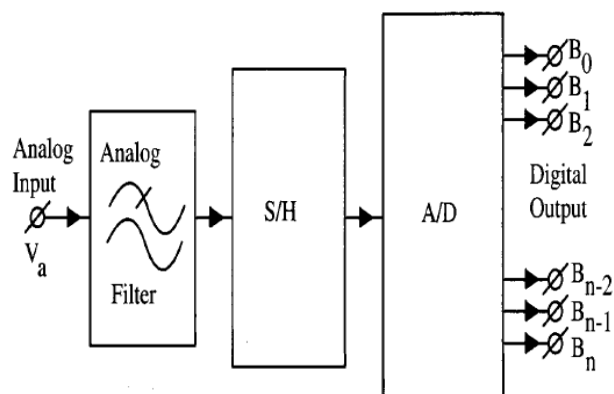


Figura 2.1 Diagrama de Blocos de um Conversor A/D[2].

O primeiro bloco após o o sinal de entrada é o filtro anti-aliasing. A filtragem na entrada do sistema, tipicamente feita com um filtro passa-baixa ou passa-banda, tem como função reduzir o ruído fora da banda útil do sinal e evitar a degradação do sinal devido a aliasing provocado pelo efeito de amostragem. O

filtro Anti-Aliasing limita a frequência do sinal de entrada de modo a evitar o surgimento de sobreposição espectral significativa próximo da metade de f_s , onde f_s é a frequência de amostragem do sinal.

O circuito S/H (Sample and Hold) serve para amostrar o sinal, ou seja, transformar um sinal de entrada contínuo no tempo em um sinal discreto no tempo, definindo um período para a amostragem (sample), e serve também ao mesmo tempo para reter o sinal (Hold) em valores personalizados pelo projetista, com a intenção de discretizar também o nível do sinal, pois o nível do sinal também é analógico. A figura 2.2 mostra um exemplo de amostragem:

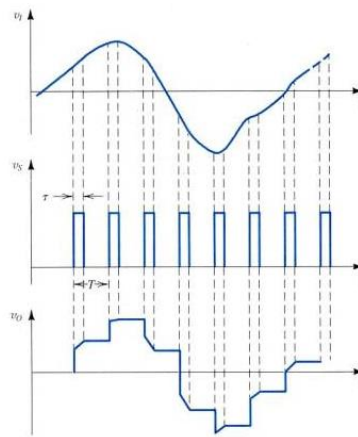


Figura 2.2 Amostragem de um sinal genérico.

Assim, o sinal se torna discreto e quantizado. Em seguida, o conversor A/D propriamente dito.

Os Conversores A/D apresentam algumas características: Faixa dinâmica, resolução, tempo de conversão e erros (Quantização, por exemplo).

A faixa dinâmica é a faixa de valores do sinal analógico. A Resolução é a menor variação, dentro da faixa dinâmica, do sinal analógico que causa uma variação no sinal digital. Existe uma relação entre a resolução e o número de bits do conversor, dada por:

$$q = (ErM - Erm) / (2^N - 1) \quad (1)$$

em que q é a resolução, N é o número de bits, ErM e Erm são os valores analógicos máximo e mínimo da faixa dinâmica.

O tempo de conversão é a duração de tempo em que se garante que o conversor tenha um valor válido na saída, a partir do momento em que foi aplicado um sinal na entrada e o processo de conversão foi iniciado.

Verifica-se que durante o processo de conversão há geração de ruídos. Para cada intervalo é recuperado um valor de sinal que corresponde ao valor médio de um intervalo de quantização (nível de quantização). Isto resulta em pequenos desvios em relação a amostra original do sinal. O desvio corresponde, no máximo, a meio intervalo para cada amostra, sendo denominado Erro de Quantização.

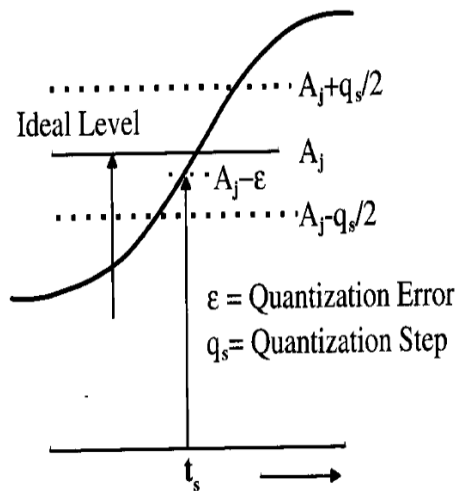


Figura 2.3 Erro de Quantização.[2]

O erro de quantização é tanto menor quanto maior for o número de intervalos de quantização, ou seja, quanto maior o número de intervalos maior é o número de bits para a representação. Quando os intervalos de quantização são igualmente distribuídos dentro da faixa de amplitude temos a denominada quantização linear ou uniforme. A seguir, a Eq. (2) para a relação sinal-ruído (SNR) para o erro de quantização [2]:

$$SNR = n \cdot 6,02 + 1,76 \text{ dB} \quad (2)$$

onde n é o número de bits do conversor A/D, ou seja, com o aumento do número de bits do conversor a relação sinal-ruído aumenta e assim diminui o erro de quantização do conversor. Vale lembrar que o intervalo mensurado da relação sinal-ruído é igual ao intervalo dinâmico do sistema, pois a frequência do sinal de entrada é exatamente a metade da frequência de amostragem (teorema de nyquist). Com o

aumento da amostragem do sinal é possível “melhorar” a relação sinal-ruído do conversor A/D.

2.1.1 Principais Parâmetros Estáticos que devem ser especificados para o projeto de um Conversor A/D

Os principais parâmetros estáticos são: Erro de Quantização, Acurácia Absoluta, Erro por offset, Erro de ganho, Acurácia Relativa (INL), Não-Linearidade Diferencial (DNL), tensão de alimentação, Relação Sinal-Ruído, Faixa Dinâmica Livre de Espúrios (SFDR), Número Efetivo de Bits (ENOB). Existem outros parâmetros para caracterização de um conversor A/D.[2]

Define-se o erro de quantização, como a diferença entre o sinal de entrada e a representação analógica do sinal de saída digital. Este erro está ilustrado na figura (2.3).

A acurácia absoluta do ADC é a faixa de valores admitidos para o sinal de entrada com relação a uma referência padrão (tensão, corrente, carga). A referência é a maior responsável pela acurácia absoluta do circuito e, em geral, se utiliza uma referência do tipo *bandgap* de forma a garantir que o circuito opere na especificação.

O erro por offset é o desvio da função de transferência do conversor com relação a reta de referência quando o sinal de entrada for 0LSB. Na fig (2.4) é apresentado erros por offset positivo e negativo:

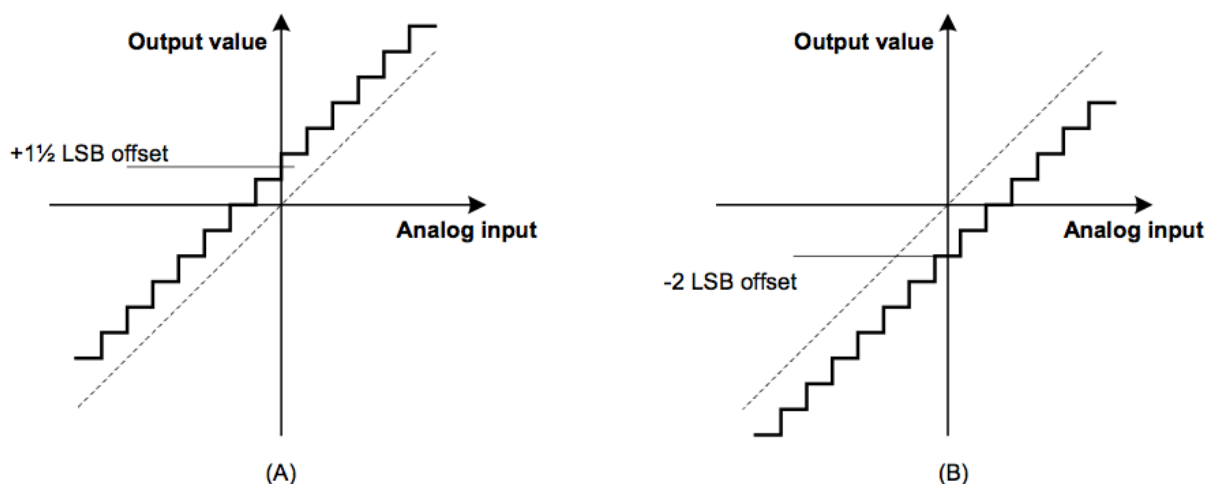


Figura 2.4 Erro por offset. a) Offset positivo. b) Offset negativo.[2]

O erro de ganho é definido como o desvio do último passo na saída do ADC com relação à reta de referência, após compensar o erro por offset. Este erro implica na mudança da inclinação da função de transferência do ADC e sua compensação pode ser feita multiplicando as amostras no domínio digital por um valor constante. Na fig (2.5) é apresentado erros por ganho positivo e negativo:

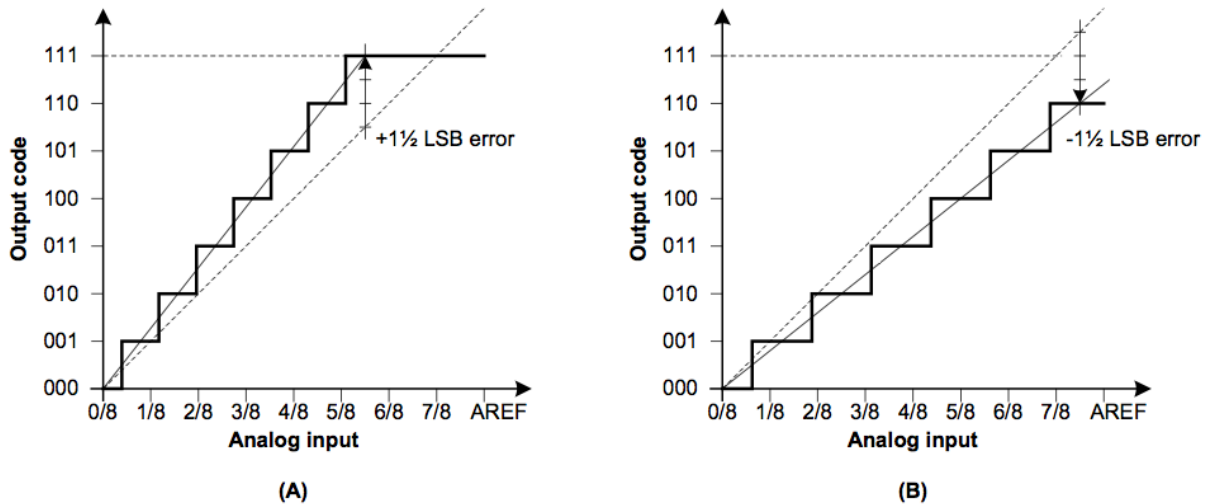


Figura 2.5 Erro de ganho. a) Erro positivo. b) Erro negativo.[2]

A acurácia relativa do ADC é o desvio do código de saída do conversor com relação a uma linha reta de referência. É também conhecida como Linearidade ou Não-linearidade Integral. O INL será definido para cada entrada possível como a diferença entre as funções real e ideal. O conjunto de especificações do ADC deve trazer a informação de INL máximo.

Descreve a diferença entre dois valores analógicos adjacentes comparados ao passo de um conversor gerado por transições entre pares adjacentes de código digital de saída avaliados em toda a faixa dinâmica do conversor. Se a variação de entrada que gera uma mudança no código de saída for menor que 1LSB, tem-se DNL negativo. Caso seja preciso uma variação na entrada maior que 1LSB para alterar o código de saída, tem-se DNL positivo. A especificação do circuito deve trazer a informação do máximo DNL tolerável. Na fig (2.6) é apresentado exemplos de INL e DNL:

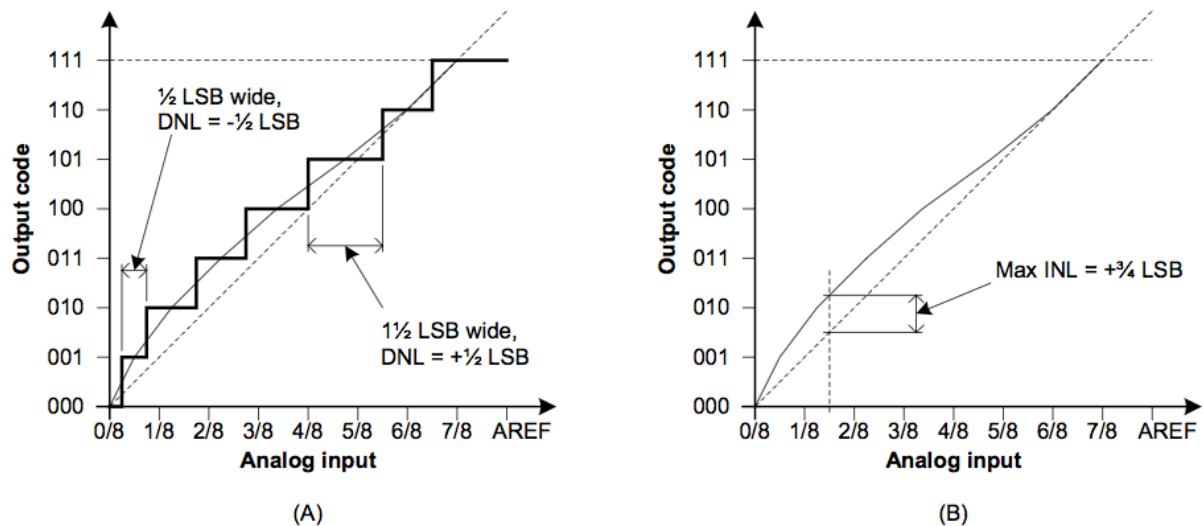


Figura 2.6 a) Não-linearidade diferencial. b) Acurácia relativa.[2]

Já para a tensão de alimentação, a especificação deve ser dada a uma tensão nominal de operação, mas devem ser avaliadas também nos limites de tolerância da fonte de alimentação.

Dentre as especificações dinâmicas, a mais importante para caracterização do ADC é a relação sinal-ruído. Depende da resolução do conversor, linearidade, distorções, incertezas na amostragem, ruídos eletrônicos e tempos de estabilização dos circuitos. O valor máximo teórico é a SNR causada apenas pelo ruído de quantização e depende da resolução do ADC. A Equação (2) mostra como se calcula a relação SNR do conversor.

A Faixa Dinâmica Livre de Espúrios (SFDR) é a diferença entre a componente de sinal e a maior componente de distorção avaliados no domínio da frequência. É uma medida da pureza espectral proporcionada pelo ADC e está diretamente relacionada a quantidade de distorção dinâmica causada pelo circuito. Na fig (2.7) é apresentado um exemplo de faixa dinâmica livre de espúrios:

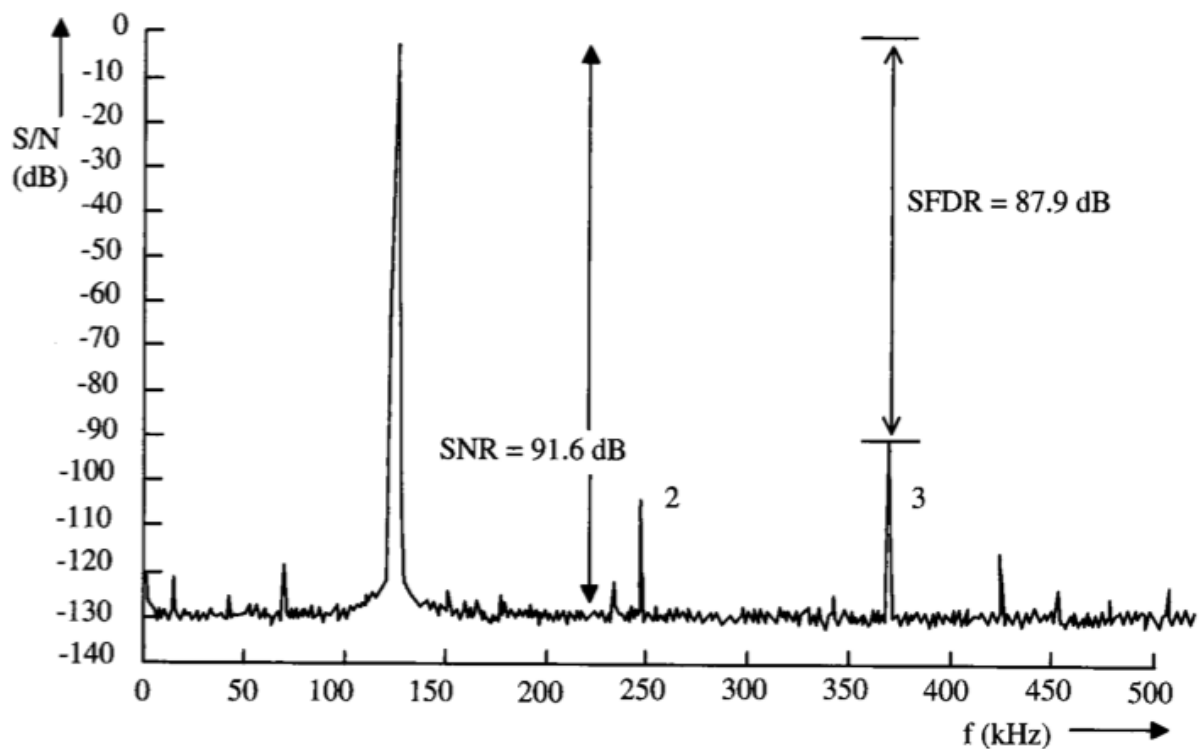


Figura 2.7 Faixa Dinâmica Livre de Espúrios onde observa-se a SNR e a SFDR.[2]

O Número Efetivo de Bits (ENOB) serve para comparar diferentes implementações ou diferentes topologias de conversores AD com a mesma resolução, define-se o número efetivo de bits do conversor com base na SNR:

$$\text{ENOB} = (\text{SNR}_{\text{medida}} - 1,76) / 6,02 \quad (3)$$

2.2 TOPOLOGIAS DE CONVERSORES A/D

As Arquiteturas de conversores A/D podem ser divididos em três categorias quanto a velocidade: De baixa a média velocidade (low-to-medium Speed), média velocidade (medium Speed) e alta velocidade (high Speed). As topologias de conversor A/D são: Conversores de Integração (Integrating Converters), Conversores de Aproximação Sucessiva (SAR Converters), Conversores A/D Cíclicos (Cyclic Converters), Conversores paralelo (Flash Converters), Conversores Rampa Dupla (Two-Steps Converters), Conversores de Interpolação (Interpolating A/D Converters), Folding Converters, Pipelined Converters e Conversores de tempo intercalado (Time-interleaved Converters). A figura 5 está classificando os tipos de conversores de acordo com o parâmetro da velocidade:

Low-to-Medium Speed, High Accuracy	Medium Speed, Medium Accuracy	High Speed, Low-to-Medium Accuracy
Integrating Oversampling	Successive approximation Algorithmic	Flash Two-step Interpolating Folding Pipelined Time-interleaved

Figura 2.8 Classificação dos conversores A/D de acordo com a Velocidade.[1]

Os conversores A/D podem ser classificados também em dois grandes grupos quanto a amostragem: a frequência de Nyquist e sobre-amostrados (Oversampling). Dentre os primeiros destacam-se o paralelo (Flash Converter), o de aproximações sucessivas (SAR Converter) e o rampa dupla (Two-step Converter). Dentre os sobre-amostrados destaca-se o Conversor Sigma-Delta.

2.2.1 Conversor Flash

O princípio do conversor paralelo consiste em comparar, simultaneamente, a tensão de entrada V_{in} com $2^N - 1$ tensões de referências, em que N é o número de bits do conversor A/D. Cada comparador possui como entradas a tensão V_{in} e uma tensão de referência, que é obtida a partir de V_{ref} de uma malha de resistores. O objetivo desta malha de resistores, juntamente com os comparadores, é delimitar os intervalos de tensões para se identificar no qual está inserida a tensão V_{in} . O comparador possui como entradas, a tensão V_{in} e uma tensão de referência que é obtida a partir de V_{ref} de uma malha de resistores.

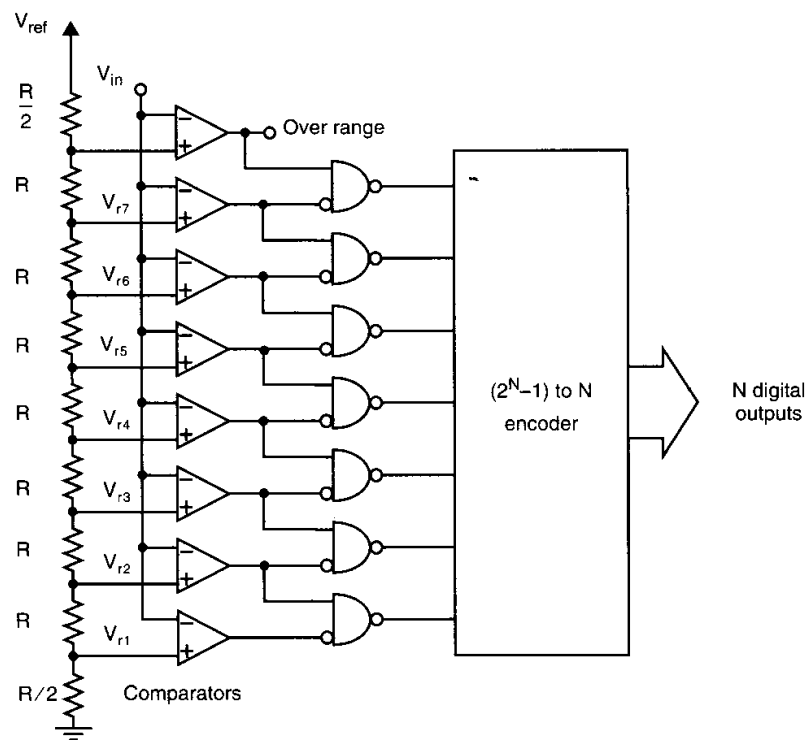


Figura 2.9 Esquemático de um Conversor Flash.[1]

O conversor paralelo pode fazer conversões muito rápidas, pois seu tempo de conversão é limitado apenas pelos tempos de resposta dos comparadores e das portas lógicas. O problema destes conversores está na quantidade de comparadores utilizados que deve ser de $2^N - 1$, portanto conversores paralelos com mais de 5 bits (61 comparadores) não são comuns.

2.2.2 Conversor de aproximações sucessivas

Um conversor A/D por aproximações sucessivas (SAR) está representado na Fig. (2.10). No início da conversão, o registrador de aproximações sucessivas coloca em sua saída uma palavra digital correspondente a metade da faixa de valores digitais. Na saída do conversor D/A aparece então uma tensão analógica igual a $V_{ref}/2$, que é comparada com a tensão analógica de entrada V_{in} . O SAR muda a palavra digital na sua saída acrescentando $1/4$ da faixa do sinal digital ($V_{ref}/4$ para o sinal analógico) se $V_{in} > V_{da}$ (saída analógica do comparador igual a 1) ou subtraindo esse mesmo valor se $V_{in} < V_{da}$ (saída analógica do comparador igual a 0). Esse

processo é repetido N vezes (N é o número de bits) e a cada nova iteração o valor se acrescenta (ou se subtrai) é $V_{ref}/2^i$ (em que i é o número da iteração). Ao final de N iterações tem-se em B_{out} a palavra digital correspondente ao valor analógico de V_{in} .

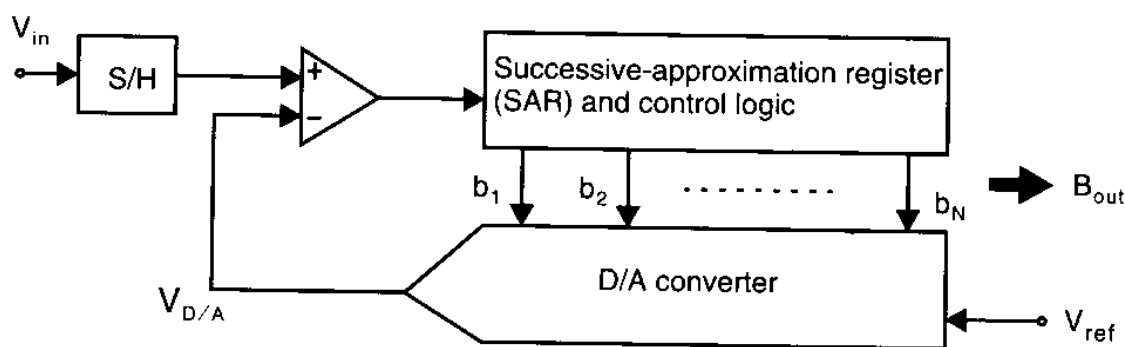


Figura 2.10 Diagrama de Blocos de um Conversor SAR.[1]

Estes conversores possuem uma implementação mais simples do que conversores paralelos, mas o tempo de conversão é maior. Como este conversor é o escopo do projeto este será apresentado com maior detalhes na seção 2.3.

2.2.3 Conversor rampa dupla (Two-Step)

Na Figura (2.11) mostra-se uma arquitetura de conversor A/D de rampa dupla. Neste tipo de conversor a conversão se dá em duas etapas. Na primeira, a tensão analógica de entrada é integrada (com valor inicial zero) durante 2^N pulsos do relógio (clock). Na segunda, a tensão de referência é integrada (o valor final da primeira etapa se torna o valor inicial) até que a saída do integrador chegue a zero. Os pulsos do relógio são contados durante a segunda etapa e o valor final corresponde ao valor da tensão de entrada V_e . Esse tipo de conversor tem implementação bastante simples e pode ter um número de bits N bastante elevado, mas o tempo de conversão é também muito grande.

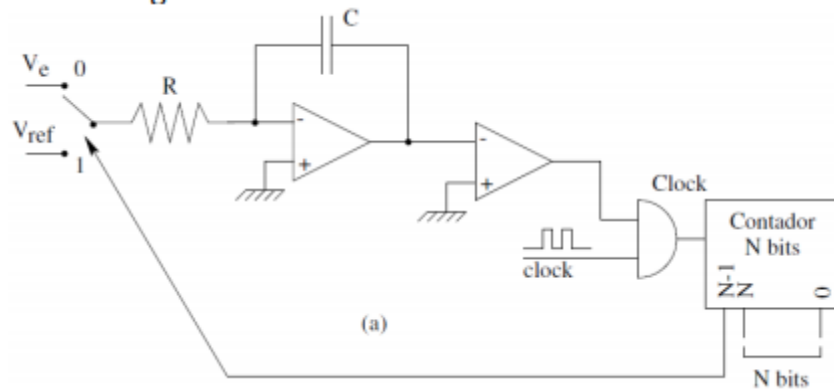


Figura 2.11 Esquemático de um Conversor Rampa Dupla.

2.2.4 Conversor sigma-delta

Estes conversores usam a sobre-amostragem (*oversampling*) para, a partir de um conversor A/D de N bits, obterem em sua saída uma palavra digital com um número de bits maior que N . Estes conversores são compostos de um modulador Sigma-Delta e de um decimador. O decimador é um circuito digital que faz a função de um filtro passa-baixas. Na figura (2.12b) está representado em diagrama de blocos um modulador de primeira ordem. Os conversores A/D Sigma-Delta são muito utilizados atualmente pela alta precisão de implementação em circuitos integrados.

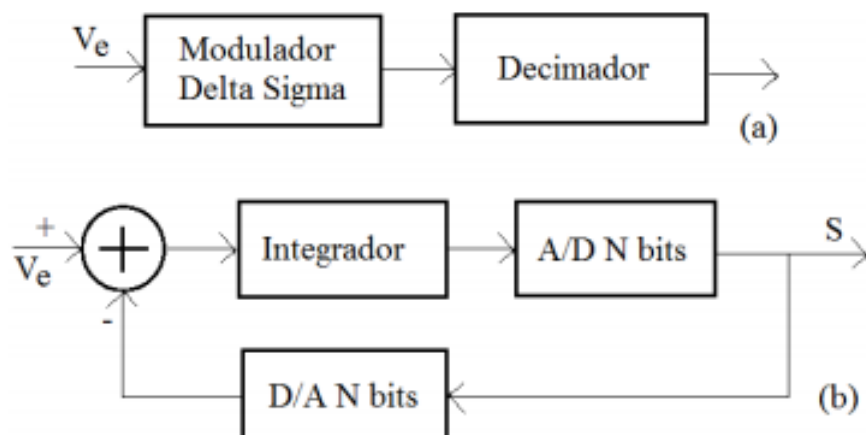


Figura 2.12 (a) Conversor Sigma-Delta; (b) Modulador Sigma-Delta de primeira ordem.

2.3 CONVERSOR SAR (APROXIMAÇÕES SUCESSIVAS)

2.3.1 Motivo

Após apresentar quatro topologias que mais se destacam na implementação de conversores A/D, foi escolhido para implementação o Conversor de aproximações sucessivas (SAR), pois este apresenta um circuito com baixa complexidade de implementação, além de ser ideal para a aquisição de dados com uma aproximação que condiz com a aplicação. O objetivo deste trabalho é implementar um conversor A/D para a etiqueta *RFID* para realizar a conversão da temperatura em dados digitais para ser processado e enviado para um receptor por meio das antenas. Por conseguinte, observou-se que este conversor A/D se torna ideal para a aplicação, pois além de ser interessante no sentido de integração, este conversor é ideal para a aquisição de sinais provenientes de sensores/atuidores e até mesmo do meio exterior. Apesar de o conversor Sigma-Delta apresentar facilidade de integração, este tipo de conversor é mais lento que o Conversor SAR e a velocidade também é um fator importante na escolha para a aplicação. A seguir, a Tab. (1) mostra um comparativo entre os quatro tipos de conversor exemplificados:

Tabela 1. – Comparativo entre os 4 Conversores A/D estudados.

Tipo	Vantagens	Desvantagens	Aplicações Principais
Paralelo	Muito rápido	Baixa resolução	Digitalização de vídeo e de sinais de frequências elevadas.
Aproximações sucessivas	Circuito com Baixa Complexidade	Bem mais lento que o paralelo	Aquisição de dados
Rampa Dupla	Possibilidade de se obter número de bits elevado.	Lento	Equipamentos de medição
Delta Sigma	Facilidade de integração	Lento	Celulares, DVD, etc.

2.3.2 Características

Como foi mostrado anteriormente, na Fig. (2.10) é apresentado o diagrama de bloco básico do conversor SAR.

O circuito comparador possui duas entradas, uma proveniente do conversor D/A, a outra correspondente ao sinal de entrada que será convertido e uma saída digital que vai para o registrador de aproximações sucessivas. O comparador realiza uma análise entre dois sinais distintos, onde o mesmo é capaz de determinar qual dos dois possui o maior valor. Logo, o sinal que será convertido, deverá ser comparado com o valor inicial proveniente do conversor D/A, e a partir disso a saída estará em nível lógico alto ou nível lógico baixo, onde a mesma será enviada para o registrador fornecer uma nova palavra. Após N (onde N é o número de bits) comparações realizadas, o comparador faz com que o registrador obtenha uma nova palavra cujo valor digital equivale ao sinal de entrada analógico.

O bloco do registrador de aproximações sucessivas (SAR) é composto por duas entradas, uma para o sinal de entrada proveniente do comparador, e a outra do sinal do pulso do clock. O mesmo possui N saídas digitais que chegarão ao conversor D/A. O SAR tem como função obter em suas saídas, sinais digitais que correspondam a valores de tensão próximos do sinal analógico de entrada no A/D. Para que isto ocorra, o registrador precisará de N pulsos de clock para a obtenção da palavra. Primeiramente, o valor inicial do SAR corresponde a metade da tensão máxima que o conversor A/D pode analisar, logo a aproximação é feita de acordo com a saída digital do comparador, onde para cada pulso de clock o registrador estará atualizado, e aproximando-se gradativamente do valor referente a entrada analógica. Com o término desta atualização no N pulso de clock, o valor digital obtido corresponde a entrada analógica, e o registrador será novamente atualizado para o valor inicial estando pronto para uma nova aproximação.

A figura (2.13) mostra um fluxograma que mostra o funcionamento deste conversor:

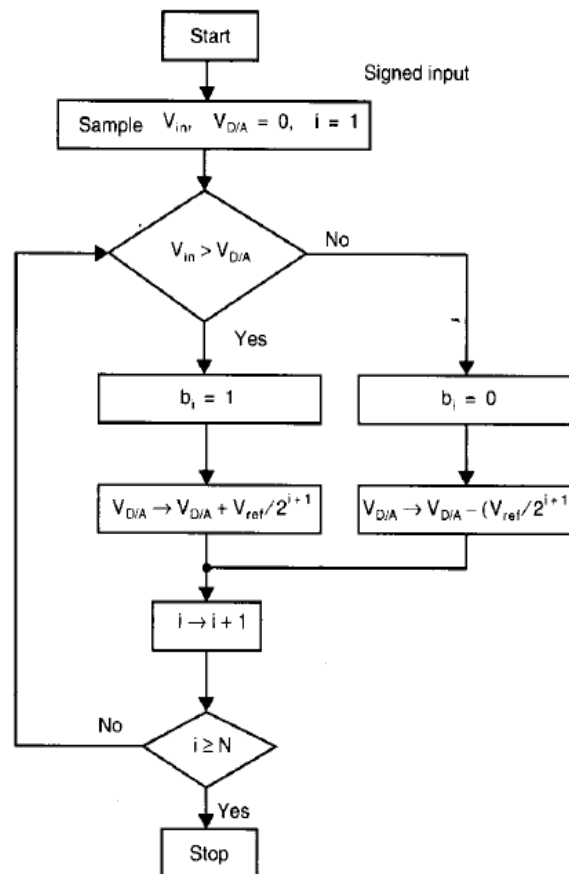


Figura 2.13 Fluxograma do Conversor SAR.[1]

Como pode ser observado no começo do fluxograma a tensão V_{in} é amostrada e quantizada antes de ser processada pelo conversor, além de a tensão V_{da} (onde V_{da} é a tensão do conversor D/A) ser igual a zero e ocorrer a primeira iteração de conversão. A tensão de entrada V_{in} é comparada com a tensão V_{da} e se for maior associa-se o bit “1” e a tensão V_{da} é acrescentada pela tensão de referência dividida pelo fator 2^{i+1} (onde i é o número de iterações). Se for menor associa-se o bit “0” e o mesmo procedimento para a tensão V_{da} . O mesmo procedimento ocorre $i=N$ vezes (onde N é o número de bits). Após completar o número de iterações igual ao número de bits, a palavra digital está formada. Observa-se pelo diagrama de blocos que esta topologia de conversor A/D necessita de um conversor D/A para que a tensão V_{da} seja uma das entradas do comparador, para a formação da próxima palavra digital.

Então, para que este tipo de conversor seja válido, é necessário que N ciclos de relógio para a formação de cada palavra e consequentemente ser enviado ao conversor D/A. Logo, a topologia do conversor D/A determina a acurácia e a velocidade do conversor A/D.

Entretanto, um conversor A/D seguindo este fluxograma apresenta um equívoco: quando comparado a tensão de entrada com a tensão V_{da} não há um tratamento do erro de quantização deste circuito, o que provoca ruído digital e possivelmente erros na acurácia do conversor no momento da conversão digital-analógica devido a esta tensão de offset. Por isso que a escolha do conversor D/A é importante para a acurácia da conversão A/D. Por conseguinte, o mais adequado é comparar a diferença entre a tensão de entrada V_{in} e a tensão de saída do conversor D/A, $V = V_{in} - V_{da}$, com o terra diminuindo a tensão de offset além de setar a diferença de erro com a resolução do conversor A/D. Na figura (2.14) é apresentado o fluxograma adequado:

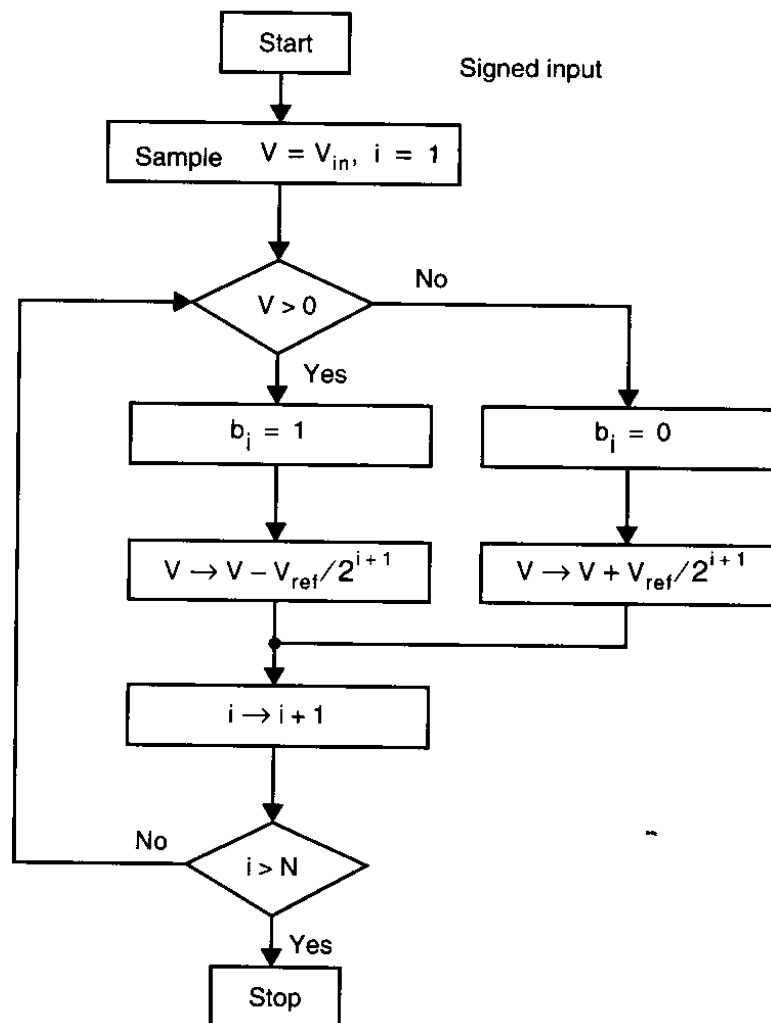


Figura 2.14 Fluxograma Adequado.[1]

O circuito *Unipolar Charge-Redistribution D/A* possibilita a implementação de um conversor A/D SAR realizando as seguintes funções ao mesmo tempo: *Sample*

and Hold (Amostragem e Quantização), conversão Digital-Analógico, e a comparação da diferença entre o sinal de entrada e a saída do conversor D/A. Ou seja, este único circuito realiza todas estas funções do diagrama de blocos da figura (2.10), sendo necessário, após este circuito, o registrador de aproximações sucessivas. A seguir, o esquemático do circuito e o comportamento deste:

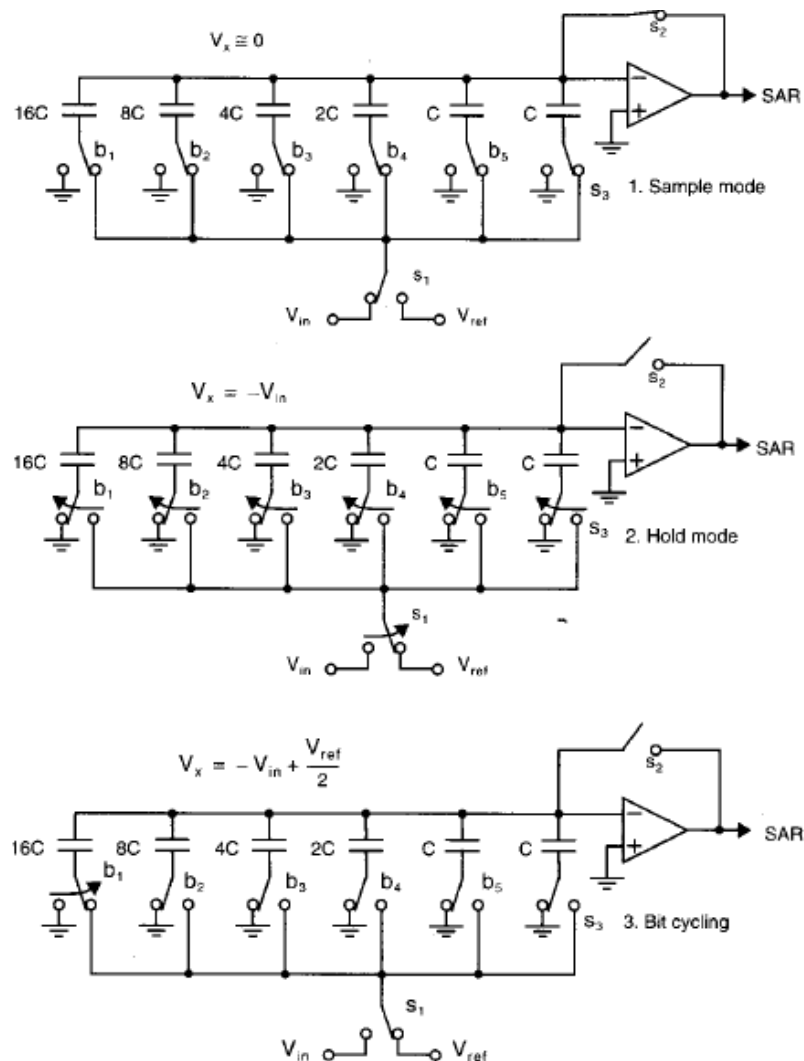


Figura 2.15 Esquemático e comportamento do circuito Unipolar Charge-Redistribution D/A.[1]

Este circuito é o conversor D/A propriamente dito e utiliza da técnica de chaveamento de capacitores para obter as tensões de referência V_{ref} de acordo com a iteração do circuito.

Na primeira etapa, chamada Sample Mode, todos os capacitores estão sendo carregados com a tensão de entrada e existe um curto circuito virtual na entrada do comparador fazendo com que a tensão seja zero nos capacitores.

Na segunda etapa, chamada Hold mode, todos os capacitores são levados para o terra para que possa apresentar uma tensão de $-V_{in}$ e assim não existe mais o curto-circuito virtual.

Na terceira etapa, chamada Bit Cycling, é a etapa onde ocorre o chaveamento dos capacitores com o objetivo de obter as tensões $V_{ref}/2^i$, onde i é o número de iterações. Por exemplo, quando chavea-se o primeiro capacitor a tensão de referência é alterada para $V_{ref}/2$ para subtrair da tensão de entrada e comparar para o registrador de aproximações sucessivas possa saber se esta aproximação é maior ou menor do que zero.

Assim o conversor A/D SAR faz as aproximações para um dado sinal de entrada. O problema é que o tempo de conversão vai de acordo com o número de bits. Por exemplo, um conversor A/D de 10 bits necessita de um tempo de conversão 10 vezes mais rápido que o tempo do sinal de entrada para que possa acompanhar este sinal.

Como exemplo, podemos considerar um conversor A/D de aproximações sucessivas de 4 bits com resolução de 1 V e $V_a = 10,4$ V. A lógica de controle observada na Fig. (2.17), limpa todos os bits no registrador (0000). Com isso, $V_{ax} = 0$ e então a saída do comparador está em ALTO. O bit mais significativo é colocado em 1 pela lógica de controle (1000). Esse código produz $V_{ax} = 8$ V.

Como $V_{ax} < V_a$, então a saída do comparador continua em ALTO. Este nível alto informa para a lógica de controle que o ajuste desse bit (MSB) não fez V_{ax} exceder V_a e portanto esse bit deve ser mantido em 1.

Agora o próximo bit é colocado em 1 (1100). Isso gera $V_{ax} = 12$ V e torna $V_{ax} > V_a$. A saída do comparador vai para BAIXO e isso sinaliza para a lógica de controle que o valor V_{ax} é muito grande e então a lógica de controle coloca esse bit em 0. Assim o conteúdo do registrador volta a 1000 e $V_{ax} = 8$ V.

O próximo bit é colocado em 1 (1010) e V_{ax} vai para 10 V. Então $V_{ax} < V_a$, resultando nível ALTO na saída do comparador, sinalizando para a lógica de controle para manter esse bit em 1.

O último bit é colocado em 1 (1011) gerando $V_{ax} = 11$ V. Como $V_{ax} > V_a$, a lógica de controle coloca esse bit em 0. Nesse instante, todos os bits foram testados

e o resultado está no registrador. Esse conversor gera um equivalente digital igual a 10V, menor que a tensão analógica de entrada.

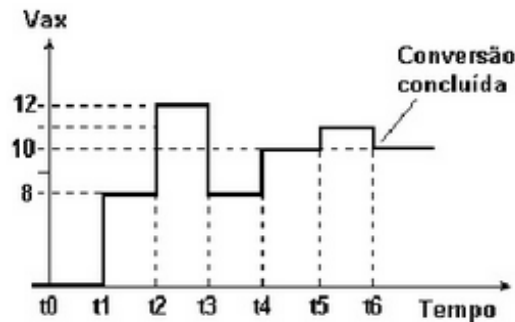


Figura 2.16 Processo de aproximação do Conversor SAR.

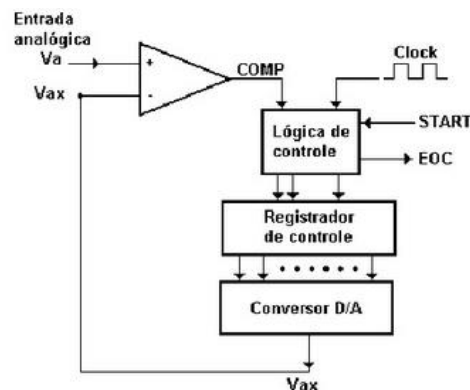


Figura 2.17 Diagrama de Blocos Detalhado.

2.4 CONVERSAR SAR (ETIQUETA RFID) PARA CONTROLE DE TEMPERATURA DE BOLSA DE SANGUE

Será projetado um Conversor A/D com 30 μ s de período de clock que equivale a uma frequência de clock (conversão) de 33,333 kHz. Esta frequência de conversão foi escolhida para caso existam aplicações e dados que necessitam de uma frequência mais alta. O controle da temperatura não exige uma frequência alta de conversão, pois a temperatura não altera bruscamente. Como este circuito faz o monitoramento de temperatura do sangue contido em bolsas para armazenar, a temperatura do sangue não altera com uma frequência muito alta, o que proporciona um bom sincronismo nas frequências do sinal da temperatura e da conversão analógica/digital.

CAPÍTULO 3

MODELAGEM DO CONVERSOR A/D SAR IDEAL

O diagrama de blocos deste conversor A/D foi implementado utilizando o MATLAB para a compreensão do seu funcionamento.

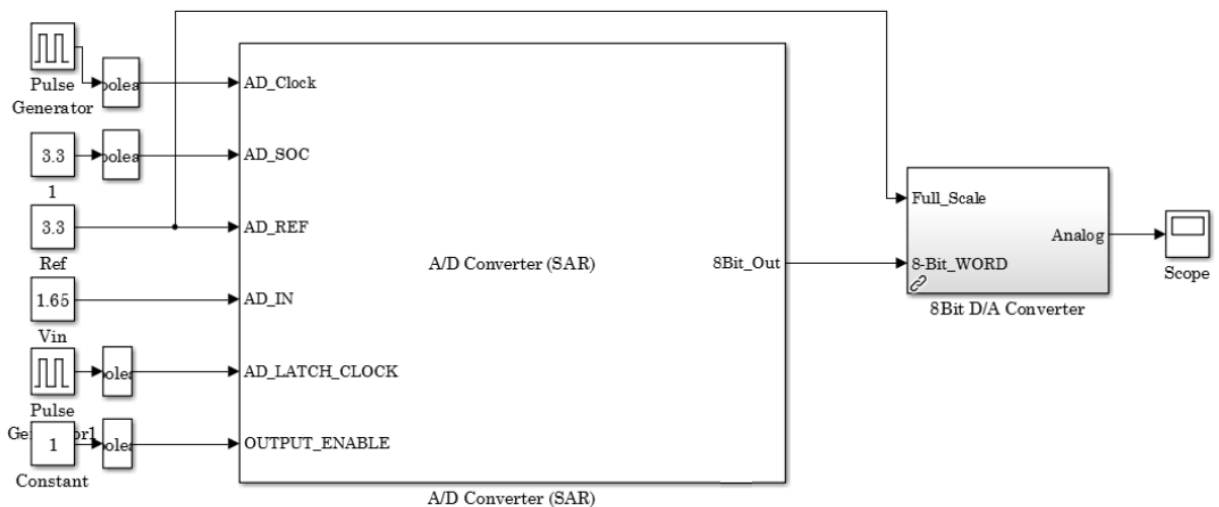


Figura 3.1 Símbolo do Conversor SAR e um conversor D/A.

Na Fig (3.1) é mostrado o diagrama de blocos Conversor A/D SAR implementado no MatLab. Como é possível observar, na saída do conversor A/D existe um conversor D/A. Este DAC é necessário para converter os bits que já foram gerados pelo conversor SAR para um sinal analógico e assim analisar como foi realizado a aproximação do sinal de entrada.

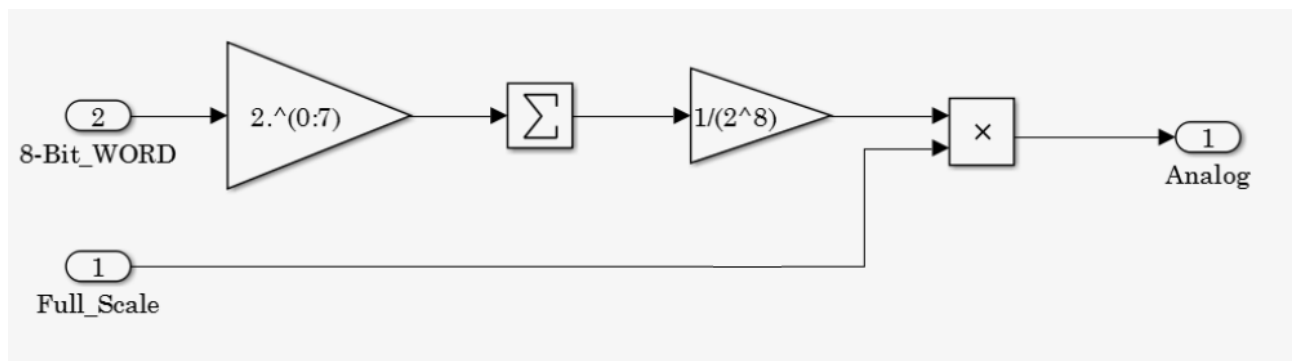


Figura 3.2 Diagrama do Conversor D/A IDEAL.

Na Figura (3.2) está representado o diagrama de blocos do conversor D/A ideal utilizado para converter o sinal digital de saída do conversor SAR em analógico. Para fazer um modelo representativo deste conversor foi necessário um estágio de ganho para converter o número binário em decimal e em seguida somar estes elementos para ser dividido pelo número de níveis do conversor de 8 bits ($2^8 = 255$) e multiplicado pelo valor da tensão de referência. O DAC que foi implementado no simulador Cadence Orcad foi o conversor D/A Charge Redistribution.

Observa-se pela Figura (3.1) o Conversor A/D SAR com uma entrada constante no valor de 1.65 e uma saída analógica aproximando esse valor, como pode ser visto na Fig. (3.6).

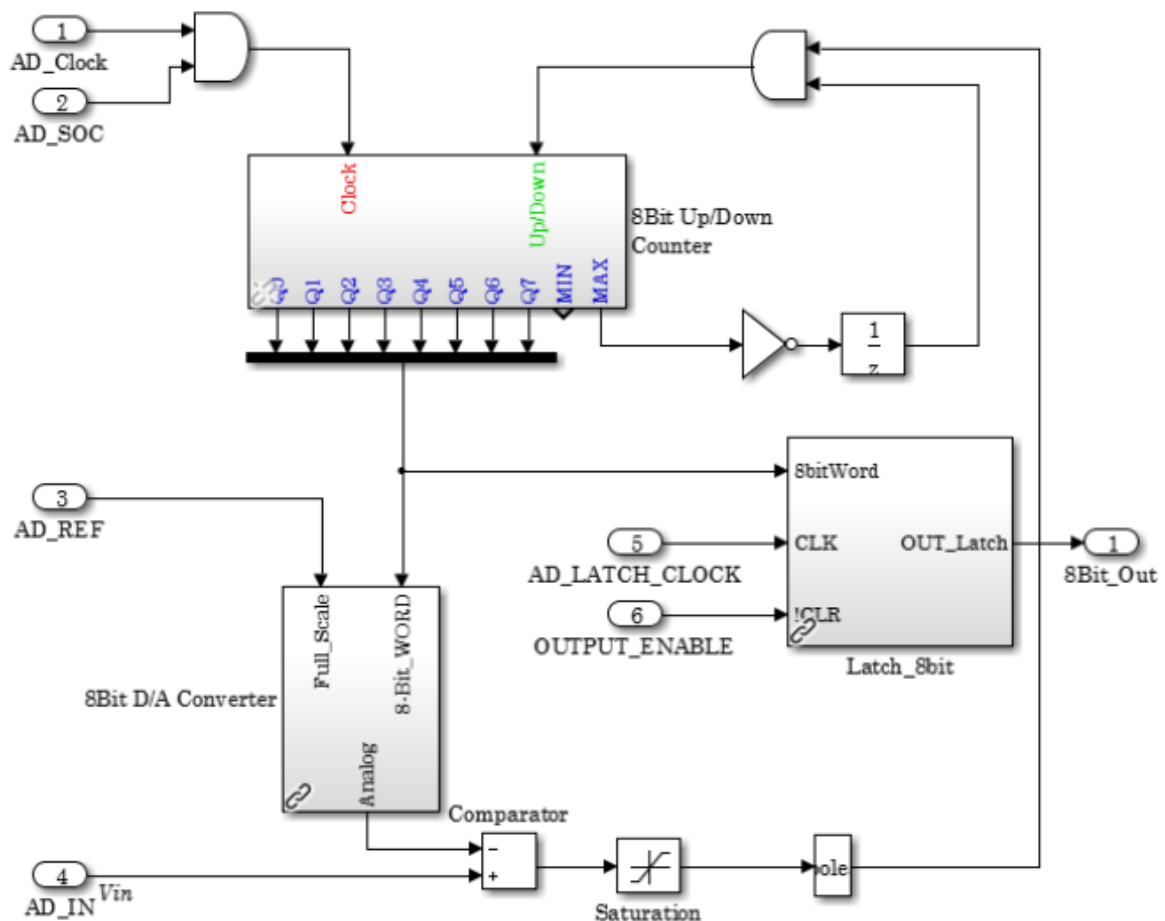


Figura 3.3 Diagrama de Blocos do Conversor SAR detalhado.

Na Figura (3.3), pode-se observar o Conversor SAR de 8 bits detalhado em blocos. Neste diagrama observa-se um contador síncrono *Up/Down* começando com o valor 1 no primeiro registrador, pois primeiramente é necessário fazer a comparação com o valor da média da tensão de referência. Este tipo de contador

pode ser crescente ou decrescente. A entrada *Up/Down* determina se o contador irá aumentar ou diminuir. Por exemplo, um contador *Up/Down* de 3 bits faz a seguinte contagem crescente: 0,1,2,3,4,5,6,7. Já a contagem decrescente é: 7,6,5,4,3,2,1,0. Logo, este contador é ideal e diferente da maneira como foi feito no simulador Orcad. Este contador começa com o estado 10000000 e quando esta saída é convertida no conversor D/A, a tensão que entra no comparador é $V_{ref}/2$. Caso a entrada V_{in} seja maior que a tensão $V_{ref}/2$, o bloco do comparador tem saída 1 lógico que entra na porta lógica AND juntamente com o atraso.

O atraso “1/z” serve para pegar o estado anterior do contador e verificar se é necessário manter o bit 1 ou o bit 0 (contar crescente ou decrescente). Ou seja, como o contador começa com o valor 1, para que a primeira tensão de comparação seja a metade da referência ($V_{ref}/2$), se a tensão de entrada for maior que $V_{ref}/2$ então o segundo registrador também tem saída 1, porém se a tensão de entrada for menor que $V_{ref}/2$ o próximo registrador tem saída 0. Como este conversor A/D SAR foi modelado utilizando um contador crescente/decrescente o atraso 1/z é necessário apenas para manter a saída na tensão de entrada. Caso retire este atraso o contador irá decrescer continuamente. Na Figura (3.4) é mostrado o circuito do contador *Up/Down* implementado no MATLAB:

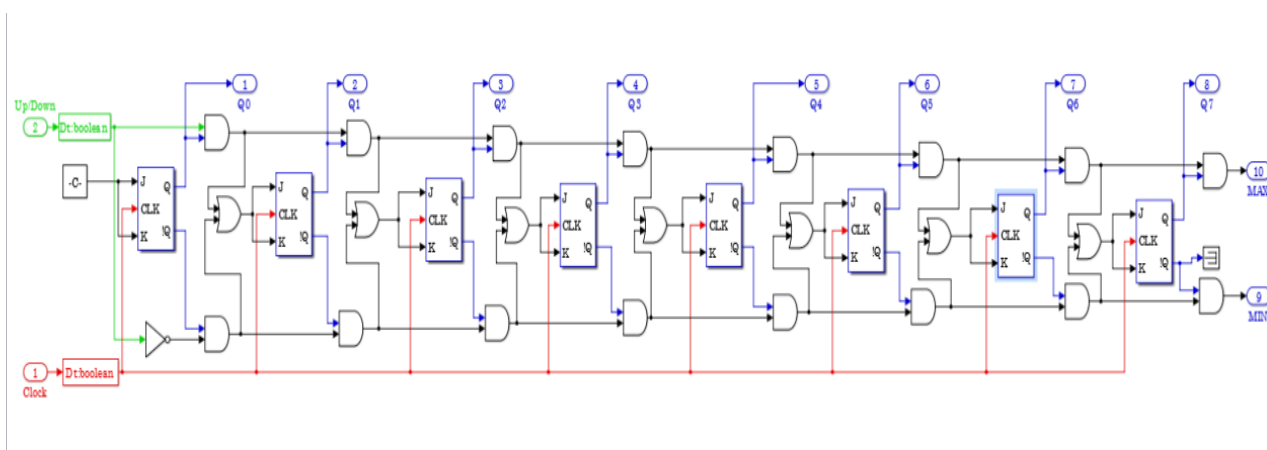


Figura 3.4 Registrador de Deslocamento (Contador) detalhado.

Em seguida, um barramento liga a saída de 8 bits do contador para que possa ser enviado para o conversor D/A converter este sinal em analógico para ser

comparado com a entrada. O comparador verifica se essa tensão de entrada é maior ou menor que a tensão de saída e associa bits “1” ou “0”, respectivamente.

O latch de 8 bits implementado serve apenas para levar a saída de 8 bits para o conversor D/A externo ao conversor SAR para que possa ser analisada a saída analógica e as aproximações realizadas pelo conversor. Na Figura (3.5) o circuito do Latch implementado para receber os 8 bits do registrador de deslocamento.

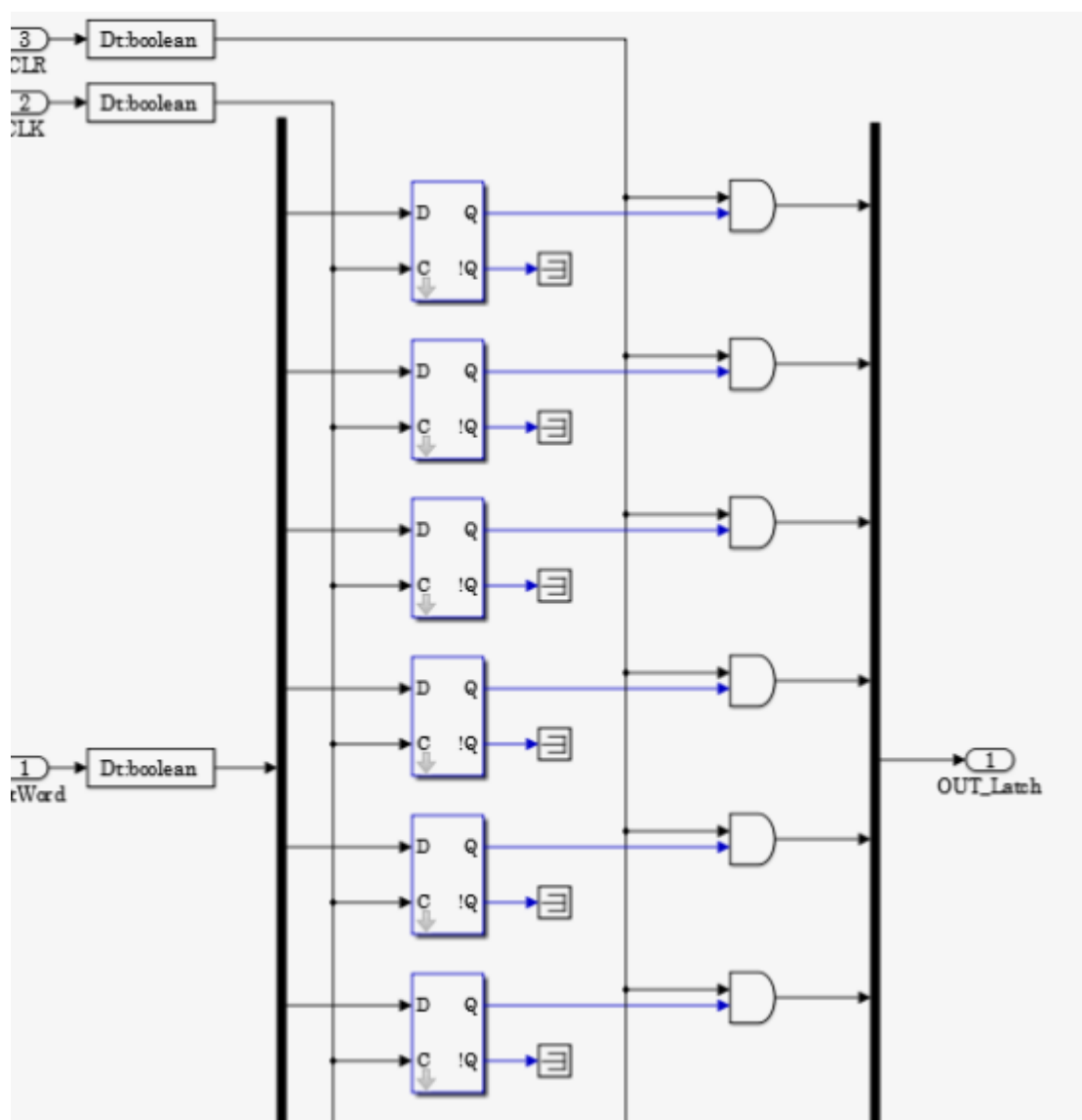


Figura 3.5 Latch 8bits detalhado.

Os blocos comparador e saturation serve para que possa verificar qual sinal é maior se é o sinal de entrada ou o sinal que vem do registrador e possa saturar em ALTO ou BAIXO para enviar novamente ao registrador.

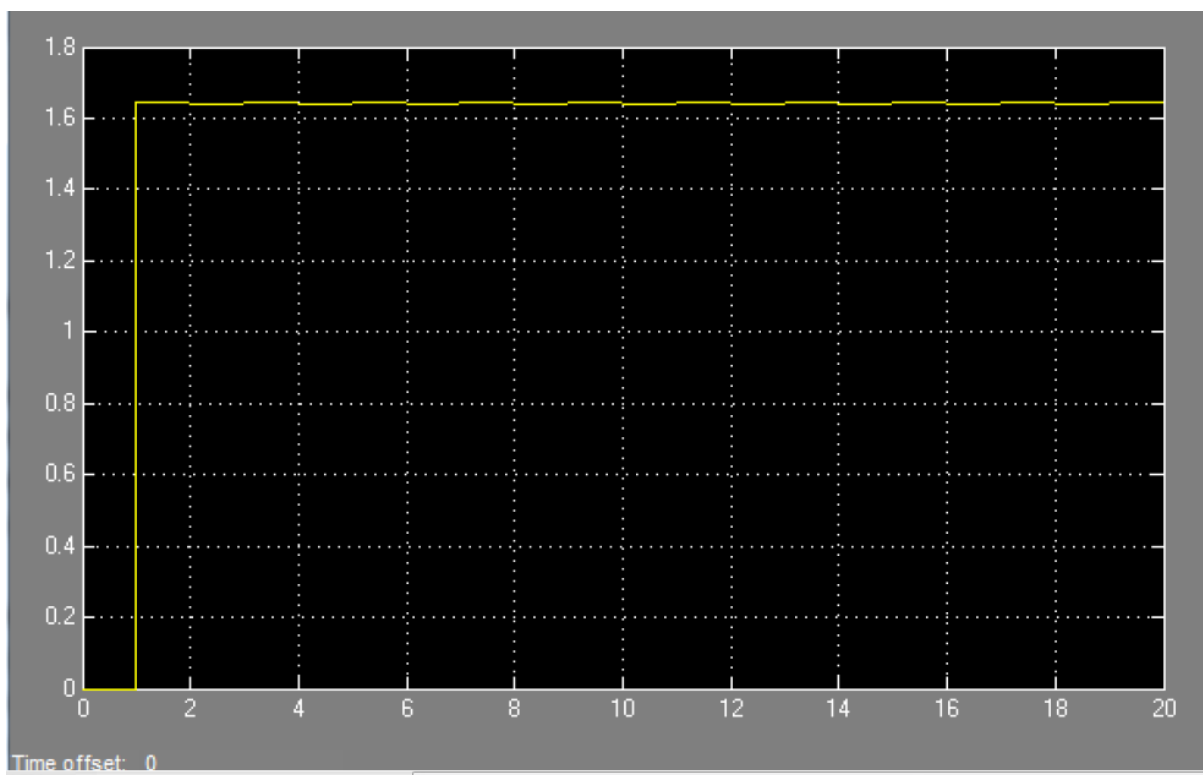


Figura 3.6 Resultado Aproximação MATLAB.

Observa-se pela Fig (3.6) que para uma entrada de 1.65 Volts com a tensão de referência igual a 3.3 Volts a saída do comparador é 1.65 aproximadamente.

CAPÍTULO 4

PROJETO DO CONVERSOR A/D POR APROXIMAÇÃO SUCESSIVA UTILIZANDO O SOFTWARE CADENCE ORCAD

Na Tabela (2) são apresentadas as especificações para o conversor a ser projetado:

Tabela 2. – Especificações.

Especificação	Valor
Alimentação	3.3 V
Frequência de Clock	Sincronizada com a frequência do sinal de entrada
Resolução	12,94 mV
Faixa Dinâmica	0 a 3.3 V
Dif ou Single Ended	Single Ended
Quantidade de Bits	8 bits
Faixa de Temperatura	-30°C a 10°C
Tecnologia	AMS .35 μ m

4.1 SISTEMA COMPLETO IDEAL

Para o desenvolvimento do sistema completo do conversor A/D SAR ideal, implementou-se o ADC utilizando chaves ideais, comparador ideal e a lógica digital foi implementada utilizando flipflops e portas lógicas padronizadas que pertencem a ferramenta de simulação Cadence Orcad. Devido ao nível de complexidade do projeto, foi necessário primeiramente implementar todo o circuito ideal e caracterizá-lo para depois, se possível, substituir os circuitos auxiliares e reais analógicos implementados para analisar o funcionamento do circuito real.

Respeitando a topologia apresentada na figura (2.7), foi implementado um registrador de aproximações sucessivas juntamente com uma lógica de controle proporcionada pelo contador em anel e pelos clocks auxiliares. O conversor D/A é o *array* de Capacitores juntamente com as chaves que são controladas pela lógica

proveniente do bloco do SAR (Sucessive Approximation Register). As Figuras (4.1) e (4.2) mostram o conversor de 8 bits implementado:

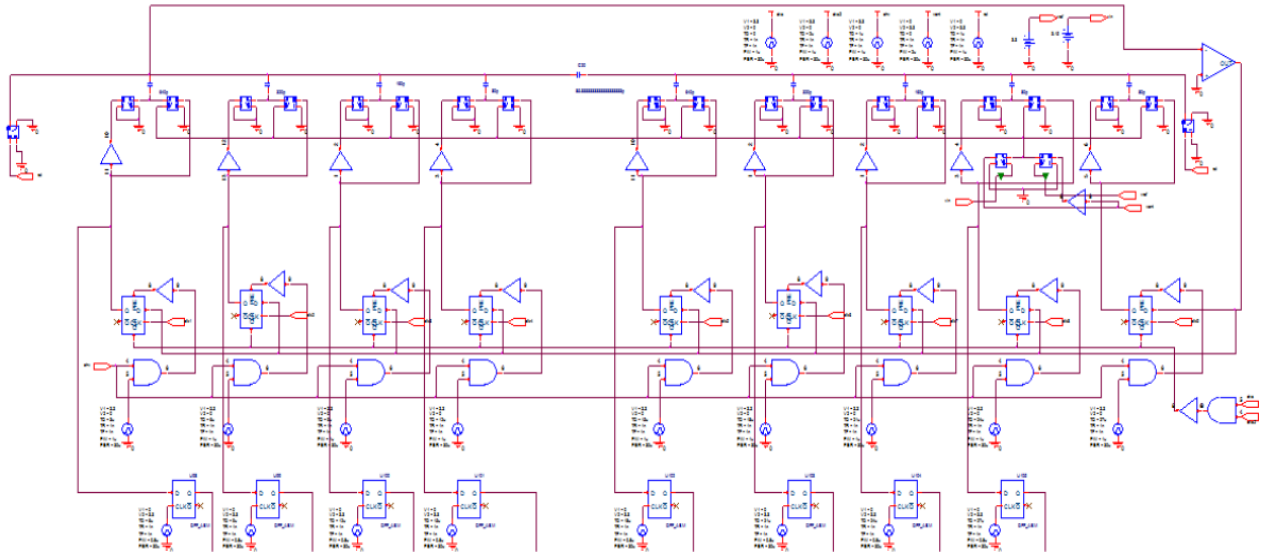


Figura 4.1 Conversor Analógico/Digital (SAR).

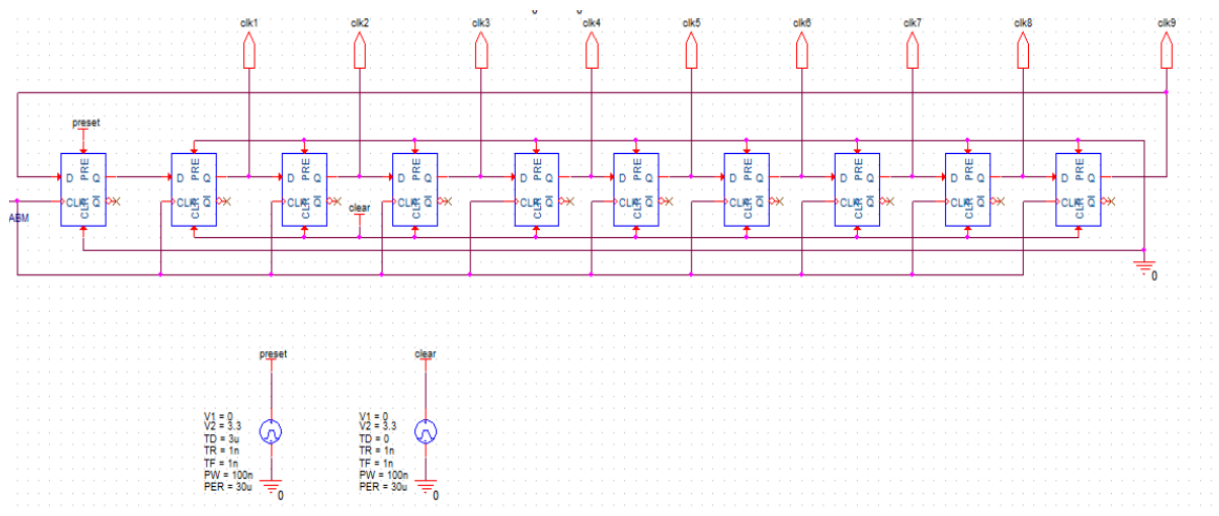


Figura 4.2 Contador em Anel.

4.1.1 Lógica dos Clocks

As lógicas dos clocks foram determinadas conforme a Fig (4.3). Este procedimento foi necessário para inicialização do primeiro ciclo de conversão, sample mode. O ciclo do clock (Pulse Width) ou o tamanho do pulso foi definido no valor de 1 μ s.

dvz: Clock responsável por descarregar os capacitores inicialmente acionando as chaves bi, sendo i números inteiros, quando o nível lógico é zero. Além disso, 2

microsegundos após a carga do capacitor com a tensão de entrada V_{in} disponibilizada pelo sinal V_{ent} , posiciona-se as chaves novamente para o terra para manter V_{in} armazenado.

chv: Sinal que posiciona as chaves para receber o sinal V_{in} ou V_{ref} ou terra. Nesta situação, quando a chave está em nível lógico 1, os presets dos flip flops estão desabilitados, na descida do nível lógico é forçado um nível lógico alto para nesta ocasião ligar as chaves correspondentes ao V_{in} que foi disponibilizado pelo clock V_{ent} e carregar os capacitores, em seguida desativa-se o preset retornando ao nível lógico alto.

RST: O circuito devido ao projeto do comparador analógico foi levemente modificado, ou seja, quando o nível lógico é 1, injeta o zero no barramento da entrada inversora, do contrário retira o zero obedecendo o princípio de funcionamento do conversor analógico digital por aproximações sucessivas. Foi necessário injetar o zero lógico no barramento (curto-circuito virtual), pois realizar a ligação diretamente com a saída do comparador poderia ocorrer descasamento de impedância afetando o funcionamento do conversor.

Vent: Em nível lógico alto, aciona o V_{in} , caso contrário, aciona o V_{ref} .

Os outros clocks que constituem o conversor A/D implementado são para sincronismo e armazenar os valores a cada aproximação. Os clocks foram implementados utilizando o VPULSE da biblioteca Source do software Orcad. Entretanto, os clocks poderiam futuramente ser projetados. O valor de 30 μs foi o valor adotado para o período de conversão do ADC de 8 bits, portanto este valor é variável e é definido pelo projetista.

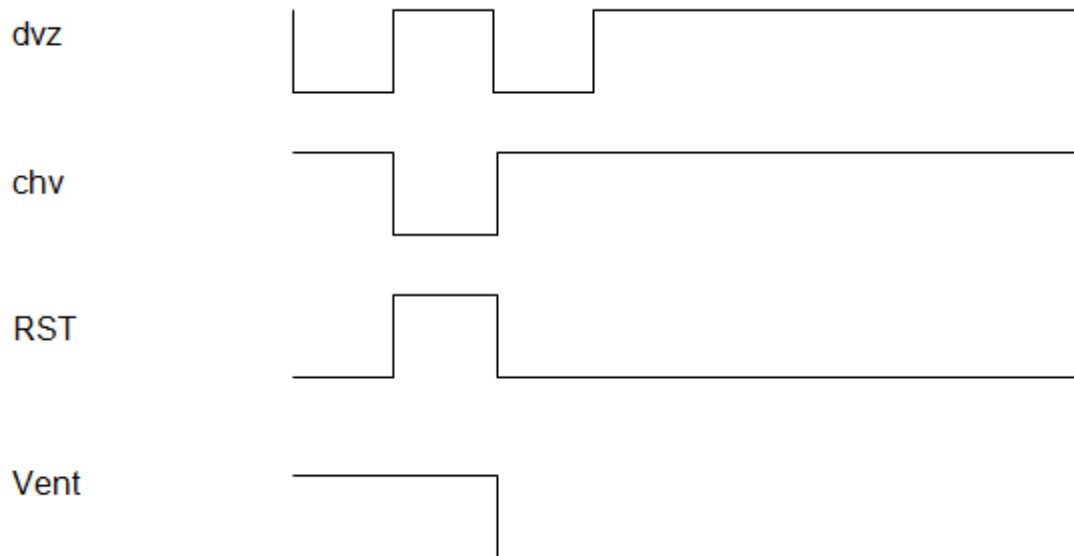


Figura 4.3 Processo de Inicialização do Conversor Analógico Digital (SAR).

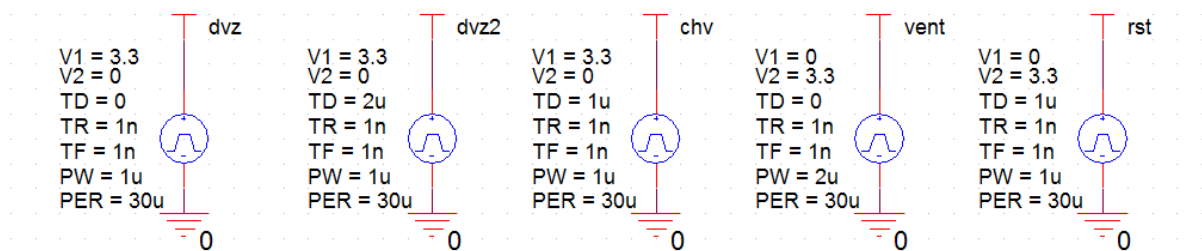


Figura 4.4 Clocks definidos no Orcad.

4.1.2 Conversor D/A Charge Redistribution (Charge Scaling)

O circuito do conversor D/A pertencente do conversor SAR foi implementado utilizando chaves ideais que são responsáveis por chavear as tensões de entrada e de referência do Conversor além de chavear quando necessário o terra (ground). Primeiramente, foi implementado o DAC de 4 bits para depois ser duplicado para 8 bits utilizando uma técnica utilizando o *Scaling Capacitor*. As Figuras (4.5) e (4.6) mostra o DAC Charge Redistribution implementado no Orcad:

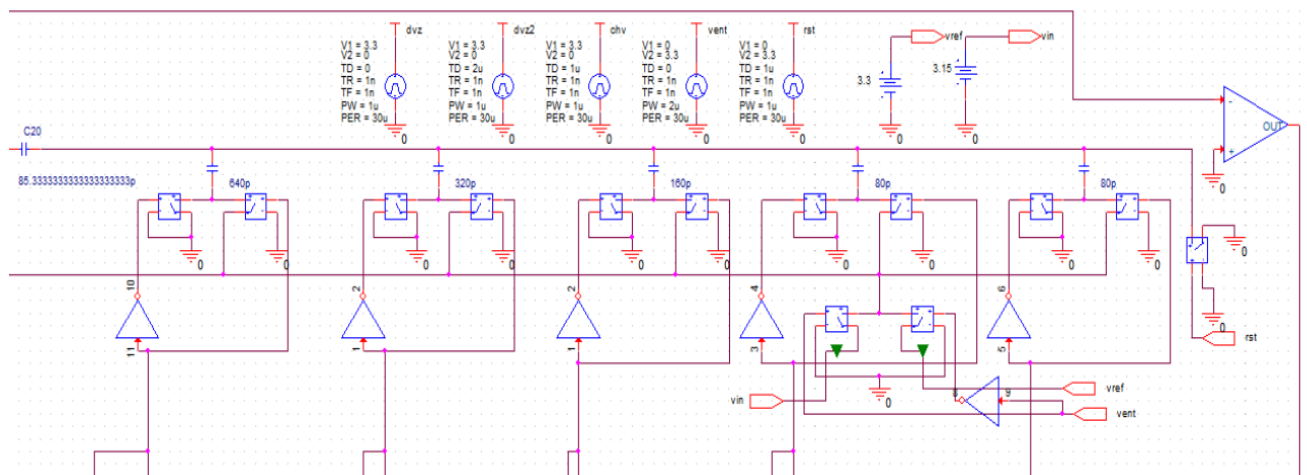


Figura 4.5 Os 4 bits menos significativos do DAC (LSB).

Esta topologia de conversor D/A necessita de um capacitor de terminação apenas para manter a relação na divisão de tensão nos Capacitores. Nos capacitores é carregado as tensões “digitais” e a divisão de tensão nos capacitores permitem que a tensão analógica apareça na entrada do comparador. Por exemplo, para um DAC de 4 bits, se a entrada for “1000” a divisão de tensão nos capacitores permite que os capacitores carreguem uma tensão $V_{ref}/2$ na entrada do comparador. O capacitor de terminação serve para que a divisão de tensão esteja relacionada com a base 2 para que aconteça a conversão do sistema binário para decimal.

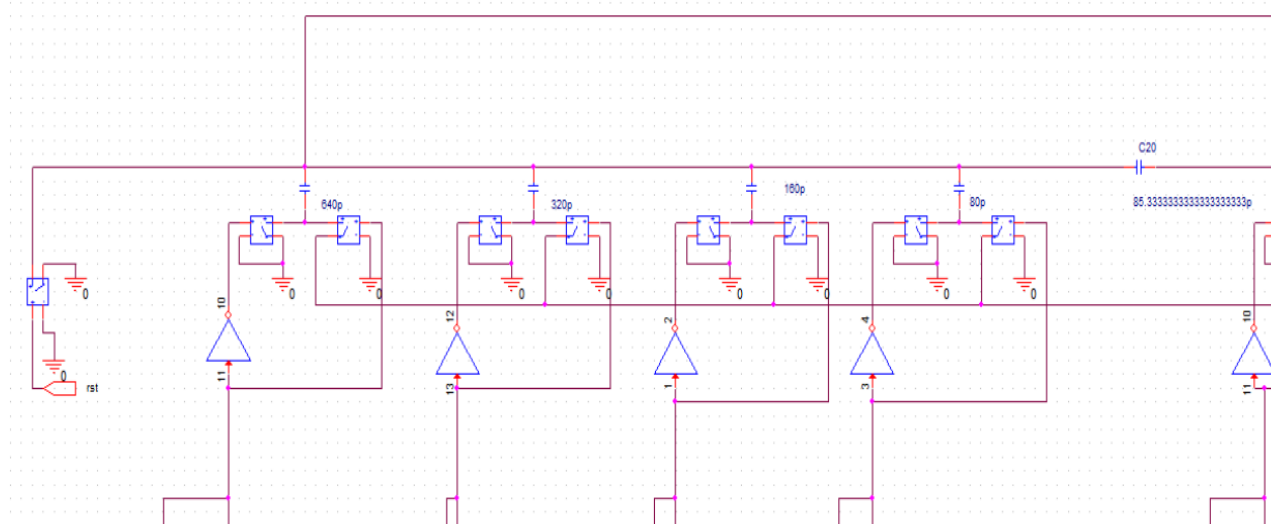


Figura 4.6 Os 4 bits mais significativos do DAC (MSB).

As portas inversoras implementadas no conversor D/A servem para chavear os capacitores entre o terra (ground) e as tensões V_{ref} ou V_{in} dependendo da lógica

digital. A última chave na esquerda pode ser vista na Fig (4.6) serve para forçar o zero na entrada do inversor e nos capacitores, já que este é o primeiro modo da topologia do Conversor SAR, Sample Mode. Esta mesma chave pode ser observada na Fig (4.5), pois é preciso aterrar os capacitores menos significativos também para manter o equilíbrio no momento de carregar os capacitores com as tensões V_{in} e V_{ref} .

A capacitância é dobrada a cada capacitor. Como pode ser visto na Figura (4.5), o capacitor de terminação tem o valor de 80pF e em seguida o primeiro capacitor tem a mesma capacitância do capacitor de terminação. Em seguida, as capacitâncias dobram. Sendo assim, um DAC de 8 bits ou 12 a capacitância aumenta gerando uma diferença alta entre a primeira capacitância e a última. Para evitar essa disparidade de valores, combinou-se dois DACs de 4 bits utilizando um capacitor no meio chamado Scaling Capacitor, C_s .

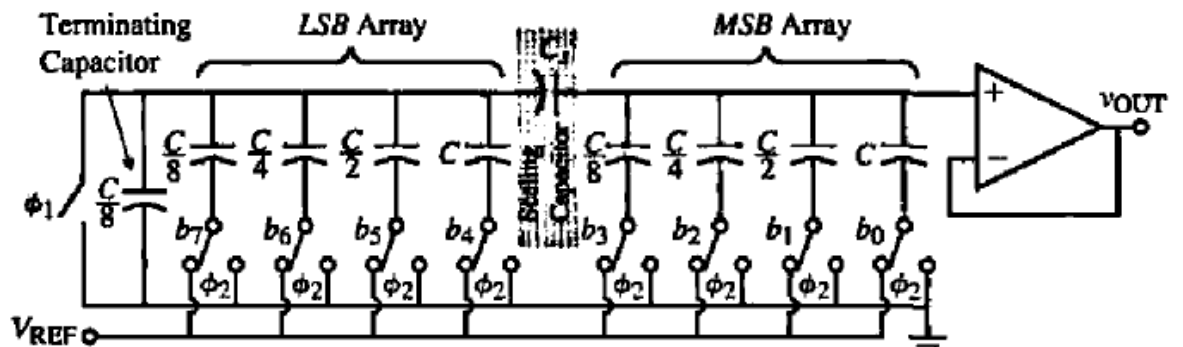


Figura 4.7 Scaling Capacitor para combinação de 2 DACs de 4 bits.[4]

Para encontrar o valor deste capacitor é necessário fazer a análise do circuito da figura (4.7). O array de Capacitores menos significativos (LSB) está em série com o Scaling Capacitores e o valor da capacitância tem que ser $C/8$, onde C é o valor da capacitância de maior valor. Este valor de capacitância é necessário para que o array de Capacitores mais significativos (MSB) possam ter o capacitor de terminação assim como o array menos significativo contém para manter a divisão de tensão na base binária.

$$\frac{C}{8} = \frac{1}{\frac{1}{C_s} + \frac{1}{2C}} \quad \frac{1}{C_s} = \frac{8}{C} - \frac{1}{2C} = \frac{16}{2C} - \frac{1}{2C} = \frac{15}{2C} \quad [4] \quad (3)$$

Sendo assim, o valor do Scaling Capacitor, C_s , deve ser $2C/15$.

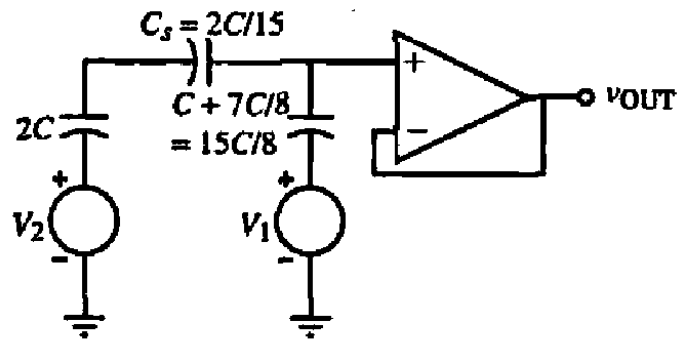


Figura 4.8 O valor das capacitâncias.[4]

Para o capacitor de terminação, definiu-se o valor de 80pF. Em seguida, o array de capacitor com 80pF, 160pF, 320pF e 640pF para os menos significativos. O mesmo foi feito para os mais significativos. Utilizando a Eq (3), o valor do Scaling Capacitor foi de 85,3333pF.

4.1.3 SAR (Sucessive Approximation Register) e Lógica Digital

Após a implementação do DAC, implementou-se registradores com as entradas assíncronas Preset e Clear para que pudesse ser desenvolvida a lógica de chaveamento dos capacitores. As Figuras (4.9) e (4.10) mostram estes registradores implementados:

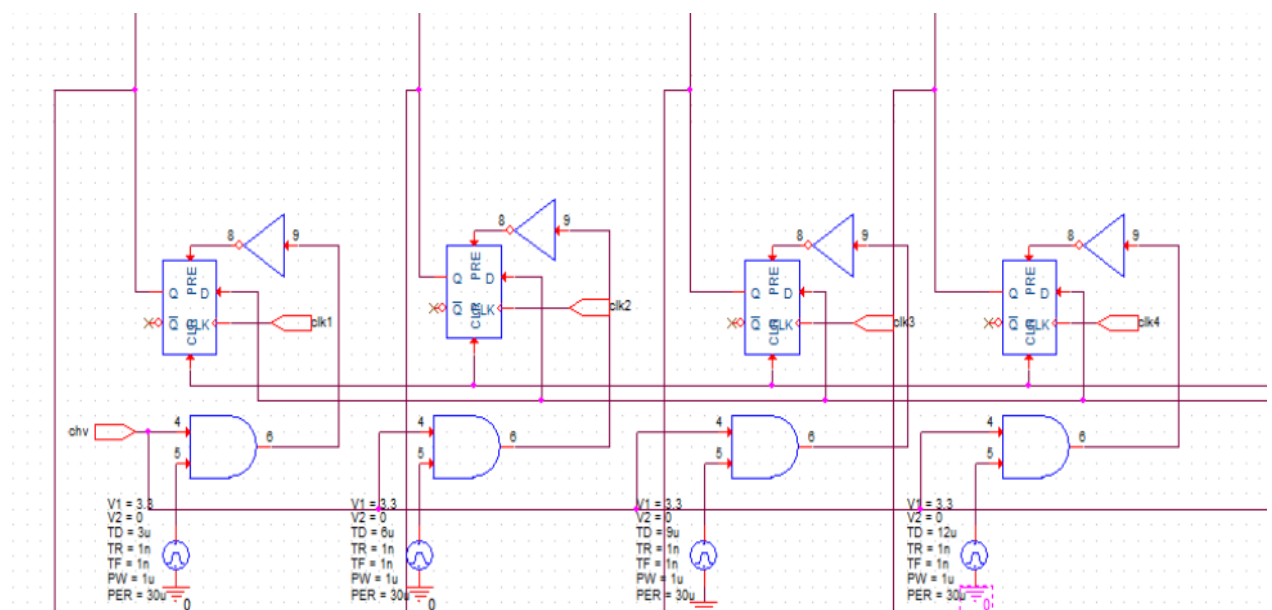


Figura 4.9 Registradores para os capacitores mais significativos (MSB).

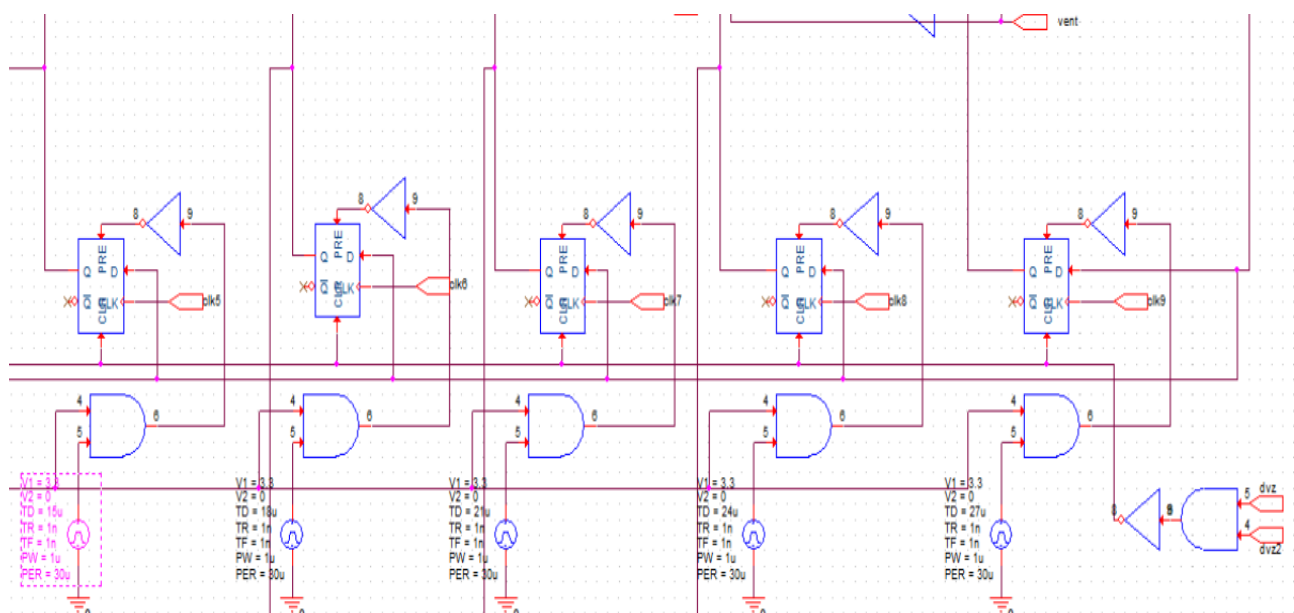


Figura 4.10 Registradores para os capacitores menos significativos (LSB).

Como foi explicado na lógica dos clocks, o sinal **chv** é responsável por acionar os presets dos flip-flops tipo D para que possibilite os capacitores serem carregados com as tensões V_{in} e V_{ref} . Já o sinal **dvz**, representado pelos sinais **dvz** e **dvz2** na entrada da porta AND ilustrada na Fig (4.10), serve para acionar o clear dos flip-flops com a intenção de aterrar todos os capacitores.

As portas AND com o sinal **chv** e os pulsos específicos servem para realizar o terceiro modo do conversor A/D, Bit Cycling. Quando é acionada a primeira, as demais permanecem aterradas, neste momento, a capacitância equivalente aos capacitores aterrados, será igual ao capacitor referente à primeira chave que relaciona o primeiro bit significativo da palavra digital. Nesta ocasião, a tensão presente no terminal da entrada inversora do comparador analógico será igual á ($-V_{in} \pm V_{ref}/2$), conforme a saída os sinais são escolhidos. Esta igualdade só é permitida porque os dois capacitores iniciais têm valores unitários. Seguindo este raciocínio, a cada posicionamento das chaves geram valores de capacitâncias equivalentes que determinam o nível de tensão de entrada do comparador. O pulso começa com um atraso (Delay Time, TD) de $3\mu s$, pois é apenas no terceiro ciclo de conversão que começa o Bit Cycling.

A cada $3\mu s$ a próxima chave é acionada para realizar a aproximação do sinal de entrada, de acordo com o resultado da comparação do ciclo realizado anteriormente. Então, como necessita-se do resultado da comparação do ciclo anterior, é necessário uma memória para gravar este resultado. Isto é possível

devido ao contador em anel representado pelos sinais clk1, clk2, clk3, clk4, clk5, clk6, clk7, clk8 e clk9 visto nas Fig (4.9) e (4.10). Observa-se que estes sinais estão nas entradas dos clocks dos flip-flops. O contador em anel serve para gravar o resultado da comparação. Após acionar a primeira chave e a saída do comparador ser $(-V_{in} \pm V_{ref}/2)$, se o valor encontrado foi maior que zero a saída do comparador é alta, caso contrário é baixa e este valor precisa ser armazenado. Como o primeiro ciclo ocorre em $3\mu s$, o valor é armazenado após $2\mu s$, ou seja, o contador em anel é acionado após $2\mu s$. Espera-se $1\mu s$ para a conversão da palavra digital e mais $1\mu s$ para a resposta do comparador e assim é armazenado o resultado da comparação. Isto ocorre até a oitava e última aproximação que ocorre após $29\mu s$. Para padronizar o período de conversão adotou-se o valor de $30\mu s$.

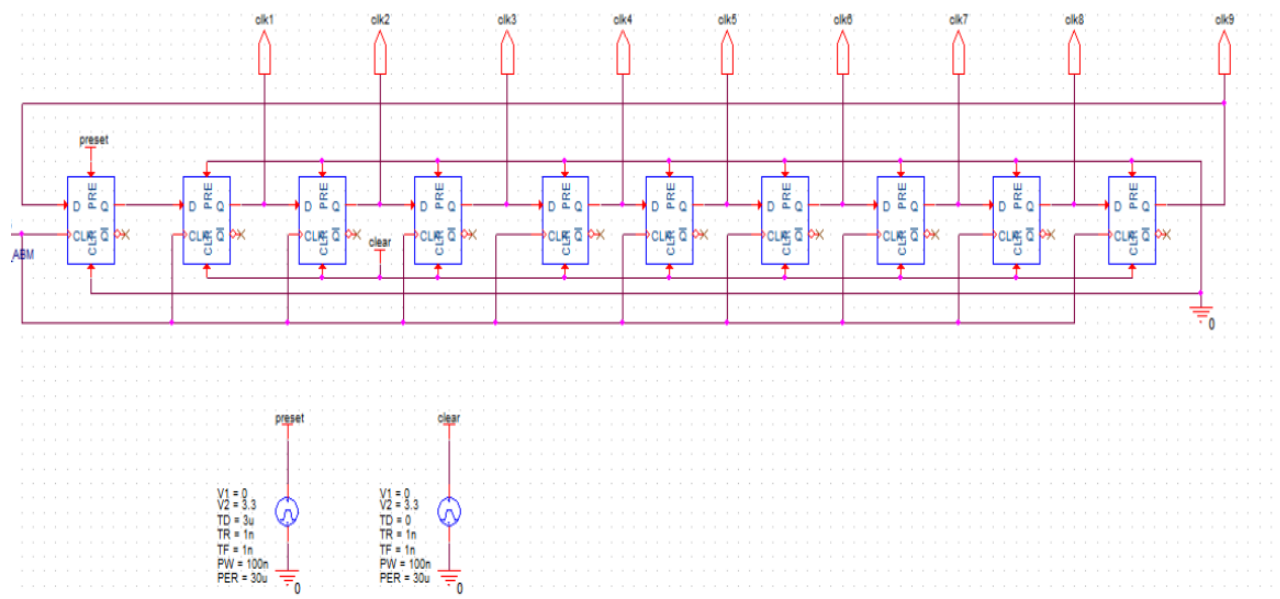


Figura 4.11 Contador em Anel.

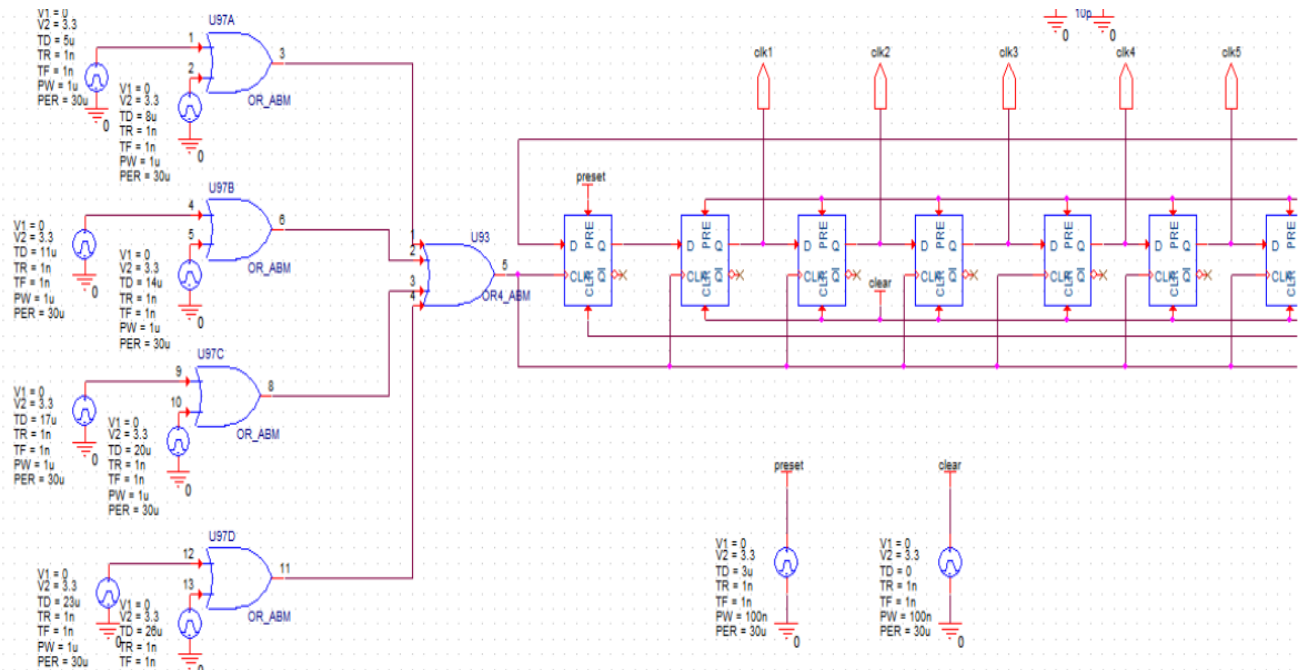


Figura 4.12 Contador em anel com a lógica do clock.

Os clocks digitais do simulador Orcad não interagem com os dispositivos analógicos e as portas lógicas. Então foi necessário implementar um clock manualmente utilizando o sinal VPULSE e portas lógicas OR para que gerasse o clock necessário para o contador. Como o contador precisa de um atraso de 5 μ s, a primeira aproximação ocorre aos 3 μ s e o valor para ser armazenado são 2 μ s após os 3 μ s. Em seguida, a cada 3 μ s um pulso é necessário para contar e armazenar o resultado da comparação.

Todas as portas lógicas e flip-flops foram utilizados da biblioteca chamada DIG_ABM, pois os outros dispositivos só apresentavam respostas digitais e para análise detalhada dos resultados obtidos com a implementação é necessário analisar as respostas analógicas. Pois, apesar de o circuito implementado ser ideal, deseja-se implementar o conversor A/D real utilizando os circuitos analógicos e reais das chaves complementares, comparador e referência de corrente já implementados. Foram definidos os valores para VOH e VOL igual a 3.3 e 0, respectivamente.

Para caracterizar e analisar os resultados da aproximação, utilizou-se outros 8 flip-flops apenas para armazenar as palavras digitais e enviar os resultados para um conversor D/A de 8 bits ideal que tem na biblioteca BREAKOUT do Simulador.

A Figura (4.13) mostra o circuito implementado:

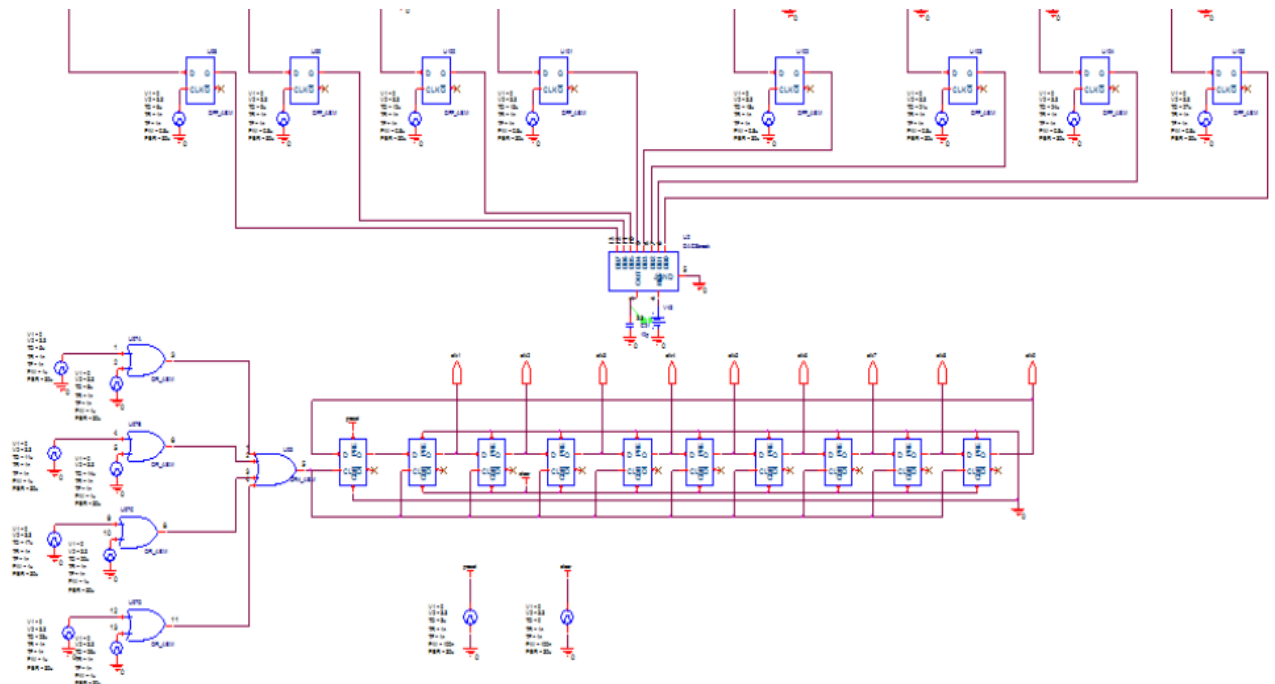


Figura 4.13 Contador em anel com a lógica do clock.

Os pulsos preset e clear foram criados apenas para iniciar o primeiro flip-flop com 1 e os outros com 0 para que este 1 lógico possa ficar alternando em cada flip-flop. O contador em anel apresenta um número reduzido de estados, por exemplo, para um contador em anel de 3 bits este conta na seguinte sequência: 100, 010, 001, 100 e assim por diante. A idéia é alternando o 1 lógico entre os flip-flops.

4.2 CIRCUITOS REAIS E AUXILIARES

Os circuitos reais implementados foram: comparador, chaves complementares e referência de corrente independente da tensão de alimentação.

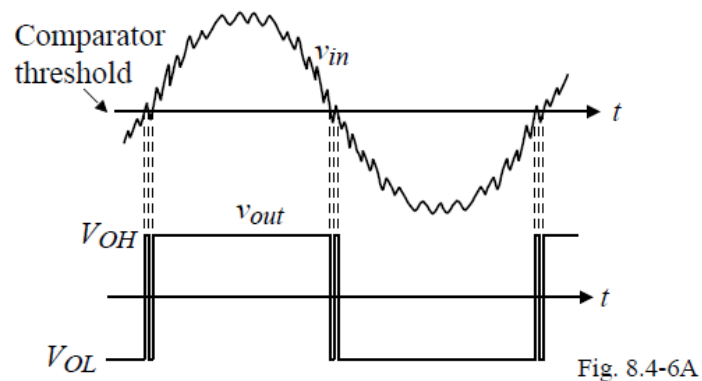
O circuito auxiliar implementado foi a referência de corrente. A idéia é desenvolver esta referência para alimentar o comparador que necessita de uma corrente de polarização para funcionamento. Já o comparador é para substituir o amplificador operacional ideal do circuito e a chave complementar para substituir as chaves ideais contidas no esquemático do conversor A/D.

4.2.1 Comparador Analógico

Comparador é um circuito que compara um sinal analógico com outro sinal analógico ou referência de tensão e após a comparação a saída é binária. Um comparador é um conversor analógico/digital de 1 bit.

O comparador precisa ter um ganho infinito para que possa saturar e obter uma resposta binária, 0 ou 1 e uma alta impedância de entrada. Entretanto, este ganho na realidade não é infinito, o que afeta na resposta de transição de um estado para outro. Outro problema que o comparador enfrenta é o ruído. Como é definido um certo sinal de referência para a comparação, se o outro sinal for maior a saída será 1 ou se for menor será 0. Qualquer pequena variação ou ruído deste sinal pode alterar o estado de saída do comparador. Então, o circuito fica vulnerável em relação ao ruído. Para resolver este problema, implementa-se um comparador com histerese para melhorar a performance do comparador. A Figura (4.14) mostra a resposta de um comparador com histerese e sem histerese:

Comparator without hysteresis:



Comparator with hysteresis:

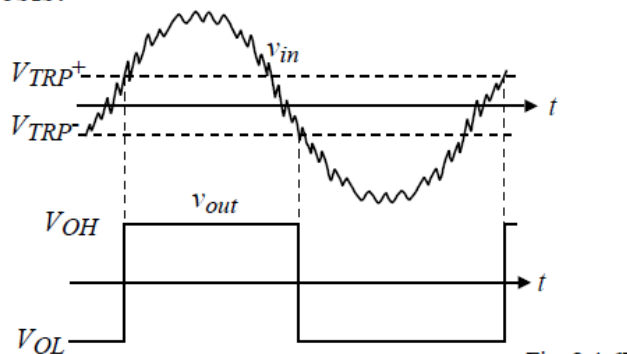


Figura 4.14 Resposta do Comparador sem e com histerese.[4]

A Histerese serve para definir duas tensões V_{TRP+} e V_{TRP-} em relação a tensão de referência. Essas tensões servem para que evite variações com o ruído como pode ser observado na figura (4.15). O V_{TRP} fica em torno de 100mV, onde evita que pequenos ruídos alterem a saída do comparador.

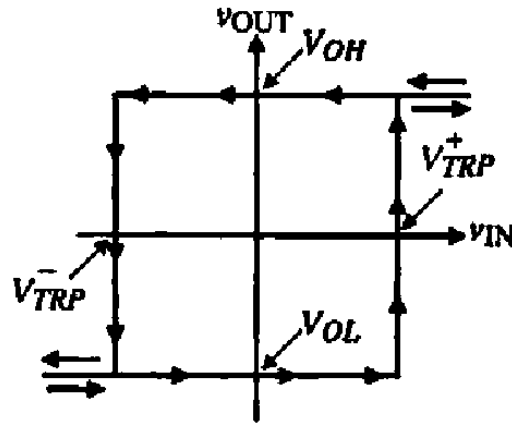


Figura 4.15 Histerese.[4]

Existe duas maneiras de implementar a histerese em um comparador: Externamente e Internamente. Para este projeto implementou-se a histerese internamente, utilizando a topologia apresentada na figura (4.16):

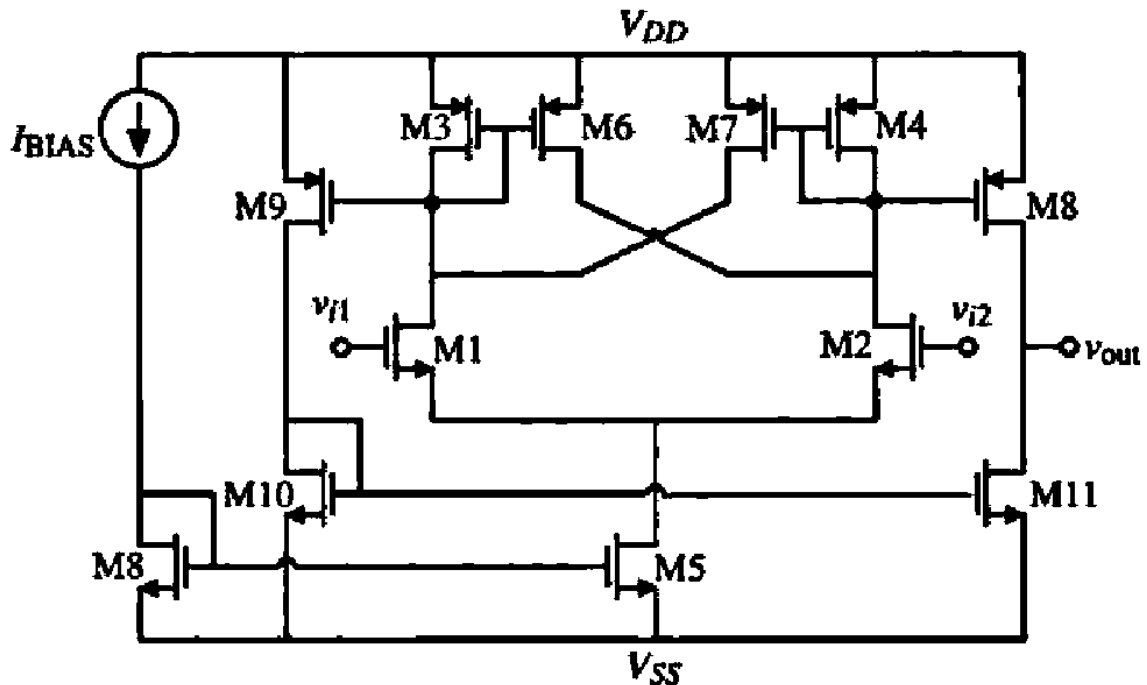


Figura 4.16 Comparador com Histerese Interna.[4]

Suponha que a tensão de entrada do transistor M1 esteja aterrada e a tensão de entrada esteja um pouco abaixo de zero. Então o transistor M1 está ligado e o transistor M2 está cortado e em seguida, M1 liga também os transistores M3 e M6

(espelho de corrente) e desliga os transistores M4 e M7. A corrente I_5 flui toda pelo transistor M1 e M3 colocando a tensão de entrada V_{i2} em V_{DD} .

$$i_6 = \frac{(W/L)_6}{(W/L)_3} i_5 \quad (4)$$

Assim que a tensão V_{in} que está na entrada do transistor M2 incrementa até a tensão V_{TRP} que ainda não é conhecida, uma parte da corrente I_5 começa fluir pelo transistor M2. Isto ocorre que a corrente que flui pelo transistor M2 seja igual a corrente que flui por M6. Esta igualdade é necessária para analisar e encontrar em qual valor de tensão crítica (trip point voltage) precisa estar para que defina a histerese.

$$i_6 = \frac{(W/L)_6}{(W/L)_3} i_3 \quad (5)$$

$$i_2 = i_6 \quad (6)$$

$$i_3 = i_2 + i_1 \quad (i_1 = i_3) \quad (7)$$

$$i_3 = \frac{i_5}{1 + [(W/L)_6/(W/L)_3]} = i_1 \quad (8)$$

$$i_2 = i_5 - i_1 \quad (9)$$

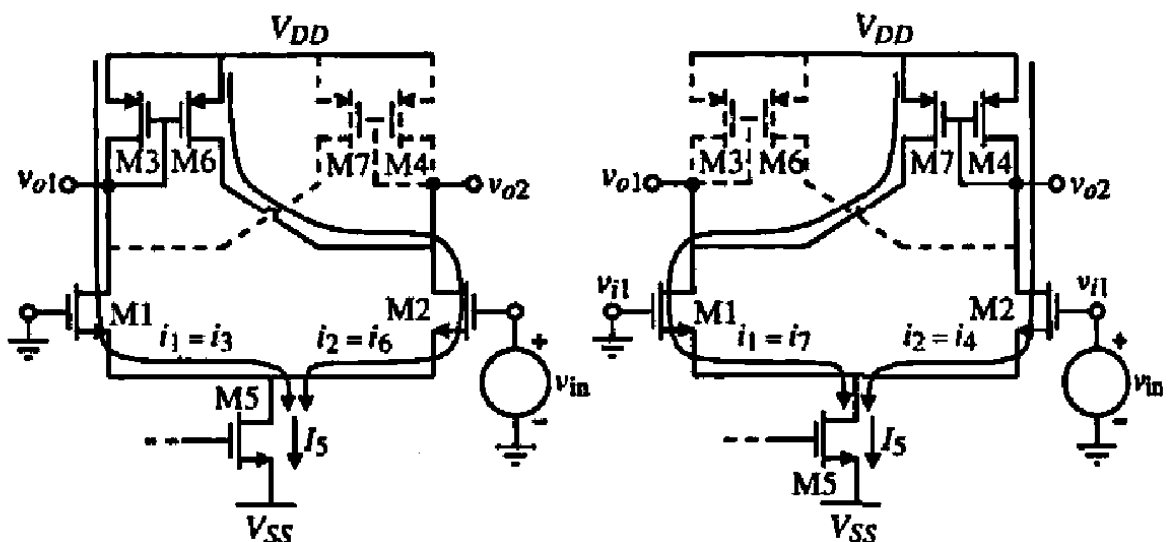


Figura 4.17 Funcionamento da histerese interna. [4]

Conhecendo a corrente que flui pelos transistores M1 e M2, é fácil calcular as tensões V_{gs} dos respectivos transistores. Desde que a porta do transistor M1 esteja

aterrada, a diferença das tensões V_{GS1} e V_{GS2} é a tensão VTRP (Trip Point Voltage) positiva do comparador com histerese.

$$v_{GS1} = \left(\frac{2i_1}{\beta_1} \right)^{1/2} + V_{T1} \quad (10)$$

$$v_{GS2} = \left(\frac{2i_2}{\beta_2} \right)^{1/2} + V_{T2} \quad (11)$$

$$V_{TRP}^+ = v_{GS2} - v_{GS1} \quad (12)$$

Assim que a tensão VTRP+ é encontrada e chega ao seu valor, o comparador altera o estado e a maioria da corrente I_5 começa a fluir pelos transistores M2 e M4. Como resultado disso, o transistor M7 liga e os transistores M3, M6 e M1 desligam. O mesmo procedimento ocorre, entretanto a idéia é encontrar a tensão VTRP negativa.

$$i_7 = \frac{(W/L)_7}{(W/L)_4} i_4 \quad (13)$$

$$i_1 = i_7 \quad (14)$$

$$i_3 = i_2 + i_1 \quad (15)$$

$$i_4 = \frac{i_5}{1 + [(W/L)_7/(W/L)_4]} = i_2 \quad (16)$$

$$i_1 = i_3 - i_2 \quad (17)$$

$$V_{TRP}^- = v_{GS2} - v_{GS1} \quad (18)$$

O circuito foi implementado no Orcad utilizando corrente de polarização de $20\mu A$ e histerese de aproximadamente 100 mV para cima e para baixo. A histerese é simétrica, pois as relações W/L dos espelhos de corrente são iguais. A Figura (4.18) mostra o comparador implementado no simulador:

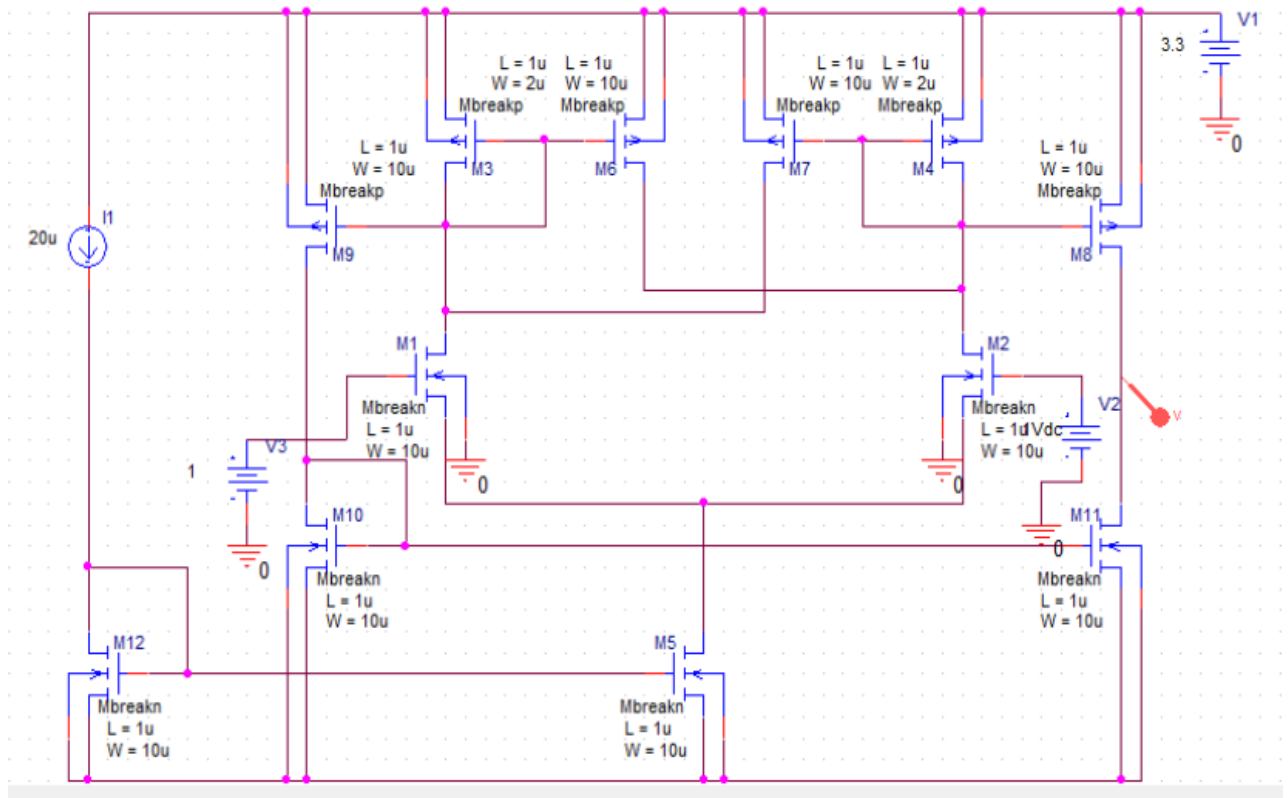


Figura 4.18 Comparador com Histerese com a tecnologia AMS35.

O amplificador cascode na saída serve para aumentar a impedância de saída e consequentemente aumentar o ganho final do amplificador.

4.2.2 Chave Complementar

Para substituir as chaves ideais utilizadas no esquemático do conversor A/D, implementou-se a chave complementar mostrada na Fig (4.19):

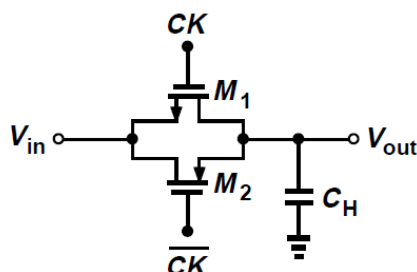


Figura 4.19 Chave Complementar.[6]

Esta chave complementar utiliza um par de transistores complementares conectados em paralelo. Atua como uma excelente chave, com possibilidade de

fluxo de corrente bidirecional e exibindo uma resistência que é quase constante para uma larga faixa de tensões de entrada. Essas características fazem da porta de transmissão CMOS não apenas uma excelente chave para aplicações digitais, mas também uma excelente chave analógica para aplicações como conversores de dados.[5]

A idéia desta chave é conduzir toda a tensão na entrada e carregar no capacitor, CH. Se a tensão de entrada for Vdd positivo o transistor N entra em saturação e carrega o capacitor. Quando se inverte as tensões nas portas dos transistores, o transistor P que passa a conduzir e então o carregamento do capacitor ocorre devido as duas correntes que fluem pelos dois transistores. Então a idéia é manter a tensão fornecida pela entrada no capacitor.

Esta chave foi implementada utilizando o Orcad e na Fig (4.20) pode ser visto a implementação:

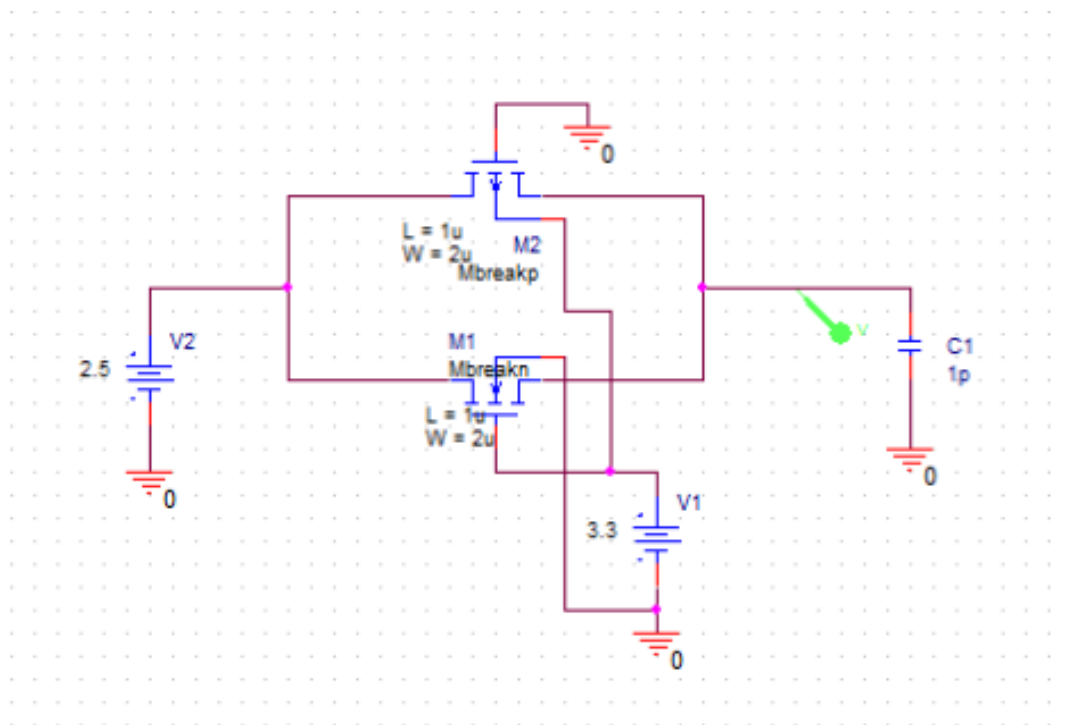


Figura 4.20 Chave Complementar com a tecnologia AMS35.

Após implementar a chave e simular, obtiveram-se diversos glitches e a tensão armazenada não foi realmente a tensão na entrada. Existia uma diferença na tensão armazenada. Estes problemas são causados pela Injeção de Carga e Clock Feedthrough.

Quando o transistor está ligado é formado o canal entre o Dreno e o Source para a passagem de corrente. No momento que o transistor é desligado este

acúmulo de carga responsável por formar o canal precisa ser redistribuído. Uma parte da carga volta para o sinal de entrada. Entretanto, uma pequena parte carrega o capacitor com uma quantidade de tensão que altera o carregamento do capacitor pelo sinal de entrada gerando um pequeno erro de tensão. Quando isso ocorre é chamado de Injeção de carga.

As capacitâncias parasitas entre Porta-Fonte e Porta-Dreno durante a transição do clock e o chaveamento do capacitor alteram a tensão de saída gerando glitches na tensão de saída.

Apesar de a injeção de carga ser reduzida na chave complementar, pois as cargas são iguais e opostas, ainda existe uma pequena injeção de carga que pode ser retirada utilizando o Dummy Switch. Este acréscimo de circuito serve para retirar a pequena injeção de carga no capacitor para o circuito Dummy Switch. O clock Feedthrough já não é reduzido na Chave complementar, pois as capacitâncias parasitas entre Porta-Fonte e Porta-Dreno dos transistores P e N são diferentes. Para reduzir o efeito do clock feedthrough a solução foi aumentar os capacitores do conversor D/A, pois assim estes capacitores compensam as capacitâncias parasitas reduzindo os glitches durante o carregamento.

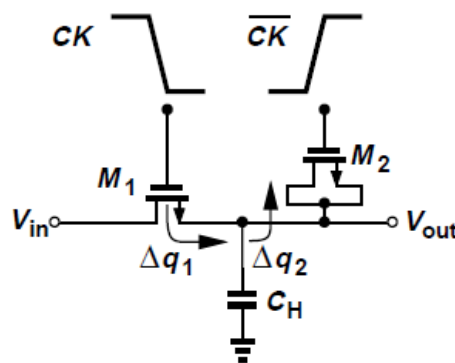


Figura 4.21 Dummy Switch para cancelar Injeção de Carga.[6]

A Figura (4.21) mostra como implementar o dummy switch em uma chave simples. Para a chave complementar, associou-se em série com a chave um par de transistores complementares e paralelos com os terminais de Dreno e Fonte curto-circuitados.

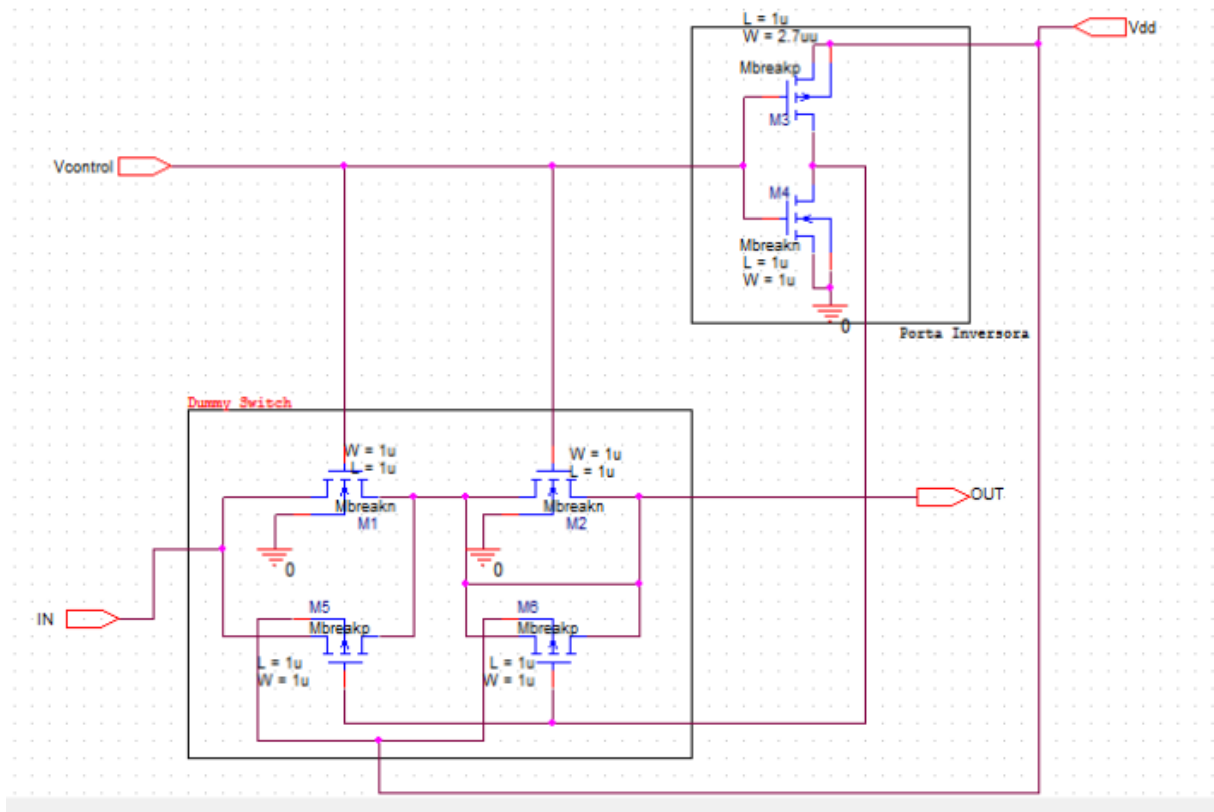


Figura 4.22 Chave Complementar com Dummy Switch para reduzir a Injeção de Carga com a tecnologia AMS35.

No esquemático, observa-se uma porta inversora. Essa porta é necessária já que o sinal que alimenta as bases dos transistores são complementares.

4.2.3 Referência de Corrente

A referência de corrente foi implementada para ser independente da tensão de alimentação. A topologia utilizada para implementação é mostrada na Fig (4.23):

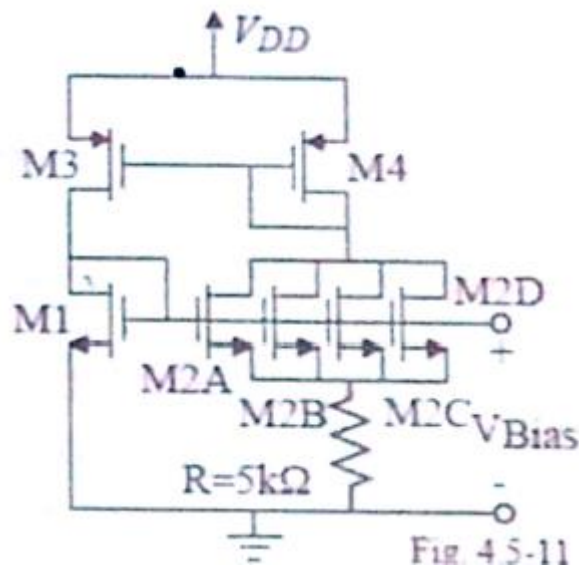


Figura 4.23 Topologia a ser utilizada na Referência de Corrente.[6]

A vantagem desta referência de corrente é a independência da tensão de alimentação e assim não vulnerável a pequenas variações da tensão de alimentação. Isto ocorre, pois o circuito são dois espelhos de corrente que forçam a corrente ser igual e gerada devido a queda de tensão na resistência. Pela lei das tensões de Kirchhoff (LKV), $V_{gs1} + V_{gs2} + V_r$ (Voltagem no Resistor) tem que ser igual a zero. Então, para equilíbrio $V_{gs2} + V_r$ tem que ser igual a V_{gs1} . Assim, V_{gs2} é menor que V_{gs1} e então M2 necessita de uma relação W/L maior que o transistor M1. O aumento da relação W/L reduz o V_{gs} do transistor. Assim, os dois espelhos de corrente forçam o equilíbrio para gerar corrente. Mas para que isso aconteça é necessário um start up no circuito para fornecer uma corrente inicial para que a referência de corrente possa chegar ao valor de corrente solicitado pelo projetista. Na Figura (4.24) mostra a referência de corrente implementada no Orcad e a Fig (4.25) mostra a referência implementada no Virtuoso:

Foi projetado uma referência de corrente de $10\mu\text{A}$. Entretanto, o comparador projetado apresenta uma corrente de referência de $20\mu\text{A}$. Com um espelho de corrente com um transistor com o dobro de relação W/L do outro transistor é possível fornecer os $20\mu\text{A}$ solicitado pelo comparador.

Como pode ser observado na Fig (4.25), para os espelhos de corrente foi utilizado espelho de corrente Wilson para evitar a diferença de tensão causada pelo espelho de corrente básico, onde o transistor Diode Connected apesar de estar em saturação não consegue obter uma tensão Dreno-Fonte de saturação igual ao do outro transistor. Então para evitar a diferença de corrente dos dois lados da referência de corrente foi implementado espelhos de corrente Wilson.

No meio do circuito, observa-se dois transistores Diode Connected em série. Estes transistores são responsáveis por inicializar a referência de corrente com um valor de corrente mínimo para que possa chegar ao valor desejado. Caso a corrente inicial seja zero não existe queda de tensão no resistor e o V_{gs} dos transistores também é zero e nenhuma corrente flui pelo circuito. Para evitar que a tensão inicial alcance os extremos, V_{dd} ou ground, é necessário estes dois transistores para gerar uma queda de tensão e evitar que os transistores estejam na região de corte. O único problema deste StartUp (Inicialização) é que flui uma corrente por ele dividindo a corrente que vai para o resistor desbalanceando o valor das correntes. Então, a solução foi aumentar o comprimento do transistor para aumentar a resistência e assim diminuir o valor da corrente. A relação W/L dos transistores foram de 1/80.

4.3 SISTEMA COMPLETO REAL

Após implementar e simular o circuito ideal do conversor A/D, implementou-se o circuito real. Substituiu-se o comparador analógico, a referência de corrente e a chave complementar no circuito ideal. As duas chaves responsáveis por colocar o zero lógico virtual na entrada do comparador não funcionou durante a simulação. Então, apenas essas duas chaves ideais não foram substituídas. Na figuras (4.26), (4.27) e (4.28) são apresentados o circuito real implementado e os símbolos dos circuitos analógicos constituintes do conversor:

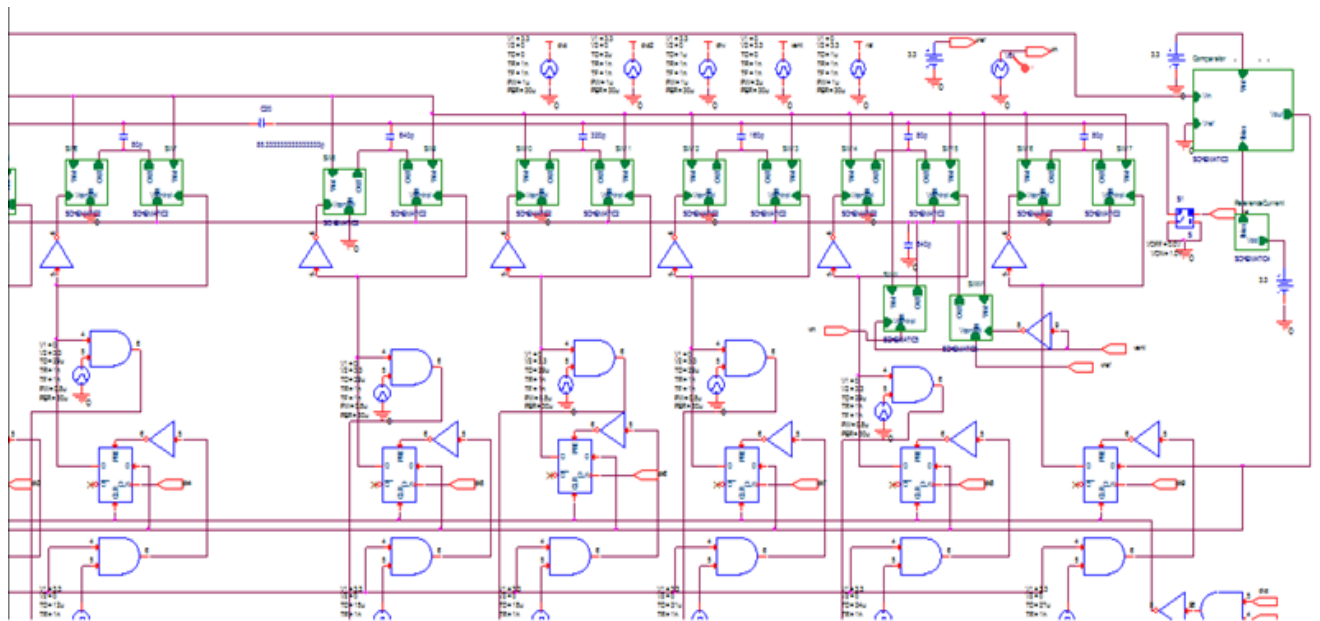


Figura 4.26 Circuito real.

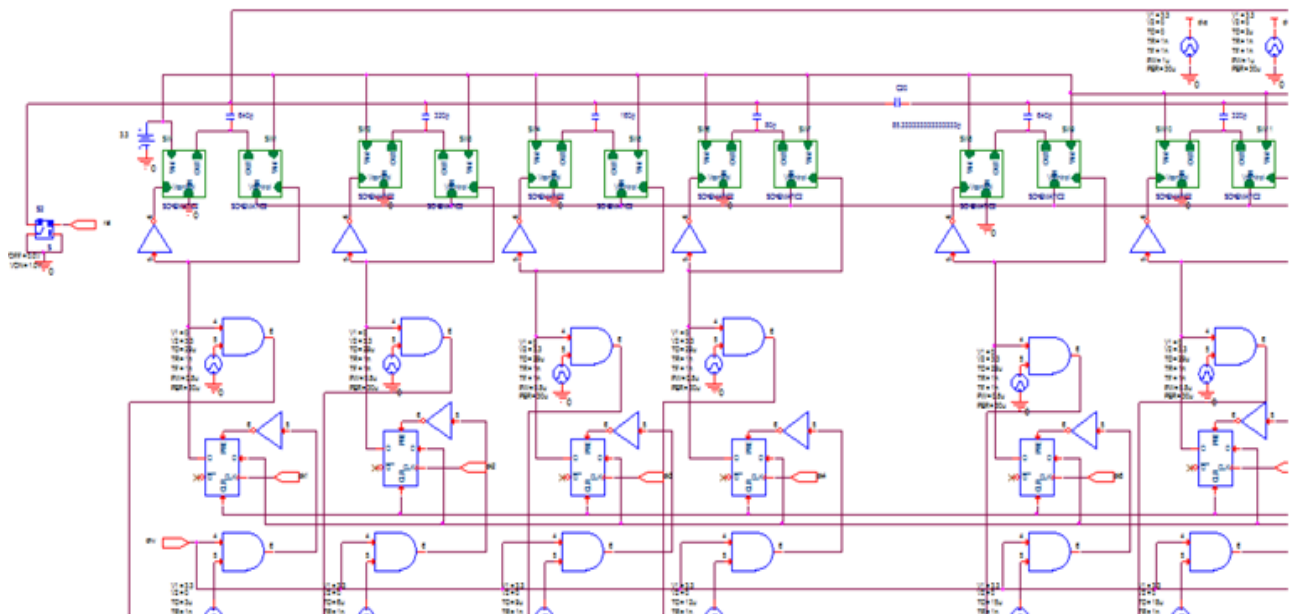


Figura 4.27 Circuito real.

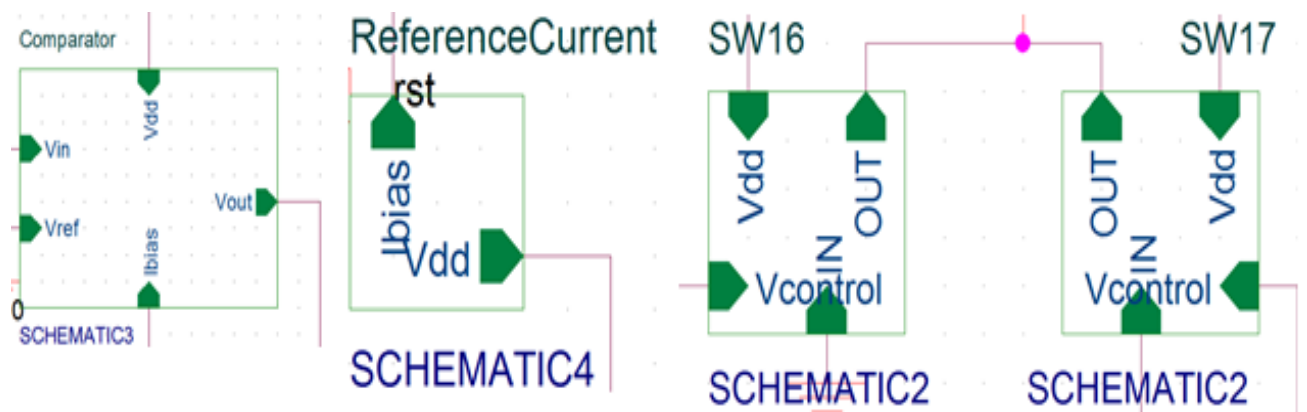


Figura 4.28 Símbolos dos circuitos implementados no Orcad: Comparador, Referência de Corrente e Chave Complementar.

CAPÍTULO 5

RESULTADOS

5.1 CARACTERIZAÇÃO DO CONVERSOR A/D SAR IDEAL

Após o projeto e implementação do conversor A/D ideal no Orcad, simulou-se os 8 pulsos que formam a palavra digital de saída do conversor. O período de conversão completo foi padronizado em $30\mu\text{s}$. Será ilustrado alguns resultados obtidos destes pulsos.

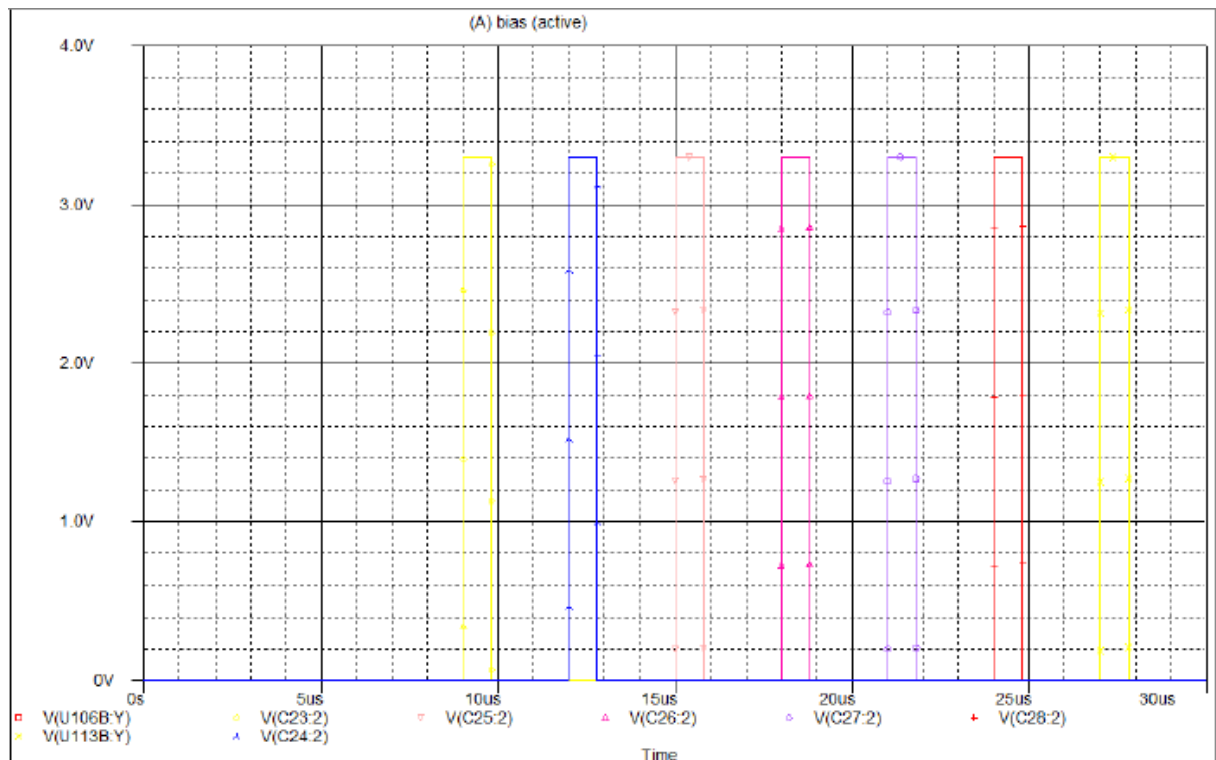


Figura 5.1 Palavra Digital 01111111 para a entrada de $V_{dd}/2$ (1,65 V).

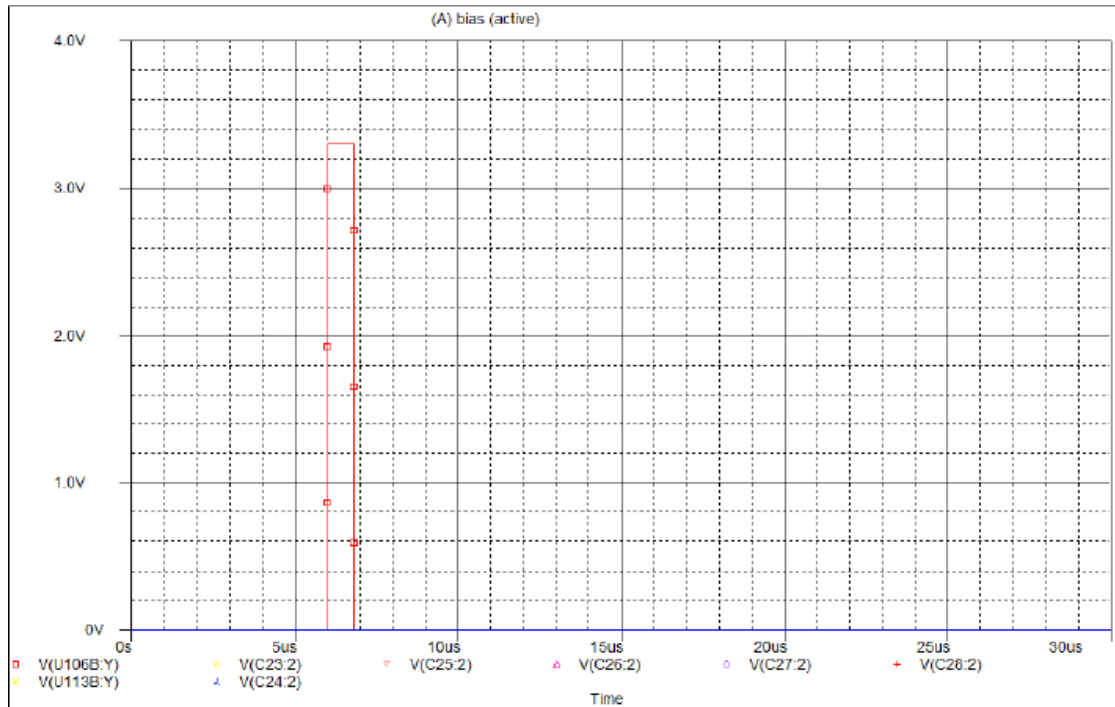


Figura 5.2 Palavra Digital 10000000 para a entrada de 1,66 V.

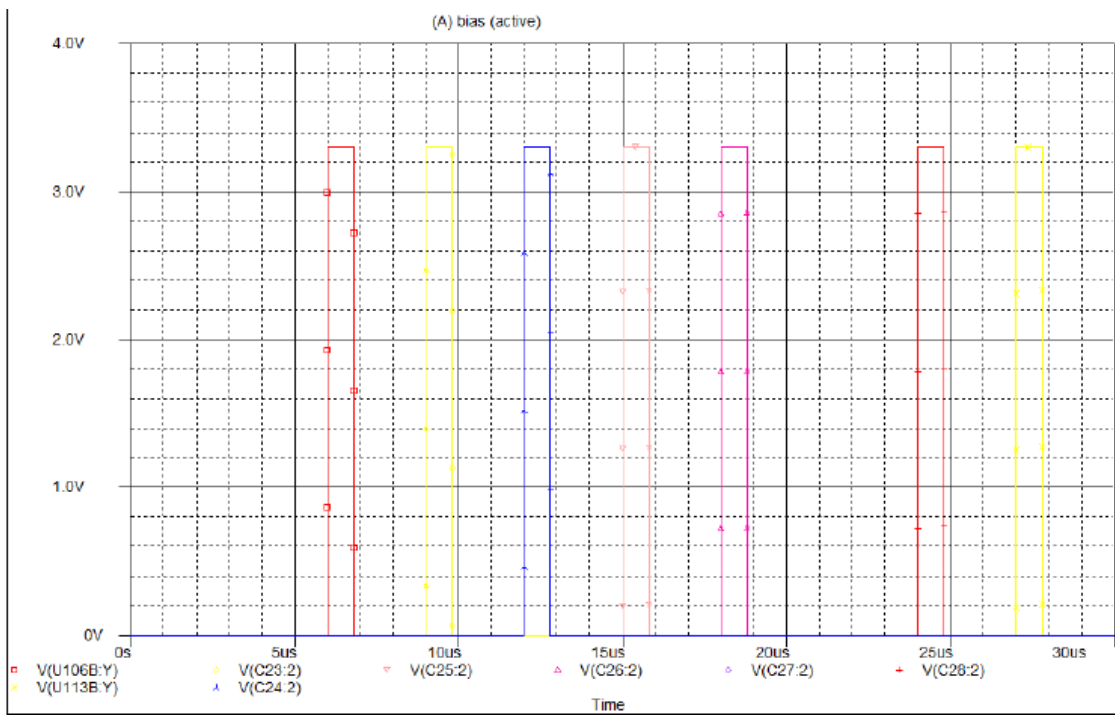


Figura 5.3 Palavra Digital 11111011 para a entrada de 3,25 V.

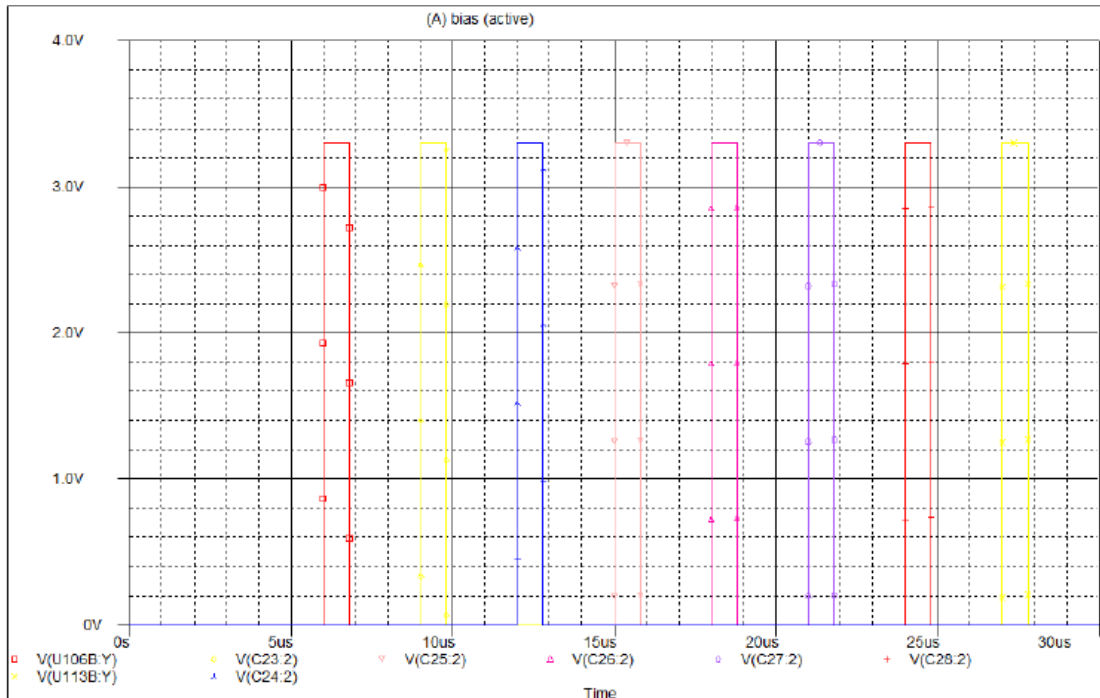


Figura 5.4 Palavra Digital 11111111 para a entrada de 3,3 V.

Pode-se verificar que os valores obtidos para cada tensão constante colocada na entrada do conversor A/D estão próximos dos valores esperados. Por exemplo, para uma tensão constante de entrada igual a 1,65 se esperava a palavra digital “10000000” ou “01111111”. Como esta tensão é exatamente a metade da tensão de referência pode acontecer de ter uma pequena indecisão do comparador e a resposta pode ser uma das duas palavras digitais. Já para uma entrada de 3,3V que é a própria tensão de referência, observa-se que a palavra digital de saída foi o resultado esperado “11111111”. Como a resolução deste conversor é de aproximadamente 12mV, uma pequena variação na tensão altera a palavra digital. Para uma tensão de entrada de 3,25V a palavra digital de saída foi “11111011”. Por conseguinte, os resultados das palavras digitais de acordo com uma tensão constante de entrada foram atingidos. Entretanto, estes resultados não caracterizam o Conversor A/D. É necessário diversos tipos de sinais de entrada para caracterização.

Para caracterizar o Conversor A/D foi necessário utilizar flip-flops para gravar os valores das palavras digitais de saída além de um conversor D/A ideal de 8 bits presente na biblioteca BREAKOUT do Orcad. Sendo assim, as palavras digitais de saída são convertidas em um sinal analógico para análise e caracterização.

5.1.1 Tensão Constante

Com uma tensão de entrada constante, espera-se que após 8 passos de conversão seja realizado a aproximação referente a tensão de entrada. Após aplicar uma tensão constante, simulou-se e a aproximação ocorreu corretamente como o esperado.

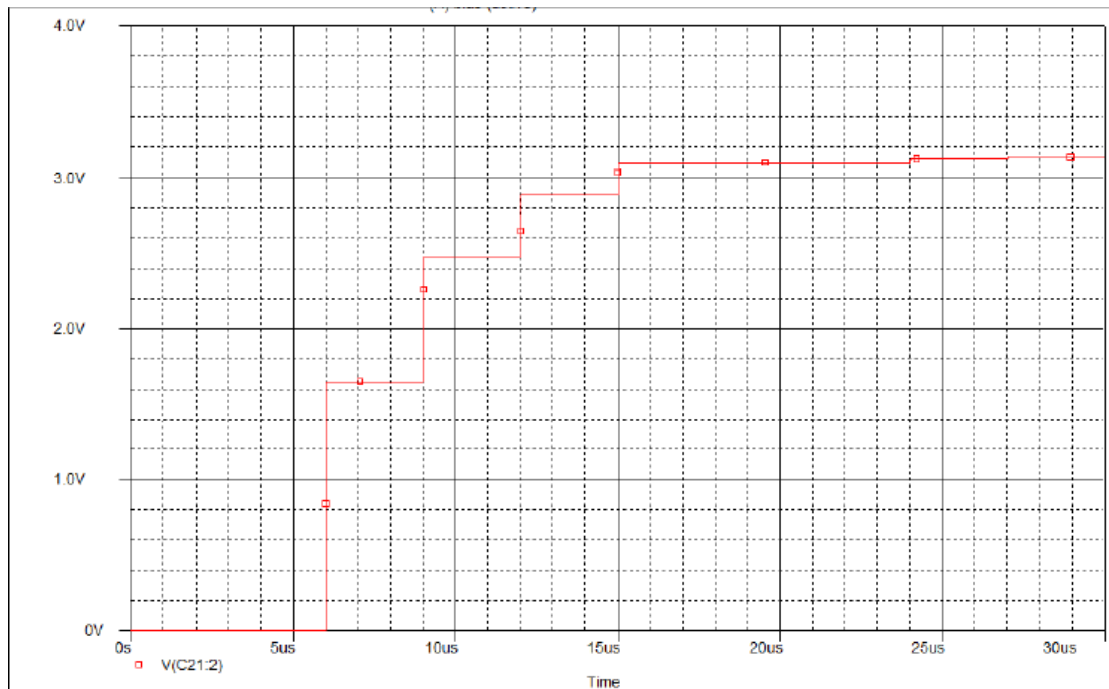


Figura 5.5 Aproximação para um sinal de entrada de 3,15 V.

5.1.2 Rampa

Com uma tensão rampa de entrada lenta, para que o conversor A/D possa “acompanhar”, espera-se que ocorra uma aproximação para esta rampa e forme degraus que acompanha a inclinação da reta ou rampa. Após simular com a rampa na entrada, obteve-se o esperado. Quanto mais lenta a rampa, espera-se que a aproximação seja maior.

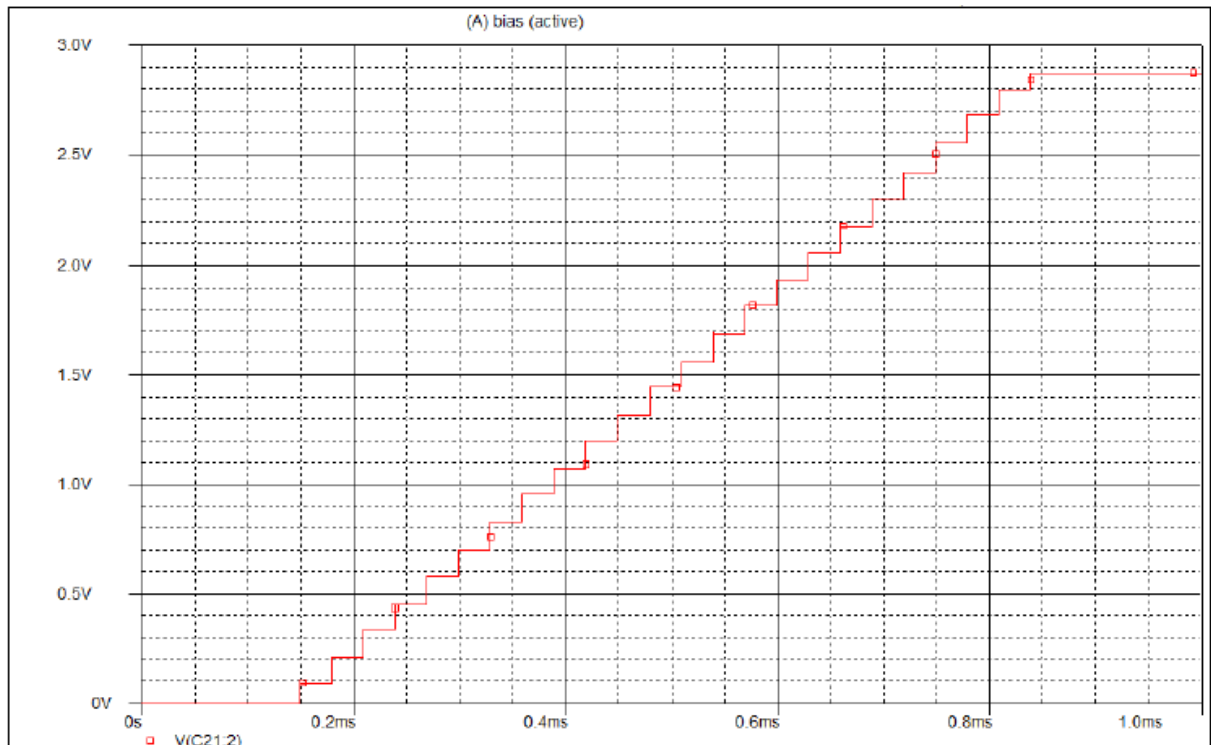


Figura 5.6 Aproximação para uma Tensão Rampa na entrada.

5.1.3 Senóide

O mesmo ocorre para uma senóide, espera-se que a aproximação seja próximo de uma senóide. Como o sinal precisa ser pelo menos 8 vezes mais lento que o conversor A/D, o tempo da senóide tem que ser maior que a conversão e consequentemente a frequência tem que ser menor. A frequência de conversão do conversor implementado é de 33,333 kHz. A frequência da senóide de entrada precisa ser 8 vezes menor e aproximadamente 4,166 kHz. Quanto menor a frequência da senóide a aproximação do conversor é maior.

Simulou-se o ADC com uma senóide de entrada com frequência de 1 kHz, valor DC igual a 1,65 V e amplitude de 1V e obteve a seguinte aproximação:

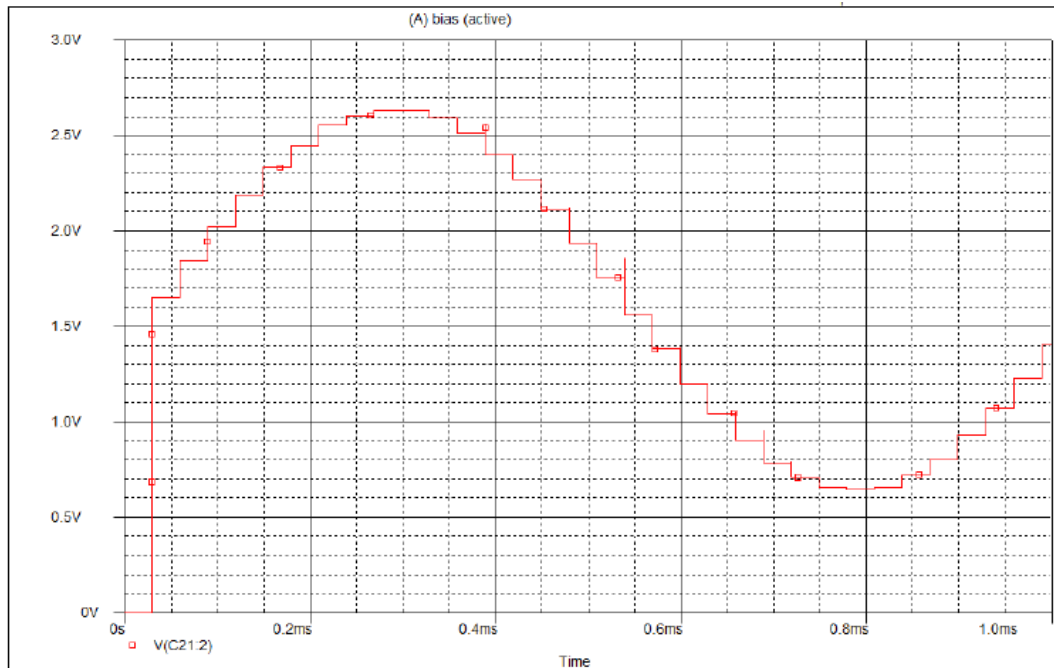


Figura 5.7 Senóide de frequência 1kHz aproximada pelo Conversor.

Alterou-se a frequência para 100 Hz. Reduzir a frequência aumenta o poder de aproximação do Conversor. Simulou-se uma certa quantidade no tempo que possibilitasse a simulação de alguns períodos da senóide para aplicar a FFT (Fast Fourier Transform) e analisar a Faixa Dinâmica Livre de Espúrios e calcular a relação SNR do Conversor para verificar se está próximo do valor teórico.

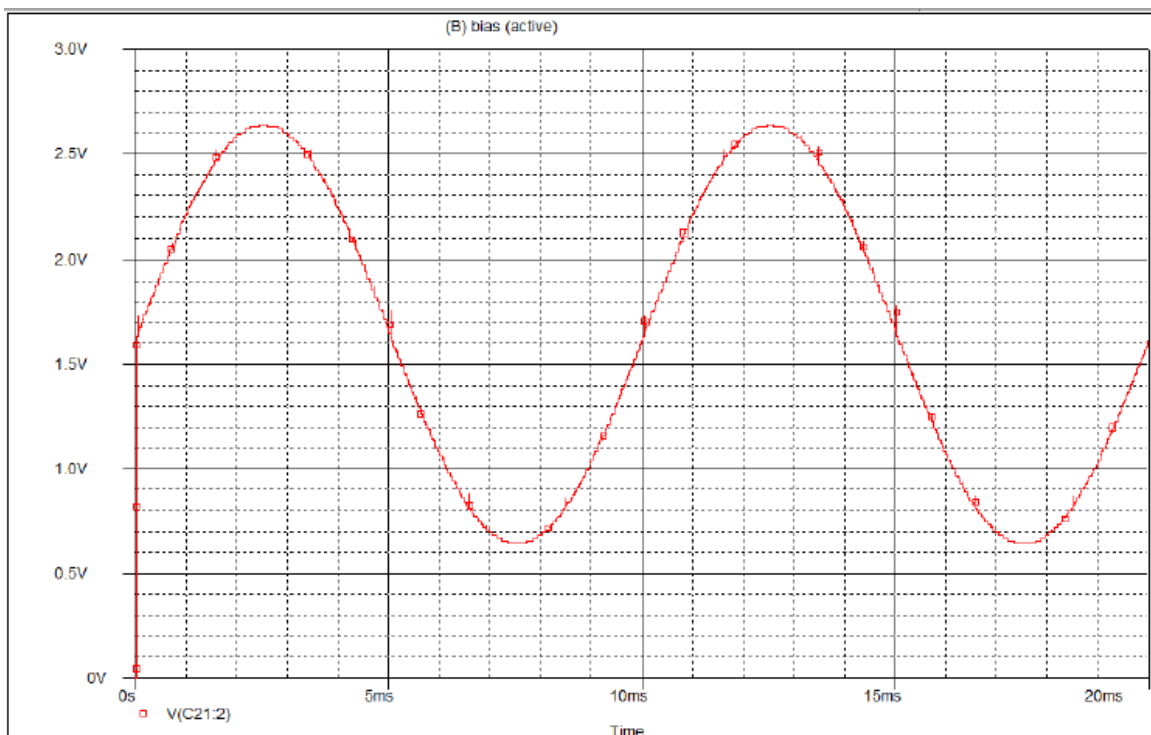


Figura 5.8 Senóide de frequência 100Hz aproximada pelo Conversor.

Aplicou-se a FFT na senóide de 100Hz para obter a relação SNR do Conversor. Teoricamente, o valor da relação SNR é $(8\text{bits} \times 6,02 + 1,76)$ igual a 49,92 dB. Como a simulação na frequência foi linear é preciso encontrar o pico máximo de tensão e dividir pelo ruído na primeira harmônica, já que este ruído é o que mais influencia na relação SNR. O ruído aproximou-se dos 5 mV e o pico máximo de tensão foi de aproximadamente 1,5/1,6V. Dividindo o valor do pico pelo ruído e fazendo a conversão para logarítmo obtem-se um valor próximo de 50 dB que está próximo do valor teórico esperado.

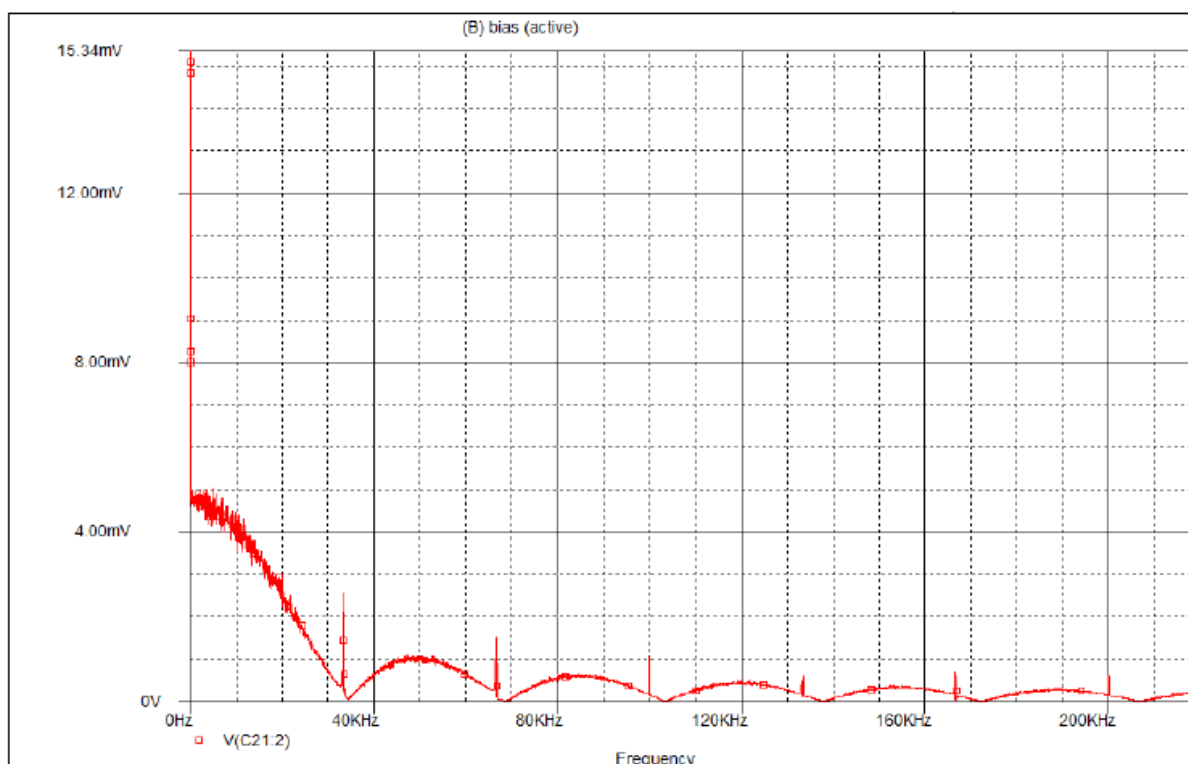


Figura 5.9 FFT da senóide de 100Hz.

5.2 COMPARADOR ANALÓGICO REAL

Após implementação do comparador, simulou-se aplicando uma rampa em uma das entradas do comparador e na outra entrada a tensão de referência foi 1,65V, a metade da tensão de alimentação. Foram simuladas duas entradas e obtiveram dois gráficos que quando juntos formam o gráfico da histerese do comparador. A primeira entrada era uma rampa positiva que variava de 0 a 3,3V (que é a tensão de alimentação) com um incremento de 0,1V. Já a segunda entrada era uma rampa negativa de 0 a 3,3V com um incremento de 0,1V. Aumentando a

relação W/L do par diferencial do comparador, reduziu-se as tensões VTRP (Trip Point) já que o V_{gs} dos transistores do par diferencial diminuem com o aumento da relação W/L.

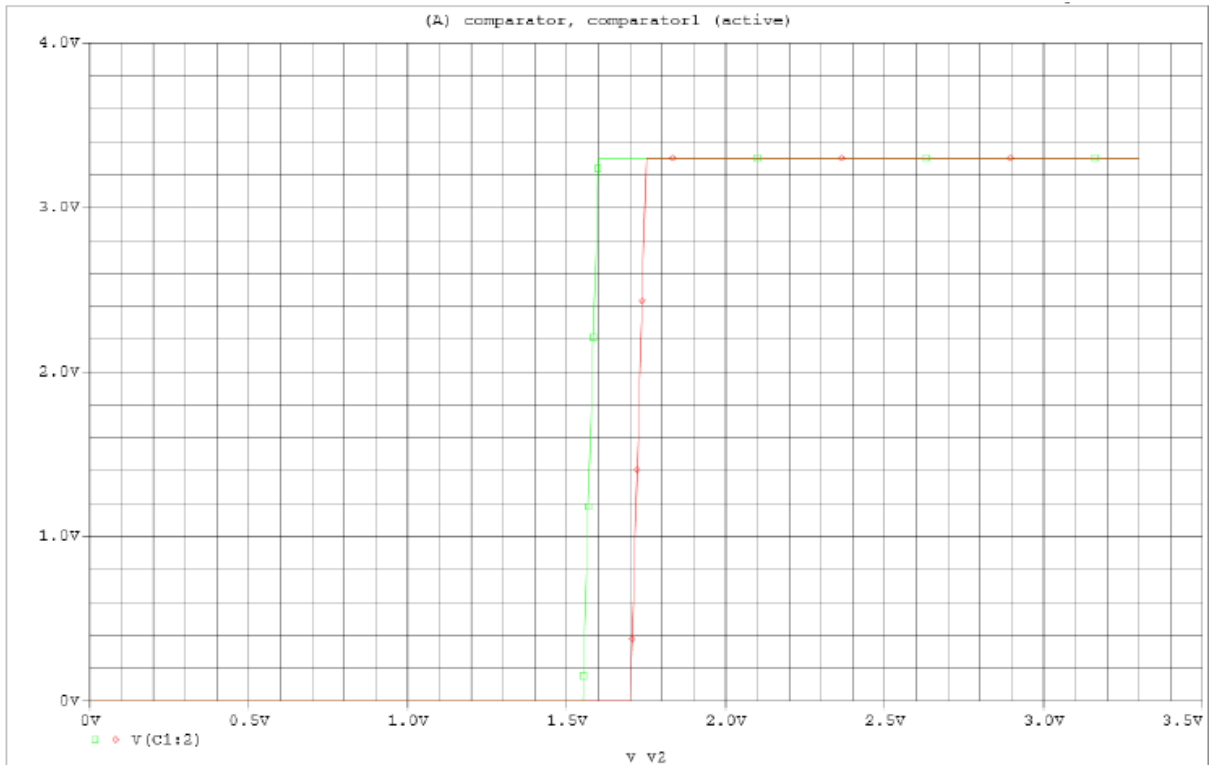


Figura 5.10 Tensão de saída com histerese do Comparador.

5.3 CHAVE COMPLEMENTAR (TRANSMISSÃO) REAL

Implementou-se a chave complementar utilizando o circuito Dummy Switch e foi simulado para uma entrada de 3,3V e uma tensão de controle dos transistores complementares paralelos, onde invertia-se esta tensão de controle a cada 1 μ s necessária para manter na saída a tensão da entrada. Na Figura (5.11), observa-se que o resultado ainda apresenta Injeção de Carga e Clock Feedthrough, mas esta influência reduziu com a implementação do circuito “Dummy Switch”. Nesta figura mostra o valor muito próximo de 3,3 V. É pequeno o suficiente para que possa aproximar do valor de 3,3 V. Então, a chave obteve um resultado satisfatório onde a tensão de saída deve ser a própria tensão de entrada carregada no capacitor.

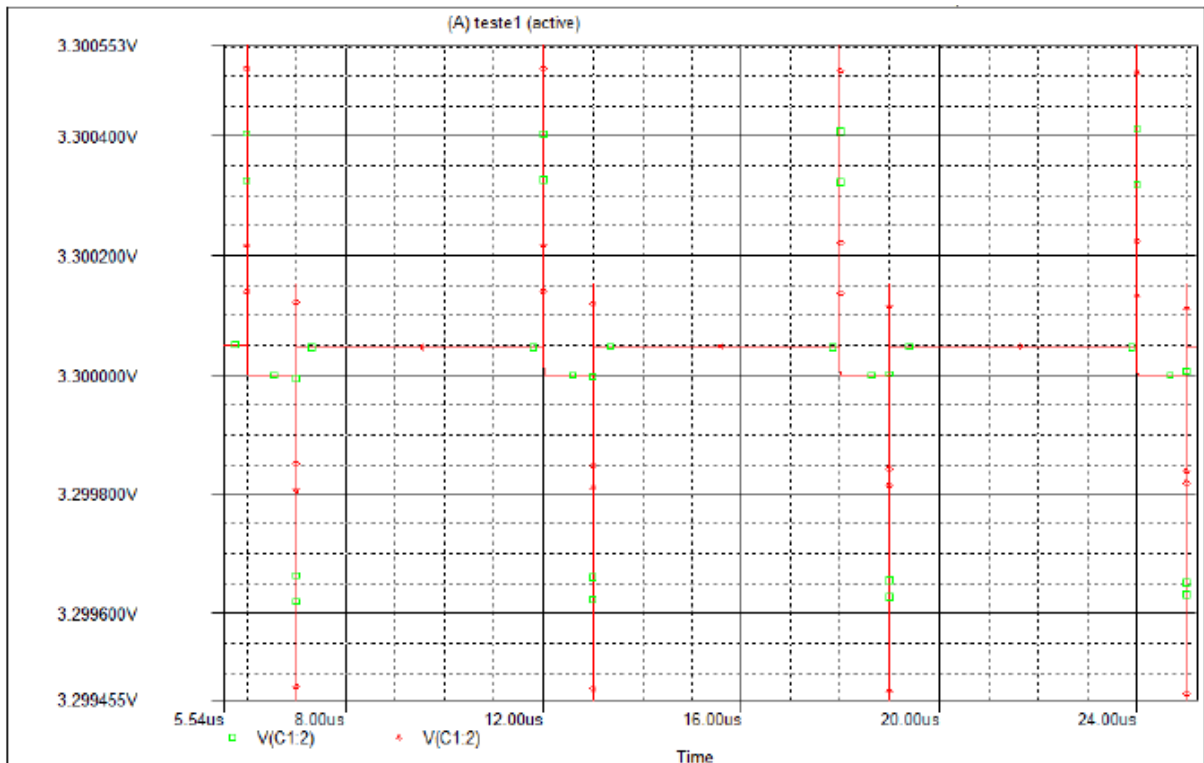


Figura 5.11 Tensão Constante de 3,3V aplicada na entrada da chave complementar.

5.4 CARACTERIZAÇÃO DO CONVERSOR A/D SAR REAL

Após o projeto e implementação do conversor A/D real no Orcad, simulou-se os 8 pulsos que formam a palavra digital de saída do conversor. O período de conversão completo foi padronizado em $30\mu\text{s}$. Será ilustrado alguns resultados obtidos destes pulsos. Foram obtidos valores próximos ao esperado. Entretanto, os valores apresentavam a defasagem de 1 bit em relação aos valores de pulsos obtidos com o circuito ideal e assim a aproximação para as tensões de entrada foram próximos com alguns erros e glitches indesejáveis que fazem parte de circuitos reais.

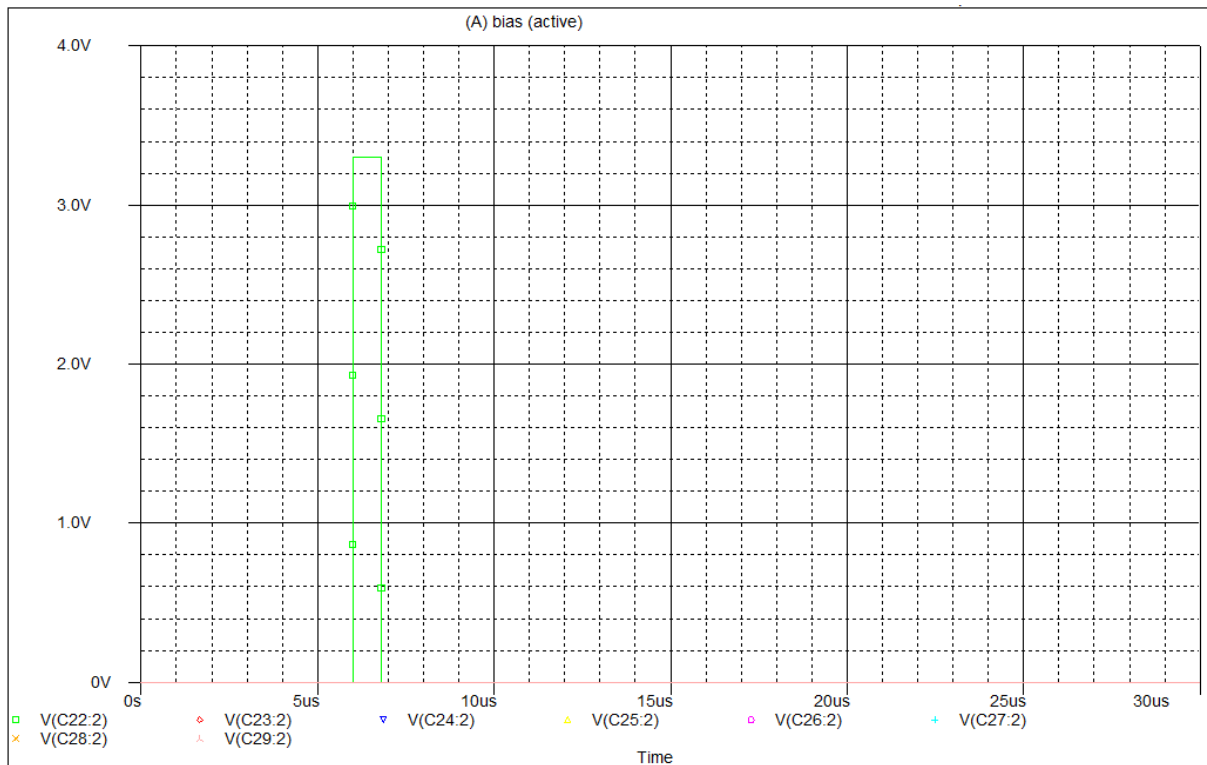


Figura 5.12 Palavra Digital 10000000 para a entrada de $V_{dd}/2$ (1,65 V).

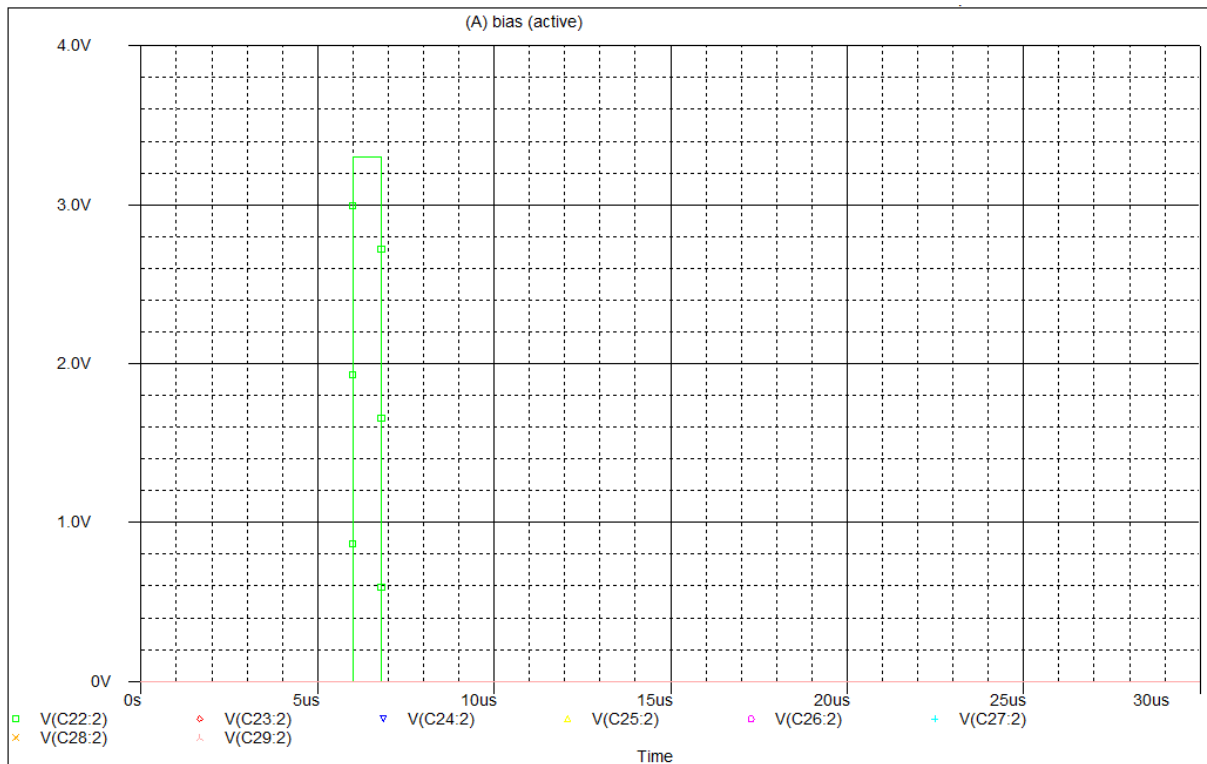


Figura 5.13 Palavra Digital 10000000 para a entrada de 1,66 V.

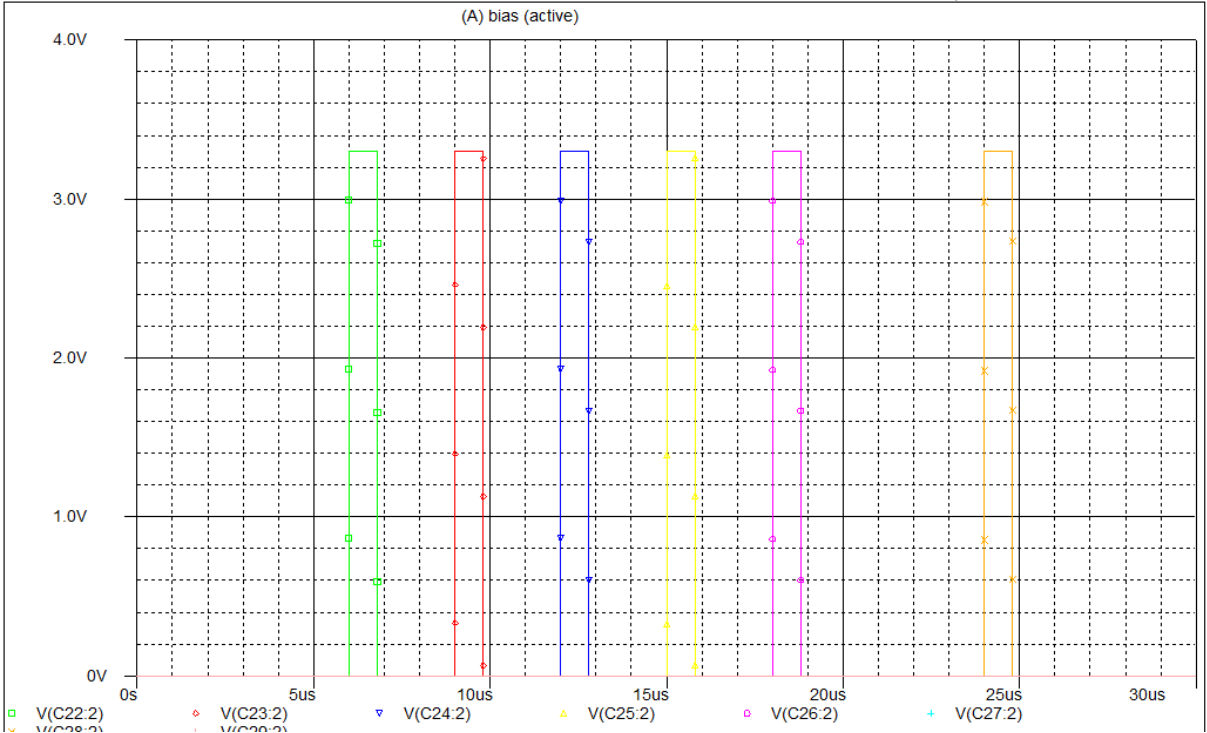


Figura 5.14 Palavra Digital 11111010 para a entrada 3,25 V.

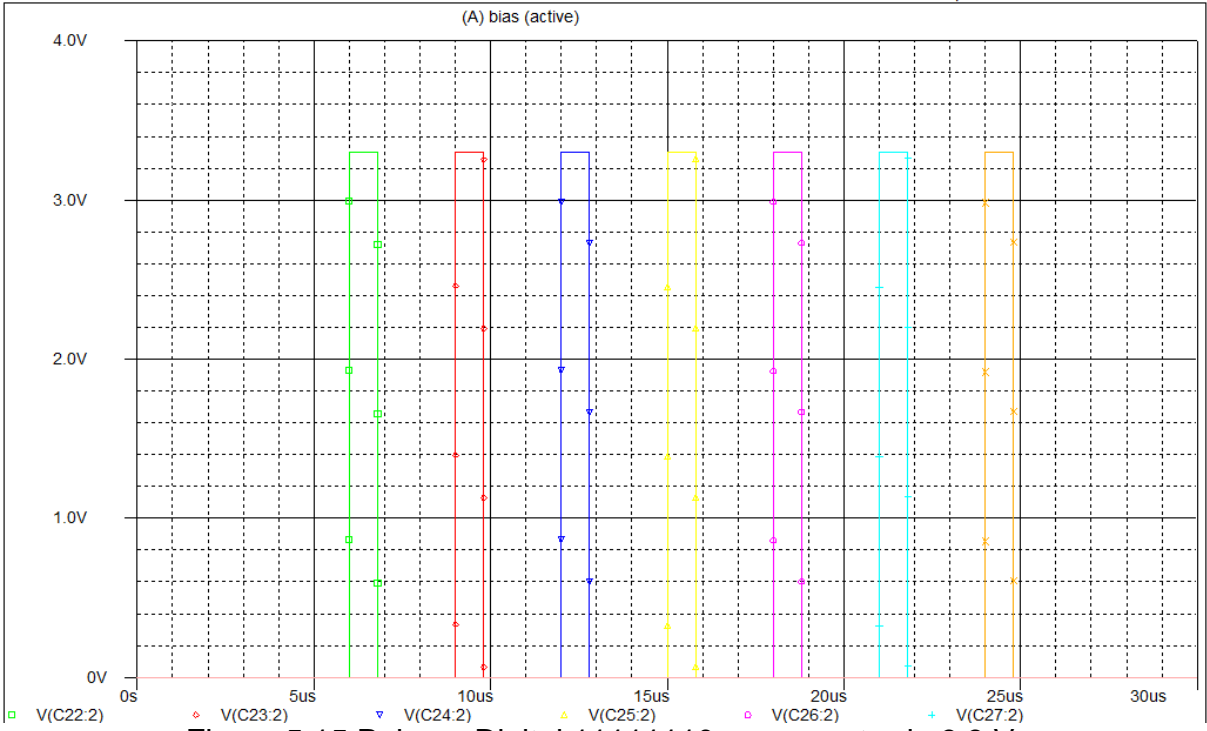


Figura 5.15 Palavra Digital 11111110 para a entrada 3,3 V.

5.4.1 Tensão Constante

Com uma tensão de entrada constante, espera-se que após 8 passos de conversão seja realizado a aproximação referente a tensão de entrada. Após aplicar uma tensão constante, simulou-se e a aproximação ocorreu corretamente como o esperado. O valor obtido nas figuras (5.12) e (5.13) são próximos do valor colocado na entrada. A diferença existe, pois o conversor real obteve pequenos erros nas palavras digitais.

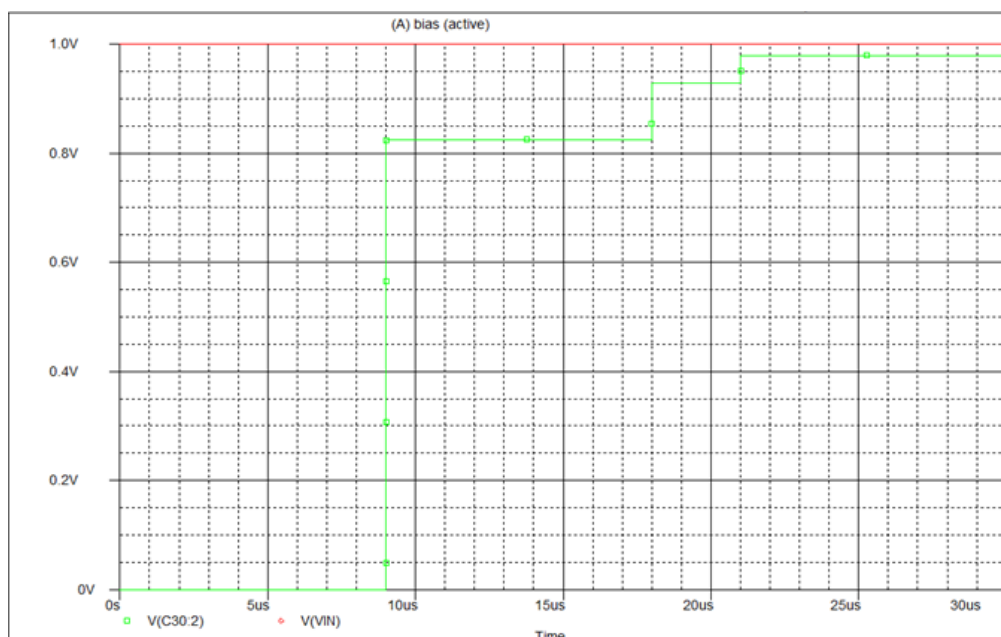


Figura 5.16 Aproximação para um sinal de entrada de 1,0 V.

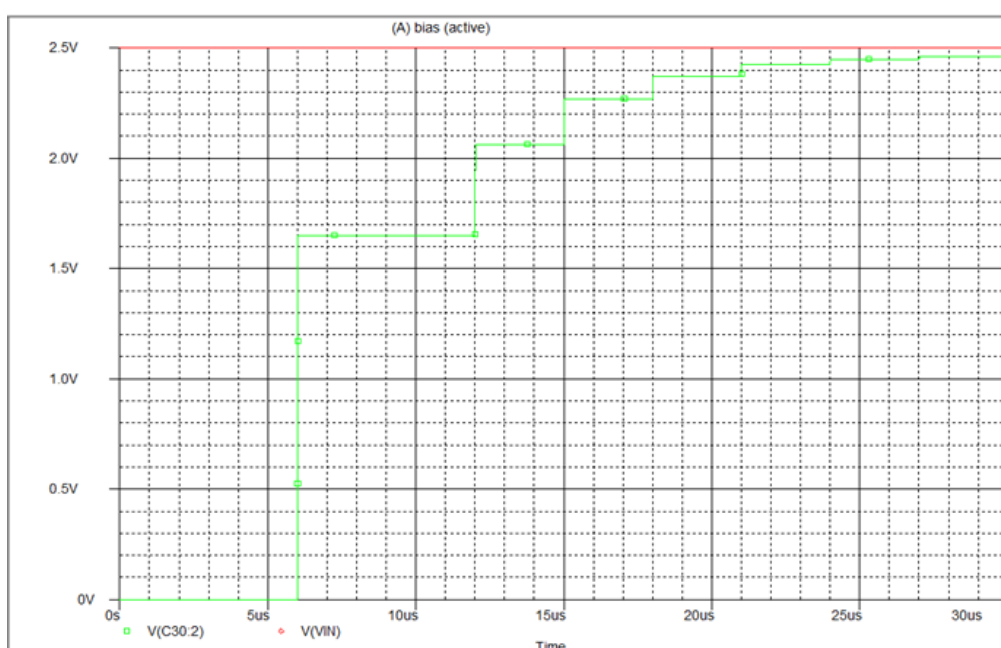


Figura 5.17 Aproximação para um sinal de entrada de 2,5 V.

5.4.2 Rampa

Com uma tensão rampa de entrada lenta, para que o conversor A/D possa “acompanhar”, espera-se que ocorra uma aproximação para esta rampa e forme degraus que acompanha a inclinação da reta ou rampa. Após simular com a rampa na entrada, obteve-se o esperado. Quanto mais lenta a rampa, espera-se que a aproximação seja maior.

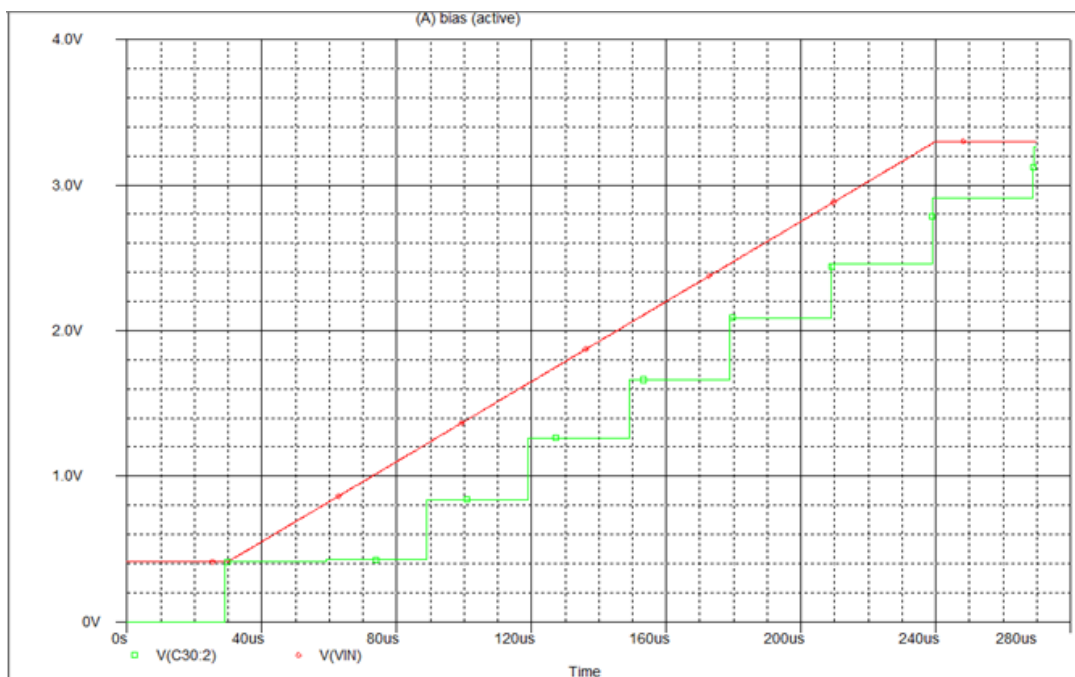


Figura 5.18 Aproximação para uma Tensão Rampa na entrada.

5.4.3 Senóide

Simulou-se o ADC real com uma senóide de entrada com frequência de 100Hz, valor DC igual a 1,65 V e amplitude de 1V e obteve a seguinte aproximação como pode se visto na figura (5.15):

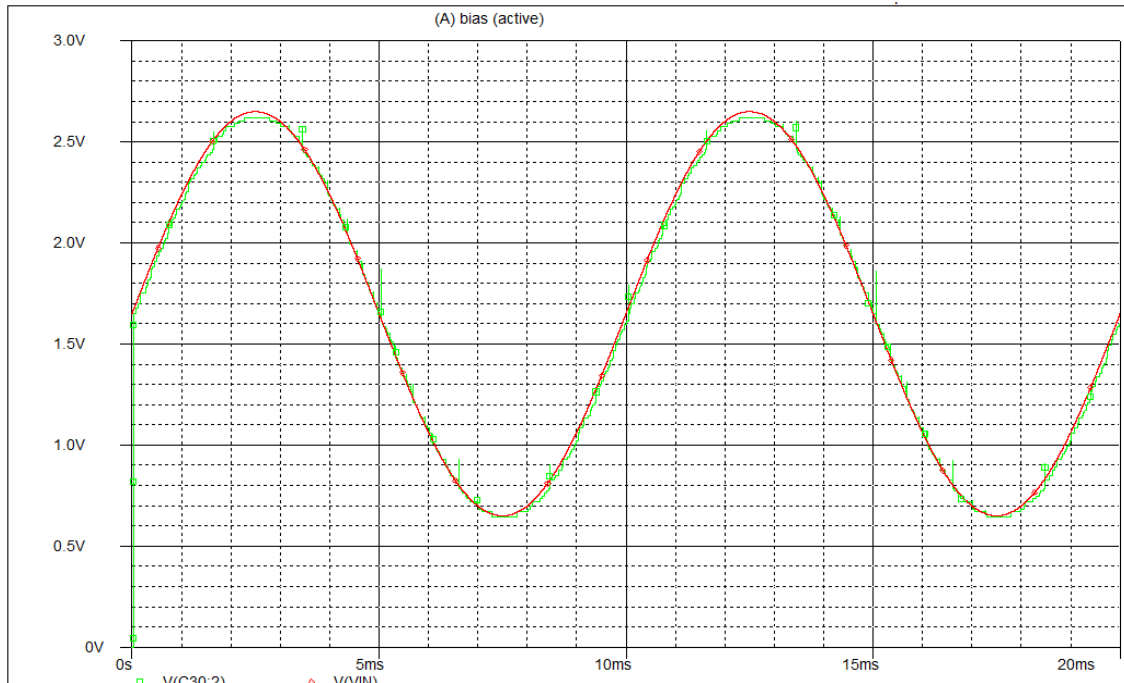


Figura 5.19 Senóide de frequência 100Hz aproximada pelo Conversor.

Aplicou-se a FFT na senóide de 100Hz para obter a relação SNR do Conversor como pode ser visto na figura (5.16). Como a simulação na frequência foi linear é preciso encontrar o pico máximo de tensão e dividir pelo ruído na primeira harmônica, já que este ruído é o que mais influencia na relação SNR. O ruído aproximou-se dos 8mV e o pico máximo de tensão foi de aproximadamente 1,5. Dividindo o valor do pico pelo ruído e fazendo a conversão para logaritmo obtem-se um valor próximo de 45,46 dB que está próximo do valor teórico esperado. O valor ideal da SNR para um conversor de 8 bits é de 49,92 dB. Esperava-se que a SNR do conversor real fosse menor devido a maior quantidade de ruídos e interferências no circuito real. Para o valor de 45,46dB de relação sinal-ruído, o ENOB (Número Efetivo de Bits) foi de 7,25 bits. Este valor é menor do que o valor ideal que seria 8 bits. Entretanto, este valor é um valor próximo e aceitável para um circuito real de conversor A/D.

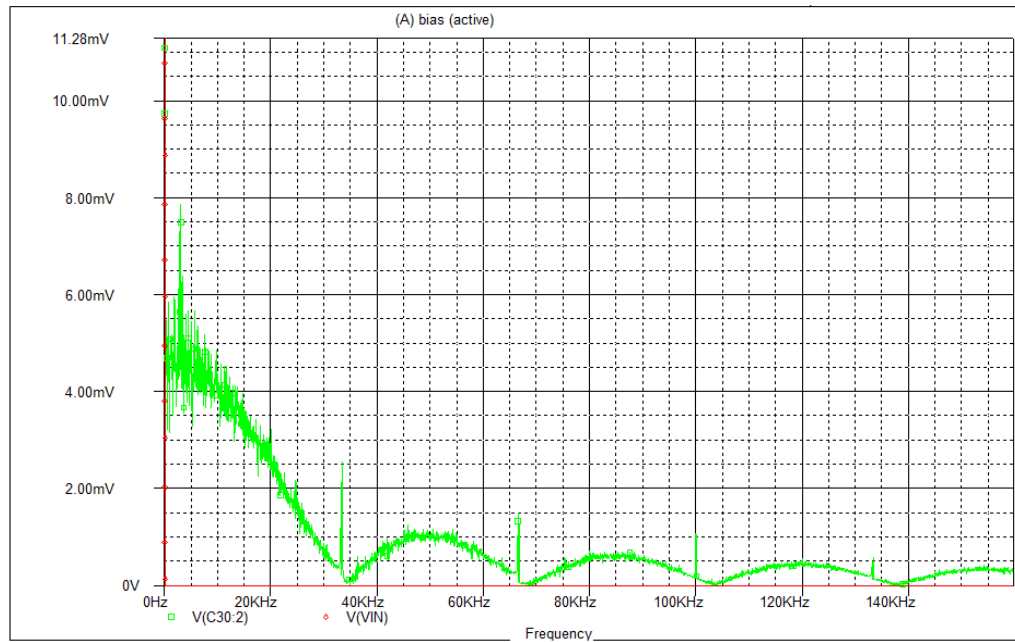


Figura 5.20 FFT da Senóide de frequência 100Hz.

5.5 REFERÊNCIA DE CORRENTE E VARIAÇÃO DA TEMPERATURA

Como a aplicação do ADC por aproximações sucessivas é fazer o controle da temperatura do sangue durante armazenamento e transporte é necessário fazer a simulação desta referência de corrente variando a temperatura. A fig (5.21) mostra a variação da temperatura na faixa de valores da especificação de -30°C a 10°C :

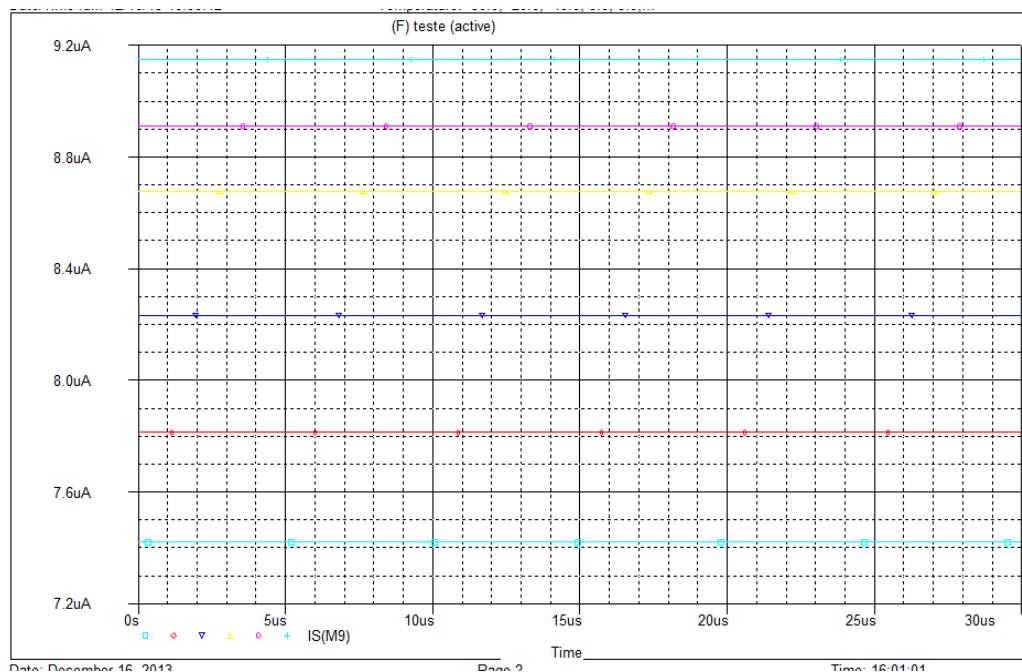


Figura 5.21 Referência de Corrente variando a temperatura.

A referência de corrente anteriormente foi simulada para uma temperatura ambiente de 27°C. Quando simulada na faixa de valores da especificação, observou-se que a corrente constante variou. Isto pode provocar alterações no sistema completo do conversor A/D. Com o aumento da temperatura a corrente aumentava tendendo ao valor esperado para a fonte de corrente que é 10 μA .

Após a simulação, verificou-se que para esta aplicação o conversor A/D necessita de uma referência de corrente independente da temperatura, já que o conversor estará relacionado com o controle da temperatura do sangue e não pode apresentar alteração do funcionamento na faixa de valores da especificação.

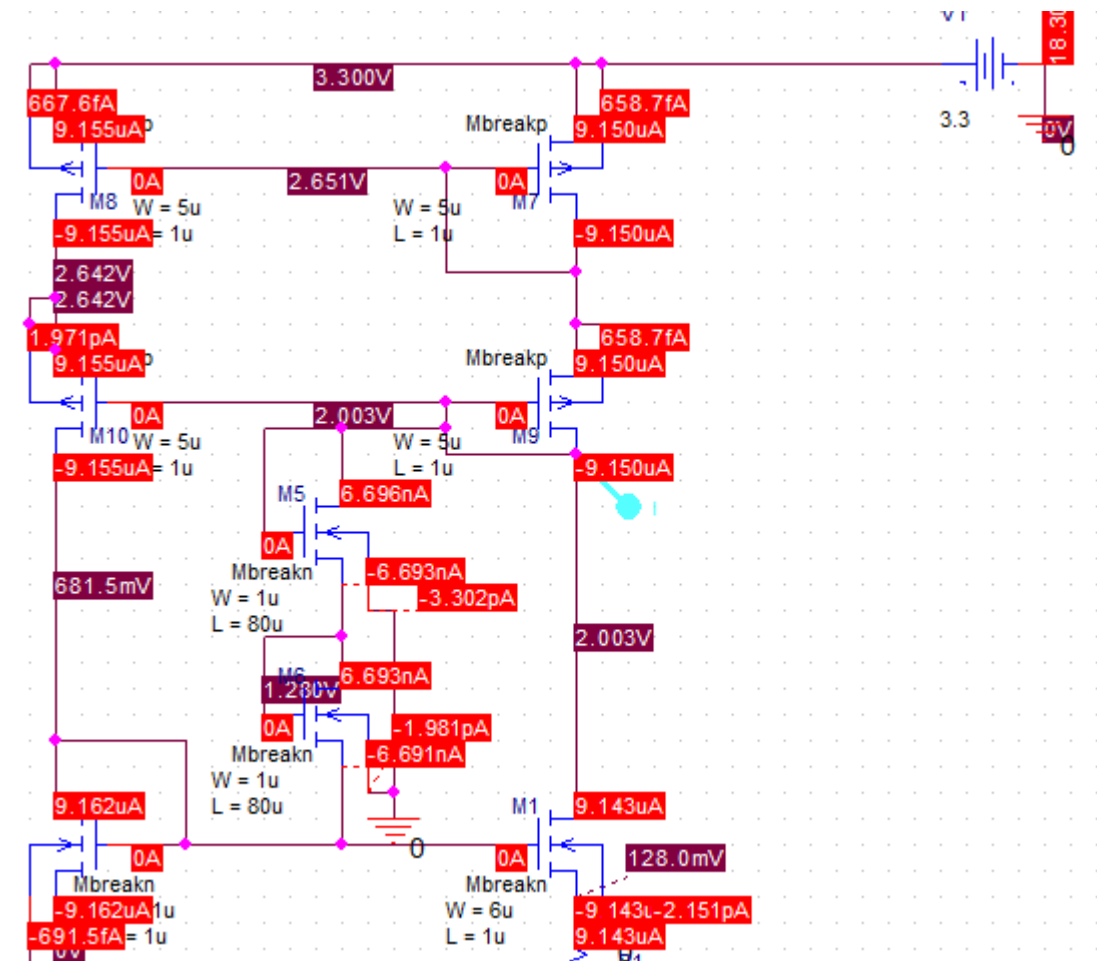


Figura 5.22 Referência de Corrente com valor de corrente diferente de 10 μA variando a temperatura.

CAPÍTULO 6

6.1 CONCLUSÕES

A idéia era desenvolver um conversor A/D por aproximações sucessivas para uma etiqueta RFID para o controle da temperatura do sangue contido em bolsas durante o transporte e armazenamento. Conseguiu-se definir a topologia do conversor A/D que será utilizado para a implementação do circuito além de levantar um estudo deste conversor como esperado. Compreendeu-se o funcionamento do sistema de conversão A/D por aproximações sucessivas.

O circuito do conversor SAR necessita de um comparador para que possa ser comparado a tensão de entrada com a tensão de referência (chaveada por capacitores) e obter na saída, palavras digitais de acordo com a quantidade de bits de resolução do conversor A/D. Estas palavras digitais são armazenadas em um registrador de N bits e depois é enviada para o conversor D/A que transforma estas palavras binárias para um sinal analógico que é comparado com o sinal de entrada. O processo de Sample and Hold já é realizado pelo DAC Charge Redistribution. Desta maneira, o conversor vai fazendo o processo de aproximação do sinal de entrada e para isto necessita-se de um tempo de conversão maior que o tempo de amostragem do sinal de entrada.

Implementou-se a lógica do registrador por aproximação sucessiva (SAR) utilizando registradores (flip-flops) para armazenar os valores das palavras digitais. Sinais de clocks específicos foram criados para que pudesse realizar os três modos iniciais da conversão utilizando as entradas assíncronas preset e clear dos flip-flops para que os capacitores do DAC fossem carregados com uma das três tensões solicitadas: V_{in} , V_{ref} ou GND (terra). Um contador em anel foi utilizado como função de clock dos flip-flops responsáveis pela palavra digital de saída do conversor para armazenar os valores finais dos bits.

Projetou-se um comparador analógico real com um alto ganho para saturar. A tensão de referência para comparação é $V_{ref}/2$. Esta topologia é diferente e se a tensão de referência for um valor baixo ou zero os transistores do par diferencial saem da região de saturação alterando a função do comparador. O comparador implementado apresenta histerese interna para evitar influência de ruído no resultado da comparação. A topologia utilizada necessita de uma corrente de

polarização de $20\mu\text{A}$. Para fornecer esta corrente, implementou-se uma referência de corrente.

A chave complementar implementada utilizando Dummy Switch foi projetada para substituir as chaves ideais do esquemático do conversor A/D. Esta técnica de Dummy Switch reduz os glitches e a injeção de carga durante o carregamento dos capacitores. A idéia foi desenvolver uma chave sem glitches para evitar erros no funcionamento geral do conversor A/D.

O projeto do Conversor A/D por aproximações sucessivas contribuiu para adquirir experiência com simuladores de circuito, principalmente os softwares da Cadence Orcad e Virtuoso. Além de possibilitar um estudo aprofundado de conversores A/D desde os princípios básicos, especificações, tipos, projeto e topologias até a maneira como caracterizar um conversor A/D após a implementação. Com o desenvolvimento e simulação adquiriu-se conhecimento no projeto de circuitos analógicos e microeletrônica.

Apesar de caracterizar o conversor A/D não é garantido com estes resultados que o circuito esteja operando de acordo com todas as especificações.

6.2 TRABALHOS FUTUROS

Resolver o problema das duas chaves que servem para descarregar os capacitores substituindo as chaves ideais por chaves complementares reais.

Apesar da referência de corrente estar independente da tensão de alimentação é ideal que esta corrente seja independente da temperatura para evitar que tenha problemas com o não-cumprimento das especificações projetando uma referência BandGap.

Implementar a lógica dos clocks para que o circuito tenha como entrada apenas 1 clock geral.

Existem outros meios de caracterizar o conversor A/D, dentre eles, INL e DNL. A próxima etapa seria esta caracterização mais completa e mais detalhada do conversor.

Implementar o Layout do circuito para a produção com as regras e boas práticas adotadas para a implementação

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] MARTIN, Ken. *Analog Integrated Circuit Design*. Toronto – Canadá , 1997.
- [2] VAN DE PLASSCHE, Rudy. *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*. 2ª edição. Broadcom Netherlands Bv, Holanda e Broadcom, Irvine, CA, Estados Unidos.
- [3] SANSSEN, Willy. *Analog Design Essentials*. Catholic University, Leuven, Belgium.
- [4] ALLEN, Phillip. *CMOS Analog Circuit Design*. 2ª Edição, Oxford.
- [5] SEDRA, Adel S. *Microeletrônica*, Editora Pearson, 5 ed, 2007.
- [6] BEHZAD RAZAVI, *Fundamentos de Microeletrônica*, Editora LTC, 1 ed., 2010.
- [7] BEHZAD RAZAVI, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 1 ed., 2001
- [8] ATO PORTARIA Nº 1.353 DE 13 DE JUNHO DE 2011.