

急速眼球運動対応の視線検出機能を持つVision Chipの試作と評価

著者	Takagi Hiroaki, Akita Junichi
雑誌名	映像情報メディア学会技術報告
巻	30
号	32
ページ	17-20
発行年	2006-06-01
URL	http://hdl.handle.net/2297/3536

急速眼球運動対応の視線検出機能を持つ

Vision Chip の試作と評価

高木 宏章[†] 秋田純一[†]

[†] 金沢大学 〒920-1192 石川県金沢市角間町

E-mail: [†] taka@merl.jp

あらまし 本稿では急速眼球運動に対応した視線検出機能を持つ Vision Chip を提案する。視線の検出には瞳孔とプルキニエ像の位置の二つのパラメータが必要であり、今回提案する Vision Chip は、眼球画像からの瞳孔とプルキニエ像の検出、及びそれらの中心の検出と中心の座標生成を行うものである。本 Vision Chip の基礎的な検討を行うため、CMOS0.35 μ m-Opto プロセスを用いて 16 \times 16 の処理要素 (PE) 数の Vision Chip の設計・試作を行った。この設計においては、PE の瞳孔とプルキニエ像を検出する回路では瞳孔、プルキニエ像の閾値を求め、その閾値に対応した差動増幅器を設計した。またプルキニエ像の中心を検出する回路ではアルゴリズムを見直し、トランジスタ数を大幅に削減し、PE の面積を小さくした。

キーワード Vision Chip 視線検出 急速眼球運動 並列処理

Design and Evaluation of Vision Chip for Detecting Line of Sight with Saccade Tracking

Hiroaki Takagi[†] Junichi Akita[†]

[†] Kanazawa University kakuma-machi, kanazawa-shi, Ishikawa, 920-1192 Japan

E-mail: [†] taka@merl.jp

Abstract In this paper, we propose Vision Chip for detecting line of sight with saccade tracking. Line of sight can be determined by the positions of the pupil and the Purkinje's image in eye image. The proposed Vision Chip has the functions of detecting their positions, as well as generating the coordinates of their centroid. The proposed Vision Chip has been fabricated using 0.35 μ m CMOS-Opto technology with 16 \times 16 processing element(PE). In the designed Vision Chip, the digitized circuit with differential amplifier which correspond the pupil and the Purkinje's image as well as the improved circuit for shrink procedure in the Purkinje's image detection are included in order to achieve small size of PE.

Keyword Vision Chip Line of sight Saccade Parallel Processing

1. はじめに

急速眼球運動（サッケード）とは我々の意図にかかわらず、ごく自然に起こる、非常に高速な眼球の運動である。急速眼球運動は新式のコンピュータ・ヒューマン・インターフェースとして利用できる¹と期待される [1, 2]が、その速度は多くの場合、毎秒 600° 以上にも及び、従来の視線検出装置で用いられる、NTSC 規格などのビデオカメラを用いて画像を取り込み、計算機等を用いてソフトウェア処理するという方式ではリアルタイムに検出・追尾することは不可能である。

このような背景から、本稿では高速な画像処理を行う Vision Chip の構成によって、急速眼球運動を含む視線を検出することを目標とした。Vision Chip は受光素子と処理回路を画素ごとに配置し、1 チップ上に集

積させた知的な撮像センサー [3]であり、この構造によって逐次的な処理ではなく並列処理による超高速な画像処理が可能である。本稿では、急速眼球運動に対応する視線検出機能をもつ Vision Chip の設計及び試作について述べる。

2. 視線検出の原理

赤外線 of 眼球画像は視線を検出するのにふさわしい。赤外線眼球画像の例を図 1 に示す。この中には、2 つの特徴的な領域が存在する。1 つはカメラから角膜に正面方向から光を当てた場合に返ってくる強い反射光であり、プルキニエ像と呼ばれる白い領域であり、もう 1 つはまた黒く丸い領域である瞳孔である。これら 2 つの領域の位置関係を用いると、図 2 に示すようにプルキニエ像から角膜の半径直線を伸ばすことで角

膜曲率中心が求められ、そこから瞳孔の中心へと直線を伸ばすことで視線ベクトル(視線)を求めることができる。すなわち視線を求めるためには、赤外線眼球画像からプルキニエ像と瞳孔の中心位置を求める必要があることがわかる。

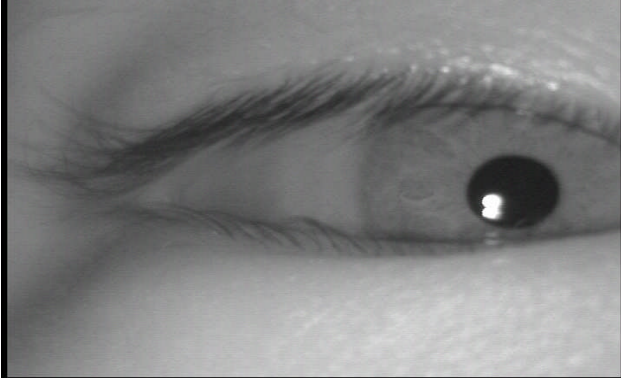


図 1 赤外線眼球画像

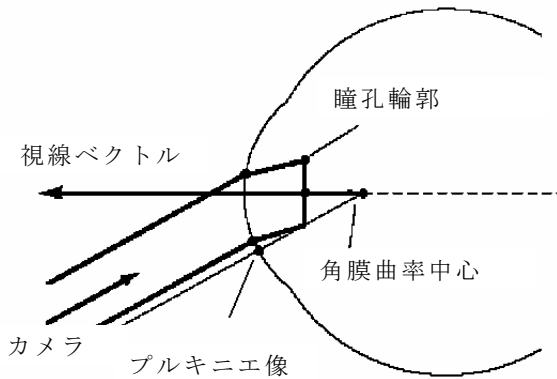


図 2 視線検出の原理

3. 視線検出機能を持つ Vision Chip の設計

本稿で提案する Vision Chip の本質的な機能は、急速眼球運動を含む視線を求めて追跡するために、瞳孔およびプルキニエ像の両者の位置を求めることである。この Vision Chip は図 3 のように画素ごとに配置される処理要素 PE (Processing Element) から構成される。この PE は受光部と処理部からなり、上下左右の PE と連結している。受光部はフォトダイオード(PD)と増幅回路からなり、処理部は輝度値の判定回路、拡大収縮回路から構成される。また PE から出力されたプルキニエ像および瞳孔を示すフラグは $x \cdot y$ 軸上に配置されたエンコーダに射影され、座標を生成する。

本 Vision Chip アーキテクチャの構成要素のうち、二値化後の処理を行うデジタル処理部(PE)を FPGA 上に実装し、正しく動作することが確認できた[4]。また PE 数を 100×100 とした場合のクリティカルパスを考慮したフレームレートは $146[\text{kfps}]$ となり十分に急速眼球運動を検出できることを確認した。これらの結果を踏まえ、視線検出機能を持つ Vision Chip の設計を行う。

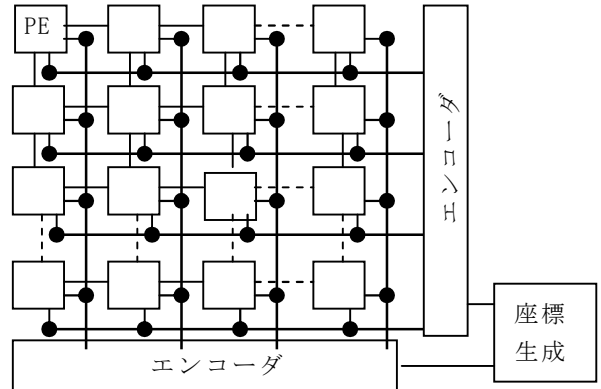


図 3 本 Vision Chip の構成

以下では PE の要素回路である PD の設計、判定回路の設計、瞳孔拡大収縮回路やプルキニエ像収縮回路を含めた PE の状態遷移部の設計、全体の中の収縮終了判定回路、座標生成回路について順に述べる。なお設計ツールとして Cadence 社の IC5. 1、製造プロセスとして austriamicrosystems 社の $0.35 \mu\text{m}$ -Opto プロセスを使用した。

3.1 PD 設計

目から反射した光を受ける部分が PD である。その PD の特性を調べるために TEG を設計した。PD の TEG として図 4 に示すような PSub/Nwell 構造と PSub/Ndiff 構造の 2 つを設計した。

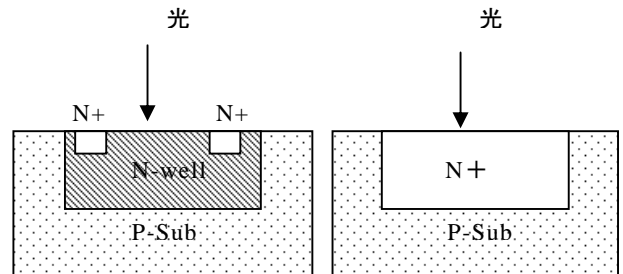


図 4 (a)PSub/Nwell 構造 (b)PSub/Ndiff 構造

PSub/Nwell 構造は一般的によく用いられる構造で感度が期待できる。また PSub/Ndiff 構造は感度がある程度期待でき、暗電流が少ないことから検討対象とした。

また PD の構造と面積の関係を調べるために各構造に対し $10 \mu\text{m} \times 10 \mu\text{m}$, $14 \mu\text{m} \times 14 \mu\text{m}$, $18 \mu\text{m} \times 18 \mu\text{m}$ の 3 種類のサイズで設計した。

3.2 判定回路

判定回路では視線の検出に必要な瞳孔とプルキニエ像を検出し、それぞれを示すフラグを生成する。実際の検出方法として赤外線を目に照射すると、目の各部での反射率の違いにより、PD の光電流の値が異なることになる。そこで視線検出に必要な瞳孔とプルキニエ像を検出するために図 5 のような回路によって 3 値で表すこととする。この回路ではプルキニエ像と瞳孔

を検出できるよう閾値を設定しておき、その閾値と実際の明るさをコンパレータで比較することにより、プルキニエ像と瞳孔がそれぞれ検出される。瞳孔とプルキニエ像の閾値は輝度値が 256 階調の眼球画像を用いた画像数値シミュレーションにより、瞳孔は 45~80、プルキニエ像は 205~235 となり、この範囲でそれぞれの正確な中心を求めることができる。なお実際の眼球画像においては、これらの閾値は照明条件等に合わせ調節する必要がある。これらの値を電源電圧が 3.3V の場合として 256 階調を 0~3.3V に置き換えると瞳孔は約 2.5V、プルキニエ像は約 0.5V に閾値を設定することになるため、これを考慮してコンパレータの設計を行った。AnalogArtist による回路シミュレーションの結果、単純な nmos 入力の差動増幅器によるコンパレータでは入力電圧範囲が 0.6V~3.0V と分かり、プルキニエ像検出を行うことが困難であった。そこで pmos 入力の差動増幅器を用いた構成をとることで、入力電圧範囲は 0.2V~2.6V となり、瞳孔とプルキニエ像の両者が検出可能であるように設計した。

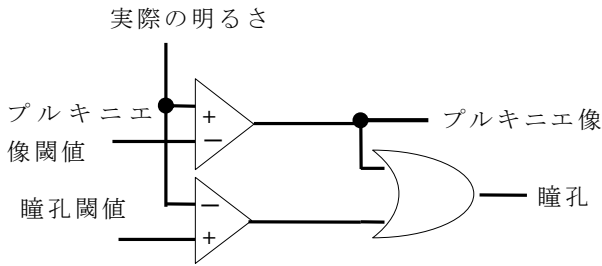


図 5 判定回路

3.3 状態遷移部

ここでは処理要素 PE の状態遷移部の回路設計について述べる。PE の状態遷移部の回路を図 6 に示す。瞳孔及びプルキニエ像を示すフラグは、図 5 の判定回路から与えられる。中心の PE の値 $P(i, j)$ は、4 つの隣接した上下左右の PE の値 $P(i, j+1)$, $P(i, j-1)$, $P(i-1, j)$, $P(i+1, j)$ と中心 PE の値 $P(i, j)$ によって生成される。そして、その値は D フリップ・フロップの中で保持され、クロックによって変化する。瞳孔の拡大回路と収縮回路、プルキニエ像収縮回路とは瞳孔とプルキニエ像を検出したフラグの領域に対して、それぞれの中心を求めるものである。瞳孔を拡大する場合には中心の PE と 4 近傍の PE から受け取った値が少なくとも 1 つが 1 のときその中心を 1 にするというアルゴリズム [4] であり、隣接した PE の値と中心の PE の値の 5 入力 OR で構成されている。また瞳孔を収縮する場合には、中心の PE と上下左右の隣接した 4 近傍の PE から受け取った値がすべて 1 のとき、その中心を 1 にするというアルゴリズム [4] であり、隣接した PE の値と中心の PE の値の 5 入力 AND で構成されている。次にプルキニエ像収縮

回路のアルゴリズムは以下のとおりである。

- 1 中心の PE の値が 1 かつ隣接した PE の値 4 つのうち 3 つが 1 の時、中心の PE の値を 1 にする。
- 2 それ以外の時、中心の PE の値を 0 にする。

このアルゴリズムで収縮回路を構成すると、トランジスタ数で 38 になる。Vision Chip にとって PE の面積縮小は重大な問題であり、PE の面積縮小化のためプルキニエ像のアルゴリズムに以下を追加した。

- 3 上、中、下の PE の値 $P(i, j+1)$, $P(i, j)$, $P(i, j-1)$ が 1 のとき中心の PE を 1 にする
- 左、中、右の PE の値 $P(i-1, j)$, $P(i, j)$, $P(i+1, j)$ が 1 のとき中心の PE を 1 にする

この条件を含めることにより必要トランジスタ数は 16 となり、トランジスタ数を大幅に削減できる。またこの新しいアルゴリズムで画像数値シミュレーションを行っても、プルキニエ像の中心が正しく検出できることを確認した。

次に瞳孔の拡大収縮回路、プルキニエ像の収縮回路を選択するのがセレクトである。セレクトは全体の制御回路から状態が変化する度にセレクト信号を変え、回路の選択の制御を行っている。状態遷移は以下のようになる。

- 1 瞳孔のフラグを選択
- 2 瞳孔拡大回路を選択し数回処理をする
- 3 瞳孔収縮回路を選択し全てが消えるまで繰り返す
- 4 プルキニエ像のフラグを選択
- 5 プルキニエ像収縮回路を選択し全てが消えるまで繰り返す

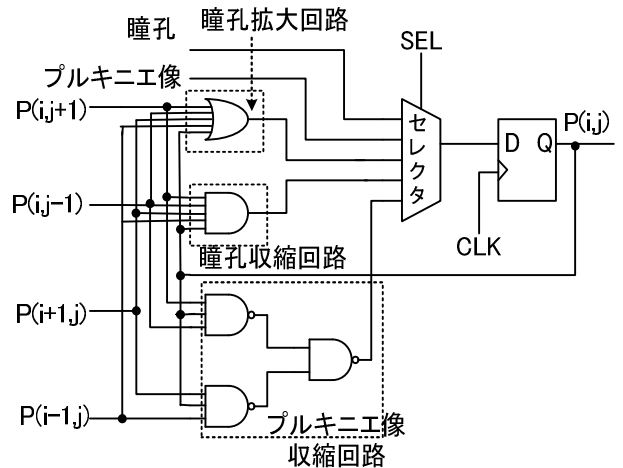


図 6 PE の状態遷移部

3.4 収縮終了判定回路

収縮終了判定回路の機能は、軸上に射影された全 PE からの瞳孔・プルキニエ像それぞれの 1 の値の数を数えるものである。図 7 に回路を示す。射影された PE の値は 3 入力の NAND ゲートを通ることにより、隣

り合う PE 間での収縮終了の信号を出し、それらの信号を AND ゲートに通すことにより全体で収縮終了を判断する構成になっている。

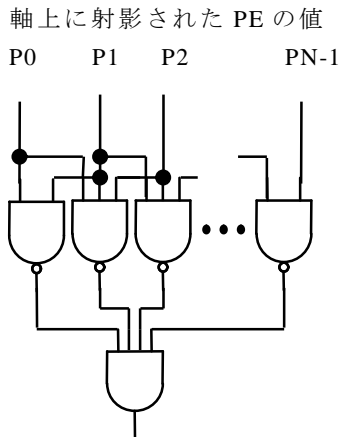


図 7 収縮終了判定回路

3.5 座標生成回路

前述の収縮終了判定回路によって収縮過程の終了が検出されると、瞳孔とプルキニエ像のそれぞれの中心の座標を生成する必要がある。この収縮終了時点では、x, y 軸上に存在する値が 1 である射影線は 1 本または 2 本であるため、各軸上に 2 つのプライオリティエンコーダを配置することで、各軸上の値が 1 である射影線の位置の座標の最大値と最小値を出力することができる。

3.6 レイアウト設計

上記回路構成を持つ Vision Chip を、austriamicrosystems 社 CMOS0.35um-Opto プロセスを用いてレイアウト設計を行った。図 8 は PE のレイアウトである。PE サイズは $65 \mu\text{m} \times 65 \mu\text{m}$ 、PD サイズは $18 \mu\text{m} \times 18 \mu\text{m}$ 、開口率は 6.8% となった。次に図 9 に試作した Vision chip のチップ写真を示す。電源電圧 3.3V、チップサイズ $2.2\text{mm} \times 2.2\text{mm}$ 、PE 数 16×16 となっている。この Vision Chip には PD の TEG, PD に増幅回路を加えた TEG, PE 単体回路、全体回路がある。これらの回路の測定は現在進行中である。

4. まとめ

本研究では急速眼球運動に対応する視線検出機能をもつ Vision Chip を考案し、各回路の設計を行った。PE の判定回路では瞳孔、プルキニエ像の閾値を求め、その閾値に対応した差動増幅器を設計した。プルキニエ像の収縮回路ではアルゴリズムを見直し、トランジスタ数を 38 から 16 に大幅に減らし、PE の面積を小さくした。設計した Vision Chip を CMOS0.35 μm -Opto プロセスで PE 数 16×16 の Vision Chip の試作を行った。チップの測定と評価は現在進行中である。

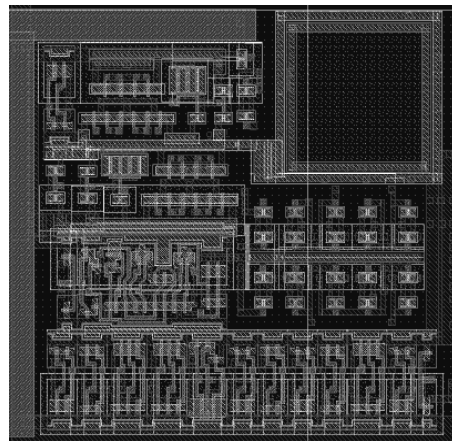


図 8 PE のレイアウト

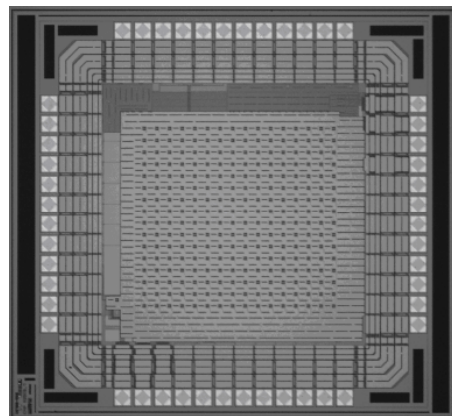


図 9 Vision Chip 写真
文 献

[1] J. Triesch, D. H. Ballard, M. M. Hayhoe, B. T. Sullivan, : “What you see is what you need,” *Journal of Vision*, No. 3, pp. 86–94, 2003.

[2] S. S. Intille, : “Change Blind Information Display for Ubiquitous Computing Environments,” *UbiComp2002*, LNCS 2498, pp. 91–106, 2002.

[3] T. Komuro, S. Kagami, M. Ishikawa, : “A Dynamically Reconfigurable SIMD Processor for a Vision Chip”, *IEEE Journal of Solid-State Circuits*, Vol. 39, No. 1, pp. 265–268, 2004. 1.

[4] 高木宏章, 秋田純一 : “急速眼球運動対応の視線検出機能を持つ Vision Chip アーキテクチャ”, 映像情報メディア学会技術報告, IST2005-30, pp. 17–20 June. 2005