

**PONTIFICIA UNIVERSIDAD CATÓLICA DEL PERÚ**  
**FACULTAD DE CIENCIAS E INGENIERÍA**



PONTIFICIA  
**UNIVERSIDAD**  
**CATÓLICA**  
DEL PERÚ

**DISEÑO DE UN AMPLIFICADOR CHOPPER DE SEÑALES  
NEURONALES**

Tesis para optar el Título de Ingeniero Electrónico, que presenta el bachiller:

**Marco Antonio Chang Kee Anselmo**

ASESORES: Manuel Monge Osorio  
Erick Raygada Vargas

**Lima, octubre del 2016**

# Índice general

Resumen

Introducción.....	1
1. Fundamentos sobre señales neuronales.....	2
1.1. La neurona y sus características.....	2
1.2. Las señales neuronales y su funcionamiento.....	3
1.3. Características de las señales neuronales .....	4
1.4. Formas de obtención de las señales neuronales .....	5
1.4.1. Electroencefalograma (EEG) .....	6
1.4.2. Magnetoencefalograma (MEG) .....	6
1.4.3. Electrocorticograma (EoCG) .....	6
1.4.4. Medición independiente de la neurona .....	6
1.4.5. Imagen por resonancia magnética funcional (fMRI) .....	6
1.4.6. Espectroscopía de infrarojo cercano (NIRS) .....	7
1.4.7. Electrocardiograma (ECG) .....	7
1.4.8. Electromiograma (EMG) .....	7
2. Sistema de adquisición de señales neuronales y técnicas de reducción de ruido.....	9
2.1. Estructura general.....	9
2.2. Parámetros de diseño.....	10
2.3. Fuentes de ruido.....	11
2.3.1. Ruido térmico.....	11
2.3.2. Ruido flicker.....	11
2.4. Técnicas de reducción de ruido.....	11
2.4.1. Autozero.....	11
2.4.2. Modulación chopper.....	12
2.5. Estado del arte en amplificadores de señales neuronales .....	13
2.5.1. Amplificador Telescópico completamente diferencial (Fully differential telescopic OTA) .....	13
2.5.2. Amplificador completamente diferencial con reuso de corriente (Fully differential current-reuse OTA) .....	14
2.5.3. Estructura OTA parcialmente compartida (Partial OTA sharing structure) .....	15
2.6. Estado del arte en amplificadores chopper .....	17
2.6.1. Chopper-stabilized differential difference amplifier (CHSDDA) .....	17
2.6.2. Amplificador chopper telescópico completamente diferencial (Fully differential telescopic chopper amplifier) .....	17

2.6.3. Amplificador chopper cascode plegado (Folded cascode chopper amplifier) .....	18
2.7. Elección de la topología.....	19
3. Diseño del amplificador chopper de señales neuronales .....	22
3.1. Análisis en pequeña señal.....	22
3.1.1. Transconductancia.....	23
3.1.2. Impedancia de salida.....	24
3.1.3. Slew Rate.....	25
3.1.4. Análisis de Ruido.....	26
3.1.4.1. Ruido térmico.....	27
3.1.4.2. Ruido flicker.....	27
3.2. Requerimientos del amplificador.....	28
3.3. Dimensionamiento de los transistores.....	28
3.3.1. Par diferencial.....	28
3.3.2. Carga activa.....	31
3.4. Circuito de polarización.....	33
3.5. Modulación chopper.....	40
3.6. Elaboración del layout.....	41
3.6.1. Interdigitación.....	42
3.6.2. Simetría.....	42
3.6.3. Gradiente.....	43
4. Resultados y simulaciones.....	44
4.1. Simulaciones.....	44
4.1.1. Análisis DC.....	44
4.1.2. Análisis AC.....	46
4.1.3. Análisis de ruido.....	48
4.1.4. Análisis transitorio.....	50
4.2. Disposición del layout del circuito.....	52
4.3. Simulaciones Post – layout.....	54
4.3.1. Análisis AC.....	54
4.3.2. Análisis de ruido.....	55
4.3.3. Análisis transitorio.....	56
Conclusiones .....	58
Recomendaciones.....	59
Bibliografía.....	60

## Resumen

En el presente trabajo de tesis se diseña un amplificador para ser utilizado como parte de un sistema de adquisición de señales neuronales. La topología elegida para el desarrollo fue la de cascodo plegado de una sola salida (single ended folded cascode), ubicando los moduladores chopper de manera que no haya limitación debido al ancho de banda.

Debido a que este trabajo está enfocado a dispositivos implantables, se requiere de un bajo consumo de potencia, así como una pequeña área ocupada. A estos dos requerimientos se suma el de ruido, el cual es de gran importancia al ser esta la primera etapa del sistema.

Se utilizó el software *CADENCE* para realizar distintas simulaciones que comprueban el correcto análisis realizado. Los resultados más importantes previo a la aplicación de la técnica chopper son: el ruido referido a la entrada de  $2.92V_{rms}$ , con una potencia consumida de  $36.78\mu W$  utilizando una fuente de alimentación de  $3.3V$ , la ganancia de lazo abierto es de  $102.1dB$  y la ganancia de lazo cerrado es de  $45.88dB$  con un ancho de banda de  $7.96kHz$ . El área ocupada por el circuito es de  $0.0073mm^2$ .

## Introducción

Los avances de los estudios en la neurociencia nos han permitido lograr un mayor y mejor entendimiento en cuanto a la estructura y funciones del sistema nervioso. Tenemos hoy en día un mayor entendimiento sobre la actividad cerebral, lo cual es posible gracias a las distintas técnicas de adquisición y estimulación extracelular. Actualmente se siguen desarrollando distintos estudios que buscan ampliar más aún estos conocimientos con lo que se espera eventualmente poder entender el comportamiento del sistema nervioso del ser humano.

Estos avances requieren de dispositivos que obtengan las señales eléctricas en el cerebro y a lo largo del mismo. Dentro de éstas, las señales neuronales son de particular interés, pues con la información que estas proporcionan esperamos entender los mecanismos con los que el cerebro procesa información y la organización del cerebro. En el campo clínico podemos usarlas para mejorar diagnósticos y tratamientos de distintas enfermedades; así mismo, podemos usarlas en futuras interfaces entre el cerebro y máquinas. Estas señales se obtienen por medio de circuitos especializados llamados sistemas de adquisición de señales neuronales, los cuales comprenden varias etapas; dentro de éstas, el bloque de amplificación es de vital importancia, pues afecta directamente todos los bloques posteriores.

El presente trabajo de tesis busca el diseño de un amplificador de señales neuronales utilizando la técnica chopper, la cual nos permite reducir algunos de los efectos que alteran la señal deseada que se originan en el amplificador.

# Capítulo 1

## Fundamentos sobre señales neuronales

### 1.1. La neurona y sus características

El cerebro humano contiene principalmente 2 clases de células; las neuronas y las neuroglías. Las primeras son la unidad básica que permite la transmisión de señales en el sistema nervioso, mientras que las segundas desempeñan funciones de soporte: separar neuronas, proveer nutrientes y oxígeno, y remover neuronas muertas. El cerebro contiene millones de neuronas, se tiene un estimado de  $10^{11}$  de estas células. Esta es la célula especializada que puede producir distintas acciones debido a su conexión con otras, receptores sensoriales y células musculares. Una neurona tiene 4 distintas regiones morfológicamente definidas: cuerpo, dendritas, axón y terminales pre sinápticos [1] como se observa en la figura 1.1. El cuerpo (llamado también soma), es el centro metabólico de la neurona. Este contiene al núcleo y la mayoría de síntesis de proteínas ocurre aquí. Las dendritas, son prolongaciones de un grosor superior al del axón (pueden llegar a ser tan o más largas que este) y sirven como el principal medio para recibir información hacia la neurona de parte de otras. El axón cuya longitud es generalmente mayor al de las dendritas (pueden llegar hasta 1m), son la parte especializada en llevar los mensajes desde el cuerpo hacia otras células. Algunos de larga longitud son recubiertos por mielina, de esta manera, se aísla la membrana de este, reduciendo la fuga de corriente, incrementando entonces la distancia por el que una corriente local puede circular pasivamente a lo largo del mismo. Los terminales pre sinápticos, están ubicados al final del axón. Estos terminan muy cercanos a las dendritas de otras neuronas, las dendritas de una neurona reciben el mensaje desde el terminal pre sináptico de otra. El lugar donde los terminales pre sinápticos terminan cerca de las dendritas de otra neurona se llama sinapsis. Una neurona forma aproximadamente 1000 sinapsis con otras neuronas. Cabe mencionar que las conexiones sinápticas no son estáticas, las neuronas forman nuevas sinapsis o fortalecen éstas de acuerdo a ocurrencias en la vida cotidiana [2].

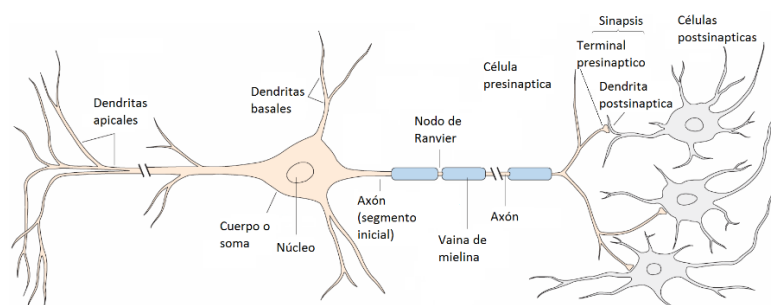


Figura 1.1 Estructura de una neurona (imagen modificada) [1]

## 1.2. Las señales neuronales y su funcionamiento

Las neuronas utilizan distintos tipos de señales eléctricas para codificar y transmitir información. El primer tipo de señal eléctrica es el potencial de la membrana en reposo, este se genera debido a que las neuronas generan un voltaje constante a lo largo de su membrana en reposo, típicamente de -40 a -90 mV. Luego, se tienen los potenciales receptores, que son los que se producen debido a la respuesta a un estímulo, lo cual cambia el potencial de la membrana en reposo por una fracción de segundo, alrededor de 0.5ms. Un tercer tipo está asociado con la comunicación entre las neuronas y los contactos sinápticos, la activación de las sinapsis genera los potenciales sinápticos, estos permiten la transmisión de información de una membrana a otra. Estas señales eléctricas producidas se denominan potencial de acción, el cual ocurre cuando una corriente circula a lo largo de la membrana de la neurona. El potencial de acción es un breve cambio (aproximadamente 1 ms) de negativo a positivo en el potencial de la membrana. Cabe resaltar que la amplitud del potencial de acción es independiente de la magnitud de la corriente que se usa para provocarlo. Si la amplitud o duración de la corriente de estímulo se incrementa lo suficiente, ocurrirán múltiples potenciales de acción.

La figura 1.2A muestra un microelectrodo conectado a la neurona y un electrodo a una batería. Si la corriente produce que el potencial de la membrana se haga más negativo (hiperpolarización) ocurren cambios no relevantes como se observa en la parte central de la figura 1.2B. Sin embargo, si el potencial de la membrana se hace más positivo que el potencial de reposo (despolarización), en este caso, a partir de cierto nivel del potencial de la membrana (potencial umbral) ocurre el potencial de acción, como se muestra en la parte derecha de la figura 1.2B [2].

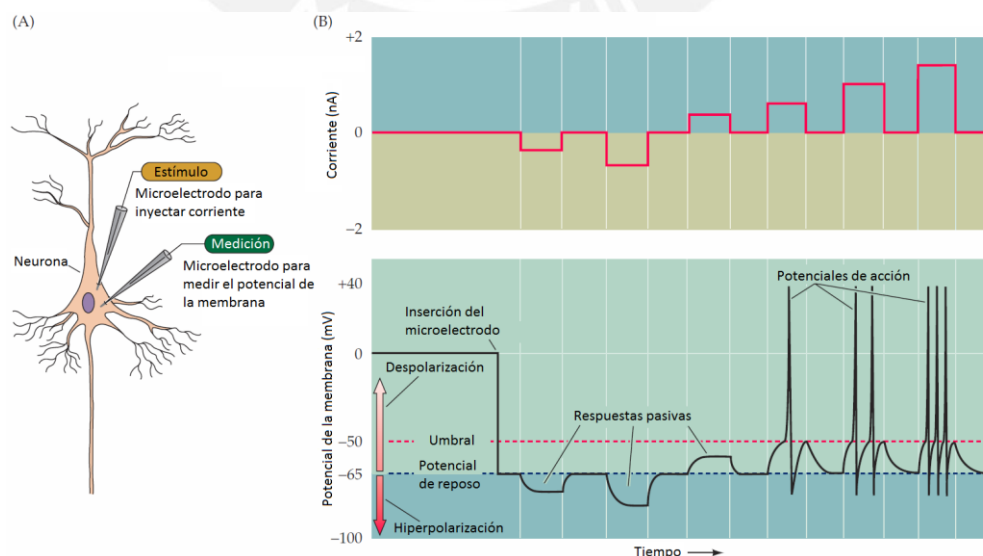


Figura 1.2. Señales eléctricas pasivas y activas de una neurona (imagen modificada) [2]

Estas señales eléctricas, son producidas por mecanismos que se basan en el movimiento de iones a lo largo de la membrana neuronal [2]. Estos se producen debido a la diferencia de concentración de iones de potasio y sodio ( $K^+$  y  $Na^+$ ) y que las membranas son selectivamente permeables a estos iones. La membrana en reposo está originalmente polarizada negativamente, un estímulo lo suficientemente fuerte es capaz de revertir la polarización de la membrana en reposo. El estímulo produce que se abran los canales de sodio, permitiendo que los iones de sodio puedan atravesar la membrana celular, debido a que el sodio tiene una carga positiva la neurona se vuelve más positiva, este proceso se conoce como despolarización. Poco tiempo después, los canales de potasio se abren, cuando esto ocurre el potasio sale de la célula, revirtiendo la despolarización (repolarización). Alrededor de este momento, los canales de sodio se comienzan a cerrar, permitiendo que se regrese al potencial de reposo, aproximadamente  $-70$  mV.

La figura 1.3A muestra la situación en la que una membrana variablemente permeable a  $Na^+$  y  $K^+$  separa estos dos componentes, la figura 1.3B muestra la permeabilidad de la membrana asociada a los potenciales mencionados previamente.

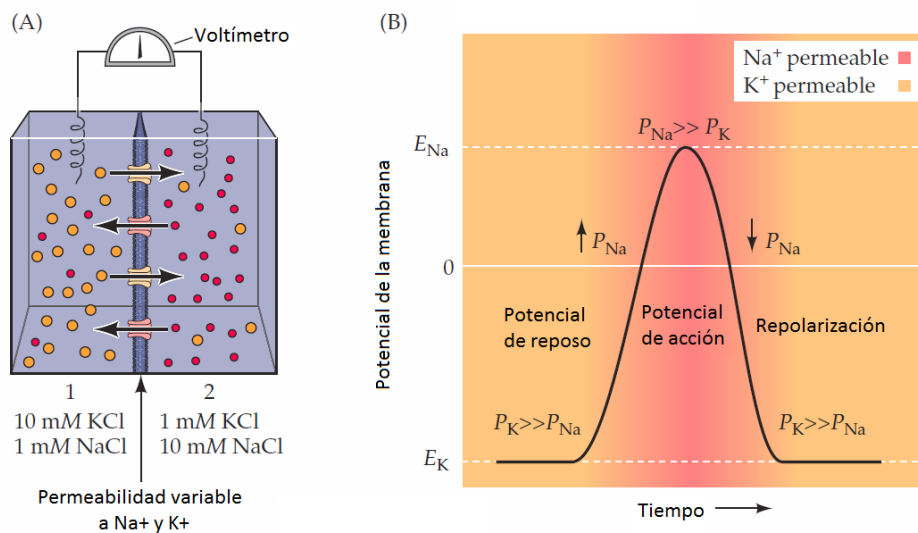


Figura 1.3 Variación en el potencial de la membrana celular (imagen modificada) [2]

### 1.3. Características de las señales neuronales

Las señales neuronales, se generan a partir de potenciales eléctricos (biopotenciales) y pueden ser medidas de manera invasiva y no-invasiva. La primera, representa un riesgo, pues se tiene que realizar una operación para poder colocar los electrodos, pero ofrecen una mayor resolución; la segunda, no conllevan el riesgo de la medición invasiva, pero ofrece menor resolución pues el tejido actúa como un



filtro pasa bajos, el cual atenúa las señales de alta frecuencia hasta ser confundidos con ruido. La medición de manera invasiva puede realizarse de manera intracelular o extracelular usando microelectrodos. La medición de manera intracelular se realiza insertando un electrodo en la neurona para medir el voltaje o corriente a través de la membrana neuronal u otras membranas celulares; la medición de manera extracelular, se realiza desde fuera de la célula, de esta forma, se puede medir patrones de los potenciales de acción en muchas áreas del sistema nervioso. Además, dado que no se afecta las neuronas directamente, permite realizar investigaciones por períodos de tiempo extendidos. La despolarización genera potenciales de acción extracelulares los cuales varían en el rango de los 100 Hz a 10kHz, y su duración es de unos cuantos milisegundos. Las amplitudes de los potenciales de acción de manera intracelular se encuentran alrededor de los 70 mVpp, mientras que los mismos de manera extracelular se encuentran en el rango de los 50  $\mu$ Vpp a 500  $\mu$ Vpp. Estos valores dependen de la distancia de la neurona activa al electrodo que obtiene la señal [3]. Los campos eléctricos producidos por cada neurona se suman para producir los llamados potenciales de campo local (LFP). Estos son medidos con los mismos microelectrodos usados para medir la actividad individual. Los LFP, son señales que nos indican el grado de actividad coordinada entre múltiples neuronas en una región del cerebro, estos son de baja frecuencia, varían desde los 0.001Hz hasta los 200Hz y tienen una amplitud que varía desde los 500  $\mu$ Vpp hasta los 5 mVpp, estos obtenidos usando microelectrodos extracelulares [4,5].

#### **1.4. Formas de obtención de señales neuronales**

Estas señales son de interés, pues brindan información relevante acerca de la actividad cerebral. Por ello, se deben hallar formas de obtenerlas, lo cual se logra transformándolas en señales eléctricas que se puedan trabajar por distintos medios de procesamiento de señales. Existen dos tipos de actividades cerebrales que son de interés: las electrofisiológicas y las hemodinámicas.

La actividad electrofisiológica es generada por transmisores electro-químicos que transmiten información entre las neuronas. Estas actividades son medidas a través de electroencefalograma (EEG), electrocorticograma (ECoG), magnetoencefalograma (MEG), y la medición independiente de la neurona.

Por otro lado, la actividad hemodinámica, es el proceso en el cual la sangre libera glucosa a las neuronas activas en mayor proporción que en el área de neuronas inactivas. Estos cambios pueden ser cuantificados por métodos de neuroimagen como imagen por resonancia magnética funcional (fMRI) y la espectroscopia del

infrarrojo cercano (NIRS). Estos métodos se llaman indirectos, pues miden la respuesta hemodinámica, la cual no es directamente relacionada con la actividad neuronal [6].

#### **1.4.1. Electroencefalograma (EEG)**

Los EEG son señales que pueden ser fácilmente medidas de manera no invasiva usando electrodos ubicados en corteza del cráneo, por esta razón es la modalidad de medición más usada. Para obtenerlas, estas tienen que cruzar el cuero cabelludo, el cráneo y las capas posteriores. Por ello, estas señales son de baja amplitud, difíciles de adquirir y de baja calidad. Esta técnica es afectada por el ruido generado al interior del cerebro o aquel generado sobre la corteza del cráneo.

#### **1.4.2. Magnetoencefalograma (MEG)**

La MEG es una técnica de adquisición de imagen no invasiva que registra la actividad magnética del cerebro mediante inducción magnética. La ventaja en comparación a los EEG, es que los campos magnéticos sufren menos distorsión por el cráneo y la corteza que los campos eléctricos. Su uso para la adquisición de señales neuronales no es muy popular, debido al espacio que ocupan y su alto costo lo hace una adquisición que no es muy útil si se quiere usar día a día.

#### **1.4.3. Electrocorticograma (ECoG)**

El ECoG es una técnica que mide la actividad eléctrica en la corteza del cerebro, esto quiere decir que los electrodos son posicionados directamente en la superficie del cerebro. En comparación con los EEG, estos proveen una mejor resolución, así como mayor amplitud. La principal desventaja de los ECoG es que, al ser una técnica invasiva, se requiere de una craneotomía para implantar los electrodos, lo cual puede ser peligroso para el paciente.

#### **1.4.4. Medición independiente de la neurona**

Esta es una técnica de neuroimagen la cual mide la actividad eléctrica dentro de la materia gris del cerebro. Al igual que los ECoG, esta es una técnica invasiva por lo que se tienen que implantar un arreglo de electrodos en la corteza cerebral para capturar tanto los potenciales de acción (AP) como los potenciales de campo local (LFP).

Esta técnica nos da una mayor resolución que los EEG, por ello estas señales pueden ser más fáciles de usar. Sin embargo, la calidad de la señal está altamente relacionada a la sensibilidad del microelectrodo, y es vulnerable a la degeneración de estos por el paso del tiempo.

#### **1.4.5. Imagen por resonancia magnética funcional (fMRI)**

El fMRI es una técnica de neuroimagen no invasiva, la cual detecta los cambios en el volumen de sangre local del cerebro, circulación de sangre en el cerebro y

niveles de oxigenación durante la activación de neuronas por medio de campos electromagnéticos. La mayor ventaja de esta técnica es la alta resolución, por lo que se usa para la localización de regiones activas dentro del cerebro.

#### 1.4.6. Espectroscopia del infrarrojo cercano (NIRS)

La NIRS es un método de espectroscopia óptico que usa luz infrarroja para caracterizar de manera no invasiva las fluctuaciones en el metabolismo del cerebro durante la actividad neuronal [6].

En la tabla 1.1, se observa la comparación entre las técnicas antes mencionadas.

Tabla 1.1 Principales métodos de técnicas de neuroimagen [6]

Método	Actividad medida	Tipo de medición	Resolución temporal	Resolución espacial	Riesgo	Portabilidad
EEG	Eléctrica	Directa	~0.05s	~10mm	No invasiva	Portable
MEG	Magnética	Directa	~0.05s	~5mm	No invasiva	No portable
ECoG	Eléctrica	Directa	~0.003s	~1mm	Invasiva	Portable
Medición independiente de la neurona	Eléctrica	Directa	~0.003s	~0.5mm (LFP) ~0.005mm (AP)	Invasiva	Portable
fMRI	Metabólica	Indirecta	~1s	~1mm	No invasiva	No portable
NIRS	Metabólica	Indirecta	~1s	~5mm	No invasiva	Portable

Los métodos previamente mencionados se centran en la actividad cerebral; sin embargo, como se mencionó anteriormente, existen señales eléctricas a lo largo del cuerpo humano que también son de interés para distintas investigaciones. El registro de estas señales se conoce como electrogramas y adicionalmente a los ya mencionados (EEG y ECoG) se detallarán dos de los más usados a nivel clínico.

#### 1.4.7. Electrocardiograma (ECG)

Es una representación gráfica de la actividad eléctrica del corazón, la cual registra esta en cada latido cardiaco. Se realiza desde la superficie corporal del paciente y se realiza la representación gráfica, donde se observan diferentes ondas que representan los estímulos eléctricos de las aurículas y ventrículos.

Se utiliza para medir el ritmo y la regularidad de los latidos, el tamaño y posición de las aurículas y ventrículos, cualquier daño al corazón y los efectos que puedan tener sobre el distintos fármacos o dispositivos implantados (marcapasos).

La información que proporcionan puede ser utilizada en el diagnóstico de distintas enfermedades como arritmias cardiacas o como el infarto de miocardio.

#### 1.4.8. Electromiograma (EMG)

Un electromiograma consiste en recoger la actividad eléctrica de los músculos. La contracción del músculo se debe a la descarga eléctrica del nervio que lo controla.

Los EMG permiten mejorar el entendimiento de la relación entre los nervios y músculos. Si los nervios están afectados, varían las características de los impulsos nerviosos que transmiten.

La figura 1.4 muestra la distribución de frecuencia y amplitud de algunos biopotenciales de interés. Estas señales, varían por debajo de 1Hz hasta aproximadamente 10kHz en frecuencia y desde 1 $\mu$ V hasta por encima de 10mV en amplitud.

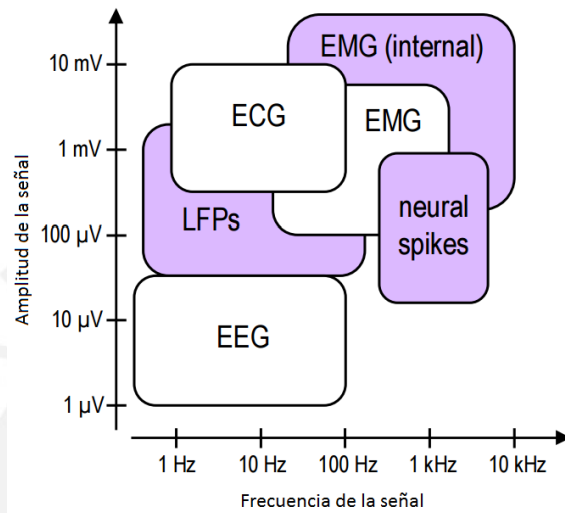


Figura 1.4 Frecuencia y amplitud de principales biopotenciales [7]

## Capítulo 2

# Sistema de adquisición de señales neuronales y técnicas de reducción de ruido

### 2.1. Estructura general

La adquisición de señales neuronales se realiza mediante las siguientes etapas: arreglo de electrodos, pre-amplificación, filtrado, amplificación de ganancia programable y el conversor análogo-digital. Las cuales son definidas a continuación:

**Arreglo de electrodos:** El estudio de señales neuronales requiere de un monitoreo simultáneo de la actividad de múltiples neuronas en distintas partes del cerebro. De esta forma, se puede obtener información de distintas neuronas de modo que en conjunto esta información pueda ser representativa. Por ello se utiliza un arreglo de electrodos, estos son los dispositivos a través de los cuales se obtienen las señales neuronales, estos tienen requerimientos rigurosos en cuanto a selectividad, sensibilidad, precisión y longevidad [5].

**Pre-amplificación:** Como se ha mencionado anteriormente, las señales que generan las neuronas son de una amplitud muy pequeña, por eso la posibilidad de que algún ruido se acople a la señal y esta sea distorsionada es muy alta. Es por ello que, en esta etapa, se diseña un bloque pre-amplificador de bajo ruido el cual busca amplificar las señales débiles que se obtienen de los electrodos [8].

**Filtrado:** La etapa de pre-amplificación puede también servir como un filtro pasabajos de primer orden. Sin embargo, se suele utilizar una etapa de filtrado luego de la amplificación para obtener una mejor relación señal a ruido, esto debido a que las señales neuronales son de potencia muy baja. La frecuencia de corte generalmente se sitúa a los 10kHz (AP) y se reduce para obtener señales de menor frecuencia como los LFP (200Hz) [8].

**Amplificador de ganancia programable:** El objetivo de esta etapa es realizar una segunda amplificación a las señales para obtener valores adecuados para la etapa de digitalización.

**Conversor análogo digital:** En esta etapa se convierte la señal analógica obtenida en una señal digital. Con la señal digitalizada se pueden usar distintas técnicas de procesamiento digital para obtener información de esta. Además, una señal digital es preferida considerando una comunicación inalámbrica con el mundo exterior.

La figura 2.1 muestra las etapas de un sistema de adquisición de señales neuronales.



Figura 2.1 Etapas de un sistema de adquisición de señales neuronales

## 2.2. Parámetros de diseño

En primer lugar, se debe considerar el tipo de arreglo de electrodos que se va a utilizar, pues la impedancia que este posee puede alterar el diseño del amplificador en sí. Estos deben presentar baja impedancia, un alto límite de inyección de carga y una alta relación señal a ruido en los implantes de largo periodo de tiempo. Cuando el tamaño de estos se reduce, sucede lo mismo con el volumen del microelectrodo logrando causar menos daño durante el implante, sin embargo, esto aumenta la impedancia [9].

El consumo de potencia en todo circuito es importante, y en este tipo de aplicaciones no es la excepción. El amplificador diseñado debe consumir la menor cantidad de potencia posible debido a la poca cantidad de potencia de la cual estos sistemas disponen, pueden ser alimentados con baterías o de manera inalámbrica. Así mismo, se debe cuidar la integridad del paciente por ello, si el calor generado por la disipación de potencia del circuito es alto, se puede dañar el tejido neuronal. Finalmente, dado que la adquisición de señales neuronales se realiza a través de un arreglo de electrodos, el consumo de potencia del amplificador se multiplicará por la cantidad de canales utilizados, es por ello que se busca minimizar el consumo de potencia para que el dispositivo diseñado pueda ser utilizado para implantes [10] [11].

Como se mencionó anteriormente, el bajo consumo de potencia es un factor crítico en el diseño del amplificador, es por ello que es importante saber el compromiso que existe entre este y otro parámetro de gran importancia para el diseño como lo es el ruido. Esta relación es expresada por el NEF (noise efficiency factor), obtener bajos niveles de NEF representa que el circuito diseñado es eficiente en términos de bajo ruido de entrada y baja potencia consumida.

Idealmente, la salida diferencial de un amplificador debe ser cero cuando la entrada diferencial es cero, pero usualmente existe un voltaje entre las salidas del amplificador llamado voltaje de offset. Este es producto de una implementación asimétrica del circuito debido a imperfecciones en el proceso de manufactura; se desea pues que este voltaje de offset no influya mucho en la señal a amplificar por lo que este debe ser lo menor posible [10, 12].

Se desea que el máximo rango de excursión simétrica de salida sea lo mayor posible, de manera que no distorsione la señal de salida (posterior a la amplificación),

así permite que la posterior etapa de procesamiento se realice con mayor precisión [5].

Se deben tener en cuenta otros parámetros como lo son el rechazo al modo común (CMRR), el cual nos permite discriminar las señales de interés de aquellas componentes de modo común de entrada; así mismo, el factor de rechazo a fuente de alimentación (PSRR), el cual nos indica el nivel de rechazo a fluctuaciones en la fuente de alimentación.

### **2.3. Fuentes de ruido**

Debido a la pequeña amplitud de las señales a tratar, estas son susceptibles al ruido lo cual podría afectar a las siguientes etapas del sistema y es por ello que se tienen que tomar en cuenta al momento del diseño. Estas son: el ruido neuronal extracelular, el ruido de los electrodos, la interferencia electromagnética, el ruido flicker y el ruido térmico. Estos dos últimos se producen en el amplificador, por lo que es de interés conocer la naturaleza de los mismos.

#### **2.3.1. Ruido térmico**

El ruido térmico es causado por las diversas fluctuaciones aleatorias en la energía de los electrones conductores en elementos resistivos, esto incluye a los transistores. Este ruido es idealmente blanco, con una densidad espectral de potencia constante a lo largo del espectro de frecuencia [13, 14].

#### **2.3.2. Ruido flicker**

Llamado también ruido  $1/f$  o ruido rosado, su comportamiento sigue a  $1/f$  por lo que a bajas frecuencias es bastante significativo. Los transistores de entrada son los que contribuirán de mayor manera con este tipo de ruido, pues el ruido generado por estos se añadirá directamente a la señal y será luego amplificada en las etapas posteriores. Las causas de este tipo de ruido no son bien conocidas, pero se tienen dos teorías respecto a este. La primera es que se debe a fluctuaciones aleatorias en el número de portadores mientras que segunda indica que las fluctuaciones en la movilidad es la causa de este tipo de ruido [15].

### **2.4. Técnicas de reducción de ruido**

Para reducir el efecto de los ruidos mencionados, se necesitan implementar formas de eliminar o reducirlos. Se presentan dos técnicas para lograr esto; la técnica de autozero y la técnica chopper.

#### **2.4.1. Autozero**

La idea básica de la técnica autozero es muestrear las cantidades no deseadas y restarlo del valor instantáneo de la señal afectada. El muestreo puede realizarse a la entrada o salida del amplificador. La figura 2.2 muestra el procedimiento para el offset, el cual se realiza de la misma manera para el ruido flicker. Esto se realiza en dos

fases; la fase de muestreo y la fase de procesamiento de señal. El offset se almacena en el condensador C durante la fase de muestreo, durante este tiempo el amplificador no puede ser utilizado. En la fase de procesamiento de señal, la señal es amplificada y el offset es restado a la salida del amplificador. Es por ello que no es posible realizar la técnica autozero en una aplicación continua en el tiempo. Sin embargo, se puede utilizar la topología “ping-pong” en la cual un amplificador está amplificando mientras el otro está muestreando el offset, de esta manera se obtiene una operación “cuasi-continua”, pero esto requiere de mayor consumo de potencia, así como área ocupada [21] [22].

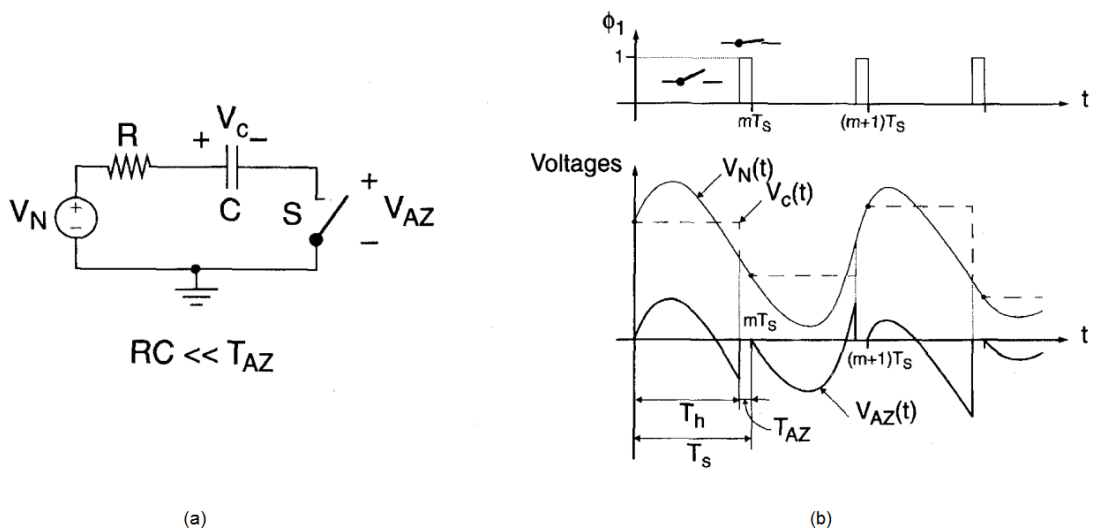


Figura 2.2 (a) Circuito de autozero y (b) señal al aplicar autozero [21]

#### 2.4.2. Modulación chopper

Como se mencionó anteriormente, esta técnica es utilizada para reducir los efectos del offset y el ruido flicker. Este método no reduce estos problemas, sino que los aísla de la señal original en el dominio de la frecuencia, de modo que el ruido pueda ser removido sin afectar la señal. Como se observa en la figura 2.3, la señal de entrada es modulada a altas frecuencias, en donde el ruido flicker no se encuentra ubicado. La señal modulada es luego amplificada para ser finalmente demodulada a la frecuencia original. El resultado luego de la demodulación es una señal que no se ve seriamente afectada por el ruido flicker [21].



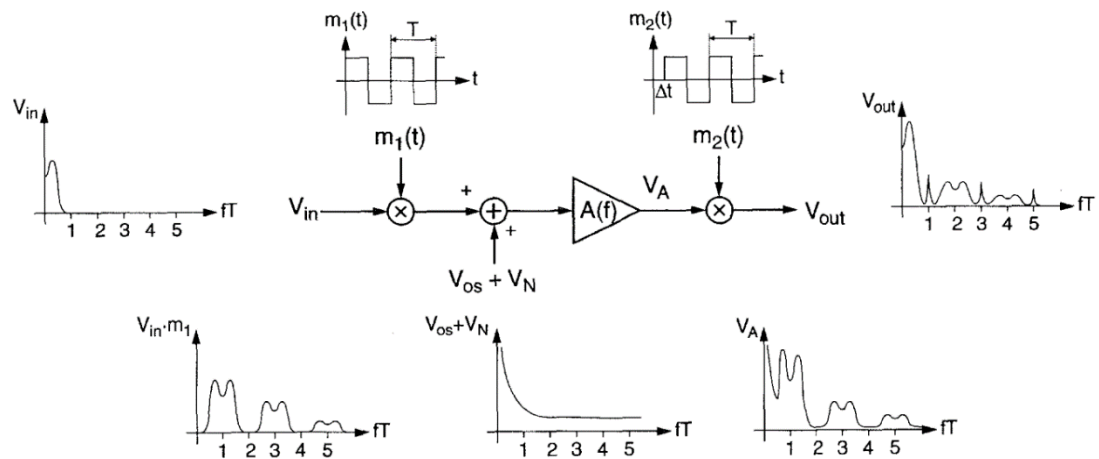


Figura 2.3 Principio básico de la técnica chopper [21]

Si el amplificador tuviera un ancho de banda infinito, la señal amplificada podría ser recuperada a como era previa a la modulación, debido a que la demodulación es exactamente igual a la modulación, por lo que el demodulador recolectaría la señal de todos los armónicos en la que esta modulada. Como los amplificadores tienen un ancho de banda finito, no se podrá recuperar la señal completamente. La frecuencia chopper debe ser lo suficientemente grande como para separar el ruido flicker de la señal y su valor máximo no debe hacer que el armónico principal de la señal fuera del ancho de banda del amplificador como se observa en la ecuación 2.1.

$$f_{corner} + BW_{señal} < f_{chopper} < BW_{amplificador} - BW_{señal} \quad (2.1)$$

## 2.5. Estado del arte en amplificadores de señales neuronales

En los últimos años se han venido realizando distintos trabajos en circuitos integrados para sistemas de adquisición de señales neuronales. A continuación, se presentarán algunos de los trabajos más representativos.

### 2.5.1. Amplificador Telescópico completamente diferencial (Fully differential telescopic OTA)

La figura 2.4 muestra la topología usada en [16], el cual utiliza un preamplificador telescópico completamente diferencial, seguido de una etapa de common mode feedback (CMFB). Proporciona una entrada y salida diferencial, este amplificador fue diseñado pensando en una siguiente etapa de amplificación programable es por ello que el rango de salida de esta primera etapa no es un factor limitante, se eligió esta topología al reducir el consumo de potencia.

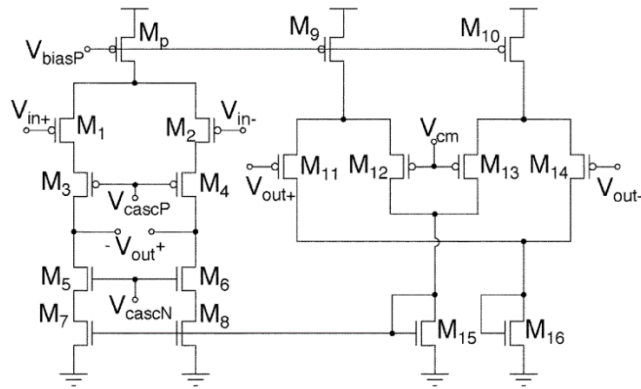


Figura 2.4 Amplificador telescópico completamente diferencial [16]

Para la segunda etapa se utilizó un amplificador cascode plegado completamente diferencial (fully differential folded cascode OTA). Gracias a la primera etapa, los requerimientos de ruido de la segunda son mucho menores. Se utiliza la topología folded cascode debido a que, en esta etapa, el requerimiento principal es el de alcanzar un mayor rango de salida. En la figura 2.5 se observa el amplificador seguido de la etapa de CMFB.

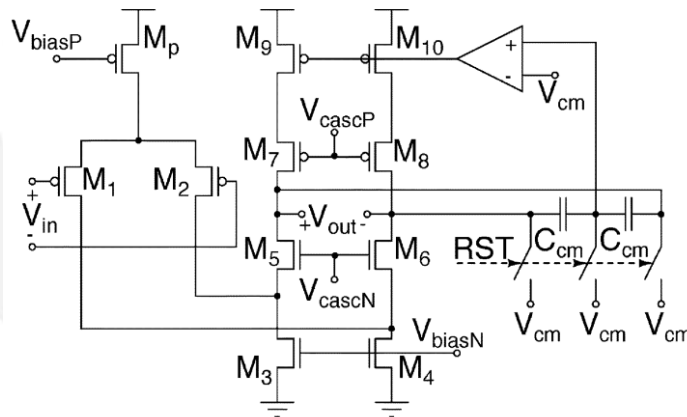


Figura 2.5 Amplificador cascode plegado completamente diferencial [16]

### 2.5.2. Amplificador completamente diferencial con reúso de corriente (Fully differential current-reuse OTA)

A comparación de una configuración en lazo abierto, la ganancia de la configuración en lazo cerrado está determinada por los componentes de realimentación, los cuales aseguran un valor más constante. A cambio, se obtiene un valor de ganancia considerablemente menor que en el lazo abierto.

El amplificador implementado en [17] presenta una estructura completamente diferencial basado en una arquitectura cascode. Utiliza una técnica de reúso de corrientes para mejorar la relación entre potencia consumida y ruido. Esta técnica se

utiliza en la entrada para mejorar la eficiencia de la corriente para obtener un máximo  $gm/Id$  y un bajo ruido. Los cuatro transistores de la entra se encuentran polarizados en la región de inversión débil para asegurar un bajo nivel de ruido térmico. La figura 2.6 muestra el amplificador en mención acompañado del circuito CMFB.

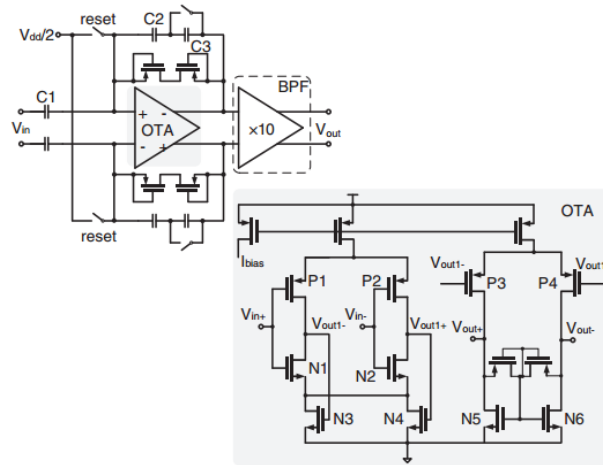


Figura 2.6 Amplificador de lazo cerrado [17]

### 2.5.3. Estructura OTA parcialmente compartida (Partial OTA sharing structure)

La topología utilizada en [11] es la de un amplificador telescópico cascode, como se observa en la figura 2.8. La diferencia del presentado en 2.5.1, es que este cuenta con una única salida para una entrada diferencial mientras que el anterior tenía una salida completamente diferencial, la cual ayuda a reducir los efectos del ruido a modo común.

Este trabajo se realizó pensando en un arreglo de amplificadores y no solo en uno. En la figura 2.7 (a) se observa la forma tradicional en la que se implementa un amplificador de lazo cerrado, la ganancia está determinada por  $C_1/C_2$  mientras que los transistores  $M_3$ - $M_8$  actúan como resistencias de alto valor y ajustan la frecuencia de corte pasa altas del amplificador. En la figura 2.7 (b) se observa que la parte pasiva correspondiente al electrodo de referencia ( $V_{ref}$ ), debido a que solo será necesario un condensador ( $C_1$ ), el área ocupada se reducirá en función a la cantidad de amplificadores utilizados.

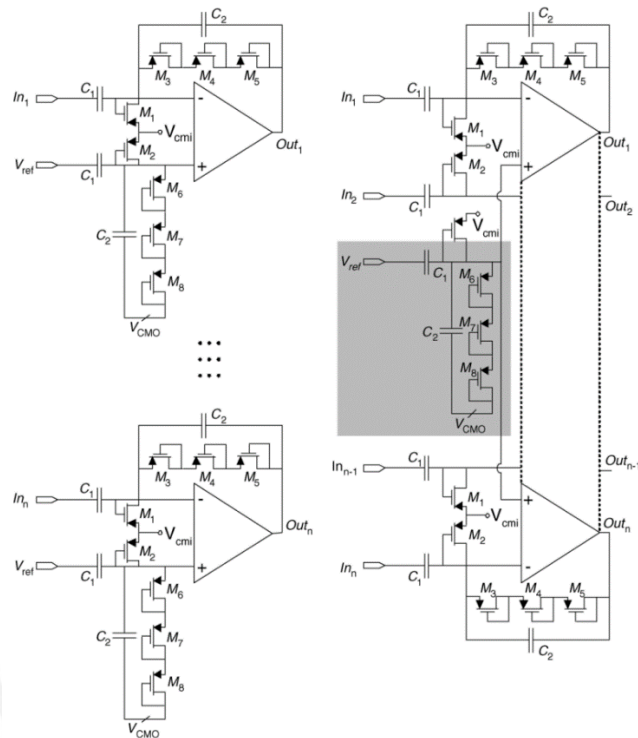


Figura 2.7 (a) Estructura convencional: arreglo de  $n$  amplificadores. (b) Estructura OTA parcialmente compartida: arreglo de  $n$  amplificadores [11]

En la figura 2.8 se aprecia que en cada rama del par diferencial circula una corriente de  $I$ , debido a la configuración propuesta, el consumo de corriente total será de  $(n+1)I$ , mientras que en la estructura convencional el consumo de corriente escala al nivel de  $2nI$ . El ahorro del consumo de potencia marca una clara diferencia entre la estructura convencional y la propuesta nuevamente en función a la cantidad de amplificadores utilizados; sin embargo, La complejidad del layout del circuito incrementa para altos valores de  $n$ , pues para evitar una degradación del CMRR y el crosstalk se requiere de un layout muy preciso y simétrico.

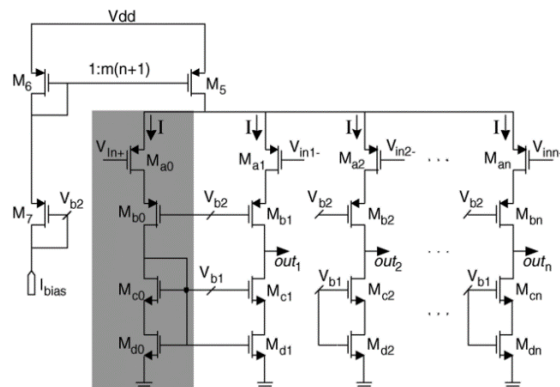


Figura 2.8 Circuito esquemático de la estructura OTA parcialmente compartida [11]

## 2.6. Estado del arte en amplificadores chopper

Los trabajos mencionados anteriormente, fueron hechos optimizando las dimensiones de los transistores para obtener un bajo consumo de potencia, así como ruido. A continuación, se presentarán algunos trabajos recientes en los que se utiliza la técnica chopper para mejorar la reducción del ruido.

### 2.6.1. Chopper-stabilized differential difference amplifier (CHSDDA)

En la figura 2.9 se muestra la topología utilizada en este trabajo, la cual consta de dos etapas. La primera etapa es un amplificador operacional de espejos de corriente, mientras que la segunda etapa es un amplificador simple de dos etapas. El puerto positivo de entrada del DDA consiste de un modulador chopper  $S_1$  y una etapa de transconductancia, el puerto negativo consiste nuevamente de un modulador chopper  $S_2$  y una etapa de transconductancia. Los moduladores  $S_1$  y  $S_2$  modulan la señal de entrada diferencial a la frecuencia chopper. Las corrientes diferenciales que circulan por  $M_7$  y  $M_8$  son convertidas a voltajes diferenciales mediante la carga activa ( $M_{11} - M_{12}$ ). Finalmente, estos son demodulados por  $S_3$ , para luego pasar a la segunda etapa en la que se amplificará la señal, así como la conversión de diferencial a una sola salida. Una desventaja que posee esta topología es que el amplificador requiere un gran ancho de banda para realizar la modulación chopper, debido a que, si fuese menor, se perdería la señal de entrada.

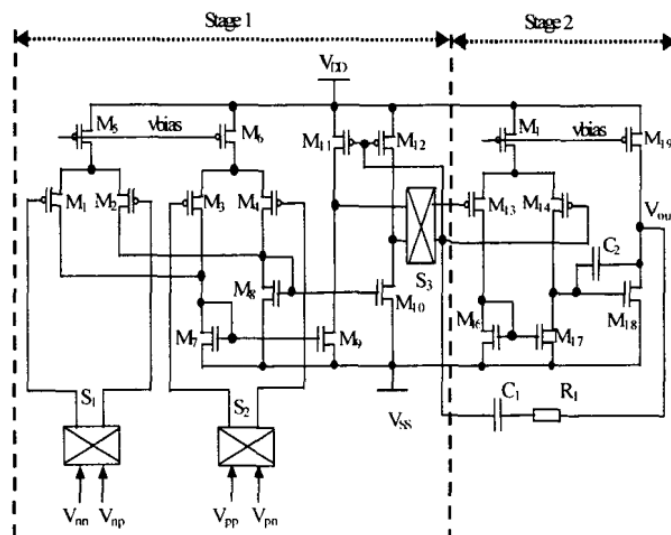


Figura 2.9 Chopper-stabilized differential difference amplifier [18]

### 2.6.2. Amplificador chopper telescópico completamente diferencial (Fully differential telescopic chopper amplifier)

La topología presentada en [20] se muestra en la figura 2.10. En esta se tiene la señal de entrada modulada a la frecuencia chopper antes de entrar al amplificador.

Luego se tienen dos demoduladores en la primera etapa del amplificador, uno de ellos ubicado en los drenadores de los transistores de entrada lo que demodula la señal AC a banda base y modula el offset a la frecuencia chopper, otro par se encuentra en los drenadores de la fuente de corriente PMOS que modula el ruido flicker a la frecuencia chopper. A la salida del amplificador, la señal regresa a banda base mientras que el offset y el ruido flicker quedan modulados a la frecuencia chopper. La segunda etapa consiste de una topología *common-source* sin la fuente de corriente de cola para incrementar el rango de salida.

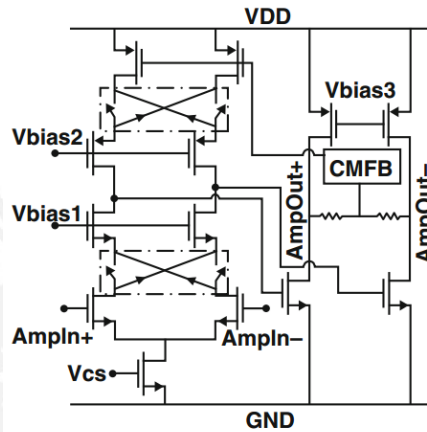


Figura 2.10 Amplificador chopper telescópico completamente diferencial [20]

### 2.6.3. Amplificador chopper cascode plegado (Folded cascode chopper amplifier)

La figura 2.11 muestra la topología utilizada en [19]. En ella se aprecia la topología folded cascode con algunas modificaciones al diseño básico. Clásicamente se requiere de un solo demodulador para implementar la técnica chopper, el cual va a la salida del amplificador seguido de un filtro pasabajas. En este trabajo, se colocan dos demoduladores, el primero ubicado en los drenadores de los transistores  $M_{12}$  y  $M_{13}$  el cual demodula la señal ac deseada y modula las señales de ruido no deseadas. El segundo demodulador se encuentra en los drenadores de los transistores  $M_8$  y  $M_9$ , los cuales modulan los errores de estos. Para reducir la contribución de ruido de los transistores  $M_3$  y  $M_4$ , se escalan a dimensiones relativamente altas al igual que las resistencias. Con esta arquitectura, la salida de la etapa de transconductancia se encuentra en banda base y permite al integrador la compensación y el filtrado del ruido y offset.

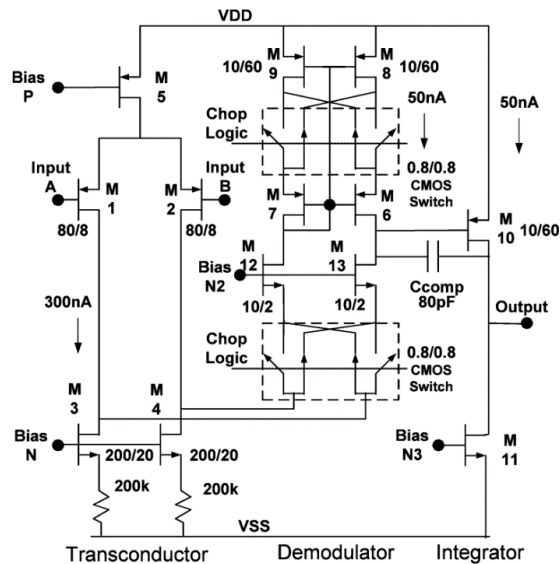


Figura 2.11 Folded cascode chopper amplifier [19]

## 2.7. Elección de la topología.

En la tabla 2.1 se aprecia una comparación entre los distintos resultados obtenidos por los trabajos previamente mencionados, algunos de estos no cumplen con los requerimientos que se han determinado para el presente trabajo. El amplificador telescópico completamente diferencial si bien consume poca potencia y el ruido que genera es bajo, no entrega un rango de salida suficiente para ser implementado en una sola etapa. El amplificador de lazo cerrado solo puede reducir el ruido flicker aumentando el área del gate del par diferencial, por ello esta topología se deja de lado. La topología del partial OTA sharing ofrece una reducción considerable de área y consumo de potencia cuando se utilizan varios amplificadores; sin embargo, al aumentar estos, aumenta también la dificultad del diseño del layout.

La propuesta del Chopper-stabilized differential difference amplifier obtiene buenos resultados en cuanto a ruido se refiere; sin embargo, para lograr la modulación chopper, requiere de una corriente de polarización muy alta, lo que incrementa el consumo de potencia haciéndolo poco práctico si se desea un arreglo con una gran cantidad de canales.

El amplificador chopper telescópico completamente diferencial, al ser completamente diferencial ofrece grandes ventajas como son un rango de salida del doble en comparación de los de una salida obteniendo una mejor relación señal a ruido (SNR); asimismo, presentan un mejor CMRR. Sin embargo, necesitan de un circuito extra, el common mode feedback (CMFB) lo que se traduce en un mayor consumo de potencia, así como una mayor área.

Finalmente, la propuesta del amplificador chopper cascodo plegado, si bien tiene desventajas frente a otras topologías en cuanto a consumo de potencia o área se refiere, ofrece muchas ventajas frente a las mismas. Al ser de una salida, no se requiere de algún circuito extra además del circuito de polarización. Además, ofrece un rango de salida suficiente para poder ser utilizada en una sola etapa. Adicionalmente, otra ventaja que presenta es que las corrientes pueden ser particionadas de mejor manera, lo cual puede mejorar los parámetros de ruido. El amplificador a diseñar está basado en el amplificador chopper folded cascode expuesto en [19] y [23].





Parámetro	Publicación					
	[19]	[20]	[18]	[11]	[17]	[16]
Referencia	[19]	[20]	[18]	[11]	[17]	[16]
Topología	Folded cascode chopper amplifier	Fully differential telescopic chopper amplifier	Chopper-stabilized differential amplifier	Partial OTA shunting structure	Fully differential current-reuse OTA	Fully differential telescopic OTA
Número de	1	1	1	4	1	1
Ganancia (dB)	41	38.5	100	39.4	34/40	33
Ancho de banda	180	230	1300	oct-00	430/5800	oct-00
Densidad de ruido referido a la entrada (nV/Hz <sup>1/2</sup> )	95	-	59	-	43/-	-
Ruido referido a la entrada (μVrms)	0.98	1.25	-	3.5	5.71	6.08
Potencia disipada (μW)	2	1.5	450	7.92	0.8/0.16	8.4
Área (mm <sup>2</sup> )	-	-	-	0.0625	0.05	0.02
CMRR (dB)	>100	70	-	70.1	>60	-
PSRR (dB)	-	-	74	63.8	>70	-
THD (%)	<0.1% (5mV)	-	-	1 (5.7mV <sub>pp</sub> )	-	-
NEF	5.4	-	-	3.35	2.59	5.55
Corriente (μA)	1	1.21	150	4.4	0.8/0.16	-
Alimentación (V)	1.8	1.2	3	1.8	1	3
Tecnología	0.8μm CMOS	0.13μm CMOS	0.6μm CMOS	0.18μm CMOS	0.18μm CMOS	0.35μm CMOS

Figura 4.12 Layout del amplificador chopper

## Capítulo 3

### Diseño del amplificador chopper de señales neuronales

En el presente capítulo se mostrará el diseño correspondiente al amplificador chopper. Para esto se han tomado en cuenta los distintos requerimientos del sistema, así como los distintos compromisos que tienen durante la elaboración de un circuito integrado.

Se busca encontrar los valores de polarización y las dimensiones de los transistores que conforman el amplificador chopper. Con estos parámetros, se realizan distintas simulaciones para contrastarlos con los valores esperados.

Posteriormente, se realiza la elaboración del layout del circuito, para ello se utilizó la tecnología AMS  $0.35\mu m$ , con lo que se obtiene el dispositivo listo para la etapa de fabricación, por lo que se mencionarán distintas técnicas para la elaboración del layout

#### 3.1 Análisis en pequeña señal

Como se observa en la figura 3.1, se cuenta con el par diferencial el cual es completamente simétrico y la carga activa la cual es asimétrica. Esto último puede dificultar el análisis considerablemente puesto que, a diferencia de un circuito completamente diferencial, no se aplica el concepto de mitad de circuito y no se puede asumir el concepto de tierra virtual en la fuente de corriente de cola. Esto se debe a que la impedancia en las ramas de la carga activa no es igual.

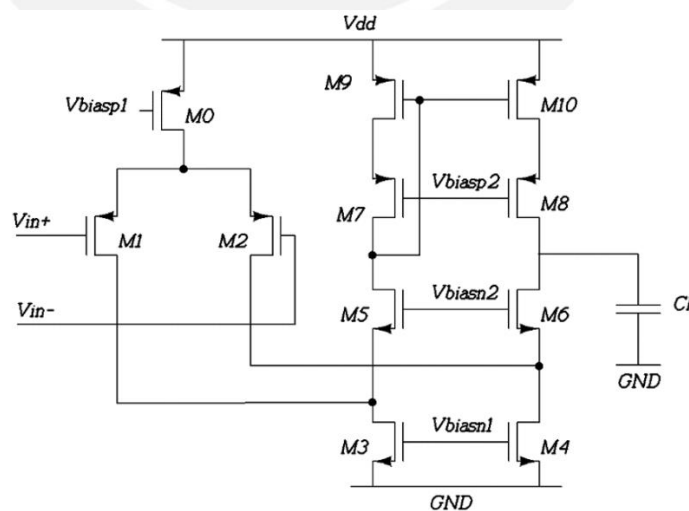


Figura 3.1 Folded cascode

Para el análisis en pequeña señal, primero se analiza la condición con los transistores en el punto de reposo, esto quiere decir tener en las entradas del par diferencial voltajes de polarización y se asume que todos los transistores están en saturación. En esta condición se tiene que el voltaje de salida es igual al voltaje del drenador del transistor  $M_7$  ( $V_{out} = V_{D7}$ ) esto es debido a que el ancho y longitud de canal de cada par de transistores en la carga activa son iguales. Una vez realizado el análisis con el circuito en el punto de reposo, se procede a realizar el llamado *análisis intuitivo en pequeña señal* el cual se centra en los cambios AC superpuestos en las variables DC. Esta técnica identifica los transistores que convierten el voltaje de entrada en corriente llamados *transistores de transconductancia*. Las corrientes creadas por estos transistores de transconductancia son seguidos hasta la impedancia de salida conectada a tierra, luego se multiplican obteniendo un voltaje en este nodo [24].

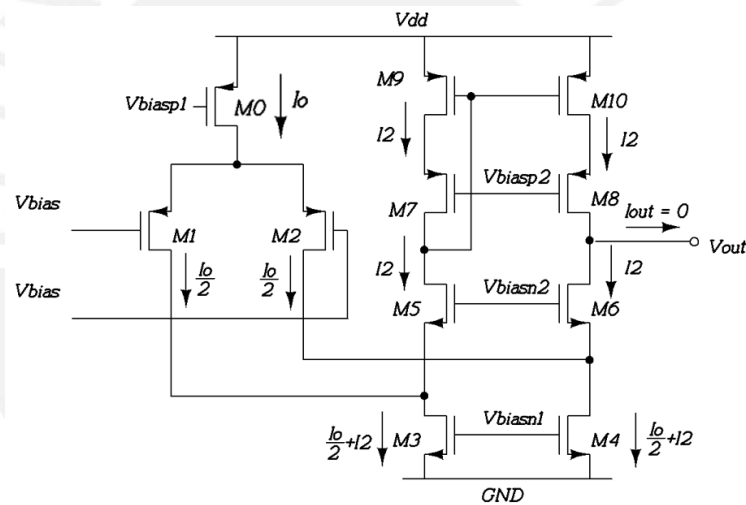


Figura 3.2 Circuito en el punto de reposo

### 3.1.1. Transconductancia

Como se mencionó anteriormente, el objetivo cuando se analiza el circuito como un OTA (operational transconductance amplifier) es hallar la corriente a la salida del transconductor asumiendo que todos los transistores trabajan en la región de saturación.

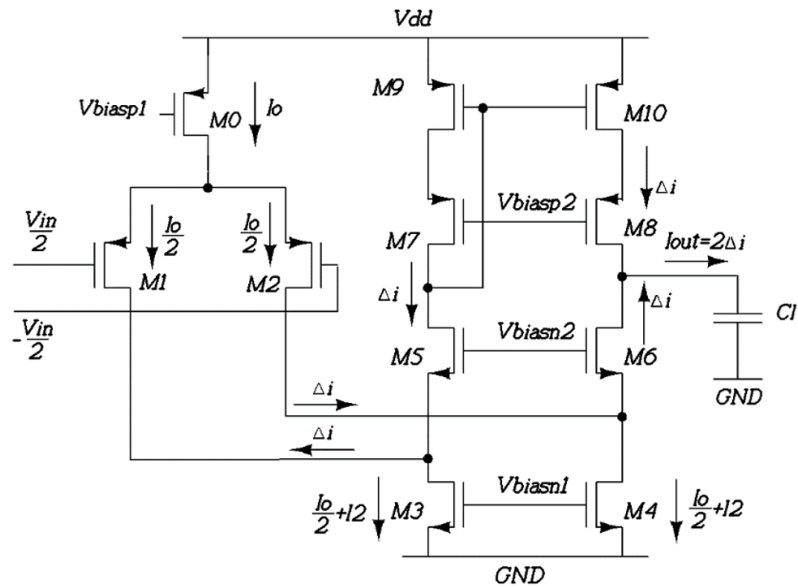


Figura 3.3 Análisis del op-amp folded cascode

Para una variación en el voltaje de entrada, la corriente que circula por los transistores M1 y M2 es  $\Delta i = g_{m1,2} \frac{v_{in}}{2}$  las cual es iguales y opuestas. La corriente que circula por M9 es invertida y sumada a la corriente que circula por el transistor M6, con lo que se obtiene una corriente ac en la carga de  $g_{m1,2} v_{in}$ . Entonces la transconductancia del op-amp es igual a la transconductancia del par diferencial. Esto es:

$$G_m = g_{m1} = g_{m2} \quad (3.1)$$

### 3.1.2. Impedancia de salida

Para el cálculo de la impedancia de salida, se agrega a la salida una fuente de voltaje de prueba y se conectan las entradas a tierra, con lo que se procede al cálculo de la corriente. Como se observa en la figura 3.4, se tiene la impedancia de salida igual al paralelo de la impedancia de la parte superior de la carga activa desde el nodo de salida y la parte inferior del mismo, esto es  $Z_1$  y  $Z_2$ .

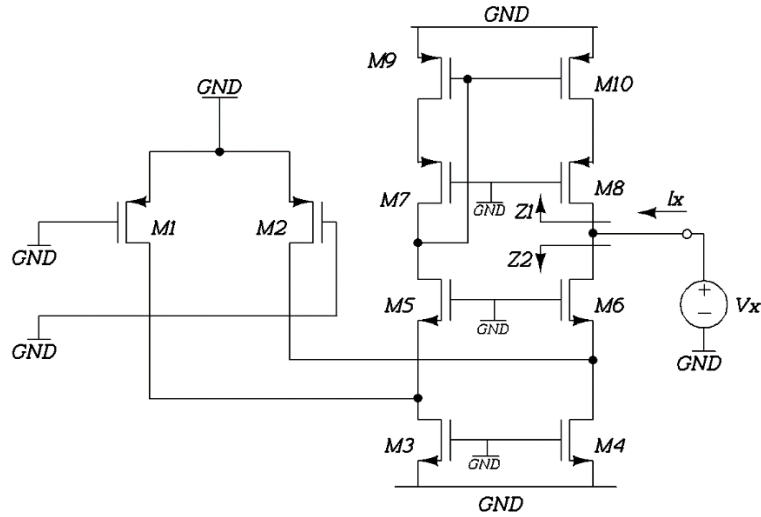


Figura 3.4 Análisis de la impedancia de salida del folded cascode

$$Z_1 = \frac{1}{g_{ds8}} + \frac{g_{m8} + g_{mb8}}{g_{ds8}g_{ds10}} + \frac{1}{g_{ds10}} \quad (3.2)$$

$$Z_2 = \frac{1}{g_{ds6}} + \frac{g_{m6} + g_{mb6}}{(g_{ds2} + g_{ds4})g_{ds6}} + \frac{1}{g_{ds2} + g_{ds4}} \quad (3.3)$$

Los términos  $g_{mb}$  aparecen debido al efecto cuerpo de los transistores, sin embargo, su valor es pequeño en comparación a  $g_m$ , por lo que se desprecia en el análisis. Asimismo, se simplifica el análisis considerando que  $\frac{g_{m8}}{g_{ds8}g_{ds10}} \gg \frac{1}{g_{ds8}}$ :

$$Z_1 = \frac{g_{m8}}{g_{ds8}g_{ds10}} \quad (3.4)$$

$$Z_2 = \frac{g_{m6}}{(g_{ds2} + g_{ds4})g_{ds6}} \quad (3.5)$$

$$Z_{out} = \frac{g_{m8}}{g_{ds8}g_{ds10}} // \frac{g_{m6}}{(g_{ds2} + g_{ds4})g_{ds6}} \quad (3.6)$$

La impedancia de salida puede ser expresada como conductancia de salida:

$$G_{out} = \frac{g_{ds8}g_{ds10}}{g_{m8}} + \frac{(g_{ds2} + g_{ds4})g_{ds6}}{g_{m6}} \quad (3.7)$$

### 3.1.3. Slew Rate

El slew rate es otro de los parámetros que se debe analizar en el circuito, la cual expresa capacidad de un amplificador para seguir variaciones rápidas de la señal de entrada.

Para el análisis se asume inicialmente que el valor de  $\frac{v_{in}}{2}$  es muy elevado, de tal manera que se tendrá que toda la corriente de la fuente  $I_0$  circulará por el transistor M1 y por el transistor M2 no circulará corriente alguna. Se tendrá entonces que la corriente que circula por la rama izquierda será  $I_2 - \frac{I_0}{2}$  la cual será reflejada a la parte

superior de la rama derecha, haciendo que la corriente a la salida del op-amp sea igual a  $I_0$ . Se tiene entonces:

$$SR = \frac{I_0}{C_L} \quad (3.8)$$

Ese análisis sin embargo es incompleto, pues se asume que el valor de  $I_2$  es mayor al de  $\frac{I_0}{2}$ , lo cual no es necesariamente cierto. Entonces el valor del slew rate calculado previamente solo será válido cuando  $I_2 > \frac{I_0}{2}$ . Si este no fuera el caso y  $I_2 < \frac{I_0}{2}$ , no circularía corriente por el transistor M5 y M3 se encontraría en la región triodo.

En el caso de que  $I_2 < \frac{I_0}{2}$ , nuevamente se analiza cuando el valor de  $\frac{v_{in}}{2}$  es muy elevado. En algún momento, el valor de la corriente que circula por el transistor M1 será  $I_2 + \frac{I_0}{2}$  lo que hará que la corriente que circule por la rama izquierda sea igual a cero, entonces la corriente que circula por la parte superior de la rama derecha será también cero. Lo cual hará que la corriente de salida sea igual a  $2I_2$ . Con lo cual la nueva expresión de slew rate será:

$$SR = \frac{2I_2}{C_L} \quad (3.9)$$

Esto puede ser escrito simplemente como:

$$SR = \frac{\min(I_0; 2I_2)}{C_L} \quad (3.10)$$

Este análisis nos permite elegir la corriente  $I_2$  para la aplicación que se requiere, típicamente se hace  $I_0 = 2I_2$  para el slew rate coincida.

### 3.1.4. Análisis de Ruido

Como se mencionó en el capítulo anterior, debido a su pequeña amplitud, las señales neuronales son muy susceptibles al ruido y es importante hacer un análisis de este en el diseño. A continuación, se realizará el análisis del ruido térmico y del ruido flicker.

Para ello, se coloca una fuente de corriente conectada entre los terminales de drenador y surtidor de cada transistor y se mide el voltaje a la salida del circuito.

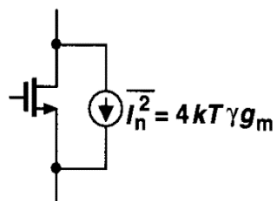


Figura 3.5 Ruido térmico de un MOSFET [13]

### 3.1.4.1. Ruido térmico:

Las corrientes a la salida debido a las fuentes de corriente conectadas en cada transistor son:

$$\overline{I_{M1,TH}^2} = 4KT\gamma g_{m1} \quad (3.11)$$

$$\overline{I_{M2,TH}^2} = 4KT\gamma g_{m2} \quad (3.12)$$

$$\overline{I_{M3,TH}^2} = 4KT\gamma g_{m3} \quad (3.13)$$

$$\overline{I_{M4,TH}^2} = 4KT\gamma g_{m4} \quad (3.14)$$

$$\overline{I_{M9,TH}^2} = 4KT\gamma g_{m9} \quad (3.15)$$

$$\overline{I_{M10,TH}^2} = 4KT\gamma g_{m10} \quad (3.16)$$

Finalmente se tiene:

$$\overline{I_{out,TH}^2} = 8KT\gamma(g_{m1} + g_{m3} + g_{m9}) \quad (3.17)$$

Para obtener el ruido en la entrada, se divide entre la transconductancia, con lo que se tiene finalmente:

$$\overline{V_{in,TH}^2} = \frac{8KT\gamma}{g_{m1}} \left(1 + \frac{g_{m3}}{g_{m1}} + \frac{g_{m9}}{g_{m1}}\right) \quad (3.18)$$

### 3.1.4.2. Ruido flicker:

Para el ruido flicker se realiza el mismo procedimiento con las fuentes de corriente y cada transistor con lo que se tiene:

$$\overline{I_{M1,1/f}^2} = \frac{K_P}{C_{ox}W_1L_1f} g_{m1}^2 \quad (3.19)$$

$$\overline{I_{M2,1/f}^2} = \frac{K_P}{C_{ox}W_2L_2f} g_{m2}^2 \quad (3.20)$$

$$\overline{I_{M3,1/f}^2} = \frac{K_N}{C_{ox}W_3L_3f} g_{m3}^2 \quad (3.21)$$

$$\overline{I_{M4,1/f}^2} = \frac{K_N}{C_{ox}W_4L_4f} g_{m4}^2 \quad (3.22)$$

$$\overline{I_{M9,1/f}^2} = \frac{K_P}{C_{ox}W_9L_9f} g_{m9}^2 \quad (3.23)$$

$$\overline{I_{M10,1/f}^2} = \frac{K_P}{C_{ox}W_{10}L_{10}f} g_{m10}^2 \quad (3.24)$$

Finalmente se tiene:

$$\overline{I_{out,1/f}^2} = \frac{2}{C_{ox}f} \left( \frac{K_P}{W_1L_1} g_{m1}^2 + \frac{K_N}{W_3L_3} g_{m3}^2 + \frac{K_P}{W_9L_9} g_{m9}^2 \right) \quad (3.25)$$

Nuevamente para obtener el ruido en la entrada, se divide entre la transconductancia, con lo que se tiene:

$$\overline{V_{in,1/f}^2} = \frac{2K_P}{C_{ox}W_1L_1f} \left( + \frac{K_N W_1 L_1}{K_P W_3 L_3} \left( \frac{g_{m3}^2}{g_{m1}^2} \right) + \frac{K_P W_1 L_1}{K_P W_9 L_9} \left( \frac{g_{m9}^2}{g_{m1}^2} \right) \right) \quad (3.26)$$

Utilizando la ecuación de transconductancia:

$$g_m = \sqrt{2I_D C_{ox} \mu_x \left(\frac{W}{L}\right)} \quad (3.27)$$

Se tiene finalmente:

$$\overline{V_{in,1/f}^2} = \frac{2K_P}{C_{ox} W_1 L_1 f} \left(1 + \frac{K_N C_{ox} \mu_n \left(\frac{I_0}{2} + I_2\right)}{K_P C_{ox} \mu_p \left(\frac{I_0}{2}\right)} \left(\frac{L_1}{L_3}\right)^2 + \frac{I_2}{\frac{I_0}{2}} \left(\frac{L_1}{L_9}\right)^2\right) \quad (3.28)$$

### 3.2. Requerimientos del amplificador

Para realizar el diseño del amplificador, es necesario definir los requerimientos de la aplicación. Para ello, se considerarán a las características de las señales neuronales discutidas en el Capítulo 1, así como a los trabajos realizados previamente por distintos autores. Estos requerimientos quedan resumidos en la tabla 3.1 para que se puedan apreciar con mayor facilidad.

Tabla 3.1 Requerimientos del amplificador

Parámetro	Requerimiento
Ganancia (dB)	> 40
Margen de fase (°)	> 60
Ancho de banda (Hz)	1 – 7000
Input ref. noise ( $\mu V_{rms}$ )	< 5
Potencia disipada ( $\mu W$ )	< 80
Área ( $mm^2$ )	0.2
Capacitancia de carga (pF)	20

### 3.3. Dimensionamiento de los transistores

#### 3.3.1. Par diferencial

Para comenzar el diseño, se determina la transconductancia requerida en el par diferencial para obtener el ancho de banda de 7kHz:

$$GBWP = \frac{g_{m1}}{C_l} \quad (3.29)$$

$$g_{m1} = 100.531 \mu S \quad (3.30)$$

Se observa que la transconductancia es de un valor alto, el cual es el mínimo necesario para obtener el ancho de banda requerido. Debido a esto, se dimensionan los transistores  $M_1$  y  $M_2$  para que trabajen en la región sub-umbral. Asimismo, al ser de un alto valor se reduce el ruido térmico según (3.18).



A continuación, se halla la corriente mínima requerida para poder obtener dicha transconductancia, para ello se utiliza la ecuación de la transconductancia para el transistor en la región sub-umbral:

$$g_m = \frac{I_D}{nU_t} \quad (3.31)$$

En donde  $I_D$  es la corriente de drenador,  $U_t$  es el voltaje térmico, y  $n$  es el factor.

Para obtener el factor  $n$ , se realizó la caracterización de la tecnología mediante el test bench de la figura 3.6. Para hallar el parámetro  $S$  (subthreshold slope), se hace un barrido del voltaje  $V_{sg}$  de 0 a 3.3V, se usaron las dimensiones de  $W = 10\mu m$  y  $L = 1\mu m$ .

$$S = n \cdot \ln(10) \cdot U_t \quad (3.32)$$

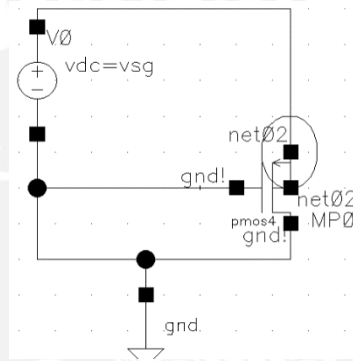


Figura 3.6 Test bench para la caracterización del transistor

En la figura 3.7, se observa una gráfica semilogarítmica de  $I_d - V_{sg}$ ; la corriente sub-umbral incrementa una década con un aumento de  $V_{sg}$  de 95.32mV.

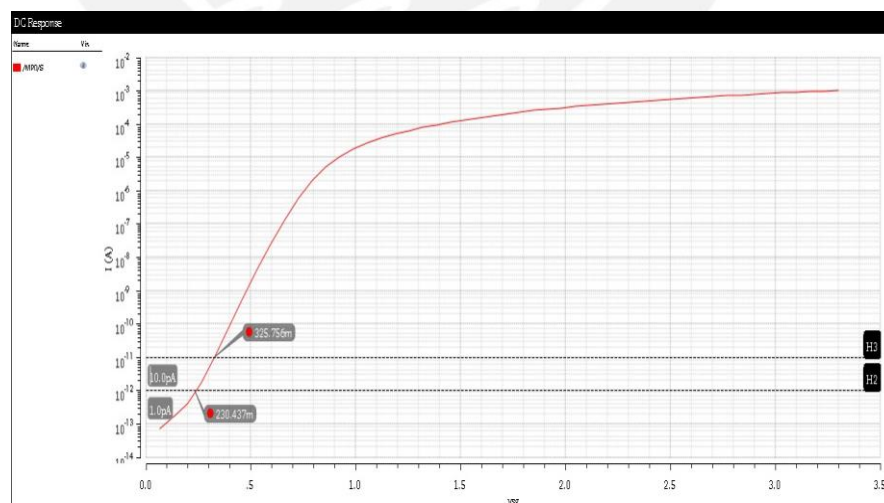


Figura 3.7 Pendiente en la región sub-umbral

Con ello se obtiene el valor de  $n = 1.6$ .

Tras hallar este valor de  $n$ , se realizaron los cálculos para la mínima corriente requerida por los transistores del par diferencial para obtener una transconductancia de  $100\mu S$ :

$$I_{D1_{min}} = 4.16\mu A \quad (3.33)$$

Se elige entonces una corriente en el par diferencial de  $4.5\mu A$ .

Para obtener el factor de forma de los transistores del par diferencial, se realizó la caracterización de la tecnología mediante el test bench de la figura 3.8. Para esta simulación, se eligieron las dimensiones del transistor de  $\left(\frac{W}{L}\right) = \frac{50\mu m}{10\mu m}$ . Se obtiene una familia de curvas para distintos valores de  $L$ , los cuales varían entre los valores de  $1\mu m$  y  $10\mu m$ . El resultado de estas se observa en la figura 3.9.

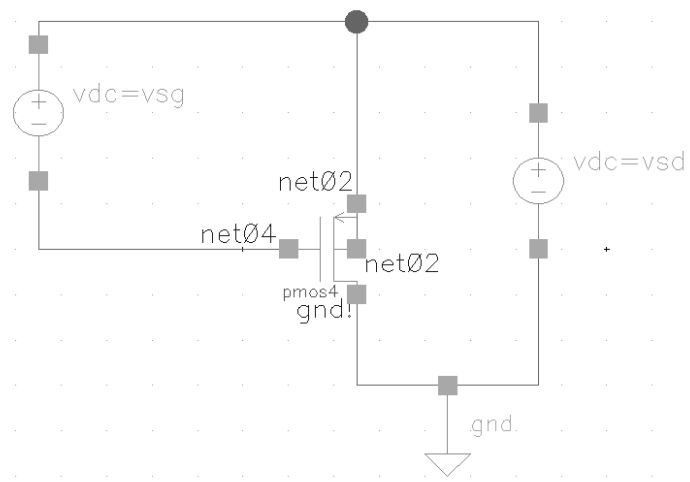


Figura 3.8 Test bench para la caracterización del transistor

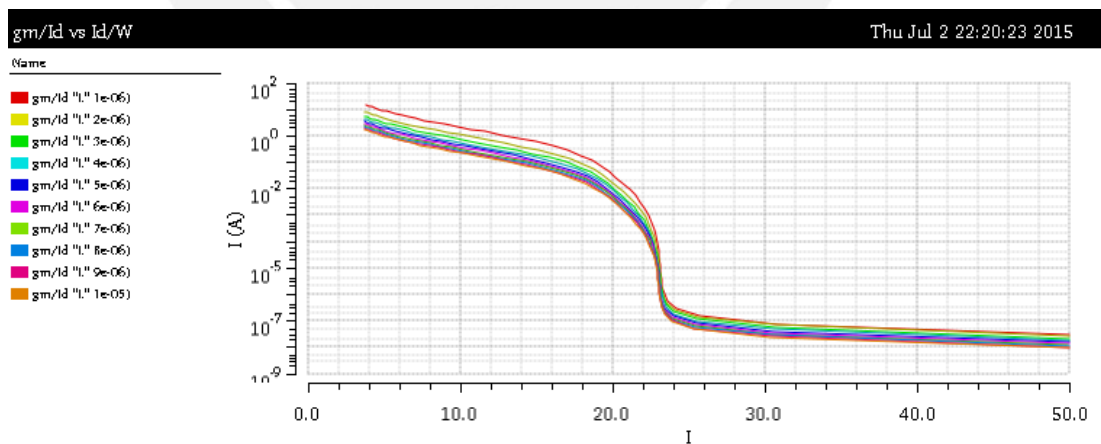


Figura 3.9 Curva  $g_m/I_D$  vs  $I_D/W$  para el transistor PMOS

Se elige un valor de  $L = 1\mu m$ , pues al aumentarlo se produce un incremento en  $W$  lo cual se traduce en mayor área, consumo de potencia e incremento en las capacitancias parásitas.

### 3.3.2. Carga activa

Para el diseño de las dimensiones de la carga activa, se debe elegir el valor de la corriente que circulará por estos. Para ello se tiene en cuenta las siguientes consideraciones:

La corriente de la carga activa es típicamente igual a la corriente del par diferencial, haciendo que en los transistores  $M_3$  y  $M_4$  circule el doble de esta. Sin embargo, esto no tiene por qué ser de esta manera y para alterarla se debe analizar los efectos de hacerlo. Uno de los efectos de alterar esta corriente se ve inmediatamente en la expresión de slew rate en (3.10)

De esta expresión se observa que si se disminuye la corriente  $I_2$ , el slew rate disminuirá pues si esta es menor a  $I_0$ , el slew rate quedará definido por  $I_2$ .

Otro efecto que tiene disminuir la corriente que circula por la carga activa es la ganancia del circuito, se tiene que:

$$A_0 = G_m Z_{out} = \frac{G_m}{G_{out}} \quad (3.34)$$

Entonces si se desea aumentar la ganancia, se puede aumentar la transconductancia del circuito o se puede aumentar la impedancia de salida, lo cual equivale a disminuir la conductancia de salida.

Para simplificar el análisis, se asume que  $G_1 = G_2$  con lo que:

$$G_{out} = \frac{2(g_{ds8}g_{ds10})}{g_{m8}} \quad (3.35)$$

De la ecuación de transconductancia (3.27), se deriva que:

$$g_{m8} \propto \sqrt{I_2} \quad (3.36)$$

Además:

$$\frac{1}{g_{ds}} = \frac{1}{\lambda_D} \quad (3.37)$$

$$g_{ds8} \propto I_2 \text{ y } g_{ds10} \propto I_2 \quad (3.38)$$

Finalmente, se puede expresar la conductancia de salida en función de la corriente  $I_2$ :

$$G_{out} = \frac{2(g_{ds8}g_{ds10})}{g_{m8}} \propto I_2^{3/2} \quad (3.39)$$

Se observa, que disminuyendo la corriente  $I_2$  se aumenta la ganancia del amplificador.

El último efecto al reducir la corriente de la carga activa se ve en el análisis de ruido realizado previamente. En la expresión (3.28), se observa que, al reducir la corriente en la carga activa, se reduce también la contribución al ruido flicker.

Entonces se elige un valor de  $1\mu A$  para la corriente de la carga activa.

Una vez conocido el valor de las corrientes de la carga activa, se procede al diseño de los transistores que los componen. Para esto, se fija el voltaje de saturación de los pares PMOS tanto como los NMOS a  $V_{DSAT} = 250mV$ . De esta manera se asegura que el voltaje de salida de la señal tenga un rango de excursión suficiente de modo tal que no se distorsione. Se utiliza la ecuación cuadrática para el cálculo del factor de forma de la carga activa:

$$\left(\frac{W}{L}\right) = \frac{2I_D}{C_{ox}\mu_x V_{DSAT}^2} \quad (3.40)$$

Donde  $C_{ox}\mu_x$  es  $58\mu \frac{A}{V^2}$  para los transistores PMOS y  $170\mu \frac{A}{V^2}$  para los transistores NMOS, estos son datos de los parámetros de proceso de la tecnología AMS035, la cual es utilizada en el presente trabajo.

De manera complementaria, en el diseño se debe tener en cuenta el análisis realizado en la primera parte del capítulo 3. Se observa que para reducir el ruido térmico se debe incrementar la transconductancia de los transistores del par diferencial  $M_1$  y  $M_2$ , así como disminuir la de los transistores  $M_3$ ,  $M_4$ ,  $M_9$  y  $M_{10}$ . Para lograr esto debemos tener en cuenta la expresión de transconductancia (3.27) y la siguiente que se deriva de la misma:

$$g_m = \frac{2I_D}{V_{DSAT}} \quad (3.41)$$

De estas se observa la relación entre la transconductancia y otros parámetros:

$$g_m \propto I_D, \quad g_m \propto \frac{1}{V_{DSAT}}, \quad g_m^2 \propto \left(\frac{W}{L}\right)$$

Dado que la corriente que circula por la carga activa ha sido fijada en  $1\mu A$ , se tienen 2 opciones para reducir el ruido térmico. Estas son aumentar el voltaje de saturación de cada transistor o disminuir el factor de forma de los mismos.

Para reducir el efecto del ruido flicker, se observa de la expresión (3.28) que se debe incrementar el tamaño de  $L_3$  y  $L_9$ .

Finalmente, teniendo en cuenta las consideraciones previamente mencionadas, se procede al dimensionamiento de los transistores, el cual se resume en la tabla 3.2.

Tabla 3.2. Dimensionamiento de los transistores

Transistor	$I_D (\mu A)$	$\frac{W}{L}$	$W (\mu m)$	$L (\mu m)$
$M_0$	9	3.45	17.25	5
$M_1$	4.5	128	128	1
$M_2$	4.5	128	128	1
$M_3$	5.5	1.035	5.2	5
$M_4$	5.5	1.035	5.2	5
$M_5$	1	1.1765	5.9	5
$M_6$	1	1.1765	5.9	5
$M_7$	1	0.5515	2.75	5
$M_8$	1	0.5515	2.75	5
$M_9$	1	0.5515	2.75	5
$M_{10}$	1	0.5515	2.75	5

### 3.4. Circuito de polarización

Como se aprecia en la figura 3.1, el circuito necesita ser polarizado para que los transistores  $M_0, M_3, M_4, M_5, M_6, M_7, M_8, M_9, M_{10}$  operen en la región de saturación. Para ello se hace uso de espejos de corriente, pues estos resultan en una menor sensibilidad del desempeño del circuito ante variaciones en la fuente de alimentación, así como cambios en la temperatura. Los espejos de corriente reflejan la corriente que circula por un transistor al transistor que se desea polarizar. A continuación, se realiza un análisis del comportamiento de los espejos de corriente:

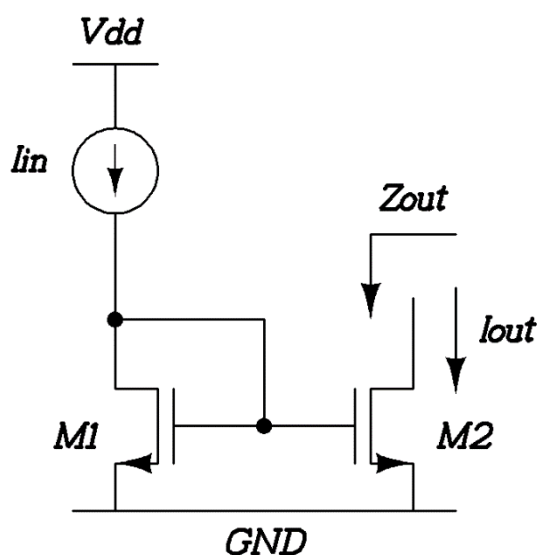


Figura 3.10 Espejo de corriente simple NMOS

$$I_D = \frac{1}{2} C_{ox} \mu_x \left(\frac{W}{L}\right) V_{DSAT}^2 (1 + \lambda V_{DS}) \quad (3.42)$$

$$\frac{I_{out}}{I_{in}} = \frac{\frac{1}{2} C_{ox} \mu_x \left(\frac{W}{L}\right)_2 V_{DSAT2}^2 (1 + \lambda V_{DS2})}{\frac{1}{2} C_{ox} \mu_x \left(\frac{W}{L}\right)_1 V_{DSAT1}^2 (1 + \lambda V_{DS1})} \quad (3.43)$$

Al ser los voltajes  $V_{GS1} = V_{GS2}$ , se puede simplificar esta expresión con lo que se tiene:

$$\frac{I_{out}}{I_{in}} = \frac{\left(\frac{W}{L}\right)_2 (1 + \lambda V_{DS2})}{\left(\frac{W}{L}\right)_1 (1 + \lambda V_{DS1})} \quad (3.44)$$

Si se desprecia el efecto de modulación de canal se tiene:

$$\frac{I_{out}}{I_{in}} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \quad (3.45)$$

Como se observa en la expresión (3.45), al despreciar el efecto de modulación de canal, ya no se dependerá de las variaciones del proceso como sería el caso de polarizar los transistores con voltajes. A simple vista se tiene control de la polarización de los transistores con su factor de forma. Sin embargo, el efecto de modulación de canal no puede despreciado en muchos casos, por lo que durante la fase de diseño se hace la aproximación de los factores de forma requeridos seguido de un ajuste fino de dimensiones para obtener finalmente la corriente deseada a la salida.

Se debe tener en cuenta también la impedancia de salida del espejo de corriente, pues su función es la de replicar el comportamiento de una fuente de corriente ideal. Para una fuente de corriente se busca que su impedancia de salida sea lo más grande posible (idealmente infinito), en el caso de un espejo de corriente simple la impedancia de salida está definida por:

$$Z_2 = \frac{1}{g_{ds2}} \quad (3.46)$$

De (3.46) se observa que, para obtener una impedancia de salida grande, se debe reducir  $g_{ds2}$  lo que se puede lograr incrementando la longitud de canal del transistor M2.

Debido a lo expuesto anteriormente, se realizan simulaciones para ver el efecto del cambio en las dimensiones de ancho y longitud de canal en la corriente de salida y que tan exacta es la corriente reflejada.

En la figura 3.11, se observa las curvas para una corriente de salida igual a  $5\mu A$  en función al voltaje de drenador del transistor M2, se realiza un análisis paramétrico manteniendo el ancho fijo  $W = 10\mu m$  para distintos valores de largo  $L$ , desde  $10\mu m$

hasta  $100\mu m$ . Se observa que conforme aumenta la longitud de canal de los transistores, la corriente reflejada es más cercana al valor deseado. Esto es debido a la impedancia de salida del circuito la cual aumenta proporcionalmente a la longitud de canal.

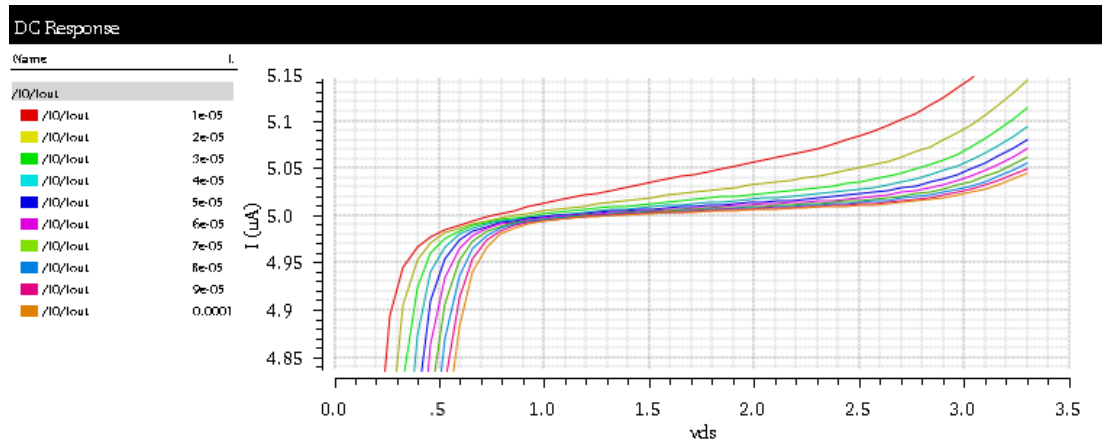


Figura 3.11 Corriente de salida vs voltaje de drenador para un espejo de corriente simple NMOS con el ancho  $W$  constante

Se realizó también una simulación con la misma configuración pero esta vez haciendo el análisis paramétrico para distintos valores de ancho  $W$ , desde  $10\mu m$  hasta  $100\mu m$ , manteniendo el largo  $L = 10\mu m$ . En la figura 3.12 se observa la corriente de salida en función al voltaje de drenador del transistor M2. Cuando el largo  $L$  del transistor es pequeño en relación al ancho  $W$ , la corriente pierde linealidad.

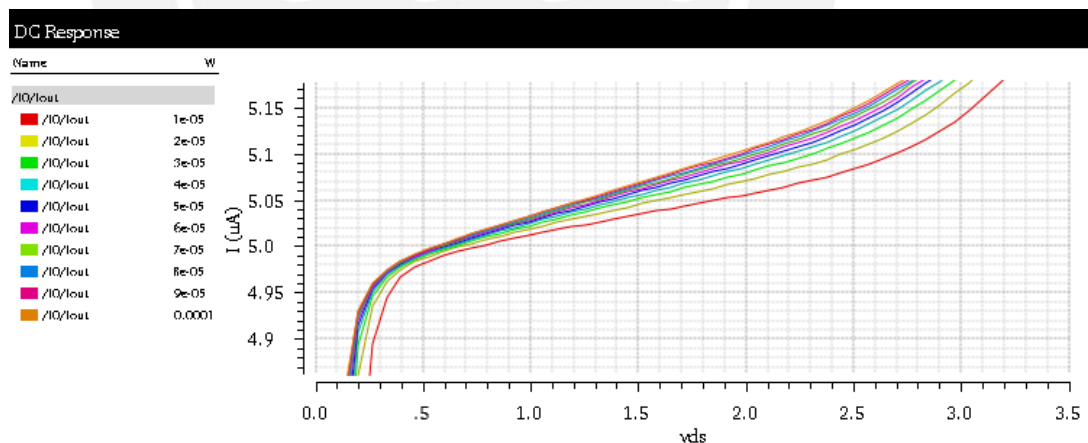


Figura 3.12 Corriente de salida vs voltaje de drenador para un espejo de corriente simple NMOS con el largo  $L$  constante

Al igual que para el espejo de corriente simple NMOS, se realizaron simulaciones que permiten apreciar el comportamiento del espejo de corriente simple PMOS. La figura 3.14 muestra un análisis paramétrico manteniendo el ancho fijo  $W = 10\mu m$  para distintos valores de largo  $L$ , desde  $10\mu m$  hasta  $100\mu m$ . Mientras que la figura

3.15 muestra la simulación realizada con la misma configuración para distintos valores de ancho  $W$ , desde  $10\mu m$  hasta  $100\mu m$ , manteniendo el largo  $L = 10\mu m$ .

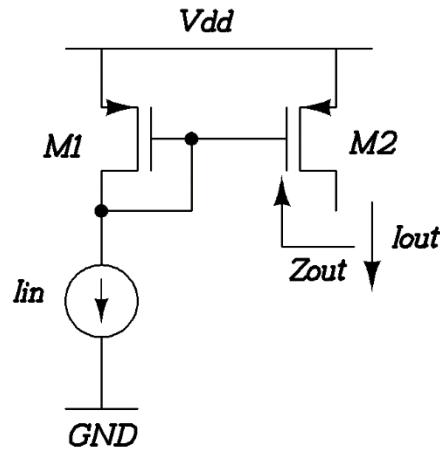


Figura 3.13 Espejo de corriente simple PMOS

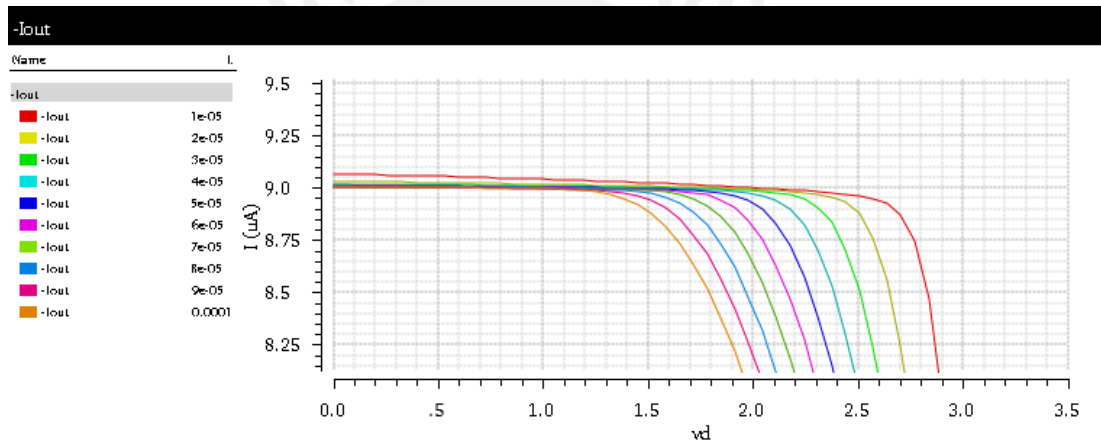


Figura 3.14 Corriente de salida vs voltaje de drenador para un espejo de corriente simple PMOS con el ancho  $W$  constante

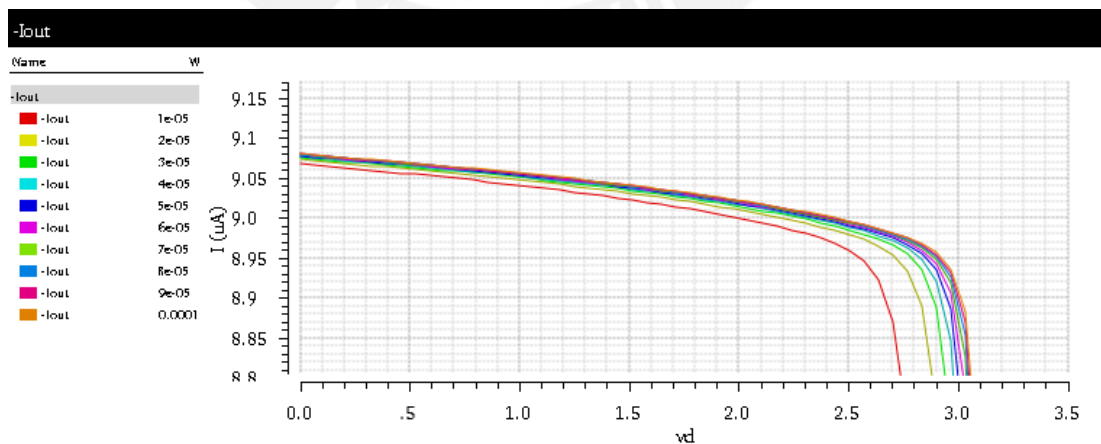


Figura 3.15 Corriente de salida vs voltaje de drenador para un espejo de corriente simple PMOS con el largo  $L$  constante



Se observa el mismo comportamiento que en el espejo de corriente simple NMOS; sin embargo, la corriente reflejada por el espejo de corriente simple PMOS es más exacta que aquella reflejada por el NMOS. Esto se debe a que en los transistores NMOS, los portadores mayoritarios son electrones y tienen una mayor movilidad ( $\mu_n$ ), lo cual representa una menor impedancia de salida.

Los espejos de corriente simples expuestos anteriormente se utilizan para polarizar un transistor a la salida. Sin embargo, como se aprecia en la figura 3.1 se cuenta con un espejo de corriente cascode de bajo voltaje PMOS en la parte superior al nodo de salida y un espejo de corriente cascode NMOS con una modificación para la salida del par diferencial. Para poder polarizar este tipo de configuración, se utilizan espejos de corriente cascode. Un caso en particular es el espejo de corriente cascode de bajo voltaje, el cual permite una excursión de voltaje a la salida alto lo cual permite que el rango a la salida del op-amp sea alto y no distorsione la señal de salida. Adicionalmente, al ser cascode tiene un incremento en la impedancia de salida en comparación de los espejos de corriente simple NMOS o PMOS.

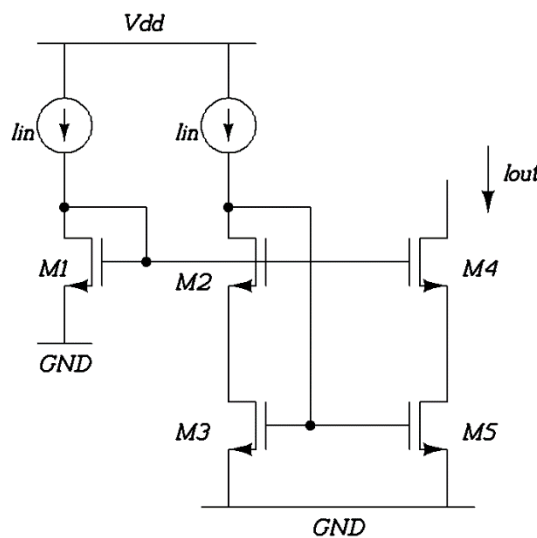


Figura 3.16 Espejo de corriente cascode NMOS

Para esta configuración también se realizaron simulaciones, esta vez con una corriente de salida de  $5\mu A$  se realiza un análisis paramétrico manteniendo el ancho fijo  $W = 10\mu m$  para distintos valores de largo L, desde  $10\mu m$  hasta  $100\mu m$ . En la figura 3.17 se observa que la corriente reflejada es mucho más exacta que la del espejo cascode simple, esto es debido a que al tener una configuración cascode a la salida, la impedancia del espejo aumenta, incrementando la exactitud de la corriente reflejada.

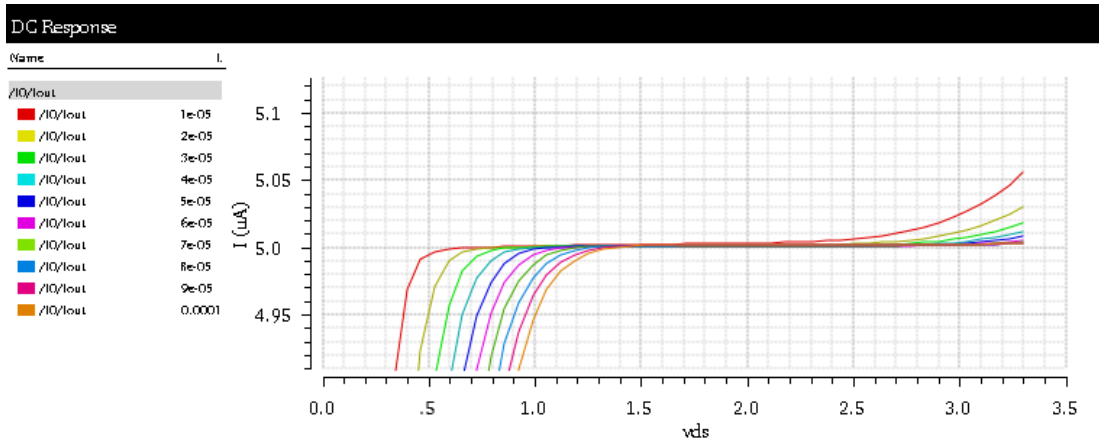


Figura 3.17 Corriente de salida vs longitud de canal

Al igual que para el espejo de corriente cascado de bajo voltaje NMOS, se realizaron simulaciones para el PMOS cuyos resultados quedan se grafican en la figura 3.17 en donde se refleja una corriente de  $1\mu A$  la salida. Nuevamente se obtiene una corriente reflejada de gran exactitud, al igual que en el caso anterior, debido a la impedancia de salida.

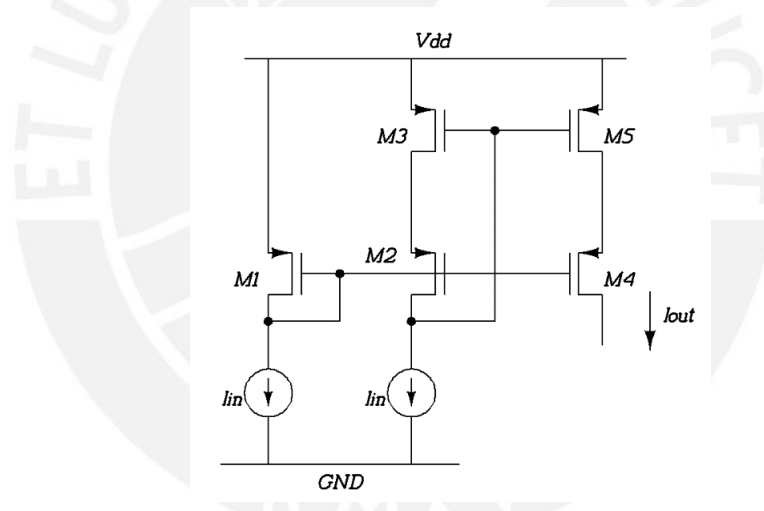


Figura 3.18 Espejo de corriente cascado PMOS

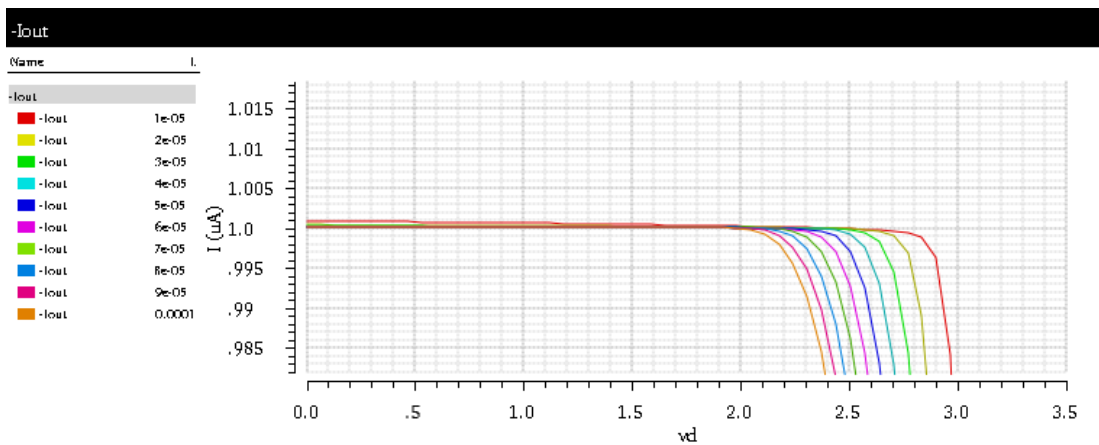


Figura 3.19 Corriente de salida vs longitud de canal

El circuito de polarización utilizado se realizó tomando en consideración el análisis previamente presentado, así como las simulaciones realizadas para poder elegir los valores adecuados de ancho y longitud de canal.

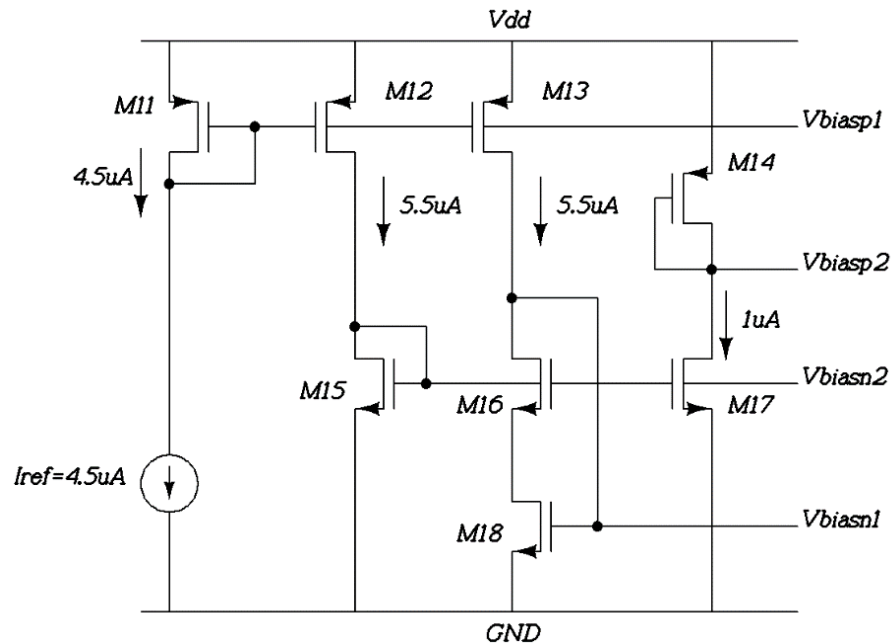


Figura 3.20 Circuito de polarización

Como se esperaba, luego de realizar la simulación DC para hallar el punto de operación, los resultados de las corrientes reflejadas no fueron los esperados, pero fueron muy cercanos a estos. Debido a esto, se realizó un ajuste fino de dimensiones de manera que estas sean lo más cercanas al valor ideal. Adicionalmente, se obtuvo un voltaje de salida en modo común relativamente alto, en comparación al deseado que es la mitad del voltaje de alimentación; sin embargo, es suficiente para la aplicación pues permite una excursión de salida sin distorsión. Esto se explicará con mayor detalle en el siguiente capítulo. Se muestra finalmente una tabla que resume los valores de las dimensiones de los transistores luego del ajuste mencionado.

Tabla 3.3 Ajuste de dimensiones de los transistores

Transistor	$I_D(\mu A)$	$\frac{W}{L}$	$W(\mu m)$	$L(\mu m)$
$M_0$	9.019	3,15	31.5	10
$M_1$	4.51	130	130	1
$M_2$	4.51	13	130	10
$M_3$	5.572	0,9	9	10
$M_4$	5.572	0,9	9	10
$M_5$	1.063	1,2	6	5
$M_6$	1.063	1,2	6	5
$M_7$	1.063	0,5	2.5	5
$M_8$	1.063	0,5	2.5	5
$M_9$	1.063	0,5	2.5	5
$M_{10}$	1.063	0,5	2.5	5
$M_{11}$	4.5	1,7	8.5	5
$M_{12}$	5.683	2,1	10.5	5
$M_{13}$	5.691	2,1	10.5	5
$M_{14}$	1.37	0,1	1	10
$M_{15}$	5.683	0,3	3	10
$M_{16}$	5.691	1,2	6	5
$M_{17}$	1.37	0,075	1.5	20
$M_{18}$	5.691	1	5	5

### 3.5. Modulación chopper

Luego de haber realizado el diseño de amplificador folded cascode, se deben colocar los moduladores en el mismo de tal manera que se logre la modulación chopper. Para ello se coloca un modulador a la entrada del par diferencial y los demoduladores en los nodos de baja impedancia. Esto último es una ventaja a comparación de colocarlos en la salida del circuito como se hace clásicamente, debido a que al colocarlos en estos nodos se logra que el ancho de banda del amplificador no limite la frecuencia chopper. Esta disposición se muestra en la figura 3.21.

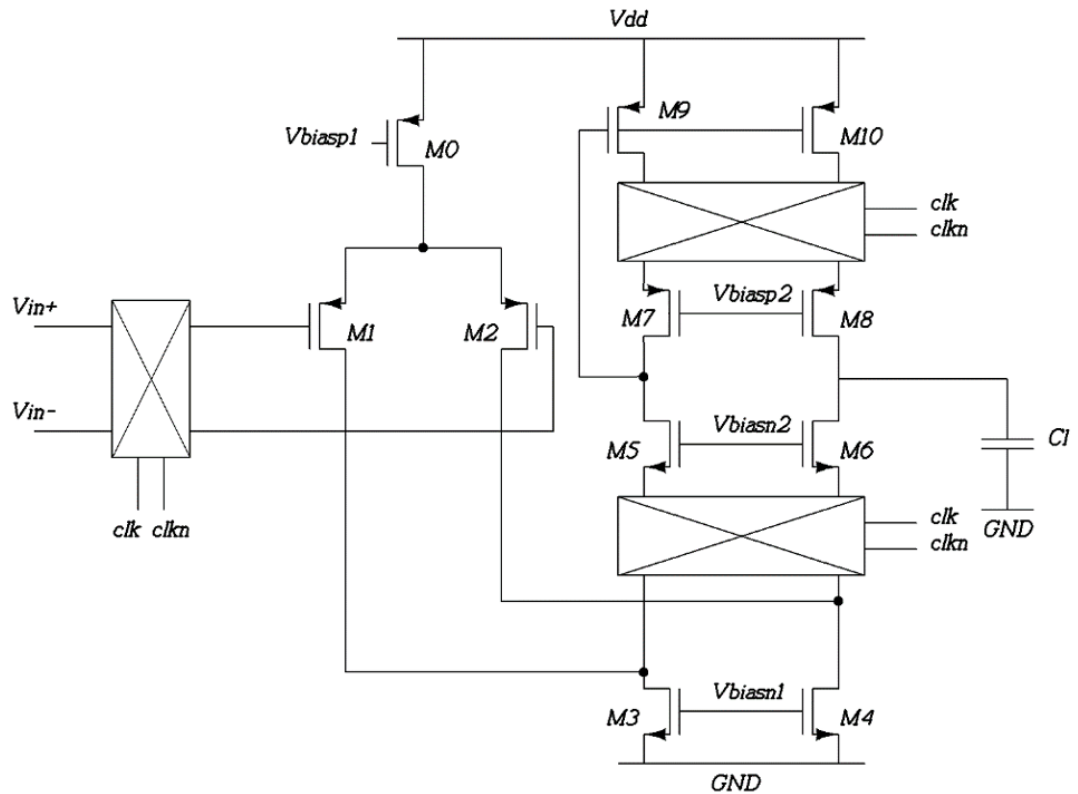
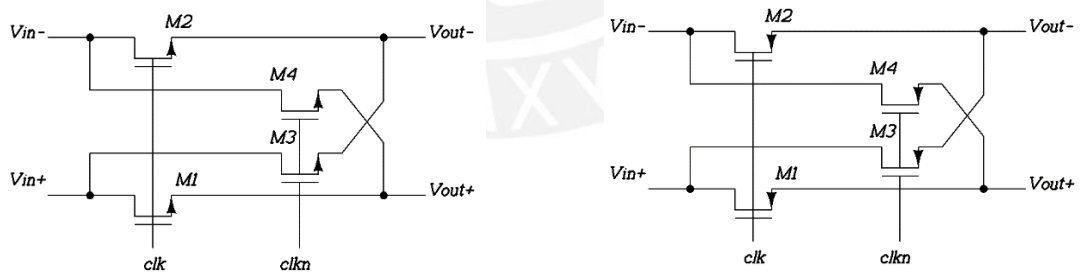


Figura 3.21 Amplificador chopper

La implementación de los moduladores se realiza con 4 conmutadores idénticos que alternan polaridad cada mitad de ciclo de la frecuencia chopper como se aprecia en la figura 3.22.

La entrada y salida del modulador chopper son los terminales drenador y surtidor respectivamente.



(a)

(b)

Figura 3.22 Moduladores chopper (a) NMOS (b) PMOS

### 3.6. Elaboración del layout

Luego de haber realizado el diseño eléctrico del circuito, se procede a realizar la elaboración del layout físico, esto es, diseñar físicamente cada transistor y hacer la distribución de patrones geométricos asociados al circuito.

Estos patrones estarán ubicados en diferentes capas sobre la oblea de silicio, superpuestas una a continuación de otra. Algunas de las capas con las que cuenta esta tecnología son: polisilicio para las compuertas de los transistores, difusión N+, difusión P+ para los surtidores y drenadores de los transistores NMOS y PMOS, pozo N para los substratos de los transistores PMOS, capas de metal para las interconexiones y vías que conectan estas últimas. La figura 3.21 muestra un corte transversal en el que se identifican las distintas capas mencionadas.

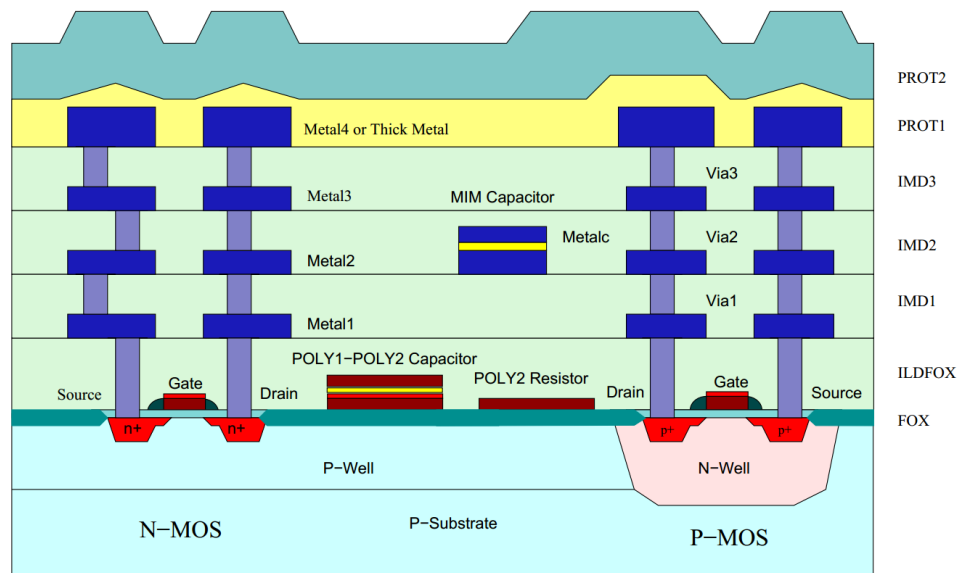


Figura 3.23 Corte transversal con la distribución de capas de metal para la tecnología AMS  $0.35\mu m$  [25]

A continuación, se presentarán distintas técnicas para la elaboración del layout, las cuales buscan optimizar la elaboración del mismo, de esta manera se reducen las capacitancias parásitas; así como el área ocupada por el circuito.

### 3.6.1. Interdigitación

Cuando el ancho de canal en un transistor es grande, este debe ser implementado utilizando la técnica de interdigitación. Estos transistores tendrán un área grande entre sus terminales de drenador y surtidor, lo que genera que la resistencia asociada a estas aumente, incrementando así el ruido del dispositivo. Con la técnica de interdigitación, se divide al transistor en varios transistores de anchos más pequeños interconectados en paralelo, reduciendo el área del drenador y surtidor, así como las capacitancias parásitas [26].

### 3.6.2. Simetría

Esta técnica se utiliza para implementar transistores que necesiten ser idénticos, como en las etapas diferenciales o los espejos de corriente. Estos deben tener las

mismas dimensiones y si geoméricamente idénticos. De este modo, se reduce la aparición de offset y el ruido en modo común [26].

### 3.6.3. Gradiente

El gradiente se refiere a las desigualdades en el dopaje luego de hacerse la implantación iónica.

Estos gradientes afectan las características de los transistores que originalmente fueron diseñados tomando en cuenta características similares. Las estructuras diseñadas se deben realizar de modo que los gradientes afecten de igual manera los mismos [26].



## Capítulo 4

### Resultados y simulaciones

En este capítulo se presentan los resultados de distintas simulaciones que validarán el correcto funcionamiento del amplificador chopper utilizando el software *Cadence*<sup>™</sup>. Para el diseño del esquemático se utilizó la herramienta *Virtuoso Schematic*, mientras que para el diseño del layout se utilizó la herramienta *LayoutXL*. Para las simulaciones se utilizó el simulador *Spectre* el cual utiliza el modelo del transistor BSIM3v3.

#### 4.1. Simulaciones

##### 4.1.1. Análisis DC

En primer lugar, se realizó un análisis DC del circuito, esto permite observar las corrientes que circulan por cada transistor, así como los voltajes en cada nodo del circuito. En la figura 4.2 se observa el *testbench* utilizado para realizar este análisis, al lado izquierdo se observa el circuito de polarización y al lado derecho el amplificador chopper. El amplificador chopper se encuentra alimentado con un voltaje de modo común de 1,6V en la entrada del mismo, con esto se asegura que los transistores del par diferencial se encuentran correctamente polarizados, las señales de reloj *clk* y *clkn* se encuentran en 3,3V y 0V respectivamente. En la figura 4.1 se observa el resultado de esta simulación, la cual provee mucha información del circuito. Uno de los parámetros más relevantes es el campo que indica la región de operación de cada transistor, *region 0* indica que el transistor se encuentra en corte, *region 2* indica que el transistor se encuentra en saturación y *region 3* indica que el transistor se encuentra en la región sub-umbral, como se observa los transistores se encuentran en las regiones de operación deseadas.

Se observa también que el amplificador chopper tiene un voltaje de modo común a la salida igual a 2,29V, este voltaje es relativamente grande considerando que usualmente se busca que este sea la mitad del máximo. Sin embargo, los voltajes de saturación del cascode PMOS M10 y M8 suman aproximadamente 570mV mientras que los voltajes del cascode NMOS M3 y M4 suman aproximadamente 380mV. El rango de excursión de salida va desde 380mV hasta 2,70V. Se tiene entonces que la máxima excursión simétrica es de 414mV, lo cual es suficiente para la amplificación que se desea.



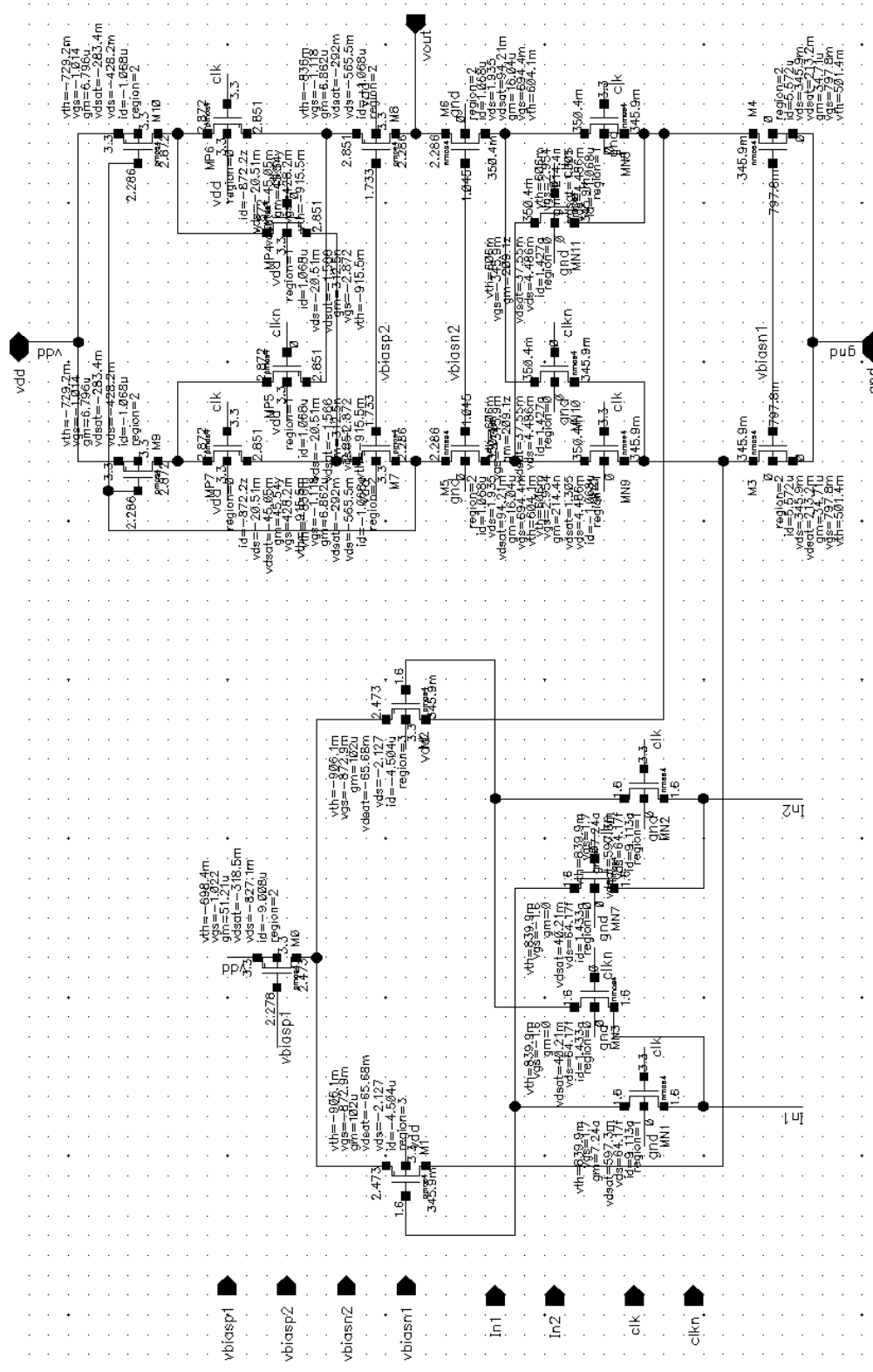


Figura 4.1 Resultados del análisis DC



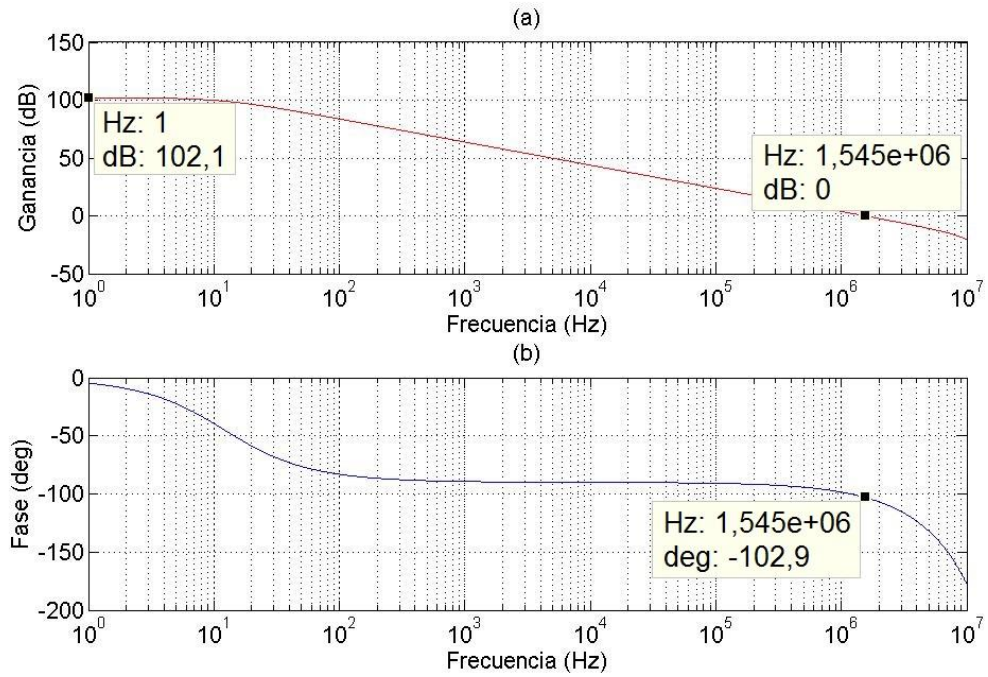


Figura 4.4 Respuesta en lazo abierto

En la figura 4.6 se observa la respuesta en lazo cerrado, la cual tiene una ganancia de  $45.88dB$  y un ancho de banda de  $7.96kHz$  lo cual cumple con los requerimientos previamente expuestos.

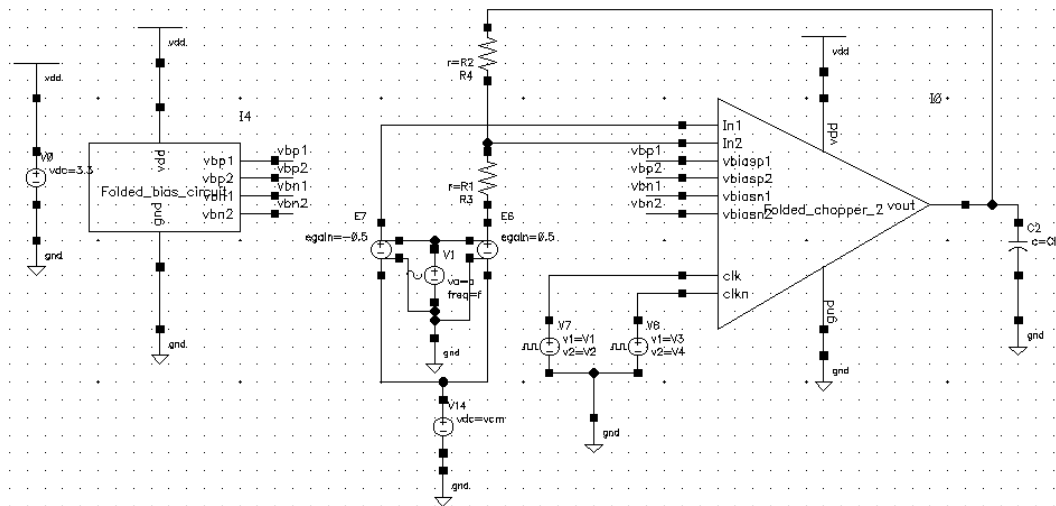


Figura 4.5 Testbench para el análisis AC en lazo cerrado

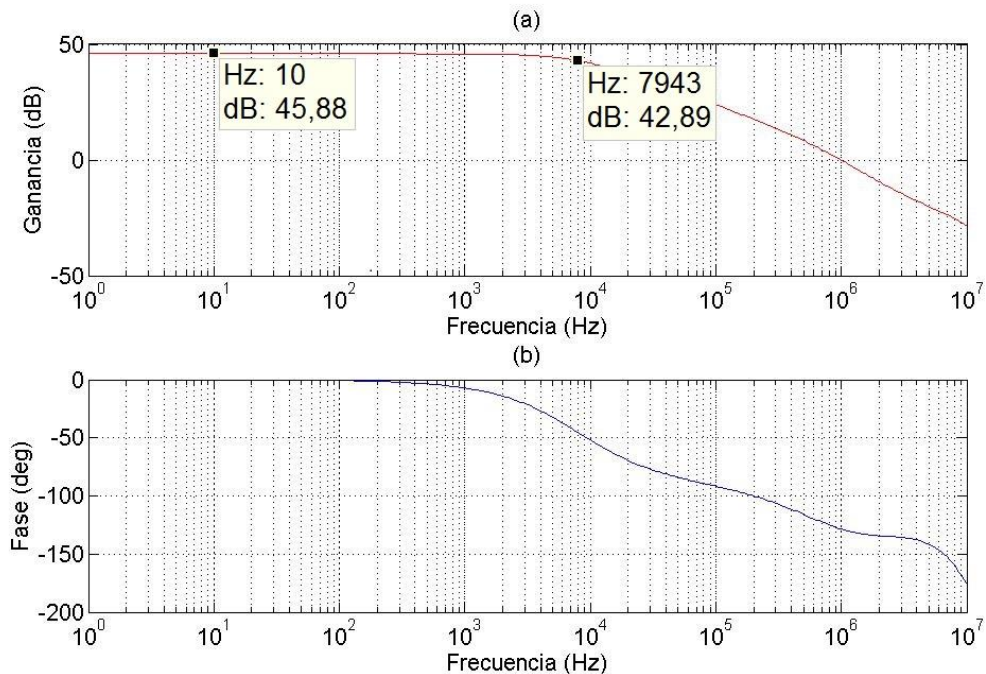


Figura 4.6 Respuesta en lazo cerrado

#### 4.1.3. Análisis de ruido

Como se mencionó en el capítulo anterior, el amplificador chopper usa modulación para reducir los efectos del ruido de baja frecuencia. La herramienta *Spectre* utilizada para el análisis de ruido se basa en el modelo de pequeña señal linealizado en el punto de operación. Debido a esto, el cambio de frecuencia del ruido debido al modulador no puede ser determinado pues solo se calcula el ruido cuando las señales de reloj *clk* y *clkn* son estáticas y no cuando cambian constantemente. Es por ello que se debe utilizar la herramienta *SpectreRF* para realizar las simulaciones PSS (periodic steady-state) y PNOISE (periodic noise), con las que se podrá determinar la correcta operación del amplificador diseñado.

Primero se realizó el análisis de ruido cuando no se utiliza la técnica chopper, para ello se colocan las señales de reloj *clk* y *clkn* a 3.3V y 0V respectivamente. En la figura 4.8 se observa la contribución del ruido flicker en bajas frecuencias, esta disminuye conforme aumenta la frecuencia dejando solo el ruido térmico, el cual es constante y suficiente para cubrir los requerimientos previamente mencionados. Se calcula con ayuda de la herramienta ADE (Analog Design Environment) el ruido integrado en la banda de interés, de 1Hz a 10kHz, para lo que se obtiene un valor de ruido referido a la entrada de 2.92V<sub>rms</sub>. Sin realizar la modulación se observa que

la densidad de ruido a 1Hz es de  $470.6nV/\sqrt{Hz}$ . Este es un buen resultado previo a la modulación, pues el ruido referido a la entrada es menor al requerimiento de  $5V_{rms}$ .

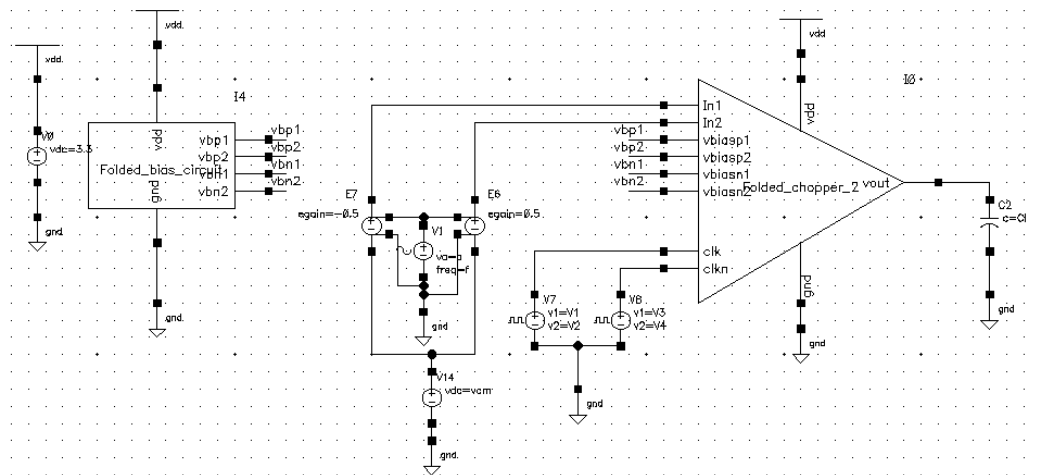


Figura 4.7 Testbench para el análisis de ruido

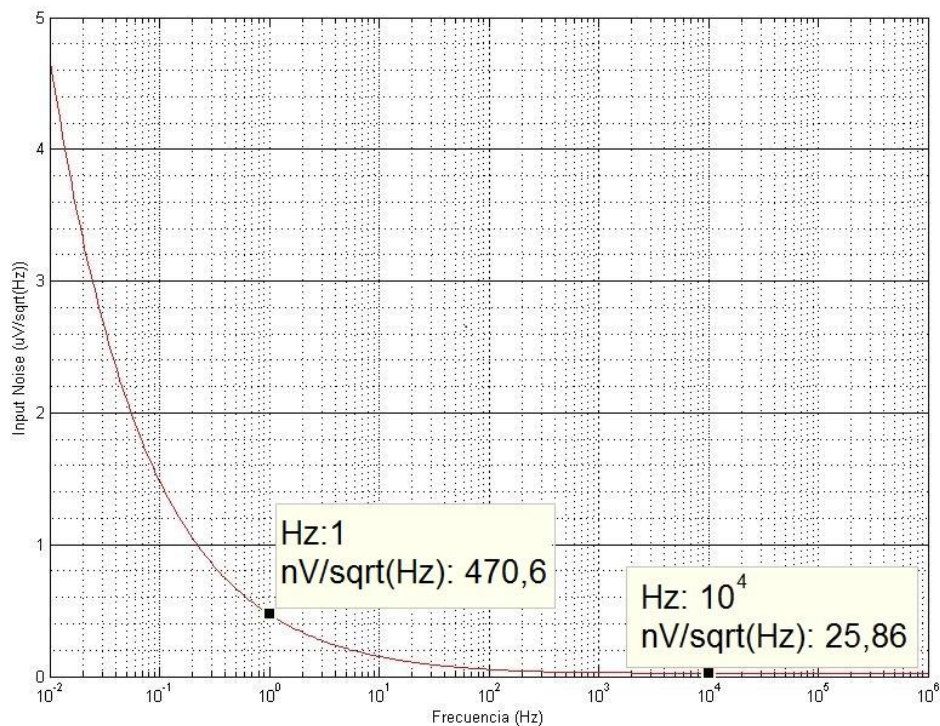


Figura 4.8 Densidad de ruido referido a la entrada (sin modulación)

En la figura 4.9 se observa que la contribución del ruido flicker disminuye considerablemente en bajas frecuencias. Se calcula nuevamente el ruido integrado en la banda de interés, de  $1Hz$  a  $10kHz$ , para lo que se obtiene un valor de ruido referido a la entrada de  $2.43V_{rms}$ . Tras realizar la modulación

se observa que la densidad de ruido a  $1\text{Hz}$  es de  $27.4\text{nV}/\sqrt{\text{Hz}}$ . Luego de realizar la modulación chopper, se observa que el tipo de ruido que predomina es el ruido térmico.

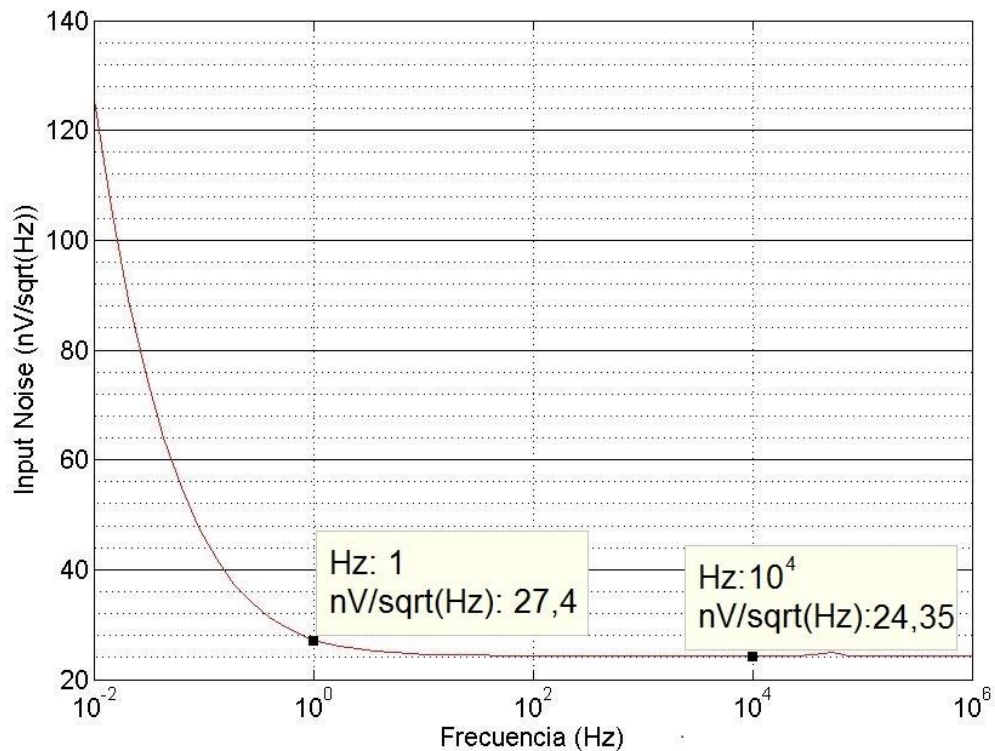


Figura 4.9 Densidad de ruido referido a la entrada (con modulación)

#### 4.1.4. Análisis transitorio

El siguiente análisis realizado busca mostrar el comportamiento del amplificador chopper cuando se le aplica una señal diferencial a la entrada. Esta señal debe estar sobre una componente DC de  $1,6\text{V}$  la cual permite que se polarice el amplificador en su punto de operación como se hizo en el análisis DC.

La señal de entrada como se observa en la figura 4.10 (a) es de  $5\text{mV}$  de amplitud sin modular, mientras que en la figura 4.10 (b) se observa la misma señal, pero esta vez modulada antes de que entre al par diferencial de entrada. Se aprecian imperfecciones a la hora de realizar la modulación, las cuales se traducen en picos en cada conmutación. Esto es debido al tipo de modulador utilizado, el cual se muestra en la figura 3.18, estas imperfecciones son la inyección de carga y el *clock feedthrough*, las cuales pueden llegar a comprometer la calidad de la señal amplificada.

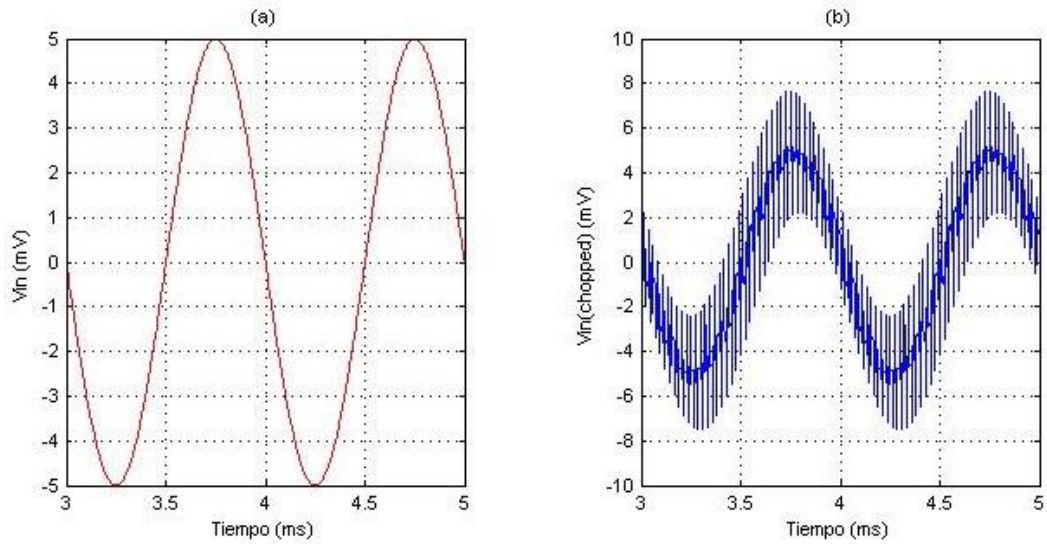


Figura 4.10 (a) Señal de entrada sin modular y (b) señal de entrada modulada

En el caso del amplificador diseñado, estas imperfecciones no constituyen un decremento en la calidad de la señal amplificada. Como se observa en la figura 4.11, al aplicar una señal de  $5mV$  en el par diferencial y modularla a una frecuencia chopper de  $42kHz$ , se obtiene una señal a la salida del amplificador sin una distorsión significativa. La señal de salida es de  $970mV$  de amplitud, lo cual equivale a una ganancia de  $194,04$  ( $45,76dB$ ), lo cual guarda concordancia con el análisis de lazo cerrado.

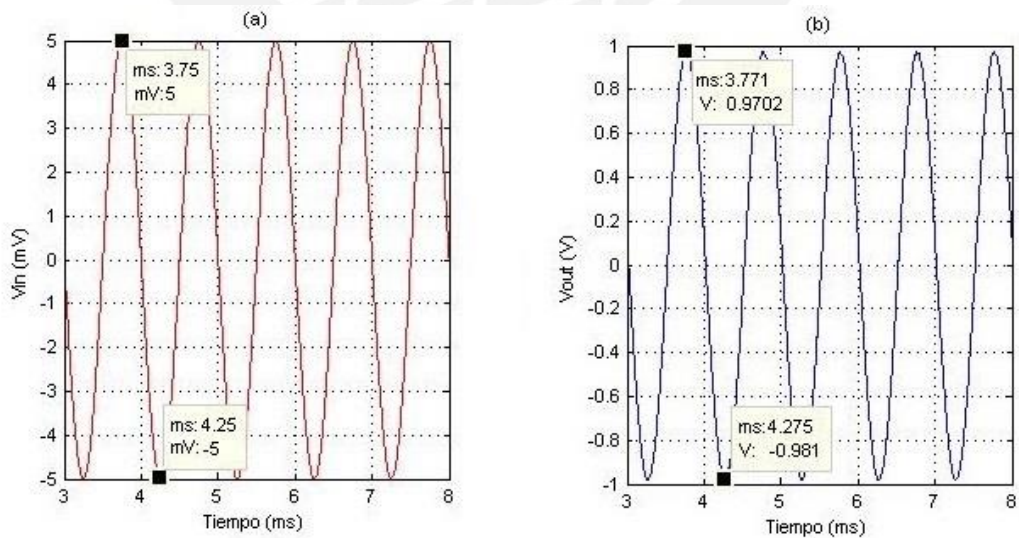


Figura 4.11 Señal de entrada y salida

#### 4.2. Disposición del layout del circuito

A continuación se muestra el layout del circuito elaborado. En el se observan los bloques que componen al amplificador chopper, se utilizó la técnica de múltiples dedo (multiple finger) para la elaboración del par diferencial.

Durante la elaboración del layout, se evalúa el cumplimiento de las reglas de diseño con el DRC (Design Rule Check) y la equivalencia entre el esquemático y el layout con el LVS (Layout Versus Schematic).

La figura 4.12 muestra el diseño final del amplificador chopper, en esta se aprecian las distintas etapas que lo constituyen.





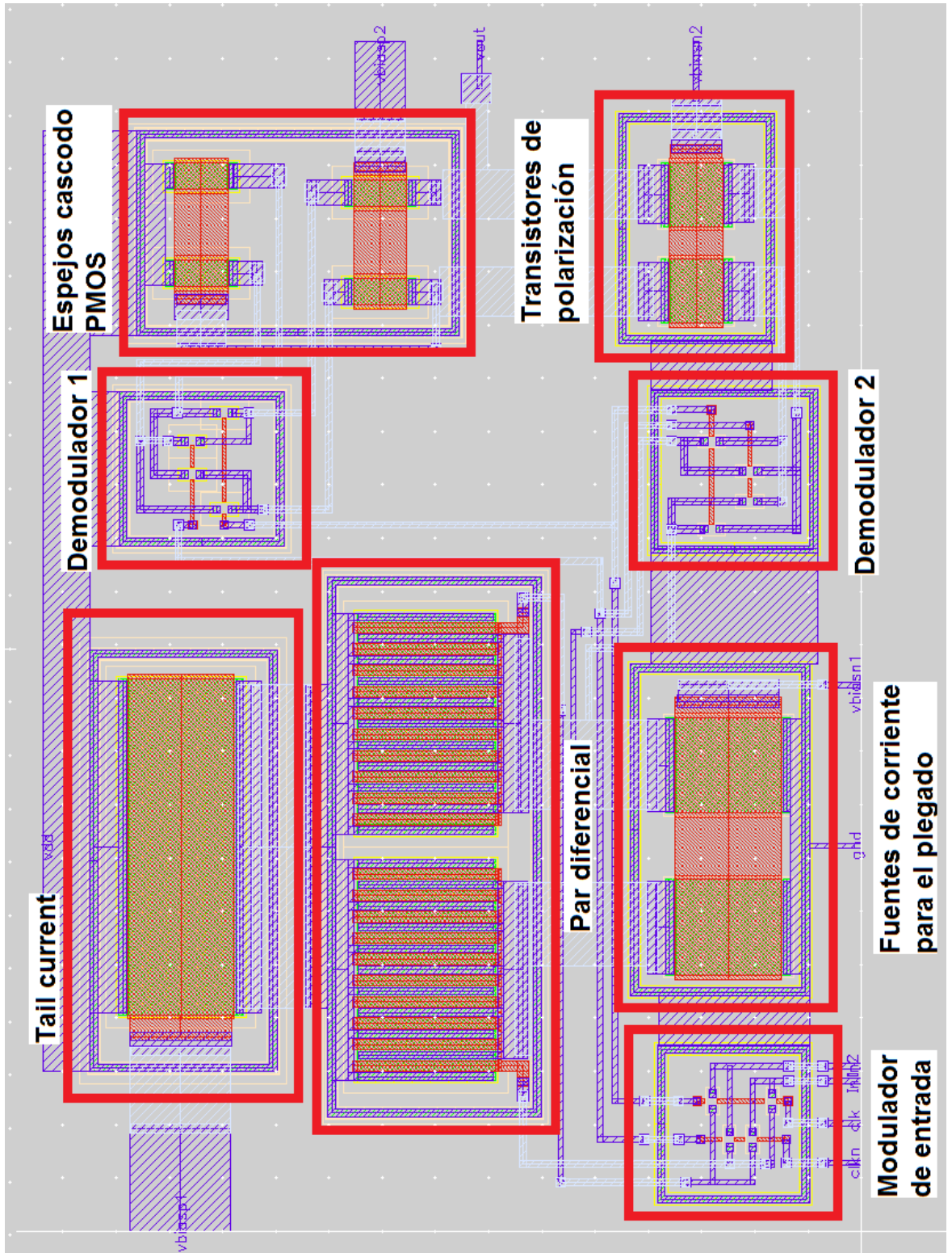


Figura 4.12 Layout del amplificador chopper

### 4.3. Simulaciones Post – layout

Luego de realizar el layout del circuito diseñado, se procede a realizar las mismas simulaciones previamente realizadas, pero esta vez sobre el circuito extraído. Esto permite determinar el correcto funcionamiento del circuito para el layout que se ha dibujado.

#### 4.3.1. Análisis AC

En la figura 4.13 se observa la respuesta en lazo abierto del amplificador chopper. La cual muestra una ganancia de lazo abierto de  $102dB$  y un margen de fase de  $76.9^\circ$ , los cuales son resultados similares a las simulaciones del circuito; esto también cumplen con los requerimientos.

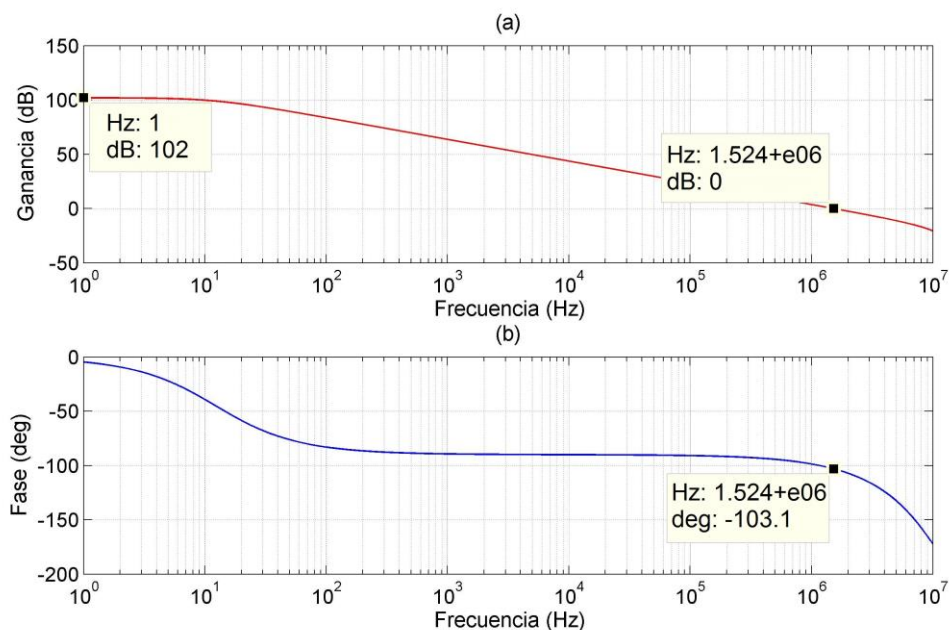


Figura 4.13 Respuesta en lazo abierto

En la figura 4.14 se observa la respuesta en lazo cerrado, la cual tiene una ganancia de  $45.88dB$  y un ancho de banda de  $7.89kHz$  lo cual cumple con los

requerimientos.

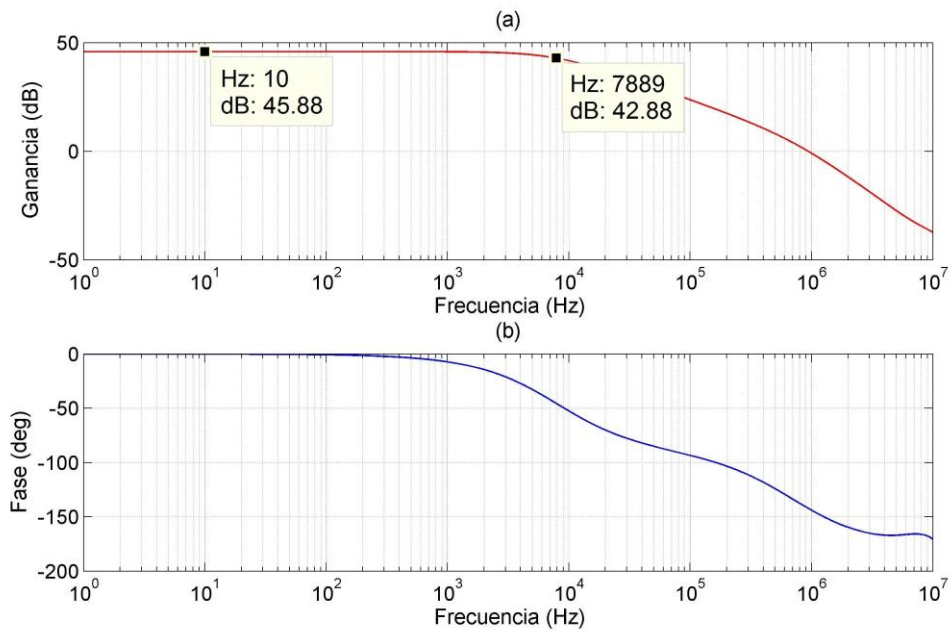


Figura 4.14 Respuesta en lazo cerrado

#### 4.3.2. Análisis de ruido

Sin realizar la modulación se observa que la densidad de ruido a 1Hz es de  $470.6nV/\sqrt{Hz}$ . El ruido integrado en la banda de interés, de 1Hz a 10kHz, es de 2.92Vrms. Este resultado cumple con el requerimiento de 5Vrms.

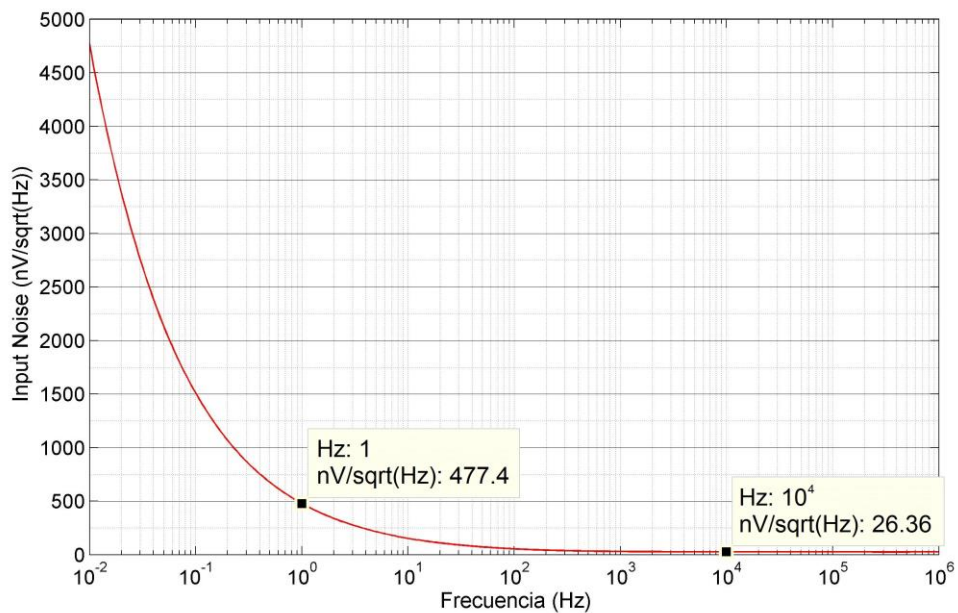


Figura 4.15 Densidad de ruido referido a la entrada (sin modulación)

Al realizar la modulación se observa que la densidad de ruido a  $1\text{Hz}$  es de  $27.4\text{nV}/\sqrt{\text{Hz}}$ . El ruido integrado en la banda de interés, de  $1\text{Hz}$  a  $10\text{kHz}$ , es de  $2.43\text{Vrms}$ .

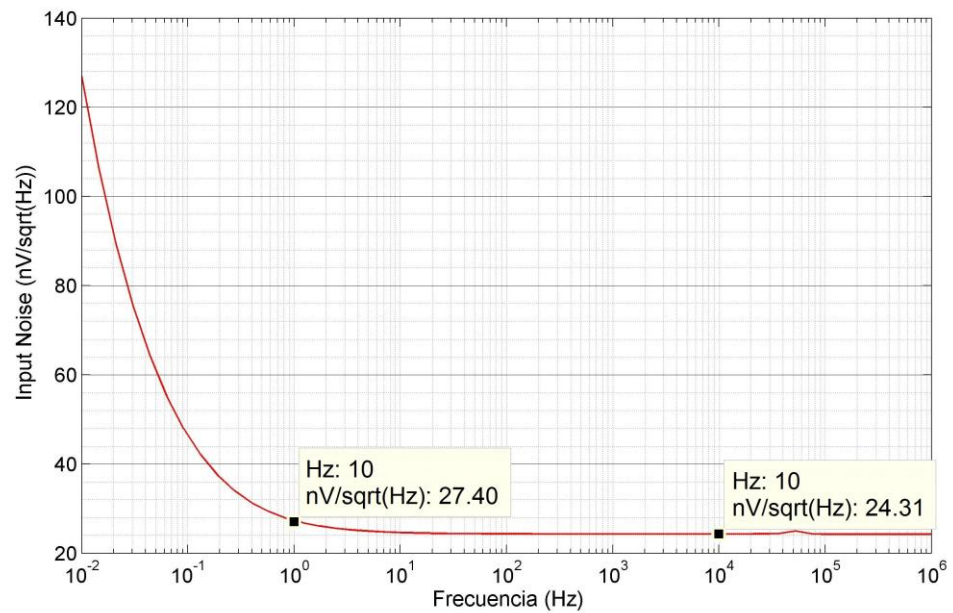


Figura 4.16 Densidad de ruido referido a la entrada (con modulación)

### 4.3.3. Análisis transitorio

En la figura 4.17 se muestra la simulación transitoria de una señal de entrada EEG y la misma amplificada con el circuito diseñado, en la cual se observa la correcta amplificación de la señal de entrada, con una ganancia mayor al requerimiento de  $40\text{dB}$ .

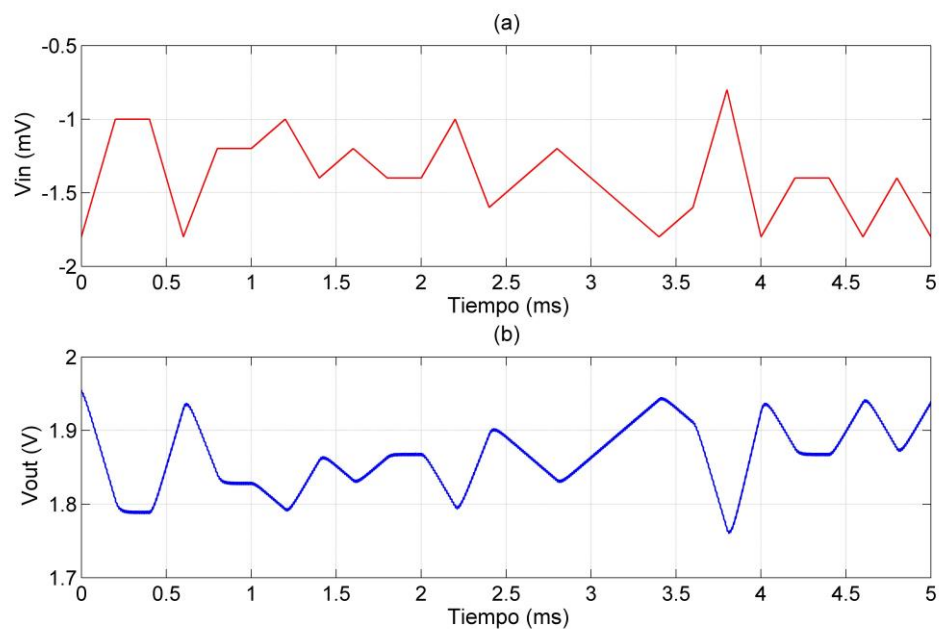


Figura 4.17 Señal de entrada y salida

La figura 4.18 muestra una ampliación al resultado de la simulación transitoria, en el primer milisegundo, en ella se observa un pequeño rizado a lo largo de la señal de salida, este se debe a las imperfecciones en los moduladores previamente mencionados.

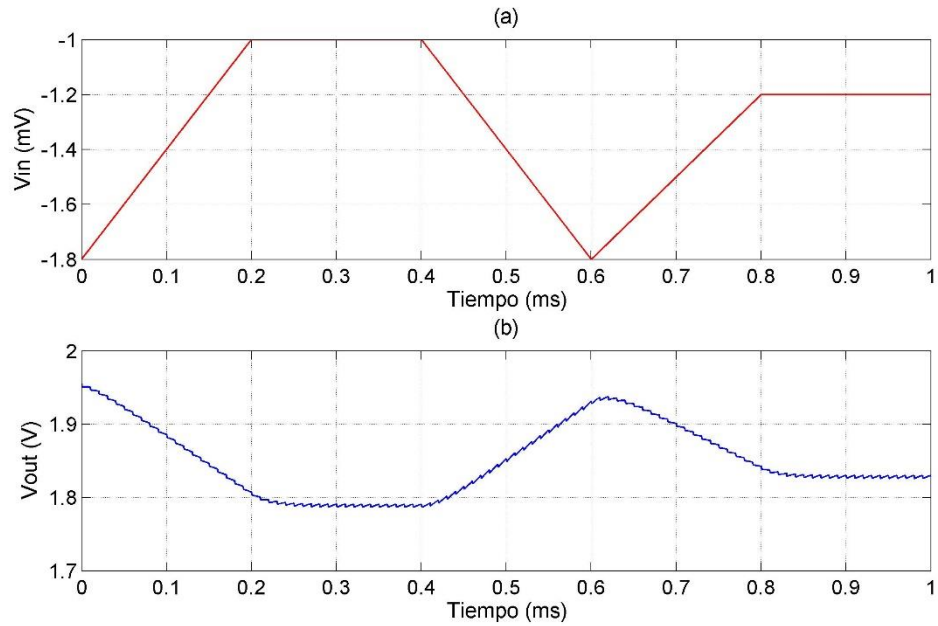


Figura 4.18 Señal de entrada y salida (ampliado en el primer ms)

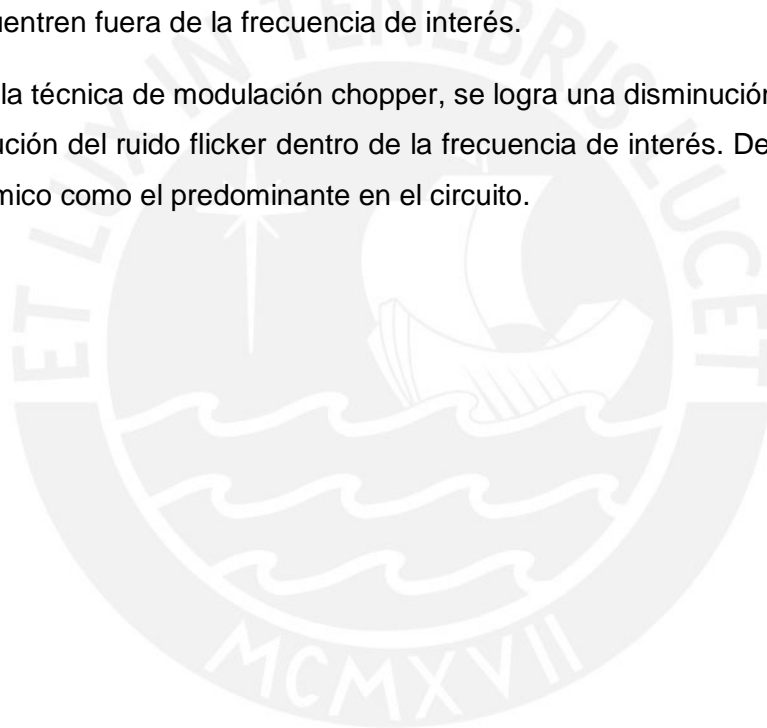
## Conclusiones

El área del amplificador es de  $0.0073\text{mm}^2$ , con lo que se cumple el requerimiento de área para formar parte de un sistema de adquisición de señales neuronales.

La potencia consumida por el circuito es de  $36.78\ \mu\text{W}$ , el cual es cercano al valor teórico de  $36.3\ \mu\text{W}$ . Este valor cumple con los requerimientos del amplificador, si bien este valor es elevado en comparación a los trabajos previos mencionados en el capítulo 2, estos fueron desarrollados en tecnologías más modernas que cuentan con un menor voltaje de alimentación.

Los transistores  $M_3, M_4, M_5, M_6, M_7, M_8$ , generan polos-ceros que pueden afectar la estabilidad del amplificador. Durante el diseño, se aseguró que los efectos de estos se encuentren fuera de la frecuencia de interés.

Con la técnica de modulación chopper, se logra una disminución importante de la contribución del ruido flicker dentro de la frecuencia de interés. Dejando al ruido del tipo térmico como el predominante en el circuito.



## Recomendaciones

Dado que el ruido predominante en el circuito es del tipo térmico, se recomienda dimensionar el circuito de modo tal que se logre un balance entre los dos tipos de ruidos predominantes en el circuito, el ruido térmico y el ruido flicker.

Utilizar técnicas avanzadas de modulación chopper para evitar los picos presentados en la figura 4.10, para ello se pueden utilizar *dummy transistors* los cuales reducen de las imperfecciones de los moduladores.



## Bibliografía

- [1] Kandel, E.R.; Schwartz, J.H.; Jessell, T.M. "Principles of Neural Science"; McGraw-Hill, 2000
- [2] Purves, D.; Augustine, G.; Fitzpatrick, D.; Hall, W.; Lamantia, A.; Mcnamara, J.; Williams, S., "Neuroscience"; Sinauer Associates 2004
- [3] Gosselin B. "Recent Advances in Neural Recording Microsystems"
- [4] Mollazadeh, M.; Murari, K.; Cauwenberghs, G.; Thakor, N. "Wireless micropower instrumentation for multimodal acquisition of electrical and chemical neural activity"
- [5] Patil P G, Turner D A. "The development of brain-machine interface neuroprosthetic devices". Neurotherapeutics, 2008, 5(1): 137
- [6] Nicolas-Alonso LF, Gomez-Gil J. "Brain Computer Interfaces, a Review". Sensors (Basel, Switzerland) 2012; 12(2):1211-1279. doi: 10.3390/s120201211.
- [7] Harrison, R.R., "A Versatile Integrated Circuit for the Acquisition of Biopotentials," Custom Integrated Circuits Conference, 2007. CICC '07. IEEE, vol., no., pp.115, 122, 16-19 Sept. 2007.
- [8] Chae, M.; Liu, W., "Design Optimization for Integrated Neural Recording Systems," Solid-State Circuits, IEEE Journal of, vol.43, no.9, pp.1931, 1939, Sept. 2008
- [9] Chen, S.; Pei, W.; Gui Q. Chen Y.; Zhao S.; Chen H.; "Multi-Channel Microelectrode Array for Cortical Recording and Stimulation: Fabrication and Modification"
- [10] Hudak, R.; Penhaker, M.; Majernik, J. "Biomedical Engineering: Technical Applications in Medicine" InTech, 2012.
- [11] Majidzadeh, V.; Schmid, A.; Leblebici, Y., "Energy Efficient Low-Noise Neural Recording Amplifier with Enhanced Noise Efficiency Factor," Biomedical Circuits and Systems, IEEE Transactions on, vol.5, no.3, pp.262, 271, June 2011
- [12] Chae, M. "High-Density Wireless Neural Recording System" UC Santa Cruz Electronic Theses and Dissertations, 2013.
- [13] Razavi, B., Design of Analog CMOS Integrated Circuits. McGraw-Hill, 2000.
- [14] Sarpeshkar, R.; Delbruck, T.; Mead, C.A., "White noise in MOS transistors and resistors," Circuits and Devices Magazine, IEEE, vol.9, no.6, pp.23, 29, Nov. 1993
- [15] Tsvividis, Y., "Operation and modeling of the MOS transistor", Boston: WCB/McGraw-Hill, 1999, pp. 620.



- [16] Shahrokhi, F.; Abdelhalim, K.; Serletis, D.; Carlen, P.L.; Genov, R., "The 128-Channel Fully Differential Digital Integrated Neural Recording and Stimulation Interface," *Biomedical Circuits and Systems, IEEE Transactions on*, vol.4, no.3, pp.149, 161, June 2010.
- [17] Liu, L.; Zou, X.; Goh, W.L.; Ramamoorthy, R.; Dawe, G.; Je, M., "800 nW 43 nV/ $\sqrt{\text{Hz}}$  neural recording amplifier with enhanced noise efficiency factor," *Electronics Letters*, vol.48, no.9, pp.479,480, April 26 2012.
- [18] Chan, P.K.; Ng, K.A.; Zhang, X.L., "A CMOS chopper-stabilized differential difference amplifier for biomedical integrated circuits," *Circuits and Systems, 2004. MWSCAS '04. The 2004 47th Midwest Symposium on*, vol.3, no., pp.iii, 33-6 vol.3, 25-28 July 2004.
- [19] Denison, T.; Consoer, K.; Santa, W.; Avestruz, A.-T.; Cooley, J.; Kelly, A., "A 2  $\mu\text{W}$  100 nV/ $\sqrt{\text{rtHz}}$  Chopper-Stabilized Instrumentation Amplifier for Chronic Measurement of Neural Field Potentials," *Solid-State Circuits, IEEE Journal of*, vol.42, no.12, pp.2934,2945, Dec. 2007
- [20] Holleman, J.; Zhang F.; Otis, B.; "Ultra Low-Power Integrated Circuit Design for Wireless Neural Interfaces", Springer Science & Business Media, 2010
- [21] Enz, C.; Temes, G., "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization," *Proceedings of the IEEE*, vol.84, no.11, pp.1584,1614, Nov 1996
- [22] Pertijs, M.A.P.; Kindt, W.J., "A 140 dB-CMRR Current-Feedback Instrumentation Amplifier Employing Ping-Pong Auto-Zeroing and Chopping," *Solid-State Circuits, IEEE Journal of*, vol.45, no.10, pp.2044,2056, Oct. 2010
- [23] Jiawei Xu; Yazicioglu, R.F.; Grundlehner, B.; Harpe, P.; Makinwa, .A.A.; Van Hoof, C., "A 8-Channel Active Electrode System for EEG Monitoring," *Biomedical Circuits and Systems, IEEE Transactions on*, vol.5, no.6, pp.555,567, Dec. 2011
- [24] Allen P.; Holberg D.; "CMOS Analog Circuit Design – 2nd Ed.", Oxford University Press, 2002.
- [25] Austriamicrosystems 2008 "0.35 $\mu\text{m}$  CMOS C35 Process parameters", revision #6.0
- [26] Saint, C.; Saint, J.; "IC Mask Design: Essential Layout Techniques", McGraw-Hill Professional; 1 edition 2002
- [27] Hastings, A. "The Art of Analog Layout".Prentice Hall. 2001.
- [28] Harrison, R.R.; Charles, C., "A low-power low-noise CMOS amplifier for neural recording applications," *Solid-State Circuits, IEEE Journal of*, vol.38, no.6, pp.958,965, June 2003

- [29] Lopez, C.M.; Prodanov, D.; Braeken, D.; Gligorijevic, I.; Eberle, W.; Bartic, C.; Puers, R.; Gielen, G., "A Multichannel Integrated Circuit for Electrical Recording of Neural Activity, With Independent Channel Programmability," Biomedical Circuits and Systems, IEEE Transactions on , vol.6, no.2, pp.101,110, April 2012
- [30] Raygada, E. "Diseño de una resistencia integrada de alto valor aplicada a un sistema de adquisición de señales neuronales con tecnología MOS" Trabajo de tesis, Pontificia Universidad Católica del Perú, 2007
- [31] Cerida, S. "Diseño de un amplificador de señales neuronales de bajo ruido y bajo consumo de potencia" Trabajo de tesis, Pontificia Universidad Católica del Perú, 2014.

