



André Isidoro Prata

Sistema de Rádio Digital para *White Spaces* UHF



André Isidoro Prata

Sistema de Rádio Digital para *White Spaces* UHF

Dissertação apresentada à Universidade de Aveiro para cumprimento dos requisitos necessários à obtenção do grau de Mestre em Engenharia Eletrónica e Telecomunicações, realizada sob a orientação científica do Professor Doutor Nuno Borges de Carvalho e Professor Doutor Arnaldo Oliveira, Professores do Departamento de Eletrónica, Telecomunicações e Informática da Universidade de Aveiro.

Aos meus pais,

O júri

Presidente

Prof. Doutor José Carlos da Silva Neves
Professor Catedrático do Departamento de Eletrónica, Telecomunicações e Informática da Universidade de Aveiro

Arguente

Prof. Doutor João Paulo de Castro Canas Ferreira
Professor Auxiliar do Departamento de Engenharia Eletrotécnica e de Computadores da Faculdade de Engenharia da Universidade do Porto

Prof. Doutor Nuno Miguel Gonçalves Borges de Carvalho
Professor Catedrático do Departamento de Eletrónica, Telecomunicações e Informática da Universidade de Aveiro

Prof. Doutor Arnaldo Silva Rodrigues de Oliveira
Professor Auxiliar do Departamento de Eletrónica, Telecomunicações e Informática da Universidade de Aveiro

agradecimentos

Agradeço aos meus pais, avós e irmão pela educação, apoio, confiança e condições que me ofereceram durante todos estes de anos formação. À Júlia pela sua presença e apoio constante durante este último ano. Aos meus colegas de casa e amigos mais próximos pelos momentos de amizade e descontração proporcionados.

Aos meus orientadores Professor Nuno Borges e Professor Arnaldo Oliveira pelo apoio, conhecimento transmitido, motivação e pelas oportunidades proporcionadas. Ao Mestre Nelson Silva e Doutor Pedro Cruz pelo auxílio essencial no desenvolvimento deste trabalho.

Ao Paulo Gonçalves pela grande ajuda no desenho e montagem das placas de circuito impresso.

Ao Instituto de Telecomunicações pelas excelentes condições proporcionadas ao longo da realização deste trabalho. Ao projeto DiRecTRadio (PEst-OE/EEI/LA0008/2013) por ter financiado parte deste trabalho.

A todos, Muito Obrigado por tudo!

palavras-chave

Rádios Definidos por Software, Rádios Cognitivos, *White Spaces*, Transmissores Digitais, Recetores *bandpass sampling*, Agregados de Células Lógicas Programáveis

resumo

Nos últimos anos tem-se assistido a uma impressionante disseminação das comunicações móveis assim como ao surgimento de novos protocolos de comunicação. Este facto traduz-se numa utilização intensiva de certas bandas do espectro eletromagnético, enquanto a utilização de outras é por vezes mínima ou inexistente. Consequentemente surgiu o conceito de *white spaces*, que representa as porções do espectro não utilizadas. Atualmente, o espectro eletromagnético é alocado de forma estática, associando cada tecnologia a uma determinada banda de frequências, o que leva a um uso ineficiente do mesmo. Deste modo seria vantajoso alterar a forma como o espectro eletromagnético é aceso, adotando um paradigma de acesso dinâmico – *Dynamic Spectrum Access*. No entanto, para que tal seja possível, além de alterações regulamentares, é necessário que a camada física dos rádios se torne flexível e adaptável, possibilitando uma configuração eficiente de diversos parâmetros tais como frequência de transmissão, modulação, potência do sinal a transmitir, largura de banda, entre outros. Os conceitos ou paradigmas de Rádio Definido por *Software* (*Software Defined Radio*) e Rádio Cognitivo (*Cognitive Radio*) visam precisamente dar resposta a estes requisitos.

Este trabalho de Mestrado enquadra-se precisamente na área dos rádios definidos por *software*. O objetivo principal consiste no projeto e implementação de um sistema de rádio digital para *white spaces* UHF baseado em FPGA (*Field Programmable Gate Array*). Pretende-se que este sistema seja flexível relativamente à frequência da portadora e largura de banda do sinal transmitido. A componente de transmissão do sistema é composta por um *all-digital transmitter*, cujo conceito, é essencialmente um transmissor onde o caminho do sinal desde a banda base até ao andar de rádio-frequência seja integralmente digital. O recetor é baseado em *bandpass sampling*, que consiste na amostragem direta do sinal de rádio, utilizando uma frequência inferior. Ambas arquiteturas representam abordagens bastante próximas do conceito de *Software Defined Radio* ideal. Nesta dissertação são apresentadas as arquiteturas e os aspetos de implementação do sistema e discutidos os resultados obtidos através de parâmetros como a taxa de erros da transmissão, a potência dissipada, entre outros.

O sistema de rádio desenvolvido no contexto desta dissertação foi distinguido com o primeiro lugar no concurso internacional "*IEEE International Microwave Symposium 2013 Software Defined Radio and Digital Signal Processing Student Design Competition*".

Keywords

Software Defined Radio, Cognitive Radio, White Spaces, All-Digital Transmitter, Bandpass Sampling Receiver, Field Programmable Gate Array

abstract

In the last years has been an impressive spread of mobile communications as well as the emergence of new communication protocols. This fact renders in an overutilization of some spectrum bands while the utilization of other bands is sometimes minimal or nonexistent. Consequently it has arisen the white spaces concept, which represents the unused portions of the spectrum. Currently, the electromagnetic spectrum is statically allocated associating each technology to a particular frequency band, which leads to an inefficient use of it. Thus, it would be advantageous to change the way the electromagnetic spectrum is accessed adopting a dynamic access paradigm- Dynamic Spectrum Access. However, for this to be possible, in addition to regulatory changes, it is necessary that the radio physical layer becomes flexible and adaptable, enabling efficient configuration of various parameters such as transmit frequency, modulation, power of the signal to be transmitted, bandwidth, among others. The concepts or paradigms of Software Defined Radio and Cognitive Radio are precisely the key to meet these requirements.

This master thesis fits precisely in the area of Software Defined Radio. The main goal consists in the project and implementation of a FPGA (*Field Programmable Gate Array*)-based digital radio system for UHF white spaces. It is intended for this system to be flexible on the carrier frequency and the bandwidth of the transmitted signal. The transmission component of the system is composed by an all-digital transmitter, whose concept is essentially a transmitter where the datapath from the baseband to the radio-frequency stage is fully digital. The receiver is based on a bandpass sampling receiver approach sampling directly at radio-frequency stage using a lower frequency. Both architectures represent very close approaches to the ideal Software Defined Radio concept. This master thesis presents the architecture and the implementation aspects of the system and discusses the obtained results using parameters such as error rate of transmission, power dissipation, among others. The developed radio system was distinguished with first prize in the international contest "IEEE International Microwave Symposium 2013 Software Defined Radio and Digital Signal Processing Student Design Competition".

Índice

Índice	i
Lista de Figuras	v
Lista de Tabelas	xi
Lista de Acrónimos	xiii
1 - Introdução.....	1
1.1-Enquadramento	1
1.2-Objetivo	3
1.3-Estrutura do Documento.....	4
2 - Conceitos Fundamentais.....	7
2.1-TV White Spaces e Novos Paradigmas de Distribuição Espectral	7
2.1.1-Aplicações dos <i>TV White Spaces</i>	10
2.2-Software Defined Radio.....	12
2.2.1-Arquiteturas em Software Defined Radio	14
2.2.1.1-Transmissão	14
2.2.1.2-Receção.....	16
2.3-Cognitive Radio.....	18
2.3.1 - O papel do <i>Cognitive Radio</i> nas redes móveis 5G	19
2.4-All-Digital Transmitters	20
2.4.1-Conceito	20
2.4.2-Implementação em FPGA	22
2.4.3-Implementação em Modulações Coerentes	23
2.4.4-Implementação em Modulações Não Coerentes	24
2.4.5-Vantagens e Limitações	26
2.5-Bandpass Sampling Receivers.....	27
2.5.1-Conceito de Amostragem - Teorema de Nyquist	27
2.5.2-Amostragem a uma Frequência Inferior à de Nyquist	29
2.5.3-Arquitetura de um Bandpass Sampling Receiver.....	31
2.5.4-Relação Sinal – Ruído em <i>Bandpass Sampling Receivers</i>	32
2.5.4.1-Efeitos da Sobreposição de Zonas de Nyquist na SNR.....	32

2.5.4.2-Efeito do <i>Jitter</i> do Sinal de Relógio na SNR	33
3 - Arquitetura do Sistema	35
3.1-Arquitetura do Transmissor	35
3.2-Arquitetura do Recetor	39
4 - Implementação do Sistema.....	43
4.1-Transmissor	43
4.1.1-Implementação da Componente Digital	43
4.1.1.1-Amostragem de Áudio.....	44
4.1.1.2-Formatação da Trama	45
4.1.1.3- <i>Up-Conversion</i>	46
4.1.1.4-Flexibilidade	48
4.1.2-Implementação da Componente Analógica.....	49
4.1.3-Potência Isotrópica Radiada Equivalente (PIRE).....	50
4.2-Recetor	51
4.2.1-Simulação da Cadeia de Recepção Digital	51
4.2.2-Implementação da Componente Analógica.....	57
4.2.2.1-Circuito ADC	58
4.2.2.2-Circuito de Acondicionamento do Sinal de Relógio	58
4.2.2.3-Circuito para Transmissão e Recepção de Sinal RF	60
4.2.2.4-Alimentações	61
4.2.3-Implementação da Componente Digital	61
4.2.3.1-Detector de Envolvente	62
4.2.3.2-Limiar de Decisão Dinâmico, Decimação e Reprodução de Áudio.....	63
4.2.4-Balanco da Ligação	66
4.2.4.1-Sensibilidade do Recetor	66
4.2.4.2-Alcance Previsto.....	69
5 - Resultados	71
5.1-Ajuste da Frequência de Transmissão	71
5.2-Taxa de Erros do Sistema	73
5.3-Sinal de Relógio da ADC.....	75
5.4-Dados Estatísticos da Implementação em FPGA.....	76
5.5-Consumo Energético.....	77
5.5.1-Componente Digital	77
5.5.2-Componente Analógica	78
5.6-Interoperabilidade do Transmissor	79

6 - Conclusão e Trabalho Futuro	81
6.1-Conclusão	81
6.2-Trabalho Futuro	82
Anexos.....	85
A – Kit de Desenvolvimento em FPGA – XUPV5.....	85
B – Front End RF – Esquemas Elétricos e Placas de Circuito Impresso	86
B.1 - Filtro Passa Banda	86
B.2 - Amplificador de Potência	87
B.3 - ADC.....	88
B.4 - Acondicionamento do Sinal de Relógio para ADC	91
B.5 - Circuito de Recepção e Transmissão de Sinal RF.....	93
B.6 - Circuito para Alimentações	94
C – Sistema Final	97
Referências	101

Lista de Figuras

Figura 1 - Distribuição do espectro eletromagnético (retirado de [1]).	1
Figura 2 – Utilização do espectro eletromagnético. Medida da potência (dBm) em função da frequência (MHz) (retirado de [7]).	8
Figura 3 – Exemplo de aplicação dos <i>white spaces</i> em <i>backhaul</i> de <i>internet</i> (retirado de [11]).	11
Figura 4 – Exemplo de aplicação para cobertura de <i>internet</i> em zonas metropolitanas (retirado de [11]).	11
Figura 5 - Esquema representativo da arquitetura de SDR ideal. LNA: Low noise amplifier; ADC: Analog to digital converter; DSP: Digital Signal Processor; DAC: Digital to analog converter; PA: Power Amplifier.	13
Figura 6 – Representação de arquiteturas de transmissão rádio. 6 a) homodino; 6 b) heterodino. LO: <i>Local Oscillator</i> .	14
Figura 7 - Arquiteturas de transmissão mais comuns em SDR. a) Arquitetura homodina em que o sinal IF gerado no DSP é convertido para RF recorrendo a um misturador e um oscilador local; b) Arquitetura em que o sinal RF é gerado na DSP e é convertido para o domínio analógico através de uma DAC; c) Arquitetura em que o sinal RF é gerado na DSP e é convertido para o domínio analógico através de filtragem.	15
Figura 8 – Recetor com digitalização em banda base.	16
Figura 9 – Recetor com digitalização em IF.	17
Figura 10 - Recetor com digitalização em RF.	17
Figura 11 – Representação do conceito de <i>Cognitive Radio</i> através do conceito de <i>spectrum hole</i> (retirado de [7]).	18
Figura 12 – Representação do conceito de transmissor integralmente digital (adaptado de [21, 31]). DUC: <i>digital up-conversion</i> .	21
Figura 13 – Diagrama temporal da fase de <i>up-conversion</i> (retirado de [21]).	22
Figura 14 – Arquitetura de um <i>all-digital transmitter</i> baseado em FPGA (adaptado de [21]).	24
Figura 15 – Arquitetura de um <i>all-digital transmitter</i> para modulações não coerentes baseado em FPGA.	25

Figura 16 – Modulação OOK (retirado de [34]).	26
Figura 17 - Representação do processo de amostragem no domínio do tempo.	28
Figura 18 – Exemplificação de amostragem de um sinal inserido na 1ª Zona de Nyquist (adaptado de [26]). Em a) encontra-se representado o sinal original e em b) o sinal resultante da amostragem.	29
Figura 19 - Exemplificação de amostragem de um sinal inserido na 3ª Zona de Nyquist (adaptado de [26]). Em a) encontra-se representado o sinal original e em b) o sinal resultante da amostragem.	30
Figura 20 - Arquitetura de um <i>bandpass sampling receiver</i> (adaptado de [38]).	31
Figura 21 – Diagrama de blocos do sistema de transmissão de rádio.	36
Figura 22 – Trama para a transmissão de dados.	37
Figura 23 - Diagrama de blocos do sistema de recepção de rádio.	39
Figura 24 – Representação do detetor de envolvente composto por um quadrador e um filtro passa baixo.	40
Figura 25 – Representação do limiar de decisão.	41
Figura 26 – Representação da interface de comunicação entre a FPGA e o <i>codec AC97</i> . ..	44
Figura 27 – Representação da interface do bloco <i>Framer</i> , responsável pela formatação da trama de transmissão.	46
Figura 28 – Representação da secção de <i>up-conversion</i> e das suas interfaces.	46
Figura 29 - Hierarquia dos blocos desenvolvidos para a componente digital de transmissão do sistema.	49
Figura 30 – Representação da montagem efetuada para retirar amostras da ADC para posterior simulação.	52
Figura 31 – Representação da cadeia de recepção simulada no <i>Matlab</i>	52
Figura 32 – a) Representação do sinal amostrado pela ADC no domínio do tempo. O tempo representado corresponde ao período de transmissão de 8 <i>bits</i> , cuja sequência é “11101001”. Os espaços marcados com * representam o período de <i>bit</i> ; b) Imagem corresponde ao aumento do quadro preto em a), onde se pode observar o sinal modulado.	53
Figura 33 – Representação do sinal amostrado no domínio da frequência. Verifica-se que o conteúdo espectral do sinal se encontra em 6,234MHz.	54

Figura 34 – Representação do sinal após o quadrador. À esquerda encontra-se o sinal representado no domínio do tempo e à direita encontra-se o sinal representado no domínio da frequência.....	54
Figura 35 – Resposta em frequência do filtro projetado para a simulação.....	55
Figura 36 – Sinal após o filtro passa baixo.....	56
Figura 37 – Sinal recebido na banda base.	57
Figura 38 – Diagrama de blocos da componente analógica do sistema e a sua interface com a componente digital.....	58
Figura 39 – Esquema do filtro passa baixo.	59
Figura 40 – Resposta em frequência do filtro passa baixo.....	59
Figura 41 – Esquema do atenuador em π	60
Figura 42 – Diagrama de blocos da componente digital de recepção do sistema.	62
Figura 43 – Resposta em frequência do filtro passa baixo implementado em FPGA.	63
Figura 44 – Representação da operação de decimação. O asterisco preto corresponde à marcação do início do período de <i>bit</i> . O asterisco vermelho corresponde à marcação de metade do período de <i>bit</i>	65
Figura 45 – Hierarquia dos blocos desenvolvidos para a componente digital de recepção do sistema.	66
Figura 46 – a) Cadeia do sistema de recepção; b) Representação do impacto da SNR da ADC na sensibilidade do sistema tendo em conta o ganho efetivo do sistema de recepção.	69
Figura 47 – Representação do <i>setup</i> de medida efetuado.....	71
Figura 48 – Representação no domínio da frequência da portadora a 432MHz. a) Sinal antes do filtro passa banda; b) Sinal após o filtro passa banda.....	72
Figura 49 – Representação no domínio da frequência das diversas portadoras disponíveis para transmissão. a) $f=432\text{MHz}$. b) $f= 433.3 \text{ MHz}$. c) $f =433.8\text{MHz}$. d) $f=434.4 \text{ MHz}$	73
Figura 50 – Representação do <i>setup</i> montado na câmara anecóica para se efetuarem as medições do BER.	74
Figura 51 - Taxa de erros do sistema em função da distância e do ritmo de transmissão... ..	75
Figura 52 – Comparação entre o sinal de relógio fornecido pela FPGA (azul) e um sinal de relógio fornecido por um gerador de sinais (preto).	76
Figura 53 – a) Placa de desenvolvimento SMART04EB; b) <i>Transceiver</i> CC110 (retirado de [59]).	79

Figura 54 – Fotografia da vista superior da placa XUPV5 com respetiva legenda dos elementos relevantes no contexto deste projeto (retirada de [60]).	85
Figura 55 – Esquema elétrico da placa do filtro passa banda.	86
Figura 56 - <i>Layout</i> da camada superior da placa do filtro passa banda.	86
Figura 57 - Fotografia da camada superior da placa do filtro passa banda.	86
Figura 58 – Esquema elétrico da placa do amplificador de potência.	87
Figura 59 - <i>Layout</i> da camada superior da placa do amplificador de potência.	87
Figura 60 - Fotografia da camada superior da placa do amplificador de potência.	87
Figura 61 – Esquema elétrico da placa da ADC.	88
Figura 62 - <i>Layout</i> da camada superior da placa da ADC.	89
Figura 63 – <i>Layout</i> da camada de massa da placa da ADC.	89
Figura 64 - <i>Layout</i> da camada de alimentações da placa da ADC.	90
Figura 65 - <i>Layout</i> da camada inferior da placa da ADC.	90
Figura 66 – Fotografia da camada superior da placa da ADC.	91
Figura 67 – Esquema elétrico da placa de acondicionamento do sinal de relógio.	91
Figura 68 – <i>Layout</i> da camada superior da placa de acondicionamento do sinal de relógio.	92
Figura 69 – Fotografia da camada superior da placa de acondicionamento do sinal de relógio.	92
Figura 70 - Esquema elétrico da placa de transmissão e receção de sinal RF.	93
Figura 71 – <i>Layout</i> da camada superior da placa de transmissão e receção de sinal RF.	93
Figura 72 - Fotografia da camada superior da placa de transmissão e receção de sinal RF.	94
Figura 73 – Esquema elétrico da placa para as alimentações.	94
Figura 74 - <i>Layout</i> da camada superior da placa para as alimentações.	95
Figura 75 - <i>Layout</i> da camada inferior da placa para as alimentações.	95
Figura 76 – Fotografia da camada superior da placa para as alimentações.	96
Figura 77 – Diagrama de blocos completo de todo o sistema. Legenda numérica: 1 – FPGA Virtex 5; 2 – Sinal RF a transmitir; 3 – Antena; 4 – Sinal RF a receber; 5 – ADC; 6 – Acondicionamento do sinal de relógio; 7 – Seleção da frequência da portadora; 8 – Gravação e reprodução de áudio.	98

Figura 78 – Fotografia do protótipo final. Legenda numérica: 1 – FPGA Virtex 5; 2 – Sinal RF a transmitir; 3 – Antena; 4 – Sinal RF a receber; 5 – ADC; 6 – Acondicionamento do sinal de relógio; 7 – Alimentações; 8 – Seleção da frequência da portadora; 9 – Gravação e reprodução de áudio..... 99

Lista de Tabelas

Tabela 1 – Relação entre algumas tecnologias e a respetiva frequência de trabalho (informação retirada de [2]).....	2
Tabela 2 – Relação entre os sinais de relógios disponíveis e frequências das portadoras. .	48
Tabela 3 – Valores de ganho e figura de ruído dos elementos constituintes do <i>front end</i> analógico de receção.....	67
Tabela 4 – Ocupação de recursos da FPGA.	77
Tabela 5 – Dados do consumo da FPGA para o caso do transmissor e recetor.	78
Tabela 6 – Dados do consumo da placa XUPV5.....	78

Lista de Acrónimos

ADC	Analog to Digital Converter
ANACOM	Autoridade Nacional das Comunicações
ASK	Amplitude Shift Keying
BER	Bit Error Rate
CR	Cognitive Radio
DAC	Digital to Analog Converter
DSA	Dynamic Spectrum Access
DSM	Digital Shaping Modulation
DSP	Digital Signal Processor
DUC	Digital Up-Conversion
EIRP	Equivalent Isotropically Radiated Power
FIFO	First In - First Out
FIR	Finite Impulse Response
FPGA	Field Programmable Gate Array
FSK	Frequency Shift Keying
IEEE	Institute of Electrical and Electronics Engineers
IF	Intermediate Frequency
IP	Intellectual Property
IP	Internet Protocol
ITU	International Telecommunication Union
LNA	Low Noise Amplifier
LUT	Lookup Table
M2M	Machine to Machine Communications
MGT	Multi Gigabit Transceiver
NRA	National Regulation Administration
OOK	On Off Keying
PA	Power Amplifier
PI	Propriedade Intelectual
PIRE	Potência Isotrópica Radiada Equivalente

PWM	Pulse Width Modulation
RF	Radio Frequency
RFID	Radio Frequency Identification
ROM	Read Only Memory
SAW	Surface Acoustic Wave
SDR	Software Defined Radio
SMPA	Switched Mode Power Amplifier
SNR	Signal to Noise Ratio
SoC	System On Chip
UHF	Ultra High Frequency
VHDL	VHSIC Hardware Description Language
VHF	Very High Frequency
VHSIC	Very High Speed Integrated Circuits
WSN	Wireless Sensor Networks

1 - Introdução

1.1-Enquadramento

As comunicações rádio têm sido alvo de uma enorme evolução desde os seus primórdios até aos dias de hoje. Uma maneira simples de efetuar um paralelismo evolutivo entre o passado recente e o presente, é constatando o número de rádios que uma pessoa comum possuía e possui presentemente. Há cerca de 30 anos atrás pode provavelmente afirmar-se que existiam cerca de dois sistemas de rádio frequência por habitação. Um seria para a receção de sinal de TV (Televisão) e outro para receção de sinal de rádio FM. Atualmente, praticamente todas as pessoas, sem sequer se aperceberem, possuem um número de sistemas de comunicação de rádio significativamente superior. Tomando o exemplo de um *smartphone*, este possui cerca de 5 rádios, dos quais existe um por cada tecnologia: Bluetooth, comunicações móveis (por exemplo GSM, UMTS ou LTE), Wi-Fi, GPS e FM. Ao referir 5 rádios diferentes implica a existência de 5 *front ends* de *Radio Frequency* (RF) diferentes, ou seja, 5 elementos de *hardware* distintos para receber e enviar (se a tecnologia o permitir) sinal associado ao respetivo protocolo de comunicação.

Este aumento de utilização de dispositivos rádio, assim como o aumento associado de protocolos de comunicação, provoca uma maior utilização de algumas bandas do espectro eletromagnético. A Figura 1 apresenta a distribuição da radiação eletromagnética de acordo com o seu comprimento de onda ou frequência.

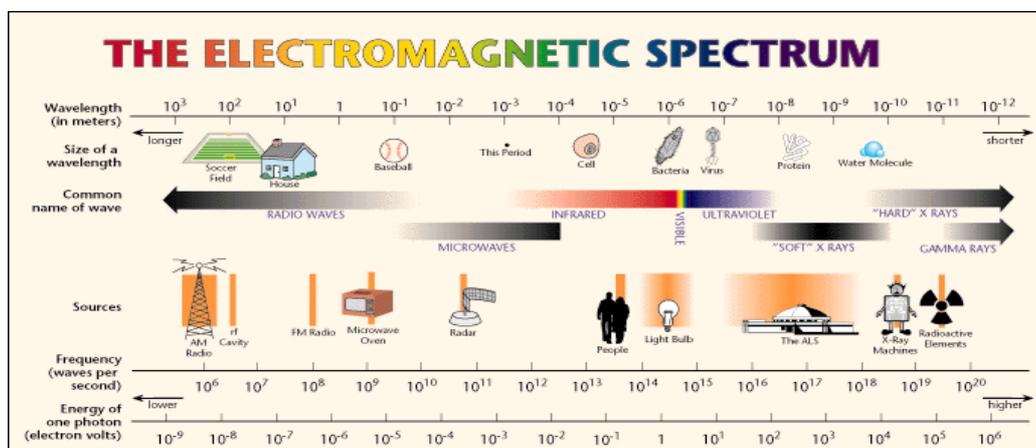


Figura 1 - Distribuição do espectro eletromagnético (retirado de [1]).

No espectro eletromagnético, as comunicações através de ondas de rádio cobrem a gama de frequências desde as dezenas de KHz até às centenas de GHz. Dentro desta zona é feita a atribuição a cada tecnologia de comunicação, tal como se pode verificar na Tabela 1 [2].

Tabela 1 – Relação entre algumas tecnologias e a respetiva frequência de trabalho (informação retirada de [2]).

Tecnologia	Frequência (MHz)
Radiodifusão sonora (FM)	87,5 - 108
Rádio amador e ISM	430 - 432
DVB-T	470-790
GSM (2G)	876 - 880
	921-925
	1800
UMTS (3G)	900; 2100
LTE (4G)	800; 1800; 2600
GPS	1215 - 1240
Wi-Fi, Bluetooth e ISM	2400 - 2483,5

Assim, devido à intensa e cada vez maior utilização de dispositivos de rádio, verifica-se uma sobrelotação de certas bandas do espectro, estando este a tornar-se num recurso fundamental, escasso e muito cobiçado. No entanto, existem bandas que são menos ou até mesmo raramente utilizadas, as quais são denominadas de *white spaces*, o que leva a repensar a forma como o espectro se encontra alocado e é acedido. Deste modo, seria vantajoso adotar um paradigma de acesso dinâmico – *Dynamic Spectrum Access (DSA)*. No entanto, para que tal seja possível, além de alterações regulamentares, é necessário que a camada física dos rádios se torne flexível e adaptável, possibilitando uma configuração eficiente de diversos parâmetros tais como frequência de transmissão, modulação, potência do sinal a transmitir, largura de banda, entre outros. Os conceitos ou paradigmas de *Software Defined Radio (SDR)* e *Cognitive Radio (CR)* visam precisamente dar resposta a estes requisitos. Todos estes conceitos serão abordados de forma mais sintetizada no capítulo **Conceitos Fundamentais**.

1.2-Objetivo

Este trabalho de dissertação de Mestrado enquadra-se maioritariamente na área dos rádios definidos por *software*. O objetivo principal consiste no projeto e implementação de um sistema de rádio digital para *white spaces Ultra High Frequency* (UHF) baseado em *Field Programmable Gate Array* (FPGA). Pretende-se que este sistema seja flexível relativamente à frequência da portadora e largura de banda do sinal transmitido.

A componente de transmissão do sistema é composta por um *all-digital transmitter*, cujo conceito, é essencialmente um transmissor onde o caminho do sinal desde a banda base até ao andar de RF é integralmente digital. O recetor é baseado em *bandpass sampling*, que consiste na amostragem direta do sinal de rádio, utilizando uma frequência inferior à frequência de Nyquist. Ambas arquiteturas representam abordagens bastante próximas do conceito de SDR ideal.

O conjunto de frequências usadas para a transmissão inserem-se na banda UHF mais propriamente na zona dos 432-434 MHz, devido aos seguintes fatores: é uma zona isenta de licença, esta gama de frequências apresenta características favoráveis em termos de atenuação no espaço livre e também devido à proximidade da banda dos *TV white spaces*. Nesta gama de frequências a emissão de potência encontra-se limitada a 20dBm (100mW), restrição imposta pela Autoridade Nacional das Comunicações (ANACOM) [2]. No que diz respeito à modulação a utilizar, inicialmente será utilizada uma modulação digital de amplitude *On Off Keying* (OOK).

Nesta dissertação são apresentadas as arquiteturas e os aspetos de implementação do sistema e discutidos os resultados obtidos através de parâmetros como a taxa de erros da transmissão, a potência dissipada, entre outros.

Em suma, este trabalho surge como uma contribuição para o estudo, projeto e implementação de sistemas de rádio definidos por *software*, reconfiguráveis e adaptáveis a certos parâmetros.

1.3-Estrutura do Documento

Esta dissertação de Mestrado encontra-se dividida em cinco capítulos (além deste capítulo introdutório):

- **Capítulo 2 - Conceitos Fundamentais** – Apresentação e breve resumo dos conceitos de *white spaces* e dos novos paradigmas de distribuição espectral, SDR e CR. Por último, é abordado o estado da arte de transmissores e recetores em SDR incidindo mais concretamente em *all-digital transmitters* e *bandpass sampling receivers*.
- **Capítulo 3 - Arquitetura do Sistema** – Apresentação detalhada da arquitetura de transmissão e receção do sistema de comunicações desenvolvido.
- **Capítulo 4 - Implementação do Sistema** – Exposição e descrição dos detalhes concretos da implementação, assim como uma simulação efetuada no *Matlab* para o sistema de receção.
- **Capítulo 5 - Resultados** – Apresentação e discussão de todos os resultados relevantes.
- **Capítulo 6 - Conclusão e Trabalho Futuro** – Resumo geral do trabalho realizado e apresentação de aspetos a melhorar, assim como outras linhas de trabalho que poderão ser desenvolvidas no futuro.

Além dos capítulos apresentados foram também elaborados os seguintes anexos onde pode ser encontrada informação complementar:

- **Anexo A – Kit de Desenvolvimento em FPGA – XUPV5** – Este anexo contém imagens do *kit* de desenvolvimento em FPGA utilizado, assim como uma anotação dos componentes e interfaces relevantes no contexto deste trabalho.
- **Anexo B – Front End RF – Esquemas Elétricos e Placas de Circuito Impresso** - Neste anexo são apresentados os esquemas elétricos e as respetivas placas de circuito impresso constituintes do *Front End RF* desenvolvido.
- **Anexo C – Sistema Final** – Este anexo contém uma representação em diagrama de blocos e uma fotografia do protótipo desenvolvido.

É ainda importante referir que o trabalho desenvolvido nesta dissertação foi distinguido com 1º lugar no concurso “*Software Defined Radio and Signal Processing Student Design Contest*” no âmbito do *International Microwave Symposium 2013* em

Seattle, Estados Unidos da América. A atribuição deste prémio foi acompanhada de um convite para publicação do seguinte artigo com a descrição do sistema desenvolvido: "*An Agile Digital Radio System for UHF White Spaces*", aceite para publicação na revista *Institute of Electrical and Electronics Engineers (IEEE) Microwave Magazine*, Janeiro/Fevereiro 2014”.

Por último, resta ainda referir, que o código fonte do projeto desenvolvido em FPGA associado a este trabalho se encontrará disponível em <http://radiosystems.av.it.pt> .

2 - Conceitos Fundamentais

Serão de seguida apresentados alguns conceitos considerados fundamentais para melhor perceber o trabalho que foi desenvolvido no contexto desta dissertação de Mestrado.

Começa-se assim por introduzir o conceito de *white spaces* assim como as suas diversas aplicações. Aborda-se o conceito de SDR e as arquiteturas de transmissão e de receção associadas. O tema dos rádios cognitivos agrega todos os conceitos anteriores mencionando aquele que será o radio do futuro, capaz de se adaptar e reconfigurar a diversos parâmetros consoante as necessidades de transmissão. Por último são abordadas com um maior nível de detalhe as arquiteturas de transmissão e receção usadas neste trabalho: *all-digital transmitters* e *bandpass sampling receivers*, respetivamente.

2.1-TV White Spaces e Novos Paradigmas de Distribuição Espectral

A utilização e as exigências das comunicações sem fios têm vindo a aumentar cada vez mais nos últimos anos, representando atualmente algo de imprescindível e essencial para toda a sociedade. Quase todos os dispositivos que são utilizados no quotidiano como telemóveis, *tablets*, computadores, recetores GPS, auriculares sem fios, rádios FM, TVs e alguns controlo-remotos, fazem uso do espectro eletromagnético para a transmissão de sinais através do canal de transmissão ar. Além dos dispositivos existentes, estão constantemente a surgir novas tecnologias de comunicação que têm necessidade de aceder ao recurso espectro eletromagnético, como por exemplo:

- As redes veiculares, cujo protocolo de comunicação já está desenvolvido e cuja banda de frequências para transmissão é de 5,85 a 5,925 GHz [3].
- O *LTE Advanced*, uma nova tecnologia das redes móveis de 4^a geração (4G), que ocupa as seguintes frequências: 450MHz, 800MHz, 900MHz, 1,8GHz, 2,1GHz e 2,6 GHz [4].
- O *Wi-Fi* cuja operação usual na Europa é na zona dos 2,4GHz (normas IEEE 802.11.b/g/n) também se encontra disponível nos 5GHz (normas IEEE

802.11.a/ac/n) [5]. E recentemente, a nova norma IEEE 802.11ad, a operar nos 60GHz, permitirá atingir ritmos de 7 Gbps [6].

Este aumento de utilização do espectro traduz-se numa utilização intensiva de certas bandas de frequência, enquanto outras apesar de estarem alocadas não são intensivamente utilizadas ou não são sequer utilizadas. Na Figura 2 é possível observar uma medição efetuada da potência do sinal numa larga distribuição de frequências. Pode-se verificar que o uso do espectro se concentra em certas zonas enquanto outras bandas se encontram livres ou apenas parcialmente ocupadas [7].

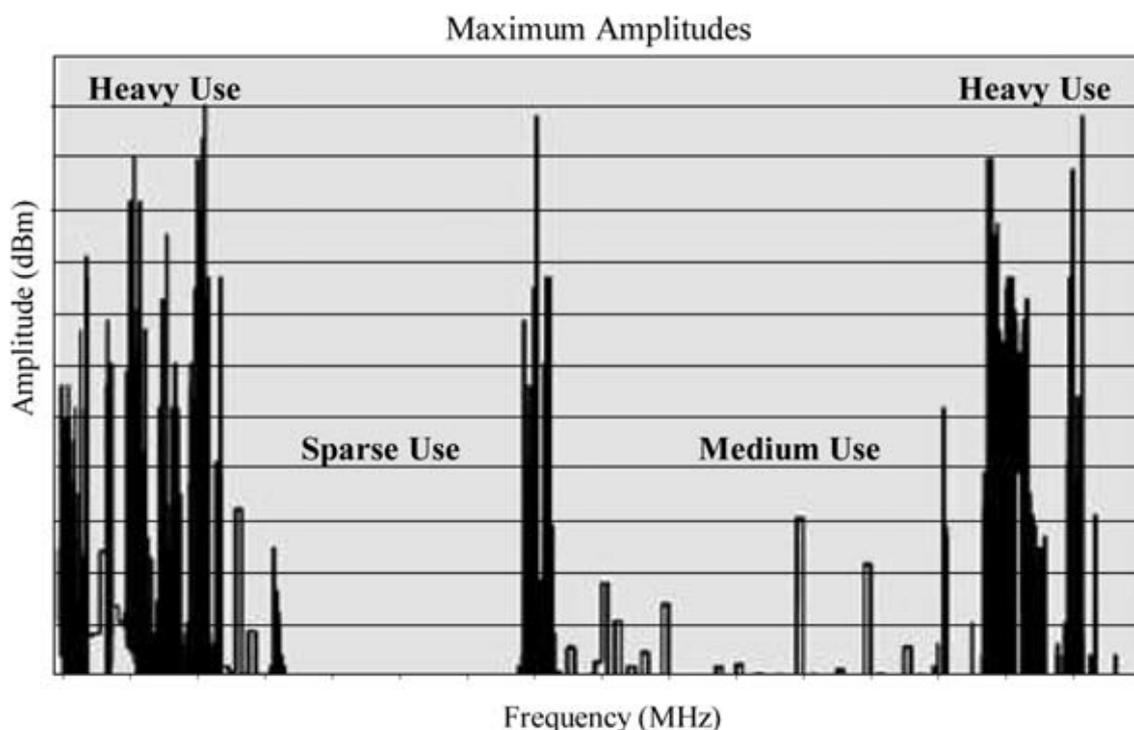


Figura 2 – Utilização do espectro eletromagnético. Medida da potência (dBm) em função da frequência (MHz) (retirado de [7]).

Devido ao facto referido anteriormente, surgiu o conceito de *white spaces* – que representa a porção do espectro não utilizado. Deste modo seria claramente vantajoso alterar a maneira como o espectro é aceso, adotando um esquema de acesso flexível que tornasse o uso deste mais eficiente.

Atualmente o espectro é gerido em cada país por uma entidade reguladora – *National Regulator Authority* (NRA). Esta entidade é responsável por alocar estaticamente uma determinada porção do espectro a cada tecnologia ou serviço, levando a uma utilização não

eficiente e inflexível do espectro. No caso de Portugal a entidade responsável por esta matéria é a ANACOM.

No ano civil transato, em toda a Europa, assistiu-se à migração definitiva das emissões analógicas de televisão para digital. Esta mudança proporcionou um ganho de eficiência em termos de modulação levando a que fosse libertada uma porção significativa do espectro. Dessa porção uma parte destina-se aos operadores móveis e outra parte estará, em princípio, destinada à investigação de novos paradigmas de distribuição espectral e outras aplicações [8]. Este novo espaço livre na banda de frequências *Very High Frequency* (VHF) e UHF forma assim os *TV White Spaces*.

Uma possibilidade de alterar a maneira como o espectro é aceso seria adotar um esquema flexível que trouxesse maior eficiência. Este novo esquema chama-se *Dynamic Spectrum Access* (DSA), e pode ser visto como uma hierarquia, onde coexistem utilizadores primários e secundários com diferentes direitos relativamente ao uso do espectro. Ao utilizador primário seria concedida uma licença pela NRA para usar uma banda de espectro específica. No entanto, quando os utilizadores primários não estão efetivamente a usar a banda que lhes foi concedida, os secundários, podem utilizá-la sem afetar os utilizadores primários. Consequentemente, os utilizadores secundários têm de detetar as frequências livres para poderem transmitir sem causar interferência em nenhum outro utilizador, e ao mesmo tempo, terão que cessar a transmissão assim que os utilizadores primários necessitem desse mesmo canal de transmissão. Quando isto acontece, terão que ter a flexibilidade necessária para procurar um novo canal de transmissão. Para os utilizadores secundários conseguirem ter este tipo de comportamento, existem várias soluções possíveis:

- *Spectrum sensing*;
- Utilização de *radio-beacons*;
- Geolocalização seguido do acesso a uma base de dados com informação das frequências disponíveis para transmissão.

Recorrendo ao *spectrum sensing*, técnica através da qual o rádio se consegue aperceber do estado do espectro detetando as bandas livres e ocupadas, o utilizador escolhe automaticamente uma frequência adequada para transmitir. Esta seria a solução mais desejada devido ao facto de tornar o dispositivo totalmente independente, no entanto, com a tecnologia atual uma solução deste género traria pouca fiabilidade.

A utilização de *radio-beacons* implica a transmissão de *beacons* em *broadcast* nas frequências livres. Esta solução não é desejada pois implica a construção de uma pesada infraestrutura de suporte para efetuar a transmissão dos *beacons*, cuja criação e manutenção seria dispendiosa.

Finalmente, a última opção, Geolocalização seguido do acesso a uma base de dados com informação das frequências disponíveis para transmissão, é atualmente a solução mais vantajosa. Nesta solução o utilizador secundário comunicaria à base de dados a sua localização, largura de banda pretendida e duração estimada da comunicação. De seguida, a base de dados responderia enviando um conjunto de frequências disponíveis, largura de banda, máximo *equivalent isotropically radiated power* (EIRP) permitido, tempo máximo de alocação, entre outros aspetos considerados relevantes. Com este método seria possível fazer uso do espectro de forma mais eficiente e ao mesmo tempo salvaguardar os interesses dos utilizadores primários. É importante referir que o acesso à base de dados seria efetuado através de uma rede de suporte, como por exemplo Wi-Fi. [9].

Neste sentido, têm-se vindo a desenvolver estudos com o objetivo de criar rádios inteligentes e adaptáveis ao ambiente onde se encontram. É neste contexto que se inserem os conceitos de SDR e CR que serão apresentados nas secções seguintes.

2.1.1-Aplicações dos *TV White Spaces*

Com a passagem das emissões analógicas de televisão para digital, a fatia de espectro remanescente tornou-se extremamente cobiçada pelo facto da gama de frequências de que se trata (VHF/UHF) apresentar excelentes características de propagação. Estas características tornam esta banda de frequências bastante útil para cenários de *backhaul*, onde a imposição de outras tecnologias se torna dispendiosa. Por exemplo, numa zona rural onde o acesso à *internet* seja difícil de fornecer, o uso desta banda de frequências para efeitos de *internet backhaul* seria uma possível aplicação (Figura 3) [10, 11]. Este tipo de aplicação já se encontra a ser regulamentada por um grupo de trabalho do IEEE – IEEE 802.22. O objetivo deste grupo visa precisamente criar um protocolo de comunicação baseado em rádios cognitivos e num uso dinâmico de espectro, para que dispositivos não licenciados possam operar nesta banda de frequências [12].

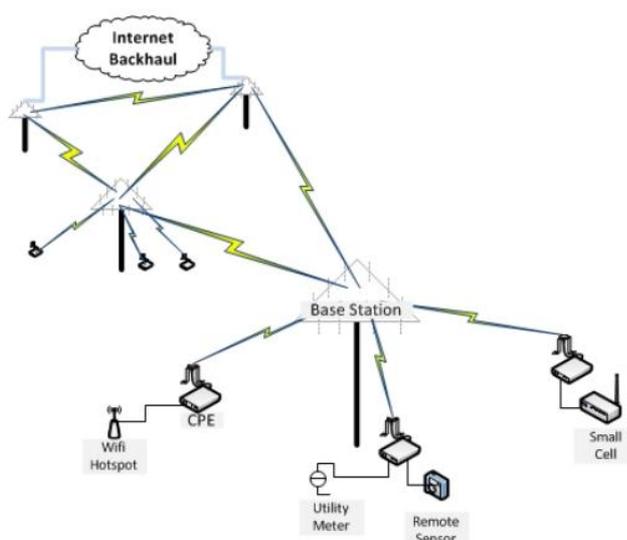


Figura 3 – Exemplo de aplicação dos *white spaces* em *backhaul* de internet (retirado de [11]).

Tendo em conta as boas características de propagação, os *TV white spaces* também podem ser úteis para efetuar a cobertura de uma zona metropolitana com acesso à internet (Figura 4) [11]. Para esta aplicação foi criado o grupo IEEE-802.11af, responsável por adaptar o atual protocolo de Wi-Fi ao uso de rádios cognitivos associados a um paradigma onde o acesso ao espectro seja dinâmico [13].

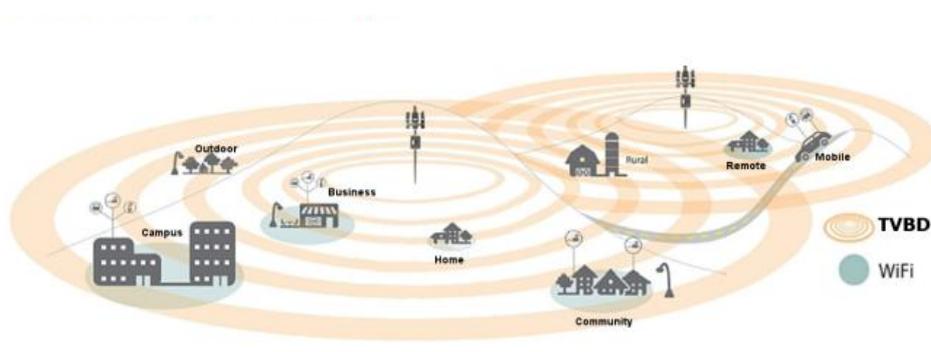


Figura 4 – Exemplo de aplicação para cobertura de internet em zonas metropolitanas (retirado de [11]).

Uma outra aplicação seria a utilização dos *TV white spaces* em *Wireless Sensor Networks* (WSN), *Machine to Machine Communications* (M2M) e sistemas de localização, onde os diversos sensores de monitorização remota ou telemetria poderiam comunicar de forma menos dispendiosa face ao uso das redes celulares [11].

Todas estas aplicações levam a que grandes nomes da indústria mundial estejam interessados em desenvolver produtos (*White Spaces Devices*) que se enquadrem nesta banda de frequências e no paradigma de DSA. Alguns exemplos de empresas que têm desenvolvido esforços nesta área são: Google, Texas Instruments, Microsoft, Nokia, Samsung, Sky, BBC entre outros. A título de exemplo, a Google está a criar uma base de dados, a operar desde Março de 2013 nos Estados Unidos da América, em que se podem encontrar os canais livres para transmissão dentro desta banda [14].

Com o interesse destas e outras empresas foi criada a White Spaces Alliance e o Cambridge TV White Spaces Consortium com o objetivo de promover o desenvolvimento dos *White Spaces Devices* [14, 15].

2.2-Software Defined Radio

Existem várias definições para o conceito de *Software Defined Radio*, todas válidas e com aspetos semelhantes. São apresentadas de seguida três definições: de Joseph Mitola, do *International Telecommunication Union* (ITU) e do *Wireless Innovation Forum*.

Segundo Joseph Mitola, o introdutor deste conceito em 1995, a definição de SDR é: “*A software radio is a radio whose channel modulation waveforms are defined in software. That is, waveforms are generated as sampled digital signals, converted from digital to analog via a wideband Digital to Analog Converter (DAC) and then possibly upconverted from Intermediate Frequency (IF) to RF. The receiver, similarly, employs a wideband Analog to Digital Converter (ADC) that captures all of the channels of the software radio node. The receiver then extracts, downconverts and demodulates the channel waveform using software on a general purpose processor.*” [16].

Segundo o ITU a definição de SDR é : “*Software-defined radio (SDR): A radio transmitter and/or receiver employing a technology that allows the RF operating parameters including, but not limited to, frequency range, modulation type, or output power to be set or altered by software, excluding changes to operating parameters which occur during the normal pre-installed and predetermined operation of a radio according to a system specification or standard.*” [17].

Por último, a definição de SDR pelo *Wireless Innovation Forum* (antigo *SDR Forum*) é:

“A Radio in which some or all of the physical layer functions are software defined.” [18].

De uma maneira geral, a noção de SDR consiste na conceção de um rádio cuja transmissão e receção da respetiva forma de onda seja feita integralmente no domínio digital e que apresente flexibilidade na escolha de certos parâmetros como por exemplo: modulação, frequência, potência a transmitir, ritmo de transmissão entre outros aspetos. No fundo, o conceito de SDR é considerado como o futuro das comunicações móveis, pois devido à constante introdução de novos protocolos de comunicação deixará de ser razoável em termos de custos ter uma plataforma de rádio por tecnologia. Deste modo, passa a ser mais vantajoso ter um único *front end* RF que seja adaptável aos atuais protocolos de comunicação assim como aos que irão surgir no futuro [19].

Idealmente um transceptor de rádio definido por *software* seria constituído por um componente de processamento de sinal onde ocorreriam as etapas de processamento de sinal na banda base, modulação/desmodulação e *up-conversion/down-conversion* para/de RF de/para banda base (Figura 5).

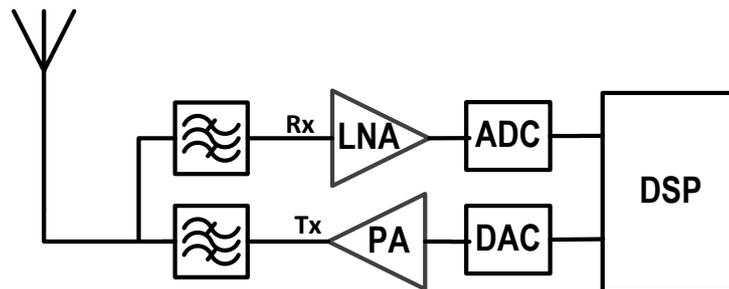


Figura 5 - Esquema representativo da arquitetura de SDR ideal. LNA: Low noise amplifier; ADC: Analog to digital converter; DSP: Digital Signal Processor; DAC: Digital to analog converter; PA: Power Amplifier.

Para se conseguir efetuar um sistema deste tipo e que opere numa larga zona de espectro seriam necessários componentes com elevada largura de banda e gama dinâmica, o que não corresponde ao atual estado de arte de ADCs, DACs, amplificadores e antenas [19]. No entanto, utilizando algum *hardware* externo adicional ou outro tipo de técnicas (*bandpass sampling*) é possível tentar chegar a arquiteturas próximas do conceito de SDR ideal.

2.2.1-Arquiteturas em Software Defined Radio

Esta secção encontra-se dividida em duas subsecções nas quais se apresentam as arquiteturas de transmissão e receção mais comuns em SDR.

2.2.1.1-Transmissão

Um transmissor de rádio deve cumprir alguns requisitos importantes, tais como: gerar o mínimo de potência às frequências harmónicas, eficiência espectral (ocupar apenas a largura de banda dedicada a si), eficiência de potência (emitir o máximo de potência RF e simultaneamente consumir o mínimo de potência DC).

As arquiteturas de transmissão de sinal de rádio tradicionais são essencialmente constituídas por dois grandes tipos: conversão direta (*direct-conversion*) – Figura 6 a); e transmissor de conversão IF (*dual-conversion*) – Figura 6 b), também conhecidos como homodino e heterodino, respetivamente. O transmissor homodino é mais simples de implementar e apresenta menor número de componentes. O heterodino é mais complexo e necessita de maior número de componentes, contudo apresenta maior imunidade às fugas do oscilador local.

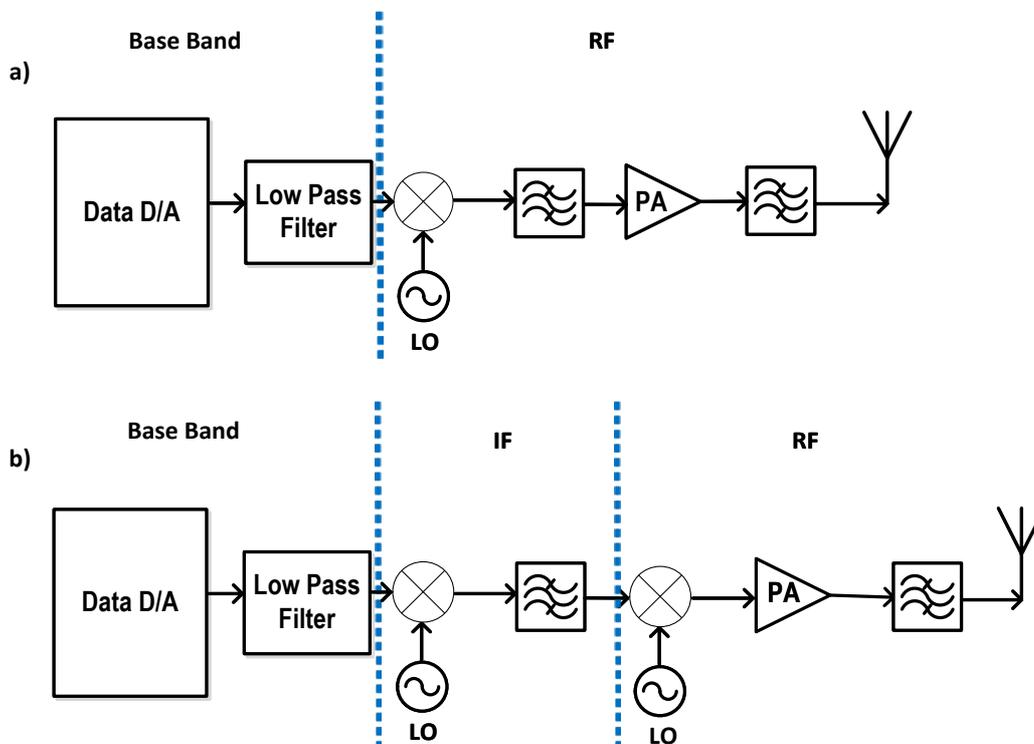


Figura 6 – Representação de arquiteturas de transmissão rádio. 6 a) homodino; 6 b) heterodino. LO: Local Oscillator.

Relativamente aos transmissores SDR, estes pretendem tornar o rádio o mais flexível possível relativamente à frequência da portadora, largura de banda, modulação, eficiência de potência e eficiência espectral. Para isso existem várias abordagens. Uma possibilidade consiste em utilizar DACs de elevada velocidade e potência seguida eventualmente de um transmissor homodino que apenas faça o *up-conversion* para a frequência pretendida (Figura 7 a) e b)) [20]. Outra possibilidade é recorrer a transmissores completamente digitais. Nestes transmissores o caminho do sinal a transmitir desde a banda base até ao andar de RF é integralmente digital e apresentam maior flexibilidade relativamente aos parâmetros de interesse de um transmissor SDR (Figura 7 c)) [21]. O transmissor desenvolvido neste trabalho de dissertação tem como base um transmissor integralmente digital, neste sentido, reserva-se uma explicação em maior detalhe sobre esta matéria mais à frente neste capítulo.

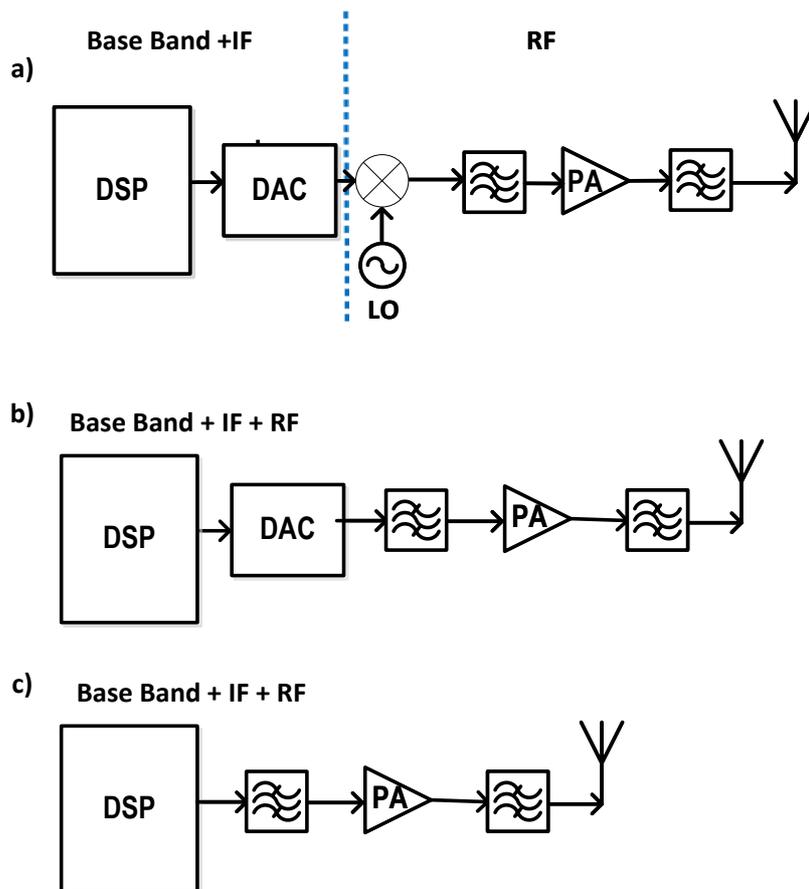


Figura 7 - Arquiteturas de transmissão mais comuns em SDR. a) Arquitetura homodina em que o sinal IF gerado no DSP é convertido para RF recorrendo a um misturador e um oscilador local; b) Arquitetura em que o sinal RF é gerado na DSP e é convertido para o domínio analógico através de uma DAC; c) Arquitetura em que o sinal RF é gerado na DSP e é convertido para o domínio analógico através de filtragem.

2.2.1.2-Receção

Nesta secção são apresentadas as várias arquiteturas de receção de sinal de rádio mais úteis em SDR [22].

Digitalização em banda base

Nesta primeira configuração o sinal de rádio é desmodulado e convertido para banda base no domínio analógico (Figura 8). Logo após a ADC, um *Digital Signal Processor* (DSP) é responsável pelo respetivo processamento do sinal em banda base. Esta arquitetura encontra-se atualmente implementada em larga escala na maior parte dos transcetores de rádio comerciais. As vantagens desta arquitetura são o baixo custo de implementação e baixo consumo de potência da ADC face às arquiteturas seguintes. No entanto, encontra-se bastante longe da abordagem do SDR ideal devido à largura de banda estreita em que o recetor consegue operar.

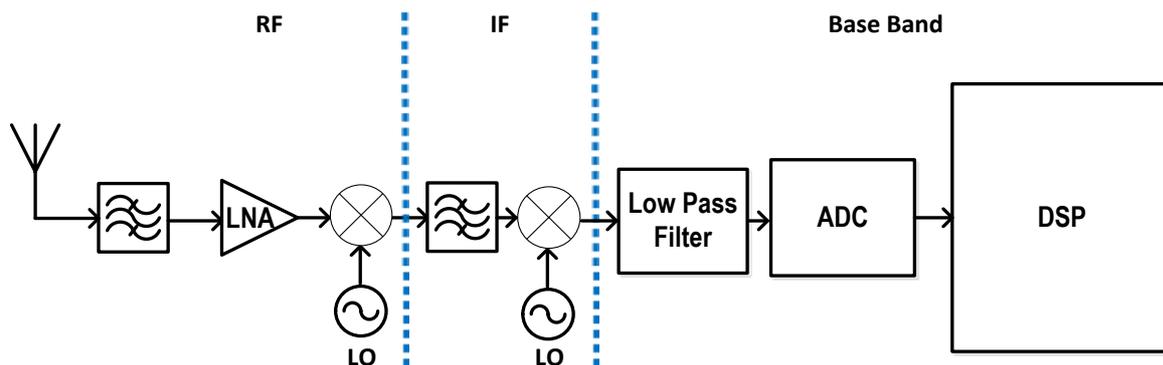


Figura 8 – Recetor com digitalização em banda base.

Digitalização em IF (*Intermediate Frequency*)

A configuração representada na Figura 9 corresponde à digitalização na frequência intermédia, correspondendo portanto à transposição da ADC para a zona logo após a primeira *down-conversion*. Neste caso, a segunda *down-conversion* para a banda a base, é feita no domínio digital à custa de um DSP. Este facto permite que se consiga receber uma maior largura de banda devido à flexibilidade de realização de filtros no domínio digital, sendo esta a principal vantagem desta arquitetura. Esta arquitetura encontra-se mais próxima do ideal e é realizável com componentes disponíveis atualmente.

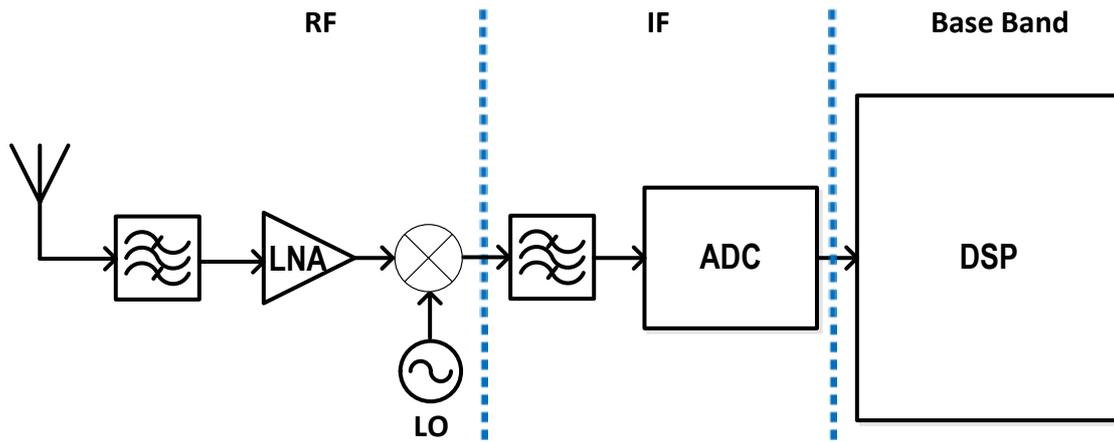


Figura 9 – Recetor com digitalização em IF.

Digitalização em RF (*Radio Frequency*)

Por último encontra-se a abordagem considerada ideal, pois a amostragem do sinal é feita diretamente ao sinal vindo da antena, em RF (Figura 10). Atualmente, esta arquitetura apresenta enormes desafios devido ao facto da ADC necessitar obrigatoriamente de ter grande largura de banda e elevada taxa de amostragem para amostrar um sinal diretamente em RF. No entanto, para aplicações onde o sinal RF possua baixa largura de banda ou em que a frequência do sinal seja baixa, existe a possibilidade de se implementar este tipo de abordagem, por exemplo através de *bandpass sampling*, sendo a única limitação a dissipação de potência devido à elevada taxa de amostragem da ADC. Esta corresponde à abordagem utilizada no recetor de rádio construído no âmbito desta dissertação e será explicada em maior detalhe mais à frente neste capítulo.

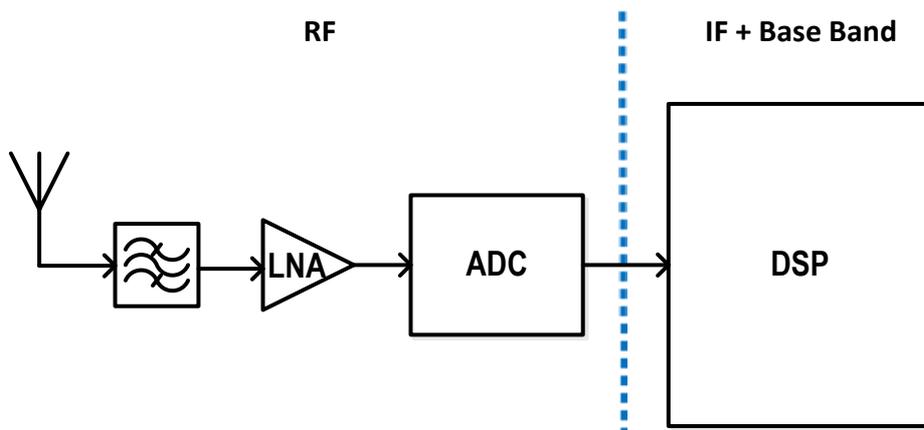


Figura 10 - Recetor com digitalização em RF.

2.3-Cognitive Radio

Cognitive Radio (CR) foi um conceito também introduzido por Joseph Mitola, em 1999, que o define como “A radio that employs model based reasoning to achieve a specified level of competence in radio-related domains” [23].

Além da definição de Joseph Mitola, pode ser encontrada uma outra definição de Simon Haykin, que afirma que CR é “An ambient-aware, intelligent radio which learn from its surroundings and adapt itself to highly reliable communication, anywhere, anytime and efficient use of Radio Spectrum” [24].

O conceito de CR surge associado aos conceitos de novos paradigmas de distribuição espectral e apoiando-se na noção de SDR, representa um rádio inteligente com noção do ambiente que o rodeia e com a capacidade de se adaptar a este. A noção de adaptação neste contexto encontra-se relacionada com a capacidade de utilização eficiente do espectro, escolhendo uma porção livre deste para transmitir.

Pode-se facilmente ilustrar o conceito através da Figura 11 que representa a ocupação do espectro ao longo do tempo. Num determinado instante de tempo, numa determinada frequência, verifica-se a existência de um “*spectrum hole*” (zona livre do espectro podendo também ser chamado de *white space*) (Figura 11). Dada esta situação, um verdadeiro CR, deve ser capaz de detetar a existência desse pedaço de espectro desocupado através de *spectrum sensing*, e posteriormente deve conseguir transmitir nessa mesma banda que detetou. Seguidamente, quando o utilizador primário dessa banda pretender efetuar utilização da mesma, este terá que abandonar a transmissão e procurar uma nova frequência [7].

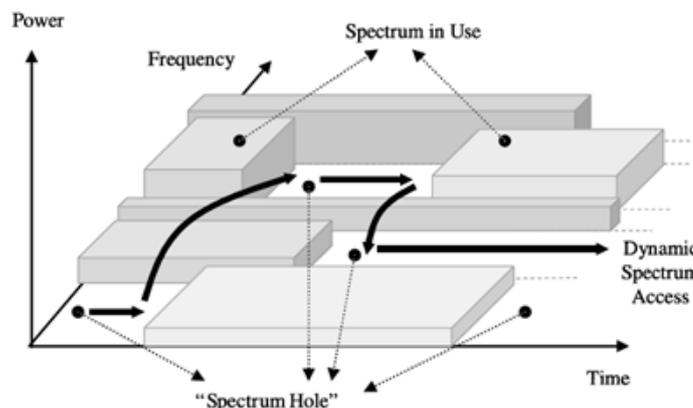


Figura 11 – Representação do conceito de *Cognitive Radio* através do conceito de *spectrum hole* (retirado de [7]).

Em suma, um rádio cognitivo assume-se como um rádio inteligente, eficiente, adaptável, seguro e com capacidade de auto-aprendizagem. Tendo em conta o que foi discutido na secção dos *TV White Spaces* e novos paradigmas de distribuição espectral, conclui-se que os CRs apoiados numa arquitetura SDR são a chave para este tipo de paradigmas [7, 24].

2.3.1 - O papel do *Cognitive Radio* nas redes móveis 5G

As alterações tecnológicas das redes móveis são usualmente efetuadas de 10 em 10 anos. A rede de 1ª geração (1G) constituída exclusivamente por dispositivos analógicos iniciou-se na década de 80. Passados 10 anos, em 1990, devido à incapacidade por parte da tecnologia 1G em servir um número elevado de clientes, chegou a 2ª de geração (2G) de redes móveis, que foi a responsável pela massificação do telemóvel, porém apenas permitiam transmissão de sinal de voz e de dados a um ritmo muito reduzido. Com o passar dos anos estas foram evoluindo permitindo ritmos de transmissão de dados até cerca de 115kbps. No entanto, no início do novo milénio, a exigência era cada vez maior que levou a ascensão da terceira geração de redes móveis (3G). Esta, teoricamente, permite transferências de dados até cerca de 45Mbps. Atualmente, começam a surgir as redes de quarta geração (4G), com base em tecnologia de endereçamento *Internet Protocol* (IP) e espera-se que estas atinjam débitos próximos de 1Gbps [25, 26].

Apesar de nada se encontrar regulamentado pelo ITU, começam a surgir, junto da comunidade científica, algumas características que definem uma possível quinta geração (5G) de redes móveis. Até às redes móveis 4G assiste-se a um conceito de rede móvel centrada nos operadores. Nas redes 5G espera-se assistir a uma mudança radical passando estas a estar centradas no utilizador. Os dispositivos atuais permitem conectividade a várias redes como 2G, 3G, 4G, Wi-Fi, Bluetooth, GPS, entre outras. No entanto, a escolha da rede a utilizar depende exclusivamente do utilizador. Por exemplo, caso um utilizador queira enviar um *e-mail*, este poderá optar por fazê-lo através de Wi-Fi ou de 3G/4G, contudo, o utilizador não tem noção de qual a melhor opção, quer em termos de custo quem em termos de rapidez (*Quality of Service* (QoS)). Nas redes 5G o utilizador não terá de se preocupar em escolher qual a melhor maneira para o fazer, pois isso será tarefa do dispositivo. Este possuirá inteligência necessária para efetuar a melhor escolha em termos de custo ou de velocidade da comunicação. Para dar resposta a estas características os

dispositivos serão baseados em arquiteturas SDR e CR, podendo adaptar-se dinamicamente às melhores formas de efetuar comunicação. Deste modo, os dispositivos terão acesso simultâneo a diversas tecnologias, sendo estes capazes de combinar o uso das mesmas para um melhor proveito do utilizador. Além disso, uma vez que os rádios são baseados em arquiteturas SDR, pretende-se que estes sejam reconfiguráveis a um qualquer protocolo de comunicação, tornando o dispositivo num dispositivo *plug and play*. Isto é, um dispositivo passará a ser reconfigurável dinamicamente, podendo um telemóvel transformar-se num recetor de TV simplesmente descarregando e instalando o *software* relativo à receção deste sinal [25, 27-30].

2.4-All-Digital Transmitters

Um dos maiores desafios em SDR passa por dotar os rádios de flexibilidade no que diz respeito à frequência da portadora, modulação, largura de banda e potência de transmissão, para assim se tornarem em verdadeiras plataformas multi-norma e multi-banda. De seguida mostrar-se-á o conceito de *all-digital transmitter*, que visa permitir este tipo de plataformas.

2.4.1-Conceito

Os últimos avanços na área dos transmissores de SDR incluem o desenvolvimento de *all-digital transmitters*. O seu conceito é essencialmente o desenvolvimento de um transmissor onde o caminho do sinal desde a banda base até ao andar de RF seja digital, permitindo atingir elevados níveis de flexibilidade [21].

Na Figura 12 encontra-se a arquitetura base de um transmissor integralmente digital apresentada pela primeira vez por Ghannouchi [31] e aprofundada e melhorada por Silva et al [21, 32, 33]. Os blocos de *digital shaping modulation* (DSM), que podem ser Σ - Δ (*Sigma-Delta*) ou *Pulse Width Modulation* (PWM), recebem as componentes de banda base em fase e em quadratura e tornam o sinal adequado para transmissão RF transformando as componentes I/Q num sinal bi-nível [32, 33]. A etapa seguinte, composta pelos três *multiplexers*, é responsável pela modulação do sinal de 1 *bit*, proveniente dos blocos de DSM, por uma onda quadrada. Nesta arquitetura (Figura 12), os *multiplexers* mais à esquerda servem para centrar o sinal na frequência da portadora, enquanto o terceiro, à direita, permite a transmissão de ambas as componentes I/Q alternando o tempo

de transmissão de cada uma. Deste modo, o sinal de banda base é diretamente convertido para RF sem passar por uma frequência intermédia, assim como o transmissor homodino (conversão direta), sendo que nesta situação não existe diretamente o conceito de mistura (produto entre oscilador local e sinal da banda base). Detalhes temporais do processo de *up-conversion* podem ser encontrados na Figura 13 [21, 31].

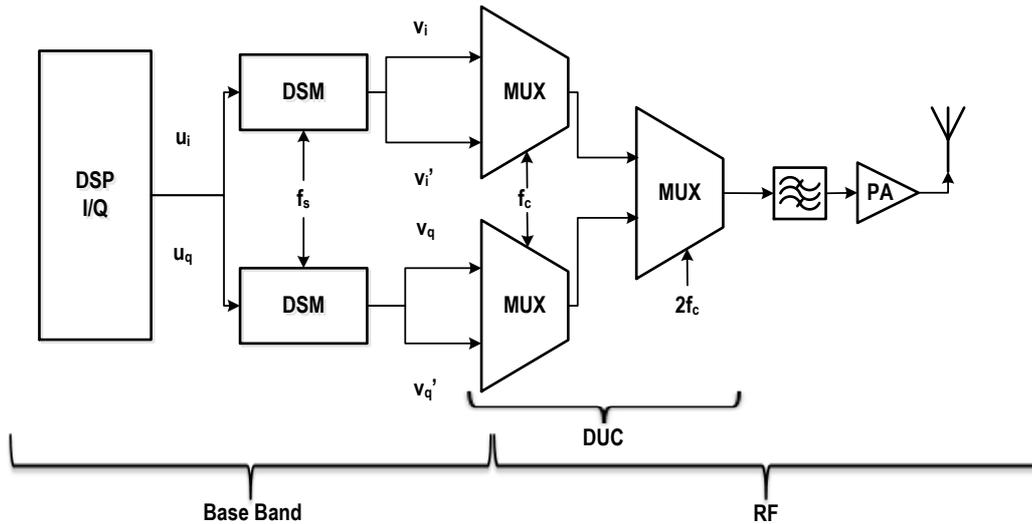


Figura 12 – Representação do conceito de transmissor integralmente digital (adaptado de [21, 31]). DUC: *digital up-conversion*.

Uma vez que se está a usar uma onda quadrada serão gerados harmónicos de ordem ímpar, para além de ruído aditivo proveniente dos blocos de DSM. Por esse mesmo motivo, é essencial proceder à utilização de um filtro analógico do tipo passa banda logo após o último *multiplexer*, que atenua os harmónicos e o ruído fora da banda tornando o sinal adequado a ser transmitido pela antena, após eventualmente passar por um amplificador de potência. De notar que seria possível trocar a ordem do filtro com o amplificador, no entanto, neste caso ter-se-ia de usar um amplificador do tipo comutado (*switched mode power amplifier (SMPA)*).

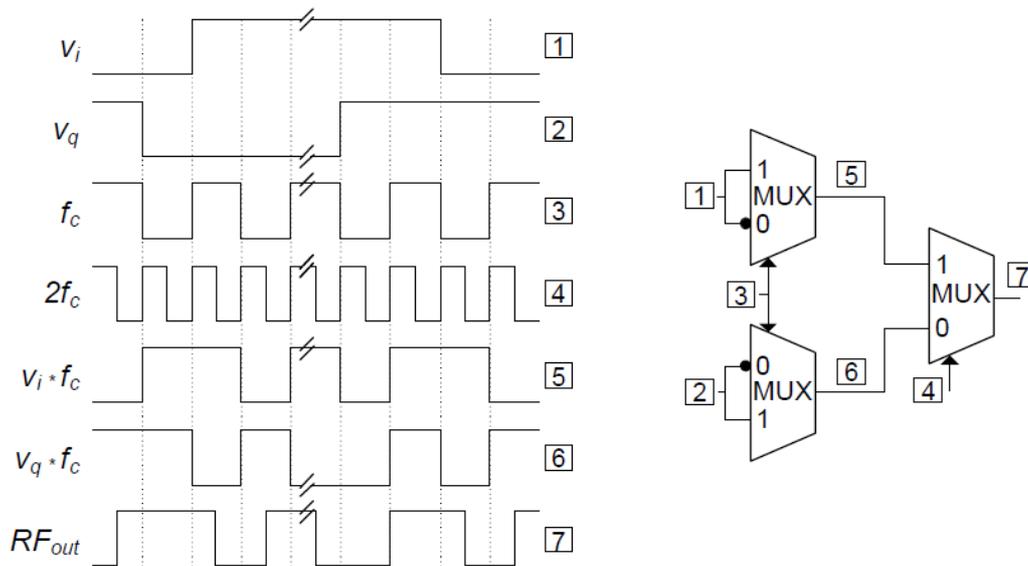


Figura 13 – Diagrama temporal da fase de *up-conversion* (retirado de [21]).

2.4.2-Implementação em FPGA

A FPGA é um dispositivo digital programável com uma elevada capacidade lógica e com uma heterogeneidade de recursos e reconfigurabilidade que possibilita a implementação de circuitos de *hardware* específicos para uma dada aplicação. As FPGAs permitem explorar o paralelismo ao nível das operações de uma dada aplicação, através da construção de unidades de processamento especializadas, o que resulta em elevados desempenhos. A título de exemplo, além dos blocos lógicos programáveis baseados em *Lookup Tables* (LUTs) e *flip-flops*, as FPGAs possuem atualmente blocos dedicados para efetuar processamento de sinal (DSP_SLICES) o que é bastante útil para a realização de filtros digitais. Devido a estas características as FPGAs possuem um papel muito importante no desenvolvimento em SDR. Além de todas estas características alguns modelo de FPGAs atuais contêm um serializador embutido, cujo nome mais comum é *Multi Gigabit Transceiver* (MGT). Este é normalmente usado para implementar certos protocolos de comunicação série como *Serial SATA*, *PCI Express*, *Gigabit Ethernet*, *GPON* entre outros. No entanto, o MGT pode ser usado simplesmente como um serializador puro cujo objetivo é fazer a *up-conversion* de um sinal na banda base para RF. Deste modo é possível gerar um sinal RF recorrendo a uma FPGA que contenha um MGT, sendo a única limitação relativa ao ritmo binário à saída deste. No entanto, este limite é

bastante aceitável, considerando as FPGAs topo de gama atuais (versões mais evoluídas da Xilinx ou Altera) conseguem-se atingir ritmos de saída até 28Gbps o que, como se verá de seguida, significa que em modulações I/Q poder-se-á obter um sinal RF de 7 GHz e para modulações não I/Q poder-se-á atingir um máximo de 14 GHz [21].

Assim, recorrendo a uma FPGA, é possível implementar um *all-digital transmitter* dotando-o de uma maior flexibilidade devido às suas características anteriormente referidas.

Nas secções seguintes usa-se a nomenclatura modulações coerentes, para modulações que se aplicam a sistemas coerentes, e modulações não coerentes, para o caso em que estas se aplicam a sistemas não coerentes.

2.4.3-Implementação em Modulações Coerentes

Na Figura 14 encontra-se o esquema da arquitetura de um emissor integralmente digital baseado em FPGA, onde se verifica que os dois *multiplexers* apresentados na arquitetura anterior surgem agora substituídos por dois blocos: *Serializer* e *Interconnection Network*. A operação conjunta destes dois novos blocos permite efetuar a conversão do sinal em banda base para RF. O primeiro bloco - *Interconnection Network* - é responsável por construir uma palavra paralela (W) que contém todas as componentes do sinal (v_i , v_q , v_i' e v_q' (versões complementares de v_i e v_q , respetivamente)) replicadas por um fator *de up-conversion* – N:

$$N = \frac{f_c}{f_s}$$

Equação 1

onde f_c corresponde à frequência desejada para a portadora e f_s corresponde à frequência de amostragem do sinal em banda base.

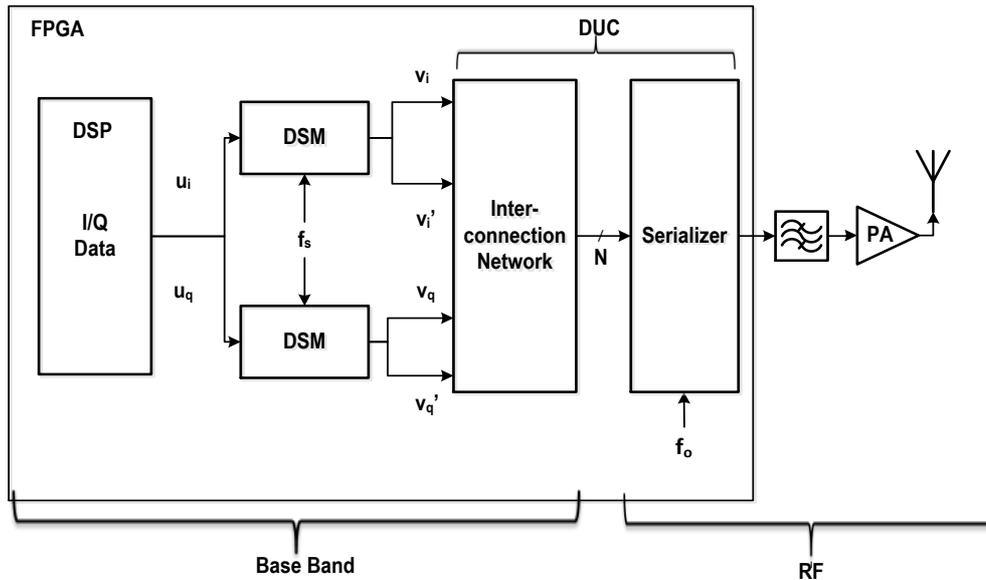


Figura 14 – Arquitetura de um *all-digital transmitter* baseado em FPGA (adaptado de [21]).

O segundo bloco é um serializador que coloca a palavra paralela – W – na saída a um ritmo de $4 \times f_c$, que conseqüentemente gera a portadora RF centrada em f_c , assim como os respectivos harmônicos de ordem ímpar, pois trata-se de uma onda quadrada. O sinal f_o , corresponde ao sinal de relógio do serializador, cuja frequência deve garantir o ritmo binário pretendido à saída deste.

Mais uma vez o filtro passa banda e o *Power Amplifier* (PA) apresentam a mesma funcionalidade, isto é, filtrar harmônicos, ruído proveniente do DSM e aumento da excursão de sinal para este ficar passível de ser transmitido [21, 32, 33].

2.4.4-Implementação em Modulações Não Coerentes

Este tipo de transmissores permite também a implementação de modulações não coerentes demonstrando a sua flexibilidade relativamente à escolha da modulação e sendo assim uma extensão ao trabalho que tem sido desenvolvido até agora por Silva et al [21, 31-33]. As modulações coerentes são muito usadas, pois possuem maior eficiência espectral face às não coerentes tornando-as mais adequadas a ligações de alto débito. No entanto, alguns tipos de comunicações que não exigem ritmos elevados encaixam-se perfeitamente em modulações não coerentes, reduzindo assim a complexidade dos transdutores e por sua vez o seu custo. Um exemplo de utilização deste tipo de modulações é o caso do *Radio Frequency Identification* (RFID) [34].

Na Figura 15 encontra-se o esquema do transmissor compatível com modulações não coerentes – *Amplitude Shift Keying* (ASK) ou OOK.

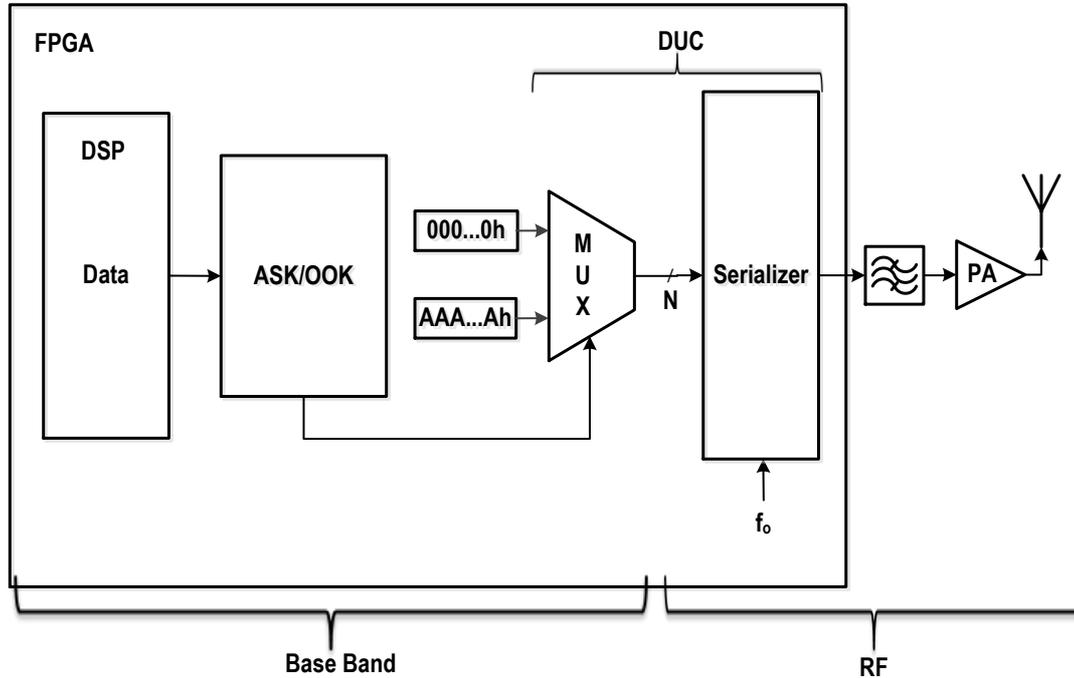


Figura 15 – Arquitetura de um *all-digital transmitter* para modulações não coerentes baseado em FPGA.

Facilmente se explica o funcionamento deste transmissor recorrendo à modulação OOK. Este tipo de modulação funciona ativando a portadora quando se pretende transmitir um “1” e desativando a portadora quando se pretende transmitir um “0”, ou vice-versa caso se trate de lógica negativa (Figura 16) [34].

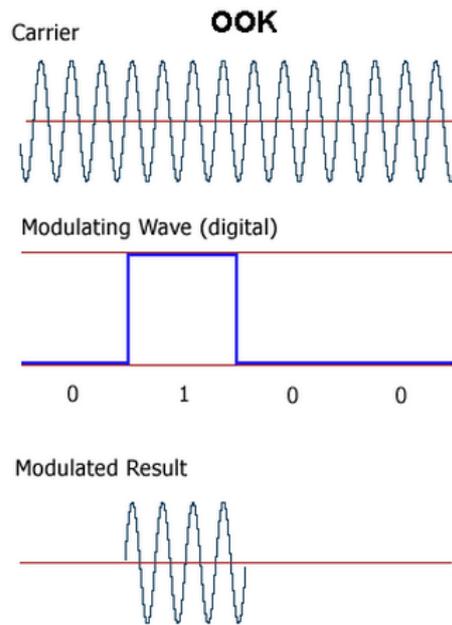


Figura 16 – Modulação OOK (retirado de [34]).

Atendendo novamente ao diagrama da Figura 14 e seguindo o caso da modulação OOK, para transmitir um “1” numa frequência f_c é necessário que o serializador coloque à sua saída uma onda quadrada cujo ritmo seja $2 \times f_c$. Neste caso a palavra a serializar seria “101010...1010”. No caso de transmissão de um “0” facilmente se verifica que a palavra a serializar seria “0000...00”. O caso do ASK seria em tudo análogo, no entanto, ter-se ia que alterar dinamicamente o nível de potência à saída do serializador.

Este tipo de transmissor podia ainda ser adaptado à modulação *Frequency Shift Keying* (FSK), que apesar de ser coerente, na transmissão funciona de modo semelhante a dois moduladores OOK. Para isso é apenas necessário atribuir uma frequência para a transmissão de um “1” e outra frequência para o “0”, logo ter-se-ia que alterar dinamicamente a frequência de saída do serializador consoante a transmissão de um “0” ou “1”.

2.4.5-Vantagens e Limitações

Os *all-digital transmitters* possuem como principal vantagem os aspetos de elevada flexibilidade, encaixando perfeitamente nos requisitos de um transmissor SDR. No entanto, há aspetos que se devem realçar, como a elevada eficiência em termos de amplificação de

potência, a capacidade de combinar digitalmente sinais de múltiplos canais e ainda a possibilidade de efetuar a escolha dinâmica em termos de frequência e modulação [35].

As principais limitações residem na frequência máxima a que se consegue colocar um sinal de RF, que como já se referiu anteriormente de acordo com atual estado de arte é de 7 GHz para modulações I/Q e de 14 GHz para modulações não I/Q [21]. Contudo esta é uma limitação de cariz tecnológico que certamente será ultrapassada com a evolução das FPGAs.

2.5-Bandpass Sampling Receivers

Tal como se verificou nas secções anteriores a maior parte dos recetores de rádio comerciais efetuam pelo menos uma primeira *down-conversion* no domínio analógico e logo a seguir o sinal é amostrado por uma ADC – recetor de digitalização em IF.

Devido ao aumento da capacidade de processamento e da melhoria das técnicas de processamento digital de sinal, tem-se conseguido mover a ADC no sentido da antena, tentando alcançar o recetor SDR ideal. No entanto, amostrar o sinal RF a alta frequência não é uma tarefa trivial devido às limitações das ADCs em termos de largura de banda e de frequência de amostragem [36].

2.5.1-Conceito de Amostragem - Teorema de Nyquist

No sentido de perceber corretamente o conteúdo que se irá expor nesta secção começar-se-á por rever alguns fundamentos de processamento de sinal relativos a amostragem de sinais e ao Teorema de Nyquist.

Matematicamente, o processo de amostragem de uma função contínua $x(t)$ corresponde, no domínio do tempo, à multiplicação dessa função por um trem de impulsos periódicos $\delta_T(t)$ de período $T = \frac{1}{f_s}$ (Figura 17) [37].

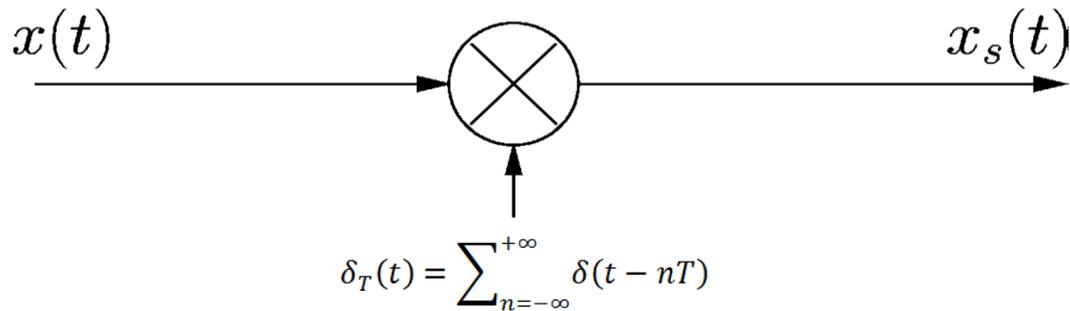


Figura 17 - Representação do processo de amostragem no domínio do tempo.

O resultado desta operação origina o sinal amostrado designado por $x_s(t)$. A representação matemática de $x_s(t)$ no domínio do tempo é:

$$x_s(t) = x(t)\delta_T(t) = \sum_{n=-\infty}^{+\infty} x(t)\delta(t - nT)$$

Equação 2

O sinal amostrado $x_s(t)$ pode também ser representado no domínio da frequência recorrendo à transformada de Fourier, tal como se pode verificar na Equação 3. No domínio da frequência o sinal resultante é uma sequência de réplicas espaçadas de f_s .

$$X_s(f) = f_s \sum_{k=-\infty}^{+\infty} X(f - kf_s)$$

Equação 3

Os sinais ao serem amostrados são “espalhados” em diferentes zonas do espectro, chamadas de zonas de Nyquist, que se encontram separadas de $f_s/2$. Em cada uma destas zonas, o seu conteúdo espectral, será uma versão espelhada do conteúdo presente nas zonas contíguas. Por este motivo surge o Teorema de Nyquist que refere que a frequência de amostragem mínima para efetuar a recuperação completa de um sinal deverá ser $f_s = 2f_{max}$, em que f_{max} corresponde à frequência máxima do sinal a amostrar, ou por outras palavras, o sinal a amostrar deverá ser limitado em largura de banda por $f_s/2$. Caso estas condições não sejam respeitadas haverá sobreposição (*aliasing*) ficando o sinal original corrompido.

Na Figura 18 encontra-se um exemplo da amostragem de um sinal cujo conteúdo espectral se encontra na primeira zona de Nyquist. É possível constatar o efeito provocado no sinal amostrado no domínio da frequência. Verifica-se a existência de réplicas

espaçadas de f_s , e a possibilidade de ocorrência de sobreposição (*aliasing*) caso exista em $X(f)$ um sinal idêntico numa outra zona de Nyquist [26].

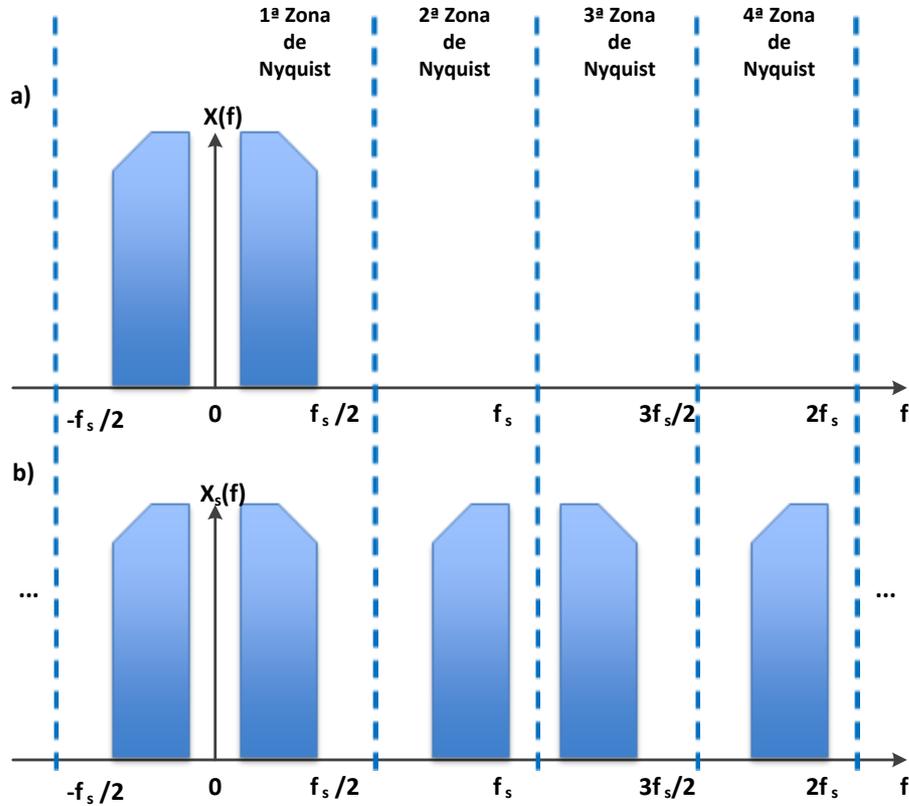


Figura 18 – Exemplificação de amostragem de um sinal inserido na 1ª Zona de Nyquist (adaptado de [26]). Em a) encontra-se representado o sinal original e em b) o sinal resultante da amostragem.

2.5.2-Amostragem a uma Frequência Inferior à de Nyquist

O Teorema de Nyquist, tal como anteriormente referido, afirma que um sinal amostrado a uma frequência de f_s , tem obrigatoriamente de apresentar uma componente máxima de frequência menor que $f_s/2$. No entanto, é possível amostrar um sinal cuja frequência máxima seja maior que $f_s/2$, desde que a sua largura de banda não exceda $f_s/2$. Isto deve-se ao facto da operação de amostragem introduzir uma periodicidade de f_s no sinal resultante. Assim, da mesma maneira que um sinal ao ser amostrado na 1ª zona de Nyquist será transposto para as seguintes, um sinal que seja amostrado na n -ésima frequência de Nyquist será sucessivamente “espelhado” para todas as zonas. A Figura 19

ilustra a situação em que se amostra um sinal cujo conteúdo espectral se encontra na terceira zona de Nyquist [26].

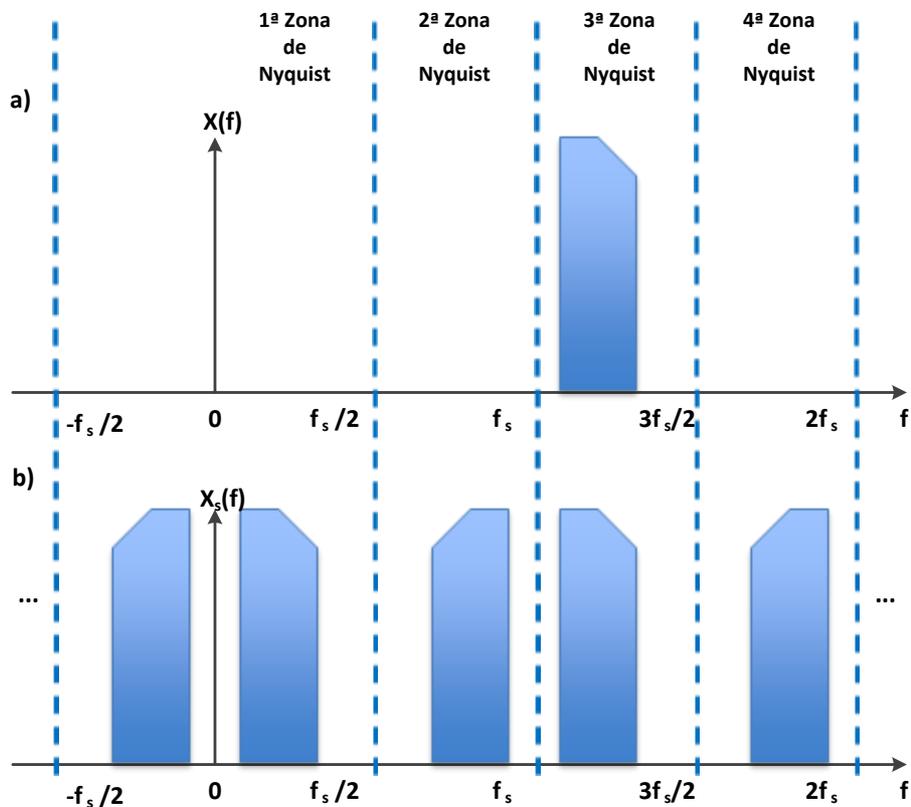


Figura 19 - Exemplificação de amostragem de um sinal inserido na 3ª Zona de Nyquist (adaptado de [26]). Em a) encontra-se representado o sinal original e em b) o sinal resultante da amostragem.

Este efeito torna-se bastante útil para fazer a transladação de sinais que se encontrem a frequências elevadas diretamente para a banda base, ou para uma frequência relativamente baixa. Para saber exatamente a frequência em que o sinal original se irá situar dentro da 1ª zona de Nyquist utiliza-se a seguinte relação [38]:

$$\text{If } \text{fix}\left(\frac{f_c}{f_s/2}\right) \text{ is } \begin{cases} \text{par} \Rightarrow f_{fold} = \text{rem}(f_c, f_s) \\ \text{ímpar} \Rightarrow f_{fold} = f_s - \text{rem}(f_c, f_s) \end{cases}$$

Equação 4

onde, f_c representa a frequência da portadora, f_s é a frequência de amostragem, f_{fold} é a frequência do sinal resultante na 1ª Zona de Nyquist, $\text{fix}(a)$ arredonda o número a ao inteiro mais próximo em direção a zero e $\text{rem}(a, b)$ é o resto da divisão inteira entre a e b .

É importante realçar mais uma vez que a utilização desta técnica implica uma elevada precaução em filtrar o sinal antes da ADC, limitando-o à banda de interesse

(respetiva zona de Nyquist), caso contrário haverá sobreposição e não será possível recuperar o sinal.

2.5.3-Arquitetura de um Bandpass Sampling Receiver

Neste tipo de recetores (Figura 20) o sinal logo após a antena tem de ser filtrado através de um filtro do tipo passa banda, que pode ser fixo, regulável ou constituído por um banco de filtros permitindo receber várias frequências. Esta operação de filtragem é essencial para restringir o sinal à zona de Nyquist de interesse, caso contrário poderão ocorrer sobreposições. Logo após a filtragem, o sinal deve ser amplificado recorrendo a um *Low Noise Amplifier* (LNA). Posteriormente, este será amostrado pela ADC e convertido para o domínio digital, onde irá ocorrer todo o processamento de desmodulação de sinal [20, 38, 39].

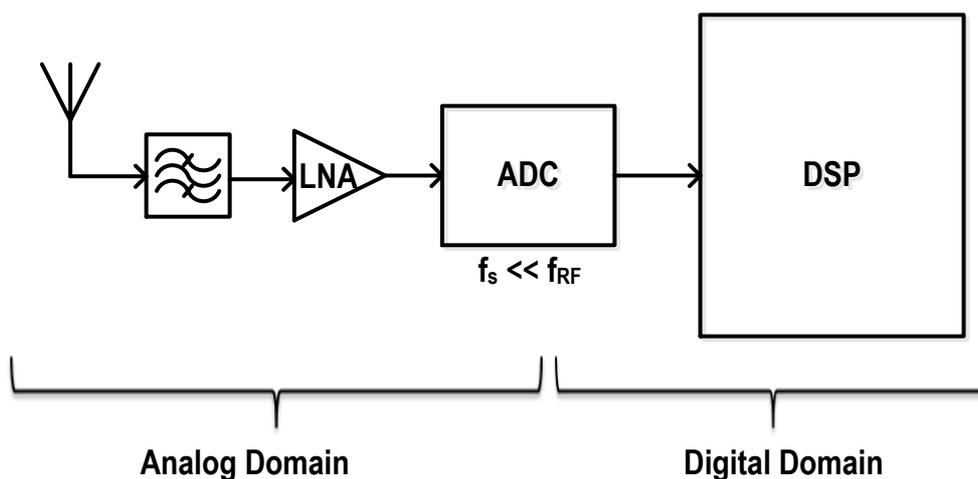


Figura 20 - Arquitetura de um *bandpass sampling receiver* (adaptado de [38]).

Em suma, consegue-se assim efetuar a receção de um sinal RF usando uma ADC com uma frequência de amostragem inferior à frequência do sinal RF. É importante salientar que este processo de *down-conversion* ocorre sem se usar nenhum misturador, pois a ADC é o único responsável pela *down-conversion*. Assim sendo, esta arquitetura é considerada uma aproximação ao conceito ideal de SDR e CR colocando a ADC mais próxima da antena [20, 38, 39]. No entanto, a máxima frequência para o sinal a amostrar é limitada pela qualidade do sinal de relógio, isto é, pela qualidade dos impulsos de Dirac responsáveis pelo processo de amostragem.

O recetor implementado neste trabalho segue esta topologia.

2.5.4-Relação Sinal – Ruído em *Bandpass Sampling Receivers*

A *Signal-to-Noise Ratio* (SNR) é uma relação muito importante em engenharia, mas principalmente em sistemas de rádio. Esta relação compara a potência do sinal desejado com a potência do ruído, sendo definida da seguinte forma:

$$SNR = \frac{P_{sinal}}{P_{ruído}}$$

Equação 5

2.5.4.1-Efeitos da Sobreposição de Zonas de Nyquist na SNR

Num sistema de amostragem como o que foi apresentado (Figura 20), a periodicidade do espectro, implica que todo o ruído presente nas diversas zonas de Nyquist se sobreponha na 1ª Zona, degradando a SNR do sinal amostrado. Desta forma aplicando *bandpass sampling*, a SNR resultante, sairá bastante mais prejudicada face à situação em que o sinal seja amostrado na 1ª Zona de Nyquist, ou face à utilização de um sistema analógico de receção baseado na mistura do sinal recebido com um oscilador local [40].

Considerando um sistema que efetua *bandpass sampling* onde a densidade espectral de potência do sinal seja S , a densidade espectral de potência do ruído dentro da banda seja N_p e a densidade espectral de potência do ruído fora da banda seja N_0 . Nesta situação a SNR do sinal analógico é dada por:

$$SNR = \frac{S}{N_p}$$

Equação 6

A SNR do sinal amostrado virá assim degradada pelo menos devido às sobreposições do número de zonas entre DC e o sinal desejado (n), ou seja, a SNR do sinal amostrado é dada por [20, 40]:

$$SNR_{sinal\ amostrado} = \frac{S}{N_p + (n - 1) \times N_0}$$

Equação 7

Assumindo que, $N_p = N_0$ e que $n \gg 1$, a degradação da SNR em decibéis é [40]:

$$D_{SNR} = 10 \log(n)$$

Equação 8

No entanto, este problema é em certa parte resolvido devido ao uso de um filtro passa banda antes da ADC, uma vez que este apenas deixa passar o sinal de interesse atenuando o ruído fora da banda. Assim sendo, utilizando um filtro ($H(jw)$), ideal e cuja banda passante esteja confinada unicamente a uma zona de Nyquist, a $SNR_{\text{sinal amostrado}}$ vem dada por:

$$SNR_{\text{sinal amostrado}} = \frac{S}{N_p \times |H(jw)|^2}$$

Equação 9

2.5.4.2-Efeito do *Jitter* do Sinal de Relógio na SNR

Outro aspeto que também prejudica a SNR do sinal amostrado prende-se com o *jitter* do sinal de relógio fornecido à ADC. O conceito de *jitter* pode ser definido como o desvio, de instantes significativos, que um determinado sinal apresenta face à sua localização ideal no domínio do tempo [41, 42].

O efeito do *jitter* na SNR do sinal amostrado apenas tem significado quando a ADC é responsável por amostrar sinais de frequências elevadas, que é o caso dos *bandpass sampling receivers*. Deste modo, o efeito do *jitter* na SNR é dado pela seguinte relação [39]:

$$SNR_{\text{jitter}} = 20 * \log_{10}\left(\frac{1}{2\pi \cdot f \cdot t_j}\right)$$

Equação 10

Onde, f é a frequência da portadora do sinal de entrada e t_j representa o *aperture jitter time* do sinal de relógio.

Através desta equação é possível concluir que a SNR se degrada com o aumento do *aperture jitter time* ou com o aumento da frequência da portadora [39].

Este capítulo apresentou os conceitos fundamentais para a compreensão do trabalho realizado no âmbito deste Mestrado e que será descrito nos capítulos seguintes desta

dissertação. Foi dada especial atenção aos *all-digital transmitters* e *bandpass sampling receivers*, uma vez que estes constituem a base do sistema de comunicações desenvolvido.

3 - Arquitetura do Sistema

O trabalho desenvolvido nesta dissertação de Mestrado apresenta o projeto e implementação de um sistema de comunicações sem fios maioritariamente digital, flexível e baseado em FPGA destinado à transmissão de áudio. O sistema apresenta as seguintes características principais:

- Transmissor integralmente digital baseado em FPGA;
- Recetor baseado *bandpass sampling*;
- Capacidade de transmissão de qualquer tipo de dados (para feitos de demonstração foi adaptado à transmissão de áudio);
- Transmissão na banda de frequências UHF (432 – 434 MHz), próxima dos *TV White Spaces*;
- Utilização da modulação OOK (*On – Off – Keying*) para a transmissão de sinal RF;
- Flexibilidade na escolha de portadora e ritmo de transmissão.

Um outro aspeto a realçar é o facto da arquitetura do sistema concebido apresentar compatibilidade de operação com transdutores de rádio comerciais que possuem uma arquitetura distinta, tal como o *System on Chip (SoC)* da Texas Instruments – CC1110 [43]. Os únicos aspetos a ter em conta, para que a interoperabilidade seja concretizável, são as características da modulação, frequência, ritmo de transmissão e também a formatação adequada da trama de transmissão.

Neste capítulo é apresentada a estrutura geral do sistema desenvolvido através de uma explicação detalhada da arquitetura de transmissão e receção. O capítulo encontra-se dividido em duas secções: Arquitetura do Transmissor e Arquitetura do Recetor.

3.1-Arquitetura do Transmissor

Na presente secção é apresentada a arquitetura do transmissor desenvolvido no âmbito desta dissertação de Mestrado. Tendo em conta que se pretende implementar um transmissor integralmente digital baseado em FPGA, esta terá que tratar todo o sinal desde

a banda base até RF. Propõe-se assim para a realização do transmissor, uma solução baseada no diagrama de blocos da Figura 21.

Começando a análise do diagrama de blocos (Figura 21) pelo tratamento de sinal na banda base encontra-se em primeiro lugar uma ADC, externa à FPGA, ligada a um microfone que é responsável pela amostragem do sinal de áudio. Esta ADC terá que ser escolhida de forma adequada tendo em conta o sinal que se pretende amostrar. Neste caso pretende-se efetuar transmissão de áudio, mais concretamente de voz, devendo-se assim ter em conta a distribuição espectral da voz humana assim como a qualidade de áudio que se pretende transmitir. Em termos de frequência, a voz humana consegue chegar até cerca de 12KHz, porém, nos sistemas de telefonia fixa apenas são transmitidas frequências abaixo de 4kHz e a qualidade de transmissão é bastante aceitável [44]. Assim, através do Teorema de Nyquist conclui-se que um valor aceitável para o ritmo de amostragem corresponde a 8KHz. No entanto, caso se pretenda transmissão de áudio de alta-fidelidade ou transmissão de música deve-se optar por um ritmo de amostragem superior, como por exemplo 48KHz.

Após a amostragem do sinal de áudio pela ADC, as amostras são armazenadas numa memória interna da FPGA criada para o efeito (blocos *Audio Recorder* e *Memory* da Figura 21). Esta memória deve ser do tipo *First-In First-Out* (FIFO) com possibilidade de diferentes ritmos para escrita e leitura de dados, para poder acomodar a existência de diferenças entre o ritmo de transmissão do sinal e o ritmo a que as amostras de áudio são recolhidas. Eventuais filtros para o tratamento do sinal de áudio devem ser colocados nesta fase.

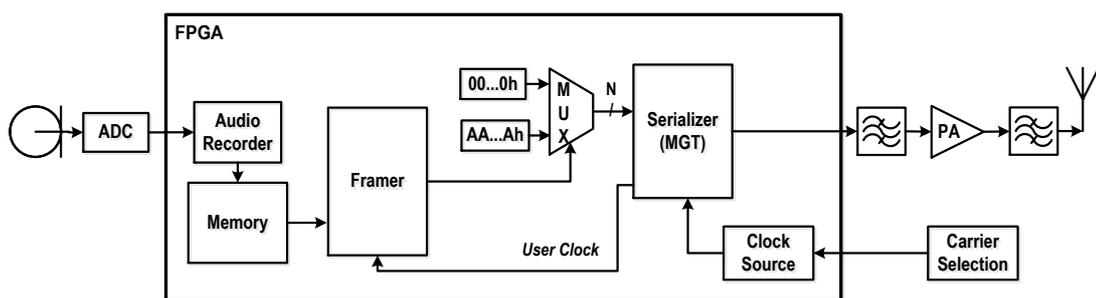


Figura 21 – Diagrama de blocos do sistema de transmissão de rádio.

Logo após o armazenamento dos dados amostrados é necessário proceder à sua leitura e à formatação dos mesmos para a transmissão, sendo para isso necessário criar uma trama de dados. Esta trama (Figura 22) é constituída por um cabeçalho, que serve para efeitos de sincronização no recetor e opcionalmente para se colocar a identificação do

remetente da trama. Após o cabeçalho encontra-se a *payload* onde se colocam os dados lidos da memória. Assim, o bloco *Framer* é responsável por juntar o cabeçalho, formado por um conjunto de dados previamente escritos numa memória tipo *Read Only Memory* (ROM), aos dados provenientes do FIFO.

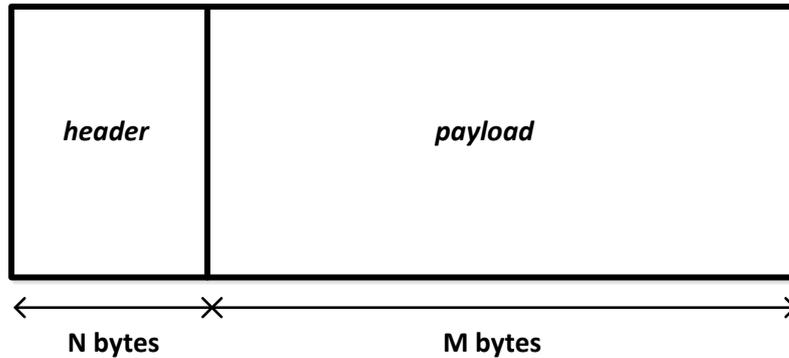


Figura 22 – Trama para a transmissão de dados.

O bloco *Framer* tem ainda como função efetuar a serialização dos dados que compõem a trama fornecendo-os à componente de *up-conversion*. Além disso, este bloco recebe um sinal de relógio proveniente do bloco *Serializer* (MGT), com o qual o bloco *Framer* é síncrono, visando assim manter o sincronismo entre a banda base e a componente de RF, essencial para que o período de transmissão de *bit* seja cumprido. Este sinal de relógio (*User Clock*) corresponde a um submúltiplo inteiro do sinal de relógio usado para gerar o sinal RF no *Serializer* (MGT). No bloco *Framer* é efetuada uma contagem de flancos deste relógio consoante o ritmo binário a que se pretenda transmitir. Deste modo, é possível alterar dinamicamente o ritmo de transmissão binário do sistema.

Segue-se a conversão dos dados da banda base para RF. A componente de *up-conversion* é constituída pelo bloco MUX (*multiplexer*), pelo bloco *Serializer* (MGT) e pelo bloco *Clock Source*. Antes de mais convém referir que a modulação usada pelo sistema de transmissão é a modulação OOK. Como já foi explicado no capítulo **Conceitos Fundamentais**, esta modulação consiste em ativar a portadora pelo tempo correspondente ao período de 1 *bit* para transmitir um “1” e retirar a portadora pelo mesmo tempo para transmitir um “0”. É esta a razão pela qual o bloco *Framer* serializa os dados que compõem a trama de transmissão enviando-os para a componente de *up-conversion* gerar o sinal de RF consoante se pretenda transmitir um “1” ou um “0”. Mais uma vez, importa

referir que o ritmo a que se serializam estes dados irá impor o ritmo de transmissão binária do sistema. Esta linha série, proveniente do bloco *Framer*, liga-se diretamente ao bloco MUX que apresenta uma saída de comprimento de N bits. À sua saída é colocada, dependendo do *bit* a transmitir, um conjunto de N “0” lógicos ou uma sequência de N “1” e “0” lógicos alternados. Se o *bit* a transmitir for um “1” à saída do MUX encontra-se a palavra “AAA...Ah”, caso seja “0” à saída do MUX encontra-se a palavra “000...0h”. Esta palavra corresponde à entrada do bloco *Serializer* (MGT), responsável por gerar a saída RF Figura 21.

O bloco *Serializer* (MGT) é a peça fundamental da *up-conversion* deste sistema de transmissão. Como já referido no capítulo **Conceitos Fundamentais**, caso se pretenda colocar um sinal RF com a portadora em f_c , o ritmo do sinal à saída do serializador deverá ser de $2 \times f_c$. Para realizar a *up-conversion* para a frequência desejada, este serializador recebe um sinal de relógio que internamente passa por uma *Phase-Locked Loop* (PLL) que multiplica o sinal de relógio de modo a atingir o ritmo adequado a gerar o sinal RF. Este último sinal de relógio, interno ao serializador, é devolvido para o exterior (na Figura 21 com o nome *User Clock*) com a frequência reduzida de um fator de N . Este sinal de relógio é depois fornecido ao bloco *Framer* para impor o ritmo binário de transmissão.

Alterando o sinal de relógio fornecido ao serializador é possível alterar a frequência da portadora. O bloco externo *Carrier Selection* permite dinamicamente alterar a frequência do sinal de relógio que o bloco *Clock Source* fornece ao serializador, o que consequentemente altera a frequência da portadora do sinal RF.

Finalmente, e externamente à FPGA, encontra-se um filtro passa-banda, que tal como já foi enunciado, tem como função atenuar as frequências harmónicas e tornar o sinal passível de ser transmitido. Consoante a potência que se pretende transmitir poderá ser colocado um amplificador de potência após o filtro. É importante referir que trocando a ordem do filtro com o amplificador seria necessário utilizar um amplificador comutado. Após o amplificador poderá também ser colocado outro filtro passa banda de forma a reduzir as frequências harmónicas de distorção introduzidas pelo amplificador.

3.2-Arquitetura do Recetor

Nesta secção é apresentada a arquitetura do recetor desenvolvido. A estrutura do recetor enquadra-se no tipo *bandpass sampling* apresentado no capítulo **Conceitos Fundamentais**. Na Figura 23 encontra-se o diagrama de blocos que representa a estrutura do recetor desenvolvido. Este diagrama serve de apoio para a explicação que se segue.

A antena capta o sinal de rádio e logo de seguida este passa por um filtro passa banda. Este deve possuir uma largura de banda inferior ou igual à largura das zonas de Nyquist impostas pela amostragem da ADC, devido aos motivos relacionados com a sobreposição já apresentados anteriormente no capítulo **Conceitos Fundamentais**. O IL (*Insertion Loss*) do filtro deve ser pequeno, de modo a atenuar o sinal o mínimo possível, assim como, a não degradar o fator de ruído – NF (*Noise Figure*). Para além disso, o filtro deverá possuir elevada atenuação fora da banda passante, para diminuir o efeito de interferência por parte de outros sinais. Logo após o filtro passa banda encontra-se um LNA, que deve ter o máximo ganho possível, de modo a aumentar a excursão do sinal e melhorar a sensibilidade do sistema e, ao mesmo tempo, deve também possuir alguma qualidade em termos de fator de ruído. O filtro passa banda que segue o LNA tem como objetivo atenuar possíveis harmónicos de distorção gerados pelo amplificador.

Para finalizar a componente analógica de receção surge o elemento mais importante de *hardware* presente neste *front-end* – a ADC. Esta, acima de tudo deve ter largura de banda suficiente para amostrar um sinal na banda UHF (432-434MHz) e permitir que se consiga amostrar o sinal a uma frequência mais baixa que a do sinal RF. O relógio fornecido à ADC tem origem na FPGA e consoante a compatibilidade com a ADC poderá ser necessário adicionar alguma eletrónica para acondicionamento ou para melhorar o sinal em termos de *jitter*.

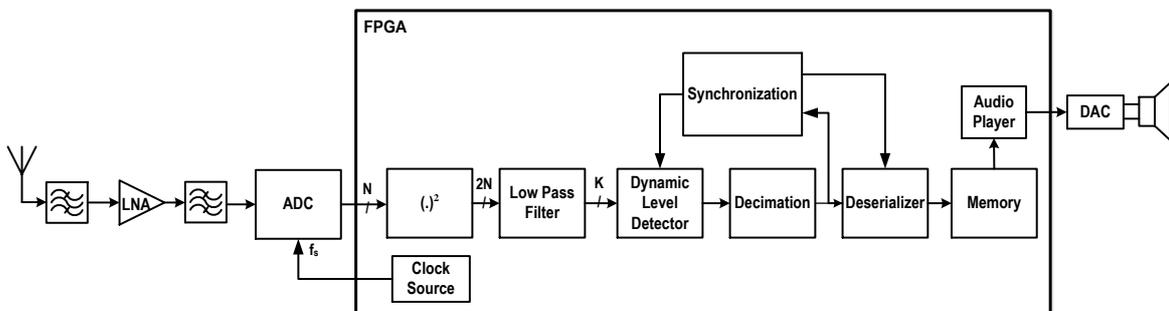


Figura 23 - Diagrama de blocos do sistema de receção de rádio.

Após a digitalização, as amostras são fornecidas à FPGA, assim como o sinal de relógio que regressa para permitir o sincronismo das mesmas. A primeira etapa no domínio digital corresponde à desmodulação do sinal, que agora se encontra na 1ª Zona de Nyquist (DC – até $f_s/2$). É possível efetuar a desmodulação de um sinal OOK através de um detetor síncrono ou de um detetor de envolvente [45]. Um detetor síncrono implica a existência de um mecanismo de recuperação da portadora, como por exemplo o modelo de recepção Costas Loop, que se baseia numa PLL para efetuar a recuperação da mesma [46]. Um detetor de envolvente apresenta uma complexidade inferior e pode ser facilmente construído à custa de um quadrador seguido de um filtro passa baixo, tal como se demonstra seguidamente (Figura 24).

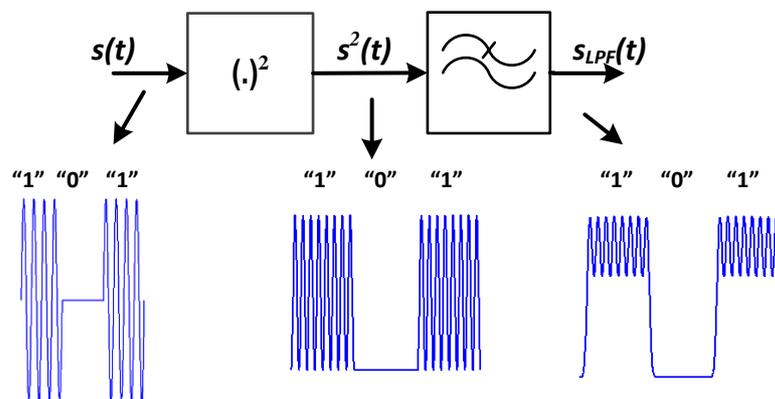


Figura 24 – Representação do detetor de envolvente composto por um quadrador e um filtro passa baixo.

Um sinal OOK pode ser modelado pela seguinte equação:

$$s(t) = \begin{cases} A \cos(\omega_p t) & , \text{bit a transmitir} = "1" \\ 0 & , \text{bit a transmitir} = "0" \end{cases}$$

Equação 11

Deste modo, no caso de transmissão de um *bit* a "1", o sinal à saída do quadrador é dado por:

$$s^2(t) = s(t) \times s(t) = A^2 \cos^2(\omega_p t) = \frac{A^2}{2} + \frac{A^2}{2} \cos(2\omega_p t)$$

Equação 12

Assim, após a passagem pelo filtro passa baixo, cuja frequência de corte deve ser igual à largura de banda do sinal na banda base, obtém-se o sinal $s_{LPF}(t)$, dado por:

$$s_{LPF}(t) = \begin{cases} \frac{A^2}{2} & , bit \text{ transmitido} = "1" \\ 0, & , bit \text{ transmitido} = "0" \end{cases}$$

Equação 13

Este sinal apresenta a envolvente da informação recebida finalizando o processo de *down-conversion*.

Posteriormente é necessário processar a envolvente digital de modo a recuperar a informação binária transmitida. O sinal à saída do filtro passa baixo é composto por amostras de K *bits* que representam a envolvente. Estas amostras chegam ao bloco *Dynamic Level Detector* que é responsável por definir um limiar de decisão transformando as sucessivas amostras num *bit*. O limiar de decisão aplicado é dinâmico, pois assim é possível compensar eventuais variações de potência do sinal recebido. Tomando como exemplo a Figura 25, é possível observar o sinal a) que representa uma amplitude superior ao sinal b), o que torna o seu limiar igualmente superior e por sua vez inadequado ao sinal b). Deste modo realça-se a importância da existência de um mecanismo de limiar dinâmico.

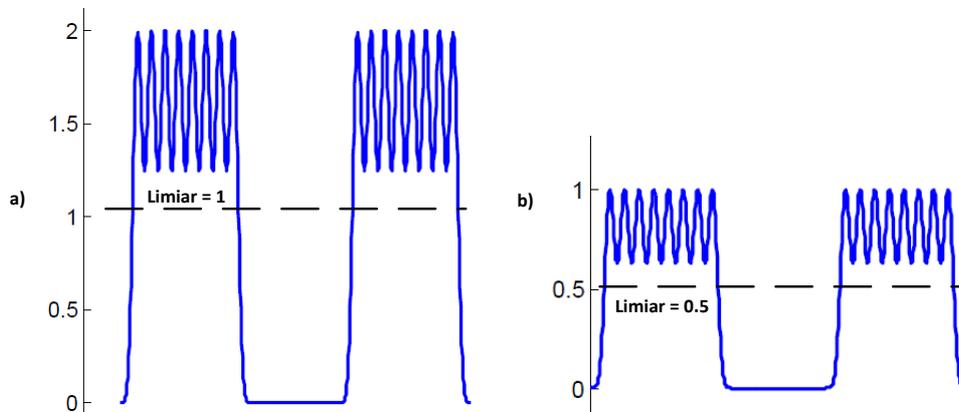


Figura 25 – Representação do limiar de decisão.

Após o bloco *Dynamic Level Detector* a envolvente passa a ser representada por um sinal de um *bit*, cujo ritmo corresponde ainda à frequência de amostragem da ADC (f_s). No bloco *Decimation*, o ritmo do sinal é reduzido para o ritmo ao qual o sinal foi transmitido, recuperando-se a informação binária transmitida. Paralelamente a este bloco encontra-se o bloco *Synchronization* responsável por detetar o início de uma nova trama. Tal como foi explicado na secção **Arquitetura do Transmissor**, a trama possui um cabeçalho cuja funcionalidade é para efeitos de sincronização. Este cabeçalho contém um conjunto de

dados fixos detetados pelo bloco *Synchronization*. Ao fazer esta deteção, este bloco assinala a receção de uma nova trama aos blocos *Deserializer* e *Dynamic Level Detector*. O bloco *Dynamic Level Detector* recebe essa sinalização para obter conhecimento se está a utilizar um limiar dinâmico adequado. Caso não receba esta sinalização por um período de tempo superior à duração de uma trama, este inicia o processo de escolha de um novo limiar. O mecanismo de decisão dinâmica é assim conseguido aplicando um mecanismo de realimentação. Relativamente ao bloco *Deserializer*, este também recebe a sinalização de início de trama com a finalidade de o ativar, dando assim início à paralelização dos dados recebidos e posterior armazenamento numa memória. Esta memória deve ser do tipo FIFO, de modo a acomodar diferentes ritmos de leitura e escrita.

Finalmente, o bloco *Audio Player* é responsável pela leitura dos dados da memória e envio dos mesmos para reprodução através de uma DAC ligada a um altifalante. Por último, é ainda importante realçar que todos os blocos internos da FPGA responsáveis pela desmodulação devem estar síncronos com o sinal de relógio proveniente da ADC.

Este capítulo apresentou a arquitetura do sistema de comunicações rádio desenvolvido sem detalhar aspetos concretos da implementação, sendo que estes serão apresentados e discutidos no capítulo seguinte.

4 - Implementação do Sistema

Neste capítulo são expostos todos os detalhes concretos da implementação desde a banda base até RF e é apresentada uma simulação que visa viabilizar a cadeia implementada no recetor. O capítulo encontra-se dividido em duas secções: Transmissor e Recetor. Dentro de cada secção efetua-se a separação entre a componente analógica e digital efetuando-se sempre a ligação entre ambas. No final da secção do Transmissor encontra-se indicada a relação que permite obter a potência transmitida pelo sistema, e consequentemente no recetor é feito o balanço da ligação com o objetivo de retirar o valor da sensibilidade do sistema de receção.

No anexo C – **Sistema Final** encontra-se o diagrama de blocos relativo ao sistema completo, assim como uma fotografia do sistema final.

4.1-Transmissor

4.1.1-Implementação da Componente Digital

A componente digital do projeto do transmissor, assim como o do recetor, foi realizada com base na mesma placa de desenvolvimento – XUPV5 da Xilinx que inclui uma FPGA Virtex 5 (anexo A – **Kit de Desenvolvimento em FPGA – XUPV5**) [47]. Esta placa foi escolhida por apresentar um conjunto de características úteis ao tipo de projeto que se pretende desenvolver, tais como:

- Contém uma FPGA com capacidade lógica e recursos adequados à implementação do sistema pretendido;
- Possui saídas terminadas em conectores SMA que se encontram ligadas ao GTP (MGT com uma taxa máxima de transmissão binária de 3.75 Gbps);
- Apresenta linhas de relógio dedicadas terminadas em conectores SMA, útil no caso do recetor para fornecer o sinal de relógio à ADC;
- Possui entradas e saídas de áudio, útil para efetuar a demonstração do sistema.

4.1.1.1-Amostragem de Áudio

As entradas de áudio da placa XUPV5 encontram-se ligadas a um circuito integrado, externo à FPGA, responsável por amostrar do sinal de áudio - AD1981B [48] - e que implementa o *codec* AC'97 [49]. A interface entre o *codec* e o exterior é composta por duas entradas - LINE IN e MIC IN e duas saídas - LINE OUT e HEADPHONE. A interface entre este módulo e a FPGA é composta por 5 sinais: AC97_BITCLK, AC97_SYNC, AC97_SDI, AC97_SDO e AC97_RESET (Figura 26). Utilizando estes sinais é possível implementar um protocolo de comunicação série, através do qual é possível configurar o *codec* assim como recolher e enviar amostras de áudio. O protocolo de comunicação é implementado na FPGA utilizando um núcleo reutilizável de propriedade intelectual (PI), disponível em OpenCores [50]. A configuração é feita utilizando uma máquina de estados através da qual é possível alterar parâmetros como o ritmo de amostragem e o volume de som nas entradas/saídas de áudio. As amostras de áudio provenientes da ADC do *codec* contêm 16 *bits* e a DAC contém resolução de 20 *bits*. No que diz respeito à implementação concreta, esta foi efetuada utilizando um ritmo de amostragem de 48KHz e é possível utilizar a entrada LINE IN ou MIC IN.

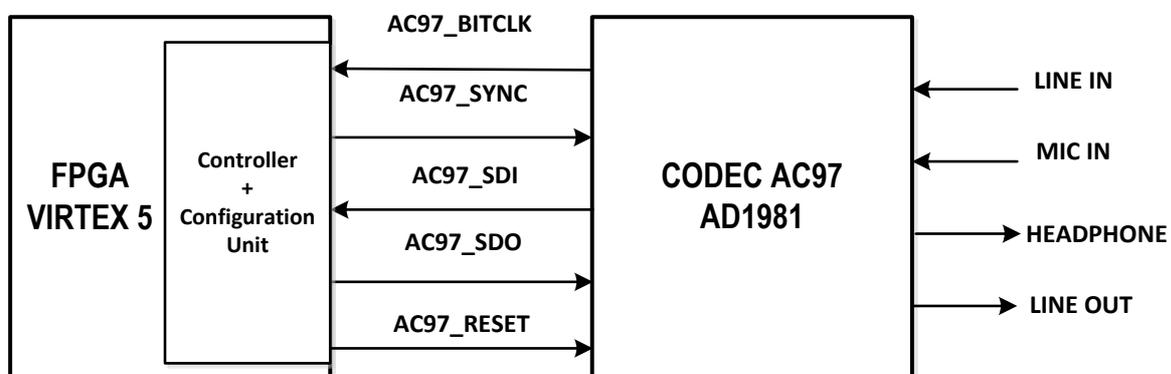


Figura 26 – Representação da interface de comunicação entre a FPGA e o *codec* AC97.

As amostras de áudio são armazenadas numa memória tipo FIFO, em que o ritmo de escrita é diferente do ritmo de leitura. O ritmo de escrita é imposto pelo ritmo de amostragem do *codec* que corresponde a 48KHz.

4.1.1.2-Formatação da Trama

Após a amostragem do sinal de áudio e respetivo armazenamento das amostras num FIFO, é necessário fazer a leitura das mesmas e efetuar a formatação da trama. O formato de trama usado é o mesmo que foi apresentado no capítulo **Arquitetura do Sistema** (Figura 22). O cabeçalho (C) é constituído por 2 *bytes* pré-definidos que são apenas utilizado para efeitos de sincronismo. A *payload* (P) é composta por 128 *bytes*. Após o envio da trama é introduzido um período de pausa entre a transmissão de uma nova trama, que corresponde a um período equivalente à transmissão de 30 *bits* (W). Este período de pausa de 30 *bits* serve apenas para acomodar o ritmo de transmissão face ao diferente ritmo de amostragem, de modo a não serem perdidas amostras. O ritmo de transmissão usado é de 800kbps. Assim, com todos estes parâmetros, o tempo de transmissão de uma trama completa é dado por:

$$T_{trama} = T_{bit} \times (C + P + W) = \frac{1}{800k} \times (16 + 1024 + 30) = 13 \text{ ms}$$

Equação 14

E neste mesmo período de tempo são transmitidas:

$$N = \frac{P}{N^{\circ} \text{ de bits de uma amostra de audio}} = \frac{1024}{16} = 64 \text{ amostras de áudio}$$

Equação 15

Às quais corresponde o seguinte tempo de amostragem:

$$T_{Amostragem N amostras} = T_{amostragem} \times N = \frac{64}{48k} = 13 \text{ ms}$$

Equação 16

Justifica-se assim o tamanho da trama e o ritmo de transmissão de modo a não serem perdidas amostras de áudio.

Para esta formatação ser corretamente efetuada foi desenvolvida uma máquina de estados (Figura 27). Esta instancia dois blocos responsáveis por efetuar a leitura da ROM e do FIFO, que contém os dados do cabeçalho e das amostras de áudio, respetivamente. Seguidamente, a máquina de estados compõe a trama, serializando os dados provenientes destes blocos. Esta linha série, que contém a trama de transmissão, é fornecida à secção de *up-conversion*. O débito desta linha série impõe o ritmo de transmissão, e por esse motivo

a máquina de estados encontra-se síncrona com o bloco de *up-conversion*, através do sinal de relógio *user clock*.

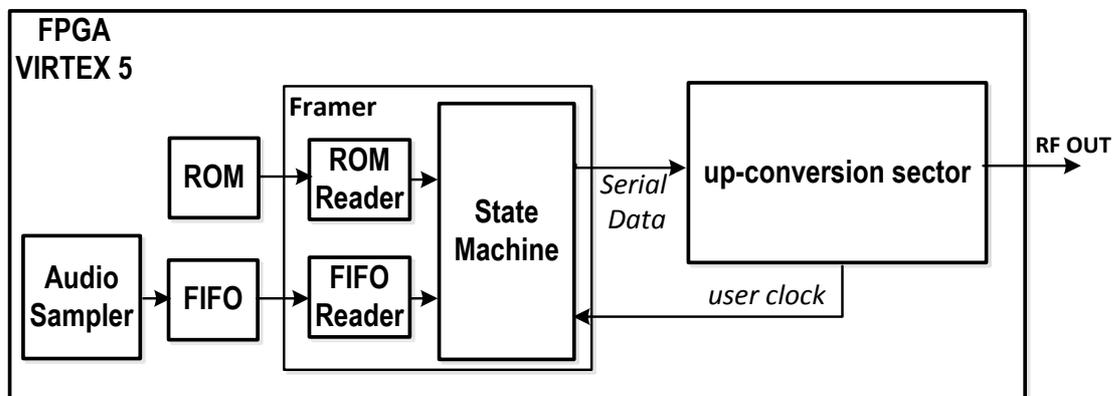


Figura 27 – Representação da interface do bloco *Framer*, responsável pela formatação da trama de transmissão.

4.1.1.3-Up-Conversion

A secção de *up-conversion* é formada essencialmente por dois registos, um *multiplexer*, um GTP e por uma fonte de sinal de relógio (Figura 28). A linha série fornecida pelo bloco de formatação da trama contém o *bit* a transmitir e encontra-se ligada ao *multiplexer*. Este, consoante o *bit* a transmitir, coloca na sua saída uma de duas palavras possíveis de 16 *bits*. Se o *bit* a transmitir for um “0”, na sua saída aparece 0000h, se o *bit* a transmitir for um “1”, na sua saída aparece AAAAh (padrão alternado de 0’s e 1’s lógicos). Por sua vez a saída do *multiplexer* encontra-se ligada à entrada do serializador – GTP.

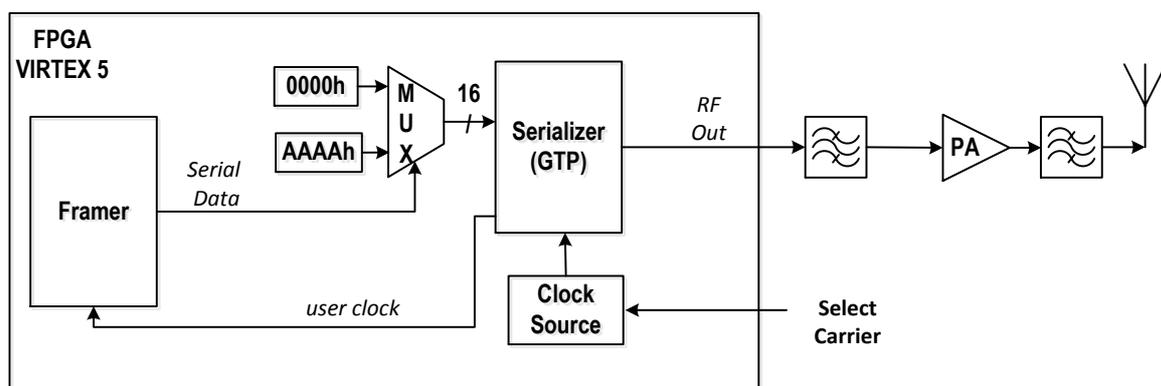


Figura 28 – Representação da secção de *up-conversion* e das suas interfaces.

A configuração do GTP [51] é efetuada utilizando um *Intellectual Property* (IP) Core fornecido pela Xilinx. Durante a configuração é escolhido o tamanho pretendido para a

palavra de entrada no GTP, assim como o ritmo de transmissão pretendido à saída deste. Relativamente à palavra de entrada, foi escolhido um tamanho de 16 *bits*. Optou-se por um ritmo de 866 Mbps, para assim se colocar a portadora a 433 MHz, tal como é pretendido. Ao escolher este ritmo de transmissão, o GTP impõe que o sinal de relógio que lhe deve ser fornecido seja de 108,25 MHz ou de 216,5 MHz, pois este, internamente, partindo do relógio que lhe é fornecido, gera o relógio apropriado ao ritmo escolhido, usando para tal uma PLL. Partindo deste sinal gerado internamente, o GTP serializa a palavra de entrada. Por conseguinte, este gera a portadora RF a 433MHz caso a palavra a serializar seja AAAAh, o que corresponde à transmissão de um *bit* a “1”. Caso contrário, se a palavra de entrada for 0000h, a portadora deixa de estar presente na saída, correspondendo assim à transmissão de um *bit* a “0”.

Para finalizar a secção de *up-conversion* é necessário fornecer um sinal de relógio adequado ao MGT. Um sinal de relógio com exatamente 108,25 MHz de frequência pode não ser trivialmente obtido, mesmo recorrendo a unidades multiplicadoras e divisoras de relógio baseadas em PLL. No entanto, a frequência deste sinal não tem obrigatoriamente de ser esta, pois pode ser ligeiramente diferente, tendo como consequência a respetiva variação da portadora. A relação entre a frequência desejada para a portadora (433 MHz) e o relógio a atribuir ao GTP (108,25 MHz) é de um fator de 4 unidades, ou seja, uma vez que se pretendem obter frequências que encontrem aproximadamente na banda dos 432 MHz aos 434 MHz, significa que os sinais de relógio podem variar entre 108 MHz a 108,5 MHz. Deste modo, tendo em conta as fontes de relógio disponíveis na placa XUPV5 é possível obter, recorrendo a unidades de multiplicação e divisão de relógio baseadas em PLL, diferentes sinais de relógio para fornecer ao GTP e consequentemente diferentes portadoras para a transmissão RF (Tabela 2). Pode-se assim verificar, que se conseguem obter quatro frequências distintas para a transmissão do sinal RF. As unidades para divisão/multiplicação do sinal de relógio foram configuradas recorrendo a um IP Core fornecido pela Xilinx e baseiam-se em primitivas PLL_ADV.

Tabela 2 – Relação entre os sinais de relógios disponíveis e frequências das portadoras.

Relógio original (MHz)	Fator Multiplicativo /Divisor	Relógio a atribuir ao serializador (MHz)	Portadora (MHz)	Relógio devolvido pelo serializador - <i>user clock</i> (MHz)
33	46/14	108,429	433,715	54,215
40	27/10	108,000	432,000	54,000
100	13/12	108,333	433,332	54,167
200	38/70	108,571	434,284	54,286

4.1.1.4-Flexibilidade

Pretende-se que o sistema seja flexível em relação à frequência da portadora e em relação ao ritmo de transmissão.

Relativamente ao ritmo de transmissão, este é variável através do bloco *Framer*, onde é possível alterar o ritmo com que os dados são lidos da memória e serializados para o sector de *up-conversion*. Este ritmo é definido através do sinal de relógio que o bloco de *up-conversion* fornece ao bloco *Framer*. Para definir o ritmo aplica-se um divisor de relógio baseado num contador de flancos ascendentes, por sua vez, alterando o fator de divisão deste relógio é possível modificar o ritmo de transmissão. No entanto, para efeitos de transmissão de áudio fixou-se o ritmo de transmissão em 800kbps.

No que diz respeito à frequência da portadora, esta também é passível de ser variada entre os valores apresentados na Tabela 2. Para efeitos de demonstração a alteração da frequência da portadora é efetuada através de um conjunto de interruptores, ligados a um *multiplexer* que faz a escolha do relógio a atribuir ao serializador. Este *multiplexer* tem de garantir a sincronização dos relógios no momento da comutação, de forma a ser possível alterar a portadora durante a transmissão sem que haja perda de informação. Para isso utilizou-se a primitiva BUFGMUX, que implementa um *multiplexer glitch-free*, isto é, garante que a alteração da saída é feita tendo em conta o sincronismo dos relógios e não apenas devido à entrada de seleção do *multiplexer*. Além disso, esta primitiva garante a utilização de linhas globais de distribuição de sinal de relógio. A utilização de linhas globais é importante pois garante que o sinal de relógio é distribuído com baixo *skew*, isto é, que chega a todos os pontos ao mesmo tempo. Foram ainda incluídas restrições temporais para garantir a frequência dos sinais de relógio. Uma vez que apenas existem

multiplexers do tipo BUFGMUX de 2:1, foram utilizados três *multiplexers* deste tipo de forma a implementar um *multiplexer* 4:1. Deste modo, é possível optar por quatro portadoras distintas para efetuar a transmissão do sinal em RF. De notar que recorrendo a um gerador de relógio programável externo à placa XUPV5, seria possível gerar qualquer portadora com a precisão pretendida em termos de frequência, sendo este um possível ponto de trabalho futuro.

Para finalizar esta subsecção apresenta-se na Figura 29 a hierarquia dos blocos de *VHSIC Hardware Description Language* (VHDL) desenvolvidos para a componente digital do sistema de transmissão. Os nomes de cada bloco e a sua funcionalidade encontram-se relacionados com a nomenclatura utilizada anteriormente, assim como nos diagramas de blocos da Figura 27 e Figura 28.

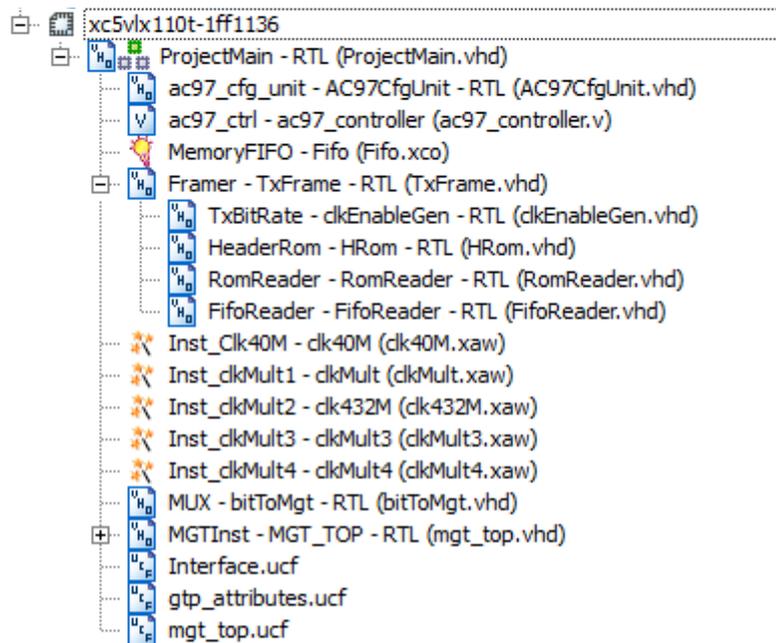


Figura 29 - Hierarquia dos blocos desenvolvidos para a componente digital de transmissão do sistema.

4.1.2-Implementação da Componente Analógica

O transmissor é ainda constituído por uma componente analógica composta por dois filtros passa banda, um amplificador e uma antena (Figura 28).

Logo após sair da FPGA o sinal RF passa por um filtro passa banda, que é essencial para tornar o sinal passível de ser transmitido. O filtro deve possuir baixa atenuação na

banda passante e elevada atenuação fora da banda. Para isso utilizou-se um filtro do tipo *Surface Acoustic Wave* (SAW) da EPCOS cuja referência é B3710 [52]. Este filtro possui perdas de inserção de 2 dB na banda dos 432MHz aos 434MHz, e atenuação de 50dB na banda dos (650MHz a 1000MHz), zona onde se encontra o 2º harmónico de qualquer uma das portadoras. Além disso este possui adaptação interna para sistemas de impedância de 50 Ω. Utilizaram-se dois destes filtros sendo um para colocar à saída da FPGA e outro para colocar logo após o amplificador. O *layout* da placa de circuito impresso desenvolvida para a utilização deste filtro encontra-se no anexo **B.1 - Filtro Passa Banda**.

Relativamente ao amplificador, utilizou-se um amplificador da Analog Devices cuja referência é ADL5536. Este amplificador opera na gama de frequências de 20MHz a 1GHz, apresenta ganho fixo de 20dB, adaptação a sistemas de 50 Ω e é alimentado a 5V [53]. Para além disso apresenta boas características relativamente à não linearidade: a 380 MHz o seu IP3 é de 49,0 dBm e P1dB é de 19,7 dBm. O esquema elétrico do circuito para o amplificador assim como o respetivo *layout* da placa desenhada encontra-se no anexo **B.2 - Amplificador de Potência**.

Finalmente, o último componente analógico usado para a transmissão do sinal RF é a antena. Foi usada uma antena do tipo monopólo de ¼ de comprimento de onda, em referência a 433MHz fabricada pela RFSolutions [54]. O ganho de um monopólo é de 5,15 dBi.

4.1.3-Potência Isotrópica Radiada Equivalente (PIRE)

Tendo em conta que o sinal sai da FPGA com uma potência de P_{FPGA} , e que sofre uma atenuação de Att_{Filtro} nos filtros passa banda, que o ganho do amplificador é de G_{Amp} e que o ganho da antena é de G_{Antena} , conclui-se que a potência isotrópica radiada equivalente (PIRE) é dada por:

$$PIRE = P_{FPGA} - Att_{Filtro} + G_{Amp} - Att_{Filtro} + G_{Ant} (=)$$

$$PIRE = P_{FPGA} - 4 + 20 + 5,15 (=)$$

$$PIRE = P_{FPGA} + 21,15 \text{ dBm}$$

Equação 17

4.2-Recetor

Nesta secção apresenta-se a implementação do sistema de receção de rádio desenvolvido, cuja arquitetura é baseada nos recetores *bandpass sampling* apresentados no capítulo **Conceitos Fundamentais**. Começa-se por apresentar uma simulação que visa viabilizar a componente digital da cadeia de receção e segue-se a implementação da componente analógica e digital. Finalmente apresenta-se o balanço da ligação.

O projeto do recetor iniciou-se com a escolha do componente mais importante: a ADC. A ADC escolhida é fabricada pela Texas Instruments e a sua referência é ADS5424 [55]. As suas principais características são:

- 570 MHz de largura de banda;
- Entrada diferencial de 2,2Vpp o que equivale a uma sensibilidade de aproximadamente 11dBm ($10 \times \log_{10} \left(\frac{2,2^2}{1m \times (2 \times \sqrt{2})^2 \times 50} \right) = 10,8 \text{ dBm}$);
- 14 *bits* de resolução;
- Frequência de amostragem entre 30 MHz a 105 MHz;
- Alimentação de +5 e +3,3V para a componente analógica e digital, respetivamente.

Deste modo, esta ADC satisfaz as características pretendidas.

4.2.1-Simulação da Cadeia de Receção Digital

Após a escolha da ADC foi efetuada uma simulação com o objetivo de avaliar a viabilidade da implementação do recetor. A simulação consiste em validar a componente digital da cadeia de receção através do *Matlab*, utilizando dados de entrada fornecidos pela ADC. Para isso, utilizou-se a placa de avaliação da ADC fabricada pela Texas Instruments [56], o transmissor implementado na secção anterior como fonte de sinal RF, um gerador de sinal (Agilent E4433B) como fonte de relógio para ADC e um *Logic Analyser* (Agilent 16822A) ao qual se ligou a saída digital da ADC. O sinal proveniente do transmissor, configurado para transmitir uma trama pré-definida com ritmo de 108kbps a 433.715 MHz, foi ligado à ADC passando em primeiro lugar por um filtro passa banda (igual ao apresentado na secção anterior). O gerador foi ligado à entrada de relógio da ADC com um sinal a uma frequência de 40 MHz. (Figura 30).

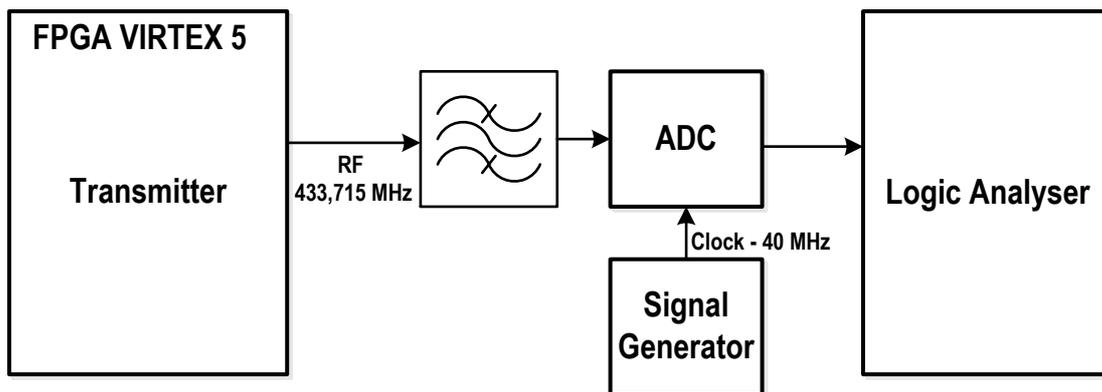


Figura 30 – Representação da montagem efetuada para retirar amostras da ADC para posterior simulação.

Deste modo, uma vez que a ADC se encontra a amostrar a 40 MHz um sinal que se encontra a 433,715MHz, é necessário calcular em que frequência da 1ª Zona de Nyquist se vai situar o sinal após a amostragem. Utilizando a Equação 4 apresentada em **Conceitos Fundamentais**, conclui-se que o sinal RF está a ser amostrado na 21ª frequência de Nyquist e que após a amostragem a frequência do sinal é de 6,285MHz.

Após efetuar a recolha de amostras da ADC, através do Logic Analyser, os dados foram guardados para efetuar a simulação da cadeia de desmodulação representada na Figura 31. Esta é semelhante à cadeia apresentada na Figura 24, contendo apenas mais dois blocos: *Level Detector* e *Decimation*. Estes são responsáveis por fazer a deteção de nível, isto é, fazer a conversão de um sinal que contém uma envolvente para uma onda quadrada de 1 bit e posteriormente fazer a decimação do sinal, reduzindo o seu ritmo de amostragem (40MHz) para o ritmo ao qual este foi transmitido (108KHz).

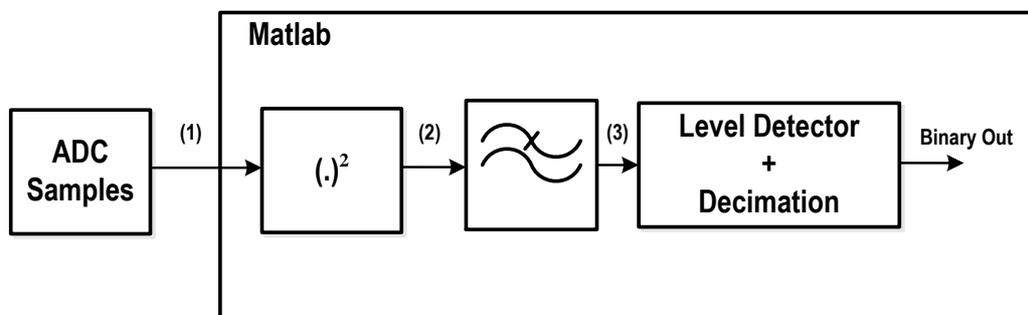


Figura 31 – Representação da cadeia de receção simulada no Matlab.

O sinal amostrado pela ADC, correspondente ao ponto (1) na Figura 31, encontra-se representado na Figura 32. Optou-se por representar apenas uma porção da trama

transmitida para ser mais simples de acompanhar a cadeia de desmodulação. Esta contém a seguinte sequência de *bits*: “11101001” (Figura 32 a).

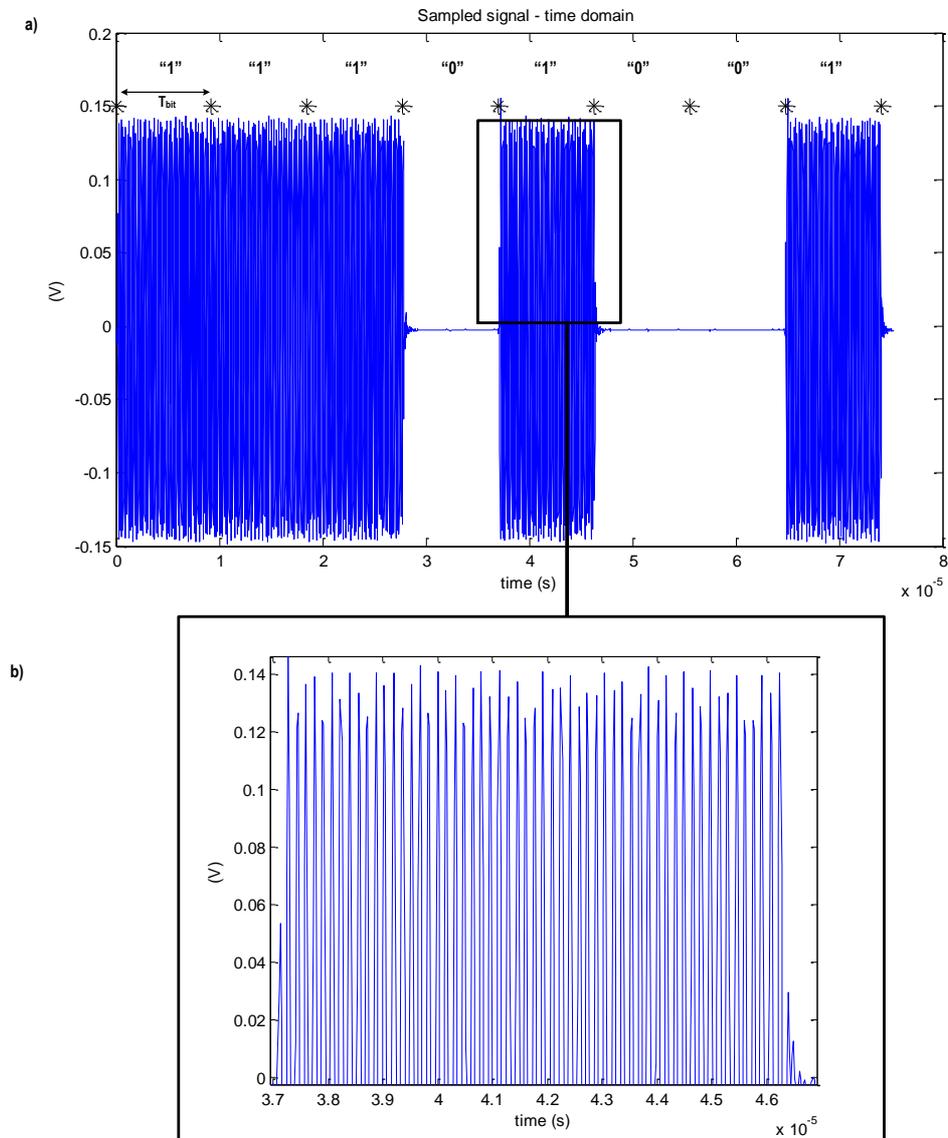


Figura 32 – a) Representação do sinal amostrado pela ADC no domínio do tempo. O tempo representado corresponde ao período de transmissão de 8 *bits*, cuja sequência é “11101001”. Os espaços marcados com * representam o período de *bit*; b) Imagem corresponde ao aumento do quadro preto em a), onde se pode observar o sinal modulado.

Na Figura 33, é possível encontrar a representação no domínio da frequência do sinal mostrado na Figura 32 a). Pode-se assim verificar que o conteúdo espectral do sinal se situa em 6,234 MHz. A diferença deste valor face ao esperado (6,285 MHz) deve-se à falta de sincronismo entre o transmissor e o gerador de sinal de relógio.

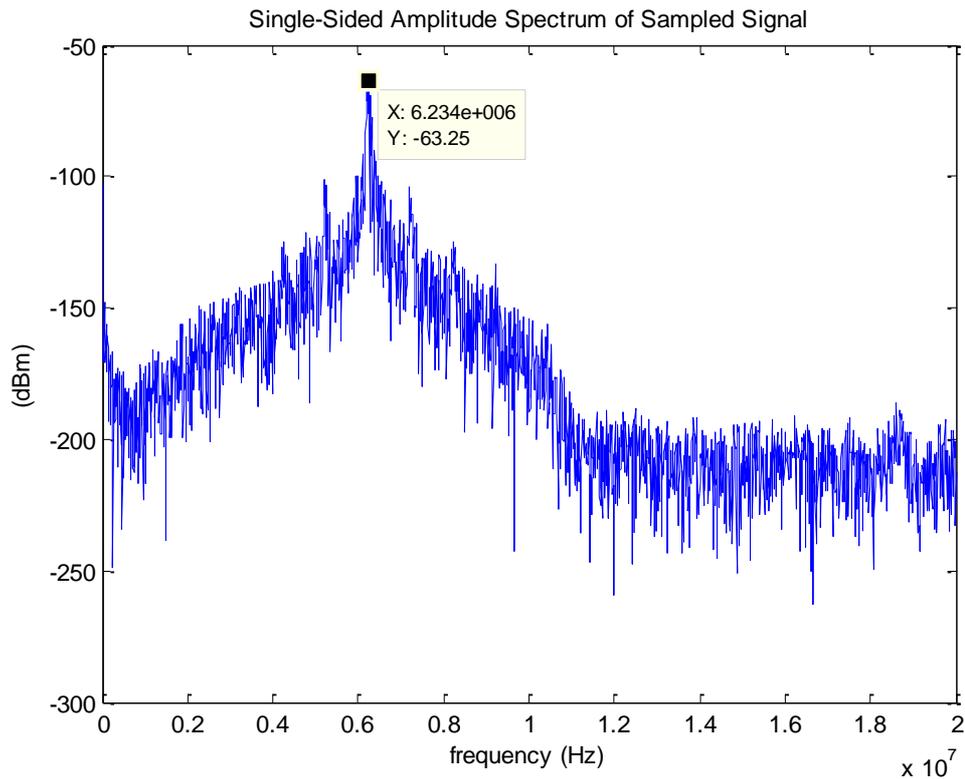


Figura 33 – Representação do sinal amostrado no domínio da frequência. Verifica-se que o conteúdo espectral do sinal se encontra em 6,234MHz.

Após passar no quadrador (ponto (2) na Figura 31), o sinal, tal como já foi verificado no capítulo **Arquitetura do Sistema**- Equação 12, apresenta uma componente DC e outra componente ao dobro da frequência a que se encontrava antes do quadrador (Figura 34).

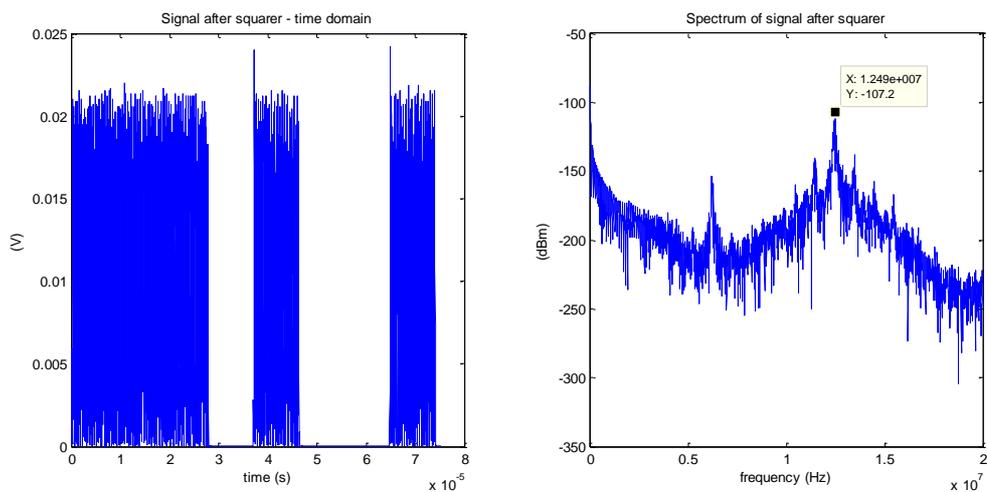


Figura 34 – Representação do sinal após o quadrador. À esquerda encontra-se o sinal representado no domínio do tempo e à direita encontra-se o sinal representado no domínio da frequência.

Segue-se o filtro passa baixo, que foi projetado utilizando a ferramenta “Filter Design & Analysis Tool” do *Matlab*. Este é do tipo *Finite Impulse Response* (FIR) de *ripple* constante e foi projetado de modo a ter uma frequência de corte um pouco acima de 108KHz que corresponde à largura de banda do sinal na banda base, resultando num filtro de ordem 136 (Figura 35).

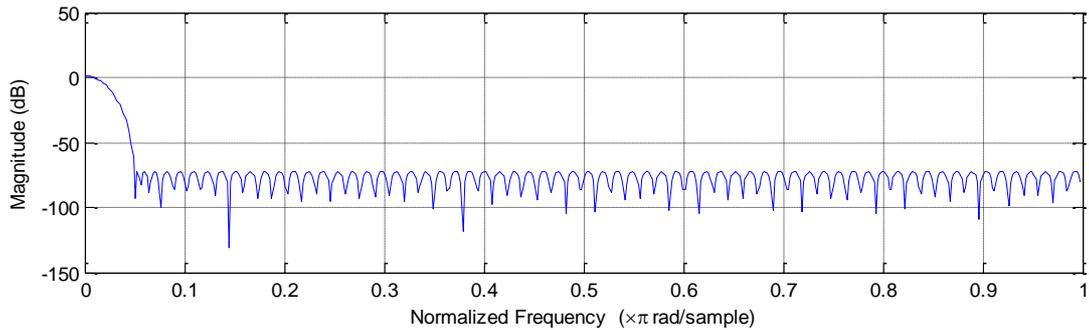


Figura 35 – Resposta em frequência do filtro projetado para a simulação.

Após o sinal passar pelo filtro passa baixo (ponto (3) na Figura 31), a sua saída contém a envolvente do sinal RF, preservando toda a informação essencial (Figura 36).

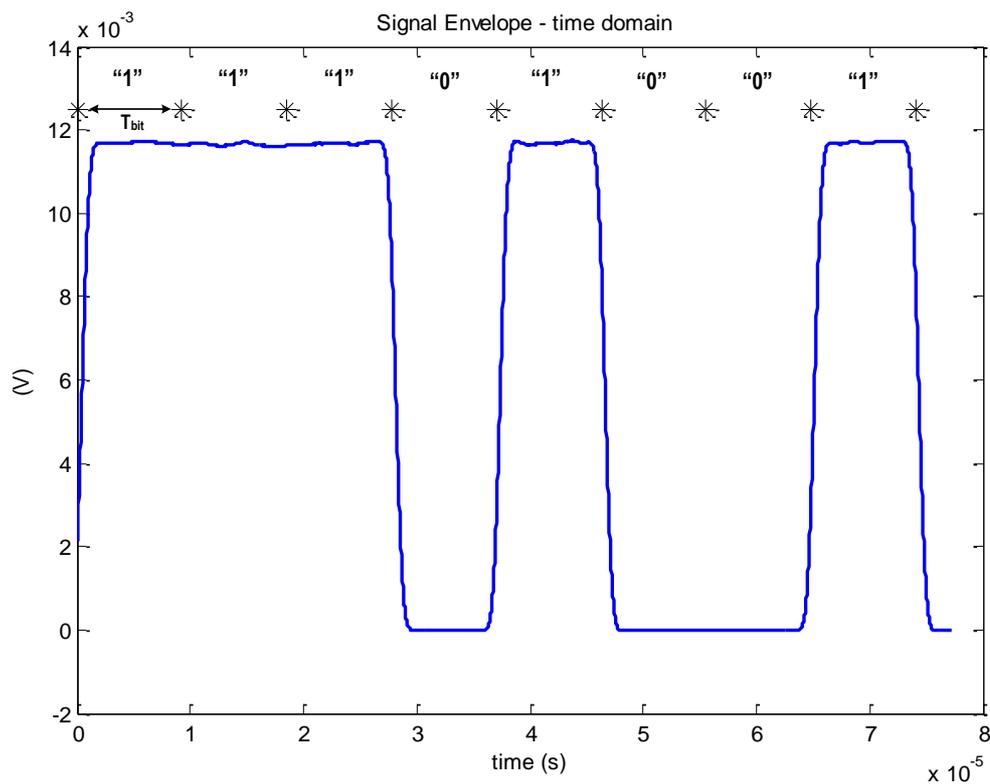


Figura 36 – Sinal após o filtro passa baixo.

Deste modo, falta apenas efetuar a detecção de nível, isto é, a conversão da envolvente para uma onda quadrada de 1 *bit*, e posterior decimação, pois o sinal ainda se encontra ao ritmo a que foi amostrado (40MHz). Uma vez que o seu ritmo na banda base é de 108kbps significa que é necessário efetuar decimação por um fator de 370 ($40M/108K$). O funcionamento do bloco de detecção de nível e de decimação (*Level Detector + Decimation* na Figura 31) consiste em fazer a média de todos os pontos existentes durante o intervalo de duração de um *bit*, e posteriormente, comparar este resultado com um determinado limiar. Este limiar é dado pelo ponto médio entre o valor máximo e mínimo no intervalo de um *bit*. Se o resultado da média de todos os pontos no intervalo de um *bit* for inferior ao limiar, então decide-se por um "0", caso contrário decide-se por "1". À saída destes blocos encontra-se o sinal binário tal como foi transmitido (Figura 37).

Conclui-se assim que é possível efetuar a recuperação do sinal com a cadeia de desmodulação apresentada (Figura 31). Na prática a implementação desta componente de detecção e decimação apresenta algumas diferenças, tal como se verá mais à frente.

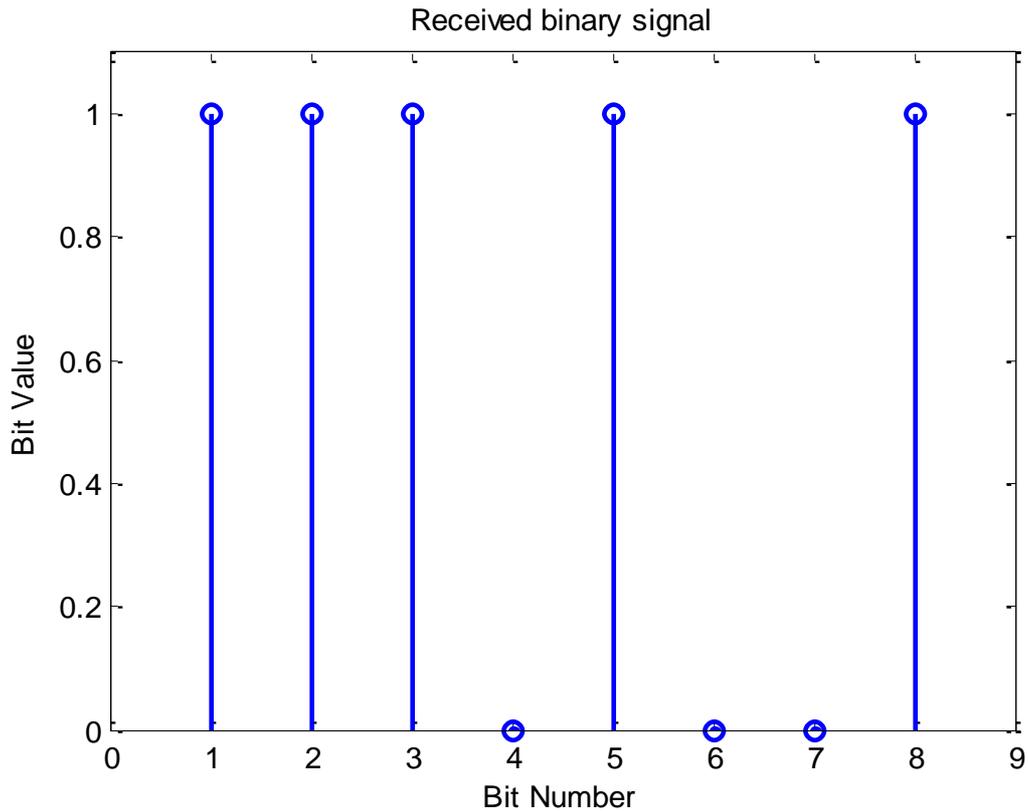


Figura 37 – Sinal recebido na banda base.

4.2.2-Implementação da Componente Analógica

Nesta secção é feita a descrição do *front end* RF desenvolvido. O diagrama de blocos da componente analógica, assim como a interface com a componente digital, encontra-se representado na Figura 38. A componente analógica foi dividida fisicamente em quatro placas de modo a otimizar eventuais processos de teste dos circuitos. Estas quatro placas estão divididas da seguinte forma: uma placa para a ADC, uma placa para efetuar acondicionamento do sinal de relógio para fornecer à ADC, uma placa para efetuar transmissão e receção de sinal RF e finalmente uma última placa responsável por fornecer todas as alimentações às restantes placas. De seguida apresenta-se o funcionamento de cada um destes circuitos.

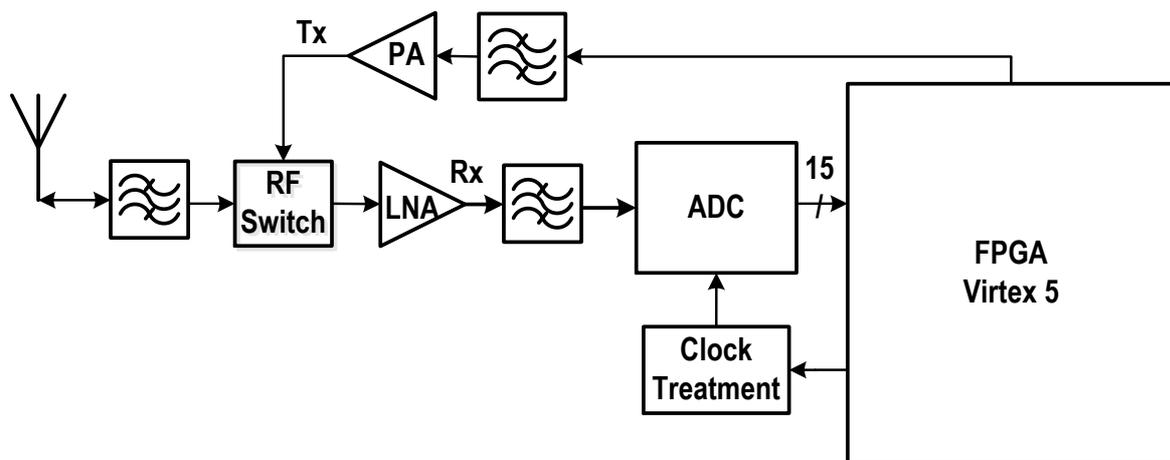


Figura 38 – Diagrama de blocos da componente analógica do sistema e a sua interface com a componente digital.

4.2.2.1-Circuito ADC

O elemento mais importante da componente analógica, a ADC, já foi apresentado na secção anterior, no entanto, para o desenvolvimento do protótipo não foi utilizada a placa de avaliação da Texas Instruments, tendo sido desenhada uma outra placa semelhante a esta. O esquema do circuito da placa desenvolvida assim como o seu *layout* encontra-se no anexo **B.3 - ADC**. A interface entre este circuito e a FPGA é constituída por 15 sinais: 14 *bits* para a quantificação das amostras e outro para o retorno do sinal de relógio.

4.2.2.2-Circuito de Acondicionamento do Sinal de Relógio

O sinal de relógio fornecido à ADC é proveniente da FPGA, no entanto, estes não são compatíveis. O sinal de relógio à saída da FPGA corresponde a uma quadrada com componente DC e com cerca de 500mV de amplitude pico a pico (aproximadamente -2dBm), enquanto, o sinal de relógio a fornecer à ADC deve ser composto por uma senoide com cerca de 10dBm de potência (2 V de amplitude pico a pico em sistemas de 50 Ω). Assim sendo, é necessário acondicionar este sinal, através de uma componente de filtragem seguida de amplificação. A componente de filtragem é responsável por atenuar significativamente os harmónicos da onda quadrada, preservando apenas a componente fundamental, “transformando-a” assim numa senoide. A componente de amplificação serve para aumentar a excursão de sinal, de modo, a este ficar próximo dos 10dBm que a ADC espera.

O filtro projetado é um filtro do tipo Chebyshev de *ripple* constante (3dB) de ordem 7 e foi implementado utilizando parâmetros concentrados (Figura 39). Através do *AWR Microwave Office* simulou-se a resposta em frequência do filtro, onde se confirmou que este possui a resposta pretendida (Figura 40).

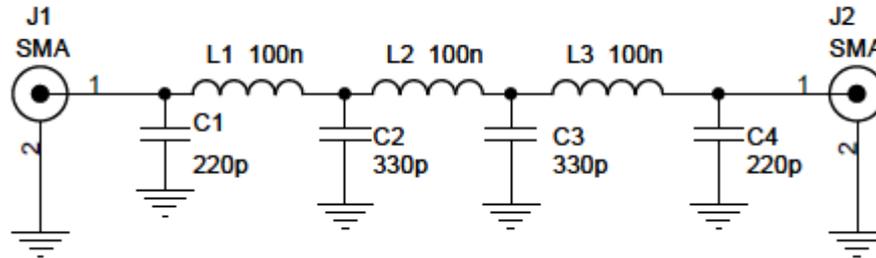


Figura 39 – Esquema do filtro passa baixo.

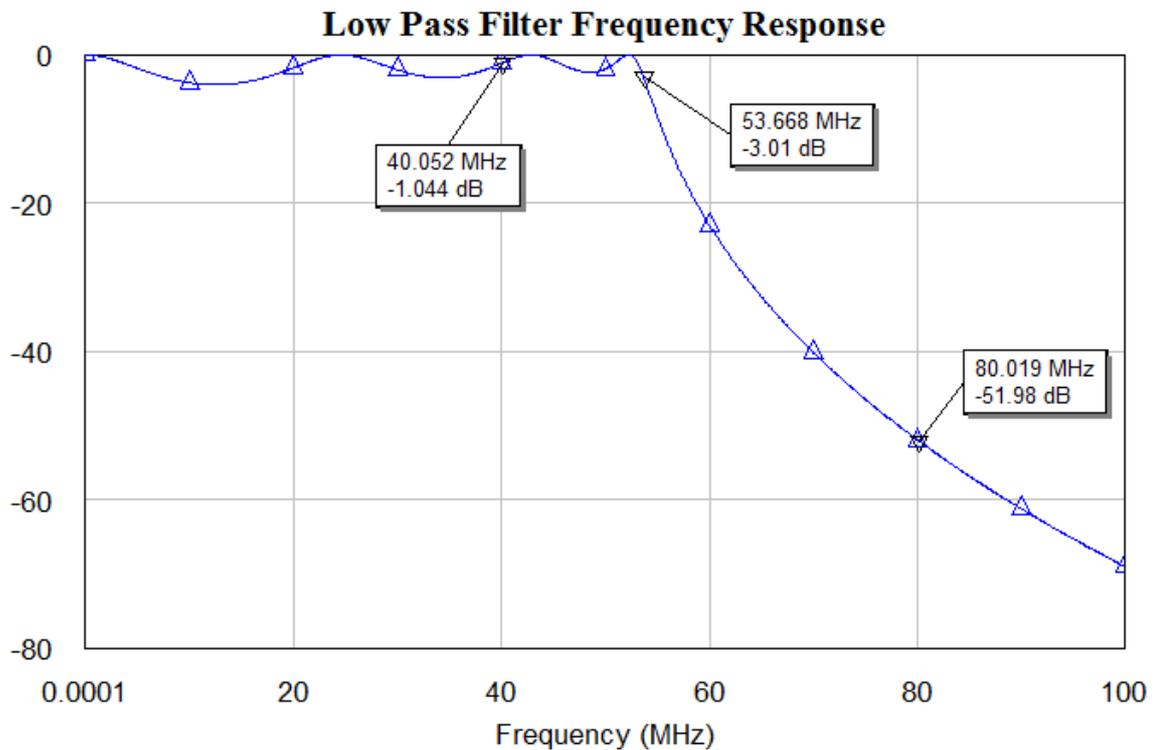


Figura 40 – Resposta em frequência do filtro passa baixo.

Relativamente ao amplificador, utilizou-se um amplificador da Analog Devices cuja referência é ADL5535 [57]. Este amplificador opera na gama de frequências de 20MHz a 1GHz, apresenta ganho fixo de 16dB, adaptação a sistemas de 50 Ω e é alimentado a 5 V. Para além disso apresenta boas características relativamente à não linearidade: a 380 MHz o seu IP3 é de 45,5 dBm e P1dB é de 18,9 dBm [57].

Utilizando este amplificador o sinal à sua saída estaria a rondar os 13dBm, portanto acrescentou-se ainda um atenuador em π (Figura 41). Este foi projetado para atenuar o sinal de 6 dB e a garantir a adaptação a 50 Ω, ou seja, garantindo as seguintes relações:

$$Att = 10 * \log\left(\frac{R_1//50}{R_2 + R_1//50}\right) = 6 \text{ dB}$$

Equação 18

$$Z_{in} = Z_{out} = R_1 // (R_2 + R_1 // 50) = 50 \Omega$$

Equação 19

Que resolvendo em ordem a R1 e R2 e arredondando para os valores de resistência mais próximos obtém-se: R1=150 Ω e R2 = 36 Ω

Com estes valores de resistência a atenuação e a resistência de entrada/saída são respetivamente de 5,9 dB e 49,3 Ω.

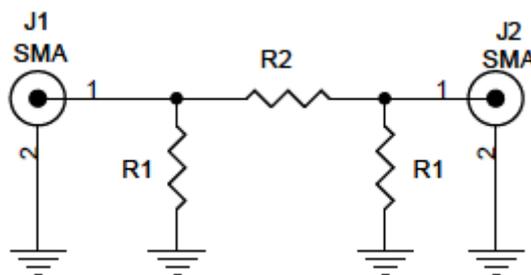


Figura 41 – Esquema do atenuador em π.

Desta forma o sinal de relógio fornecido à ADC é uma onda sinusoidal e apresenta uma potência de cerca de 7 dBm, suficiente para o correto funcionamento desta. O esquemático completo e *layout* deste circuito podem ser encontrados no anexo **B.4 - Acondicionamento do Sinal de Relógio para ADC**.

4.2.2.3-Circuito para Transmissão e Receção de Sinal RF

Outro circuito que foi desenvolvido para o *front end* deste sistema está relacionado com a recepção e transmissão de sinal RF, pois uma vez que se pretende que o sistema final possua capacidade de recepção e transmissão, projetou-se um circuito com essa funcionalidade. Este circuito aglomera assim a componente de transmissão que já foi apresentada na secção anterior e junta um conjunto de componentes necessários para a recepção do sinal como LNA e filtros passa banda analógicos. Além disso, este circuito contém ainda um RF *switch* para permitir efetuar a comutação entre transmissão e recepção de sinal RF. Os filtros passa banda são os mesmos que já foram apresentados na secção anterior. O LNA utilizado é igual ao amplificador usado como PA (ADL5536), pois este amplificador além das características já apresentadas apresenta uma figura de ruído (NF) bastante aceitável de 2,4 dB [53]. O *switch* RF usado é fabricado pela MACOM e a sua referência é MASW-007935 [58]. Este possui baixas perdas de inserção, cerca de 0,5 dB [58]. O esquemático completo e *layout* deste circuito podem ser encontrados no anexo **B.5 - Circuito de Recepção e Transmissão de Sinal RF**.

4.2.2.4-Alimentações

Por último, e de forma a tornar todos os circuitos anteriormente referidos dependentes de uma única fonte de alimentação foi projetado um outro circuito responsável por fornecer todas as alimentações necessárias. Este circuito recebe apenas uma tensão de alimentação que pode variar entre +7 e +10 V e fornece as alimentações necessárias (+3,3V e +5V) recorrendo a reguladores de tensão lineares. No anexo **B.6 - Circuito para Alimentações** encontra-se a o esquema elétrico deste circuito assim como o respetivo *layout*.

4.2.3-Implementação da Componente Digital

O diagrama de blocos relativo à componente digital desenvolvida para o sistema de recepção encontra-se representado na Figura 42.

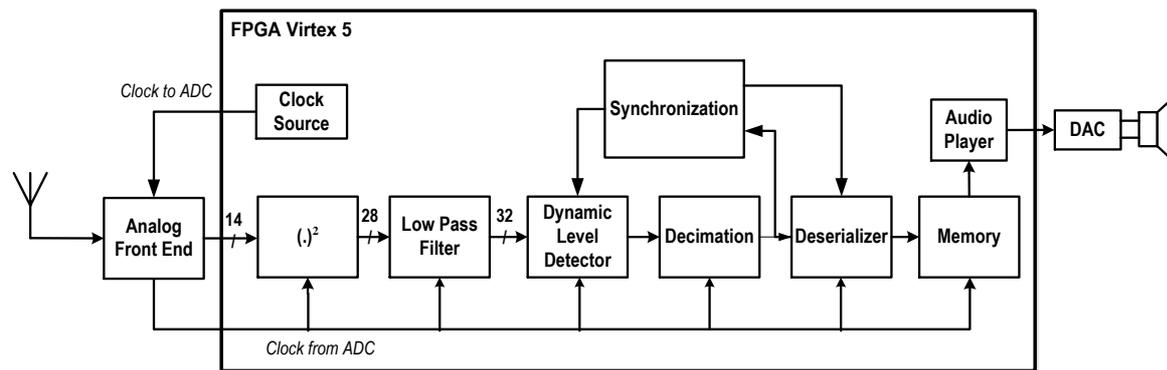


Figura 42 – Diagrama de blocos da componente digital de recepção do sistema.

4.2.3.1-Detetor de Envolveinte

A componente digital inicia-se com o detetor de envolvente composto pelo quadrador e filtro passa baixo. O quadrador foi implementado recorrendo a multiplicadores configurados através de um IP Core fornecido pela Xilinx. O sinal de entrada do quadrador contém 14 *bits* representados em complemento para dois e à saída deste obtém-se uma representação sem sinal que contém 28 *bits*.

Após o quadrador encontra-se o filtro passa baixo responsável por filtrar a componente de alta frequência do sinal, deixando apenas a envolvente. A característica deste filtro é diferente do usado na simulação. Esta alteração deve-se ao facto do ritmo de transmissão que se pretende para o sistema ser de 800kbps e também devido à elevada ordem do filtro usado na simulação. Deste modo, recorrendo mais uma vez à ferramenta “Filter Design & Analysis Tool” do *Matlab*, projetou-se um filtro passa baixo do tipo FIR de *ripple* constante com frequência de corte a 1 MHz, frequência de paragem a 3,5MHz e atenuação fora da banda de 80 dB, resultando num filtro de ordem 40 (Figura 43). O facto de a ordem ser mais baixa, relativamente ao filtro usado na simulação, apresenta benefícios em termos de utilização de recursos da FPGA.

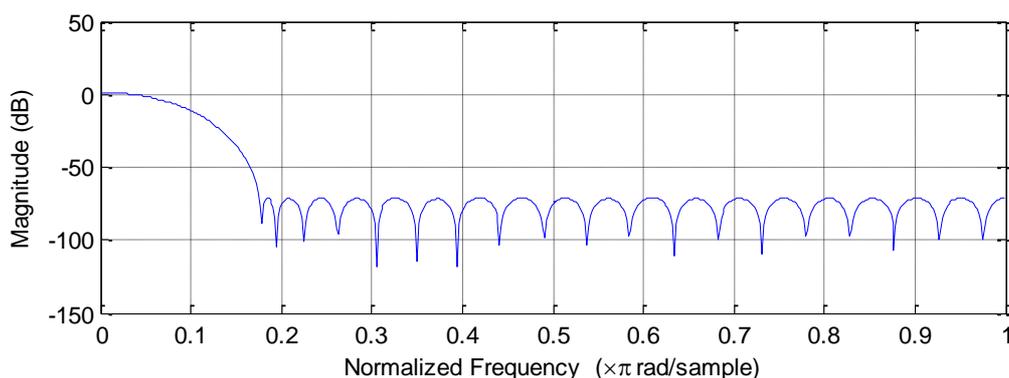


Figura 43 – Resposta em frequência do filtro passa baixo implementado em FPGA.

4.2.3.2-Limiar de Decisão Dinâmico, Decimação e Reprodução de Áudio

Os blocos *Dynamic Level Detector*, *Decimation* e *Synchronization* operam em conjunto no sentido de implementar o circuito de decisão e a decimação. O circuito de decisão consiste em transformar a envolvente obtida à saída do filtro passa baixo, que é formada por um sinal de 32 *bits*, num sinal de 1 *bit* (onda quadrada). Essa tarefa é conseguida através do bloco *Dynamic Level Detector*. Este bloco calcula um limiar de decisão através do ponto médio entre o valor máximo e mínimo que compõe a envolvente num determinado intervalo. Se o valor de uma determinada amostra da envolvente for inferior ao limiar de decisão coloca-se a saída a “0”, caso contrário coloca-se a saída a “1”. Este limiar de decisão é dinâmico e o seu cálculo depende da correta receção da palavra de sincronização (primeiros 16 *bits* da trama de transmissão). Considerando para já que o bloco *Decimation* apenas reduz o ritmo de amostragem de 40MSamples para 800KSamples, o bloco *Synchronization* analisa a linha série de dados após a decimação, verificando se encontra ou não a palavra de sincronização. Caso encontre, transmite essa informação para o bloco de *Dynamic Level Detector*, ficando este a saber que o limiar de decisão calculado está correto. Se o bloco *Dynamic Level Detector* não receber este sinal durante um tempo superior à duração de uma trama, este inicia o processo para calcular um novo limiar. Este processo consiste na procura de um novo máximo e mínimo da envolvente durante um intervalo de tempo correspondente a uma trama. Deste modo, em caso de perda de sincronismo, consegue-se no melhor caso, fazer a recuperação do mesmo

por um período de tempo máximo equivalente a duas tramas, ou seja, perdendo no máximo duas tramas de dados.

Relativamente ao bloco *Decimation*, este, efetua a redução do ritmo de amostragem por um fator de 50, passando de 40MSamples para 800KSamples. De um modo geral, este bloco apenas tem que colocar na sua saída uma em cada 50 amostras da sua entrada. No entanto, é importante assegurar que esta amostra é recolhida num instante temporal que ofereça robustez a possíveis variações das frequências dos relógios do transmissor ou recetor. Isto significa que esta amostra não pode simplesmente ser retirada ao ritmo de um relógio de 800Kbps, pois isso iria originar a ocorrência de erros de *bit*. Uma maneira simples para efetuar a decimação passa por efetuar a recolha do *bit* no instante equivalente a metade do período de *bit*, afastando assim a possibilidade de ocorrência de uma transição inesperada devido a uma pequena variação do ritmo de transmissão. No entanto, a ocorrência das transições na envolvente quadrada, é aproveitada para efetuar o recomeço da contagem do tempo equivalente a meio período de *bit*. Enquanto não existem transições é feita sucessivamente a contagem do período de um *bit* tendo como partida a última transição. (Figura 44).

Garante-se assim o correto funcionamento do limiar de decisão dinâmico, assim como da transformação da envolvente no sinal binário originalmente transmitido.

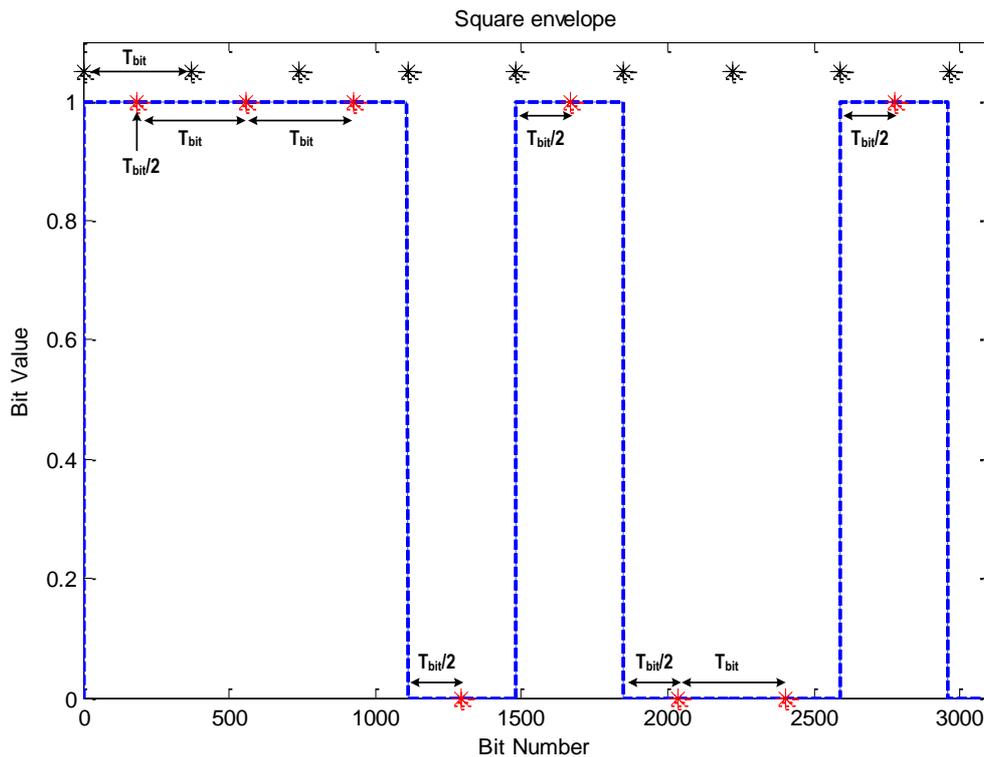


Figura 44 – Representação da operação de decimação. O asterisco preto corresponde à marcação do início do período de *bit*. O asterisco vermelho corresponde à marcação de metade do período de *bit*.

O sinal binário recuperado necessita agora de ser paralelizado. Essa tarefa é realizada pelo bloco *Deserializer*, que efetua a paralelização ao ritmo imposto pelo bloco *Decimation*, no entanto, apenas o faz quando recebe sinalização do bloco *Synchronization* a confirmar que o cabeçalho foi detetado, isto é, que os dados recebidos são válidos. Após a paralelização em palavras de 16 *bits*, os dados são armazenados numa memória do tipo FIFO, devido aos diferentes ritmos de escrita e leitura. Por último, o bloco *Audio Player* efetua a leitura dos dados da memória e envia-os para reprodução usando novamente o *codec* de áudio existente na placa XUPV5.

É ainda importante referir que todos os blocos da cadeia de receção se encontram síncronos com o sinal de relógio proveniente da ADC. Este sinal não é lido numa entrada dedicada para sinais de relógio, no entanto, foi-lhe imposta uma restrição temporal. Em contrapartida, o sinal de relógio fornecido à ADC, proveniente da FPGA, encontra-se terminado num conector SMA e essa ligação corresponde a uma linha global de relógio da FPGA.

Para concluir esta secção apresenta-se na Figura 45 a hierarquia dos blocos de VHDL desenvolvidos para a componente digital do sistema de receção. Os nomes de cada bloco e a sua funcionalidade relacionam-se diretamente com a nomenclatura utilizada anteriormente, assim como no diagrama de blocos da Figura 42.

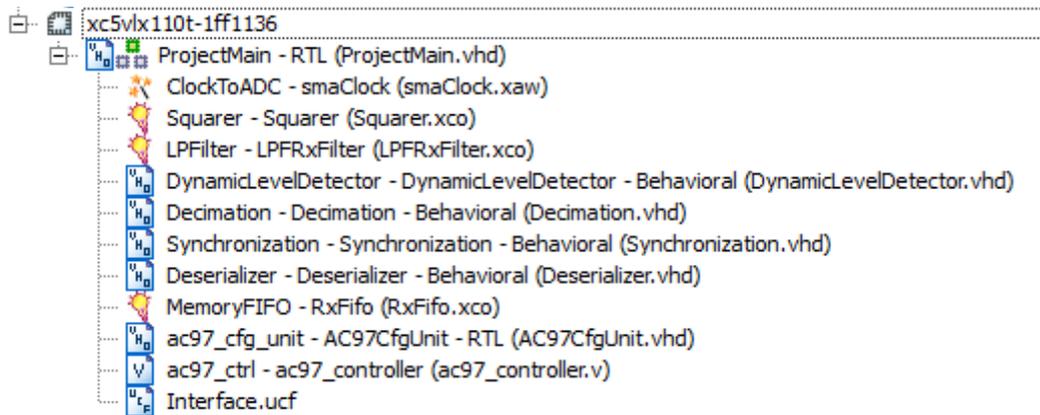


Figura 45 – Hierarquia dos blocos desenvolvidos para a componente digital de receção do sistema.

4.2.4-Balanco da Ligação

4.2.4.1-Sensibilidade do Recetor

A sensibilidade (S_i) de um recetor é um parâmetro muito importante em sistemas de rádio. É através do valor da sensibilidade que se consegue dimensionar a potência necessária à saída de um transmissor que permita a um sistema de rádio cobrir uma determinada área (cumprindo a S_i no recetor, que permite o sistema funcionar corretamente). O seu cálculo é dado por:

$$S_i = k.T.B.NF.SNR$$

Equação 20

Onde:

$kT = -174 \text{ dBm/Hz}$ - densidade de ruído à temperatura ambiente

$B = 6\text{MHz}$ - Largura de banda do sistema de receção (Hz)

NF (Noise Figure) – Degradação da SNR entre a entrada e a saída do recetor (dB);

SNR – Relação sinal ruído pretendida (dB).

A SNR neste contexto representa a relação de potência mínima necessária para que o sinal seja corretamente desmodulado sem erros. Dado que a modulação usada é uma modulação de amplitude, assume-se que um valor mínimo de SNR para que a desmodulação seja efetuada sem erros corresponda a 6dB, ou seja, uma situação em que amplitude do sinal corresponde ao dobro da amplitude do ruído.

Relativamente ao NF e tendo em conta a cadeia de receção (Figura 46 a), este é dado por:

$$NF_T = NF_{RF\ Switch} + \frac{N_{Filtro} - 1}{G_{RF\ Switch}} + \frac{N_{LNA} - 1}{G_{RF\ Switch} \cdot G_{Filtro}} + \frac{N_{Filtro} - 1}{G_{RF\ Switch} \cdot G_{Filtro} \cdot G_{LNA}} (=)$$

$$NF_T = 4,81 = 10 \times \log_{10}(4,81) = 6,82\ dB$$

Equação 21

Os valores usados neste cálculo encontram-se na Tabela 3.

Tabela 3 – Valores de ganho e figura de ruído dos elementos constituintes do *front end* analógico de receção.

	Ganho (dB)	Ganho (W/W)	NF
Filtro	-2	0,63	1,58
RF switch	-0,5	0,89	1,12
LNA	20	100	2,7

Assim, considerando o SNR mínimo para a correta desmodulação e a figura de ruído do sistema, o valor da sensibilidade é dado por:

$$S_i = -174 + 10 \log(B) + NF + SNR$$

$$S_i = -174 + 10 \log(6M) + 6,82 + 6 = -93,4\ dBm$$

Equação 22

Através deste cálculo da sensibilidade considera-se que o sistema não contém uma ADC, isto é que a desmodulação seria efetuada inteiramente no domínio analógico.

No entanto, neste caso a desmodulação é feita no domínio digital, logo a SNR imposta pela ADC (SNR_{ADC}) tem que ser considerada, podendo ser este valor a limitar a sensibilidade do sistema de receção.

A SNR_{ADC} pode ser obtida de duas formas:

- SNR imposta pelo ruído de quantização da ADC tendo em conta o seu número de *bits*:

$$SNR_{qn} = 6,02 \times N + 1,76 = 6,02 \times 14 + 1,76 = 86 \text{ dB}$$

Equação 23

- SNR imposta pelo *jitter* do sinal de relógio fornecido à ADC:

$$SNR_{jitter} = 20 * \log_{10}\left(\frac{1}{2\pi \cdot f \cdot t_j}\right) = 20 * \log_{10}\left(\frac{1}{2\pi \cdot 433M \cdot 191p}\right)(=)$$

$$SNR_{jitter} = 5,7 \text{ dB}$$

Equação 24

O menor destes valores corresponde à SNR_{ADC} mais próxima da realidade. Neste caso e tal como já foi referido anteriormente no capítulo - **Arquitetura do Sistema**, dado que a ADC se encontra a amostrar um sinal de alta frequência, a SNR_{ADC} é limitada pelo *jitter* do sinal de relógio. O valor usado para o *jitter* (191 ps) no cálculo anterior corresponde ao valor indicado na ferramenta da FPGA usada para gerar este sinal.

Através do valor obtido anteriormente é possível obter o máximo patamar de ruído admissível à entrada da ADC, tendo em conta o valor máximo de potência que esta admite na sua entrada (11 dBm) e o valor de SNR_{jitter} calculado. Assim o valor mínimo de potência admitido à entrada da ADC para um correto funcionamento do sistema corresponde a:

$$P_{min\ ADC} = P_{max\ ADC} - SNR_{jitter} = 11 - 5,7 = 5,3 \text{ dBm}$$

Equação 25

Consequentemente, transpondo este valor para a entrada do sistema de receção (antena), tendo em conta o ganho efetivo que a cadeia de receção impõe ao sinal recebido, consegue-se obter a potência mínima admissível para que o sistema funcione corretamente, isto é, a sensibilidade do sistema. O ganho efetivo corresponde à soma dos ganhos dos elementos constituintes da cadeia de receção até à ADC, excluindo o ganho da antena.

$$G_{efectivo\ sistema\ recepcao} = G_{RF\ Switch} + G_{Filtro} + G_{LNA} + G_{Filtro} = 15,5 \text{ dB}$$

Equação 26

Assim, efetuando a transposição obtém-se na antena uma sensibilidade de -10,2 dBm (Figura 46 b).

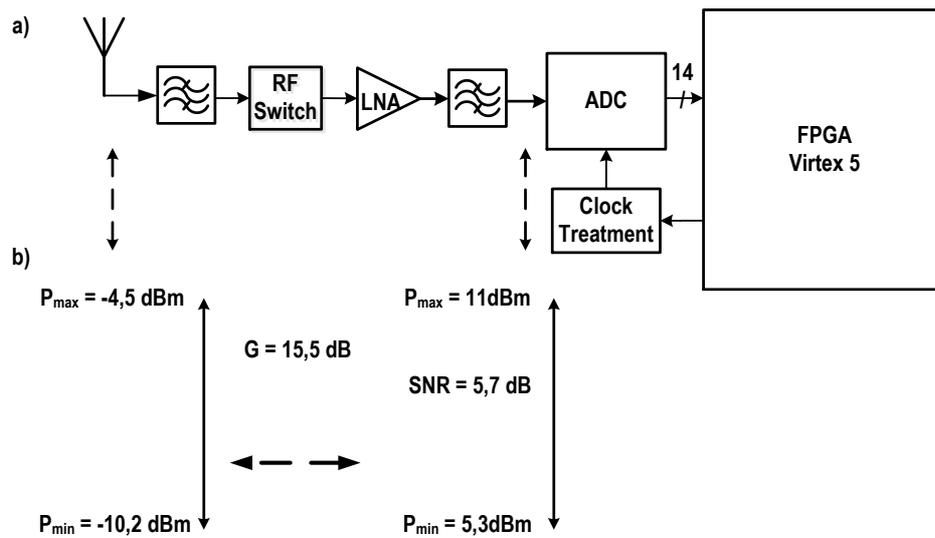


Figura 46 – a) Cadeia do sistema de recepção; b) Representação do impacto da SNR da ADC na sensibilidade do sistema tendo em conta o ganho efetivo do sistema de recepção.

Uma vez que a sensibilidade do sistema obtida através do efeito da SNR da ADC é inferior à obtida em primeiro lugar, considera-se assim que a sensibilidade do sistema é de $-10,2 \text{ dBm}$.

4.2.4.2-Alcance Previsto

Através do cálculo da sensibilidade e sabendo qual a potência de sinal à saída do transmissor é possível estimar o alcance do sistema desenvolvido recorrendo à fórmula de Friis:

$$P_r = P_t G_t G_r \left(\frac{\lambda}{4\pi R} \right)^2$$

Equação 27

Onde:

P_r – Representa a sensibilidade do recetor = $-10,2 \text{ dBm}$;

P_t – Representa a potência transmitida = 13 dBm ;

G_t – Ganho da antena de transmissão = $5,15 \text{ dBi}$;

G_r – Ganho da antena de receção = $5,15 \text{ dBi}$;

λ – Comprimento de onda = $0,69 \text{ m}$ (considerando $f = 433 \text{ MHz}$);

R – Raio de cobertura

Deste modo, resolvendo em ordem a R, obtém-se um raio de cobertura de aproximadamente 2,6 metros. Este valor é limitado pelo *jitter* do sinal de relógio fornecido à ADC, ou seja, utilizando um gerador de sinal de relógio externo com maior qualidade o valor do alcance seria melhorado, sendo este um possível ponto de trabalho futuro.

Este capítulo apresentou os aspetos mais relevantes da implementação do sistema de comunicações desenvolvido terminando assim a fase de descrição do funcionamento do mesmo. Deste modo, segue-se a apresentação dos resultados que visam demonstrar o correto funcionamento do sistema.

5 - Resultados

Neste capítulo apresentam-se resultados experimentais relativos à validação e avaliação laboratorial deste trabalho. Começa-se por apresentar o ajuste de frequência das portadoras para transmissão demonstrando assim a flexibilidade do sistema neste especto. A taxa de erros do sistema é apresentada e discutida para diversos ritmos de transmissão e distância entre os rádios. Relativamente à FPGA são apresentados os dados estatísticos da ocupação de recursos para o caso dos sistemas de receção e transmissão. Posteriormente é feita uma análise do consumo energético da componente digital e analógica do sistema. Por último, é mostrada a interoperabilidade conseguida entre o transmissor desenvolvido e um recetor de rádio comercial.

5.1-Ajuste da Frequência de Transmissão

O sistema implementado disponibiliza quatro frequências possíveis para transmissão, tal como já referido no capítulo **Implementação do Sistema** (Tabela 2). Utilizando um analisador de espectros (Rohde & Schwarz FSQ 8) foram retiradas capturas para cada uma das portadoras (Figura 47).

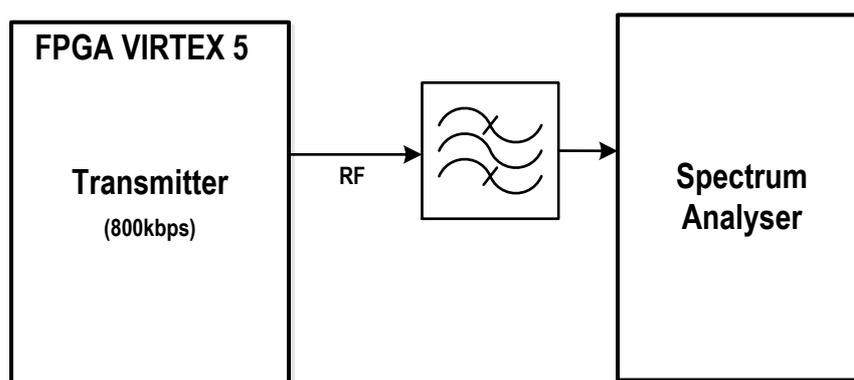


Figura 47 – Representação do *setup* de medida efetuado.

Na Figura 48 é possível verificar o especto da portadora a 432 MHz antes (Figura 48 a)) e depois da aplicação do filtro passa banda (Figura 48 b)). É possível comprovar a forte atenuação que o filtro impõe nas frequências harmónicas da portadora, revelando assim a importância deste para obter uma onda passível de transmissão. Relativamente às perdas de

inserção verifica-se que o filtro apresenta uma atenuação 2,02 dB dentro da banda passante, valor bastante próximo do referido no seu *datasheet* [52].

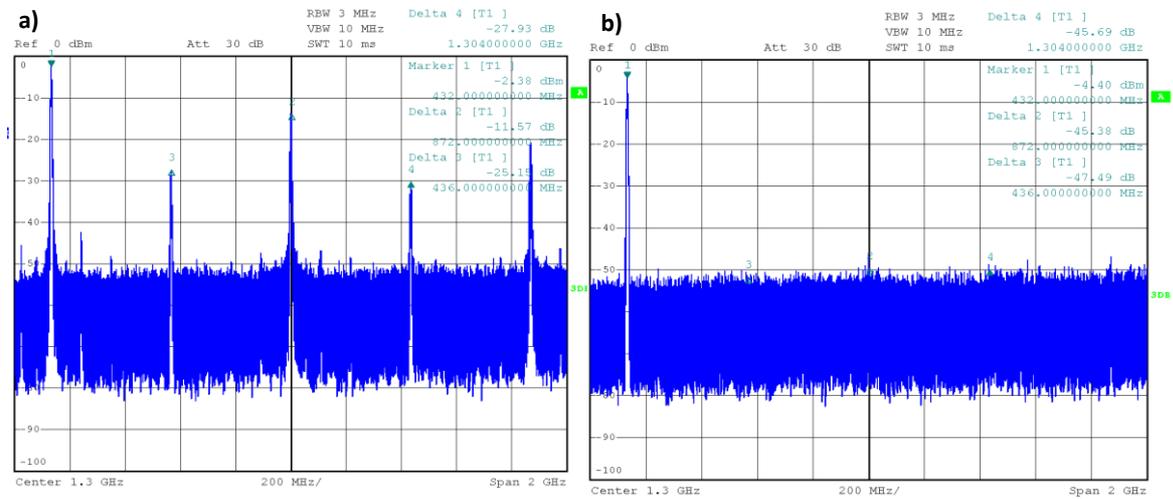


Figura 48 – Representação no domínio da frequência da portadora a 432MHz. a) Sinal antes do filtro passa banda; b) Sinal após o filtro passa banda.

Na Figura 49 encontram-se representadas, no domínio da frequência, as diversas portadoras disponíveis para transmissão. De notar que estas medidas foram efetuadas fixando o ritmo de transmissão do sistema a 800kbps. Comprova-se assim a flexibilidade que o sistema apresenta relativamente à seleção da portadora, podendo escolher-se entre 432; 433,3; 433,8 ou 434,4 MHz.

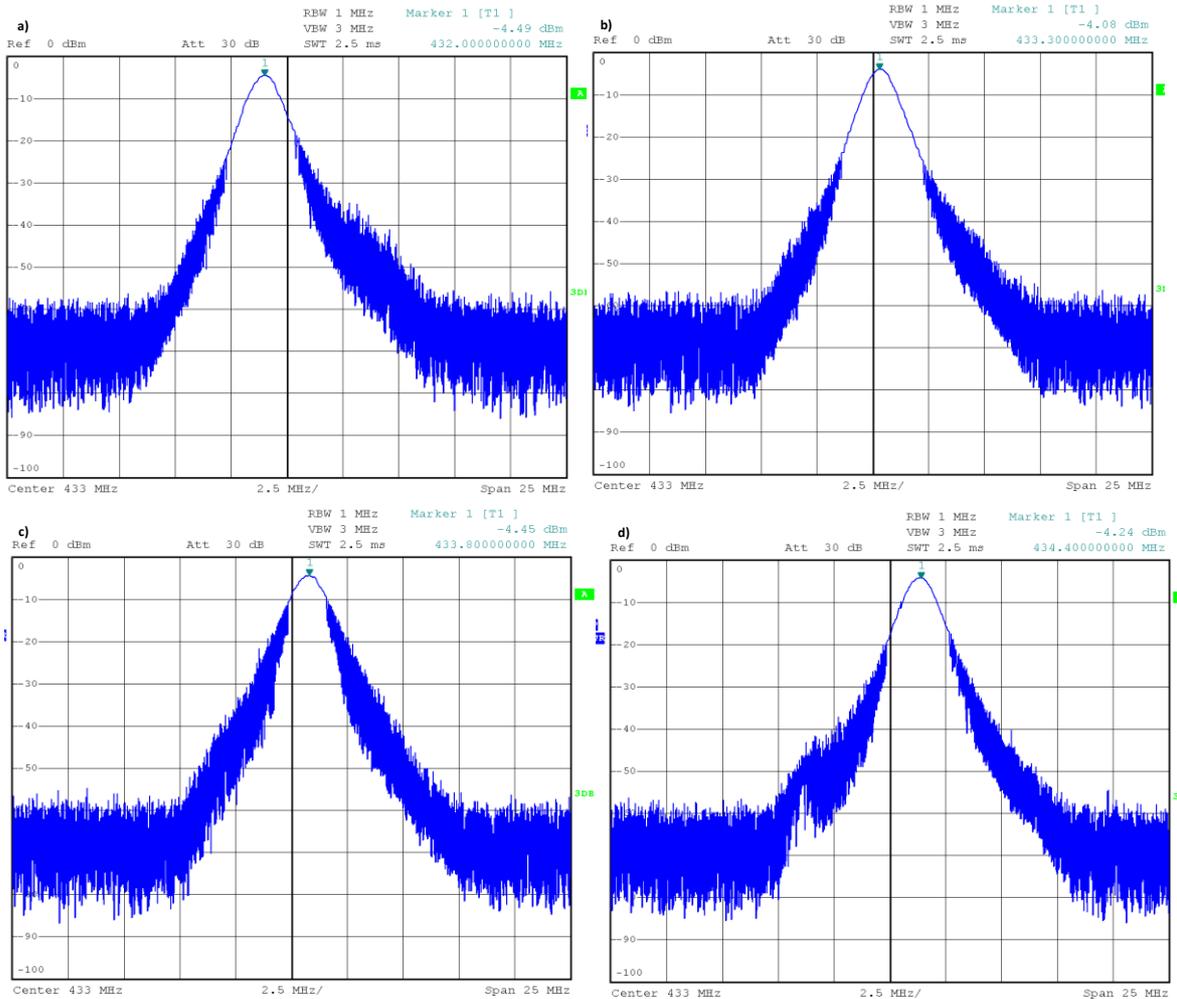


Figura 49 – Representação no domínio da frequência das diversas portadoras disponíveis para transmissão. a) $f=432\text{MHz}$. b) $f= 433.3 \text{ MHz}$. c) $f=433.8\text{MHz}$. d) $f=434.4 \text{ MHz}$.

5.2-Taxa de Erros do Sistema

A qualidade de comunicação de um sistema de rádio pode ser avaliada através de um parâmetro denominado *Bit Error Rate* (BER), que calcula a relação entre o número de *bits* errados e o número total de *bits* transmitidos. Para realizar esta medição, configurou-se o transmissor de modo a enviar uma trama com conteúdo conhecido. No recetor os dados foram recolhidos através de uma ferramenta da Xilinx que permite aceder aos sinais internos da FPGA – ChipScope Pro. Foram retiradas 131072 amostras à saída do bloco *Decimation* (Figura 42) e estas foram posteriormente analisadas no *Matlab*, onde foi feita a comparação entre a sequência enviada e a sequência recebida. As medições foram efetuadas numa câmara anecóica de forma a reduzir o impacto de interferências externas. O sistema foi testado variando o ritmo de transmissão entre 100, 200, 500 e 800kbps e a

distância entre os rádios entre 0,5, 1, 1,5, 2 metros. De notar que não se conseguiram efetuar medições com distâncias superiores a 2 metros devido à limitação do espaço na câmara anecóica. Para a medição dos três primeiros pontos, isto é, nas distâncias 0,5, 1 e 1,5 metros, foi colocado um atenuador entre o PA e a antena do transmissor de respetivamente, 7, 6 e 3 dB, de forma a não saturar a ADC do recetor. O *setup* montado na câmara anecóica para a realização desta medida encontra-se representando na Figura 50.

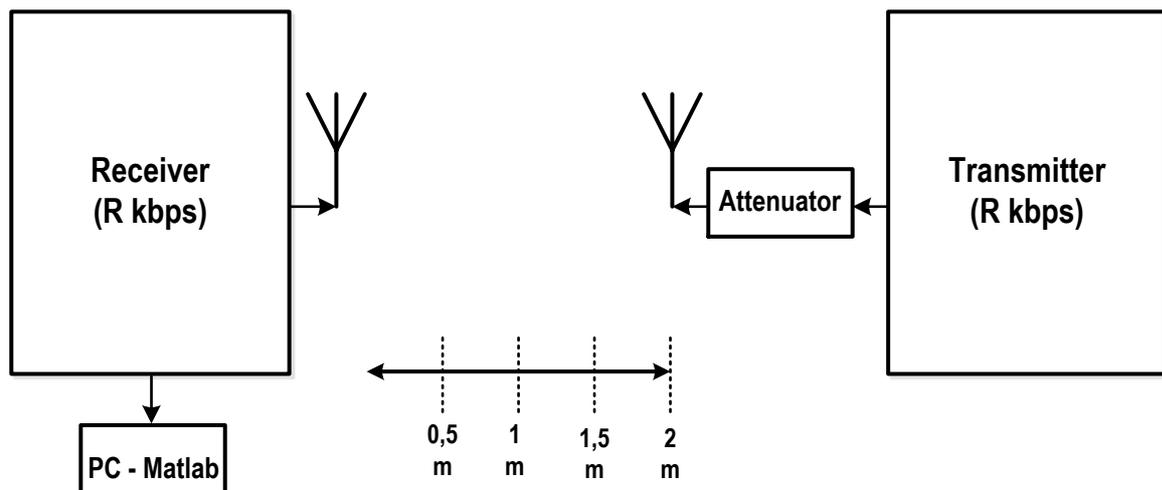


Figura 50 – Representação do *setup* montado na câmara anecóica para se efetuarem as medições do BER.

Os resultados obtidos encontram-se representados na Figura 51. É possível verificar o aumento do BER com o aumento do ritmo de transmissão, que se deve à diminuição do período de tempo que a portadora se encontra ativa assim como à diminuição do número de períodos que esta perfaz nesse mesmo intervalo. Estes fatores afetam consideravelmente a capacidade de deteção. É possível ainda constatar que o BER do sistema é praticamente constante quando a distância entre os rádios se encontra entre os 0,5 e 1,5 metros, registando-se uma ligeira subida quando se aproxima dos 2 metros de distância. Esta subida deve-se ao facto de nesta situação a potência recebida já se encontrar próxima da potência mínima admissível do sistema, como se viu no capítulo **Implementação do Sistema**.

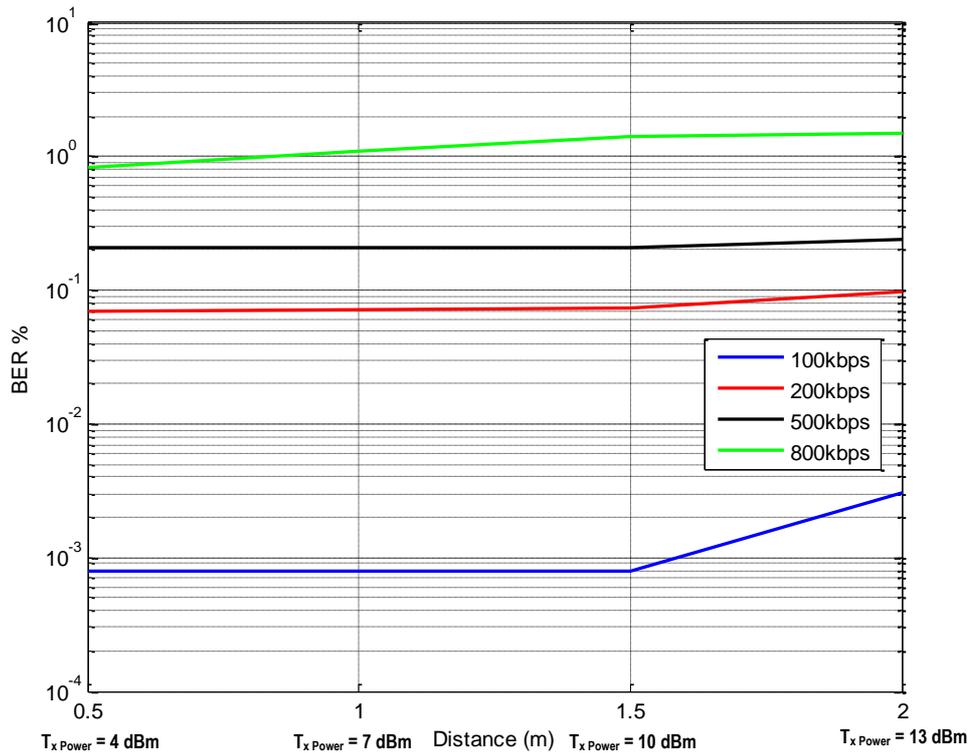


Figura 51 - Taxa de erros do sistema em função da distância e do ritmo de transmissão.

5.3-Sinal de Relógio da ADC

Tal como se verificou no capítulo anterior a sensibilidade do sistema de recepção é limitada pelo *jitter* do sinal de relógio fornecido à ADC. Por esse motivo considerou-se interessante analisar o espectro deste sinal, comparando-o com um sinal proveniente de um gerador de sinais. Para isso, utilizando um analisador de espectro (Rohde & Schwarz FSQ 8), capturou-se o sinal de relógio à saída do circuito de acondicionamento. Seguidamente, mantendo o analisador de espectros nas mesmas condições de medida, capturou-se um sinal de relógio com o mesmo nível de potência e mesma frequência, fornecido por um gerador de sinais (Agilent E4433B), que se sobrepôs à captura anterior (Figura 52). Pode-se assim verificar o elevado *phase noise* (representação do *jitter* no domínio da frequência) do sinal proveniente da FPGA, face ao sinal proveniente do gerador de sinais. Este é o fator que mais prejudica a sensibilidade do sistema de recepção.

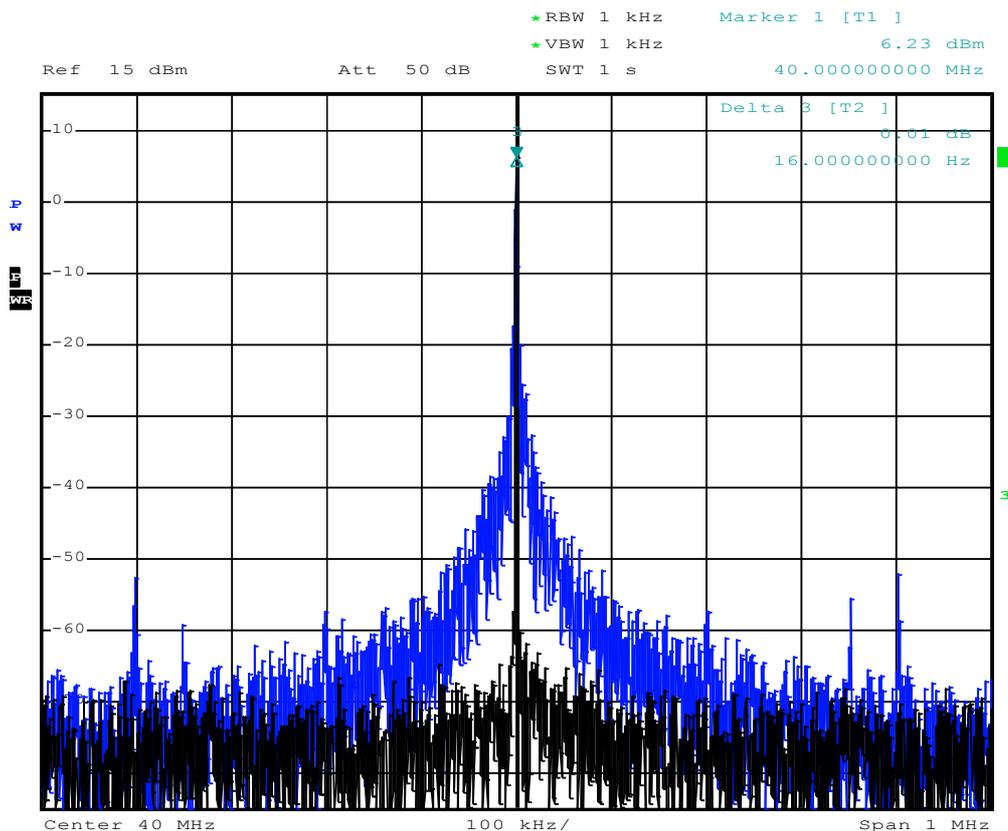


Figura 52 – Comparação entre o sinal de relógio fornecido pela FPGA (azul) e um sinal de relógio fornecido por um gerador de sinais (preto).

5.4-Dados Estatísticos da Implementação em FPGA

Nesta secção são apresentados dados estatísticos relativos à implementação da componente digital do sistema em FPGA. Os dados apresentados referem-se à máxima frequência de operação admissível para o *hardware* implementado e à utilização de recursos da FPGA. Esta informação foi obtida através de um relatório gerado automaticamente pela ferramenta de desenvolvimento de projeto da Xilinx após cada implementação.

A frequência máxima de operação relativa à componente digital do transmissor é de 80 MHz que é limitada por um sinal associado ao serializador GTP. No recetor a frequência máxima é de 107,5 MHz e é limitada pelo sinal de relógio proveniente da ADC, que é responsável por fornecer o sincronismo a toda a cadeia de desmodulação.

Relativamente à ocupação de recursos, na componente de transmissão estes representam cerca de 1% do total de recursos lógicos, enquanto, no recetor estes representam 2,93% (Tabela 4). Esta diferença deve-se ao facto do recetor necessitar de um

número de recursos lógicos superior devido à cadeia de desmodulação. Em termos de recursos específicos, a principal diferença entre estes é relativa às PLL_ADVs, DCM_ADVs, GTP e DSPSlices (DSP48Es). O transmissor recorre a várias PLL_ADVs e DCM_ADVs para gerar diferentes sinais de relógios e por sua vez possibilitar ao GTP a geração de quatro portadoras distintas. O recetor apenas utiliza uma PLL_ADV e um DCM_ADV para gerar o sinal de relógio para a ADC e utiliza DSPSlices para a implementação do filtro passa baixo da cadeia de receção.

De um modo geral, estes dados são bastante atrativos pois tornam evidentes as capacidades das FPGAs para este tipo de aplicações, pois a baixa percentagem de ocupação possibilita que se adicionem novos níveis lógicos de controlo como por exemplo implementação de diversas camadas protocolares.

Tabela 4 – Ocupação de recursos da FPGA.

Recursos Lógicos	Transmissor			Recetor		
	Utilizados	Disponíveis	Percentagem	Utilizados	Disponíveis	Percentagem
Flip-Flops	442	69120	1,00	2025	69120	3,00
LUTs	365	69120	1,00	2599	69120	4,00
PLL_ADV	5	6	83,00	1	6	17,00
DCM_ADV	7	12	58,00	1	12	8,00
DSP48Es	0	64	0,00	43	64	67,00
GTP	2	8	25,00	0	8	0,00

5.5-Consumo Energético

Nesta secção é feita uma análise relativamente à potência fornecida ao sistema desenvolvido.

5.5.1-Componente Digital

Recorrendo à ferramenta XPower Analyser fornecida pela Xilinx é possível estimar a potência consumida na FPGA Virtex 5. Os dados recolhidos através desta ferramenta encontram-se representados na Tabela 5. Regista-se uma diferença significativa entre a potência fornecida ao recetor e ao transmissor e alguma proximidade entre os valores de potência estática e dinâmica. A discrepância entre o transmissor e recetor, apesar do recetor possuir uma percentagem de ocupação de recursos superior, deve-a à utilização do

GTP e de um maior número de PLL_ADVs e DCM_ADVs, pois estes representam cerca de 50% da potência total fornecida à FPGA no lado do transmissor. O valor da potência estática é superior ao da potência dinâmica pela simples razão que este valor considera a totalidade da FPGA, sendo que a dinâmica apenas considera a percentagem ocupada.

Tabela 5 – Dados do consumo da FPGA para o caso do transmissor e recetor.

Potência (W)	Transmissor	Recetor
Estática	1,78	1,15
Dinâmica	0,88	0,19
Total	2,66	1,34

Na impossibilidade de efetuar a medição da corrente fornecida à FPGA efetuou-se a medição referente à totalidade da placa XUPV5. Os resultados encontram-se representados na Tabela 6. Apesar de não ser possível efetuar uma comparação direta com os dados obtidos através do XPower Analyser, é possível concluir que o transmissor apresenta um consumo superior ao do recetor.

Tabela 6 – Dados do consumo da placa XUPV5.

	Corrente (A)	Tensão (V)	Potência (W)
Transmissor	1,39	5	6,95
Recetor	1,147	5	5,74

5.5.2-Componente Analógica

A componente analógica (Figura 38), relativa à componente de receção, quando ativa, consome no total cerca de 730mA. Este é o valor de corrente fornecido à placa responsável por fornecer as alimentações aos restantes circuitos e que opera a partir de uma tensão de 7 V. Desta forma, a potência total fornecida à componente analógica de receção é de 5,11 W. A maior parte deste consumo deve-se à placa da ADC que no total consome cerca de 500mA, sendo que o restante se destina ao LNA e ao amplificador do circuito de acondicionamento de sinal de relógio. Estes dados vão ao encontro daquilo que foi referido no capítulo **Conceitos Fundamentais** relativamente ao elevado consumo das ADCs a amostrar diretamente em RF. No que diz respeito à componente analógica de transmissão, esta contém apenas um amplificador que consome aproximadamente 125 mA com alimentação de 5 V, ou seja, fornece-se cerca de 635mW.

5.6-Interoperabilidade do Transmissor

Um dos testes iniciais efetuados ao transmissor foi testar a sua interoperabilidade com um transceptor comercial convencional cujos parâmetros de transmissão fossem compatíveis, isto é, modulação, frequência e ritmo de transmissão. Para isso utilizou-se um SoC da Texas Instruments – CC1110 que contém um microcontrolador 8051 [43] e que é usado numa placa de desenvolvimento – SMARTRF04EB também da Texas Instruments [59] (Figura 53).

Para efetuar o teste de comunicação configuraram-se os dois rádios com os mesmos parâmetros de transmissão (modulação - OOK, frequência – 433,715 MHz e ritmo de transmissão – 108kbps) e colocou-se o transmissor a efetuar o envio contínuo de pacotes com dados pré-definidos. Seguidamente recorreu-se a uma ferramenta disponibilizada pela Texas Instruments – SmartRF Packet Sniffer - que permite configurar os seus rádios com a capacidade de fazer o rastreamento de pacotes e verificou-se que os pacotes detetados correspondiam aos pacotes enviados pela FPGA. Deste modo, efetuou-se uma prova de conceito de interoperabilidade entre um *all-digital transmitter* e um transceptor de rádio convencional.

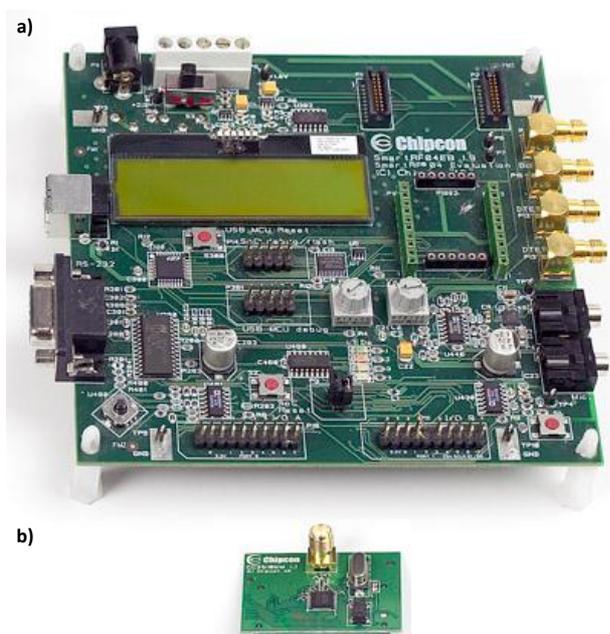


Figura 53 – a) Placa de desenvolvimento SMART04EB; b) *Transceiver* CC110 (retirado de [59]).

Neste capítulo apresentaram-se os resultados experimentais relevantes, onde se discutiram os seguintes aspetos:

- Flexibilidade do sistema relativamente à frequência e ritmo de transmissão;
- Taxa de erros da transmissão;
- Sinal de relógio fornecido à ADC;
- Estatísticas de ocupação da FPGA;
- Dados de consumo energético;
- Interoperabilidade com um transceptor de rádio comercial.

6 - Conclusão e Trabalho Futuro

Este capítulo encerra esta dissertação e encontra-se dividido em duas partes: Conclusão e Trabalho Futuro. Na primeira, é feito um resumo geral do trabalho, dos resultados alcançados e são identificadas algumas limitações do sistema desenvolvido. Na secção de Trabalho Futuro são apresentados alguns aspetos acerca de possíveis melhorias para o sistema desenvolvido e algumas linhas de trabalho em aberto associadas.

6.1-Conclusão

O principal objetivo deste trabalho foi a construção de um sistema de rádio digital e flexível, baseado em FPGA, para *white spaces* UHF.

Começou-se por fazer abordagem de alguns conceitos essenciais para contextualizar o trabalho em questão. Foi introduzido o conceito de *white spaces* assim como as suas vastas aplicações com enorme potencial. Abordou-se o conceito de SDR e as arquiteturas de transmissão e receção associadas, com especial atenção para as que foram usadas no contexto deste trabalho: *all-digital transmitter* e *bandpass sampling receiver*. O tema dos rádios cognitivos encerrou esta secção e agregou todos os conceitos anteriores, mencionando aquele que será o rádio do futuro, capaz de se adaptar e reconfigurar a diversos parâmetros consoante as necessidades de transmissão.

Posteriormente efetuou-se uma descrição da arquitetura do sistema, à qual se seguiu uma explicação de todos os detalhes da implementação em concreto. As arquiteturas de transmissão implementadas foram apresentadas fazendo a ligação entre a componente analógica e a componente digital.

Relativamente aos resultados, estes comprovam que os objetivos foram alcançados com sucesso, pois conseguiu-se desenvolver um sistema de rádio flexível no que diz respeito ao ritmo de transmissão e à frequência da portadora. É importante referir que apesar da modulação usada para o sistema de transmissão/receção ser fixa (OOK), a arquitetura do transmissor permite que este seja facilmente adaptável a uma modulação do tipo FSK. A interoperabilidade entre o transmissor desenvolvido e um transceptor de rádio convencional foi conseguida e é também um aspeto importante a salientar. Os dados estatísticos da ocupação da FPGA são extremamente aliciantes, pois conseguiu-se

implementar todo o sistema ocupando apenas 1% e 2% do total de recursos no caso do transmissor e recetor, respetivamente. Estes dados evidenciam a importância das FPGAs, permitindo que mais funcionalidades sejam desenvolvidas. No que concerne a limitações, estas prendem-se com o consumo de energia, pois tanto o transmissor como o recetor apresentam consumos relativamente elevados. No entanto, no caso específico do recetor existiu outro fator limitativo relacionado com a falta de qualidade do sinal de relógio fornecido à ADC. Desta forma, regista-se aqui uma limitação relacionada com as PLLs internas da FPGA, devido ao elevado *jitter* dos sinais provenientes destas.

Em suma, este trabalho de dissertação representa uma contribuição para a implementação de dispositivos de rádio flexíveis e adaptáveis para operar na banda dos *white spaces* UHF.

6.2-Trabalho Futuro

O transmissor desenvolvido apresenta flexibilidade em termos da frequência da portadora e do ritmo de transmissão, no entanto, recorrendo aos sinais de relógios existentes na placa XUPV5, apenas foi possível disponibilizar quatro portadoras. No entanto, seria possível gerar as portadoras com maior precisão recorrendo a um gerador de relógio programável. A modulação utilizada para a transmissão - OOK - foi escolhida pela sua simplicidade de implementação, porém, seria interessante tornar o sistema adaptável a outras modulações, como por exemplo FSK ou outras. No caso concreto da modulação FSK o transmissor facilmente se adapta, no entanto seria necessário alterar a arquitetura do recetor. Em termos de flexibilidade seria também interessante acrescentar a possibilidade de alterar a potência do sinal a transmitir consoante as necessidades em termos de alcance.

Tal como se referiu anteriormente, a sensibilidade do recetor é bastante penalizada devido ao sinal de relógio fornecido à ADC, pois este possui um *jitter* elevado. Uma solução podia passar pela utilização de um gerador externo fixo ou programável, permitindo assim aumentar o desempenho do recetor.

Outra possível funcionalidade a adicionar encontra-se relacionada com a deteção e correção de erros de trama, proporcionando uma diminuição do BER.

Por último, tendo em conta que este sistema foi desenvolvido para os *white spaces* UHF, seria interessante incorporar um mecanismo de comunicação a uma base de dados

com informação das frequências livres para transmissão. Ou em alternativa à ligação à base de dados, poder-se-ia implementar um mecanismo de *spectrum sensing*, tornando este sistema num verdadeiro rádio cognitivo. Neste contexto, as FPGAs, por permitirem exploração de paralelismo ao nível das operações, apresentam elevada capacidade para a implementação de mecanismos de *spectrum sensing*.

Anexos

A – *Kit de Desenvolvimento em FPGA – XUPV5*

Neste anexo é apresentada uma fotografia da placa de desenvolvimento em FPGA - XUPV5 usada para implementar a componente digital deste projeto. A Figura 54 apresenta a vista superior da placa onde é possível encontrar a marcação e respectiva legenda dos componentes usados para este projeto.

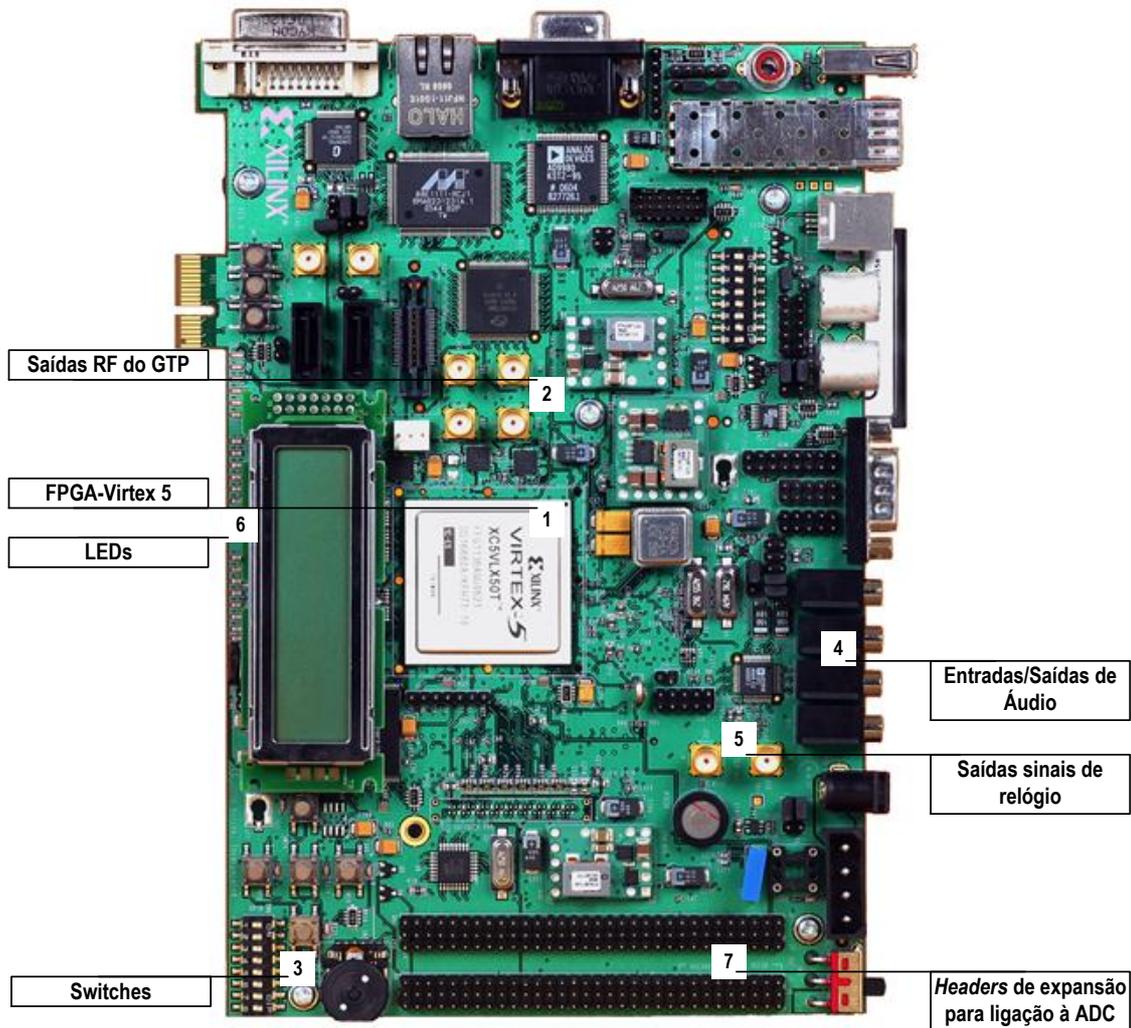


Figura 54 – Fotografia da vista superior da placa XUPV5 com respectiva legenda dos elementos relevantes no contexto deste projeto (retirada de [60]).

B – *Front End* RF – Esquemas Elétricos e Placas de Circuito Impresso

No presente anexo são apresentados os esquemas elétricos dos circuitos desenvolvidos, *layout* das placas assim como uma fotografia da placa final. Todos os *layouts* representados encontram-se à escala 1:1.

B.1 - Filtro Passa Banda

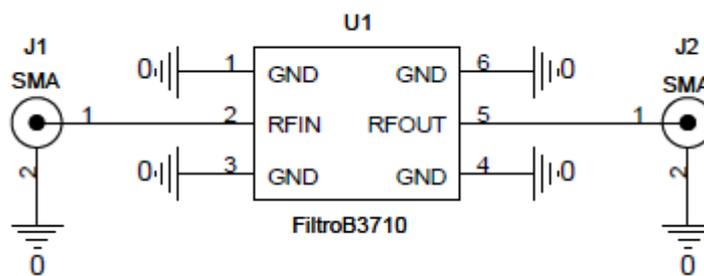


Figura 55 – Esquema elétrico da placa do filtro passa banda.



Figura 56 - *Layout* da camada superior da placa do filtro passa banda.



Figura 57 - Fotografia da camada superior da placa do filtro passa banda.

B.2 - Amplificador de Potência

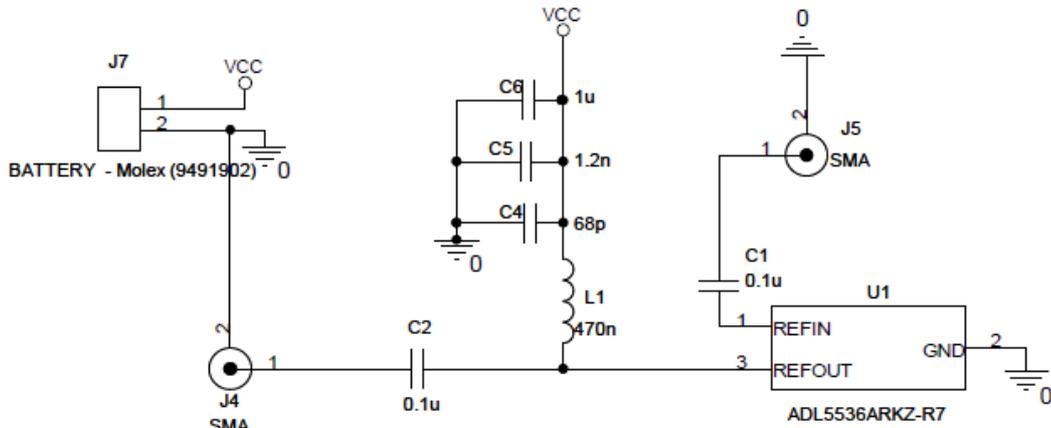


Figura 58 – Esquema elétrico da placa do amplificador de potência.

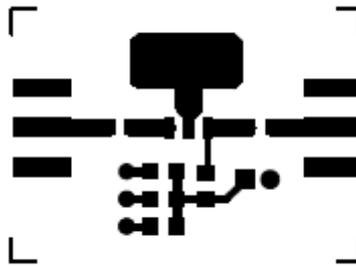


Figura 59 - *Layout* da camada superior da placa do amplificador de potência.

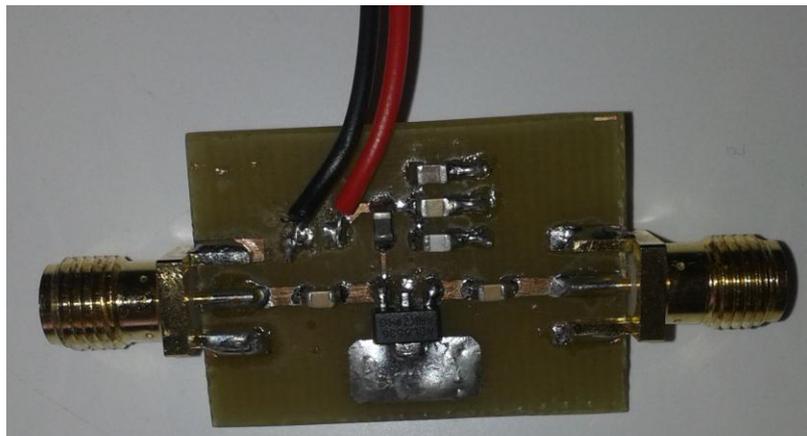


Figura 60 - Fotografia da camada superior da placa do amplificador de potência.

B.3 - ADC

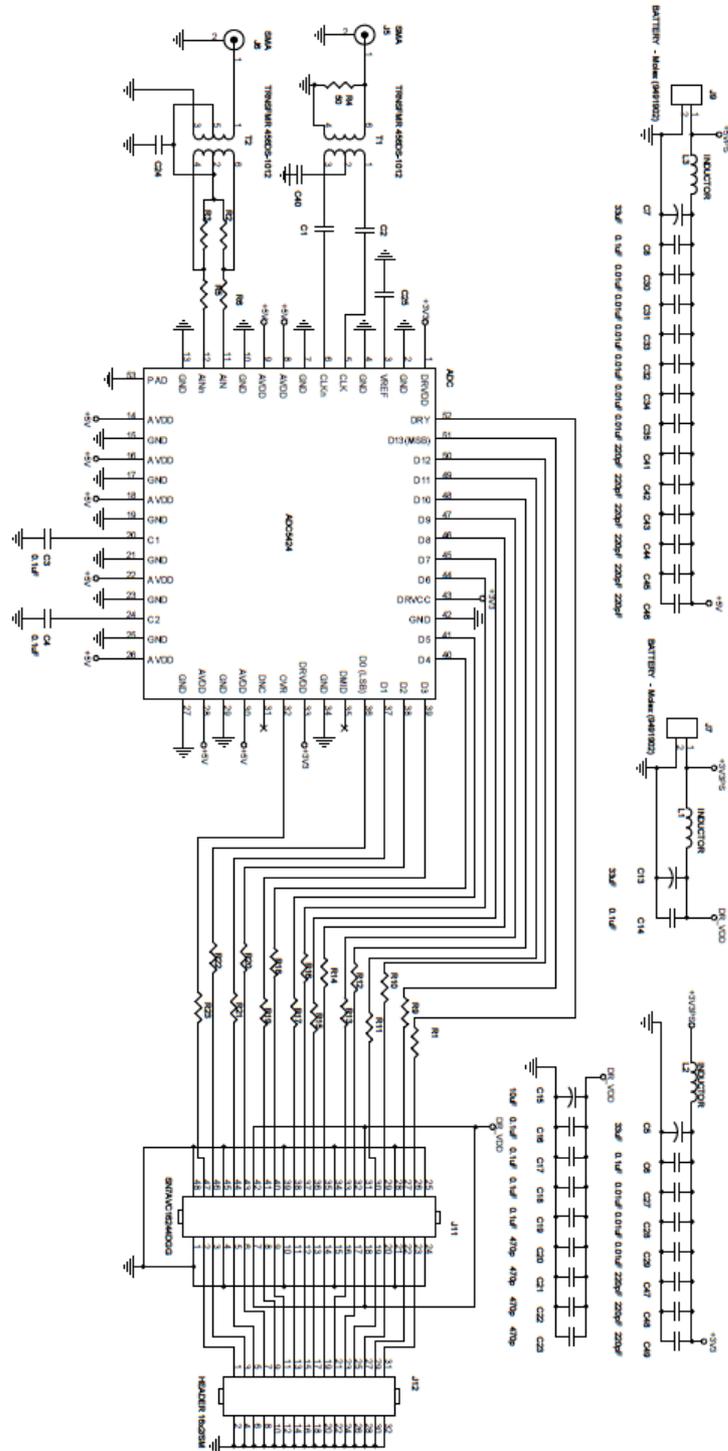


Figura 61 – Esquema elétrico da placa da ADC.

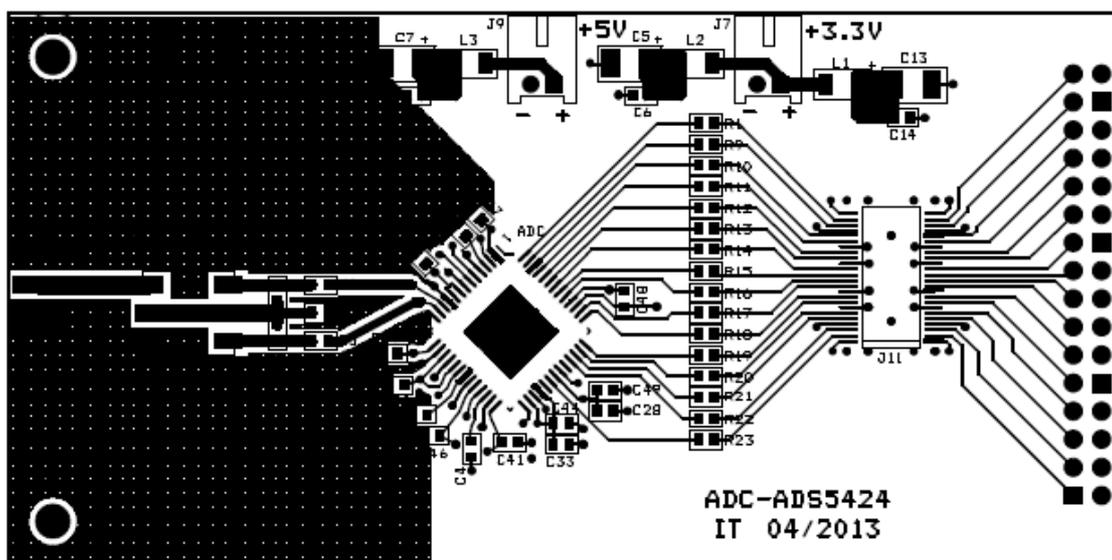


Figura 62 - *Layout* da camada superior da placa da ADC.

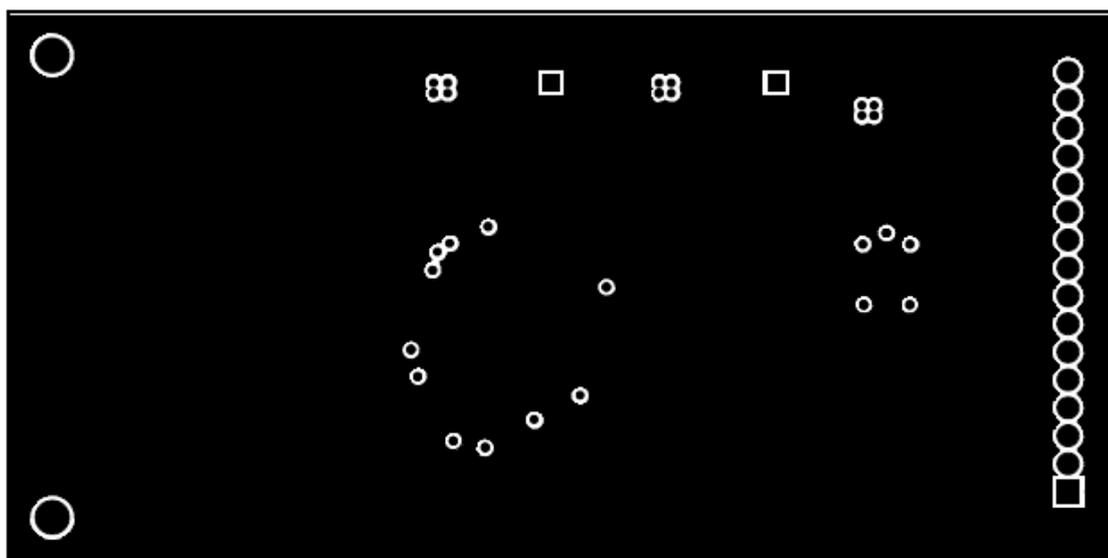


Figura 63 – *Layout* da camada de massa da placa da ADC.

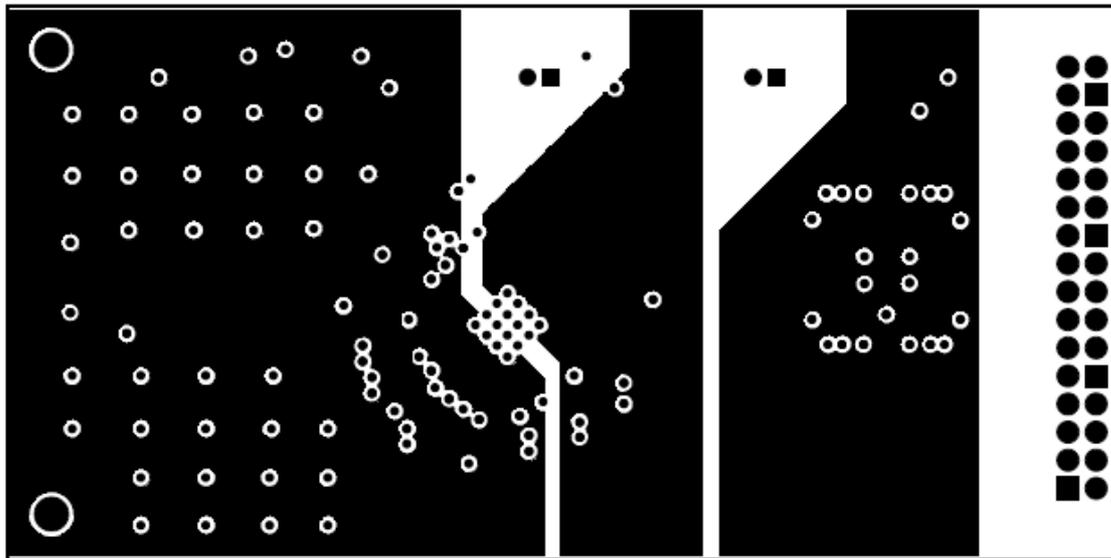


Figura 64 - *Layout* da camada de alimentação da placa da ADC.

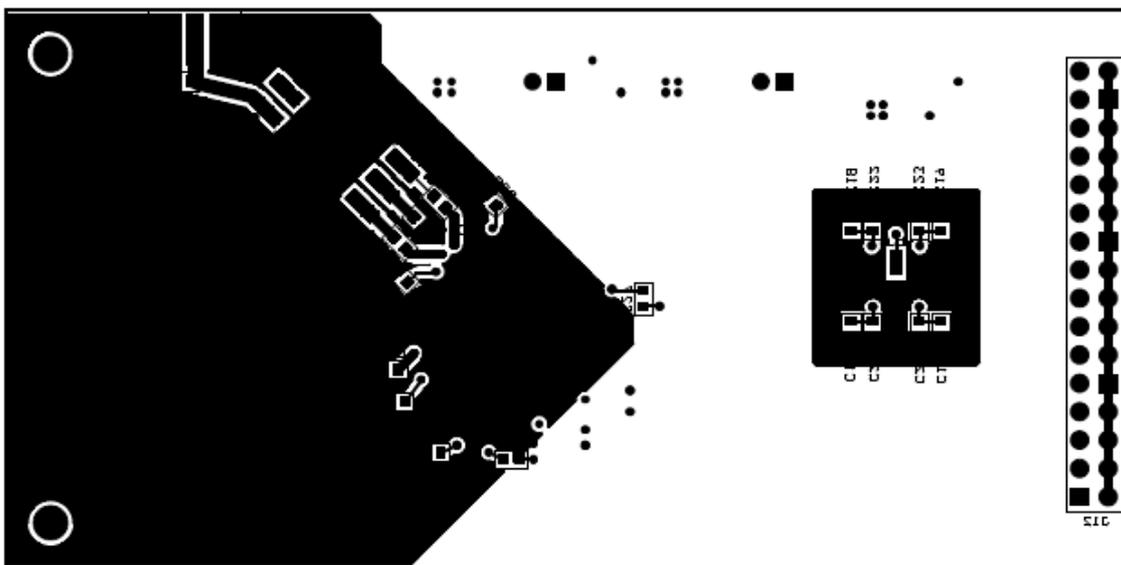


Figura 65 - *Layout* da camada inferior da placa da ADC.

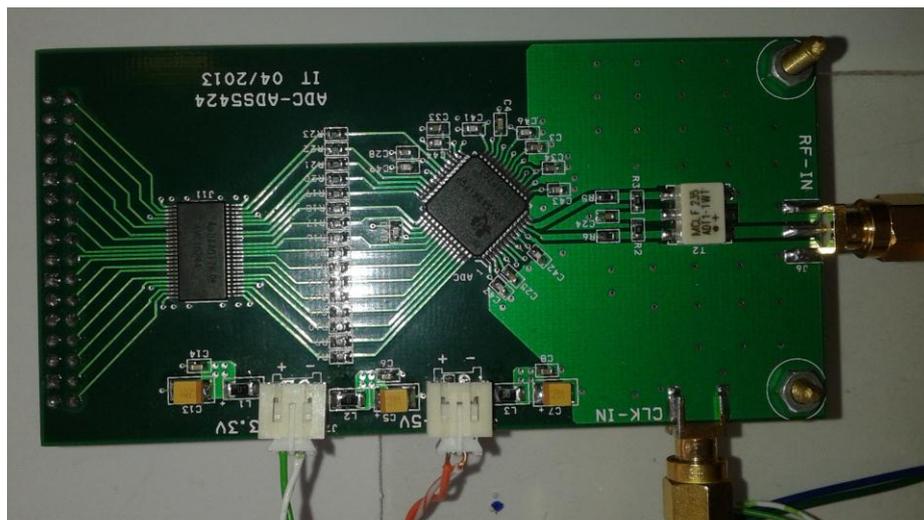


Figura 66 – Fotografia da camada superior da placa da ADC.

B.4 - Acondicionamento do Sinal de Relógio para ADC

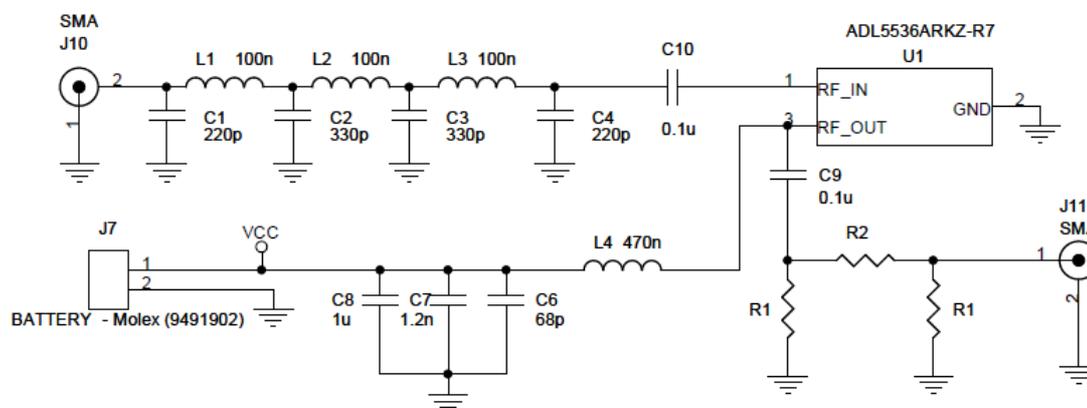


Figura 67 – Esquema elétrico da placa de acondicionamento do sinal de relógio.

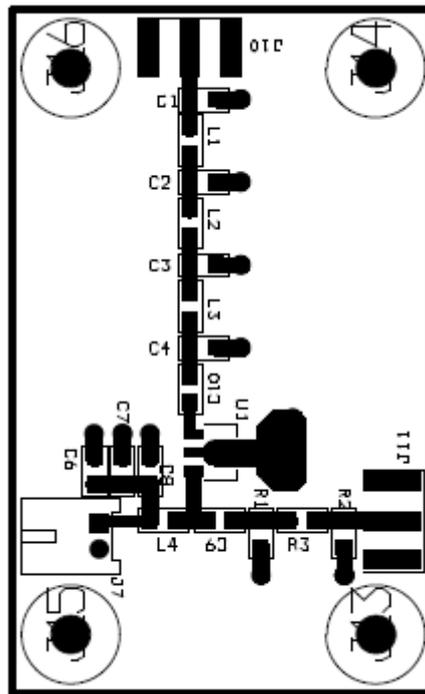


Figura 68 – Layout da camada superior da placa de acondicionamento do sinal de relógio.

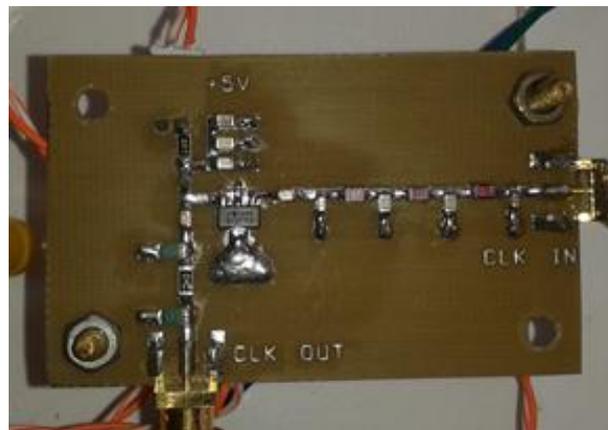


Figura 69 – Fotografia da camada superior da placa de acondicionamento do sinal de relógio.

B.5 - Circuito de Recepção e Transmissão de Sinal RF

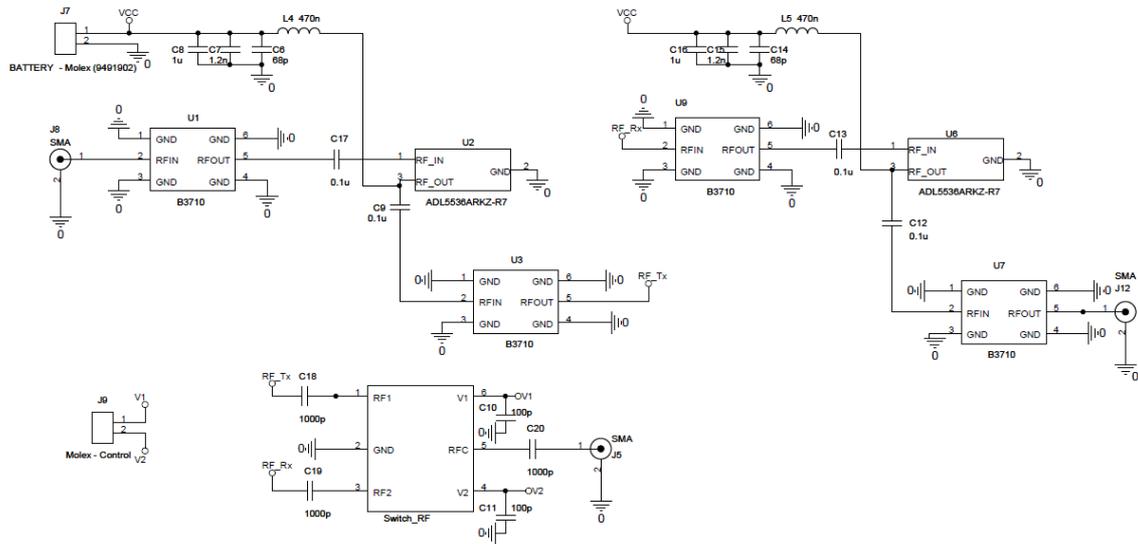


Figura 70 - Esquema elétrico da placa de transmissão e recepção de sinal RF.

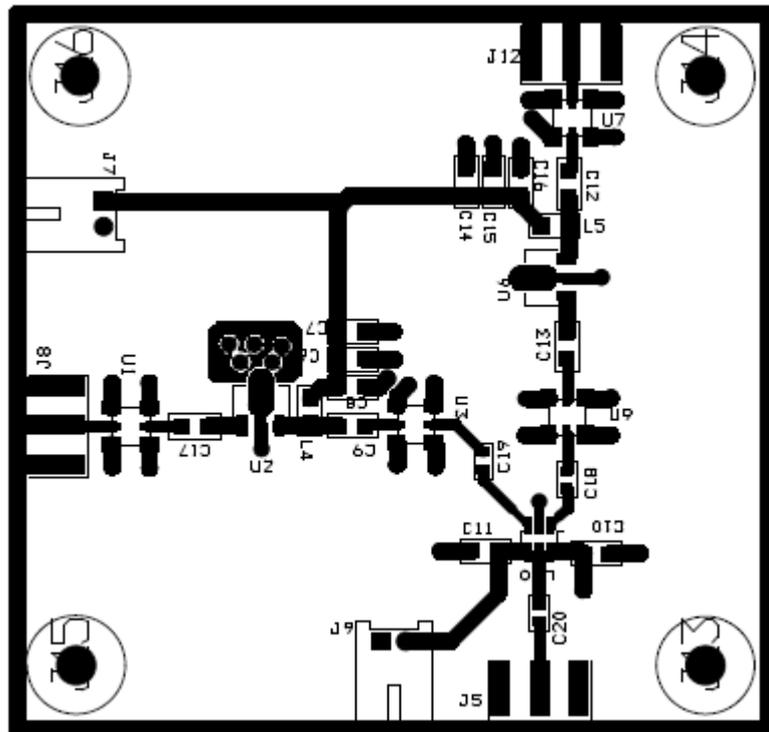


Figura 71 – *Layout* da camada superior da placa de transmissão e recepção de sinal RF.

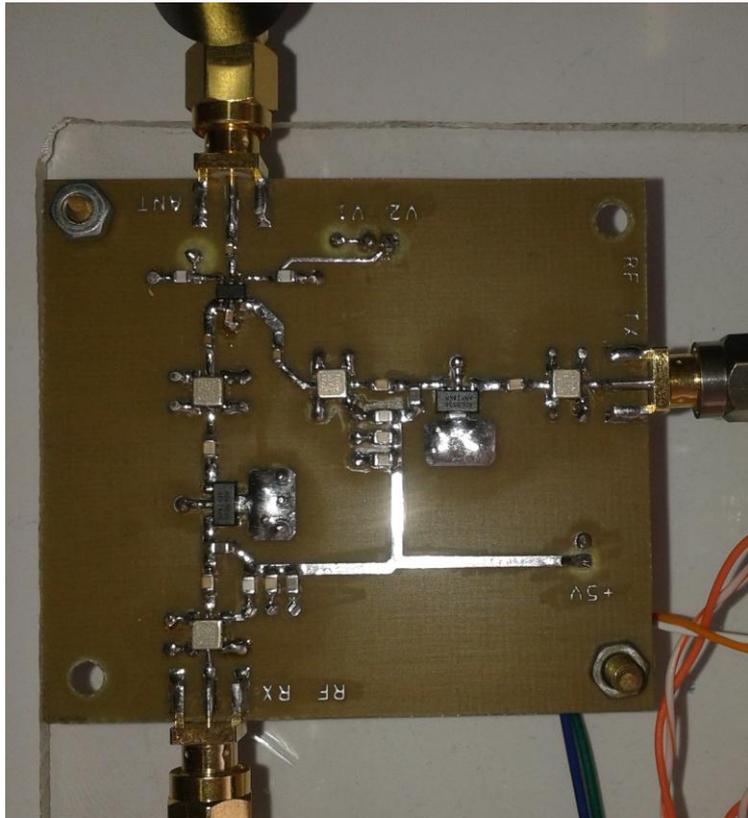


Figura 72 - Fotografia da camada superior da placa de transmissão e recepção de sinal RF.

B.6 - Circuito para Alimentações

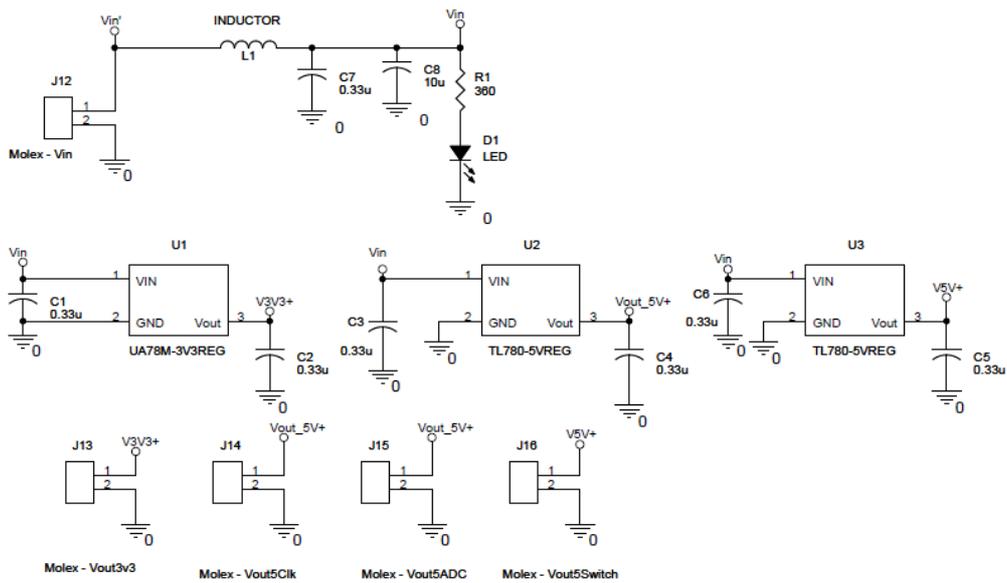


Figura 73 – Esquema elétrico da placa para as alimentações.

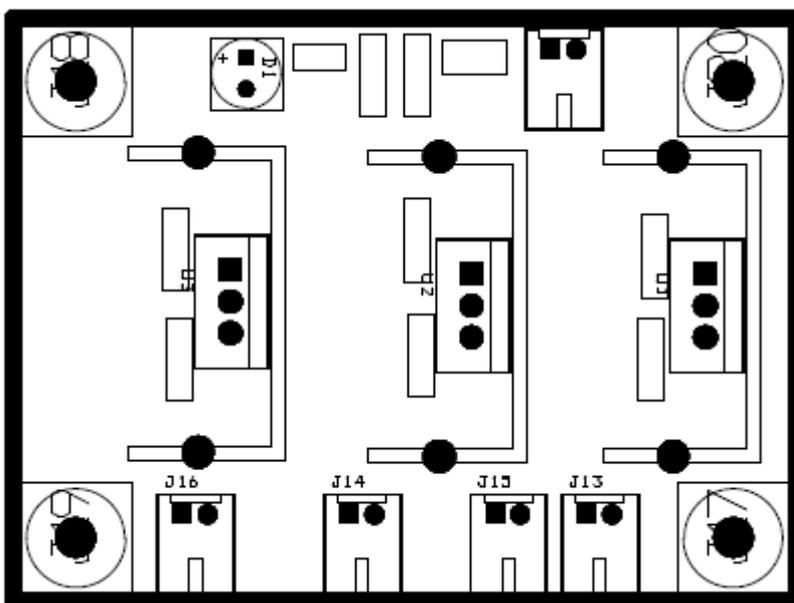


Figura 74 - *Layout* da camada superior da placa para as alimentações.

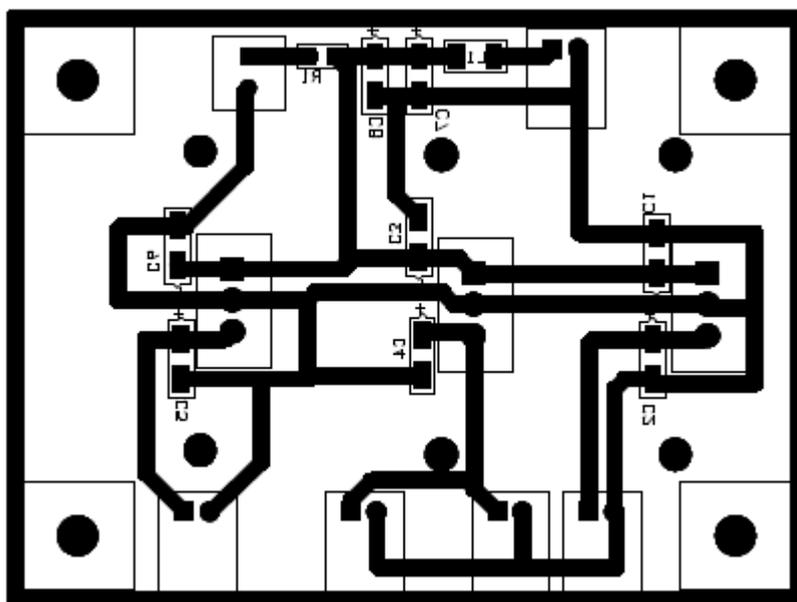


Figura 75 - *Layout* da camada inferior da placa para as alimentações.

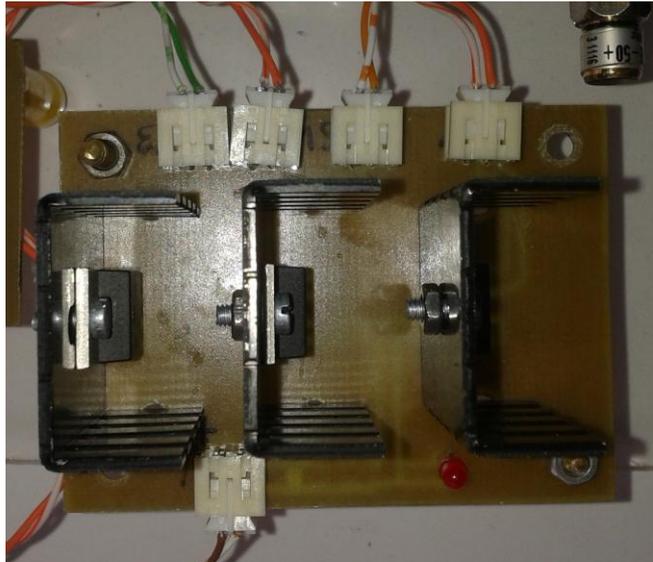


Figura 76 – Fotografia da camada superior da placa para as alimentações.

C – Sistema Final

Na Figura 77 encontra-se o diagrama de blocos de todo o sistema, e na Figura 78 encontra-se uma fotografia do protótipo final. Ambas as figuras possuem numeração dos elementos relevantes e respectiva correspondência na legenda das mesmas.

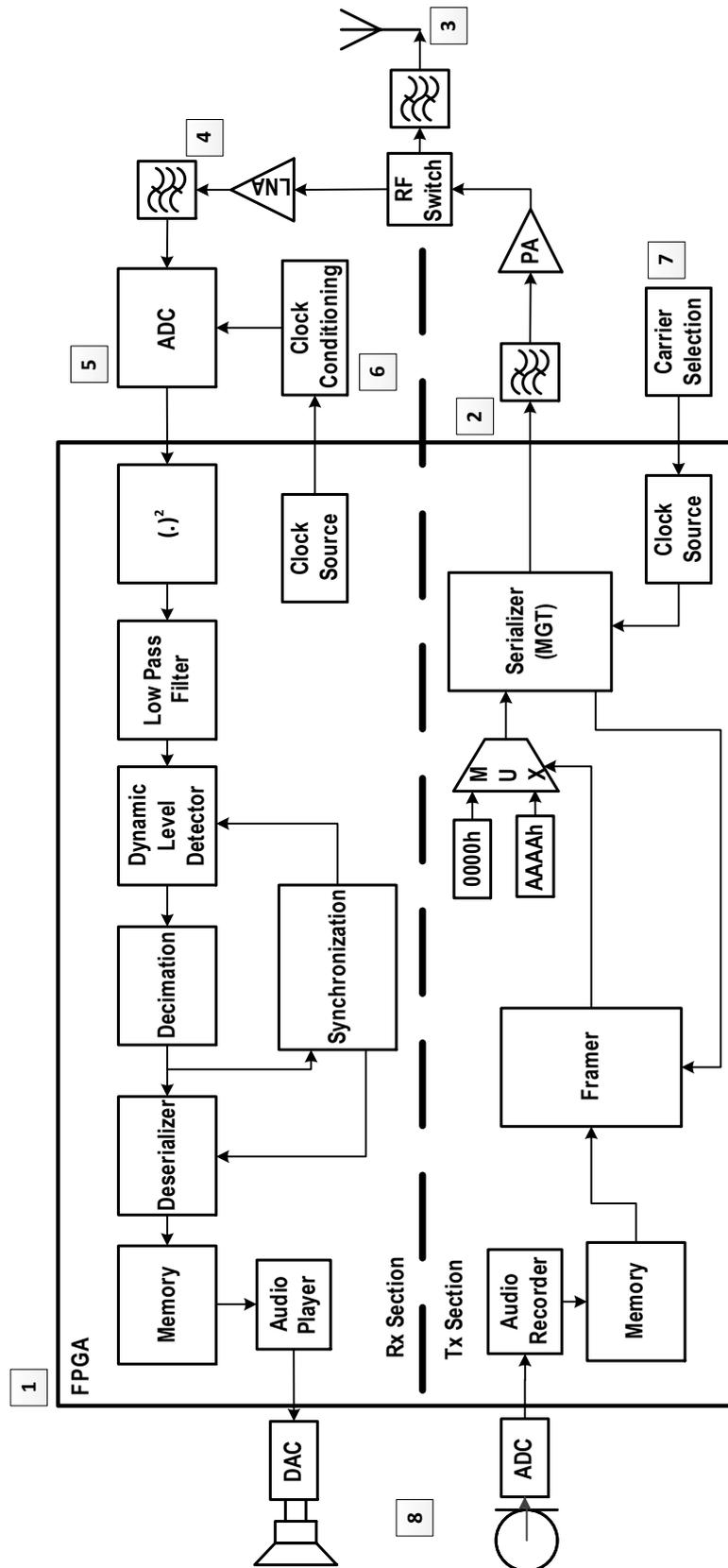


Figura 77 – Diagrama de blocos completo de todo o sistema. Legenda numérica: 1 – FPGA Virtex 5; 2 – Sinal RF a transmitir; 3 – Antena; 4 – Sinal RF a receber; 5 – ADC; 6 – Acondicionamento do sinal de relógio; 7 – Seleção da frequência da portadora; 8 – Gravação e reprodução de áudio.

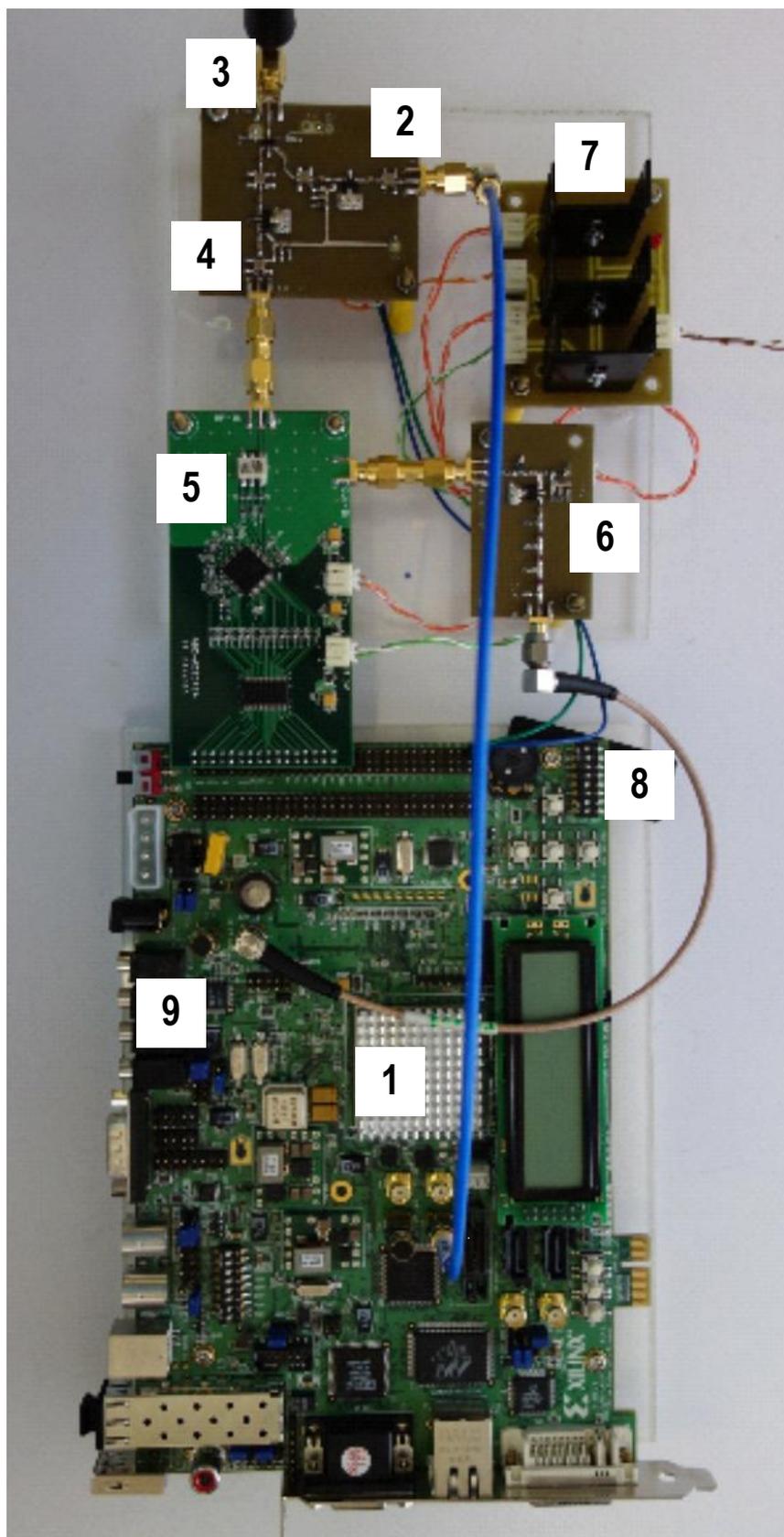


Figura 78 – Fotografia do protótipo final. Legenda numérica: 1 – FPGA Virtex 5; 2 – Sinal RF a transmitir; 3 – Antena; 4 – Sinal RF a receber; 5 – ADC; 6 – Acondicionamento do sinal de relógio; 7 – Alimentações; 8 – Seleção da frequência da portadora; 9 – Gravação e reprodução de áudio.

Referências

1. Lab, B. *Electromagnetic Spectrum*. 23/06/2013]; Available from: <http://www.fcc.gov/MicroWorlds/ALSTool/EMSpec/EMSpec2.html>.
2. ANACOM, *National Table of Frequency Allocation*. 2011.
3. *IEEE Standard for Information technology--Telecommunications and information exchange between systems Local and metropolitan area networks--Specific requirements Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications*. IEEE Std 802.11-2012 (Revision of IEEE Std 802.11-2007), 2012: p. 1-2793.
4. Schwarz, R. *LTE-Advanced Technology Introduction White Paper*. 2012 [cited 9/7/2013]; Available from: http://cdn.rohde-schwarz.com/dl_downloads/dl_application/application_notes/1ma169/1MA169_3E.pdf.
5. Schwarz, R. *802.11ac Technology Introduction White Paper*. 2012 [cited 9/7/2013]; Available from: http://cdn.rohde-schwarz.com/dl_downloads/dl_application/application_notes/1ma192/1MA192_7e.pdf.
6. Schwarz, R. *Wireless Gigabit – IEEE 802.11ad*. 12/07/2013]; Available from: http://www.rohde-schwarz.com/en/solutions/wireless-communications/wlan-wifi/in-focus/wireless-gigabit_106736.html.
7. Akyildiz, I.F., et al., *NeXt generation/dynamic spectrum access/cognitive radio wireless networks: A survey*. *Computer Networks*, 2006. **50**(13): p. 2127-2159.
8. Morgado, A. and N.B. Carvalho. *White spaces communications in Europe. XXXth URSI General Assembly and Scientific Symposium, 2011*. 2011.
9. António Jorge Morgado, N.B.d.C., *White Space Regulation and Opportunities*. URSI Portugal, 2012.
10. Gerami, C., N. Mandayam, and L. Greenstein. *Backhauling in TV White Spaces*. in *IEEE Global Telecommunications Conference (GLOBECOM 2010)*, 2010. 2010.
11. Flynn, P., *TV White Space - Potentials and Realities*. Texas Instruments, 2013.

12. IEEE. *Enabling Rural Broadband Wireless Access Using Cognitive Radio Technology in TV Whitespaces*. 23/06/2013]; Available from: <http://www.ieee802.org/22/>.
13. IEEE. *Wireless LAN in the TV White Space*. 23/06/2013]; Available from: http://www.ieee802.org/11/Reports/tgaf_update.htm.
14. *Spectrum Database*. 11/06/2013]; Available from: <http://www.google.org/spectrum/whitespace/>.
15. *WhiteSpace Alliance*. 11/06/2013]; Available from: <http://www.whitespacealliance.org/>.
16. Mitola, J., *The software radio architecture*. IEEE Communications Magazine, 1995. **33**(5): p. 26-38.
17. ITU-R, *Definitions of Software Defined Radio (SDR) and Cognitive Radio System (CRS)*. 2009.
18. *Wireless Innovation*. 11/06/2013]; Available from: <http://www.wirelessinnovation.org/>.
19. Nesimoglu, T. *A review of Software Defined Radio enabling technologies*. in *Mediterranean Microwave Symposium (MMS) 2010*. 2010.
20. Cruz, P., N.B. Carvalho, and K.A. Remley, *Designing and Testing Software-Defined Radios*. IEEE Microwave Magazine, 2010. **11**(4): p. 83-94.
21. Silva, N.V., et al. *Evaluation of an FPGA-based Reconfigurable SoC for All-Digital Flexible RF Transmitters*. *2012 15th Euromicro Conference on in Digital System Design (DSD)*. 2012.
22. Cruz, P.M.D., *Caracterização de Sistemas para Software Defined Radio*, in *Departamento de Electrónica, Telecomunicações e Informática*. 2008, Universidade de Aveiro.
23. III, J.M., *Cognitive Radio - An Integrated Agent Architecture for Software Defined Radio*, in *Teleinformatics*. 2000, Royal Institute of Technology (KTH) - Sweden.
24. Haykin, S., *Cognitive radio: brain-empowered wireless communications*. IEEE Journal on Selected Areas in Communications, 2005. **23**(2): p. 201-220.
25. Radio-Electronics.com. *5G Mobile / Cellular Technology*. 2013 7/7/2013]; Available from: <http://www.radio-electronics.com/info/cellulartelecomms/5g-mobile-cellular/technology-basics.php>.

26. Ribeiro, D.C.A., *Sistema de Medida Analógico-Digital para Software-Defined Radios*, in *Departamento de Electrónica, Telecomunicações e Informática*. 2011, Universidade de Aveiro.
27. Janevski, T. *5G Mobile Phone Concept*. *6th IEEE in Consumer Communications and Networking Conference, 2009. CCNC 2009*. 2009.
28. Dharwadkar, S.N. and N. Masood. *Next Generation Network*. *IEEE International Symposium on Consumer Electronics, 2007. ISCE 2007..* 2007.
29. Lu, W.W., *An open baseband processing architecture for future mobile terminal design*. *IEEE Wireless Communications*, 2008. **15**(2): p. 110-119.
30. InfoWorld. *Tomorrow's 5g cell phone*. 2013 7/7/2013]; Available from: <http://www.infoworld.com/t/networking/tomorrows-5g-cell-phone-007?page=0,2>.
31. Ghannouchi, F.M., *Power amplifier and transmitter architectures for software defined radio systems*. *IEEE Circuits and Systems Magazine*, 2010. **10**(4): p. 56-63.
32. Silva, N.V., A.S.R. Oliveira, and N.B. Carvalho. *Evaluation of pulse modulators for all-digital agile transmitters*. *IEEE MTT-S International Microwave Symposium Digest (MTT), 2012*. 2012.
33. Silva, N.V., et al., *A Novel All-Digital Multichannel Multimode RF Transmitter Using Delta-Sigma Modulation*. *IEEE Microwave and Wireless Components Letters*, 2012. **22**(3): p. 156-158.
34. *RFID (Radio Frequency IDentification)*. 14/07/2013]; Available from: http://www-igm.univ-mlv.fr/~dr/XPOSE2007/mmadegar_rfid/communication_modulation-des-signaux.html.
35. Zhuan, Y., J. Grosspietsch, and G. Memik. *An FPGA Based All-Digital Transmitter with Radio Frequency Output for Software Defined Radio*. in *Design, Automation & Test in Europe Conference & Exhibition, 2007. DATE '07*. 2007.
36. Xuecheng, Q. *Choice of sampling frequency for bandpass-sampling receiver*. in *IEEE 16th International Symposium on Personal, Indoor and Mobile Radio Communications, 2005. PIMRC 2005*. 2005.
37. Sun, Y.-R. and S. Signell, *Effects of Noise and Jitter in Bandpass Sampling*. *Analog Integrated Circuits and Signal Processing*, 2004. **42**(1): p. 85-97.

38. Cruz, P.M. and N.B. Carvalho. *Modeling band-pass sampling receivers nonlinear behavior in different Nyquist zones*. *IEEE MTT-S International in Microwave Symposium Digest (MTT), 2010*. 2010.
39. Cruz, P.M. and N.B. Carvalho, *Wideband Behavioral Model for Nonlinear Operation of Bandpass Sampling Receivers*. *IEEE Transactions on Microwave Theory and Techniques*, , 2011. **59**(4): p. 1006-1015.
40. Vaughan, R.G., N.L. Scott, and D.R. White, *The theory of bandpass sampling*. *IEEE Transactions on Signal Processing*, 1991. **39**(9): p. 1973-1984.
41. Electronics, H.F. *Jitter—Understanding it, Measuring It, Eliminating It. Part 1: Jitter Fundamentals*. 23/06/2013]; Available from: http://www.highfrequencyelectronics.com/Archives/Apr04/HFE0404_Hancock.pdf
42. Instruments, N. *Understanding and Characterizing Timing Jitter*. 23/06/2013]; Available from: <http://www.ni.com/white-paper/14227/en/>.
43. Instruments, T. *CC1110F32 - Low-Power SoC (System-on-Chip) with MCU, Memory, Sub-1 GHz RF Transceiver, and USB Controller*. 29/06/2013]; Available from: <http://www.ti.com/lit/ds/symlink/cc1110f32.pdf>.
44. 15/06/2013]; Available from: <http://research.edm.uhasselt.be/jori/thesis/onlinethesis/chapter3.html>.
45. Carlson, A.B., P.B. Crilly, and J.C. Rutledge, *Communication systems: an introduction to signals and noise in electrical communication*. 2002: McGraw-Hill.
46. Rito, P.F.V., *Recetor SDR para Comunicações DSRC*, in *Departamento de Electrónica, Telecomunicações e Informática*. 2011, Universidade de Aveiro.
47. Xilinx. *Xilinx University Program XUPV5-LX110T Development System*. 23/06/2013]; Available from: <http://www.xilinx.com/univ/xupv5-lx110t.htm>.
48. Devices, A. *AD1981B - AC '97 SoundMAX® Codec* 23/06/2013]; Available from: http://www.xilinx.com/products/boards/ml505/datasheets/87560554AD1981B_c.pdf.
49. Intel. *Audio Codec '97*. 23/06/2013]; Available from: http://www-inst.eecs.berkeley.edu/~cs150/Documents/ac97_r23.pdf.
50. OpenCores. *OpenCores - AC 97 Controller IP Core*. 11/07/2011 24/07/2013]; Available from: <http://opencores.org/project,ac97>.

51. Xilinx. *Virtex-5 FPGA RocketIO GTP Transceiver User Guide*. 23/06/2013]; Available from: http://www.xilinx.com/support/documentation/user_guides/ug196.pdf.
52. EPCOS. *SAW filter B3710*. 23/06/2013]; Available from: <http://www.epcos.com/inf/40/ds/ae/B3710.pdf>.
53. Devices, A. *ADL5536*. 23/06/2013]; Available from: http://www.analog.com/static/imported-files/data_sheets/ADL5536.pdf.
54. Solutions, R. *1/4 Wave Antenna SMA 433MHz*. 23/06/2013]; Available from: <http://www.rfsolutions.co.uk/acatalog/FLEXI-SMA-433-1.pdf>.
55. Instruments, T. *ADS5424*. 23/06/2013]; Available from: <http://www.ti.com/lit/ds/symlink/ads5424.pdf>.
56. Instruments, T. *EVM - ADS5424*. 23/06/2013]; Available from: <http://www.ti.com/lit/ug/slwu020b/slwu020b.pdf>.
57. Devices, A. *ADL5535*. [cited 23/06/2013]; Available from: http://www.analog.com/static/imported-files/data_sheets/ADL5535.pdf.
58. MA-COM. *MASW-007935*. 23/06/2013]; Available from: <http://www.macomtech.com/DataSheets/MASW-007935.pdf>.
59. Instruments, T. *SMARTRF04EB Development Kit*. 29/06/2013]; Available from: <http://www.ti.com/lit/ug/swru039b/swru039b.pdf>.
60. Xilinx. *ML505 - Front Board*. 9/7/2013]; Available from: http://www.xilinx.com/images/boards/ml505/ml505_front.jpg.