



Escuela Técnica
Superior
de Ingeniería de
Telecomunicación

CIRCUITOS Y FUNCIONES ELECTRÓNICAS

Área de Electrónica

Departamento de Electrónica, Tecnología de
Computadoras y Proyectos

Universidad Politécnica de Cartagena

Autores:

Ginés Doménech Asensi

Vicente Garcerán Hernández

Juan Hinojosa Jiménez

José Alejandro López Alcantud

Juan de la Cruz Martínez-Cabeza de Vaca Alajarín

Isidro Villó Pérez

Juan Zapata Pérez



Universidad
Politécnica
de Cartagena

UNIVERSIDAD POLITÉCNICA DE CARTAGENA

DEPARTAMENTO DE ELECTRÓNICA, TECNOLOGÍA DE
COMPUTADORAS Y PROYECTOS

ÁREA DE ELECTRÓNICA

Circuitos y Funciones Electrónicas

Autores:

Ginés DOMÉNECH ASENSI

Vicente GARCERÁN HERNÁNDEZ

Juan HINOJOSA JIMÉNEZ

José Alejandro LÓPEZ ALCANTUD

Juan de la Cruz MARTÍNEZ-CABEZA DE VACA ALAJARÍN

Isidro VILLÓ PÉREZ

Juan ZAPATA PÉREZ

© 2019, Ginés Doménech Asensi, Vicente Garcerán Hernández, Juan Hinojosa Jiménez, José Alejandro López Alcantud, Juan de la Cruz Martínez-Cabeza de Vaca Alajarín, Isidro Villó Pérez, Juan Zapata Pérez.

© 2019, Universidad Politécnica de Cartagena
CRAI Biblioteca
Plaza del Hospital, 1
30202, Cartagena
Teléfono: 968325908
Correo-e: ediciones@upct.es



Primera edición, 2019
ISBN: 978-84-16325-90-0



Esta obra está bajo una licencia de Reconocimiento-NO comercial-SinObraDerivada (by-nc - nd): no se permite el uso comercial de la obra original ni la generación de obras derivadas. http://es.creativecommons.org/blog/wp-content/uploads/2013/04/by-nc-nd.eu_petit.png

Índice General

Índice de Figuras	xi
Índice de Tablas	xxiii
Prólogo	xxv
1 El Amplificador Operacional: Introducción	1
1.1 Introducción	1
1.2 Amplificadores Electrónicos	1
1.2.1 Ganancia de tensión, de corriente y de potencia	2
1.2.2 Modelo, o circuito, equivalente de un amplificador de tensión	3
1.2.3 Efectos de las resistencias de entrada y de salida	4
1.2.4 Respuesta en frecuencia y ancho de banda	5
1.2.5 Cuadro resumen de los tipos de amplificadores de una entrada.	7
1.3 El amplificador diferencial	10
1.4 El amplificador operacional	13
1.5 El amplificador inversor	18
2 Circuitos Amplificadores Básicos	31
2.1 Introducción	31
2.2 El Amplificador no inversor	31
2.3 Circuito seguidor de tensión	34
2.4 Circuito convertidor tensión-corriente	35
2.5 Circuito convertidor corriente-tensión	37
2.6 Amplificador sumador inversor	40
2.7 Amplificador sumador no inversor	41
3 Otros Circuitos con Amplificadores Operacionales	49
3.1 Amplificador derivador inversor	49
3.2 Amplificador integrador inversor	50
3.3 Amplificador diferencial	52
3.4 El amplificador de instrumentación	55
3.5 Circuitos sin realimentación negativa	58
3.5.1 Circuito comparador	59
3.5.2 Circuito disparador de Schmitt	59
4 Reguladores de Tensión	69

4.1	Introducción a los reguladores de tensión	69
4.2	Tipos de fuentes de alimentación	69
4.3	Parámetros de los reguladores	70
4.4	Fuentes no reguladas	73
4.4.1	Rectificadores de media onda y de onda completa	73
4.5	Fuentes reguladas lineales	77
4.5.1	Reguladores lineales paralelo	78
4.5.2	Reguladores lineales serie	79
4.5.3	Ventajas e inconvenientes de los reguladores lineales	81
4.6	Reguladores lineales integrados	86
4.7	Reguladores conmutados	91
4.7.1	Regulador reductor (<i>buck</i>)	92
4.7.2	Reguladores elevadores (<i>boost</i>)	93
4.7.3	Regulador reductor-elevador (<i>buck-boost</i>)	94
4.7.4	Reguladores con transformador	95
4.8	Reguladores conmutados integrados	106
4.8.1	Circuitos de control	106
4.8.2	Ejemplos	107
5	Algebra de Boole y Funciones Lógicas	115
5.1	Introducción	115
5.2	Reglas, leyes y teoremas	115
5.3	Variables y funciones lógicas	117
5.3.1	Función canónica	117
5.3.2	Tabla de verdad	118
5.3.3	Conversión de función no canónica a canónica	118
5.4	Funciones lógicas básicas	120
5.5	Familias lógicas	122
5.5.1	Tensión de alimentación continua	122
5.5.2	Niveles lógicos	123
5.5.3	Inmunidad al ruido. Margen de ruido	123
5.5.4	Disipación de potencia.	124
5.5.5	Retardos de propagación.	124
5.5.6	Carga y <i>fan-out</i>	125
5.5.7	Familia lógica TTL	127
5.5.8	Familia lógica CMOS	130
6	Análisis y Síntesis de Funciones Lógicas	139
6.1	Introducción	139
6.2	Análisis de funciones lógicas	139
6.2.1	Determinación de la expresión booleana de un circuito lógico	139
6.2.2	Determinación de la tabla de verdad de un circuito lógico	140
6.2.3	Conversión de función canónica a tabla de verdad	141
6.2.4	Conversión de tabla de verdad a función canónica	142
6.3	Simplificación de circuitos lógicos	145
6.3.1	Simplificación mediante el álgebra de Boole	145
6.3.2	Mapas de Karnaugh	147

6.3.3	Simplificación mediante mapas de Karnaugh	149
6.4	Síntesis de circuitos lógicos	156
6.4.1	Circuitos lógicos combinacionales básicos	156
6.4.2	Síntesis de lógica combinacional	159
7	Funciones Combinacionales no Aritméticas	165
7.1	Introducción	165
7.2	Comparadores de magnitud	165
7.2.1	Concepto	165
7.2.2	Implementación de un comparador básico mediante puertas lógicas	165
7.2.3	Comparador integrado	166
7.3	Codificadores	168
7.3.1	Concepto	168
7.3.2	Implementación de un codificador decimal-BCD sin prioridad mediante puertas lógicas	169
7.3.3	Codificador integrado	171
7.4	Decodificadores	173
7.4.1	Concepto	173
7.4.2	Implementación de un decodificador BCD-decimal mediante puertas lógicas	173
7.4.3	Decodificador integrado	175
7.5	Multiplexores	177
7.5.1	Concepto	177
7.5.2	Implementación de un multiplexor de cuatro entradas mediante puertas lógicas	178
7.5.3	Multiplexor integrado	179
7.6	Demultiplexores	182
7.6.1	Concepto	182
7.6.2	Implementación de un demultiplexor de cuatro salidas mediante puertas lógicas	183
7.6.3	Demultiplexor integrado	184
7.7	Buses	188
7.7.1	Concepto	188
7.7.2	Implementación de un bus de cuatro entradas	188
7.7.3	Bus integrado	189
8	Funciones Combinacionales Aritméticas	193
8.1	Introducción	193
8.2	Sumadores binarios	193
8.2.1	Semisumador binario	193
8.2.2	Sumador completo	195
8.2.3	Sumadores en paralelo con acarreo serie	196
8.2.4	Sumadores en paralelo con acarreo anticipado	198
8.2.5	Sumador en paralelo integrado	200
8.3	Restadores binarios	206
8.3.1	Semirrestador binario	206

8.3.2	Restador completo	207
8.3.3	Suma y resta en complemento a 2	209
8.3.4	Utilización de sumadores para la resta	210
8.3.5	Números negativos	211
8.4	Unidad lógica	212
8.5	Unidad aritmético-lógica	213
8.6	El C.I. 74181: una ALU integrada.	216
9	Circuitos Biestables y Temporizadores	221
9.1	Introducción	221
9.2	El Dispositivo Biestable: Principio de Biestabilidad	222
9.3	El latch SR	226
9.4	El Latch SR síncrono (<i>Gated SR Latch</i>)	232
9.5	El latch D síncrono	235
9.6	El latch JK síncrono	237
9.7	El flip-flop maestro/esclavo	240
9.8	El flip-flop D disparado por flanco	248
9.9	El flip-flop T	253
9.10	Otras estructuras basadas en disparo por flanco	256
9.11	Algunas propuestas comerciales de biestables	257
9.12	Propiedades de operación de los flip-flops	260
9.13	Multivibradores astables: relojes	264
9.14	Multivibradores monoestables	269
10	Registros	279
10.1	Introducción	279
10.2	Registros de desplazamiento de entrada serie	280
10.3	Registros de desplazamiento de entrada en paralelo	284
10.4	Registros de desplazamiento: Soluciones integradas	288
10.5	Los registros de desplazamiento como temporizadores/contadores	296
10.6	El contador en anillo	300
10.7	El contador trenzado en anillo o contador Johnson	303
11	Contadores	309
11.1	Introducción	309
11.2	Contadores Binarios Síncronos	309
11.3	Contadores no Binarios: Contador Módulo 5	315
11.4	Diseño de un Contador Síncrono	318
11.5	Contadores de Código Gray	321
11.6	Contadores Binarios Asíncronos	325
11.7	Descodificación de Contadores Asíncronos	329
11.8	Contadores Asíncronos Reajustables	332
11.9	Contadores en Circuitos Integrados	335

Índice de Figuras

1.1	Esquema básico de un amplificador de tensión (no se muestra la alimentación).	2
1.2	Circuito equivalente de un amplificador de tensión operando en la zona lineal.	3
1.3	Modelo de circuito equivalente para un amplificador de tensión ideal. . .	5
1.4	Medición de la respuesta en frecuencia de un amplificador. Si el amplificador es alimentado con una señal senoidal de frecuencia ω , las señales $v_{in}(t)$ y $v_{out}(t)$ también serán senoidales y oscilarán a la misma frecuencia ω . Por lo tanto, serán de la forma $v_{in}(t) = V_{oin} \text{sen}(\omega t + \theta_{in})$ y $v_{out}(t) = V_{oout} \text{sen}(\omega t + \theta_{out})$	5
1.5	Modulo de la ganancia de tensión en función de la frecuencia.	7
1.6	Los cuatro tipos de amplificadores de una entrada.	8
1.7	Conexión en cascada de dos amplificadores.	10
1.8	Esquema funcional de un amplificador diferencial (no se muestra la alimentación).	11
1.9	Modelo lineal para el amplificador diferencial.	12
1.10	Esquema del amplificador operacional $\mu\text{A} 741$ (Texas Instruments). . . .	14
1.11	Simbología para un amplificador operacional.	14
1.12	Curva característica de transferencia para un amplificador operacional cuasi-ideal.	15
1.13	Diagrama de Bode de la ganancia en lazo abierto del amplificador operacional.	16
1.14	Modelo lineal para el amplificador operacional cuasi-ideal.	16
1.15	Modelo lineal para el amplificador operacional ideal.	17
1.16	Amplificador inversor.	18
1.17	Amplificador inversor con red de realimentación puente T.	20
1.18	El amplificador tiene una capacidad de entrada C_{in}	25
1.19	Modelo de un amplificador para micrófono.	26
1.20	Ejercicio propuesto 46.	27
1.21	Ejercicio propuesto 50.	28
1.22	Ejercicio propuesto 51.	29
2.1	Amplificador no inversor.	31
2.2	Amplificador no inversor con divisor de la señal de la fuente.	33
2.3	Circuito seguidor de tensión.	34
2.4	Circuito convertidor tensión-corriente.	36

2.5	Circuito convertidor corriente-tensión.	37
2.6	Conexión del circuito <i>RCV420</i>	38
2.7	amplificador sumador inversor.	40
2.8	amplificador sumador no inversor.	42
2.9	Ejercicio propuesto 67.	44
2.10	Amplificador no inversor con red de realimentación en puente T.	44
2.11	Ejercicio propuesto 69.	45
2.12	Ejercicio propuesto 70.	45
2.13	Ejercicio propuesto 71.	45
2.14	Ejercicio propuesto 72.	46
2.15	Ejercicio propuesto 73.	46
2.16	Ejercicio propuesto 74.	47
2.17	Circuito convertidor tensión-intensidad.	48
3.1	Amplificador derivador inversor.	49
3.2	Amplificador integrador inversor.	51
3.3	Si $R_2/R_1 = R_4/R_3$ el amplificador se comporta como un amplificador diferencial.	52
3.4	El amplificador de instrumentación.	55
3.5	Amplificador de instrumentación con entrada de corriente.	56
3.6	Circuito integrado INA122 (Cortesía de BURR-BROWN).	57
3.7	a) Circuito comparador con un amplificador operacional. b) Función de transferencia.	59
3.8	a) Circuito disparador de Schmitt. b) Función de transferencia.	59
3.9	Señal de entrada del ejercicio propuesto 90.	61
3.10	Apartado c) del ejercicio propuesto 90.	62
3.11	Ejercicio propuesto 96.	63
3.12	Circuito que resuelve una ecuación diferencial.	64
3.13	Ejercicio propuesto 99.	64
3.14	Ejercicio propuesto 102.	65
3.15	Ejercicio propuesto 103.	65
3.16	Circuito convertido analógico-digital de tres bits.	66
3.17	Ejercicio propuesto 105.	67
3.18	Solución propuesta al ejercicio 106.	68
4.1	Esquema general de una fuente de alimentación.	69
4.2	Esquema general de una fuente de alimentación no regulada.	73
4.3	Rectificador de media onda.	74
4.4	Tensiones y corrientes en el rectificador de media onda.	74
4.5	Circuitos rectificadores de onda completa.	75
4.6	Tensiones y corrientes en el rectificador de onda completa.	75
4.7	Esquema general de una fuente de alimentación regulada.	78
4.8	Regulador paralelo con diodo zener.	78
4.9	Regulador paralelo con transistor.	79
4.10	Regulador lineal serie con transistor y amplificador operacional.	80
4.11	Esquema de un regulador lineal serie con transistor y amplificador operacional.	80

4.12	Esquema de un regulador lineal serie con dos transistores y un amplificador operacional.	81
4.13	Circuito equivalente del regulador paralelo con diodo zener.	83
4.14	Regulador lineal integrado.	86
4.15	Regulador LM7805. Circuito de aplicación: salida de tensión constante. Encapsulados: terminal 1: <i>INPUT</i> , terminal 2: <i>OUTPUT</i> y terminal 3: <i>GND</i>	87
4.16	Regulador 7805. Salida de tensión simétrica.	88
4.17	Regulador 7805. Extracto de la hoja de características.	88
4.18	Regulador 117: salida de tensión regulable.	89
4.19	Regulador integrado LM723 (National Semiconductor). Salida de tensión regulable entre 2 y 7 V.	90
4.20	Diagrama de bloques de una fuente de alimentación conmutada.	92
4.21	Regulador conmutado reductor.	92
4.22	Esquema del regulador elevador <i>boost</i>	93
4.23	Circuitos equivalentes del regulador conmutado elevador cuando el transistor está en conducción y cuando está cortado.	94
4.24	Esquema del regulador reductor-elevador <i>buck-boost</i>	94
4.25	Circuitos equivalentes del regulador conmutado reductor-elevador cuando el transistor está en conducción y cuando está cortado.	95
4.26	Esquema del regulador de retroceso <i>flyback</i>	96
4.27	Esquema del regulador directo <i>forward</i>	97
4.28	Esquema del regulador contrafase <i>push-pull</i>	98
4.29	Esquema del regulador semipuente <i>half-bridge</i>	99
4.30	Esquema del regulador puente <i>bridge</i>	100
4.31	Circuitos equivalentes del regulador conmutado reductor cuando el transistor está en conducción y cuando está cortado.	101
4.32	Formas de onda en el regulador buck en el modo de conducción continuo. i_Q es la corriente en el transistor, i_D es la corriente en el diodo, i_L es la corriente en la bobina, i_C es la corriente en el condensador y v_L es la tensión en la bobina.	101
4.33	Formas de onda en el regulador <i>buck</i> en el modo de conducción discontinuo. i_{SW} es la corriente en el transistor, i_D es la corriente en el diodo e i_L es la corriente en la bobina.	103
4.34	Ejemplo de regulador <i>Buck</i>	104
4.35	Ejemplo de regulador <i>Boost</i>	105
4.36	Control en modo tensión para el regulador <i>buck</i>	107
4.37	Regulador conmutado LT1070 en disposición <i>boost</i>	107
4.38	Regulador conmutado LM78S40 en disposición <i>boost</i>	108
4.39	Regulador conmutado TEA152X.	109
4.40	Regulador conmutado NCP1200.	109
4.41	Tensión de entrada y de salida.	110
4.42	Señales de la simulación del circuito regulador serie de la Figura 4.11	112
5.1	Operadores lógicos: símbolos electrónicos para puertas básicas de dos entradas (salvo puerta NOT, de una entrada) y función lógica que realizan.	121
5.2	Circuito propuesto para el Ej. 150.	121

5.3	Retardos de propagación en una puerta lógica AND.	125
5.4	Salida de una puerta lógica conectada a la entrada de varias puertas. . .	125
5.5	Cargas TTL aplicadas a una puerta excitadora con nivel alto y bajo. Efecto sobre V_{OH} y V_{OL}	126
5.6	Cargas CMOS aplicadas a una puerta excitadora con nivel alto y bajo. Efecto de la carga y descarga del circuito RC resultante.	127
5.7	Esquema del inversor TTL	128
5.8	Esquema de la puerta NAND TTL	129
5.9	Inversor TTL con salida en colector abierto.	130
5.10	Inversor TTL con salida triestado.	131
5.11	Estructuras <i>Pull-Down</i> y <i>Pull-Up</i> típicas de la familia lógica CMOS. .	131
5.12	Asociaciones serie y paralelo de transistores presentes en la familia lógica CMOS.	132
5.13	Inversor CMOS estándar.	132
5.14	Puerta NAND CMOS.	133
5.15	Puerta NOR CMOS.	134
5.16	Puerta CMOS con drenador abierto.	135
5.17	Puerta CMOS con salida triestado.	135
5.18	Esquema CMOS correspondiente al Ej. 152.	136
5.19	Solución al circuito lógico CMOS del Ej. 153.	137
5.20	Circuito lógico CMOS para el Ej. 155.	138
6.1	Obtención de la expresión booleana de un circuito a partir de su estruc- tura de puertas lógicas.	140
6.2	Tabla de verdad correspondiente a la expresión booleana que describe el circuito de la Figura 6.1.	141
6.3	Determinación de la tabla de verdad directamente del circuito	142
6.4	Obtención de la tabla de verdad a partir de la expresión canónica F expresada como minitérminos.	142
6.5	Obtención de la tabla de verdad a partir de la expresión canónica F expresada como maxitérminos.	143
6.6	Circuito de puertas lógicas correspondiente al ejercicio 160.	144
6.7	Tabla de verdad del circuito de la Figura 6.6.	144
6.8	Tabla de verdad de una puerta XNOR de 3 entradas.	145
6.9	Simplificación de un circuito lógico aplicando el álgebra de Boole: (a) Cir- cuito inicial. b) Circuito simplificado.	147
6.10	Mapas de Karnaugh: (a) De 3 variables. (b) De 4 variables.	148
6.11	Equivalencia entre expresiones booleanas, tablas de verdad y mapas de Karnaugh: (a) Para 3 variables. (b) Para 4 variables.	150
6.12	Simplificación mediante mapas de Karnaugh de las expresiones de la Figura 6.11: (a) Mapa de 3 variables. b) Mapa de 4 variables.	152
6.13	Condiciones indifuentes en los mapas de Karnaugh: (a) Tabla de ver- dad. (b) Simplificación sin utilizar las condiciones indiferentes. (c) Sim- plificación aprovechando las condiciones indiferentes.	154
6.14	Mapa de Karnaugh del ejercicio 165.	155
6.15	Tabla de verdad del ejercicio 166.	155
6.16	Mapa de Karnaugh del ejercicio 166.	156

6.17	Implementación de puertas lógicas a partir de puertas NAND.	157
6.18	Equivalencia de puertas en la lógica en modo mezclado.	159
6.19	Síntesis de la función $F = \bar{D} + ABC + \bar{A}\bar{B}$ utilizando puertas AND, OR e inversores.	160
6.20	Síntesis de la función $F = D + \overline{ABC} + AB$ utilizando puertas NAND y NOR.	160
6.21	Síntesis de la función $F = \bar{D} + \overline{ABC} + \bar{A}\bar{B}$ utilizando lógica en modo mezclado.	161
6.22	Síntesis del ejercicio 168 empleando la lógica AND-OR-NOT.	162
6.23	Síntesis del ejercicio 168 empleando la lógica NAND-NOR.	162
6.24	Síntesis del ejercicio 168 empleando la lógica en modo mezclado.	162
7.1	Esquema lógico de un comparador de magnitud básico de cuatro bits. . .	166
7.2	Símbolo lógico del comparador de magnitud integrado de cuatro bits 7485 (entre paréntesis se muestra la numeración de las patillas).	167
7.3	Implementación del comparador de ocho bits mediante dos circuitos in- tegrados 7485.	168
7.4	Codificador binario m a n	169
7.5	Símbolo lógico de un codificador decimal-BCD.	169
7.6	Diagrama lógico del codificador decimal-BCD.	170
7.7	Símbolo lógico del codificador decimal-BCD con prioridad integrado 74147 (entre paréntesis se muestra la numeración de las patillas).	171
7.8	Decodificador binario de m a n	173
7.9	Símbolo lógico de un decodificador BCD-decimal.	174
7.10	Diagrama lógico de un decodificador BCD-decimal.	175
7.11	Símbolo lógico del decodificador BCD-decimal integrado 7442A (entre paréntesis se muestra la numeración de los patillas).	176
7.12	Multiplexor de datos de n entradas a una salida.	178
7.13	Símbolo lógico de un multiplexor de cuatro entradas y una salida. . . .	178
7.14	Diagrama lógico de un multiplexor de cuatro entradas a una salida. . .	179
7.15	Símbolo lógico del multiplexor integrado 74151 (entre paréntesis se mues- tra la numeración de las patillas).	180
7.16	Ejercicio 186. (a) Tabla de verdad de la función F_1 . (b) Implementación de la función F_1 con un multiplexor de ocho entradas de datos.	181
7.17	(a) Mapa de Karnaugh de la función F_1 . (b) Implementación de la funci- ón F_1 con un multiplexor de cuatro entradas de datos.	182
7.18	Demultiplexor de datos de una entrada a n salidas.	182
7.19	Símbolo lógico de un demultiplexor de una entrada a cuatro salidas. . .	183
7.20	Diagrama lógico de un demultiplexor de una entrada a cuatro salidas. .	184
7.21	Símbolo lógico del demultiplexor integrado 74138 (entre paréntesis se muestra la numeración de las patillas).	185
7.22	Ejercicio 191. (a) Tabla de verdad de la función F_1 . (b) Implementación de la función F_1 con un demultiplexor de ocho salidas.	187
7.23	Ejercicio 192. (a) Tabla de verdad de la función F_2 . (b) Implementación de la función F_2 con un demultiplexor de ocho salidas.	188
7.24	Adaptador triestado. (a) Símbolo. (b) Tabla de verdad.	189
7.25	Bus de cuatro entradas. (a) Implementación. (b) Tabla de verdad. . . .	189

7.26	Bus multiplexor/demultiplexor de ocho a uno. (a) Símbolo lógico del circuito integrado 74FST3251 (entre paréntesis se muestra la numeración de las patillas). (b) Tabla de verdad.	190
7.27	Visualizador con diodos emisores de luz. (a) Configuración de los siete segmentos. (b) Segmentos activos para los diez dígitos decimales.	191
7.28	Combinación de multiplexores para realizar una función F	192
8.1	Semisumador. (a) Símbolo lógico. (b) Tabla de verdad.	194
8.2	Diagrama lógico de un semisumador.	194
8.3	Sumador completo. (a) Símbolo lógico. (b) Tabla de verdad.	195
8.4	Mapas de Karnaugh del sumador completo. (a) Suma (Σ). (b) Acarreo de salida (C_{out}).	196
8.5	Diagrama lógico de un sumador completo.	196
8.6	Sumador en paralelo de cuatro bits.	197
8.7	Sumador con acarreo serie. (a) Sumador completo con los retardos en ns incluidos en cada puerta a título indicativo (éstos dependen de la tecnología empleada). (b) Diagrama de bloques de un sumador paralelo con acarreo serie de cuatro bits.	197
8.8	Condiciones para la generación y propagación del acarreo.	198
8.9	Diagrama lógico de un sumador completo con acarreo anticipado (los retardos en ns están incluidos en cada puerta a título indicativo. Éstos dependen de la tecnología empleada).	199
8.10	Sumador de cuatro bits con generador de acarreo anticipado.	200
8.11	Símbolo lógico del sumador en paralelo de cuatro bits integrado 74283 (entre paréntesis se muestra la numeración de las patillas).	201
8.12	Tabla de verdad del sumador en paralelo de cuatro bits integrado 74283.	201
8.13	Implementación de un sumador completo mediante semisumadores.	202
8.14	Sumador completo con impulsos en sus entradas.	203
8.15	Circuito lógico de un sumador completo de cuatro bits con acarreo anticipado.	204
8.16	Sumador completo con impulsos en sus entradas.	205
8.17	Implementación de un sumador de ocho bits mediante dos 74283.	205
8.18	Semirrestador: (a) Símbolo lógico. (b) Tabla de verdad.	207
8.19	Diagrama lógico de un semirrestador.	207
8.20	Restador completo: (a) Símbolo lógico. (b) Tabla de verdad.	208
8.21	Mapas de Karnaugh del restador completo: (a) Diferencia. (b) Préstamo de salida.	208
8.22	Diagrama lógico del restador completo.	209
8.23	Obtención de un restador completo de 1 bit a partir de un sumador completo.	210
8.24	Sumador/restador en complemento a 2 de cuatro bits.	211
8.25	Diseño digital de la unidad lógica de seis funciones booleanas de dos entradas.	213
8.26	Diseño digital final de la unidad lógica de seis funciones booleanas de dos entradas de cuatro bits.	213
8.27	Diseño lógico a nivel de esquema del ampliador aritmético.	215
8.28	Diseño lógico a nivel de esquema del ampliador lógico.	216

8.29	Diseño final de la unidad aritmético lógica de 4 bits.	216
8.30	Encapsulado y patillaje de la ALU integrada 74181.	217
9.1	Dispositivo bistable (a) Estado apagado (<i>turn-off</i>) (b) Estado encendido (<i>turn-on</i>) (c) Función característica de voltaje de una puerta inversora. A ideal, B real (d) Los puntos estables y metaestable de un par de puertas NAND con cruce acoplado	222
9.2	Metaestabilidad (a) Desviación desde el punto de metaestabilidad C (b) Desviación desde los puntos estables A o B	225
9.3	El latch SR (a) Representación simbólica (b) Tabla de estados (c) Diagrama de estados externos (d) Mapa de Karnaugh	227
9.4	Latch SR (a) Implementación de un latch mediante puertas NAND (b) Representación convencional del latch SR	228
9.5	latch SR (a) Implementación de un latch SR mediante puertas NOR (b) Representación convencional del latch SR (c) Tabla de estados (d) Tabla de transiciones (e) Diagrama de tiempos del latch SR (f) latch SR con una función AND para las entradas <i>set</i>	229
9.6	Latch SR ante un tren de pulsos	230
9.7	Latch SR (a) Latch SR basado en puertas NOR (b) representación simbólica (c) Tabla de funcionamiento (d) Cronograma	231
9.8	Latch $\bar{S}\bar{R}$ (a) Basado en puertas NAND (b) Representación simbólica (c) Tabla de estados o de verdad (d) Representación simbólica alternativa	232
9.9	74279 cuadruple latch $\bar{S}\bar{R}$ (Cortesía de Texas Instruments)	233
9.10	Aparición de un impulso parásito, <i>glitch</i> , debido a la no coincidencia de los flancos de las señales A y B	233
9.11	Latch SR sincronizado o con entrada de habilitación (a) Implementación con puertas NOR y AND (b) Representación simbólica (c) Tabla de funcionamiento o de verdad (d) Cronograma	234
9.12	Latch SR sincronizado o con entrada de habilitación realizado por puertas NAND	235
9.13	latch SR sincronizado ante un tren de pulsos	235
9.14	latch D controlado (a) Implementación del latch D controlado (b) Representación simbólica (c) Tabla de estados (d) Diagrama de estados externos (e) Diagrama de tiempos (f) Tabla de estados completo (g) Mapa de Karnaugh	236
9.15	El latch JK (a) Representación simbólica (b) Tabla de estados (c) Representación del latch JK mediante un latch SR y dos puertas AND (d) Mapa de Karnaugh para $Q^{t+\delta t}$ (e) Diagrama de estado (f) Tabla de transiciones	238
9.16	El flip-flop JK (a) Implementación con puertas NAND (b) Forma reducida	239
9.17	Problema con la <i>carrera</i> en los diseños basados en <i>latches</i>	241
9.18	El flip-flop JK Master-Slave (a) Implementación con puertas NAND y latches SR (b) Implementación en detalle con puertas NAND (c) Tabla de estados (d) Diagrama de tiempos (e) Representación simbólica (f) Diagrama de estados externo (G) Flip-flop Master-Slave con controles asíncronas Pr y Cl	242

9.19	Ejemplo de captura de 1 y 0 provocado por picos de ruidos en las líneas J y K	243
9.20	Flip-flop master/slave SR	244
9.21	Flip-flop master/slave tipo D (a) Disparado por flanco negativo (b) Representación simbólica para el flanco negativo (c) Diagrama de tiempos (d) Disparado por flanco positivo (e) Representación simbólica para el flanco positivo	245
9.22	tipo Diagrama de tiempos flip-flop master/slave JK	246
9.23	Flip-flop JK modificado (a) Flip-flop J'K (b) Tabla de estados (c) Mapa de Karnaugh	247
9.24	El flip-flop D disparado por flanco (a) Flip-flop $\bar{S}\bar{R}$ básico (b) Transición $0 \rightarrow 1$ en la línea D (c) Transición $0 \rightarrow 1$ en Ck	249
9.25	El 74LS74, doble flip-flop D disparado por flanco positivo con entradas asíncronas de <i>preset</i> y <i>clear</i> (a) Esquema del patillaje (b) Tabla de estados o de funciones (c) Diagrama lógico (Cortesía de Texas Instruments)	250
9.26	Entradas y salidas de un flip-flop tipo D	250
9.27	Señales intermedias para la entrada a un flip-flop tipo D	251
9.28	Entradas y salidas de un flip-flop tipo D	252
9.29	Señales intermedias para la entrada a un flip-flop tipo D	252
9.30	El flip-flop T (a) Representación simbólica (b) Tabla de estados o de funciones (c) Flip-flop JK master/slave conectado como flip-flop T (d) Diagrama de tiempos	253
9.31	El flip-flop T (a) Flip-flop D conectado como flip flop T (b) Diagrama de tiempos (c) Flip-flop T con patilla de habilitación E (d) Tabla de estados	254
9.32	El diseño de un flip-flop tipo T a partir de un flip-flop tipo D (a) Diseño por bloques (b) Tabla de estados combinada (c) Mapa de Karnaugh (d) Implementación mediante una puerta XOR	255
9.33	El diseño de un flip-flop tipo D a partir de un flip-flop tipo T (a) Diseño por bloques (b) Tabla de estados combinada (c) Mapa de Karnaugh (d) Implementación mediante una puerta XOR	255
9.34	Circuito de temporización basado en la propagación del retardo	256
9.35	Flip-flop JK disparado por flanco negativo	257
9.36	7476 doble flip-flop JK (Cortesía de Fairchild Semiconductor)	258
9.37	7473 doble flip-flop JK con <i>clear</i> (Cortesía de Texas Instruments)	259
9.38	Cronograma que muestra las señales de entrada a un flip flop JK	260
9.39	Cronograma que muestra el resultado de salida Q	260
9.40	Definición de tiempo de establecimiento, mantenimiento y retardo de propagación de un biestable	261
9.41	Bloque combinacional y flip-flops	261
9.42	Salida de Multivibradores astable, biestable y monoestable	265
9.43	Arquitectura interna del temporizador 555.	265
9.44	Cableado de un temporizador 555 como multivibrador astable y diagrama de pines	266
9.45	Multivibrador astable usando inversores CMOS (CI 4069)	267
9.46	Multivibrador astable usando inversores CMOS (CI 4049) y cristal	268
9.47	Multivibrador monoestable formado mediante un temporizador 555	269

9.48	Multivibrador monoestable formado mediante un CI 74121	270
9.49	Diagrama de pines y tabla de la verdad del circuito 74121 (Cortesía de Signetics Corporation)	271
9.50	Formas de onda S y R	272
9.51	Cronograma resultado	273
9.52	flip-flop JK obtenido de un flip-flop T	273
9.53	Biestable RH	273
9.54	Diagrama de tiempos del biestable RH	274
9.55	Cronograma para el flip-flop JK disparado por flanco ascendente	274
9.56	Solución cronograma para el flip-flop JK disparado por flanco ascendente	274
9.57	Cronograma para el flip-flop JK disparado por flanco descendente con <i>clear</i>	274
9.58	Solución al cronograma para el flip-flop JK disparado por flanco descendente con <i>clear</i>	275
9.59	Circuito y cronograma	275
9.60	Solución al cronograma para el flip-flop JK disparado por flanco descendente con <i>clear</i>	275
9.61	Biestables D	276
9.62	Configuración monoestable y estable	276
10.1	Tipos de registro de desplazamiento. De derecha a izquierda y de arriba a abajo; entrada serie, salida serie; entrada serie, salida paralelo; entrada serie, salida paralelo; entrada paralelo, salida paralelo	
10.2	Registro de desplazamiento hacia la derecha de 4 bits	281
10.3	Registro de desplazamiento hacia la derecha de 4 bits	281
10.4	Registro de desplazamiento hacia la derecha de 4 bits	283
10.5	Registro de desplazamiento hacia la derecha de 4 bits con carga en paralelo	285
10.6	Diagrama de tiempo para un registro de desplazamiento a la derecha de 4-bit y carga en paralelo con recirculación	286
10.7	Registro de desplazamiento carga paralela y formas de onda de entrada	287
10.8	Registro de desplazamiento bidireccional de 4 bits con carga en paralelo (registro universal) 74194 (Cortesía de Motorola)	289
10.9	Registro de desplazamiento 74HC164 (Cortesía de Phillips). De izquierda a derecha y de arriba a abajo. Símbolo lógico simplificado; diagrama de pines; diagrama lógico detallado y tabla de verdad o de funcionamiento	291
10.10	Registro de desplazamiento 74194 y formas de onda de entrada	293
10.11	Registro de desplazamiento 74HC164 y formas de onda de entrada . . .	295
10.12	La configuración básica de un registro de desplazamiento con retroalimentación	296
10.13	Diagrama de estado universal de un registro de desplazamiento de cuatro etapas	297
10.14	Registro de desplazamiento como contador (a) Tabla de estado (b) Mapa de Karnaugh simplificador de la función D_A	297
10.15	Diagrama estado completo secuencia del contador basado en registro . .	298
10.16	Contador Módulo 10 basado en registro de desplazamiento (a) Implementación (b) Descodificación en el caso que se quiera una salida decimal	299

10.17	Registro de desplazamiento como contador (a) Tabla de estado (b) Mapa de Karnaugh simplificador de la función D_A (c) Diagrama de estado de la secuencia correcta y la secuencia que se produciría por un error (d) Implementación	301
10.18	Contador en anillo (a) Implementación (b) Secuencia de conteo para un contador en anillo de 10 etapas	302
10.19	Contador en anillo con <i>auto-arranque</i> y <i>auto-corrección</i>	303
10.20	(a) Contador en anillo trenzado de 5 etapas (b) secuencia de conteo (c) mapas de Karnaugh para determinar la función de retroalimentación (d) mapas de Karnaugh para determinar la lógica de decodificación (e) mapas de Karnaugh para la determinación de auto-corrección de la función	304
10.21	Contador Johnson (a) Secuencia de conteo de un contador Johnson de longitud de cuenta impar cuando se omite el estado 00000 (b) Determinación de la función de retroalimentación para un contador Johnson de longitud de ciclo ($2N - 1 = 9$)	306
10.22	Contador Johnson (a) Secuencia de conteo de un contador Johnson de longitud de cuenta impar donde se ha suprimido el estado 11111 (b) Determinación de la función de retroalimentación para un contador Johnson de longitud de ciclo ($2N - 1$)	307
10.23	Implementación de un temporizador mediante contadores	307
10.24	Registro de desplazamiento como contador módulo 12 para la secuencia $S_0 - S_1 - S_2 - S_5 - S_{11} - S_6 - S_{13} - S_{10} - S_4 - S_8 - S_0$ (a) Tabla de estado (b) Mapa de Karnaugh simplificador de la función D_A (c) Diagrama de estado de la secuencia correcta y la secuencia que se produciría por un error (d) Implementación	308
11.1	Contador módulo 2: (a) Tabla de estado, (b) Tabla de transiciones del flip-flop JK, (c) Implementación, (d) diagrama de estado, (e) Diagrama de tiempos	310
11.2	Contador módulo 8: (a) Tabla de estado, (b) Diagrama de estados, (c) Mapas de Karnaugh (d) Implementación, (e) Diagrama de tiempos . . .	311
11.3	Tabla de estados de una cadena de flip-flops de cuenta descendente . . .	312
11.4	Puertas de entrada a los flip-flops. (a) Conexión paralela, (b) conexión serie	313
11.5	Contador módulo 8: (a) ascendente, (b) descendente usando salidas complementarias	315
11.6	Contador módulo 5 (a) Diagrama de estados (b) Tabla de estados (c) Mapas de Karnaugh para las entradas de los flip-flops (d) Implementación del circuito	316
11.7	Contador módulo 5 modificado	317
11.8	Mapas de Karnaugh de K_A y K_C	318
11.9	Contador módulo 10 realizado con flip-flops JK (a) Diagrama de estados (b) Tabla de estados (c) Mapas de Karnaugh para las entradas de los flip-flops (d) Implementación del circuito	320
11.10	Contador módulo 10 realizado con flip-flops D (a) Diagrama de estados (b) Tabla de estados (c) Mapas de Karnaugh para las entradas de los flip-flops (d) Implementación del circuito	322

11.11	Camino alternativo (a) y (b) para obtener un Código de Gray a través de mapas de Karnaugh.	323
11.12	Contador módulo 10 código de Gray realizado con flip-flops JK (a) Diagrama de estados (b) Tabla de estados (c) Mapas de Karnaugh para las entradas de los flip-flops (d) Implementación del circuito	324
11.13	Contador módulo 10 código de Gray realizados con flip-flops D (a) Diagrama de estados (b) Tabla de estados (c) Mapas de Karnaugh para las entradas de los flip-flops (d) Implementación del circuito	326
11.14	Contador <i>ripple through</i> (a) implementación (b) diagramas de tiempo (c) efecto del <i>ripple through</i> en el contador	327
11.15	Contador módulo 8 asíncrono reversible	328
11.16	Contador <i>ripple through</i> descendente. Diagrama de tiempos.	329
11.17	Generación de un <i>glitch</i> o pico por un contador asíncrono al producirse un estado transitorio por diferencias en los tiempos de retardo de las salidas de los flip-flops.	330
11.18	Eliminación de <i>glitches</i> o picos utilizando una señal de <i>strobe</i>	331
11.19	Contador asíncrono módulo 5 reajutable (a) diagrama de estado (b) Implementación (c) Diagrama de tiempos (d) Diagrama de estado para el circuito de retención (<i>latching circuit</i>) (e) implementación del circuito de retención (<i>latching circuit</i>)	333
11.20	Contador asíncrono módulo 6 reajutable mediante <i>clear</i> (a) Diagrama de estado (b) Implementación (c) Diagrama de tiempos (d) Diagrama de estado para el circuito de retención (<i>latching circuit</i>) (e) Implementación del circuito de retención (<i>latching circuit</i>)	334
11.21	Contador asíncrono módulo 6 reajutable mediante <i>preset</i> (a) diagrama de estado (b) Implementación (c) Diagrama de tiempos (d) Diagrama de estado para el circuito de retención (<i>latching circuit</i>) (e) implementación del circuito de retención (<i>latching circuit</i>)	335
11.22	74ALS561 contador de cuatro bits síncrono con salida tri-estado (a) tabla de función (b) Diagrama lógico (cortesía de Texas Instruments)	336
11.23	74176 contador de cuatro bits asíncrono (a) diagrama lógico (b) tabla de función (c) secuencia conteo para el modo 2 (cortesía de Texas Instruments)	338
11.24	74290 (a) Conexiones del integrado 74290 (b) Tabla de verdad de las entradas de <i>reset</i> (c) 74290 conectado como módulo 6 (d) Diagrama de tiempos para el módulo 6 del 74290 (e) Eliminación de <i>glitches</i> y picos con la señal de habilitación, E.	339
11.25	74293 utilizado como un contador <i>resettable ripple</i> módulo 13	340
11.26	Dos contadores integrados conectados en cascada y dividiendo la frecuencia de entrada por 160	341
11.27	Dos contadores integrados 74290 conectados en cascada formando un contador módulo 92	341
11.28	Una secuencia de conteo en el contador 74ALS561 contador de cuatro bits asíncrono con salida tri-estado (Cortesía de Texas Instruments). . .	342
11.29	74290 conectado como módulo 10	344
11.30	74293 utilizado como un contador <i>resettable ripple</i> módulo 11	345
11.31	Dos contadores integrados conectados en cascada y dividiendo la frecuencia de entrada por 80.	345

11.32	Contador módulo 5 descendente (a) Tabla de estados o transiciones (b) Tabla de estados o transiciones JK (c) Diagrama de estados (d) Mapas de Karnaugh para las entradas de los flip-flops (e) Implementación del circuito	346
11.33	Contador módulo 16 reversible	347
11.34	Contador Gray módulo 8 síncrono (a) Código de gray (b) Diagrama de estados (c) Tabla de estados o transiciones contador Gray (d) Tabla de estados o transiciones FFT (e) Mapas de Karnaugh para las entradas de los flip-flops (f) Implementación del circuito	348
11.35	Contador módulo 16 asíncrono reversible	348
11.36	Eliminación de <i>glitches</i> o picos utilizando una señal de <i>strobe</i> (a) Diagrama de tiempos para la línea <i>strobe</i> para un contador de cuatro etapas. (b) Conexión de la línea <i>strobe</i> a las puertas del decodificador	349
11.37	Contador asíncrono módulo 12 reajutable (a) Diagrama de estado (b) Implementación con <i>clear</i> (c) Implementación con <i>preset</i> (d) Implementación del circuito de retención (<i>latching circuit</i>) para <i>clear</i> (e) Implementación del circuito de retención (<i>latching circuit</i>) para <i>preset</i>	350
11.38	Dos contadores integrados 74293 conectados en cascada formando un contador módulo 60	351

Índice de Tablas

3.1	Solución al ejercicio 104.	66
5.1	Operadores definidos en el álgebra de Boole.	115
5.2	Postulados del álgebra de Boole.	116
5.3	Tabla de verdad de una función lógica f de tres variables lógicas A , B y C	118
5.4	Tabla de verdad de una función lógica del Ej. 149.	120
5.5	Resultado final de la tabla de verdad del Ej. 149.	120
5.6	Tabla de verdad de la función lógica desarrollada por el circuito de la Figura 5.2.	122
5.7	Comparativa de niveles lógicos de tensión para las familias lógicas TTL y CMOS.	123
5.8	Solución al Ej. 154.	138
7.1	Tabla de verdad del codificador decimal-BCD sin prioridad.	170
7.2	Tabla de verdad del codificador decimal-BCD con prioridad integrado 74147.	172
7.3	Tabla de verdad del decodificador BCD-decimal.	174
7.4	Tabla de verdad del decodificador BCD-decimal integrado 7442A.	176
7.5	Tabla de verdad del multiplexor de cuatro entradas y una salida.	178
7.6	Tabla de verdad del multiplexor integrado 74151.	180
7.7	Tabla de verdad de un demultiplexor de una entrada a cuatro salidas.	183
7.8	Tabla de verdad del demultiplexor integrado 74138.	185
8.1	Seis funciones booleanas de dos variables para el diseño de una unidad lógica.	212
8.2	Señales de selección para las seis funciones booleanas de la Tabla 8.1.	213
8.3	Tabla funcional del una ALU de 4 bits.	214
8.4	Tabla de verdad del ampliador aritmético.	215
8.5	Tabla de verdad del ampliador lógico.	215
8.6	Selección de funciones en la ALU 74181 con datos en lógica negativa.	218
8.7	Selección de funciones en la ALU 74181 con datos en lógica positiva.	218

Prólogo

Entre las competencias específicas de formación común a la rama de telecomunicación en los nuevos títulos universitarios que habilitan para el ejercicio de la profesión de Ingeniero Técnico de Telecomunicación está la “capacidad de análisis y diseño de circuitos combinacionales y secuenciales (...) y de utilización de microprocesadores y circuitos integrados”. Es imperativo, en consecuencia, que todo plan de estudios de Grado en la rama de telecomunicación incluya una o más asignaturas que se centren en el estudio de las funciones electrónicas y los circuitos que las implementan, de cara a proporcionar a los alumnos esta competencia.

El propósito de este texto es servir de guía a la asignatura Circuitos y Funciones Electrónicas, asignatura común en los Grados en Ingeniería en Sistemas de Telecomunicación y en Ingeniería Telemática de la E.T.S. de Ingeniería de Telecomunicación de la Universidad Politécnica de Cartagena. Se trata de una asignatura impartida en el segundo curso de estas titulaciones que parte de los conocimientos adquiridos por el alumno en asignaturas previas del plan de estudios correspondientes a las materias básicas y a parte de las materias comunes a la rama de telecomunicación, en particular: Álgebra, Física, Sistemas y Circuitos, y Componentes y Dispositivos Electrónicos.

Esta asignatura supone el primer contacto del alumno con las funciones electrónicas básicas, tanto analógicas como digitales, y los circuitos electrónicos con los que se construyen. Se pretende que el alumno adquiera la base científica y tecnológica necesaria para el análisis y diseño de los circuitos que componen los sistemas electrónicos, y proporcionarle las competencias necesarias para permitirle resolver problemas de análisis y síntesis de sistemas electrónicos de mediana complejidad con componentes mayoritariamente integrados.

La estructura de este texto sigue la de la asignatura a la que va dirigido, en la que se establecen tres bloques temáticos: funciones y circuitos electrónicos analógicos, funciones y circuitos lógicos combinacionales y funciones lógicas secuenciales. La amplitud de contenidos de esta asignatura y la estricta limitación en el número de créditos que tiene asignados en el plan de estudios han exigido a los autores de esta guía una selección cuidadosa de los contenidos y un considerable esfuerzo para aquilatar de forma muy precisa el equilibrio extensión-profundidad de los temas, que se han acompañado de un extensa colección de ejercicios resueltos para facilitar la fijación de los conceptos presentados.

El primero de los bloques del texto, dedicado a las funciones y circuitos analógicos, introduce como bloque básico de diseño el amplificador operacional, a partir del cual se pueden sintetizar un buen número de las funciones básicas y más útiles de la electrónica analógica de baja frecuencia y baja potencia, entre las que ocu-

pan un lugar destacado las de amplificación en sus diferentes variantes. Este primer bloque se completa con una incursión en el campo de la electrónica de potencia, introduciendo las fuentes de alimentación como subsistemas que inevitablemente hay que considerar en la construcción de todo sistema electrónico, cualquiera que sea su naturaleza. Se presentan los bloques constructivos de estos subsistemas electrónicos, haciendo énfasis en la función que constituye la parte principal y más compleja de las fuentes de alimentación: los reguladores.

En el bloque segundo de esta guía se abordan las funciones y circuitos electrónicos digitales combinacionales. En una primera parte, más conceptual, se presenta la teoría de los sistemas digitales, comenzando con la introducción de los conceptos básicos de la teoría de la conmutación y las formas algebraicas y tabulares de representación de las funciones lógicas, y continuando con las técnicas y procedimientos empleados en la simplificación de dichas funciones lógicas. Esta parte formal se complementa con una obligada incursión en las tecnologías electrónicas digitales, por medio de la presentación y análisis de los circuitos electrónicos básicos que se utilizan para implementar las funciones lógicas básicas en diferentes tecnologías y estilos de diseño. El bloque se completa con un recorrido por las funciones combinatoriales más relevantes de pequeña y mediana escala de integración.

Los subsistemas electrónicos secuenciales constituyen el objeto de estudio del tercer y último bloque de la asignatura y de esta guía. A partir de las estructuras básicas sobre las que se apoya la síntesis de este tipo de funciones, los biestables, se repasan y analizan las funciones de mediana escala de integración que constituyen los módulos constructivos básicos de este tipo de sistemas, sin dejar de echar un vistazo introductorio a los circuitos de temporización que proporcionan las señales de pulsos a estos subsistemas: los temporizadores.

En suma, esta guía pretende proporcionar al alumno una referencia útil en el estudio de la asignatura Circuitos y Funciones Electrónicas, si bien resulta de todo punto deseable estimular su capacidad de explorar otros recursos bibliográficos y de información relacionados con la electrónica, siendo ésta otra de las competencias específicas que debe alcanzar en su formación.

LOS AUTORES

El Amplificador Operacional: Introducción

1.1 Introducción

En la asignatura de Sistemas y Circuitos se han proporcionado técnicas de análisis de circuitos eléctricos formados por dispositivos electrónicos pasivos: resistencias, condensadores, bobinas y fuentes de tensión o de corriente. Se han analizado circuitos en varios regímenes de funcionamiento (continua, alterna, permanente senoidal y transitorio). Estos circuitos se trataron como sistemas lineales, los cuales responden con una señal de salida cuando son excitados con una señal de entrada externa. A su vez, en la asignatura de Componentes y Dispositivos Electrónicos se han estudiado algunos dispositivos electrónicos discretos y activos como los diodos y transistores. También se han proporcionado técnicas de análisis de circuitos electrónicos con dispositivos discretos activos que realizan la función de amplificación. En la mayor parte de los casos se podrá tratar al amplificador como un bloque funcional lineal, y tratar, también, los circuitos electrónicos como sistemas lineales, lo cual facilita enormemente su análisis.

En la siguiente sección se realizará un repaso de los amplificadores electrónicos, fundamentalmente se presentarán las definiciones y conceptos básicos que los caracterizan. Estos dispositivos se pueden clasificar en cuatro tipos: el amplificador de tensión, de corriente, de transconductancia y de transresistencia. No obstante, se estudia el amplificador de tensión por ser el más sencillo e intuitivo. Al final de la sección se presentará el resto de los amplificadores. En la sección se tratarán, en primer lugar, los amplificadores de una sola entrada, y a continuación se estudiarán los amplificadores diferenciales que tienen dos entradas. Un tipo especial de amplificador diferencial es el amplificador operacional, que por sus características, se ha convertido en uno de los componentes más importantes de la electrónica analógica, estando disponible en un circuito integrado de bajo coste. Los primeros amplificadores operacionales se utilizaron en computadoras analógicas para realizar operaciones matemáticas, tales como: sumar, derivar o integrar funciones. Incluso era posible resolver ecuaciones diferenciales mediante circuitos que contenían amplificadores de este tipo. Esta capacidad de realizar operaciones matemáticas le dio el nombre que ha conservado hasta nuestros días.

1.2 Amplificadores Electrónicos

Concepto de amplificador electrónico: Dispositivo electrónico, conjunto de ellos o circuitos integrados, mediante el cual, utilizando energía externa, se aumenta la

tensión o intensidad de una señal eléctrica.

Esquema básico: Desde un punto de vista funcional, el amplificador de tensión puede visualizarse como un sistema que, en el caso más simple, tendrá una entrada¹ y una salida, tal como se muestra en la Figura 1.1. En la entrada se aplica una señal $v_{in}(t)$ de pequeña amplitud que se consigue mediante una fuente de tensión $v_s(t)$, la cual se ha supuesto con resistencia interna R_s . El amplificador produce una señal de salida $v_{out}(t)$ que se aplica sobre otro circuito, representado mediante una resistencia de carga R_L . En el caso ideal (linealidad) la señal de salida es una imagen exacta de la señal de entrada pero aumentada A_v veces.

$$v_{out}(t) = A_v v_{in}(t) \quad (1.1)$$

En la práctica un amplificador verifica la relación lineal (1.1) sólo para un rango de valores de la entrada $v_{in}(t)$. Si la amplitud de la señal de entrada se sale de la región lineal entonces la señal de salida estará deformada e incluso recortada con respecto a la señal de entrada, en este caso, se dice que la señal de salida esta *distorsionada*.



Figura 1.1: Esquema básico de un amplificador de tensión (no se muestra la alimentación).

1.2.1 Ganancia de tensión, de corriente y de potencia

La magnitud A_v de la expresión (1.1) se denominada *ganancia de tensión*. La magnitud A_v puede ser un valor constante o una expresión dependiente de, por ejemplo, la frecuencia. Otro parámetro que caracteriza un amplificador es su *ganancia de corriente* A_i , definida como la relación:

$$A_i = \frac{i_{out}(t)}{i_{in}(t)} \quad (1.2)$$

De forma similar, se define la *ganancia de potencia* A_p

$$A_p = \frac{p_{out}(t)}{p_{in}(t)} \quad (1.3)$$

Es frecuente expresar la ganancia de tensión, corriente y potencia en *decibelios* de la siguiente forma:

¹En la próxima sección se estudiarán los amplificadores con dos entradas.

$$A_v(dB) \equiv 20 \log |A_v| \quad (1.4)$$

$$A_i(dB) \equiv 20 \log |A_i| \quad (1.5)$$

$$A_p(dB) \equiv 10 \log |A_p| \quad (1.6)$$

1.2.2 Modelo, o circuito, equivalente de un amplificador de tensión

Un amplificador real está construido con un gran número de elementos pasivos y activos (resistencias, condensadores, transistores, etc.) pero, independientemente de su complejidad, y suponiendo que funciona en la zona lineal, un amplificador se comporta de la misma forma como lo hace el circuito que se muestra en la Figura 1.2. Este circuito, que es un cuadripolo, se denomina *modelo o circuito equivalente del amplificador* y consta de los siguientes elementos:

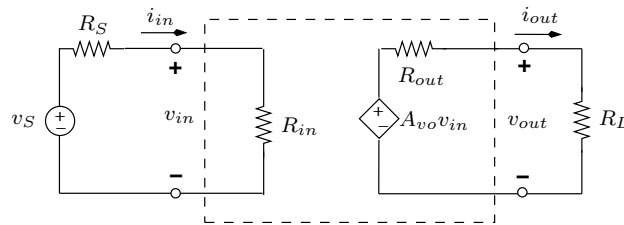


Figura 1.2: Circuito equivalente de un amplificador de tensión operando en la zona lineal.

- Una resistencia de entrada R_{in} . Tiene en cuenta la cantidad de corriente que entra en el amplificador. Esto implica que solo una fracción de la señal de la fuente v_s se aplica en los terminales de entrada².
- Una fuente de tensión dependiente controlada por tensión que tiene un factor de ganancia A_{vo} . La cantidad A_{vo} se denomina *ganancia de tensión a circuito abierto*, es decir:

$$A_{vo} = \left. \frac{v_{out}}{v_{in}} \right|_{i_{out}=0} \quad (1.7)$$

- Una resistencia de salida R_{out} que tiene en cuenta que la diferencia de potencial en los terminales de salida v_{out} depende de lo que se conecta a la salida del amplificador, es decir, de la resistencia de carga R_L . Esto implica que la ganancia de tensión $A_v = v_{out}/v_{in}$ es tan sólo una fracción de la ganancia de tensión a circuito abierto A_{vo} .

²Con el objeto de facilitar la notación, de ahora en adelante, se omitirá la dependencia temporal de las señales, escribiendo, por ejemplo, v_s en lugar de $v_s(t)$. No obstante, no es posible la ambigüedad, ya que siempre se utilizarán letras minúsculas para representar señales variables en el tiempo.

1.2.3 Efectos de las resistencias de entrada y de salida

Los efectos de las resistencias de entrada y de salida pueden demostrarse mediante el análisis del circuito. En efecto, es inmediato demostrar que las corrientes de entrada y de salida vienen dadas por,

$$i_{in} = \frac{v_s}{R_{in} + R_s} \quad , \quad i_{out} = \frac{A_{vo}v_{in}}{R_L + R_{out}} \quad (1.8)$$

siendo en consecuencia,

$$v_{in} = R_{in}i_{in} = \frac{R_{in}}{R_{in} + R_s}v_s \quad (1.9)$$

$$v_{out} = R_Li_{out} = \frac{R_L}{R_L + R_{out}}A_{vo}v_{in} \quad (1.10)$$

A partir de estas expresiones es inmediato obtener las ganancias de tensión, corriente y potencia,

$$A_v = \frac{v_{out}}{v_{in}} = \frac{R_L}{R_L + R_{out}}A_{vo} \quad (1.11)$$

$$A_i = \frac{i_{out}}{i_{in}} = \frac{R_{in}}{R_L + R_{out}}A_{vo} = \frac{R_{in}}{R_L}A_v \quad (1.12)$$

$$A_p = \frac{p_{out}}{p_{in}} = \frac{v_{out}i_{out}}{v_{in}i_{in}} = A_vA_i = \frac{R_{in}}{R_L}A_v^2 = \frac{R_L}{R_{in}}A_i^2 \quad (1.13)$$

Otra ganancia que se suele utilizar es la ganancia A_{vs} , definida como la ganancia de tensión vista desde la fuente,

$$A_{vs} \equiv \frac{v_{out}}{v_s} = \frac{R_L}{R_{in} + R_s}A_i = \frac{R_{in}}{R_{in} + R_s}A_v \quad (1.14)$$

Si a priori se conoce la resistencia interna del generador y la resistencia de carga, el amplificador debe ser diseñado de manera que $R_{in} \gg R_s$ y $R_{out} \ll R_L$, es decir, la resistencia de entrada del amplificador ha de ser mucho mayor que la resistencia interna del generador, y la resistencia de salida ha de ser mucho menor que la resistencia de carga. En este caso las ecuaciones (1.9), (1.10) y (1.11) se reducen a,

$$v_{in} \simeq v_s \quad , \quad v_{out} \simeq A_{vo}v_{in} \quad , \quad A_v \simeq A_{vo} \quad (1.15)$$

Un amplificador se llama ideal si $R_{in} = \infty$ y $R_{out} = 0$, en este caso las aproximaciones anteriores pasan a ser igualdades y el circuito equivalente se simplifica al mostrado en la Figura 1.3. Obsérvese que en un amplificador ideal al ser $R_{in} = \infty$ resulta una corriente de entrada i_{in} nula y por lo tanto las ganancias de corriente y potencia se hacen infinitas.

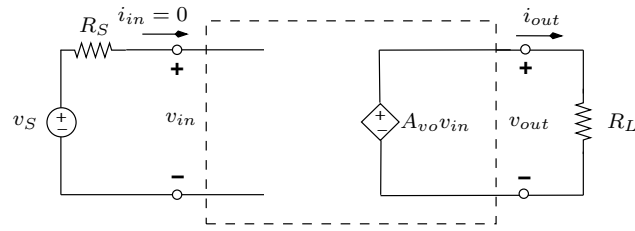


Figura 1.3: Modelo de circuito equivalente para un amplificador de tensión ideal.

1.2.4 Respuesta en frecuencia y ancho de banda

Hasta ahora se ha supuesto que la ganancia de tensión de un amplificador A_v es una constante. Así pues, la relación $v_{out}(t) = A_v v_{in}(t)$ implica que la señal de salida es exacta a la señal de entrada pero aumentada por el factor A_v . En la práctica esto no ocurre así, un amplificador, en general, modifica la forma de la señal de entrada. Para aclarar este concepto se considera la situación mostrada en la Figura 1.4, en donde se tiene un amplificador alimentado con una fuente de tensión senoidal $v_s(t)$ de amplitud V_{os} , fase θ_s y frecuencia ω . Si mediante el uso de un osciloscopio se mide la señal de salida $v_{out}(t)$ se podrá comprobar que tanto la amplitud como la fase de esta señal han cambiado con respecto a la señal de entrada, y que la magnitud de dicho cambio depende de la frecuencia. Para tener en cuenta los cambios introducidos por el amplificador tanto en amplitud como en fase, es necesario definir la ganancia de tensión de una forma más general. Esta definición sólo tiene sentido en el dominio de la frecuencia.

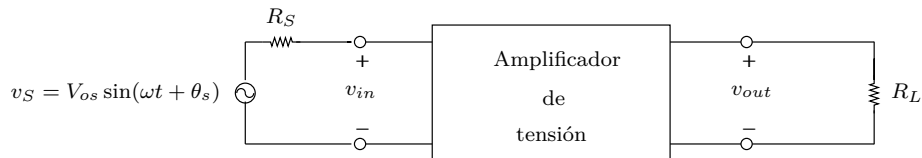


Figura 1.4: Medición de la respuesta en frecuencia de un amplificador. Si el amplificador es alimentado con una señal senoidal de frecuencia ω , las señales $v_{in}(t)$ y $v_{out}(t)$ también serán senoidales y oscilarán a la misma frecuencia ω . Por lo tanto, serán de la forma $v_{in}(t) = V_{oin} \text{sen}(\omega t + \theta_{in})$ y $v_{out}(t) = V_{oout} \text{sen}(\omega t + \theta_{out})$.

Sea $\mathbf{V}_{in} = V_{oin} e^{j\theta_{in}}$ el fasor de entrada, se define la ganancia de tensión compleja $\mathbf{A}_v(\omega)$ como la función compleja dependiente de la frecuencia que multiplicada por el fasor de entrada da el fasor de salida³. Es decir⁴,

³ Se utilizan caracteres en negrita para representar funciones complejas, las cuales están unívocamente definidas por un módulo y una fase.

⁴ Obsérvese que, así definida, la ganancia de tensión compleja $\mathbf{A}(\omega)$ es la función de transferencia del circuito amplificador en el sentido definido en la sección 1.2

$$\mathbf{V}_{out} = \mathbf{A}_v(\omega)\mathbf{V}_{in} \quad (1.16)$$

Como la ganancia de tensión es una función compleja siempre será posible expresarla en la forma $\mathbf{A}_v(\omega) = |\mathbf{A}_v(\omega)|e^{j\Theta(\omega)}$, pudiendo escribir el fasor de salida como,

$$\mathbf{V}_{out} = |\mathbf{A}_v(\omega)|V_{oin}e^{j(\theta_{in}+\Theta(\omega))} \quad (1.17)$$

En consecuencia, la señal de salida estacionaria correspondiente a la entrada senoidal $v_{in}(t) = V_{oin} \text{sen}(\omega t + \theta_{in})$ es⁵:

$$v_{out}(t) = \text{Im} \left[\mathbf{V}_{out} e^{j\omega t} \right] = |\mathbf{A}_v(\omega)|V_{oin} \text{sen}(\omega t + \theta_{in} + \Theta(\omega)) \quad (1.18)$$

de donde se obtiene la amplitud y la fase de la señal de salida:

$$V_{oout} = |\mathbf{A}_v(\omega)|V_{oin} \quad (1.19)$$

$$\theta_{out} = \theta_{in} + \Theta(\omega) \quad (1.20)$$

En la Figura 1.5 se muestra dos gráficas típicas que representan el módulo de la ganancia de tensión en función de la frecuencia. Obsérvese que únicamente en un rango de frecuencias, las llamadas *frecuencias medias*, el módulo de la ganancia de tensión es constante. Para frecuencias fuera de este rango el factor de ganancia disminuye. Si el espectro de frecuencias de la señal de entrada sale fuera del intervalo de frecuencias medias, entonces cada componente del espectro será amplificado de forma diferente y la señal de salida estará deformada con respecto a la señal de entrada. Por lo tanto, para amplificar una señal, sin que esta pierda su forma original, es necesario que su espectro de frecuencias caiga dentro de la zona de frecuencias medias donde el factor de ganancia es constante o aproximadamente constante.

Una magnitud importante en el estudio de la respuesta en frecuencia es la *frecuencia de corte*. Se define como la frecuencia para la cual el módulo de la ganancia es $\sqrt{2}$ veces más pequeño que el correspondiente a las frecuencias medias. Esto es, denotando la frecuencia de corte como ω_c , resulta

$$|\mathbf{A}_v(\omega_c)| = \frac{A_m}{\sqrt{2}} \quad (1.21)$$

donde A_m es el valor del módulo de la ganancia a frecuencias medias. Es fácil demostrar que cuando la frecuencia es igual a la frecuencia de corte, entonces la potencia (instantánea o promedio) disipada por la resistencia de carga es la mitad de la potencia disipada a frecuencias medias.

Si el módulo de la ganancia se expresa en decibelios, entonces,

$$|\mathbf{A}_v(\omega_c)|(dB) = A_m(dB) - 20\log\sqrt{2} = A_m(dB) - 3,01(dB) \quad (1.22)$$

⁵Para una entrada arbitraria $v_{in}(t)$ la salida se obtiene haciendo uso de la transformada de Laplace,

$$v_{out}(t) = L^{-1}[\mathbf{A}(\omega)L[v_{in}(t)]]$$

donde $L[v_{in}(t)]$ es la transformada de Laplace de $v_{in}(t)$ y L^{-1} denota la transformada inversa.

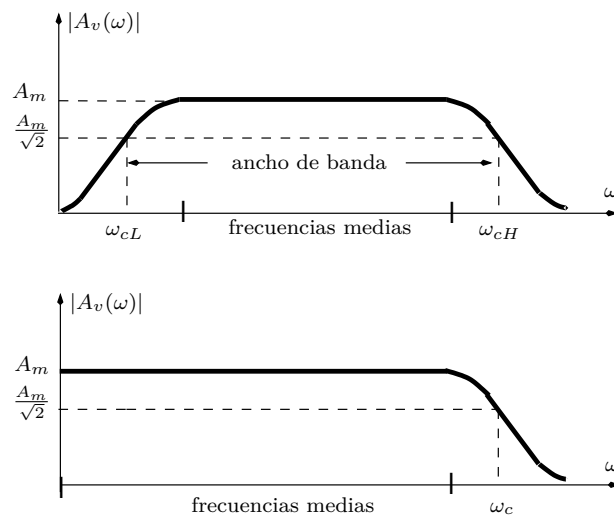


Figura 1.5: Modulo de la ganancia de tensión en función de la frecuencia.

es decir, a la frecuencia de corte la ganancia está tres decibelios por debajo de la ganancia a frecuencias medias. Por esta razón, la frecuencia de corte también se llama frecuencia a 3 dB.

En la primera gráfica de la Figura 1.5 existen dos frecuencias de corte, la frecuencia de corte inferior ω_{cL} y la superior ω_{cH} . El intervalo de frecuencias comprendido entre estos dos valores se denomina *ancho de banda* del amplificador.

De forma similar a como se ha definido la ganancia de tensión compleja se pueden definir el resto de las ganancias. Por ejemplo, para la ganancia de corriente compleja y para la ganancia de tensión compleja vista desde la fuente se tiene,

$$\mathbf{A}_i(\omega) = \frac{\mathbf{I}_{out}}{\mathbf{I}_{in}} \quad (1.23)$$

$$\mathbf{A}_{vs}(\omega) = \frac{\mathbf{V}_{out}}{\mathbf{V}_s} \quad (1.24)$$

La respuesta en frecuencia de un amplificador puede modelarse introduciendo condensadores y/o inductancias en el circuito equivalente que describe su respuesta lineal.

1.2.5 Cuadro resumen de los tipos de amplificadores de una entrada.

El amplificador de tensión considerado en la sección anterior es tan sólo uno de los cuatro tipos posibles de amplificadores. Los otros tres son: el *amplificador de corriente*, el *amplificador de transconductancia* y el *amplificador de transresistencia*. En la Figura 1.6 se muestran los cuatro tipos de amplificadores junto con sus circuitos equivalentes y los valores ideales de sus resistencias de entrada y de salida.

Como ya se ha visto, en un amplificador de tensión la tensión de entrada controla la tensión de salida. De forma análoga, en un amplificador de corriente la corriente

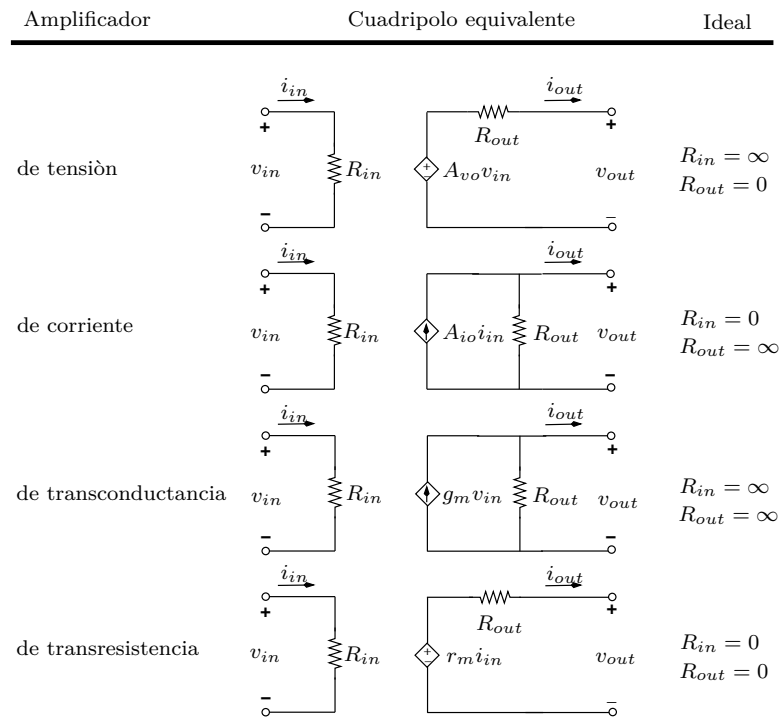


Figura 1.6: Los cuatro tipos de amplificadores de una entrada.

de entrada controla la corriente de salida. También se puede dar la situación mixta, en un amplificador de transconductancia la corriente de salida es controlada por la tensión de entrada y en un amplificador de transresistencia es la corriente de entrada la que controla la tensión de salida.

De forma similar a como se define la ganancia de tensión a circuito abierto para un amplificador de tensión, se definen los parámetros de ganancia para el resto de los amplificadores.

$$\text{Ganancia de tensión a circuito abierto} \quad A_{vo} = \left. \frac{v_{out}}{v_{in}} \right|_{i_{out}=0} \quad (1.25)$$

$$\text{Ganancia de corriente a cortocircuito} \quad A_{io} = \left. \frac{i_{out}}{i_{in}} \right|_{v_{out}=0} \quad (1.26)$$

$$\text{Transconductancia a cortocircuito} \quad g_m = \left. \frac{i_{out}}{v_{in}} \right|_{v_{out}=0} \quad (1.27)$$

$$\text{Transresistencia a circuito abierto} \quad r_m = \left. \frac{v_{out}}{i_{in}} \right|_{i_{out}=0} \quad (1.28)$$

Cuestiones y Ejercicios Resueltos

Ej. 1 — Se conecta una fuente de tensión, con una resistencia interna $R_s=1\text{ M}\Omega$, a los terminales de entrada de un amplificador con ganancia de tensión a circuito abierto $A_{vo} = 10^4$, resistencia de entrada $R_{in}=2\text{ M}\Omega$ y resistencia de salida $R_{out}=2\text{ }\Omega$. La resistencia de carga es $R_L=8\text{ }\Omega$. Calcular:

- a) La ganancia de tensión $A_v = v_{out}/v_{in}$ y $A_{vs} = v_{out}/v_s$.
- b) La ganancia de corriente $A_i = i_{out}/i_{in}$.
- c) La ganancia de potencia $A_p = p_{out}/p_{in}$.
- d) ¿Qué valor de la resistencia de carga haría máxima la ganancia de potencia?

Solución (Ej. 1) — Un modelo de la fuente, del amplificador y de la carga se ha mostrado en la Figura 1.2. Para obtener los valores de las ganancias pedidas se debe aplicar las ecuaciones (1.11), (1.12), (1.13), y (1.14).

a) La ganancia de tensión $A_v = \frac{v_{out}}{v_{in}} = \frac{R_L}{R_L + R_{out}} A_{vo} = \frac{8 \Omega}{8 \Omega + 2 \Omega} 10^4 = 8000$

La ganancia de tensión vista desde la fuente es

$$A_{vs} \equiv \frac{v_{out}}{v_s} = \frac{R_{in}}{R_{in} + R_s} A_v = \frac{2 M\Omega}{2 M\Omega + 1 M\Omega} 8000 = 5333,33$$

El valor de esta ganancia es menor debido al valor relativamente elevado de la resistencia interna de la fuente de tensión, R_s . La corriente que fluye por esta resistencia provoca en ella una caída apreciable de tensión.

b) $A_i = \frac{i_{out}}{i_{in}} = \frac{R_{in}}{R_L + R_{out}} A_{vo} = \frac{2 M\Omega}{8 \Omega + 2 \Omega} \times 10^4 = 2 \times 10^9$

La ganancia de corriente es muy grande debido a que la elevada resistencia de entrada R_{in} permite solamente la circulación de una pequeña corriente de entrada i_{in} , mientras que la relativamente pequeña resistencia de carga R_L hace que la corriente de salida i_{out} sea elevada.

c) $A_p = A_v A_i = 16 \times 10^{12}$

d) Para calcular el valor de la resistencia de carga que maximiza el valor de la ganancia de potencia se debe emplear la derivada parcial de la ganancia de potencia respecto a la resistencia de carga, y la expresión resultante igualarla a cero:

$$\frac{\delta A_p(R_L)}{\delta R_L} = \frac{(R_{out} - R_L) R_{in}}{(R_L + R_{out})^3} A_{vo}^2 = 0$$

Al resolver esta ecuación se obtiene que se debe cumplir $R_L = R_{out}$ para obtener la máxima ganancia de potencia.

Ej. 2 — Considérese la conexión en cascada de los dos amplificadores que se muestran en la Figura 1.7. Calcular la ganancia de tensión, de corriente y de potencia de cada etapa y de la conexión completa en cascada.

Solución (Ej. 2) — Si se considera que la carga de la primera etapa es la resis-

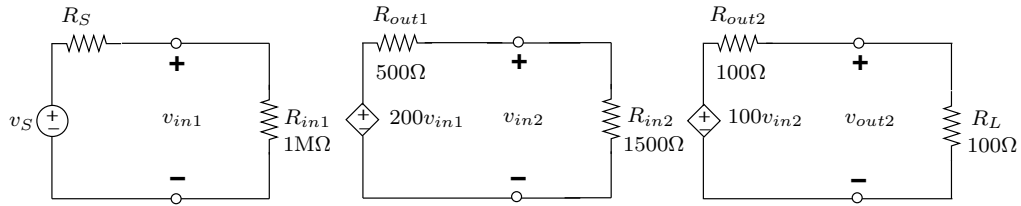


Figura 1.7: Conexión en cascada de dos amplificadores.

tencia de entrada de la segunda etapa, la ganancia de tensión de esta etapa es:

$$A_{v1} = \frac{v_{in2}}{v_{in1}} = \frac{R_{in2}}{R_{in2} + R_{out1}} A_{vo1} = \frac{1500}{1500 + 500} 200 = 150$$

Similarmente:

$$A_{v2} = \frac{v_{out2}}{v_{in2}} = \frac{R_L}{R_L + R_{out2}} A_{vo2} = \frac{100}{100 + 100} 100 = 50$$

La ganancia de tensión global es $A_v = \frac{v_{out2}}{v_{in1}} = A_{v1} \cdot A_{v2} = 7500$

Debido a que R_{in2} es la resistencia de carga de la primera etapa, se puede calcular la ganancia de corriente para esta etapa mediante la tercera igualdad de la expresión (1.12):

$$A_{i1} = \frac{R_{in1}}{R_{in2}} A_{v1} = \frac{10^6}{1500} 150 = 10^5$$

Similarmente, la ganancia de corriente de la segunda etapa es:

$$A_{i2} = \frac{R_{in2}}{R_L} A_{v2} = \frac{1500}{100} 50 = 750$$

La ganancia de corriente global es:

$$A_i = A_{i1} \cdot A_{i2} = 75 \times 10^6$$

Finalmente, las ganancias de potencia son:

$$\begin{aligned} A_{p1} &= A_{v1} \cdot A_{i1} = 15 \times 10^6 \\ A_{p2} &= A_{v2} \cdot A_{i2} = 37500 \\ A_p &= A_{p1} \cdot A_{p2} = 5,625 \times 10^{11} \end{aligned}$$

1.3 El amplificador diferencial

En la Figura 1.8 se muestra el esquema funcional de un amplificador diferencial. El terminal de entrada 1 se llama entrada no inversora (se marca con un símbolo +) y el terminal 2 es la entrada inversora (se marca con un símbolo -). Por estos

terminales se introducen dos señales de tensión $v_1(t)$ y $v_2(t)$ mediante las fuentes $v_{s1}(t)$ y $v_{s2}(t)$, las cuales se han supuesto con resistencias internas $R_{s1}(t)$ y $R_{s2}(t)$. La salida del amplificador está cargada con una resistencia R_L .

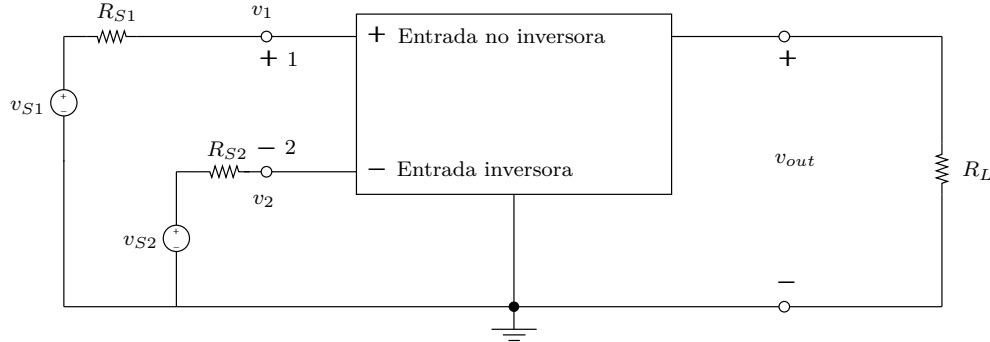


Figura 1.8: Esquema funcional de un amplificador diferencial (no se muestra la alimentación).

La excitación del sistema da como resultado, en la zona lineal, una señal de salida v_{out} que consta de dos términos: el primero es una amplificación de la diferencia de las dos señales de entrada, y el segundo, es una amplificación del promedio de estas dos señales. Matemáticamente, la salida se puede escribir como:

$$v_{out} = A_d(v_1 - v_2) + A_c \frac{v_1 + v_2}{2} \quad (1.29)$$

donde A_d y A_c son ganancias de tensión en el sentido definido en la capítulo anterior. Se denominan, respectivamente, ganancia de tensión en modo diferencial y ganancia de tensión en modo común. Para hacer más compacta la notación, se define:

$$v_d \equiv v_1 - v_2 \quad (1.30)$$

$$v_c \equiv \frac{v_1 + v_2}{2} \quad (1.31)$$

y se llaman a v_d tensión en modo diferencial, y a v_c tensión en modo común. Haciendo uso de estas definiciones, se podrá escribir la ecuación 1.29 de una forma más compacta:

$$v_{out} = A_d v_d + A_c v_c \quad (1.32)$$

Es de destacar, como también se señaló anteriormente, que este tipo de relación solamente es válida bajo determinadas condiciones de linealidad, las cuales se suponen ciertas mientras que no se diga lo contrario. En general, un buen amplificador diferencial tiene una ganancia de tensión en modo diferencias A_d mucho mayor que la ganancia en modo común A_c . La relación entre una y otra se denomina razón de rechazo en modo común, abreviadamente *RRMC*. Matemáticamente, esta magnitud se define como:

$$RRMC \equiv \frac{A_d}{A_c} \tag{1.33}$$

$$RRCM(db) = 20 \text{Log} \left| \frac{A_d}{A_c} \right| \tag{1.34}$$

Se ha estudiado cómo los amplificadores de una entrada se pueden modelar mediante un circuito equivalente que contiene una resistencia de entrada, una resistencia de salida y una fuente dependiente. Esto permitió predecir, bajo el supuesto de linealidad, lo que ocurre cuando al amplificador se le conecta una carga y se le excita mediante una fuente, de tensión o de corriente. De forma análoga, un amplificador diferencial puede ser modelado mediante un circuito que contenga resistencias y fuentes dependientes. Son posibles varios de estos circuitos, en la Figura 1.9 se muestra uno de ellos. Se suponen conocidos los parámetros que definen este circuito: R_d , R_c , R_{out} , A_{do} y A_{co} . Siguiendo la notación, se ha utilizado un subíndice ‘o’ para denotar ganancias en lazo abierto.

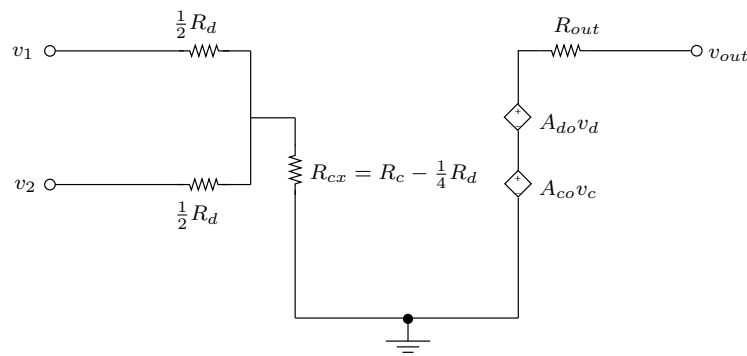


Figura 1.9: Modelo lineal para el amplificador diferencial.

Es evidente que un amplificador diferencial puede ser también utilizado como un amplificador de una sola entrada. Esto se consigue anulando alguna de las dos entradas, mediante una conexión a masa, e introduciendo la señal por la otra entrada.

Cuestiones y Ejercicios Resueltos

Ej. 3 — Un amplificador presenta una ganancia diferencial $A_d = 50000$. Si ambos terminales de entrada se conectan a una señal de tensión de 1 V, se observa a la salida una tensión de 0,1 V. ¿Cuál es el valor la ganancia del modo común y el valor de la RRMC, ambos expresados en decibelios?

Solución (Ej. 3) — A partir de los valores de $v_1=1$ V y de $v_2=1$ V y utilizando las expresiones (1.30) y (1.31), se calcula $v_d=0$ V y $v_c=1$ V. Aplicando la expresión (1.32), $v_{out} = A_d v_d + A_c v_c = A_d \times 0 + A_c \times 1=0,1$ V, se obtiene el valor de $A_c = 0,1$

que en decibelios es $A_c = -20$ dB. Para el valor de la RRMC se aplica la expresión $RRMC(\text{dB}) = 20 \log \frac{A_d}{A_c} = 113,98$ dB.

Ej. 4 — Un amplificador presenta una tensión de salida $v_{out} = A_1 v_1 - A_2 v_2$. Se pide:

- En el caso de que $v_1 = 0,5$ V y que $v_2 = -0,5$ V, calcular v_{out} y A_d en función de A_1 y de A_2 .
- En el caso de que $v_1 = 1$ V y que $v_2 = 1$ V, calcular v_{out} y A_c en función de A_1 y de A_2 .
- Obtener el valor de la RRMC, si $A_1 = 100$ y $A_2 = 101$.

Solución (Ej. 4) — a) Los valores de $v_d = 1$ V y de $v_c = 0$ V. La tensión de salida es $v_{out} = \frac{A_1}{2} + \frac{A_2}{2} = A_d v_d + A_c v_c = A_d$ al ser $v_c = 0$

b) Los valores de $v_d = 0$ V y de $v_c = 1$ V. La tensión de salida es $v_{out} = A_1 - A_2 = A_d v_d + A_c v_c = A_c$ al ser $v_d = 0$.

c) El valor de la RRMC $= 20 \log \left| \frac{A_d}{A_c} \right| = 20 \log \left| \frac{\frac{A_1}{2} + \frac{A_2}{2}}{A_1 - A_2} \right| = 40,04$ dB

Ej. 5 — Hallar los componentes en modo común y diferencial cuando las señales de entrada son: $v_1(t) = 2 + 3 \cos 30t + 8 \cos 16t$ y $v_2(t) = 6 - 4 \cos 30t + 8 \cos 16t$.

Solución (Ej. 5) — Aplicando las expresiones (1.30) y (1.31), se calcula:

$$v_d = (2 + 3 \cos 30t + 8 \cos 16t) - (6 - 4 \cos 30t + 8 \cos 16t) = -4 + 7 \cos 30t$$

$$v_c = 0,5[(2 + 3 \cos 30t + 8 \cos 16t) + (6 - 4 \cos 30t + 8 \cos 16t)] = 4 - 0,5 \cos 30t + 8 \cos 16t$$

Ej. 6 — Las tensiones aplicadas a un amplificador diferencial son:

$$v_1(t) = 0,01 \cos(2\pi 400t) + 0,2 \cos(2\pi 60t) \text{ y}$$

$$v_2(t) = -0,01 \cos(2\pi 400t) + 0,2 \cos(2\pi 60t)$$

Se pide calcular $v_{out}(t)$ si $A_d = 100$ y $A_c = 0,5$

Solución (Ej. 6) — Primero se obtienen las componentes en modo diferencial y en modo común: $v_d(t) = 0,02 \cos(2\pi 400t)$ y $v_c(t) = 0,2 \cos(2\pi 60t)$. Ahora se aplica la expresión (1.32) para obtener:

$$v_{out} = 2 \cos(2\pi 400t) + 0,1 \cos(2\pi 60t)$$

1.4 El amplificador operacional

Un amplificador operacional es un circuito integrado que tiene una ganancia de tensión diferencial A_{do} muy alta, y ciertas características particulares que se enumerarán más adelante. Uno de los amplificadores operacionales más típicos es el $\mu A 741$. Su circuitería es relativamente simple, constando de unos 13 transistores npn, 8 transistores pnp, 10 resistencias y un condensador. En la Figura 1.10 se aprecia el esquema de dicho amplificador.

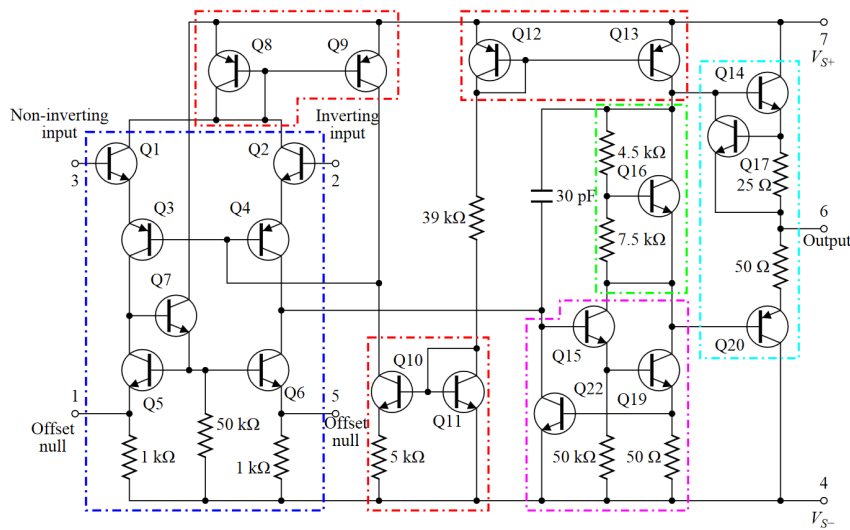


Figura 1.10: Esquema del amplificador operacional μA 741 (Texas Instruments).

Para representar un amplificador operacional se utiliza un símbolo como el de la Figura 1.11. Se han enumerado los cinco terminales más importantes que aparecerían en el circuito donde el amplificador operacional viene integrado. Los terminales 3 y 2 son, respectivamente, las entradas no inversora e inversora. Estos terminales son los nodos por donde se introducen las excitaciones. La respuesta a la excitación se obtiene en el terminal de salida, que corresponde al terminal 6. Dado que el amplificador operacional es un circuito *activo*, los terminales 7 y 4 se utilizan para alimentarlo con dos fuentes de tensión continua de $\pm V_{CC}$ voltios. Los valores típicos son ± 12 voltios, aunque otros valores como ± 15 o ± 8 también son posibles. Incluso son posibles valores no simétricos. En la mayoría de las ocasiones se omite la representación de las fuentes de alimentación, y algunas veces también su nodo de masa.

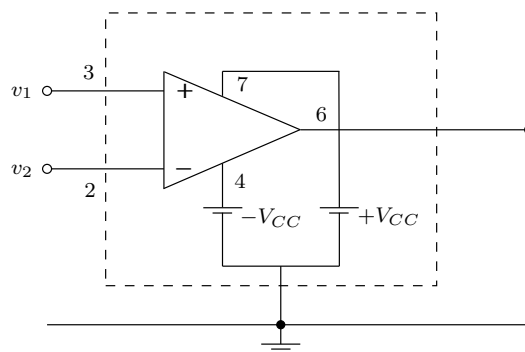


Figura 1.11: Simbología para un amplificador operacional.

El comportamiento de un amplificador operacional real puede aproximarse mediante modelos ideales o cuasi-ideales. Así, tomando como base el circuito mostrado en la Figura 1.9 correspondiente a un amplificador diferencial, se define el amplificador operacional cuasi-ideal como aquel que tiene las siguientes características:

- Una resistencia R_c infinita.
- Una ganancia de tensión en modo común A_{co} nula.
- Una ganancia de tensión diferencial en lazo abierto A_{do} muy grande. Del orden de 10^3 a 10^6 . Esta ganancia también suele denominarse *ganancia de tensión en corriente continua*.
- Una resistencia R_d muy grande. Del orden de $10^6 \Omega$ o más alta.
- Una resistencia de salida R_{out} pequeña. Del orden de 100Ω o menos.
- Una curva característica de transferencia con la forma que se muestra en la Figura 1.12. En ella se observa que la zona lineal está definida por el intervalo $[-V_{cc}/A_d, +V_{cc}/A_d]$. Por otra parte, también se observa que la tensión de salida nunca puede exceder los voltajes de alimentación $\pm V_{cc}$. Además, esta gráfica lleva implícita una tensión offset nula, ya que v_{out} es cero si la entrada v_d es cero.

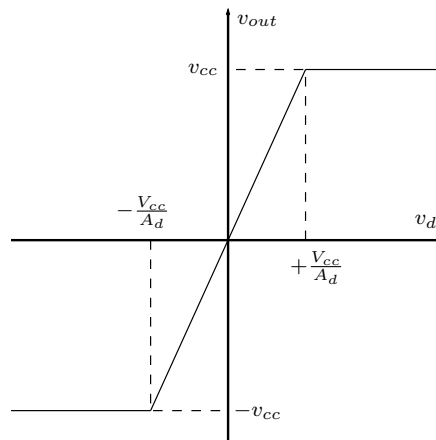


Figura 1.12: Curva característica de transferencia para un amplificador operacional cuasi-ideal.

- La ganancia en lazo abierto A_{do} es función de la frecuencia, Figura 1.13. El ancho de banda se extiende desde la frecuencia cero (tensión continua) hasta una cierta frecuencia ⁶ f_b por encima de la cual A_{do} empieza a disminuir. La expresión de la ganancia en lazo abierto en función de la frecuencia es:

⁶En el texto se utilizará indistintamente ω o f para representar a la frecuencia. La relación entre ambas es $\omega = 2\pi f$.

$$A_{do}(s) = \frac{A_{do}}{1 + s/2\pi f_b} \quad (1.35)$$

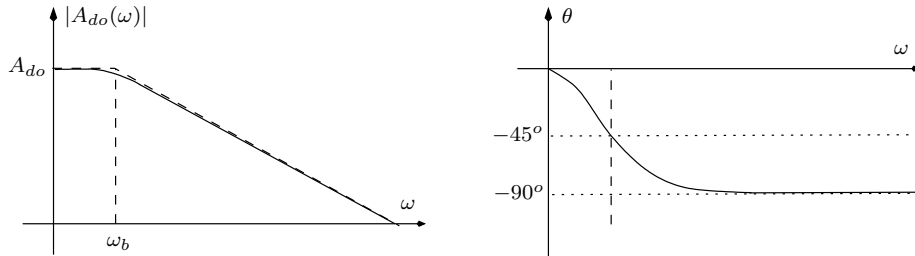


Figura 1.13: Diagrama de Bode de la ganancia en lazo abierto del amplificador operacional.

Según todo lo anterior, en la zona lineal, un amplificador operacional cuasi-ideal puede ser representado mediante el circuito de la Figura 1.14.

Un amplificador operacional se llama ideal si además cumple con las siguientes restricciones:

- La resistencia de salida R_{out} es nula. Esto implica que la tensión de salida v_{out} es independiente de la carga.
- La resistencia R_d es infinita. Esto implica que las corrientes que entran en el amplificador a través de los terminales inversor y no inversor son nulas.
- Una ganancia de tensión diferencial en lazo abierto A_{do} infinita. Esto implica una tensión diferencial v_d nula, matemáticamente necesaria para tener una salida v_{out} finita.
- El ancho de banda es infinito. Esto implica que la ganancia A_{do} es una constante independiente de la frecuencia.

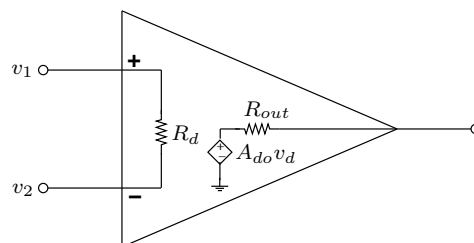


Figura 1.14: Modelo lineal para el amplificador operacional cuasi-ideal.

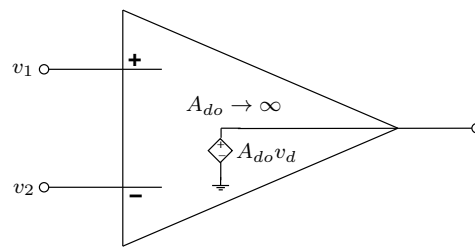


Figura 1.15: Modelo lineal para el amplificador operacional ideal.

En lo que sigue, y mientras que no se diga lo contrario, se supondrá que los amplificadores operacionales son ideales, de modo que, podrán ser sustituidos por el circuito que se muestra en la Figura 1.15.

En la siguiente sección y capítulos posteriores, se presentarán algunos circuitos básicos que utilizan amplificadores operacionales con realimentación negativa. En estos circuitos una parte de la señal de salida del amplificador operacional se retorna hacia la entrada en oposición a ésta. Para un amplificador ideal, se supone una ganancia en lazo abierto A_{do} cercana a infinito, por lo que una señal de entrada muy pequeña ocasionará una señal de salida muy grande. En la realimentación negativa, una fracción de la salida se retorna hacia la entrada inversora del amplificador. Esto provoca que la entrada de tensión diferencial tenga un valor cercano a 0. Si se asume un valor infinito de la ganancia, entonces la tensión diferencial de entrada será exactamente igual a cero. Puesto que esta tensión de entrada es cero, la corriente de entrada es también igual a cero. Bajo este supuesto, la técnica de análisis está basada en: hacer nulas las corrientes que entran por los terminales del amplificador y hacer nula la diferencia de potencial entre estos dos terminales: $v_d = v_1 - v_2 = 0$.

Cuestiones y Ejercicios Resueltos

Ej. 7 — Una realimentación negativa reduce la ganancia de un amplificador operacional pero aumenta su ancho de banda. En un amplificador realimentado con un polo dominante (caso del amplificador operacional), el producto de la ganancia por el ancho de banda es constante. Es decir $A_{dc} f_{bf} = A_{do} f_b = f_T$, siendo A_{dc} la ganancia del amplificador con realimentación a frecuencia 0 (en la nomenclatura anglosajona dc *direct current*), f_{bf} es la frecuencia de corte (igual al ancho de banda del amplificador operacional). Por ejemplo, un amplificador operacional tiene una ganancia en tensión continua $A_{do} = 10^5$ y un ancho de banda $f_b = 40$ Hz. Calcular el ancho de banda de este amplificador si se utiliza realimentación negativa de manera que su ganancia de tensión en continua A_{dc} es de 100, 10 y 1.

Solución (Ej. 7) — Si se aplica la expresión $f_{bf} = \frac{A_{do} f_b}{A_{dc}}$, se obtiene el correspondiente ancho de banda para cada valor de la ganancia con realimentación:

$$\text{Para } A_{dc} = 100, f_{bf} = \frac{10^5 \cdot 40}{100} = 40 \text{ kHz}$$

$$\text{Para } A_{dc} = 10, f_{bf} = \frac{10^5 \cdot 40}{10} = 400 \text{ kHz}$$

Para $A_{dc} = 1$, $f_{bf} = \frac{10^5 \cdot 40}{1} = 4 \text{ MHz} = f_T$

1.5 El amplificador inversor

El circuito de la Figura 1.16 se denomina amplificador inversor. Consta de un amplificador operacional y dos resistencias R_1 y R_2 . La entrada del amplificador v_{in} se excita mediante una fuente de tensión v_s que tiene una resistencia interna R_s . Esta resistencia queda en serie con la resistencia del amplificador R_1 . La resistencia R_2 hace que el circuito tenga una realimentación *negativa*, ya que parte de la señal de salida se aplica a la entrada.

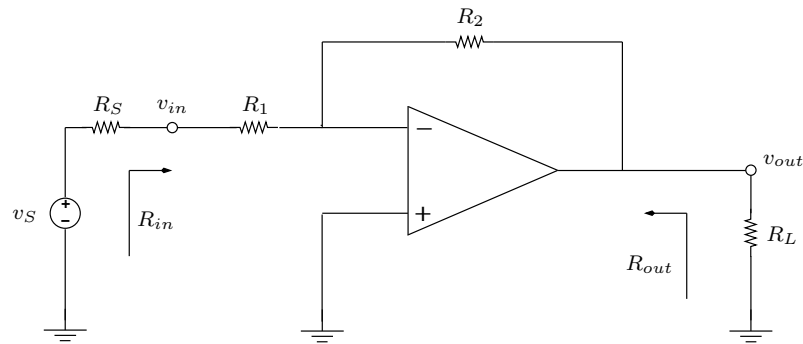


Figura 1.16: Amplificador inversor.

Para analizar este amplificador se utilizan los principios de ganancia infinita para hallar la ganancia de tensión, las resistencias de entrada y de salida. La ganancia infinita del operacional obliga que las tensiones de ambas entradas, inversora y no inversora (ésta conectada a masa) sean idénticas: en este caso igual a 0 V. Se dice que hay una *masa virtual* en el terminal inversor. Utilizando este concepto, la corriente de entrada del amplificador es:

$$i_1 = \frac{v_{in} - 0}{R_1} \tag{1.36}$$

Utilizando de nuevo el concepto de masa virtual, la intensidad de la corriente que circula por R_2 es:

$$i_2 = \frac{0 - v_{out}}{R_2} \tag{1.37}$$

La ganancia infinita implica que $i_1 = i_2$, luego igualando las dos expresiones anteriores se obtiene:

$$A_v = \frac{v_{out}}{v_{in}} = -\frac{R_2}{R_1} \tag{1.38}$$

si $-V_{cc} \leq v_{out} \leq +V_{cc}$

$$A_{v_s} = \frac{v_{out}}{v_s} = -\frac{R_2}{R_s + R_1} \tag{1.39}$$

Como se indica, este resultado solamente es válido para aquellos valores de v_{in} para los cuales v_{out} está en el margen $\pm V_{CC}$. Esta premisa se supondrá cierta para el resto de los circuitos. Obsérvese cómo la tensión de salida $v_{out} = -v_{in}R_2/R_1$ es independiente de la resistencia de carga R_L puesto que la salida actúa como una fuente ideal de tensión, en otras palabras *la resistencia de salida del amplificador inversor es cero*.

Obsérvese que si $R_1 \gg R_s$ entonces $A_v \simeq A_{vs}$. Ajustando la resistencia R_2 se puede diseñar el amplificador con el factor de ganancia que se desee, incluso, la unidad. En este último caso, el amplificador sólo invierte la señal de entrada, realizando la operación matemática: opuesto de una función bajo la operación suma.

Por último, es importante destacar que, este amplificador tiene una resistencia de entrada $R_{in} = R_1$ y una resistencia de salida $R_{out} = 0$.

Cuestiones y Ejercicios Resueltos

Ej. 8 — Diseñe un amplificador que tenga una ganancia de tensión de -40 y una resistencia de entrada de $5\text{ k}\Omega$.

Solución (Ej. 8) — Si se utiliza la configuración del amplificador inversor de la figura 1.16, la ganancia está dada por la expresión (1.38), por lo tanto se puede poner la relación $R_2 = 40R_1$. Si la resistencia de entrada debe valer $5\text{ k}\Omega$, entonces $R_1=5\text{ k}\Omega$ y $R_2=200\text{ k}\Omega$.

Ej. 9 — Diseñe un amplificador inversor con ganancia de -30. La corriente del operacional debe ser de 0.5 mA cuando $v_{out}=-2\text{ V}$ sin ninguna carga conectada.

Solución (Ej. 9) — En la configuración del amplificador inversor de la figura 1.16 se supone que $R_L = \infty$, por lo tanto toda la corriente del amplificador operacional circula por la resistencia R_2 y según la expresión (1.37):

$$i_1 = i_2 = \frac{0 - v_{out}}{R_2} = \frac{0 - (-2)}{R_2} = 0,5 \times 10^{-3}$$

El valor de $R_2=4\text{ k}\Omega$, y aplicando la relación (1.38) se obtiene el valor de $R_1 = R_2 / -(-30)=133.3\text{ }\Omega$.

Ej. 10 — El amplificador inversor con red de realimentación puente T, Figura 1.17 actúa de forma similar al amplificador inversor de la Figura 1.16. A diferencia de este, la red de realimentación es multielemento, formada por tres resistencias: R_2 , R_3 y R_4 . Esta red de realimentación, a diferencia de la red de realimentación estándar formada por una sola resistencia, produce una ganancia de tensión grande sin necesidad de utilizar resistencias de gran valor. Esto es conveniente, porque al implementar un circuito en forma integrada, el área que necesitan las resistencias en el chip es aproximadamente proporcional al valor de la suma de todas ellas. Obtenga el valor de la ganancia de tensión y los de las impedancias de entrada y de salida para los siguientes valores de resistencias: $R_1 = R_3=1\text{ k}\Omega$ y $R_2 = R_4=10\text{ k}\Omega$.

Solución (Ej. 10) — Primero es preciso verificar que la realimentación negativa está presente. Se asume un valor positivo para v_{in} , por lo que la salida tendrá un

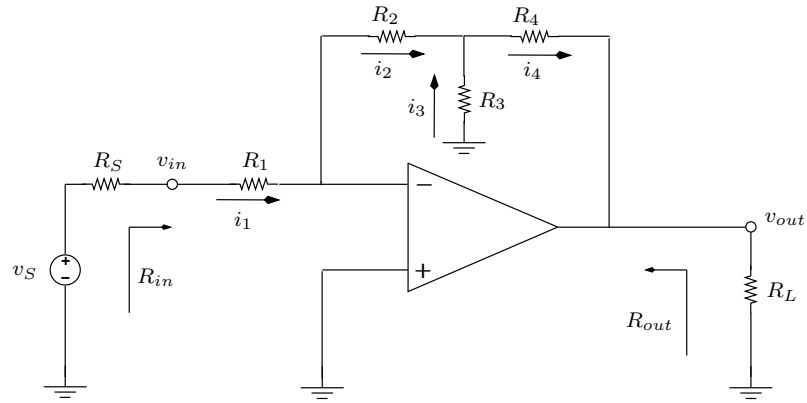


Figura 1.17: Amplificador inversor con red de realimentación puente T.

valor negativo. Parte de este valor negativo retorna hacia la entrada a través del puente T, de manera que se opone en signo a la entrada de señal original. Por lo tanto se puede suponer que $v_i = 0$ e $i_i = 0$. Ahora se aplica las leyes de Kirchoff y de Ohm para analizar el circuito. En primer lugar:

$$i_{in} = \frac{v_{in}}{R_1} \quad (1.40)$$

$$i_2 = i_{in} \quad (1.41)$$

Por otra parte, en el punto de unión de las resistencias R_2 y R_3 :

$$R_2 i_2 = R_3 i_3 \quad (1.42)$$

Aplicando la Ley de corriente de Kirchoff al puente T:

$$i_4 = i_2 + i_3 \quad (1.43)$$

A continuación se escribe la expresión de la tensión de salida v_{out} para el lazo que contiene a las resistencias R_4 y R_3 , obteniendo:

$$v_{out} = -R_4 i_4 - R_3 i_3 \quad (1.44)$$

Se utiliza el método de sustitución para eliminar las corrientes (i_1 , i_2 , i_3 e i_4) y poder obtener la ecuación que relaciona la tensión de salida con la tensión de entrada. De las expresiones (1.40), (1.41) y (1.42) se obtiene:

$$i_3 = v_{in} \frac{R_2}{R_1 R_3} \quad (1.45)$$

Sustituyendo las ecuaciones (1.41) y (1.45) en (1.43) se obtiene

$$i_4 = v_{in} \left(\frac{1}{R_1} + \frac{R_2}{R_1 R_3} \right) \quad (1.46)$$

Finalmente se sustituye las ecuaciones (1.45) y (1.46) en (1.44) para obtener la expresión y el valor de la ganancia de tensión.

$$A_v = \frac{v_{out}}{v_{in}} = - \left(\frac{R_2}{R_1} + \frac{R_4}{R_1} + \frac{R_2 R_4}{R_1 R_3} \right) = -120 \quad (1.47)$$

Como en el caso del amplificador inversor estándar la resistencia de entrada sigue siendo R_1 y la de salida nula.

Ej. 11 — En el amplificador inversor de la Figura 1.16 $R_1=1\text{ k}\Omega$. Calcular el valor de R_2 para que la ganancia sea la misma que la obtenida en el ejercicio 10.

Solución (Ej. 11) — En el amplificador inversor de la Figura 1.16 la ganancia de tensión está dada por la expresión (1.38). Por lo tanto, para que la ganancia sea de -120, la resistencia $R_2=120\text{ k}\Omega$. Obsérvese que en este amplificador la relación de resistencias es de 120:1 mientras que en el amplificador con puente T la relación es de 10:1.

Cuestiones y Ejercicios Propuestos

Ej. 12 — Dibuje el modelo de un amplificador de tensión. ¿El parámetro de la ganancia se mide en cortocircuito o en circuito abierto? Repita la cuestión en el caso del amplificador de corriente, del amplificador de transconductancia y el de transresistencia.

Ej. 13 — ¿Qué es el efecto de carga en un circuito amplificador?

Ej. 14 — Dibuje la conexión en cascada de dos amplificadores. ¿Cómo es la ganancia de la conexión en cascada en términos de la ganancia de tensión de cada uno de los amplificadores?

Ej. 15 — ¿Cómo se convierte a decibelios la ganancia de potencia?, ¿y la de tensión?

Ej. 16 — Comente la veracidad o falsedad de la siguiente frase: *los amplificadores aumentan la potencia de la señal y, por lo tanto, requieren fuentes de alimentación para poder funcionar.*

Ej. 17 — ¿Cómo se puede obtener una característica de amplificación lineal utilizando un dispositivo electrónico que tiene una curva de transferencia no lineal?

Ej. 18 — ¿Cuáles son las resistencias de entrada y de salida de un amplificador ideal de tensión? Repita para cada uno de los otros tipos de amplificadores ideales.

Ej. 19 — ¿Qué tipo de señales se utilizan para medir la respuesta en frecuencia de los amplificadores?

Ej. 20 — Represente la magnitud de la ganancia de un amplificador frente a la frecuencia en los casos: a) el acoplamiento es en continua y b) el acoplamiento es en alterna.

Ej. 21 — Un amplificador diferencial tiene sus entradas conectadas a las fuentes de tensión v_1 y v_2 . Escribir las definiciones de las tensiones de entrada diferencial y de la tensión en modo común.

Ej. 22 — Escriba las características de un amplificador operacional ideal.

Ej. 23 — Defina el término de *masa virtual* en el amplificador inversor. ¿Se puede aplicar si la entrada no inversor está conectado al terminal de una resistencia y el otro terminal de esta resistencia se conecta a masa?, ¿Puede fluir la corriente a masa en una masa virtual?

Ej. 24 — En la figura 1.10 se aprecia el esquema del amplificador operacional $\mu 741$. En el circuito hay un condensador de 30 pF, denominado *condensador de compensación*. Comente cuál es la función de dicho condensador en la respuesta en frecuencia del amplificador operacional en lazo abierto.

Ej. 25 — ¿Cuál es la ganancia del amplificador operacional en lazo abierto, $A_{do}(\omega)$ si la frecuencia de la señal de entrada es igual a f_b .

Ej. 26 — Si la frecuencia de la señal de entrada de un amplificador en lazo abierto es igual a f_T , ¿cuál es el valor de $A_{do}(\omega)$.

Ej. 27 — Dibuje el circuito del amplificador inversor básico. Obtener la expresión de la ganancia de tensión en función de las resistencias, asumiendo que el amplificador es ideal. Obtener las expresiones de la resistencia de entrada y la de salida.

Ej. 28 — Suponga que está diseñando un amplificador inversor con un amplificador operacional. ¿Qué inconveniente se presenta si utiliza una resistencia de realimentación de pequeño valor?

Ej. 29 — Un amplificador operacional real está alimentado por una tensión de $\pm 12\text{V}$. Para un montaje inversor y una resistencia de realimentación grande, ¿cuál es el valor de la máxima tensión de pico a pico en la carga si ésta es muy grande y si ésta es muy pequeña?

Ej. 30 — Una señal con tensión de 5 mV en circuito abierto y $10\text{ k}\Omega$ de resistencia interna se conecta a una carga de $100\ \Omega$ mediante un amplificador de tensión con ganancia en circuito abierto de 200 y con resistencias de entrada y de salida de $90\text{ k}\Omega$ y de $100\ \Omega$, respectivamente. Calcular los valores numéricos de la tensión de salida del amplificador y la ganancia de tensión.

Solución (Ej. 30) — $v_{out}=450\text{ mV}$, $A_v=100$.

Ej. 31 — A partir del amplificador del ejercicio 30 hallar:

- a) La ganancia de corriente.
- b) La ganancia de potencia.
- c) La tensión que habría en la resistencia de carga si la fuente se conecta directamente a la carga sin utilizar un amplificador.

Solución (Ej. 31) — a) $A_i = 9 \times 10^4$. b) $A_p = 9 \times 10^6$. c) $V_L = 49,5\ \mu\text{V}$.

Ej. 32 — Un amplificador tiene una tensión en la entrada $v_{in}=35\text{ mV}$ y una tensión en la carga $v_{out}=6\text{ V}$. La resistencia de la entrada es $R_{in}=10\text{ k}\Omega$ y la de la carga

es $R_L=20\text{ k}\Omega$. Calcular las ganancias de tensión, de corriente y de potencia de este amplificador en decibelios.

Solución (Ej. 32) — $A_{vdB}=44,68\text{ dB}$, $A_{idB}=38,66\text{ dB}$, $A_{pdB}=41,67\text{ dB}$.

Ej. 33 — Al circuito en cascada de la Figura 1.7 se conecta una fuente de señal $v_s=1\text{ }\mu\text{V}$ y $R_s=10\text{ k}\Omega$. Calcule:

- Las tensiones v_{in1} , $v_{in2} = v_{out1}$ y v_{out2} .
- Las corrientes, i_{in1} , $i_{out1} = i_{in2}$ e i_{out2} .
- La ganancia de tensión $A_{vs} = \frac{v_{out2}}{v_s}$.

Solución (Ej. 33) — a) $v_{in1}=99,01\text{ }\mu\text{V}$, $v_{in2} = v_{out1}=14,85\text{ mV}$ y $v_{out2}=0,74\text{ V}$.

b) $i_{in1}=99,01\text{ nA}$, $i_{out1} = i_{in2}=9,9\text{ }\mu\text{A}$ e $i_{out2}=7,43\text{ mA}$.

c) $A_{vs} = \frac{v_{out2}}{v_s} = 7425,74$.

Ej. 34 — Obtenega el modelo simplificado global (una sola etapa) de la conexión en cascada de la Figura 1.7.

Solución (Ej. 34) — $R_{in}=1\text{ M}\Omega$, $A_{vo} = 15000$, $R_{out}=100\text{ }\Omega$.

Ej. 35 — Un amplificador en cascada de dos etapas con las siguientes características:

Amplificador 1: $R_{in1} = 10\text{ k}\Omega$, $A_{vo1} = 20$, $R_{out1} = 50\text{ }\Omega$.

Amplificador 2: $R_{in2} = 150\text{ }\Omega$, $A_{vo2} = 50$, $R_{out2} = 20\text{ }\Omega$.

conecta una fuente de señal de $v_s = 30\text{ mV}$ y $R_s = 20\text{ k}\Omega$ a una carga de $R_L = 60\text{ }\Omega$. Calcule:

- La ganancia de tensión A_{vs} .
- La ganancia de corriente i_{out2}/i_{in1} .
- La ganancia de potencia. Defina la potencia de entrada como la potencia de señal que entra en la primera etapa.

Solución (Ej. 35) — a) $A_{vs}=187,66$ b) $A_i = 93,8 \times 10^3$ c) $A_p = 52,81 \times 10^6$

Ej. 36 — Tres amplificadores con las siguientes características se conectan en cascada:

Amplificador 1: $R_{in1}=1\text{ k}\Omega$, $A_{vo1} = 10$, $R_{out1} = 100\text{ }\Omega$.

Amplificador 2: $R_{in2}=2\text{ k}\Omega$, $A_{vo2} = 20$, $R_{out2} = 200\text{ }\Omega$.

Amplificador 3: $R_{in1}=3\text{ k}\Omega$, $A_{vo3} = 30$, $R_{out3} = 300\text{ }\Omega$.

Calcular los parámetros del modelo simplificado si los amplificadores se conectan en el orden 1, 2, 3

Solución (Ej. 36) — $R_{in}=1\text{ k}\Omega$, $A_{vo} = 5357$, $R_{out} = 300\text{ }\Omega$.

Ej. 37 — Los tres amplificadores del ejercicio 36 se conectan en el orden 3, 2, 1. ¿Cuáles serán ahora los valores de los parámetros del modelo simplificado?

Solución (Ej. 37) — $R_{in}=3\text{ k}\Omega$, $A_{vo} = 4348$, $R_{out} = 100\ \Omega$.

Ej. 38 — En la Figura 1.18 se muestra un amplificador de tensión que tiene una resistencia de entrada $R_{in}=100\text{ k}\Omega$, una capacidad de entrada $C_{in}=60\text{ pF}$, un factor de ganancia a circuito abierto $A_{vo} = 144$ y una resistencia de salida $R_{out} = 200\ \Omega$. El amplificador se conecta a una fuente de tensión $v_s(t) = \mathbf{V}_{os}(\text{sen } \omega t + \theta_s)$ con una resistencia interna $R_s=20\text{ k}\Omega$. Una carga de resistencia $R_L=1\text{ k}\Omega$ está conectada a la salida.

a) Obtenga la ganancia de tensión compleja A_{vs} . Expresé el resultado en la forma de un cociente de dos polinomios de primer grado en la variable $s = j\omega$. Es decir, de la siguiente forma,

$$A_{vs}(s) = \frac{\mathbf{V}_{out}}{\mathbf{V}_s} = \frac{b_1s + b_o}{a_1s + a_o}, \quad \text{con } s = j\omega$$

b) ¿Se comporta el circuito como un filtro?

c) Hallar el módulo y la fase de la función compleja $A_{vs}(j\omega)$. Calcule la frecuencia de corte.

d) Represente mediante un diagrama de Bode la función obtenida en el apartado anterior. Obtenga gráficamente la frecuencia de corte.

e) Encuentre $v_{out}(t)$ para cada una de las siguientes entradas dadas en voltios: $v_s(t) = 0,1 \text{ sen}(10^2t)$, $v_s(t) = 0,1 \text{ sen}(10^5t)$, $v_s(t) = 0,1 \text{ sen}(10^6t)$ y $v_s(t) = 0,1 \text{ sen}(10^8t)$.

f) Repita el apartado anterior para: $v_s(t) = 0,1[\text{sen}(10^2t) + \text{sen}(10^5t)]$ y $v_s(t) = 0,1[\text{sen}(10^6t) + \text{sen}(10^8t)]$.

Solución (Ej. 38) — a) $A_{vs}(s) = \frac{b_o}{1 + a_1s}$, siendo $b_o = \frac{A_{vo}}{(1 + \frac{R_{out}}{R_L})(1 + \frac{R_s}{R_{in}})} =$

100 , $b_1 = 0$, $a_o = 1$, $a_1 = R_{eq}C_{in}$ y $R_{eq} = R_s || R_{in} = 16,66\text{ k}\Omega$.

b) Se comporta como un filtro pasa-baja de primer orden.

c) El módulo es $|A_{vs}(\omega)| = \frac{b_o}{\sqrt{1 + \omega RC_{in}}}$ y la fase es $\theta A_{vs}(\omega) = -\arctan(\omega RC_{in})$,

en radianes. La frecuencia de corte es $\omega_o = 10^6\text{ rad/s}$.

e) La expresión de la tensión de salida es:

$$v_{out}(t) = |A_{vs}(\omega)| \text{sen}(\omega t + \theta_s + \theta A_{vs}(\omega))$$

$$\text{Para } v_s(t) = 0,1 \text{ sen } 10^2t, \quad v_{out}(t) = 100 \text{ sen}(10^2t - 0).$$

$$\text{Para } v_s(t) = 0,1 \text{ sen } 10^5t, \quad v_{out}(t) = 9,95 \text{ sen}(10^5t - 0,0997).$$

$$\text{Para } v_s(t) = 0,1 \text{ sen } 10^6t, \quad v_{out}(t) = 7,01 \text{ sen}(10^6t - 0,7854).$$

$$\text{Para } v_s(t) = 0,1 \text{ sen } 10^8t, \quad v_{out}(t) = 0,09 \text{ sen}(10^8t - 1,561).$$

$$\text{f) Para } v_s(t) = 0,1[\text{sen}(10^2t) + \text{sen}(10^5t)],$$

$$v_{out}(t) = 100 \text{ sen}(10^2t - 0) + 9,95 \text{ sen}(10^5t - 0,0997).$$

$$\text{Para } v_s(t) = 0,1[\text{sen}(10^6t) + \text{sen}(10^8t)],$$

$$v_{out}(t) = 7,01 \text{ sen}(10^6t - 0,7854) + 0,09 \text{ sen}(10^8t - 1,561).$$

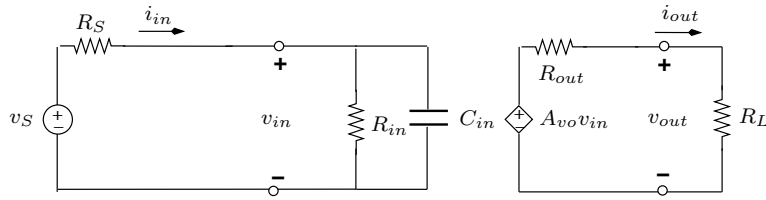


Figura 1.18: El amplificador tiene una capacidad de entrada C_{in} .

Ej. 39 — A partir de la estructura de un circuito amplificador inversor demostrar que si se sustituye una de las resistencias por un diodo, se pueden obtener circuitos que realicen las funciones exponencial y de logaritmo. Tomar como función de transferencia del diodo la siguiente expresión:

$$i_D = I_S \left(e^{\frac{v_D}{V_T}} - 1 \right) \quad (1.48)$$

donde las constantes I_S y V_T son, respectivamente, la corriente de saturación inversa del diodo y su tensión termica a 300 K.

Solución (Ej. 39) — Sustituyendo la resistencia de entrada se obtiene un circuito exponencial:

$$v_O = -RI_S \left(e^{\frac{v_I}{V_T}} - 1 \right) \quad (1.49)$$

y sustituyendo la resistencia de realimentación (restituyendo la resistencia de entrada) resulta un circuito logarítmico:

$$v_O = -V_T \log \left(\frac{v_I}{RI_S} + 1 \right) \quad (1.50)$$

Ej. 40 — En la Figura 1.19 se muestra el modelo de un amplificador conectado a un micrófono eléctrico y a una carga R_L . La fuente $v_s(t)$ genera tensión a partir de las ondas de sonido que inciden en el micrófono. $R_s=1 \text{ k}\Omega$, $C = 0,1 \mu\text{F}$, $R_{in}=2 \text{ k}\Omega$, $A_{vo} = 100$, $R_{out} = 100 \Omega$ y $R_L = 100 \Omega$

a) Obtenga la ganancia de tensión compleja A_{vs} . Exprese el resultado en la forma de un cociente de dos polinomios de primer grado en la variable $s = j\omega$. Es decir, de la siguiente forma:

$$A_{vs}(s) = \frac{\mathbf{V}_{out}}{\mathbf{V}_{in}} = \frac{b_1s + b_o}{a_1s + a_o}, \quad \text{con } s = j\omega$$

b) ¿Se comporta el circuito como un filtro?

c) Hallar el módulo y la fase de la función compleja $A_{vs}(j\omega)$.

d) Represente mediante un diagrama de Bode la función obtenida en el apartado anterior.

e) Encuentre $v_{out}(t)$ si $v_s(t) = 0,1[\text{sen}(3 \times 10^2t) + \text{sen}(5 \times 10^6t)]$

Solución (Ej. 40) — a) $A_{vs}(s) = \frac{b_1 s}{1 + a_1 s}$, siendo $b_o = 0$,

$$b_1 = \frac{R_L R_{in}}{R_{out} R_L} A_{vo} C = 0,01, \quad a_o = 1 \quad \text{y} \quad a_1 = (R_s + R_{in})C = 3 \times 10^{-4}$$

b) Se comporta como un filtro pasa-alta de primer orden.

c) El módulo es $|A_{vs}(\omega)| = \frac{b_1/a_1}{\sqrt{1 + (\frac{a_o}{a_1 \omega})^2}} = \frac{33,3}{1 + (3333,33/\omega)^2}$

y la fase es $\theta_{A_{vs}}(\omega) = +\arctan(3333,33/\omega)$, en radianes. La pulsación de corte es $\omega_o = 3333,33 \text{ rad/s}$.

e) Para $v_s(t) = 0,1[\text{sen}(3 \times 10^2 t) + \text{sen}(5 \times 10^6 t)]$,
 $v_{out}(t) = 3 \text{sen}(3 \times 10^2 t + 1,481) + 33,33 \text{sen}(5 \times 10^6 t + 0)$.

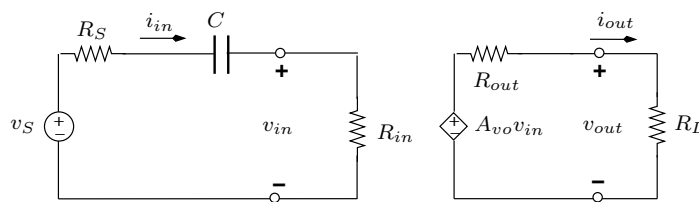


Figura 1.19: Modelo de un amplificador para micrófono.

Ej. 41 — Un amplificador de dos etapas se conecta a una carga de $R_L = 60 \Omega$, la fuente de señal es de $v_{in} = 30 \text{ mV}$, $R_s = 20 \text{ k}\Omega$. Las especificaciones del amplificador de la primera etapa son: $R_{in1} = 10 \text{ k}\Omega$, $A_{vo1} = 20$, $R_{out1} = 50 \Omega$. Las especificaciones del amplificador de la segunda etapa son: $R_{in2} = 150 \Omega$, $A_{vo2} = 50$, $R_{out2} = 20 \Omega$. Calcule:

- La ganancia global de tensión.
- La ganancia global de corriente.
- La ganancia de potencia. Defina la potencia de entrada como potencia de señal que entra en la primera etapa.

Solución (Ej. 41) — a) $A_v = 187,66$. b) $A_i = 93,8 \times 10^3$. c) $A_p = 52,81 \times 10^6$.

Ej. 42 — En un amplificador utilizado en instrumentación, la entrada consiste en 20 mV rms de señal diferencial y 5 V rms a 60 Hz de señal de interferencia en modo común. Se desea que la contribución de la interferencia sea como mínimo 60 dB menor que la contribución de la señal diferencial. ¿Cuál es el valor mínimo de la RRMC del amplificador?

Solución (Ej. 42) — El valor es de $47,96 \text{ dB}$

Ej. 43 — Un amplificador diferencial tiene las siguientes especificaciones: $A_d = 280$, $\text{RRMC} = 26 \text{ dB}$, $R_d = 20 \text{ k}\Omega$, $R_{cm} = 100 \text{ k}\Omega$ y $R_o = 100 \Omega$. Calcule los parámetros y dibuje el modelo lineal para este amplificador diferencial.

Solución (Ej. 43) — $R_d/2=10\text{ k}\Omega$; $R_{cx}=95\text{ k}\Omega$, $A_{do}=280$, $A_{co}=14,03$, $R_o=100\ \Omega$

Ej. 44 — Calcular v_{out} para el amplificador diferencial de la Figura 1.9 si $v_1(t) = 0,03\text{ sen}(2\pi 30t) + 0,081\text{ sen}(2\pi 60t)$ y $v_2(t) = -0,04\text{ sen}(2\pi 30t) + 0,080\text{ sen}(2\pi 60t)$.

Solución (Ej. 44) — $v_{out}(t) = 17,58\text{ sen}(2\pi 30t) + 1,27\text{ sen}(2\pi 60t)$

Ej. 45 — Repetir el ejercicio 44 en el caso de que las fuentes de señal tengan una resistencia interna de $5\text{ k}\Omega$ y las señales sean las mismas.

Solución (Ej. 45) — $v_{out}(t) = 11,7\text{ sen}(2\pi 30t) + 1,16\text{ sen}(2\pi 60t)$

Ej. 46 — Para el circuito de la Figura 1.20,

a) Calcule v_{out} si $v_s = 1,5\text{ V}$.

b) Calcule v_{out} si $v_s = 3\text{ V}$.

c) Grafique la curva característica de transferencia (la tensión de salida v_{out} en función de la tensión v_s).

d) Dibuje la señal de salida $v_{out}(t)$ si $v_s(t) = 1,5\text{ sen}(\omega t)$ [en V].

e) Dibuje la señal de salida $v_{out}(t)$ si $v_s(t) = 3\text{ sen}(\omega t)$ [en V].

La tensión de alimentación es de $\pm V_{cc} = \pm 12\text{ V}$.

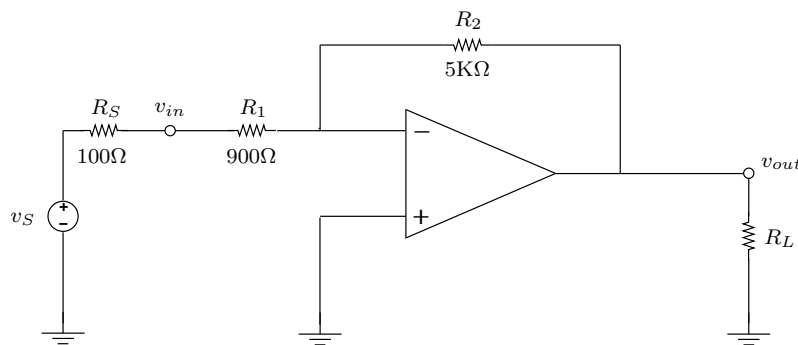


Figura 1.20: Ejercicio propuesto 46.

Solución (Ej. 46) — a) $v_{out} = -7,5\text{ V}$. b) $v_{out} = -12\text{ V}$.

Ej. 47 — Para el circuito de la Figura 1.20, la fuente de señal de entrada es $v_s=2\text{ V}$. Calcule las intensidades en todas las resistencias y la proporcionada por el amplificador operacional para los siguientes casos a) $R_L=1\text{ k}\Omega$, b) $R_L=10\text{ k}\Omega$, c) No se pone la carga R_L .

Solución (Ej. 47) — a) $I_{R_s} = I_{R_1} = I_{R_2} = 2 \text{ mA}$, $I_{R_L} = 10 \text{ mA}$, $I_{AmpOp} = 12 \text{ mA}$.
 b) $I_{R_s} = I_{R_1} = I_{R_2} = 2 \text{ mA}$, $I_{R_L} = 1 \text{ mA}$, $I_{AmpOp} = 3 \text{ mA}$. c) $I_{R_s} = I_{R_1} = I_{R_2} = 2 \text{ mA}$,
 $I_{R_L} = 0 \text{ mA}$, $I_{AmpOp} = 2 \text{ mA}$. Nótese que la tensión de salida v_{out} es siempre la misma.

Ej. 48 — Obtenga la expresión de la ganancia del amplificador inversor de la Figura 1.16 utilizando el modelo de amplificador operacional cuasi-ideal de la Figura 1.14.

Solución (Ej. 48) —
$$A_v = \frac{v_{out}}{v_{in}} = \frac{R_{out} - A_{do}R_2}{(1 + A_{do})R_1 + R_{out} + R_2}$$

Ej. 49 — Considérese la configuración inversora de la Figura 1.16 con $R_1 = 1 \text{ k}\Omega$, $R_2 = 100 \text{ k}\Omega$ y $v_{in} = 100 \text{ mV}$.

- a) Calcule los valores de la ganancia si se utiliza el modelo de amplificador operacional cuasi-ideal de la Figura 1.14 con $R_{out} = 0$ para los siguientes casos $A_{do} = 10^3, 10^4$ y 10^5 .
- b) En cada caso del apartado a), obtenga el valor del error relativo al valor ideal de la ganancia.
- c) Calcule la tensión que aparece en el terminal inversor.

Solución (Ej. 49) — a) 90,83, 99,00 y 99,90 respectivamente. b) -9,17 %, -1,00 % y -0,10 % respectivamente. c) -9,083 mV, -0,99 mV y -0,0999 mV respectivamente.

Ej. 50 — Para el circuito de la Figura 1.21, calcule v_{out} , I_1 , I_2 , I_3 e I_4 . La tensión de alimentación es de $\pm V_{CC} = \pm 12 \text{ V}$.

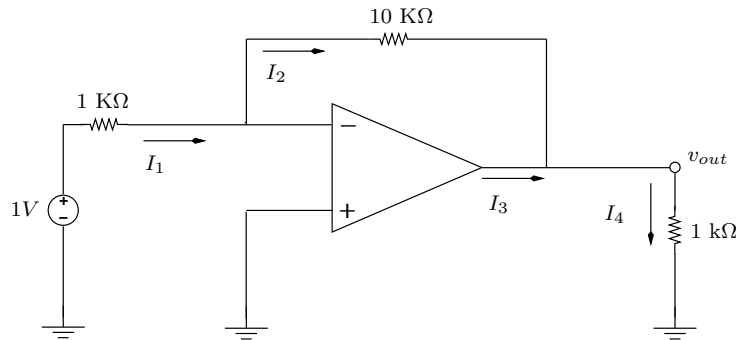


Figura 1.21: Ejercicio propuesto 50.

Solución (Ej. 50) — $v_{out} = -10 \text{ V}$, $I_1 = I_2 = 1 \text{ mA}$, $I_3 = -11 \text{ mA}$, $I_4 = -10 \text{ mA}$.

Ej. 51 — Para el circuito de la Figura 1.22, hallar v_{out} , I_1 , I_2 , I_3 e I_4 . La tensión de alimentación es de $\pm V_{CC} = \pm 18 \text{ V}$.

Solución (Ej. 51) — $v_{out} = -15 \text{ V}$, $I_1 = I_2 = I_3 = 5 \text{ mA}$, $I_4 = 10 \text{ mA}$.

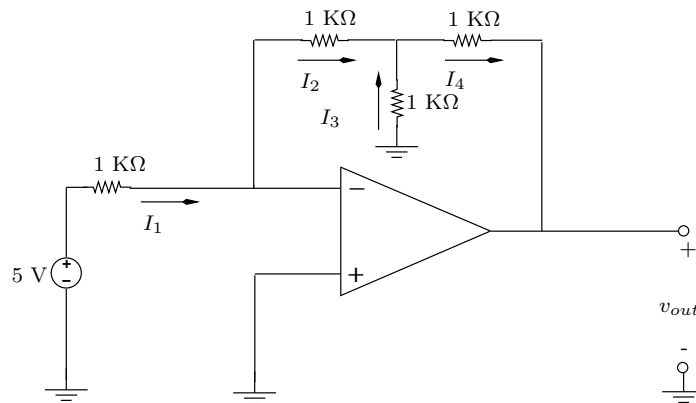


Figura 1.22: Ejercicio propuesto 51.

Ej. 52 — Se desea que un amplificador proporcione 0,5 W de potencia de señal a una resistencia de carga de $100\ \Omega$. La fuente de señal de entrada proporciona una señal senoidal de 30 mV eficaces (*rms*) y tiene una resistencia de entrada de $0,5\ \text{M}\Omega$. Para ello se dispone de tres tipos de amplificadores de tensión:

Amplificador 1: Alta resistencia de entrada, $R_{in}=1\ \text{M}\Omega$, $A_{vo}=10$ y $R_{out}=10\ \text{k}\Omega$.

Amplificador 2: Alta ganancia, $R_{in}=10\ \text{k}\Omega$, $A_{vo}=100$ y $R_{out}=1\ \text{k}\Omega$.

Amplificador 3: Baja resistencia de salida, $R_{in}=10\ \text{k}\Omega$, $A_{vo}=1$ y $R_{out}=20\ \Omega$.

Diseñe un amplificador adecuado que utilice una combinación mínima de estos amplificadores. ¿Cuáles son los valores de tensión y de potencia que obtenidos en la carga?

Ej. 53 — Se disponen de dos fuentes de señal $v_{in1}=0,2\text{sen } 20t\ \text{V}$ y $v_{in2}=9\ \text{V}$. Ambas fuentes de señal son las entradas de dos circuitos de acondicionamiento diferentes. Se desea que la salida del primero sea igual a $v_{out1}=-4-4\text{sen } 20t$ y la salida del segundo sea igual a $v_{out2}=-4+4\text{sen } 20t$. Dibuje los esquemas de ambos circuitos indicando los valores de los componentes. Utilice amplificadores operacionales ideales en el análisis de los circuitos acondicionadores.

Circuitos Amplificadores Básicos

2.1 Introducción

En este capítulo se continúa analizando circuitos básicos que contienen amplificadores operacionales (en el capítulo 1 ya se analizó el amplificador inversor). Los resultados que se dan son válidos para amplificadores ideales. Cada circuito, importante en sí mismo, también sirve como ejemplo de cómo aplicar la aproximación de ganancia infinita. Bajo este supuesto, la técnica de análisis está basada en: hacer nulas las corrientes que entran por los terminales del amplificador operacional, y hacer nula la diferencia de potencial entre estos dos terminales, $v_d = v_1 - v_2 = 0$.

2.2 El Amplificador no inversor

El circuito de la Figura 2.1 se denomina amplificador no inversor. Obsérvese, que en este caso, la fuente de tensión v_s excita directamente la entrada no inversora. La resistencia R_2 conecta la salida a la entrada inversora del amplificador operacional, por lo que existe una *realimentación negativa*.

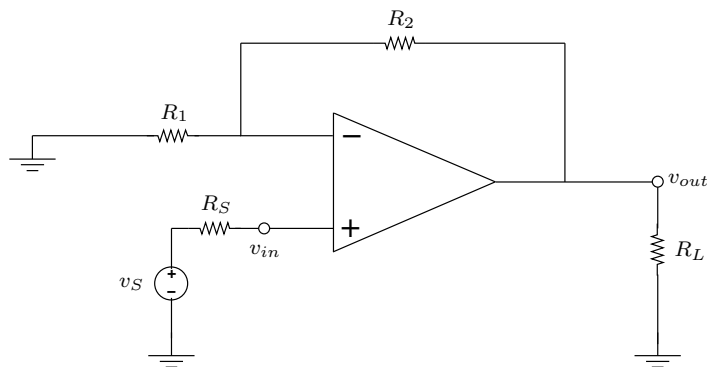


Figura 2.1: Amplificador no inversor.

La ganancia infinita del amplificador operacional obliga que la corriente de entrada a ambos terminales de entrada del operacional sea nula, por lo que $i_1 = i_2 = 0$. Al no circular corriente por R_S se cumple que $v_{in} = v_s$. La ganancia infinita también provoca que la tensión en la entrada inversora sea una copia exacta (que

se denomina *espejo de tensión*) de la tensión en la entrada no inversora v_{in} , por lo tanto:

$$i_1 = \frac{v_{in}}{R_1} \quad (2.1)$$

Aplicando ahora la ley de Ohm en la resistencia R_2 :

$$i_2 = \frac{v_{out} - v_{in}}{R_2} \quad (2.2)$$

Igualando ambas expresiones, se obtiene la ganancia de tensión del amplificador. Esta ganancia siempre es positiva.

Al ser nula la corriente de entrada al terminal no inversor del amplificador operacional (por la suposición de ganancia infinita) entonces la resistencia de entrada del amplificador no inversor es *infinita*. Igualmente que en el amplificador inversor, la tensión de salida no depende de la resistencia de carga R_L . En resumen:

$$A_v = \frac{v_{out}}{v_{in}} = 1 + \frac{R_2}{R_1} \quad (2.3)$$

$$A_{vs} = \frac{v_{out}}{v_s} = A_v \quad (2.4)$$

$$R_{in} = \infty, \quad R_{out} = 0 \quad (2.5)$$

Cuestiones y Ejercicios Resueltos

Ej. 54 — Calcule las corrientes y las tensiones en el circuito de la Figura 2.1 para los siguientes apartados:

- Los valores de $R_1=2\text{ k}\Omega$, $R_2=18\text{ k}\Omega$, $R_L=10\text{ k}\Omega$, $R_s=50\ \Omega$ y $v_s=1\text{ V}$.
- Repetir el apartado a) en el caso de que $R_L = \infty$.

Solución (Ej. 54) — a) La corriente de entrada al terminal no inversor es cero, es decir $i_s=0$. Al no circular corriente por R_s se cumple que $v_{in}=v_s=1\text{ V}$. De la expresión 2.1 se obtiene $i_1 = \frac{1}{2 \times 10^3} = 0,5\text{ mA}$. La corriente $i_2=i_1=0,5\text{ mA}$. La tensión de salida se obtiene de la expresión 2.3, es decir $v_{out}=v_{in} \left(1 + \frac{R_2}{R_1}\right) = 1 \left(1 + \frac{18 \times 10^3}{2 \times 10^3}\right) = 10\text{ V}$.

Se puede también calcular el valor de i_2 mediante la expresión 2.2, $i_2 = \frac{10 - 1}{18 \times 10^3} = 0,5\text{ mA}$.

La corriente en la carga es $i_L=v_{out}/R_L=10/10 \times 10^3=1\text{ mA}$. Finalmente la corriente que proporciona el amplificador operacional es $i_{AO}=i_2+i_L=0,5+1=1,5\text{ mA}$.

b) Si $R_L = \infty$ las únicas corrientes que se modifican son la de carga $i_L=0$ y la del amplificador operacional, pues ahora se cumple que $i_{AO}=i_2=0,5\text{ mA}$. El resto de corrientes y tensiones calculadas en el apartado a) no varían.

Ej. 55 — Diseñe un amplificador no inversor con ganancia de tensión de 10 utilizando un amplificador operacional ideal. La fuente de señal proporciona un rango desde -1 V hasta $+1\text{ V}$. Utilice resistencias de $\pm 5\%$ de tolerancia.

Solución (Ej. 55) — Si se utiliza la configuración del amplificador no inversor de la Figura 2.1, la ganancia está dada por la expresión (2.3), por lo tanto se puede poner:

$$A_v = \frac{v_{out}}{v_{in}} = 1 + \frac{R_2}{R_1} = 10$$

En teoría, cualquier valor de la resistencia R_2 que satisfaga la relación $R_2 = 9R_1$ cumplirá con el valor de la ganancia deseada. Sin embargo, no son deseables valores muy pequeños de las resistencias porque la corriente que fluye a su través debe ser suministrada por el amplificador operacional y, en última instancia, por la fuente de alimentación de continua. Por ejemplo, si $R_1=1\ \Omega$ y $R_2=9\ \Omega$, para una tensión de entrada $v_{in}=1\ \text{V}$, la tensión de salida $v_{out}=10\ \text{V}$, el amplificador operacional suministraría 1 A de corriente. La mayoría de los amplificadores operacionales integrados no son capaces de proporcionar una gran corriente de salida. En los diseños en los que la fuente de alimentación se conecta a la línea de suministro de energía alterna, es aceptable valores de corriente alrededor de varios mA. Si se está alimentando el circuito con baterías se debe reducir aún más el consumo.

Por otra parte, si se eligen valores grandes tales como $R_1=10\ \text{M}\Omega$ y $R_2=90\ \text{M}\Omega$, también se presentan problemas. Estas resistencias son inestables en su valor, particularmente en ambientes húmedos. Otro problema es el acoplo capacitivo desde los circuitos cercanos. Por lo general, valores de resistencias entre los $100\ \Omega$ y el $1\ \text{M}\Omega$ son adecuados en los circuitos con amplificadores operacionales.

Se puede observar que parejas de valores como $R_1=20\ \text{k}\Omega$, $R_2=180\ \text{k}\Omega$ y $R_1=2\ \text{k}\Omega$, $R_2=18\ \text{k}\Omega$ funcionarán igual de bien. Finalmente, si las resistencias tienen un $\pm 5\%$ de tolerancia se pueden esperar variaciones de R_2/R_1 del $\pm 10\%$.

Ej. 56 — Se desea calcular la relación v_{out}/v_s en el circuito de la Figura 2.2. Aplicar para el caso de los valores siguientes de las resistencias: $R_1=2\ \text{k}\Omega$, $R_2=7\ \text{k}\Omega$, $R_3=10\ \text{k}\Omega$ y $R_4=5\ \text{k}\Omega$.

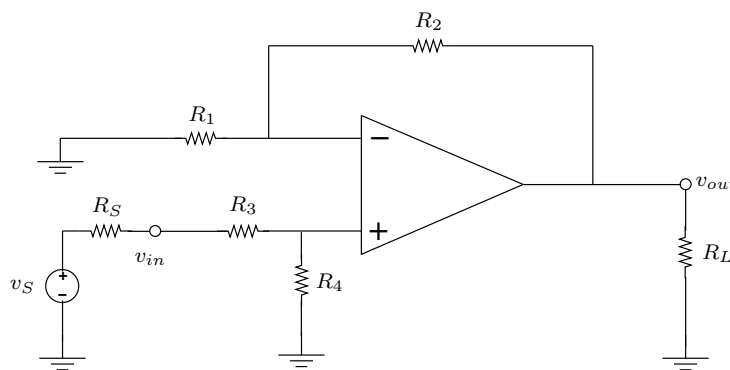


Figura 2.2: Amplificador no inversor con divisor de la señal de la fuente.

Solución (Ej. 56) — En primer lugar se calcula la relación v_{in}/v_s entre las resistencias R_3 y R_4 .

$$v_{in} = \frac{R_4}{R_3 + R_4} v_s$$

utilizando la expresión (2.3) se obtiene:

$$A_v = \frac{v_{out}}{v_{in}} = 1 + \frac{R_2}{R_1}$$

$$v_{out} = \left(1 + \frac{R_2}{R_1}\right) v_{in} = \left(1 + \frac{R_2}{R_1}\right) \frac{R_4}{R_3 + R_4} v_s$$

Finalmente:

$$\frac{v_{out}}{v_s} = \left(1 + \frac{R_2}{R_1}\right) \frac{R_4}{R_3 + R_4}$$

Sustituyendo los valores dados en el enunciado, se obtiene: $\frac{v_{out}}{v_s} = 1,5$.

2.3 Circuito seguidor de tensión

La mínima ganancia del amplificador no inversor, ecuación (2.3), es la unidad. La cual se obtiene cuando $R_2 = 0$. En este caso, el circuito de la Figura 2.3 se denomina circuito seguidor de tensión o seguidor de voltaje.

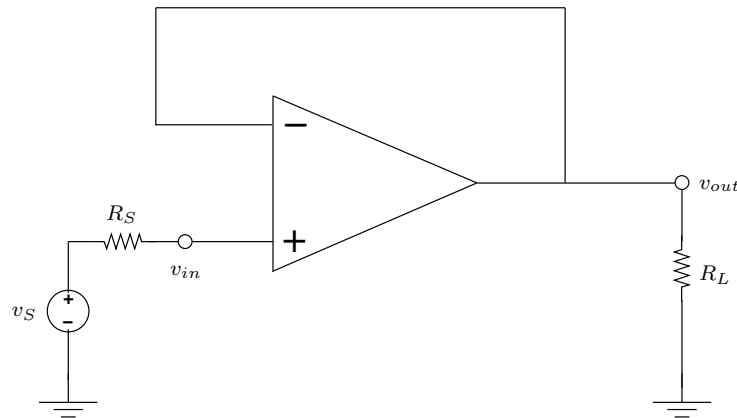


Figura 2.3: Circuito seguidor de tensión.

Para el seguidor de tensión de la Figura 2.3:

$$A_v = \frac{v_{out}}{v_{in}} = 1 \tag{2.6}$$

$$A_{vs} = \frac{v_{out}}{v_s} = A_v \tag{2.7}$$

$$R_{in} = \infty, \quad R_{out} = 0 \tag{2.8}$$

Este circuito no actúa como amplificador ya que su ganancia de tensión es igual a la unidad. Se utiliza cuando se requiera que la tensión de la fuente v_s sea trasladada sobre la carga R_L , independientemente del valor de la resistencia interna R_s de la fuente.

Cuestiones y Ejercicios Resueltos

Ej. 57 — Calcular las corrientes y las tensiones del circuito de la Figura 2.3 y comparar los resultados que se obtienen si se conecta directamente la fuente de señal con la carga. Datos: $v_s = 1\text{ V}$, $R_S = 200\ \Omega$ y $R_L = 1\text{ k}\Omega$.

Solución (Ej. 57) — El circuito funciona como seguidor de tensión, por lo tanto aplicando la expresión (2.6) $v_{out} = v_{in} = v_s = 1\text{ V}$. Si se considera que el amplificador operacional es ideal, la corriente que entrega la fuente $i_s = 0$ y la corriente hacia el terminal inversor también es nula. En la carga circula una intensidad $i_L = v_{out}/R_L = 1\text{ mA}$, que es proporcionada por la salida del amplificador operacional. En el caso de que la fuente de señal se conecte directamente a la carga sin utilizar el amplificador operacional, la tensión en la resistencia de carga y las intensidades son:

$$v_{out} = \frac{R_L}{R_S + R_L} v_s = 0,83\text{ V}$$

$$i_s = i_L = \frac{v_s}{R_S + R_L} = 0,83\text{ mA}$$

Es importante destacar que en el caso de conectar directamente la carga a la fuente de señal, la tensión en la carga disminuye al igual que la intensidad en la carga. Puesto que la fuente de señal es la que tiene que proporcionar toda la intensidad a la carga.

2.4 Circuito convertidor tensión-corriente

Un convertidor de tensión a corriente (convertidor V-I), también llamado amplificador de transconductancia, acepta una tensión de entrada v_s y produce una corriente de salida del tipo $i = A \cdot v_s$, donde A es la ganancia o *sensibilidad* del circuito, en amperios por voltio. Para un convertidor real, la intensidad de salida es:

$$i = A \cdot v_s - \frac{1}{R_o} v_L \quad (2.9)$$

donde v_L es la tensión desarrollada en la carga en respuesta a la circulación de la corriente i y R_o es resistencia de salida del convertidor visto por la carga. Para la verdadera conversión V-I, la corriente i debe ser independiente de v_L ; es decir, se debe cumplir que $R_o = \infty$. Debido a la salida de corriente, el circuito necesita una carga para poder funcionar; en el caso de abrir la salida se produciría un fallo en el circuito debido a que la corriente i no tendría ningún camino por donde circular. El *cumplimiento de tensión* es el rango de valores permitidos de v_L para los que el circuito funciona correctamente, antes de la aparición de cualquier efecto de saturación del amplificador operacional. Si ambos terminales de la carga no están

comprometidos, se dice que la carga es del tipo flotante. Con frecuencia, sin embargo, uno de los terminales está conectado a masa o a otro potencial. En estos casos, se dice que es del tipo referenciado a masa, y la corriente generada por el convertidor debe ser alimentada por el otro terminal no comprometido de la carga.

El circuito de la Figura 2.4 muestra un convertidor con carga flotante. La carga R_L forma parte del elemento de realimentación del circuito. Si uno de los dos terminales de esta carga estuviera comprometido, entonces no sería posible utilizar la carga como elemento de realimentación.

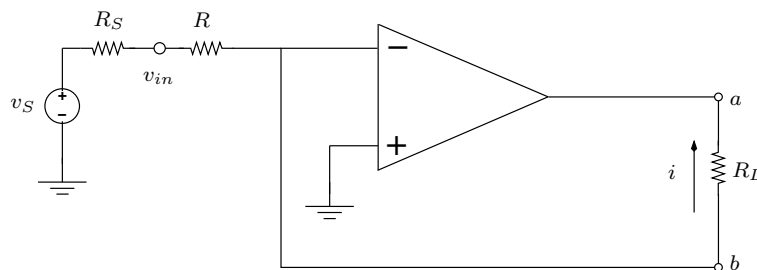


Figura 2.4: Circuito convertidor tensión-corriente.

Este circuito se comporta como una fuente de corriente entre los terminales a y b . La corriente i a través de la carga R_L es independiente del valor de esta resistencia, como es deseable en una fuente de corriente ideal. Observe también que la corriente i está controlada por una tensión (v_{in} o v_s), comportándose como un amplificador de transconductancia.

Cuando uno de los dos terminales de la carga esté comprometido, entonces la carga no se puede situar dentro de la realimentación del amplificador operacional. En tal caso se utilizan circuitos como el de la Figura 2.9 que es más adecuado para construir un convertidor con cargas conectadas a masa.

Cuestiones y Ejercicios Resueltos

Ej. 58 — Analice el circuito de la Figura 2.4, obteniendo las expresiones de las tensiones y de las intensidades.

Solución (Ej. 58) — En este caso, aplicando el concepto de ganancia infinita y masa virtual, con el sentido indicado en la figura, las corrientes i_s e i_L se pueden expresar como:

$$i_s = \frac{v_s}{R_s + R} = \frac{v_{in}}{R}$$

$$i_L = \frac{v_a - v_b}{R_L} = \frac{0 - v_b}{R_L}$$

Estas corrientes son iguales $i_s = i_L$ y coinciden con la proporcionada por la salida del amplificador operacional. En relación con las tensiones, éstas se pueden expresar

como:

$$\begin{aligned}v_{in} &= Ri_s \\v_a &= 0 \\v_b &= -R_L i_L\end{aligned}$$

2.5 Circuito convertidor corriente-tensión

Un convertidor corriente-tensión (convertidor I-V), también llamado amplificador de transresistencia, acepta una corriente de entrada i_s y produce una tensión de salida del tipo $v_{out}=A \cdot i_s$, donde A es la ganancia o *sensibilidad* del circuito, en voltios por amperio. El circuito de la Figura 2.5 muestra un circuito convertidor corriente-tensión.

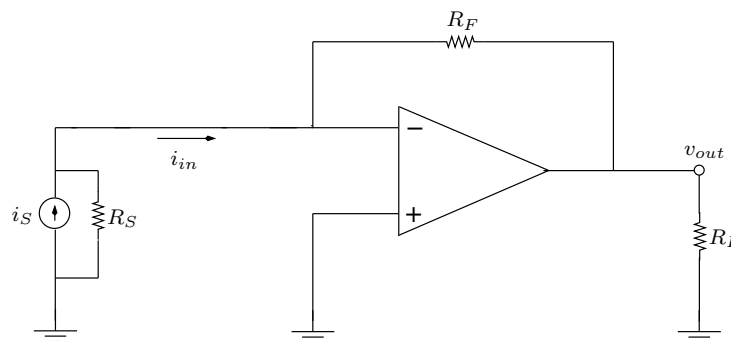


Figura 2.5: Circuito convertidor corriente-tensión.

Para analizar este circuito, se observa que en la entrada inversora hay una masa virtual (se ha aplicado el concepto de espejo de tensión). Debido a la ganancia infinita del amplificador operacional, la corriente i_{in} también circula a través de R_F , es decir, $i_{in}=i_F$. Por lo tanto:

$$v_{out} = -R_F i_F = -R_F i_{in} \quad (2.10)$$

Obsérvese que la tensión de salida v_{out} es proporcional a la corriente de entrada i_{in} , siendo la constante de proporcionalidad R_F . Este circuito permite controlar una tensión mediante una corriente, comportándose, en consecuencia, como un amplificador de transresistencia.

Dado que la corriente de entrada puede tener cualquier valor y debido a que las condiciones de ganancia infinita obligan a que la tensión sea nula a la entrada del amplificador, resulta que la impedancia de entrada es nula. Para aplicar la definición normal de impedancia de entrada se debería utilizar una fuente de corriente para la prueba, ya que si se utilizase una fuente de tensión no nula aplicada sobre la masa virtual se estaría incumpliendo la ley de tensiones de Kirchhoff.

Cuestiones y Ejercicios Resueltos

Ej. 59 — Obtener las expresiones de las corrientes y de las tensiones del circuito de la Figura 2.5.

Solución (Ej. 59) — Al estar el terminal inversor del amplificador operacional conectado a *masa virtual*, no hay circulación de corriente por la resistencia interna R_s de la fuente de corriente, por lo tanto $i_{in}=i_s$. Esta corriente es también la misma que circula por R_F debido a la ganancia infinita del amplificador operacional, es decir $i_F=i_{in}=i_s$. Aplicando la Ley de Ohm a la resistencia R_F , se puede poner que $i_F=(0-v_{out})/R_F$. De esta expresión se puede obtener el valor de $v_{out}=-i_F R_F$. La corriente por la carga es $i_L=-\frac{v_{out}}{R_L}=\frac{R_F}{R_L}i_F=\frac{R_F}{R_L}i_s$. La salida del operacional proporciona una intensidad cuyo valores es igual a la suma entre i_L e i_F .

Ej. 60 — El circuito de la Figura 2.6 muestra el circuito integrado RCV420, un convertidor de intensidad a tensión, conectado de modo que la tensión de salida adopta la forma: $V_o = A * I_{in} + B$. Se pide:

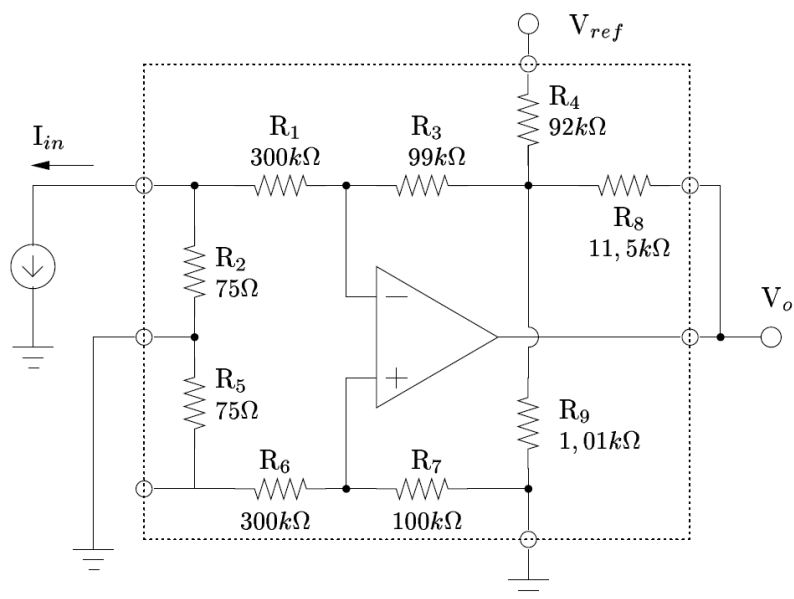


Figura 2.6: Conexión del circuito RCV420.

- El valor de los términos constantes A y B en función de los valores literales (no numéricos) de las resistencias del circuito y de V_{REF} .
- El valor numérico de A y B , suponiendo que $V_{REF} = 5 V$.
- El valor de la tensión V_{REF} para que ante una entrada de $I_{in} = 4 mA$ la salida sea de 0 voltios.
- La resistencia de entrada vista por la fuente I_{in} .

Solución (Ej. 60) — a) Antes de comenzar se debe comprobar que el amplificador operacional tiene realimentación negativa a través de R_3 y R_8 . Esto implica que no habrá diferencia de potencial entre sus dos terminales de entrada. Una vez hecha esta anotación, en primer lugar se ponen nombres a los nodos del circuito: V_{in} entre R_1 y R_2 , C entre R_1 y R_3 , D entre R_3 , R_4 , R_8 y R_9 , E entre R_2 y R_5 , F entre R_7 y R_9 y finalmente G entre R_6 y R_7 . Una vez identificados estos nodos se trazan las intensidades en cada una de las ramas:

I_1 : recorre la rama de D a V_{in} .

I_2 : recorre la rama de E a V_{in} .

I_4 : recorre la rama de V_{REF} a D .

I_8 : recorre la rama de V_o a D .

I_9 : recorre la rama de D a F .

I_7 : recorre la rama de F a E .

Los nodos E y F están a masa, por lo que la corriente I_7 valdrá:

$$I_7 = \frac{V_F - V_E}{R_5 + R_6 + R_7} = 0 \Rightarrow V_{FG} = I_7 R_7 = 0 \Rightarrow V_G = V_F - V_{FG} = 0 \quad (2.11)$$

ya que el nodo F está conectado a masa. Por estar el operacional con realimentación negativa $V_C = V_G$ y por lo tanto $V_C = 0$. I_{IN} es la intensidad de la fuente, que se descompone en la suma de I_1 e I_2 donde:

$$\begin{cases} I_1 = \frac{V_C - V_{IN}}{R_1} = \frac{-V_{IN}}{R_1} \\ I_2 = \frac{V_E - V_{IN}}{R_2} = \frac{-V_{IN}}{R_2} \end{cases} \Rightarrow I_1 R_1 = I_2 R_2 \quad (2.12)$$

y dado que $I_{IN} = I_1 + I_2$ se obtiene que:

$$I_1 = I_{IN} \frac{R_2}{R_1 + R_2} \quad (2.13)$$

por lo tanto, la tensión en el nodo D es :

$$V_D = V_C + I_1 R_3 = 0 + I_{IN} \frac{R_2 R_3}{R_1 + R_2} \quad (2.14)$$

La tensión que se desea obtener es V_O , que se calcula fácilmente a partir de V_D como: $V_O = V_D + I_8 R_8$ e I_8 se calcula a partir de la suma de intensidades en el nodo D :

$$I_8 = I_1 + I_9 - I_4 \quad (2.15)$$

siendo los valores de I_4 e I_9 :

$$\begin{cases} I_9 = \frac{V_D}{R_9} = I_{IN} \frac{R_2 R_3}{R_9 (R_1 + R_2)} \\ I_4 = \frac{V_{REF} - V_D}{R_4} = \frac{V_{REF}}{R_4} - I_{IN} \frac{R_2 R_3}{R_4 (R_1 + R_2)} \end{cases} \quad (2.16)$$

por lo que V_O vale finalmente:

$$v_O = i_{IN} \left(\frac{R_2 R_3}{R_1 + R_2} + \frac{R_8 R_2}{R_1 + R_2} + \frac{R_8 R_2 R_3}{R_9 (R_1 + R_2)} + \frac{R_8 R_2 R_3}{R_4 (R_1 + R_2)} \right) - V_{REF} \frac{R_8}{R_4} \quad (2.17)$$

b) Sustituyendo los valores de las resistencias del circuito y siendo $V_{REF}=5\text{ V}$, se obtienen los valores de A y B son:

$$\begin{cases} A = \frac{R_2 R_3}{R_1 + R_2} + \frac{R_8 R_2}{R_1 + R_2} + \frac{R_8 R_2 R_3}{R_9 (R_1 + R_2)} + \frac{R_8 R_2 R_3}{R_4 (R_1 + R_2)} = 312,447 \\ B = -V_{REF} \frac{R_8}{R_4} = -0,625 \end{cases} \quad (2.18)$$

c) El valor de V_{REF} para que $v_O = 0$ cuando $i_{IN} = 4\text{ mA}$ es $V_{REF} = 9,998\text{ V}$

d) La impedancia de entrada es $Z_{IN} = R_{IN} = R_1 || R_2$

2.6 Amplificador sumador inversor

En algunos casos de procesamiento de señales se necesita una tensión que sea la suma de dos o más tensiones. Por ejemplo, si se necesita mezclar dos señales, o añadir una componente continua a una señal determinada, o, en la conversión de datos digitales a valores analógicos, el circuito de la Figura 2.7 realiza estas funciones.

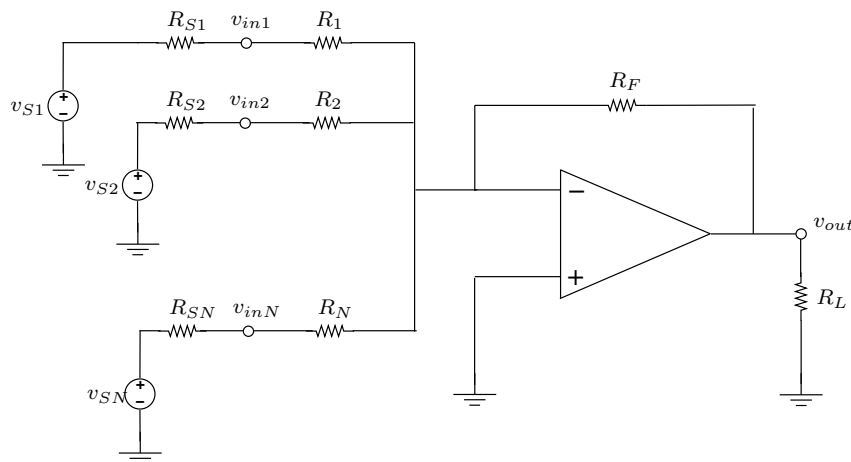


Figura 2.7: amplificador sumador inversor.

Cuestiones y Ejercicios Resueltos

Ej. 61 — Analice el circuito de la Figura 2.7 y obtenga la expresión de la tensión de salida v_{out} en función de las tensiones de entrada v_{sj} y v_{inj} , siendo $j=1..N$.

Solución (Ej. 61) — Cuando se aplica la Ley de corrientes de Kirchhoff al nudo de la entrada inversora del amplificador operacional, dado que es una masa virtual

y que la corriente que entra al terminal inversor es nula, se obtiene:

$$\frac{v_{in1} - 0}{R_1} + \frac{v_{in2} - 0}{R_2} + \dots + \frac{v_{inN} - 0}{R_N} = i_F = \frac{0 - v_{out}}{R_F}$$

despejando ahora v_{out}

$$v_{out} = -R_F \left(\frac{v_{in1}}{R_1} + \frac{v_{in2}}{R_2} + \dots + \frac{v_{inN}}{R_N} \right) \quad (2.19)$$

o, en función de v_s

$$v_{out} = -R_F \left(\frac{v_{s1}}{R_{s1} + R_1} + \frac{v_{s2}}{R_{s2} + R_2} + \dots + \frac{v_{sN}}{R_{sN} + R_N} \right)$$

La posibilidad de diferentes resistencias aporta la flexibilidad que permite dar pesos individuales a cada entrada. Si $R_1 = R_2 = \dots = R_N \equiv R$ entonces la salida es proporcional a la suma de las señales de entrada,

$$v_{out} = -\frac{R_F}{R} (v_{in1} + v_{in2} + \dots + v_{inN}) = -\frac{R_F}{R} \sum_{j=1}^n v_{in_j}$$

Si además se cumple que $R_{s1} = R_{s2} = \dots = R_{sN} \equiv R_s$, resulta:

$$v_{out} = -\frac{R_F}{R_s + R} (v_{s1} + v_{s2} + \dots + v_{sN})$$

Debido a la existencia de masa virtual, cada fuente de tensión tiene una resistencia de carga conectada a masa, por esta razón no existe interacción entre las distintas fuentes de señal.

Ej. 62 — Tomando como base el circuito de la Figure 2.7, con cuatro entradas y suponiendo que $R_S=0$, $R_1=1 \text{ k}\Omega$, $R_2=1/2 \text{ k}\Omega$, $R_3=1/4 \text{ k}\Omega$, $R_4=1/8 \text{ k}\Omega$ y $R_F=1 \text{ k}\Omega$, calcule el valor de la tensión v_{out} en el caso de que las tensiones de entrada sean: $v_{s1}=1 \text{ V}$, $v_{s2}=0 \text{ V}$, $v_{s3}=0 \text{ V}$ y $v_{s4}=1 \text{ V}$,

Solución (Ej. 62) — Si se tiene en cuenta que $R_S=0$, entonces $v_{in} = v_s$ y se puede aplicar la expresión (2.19).

$$v_{out} = -R_F \left(\frac{v_{in1}}{R_1} + \frac{v_{in2}}{R_2} + \frac{v_{in3}}{R_3} + \frac{v_{in4}}{R_4} \right) =$$

$$-1 \times 10^3 \left(\frac{1}{1 \times 10^3} + \frac{0}{1/2 \times 10^3} + \frac{0}{1/4 \times 10^3} + \frac{1}{1/8 \times 10^3} \right) = -9 \text{ V}$$

Observe que para cualquier combinación de valores de las tensiones de entrada, se puede expresar la tensión de salida mediante la siguiente expresión más compacta:

$$v_{out} = -(v_{in1} + 2v_{in2} + 4v_{in3} + 8v_{in4})$$

2.7 Amplificador sumador no inversor

El circuito de la Figura 2.8 se denomina amplificador sumador no inversor. Como en el caso del amplificador sumador inversor, la salida también es una combinación lineal de las entradas pero sin cambio de signo. La resistencia R_a suma las corrientes de las fuentes de señal, mientras que R_b y R_F fijan la ganancia de tensión.

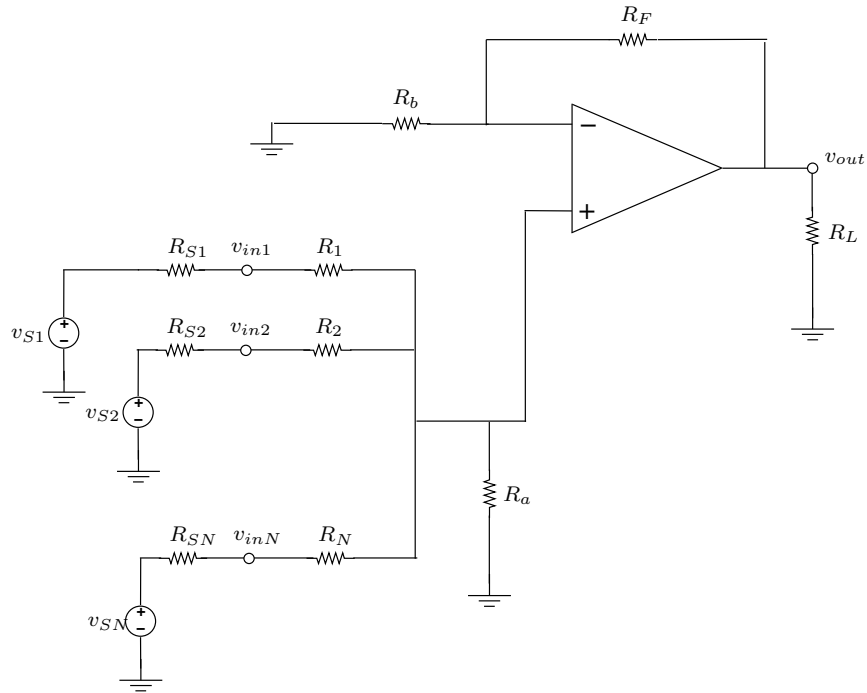


Figura 2.8: amplificador sumador no inversor.

Cuestiones y Ejercicios Resueltos

Ej. 63 — Analice el circuito de la Figura 2.8 y obtenga la expresión de la tensión de salida v_{out} en función de las tensiones de entrada v_{inj} y v_{sj} , siendo $j=1..N$.

Solución (Ej. 63) — La resistencia equivalente vista por el terminal no inversor del amplificador operacional es, relacionada con v_{in} o con v_s , respectivamente:

$$R' \equiv R_1 || R_2 || \dots || R_N || R_a$$

$$R'_s \equiv (R_{s1} + R_1) || (R_{s2} + R_2) || \dots || (R_{sN} + R_N) || R_a$$

Por lo que la tensión en el terminal no inversor del amplificador operacional es:

$$v_+ = R' \left(\frac{v_{in1}}{R_1} + \frac{v_{in2}}{R_2} + \dots + \frac{v_{inN}}{R_N} \right)$$

Aplicando la configuración no inversora de este circuito y la expresión (2.3) se obtiene la tensión de salida del sumador no inversor:

$$v_{out} = R' \left(1 + \frac{R_F}{R_b} \right) \left(\frac{v_{in1}}{R_1} + \frac{v_{in2}}{R_2} + \dots + \frac{v_{inN}}{R_N} \right) \quad (2.20)$$

o, en función de v_s

$$v_{out} = R'_s \left(1 + \frac{R_F}{R_b} \right) \left(\frac{v_{s1}}{R_{s1} + R_1} + \frac{v_{s2}}{R_{s2} + R_2} + \dots + \frac{v_{sN}}{R_{sN} + R_N} \right)$$

Si $R_1 = R_2 = \dots = R_N \equiv R$ entonces la salida es proporcional a la suma de las señales de entrada. Si además se cumple que $R_{s1} = R_{s2} = \dots = R_{sN} \equiv R_s$, resulta:

$$v_{out} = \frac{R'}{R} \left(1 + \frac{R_F}{R_b} \right) (v_{in1} + v_{in2} + \dots + v_{inN})$$

$$v_{out} = \frac{R'_s}{R_s + R} \left(1 + \frac{R_F}{R_b} \right) (v_{in1} + v_{in2} + \dots + v_{inN})$$

Ej. 64 — Obtener la expresión de la tensión de salida del circuito amplificador sumador no inversor de la Figura 2.8 particularizado a tres señales de entrada y en el caso de que las resistencias sean $R_s=0\Omega$, $R_1=R_2=R_3=R$ y $R_a = \infty$.

Solución (Ej. 64) — Se aplica la expresión (2.20), siendo $R'=1/3R$, y se obtiene:

$$v_{out} = \frac{1}{3} \left(1 + \frac{R_F}{R_b} \right) (v_{in1} + v_{in2} + v_{in3})$$

Observe que si $R_a = \infty$ las corrientes de cada una de las fuentes de señal solamente pueden cerrar su circuito a través de las otras fuentes. Por esta razón, aunque este circuito está teóricamente bien resuelto, en la práctica no produciría los resultados esperados.

Ej. 65 — Repetir el ejercicio anterior en el caso de que $R_1=1\text{k}\Omega$, $R_2=1/2\text{k}\Omega$, $R_3=1/4\text{k}\Omega$ y $R_a=1\text{k}\Omega$.

Solución (Ej. 65) — En este caso $R' \equiv R_1 || R_2 || R_3 || R_a = 1/8\text{k}\Omega$, y por lo tanto:

$$v_{out} = \frac{1\text{k}}{8} \left(1 + \frac{R_F}{R_b} \right) \left(\frac{v_{in1}}{1 \times 10^3} + \frac{v_{in2}}{1/2 \times 10^3} + \frac{v_{in3}}{1/4 \times 10^3} \right) =$$

$$\frac{1}{8} \left(1 + \frac{R_F}{R_b} \right) (v_{in1} + 2v_{in2} + 4v_{in3})$$

Cuestiones y Ejercicios Propuestos

Ej. 66 — Obtenga los valores máximo y mínimo de la ganancia de tensión A_v del circuito de la Figura 2.1 si las resistencias son $R_1=1000 \pm 5\% \Omega$ y $R_2=6000 \pm 5\% \Omega$.

Solución (Ej. 66) — $A_{v\max} = 7,63$ y $A_{v\min} = 6,43$

Ej. 67 — El circuito de la Figura 2.9 se comporta como un circuito convertidor tensión-corriente, demostrar que se cumple: $i_L = -v_{in}/R_4$ en el caso de que $R_1 R_3 = R_2 R_4$.

Ej. 68 — En el amplificador no inversor con red de realimentación en puente T de la Figura 2.10 los valores de las resistencias de la red de realimentación $R_3=R_1=10\text{k}\Omega$ y $R_4=R_2=100\text{k}\Omega$. Obtenga la expresión y el valor de la ganancia de tensión v_{out}/v_{in} . ¿Cuáles son los valores de las resistencias de entrada y de salida?

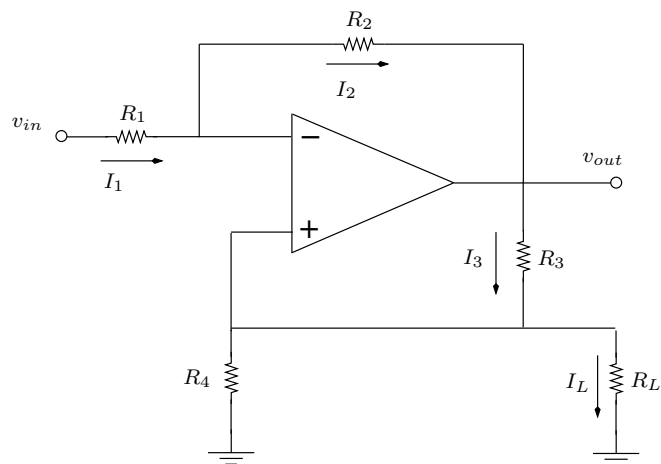


Figura 2.9: Ejercicio propuesto 67.

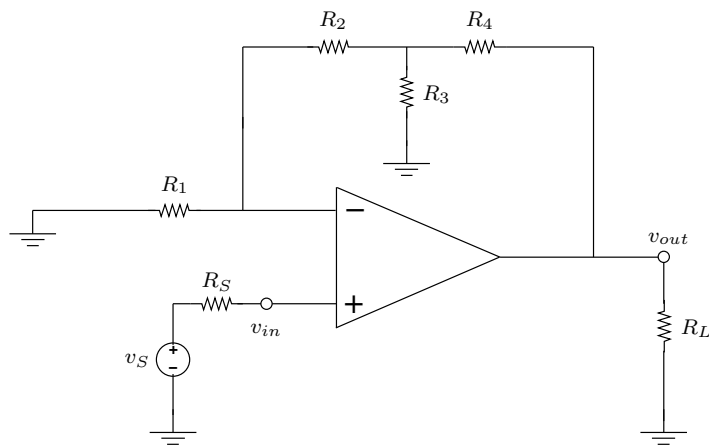


Figura 2.10: Amplificador no inversor con red de realimentación en puente T.

Solución (Ej. 68) —

$$A_v = \frac{v_{out}}{v_{in}} = 1 + 3 \frac{R_2}{R_1} + \left(\frac{R_2}{R_1} \right)^2 = 131$$

$$A_{v_s} = \frac{v_{out}}{v_s} = A_v$$

$$R_{in} = \infty, \quad R_{out} = 0$$

Ej. 69 — Calcular la ganancia de tensión $A_v = v_{out}/v_{in}$ y la resistencia de entrada del circuito que se muestra en la Figura 2.11 (a) con el interruptor abierto y (b) con el interruptor cerrado.

Solución (Ej. 69) — (a) $A_v = +1$, $R_{in} = \infty$; (b) $A_v = -1$, $R_{in} = \frac{1}{2}R$

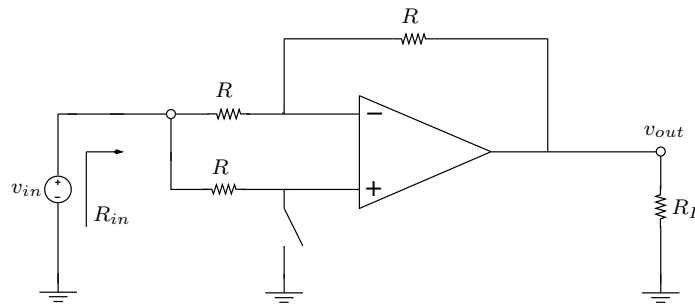


Figura 2.11: Ejercicio propuesto 69.

Ej. 70 — Los datos del circuito de la Figura 2.12 son $v_{s1}=v_{s2}=1\text{ V}$, $R_{s1}=R_{s2}=1\text{ k}\Omega$, $R_a=3\text{ k}\Omega$, $R_b=4\text{ k}\Omega$, $R_1=1\text{ k}\Omega$ y $R_2=2\text{ k}\Omega$. Determinar la tensión de salida v_{out} , siendo $\pm V_{cc} = \pm 12\text{ V}$.

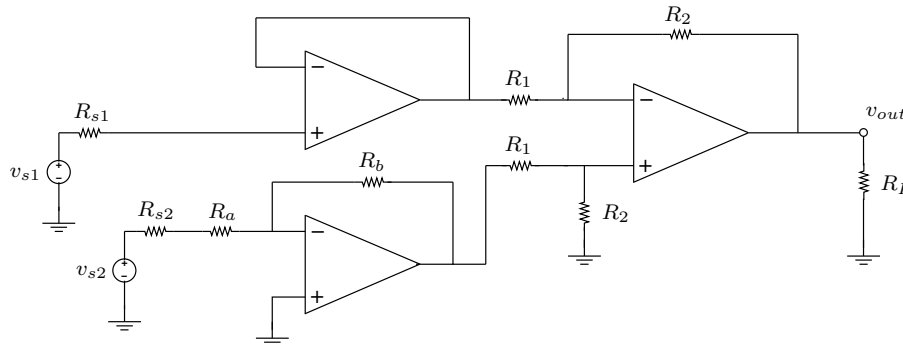


Figura 2.12: Ejercicio propuesto 70.

Solución (Ej. 70) — La tensión de salida es $v_{out} = -4\text{ V}$

Ej. 71 — Obtener la expresión de la tensión de salida v_{out} del circuito que se muestra en la Figura 2.13. Calcular para: $R_1=R_3=R_4=10\text{ k}\Omega$ y $R_2=R_5=20\text{ k}\Omega$.

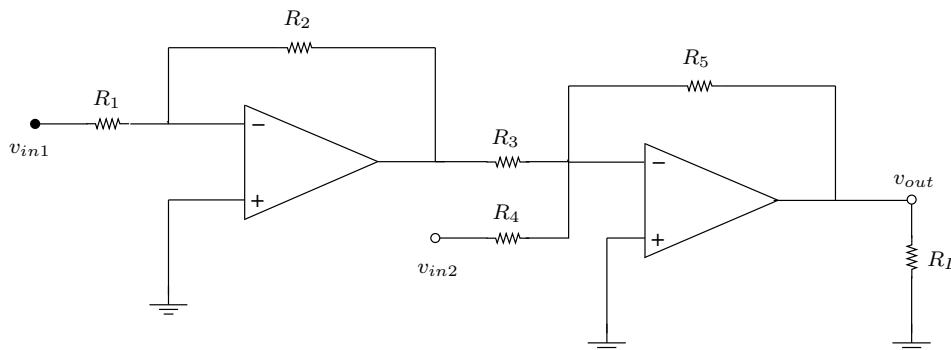


Figura 2.13: Ejercicio propuesto 71.

Solución (Ej. 71) — $v_{out} = R_5 \left(\frac{R_2}{R_1 R_3} v_{in1} - \frac{1}{R_4} v_{in2} \right)$, $v_{out} = 4v_{in1} - 2v_{in2}$

Ej. 72 — Haciendo uso de amplificadores operacionales ideales y resistencias no mayores de $10\text{ k}\Omega$, diseñe un amplificador con las especificaciones que se muestran en el bloque de la Figura 2.14. La resistencia de entrada ha de ser mayor de $500\text{ k}\Omega$ y la ganancia de tensión ha de ser igual a -10 para cualquier valor de R_L .

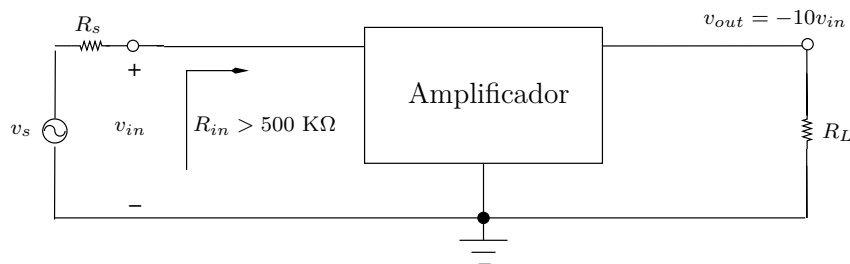


Figura 2.14: Ejercicio propuesto 72.

Solución (Ej. 72) — Una posible solución es utilizar dos amplificadores en cascada. El primero puede ser un seguidor de tensión, como el de la Figura 2.3 para asegurar una elevada resistencia de entrada $R_{in} > 500\text{ k}\Omega$, y el segundo amplificador debe ser un inversor de ganancia -10 , como el de la Figura 1.16. Por ejemplo, si la resistencia de realimentación $R_2 = 10\text{ k}\Omega$, entonces la resistencia del terminal inversor deber ser $R_1 = 1\text{ k}\Omega$.

Ej. 73 — Haciendo uso de amplificadores operacionales ideales y de resistencias no mayores de $10\text{ k}\Omega$, diseñe un amplificador con las especificaciones que se muestran en el bloque de la Figura 2.15.

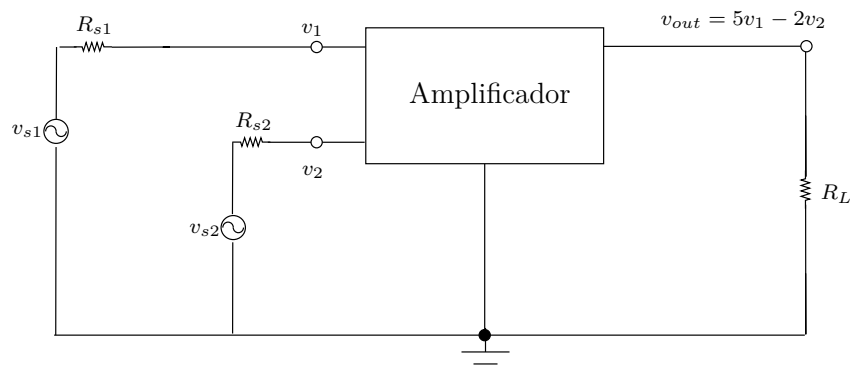


Figura 2.15: Ejercicio propuesto 73.

Solución (Ej. 73) — Una posible solución es utilizar una primera etapa inversora, como el de la Figura 1.16, con resistencia de entrada de $1\text{ k}\Omega$ y una segunda etapa sumadora inversora, también con resistencia de entrada de $1\text{ k}\Omega$. La resistencia de realimentación de la primera etapa sería de $2,5\text{ k}\Omega$ y la de la segunda etapa sería de $2\text{ k}\Omega$.

Ej. 74 — El circuito de la Figura 2.16 presenta dos etapas amplificadoras en cascada, con una resistencia R_f de realimentación desde la salida hacia la entrada. El valor de la resistencia de la fuente de señal es $R_s=1\text{ k}\Omega$, se pide calcular los valores de las tensiones y las corrientes en los casos siguientes: a) La resistencia $R_f=\infty$ y b) La resistencia $R_f=40\text{ k}\Omega$.

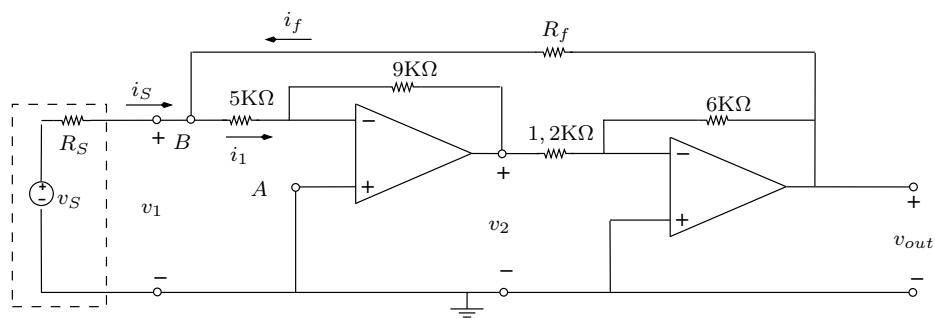


Figura 2.16: Ejercicio propuesto 74.

Solución (Ej. 74) — a) Si $R_f=\infty$, entonces $v_1=0,833v_s\text{ V}$. $v_2=-1,5v_s\text{ V}$. $v_o=7,5v_s\text{ V}$.
 $i_s=i_1=0,166v_s\text{ mA}$. $i_f=0$.
 b) Si $R_f=40\text{ k}\Omega$, entonces $v_1=v_s$, $v_2=-1,8v_s\text{ V}$. $v_o=9v_s\text{ V}$.
 $i_s=0$, $i_1=i_f=0,2v_s\text{ mA}$.

Ej. 75 — Analizar el circuito con amplificadores operacionales ideales que se muestra en la Figura 2.17 para hallar la expresión de i_o . ¿Cuál es el valor de la resistencia de salida, vista por la carga, para este circuito?

Solución (Ej. 75) — $i_o = v_{in}/R$; $R_{out} = \infty$.

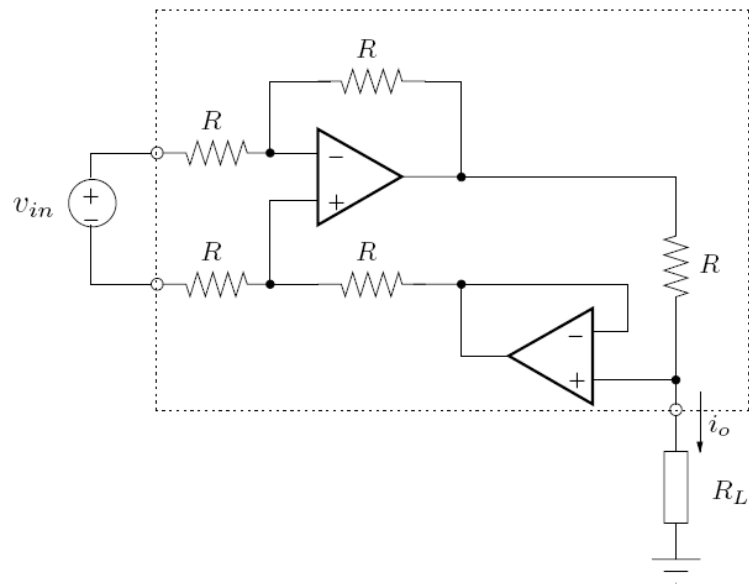


Figura 2.17: Circuito convertidor tensión-intensidad.

Otros Circuitos con Amplificadores Operacionales

3.1 Amplificador derivador inversor

El circuito de la Figura 3.1 se denomina amplificador derivador inversor (también se denomina *diferenciador*, pero en este texto se prefiere el termino *derivador* para que no se confunda con el *amplificador diferencial*).

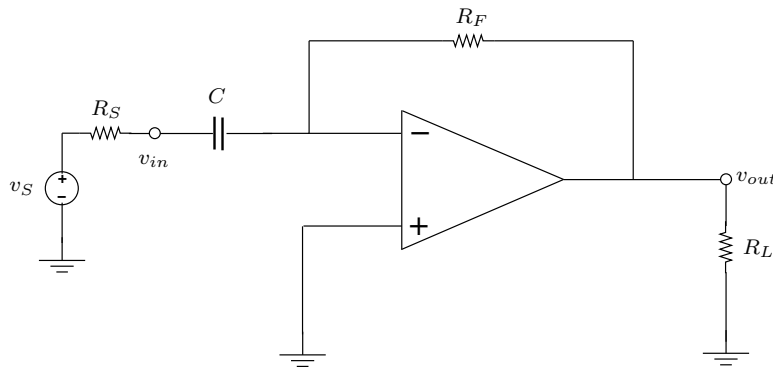


Figura 3.1: Amplificador derivador inversor.

La expresión de la tensión de salida es¹:

$$v_{out} = -R_F C \frac{dv_{in}}{dt} \quad (3.1)$$

Observe que el uso de un condensador en la trayectoria de entrada permite obtener en la salida, amplificada e invertida, la derivada con respecto al tiempo de la señal de entrada v_{in} .

Una aplicación de los circuitos derivadores es la detección de las transiciones rápidas como en los flancos de subida o bajada de señales cuadradas. Un flanco de subida a la entrada del derivador provocará un pico negativo en la salida y, a su vez, un flanco de bajada de la entrada provocará un pico positivo en la salida. Los picos de salida se podrán utilizar, por ejemplo, para sincronizar eventos que deban ocurrir al principio o final de la señal cuadrada de entrada. La constante de tiempo del circuito, producto $R_F C$, debe ser menor que el ancho del pulso.

¹Con el objeto de facilitar la notación, al igual que se hizo en los capítulos anteriores, se omitirá la dependencia temporal de las señales, escribiendo, por ejemplo, v_{in} en lugar de $v_{in}(t)$.

Un inconveniente de este circuito, tal como queda reflejado en la ecuación (3.1), es que el ruido de alta frecuencia que suele acompañar a la señal de entrada es amplificado, disminuyendo la relación señal/ruido. Debido a los problemas de estabilidad que sufren este tipo de circuitos, los diferenciadores se evitan en la práctica. Para compensar este efecto se puede poner un condensador en paralelo con R_F . De esta manera el circuito presenta una ganancia constante a altas frecuencias, pero se convierte en un diferenciador no ideal.

Cuestiones y Ejercicios Resueltos

Ej. 76 — Obtenga la expresión (3.1) en el dominio del tiempo y utilizando la representación fasorial.

Solución (Ej. 76) — Debido a la masa virtual del terminal inversor:

$$i_{in} = C \frac{d(v_{in} - 0)}{dt}$$

Debido a la resistencia de entrada infinita, la corriente que circula por la resistencia R_F tiene el mismo valor que la que circula por el condensador C , es decir: $i_F = i_{in}$. La tensión de salida es $v_{out} = -i_F R_F$. Sustituyendo se obtendría la expresión (3.1). Para obtener la representación fasorial, se puede observar que el circuito de la Figura 3.1 es un amplificador inversor pero con un condensador como impedancia de entrada de valor $R_1 = 1/j\omega C$, y con la resistencia R_F en la realimentación. Haciendo uso de la expresión (1.38) y siendo $R_2 = R_F$, se obtiene la siguiente representación fasorial de la función de transferencia del circuito de la Figura 3.1:

$$\frac{V_{out}}{V_{in}} = \frac{R_F}{Z_C} = -j\omega R_F C = -s R_F C$$

Lo que significa que la magnitud de la función de transferencia es igual a $\omega R_F C$ y la fase $\Theta = -90^\circ$.

3.2 Amplificador integrador inversor

El circuito de la Figura 3.2 se denomina amplificador integrador inversor.

El uso de un condensador en la trayectoria de realimentación permite obtener en la salida una señal que es la integral en el tiempo de la señal de entrada:

$$v_{out} = -\frac{1}{RC} \int v_{in} dt \quad (3.2)$$

Una de las aplicaciones del circuito integrador es convertir una señal cuadrada en triangular, como por ejemplo en los generadores de señales utilizados en los laboratorios. En los amplificadores operacionales reales se producen efectos de segundo orden que ponen límites a la máxima frecuencia de trabajo de estos circuitos integradores.

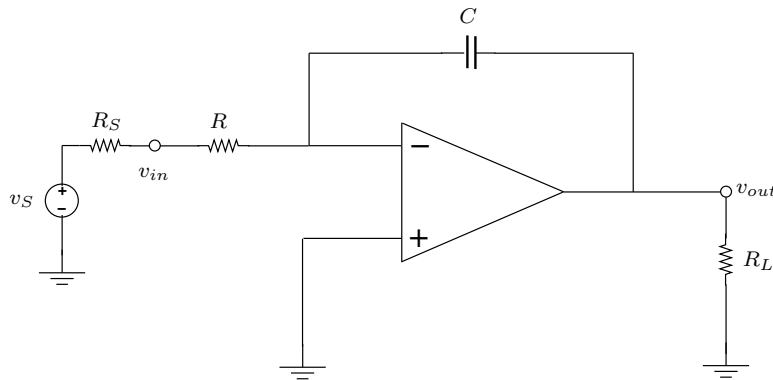


Figura 3.2: Amplificador integrador inversor.

Cuestiones y Ejercicios Resueltos

Ej. 77 — Obtener la expresión (3.2) en el dominio del tiempo, suponiendo que en $t=0$ el condensador está descargado.

Solución (Ej. 77) — Debido a la ganancia infinita y a la masa virtual del terminal inversor, las corrientes por las resistencias y el condensador son iguales, por lo tanto:

$$i_{in} = \frac{v_{in} - 0}{R} = C \frac{d(0 - v_{out})}{dt}$$

Integrando ambos miembros y despejando v_{out} se obtiene la expresión (3.2).

Ej. 78 — Realice el análisis senoidal en régimen permanente del circuito la Figura 3.2 utilizando una impedancia compleja.

Solución (Ej. 78) — El análisis senoidal en régimen permanente utilizando impedancias complejas es una alternativa al análisis temporal que utiliza integrales o derivadas. Una alternativa es reemplazar las resistencias de los circuitos amplificadores básicos (inversor y no inversor) por impedancias en las expresiones de la ganancia. Se puede observar que el circuito de la Figura 3.2 es un amplificador inversor en el que el condensador C reemplaza a la resistencia R_1 , y aplicado la expresión (1.38) se obtiene:

$$\frac{\mathbf{V}_{out}}{\mathbf{V}_{in}} = \frac{\mathbf{Z}_C}{R} = -\frac{1}{j\omega RC} = -\frac{1}{sRC}$$

Lo que significa que la magnitud de la función de transferencia es igual a $1/\omega RC$ y la fase $\Theta = +90^\circ$.

Ej. 79 — Obtener la expresión (3.2) en el dominio del tiempo, suponiendo que en $t=0$ el condensador tiene una carga igual a V_C .

Solución (Ej. 79) — Si la fuente de señal v_{in} es una función variable en el tiempo, entonces la masa virtual de la entrada inversora ocasiona que la caída en la resistencia R es exactamente v_{in} y, por lo tanto, la corriente en esa resistencia es $i_{in} = v_{in}/R$.

Esta corriente circula por el condensador C hacia el terminal de salida, provocando que se acumule carga en el condensador C (con el signo positivo en el terminal que conecta con la resistencia, signo negativo en el terminal que conecta con la salida). Si se supone que el circuito comienza a funcionar en el tiempo $t = 0$, y la tensión inicial en el condensador es V_C , entonces pasado un tiempo t la carga acumulada en el condensador y el cambio en la tensión en el mismo son, respectivamente:

$$q_C = \int_0^t i_{in} dt$$

$$v_C = V_C + \frac{1}{C} \int_0^t i_{in} dt = V_C + \frac{1}{RC} \int_0^t v_{in} dt$$

Teniendo en cuenta el criterio de los signos, $v_{out} = -v_C$:

$$v_{out} = -V_C - \frac{1}{RC} \int_0^t v_{in} dt$$

Este circuito presenta una tensión de salida proporcional a la integral de la entrada, siendo el valor de V_C la condición inicial y RC la *constante de tiempo del integrador*.

3.3 Amplificador diferencial

El circuito de la Figura 3.3 está formado por un amplificador operacional y cuatro resistencias. Tiene dos entradas v_{in1} y v_{in2} , respectivamente conectadas a dos fuentes de señales independientes v_{s1} y v_{s2} . Con determinados valores de las resistencias, el circuito amplifica la componente diferencial $v_d = v_{in2} - v_{in1}$ ² y elimina la componente de modo común $v_c = (v_{in1} + v_{in2})/2$, (véase la sección 1.3).

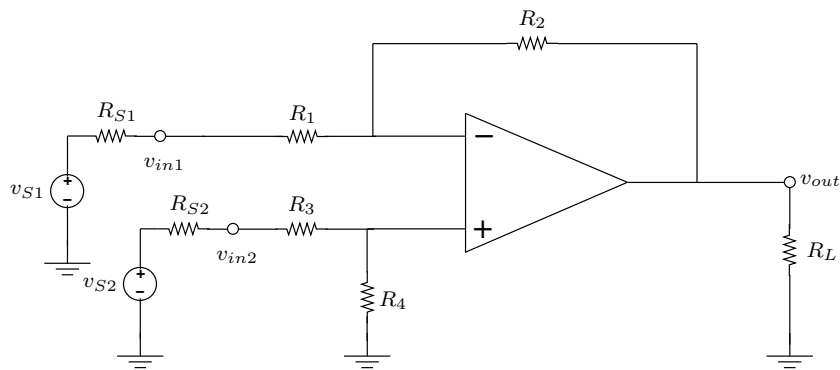


Figura 3.3: Si $R_2/R_1 = R_4/R_3$ el amplificador se comporta como un amplificador diferencial.

²Observe como en esta expresión la entrada inversora v_{in1} es la que tiene el signo negativo.

Cuestiones y Ejercicios Resueltos

Ej. 80 — Obtenga la expresión de la tensión de salida del amplificador diferencial de la Figura 3.3.

Solución (Ej. 80) — Para obtener la expresión de la tensión de salida, se utiliza el principio de superposición para calcular la contribución individual de v_{in2} sobre v_{out} . Se hace $v_{in1} = 0$, conectando a masa la resistencia R_1 . Esto produce un amplificador no inversor. La tensión en la entrada no inversora del amplificador operacional es:

$$v_+ = \frac{R_4}{R_3 + R_4} \cdot v_{in2} \quad (3.3)$$

Esta tensión es amplificada por la ganancia dada por la expresión (2.3):

$$v_{out,in2} = \left(1 + \frac{R_2}{R_1}\right) \frac{R_4}{R_3 + R_4} v_{in2} \quad (3.4)$$

Para hallar el segundo término de la superposición se calcula la contribución individual de v_{in1} sobre v_{out} . Se hace $v_{in2} = 0$, conectando a masa la resistencia R_3 , la cual queda en paralelo con R_4 . Debido a la impedancia infinita del amplificador operacional, el paralelo $R_3 || R_4$ no tiene efecto; pues la tensión que cae en ellas es nula. Por lo tanto se puede aplicar la expresión de la ganancia del amplificador inversor para calcular:

$$v_{out,in1} = -\frac{R_2}{R_1} \cdot v_{in1} \quad (3.5)$$

Superponiendo las expresiones (3.4) y (3.5), se obtiene:

$$v_{out} = -\frac{R_2}{R_1} v_{in1} + \left(1 + \frac{R_2}{R_1}\right) \frac{R_4}{R_3 + R_4} v_{in2} \quad (3.6)$$

Si se anula el efecto de la tensión en modo común haciendo que se cumpla la relación $R_2/R_1 = R_4/R_3$, entonces:

$$v_{out} = \frac{R_2}{R_1} (v_{in2} - v_{in1}) = v_d \quad (3.7)$$

El amplificador se comporta como un amplificador diferencial, amplificando la diferencia entre las dos señales de entrada. Otra característica de este amplificador es que las resistencias de la entrada inversora y no inversora son diferentes. Esta asimetría puede producir la entrada de ruido de modo común, produciendo tensiones diferenciales con la consecuencia de que éstas se amplifiquen junto con la señal de entrada.

Finalmente es muy importante destacar, otra vez más, que la tensión v_{in1} es la que se conecta con la entrada inversora del amplificador operacional. Por este motivo en la expresión (3.7) es la que tiene el signo negativo. También se observa que la tensión v_{in2} es la que se conecta con la entrada no inversora del amplificador operacional. Por este motivo en la expresión (3.7) es la que tiene el signo positivo.

Ej. 81 — Demostrar que para anular la tensión en modo común del circuito la Figura 3.3 se debe cumplir que $R_2/R_1 = R_4/R_3$.

Solución (Ej. 81) — Si se aplica al circuito de la Figura 3.3 la expresión (1.29) de la tensión de salida de un amplificador diferencial y las definiciones (1.30) y (1.31), pero con los signos adaptados al circuito que se está analizando:

$$\begin{aligned}v_d &= v_{in2} - v_{in1} \\v_c &= \frac{v_{in1} + v_{in2}}{2} \\v_{out} &= A_d(v_{in2} - v_{in1}) + A_c \frac{v_{in1} + v_{in2}}{2}\end{aligned}$$

Expresando v_{in1} y v_{in2} en función de v_d y v_c :

$$v_{in1} = v_c - \frac{v_d}{2}; v_{in2} = v_c + \frac{v_d}{2}$$

Sustituyendo en la expresión (3.6):

$$v_{out} = -\frac{R_2}{R_1}\left(v_c - \frac{v_d}{2}\right) + \left(1 + \frac{R_2}{R_1}\right) \frac{R_4}{R_3 + R_4}\left(v_c + \frac{v_d}{2}\right)$$

Agrupando los términos:

$$v_{out} = \left[-\frac{R_2}{R_1} + \left(1 + \frac{R_2}{R_1}\right) \frac{R_4}{R_3 + R_4}\right] v_c + \left[\frac{R_2}{R_1} + \left(1 + \frac{R_2}{R_1}\right) \frac{R_4}{R_3 + R_4}\right] \frac{v_d}{2}$$

Para anular el modo común v_c , se debe cumplir:

$$-\frac{R_2}{R_1} + \left(1 + \frac{R_2}{R_1}\right) \frac{R_4}{R_3 + R_4} = 0$$

Es decir:

$$R_1 R_4 = R_2 R_3, \text{ o bien que } R_2/R_1 = R_4/R_3$$

Ej. 82 — Determinar los valores de las resistencias del circuito de la Figura 3.3 para conseguir una ganancia diferencial de 10^6 y una ganancia de modo común igual a cero.

Solución (Ej. 82) — Si se anula el efecto de la tensión en modo común, se puede utilizar la expresión (3.7), de manera que:

$$A_d = \frac{v_{out}}{v_{in2} - v_{in1}} = \frac{R_2}{R_1} = 10^6$$

Si se eligen valores pequeños de la resistencia R_1 , la resistencia de la entrada del amplificador diferencial también será pequeña, provocando una pérdida de la tensión de fuente de señal. Si se eligen valores elevados, obliga a valores muy grandes para la resistencia R_2 . Siguiendo con lo comentado en el Ejercicio 55, si se propone como menor valor de la resistencia $R_1=100\ \Omega$, se obtiene que $R_2=100\ \text{M}\Omega$, pero este valor es excesivamente elevado.

3.4 El amplificador de instrumentación

Se pueden resolver los problemas de carga causados por las desigualdades en las resistencias de entrada del circuito de la Figura 3.3 añadiendo dos amplificadores no inversores en cada entrada. El amplificador de la Figura 3.4 actúa casi como un amplificador diferencial ideal (no se han representado las fuentes de señal v_s).

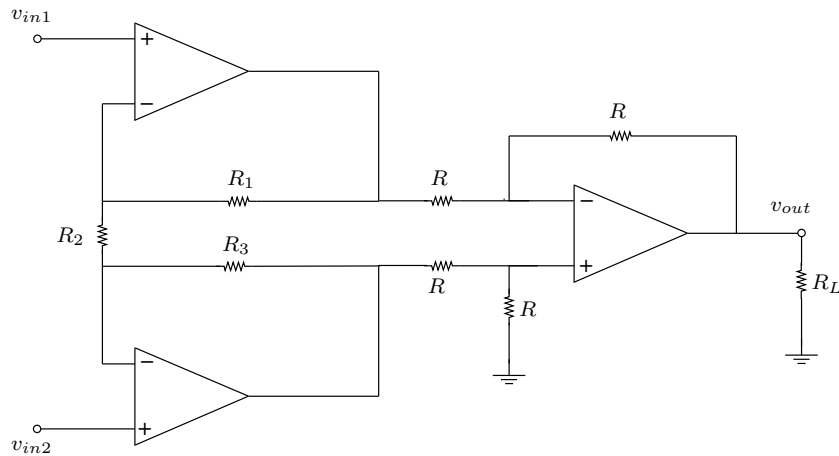


Figura 3.4: El amplificador de instrumentación.

La tensión de salida en función de las tensiones de entrada:

$$v_{out} = \left(1 + \frac{R_1 + R_3}{R_2}\right) (v_{in2} - v_{in1}) \quad (3.8)$$

En la práctica, la resistencia R_2 es un potenciómetro. De este modo es posible ajustar la ganancia de tensión al valor deseado.

Cuestiones y Ejercicios Resueltos

Ej. 83 — Obtener la expresión del amplificador de instrumentación de la Figura 3.4.

Solución (Ej. 83) — La tensión de salida v_{out} en función de las tensiones v_a y v_b . Se puede obtener aplicando la expresión (3.7), puesto que el amplificador operacional de la etapa de salida está configurado como amplificador diferencial y, además, se anula el efecto del modo común dado que se cumple la relación (3.8):

$$v_{out} = v_b - v_a \quad (3.9)$$

Se aplica el espejo de tensión a los amplificadores operacionales de las etapas de entrada, y se obtienen las corrientes que circulan por las resistencias R_1 , R_2 y R_3 ,

suponiendo la impedancia de entrada infinita:

$$i_1 = \frac{v_a - v_{in1}}{R_1}$$

$$i_2 = \frac{v_{in1} - v_{in2}}{R_2}$$

$$i_3 = \frac{v_{in2} - v_b}{R_2}$$

Al ser nula la corriente hacia los terminales de *entrada* de los amplificadores operacionales, se igualan $i_1=i_2$ para obtener la expresión de v_a , y se igualan $i_2=i_3$ para obtener la expresión de v_b :

$$v_a = \left(1 + \frac{R_1}{R_2}\right) v_{in1} - \frac{R_1}{R_2} v_{in2}$$

$$v_b = -\frac{R_3}{R_2} v_{in1} + \left(1 + \frac{R_3}{R_2}\right) v_{in2}$$

Sustituyendo estas expresiones en (3.9) se obtiene la expresión (3.8) pedida:

$$v_{out} = v_b - v_a = -\frac{R_3}{R_2} v_{in1} + \left(1 + \frac{R_3}{R_2}\right) v_{in2} - \left(1 + \frac{R_1}{R_2}\right) v_{in1} + \frac{R_1}{R_2} v_{in2}$$

agrupando los terminos:

$$v_{out} = -\frac{R_3}{R_2} v_{in1} - v_{in1} - \frac{R_1}{R_2} v_{in1} + v_{in2} + \frac{R_3}{R_2} v_{in2} + \frac{R_1}{R_2} v_{in2} =$$

$$\left(1 + \frac{R_1}{R_2} + \frac{R_3}{R_2}\right) (v_{in2} - v_{in1}) = \left(1 + \frac{R_1 + R_3}{R_2}\right) (v_{in2} - v_{in1})$$

Ej. 84 — El circuito de la Figura 3.5 muestra un amplificador de instrumentación con entrada de corriente.

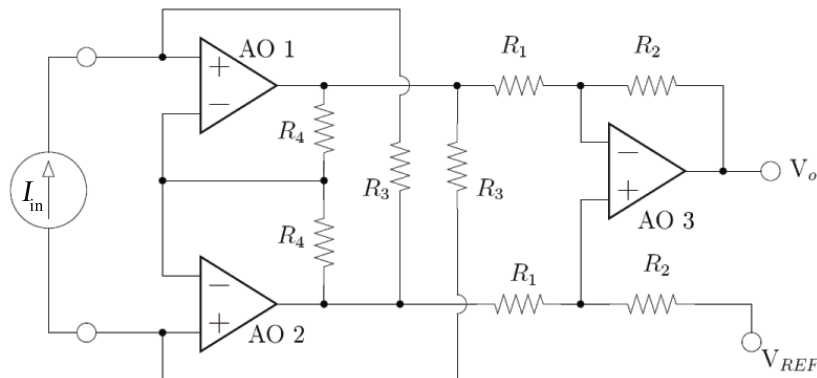


Figura 3.5: Amplificador de instrumentación con entrada de corriente.

- a) Calcular la expresión de la tensión de salida en función de i_I , V_{REF} y las resistencias del circuito.

- b) Calcular el valor de la impedancia de entrada.
- c) Calcular el valor de la tensión de salida si los amplificadores operacionales $AO1$ y $AO2$ tienen una tensión de *offset* $V_{OS} = 20\text{ mV}$ y $R_1 = 5\text{ k}\Omega$, $R_2 = 1\text{ k}\Omega$, $R_3 = 1,5\text{ k}\Omega$ y $R_4 = 2,2\text{ k}\Omega$.

Solución (Ej. 84) — $v_O = \frac{R_2}{R_1}(2i_{IN}) + V_{REF}$. $R_{IN} = 0$. La tensión de *offset* se incluye en el operacional como una fuente de tensión de valor V_{OS} conectada a su terminal no inversor. En este caso, por la simetría del circuito, se puede comprobar como el valor de la tensión de salida v_O no se modifica con respecto al calculado en el primer apartado.

Ej. 85 — En la Figura 3.6 se muestra el amplificador de instrumentación de bajo consumo $INA122$. Se pide calcular el valor de la resistencia R_G para que ante una entrada diferencial de 40 mV la salida sea de 1 V .

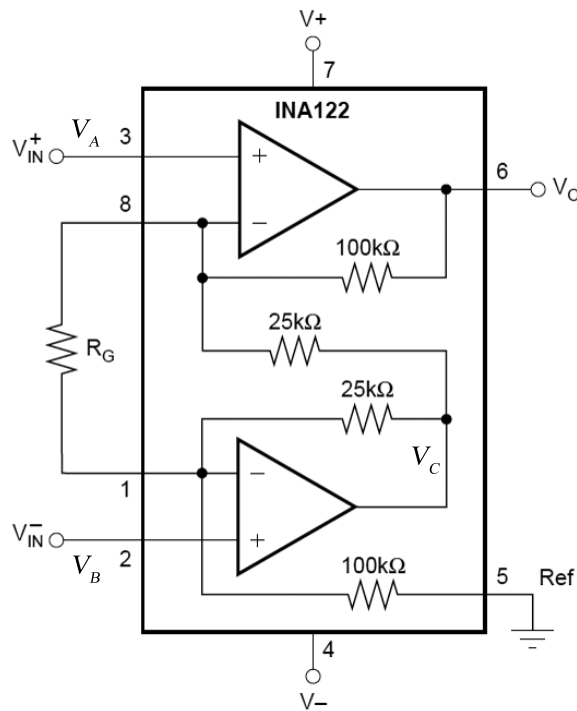


Figura 3.6: Circuito integrado $INA122$ (Cortesía de BURR-BROWN).

Solución (Ej. 85) — En primer lugar se comprueba que los dos amplificadores operacionales del circuito tienen realimentación negativa, el superior a través de la resistencia de $100\text{ k}\Omega$ y el inferior a través de la de $25\text{ k}\Omega$. Por lo tanto en ambos operacionales se produce el efecto de espejo de tensión. En segundo lugar, se procede a nombrar los nodos del circuito. Por el espejo de tensión, la tensión V_A aplicada en el terminal no inversor del operacional superior es la misma que el terminal inversor, luego en ese nodo la tensión será V_A . Por el mismo razonamiento,

la tensión en el nodo del terminal inversor del operacional inferior será V_B . En el nodo correspondiente al terminal de salida de este último operacional habrá una tensión que será denominada V_C . En tercer lugar se identificarán las intensidades que circulan en cada una de las ramas del circuito:

I_1 : recorre la rama de V_O a V_A (terminal no inversor) a través de la resistencia de $100\text{ k}\Omega$.

I_2 : recorre la rama de V_A a V_C a través de la resistencia de $25\text{ k}\Omega$.

I_3 : recorre la rama de V_C a V_B (terminal no inversor) a través de la resistencia de $25\text{ k}\Omega$.

I_4 : recorre la rama de V_B (terminal no inversor) a masa a través de la resistencia de $100\text{ k}\Omega$.

I_G : recorre la rama de V_A a V_B a través de la resistencia de R_G .

Hacia la entrada de los operacionales no circula intensidad.

A la salida de los operacionales superior e inferior habrá unas intensidades respectivas de valor I_{OP1} e I_{OP2} .

Aplicando la ley de suma de corrientes en ambos terminales no inversores de entrada de los operacionales resulta:

$$\begin{cases} I_1 = I_G + I_2 \\ I_G + I_3 = I_4 \end{cases} \quad (3.10)$$

de donde, aplicando la ley de Ohm para calcular el valor de cada intensidad, se obtiene:

$$\begin{cases} \frac{V_O - V_A}{100\text{ k}\Omega} = \frac{V_A - V_B}{R_G} + \frac{V_A - V_C}{25\text{ k}\Omega} \\ \frac{V_A - V_B}{R_G} + \frac{V_C - V_B}{25\text{ k}\Omega} = \frac{V_B}{100\text{ k}\Omega} \end{cases} \quad (3.11)$$

En estas dos ecuaciones hay que eliminar la variable V_C , lo cual se puede hacer fácilmente por sustitución, obteniéndose la expresión de la tensión de salida como:

$$V_O = (V_A - V_B) \left(\frac{100\text{ k}\Omega}{R_G} + 5 \right) \quad (3.12)$$

Por lo tanto, para que a la salida haya 1 V cuando la tensión diferencial de entrada sea $V_A - V_B = 40\text{ mV}$ ha de cumplirse que $R_G = 5\text{ k}\Omega$.

3.5 Circuitos sin realimentación negativa

Los circuitos de este apartado se diferencian de los anteriores en que o *no tienen señal de realimentación* o, si la tienen, *la realimentación positiva es mayor que la realimentación negativa*. En estos circuitos, el amplificador operacional se adapta mejor a un dispositivo con dos estados, siendo su principal aplicación en el procesado de señales no lineal.

3.5.1 Circuito comparador

El circuito comparador de la Figura 3.7 (a) funciona comparando continuamente la señal de entrada v_{in} con la tensión de referencia V . Debido a que la ganancia en lazo abierto es muy grande, la salida del amplificador operacional será $+V_{CC}$ si se cumple que $v_{in} > V$. En caso contrario, si se cumple que $v_{in} < V$ entonces la salida del amplificador operacional será $-V_{CC}$.

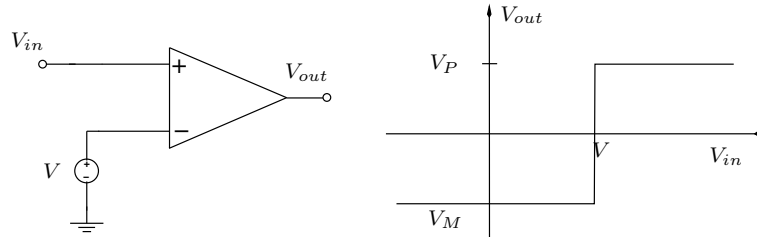


Figura 3.7: a) Circuito comparador con un amplificador operacional. b) Función de transferencia.

Al no existir realimentación negativa, el funcionamiento del amplificador operacional *no queda confinado* a la parte abrupta de la curva de ganancia de la Figura 1.12. Debido a que $v_d = v_{in} - V$ es multiplicado por la ganancia en lazo abierto, la salida del amplificador operacional queda limitada por las tensiones de alimentación.

Una de las aplicaciones del comparador es la extracción de información de una entrada analógica. El valor de la tensión V puede ser positiva o negativa.

3.5.2 Circuito disparador de Schmitt

La Figura 3.8 (a) representa un circuito denominado *disparador de Schmitt*. Este circuito presenta dos estados estables, por consiguiente se puede decir que es un *biestable*. El circuito disparador de Schmitt se diferencia del amplificador inversor en que la resistencia R_2 realimenta parte de la señal de salida en la entrada no inversora del amplificador operacional. Es un ejemplo de circuito que tiene mayor realimentación positiva que negativa.

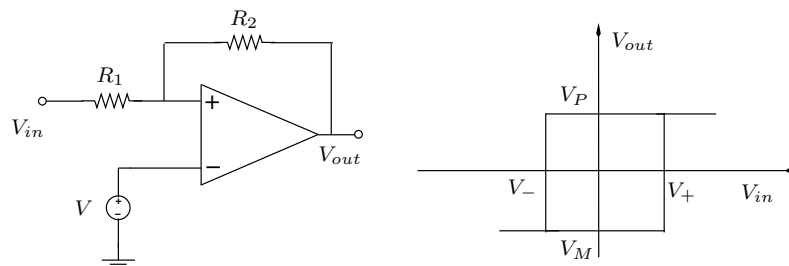


Figura 3.8: a) Circuito disparador de Schmitt. b) Función de transferencia.

Cuestiones y Ejercicios Resueltos

Ej. 86 — Obtenga la función de transferencia del circuito disparador de Schmitt de la Figura 3.8 (a).

Solución (Ej. 86) — Si, en primer lugar, se supone que la tensión v_{in} tiene un valor muy negativo, se puede hacer la hipótesis de que el valor de v_d también es negativo. Esta situación hace que la salida del amplificador operacional sea igual a $-V_{CC}$. Ahora se puede calcular el valor de v_d aplicando superposición.

$$v_d = \frac{R_2}{R_1 + R_2}v_{in} + \frac{R_1}{R_1 + R_2}(-V_{CC})$$

Como v_{in} tiene un valor negativo de partida, la hipótesis inicial de que v_d es negativo es correcta. Es preciso que el valor de v_{in} sea positivo para cambiar el estado del circuito.

Se podrá calcular ahora el valor *crítico* de v_{in} que provoca la anulación de v_d . Este es:

$$V^+ = \frac{R_1}{R_2}(V_{CC})$$

Una vez que el valor de v_{in} supere al de V^+ , el amplificador operacional *cambiará de estado*, puesto que el valor de v_d será positivo. La salida del amplificador operacional será igual a $+V_{CC}$, y ahora se puede calcular el nuevo valor de v_d :

$$v_d = \frac{R_2}{R_1 + R_2}v_{in} + \frac{R_1}{R_1 + R_2}(+V_{CC})$$

Este valor será positivo, manteniendo el estado del amplificador operacional. Para que cambie al otro estado estable, el valor de la tensión de entrada debe tomar el valor negativo calculado por la siguiente expresión:

$$V^- = -\frac{R_1}{R_2}(V_{CC})$$

Este comportamiento se representa en la Figura 3.8 b). Las flechas indican el camino del par (v_{in}, v_{out}) . Se observa que el ciclo de histéresis está centrado en $v_{in}=0$.

Ej. 87 — Los valores de las resistencias en el circuito de la Figura 3.8 son: $R_1=2,2\text{ k}\Omega$ y $R_2=82\text{ k}\Omega$. Obtenga los valores de los puntos de conmutación si la tensión de alimentación es $\pm 15\text{ V}$.

Solución (Ej. 87) — Sustituyendo los valores en las expresiones, se obtiene: $V^+=0,4\text{ V}$ y $V^-=-0,4\text{ V}$.

Cuestiones y Ejercicios Propuestos

Ej. 88 — Realice el análisis senoidal en régimen permanente, y obtenga la expresión $\mathbf{V}_{out}/\mathbf{V}_s$ del circuito de la Figura 3.1 utilizando impedancia compleja.

Solución (Ej. 88) —

$$\frac{\mathbf{V}_{out}}{\mathbf{V}_s} = -\frac{R_F}{Z} = -\frac{j\omega R_F C}{1 + j\omega R_s C} = -\frac{sR_F C}{1 + sR_s C}$$

Ej. 89 — Realice el análisis senoidal en régimen permanente, y obtenga la expresión $\mathbf{V}_{out}/\mathbf{V}_{in}$ del circuito de la Figura 3.1 utilizando impedancias complejas, en el caso de poner un condensador C_F en paralelo con R_F para compensar el efecto del ruido a alta frecuencia.

Solución (Ej. 89) —

$$\frac{\mathbf{V}_{out}}{\mathbf{V}_{in}} = -\frac{Z_F}{Z_C} = -\frac{j\omega R_F C}{1 + j\omega R_F C_F} = -\frac{sR_F C}{1 + sR_F C_F}$$

Ej. 90 — La señal de la Figura 3.9 es la entrada v_{in} del circuito derivador inversor de la Figura 3.1.

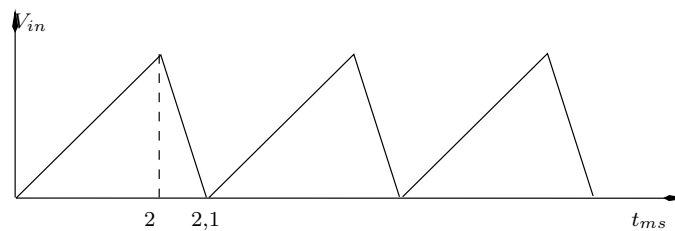


Figura 3.9: Señal de entrada del ejercicio propuesto 90.

- Dibuje la señal de salida v_{out} .
- Obtenga el valor de la constante de tiempo RC teniendo en cuenta que la tensión de salida debe estar comprendida en el margen $-12\text{ V} \leq v_{out} \leq +12\text{ V}$.
- Represente la señal de salida v_{out} para el valor de RC del apartado b).

Solución (Ej. 90) — a) Durante el tramo ascendente, $v_{out} = -0,2RC\text{ V}$. Durante el tramo descendente, $v_{out} = +4RC\text{ V}$.

b) $RC = 3\text{ ms}$.

c) Se representa en la Figura 3.10

Ej. 91 — Realice el análisis senoidal en régimen permanente, y obtenga la expresión $\mathbf{V}_{out}/\mathbf{V}_s$ del circuito de la Figura 3.2 utilizando impedancia compleja.

Solución (Ej. 91) —

$$\frac{\mathbf{V}_{out}}{\mathbf{V}_s} = \frac{Z_C}{R + R_s} = -\frac{1}{j\omega(R + R_s)C} = -\frac{1}{s(R + R_s)C}$$

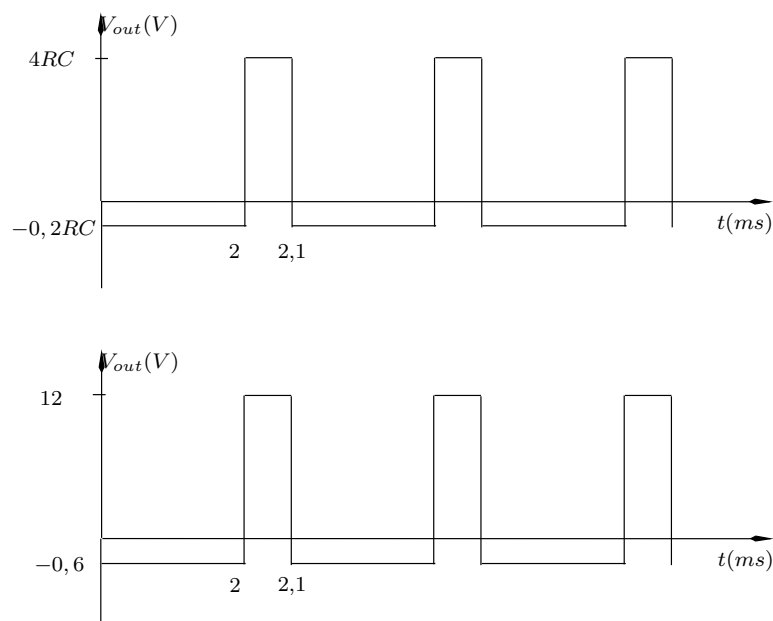


Figura 3.10: Apartado c) del ejercicio propuesto 90.

Ej. 92 — Un circuito integrador tiene $R=1\text{ k}\Omega$, $C=1\text{ }\mu\text{F}$ y $v_{in} = \text{sen}(2000t)$. Suponiendo que $V_C = 0$ en $t=0$, calcular v_{out} para $t>0$.

Solución (Ej. 92) — La tensión de salida es $v_{out} = 0,5 (\cos(2000t) - 1)$

Ej. 93 — Al circuito integrador inversor de la Figura 3.2 se le añade la resistencia R_F . Este circuito recibe la denominación de *integrador con descarga* ya que el condensador está continuamente descargándose a través de la resistencia R_F . Esto producirá una disminución en la ganancia v_{out}/v_{in} y un desfase en v_{out} . Calcular ambos valores en el caso de que $R=1\text{ k}\Omega$, $C=1\text{ }\mu\text{F}$ y $v_{in} = \text{sen}(2000t)$ y suponiendo que $V_C = 0$ en $t=0$

Solución (Ej. 93) — La ganancia es de $-0,477$ y el desfase es de $26,7^\circ$.

Ej. 94 — Los valores de los componentes del circuito integrador inversor de la Figura 3.2 son $C=1\text{ }\mu\text{F}$ y $R=1\text{ k}\Omega$. La fuente de señal es una señal rectangular de $+5V_p$ que procede de un sistema de medida de la distancia que utiliza el radar de un avión. El flanco de subida comienza cuando la onda radar es emitida y el pulso termina cuando la onda reflejada es detectada. Si la tensión de salida, al final del pulso, es de $-1,23\text{ V}$ ¿cuál es la distancia del objeto? Suponer que el valor de $R_s=0$ y que el condensador está inicialmente descargado.

Solución (Ej. 94) — La distancia del objeto es de $36,9\text{ km}$.

Ej. 95 — Diseñar un integrador que procese la señal

$$v_{in}=0,1\cos(2\pi 10^2t)+0,3\cos(2\pi 10^3t)+0,2\cos(2\pi 210^4t)$$

sin modificar la amplitud de la primera componente. Se supone un funcionamiento en régimen permanente para obtener la señal de salida y que el valor de la resistencia R es de $10\text{ k}\Omega$. Compruebe su funcionamiento.

Solución (Ej. 95) — El circuito utilizado es el de la Figura 3.2. El valor de C es de $159,15\text{ nF}$ para que la primera componente no se atenúe. La señal de salida es:

$$v_{out}=0,1\cos(2\pi 10^2 t + \pi/2)+0,03\cos(2\pi 10^3 t + \pi/2)+0,001\cos(2\pi 210^4 t + \pi/2)$$

Ej. 96 — Un circuito integrador tiene una constante de tiempo de 1 ms . Calcular y dibujar la tensión de salida en los siguientes casos:

- La tensión de entrada es constante, de valor $v_{in}=0,2\text{ V}$.
- La tensión de entrada es un pulso rectangular de 1 V de amplitud y 2 ms de duración. La condición inicial es $v_{out}=0$.
- La tensión de entrada es $v_{in}=0,2\text{ sen } 20t$. Se supone un funcionamiento en régimen permanente.

Solución (Ej. 96) — En la Figura 3.11 se representan las señales de entrada y de salida. a) Si la tensión de saturación del amplificador operacional es de -12 V , la salida alcanzará dicho valor en $t_s=60\text{ ms}$. b) Transcurridos 2 ms , la tensión de salida será $v_{out}=-2\text{ V}$. c) La tensión de salida es $v_{out}=10\cos 20t$.

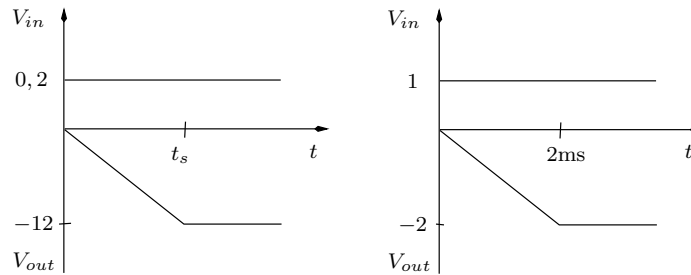


Figura 3.11: Ejercicio propuesto 96.

Ej. 97 — El circuito de la Figura 3.12 se utiliza para resolver ecuaciones diferenciales lineales, utilizando bloques amplificadores integradores. No se utilizan bloques derivadores a causa del efecto del ruido. Analice el circuito y obtenga la ecuación diferencial de la salida y en función de la entrada x , con los siguientes datos: $R_1=1\text{ M}\Omega$, $R_2=333\text{ k}\Omega$, $R_3=500\text{ k}\Omega$, $R_4=1\text{ M}\Omega$, $C_1=C_2=1\text{ }\mu\text{F}$.

Solución (Ej. 97) — La ecuación diferencial es: $\frac{d^2 y}{dt^2} + 2\frac{dy}{dt} + 3y = x$

Ej. 98 — Obtenga las expresiones de la ganancia en modo diferencial A_d y en modo común A_c del amplificador diferencial de la Figura 3.3 si no se cumple la relación $R_2/R_1 = R_4/R_3$.

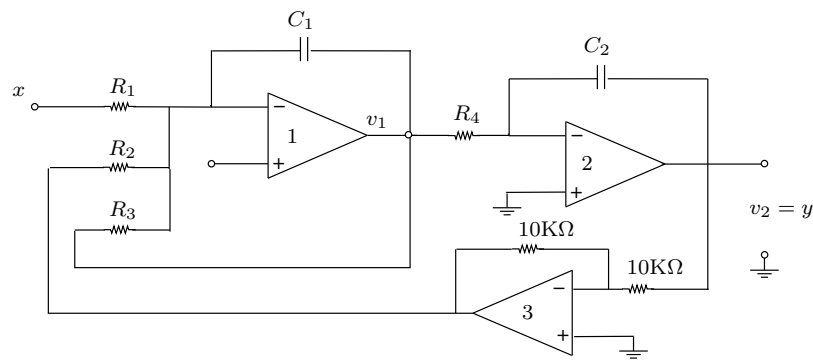


Figura 3.12: Circuito que resuelve una ecuación diferencial.

Solución (Ej. 98) —

$$A_d = \frac{R_4(R_1 + R_2) + R_2(R_3 + R_4)}{2R_1(R_3 + R_4)}$$

$$A_c = \frac{R_4R_1 - R_2R_3}{R_1(R_3 + R_4)}$$

Ej. 99 — Diseñe un amplificador como el de la Figura 3.13 para que la ganancia nominal sea igual a 2000. Tomar como criterio la relación $R_2/R_1 = 30$.

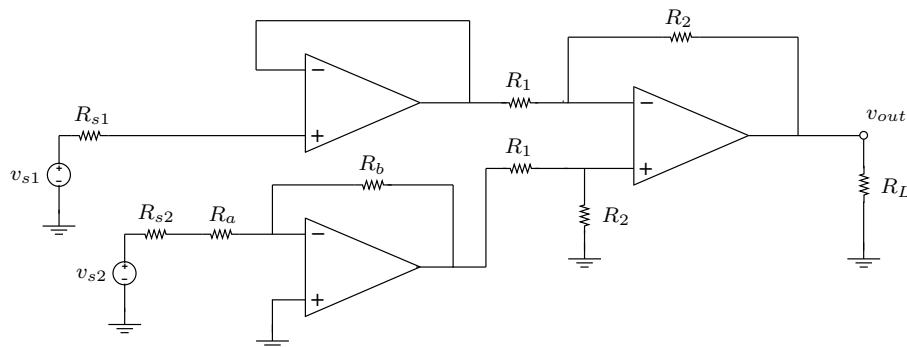


Figura 3.13: Ejercicio propuesto 99.

Solución (Ej. 99) — Una posible solución es $R_1=2\text{ k}\Omega$, $R_2=60\text{ k}\Omega$, $R_c=2\text{ k}\Omega$ y $R_f=32,83\text{ k}\Omega$.

Ej. 100 — Calcule las tensiones de salida de la primera etapa del amplificador de instrumentación del Ejercicio propuesto 99, utilizando los valores de las resistencias indicados en la solución, en el caso de $v_{in1}=-2,5\text{ mV}$ y $v_{in2}=+3\text{ mV}$.

Solución (Ej. 100) — $v_a=-183,083\text{ mV}$; $v_b=+183,586\text{ mV}$

Ej. 101 — Calcular de nuevo la expresión de la tensión de salida del amplificador de instrumentación de la Figura 3.6, suponiendo que la carga R_L está conectada a una tensión constante de valor V_{REF} en vez de a masa.

Solución (Ej. 101) — La tensión de salida es:

$$v_{out} = \left(1 + \frac{R_1 + R_3}{R_2}\right) (v_{in2} - v_{in1}) + V_{REF} \quad (3.13)$$

Ej. 102 — Demuestre que el circuito de la Figura 3.14 se comporta como un amplificador diferencial, teniendo en cuenta que:

$$v_{out} = - \left(1 + \frac{R_1}{R_2}\right) (v_{in1} - v_{in2}) \quad \text{si} \quad \frac{R_1}{R_2} = \frac{R_4}{R_3}$$

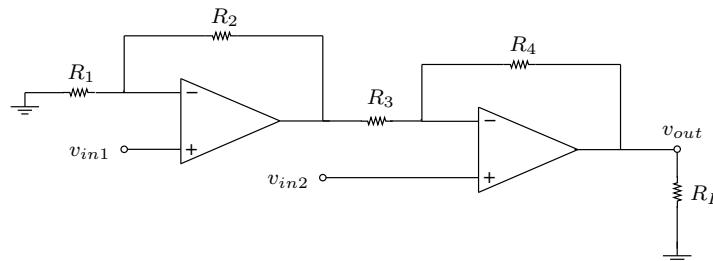


Figura 3.14: Ejercicio propuesto 102.

Ej. 103 — Obtenga los valores de los puntos de conmutación del circuito de la Figura 3.15 si la tensión de alimentación es de ± 15 V.

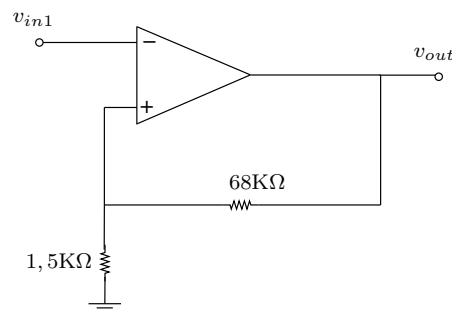


Figura 3.15: Ejercicio propuesto 103.

Solución (Ej. 103) — Los puntos de conmutación son $\pm 0,33$ V.

Ej. 104 — El circuito de la Figura 3.16 es un convertidor analógico-digital del tipo paralelo. Se han omitido las tensiones de alimentación, que son $\pm V_{CC} = \pm 5$ V.

Se pide calcular las salidas v_1 , v_2 y v_3 , suponiendo que la entrada es una rampa de tensión cuya expresión temporal es $v_{in}=kt$ V, con $k=1$ V/s y $0 < t < 4$ s. La tensión de referencia es $v_o = 5$ V, y la resistencia $R=1$ k Ω .

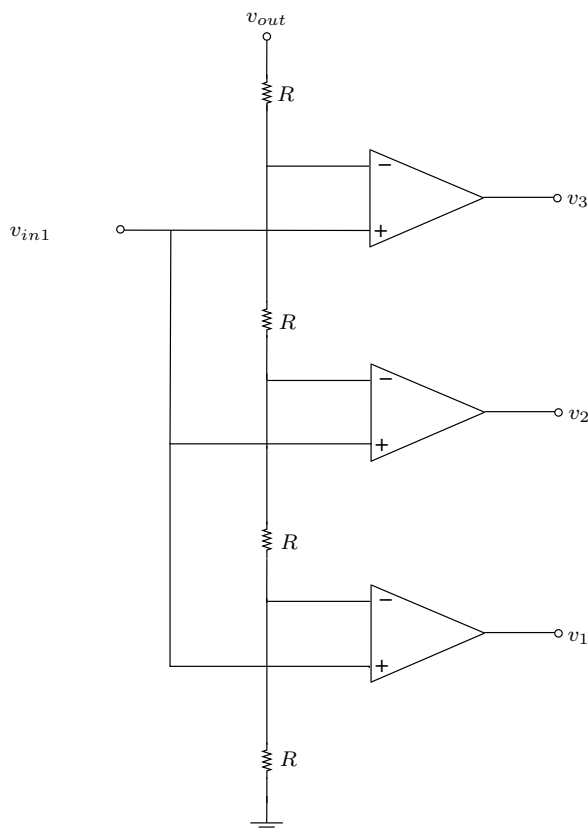


Figura 3.16: Circuito convertido analógico-digital de tres bits.

Solución (Ej. 104) — La respuesta se indica en la tabla 3.1.

Tabla 3.1: Solución al ejercicio 104.

Entrada v_{in}	Salidas		
	v_3	v_2	v_1
$0 < v_{in} < 1$	-5	-5	-5
$1 < v_{in} < 2$	-5	-5	+5
$2 < v_{in} < 3$	-5	+5	+5
$3 < v_{in} < 4$	+5	+5	+5

Ej. 105 — A un disparador de Schmitt le entra una señal triangular de 10 V de pico y de frecuencia genérica f Hz. Represente las formas de onda de la entrada v_{in}

y de la salida v_{out} si $\pm V_{CC} = \pm 10$ V. Incluya las posiciones relativas y los pasos por cero de las dos formas de onda. El valor de R_1 es de $2,4 \text{ k}\Omega$ y el de R_2 es de $4,7 \text{ k}\Omega$.

Solución (Ej. 105) — En la Figura 3.17 se representan las dos formas de onda. Las tensiones de conmutación son de $\pm 5,1$ V.

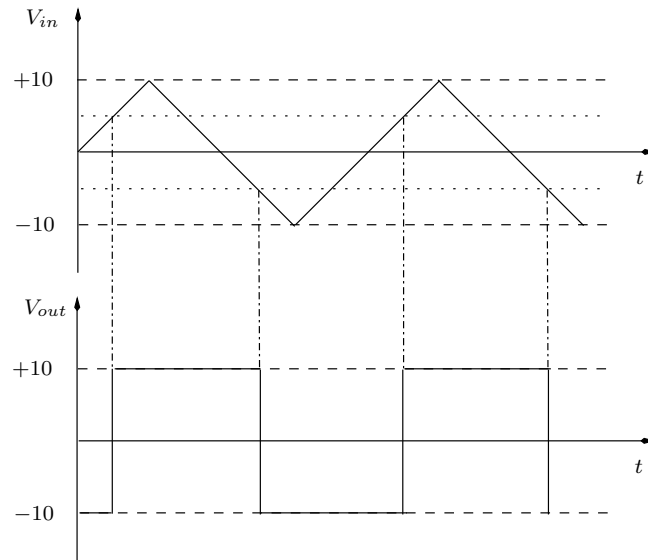


Figura 3.17: Ejercicio propuesto 105.

Ej. 106 — Diseñar un circuito electrónico que realice la siguiente operación con las señales de entrada:

$$\begin{cases} v_{OUT} = 10(v_A - v_B) - 2, & \text{si } v_{IN} > 0,5 \\ v_{OUT} = 10(v_A - v_B) + 2, & \text{si } v_{IN} < 0,5 \end{cases} \quad (3.14)$$

donde v_A y v_B son las tensiones de las señales de entrada del circuito ($V_{IN} = v_A - v_B$) y v_{OUT} es la tensión de la señal de salida. Para realizar el circuito se dispone de amplificadores operacionales ideales, condensadores, bobinas y resistencias (superiores a $1 \text{ k}\Omega$). También de fuentes de alimentación que proporcionan valores de $V_{CC} = +12\text{V}$, 0 y -12V .

Solución (Ej. 106) — Para construir el circuito especificado es necesario conectar varios circuitos simples. Estos circuitos son: un amplificador diferencial que realice la resta entre las tensiones v_A y v_B , un circuito comparador para realizar la comparación entre v_{IN} y 2 voltios y un circuito sumador para sumar la salida de los anteriores. En este tipo de diseños es posible que sea necesario utilizar también amplificadores inversores para corregir el signo de alguna tensión. En la figura 3.18 se muestra una de las soluciones posibles.

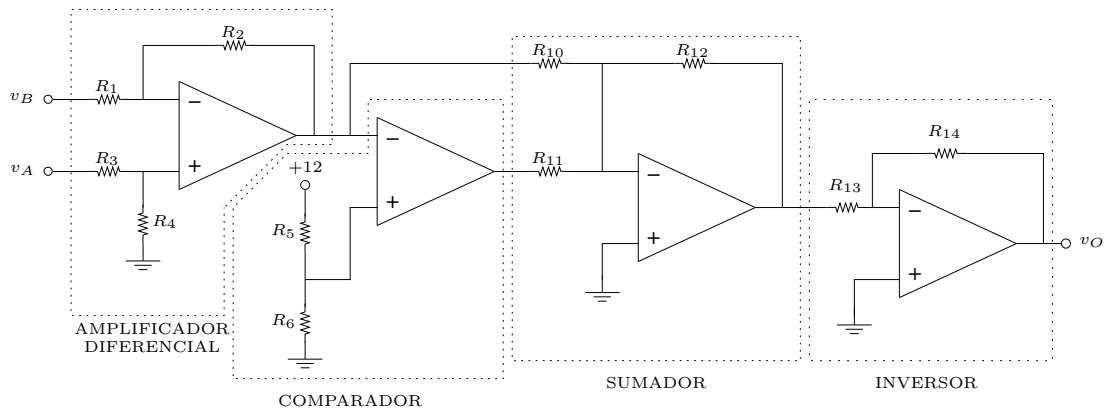


Figura 3.18: Solución propuesta al ejercicio 106.

Amplificador diferencial:

$$\begin{cases} R_1 = R_3 = 1 \text{ k}\Omega \\ R_2 = R_4 = 10 \text{ k}\Omega \end{cases} \Rightarrow v_d = \frac{10 \text{ k}}{1 \text{ k}}(v_A - v_B) = 10(v_A - v_B) \quad (3.15)$$

Comparador: $v_{IN} > 0,5$ es igual a $10v_{IN} > 5$:

$$v_d = 10(v_A - v_B) = 10v_{IN} \quad (3.16)$$

$$v_{REF} = 5 \Rightarrow +V_{CC} \frac{R_6}{R_6 + R_5} = 5 \Rightarrow \begin{cases} R_6 = 5 \text{ k}\Omega \\ R_5 = 7 \text{ k}\Omega \end{cases} \quad (3.17)$$

Amplificador sumador:

$$v_F = -\frac{R_{12}}{R_{11}}v_D - \frac{R_{12}}{R_{10}}v_C \quad (3.18)$$

$$\begin{cases} v_D = 10v_{IN} \\ v_C = \begin{cases} -12 \text{ si } v_{IN} > 0,5 \\ +12 \text{ si } v_{IN} < 0,5 \end{cases} \end{cases} \quad (3.19)$$

Si se desea que $v_F = -10v_{IN} \pm 2 \text{ V}$. Por lo tanto se fijan las relaciones siguientes: $R_{12}/R_{11}=1$ y $R_{12}/R_{10}=1$ de modo que si $R_{12}=1 \text{ k}\Omega$, entonces: $R_{11}=1 \text{ k}\Omega$ y $R_{10}=6 \text{ k}\Omega$.

Amplificador inversor: necesario para corregir el signo de v_F (no el valor absoluto).

$$v_{OUT} = -v_F \Rightarrow \frac{R_{14}}{R_{13}} = 1 \Rightarrow R_{13} = R_{14} = 1 \text{ k}\Omega \quad (3.20)$$

— Cuatro —

Reguladores de Tensión

4.1 Introducción a los reguladores de tensión

Las fuentes de alimentación suministran valores de tensión a los circuitos electrónicos. La Figura 4.1 muestra el esquema general de una fuente de alimentación con las funciones básicas comunes a la mayoría de las fuentes de alimentación. El transformador proporciona tanto el aislamiento eléctrico entre la red de alterna y el circuito electrónico, como la conversión de la tensión de red a un valor más adecuado, y de la misma frecuencia, para alimentar a los circuitos electrónicos. La tensión alterna es rectificadora y convertida en una forma de onda de media onda o de onda completa. El filtrado, realizado por medio de elementos pasivos L o C , tiene por misión el *suavizado* de la tensión proporcionada por el rectificador. La onda de salida del filtro es una señal *continua* no regulada y con un determinado valor de tensión de rizado (componente alterna).

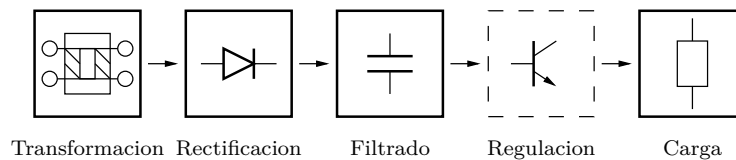


Figura 4.1: Esquema general de una fuente de alimentación.

Las fuentes no reguladas pueden utilizarse para alimentar a los circuitos electrónicos para los cuales su demanda de corriente de alimentación no es muy variable y cuando se toleran pequeñas variaciones en la tensión de la red. Sin embargo, muchos circuitos electrónicos necesitan un sistema de regulación de la tensión continua, de manera que se mantenga esa tensión constante a pesar de los cambios en la corriente de carga o en la tensión de red.

4.2 Tipos de fuentes de alimentación

Tipos de fuentes de alimentación según el principio de funcionamiento, son:

- *Químicas*. También llamadas pilas o baterías, con las que se alimentan, por ejemplo, los teléfonos móviles o cualquier dispositivo portátil, o las baterías en los automóviles.

- *Electrónicas*. La tensión continua se obtiene a partir de la red de energía eléctrica alterna mediante circuitos electrónicos. Entre éstas se pueden distinguir, a su vez, dos tipos:
 - *No reguladas*. Se obtiene una tensión continua con una pequeña componente alterna, cuyos valores dependen de la corriente que debe proporcionar.
 - *Reguladas*. Se reduce la componente alterna y las variaciones de la tensión continua de salida mediante la utilización de un circuito regulador electrónico. Las fuentes reguladas pueden ser:
 - * *Lineales*. Cuando los dispositivos electrónicos del sistema de alimentación trabajan siempre en la zona activa, y alejados de las zonas de corte y saturación. El funcionamiento del regulador lineal se basa en la energía disipada por un elemento lineal como un transistor. Se pueden clasificar, según la disposición del dispositivo semiconductor con la carga en:
 - Paralelo
 - Serie
 - * *Conmutadas*. Cuando los componentes activos del sistema de alimentación trabajan en régimen de conmutación. Este tipo de fuentes se pueden clasificar en:
 - Reductora
 - Elevadora
 - Inversora
 - Con transformador

4.3 Parámetros de los reguladores

Las características relativas a la calidad de cualquier sistema, ya sea éste, o no, de alimentación, se definen mediante indicadores, generalmente adimensionales, que reciben el nombre de parámetros. Estos parámetros, permiten conocer y comparar dispositivos de prestaciones similares. Los parámetros más importantes, relativos a sistemas de alimentación, son los siguientes:

- (a) *Regulación de línea*. Indica el rechazo que proporciona el sistema ante variaciones lentas de la tensión de entrada (V_E) al circuito regulador. En algunos textos la regulación de línea se refiere como *Factor de regulación*. Se define como:

$$\text{Regulación de línea} = \frac{\Delta V_S}{\Delta V_E} \text{ [mV/V]} \quad (4.1)$$

Este parámetro se debe especificar para una temperatura (T) constante y una corriente de salida (I_S) constante (V_S =tensión de salida). Este parámetro debe ser lo menor posible, dado que una fuente estará bien regulada cuando se obtienen pequeñas variaciones en la tensión de salida para grandes variaciones de la

tensión de entrada. Otra definición alternativa es la siguiente:

$$\text{Regulación de línea (\%)} = 100 \frac{\Delta V_S / V_S}{\Delta V_E} \text{ [\%/V]} \quad (4.2)$$

Consultando los catálogos de los fabricantes, se puede saber cuál de las dos formas están utilizando.

- (b) *Regulación de carga*. Se define como la variación de la tensión continua de salida en función de la variación de la corriente continua en la carga:

$$\text{Regulación de carga} = \frac{\Delta V_S}{\Delta I_S} \text{ [mV/A]} \quad (4.3)$$

Este parámetro se debe especificar para una temperatura (T) constante y una tensión de entrada V_E constante. También se refiere a este parámetro como *Resistencia de salida para variaciones lentas*. Otra definición alternativa es la siguiente:

$$\text{Regulación de carga (\%)} = 100 \frac{\Delta V_S / V_S}{\Delta I_S} \text{ [\%/A]} \quad (4.4)$$

En ocasiones este parámetro se define (no confundir con el factor de regulación, o regulación de línea, definido por (4.1)) como:

$$\text{Factor de regulación de carga} = \frac{V_{SC}(\text{en vacío}) - V_{SC}(\text{a plena carga})}{V_{SC}(\text{a plena carga})} \quad (4.5)$$

donde V_{SC} se es la componente continua de la tensión de salida.

Evidentemente estos factores serán nulos cuando lo sea su numerador. Lo cual sucede cuando se conecta la resistencia de carga máxima a la salida de la fuente y no existen variaciones de tensión respecto a la salida en vacío.

- (c) *Impedancia de salida*. Si las variaciones de la corriente de salida experimentan cambios rápidos, la resistencia de salida queda definida entonces en función de la frecuencia:

$$\text{Impedancia de salida} = \frac{\Delta V_S(\omega)}{\Delta I_S(\omega)} \text{ [mV/A]} \quad (4.6)$$

Este parámetro adquiere una gran importancia en alta frecuencia por lo que es necesario reducirlo. Para ello, se conecta a la salida del circuito condensadores que presenten buenas características a la frecuencia de funcionamiento.

- (d) *Factor de rizado*. Indica en qué medida la tensión de salida no es constante:

$$\text{Factor de rizado} = \frac{\text{Valor eficaz de las componentes alternas de salida}}{\text{Valor medio de la onda de salida}} \quad (4.7)$$

- (e) *Factor de rechazo del rizado*. Se define como el cociente entre el rizado eficaz de salida y el rizado eficaz de entrada.

$$\text{Factor de rechazo del rizado} = \frac{\text{Rizado eficaz a la salida}}{\text{Rizado eficaz a la entrada}} \text{ [mV/mV]} \quad (4.8)$$

Este parámetro siempre debe ser menor que la unidad. En numerosas ocasiones se expresa en decibelios mediante la siguiente expresión:

$$RR_{dB} = 20 \log_{10} \frac{V_{ri}}{V_{ro}} \quad (4.9)$$

Donde V_{ri} y V_{ro} los valores eficaces de los rizados de entrada y de salida, respectivamente.

- (f) *Coefficiente de temperatura.* Indica en qué medida el sistema es estable frente a cambios de temperatura. Su valor debe ser lo menor posible. Se define como:

$$TC(V_S) = \frac{\Delta V_S}{\Delta T} \text{ [mV/}^\circ\text{C]} \quad (4.10)$$

Este coeficiente se debe especificar para una tensión de entrada (V_E) constante y una corriente de salida (I_S) constante. Otra definición alternativa es la siguiente:

$$TC(V_S)(\%) = 100 \frac{\Delta V_S / V_S}{\Delta T} \text{ [%/}^\circ\text{C]} \quad (4.11)$$

- (g) *Rendimiento.* Se define como el cociente entre la potencia entregada a la carga y la potencia suministrada por la fuente primaria de energía:

$$\eta(\%) = 100 \frac{P_{salida}}{P_{entrada}} \quad (4.12)$$

El regulador tendrá buenas prestaciones si el valor del rendimiento se aproxima a la unidad:

Cuestiones y Ejercicios Resueltos

Ej. 107 — De un regulador de tensión lineal determinado se conoce que la tensión de salida cambia típicamente 3 mV cuando V_I varía de 7 V a 25 V , y 5 mV cuando la intensidad I_O cambia de $0,25 \text{ A}$ a $0,75 \text{ A}$. Además, el $RR_{dB}=78$ a 120 Hz . Calcular: a) Los valores de regulación de carga y de línea típicos de este regulador, b) La impedancia de salida del regulador y c) El valor del rizado de salida V_{ro} por cada voltio de V_{ri} .

Solución (Ej. 107) — a) La regulación de línea se obtiene aplicando la expresión (4.1):

$$\text{Regulación de línea} = \frac{\Delta V_O}{\Delta V_I} = \frac{3 \text{ mV}}{25 - 7} = 0,167 \text{ [mV/V]}$$

Para calcular la regulación de carga, debido a variaciones de la intensidad de carga, se utiliza la expresión (4.3). Sustituyendo los valores, se obtiene:

$$\text{Regulación de carga} = \frac{5 \text{ mV}}{0,75 - 0,25} = 10 \text{ [mV/A]}$$

b) Es el valor dado por la regulación de carga, es decir $0,01 \Omega$.

c) De la ecuación (4.9), se despeja el valor de $V_{ro} = \frac{V_{ri}}{10^{RR_{dB}/20}}$. Para $V_{ri}=1 \text{ V}$, se obtiene un valor de $V_{ro}=125,89 \mu\text{V}$.

4.4 Fuentes no reguladas

Es el tipo básico de fuente, o fuente primaria, que es utilizada generalmente por el resto de los sistemas de alimentación. Este sistema está constituido por los bloques y componentes que se muestran en la Figura 4.2. Al carecer de un sistema de regulación, las variaciones de la tensión de entrada se transmiten íntegramente a la salida. El valor de la tensión de salida depende tanto la tensión de entrada como de la carga conectada.

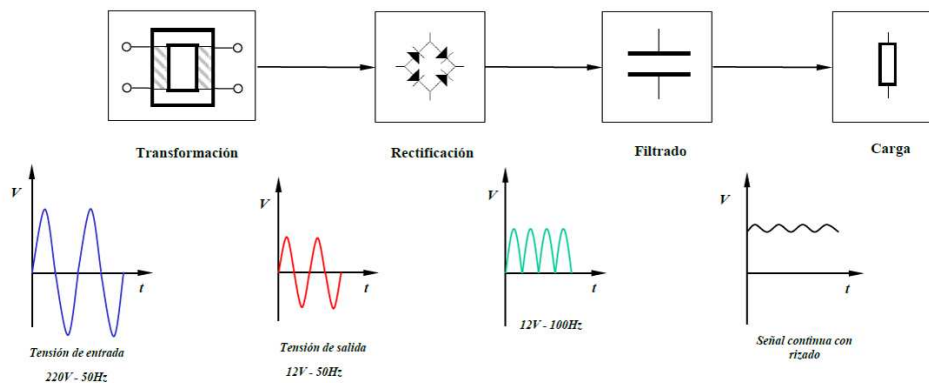


Figura 4.2: Esquema general de una fuente de alimentación no regulada.

4.4.1 Rectificadores de media onda y de onda completa

La Figura 4.3 muestra un *rectificador de media onda* con filtro $R_L C$, cuyas formas de onda se muestran en la Figura 4.4. Si el diodo de la Figura 4.3 es ideal y en ausencia de la resistencia R_L , el condensador C se carga durante el primer semiciclo hasta V_M y se mantiene cargado a este valor. Sin embargo, para que este circuito sea útil debería suministrar potencia continua a una carga externa R_L . Otra manera de ver el circuito de la Figura 4.3 es como un rectificador ideal de media onda conectado a un filtro por condensador C que está en paralelo con la carga R_L . Como se puede observar en las curvas de régimen permanente de la Figura 4.4, el funcionamiento del rectificador se modifica fuertemente debido al condensador. Si el condensador C está inicialmente descargado, durante el primer semiciclo de la onda alterna, el diodo D conduce cargando al condensador con una constante de tiempo pequeña (la resistencia del diodo en conducción es pequeña).

La tensión en los extremos del diodo es la diferencia $v_i - v_o$ y, por consiguiente, el diodo deja de conducir poco después de que la tensión v_i alcance su valor máximo V_M . A partir de este momento y durante todo el semiciclo siguiente, la tensión en la carga disminuye de valor de forma exponencial, debido a la descarga del condensador en la carga R_L . Como el valor de C se elige de tal forma que la constante de tiempo $\tau = R_L C$ sea suficientemente grande comparada con el período $T = 1/f$ de la onda

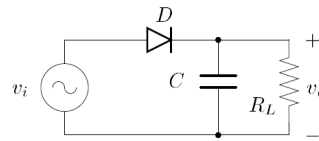


Figura 4.3: Rectificador de media onda.

alterna de entrada (usualmente $f=50\text{ Hz}$) la tensión de salida v_o no disminuye de valor tan rápido como v_i .

Si $R_L C \gg 1/f$, la tensión en la carga v_o cambia sólo ligeramente antes de que el diodo entre de nuevo en conducción, en el siguiente semiciclo cuando la tensión en el diodo $v_i - v_o$ supere el umbral de conducción. De este modo se consigue que el rizado V_r sea pequeño. La corriente por el diodo es una secuencia de picos como los representados en la segunda forma de onda de la Figura 4.4. Si se aumenta el valor de $R_L C$, los picos de corriente son de menor duración y de mayor amplitud, el diodo conduce durante intervalos más cortos y el pico de corriente debe ser más elevado para mantener el valor medio de la corriente en R_L . La corriente media se aproxima a V_M/R_L cuando la constante de tiempo es grande.

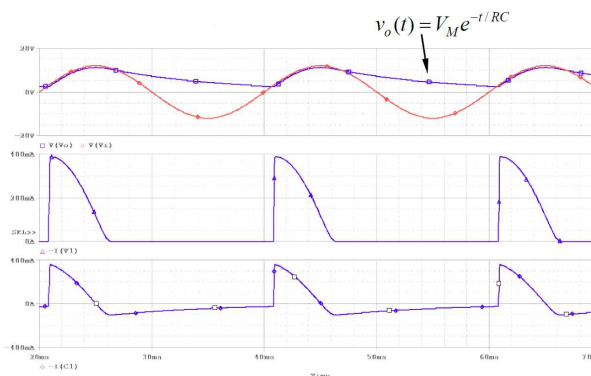


Figura 4.4: Tensiones y corrientes en el rectificador de media onda.

Para realizar el cálculo del condensador C del circuito rectificador de media onda, conociendo la frecuencia f , la tensión de entrada V_M y la tensión de rizado V_r , se utiliza la siguiente expresión de diseño:

$$C = \frac{1}{f R_L} \frac{V_M}{V_r} \quad (4.13)$$

En el caso de un *rectificador de onda completa*, como el que se representan en la Figura 4.5, es posible utilizar un circuito con dos diodos y un transformador con toma media o un circuito con cuatro diodos (puente de diodos) y un transformador

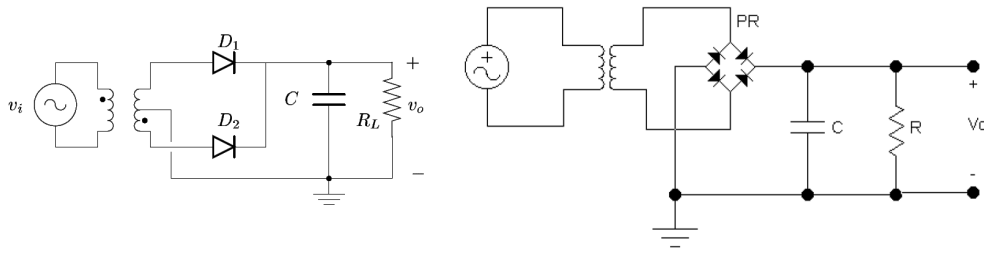


Figura 4.5: Circuitos rectificadores de onda completa.

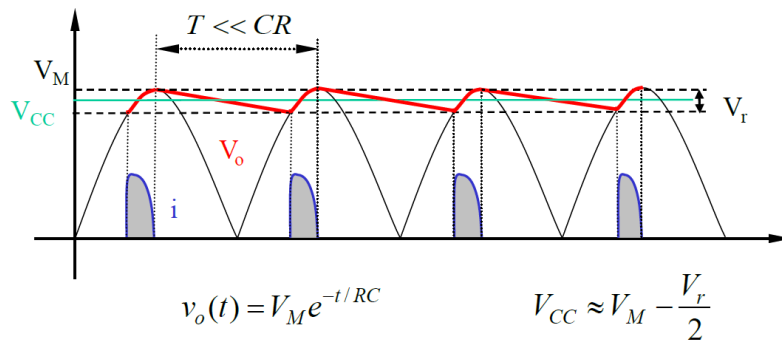


Figura 4.6: Tensiones y corrientes en el rectificador de onda completa.

sin toma media. Las formas de onda de la tensión de salida y la corriente se muestran en la Figura 4.6.

Las formas de onda de la Figura 4.6 representan el efecto del filtrado del condensador sobre la salida del rectificador de onda completa. Para el mismo valor de $R_L C$, el rizado es menor que para el rectificador de media onda ya que el condensador tiene sólo la mitad de tiempo para descargarse. Para obtener la nueva ecuación de diseño del condensador C , se sustituye el período $1/f$ por el que corresponde al caso de la onda completa, es decir $0,5/f$. La expresión de diseño del valor del condensador C queda como sigue:

$$C = \frac{1}{2f R_L} \frac{V_M}{V_r} \quad (4.14)$$

El condensador de filtrado es voluminoso y caro. La ventaja del rectificador de onda completa con respecto al rectificador de media onda es que proporciona el mismo rizado con un condensador de menor valor y, por consiguiente, el circuito electrónico será más compacto debido al menor volumen del condensador. La tensión umbral del diodo reduce la tensión de salida a un valor algo menor de V_M que el obtenido si los diodos fueran ideales. La tensión media suministrada a la carga es aproximadamente:

$$V_{CC} \approx V_M - \frac{V_r}{2} \quad (4.15)$$

Cuestiones y Ejercicios Resueltos

Ej. 108 — Si se utiliza la ecuación (4.7) para obtener el factor de rizado de una fuente de alimentación, el valor eficaz de las componentes alternas en algunas ocasiones es difícil de calcular. El factor de rizado se puede obtener entonces mediante la siguiente ecuación:

$$\text{Factor de rizado} = \sqrt{\left(\frac{V_{Lef}}{V_{Lmed}}\right)^2 - 1} \quad (4.16)$$

donde V_{Lef} es la tensión eficaz en la carga y V_{Lmed} corresponde a la tensión media en la carga. Si se desea calcular el factor de rizado de un circuito rectificador de media onda básico, es decir sin el condensador de filtro, y suponiendo una señal sinusoidal de periodo T , primero se calcularían el valor medio y el valor eficaz.

La forma de onda en la carga tiene la siguiente expresión:

$$v(t) = \begin{cases} V_{m\acute{a}x} \text{sen}(\omega t) & \text{cuando } 0 < t \leq T/2 \\ 0 & \text{cuando } T/2 < t \leq T \end{cases}$$

Siendo $\omega = 2\pi/T$, el valor de la tensión media en la carga es:

$$V_{med} = \frac{1}{T} \int_0^{T/2} V_{m\acute{a}x} \text{sen}(\omega t) dt = \frac{V_{m\acute{a}x}}{\omega T} [-\cos(\omega t)]_0^{T/2} = \frac{V_{m\acute{a}x}}{\pi}$$

Por otra parte, el valor eficaz en la carga del circuito rectificador de media onda se obtiene de la siguiente manera:

$$\begin{aligned} V_{ef} &= \sqrt{\frac{1}{T} \int_0^{T/2} V_{m\acute{a}x}^2 \text{sen}^2(\omega t) dt} = \sqrt{\frac{V_{m\acute{a}x}^2}{T} \int_0^{T/2} \frac{1 - \cos(2\omega t)}{2} dt} = \\ &= \sqrt{\frac{V_{m\acute{a}x}^2}{2T} \left[t - \frac{\text{sen}(2\omega t)}{2\omega} \right]_0^{T/2}} = \frac{V_{m\acute{a}x}}{2} \end{aligned}$$

Por lo tanto, el valor del factor de rizado de un circuito rectificador de media onda es:

$$\text{Factor de rizado} = \sqrt{\left(\frac{V_{m\acute{a}x}/2}{V_{m\acute{a}x}/\pi}\right)^2 - 1} = 1,21 \quad (4.17)$$

En el caso de un circuito rectificador de onda completa, el valor del factor de rizado es:

$$\text{Factor de rizado} = \sqrt{\left(\frac{V_{m\acute{a}x}/\sqrt{2}}{2V_{m\acute{a}x}/\pi}\right)^2 - 1} = 0,48 \quad (4.18)$$

Ej. 109 — Obtenga la ecuación de diseño que relaciona el rizado admisible con el valor del condensador de filtrado en un rectificador de media onda como el de la Figura 4.3.

Solución (Ej. 109) — En un diseño típico, si se conoce el valor deseado de continua $V_{CC} \approx V_M$ y la máxima corriente continua de salida I_{CC} , se podrá determinar el mínimo valor de la resistencia de carga, R_L . También se suelen especificar la frecuencia, f , y el máximo rizado permisible, V_r . Se relaciona la carga ΔQ que pierde el condensador en cada ciclo con la tensión de rizado V_r de la siguiente manera:

$$\Delta Q = C\Delta V = CV_r$$

Esta carga se sustituye por la corriente media que circula por el diodo. Para la máxima corriente de salida, se cumple:

$$I_{CC} = \frac{\Delta Q}{\Delta t} = \frac{CV_r}{1/f} = fCV_r$$

Si el rizado es pequeño, $V_{CC} \approx V_M$ y la corriente media por el diodo debe igualar a la corriente de salida, entonces $I_{CC} = V_M/R_L$. Igualando ambas expresiones y despejando C se obtiene la ecuación de diseño solicitada.

Si se desea reducir el factor de rizado unitario admisible V_r/V_M se debe aumentar el valor del condensador. Una vez concluido el diseño, los valores de C , f y V_M utilizados por la expresión (4.13), se mantienen constantes. Cuando el valor de R_L aumenta (menor corriente requerida a la fuente) el valor de V_r disminuye y viceversa.

Ej. 110 — Diseñar una fuente de alimentación con un rectificador de media onda y un condensador de filtrado que proporcione una tensión continua de salida de 12 V y una corriente media de 25 mA con un rizado del 2 %.

Solución (Ej. 110) — Se supone que $f = 50$ Hz. A continuación, se selecciona un transformador que proporcione una tensión un poco mayor que la requerida en la salida, por ejemplo $V_M = 12,7$ V en lugar de los 12 V para compensar la tensión de umbral del diodo. Con la máxima corriente, el valor de la carga es $R_L = 12/0,025 = 480 \Omega$. Si se aplica la expresión (4.13), se obtiene:

$$C = \frac{1}{50 \cdot 480} \frac{1}{0,02} = 2083,3 \mu F$$

4.5 Fuentes reguladas lineales

En ocasiones una fuente de alimentación requiere un regulador de tensión para mantener la tensión de salida constante a pesar de las variaciones en la carga, la tensión no regulada o ambos. En la Figura 4.7 se muestra el esquema de bloques de una fuente de alimentación regulada. Los dos parámetros que más se suelen utilizar para describir a los reguladores de tensión y que especifican sus prestaciones son la *regulación de carga* y la *regulación de línea*.

Aunque sean consideradas como tecnológicamente obsoletas, por su volumen, por su peso y por su bajo rendimiento, todavía suponen alrededor del 50 % de las fuentes de alimentación. Esto es debido a las importantes ventajas en cuanto al ruido y a la regulación. Es probable que a medida que la aplicación de las directivas europeas sobre ruido e interferencias se vayan haciendo más estrictas, las fuentes lineales sigan manteniendo un peso importante en el mercado.

A continuación, se estudian dos tipos clásicos de reguladores de tensión: el tipo paralelo y el tipo serie. Los reguladores paralelos trabajan en paralelo con la carga externa, extrayendo corriente para que la tensión de salida sea constante. El regulador serie tiene un dispositivo electrónico en serie con la carga y un sistema de realimentación ajusta la corriente del transistor al valor adecuado para que se mantenga constante la tensión de salida.

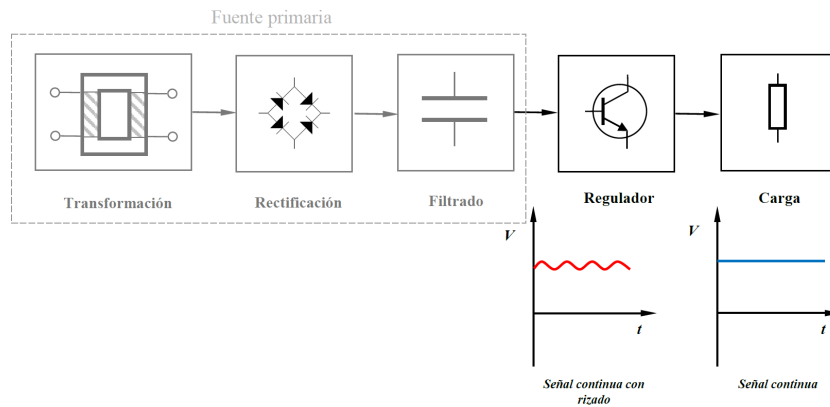


Figura 4.7: Esquema general de una fuente de alimentación regulada.

4.5.1 Reguladores lineales paralelo

Un regulador lineal paralelo se caracteriza por tener el dispositivo de regulación en paralelo con la carga. Esta configuración suele utilizarse cuando la carga es pequeña. El circuito debe diseñarse para estar autoprotegido frente a cortocircuitos. El caso más sencillo es el *regulador zener* mostrado en la Figura 4.8. Es un regulador lineal, dado que el circuito trabaja en una zona donde el diodo zener se comporta como una fuente de tensión lineal. El diodo zener está polarizado en inversa para fijar la tensión en la carga.

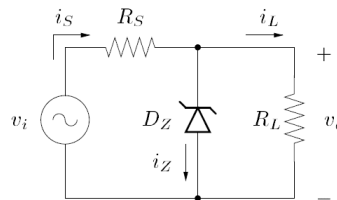


Figura 4.8: Regulador paralelo con diodo zener.

Por la resistencia R_S circula una corriente casi constante i_S que se divide en dos: $i_S = i_Z + i_L$. De este modo, el diodo zener proporciona *tensión constante* a la carga R_L (considere que ésta carga no es constante) y ello obliga a que absorba la corriente que no necesita la carga. Si la tensión de rizado de la fuente primaria v_i es v_{iR} , el rizado a la salida del regulador es:

$$v_{oR} = \frac{v_{iR} r_Z}{R_S + r_Z} \quad (4.19)$$

siendo r_Z la resistencia del diodo zener con polarización inversa. Para reducir esta tensión de rizado es preciso poner un condensador de filtrado en paralelo con la carga.

Las limitaciones de esta configuración residen en la variación de la corriente del diodo zener, y por lo tanto su tensión para diferentes corrientes de carga y para diferentes temperaturas de funcionamiento, junto con la disipación del zener, la cual aumenta al decrecer la corriente en la carga. Para mejorar las prestaciones de esta configuración se puede asociar al diodo zener con un transistor en una configuración serie o paralelo. De este modo, se disminuye la potencia que debe disipar el diodo y se entrega más corriente a la carga. En la Figura 4.9 se muestra el esquema de un regulador paralelo mediante transistor. La ventaja de este montaje es la independen-

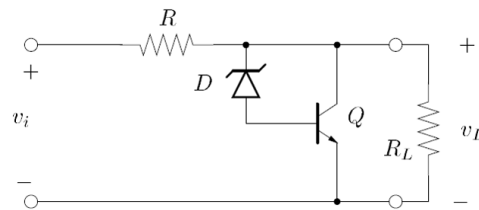


Figura 4.9: Regulador paralelo con transistor.

cia de la carga sobre la tensión de alimentación suministrada por la fuente primaria, dado que requiere como alimentación una corriente prácticamente constante. Sin embargo, el rendimiento a pequeñas cargas es malo, ya que la corriente que no es absorbida por la carga lo es por el transistor de estabilización Q .

4.5.2 Reguladores lineales serie

El diagrama de bloques de un regulador lineal serie se representa en la Figura 4.10. Se caracteriza por su elemento de regulación que se encuentra en serie con la carga. Este elemento regulador se controla mediante la tensión de salida del amplificador operacional (amplificador de error), el cual opera en su zona lineal y amplifica la tensión de error dada por la diferencia entre una muestra de la tensión de salida (a través del divisor formado por R_1 y R_2) y una tensión constante fijada por la tensión de referencia. Se puede observar que el amplificador de error forma parte de un sistema realimentado que tiende a que la tensión de error sea nula. Por lo tanto, se puede escribir las siguientes relaciones:

$$V_M = \frac{V_L R_2}{R_1 + R_2} \approx V_r \quad (4.20)$$

La tensión de control (V_C) es proporcional a la diferencia $V_r - V_M$, y la tensión regulada es $V_L = V_U - V_S$, siendo V_S función de V_C .

El esquema de un circuito regulador lineal serie se representa en la Figura 4.11. Como elemento regulador se utiliza un transistor bipolar. La tensión V_{CE} del transistor Q se regula mediante el amplificador operacional. La tensión de error es la diferencia entre una muestra de la tensión de salida (a través del divisor formado por R_5 y R_6) y una tensión constante fijada por el circuito del diodo zener.

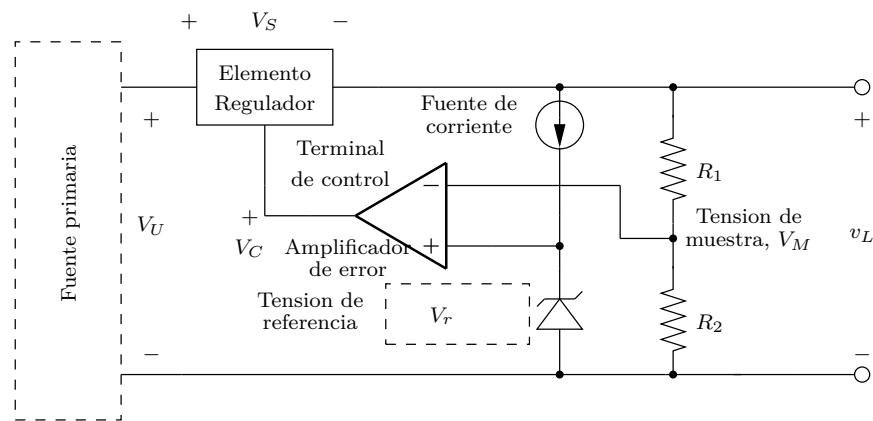


Figura 4.10: Regulador lineal serie con transistor y amplificador operacional.

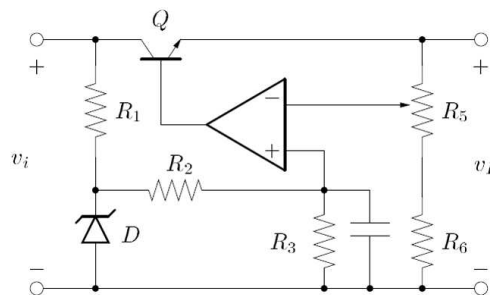


Figura 4.11: Esquema de un regulador lineal serie con transistor y amplificador operacional.

La Figura 4.12 muestra otra arquitectura de regulador lineal serie que utiliza la pareja de transistores Darlington Q_1 y Q_2 . Los transistores Q_2 y Q_1 son de baja y de alta potencia, respectivamente. La red formada por las resistencias R_1 y R_2 realimentan hacia el amplificador de error una parte de la tensión de salida. El amplificador de error proporciona a los transistores la corriente necesaria para que la diferencia entre las tensiones de entrada del amplificador operacional sea nula y, por consiguiente, la tensión en la entrada inversora es igual a V_{REF} . Por cuestiones de precisión y de estabilidad, se elige una tensión de referencia del tipo *bandgap* o banda prohibida, realizada mediante un circuito de *referencia de tensión*. Esta tensión es normalmente $V_{REF}=1,282\text{ V}$ a 25°C . Entonces la tensión de salida está determinada por la siguiente expresión:

$$V_O = \left(1 + \frac{R_2}{R_1}\right)V_{REF} \quad (4.21)$$

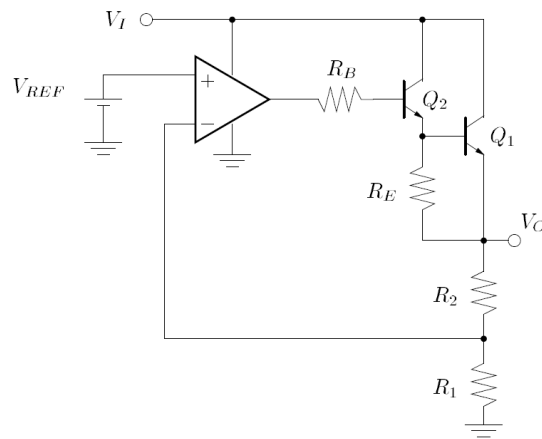


Figura 4.12: Esquema de un regulador lineal serie con dos transistores y un amplificador operacional.

4.5.3 Ventajas e inconvenientes de los reguladores lineales

El inconveniente de las fuentes lineales es su gran tamaño y su bajo rendimiento (disipan gran parte de la energía en forma de calor). Como consecuencia su rendimiento se reduce y la vida de los componentes electrónicos que puedan estar cercanos a la fuente de calor se ve reducida. El regulador paralelo impide que las variaciones de la corriente en la carga aparezcan en la fuente primaria aislando la carga respecto de la fuente primaria, lo que es bueno para frecuencias elevadas. La energía disipada en forma de calor en el regulador serie aumenta proporcionalmente con el valor de la carga, mientras que en el regulador paralelo, la energía disipada disminuye al aumentar el valor de la carga. El regulador paralelo tiene un elemento R_S más, que evita la destrucción del regulador si falta la carga. En contrapartida, esta resistencia R_S incrementa las pérdidas. Por consiguiente, la potencia entregada por la fuente primaria de un regulador paralelo es mayor que la entregada por un regulador en serie, por esta razón el regulador paralelo tiene un rendimiento inferior al regulador en serie. A continuación, se concretan las ventajas e inconvenientes de las fuentes lineales.

Ventajas:

- Diseños sencillos, son robustas y fiables, de fácil mantenimiento y bajos costes de utilización.
- Fácil producción en serie y precios moderados.
- Muy bajo ruido y rizado (de 1 a $10mV_{pp}$).
- Excelente regulación a la línea y a la carga.
- Recuperación rápida de transitorios.
- Una sola barrera de aislamiento: El transformador.

- No hay presencia de red en los circuitos impresos.
- Baja emisión de interferencias electromagnéticas (*Electro Magnetic Interference*, EMI).

Inconvenientes:

- Muy bajo rendimiento (30 a 60 %).
- Elevado volumen y peso.
- Potencias relativamente bajas.

Cuestiones y Ejercicios Resueltos

Ej. 111 — Para una buena regulación de carga y de línea es conveniente una baja resistencia interna del diodo zener. En los cálculos aproximados, se utiliza el modelo del diodo formado por su tensión de Zener V_Z en serie con la resistencia R_Z . Se pide:

- Hallar las expresiones del factor de regulación de carga, la regulación línea y la regulación de carga del regulador zener de la Figura 4.8.
- Calcular las tres regulaciones anteriores utilizando $V_U=15\text{ V}$, $R_S=10\ \Omega$, $V_Z=5\text{ V}$, $R_Z=0,1\ \Omega$ y $R_L=25,6\ \Omega$.

Solución (Ej. 111) — a) En la Figura 4.13 se representa el circuito equivalente del diodo Zener. Si la tensión y la resistencia de Thévenin vistas desde la carga R_L son, respectivamente, V_{TH} y R_{TH} , se pueden obtener tanto la tensión de vacío $V_{vacío}$ como la tensión a plena carga $V_{plena\ carga}$:

$$V_{vacío} = V_{TH}$$
$$V_{plena\ carga} = \frac{V_{TH}R_L}{R_L + R_{TH}}$$

El valor del factor de regulación de carga será:

$$\left(\frac{V_{vacío}}{V_{plena\ carga}} - 1 \right) = \left(\frac{V_{TH}}{\frac{V_{TH}R_L}{R_L + R_{TH}}} - 1 \right) = \frac{R_{TH}}{R_L} = \frac{R_S || r_Z}{R_L}$$

Por lo tanto, se mejorará la regulación de la carga conforme el valor de r_Z sea menor.

Para obtener la expresión de la regulación de línea, se deberá obtener la expresión de la tensión de salida. Si se aplica superposición (la carga es una fuente de corriente de valor I_O):

$$V_O = \frac{r_Z}{R_S + r_Z} V_U + \frac{R_S}{R_S + r_Z} V_Z - R_S || r_Z I_O$$

Por lo tanto:

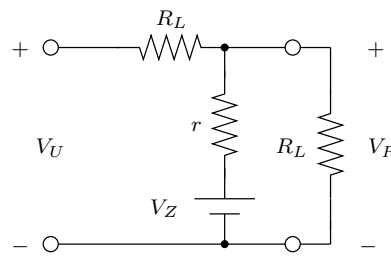


Figura 4.13: Circuito equivalente del regulador paralelo con diodo zener.

$$\text{Regulación de línea} = \frac{\Delta V_O}{\Delta V_U} = \frac{r_Z}{R_S + r_Z}$$

$$\text{Regulación de carga} = \frac{\Delta V_O}{\Delta I_O} = -R_S || r_Z$$

b) Para este apartado se utilizan las expresiones obtenidas anteriormente.

$$\text{Factor de regulación de carga} = \frac{10 || 0,1}{25,6} = 3,87 \text{ [mV/V]}$$

$$\text{Regulación de línea} = \frac{0,1}{10 + 0,1} = 9,9 \text{ [mV/V]}$$

$$\text{Regulación de carga} = -10 || 0,1 = -99 \text{ [mV/A]}$$

Ej. 112 — Diseñe un regulador paralelo con diodo zener que proporcione una tensión de salida de 10 V y una corriente de carga de 20 mA. La tensión de la fuente primaria es de 22 ± 2 V. Considere que la corriente mínima para polarizar el diodo zener es de 1 mA.

Solución (Ej. 112) — El esquema del circuito elegido es el de la Figura 4.8. Se trata de elegir la resistencia R_S y el diodo. Para elegir éste último, su tensión de ruptura, o tensión zener, debe ser la tensión de salida deseada. La máxima corriente que debe soportar el diodo será la máxima corriente que circule por R_S . De este modo, también se le está protegiendo ante la desconexión de la carga. El valor de R_S debe elegirse de manera que con las condiciones más desfavorables de funcionamiento (tensión mínima de entrada y máxima corriente de salida), el regulador proporcione tanto la corriente a la carga como la corriente mínima de funcionamiento del zener. Según el comentario anterior, la resistencia R_S se obtiene a partir de la siguiente relación:

$$R_S = \frac{v_i \text{ mínima} - V_Z}{I_L \text{ máxima} + I_Z \text{ mínima}} = \frac{20 - 10}{20 + 1} = 476,2 \Omega$$

El diodo zener debe tener una tensión de ruptura de $V_Z = 10$ V y su corriente máxima inversa deberá ser superior a:

$$I_Z \text{ máxima} = \frac{v_i \text{ máxima} - V_Z}{R_S} = \frac{22 - 10}{476,2} = 25,2 \text{ mA}$$

Finalmente, la potencia del diodo zener y de la resistencia R_S son:

$$P_Z = I_{Z \text{ máxima}} V_Z = 25,2 \cdot 10 = 252 \text{ mW}$$
$$P_{R_S} = (v_i \text{ máxima} - V_Z) I_{Z \text{ máxima}} = (22 - 10) 25,2 = 302,4 \text{ mW}$$

Ej. 113 — Utilizando un regulador zener, como el de la Figura 4.8, calcular los valores máximo y mínimo de R_L , para $R_S = 48,7 \Omega$ y $v_i = 15 \text{ V}$. El diodo zener tiene $V_Z = 5 \text{ V}$, una corriente inversa mínima de 10 mA y su disipación de potencia máxima es 1 W .

Solución (Ej. 113) — Si la potencia máxima del diodo zener es de 1 W , entonces la intensidad máxima que puede proporcionar es de:

$$I_{Z \text{ máxima}} = \frac{P_Z}{V_Z} = \frac{1}{5} = 200 \text{ mA}$$

En condiciones normales de funcionamiento, con una carga conectada, la intensidad por la resistencia R_S es:

$$I_S = \frac{V_i - V_Z}{R_S} = \frac{15 - 5}{48,7} = 205,3 \text{ mA}$$

Esta intensidad debe mantenerse constante ante variaciones de la carga R_L . Los valores mínimo y máximo de la carga R_L se obtienen a partir de los valores mínimo y máximo de I_Z . Dado que se cumple que $I_S = I_Z + I_L$, se puede formular la siguiente ecuación:

$$I_S = I_Z + \frac{V_Z}{R_L}$$

Se despeja R_L :

$$R_L = \frac{V_Z}{I_S - I_Z}$$

Por lo tanto:

$$R_{L \text{ mínima}} = \frac{V_Z}{I_S - I_{Z \text{ mínima}}} = \frac{5}{0,2053 - 0,01} = 25,6 \Omega$$
$$R_{L \text{ máxima}} = \frac{V_Z}{I_S - I_{Z \text{ máxima}}} = \frac{5}{0,2053 - 0,2} = 943,4 \Omega$$

Ej. 114 — Calcule el rango de valores de la tensión de salida para el regulador serie de la Figura 4.11. Los valores de los componentes son: $R_1 = 2,7 \text{ k}\Omega$, $R_2 = 3,9 \text{ k}\Omega$, $R_3 = 2,7 \text{ k}\Omega$, $R_5 = 10 \text{ k}\Omega$ y $R_6 = 2,2 \text{ k}\Omega$. La tensión del diodo zener es $V_Z = 6,8 \text{ V}$. La tensión que proporciona la fuente primaria es $v_i = 18 \text{ V}$.

Solución (Ej. 114) — El valor de la tensión de salida dependerá de la posición del cursor del potenciómetro R_5 . En primer lugar, si la posición del cursor está en la parte inferior, la tensión en la entrada inversora del amplificador operacional es:

$$V^- = \frac{v_L R_6}{R_5 + R_6}$$

El valor de la tensión en la entrada no inversora del amplificador operacional es:

$$V^+ = \frac{V_Z R_3}{R_2 + R_3} = 2,78 \text{ V}$$

El amplificador operacional entrega la corriente a la base del transistor regulador. Dicha corriente es proporcional a la diferencia entre las tensiones de sus entradas. Se puede aproximar que $V^+ \approx V^-$ y, por lo tanto:

$$\frac{v_L R_6}{R_5 + R_6} = 2,78 \text{ V}$$

Despejando se obtiene el valor de $v_L = 15,4 \text{ V}$.

Si el cursor del potenciómetro está en la posición superior, es fácil deducir que $v_L = 2,78 \text{ V}$.

Ej. 115 — Suponga que se desconecta la carga del circuito de la Figura 4.11. ¿Cómo se modifican las formas de onda en la carga v_L y en la entrada v_i ?

Solución (Ej. 115) — Al desconectar la carga, el circuito rectificador debe proporcionar menos corriente, por lo que su tensión aumentará de valor y presentará un menor rizado. Se puede estimar que v_i alcanzará el valor de V_M . Un buen cálculo de las resistencias R_5 y R_6 hará posible que el transistor Q funcione en su zona lineal y, por lo tanto, el regulador mantenga constante el valor de la tensión de salida en el mismo valor que tenía con la carga conectada.

Ej. 116 — En el regulador de la Figura 4.12 el valor de R_B es de 510Ω y el de R_E es de $3,3 \text{ k}\Omega$. Calcule: a) el valor de R_2/R_1 para $V_O = 5,0 \text{ V}$, b) la corriente de salida del amplificador de error, I_{AE} y la tensión de salida V_{AE} necesarias para obtener $I_O = 1 \text{ A}$, c) la caída de tensión V_{DO} si el amplificador de error satura a $V_{OH} = V_I - 0,5 \text{ V}$ y d) el máximo rendimiento alcanzable para la intensidad I_O especificada. Nota: Los parámetros de los transistores son para Q_2 ($\beta = 100$, $V_{BE(on)} = 0,7 \text{ V}$ y $V_{CE(sat)} = 0,1 \text{ V}$) y para Q_1 ($\beta = 20$, $V_{BE(on)} = 1 \text{ V}$ y $V_{CE(sat)} = 0,5 \text{ V}$).

Solución (Ej. 116) — a) De la expresión (4.21) se despeja $R_2/R_1 = (5/1,282) - 1 = 2,9$. Por ejemplo, si R_1 es igual a 1000Ω , entonces se obtiene que $R_2 = 2900 \Omega$. b) La corriente de salida $I_O = 1 \text{ A}$ la proporciona el emisor del transistor Q_1 . El transistor Q_2 entrega corriente a la base de Q_1 y a la resistencia R_E . A su vez, el amplificador operacional alimenta de corriente al transistor Q_2 . Es decir:

$$I_{B1} = \frac{I_{E1}}{\beta_1 + 1} \approx \frac{1}{20 + 1} = 47,62 \text{ mA}$$

$$I_{E2} = I_{B1} + \frac{V_{BE1(on)}}{R_E} = 47,62 + \frac{1}{3,3} = 47,62 + 0,30 = 47,92 \text{ mA}$$

$$I_{AE} = I_{B2} = \frac{I_{E2}}{\beta_2 + 1} = \frac{47,92}{100 + 1} = 0,47 \text{ mA}$$

La tensión de salida del amplificador de error es:

$$V_{AE} = I_{AE} R_B + V_{BE2(on)} + V_{BE1(on)} + V_O = 0,47 \cdot 10^{-3} \cdot 510 + 0,7 + 1 + 5 = 6,94 \text{ V}$$

- c) Para el buen funcionamiento del circuito es necesario que $V_{OH} \geq v_{AE}$ y que $v_{CE} \geq V_{CE(sat)}$ para los dos transistores. Estas dos condiciones se cumple para $V_I \geq 7,5$. La caída de tensión $V_{DO} = 7,5 - 5 = 2,5$ V.
- d) El máximo rendimiento será (siempre que se cumpla que $V_I \geq 7,5$ V):

$$\eta(\%) = 100 \frac{P_O}{P_I} = 100 \frac{V_O I_O}{V_I I_I} \approx 100 \frac{V_O}{V_I} = 100 \frac{5}{7,5} = 66,6 \%$$

En el cálculo anterior se ha realizado la aproximación $I_I \approx I_O$.

4.6 Reguladores lineales integrados

En la Figura 4.14 se muestra el esquema de un regulador lineal de tensión integrado. Estos dispositivos son componentes de tres terminales en los que uno de ellos se utiliza como terminal de referencia (GND) y los otros dos como terminales de entrada (v_i) y de salida (v_o).

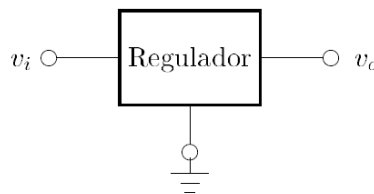


Figura 4.14: Regulador lineal integrado.

Características:

- *Tensión de salida requerida:* Viene especificada por el fabricante para el modelo de circuito integrado utilizado mediante los dos últimos dígitos, p.e., el 7805 proporciona 5 V; el 7812, 12 V; el 7905, -5 V; el 7912, -12 V; el 340T-15, +15 V. Los dos primeros caracteres indican el fabricante (LM para National Semiconductor, μ A para Fairchild, MC para Motorola, LT para Linear Technology).
- $|v_i| \geq |v_o| + 2V$: Como norma general, la tensión de entrada al regulador debe ser al menos 2V mayor que la tensión de salida regulada. Hay que tener en cuenta la caída de tensión que se produce en el regulador.
- $I_{o\text{máx}}$: La salida o corriente de carga puede variar desde cero hasta un valor máximo. Sin embargo, si el montaje no se hace de tal manera que asegure la eliminación de calor generado, la unidad puede llegar al valor para el cual se produce su ruptura térmica. La aparición de la ruptura térmica depende de la tensión de entrada, de la tensión de salida, de la temperatura ambiente y de la corriente de salida. A menos que se utilice un disipador adecuado, no se podrá obtener la máxima corriente de salida del regulador integrado.

- *Protección contra sobrecarga térmica:* El circuito integrado tiene un sensor de temperatura interno. Cuando el IC se calienta demasiado (normalmente entre 125°C y 150°C), la unidad dejará de funcionar. La corriente de salida caerá y permanecerá así hasta que el IC se refrigere significativamente. No obstante, esto no proporciona una verdadera protección contra cortocircuitos. El regulador de tres terminales puede, si el calor disminuye adecuadamente, soportar un cortocircuito sin dañarse.

En la Figura 4.15 se muestra un circuito de aplicación, con los condensadores de filtrado que mejoran la respuesta transitoria del regulador, y tres formas de encapsulado. Cuando el regulador se encuentra a cierta distancia del rectificador, el condensador de 0,22 μF se desdobra en dos para evitar oscilaciones no deseadas: uno conectado a la salida de los diodos y otro conectado a la entrada del regulador. Para las versiones de baja potencia se utiliza encapsulado de plástico y para las de mayor potencia, con corrientes superiores a 1 A, el encapsulado es metálico.

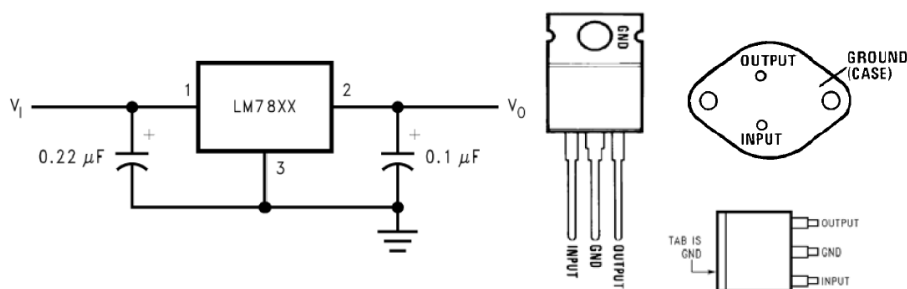


Figura 4.15: Regulador LM7805. Circuito de aplicación: salida de tensión constante. Encapsulados: terminal 1: *INPUT*, terminal 2: *OUTPUT* y terminal 3: *GND*.

En la Figura 4.16 se muestra un circuito de aplicación para obtener una salida simétrica realizado con dos reguladores de tensión positiva.

La tabla de la Figura 4.17 muestra algunos parámetros del regulador.

- *Regulación de línea (line regulation).* La regulación de línea es una medida de la capacidad del circuito para mantener la tensión de salida bajo condiciones de variación de la entrada. En el caso de reguladores de tensión, la entrada se obtiene generalmente a partir de la señal de la red y tiene un rizado significativo. Si la tensión de entrada de baja calidad es v_i y la tensión de salida estabilizada es v_o , la regulación de línea (*Regline*) se define como:

$$\text{Regline} = \frac{\Delta v_o}{\Delta v_i} \text{ [mV/V]} \quad (4.22)$$

- *Regulación de carga (load regulation).* La regulación de carga es una medida de la capacidad del circuito para mantener la tensión de salida aunque cambie

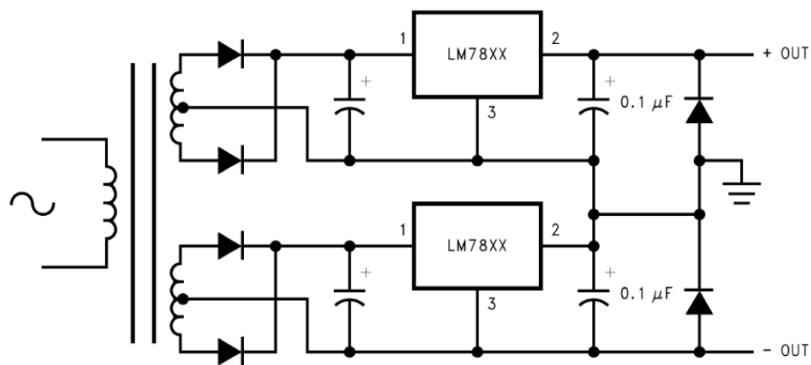


Figura 4.16: Regulador 7805. Salida de tensión simétrica.

la corriente i_L absorbida por la carga. Si el circuito fuera una fuente de tensión ideal, su salida debería ser independiente de i_L . Por lo tanto, la regulación de la carga está directamente relacionada con la resistencia de salida equivalente del circuito. La regulación de carga (*Regload*) se define como:

$$Regload = \frac{V_{NL} - V_{FL}}{\Delta i_L} \text{ [mV/mA]} \quad (4.23)$$

donde V_{NL} es la tensión de salida sin carga y V_{FL} es la tensión de salida a máxima carga.

Electrical Characteristics (LM7805)

Refer to the test circuits. $-40^\circ\text{C} < T_J < 125^\circ\text{C}$, $I_O = 500\text{mA}$, $V_I = 10\text{V}$, $C_I = 0.1\mu\text{F}$, unless otherwise specified.

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit	
V_O	Output Voltage	$T_J = +25^\circ\text{C}$	4.8	5.0	5.2	V	
		$5\text{mA} \leq I_O \leq 1\text{A}$, $P_O \leq 15\text{W}$, $V_I = 7\text{V to } 20\text{V}$	4.75	5.0	5.25		
Regline	Line Regulation ⁽¹⁾	$T_J = +25^\circ\text{C}$	$V_O = 7\text{V to } 25\text{V}$	-	4.0	100	mV
			$V_I = 8\text{V to } 12\text{V}$	-	1.6	50.0	
Regload	Load Regulation ⁽¹⁾	$T_J = +25^\circ\text{C}$	$I_O = 5\text{mA to } 1.5\text{A}$	-	9.0	100	mV
			$I_O = 250\text{mA to } 750\text{mA}$	-	4.0	50.0	
I_Q	Quiescent Current	$T_J = +25^\circ\text{C}$	-	5.0	8.0	mA	
ΔI_Q	Quiescent Current Change	$I_O = 5\text{mA to } 1\text{A}$	-	0.03	0.5	mA	
		$V_I = 7\text{V to } 25\text{V}$	-	0.3	1.3		
$\Delta V_O/\Delta T$	Output Voltage Drift ⁽²⁾	$I_O = 5\text{mA}$	-	-0.8	-	mV/ $^\circ\text{C}$	
V_N	Output Noise Voltage	$f = 10\text{Hz to } 100\text{kHz}$, $T_A = +25^\circ\text{C}$	-	42.0	-	$\mu\text{V}/V_O$	
RR	Ripple Rejection ⁽²⁾	$f = 120\text{Hz}$, $V_O = 8\text{V to } 18\text{V}$	62.0	73.0	-	dB	
V_{DROP}	Dropout Voltage	$I_O = 1\text{A}$, $T_J = +25^\circ\text{C}$	-	2.0	-	V	
r_O	Output Resistance ⁽²⁾	$f = 1\text{kHz}$	-	15.0	-	m Ω	
I_{SC}	Short Circuit Current	$V_I = 35\text{V}$, $T_A = +25^\circ\text{C}$	-	230	-	mA	
I_{PK}	Peak Current ⁽²⁾	$T_J = +25^\circ\text{C}$	-	2.2	-	A	

Figura 4.17: Regulador 7805. Extracto de la hoja de características.

- *Tensión de referencia (reference voltage)*. Tensión de referencia del regulador utilizada para ajustar la tensión de salida.
- *Corriente de ajuste (adjustment pin current)*. Corriente de salida por el terminal *ADJUSTMENT*.
- *Corriente de salida mínima (minimum output current)*. Corriente mínima de salida por el terminal V_O . Esta corriente debe ser asegurada para el correcto funcionamiento del regulador de tensión.
- *Corriente de salida máxima (current limit)*. Máxima corriente de salida que puede proporcionar el regulador antes que se active el circuito de protección.
- *Tensión Dropout (dropout voltage)*. El voltaje de *dropout* es la mínima diferencia de tensión entre la entrada y la salida dentro de la cual el circuito es todavía capaz de regular la salida dentro de las especificaciones. Así, por ejemplo, para $I_L=1$ A, el 7805 tiene un voltaje de *dropout* de 2V típico (Typ.). Esto significa que para una salida garantizada de 5 V, v_i debe ser mayor que 7 V.
- *Tensión máxima diferencial entrada-salida (Input-Output Voltage Differential)*. Los reguladores de tensión tienen limitado el máximo de tensiones de entrada y salida con que pueden operar. Por ejemplo, el LM117 tiene una tensión diferencial entrada-salida (*Input-Output Voltage Differential*) máxima $v_i-v_o=40$ V. Esto significa que si $v_o=1,25$ V, la tensión de entrada v_i no debe superar los 41,25 V.

Los reguladores de tensión ajustables de tres terminales requieren de dos resistencias externas para establecer la tensión de salida. Básicamente son reguladores de tensión de tres terminales con corrientes de polarización muy pequeñas. Por ejemplo para el regulador LM117 que se utiliza en la Figura 4.18, sus características especifican que la intensidad de polarización es $I_{ADJ}=50\ \mu\text{A}$ y que la diferencia entre la tensión V_{OUT} que se regula y la del terminal de ajuste V_{ADJ} es $V_j=1,25$ V. La tensión de

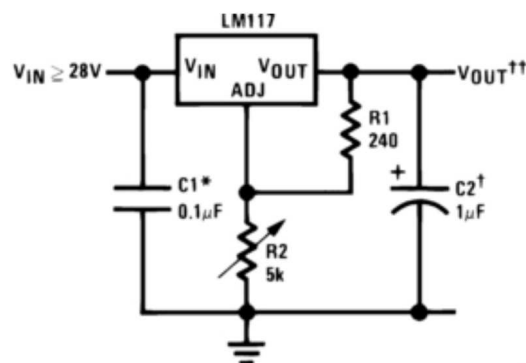


Figura 4.18: Regulador 117: salida de tensión regulable.

salida es:

$$V_{OUT} = V_{R1} + V_{R2} = V_j + \left(\frac{V_j}{R_1} R_2 + I_{ADJ} R_2 \right) \quad (4.24)$$

El regulador de tensión integrado de la Figura 4.19 se puede clasificar dentro de los reguladores serie. Puede suministrar hasta 150 mA de corriente, pero si se añaden transistores externos se pueden alcanzar cualquier valor de corriente deseado. Presenta una gran variedad de aplicaciones y un amplio rango de tensiones de salida, desde 2 hasta 37 V. La tensión de salida es:

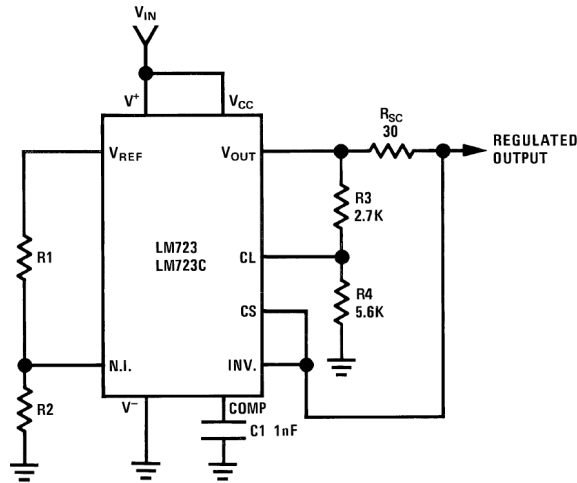


Figura 4.19: Regulador integrado LM723 (National Semiconductor). Salida de tensión regulable entre 2 y 7 V.

$$V_{OUT} = V_{REF} \frac{R_2}{R_1 + R_2} \quad (4.25)$$

Siendo la tensión de referencia V_{REF} igual a +7,15 V.

Cuestiones y Ejercicios Resueltos

Ej. 117 — Para diseñar una fuente de alimentación, se utiliza el circuito integrado 7812 de la Figura 4.15 y una carga $R_L=100\ \Omega$. La fuente no regulada, de onda completa, proporciona una tensión $V_M=18\text{ V}$ y el condensador de filtrado es de $1000\ \mu\text{F}$. Se pide:

- Calcular la corriente por la carga.
- Obtener la tensión de rizado a la salida de la fuente de alimentación.

Solución (Ej. 117) — a) El circuito entrega la tensión de +12 V a la carga. Por lo tanto la corriente que circula por la carga es:

$$I_L = \frac{V_{OUT}}{R_L} = \frac{12}{100} = 120\text{ mA} \quad (4.26)$$

b) En primer lugar se calcula el rizado a la entrada del circuito integrado 7805. Este rizado es el que presenta la salida de la fuente no regulada. La expresión (4.14) proporciona un método de cálculo del condensador de filtrado. La relación V_M/R_L es la intensidad en la carga del rectificador. En este caso será la intensidad de entrada al circuito integrado 7805, es decir $I_L+I_Q=120+8=128$ mA. I_Q es la corriente de reposo (*quiescent current*) que necesita el circuito 7805 (Tabla 4.17).

$$V_r = \frac{128 \cdot 10^{-3}}{2 \cdot 50 \cdot 1000 \cdot 10^{-6}} = 1,28 \text{ V} \quad (4.27)$$

De la tabla de características del regulador 7805, se obtiene el valor del rechazo al rizado, $RR=73$ dB. Ahora se aplica la ecuación (4.9) y se despeja el valor de $V_{ro} = \frac{V_{ri}}{10^{RR_{dB}/20}}$. Para $V_{ri}=1,28$ V, se obtiene un valor de $V_{ro}=286,55 \mu\text{V}$.

Ej. 118 — Calcule las tensiones de salida mínima y máxima del circuito de la Figura (4.18).

Solución (Ej. 118) — Cuando $R_2=5$ k Ω , se aplica la ecuación (4.24):

$$V_{OUT} = 1,25 + \left(\frac{1,25}{240} 5000 + 50 \cdot 10^{-6} \cdot 5000 \right) = 27,54 \text{ V}$$

Cuando $R_2=0 \Omega$, la tensión será $V_{OUT}=1,25$ V.

4.7 Reguladores conmutados

Las necesidades en la carrera aeroespacial de reducir el peso y el consumo de toda la electrónica condujeron al desarrollo de fuentes de alimentación conmutadas. Así en los años 60, por parte de la NASA, se dieron los primeros resultados en sistemas conmutados. En 1977 se introduce la regulación en la modalidad de conmutación. Con las fuentes de conmutación el rendimiento puede alcanzar el 95 % por lo cual se impone su implementación en equipos de computación y video. En principio era una tecnología muy cara y desconocida. Progresivamente, el abaratamiento de la electrónica y la miniaturización, ha conseguido que las fuentes de alimentación tengan un coste menor, ofreciendo mayor estabilidad, seguridad, rendimiento y a un precio similar a las fuentes lineales. La conmutación de los transistores producen elevado rendimiento en los reguladores de tensión, de forma que las fuentes de alimentación que usan reguladores conmutados pueden ser más ligeras y compactas que las que usan reguladores lineales. Los reguladores conmutados también permiten más versatilidad y pueden dar tensiones de salida superiores a las de entrada o de distinta polaridad. Como *desventajas*, se tiene mayor complejidad en la circuitería de control, tiempo de respuesta es más elevado, la necesidad de filtrado para eliminar el ruido de conmutación de la salida, se pueden producir interferencias electromagnéticas (EMI) en los equipos próximos y es necesario utilizar circuitos más complejos para eliminarlas.

Los reguladores conmutados (Figura 4.20) basan su funcionamiento en la conmutación de un dispositivo electrónico (un transistor) cuya señal de salida es filtrada

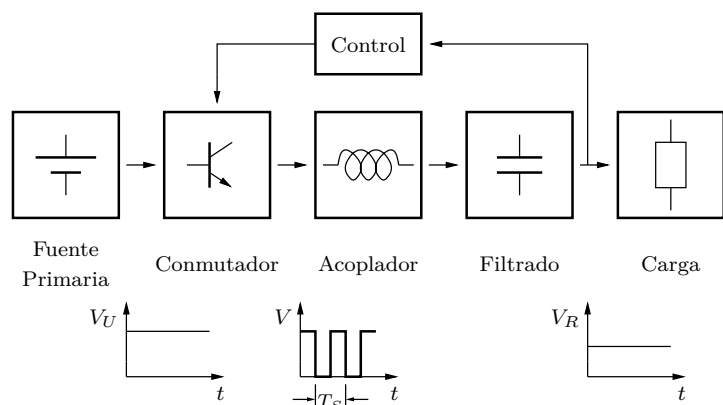


Figura 4.20: Diagrama de bloques de una fuente de alimentación conmutada.

de forma adecuada, y en la realimentación que controla el funcionamiento de dicho transistor. Los dos tipos principales de fuentes conmutadas son las reductoras (o *buck*) y las elevadoras (o *boost*). Existen topologías para cada una éstas así como un tipo mixto denominado *buck-boost*. En el caso ideal de componentes sin pérdidas y ninguna disipación en el circuito de control, un regulador conmutado puede llegar al 100% de rendimiento, de manera que la potencia suministrada es igual a la potencia extraída de la línea.

4.7.1 Regulador reductor (*buck*)

La Figura 4.21 muestra un regulador conmutado reductor (*step-down* o *forward converter*), en el que el transistor Q es el elemento de conmutación, controlado por una fuente de pulsos de periodo T_s . La tensión de salida de la fuente de alimentación es $v_R = V_R + v_r$, siendo V_R la tensión de salida regulada y v_r es el rizado. El transistor Q funciona periódicamente en el estado de corte y en el estado de conducción (estado óhmico) por medio de una tensión v_c aplicada a su base, y con frecuencia $f_s = 1/T_s$. El esquema de la Figura 4.21 funciona con tensiones V_U positivas. También es posible obtener tensiones negativas si se cambian las polaridades del transistor y del diodo.

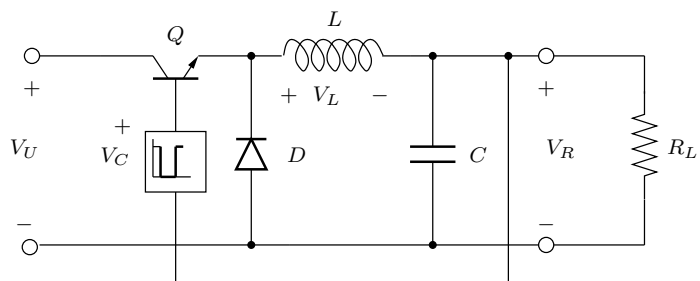


Figura 4.21: Regulador conmutado reductor.

Para obtener la tensión de salida se calcula las variaciones de la tensión en la bobina Δi_L , durante los tiempos de carga, con el transistor en conducción (t_{ON}) y de descarga, con el transistor en corte (t_{OFF}).

$$V_R = \delta(V_U - V_{SAT}) - (1 - \delta)V_F \quad (4.28)$$

siendo δ la relación entre t_{ON} y T_s del dispositivo conmutador, y V_{SAT} y V_F las caídas de tensión en el transistor y en el diodo en conducción, respectivamente. Para dispositivos semiconductores ideales ($V_{SAT}=0$ y $V_F=0$) queda como:

$$V_R = \delta V_U \quad (4.29)$$

El cálculo de la bobina se realiza teniendo en cuenta que $T_s = 1/f_s = t_{ON} + t_{OFF}$ y que $I_L = I_R$. Si se suponen dispositivos ideales, resulta:

$$L = \frac{V_R(1 - V_R/V_U)}{f_s \Delta i_L} \quad (4.30)$$

Para el cálculo del condensador, se asume que en régimen permanente la corriente en la carga es relativamente constante y que $\Delta i_C = \Delta i_L$. Así resulta:

$$C = \frac{\Delta i_L}{8f_s \Delta v_C} \quad (4.31)$$

4.7.2 Reguladores elevadores (*boost*)

La Figura 4.22 muestra un regulador conmutado elevador (*step-up*), en el que el transistor Q es el elemento de conmutación, controlado por una fuente de pulsos de periodo T_s . En la Figura 4.23 se puede observar que la tensión en la bobina,

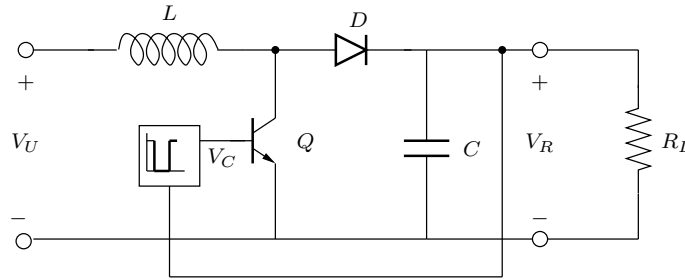


Figura 4.22: Esquema del regulador elevador *boost*.

suponiendo una referencia positiva a la izquierda, es $v_L = V_U - V_{SAT}$ durante t_{ON} y $v_L = V_U - (V_F + V_R)$ durante t_{OFF} . La tensión de salida se calcula como:

$$V_R = \frac{1}{1 - \delta}(V_U - \delta V_{SAT}) - V_F \quad (4.32)$$

Para para dispositivos semiconductores ideales queda como:

$$V_R = \frac{V_U}{1 - \delta} \quad (4.33)$$

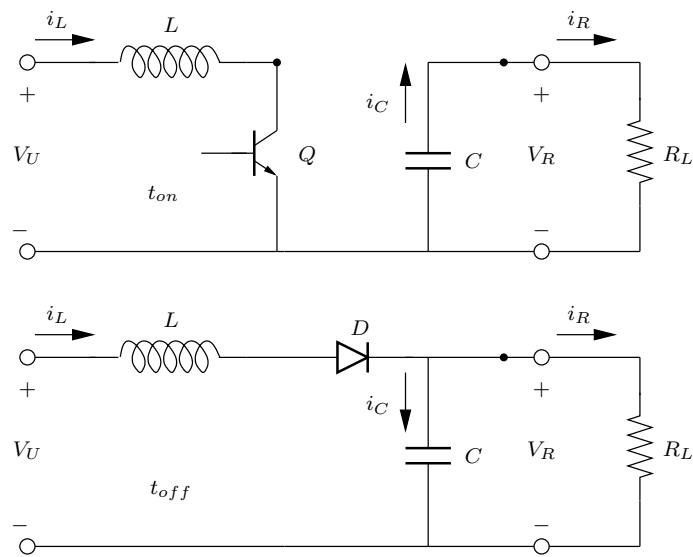


Figura 4.23: Circuitos equivalentes del regulador conmutado elevador cuando el transistor está en conducción y cuando está cortado.

siendo δ la relación entre t_{ON} y T_s del dispositivo conmutador.

El cálculo de la bobina y el condensador se realiza siguiendo las mismas consideraciones que en el regulador *buck*, pero ahora $I_L = V_R I_R / V_U$:

$$L = \frac{V_U(1 - V_U/V_R)}{f_s \Delta i_L} \quad (4.34)$$

$$C = \frac{I_R(1 - V_U/V_R)}{f_s \Delta v_C} \quad (4.35)$$

4.7.3 Regulador reductor-elevador (*buck-boost*)

La Figura 4.24 muestra un regulador conmutado reductor-elevador (*flyback* o *inversor*), en el que el transistor Q es el elemento de conmutación, controlado por una fuente de pulsos de periodo T_s . En este circuito, durante t_{ON} se cumple que

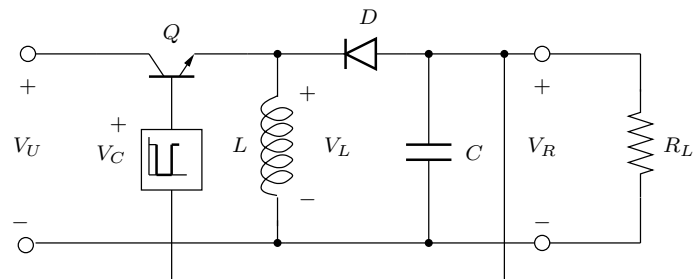


Figura 4.24: Esquema del regulador reductor-elevador *buck-boost*.

$v_L = V_U - V_{SAT}$, y durante t_{OFF} , $v_L = V_R - V_F$, Figura 4.25. Como consecuencia, la tensión de salida de este circuito es:

$$V_R = -\frac{\delta}{1-\delta}(V_U - V_{SAT}) + V_F \quad (4.36)$$

Para dispositivos semiconductores ideales queda como:

$$V_R = -\frac{\delta}{1-\delta}V_U = -\frac{t_{ON}}{t_{OFF}}V_U \quad (4.37)$$

En este tipo de regulador, el valor de la tensión de salida puede ser menor o mayor que el valor de la tensión de entrada, dependiendo de si $\delta < 0,5$ o $\delta > 0,5$. Por otra parte, la tensión de salida es de polaridad opuesta a la entrada, de manera que este regulador también recibe la denominación de regulador *inversor*. Es de destacar que ni la elevación ni el cambio de polaridad son posibles en los reguladores lineales.

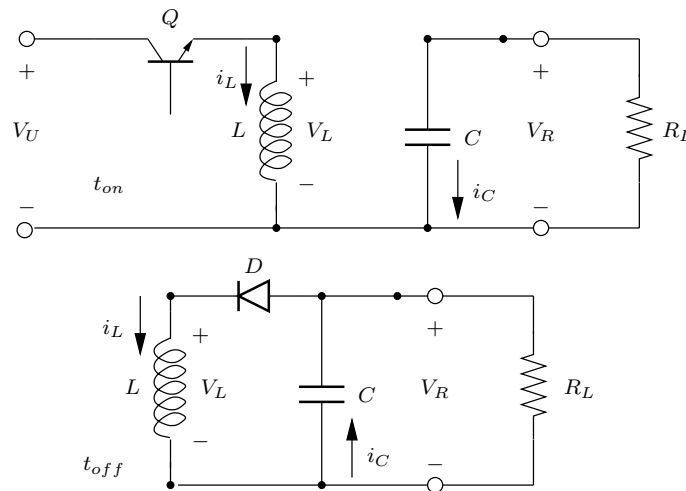


Figura 4.25: Circuitos equivalentes del regulador conmutado reductor-elevador cuando el transistor está en conducción y cuando está cortado.

El cálculo de la bobina y del condensador se realiza siguiendo las mismas consideraciones que en el regulador *buck*, pero en este circuito se cumple que $I_L = (1 - V_R/V_U)I_R$:

$$L = \frac{V_U/(1 - V_U/V_R)}{f_S \Delta i_L} \quad (4.38)$$

$$C = \frac{I_R/(1 - V_U/V_R)}{f_S \Delta v_C} \quad (4.39)$$

4.7.4 Reguladores con transformador

Las versiones con transformador de los tres tipos de reguladores estudiados anteriormente tienen ciertas ventajas en el caso de que la fuente primaria se conecte a la red alterna de 230 V. Por una parte el transformador proporciona aislamiento. Por

otra parte, la corriente por su primario tendrá un valor menor, por lo que se atenúan los problemas del dispositivo conmutador. Por otro lado, también presentan ciertas desventajas: un coste mayor, mayor peso y tamaño, pérdidas en los núcleos y devanados y saturaciones en el núcleo. Ejemplos de estos reguladores se comentan brevemente a continuación.

Regulador de retroceso (*flyback*)

Dada su sencillez y bajo costo, es la topología preferida en la mayoría de los convertidores de baja potencia (hasta 100 W). En la Figura 4.26 se muestra un esquema de este regulador. Cuando el transistor T conduce, la corriente crece linealmente en el primario del transformador, diseñado con alta inductancia para almacenar energía a medida que el flujo magnético aumenta. La disposición del devanado asegura que el diodo D está polarizado en sentido inverso durante este período, por lo que no circula corriente en el secundario. Cuando T se corta, el flujo en el transformador cesa generando una corriente inversa en el secundario que carga el condensador a través del diodo alimentando la carga. Es decir, en el campo magnético del transformador se almacena la energía durante el período t_{ON} del transistor y se transfiere a la carga durante el período t_{OFF} (*flyback*). El condensador mantiene la tensión en la carga durante el período t_{ON} . La regulación de tensión en la salida se obtiene mediante comparación con una referencia fija, actuando sobre el tiempo t_{ON} del transistor, por lo tanto la energía transferida a la salida mantiene la tensión constante, independientemente del valor de la carga o del valor de la tensión de entrada. La variación del período t_{ON} se controla por modulación de ancho de pulso (PWM) a frecuencia fija, o en algunos sistemas más sencillos por autooscilación, variando la frecuencia en función de la carga.

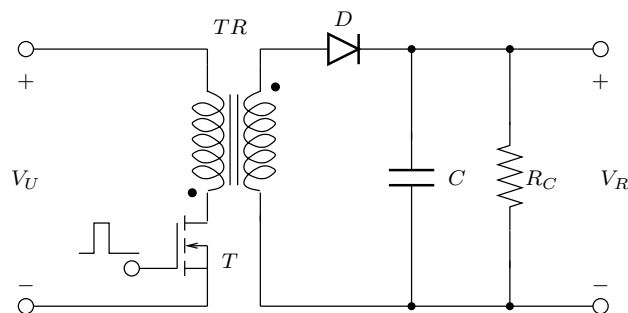


Figura 4.26: Esquema del regulador de retroceso *flyback*.

Regulador directo (*forward*)

Es algo más complejo que el sistema *flyback*, aunque razonablemente sencillo y rentable en cuanto a costes para potencias de 100 a 250 W (Figura 4.27). Durante el período t_{ON} , el transistor conmutador T está conduciendo y la corriente crece en el primario del transformador transfiriendo energía al secundario. Cualquiera que sea

el sentido de los devanados, el diodo $D2$ está polarizado directamente, la corriente pasa a través de la inductancia L a la carga, acumulándose energía magnética en L . Durante el periodo t_{OFF} , T se corta y la corriente en el primario cesa invirtiendo la tensión en el secundario. En este momento $D2$ queda polarizado en inversa, bloqueando la corriente de secundario, pero $D3$ conduce permitiendo que la energía almacenada en L se descargue alimentando a la carga. El tercer devanado, llamado de recuperación, permite aprovechar la energía que queda en el transformador durante el ciclo t_{OFF} devolviéndola a la entrada, vía $D1$. Contrariamente al método *flyback*, la inductancia cede energía a la carga durante los periodos t_{ON} y t_{OFF} , haciendo que los diodos soporten la mitad de la corriente y los niveles de rizado de salida sean más bajos.

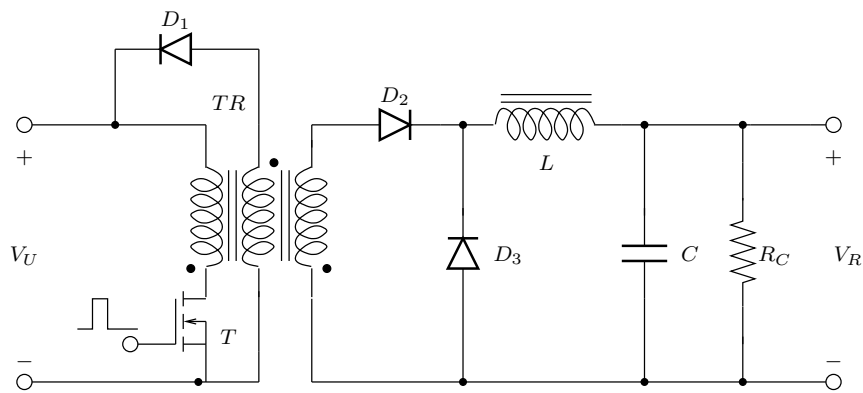


Figura 4.27: Esquema del regulador directo *forward*.

Regulador contrafase (*push-pull*)

Esta topología, mostrada en la Figura 4.28, se desarrolló para aprovechar mejor los núcleos magnéticos. Consiste en dos convertidores *forward* controlados por dos entradas en contrafase. Los diodos $D1$ y $D2$ en el secundario, actúan como dos diodos de recuperación. Idealmente los periodos de conducción de los transistores deben ser iguales, el transformador se excita simétricamente y al contrario de la topología *forward* no es preciso prever entrehierro en el circuito magnético, ya que no existe asimetría en el flujo magnético y por tanto componente continua. Ello se traduce en una reducción del volumen del núcleo del orden del 50 % para una misma potencia. Una precaución que debe tenerse en cuenta en este tipo de circuitos es que las características de conmutación de los transistores deben ser muy similares, y los devanados tanto en primario como en secundario han de ser perfectamente simétricos, incluso en su disposición física en el núcleo. También se ha de tener en cuenta, que los transistores conmutadores soportan en estado t_{OFF} una tensión doble de la tensión de entrada.

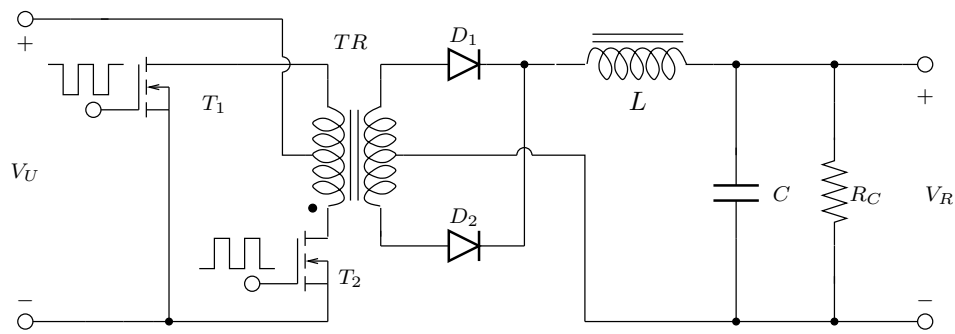


Figura 4.28: Esquema del regulador contrafase *push-pull*.

Regulador semipuente (*half bridge*)

Es la topología más utilizada para tensiones de entrada altas (de 200 a 400 V) y para potencias de hasta 2000 W. En la Figura 4.29 se aprecia que el primario del transformador está conectado entre la unión central de los condensadores del desacoplo de entrada y la unión de la fuente de T_1 y el drenador de T_2 . Si se dispara alternativamente los transistores T_1 y T_2 , se conectan al extremo del primario a +300V y a 0V según corresponda, generando una onda cuadrada de 162,5 V de valor máximo, la cual con una adecuada relación de espiras, rectificadora y filtrada proporciona la tensión de salida deseada. Una ventaja de este sistema es que los transistores soportan como máximo la tensión de entrada cuando están en t_{OFF} , mientras que en los sistemas *flyback*, *push-pull* y *forward*, esta tensión es al menos el doble. Si la tensión de entrada es la de red rectificadora, esto permite la utilización de transistores de 400 a 500 V, mientras que en las otras configuraciones se requerirían transistores de 800 a 1000 V. La regulación se logra comparando una muestra de la salida con una tensión de referencia para controlar el ancho del estado de conducción de los transistores. Algunas de las ventajas del semipuente son:

- Núcleos más pequeños.
- Baja dispersión de flujo magnético.
- La frecuencia en los filtros de salida es el doble de la frecuencia de conmutación.
- Filtro de reducidas dimensiones.
- Bajo ruido y rizado de salida.
- Fácil configuración como salidas múltiples.
- Ruido radiado relativamente bajo.

La mayor desventaja consiste en que el primario del transformador trabaja a la mitad de la tensión de entrada y por lo tanto circula el doble de corriente por los transistores que en el caso de topología puente que se verá a continuación.

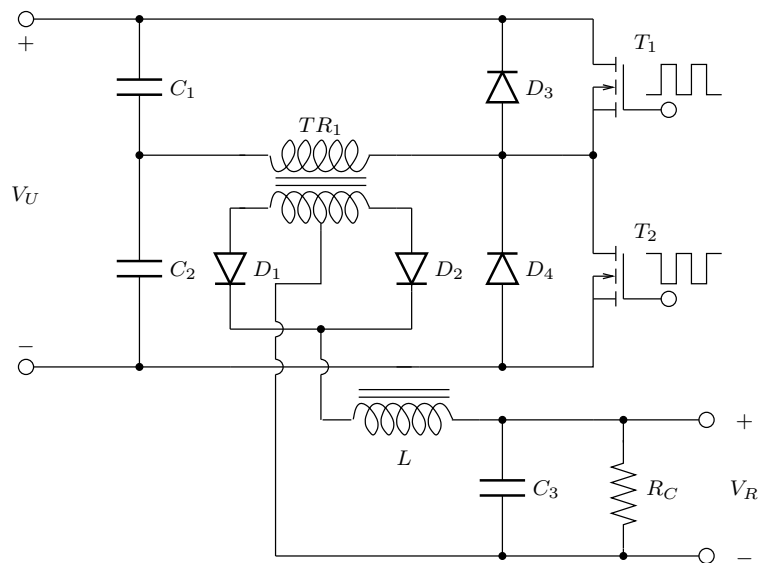


Figura 4.29: Esquema del regulador semipunto *half-bridge*.

Regulador puente (*bridge*)

Para potencias superiores a 2000 W, las corrientes en los transistores de conmutación son excesivas. La Figura 4.30 muestra el esquema básico de un convertidor puente, donde los transistores en ramas opuestas del puente T_1 y T_4 son disparados en fase y T_2 y T_4 en contrafase. La amplitud de la onda cuadrada en el primario del transformador, aplicando las mismas tensiones que en apartado anterior, es por tanto de 325 V, el doble que en la topología semipunto y por lo tanto la mitad de corriente para una misma potencia. El empleo de cuatro transistores que deben ser excitados por separado, hace que el circuito de disparo sea más complejo. Si la conmutación en ambas ramas está algo desequilibrada, aparece una componente continua en el transformador que produce la saturación del núcleo magnético. Esto se evita con la introducción del condensador C_1 en serie con el primario del transformador.

Cuestiones y Ejercicios Resueltos

Ej. 119 — Obtenga la expresión de la tensión de salida del regulador conmutado reductor de la Figura 4.21.

Solución (Ej. 119) — Suponiendo que la tensión de entrada es positiva, el funcionamiento del regulador *buck* se resume en la Figura 4.31. Durante t_{ON} el transistor está en conducción, conecta la fuente V_U directamente a la bobina (hay una pequeña caída en la unión de Colector-Emisor, V_{SAT}). Durante este tiempo, la corriente en

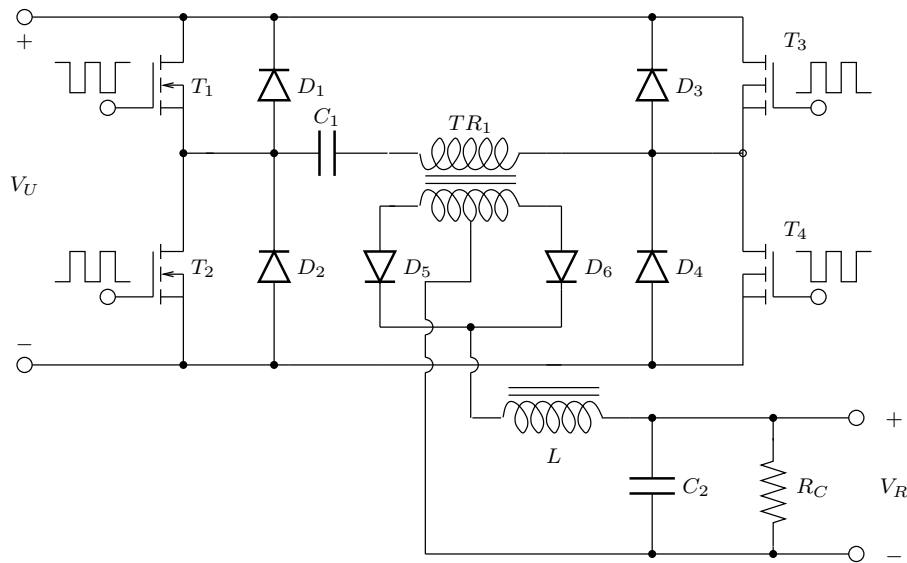


Figura 4.30: Esquema del regulador puente *bridge*.

la bobina y la energía almacenada son, respectivamente:

$$i_L = \frac{1}{L} \int v_L dt \quad (4.40)$$

$$\frac{di_L}{dt} = \frac{v_L}{L} \quad (4.41)$$

$$w_L = \frac{Li_L^2}{2} \quad (4.42)$$

Si v_R no cambia apreciablemente durante un ciclo de conmutación, la tensión en la bobina v_L se mantiene relativamente constante y $v_L = V_U - V_{SAT} - V_R$. Si en la expresión (4.41) se reemplaza el diferencial por el incremento, de manera que $dt = \Delta t = t_{ON}$. Despejando $di_L = \Delta i_L = v_L \Delta t / L$, se puede expresar:

$$\Delta i_L(t_{ON}) = \frac{V_U - V_{SAT} - V_R}{L} t_{ON} \quad (4.43)$$

En el periodo t_{OFF} , cuando el transistor está en el estado de corte, como la corriente por la bobina no puede cambiar instantáneamente, la bobina genera una tensión (a partir de la energía almacenada) que tenderá a mantener la continuidad de su corriente. La polaridad de la tensión en la bobina se invierte de manera que se polariza en directo al diodo D , entrando éste en conducción y permitiendo la circulación de la corriente i_L . La tensión en la bobina es ahora $v_L = -(V_R + V_F)$, suponiendo que V_F es la caída en el diodo en conducción. Esta corriente disminuye conforme se agota la energía almacenada en la bobina. Se puede expresar como:

$$\Delta i_L(t_{OFF}) = -\frac{V_R + V_F}{L} t_{OFF} \quad (4.44)$$

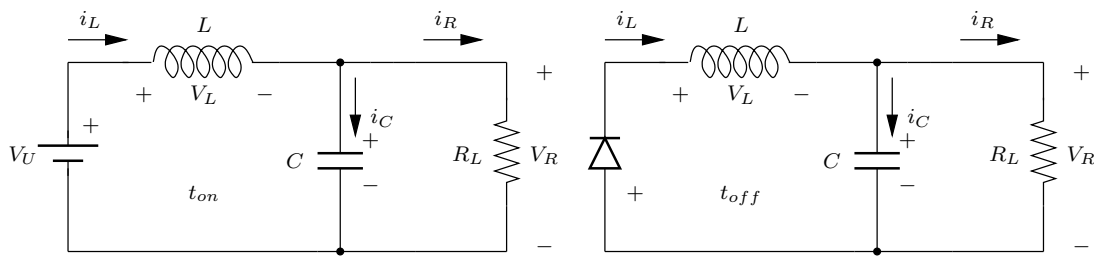


Figura 4.31: Circuitos equivalentes del regulador conmutado reductor cuando el transistor está en conducción y cuando está cortado.

Si esta corriente nunca se anula, entonces se denomina *modo de conducción continuo* (MCC), en caso contrario se denomina *modo de conducción discontinuo* (MCD). En la Figura 4.32 se muestran las corrientes del transistor, de la bobina y del diodo.

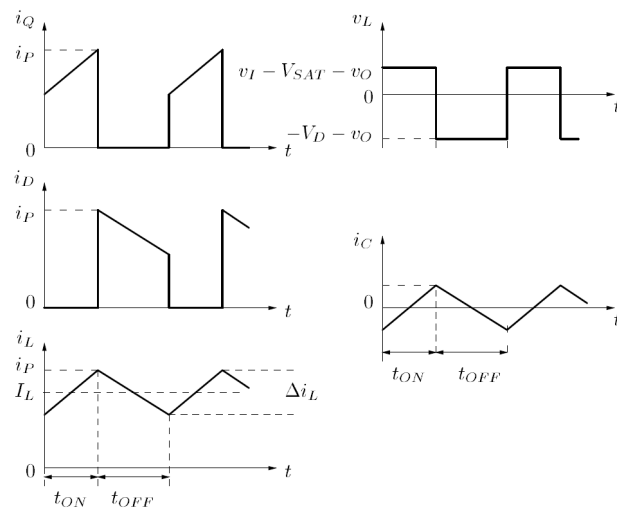


Figura 4.32: Formas de onda en el regulador buck en el modo de conducción continuo. i_Q es la corriente en el transistor, i_D es la corriente en el diodo, i_L es la corriente en la bobina, i_C es la corriente en el condensador y v_L es la tensión en la bobina.

Una vez alcanzado el régimen permanente, después de conectar la fuente primaria V_U , se cumple que $\Delta i_L(t_{ON}) = -\Delta i_L(t_{OFF}) = \Delta i_L$ es la *corriente de rizado de la bobina*. Utilizando las expresiones anteriores, la tensión de salida resultante es:

$$V_R = \delta(V_U - V_{SAT}) - (1 - \delta)V_F \tag{4.45}$$

Siendo $\delta = t_{ON}/T_s$.

Ej. 120 — Obtener la expresión de diseño para la bobina del regulador conmutado reductor de la Figura 4.21.

Solución (Ej. 120) — Se pueden hacer dos observaciones sobre la función que realiza la bobina L :

- a) Por la bobina debe circular una corriente media $I_L \neq 0$ que alimenta a la carga. Si el modo de funcionamiento es el de conducción continuo, Figura 4.32, entonces $I_L = I_R$.
- b) En el régimen permanente, la tensión media en la bobina es nula, $V_L = 0$.

Si se produjeran fluctuaciones en la línea (fuente primaria) o en la carga, el sistema de control ajustaría el ciclo de trabajo δ para regular el valor de V_R de acuerdo con la expresión 4.28, y la bobina ajusta I_L para proporcionar la demanda de corriente por la carga. Por la ley de la inductancia, se cumple que $i_L = (1/L) \int v_L dt$. Es decir, la inductancia ajusta el valor medio de su corriente por medio de la integración de la tensión cuyo desequilibrio ha sido provocado por las fluctuaciones. Este ajuste continua hasta que se anula la tensión media en la bobina.

Si se observa la Figura 4.32, se podrá visualizar el efecto de un aumento o disminución en I_R como un desplazamiento hacia arriba o hacia abajo de la forma de onda de i_L . Si la disminución de I_R es tal que el valor de $I_L = \Delta i_L / 2$, la parte inferior de la forma de onda de i_L alcanza el cero. Cualquier futura disminución del valor de I_R por debajo de este valor crítico provocará que se recorte la parte inferior de la forma de onda de i_L . Esta situación es el denominado *modo de conducción discontinuo* (MCD), representado en la Figura 4.33. Se puede observar que en el MCC, V_R depende solamente de δ y de V_U , independientemente de I_R . Por el contrario, en el MCD, V_R depende también de I_R , y el valor de δ tiene que ser reducido por el controlador; de no hacerlo podría causar, en el límite de una desconexión de la carga, que $V_R = V_U$.

Para encontrar un valor adecuado para la bobina L , es conveniente asumir que $V_{SAT} = V_F = 0$. Entonces, en régimen permanente se puede despejar t_{ON} y t_{OFF} de las expresiones (4.43) y (4.44):

$$t_{ON} = \frac{L \Delta i_L(t_{ON})}{V_U - V_R} = \frac{L \Delta i_L}{V_U - V_R}$$

$$t_{OFF} = \frac{L \Delta i_L(t_{OFF})}{-V_R} = \frac{L \Delta i_L}{V_R}$$

siendo $t_{ON} + t_{OFF} = T_s = 1/f_s$, por lo tanto:

$$L = \frac{V_R(1 - V_R/V_U)}{f_s \Delta i_L}$$

Normalmente, la elección del valor de L es un compromiso entre la máxima potencia de salida con el mínimo rizado y el mínimo tamaño con rápida respuesta transitoria. Sin embargo, un valor elevado de L puede, para un determinado valor de I_R que el sistema pase del modo de conducción continuo al modo discontinuo. Un buen punto de partida es la elección de Δi_L para estimar inicialmente el valor de L . Existen varios criterios para elegir el valor de Δi_L . Una posibilidad es hacer que $\Delta i_L = 0,2 I_{L(máx.)}$

Ej. 121 — Obtener la expresión de diseño para el condensador del regulador conmutado reductor de la Figura 4.21.

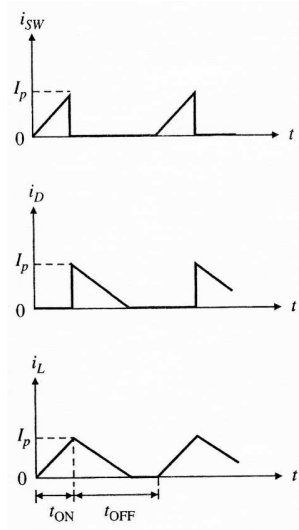


Figura 4.33: Formas de onda en el regulador *buck* en el modo de conducción discontinuo. i_{SW} es la corriente en el transistor, i_D es la corriente en el diodo e i_L es la corriente en la bobina.

Solución (Ej. 121) — Para estimar un valor del condensador, se observa que la corriente en la bobina se bifurca entre la corriente del condensador y la carga: $i_L = i_C + i_R$. En régimen permanente, la corriente media por el condensador es cero y la corriente en la carga es relativamente constante. Por lo tanto, se puede aproximar $\Delta i_C = \Delta i_L$, indicando que la forma de onda de i_C es similar a la de i_L , excepto que esta última está centrada en cero como se puede apreciar en la Figura 4.32. Las variaciones de i_C causan la tensión:

$$\Delta v_C = \frac{1}{C} \int_{t_1}^{t_2} i_C dt$$

La integración es desde $t_1 = t_{ON}/2$ hasta $t_2 = t_{ON} + t_{OFF}/2$. Esta integración se puede resolver fácilmente, dado que la forma de onda positiva de i_C es un triángulo:

$$\int_{t_1}^{t_2} i_C dt = \frac{1}{2} \frac{t_{ON}}{2} \frac{\Delta i_L}{2} + \frac{1}{2} \frac{t_{OFF}}{2} \frac{\Delta i_L}{2} = \frac{\Delta i_L}{8} (t_{ON} + t_{OFF}) = \frac{\Delta i_L}{8 f_S}$$

Finalmente, se obtiene el valor de C :

$$C = \frac{\Delta i_L}{8 f_S \Delta v_C}$$

Ej. 122 — Justifique que en un regulador *boost* la corriente por la bobina es $I_L = V_R I_R / V_U$.

Solución (Ej. 122) — En el regulador *boost*, la bobina está en serie con la fuente primaria (Figura 4.22), de manera que $I_L = I_U$. Como se cumple que $V_U I_U \approx V_R I_R$, sustituyendo y despejando I_L , se obtiene la expresión solicitada.

Ej. 123 — Justifique que en un regulador *buck-boost* la corriente por la bobina es $I_L = (1 - V_R/V_U)I_R$.

Solución (Ej. 123) — Durante el periodo t_{OFF} se transmite a la carga una fracción de la corriente almacenada en la bobina, de manera que $I_R = I_D = \frac{t_{OFF}}{t_{ON} + t_{OFF}}I_L$. Despejando, se obtiene $I_L = (1 + t_{ON}/t_{OFF})I_R$ y dado que para este regulador se cumple la relación $t_{ON}/t_{OFF} = -V_R/V_U$, al sustituir en la ecuación anterior se obtiene la expresión pedida.

Ej. 124 — La Figura 4.34 muestra un regulador de tipo *buck*. Calcular los valores de la tensión de salida para valores de t_{ON} de la señal de control de $7 \mu s$, $10 \mu s$ y $13 \mu s$. El periodo de esa señal es de $20 \mu s$, la señal de entrada es de $12 V$, $V_D = 1 V$ y $V_{SAT} = 50 mV$. Compruebe los resultados mediante la simulación con Pspice.

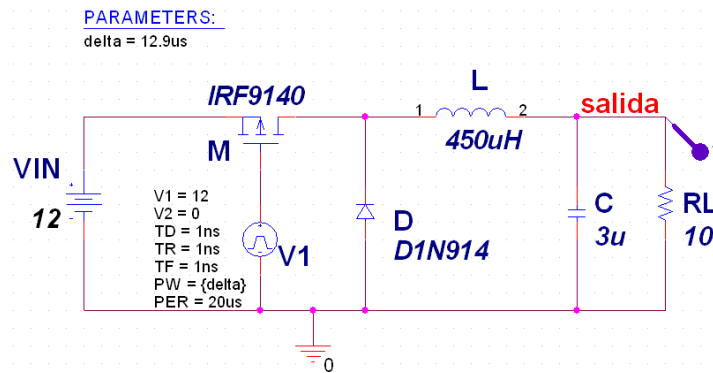


Figura 4.34: Ejemplo de regulador *Buck*.

Solución (Ej. 124) — A partir de la expresión (4.28) se obtiene la tensión de salida para este tipo de reguladores conmutados. Dado que $\delta = t_{ON}/T_S$, se consiguen los diferentes valores de la tensión de salida:

$$\begin{aligned} \delta = \frac{7}{20} = 0,35 &\Rightarrow v_O = 0,35(12 - 0,05) - (1 - 0,35)1 = 3,5325 \text{ V} \\ \delta = \frac{10}{20} = 0,5 &\Rightarrow v_O = 0,5(12 - 0,05) - (1 - 0,5)1 = 5,475 \text{ V} \\ \delta = \frac{13}{20} = 0,65 &\Rightarrow v_O = 0,65(12 - 0,05) - (1 - 0,65)1 = 7,4175 \text{ V} \end{aligned}$$

Ej. 125 — Calcule los valores de Δi_L y de Δv_C del circuito de la Figura 4.34, teniendo en cuenta que $\delta=0,5$.

Solución (Ej. 125) — Se utilizan las expresiones (4.30) y (4.31). El valor de $f_S = 1/T_S = 50 \text{ kHz}$ ($PER = 20 \mu s$). De la primera se despeja Δi_L y se sustituyen los valores:

$$\Delta i_L = \frac{v_O(1 - v_O/v_I)}{f_S L} = \frac{5,47(1 - 5,47/12)}{50 \cdot 10^3 \cdot 450 \cdot 10^{-6}} = 0,1323 \text{ A}$$

De la segunda expresión se despeja Δv_C y se sustituyen los valores:

$$\Delta v_C = \frac{\Delta i_L}{8f_S C} = \frac{0,1323}{8 \cdot 50 \cdot 10^3 \cdot 3 \cdot 10^{-6}} = 0,11025 \text{ V}$$

Ej. 126 — La Figura 4.35 muestra un regulador de tipo *boost*. Calcular los valores de la tensión de salida para valores de t_{ON} de la señal de control de $4 \mu s$, $5 \mu s$ y $6 \mu s$. El periodo de esa señal es de $10 \mu s$, la señal de entrada es de 6 V , $V_D = 1 \text{ V}$ y $V_{SAT} = 50 \text{ mV}$. Compruebe los resultados mediante la simulación con Pspice.

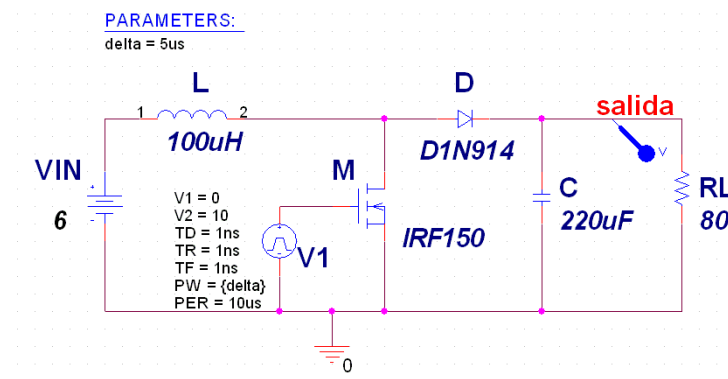


Figura 4.35: Ejemplo de regulador *Boost*.

Solución (Ej. 126) — A partir de la expresión (4.32) calcula la tensión de salida para este tipo de reguladores conmutados. Como el valor de δ es igual t_{ON}/T_S , se obtienen los diferentes valores de la tensión de salida:

$$\delta = \frac{4}{10} = 0,4 \Rightarrow v_O = \frac{6 - 0,4 \cdot 0,05}{1 - 0,4} - 1 = 8,967 \text{ V}$$

$$\delta = \frac{5}{10} = 0,5 \Rightarrow v_O = \frac{6 - 0,5 \cdot 0,05}{1 - 0,5} - 1 = 10,95 \text{ V}$$

$$\delta = \frac{6}{10} = 0,6 \Rightarrow v_O = \frac{6 - 0,6 \cdot 0,05}{1 - 0,6} - 1 = 13,925 \text{ V}$$

Ej. 127 — Calcule los valores de Δi_L y de Δv_C del circuito de la La Figura 4.35, teniendo en cuenta que $\delta=0,5$.

Solución (Ej. 127) — Se utilizan las expresiones (4.34) y (4.35). El valor de $F_S=1/T_S=100 \text{ kHz}$ ($PER=10 \mu s$). De la primera se despeja Δi_L y se sustituyen los valores:

$$\Delta i_L = \frac{6(1 - 6/10,95)}{100 \cdot 10^3 \cdot 100 \cdot 10^{-6}} = 0,2712 \text{ A}$$

De la segunda expresión se despeja Δv_C y se sustituyen los valores, siendo

$$i_O = v_O / R_L = 10,95 / 80 = 0,1369 \text{ A}$$
$$\Delta v_C = \frac{0,1369(1 - 6/10,95)}{8 \cdot 100 \cdot 10^3 \cdot 220 \cdot 10^{-6}} = 0,352 \text{ mV}$$

4.8 Reguladores conmutados integrados

Al igual que sucede con los reguladores lineales integrados, estudiados en la sección 4.6, existen reguladores conmutados integrados para una gran variedad de especificaciones. Para corrientes hasta unos pocos amperios, el conmutador se integra en el propio circuito integrado. Para construir el regulador es también necesario disponer externamente de: la bobina, los condensadores de filtrado y el diodo (normalmente un diodo Schottky). Cuando se necesitan corrientes más elevadas, el conmutador es externo al circuito integrado y puede ser un transistor bipolar (BJT) de potencia o un transistor MOSFET de potencia. Estos últimos son preferibles debido a la ausencia del fenómeno de la segunda ruptura (avalancha secundaria) y a los efectos de almacenamiento de carga. Para minimizar las pérdidas de potencia se utilizan MOSFET con una pequeña $r_{ds(on)}$.

La distribución de los componentes es extremadamente crítica en los reguladores conmutados, debido a ello los fabricantes proporcionan las placas de circuito impreso y los diagramas de montaje de los componentes. Por otra parte, para fomentar la utilización de los reguladores conmutados, los fabricantes proporcionan programas informáticos de diseño, como por ejemplo: el *Switchers Made Simple* y el *WEBENCH Designer Tools* de National Semiconductor, y el *LTspice* de Linear Technology.

Estos circuitos incluyen todas las funciones específicas de los reguladores conmutados, tanto el regulador propiamente dicho como el circuito de control que regula el valor de δ . La complejidad de los circuitos hace que no se construyan prácticamente con dispositivos discretos. El avance en la construcción de conmutadores rápidos de potencia de bajas pérdidas y la mejora en la calidad de las ferritas, permite aumentar la frecuencia de conmutación con la consiguiente disminución de tamaño y peso.

4.8.1 Circuitos de control

Aunque el mercado ofrezca tanto controladores de modulación del ancho del pulso (PWM) como controladores de modulación en frecuencia (PFM), en la mayoría de los reguladores está presente el controlador PWM trabajando a frecuencia fija en el rango de 10^4 a 10^6 Hz. Esta frecuencia se elige como un compromiso, por una parte, entre el tamaño pequeño de la bobina y del condensador y, por la otra parte, entre las bajas pérdidas de conmutación y el reducido valor de EMI y de RFI. El circuito de control puede ser de dos tipos: *control en modo tensión* y *control en modo corriente*.

El control en modo tensión, representado en la Figura 4.36 para el regulador *buck*, trabaja en el modo de conducción continuo, controlando el valor de t_{ON} mediante la modulación de una forma de onda en diente de sierra v_s de frecuencia f_s , con la salida v_c de un amplificador de error.

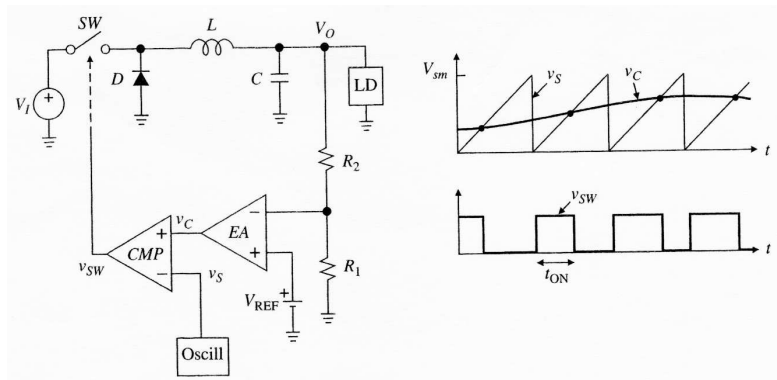


Figura 4.36: Control en modo tensión para el regulador *buck*.

4.8.2 Ejemplos

En la Figura 4.37 se muestra el regulador integrado LT1070, de Linear Technology, en configuración *boost* que proporciona 12 V a partir de 5 V. Las principales características de este circuito son:

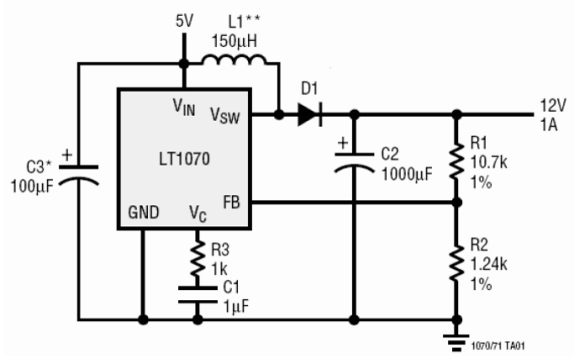


Figura 4.37: Regulador conmutado LT1070 en disposición *boost*.

- Control en modo corriente
- Funciona como *buck* o *boost*
- Rango de entrada de 3 V a 60 V
- Rango de salida de 5 V a ± 15 V

En la Figura 4.38 se muestra el regulador integrado LM78S40, de National Semiconductor, en configuración *boost* que proporciona 25 V a partir de 10 V. Las principales características de este circuito son:

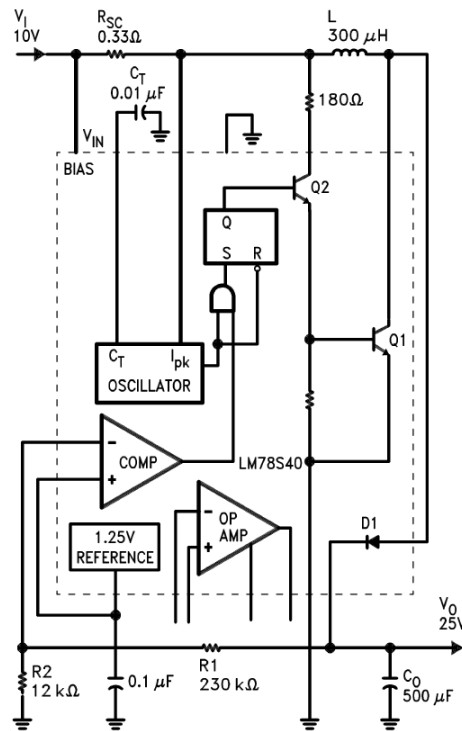


Figura 4.38: Regulador conmutado LM78S40 en disposición *boost*.

- Control en modo corriente y tensión
- Funciona como *buck*, *boost* o inversor
- Rango de entrada de 2,5 V a 40 V
- Rango de salida de 1,25 V a ± 40 V
- Corrientes de salida mayores de 1,5 A (necesita transistor bipolar exterior)

En la Figura 4.39 se muestra el regulador integrado TEA152X, de NXP Semiconductors. La familia de circuitos STARPlugging TEA152X se compone de 5 dispositivos para fuentes conmutadas de alta tensión tipo *flyback*, con potencias desde 2 hasta 50 W. El circuito integrado incluye un transistor MOSFET de potencia y proporciona varias protecciones: sobrecorriente, sobretensión, sobrecalentamiento y cortocircuito. El esquema que se muestra es el de un diseño que admite una tensión de entrada desde 80 hasta 276 V_{AC} . La tensión de salida es de 5 V y la corriente de salida es de 600 mA. La frecuencia de funcionamiento es de 100 kHz.

En este circuito:

- La regulación se realiza con un diodo zener ($Zs2$) y un optoacoplador ($US2$)
- El comportamiento en frecuencia del circuito es definido mediante $Cs2/Rs3$

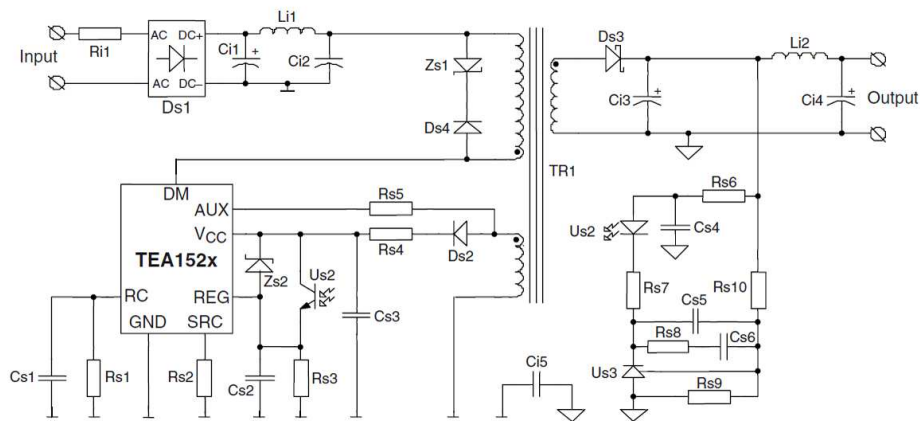


Figura 4.39: Regulador conmutado TEA152X.

- La alimentación del circuito integrado es generada mediante un bobinado auxiliar (más $R_{s4}/D_{s2}/sC3$)
- La frecuencia de oscilación está definida por R_{s1}/C_{s1}

En la Figura 4.40 se muestra el regulador integrado NCP1200, de ON Semiconductor, que proporciona 6 V a partir de la red eléctrica. El circuito muestra una fuente universal muy simple, con una utilización mínima de componentes. La inductancia de dispersión del primario se puede limitar mediante un condensador conectado a masa y en el punto de unión del inductor y el MOSFET, aún a costa de empeorar el rendimiento de potencia total del circuito. Las principales características de este circuito son:

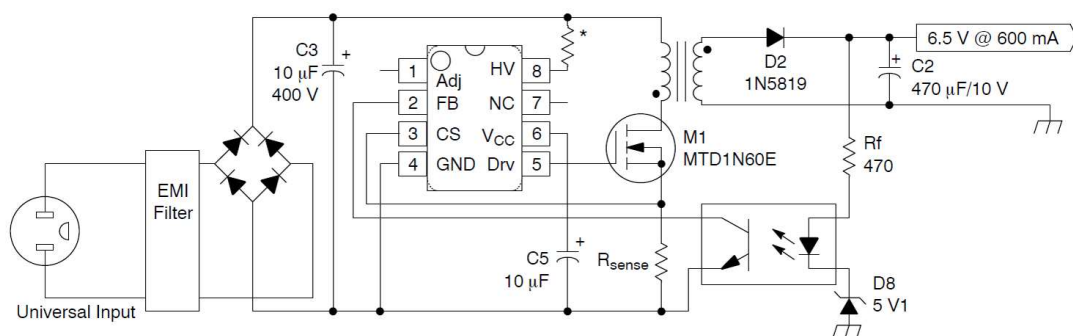


Figura 4.40: Regulador conmutado NCP1200.

- Tensiones de entrada desde 90 hasta $250 V_{AC}$

- Tensión de salida 6,5 V y corriente 600 mA
- La oscilación puede ser de 40k, 60k o 100k Hz
- No tiene internamente incorporado el conmutador
- Conexión directa al optoacoplador
- No requiere bobinado de alimentación auxiliar
- Tiene protección de cortocircuito y sobrecalentamiento
- Tiene un modo de funcionamiento para operar en situaciones de muy bajo consumo

Cuestiones y Ejercicios Propuestos

Ej. 128 — Los valores de los componentes en el circuito de la Figura 4.3 son: $R_L=480\ \Omega$ y $C=2,083\ \text{mF}$. El diodo es el 1N4001 y el secundario del transformador proporciona una $V_M=12,7\ \text{V}$, siendo la frecuencia de 50 Hz. Simule el circuito y obtenga la tensión de rizado.

Solución (Ej. 128) — En la Figura 4.41 se muestra las formas de onda de las tensiones de entrada y de salida. La tensión de rizado es de $V_r=0,254\ \text{V}$.

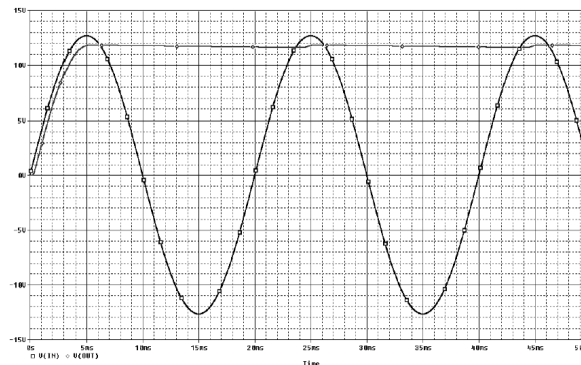


Figura 4.41: Tensión de entrada y de salida.

Ej. 129 — Diseñe un circuito rectificador de media onda para conectarlo a una red de alimentación de 230 V y 50 Hz. El circuito rectificador proporcionar una tensión continua de 9 V con una tensión de rizado de $2V_{pp}$ a la carga. La corriente media en la carga es de 100 mA. considere que los componentes a utilizar son ideales. Dibuje el esquema de su diseño, especificando los valores de todos los componentes, incluida la relación de transformación del transformador

Ej. 130 — Repetir el ejercicio 129 utilizando el circuito rectificador con dos diodos.

Ej. 131 — Repetir el ejercicio 129 utilizando el circuito con puente de diodos.

Ej. 132 — Repetir el ejercicio 129 con un diodo que presente una caída de tensión directa de 0.8 V.

Ej. 133 — Un regulador paralelo como el de la Figura 4.8 debe proporcionar una tensión de 5 V con una carga de 1,2 A a partir de una tensión no regulada de 9 V, un factor de regulación de carga del 2 % y una regulación de línea del 5 %.

- Obtenga las especificaciones del diodo zener (tensión de ruptura, intensidad máxima, resistencia interna) y el valor de la resistencia serie.
- Calcule el valor de la mínima potencia de la resistencia serie.

Solución (Ej. 133) — a) $V_Z=5\text{ V}$. $I_{Z\text{ máxima}}=2,4\text{ A}$. $r_Z=0,0877\ \Omega$. $R_S=1,67\ \Omega$
b) $P=9,58\text{ W}$

Ej. 134 — Las especificaciones del Ejercicio 133 provocan una corriente elevada en el diodo zener. Obtenga el valor de la resistencia serie para limitar a 600 mA la corriente por el zener, manteniendo la tensión y la corriente de carga. A partir de ese valor, vuelva a calcular los valores del factor de regulación de carga y de línea. Finalmente, calcule el valor de la potencia disipada por la resistencia serie.

Solución (Ej. 134) — La resistencia serie debe tener el valor de 6,58 Ω . El factor de regulación de carga casi no varía, es del 2,08 % y la regulación de línea será ahora del 1,32 %. La potencia disipada por la resistencia serie es de 2,43 W.

Ej. 135 — El circuito regulador paralelo de la Figura 4.8 se conecta a la salida de un circuito rectificador que proporciona una tensión media de 8 V y una tensión de rizado de 1 V_{pp} . Los valores de los distintos elementos son: resistencia $R_S=20\ \Omega$, la tensión zener $V_Z=5\text{ V}$ y la carga $R_L=100\ \Omega$. Calcule:

- La corriente que circula por el diodo zener, por la carga y por la resistencia serie.
- El valor máximo de la resistencia dinámica del diodo zener si se desea una tensión de rizado en la carga menor que 10 mV_{pp} .

Ej. 136 — La tensión de entrada del regulador paralelo de la Figura 4.8 varía entre 10 y 20 V. Se utiliza un diodo zener de $V_Z=6,8\text{ V}$, $P_Z=0,5\text{ W}$, $I_{Z(\text{min})}=2,5\text{ mA}$ y $r_Z=10\ \Omega$. La carga es tal que $0 \leq I_L \leq 10\text{ mA}$. Se pide:

- Calcular el valor de R_S (utilizar el valor normalizado más cercano) y los valores de la regulación de línea y de carga.
- Estimar los efectos en la tensión de salida de las variaciones de V_I y de I_L .

Solución (Ej. 136) — a) $R_S=270\ \Omega$. Regulación de línea=35,71 mV/V (0,53 %/V). Regulación de carga=-9,64 mV/mA (-0,14 %/mA). b) El cambio de la tensión de entrada representa en la tensión de salida $\Delta V_O=0,357\text{ V}$ (5,3 %). El cambio de la corriente de carga representa en la tensión de salida $\Delta V_O=-0,096\text{ V}$ (-1,4 %).

Ej. 137 — Se conectan en cascada dos reguladores paralelo como el de la Figura 4.8 con el objeto de conseguir una mejor regulación de la tensión v_o para una determinada carga R_L . La fuente primaria proporciona una tensión $v_i=26\pm 2\text{ V}$. Las características de la primera etapa son: $R_S=200\ \Omega$, $V_Z=18\text{ V}$ y $r_Z=20\ \Omega$. Las características de la segunda etapa son: $R_S=300\ \Omega$, $V_Z=12\text{ V}$ y $r_Z=10\ \Omega$. Dibuje el circuito y calcule la regulación de línea y de carga. Obtenga el valor mínimo de R_L .

Solución (Ej. 137) — Regulación de línea $2,93\text{ mV/V}$.
Regulación de carga $-9,7\text{ mV/mA}$. $R_{L(\min)}=600\ \Omega$.

Ej. 138 — Calcule la tensión máxima de salida del circuito de Figura 4.11 si los valores de las resistencias son: $R_1=1\text{ k}\Omega$, $R_2=5\text{ k}\Omega$, $R_3=5\text{ k}\Omega$, $R_5=20\text{ k}\Omega$ y $R_6=10\text{ k}\Omega$. La tensión del diodo zener es de $5,46\text{ V}$ y la tensión de la fuente primaria es de $12\pm 0,25\text{ V}$.

Solución (Ej. 138) — La tensión máxima de salida es de $8,19\text{ V}$.

Ej. 139 — Calcule el valor de la posición del potenciómetro R_5 del ejercicio 138 si se desea que la tensión de salida sea de $6,8\text{ V}$.

Ej. 140 — Realice la simulación del circuito del ejercicio 138. La tensión de la fuente primaria es $v_{in}=12+0,25\text{sen}(2\pi 50t)$. El valor del condensador $C=10\ \mu\text{F}$.

Solución (Ej. 140) — La Figura 4.42 muestra los valores de las tensiones de este circuito.

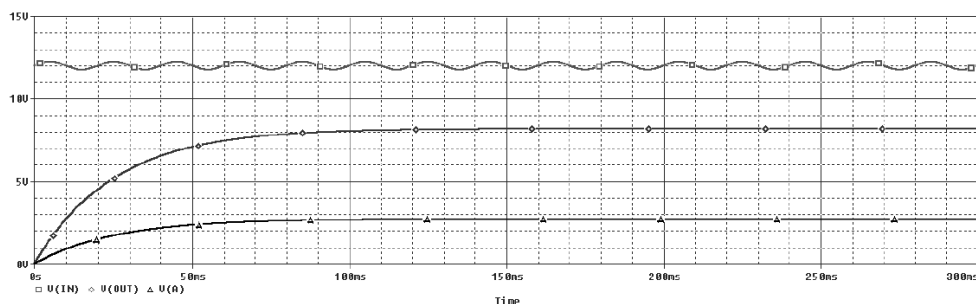


Figura 4.42: Señales de la simulación del circuito regulador serie de la Figura 4.11

Ej. 141 — La hoja de datos del regulador integrado LM7805 (Fairchild) indica que V_o cambia en 4 mV cuando V_I cambia desde 7 a 25 V y cambia en 4 mV cuando I_O cambia desde $0,25$ hasta $0,75\text{ A}$. Por otra parte, $RR_{dB}=73\text{ dB}$ a 120 Hz . Se pide:

- Calcule la regulación de línea y de carga de este dispositivo, ¿cuál es la impedancia de salida del regulador?
- Calcule el rizado de salida por cada voltio de rizado de la entrada.

Solución (Ej. 141) — a) Regulación de línea 0,22 mV/V. Regulación de carga 8 mV/A. Impedancia de salida 0,008 Ω . b) Por cada voltio de rizado a la entrada, la salida tiene un rizado de 0,224 mV.

Ej. 142 — El regulador *buck* de la Figura tiene $V_U=12$ V, y $V_R=5$ V, obtenga los valores de δ si: a) tanto el conmutador como el diodo son ideales, b) si $V_{SAT}=0,5$ V y $V_F=0,7$ V. c) Repita los dos apartados anteriores si la tensión de entrada varía entre 8 y 16 V.

Solución (Ej. 142) — a) $\delta=0,417$. b) $\delta=0,467$. c) Caso a) $0,3125 \leq \delta \leq 0,625$; caso b) $0,352 \leq \delta \leq 0,695$

Ej. 143 — Para cada uno de los circuitos básicos de reguladores conmutados, obtenga la intensidad máxima en el conmutador si $I_R=1$ A y $\Delta i_L=0,2$ A, en los casos: a) Regulador *buck* con $V_U=12$ V y $V_R=5$ V. b) Regulador *boost* con $V_U=5$ V y $V_R=12$ V. c) Regulador inversor con $V_U=5$ V y $V_R=-15$ V. Igualmente, calcule para cada regulador, el valor mínimo de I_R para un funcionamiento en modo continuo.

Solución (Ej. 143) — a) $I_p=1,1$ A. $I_{R(min)}=0,1$ A. b) $I_p=2,5$ A. $I_{R(min)}=41,6$ mA. c) $I_p=4,1$ A. $I_{R(min)}=25$ mA.

Ej. 144 — Un regulador inversor con 5 V $\leq V_U \leq 10$ V proporciona una $V_R=-12$ V a plena carga de $I_R=1$ A. Asuma que el modo de funcionamiento es el continuo y que $V_{SAT} = V_F=0,5$ V. Calcule el rango de valores de δ y el máximo valor de I_U .

Solución (Ej. 144) — $0,581 \leq \delta \leq 0,757$. $I_{U(max)}=2,64$ A

Ej. 145 — Un regulador *buck-boost* es alimentado por una fuente primaria V_U de +15 V. La frecuencia de funcionamiento es de 150 kHz. Calcule el valor de la bobina y del condensador para obtener una tensión de salida $V_R=-15$ V, una tensión de rizado $\Delta v_C=50$ mV y un modo continuo de operación en el rango $0,2$ A $\leq I_R \leq 1$ A.

Solución (Ej. 145) — L=31,25 μ H. C=66,7 μ F.

Algebra de Boole y Funciones Lógicas

5.1 Introducción

El álgebra booleana fue estudiada por primera vez en detalle por George Boole. Se trata de un área de las matemáticas que ha pasado a ocupar un lugar determinante con el desarrollo de la electrónica digital y la computación. El álgebra de Boole se usa ampliamente en el diseño de circuitos electrónicos y sus aplicaciones van en aumento en muchas otras áreas. En un computador, por ejemplo, a nivel de lógica digital (comúnmente denominado *hardware*), que está formado por los componentes electrónicos de la máquina, se trabaja con diferencias de tensión, las cuales generan funciones que son calculadas por los circuitos que forman el nivel. Estas funciones, en la etapa de diseño del hardware, son interpretadas como funciones de Boole.

En este capítulo se pretende dar una definición de lo que es un álgebra de Boole y se estudian las funciones booleanas. Se presentan las reglas, leyes y teoremas del álgebra de Boole, así como las funciones lógicas básicas. Se establecen las formas canónicas de las funciones booleanas y su ámbito de utilidad. Finalmente se describen la estructura y características de las principales familias lógicas TTL y CMOS.

5.2 Reglas, leyes y teoremas

El álgebra de Boole es un sistema matemático basado en los valores cero y uno (falso y verdadero). Cualquier operador binario definido en este juego de valores acepta un par de entradas y produce un sólo valor booleano. Por ejemplo, el operador booleano AND acepta dos entradas booleanas y produce una sola salida booleana. Los operadores presentes en el álgebra de Boole son la suma lógica, el producto lógico y el complemento o negación lógica (Tabla 5.1).

Definición	Resultado
Suma (OR)	$A + B$
Producto (AND)	$A \cdot B$
Complemento (NOT)	\bar{A}

Tabla 5.1: Operadores definidos en el álgebra de Boole.

Se observa que tanto la suma lógica como el producto lógico son operadores binarios (precisan de dos valores de entrada), mientras que la negación lógica es un operador monario (sólo precisa de un valor de entrada).

El álgebra de Boole emplea los siguientes postulados (Tabla 5.2):

- Complementario: La suma de un valor binario con su complementario da como resultado un 1, mientras que el producto de un valor binario con su complementario resulta ser 0.
- Idempotencia: La suma o producto de un valor binario consigo mismo es igual a la magnitud del valor binario.
- Elemento neutro: El elemento neutro de la suma es el 0 y el del producto es el 1.
- Dominio del 0 y del 1: La suma de un valor binario con 1 es siempre igual a 1, mientras que el producto de un valor binario con un 0 es siempre igual a 0.
- Involución: La negación de un valor binario negado da como resultado la magnitud del valor binario.

Postulado	OR	AND	NOT
Complementario	$A + \bar{A} = 1$	$A \cdot \bar{A} = 0$	-
Idempotencia	$A + A = A$	$A \cdot A = A$	-
Elemento neutro	$A + 0 = A$	$A \cdot 1 = A$	-
Dominio del '0' y del '1'	$A + 1 = 1$	$A \cdot 0 = 0$	-
Involución	-	-	$\bar{\bar{A}} = A$

Tabla 5.2: Postulados del álgebra de Boole.

El álgebra de Boole así definida verifica las propiedades conmutativa, distributiva y asociativa respecto de los operadores binarios definidos (suma y producto lógicos):

- Conmutativa respecto de la operación binaria de la suma:

$$A + B = B + A$$

- Conmutativa respecto de la operación binaria del producto:

$$A \cdot B = B \cdot A$$

- Distributiva respecto de la operación binaria de la suma:

$$(A + B) \cdot C = A \cdot C + B \cdot C$$

- Distributiva respecto de la operación binaria del producto:

$$A \cdot (B + C) = A \cdot B + A \cdot C$$

- Asociativa respecto de la operación binaria del producto:

$$A \cdot (B \cdot C) = (A \cdot B) \cdot C = A \cdot B \cdot C$$

- Asociativa respecto de la operación binaria de la suma:

$$A + (B + C) = (A + B) + C = A + B + C$$

Junto a estos postulados y propiedades, se verifican también los siguientes teoremas:

- Absorción

$$A + (A \cdot B) = A \quad A \cdot (A + B) = A$$

- Ley de De Morgan respecto de la suma lógica

$$\overline{A + B} = \bar{A} \cdot \bar{B}$$

- Ley de De Morgan respecto del producto lógico

$$\overline{A \cdot B} = \bar{A} + \bar{B}$$

5.3 Variables y funciones lógicas

Una función lógica es una expresión algebraica que relaciona entre sí las diversas variables binarias que forman parte de ella mediante las operaciones booleanas básicas (producto lógico, suma lógica y negación). En general, cualquier función lógica se expresa de la siguiente forma:

$$f = f(A, B, C, \dots)$$

donde la función lógica es f y se expresa en función de las variables lógicas A , B , C , etc. Cada una de estas variables sólo pueden tomar uno de los dos valores binarios posibles: 0 ó 1.

5.3.1 Función canónica

Se denomina así a la función lógica en la que todos sus términos contienen a todas las variables, ya sea de forma directa o complementada. Los términos que se expresan como productos de las variables lógicas se denominan *minterms*, mientras que los que se expresan como sumas de variables lógicas se denominan *maxterms*.

El número máximo de términos que puede presentar una función canónica viene dado por 2^n , siendo n el número de variables lógicas presentes en la función lógica. A modo de ejemplo se proponen dos funciones canónicas distintas de tres variables lógicas A , B y C : f_1 con minterms y f_2 con maxterms.

$$f_1 = A \cdot B \cdot C + \bar{A} \cdot B \cdot C + A \cdot B \cdot \bar{C}$$

$$f_2 = (A + B + C) \cdot (\bar{A} + B + \bar{C}) \cdot (A + B + \bar{C})$$

5.3.2 Tabla de verdad

Se trata de una relación ordenada en la que figuran los términos canónicos que hacen verdadera a la función lógica. Por lo general, se coloca en la primera columna el equivalente decimal del término, en la segunda columna los términos en binario y en la tercera se indican con 1 los que hacen cierta la función y con 0 los que no. Así, por ejemplo, una tabla de verdad podría ser la de la Tabla 5.3.

Término	ABC	f
0	000	1
1	001	0
2	010	1
3	011	1
4	100	0
5	101	1
6	110	0
7	111	0

Tabla 5.3: Tabla de verdad de una función lógica f de tres variables lógicas A , B y C .

A partir de la tabla de verdad de la Tabla 5.3, se puede obtener la función canónica:

- Como suma de productos, se genera un *minterm* por cada fila de la tabla de verdad que hacen que la función valga 1. El *minterm* contiene el producto de cada variable de entrada, estando cada entrada no negada si para esa combinación es un 1 y negada si es un 0. La expresión final es la suma de los *minterms*.

$$f = f(0, 2, 3, 5) = \bar{A} \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot \bar{C} + \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot C$$

- Como productos de sumas, se obtiene un *maxterm* tomando aquellos términos que hacen que la función valga 0. El *maxterm* contiene la suma de cada variable de entrada, colocándose cada entrada negada si para esa combinación es un 1 y no negada si es un 0. La expresión resultante es el producto de los *maxterms*

$$f = f(1, 4, 6, 7) = (A + B + \bar{C}) \cdot (\bar{A} + B + C) \cdot (\bar{A} + \bar{B} + C) \cdot (\bar{A} + \bar{B} + \bar{C})$$

5.3.3 Conversión de función no canónica a canónica

A partir de la expresión de una función lógica cualquiera, se puede obtener su forma canónica a través de los siguientes pasos:

1. Si la función lógica viene expresada como sumas de productos, se multiplica cada término por la suma de la variable que falte en forma directa y complementada. Si viene expresada como productos de sumas, se añade a cada término el producto de la variable que falte en forma directa y complementada.

2. Se opera deshaciendo los paréntesis hasta desarrollar por completo la expresión.
3. Se simplifica la expresión resultante observando si existen términos repetidos (sólo se dejará uno de ellos)

Cuestiones y Ejercicios Resueltos

Ej. 146 — Sea la función lógica expresada por $f = (A + B) \cdot C + (\bar{A} + C) + \bar{B}$. Obtener el valor de dicha función lógica cuando $A = 0$, $B = 1$ y $C = 0$

Solución (Ej. 146) — Sustituyendo los valores que presentan las variables lógicas, la función lógica da como resultado: $f = (0 + 1) \cdot 0 + (1 + 0) + 0 = 0 + 1 + 0 = 1$

Ej. 147 — Dada la función lógica $f(A, B, C) = B + \bar{A} \cdot \bar{B} + B \cdot C + A \cdot B \cdot C$. Obtener su forma canónica expresada como sumas de productos

Solución (Ej. 147) — En primer lugar, se multiplica cada término por la suma de la variable que falta, en forma directa y complementada, dado que se trata de una función lógica expresada como sumas de productos:

$$f(A, B, C) = B \cdot (A + \bar{A}) \cdot (C + \bar{C}) + \bar{A} \cdot \bar{B} \cdot (C + \bar{C}) + B \cdot C \cdot (A + \bar{A}) + A \cdot B \cdot C$$

Desarrollándola:

$$\begin{aligned} f(A, B, C) &= A \cdot B \cdot C + \bar{A} \cdot B \cdot C + A \cdot B \cdot \bar{C} + \bar{A} \cdot B \cdot \bar{C} + \\ &+ \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot C + \bar{A} \cdot B \cdot C + A \cdot B \cdot C \end{aligned}$$

y eliminando términos duplicados:

$$f(A, B, C) = A \cdot B \cdot C + A \cdot B \cdot \bar{C} + \bar{A} \cdot B \cdot C + \bar{A} \cdot B \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot \bar{B} \cdot \bar{C}$$

Ej. 148 — Sea la función lógica $f(A, B, C) = (A + \bar{B}) \cdot (A + B + C)$, expresada como productos de sumas. ¿Cuál es su forma canónica?

Solución (Ej. 148) — En este caso se añaden a cada término el producto de la variable que falte en forma directa y complementada y se desarrolla la expresión resultante.

$$\begin{aligned} f(A, B, C) &= (A + \bar{B} + C \cdot \bar{C}) \cdot (A + B + C) = \\ &= (A + \bar{B} + C) \cdot (A + \bar{B} + \bar{C}) \cdot (A + B + C) \end{aligned}$$

Nótese que, en este caso, no es necesario eliminar términos duplicados ya que no aparece ninguno.

Ej. 149 — Dada la función lógica $f(A, B, C) = A \cdot B \cdot C + A \cdot \bar{B} + A \cdot (B + C)$, obtener su tabla de verdad.

Solución (Ej. 149) — La manera más sencilla es evaluar los valores que toman cada uno de los términos que aparecen en la función lógica, según sean los valores asignados a las entradas. Para ello se añaden tantas columnas como términos aparezcan en la función (Tabla 5.4).

Término	ABC	$A \cdot B \cdot C$	$A \cdot \bar{B}$	$A \cdot (B + C)$	f
0	000	0	0	0	0
1	001	0	0	0	0
2	010	0	0	0	0
3	011	0	0	0	0
4	100	0	1	0	1
5	101	0	1	1	1
6	110	0	0	1	1
7	111	1	0	1	1

Tabla 5.4: Tabla de verdad de una función lógica del Ej. 149.

La tabla de verdad resultante se puede volver a expresar eliminando las columnas intermedias que se han introducido para simplificar su cálculo, quedando tal y como se muestra en la Tabla 5.5.

Término	ABC	f
0	000	0
1	001	0
2	010	0
3	011	0
4	100	1
5	101	1
6	110	1
7	111	1

Tabla 5.5: Resultado final de la tabla de verdad del Ej. 149.

5.4 Funciones lógicas básicas

Las operaciones lógicas del álgebra de Boole se representan electrónicamente mediante unos símbolos denominados *puertas lógicas*. La simbología utilizada emplea formas diferentes para cada una de las puertas lógicas de forma que sea indicativa de la función lógica que realiza (Figura 5.1).

No es preciso hacer uso de todos y cada uno de los operadores lógicos existentes para definir una función lógica. Si se puede expresar cualquier función lógica








Puerta	Función lógica	Símbolo
NOT	$f(A) = \bar{A}$	
AND	$f(A, B) = A \cdot B$	
OR	$f(A, B) = A + B$	
NAND	$f(A, B) = \overline{A \cdot B}$	
NOR	$f(A, B) = \overline{A + B}$	
XOR	$f(A, B) = A \cdot \bar{B} + \bar{A} \cdot B$	
XNOR	$f(A, B) = \bar{A} \cdot \bar{B} + A \cdot B$	

Figura 5.1: Operadores lógicos: símbolos electrónicos para puertas básicas de dos entradas (salvo puerta NOT, de una entrada) y función lógica que realizan.

utilizando sólo un determinado subconjunto de los operadores, se dice que dicho subconjunto de operadores es funcionalmente completo. Por ejemplo, la terna de operadores AND, OR y NOT es funcionalmente completa por la propia definición del álgebra de Boole. Sin embargo, la pareja de operadores AND y NOT también lo es. Lo mismo ocurre con la pareja formada por NOR y NAND.

Cuestiones y Ejercicios Resueltos

Ej. 150 — Obtener la tabla de verdad y la función lógica desarrollada por el circuito de la Figura 5.2 como suma de productos y como productos de sumas.

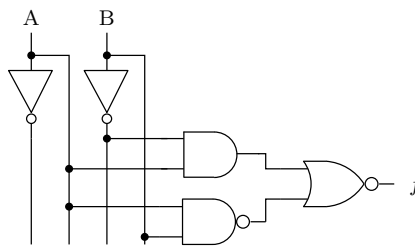


Figura 5.2: Circuito propuesto para el Ej. 150.

Solución (Ej. 150) — Asignando valores de entrada 0 y 1 a cada una de las entradas del circuito de la Figura 5.2, se obtiene la tabla de verdad (Tabla 5.6), a partir de la cual se obtienen las dos expresiones de la función lógica que se pide:

$$\begin{aligned}
 f &= f(3) = A \cdot B \\
 f &= f(0, 1, 2) = (A + B) \cdot (A + \bar{B}) \cdot (\bar{A} + B)
 \end{aligned}$$

Término	AB	f
0	00	0
1	01	0
2	10	0
3	11	1

Tabla 5.6: Tabla de verdad de la función lógica desarrollada por el circuito de la Figura 5.2.

5.5 Familias lógicas

Cuando se diseñan funciones lógicas que se van a desarrollar mediante puertas lógicas para formar un circuito electrónico (ya sea discreto o integrado), no es suficiente con conocer el funcionamiento lógico de las puertas utilizadas, sino también sus características de funcionamiento, como:

- Niveles de tensión.
- Inmunidad al ruido.
- Disipación de potencia.
- *Fan-out*.
- Retardos de propagación.

Estas características dependen de cómo se realizan las puertas básicas a partir de elementos de circuitos. Estos elementos van a ser principalmente dispositivos semiconductores. Al construir las puertas lógicas se siguen unos criterios de uniformidad, de manera que las diferencias entre las distintas puertas lógicas sean mínimas. Este criterio constituye la base de la definición de una *familia lógica como la estructura básica a partir de la cual se pueden construir puertas lógicas*.

En este apartado se analizarán las dos familias lógicas más relevantes: TTL y CMOS. La familia lógica TTL o *Transistor-Transistor Logic* emplea transistores bipolares y diodos. Por su parte, la familia CMOS o *Complementary Metal-Oxide Semiconductor* emplea transistores NMOS y PMOS. Antes de entrar en el detalle de cómo se realizan cada una de las puertas lógicas en estas tecnologías, se pueden resumir las principales características y diferencias de funcionamiento que presentan estas dos familias lógicas.

5.5.1 Tensión de alimentación continua

El valor nominal de alimentación continua para los dispositivos TTL es de +5 V, mientras que en los dispositivos CMOS están disponibles en varias categorías de tensiones de alimentación: +5 V; +3,3 V; +2,5 V y +1,2 V.

5.5.2 Niveles lógicos

Existen cuatro especificaciones para los niveles lógicos, cuyos valores representativos para algunas familias lógicas TTL y CMOS se resumen en la Tabla 5.7:

- V_{IL} : Rango de tensiones de entrada que representan un nivel lógico bajo (L ó 0).
- V_{IH} : Rango de tensiones de entrada que representan un nivel lógico alto (H ó 1).
- V_{OL} : Rango de tensiones de salida que representan un nivel lógico bajo (L ó 0).
- V_{OH} : Rango de tensiones de salida que representan un nivel lógico alto (H ó 1).

	V_{IL}	V_{IH}	V_{OL}	V_{OH}
TTL	0 – 0,8 V	2 – 5 V	0 – 0,4 V	2,4 – 5 V
CMOS (5 V)	0 – 1,5 V	3,5 – 5 V	0 – 0,33 V	4,4 – 5 V
CMOS (3,3 V)	0 – 0,8 V	2 – 3,3 V	0 – 0,4 V	2,4 – 3,3 V

Tabla 5.7: Comparativa de niveles lógicos de tensión para las familias lógicas TTL y CMOS.

5.5.3 Inmunidad al ruido. Margen de ruido

Se define como ruido cualquier nivel de tensión no deseado presente en los circuitos eléctricos y que afecta al correcto funcionamiento de los mismos. Los cables o las pistas del circuito impreso pueden captar radiaciones electromagnéticas externas de alta frecuencia, o bien verse afectados por señales de baja frecuencia producidas por las fluctuaciones de tensión en las alimentaciones al circuito.

Se define la *inmunidad al ruido* como la tolerancia a las fluctuaciones no deseadas de las tensiones en las entradas al circuito sin que cambie el estado de salida. La medida de la inmunidad al ruido de un circuito se conoce como *margen de ruido*, expresada en voltios. Se especifican dos valores de margen de ruido:

- Margen de ruido para el nivel alto: Es la diferencia entre la menor salida posible de nivel alto de una puerta excitadora y la menor entrada posible que la puerta de carga pueda entender como nivel alto.

$$V_{NH} = V_{OH(\min)} - V_{IH(\min)} \quad (5.1)$$

- Margen de ruido para el nivel bajo: Es la diferencia entre la máxima entrada posible a nivel bajo que la puerta entiende como tal y la máxima salida posible a nivel bajo de la puerta excitadora.

$$V_{NL} = V_{IL(\max)} - V_{OL(\max)} \quad (5.2)$$

5.5.4 Disipación de potencia.

Por una puerta lógica circula corriente procedente de la fuente de alimentación del circuito. Si se denominan V_{CC} a la tensión de la fuente de alimentación, I_{CCH} a la corriente circulante por la puerta cuando su salida está a nivel alto (H) e I_{CCL} a la corriente que circula cuando su salida está a nivel bajo (L), existirán distintos consumos de potencia según el estado de la salida de la puerta lógica.

Normalmente, al aplicar pulsos de entrada a la puerta, su salida conmuta entre los estados alto y bajo. La corriente varía entre I_{CCH} e I_{CCL} y el consumo medio de potencia dependerá del ciclo de trabajo de las señales. Si el ciclo de trabajo es del 50 %, la salida estará a nivel alto la mitad del tiempo total, con lo que la corriente media circulante es:

$$I_{CC} = \frac{I_{CCH} + I_{CCL}}{2}$$

y la potencia media disipada resulta:

$$P_D = V_{CC} I_{CC}$$

La potencia disipada en puertas TTL es básicamente constante dentro de su rango de frecuencias de trabajo. En cuanto a la tecnología CMOS, la potencia disipada depende de la frecuencia. Ésta es muy baja en continua (DC) y aumenta conforme se incrementa la frecuencia.

5.5.5 Retardos de propagación.

Siempre que una señal recorre un circuito digital experimenta un cierto retardo temporal. Todo cambio recibido en las entradas del circuito provoca un cambio en los niveles de salida transcurrido un cierto tiempo conocido como *retardo de propagación*. Existen dos retardos de propagación específicos para las puertas lógicas:

- Retardo de propagación de bajo a alto, t_{pLH} : tiempo transcurrido desde que se produce un flanco en la señal de entrada (pasa por el 50 %) hasta que se produce el flanco correspondiente en la señal de salida (pasa por el 50 %), pasando ésta de nivel bajo a alto.
- Retardo de propagación de alto a bajo, t_{pHL} : tiempo transcurrido entre un flanco de la señal de entrada (pasa por el 50 %) y el flanco correspondiente en la señal de salida (pasa por el 50 %) cuando la salida pasa de un nivel alto a bajo.

El retardo de propagación de una puerta limita el rango de frecuencias a las que puede operar. A mayores retardos de propagación, menor es la frecuencia máxima de trabajo. Dicho de otra manera: un circuito será tanto más rápido cuanto menores retardos de propagación presente.

En ciertas aplicaciones resulta imprescindible trabajar a frecuencias altas y con bajos consumos. Por ello es importante conocer el *producto velocidad-potencia* (suele venir expresado en picojulios pJ) como base para seleccionar la familia lógica

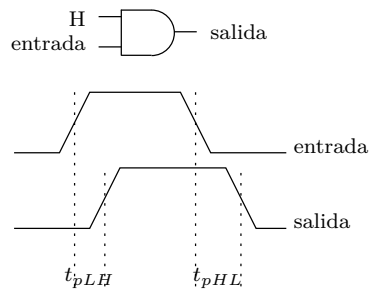


Figura 5.3: Retardos de propagación en una puerta lógica AND.

adecuada. Cuanto menor sea este producto, mejores características presentará un dispositivo.

5.5.6 Carga y *fan-out*.

Existe un límite en el número de puertas cuyas entradas se pueden conectar a la salida de otra puerta dada. A las primeras se les denomina puertas de carga y a la segunda, puerta excitadora. Al conectar una puerta lógica a la salida de otra puerta se genera una carga en la puerta excitadora. El límite del número de entradas de carga que una determinada puerta es capaz de excitar sin que se vean afectadas las características de operación especificadas para la familia lógica se conoce como *fan-out*.

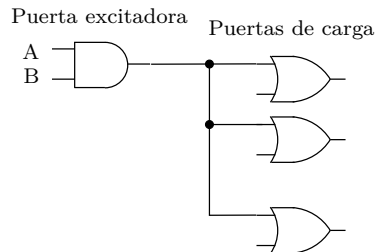


Figura 5.4: Salida de una puerta lógica conectada a la entrada de varias puertas.

A modo de ejemplo, la familia TTL Schottky de bajo consumo (LS) presenta un *fan-out* de 20 unidades de carga (entendiendo por unidad de carga una entrada de la misma familia lógica).

Tecnología TTL

Por el tipo de transistores empleados en la familia lógica TTL, las cargas de las puertas lógicas son fundamentalmente resistivas. Como se observa en la Figura 5.4, una puerta excitadora TTL cuya salida está en nivel alto entrega corriente (I_H) a las entradas de las puertas de carga, mientras que absorbe corriente (I_L) cuando su salida se encuentra en nivel bajo.

A mayor número de puertas de carga conectadas a la puerta excitadora, mayor es la carga de ésta y mayor es la corriente que tiene que suministrar o absorber. Al aumentar esta corriente se producen los siguientes efectos en la puerta excitadora:

- Si la salida se encuentra en un nivel alto, V_{OH} disminuirá al aumentar la corriente suministrada por la puerta, pudiendo caer por debajo del valor mínimo necesario $V_{OH(\min)}$. Ello provoca una reducción del margen de ruido del nivel alto y compromete el funcionamiento del circuito. Además, al aumentar la corriente en la puerta excitadora, también se eleva la potencia disipada en ella.
- Si la salida se encuentra en nivel bajo, la caída de tensión interna de la puerta excitadora aumentará haciendo que V_{OL} aumente, pudiendo alcanzarse un valor demasiado alto que supere el máximo $V_{OL(\max)}$ y reduciéndose así el margen de ruido para el nivel bajo.

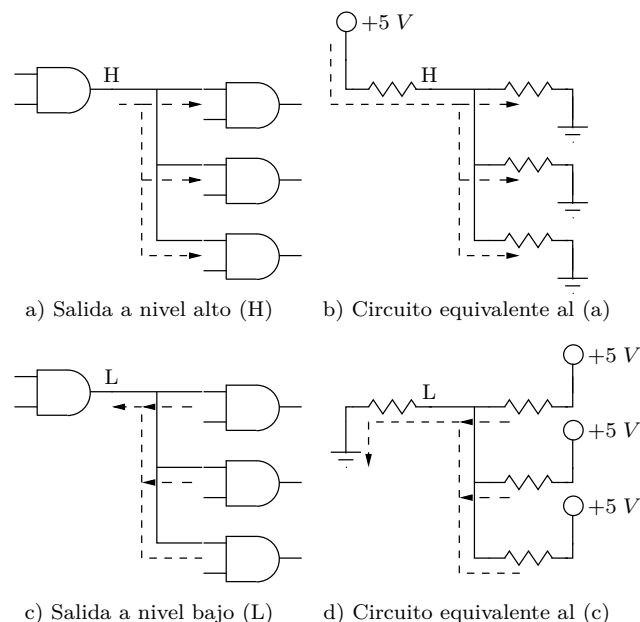


Figura 5.5: Cargas TTL aplicadas a una puerta excitadora con nivel alto y bajo. Efecto sobre V_{OH} y V_{OL} .

Por las características de la familia TTL, la capacidad de corriente en el estado de salida de nivel bajo constituye el factor más crítico en la determinación del *fan-out*.

Tecnología CMOS

Mientras que la carga de las puertas lógicas TTL es de tipo resistivo, la de las puertas lógicas CMOS es de tipo capacitivo, debido a los transistores MOS empleados en su fabricación. Las limitaciones que afectan al valor de *fan-out* se derivarán de

los tiempos de carga y descarga asociados a la resistencia de salida de la puerta excitadora y a la capacidad de entrada de la puerta de carga.

Con la salida excitadora a nivel alto (H), la capacidad de entrada se carga a través de la resistencia de salida de la puerta excitadora. Cuando la salida excitadora está a nivel bajo (L), se produce la descarga de la capacidad de la puerta de carga sobre la resistencia de salida de la puerta excitadora.

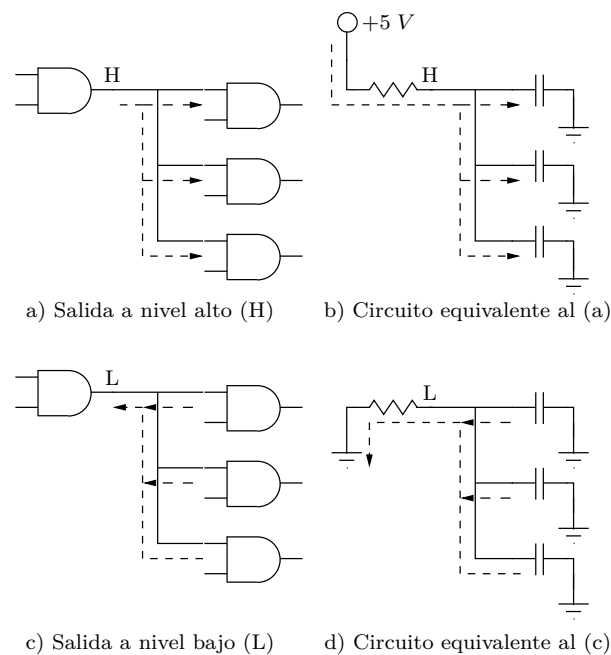


Figura 5.6: Cargas CMOS aplicadas a una puerta excitadora con nivel alto y bajo. Efecto de la carga y descarga del circuito RC resultante.

Conforme se añaden puertas de carga a la salida, la capacidad total de carga aumenta al encontrarse las capacidades de entrada de las puertas de carga en paralelo. El aumento de la capacidad provoca que los tiempos de carga y descarga sean mayores, lo cual repercute en menores frecuencias de trabajo de la puerta.

En resumen, el *fan-out* de una puerta CMOS depende de la frecuencia de funcionamiento. A menor número de puertas de carga, mayor será la frecuencia máxima.

5.5.7 Familia lógica TTL

El dispositivo que constituye la pieza fundamental sobre el que se construye esta familia lógica es el transistor bipolar de unión (Bipolar Junction Transistor, BJT). Se trata de un dispositivo activo de tres terminales (base, emisor y colector) formando dos uniones pn que comparten la zona común de base.

Interesa conocer el comportamiento del transistor bipolar en conmutación, ya que en esta familia digital no se comporta como amplificador de señal. Por tanto, el transistor se encontrará siempre en dos de sus tres estados posibles (eliminada la zona activa, que es la correspondiente a su trabajo como amplificador): saturación

(interruptor cerrado) y corte (interruptor abierto) . Cuando la tensión aplicada a la base del transistor es $0,7\text{ V}$ superior a la aplicada al emisor, el transistor conduce y entra en saturación. Cuando dicha diferencia de tensión es inferior al valor anteriormente especificado, el transistor entra en corte.

Como ejemplos de puertas lógicas de esta familia lógica se analizarán el inversor y la NAND.

Inversor TTL

La figura 5.7 muestra el esquema de un circuito estándar correspondiente a una puerta inversora. En ella se observan cuatro transistores bipolares, dos diodos y cuatro resistencias. El transistor Q_1 es el transistor de acoplamiento de entrada, quedando fijado el nivel de entrada por el diodo D_1 . Este diodo evita que los posibles picos en la señal de entrada dañen a Q_1 . El transistor Q_2 es el divisor de fase, formando los transistores Q_3 y Q_4 el circuito de salida conocido como “totem-pole”. El diodo D_2 proporciona una caída de tensión adicional en serie con la de la unión base-emisor de Q_4 y asegura su bloqueo cuando Q_3 conduce.

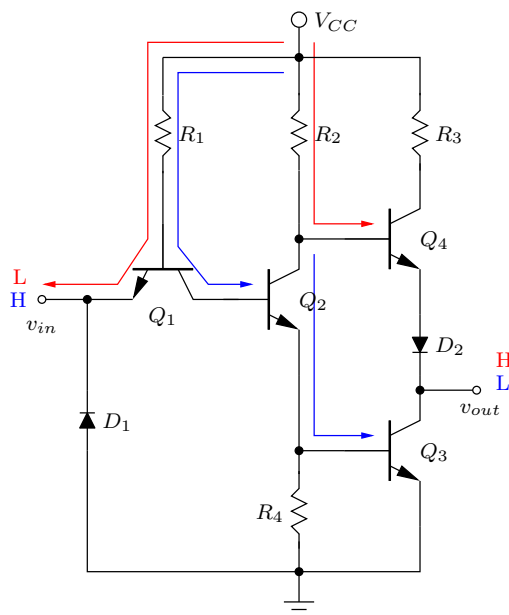


Figura 5.7: Esquema del inversor TTL

Si la entrada es un nivel alto, la unión base-emisor de Q_1 se polariza en inversa mientras que la unión base-colector se polariza en directa. Con ello, la corriente circula desde la alimentación atravesando R_1 y excitando la base de Q_2 hasta llevarlo a la saturación. De esta forma, Q_2 excitará a su vez a Q_3 que entra en saturación, haciendo que la tensión de salida del inversor sea próxima a la del terminal de masa. Se obtiene así un nivel de salida bajo cuando el nivel de entrada es alto.

Si, por el contrario, el nivel de entrada es bajo, la la unión base-emisor de Q_1 se polariza en directa mientras que la unión base-colector se polariza en inversa.

La corriente circula ahora desde la alimentación atravesando R_1 y la unión base-emisor de Q_1 . Q_2 queda en corte al no circular corriente por su base, lo cual hace que su tensión de colector esté en nivel alto, excitando al transistor Q_4 y llevándolo a saturación y proporcionando un camino a la corriente desde la alimentación a la salida. De esta forma, aparece un nivel alto de salida cuando el nivel de entrada es bajo.

NAND TTL

El esquema de la figura 5.8 corresponde a una puerta NAND TTL estándar de dos entradas. Es muy similar a la estructura del inversor TTL con la salvedad de presentar un transistor Q_1 con doble emisor de entrada. La tecnología TTL emplea transistores con emisores múltiples para los terminales de entrada de las diferentes puertas. Cada uno de los diferentes terminales de emisor del transistor bipolar se puede considerar como una unión base-emisor independiente.

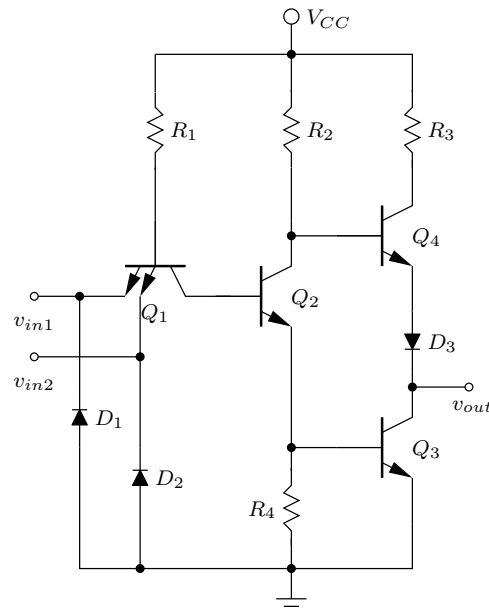


Figura 5.8: Esquema de la puerta NAND TTL

Colector abierto y salida triestado

Las puertas TTL que se han visto hasta ahora disponen del circuito de salida “totem-pole” compuesto por los transistores Q_3 y Q_4 . Sin embargo, los circuitos integrados TTL disponen de otra configuración posible de salida denominada “colector abierto”. Finalmente, con la configuración de salida “totem-pole” es posible modificar la puerta lógica TTL para que disponga de capacidad de salida triestado. Esto implica que la puerta sea capaz de, además de generar su salida en estado alto o bajo según la entrada, desconectar su salida del resto del circuito interno de la puerta lógica.

La configuración de puertas con colector abierto se muestra en la figura 5.9. La salida es el colector de Q_3 sin nada conectado (de ahí la denominación de esta topología de puerta TTL). Es preciso conectar una resistencia externa entre el colector de salida y la alimentación del circuito para obtener los niveles lógicos alto y bajo en la salida. Esta resistencia externa se conoce como resistencia de “pull-up”.

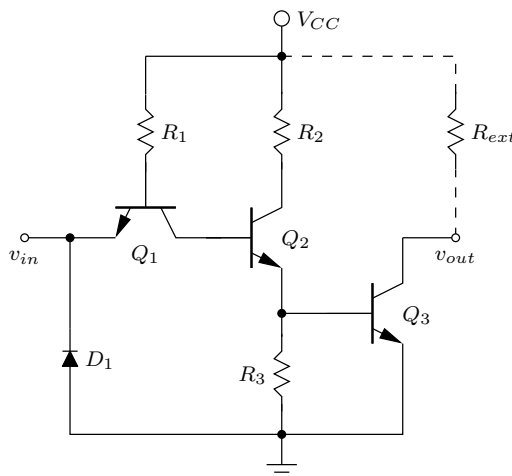


Figura 5.9: Inversor TTL con salida en colector abierto.

La configuración de puertas con salida triestado se basa en el esquema de la figura 5.10. Emplea una señal de habilitación E para controlar cuándo se activa o no la salida de la puerta TTL. Si la entrada de habilitación se encuentra en nivel bajo, Q_2 se encuentra en corte y el circuito de salida “totem-pole” funciona normalmente. Pero cuando la señal E se encuentra a nivel alto, Q_2 está en saturación. En el segundo emisor de Q_1 aparece un nivel bajo que bloquea a Q_3 y Q_5 . El diodo D_1 se polariza en directa y bloquea también a Q_4 . Los transistores Q_4 y Q_5 bloqueados actúan como circuitos abiertos y desconectan totalmente la salida del resto de los transistores y diodos que forman la puerta lógica.

5.5.8 Familia lógica CMOS

El dispositivo fundamental sobre el que se construye esta familia lógica es el transistor de efecto de campo de semiconductor de metal-óxido (MOSFET). Aunque su acción de conmutación es similar, se trata de unos dispositivos que difieren mucho de los transistores bipolares empleados por la familia lógica TTL, tanto en su construcción como en su funcionamiento interno.

Cuando la tensión de puerta de un NMOS (MOSFET de canal n) es más positiva que la tensión de fuente, el NMOS conduce (entra en saturación) y se comporta como un interruptor cerrado, permitiendo el paso de corriente entre sus terminales drenador y fuente. Con una tensión de puerta nula, el NMOS no conduce (entra en corte).

La familia lógica CMOS emplea pares complementarios de transistores MOSFET. Cualquier dispositivo de esta familia se encuentra formada por una red de

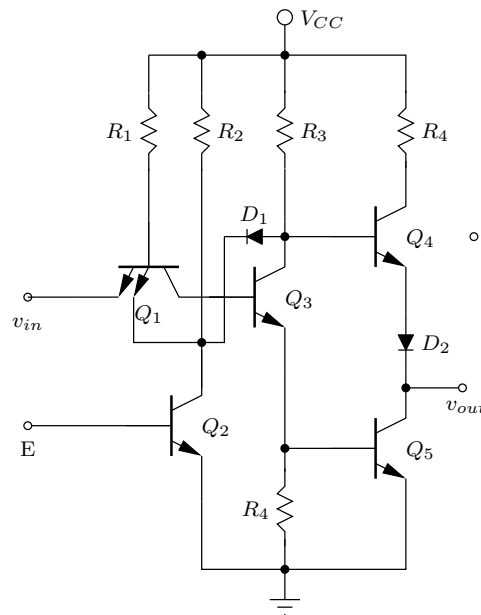


Figura 5.10: Inversor TTL con salida triestado.

polarización de nivel bajo (red *Pull-Down* o red PD) compuesta por transistores NMOS y una red de polarización de nivel alto (red *Pull-Up* o red PU) con transistores PMOS. Los transistores NMOS de la red PD se activan con niveles altos de las entradas, mientras que los transistores PMOS de la red PU son activados por los niveles bajos de las mismas. Como ambas redes se activan de forma complementaria por las mismas variables de entrada, se impide que los caminos de nivel bajo y de nivel alto se activen simultáneamente.

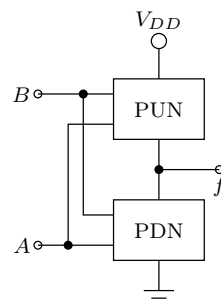


Figura 5.11: Estructuras *Pull-Down* y *Pull-Up* típicas de la familia lógica CMOS.

Las combinaciones de las variables de entrada que hagan que $f = 0$ activan la red PD, estableciendo un camino a masa para la salida del circuito, y desactivan la red PU. Todas aquellas combinaciones que hagan que $f = 1$ activan la red PU, habilitando el camino hacia la tensión de alimentación para la salida del circuito, y desactivan la red PD. La Figura 5.12 muestra las diferentes posibilidades de conexiones en paralelo y serie de los transistores en las redes PU y PN, así como la

función lógica resultante.

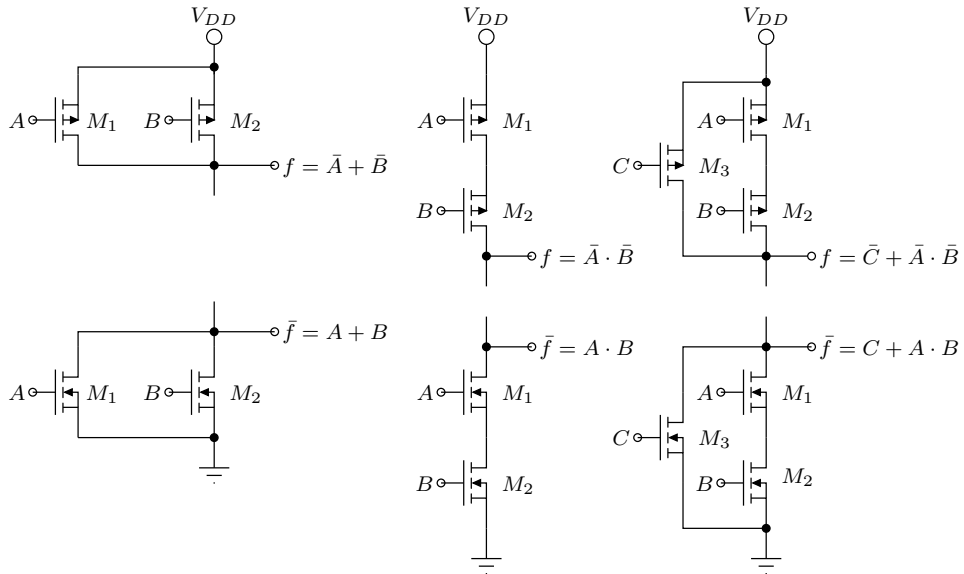


Figura 5.12: Asociaciones serie y paralelo de transistores presentes en la familia lógica CMOS.

Bajo este criterio de redes PD y PU puede sintetizarse cualquier función lógica combinacional con transistores CMOS. Para ello basta analizar la función lógica de que se trate y sintetizar las redes PU y PD necesarias.

Inversor CMOS

Cuando se aplica un nivel de tensión alto a la entrada, el PMOS (M_1) no conduce mientras que el NMOS (M_2 sí, conectando a masa la salida a través de la resistencia del canal de M_2 , generando así un nivel de tensión de salida bajo. En el caso de aplicar una entrada baja, es M_2 el que queda en corte y M_1 el que conduce, conectando la salida hacia la tensión de alimentación a través de la resistencia del canal de M_1 .

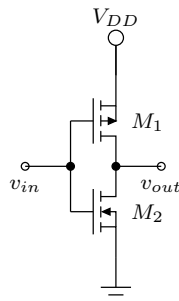


Figura 5.13: Inversor CMOS estándar.

NAND CMOS

El esquema de una puerta NAND de la familia lógica CMOS es el que se muestra en la figura 5.14 y su funcionamiento es el siguiente:

- Si las dos entradas se encuentran a nivel alto, M_1 y M_2 están en corte mientras que M_3 y M_4 se saturan, con lo que la salida queda a nivel bajo al conectarse la misma a masa a través de las resistencias de los canales de M_3 y M_4 .
- Cuando v_{in1} está a nivel bajo y v_{in2} a nivel alto, M_1 y M_4 se saturan, quedando M_2 y M_3 en corte y la salida se conecta a alimentación a través del canal de M_1 , generando un nivel alto de salida.
- Algo parecido ocurre cuando v_{in1} está a nivel alto y v_{in2} a nivel bajo, sólo que se saturan M_2 y M_3 y quedan cortados M_1 y M_4 . Se produce ahora una salida en nivel alto al conectarse la salida con la alimentación a través del canal del transistor M_2 .
- Si las dos entradas se encuentran a nivel bajo, M_3 y M_4 se encuentran en corte mientras que M_1 y M_2 están en saturación. La salida se conecta entonces a alimentación a través de los canales en paralelo de los transistores M_1 y M_2 , generando un nivel de salida alto.

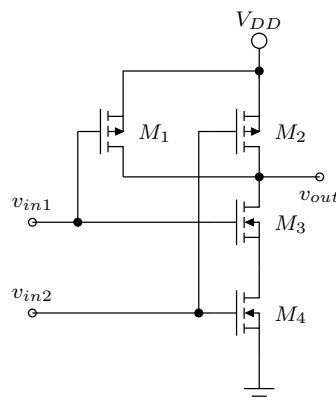


Figura 5.14: Puerta NAND CMOS.

NOR CMOS

Su esquema se muestra en la figura 5.15 y su comportamiento puede deducirse de forma similar a como se realizó para la puerta NAND CMOS.

- Si las dos entradas se encuentran a nivel bajo, M_1 y M_2 están en saturación mientras que M_3 y M_4 se encuentran en corte, con lo que la salida queda a nivel alto al conectarse la misma a alimentación a través de las resistencias de los canales de M_1 y M_2 .

- Cuando cualquiera de las dos entradas v_{in1} o v_{in2} se encuentre a nivel alto, alguno de los dos transistores M_3 o M_4 (concretamente se trata del transistor en cuya puerta se conecta la entrada que está a nivel alto) se satura y lleva la salida a masa a través del canal de dicho transistor, generando un nivel bajo de salida. Además, la salida queda aislada de la tensión de alimentación ya que uno de los transistores M_1 o M_2 se encuentra en corte (más concretamente, aquél en cuya puerta se conecta la entrada que está a nivel alto).
- Algo parecido ocurre si ambas entradas (v_{in1} y v_{in2}) están a nivel alto a nivel bajo, sólo que se saturan M_3 y M_4 y quedan cortados M_1 y M_2 . Se produce una salida en nivel bajo al conectarse la salida con la alimentación a través de los canales de los transistores M_3 y M_4 .

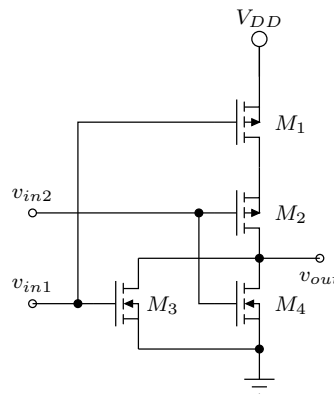


Figura 5.15: Puerta NOR CMOS.

Puertas CMOS triestado y en drenador abierto

La tecnología CMOS permite disponer de puertas similares a las que se dispone en la tecnología TTL en cuanto a su capacidad de aislar la salida de la circuitería interna de la puerta (salida triestado) y a la salida en colector abierto, que en este caso se denomina “drenador abierto”.

El concepto de drenador abierto implica que el transistor de salida presenta su drenador desconectado. Para su correcto funcionamiento debe conectarse a la tensión de alimentación V_{DD} a través de una resistencia de “pull-up” (ver Figura 5.16).

En cuanto a la salida triestado, se muestra en la Figura 5.17 un ejemplo de la inclusión en un inversor CMOS de la capacidad de salida en alto, en bajo y en alta impedancia (salida desconectada) mediante una señal de habilitación \bar{E} , que permite colocar en corte simultáneamente a los transistores M_1 y M_2 . Se logra así desconectar efectivamente la salida del resto del circuito que forma la puerta lógica.

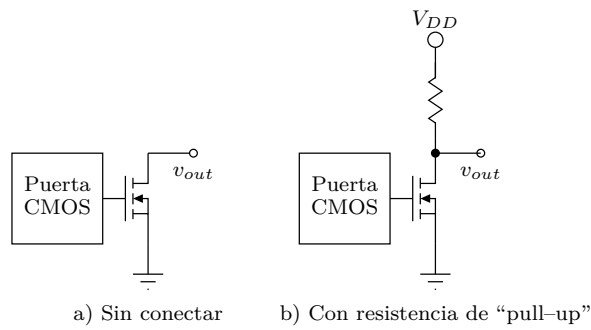


Figura 5.16: Puerta CMOS con drenador abierto.

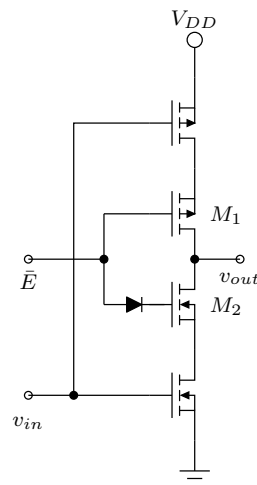


Figura 5.17: Puerta CMOS con salida triestado.

Cuestiones y Ejercicios Resueltos

Ej. 151 — Obtenga los márgenes de ruido para la familia TTL.

Solución (Ej. 151) — La Tabla 5.7 proporciona las siguientes magnitudes:

$$\begin{aligned} V_{OH(\min)} &= 2,4 \text{ V} \\ V_{IH(\min)} &= 2 \text{ V} \\ V_{IL(\max)} &= 0,8 \text{ V} \\ V_{OL(\max)} &= 0,4 \text{ V} \end{aligned}$$

Gracias a las expresiones 5.1 y 5.2 se obtienen los siguientes resultados:

$$\begin{aligned} V_{NH} &= 2,4 - 2 = 0,4 \text{ V} \\ V_{NL} &= 0,8 - 0,4 = 0,4 \text{ V} \end{aligned}$$

Esto indica que una puerta TTL presenta una inmunidad de hasta 0,4 V de ruido en ambos estados de entrada.

Ej. 152 — A partir del circuito de la Figura 5.18, indicar el estado de la salida cuando la entrada A y B está a nivel alto.

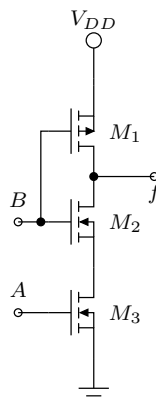


Figura 5.18: Esquema CMOS correspondiente al Ej. 152.

Solución (Ej. 152) — Al estar las dos entradas A y B a nivel alto, los transistores NMOS M_2 y M_3 se encuentran en saturación y se comportan como interruptores cerrados (cortocircuito). El transistor PMOS M_1 se encuentra en corte al aplicarle un nivel alto de tensión en su puerta. Por tanto, se comporta como un interruptor abierto (circuito abierto).

En conclusión, la salida f es llevada a masa a través de los transistores M_2 y M_3 . Con estas combinaciones de las señales de entrada, la salida se pone a nivel bajo.

Ej. 153 — Sintetizar la función lógica $f = \overline{A \cdot (B + C \cdot D)}$ mediante transistores CMOS.

Solución (Ej. 153) — Hay que analizar la función lógica objeto de síntesis para desarrollar las redes PU y PD de transistores CMOS necesarias. Para ver más fácilmente los valores de las entradas que hacen que la función se ponga a nivel bajo o alto, es conveniente observar la función lógica original y su complementada:

$$f = \overline{A \cdot (B + C \cdot D)} \quad (5.3)$$

$$\bar{f} = A \cdot (B + C \cdot D) \quad (5.4)$$

De acuerdo a la ecuación 5.3, la función lógica vale 1 siempre que $A = 0$ o que simultáneamente $B = 0$ y una de las variables C o D sea 0. La red PD que cumple estos requisitos estaría formada por un transistor PMOS controlado por la variable A en paralelo con una asociación en serie de un transistor PMOS gobernado por la variable B y el dos transistores PMOS en paralelo controlados cada uno de ellos por las variables C y D .

De la ecuación 5.4 se deduce que la función lógica vale cero si $A = 1$ y simultáneamente $B = 1$ o $C = D = 1$. Ello conduce a una red PU formada por la conexión en serie de un transistor NMOS controlado por la variable A y un transistor NMOS gobernado por la variable B en serie con la asociación en paralelo de dos transistores NMOS controlados cada uno de ellos por las variables C y D .

El resultado final se muestra en la Figura 5.19.

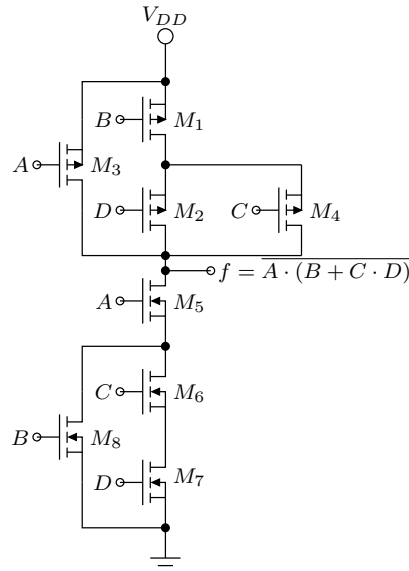


Figura 5.19: Solución al circuito lógico CMOS del Ej. 153.

Cuestiones y Ejercicios Propuestos

Ej. 154 — Sea la función lógica $f(A, B, C, D) = AB + CD + \bar{A}BC$.

1. Obtener su tabla de verdad.
2. Expresar su forma canónica como productos de sumas.

Solución (Ej. 154) — La forma canónica pedida es:

$$f(A, B, C, D) = \bar{A}\bar{B}CD + \bar{A}BC\bar{D} + \bar{A}BCD + A\bar{B}CD + AB\bar{C}\bar{D} + \\ + AB\bar{C}D + ABC\bar{D} + ABCD$$

y su tabla de verdad se muestra en la Tabla 5.8

Ej. 155 — Expresar la función lógica que realiza el circuito CMOS de la Figura 5.20

Solución (Ej. 155) — La respuesta es $f(A, B, C, D) = \overline{A + B + C \bar{D}}$

Término	ABCD	f
0	0000	0
1	0001	0
2	0010	0
3	0011	1
4	0100	0
5	0101	0
6	0110	1
7	0111	1
8	1000	0
9	1001	0
10	1010	0
11	1011	1
12	1100	1
13	1101	1
14	1110	1
15	1111	1

Tabla 5.8: Solución al Ej. 154.

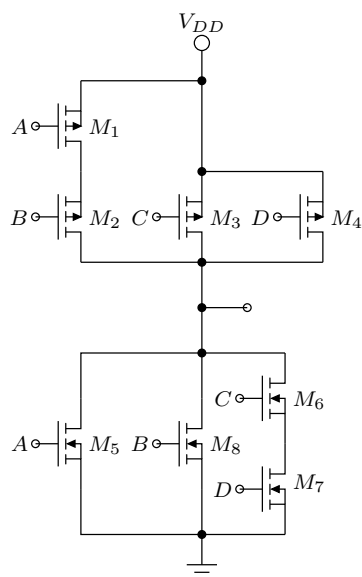


Figura 5.20: Circuito lógico CMOS para el Ej. 155.

Análisis y Síntesis de Funciones Lógicas

6.1 Introducción

Una vez revisados los principios del álgebra de Boole, es el momento de abordar dos de las principales tareas relacionadas con los circuitos electrónicos: análisis y síntesis. Por *análisis* de un circuito lógico se entiende encontrar una descripción comportamental (por ejemplo, en forma de ecuación booleana o tabla de verdad) que describa el funcionamiento de dicho circuito. La *síntesis* de circuitos, por contra, consiste en encontrar una estructura de puertas lógicas que implemente el comportamiento de una función que debe realizar el circuito. La función a implementar puede venir dada en forma de tabla de verdad o ecuación booleana, y la solución de su estructura de puertas no tiene por qué ser única. Además, tanto las expresiones que indican el comportamiento del circuito como su estructura de puertas se pueden simplificar. La *simplificación* consiste en ambos casos en obtener descripciones más sencillas, que necesitan un menor número de puertas o literales, y que por tanto ocupan menos área, presentan menor consumo o funcionan a una frecuencia de operación mayor. En este capítulo se describen técnicas de análisis, simplificación y síntesis de circuitos digitales.

6.2 Análisis de funciones lógicas

El álgebra de Boole se puede utilizar para expresar la operación de un circuito en forma de ecuación algebraica, definida a partir de su función canónica. Igualmente, el comportamiento de un circuito también puede ser descrito mediante su tabla de verdad, ya que ésta es una relación ordenada de los términos canónicos que describen el funcionamiento del circuito.

6.2.1 Determinación de la expresión booleana de un circuito lógico

Cualquier circuito lógico puede ser descrito mediante una expresión formada por los literales que intervienen, relacionados mediante los operadores del álgebra de Boole: suma, producto y complemento. Para obtener la expresión booleana de un determinado circuito lógico se debe comenzar por las entradas situadas más a la izquierda, e ir avanzando hasta las salidas, anotando la expresión resultante de cada puerta lógica. Para ello se deben tener en cuenta los operadores lógicos correspondientes a cada una de las puertas lógicas básicas (Figura 5.1).

Por ejemplo, para determinar la expresión booleana correspondiente al circuito lógico de la Figura 6.1, se comienza por obtener las salidas de la primera etapa de

puertas (puerta U_1). Esta puerta corresponde a una puerta AND de dos entradas, por lo que su salida es $A \cdot B$ (A AND B), como se indica en la figura. En el siguiente nivel de profundidad de puertas, la puerta U_2 corresponde a una puerta OR de dos entradas, por lo que su salida es $A \cdot B + C$ ($(A$ AND $B)$ OR C). En el tercer y último nivel, la puerta U_3 corresponde nuevamente a una puerta AND de dos entradas, cuya salida es $Y = ((A \cdot B) + C) \cdot D$, que corresponde a la salida del circuito. Esta expresión también se puede indicar como: $Y = ((A$ AND $B)$ OR $C)$ AND D .

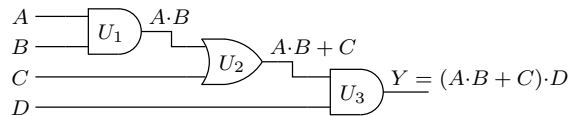


Figura 6.1: Obtención de la expresión booleana de un circuito a partir de su estructura de puertas lógicas.

6.2.2 Determinación de la tabla de verdad de un circuito lógico

Un circuito lógico puede describirse mediante una tabla de verdad, siendo ésta la lista de las posibles combinaciones de valores de las variables de entrada y sus correspondientes valores de salida (1 ó 0). La tabla de verdad puede obtenerse a partir de la expresión booleana del circuito, o bien directamente del circuito, mediante la observación de sus entradas y salidas.

Para obtener la tabla de verdad de una determinada expresión, se debe comenzar construyendo dicha tabla como una relación ordenada de todas las posibles combinaciones de entradas (2^n combinaciones, para un conjunto de n entradas). A continuación se deben hallar aquellos valores de las variables de entrada que hacen que la expresión booleana sea igual a 1 (en caso de que ésta venga expresada como *minterms* (minitérminos)), utilizando las reglas de la suma y la multiplicación booleanas, indicándolo con un 1 en la columna de la tabla correspondiente a la salida del circuito. Para aquellas combinaciones de entradas que proporcionen un 0 a la salida del circuito, se indicará en la tabla el valor 0 en la columna de la salida, en las filas correspondientes a dichas combinaciones.

Por ejemplo, si se quiere determinar la tabla de verdad correspondiente a la expresión booleana del circuito de la Figura 6.1, al tener 4 entradas (A , B , C y D), se tienen $2^4 = 16$ posibles combinaciones. La expresión booleana que describe el comportamiento del circuito está compuesta por el término $((A \cdot B) + C) \cdot D$. Este término vale 1 cuando se cumple simultáneamente que $D = 1$ y que $(A \cdot B) + C = 1$. Cuando en la última expresión C sea igual 1, A y B podrán tomar cualquier valor, ya que la expresión valdrá 1 independientemente del valor de A y B ; cuando C tome el valor 0 se deberá cumplir que $A = B = 1$, ya que sólo en este caso $(A \cdot B) + C$ será igual a 1. De todo esto resultan las siguientes combinaciones que hacen que la salida del circuito valga 1: $(A B C D) = \{(0 0 1 1), (0 1 1 1), (1 0 1 1), (1 1 0 1), (1 1 1 1)\}$. Por tanto, la tabla de verdad correspondiente (Figura 6.2) se construirá indicando los

16 estados posibles de las entradas, y escribiendo un 1 en la columna de la salida para las 5 combinaciones anteriores (y 0 para las restantes).

A	B	C	D	$Y = (A \cdot B + C) \cdot D$
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

Figura 6.2: Tabla de verdad correspondiente a la expresión booleana que describe el circuito de la Figura 6.1.

Para obtener la tabla de verdad directamente del circuito es necesario evaluar el comportamiento del mismo para todas las posibles combinaciones de valores de las variables de entrada, representando de forma ordenada los valores de las variables de entrada y sus salidas correspondientes. Para cada una de las combinaciones de entrada se debe indicar cuál será la salida de cada una de las puertas lógicas que forman el circuito (1 ó 0). Propagando estas señales desde las entradas se llega finalmente a obtener los valores de las salidas del circuito. Por ejemplo, en la Figura 6.3 se muestra una combinación de entrada aplicada al circuito de la Figura 6.1, y se indican las salidas de todas las puertas lógicas. En este caso, la puerta U_1 tiene en sus entradas los valores $A = 1$ y $B = 1$, por lo que su salida es 1 ($A \text{ AND } B = 1 \cdot 1 = 1$). La puerta U_2 tiene en sus entradas un 1 proveniente de la puerta U_1 y un 0 correspondiente a la señal C , por lo que su salida es 1 OR 0 = 1. Finalmente, las entradas de la puerta U_3 son 1 y 0, provenientes respectivamente de la salida de la puerta OR denominada U_2 y de $D = 0$. Por tanto, la salida de la puerta U_3 , correspondiente a la salida del circuito, es 1 AND 0 = 0. En la tabla de verdad se tiene que indicar que a la combinación de entrada $(A B C D) = (1 1 0 0)$ le corresponde una salida igual a 0. De igual forma se tendría que repetir este proceso para los 15 conjuntos restantes de entradas, completando así la tabla de verdad.

6.2.3 Conversión de función canónica a tabla de verdad

Para obtener una tabla de verdad a partir de una función canónica se debe comenzar enumerando todas las posibles combinaciones de los valores de las variables de la ex-

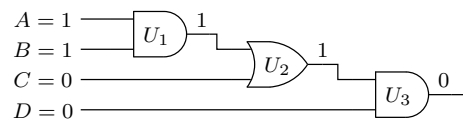


Figura 6.3: Determinación de la tabla de verdad directamente del circuito

presión. A continuación, si la función canónica viene expresada como minitérminos, se escribe un 1 en la columna de salida para cada conjunto de valores binarios que hace que la suma de productos estándar sea 1, y se escribe un 0 para los restantes valores.

Como ejemplo, la Figura 6.4 muestra la tabla de verdad correspondiente a la expresión: $F = \bar{A}\bar{B}\bar{C} + \bar{A}BC + A\bar{B}\bar{C} + ABC\bar{C}$.

A	B	C	F	Minitérminos
0	0	0	1	$\bar{A}\bar{B}\bar{C}$
0	0	1	0	
0	1	0	0	
0	1	1	1	$\bar{A}BC$
1	0	0	1	$A\bar{B}\bar{C}$
1	0	1	0	
1	1	0	1	$ABC\bar{C}$
1	1	1	0	

Figura 6.4: Obtención de la tabla de verdad a partir de la expresión canónica F expresada como minitérminos.

En caso de que la función canónica venga expresada como *maxterms* (maxitérminos), se comienza enumerando todas las posibles combinaciones de valores de entrada, al igual que en el caso anterior. Seguidamente, se escribe un 0 en la columna de salida para cada conjunto de valores binarios que hacen que el producto de sumas estándar sea 0, y se escribe un 1 para los casos restantes.

En la Figura 6.5 se muestra como ejemplo cómo construir la tabla de verdad para la expresión: $F = (A + \bar{B} + \bar{C})(\bar{A} + B + \bar{C})(A + \bar{B} + C)(\bar{A} + \bar{B} + \bar{C})$.

6.2.4 Conversión de tabla de verdad a función canónica

Para determinar la forma canónica expresada como minitérminos representada por una tabla de verdad se deben enumerar todos los valores de las variables de entrada para los que la salida es 1. A continuación, cada valor binario se convierte en el correspondiente minitérmino, reemplazando cada 1 por la variable sin complementar, y cada 0 por la variable complementada. Por ejemplo, el valor binario 1011 (para un circuito con entradas A , B , C y D), se transforma en el siguiente minitérmino: $A\bar{B}CD$.

A	B	C	F	Maxitérminos
0	0	0	1	
0	0	1	1	
0	1	0	0	$A + \bar{B} + C$
0	1	1	0	$A + \bar{B} + \bar{C}$
1	0	0	1	
1	0	1	0	$\bar{A} + B + \bar{C}$
1	1	0	1	
1	1	1	0	$\bar{A} + \bar{B} + \bar{C}$

Figura 6.5: Obtención de la tabla de verdad a partir de la expresión canónica F expresada como maxitérminos.

En el caso de que la función canónica deba expresarse como maxitérminos, el procedimiento es similar, pero enumerando todos los valores de las variables de entrada para los que la salida es 0. A continuación se obtiene cada uno de los maxitérminos reemplazando cada 1 por la variable complementada y cada 0 por la variable sin complementar. Por ejemplo, el número binario $(A B C D) = (1 1 1 0)$ equivale al siguiente maxitérmino: $\bar{A} + \bar{B} + \bar{C} + D$.

Cuestiones y Ejercicios Resueltos

Ej. 156 — ¿En qué consiste el análisis de un circuito lógico?

Solución (Ej. 156) — En encontrar una descripción comportamental (por ejemplo, en forma de ecuación booleana o tabla de verdad) que describa el funcionamiento de dicho circuito.

Ej. 157 — Determinar la forma canónica expresada como minitérminos que corresponde al circuito de la Figura 6.1.

Solución (Ej. 157) — La expresión booleana que corresponde a este circuito es $F = (A B + C) D$. Esta expresión no está expresada en forma canónica, sino de forma general, ya que contiene términos factorizados, y, aún deshaciendo la factorización ($F = A B D + C D$), no se encuentran las 4 variables en cada uno de los dos sumandos. La tabla de verdad que corresponde a este circuito se indica en la Figura 6.2. Finalmente, a partir de las filas que son 1 en la columna de salida de esta tabla se obtiene la forma canónica: $F = \bar{A} \bar{B} C D + \bar{A} B C D + A \bar{B} C D + A B \bar{C} D + A B C D$.

Ej. 158 — Determinar la forma canónica expresada como maxitérminos que corresponde a la tabla de verdad de la Figura 6.4.

Solución (Ej. 158) — La respuesta es: $F = (A + B + \bar{C}) \cdot (A + \bar{B} + C) \cdot (\bar{A} + B + \bar{C}) \cdot (A + \bar{B} + \bar{C})$.

Ej. 159 — Determinar la forma canónica expresada como minitérminos que corresponde a la tabla de verdad de la Figura 6.5.

Solución (Ej. 159) — La respuesta es: $F = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + A\bar{B}\bar{C} + ABC$.

Ej. 160 — Determinar la expresión lógica del circuito de la Figura 6.6

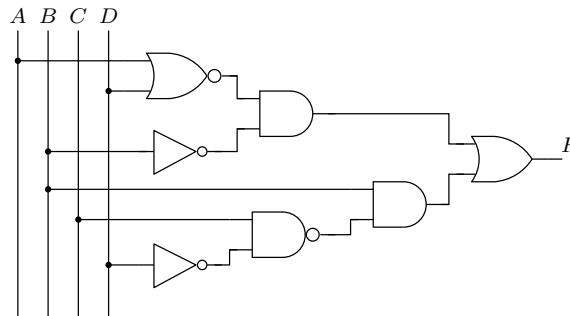


Figura 6.6: Circuito de puertas lógicas correspondiente al ejercicio 160.

Solución (Ej. 160) — La expresión lógica de salida del circuito de la Figura 6.6 es: $F = \overline{A + D} \cdot \bar{B} + \overline{\bar{D}C} \cdot B$.

Ej. 161 — Determinar la tabla de verdad que corresponde al circuito de la Figura 6.6.

Solución (Ej. 161) — La respuesta se muestra en la Figura 6.7.

A	B	C	D	F
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

Figura 6.7: Tabla de verdad del circuito de la Figura 6.6.

Ej. 162 — Determinar la tabla de verdad y la forma canónica expresada en mini-terminos de una puerta XNOR de 3 entradas.

Solución (Ej. 162) — La puerta XNOR de 3 entradas tiene salida a 0 cuando existe un número impar de 1s a la entrada, y su salida está a 1 en los restantes casos. La Figura 6.8 muestra su tabla de verdad. La forma canónica correspondiente a esta tabla de verdad es: $F_{\text{XNOR}} = \bar{A}\bar{B}\bar{C} + \bar{A}BC + A\bar{B}C + ABC$.

A	B	C	F_{XNOR}
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

Figura 6.8: Tabla de verdad de una puerta XNOR de 3 entradas.

6.3 Simplificación de circuitos lógicos

Una vez que se ha descrito el comportamiento de un circuito mediante expresiones booleanas o tablas de verdad, el siguiente paso suele consistir en la síntesis del mismo empleando puertas lógicas. No obstante, antes de sintetizar el circuito es deseable optimizar y simplificar la descripción del mismo con el fin de obtener un conjunto más eficiente de puertas lógicas y variables que el que se podría obtener con la descripción inicial.

Normalmente en la simplificación se busca reducir el número de puertas lógicas y conexiones del circuito, con el fin de disminuir el área ocupada y el consumo. En otras ocasiones, la simplificación persigue reducir el retardo de propagación de aquellas señales críticas en cuanto a temporización, mediante la obtención de un circuito en el que dichas señales atraviesen un menor número de puertas lógicas (aun a costa de empeorar otros criterios, como aumentar el área, por ejemplo). En cualquier caso, la simplificación de circuitos lógicos es una tarea que se encuentra muy relacionada con la síntesis de éstos, por lo que el criterio seguido para la simplificación del circuito debe depender de cuál sea el criterio que se desea optimizar en la etapa de síntesis (área, consumo, frecuencia máxima de funcionamiento, ...).

A continuación se revisan los dos métodos más empleados para simplificar la descripción de un circuito a nivel lógico: simplificación mediante el álgebra de Boole, y las tablas o mapas de Karnaugh.

6.3.1 Simplificación mediante el álgebra de Boole

El álgebra de Boole se puede utilizar para simplificar la expresión booleana de un circuito, de manera que éste se pueda implementar usando un menor número de puertas lógicas y conexiones. Este método requiere aplicar las reglas, leyes y teoremas del álgebra de Boole para manipular y simplificar las expresiones que describen el comportamiento del circuito.

El primer paso para la simplificación de un circuito consiste en obtener las expresiones booleanas que describen su comportamiento, en caso de que no se disponga de ellas. A partir de ahí, el procedimiento seguido difiere mucho de un circuito a otro, y depende fuertemente de la experiencia del diseñador, aunque se suelen observar por lo general los dos siguientes pasos:

1. Transformar la expresión original a su forma canónica de minterminos mediante la aplicación repetida de los teoremas de De Morgan y la multiplicación de términos.
2. Verificar los términos del producto para ver si hay factores comunes, realizando la factorización donde sea posible.

Por ejemplo, para simplificar el circuito de la Figura 6.9(a), se comienza obteniendo la expresión booleana del circuito, tal y como se describe en la sección 6.2.1. El resultado es:

$$Z = AB(\bar{A} + C) + C(\overline{BC}) + C\bar{B}(\overline{A + B})$$

A continuación se indican qué postulados y teoremas (ver Sección 5.2) se aplican para transformar esta expresión en su forma canónica de minterminos. Al primer sumando se le pueden aplicar, por este orden, la propiedad distributiva respecto de la suma y el postulado de complementario para el producto ($a \cdot \bar{a} = 0$):

$$AB(\bar{A} + C) = AB\bar{A} + ABC = ABC$$

El segundo sumando se puede simplificar aplicando los teoremas de De Morgan ($\overline{a \cdot b} = \bar{a} + \bar{b}$), el postulado de involución ($\bar{\bar{a}} = a$), y el de complementario del producto ($a \cdot \bar{a} = 0$), en ese orden:

$$C(\overline{BC}) = C \cdot (\bar{B} + \bar{C}) = CB + C\bar{C} = CB$$

El tercer sumando se puede transformar empleando nuevamente los teoremas de De Morgan ($\overline{a + b} = \bar{a}\bar{b}$), y el de idempotencia del producto ($a \cdot a = a$):

$$C\bar{B}(\overline{A + B}) = C\bar{B}(\bar{A}\bar{B}) = C\bar{A}\bar{B}$$

Hasta este momento, la función a simplificar quedaría como:

$$Z = ABC + BC + \bar{A}\bar{B}C$$

En virtud del postulado de complementario de la suma ($a + \bar{a} = 1$), la expresión anterior se puede expresarse en forma canónica como:

$$Z = ABC + BC(A + \bar{A}) + \bar{A}\bar{B}C = ABC + ABC + \bar{A}BC + \bar{A}\bar{B}C$$

que, mediante el postulado de idempotencia de la suma ($a + a = a$) lleva a esta expresión a

$$Z = ABC + \bar{A}BC + \bar{A}\bar{B}C + \bar{A}\bar{B}C$$

Esta expresión puede simplificarse mediante el postulado de complementario de la suma ($a + \bar{a} = 1$):

$$Z = BC(A + \bar{A}) + \bar{A}C(B + \bar{B}) = BC + \bar{A}C = C(\bar{A} + B)$$

que es la expresión que finalmente resulta y que no admite más simplificación, y corresponde al circuito que se ha sintetizado en la Figura 6.9(b).

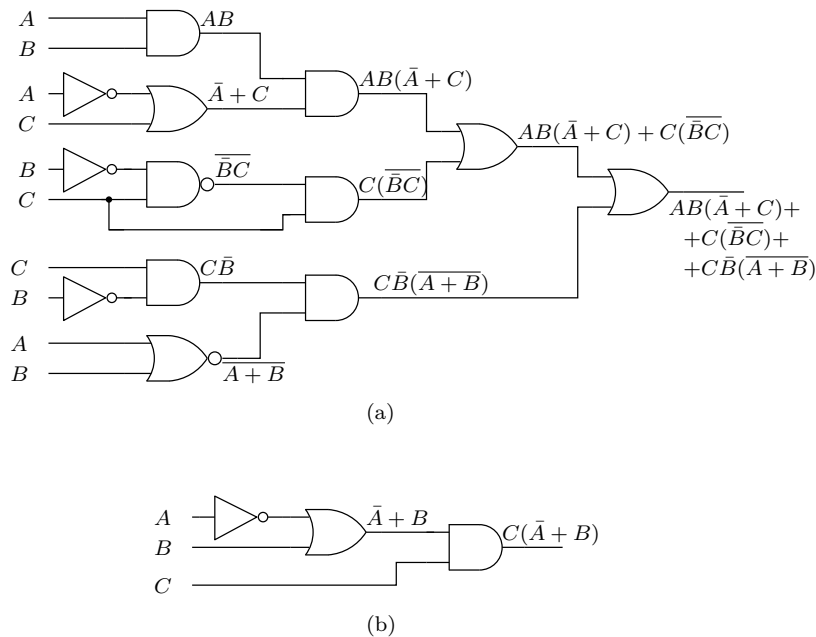


Figura 6.9: Simplificación de un circuito lógico aplicando el álgebra de Boole: (a) Circuito inicial. b) Circuito simplificado.

De este ejemplo se pueden sacar dos conclusiones:

1. El proceso de simplificación puede, en algunos casos, reducir considerablemente la complejidad del circuito, mejorando prestaciones como el área ocupada, el consumo, y la frecuencia máxima de funcionamiento.
2. La simplificación mediante el álgebra de Boole no es un método sistemático, y los resultados proporcionados dependen fuertemente de los postulados y teoremas que se empleen y de su orden, siendo en algunos casos complicado llegar a la *expresión mínima* (aquella que ya no permite seguir simplificando).

6.3.2 Mapas de Karnaugh

Los *mapas de Karnaugh* constituyen un método sistemático de simplificación de expresiones booleanas, en contraposición a la simplificación algebraica, que depende de la experiencia y habilidad que tenga el diseñador para aplicar las leyes, reglas y

teoremas del álgebra de Boole. Empleado adecuadamente, el método de simplificación por mapas de Karnaugh puede generar las expresiones más simples posibles de una función inicial (expresiones mínimas).

Un mapa de Karnaugh es una herramienta gráfica que se usa para simplificar una expresión booleana. Desde el punto de vista de la descripción del circuito, resulta similar a una tabla de verdad, ya que muestra todos los posibles valores de las variables de entrada, y la salida correspondiente para cada una de estas entradas. En lugar de la organización en filas y columnas de una tabla de verdad, el mapa de Karnaugh consta de una matriz de celdas en la que la posición de la celda indica el patrón de entrada, y el valor de la celda indica la salida ante dichas entradas. La expresión simplificada se obtiene agrupando de forma adecuada las celdas del mapa de Karnaugh.

Los mapas de Karnaugh se pueden utilizar para simplificar expresiones de entre dos y cinco variables de entrada. Cada mapa de Karnaugh corresponde a una salida del circuito, por lo que, en el caso de que éste tenga varias salidas, deberá construirse un mapa de Karnaugh para cada una de ellas. A continuación se presenta la construcción de mapas de Karnaugh con 3 y 4 variables, por ser los casos más representativos.

En el caso de 3 variables, el mapa de Karnaugh consta de una matriz de 4×2 celdas (Figura 6.10(a)); en este ejemplo se han utilizado las variables de entrada A , B y C . Para 4 variables, el mapa de Karnaugh consta de una matriz de 4×4 celdas (Figura 6.10(b)), habiéndose utilizado en este caso las variables A , B , C y D . En el interior de las celdas se ha representado el minitérmino al que corresponde cada celda. Cada una de estas celdas tomará el valor 1 si el minitérmino correspondiente se encuentra en la expresión booleana a simplificar, y 0 en caso contrario.

	C		
AB	\	0	1
00		$\bar{A}\bar{B}\bar{C}$	$\bar{A}\bar{B}C$
01		$\bar{A}B\bar{C}$	$\bar{A}BC$
11		$AB\bar{C}$	ABC
10		$A\bar{B}\bar{C}$	$A\bar{B}C$

(a)

	CD				
AB	\	00	01	11	10
00		$\bar{A}\bar{B}\bar{C}\bar{D}$	$\bar{A}\bar{B}\bar{C}D$	$\bar{A}\bar{B}C\bar{D}$	$\bar{A}\bar{B}CD$
01		$\bar{A}B\bar{C}\bar{D}$	$\bar{A}B\bar{C}D$	$\bar{A}BC\bar{D}$	$\bar{A}BCD$
11		$AB\bar{C}\bar{D}$	$AB\bar{C}D$	$ABC\bar{D}$	$ABCD$
10		$A\bar{B}\bar{C}\bar{D}$	$A\bar{B}\bar{C}D$	$A\bar{B}C\bar{D}$	$A\bar{B}CD$

(b)

Figura 6.10: Mapas de Karnaugh: (a) De 3 variables. (b) De 4 variables.

Las celdas de un mapa de Karnaugh se disponen de manera que sólo cambia una única variable entre celdas adyacentes. Por ejemplo, en el mapa de Karnaugh de la Figura 6.10(b), la celda que representa a 0111 (que corresponde al minitérmino $\bar{A}BCD$) es adyacente a las celdas 0011, 0101, 0110, y 1111. En estas cuatro celdas se observa que sólo cambia una variable respecto al valor 0111. Sin embargo, aquellas

celdas cuyos valores difieren en más de una variable no se consideran adyacentes (como por ejemplo las celdas 1101 y la 0110).

Los mapas de Karnaugh presentan adyacencia cíclica entre las filas superior-inferior y entre las columnas derecha-izquierda, al cumplirse en estos casos la condición de que únicamente cambia una variable. Así, por ejemplo, en la Figura 6.10(b), la celda 1010 ($A\bar{B}C\bar{D}$) es a su vez adyacente a las celdas 1011, 1000, 1110 y 0010.

Para construir el mapa de Karnaugh a partir de una expresión booleana (expresada en forma canónica de minterminos), se deben rellenar con 1s aquellas celdas que corresponden a los minterminos presentes en dicha expresión booleana. En el caso de que el mapa de Karnaugh se deba construir a partir de una tabla de verdad, es necesario identificar en primer lugar cuáles son los minterminos que corresponden a cada una de las filas para las que la salida es un 1; posteriormente se rellena el mapa de Karnaugh con 1s en las celdas que corresponden a dichos minterminos, y 0 en el resto de celdas. La Figura 6.11 ilustra la equivalencia, para 3 y 4 variables, entre las tres formas vistas hasta ahora de describir el comportamiento de un circuito: expresión booleana, tabla de verdad, y mapa de Karnaugh.

En el caso de que la expresión booleana no venga expresada en su forma canónica y algún sumando no contenga todas las variables, será necesario aplicar de forma inversa el postulado de complementario del álgebra de Boole para completar los términos con todas las variables. Así por ejemplo, en un circuito con 3 variables (A , B y C), en el que figure el término $\bar{A}C$ en la expresión booleana, se tiene que transformar este término de la siguiente manera:

$$\bar{A}C = \bar{A} \cdot C \cdot 1 = \bar{A} \cdot C \cdot (B + \bar{B}) = \bar{A}BC + \bar{A}\bar{B}C$$

lo que equivale a colocar, para dicho término $\bar{A}C$, 1s en las celdas correspondientes a 011 y 001.

6.3.3 Simplificación mediante mapas de Karnaugh

Una vez que se ha creado el mapa de Karnaugh a partir de la ecuación booleana o de la tabla de verdad, comienza el proceso de simplificación, mediante la agrupación de los 1s presentes en el mapa. Las reglas a seguir para la agrupación de celdas con 1s son las siguientes:

1. Un grupo debe contener 1, 2, 4 u 8 celdas para una función booleana de 3 variables, ó 1, 2, 4, 8 ó 16 celdas en el caso de una función booleana de 4 variables.
2. Cada celda de un grupo tiene que ser adyacente a una o más celdas del mismo grupo, pero no todas las celdas del grupo tienen que ser adyacentes entre sí.
3. Los grupos se deben formar con el mayor número posible de 1s de acuerdo con la regla 1.
4. Cada 1 del mapa tiene que estar incluido en al menos un grupo. Los 1s que ya pertenezcan a un grupo pueden estar incluidos en otro, siempre que los grupos que se solapan contengan al menos un 1 no común.

- a) Un grupo formado por 2^m celdas da lugar a un término producto de $n-m$ variables, siendo n el número de variables totales, y $m = 0, 1, \dots, n-1$.
 - b) Un grupo formado por 2^n celdas indica que la expresión vale 1.
3. Los tamaños posibles de los grupos son los siguientes:
- a) Para grupos de 2 celdas, los tamaños pueden ser de 1 fila y 2 columnas (1×2) ó 2 filas y 1 columna (2×1).
 - b) Para grupos de 4 celdas, los tamaños pueden ser 1×4 , 4×1 ó 2×2 .
 - c) Para grupos de 8 celdas, los tamaños pueden ser 2×4 ó 4×2 .
4. Una vez obtenidos todos los términos producto mínimos a partir del mapa de Karnaugh, se suman para obtener la expresión de suma de productos mínima.

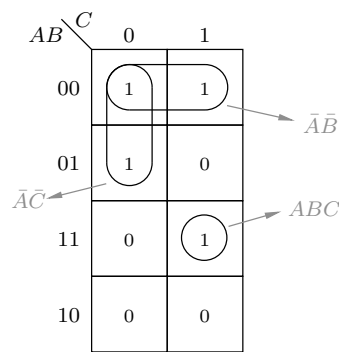
Aplicando las reglas anteriores a las expresiones de la Figura 6.11, se obtienen las simplificaciones mediante mapas de Karnaugh representadas en la Figura 6.12. Para el caso de 3 variables (Figura 6.12(a)), los grupos formados son los siguientes:

- El primer grupo se forma con los 1s de las celdas $(ABC) = 000$ y 010 , ya que son adyacentes. Aparecen las variables B y \bar{B} , por lo que éstas se eliminan y queda el término $\bar{A}\bar{C}$.
- El segundo grupo se forma con los 1s de las celdas 000 y 001 . Al contener este grupo las variables C y \bar{C} , éstas se anulan, quedando finalmente el término $\bar{A}\bar{B}$.
- El tercer grupo contiene un único 1, que corresponde a la celda $(ABC) = 111$, lo que a su vez equivale al minitérmino ABC .

Finalmente, la expresión simplificada corresponde a la suma de los términos correspondientes a los tres grupos anteriores, $F_1 = \bar{A}\bar{C} + \bar{A}\bar{B} + ABC$, que ya no se puede seguir simplificando.

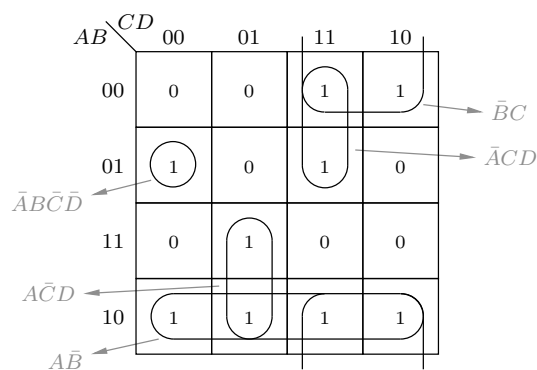
Para el caso de 4 variables (Figura 6.12(b)), los grupos formados son los siguientes:

- El primer grupo contiene un único 1, que corresponde a la celda $(ABCD) = 0100$, lo que equivale al minitérmino $\bar{A}\bar{B}\bar{C}\bar{D}$.
- El segundo grupo contiene los 1s de las celdas 1101 y 1001 ; se anulan por tanto las variables B y \bar{B} , resultando el término $\bar{A}\bar{C}\bar{D}$.
- El tercer grupo está formado por cuatro 1s, los de las celdas 1000 , 1001 , 1011 , y 1010 . En este caso aparecen las variables C , \bar{C} , D y \bar{D} , por lo que éstas se eliminan y queda el término correspondiente a las dos variables restantes: $\bar{A}\bar{B}$.
- El cuarto grupo lo forman los 1s de las celdas 0011 , 0010 , 1011 , y 1010 . Las variables repetidas son ahora A , \bar{A} , D y \bar{D} , con lo que el término resultante es $\bar{B}\bar{C}$.



$$F_1 = \bar{A}\bar{C} + \bar{A}\bar{B} + ABC$$

(a)



$$F_2 = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{C}D + \bar{A}\bar{B} + \bar{B}C + \bar{A}CD$$

(b)

Figura 6.12: Simplificación mediante mapas de Karnaugh de las expresiones de la Figura 6.11: (a) Mapa de 3 variables. b) Mapa de 4 variables.

- El quinto grupo se forma con los 1s de las celdas 0011 y 0111; se eliminan las variables B y \bar{B} , y el término resultante corresponde a $\bar{A}CD$.

Así, finalmente, la forma simplificada de la expresión F_2 es: $F_2 = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{C}D + \bar{A}\bar{B} + \bar{B}C + \bar{A}CD$.

Condiciones indiferentes. En algunos circuitos existen algunas combinaciones de las variables de entrada que no están permitidas (por ejemplo, los códigos 1010, 1011, 1100, 1101, 1110 y 1111 en el código BCD 8421). Dado que estas combinaciones *prohibidas* no van a aparecer nunca como entrada en un circuito en el que no estén permitidas, se considera a estos términos como *indiferentes* con respecto a su efecto en la salida. Esto significa que el diseñador puede asignar a la salida de estos términos un 1 o un 0, dado que no se van a generar nunca.

Los términos indiferentes pueden utilizarse para simplificar aún más el circuito mediante el método de los mapas de Karnaugh. Cada celda del mapa de Karnaugh que corresponda a un término indiferente se representa por el símbolo X , y puede considerarse un 1 o un 0, según convenga. En caso de que la utilización de una de estas celdas permita ampliar un grupo de 1s, se considera que esta celda contiene un valor $X = 1$, con lo que se obtiene un término más sencillo (al ser el grupo formado más grande). En caso de que no se consiga utilizar para formar un grupo más grande, se considera que la celda contiene un valor $X = 0$, no generando así un nuevo término.

La Figura 6.13 muestra un ejemplo de simplificación de una tabla de verdad en la que aparecen condiciones indiferentes. En la Figura 6.13(a) la simplificación se ha realizado sin aprovechar las condiciones indiferentes, obteniendo que la expresión resultante es igual a $F = \bar{A}\bar{B}\bar{C}\bar{D} + AB + BC\bar{D} + AC\bar{D}$, con 12 literales. En cambio, al utilizar las condiciones indiferentes (Figura 6.13(b)), es posible utilizar el término X de la celda 0010 para formar un grupo de cuatro elementos (celdas 0010, 0110, 1110, y 1010), por lo que se le asigna el valor $X = 1$. De forma similar, se puede utilizar también el término X de la celda 1000 para formar un grupo de cuatro: 1000, 0000, 0010, y 1010, haciendo también $X = 1$. La indiferencia restante (celda 0101) no es posible aprovecharla para formar un grupo más grande; en caso de asignarle el valor 1 generaría un grupo más (BCD), por lo que para evitar esto se le asigna el valor $X = 0$. La expresión así obtenida es $F = \bar{B}\bar{D} + AB + C\bar{D}$, que, con 6 literales, resulta más sencilla que la obtenida sin emplear condiciones indiferentes.

Cuestiones y Ejercicios Resueltos

Ej. 163 — ¿Qué ventajas aporta la simplificación de un circuito lógico?

Solución (Ej. 163) — Se obtiene un circuito que realiza la misma función pero con un número menor de puertas y/o conexiones, lo que suele resultar en menor área ocupada, menor consumo o mayor frecuencia máxima de funcionamiento.

Ej. 164 — Simplificar algebraicamente las expresiones F_1 y F_2 de la Figura 6.11.

Solución (Ej. 164) — La expresión $F_1 = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}B\bar{C} + ABC$ se puede expresar, sacando factor común $\bar{A}\bar{B}$, como: $F_1 = \bar{A}\bar{B}(\bar{C} + C) + \bar{A}B\bar{C} + ABC$. El paréntesis equivale a 1, según el postulado de complementario de la Tabla 5.2, por lo que finalmente queda: $F_1 = \bar{A}\bar{B} + \bar{A}B\bar{C} + ABC$.

La expresión $F_2 = \bar{A}\bar{B}CD + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}BCD + AB\bar{C}D + A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D + A\bar{B}CD + A\bar{B}C\bar{D}$ se puede simplificar siguiendo estos pasos:

Los 4 últimos sumandos, que contienen $A\bar{B}$, se pueden simplificar como: $A\bar{B}\bar{C}(\bar{D} + D) + A\bar{B}C(\bar{D} + D) = A\bar{B}\bar{C} + A\bar{B}C = A\bar{B}(\bar{C} + C) = A\bar{B}$.

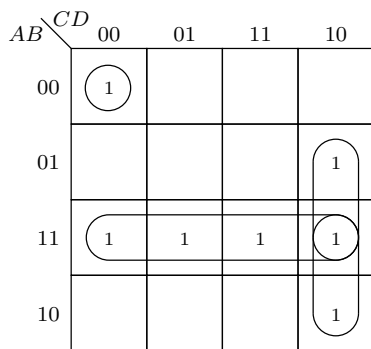
Se tiene también el término $AB\bar{C}\bar{D}$, que sumado al término $A\bar{B}\bar{C}\bar{D}$ (el cual hay que duplicar), queda como: $AB\bar{C}\bar{D} + A\bar{B}\bar{C}\bar{D} = A\bar{C}\bar{D}(B + \bar{B}) = A\bar{C}\bar{D}$.

De forma similar, los términos $\bar{A}BCD + \bar{A}B\bar{C}D$ se simplifican como: $\bar{A}CD(\bar{B} + B) = \bar{A}CD$.

Si se consideran ahora los términos 1º, 2º, penúltimo y último, que tienen en común el factor $\bar{A}\bar{B}C$, la expresión simplificada de estos términos sería la siguiente: $\bar{A}\bar{B}CD +$

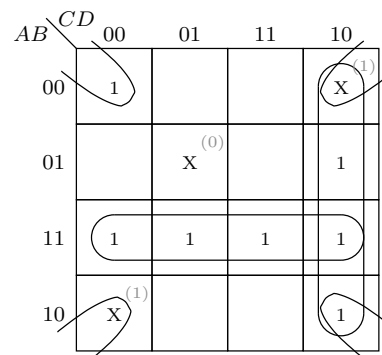
<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>F</i>
0	0	0	0	1
0	0	0	1	0
0	0	1	0	X
0	0	1	1	0
0	1	0	0	0
0	1	0	1	X
0	1	1	0	1
0	1	1	1	0
1	0	0	0	X
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

(a)



$$F = \bar{A}\bar{B}\bar{C}\bar{D} + AB + BC\bar{D} + AC\bar{D}$$

(b)



$$F = \bar{B}\bar{D} + AB + C\bar{D}$$

(c)

Figura 6.13: Condiciones indiferentes en los mapas de Karnaugh: (a) Tabla de verdad. (b) Simplificación sin utilizar las condiciones indiferentes. (c) Simplificación aprovechando las condiciones indiferentes.

$$\bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}C\bar{D} = \bar{B}\bar{C}(\bar{A}\bar{D} + \bar{A}\bar{D} + AD + A\bar{D}) = \bar{B}\bar{C}.$$

Por tanto, la expresión simplificada queda finalmente como: $F_2 = A\bar{B} + A\bar{C}D + \bar{A}C\bar{D} + \bar{B}C + \bar{A}\bar{B}\bar{C}\bar{D}$.

Ej. 165 — Simplificar la expresión $F = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}BC\bar{D} + \bar{A}B\bar{C}D + \bar{A}BCD + ABC\bar{D} + \bar{A}BCD$ empleando los mapas de Karnaugh.

Solución (Ej. 165) — El mapa de Karnaugh correspondiente a la expresión del enunciado se muestra en la Figura 6.14. La expresión simplificada corresponde a: $F = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}BD + CD + AB\bar{D}$.

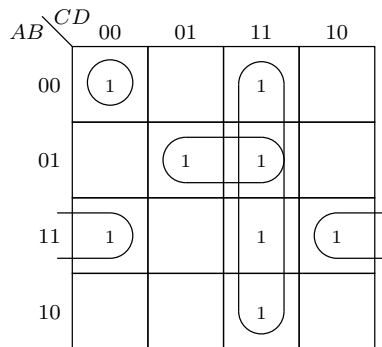


Figura 6.14: Mapa de Karnaugh del ejercicio 165.

Ej. 166 — Simplificar mediante mapas de Karnaugh la expresión dada por la tabla de verdad de la Figura 6.15

A	B	C	D	F
0	0	0	0	X
0	0	0	1	0
0	0	1	0	0
0	0	1	1	X
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	X
1	0	0	0	0
1	0	0	1	0
1	0	1	0	X
1	0	1	1	1
1	1	0	0	X
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

Figura 6.15: Tabla de verdad del ejercicio 166.

Solución (Ej. 166) — El mapa de Karnaugh correspondiente a la expresión del enunciado se muestra en la Figura 6.16. La expresión simplificada resulta ser: $F = \bar{A}B + B\bar{D} + A\bar{B}C$.

	CD	00	01	11	10
AB	00	X		X	
	01	1	1	X	1
	11	X			1
	10			1	X

Figura 6.16: Mapa de Karnaugh del ejercicio 166.

6.4 Síntesis de circuitos lógicos

La síntesis de un circuito es el proceso por el que se pasa de una descripción a nivel comportamental en un determinado nivel de diseño, a una descripción estructural en un nivel de diseño inferior. En muchos casos, la descripción del comportamiento de un circuito viene expresada en forma de función lógica o tabla de verdad; en estos casos, la síntesis del circuito consiste en encontrar una estructura de puertas lógicas que realice la función indicada por su función lógica o tabla de verdad.

Para una determinada descripción de un circuito, su síntesis no tiene un único resultado, sino que es posible describir el comportamiento de dicho circuito mediante una gran variedad de estructuras de puertas lógicas, dependiendo de qué objetivo se quiera optimizar (área, consumo, retardo, ...). Por tanto, la síntesis está muy relacionada con el cumplimiento de determinados objetivos para satisfacer las especificaciones iniciales del circuito.

A continuación se describe la síntesis de circuitos combinacionales empleando puertas lógicas básicas. Se supondrá que el comportamiento del circuito viene descrito por una expresión booleana, aunque no tiene por qué estar en su forma canónica. En caso de que el comportamiento del circuito venga descrito por su tabla de verdad, habría que obtener en primer lugar su ecuación booleana, como se indicó en la sección 6.2.3.

6.4.1 Circuitos lógicos combinacionales básicos

La síntesis de los circuitos combinacionales se debe realizar a partir de las puertas lógicas de que disponga la biblioteca del diseñador. Por lo general, se suele disponer de puertas sencillas (AND, OR, NAND, NOR, NOT (inversores), OR-exclusiva, NOR-exclusiva), pudiendo tener diferente número de entradas (excepto en el caso de los inversores). En ocasiones también se dispone de algunas puertas más complejas, como la puerta AOI (*AND-OR-Invert*).

Una de las opciones más habituales es utilizar puertas lógicas de tipo AND, OR y NOT, pues con ellas se puede implementar cualquier función lógica combinatorial. Otra opción, generalmente más eficiente, es utilizar puertas NAND y/o NOR, ya que con cada una de estas puertas se puede implementar cualquier circuito combinatorial. A continuación se describen ambas soluciones.

Lógica AND-OR-NOT. Las puertas lógicas AND, OR y NOT (inversor) implementan, respectivamente, las operaciones lógicas del producto, suma, y la inversión o negación de una variable. Su principal ventaja es que la correspondencia entre la expresión booleana de un circuito y su estructura de puertas es directa, al implementar cada tipo de puerta una operación lógica. Sin embargo, en muchas ocasiones, el diseño resultante necesita un número mayor de puertas que si se hubieran empleado otro tipo de puertas, como las NAND y/o NOR.

Lógica NAND-NOR. Los circuitos lógicos también se pueden implementar utilizando puertas NAND y/o NOR, debido a la propiedad universal de estas puertas. Esta propiedad significa que una puerta NAND puede utilizarse como un inversor y que pueden emplearse combinaciones de la puerta NAND para implementar las operaciones AND, OR y NOR (y también las puertas OR-exclusiva y NOR-exclusiva), aplicando los teoremas, reglas y leyes del álgebra de Boole (Sección 5.2). En la Figura 6.17 se muestra como ejemplo la implementación de puertas NOT, AND, OR y NOR a partir de puertas NAND. De forma similar se puede emplear una puerta NOR para implementar cualquier otro tipo de puertas lógicas (inversores, AND, OR, NAND, ...).

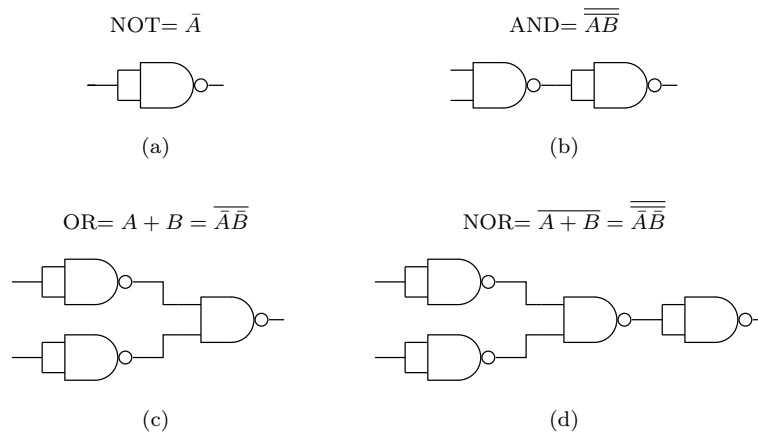


Figura 6.17: Implementación de puertas lógicas a partir de puertas NAND.

La síntesis de circuitos empleando puertas NAND y/o NOR presenta como ventaja, respecto a la implementación con puertas AND-OR-NOT, que usualmente resulta en un diseño más compacto, con menor número de puertas y conexiones. En cambio, la interpretación visual del circuito ya no suele ser tan intuitiva, puesto que al aplicar los teoremas y reglas booleanas, las operaciones implementadas en

las puertas ya no corresponden a las operaciones originales en la expresión booleana (por ejemplo, las sumas se transforman en productos al aplicar los teoremas de De Morgan, y viceversa).

Un motivo adicional para preferir la síntesis de circuitos mediante puertas NAND-NOR se encuentra el ahorro de área que supone la utilización de estas puertas en determinadas tecnologías, como la CMOS, donde para sintetizar una puerta NOR o NAND se necesitan 4 transistores, mientras que para sintetizar una puerta OR o AND son necesarios 6 transistores (4 para la puerta NAND/NOR más 2 para el inversor necesario para negar la salida). Además, las puertas NAND suelen preferirse a las puertas NOR, debido a que a igualdad de área, las puertas NAND resultan más rápidas que las NOR (o a igualdad de retardos, las puertas NOR necesitan mayor área que las NAND).

Lógica en modo mezclado. Se acaba de ver cómo sintetizar circuitos o bien empleando puertas AND-OR-NOT, o bien mediante puertas NAND-NOR. En ambos casos se han indicado las ventajas e inconvenientes de cada método. La *lógica en modo mezclado* trata de aprovechar las ventajas de los dos casos anteriores, mediante la utilización de puertas NAND-NOR (diseño más compacto pero interpretación más difícil), y la implementación de las funciones lógicas con su símbolo correspondiente (AND para el producto, OR para la suma).

La clave está en separar la función que realizan estas puertas (producto/suma) de la negación, con lo que permite asociar visualmente operaciones de tipo producto a puertas NAND y operaciones de tipo suma a puertas NOR. La inversión de las puertas NAND y NOR se implementa entonces como un cambio de lógica o de polaridad de señal, hablando así de señal a nivel alto (subíndice H) o a nivel bajo (subíndice L). También utiliza las propiedades equivalente de las puertas NAND y NOR, al aplicar los teoremas de De Morgan:

- Una puerta NAND es equivalente a una puerta OR con sus entradas negadas (aplicación del teorema $\overline{A \cdot B} = \bar{A} + \bar{B}$).
- Una puerta NOR es equivalente a una puerta AND con sus entradas negadas (aplicación del teorema $\overline{A + B} = \bar{A} \cdot \bar{B}$).

La Figura 6.18 muestra la equivalencia entre estas puertas. Se observa cómo, por ejemplo, una puerta NAND se representa con un símbolo de tipo producto (AND) cuyas entradas son A_H y B_H y su salida es $Y_L = (A \cdot B)_L$ (es decir, la negación de la puerta NAND se implementa como un cambio de lógica en los subíndices). También se puede representar con un símbolo de tipo suma (OR) en el que las entradas llegan con lógica negada (A_L y B_L) y su salida corresponde a $Y_H = (A + B)_H$. En el caso del inversor, su función inversora se puede interpretar como un cambio en la lógica del subíndice ($A_H = A_L$) o de la forma usual, empleando la barra sobre el literal para indicar la inversión ($A_H = \bar{A}_H$). Por último, una señal A_H es equivalente a la señal \bar{A}_L , ya que las dos inversiones (la barra sobre el literal y el cambio de subíndice) se anulan.

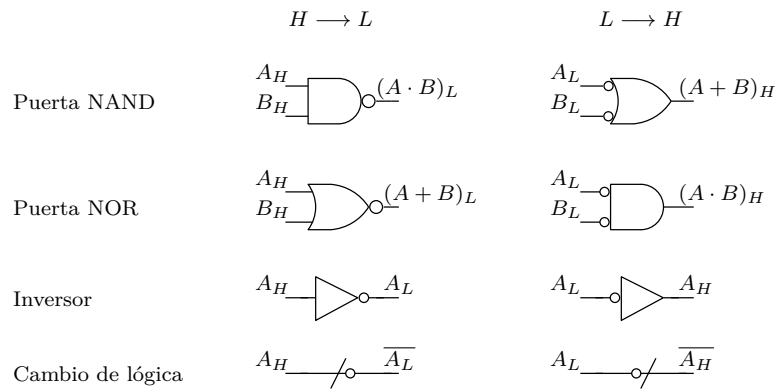


Figura 6.18: Equivalencia de puertas en la lógica en modo mezclado.

6.4.2 Síntesis de lógica combinacional

Para realizar la síntesis de circuitos combinacionales es necesario conocer la biblioteca de puertas lógicas disponible, ya que la estructura del circuito depende en última instancia tanto de las funciones disponibles como de su *fan-in* o número de entradas. Por ejemplo, en caso de tener que sumar tres sumandos ($Y = A + B + C$), si se dispone de puertas OR de tres entradas (OR3), se puede utilizar una sola puerta para obtener el resultado, mientras que si sólo se dispone de puertas OR de dos entradas (OR2) habrá que realizar la suma en dos niveles: primero se suman, por ejemplo, $X = A + B$, y una segunda puerta OR2 suma el resultado anterior, X , con el literal restante, C : $Y = X + C = A + B + C$.

En el caso de disponer de puertas AND, OR, e inversores, la implementación del circuito se realiza traduciendo de forma directa cada operación *producto* por una puerta AND, cada operación *suma* por una puerta OR, y cada señal negada o invertida por un inversor. Por ejemplo, si se desea implementar la función $F = \bar{D} + \bar{A}BC + \bar{A}\bar{B}$ empleando puertas AND2, OR2 y NOT, una solución puede ser la indicada en la Figura 6.19. En esta figura se observa cómo, por ejemplo, el producto ABC , de tres literales, se ha realizado en dos fases: primero se ha realizado la operación AND entre las entradas A y B , y posteriormente al resultado se le ha aplicado la operación AND con la entrada C . A continuación, dos inversores complementan los términos ABC y D , que se suman de forma lógica mediante una puerta OR2, obteniendo el término $\overline{ABC} + \bar{D}$. El término $\bar{A}\bar{B}$ se obtiene complementando en primer lugar las entradas A y B , y realizando a continuación la operación AND entre ambas señales invertidas. Finalmente, una puerta OR suma los términos $\overline{ABC} + \bar{D}$ y $\bar{A}\bar{B}$, obteniendo el resultado buscado. En este caso, el número de puertas utilizado ha sido de 4 inversores, 3 puertas AND2, y 2 puertas OR2.

Si la biblioteca de funciones dispone de puertas NAND y/o NOR, la síntesis realizada con estas puertas puede en algunos casos reducir el número de puertas y/o la profundidad de la red (el número de puertas que deben atravesar las señales desde las entradas hasta las salidas). Así, para implementar la función F anterior empleando puertas NAND2 y NOR2 es aconsejable utilizar los teoremas de De Mor-

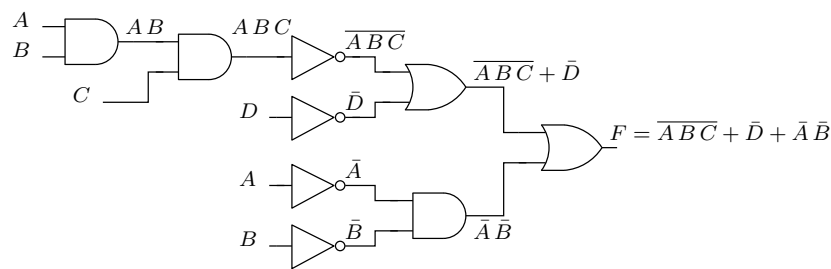


Figura 6.19: Síntesis de la función $F = \bar{D} + \overline{ABC} + \bar{A}\bar{B}$ utilizando puertas AND, OR e inversores.

gan para reducir el número de puertas. En la Figura 6.20 se ha obtenido el término ABC mediante dos puertas NAND2 (junto con los inversores correspondientes). Al realizar la operación NAND de este término con la entrada D se obtiene $\overline{(ABC)D}$, que, aplicando las leyes de De Morgan, es equivalente a $\overline{ABC} + \bar{D}$, que a su vez corresponde a los dos primeros sumandos de la función que se pretende sintetizar. El término restante ($\bar{A}\bar{B}$) se obtiene realizando la operación NOR a las entradas A y B , obteniéndose el término $\overline{A+B}$, que resulta equivalente, al aplicar las leyes de Morgan, a $\bar{A}\bar{B}$. Finalmente, los términos obtenidos se suman mediante una puerta NOR, con lo que se obtiene a su salida la inversa de la función objetivo (\bar{F}). Un último inversor complementa esta señal para obtener así la señal F . Las puertas utilizadas en esta implementación han sido: 3 inversores, 3 puertas NAND2, y 2 puertas NOR2.

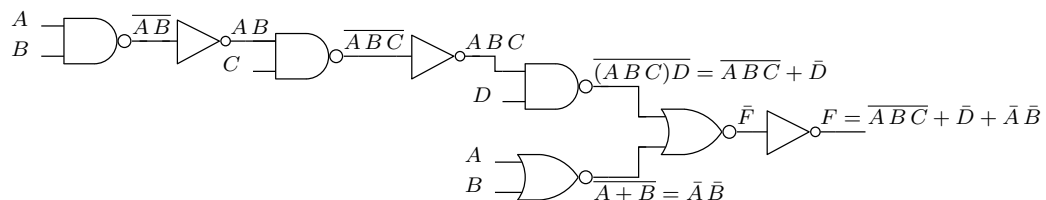


Figura 6.20: Síntesis de la función $F = \bar{D} + \overline{ABC} + \bar{A}\bar{B}$ utilizando puertas NAND y NOR.

Finalmente, al emplear la lógica en modo mezclado hay que tener en cuenta las equivalencias mostradas en la Figura 6.18, y disponer las puertas lógicas de forma que se vayan alternando puertas con entrada H y salida L con puertas con entrada L y salida H , para tratar en lo posible de ahorrar inversores. Como ejemplo, la Figura 6.21 muestra una solución para la síntesis de la función $F = \bar{D} + \overline{ABC} + \bar{A}\bar{B}$ anterior utilizando este tipo de lógica con puertas NAND2 y NOR2. Se observa cómo en este caso los símbolos de las puertas reflejan siempre la operación realizada (las puertas NAND y AND equivalen al producto, mientras que las puertas NOR y OR equivalen a la suma). También se observa cómo la complementación que realizan

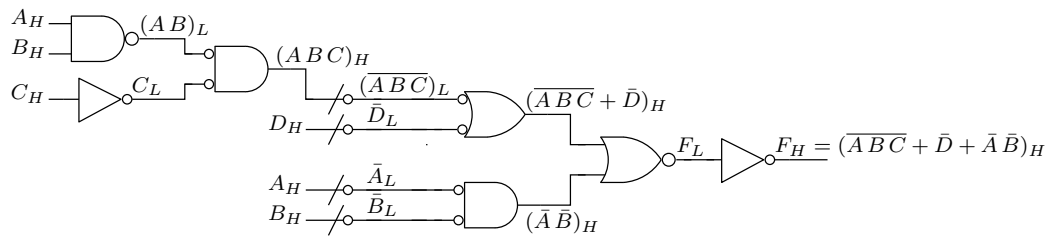


Figura 6.21: Síntesis de la función $F = \bar{D} + \overline{ABC} + \bar{A}\bar{B}$ utilizando lógica en modo mezclado.

las puertas se indica cambiando del subíndice H al L y viceversa.

Por ejemplo, tras la primera puerta NAND2 se obtiene el producto AB ; la inversión que realiza la puerta NAND se indica cambiando del subíndice H de las entradas al subíndice L de la salida de esta puerta. A continuación, se necesita el producto del término anterior con la variable C . Puesto que el término AB se encuentra con subíndice L , se tiene que expresar la variable C con subíndice L también (ya que para operar con dos o más señales, éstas tienen que tener el mismo subíndice); esto se consigue mediante un inversor, con el que se pasa de C_H a C_L . Para implementar el producto entre AB y C se utiliza entonces el símbolo de multiplicación (AND), con sus entradas negadas, puesto que las señales llegan con subíndice L . El símbolo utilizado corresponde al símbolo alternativo de una puerta NOR.

Más adelante se requiere implementar la operación $\overline{ABC} + \bar{D}$. Se emplea entonces una puerta de tipo suma. Puesto que se parte de las señales $(ABC)_H$ y D_H , mediante un cambio de lógica (sin emplear ninguna puerta), estas señales resultan equivalentes a $(\overline{ABC})_L$ y \bar{D}_L , respectivamente. La puerta de tipo suma que se emplea es en realidad una puerta NAND, en su símbolo equivalente (al llegar a su entrada señales con el subíndice L , la puerta debe tener los círculos que indican negación en sus entradas, en lugar de en su salida), y su salida tendrá subíndice H .

Algo similar ocurre con el término $\bar{A}\bar{B}$. Las señales de entrada, A_H y B_H , son equivalentes, respectivamente, a \bar{A}_L y \bar{B}_L . Al disponer ya de las señales A_L y B_L , éstas se multiplican, usando para ello una puerta de tipo producto con las negaciones en sus entradas (ya que recibe señales con subíndices L), que corresponde en realidad a una puerta NOR, en su símbolo equivalente. El resultado es $(\bar{A}\bar{B})_H$. Esta señal se suma entonces con el término $(\overline{ABC} + \bar{D})_H$ obtenido anteriormente. Al tener ambas señales subíndices H , se pueden sumar con una puerta NOR2, cuyo símbolo realiza la función de suma y recibe señales con subíndice H . La salida de esta puerta es el complemento del resultado buscado, F_L . Para obtener la señal deseada, F_H , será necesario utilizar un último inversor. En este caso, se han empleado 2 inversores, 2 puertas NAND2, y 3 puertas NOR2.

Cuestiones y Ejercicios Resueltos

Ej. 167 — ¿Qué ventajas aporta la lógica en modo mezclado a la hora de sintetizar circuitos?

Solución (Ej. 167) — Las ventajas que la síntesis con esta lógica suele aportar son principalmente dos: 1) los circuitos resultan más compactos (con menor número de puertas respecto a otras aproximaciones de síntesis), y 2) visualmente resultan más sencillos que los sintetizados utilizando puertas NAND y NOR, ya que las funciones booleanas se corresponden con los símbolos de las puertas lógicas utilizadas.

Ej. 168 — Sintetizar la expresión del acarreo de salida (C_{out}) de un sumador completo (ver Figura 8.3) empleando: a) lógica AND-OR-NOT, b) lógica NAND-NOR, c) lógica en modo mezclado.

Solución (Ej. 168) — La expresión del acarreo de salida es: $C_{out} = AB + C_{in}(A + B)$. La síntesis a partir de las lógicas indicadas en el enunciado se muestra en las Figuras 6.22 (lógica AND-OR-NOT), 6.23 (lógica NAND-NOR), y 6.24 (lógica en modo mezclado).

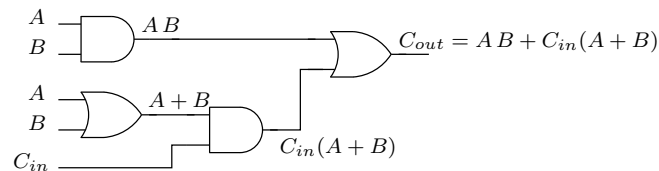


Figura 6.22: Síntesis del ejercicio 168 empleando la lógica AND-OR-NOT.

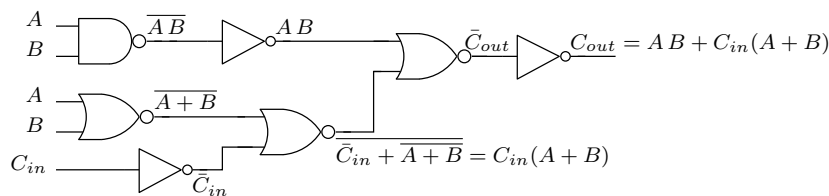


Figura 6.23: Síntesis del ejercicio 168 empleando la lógica NAND-NOR.

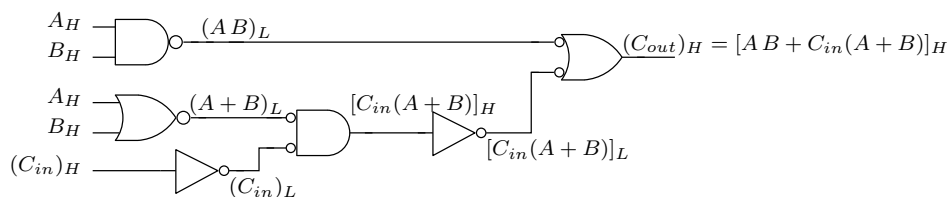


Figura 6.24: Síntesis del ejercicio 168 empleando la lógica en modo mezclado.

Cuestiones y Ejercicios Propuestos

Ej. 169 — Obtener la expresión booleana de una puerta XOR.

Ej. 170 — Simplificar el circuito de la Figura 6.9(a) empleando mapas de Karnaugh.

Ej. 171 — Sintetizar las funciones inversor (NOT), AND2, NAND2 y OR2 empleando únicamente puertas NOR de 2 entradas.

Ej. 172 — Un circuito de 4 variables de entrada tiene su salida igual a 1 para aquellos casos en los que hay un número par de 1s a la entrada. Determinar su tabla de verdad, simplificar la expresión booleana resultante, y sintetizar el circuito simplificado empleando cualquier tipo de puerta lógica básica de 2 entradas.

Ej. 173 — Sintetizar la expresión de la suma de un sumador completo (ver Figura 8.3) empleando: a) lógica AND-OR-NOT, b) lógica NAND-NOR, c) lógica en modo mezclado.

Funciones Combinacionales no Aritméticas

7.1 Introducción

Las relaciones entre las entradas y una salida de un circuito digital se puede expresar mediante una función lógica. Una función lógica combinacional define un circuito lógico cuya salida en un instante dado depende exclusivamente del valor de las entradas en ese instante, sin implicar almacenamiento.

En este capítulo, se presentan distintos tipos de circuitos lógicos combinacionales no aritméticos que permiten realizar operaciones de comparación (*mayor que*, *igual que* y *menor que*), operaciones de codificación y decodificación (conversión entre diferentes códigos) y operaciones de interconexión (multiplexores, demultiplexores y buses).

Las siguientes secciones describen cómo se pueden construir estos circuitos a partir de puertas lógicas y se detalla el funcionamiento de algunos circuitos lógicos combinacionales integrados MSI (*Medium Scale Integration*, integración de media escala).

7.2 Comparadores de magnitud

7.2.1 Concepto

En los lenguajes de programación se utiliza frecuentemente la función de comparación de dos números binarios definidos, por ejemplo, por las letras A y B . Un comparador es un circuito lógico combinacional que compara dos números binarios A y B , y produce salidas que realizan operaciones básicas tales como *mayor que* ($A > B$), *igual que* ($A = B$) y *menor que* ($A < B$). El resultado de estas operaciones es una variable binaria de salida que toma el valor 0 (nivel lógico bajo, definido también mediante la letra L de *Low*) o 1 (nivel lógico alto, definido también mediante la letra H de *High*).

7.2.2 Implementación de un comparador básico mediante puertas lógicas

En esta sección, se describe cómo diseñar un comparador que compara dos números binarios A y B para producir una salida que realiza la operación básica *igual que* ($A = B$). El resultado de esta operación es una variable binaria O que tomará el valor H cuando se cumpla la igualdad ($A = B$) y L cuando no se cumpla la igualdad ($A \neq B$).

De este modo, considerando, por ejemplo, dos números binarios de cuatro bits ($A_3 A_2 A_1 A_0$) y ($B_3 B_2 B_1 B_0$), se puede emplear el circuito de la Figura 7.1 como comparador básico. La puerta AND establece la condición de igualdad:

- Si todos los bits son iguales, todas las salidas de las puertas NOR-exclusiva estarán al nivel lógico alto (H) y, por consiguiente, $O = H$ ($A = B$).
- Si uno o varios bits no son iguales, una o varias salidas de la(s) puerta(s) NOR-exclusiva estará(n) al nivel lógico bajo (L) y, por consiguiente, $O = L$ ($A \neq B$).

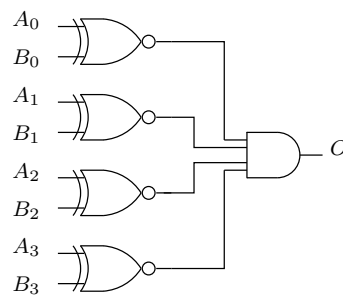


Figura 7.1: Esquema lógico de un comparador de magnitud básico de cuatro bits.

7.2.3 Comparador integrado

Además de indicar si los dos números binarios son iguales, los circuitos integrados comparadores de dos números binarios A y B tienen salidas adicionales que permiten realizar operaciones que indican cuál de los dos números binarios es el mayor. De este modo, el circuito integrado posee una salida que indica cuándo el número A es mayor que el número B ($A > B$), otra salida que indica cuándo el número A es igual al número B ($A = B$) y, finalmente, una salida que indica cuándo el número A es menor que el número B ($A < B$).

Si se considera por ejemplo el comparador de magnitud integrado 7485 (disponible en distintas familias lógicas) representado en la Figura 7.2, observe que éste permite comparar dos números binarios A y B de cuatro bits. Además de las salidas adicionales anteriores, también tiene tres entradas ($A > B$, $A = B$, $A < B$) que permiten conectar varios comparadores en cascada. Para ampliar el comparador a números binarios de más de cuatro, se debe activar con un nivel lógico alto (H) la entrada $A = B$ y desactivar con un nivel lógico bajo (L) las otras dos entradas ($A > B$, $A < B$) del comparador de los bits menos significativos (LSB, *Least Significant Bit*). Las salidas ($A > B$, $A = B$, $A < B$) del comparador de los bits LSB se conectan en cascada con las entradas ($A > B$, $A = B$, $A < B$) del comparador de los bits del siguiente orden, y así tantas veces sea necesario para completar la ampliación.

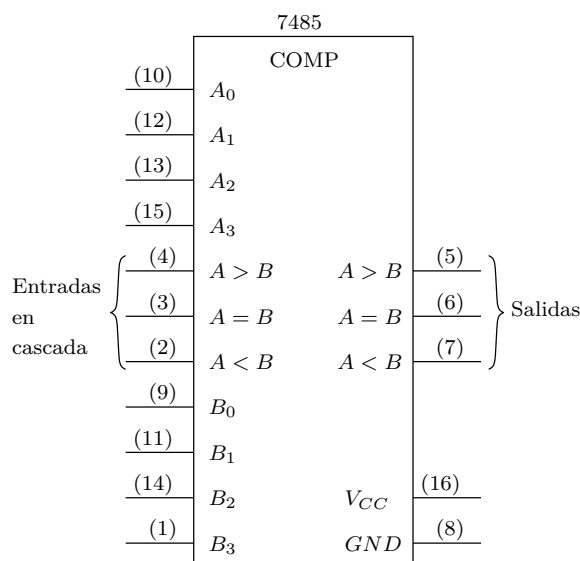


Figura 7.2: Símbolo lógico del comparador de magnitud integrado de cuatro bits 7485 (entre paréntesis se muestra la numeración de las patillas).

Cuestiones y Ejercicios Resueltos

Ej. 174 — Realice el montaje para comparar las magnitudes de dos números binarios de ocho bits mediante comparadores integrados 7485.

Solución (Ej. 174) — Para poder comparar dos números binarios de ocho bits mediante comparadores integrados de cuatro bits, es necesario conectar en cascada dos comparadores integrados 7485 como en el montaje de la Figura 7.3. A_0 y B_0 corresponden a los bits menos significativos (LSB, *Least Significant Bit*), y A_7 y B_7 corresponden a los bits más significativos (MSB, *Most Significant Bit*).

El comparador de menor orden debe tener un nivel lógico alto (H) en la entrada $A = B$ y un nivel lógico bajo (L) en las dos otras entradas ($A < B$ y $A > B$). Las salidas $A < B$, $A = B$ y $A > B$ del comparador de menor orden se conectan en cascada a las entradas correspondientes $A < B$, $A = B$ y $A > B$ del siguiente comparador.

Ej. 175 — Describa la operación de comparación de ocho bits de la Figura 7.3 para las dos palabras A y B siguientes:

$$A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0 = 10001111 \text{ y } B_7 B_6 B_5 B_4 B_3 B_2 B_1 B_0 = 10000111$$

Solución (Ej. 175) — El comparador de orden superior detecta que $A_7 A_6 A_5 A_4 = B_7 B_6 B_5 B_4$ y, por consiguiente, debe comparar las entradas del comparador de orden inferior. El comparador de orden inferior compara sus entradas $A_3 A_2 A_1 A_0 = 1111$ y $B_3 B_2 B_1 B_0 = 0111$, y activa la salida $O_{A>B}$ al nivel lógico alto (H) (las otras dos salidas están al nivel lógico bajo) y la entrada $I_{A>B}$ del comparador de orden

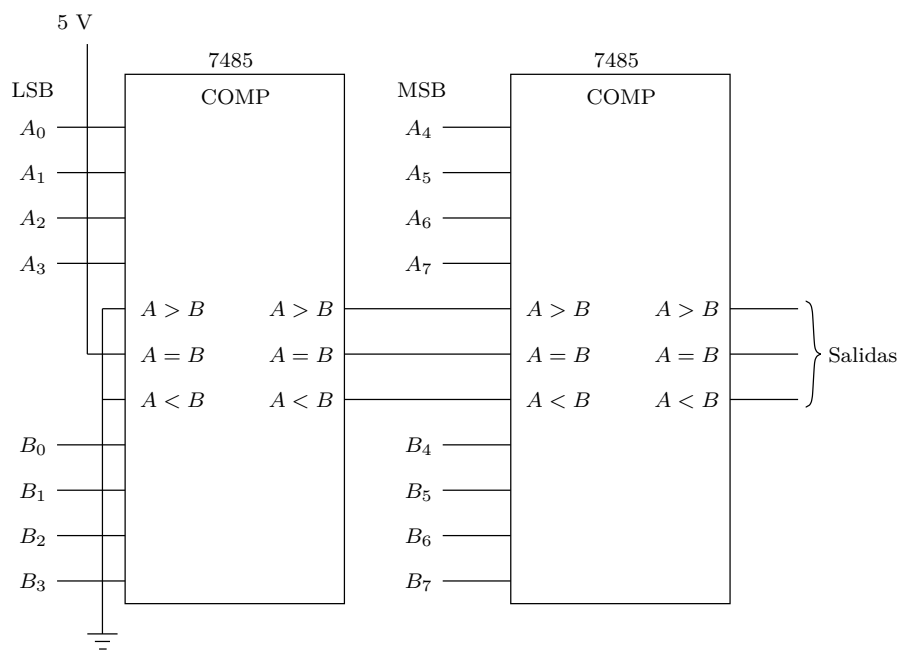


Figura 7.3: Implementación del comparador de ocho bits mediante dos circuitos integrados 7485.

superior. Dado que las entradas A y B del comparador de orden superior son iguales y que su entrada $I_{A>B}$ está activada, la salida del comparador de orden superior activará a nivel lógico alto (H) la salida $O_{A>B}$ como resultado de la comparación de ocho bits.

Ej. 176 — Describa la operación de comparación de ocho bits de la Figura 7.3 para las dos palabras A y B siguientes:

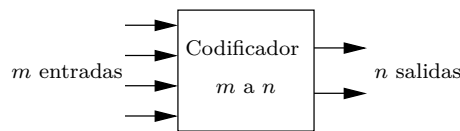
$$A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0 = 10001111 \text{ y } B_7 B_6 B_5 B_4 B_3 B_2 B_1 B_0 = 10010011$$

Solución (Ej. 176) — El comparador de orden superior compara sus entradas $A_7 A_6 A_5 A_4 = 1000$ y $B_7 B_6 B_5 B_4 = 1001$, y activa la salida $O_{A<B}$ al nivel lógico alto (H) (las otras dos salidas están al nivel lógico bajo), independientemente de los niveles lógicos que se apliquen en las entradas del comparador de orden inferior. Para este caso, el comparador sabe cuál de las dos palabras de ocho bits es mayor sin necesidad de comparar las entradas del comparador de orden inferior.

7.3 Codificadores

7.3.1 Concepto

Un codificador convierte una entrada no binaria en una salida codificada en binario. Un codificador (Figura 7.4) tiene un número m de entradas y un número n de salidas. Entre las m entradas sólo una de ella puede estar activada. El codificador convierte esta entrada activa en una salida binaria codificada como n bits.

Figura 7.4: Codificador binario m a n .

7.3.2 Implementación de un codificador decimal-BCD sin prioridad mediante puertas lógicas

Un codificador decimal-BCD, como el que se muestra en la Figura 7.5, posee diez líneas de entradas, correspondientes a cada dígito decimal de 0 a 9, y cuatro líneas de salidas relativas al código BCD. Éste es un codificador de 10 a 4. El código BCD (*binary-coded decimal*, decimal codificado binario) representa cada dígito decimal mediante su equivalente binario en cuatro bits con la ponderación 8 4 2 1.

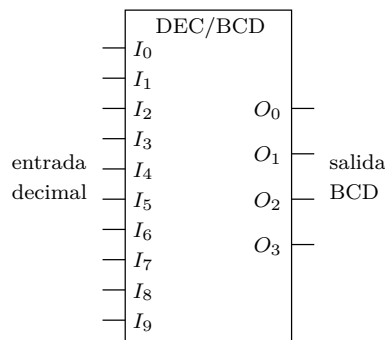


Figura 7.5: Símbolo lógico de un codificador decimal-BCD.

La Tabla 7.1 muestra la relación entre cada bit BCD ($O_0 - O_3$) y los dígitos decimales ($I_0 - I_9$). A partir de esta tabla de verdad, puede verse que el bit más significativo del código BCD, O_3 , es H para los dígitos decimales 8 (I_8) o 9 (I_9). La expresión lógica para el bit O_3 se puede escribir mediante una función OR:

$$O_3 = I_8 + I_9$$

El bit del código BCD, O_2 , es H para los dígitos decimales 4 (I_4), 5 (I_5), 6 (I_6) o 7 (I_7). La expresión lógica para el bit O_2 es:

$$O_2 = I_4 + I_5 + I_6 + I_7$$

El bit del código BCD, O_1 , es H para los dígitos decimales 2 (I_2), 3 (I_3), 6 (I_6) o 7 (I_7). La expresión lógica para el bit O_1 es:

$$O_1 = I_2 + I_3 + I_6 + I_7$$

Tabla 7.1: Tabla de verdad del codificador decimal-BCD sin prioridad.

Dígito Decimal										Código BCD			
I_9	I_8	I_7	I_6	I_5	I_4	I_3	I_2	I_1	I_0	O_3	O_2	O_1	O_0
L	L	L	L	L	L	L	L	L	H	L	L	L	L
L	L	L	L	L	L	L	L	H	L	L	L	L	H
L	L	L	L	L	L	L	H	L	L	L	L	H	L
L	L	L	L	L	L	H	L	L	L	L	L	H	H
L	L	L	L	L	H	L	L	L	L	L	H	L	L
L	L	L	L	H	L	L	L	L	L	L	H	L	H
L	L	L	H	L	L	L	L	L	L	L	H	H	L
L	L	H	L	L	L	L	L	L	L	L	H	H	H
L	H	L	L	L	L	L	L	L	L	L	H	L	L
H	L	L	L	L	L	L	L	L	L	L	H	L	H

El bit del código BCD, O_0 , es H para los dígitos decimales 1 (I_1), 3 (I_3), 5 (I_5), 7 (I_7) o 9 (I_9). La expresión lógica para el bit O_0 es:

$$O_0 = I_1 + I_3 + I_5 + I_7 + I_9$$

Para implementar el circuito que codifica cada dígito decimal al código BCD, se utilizan las expresiones lógicas desarrolladas previamente. La salida BCD se obtiene aplicando la función lógica OR a los dígitos decimales correspondientes. El diagrama lógico del codificador decimal-BCD está representado en la Figura 7.6.

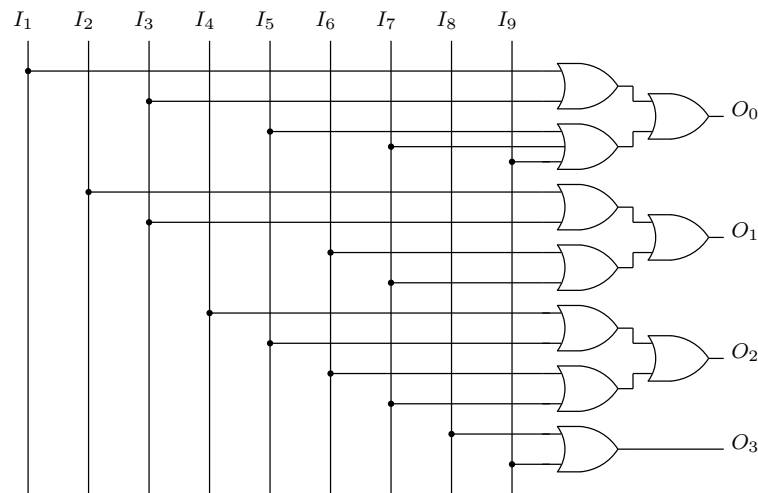


Figura 7.6: Diagrama lógico del codificador decimal-BCD.

Cuando se activa mediante un nivel lógico alto (H) una de las entradas, se obtienen los niveles lógicos apropiados en las cuatro salidas correspondientes al

código BCD. Por ejemplo, si la entrada 7 (I_7) está a nivel lógico alto (H) y las demás a nivel lógico bajo (L), se produciría un nivel lógico alto (H) en las salidas O_0 , O_1 y O_2 , y un nivel lógico bajo (L) en la salida O_3 , correspondientes al código BCD (L H H H) del número 7.

Si se analiza con más profundidad el diagrama lógico de la Figura 7.6, se puede observar que este codificador tiene algunos inconvenientes de funcionamiento. En efecto, si ninguna entrada está activada, el codificador genera un código igual al código generado por 0 (I_0) y, por consiguiente, es imposible saber cuándo la entrada 0 está activada. Por otro lado, si se activa más de una entrada, se generará en la salida un código BCD erróneo.

7.3.3 Codificador integrado

El circuito integrado 74147 (Figura 7.7) es un codificador decimal-BCD con prioridad. Tiene las entradas activas al nivel lógico bajo (L) para los dígitos decimales del 1 al 9 ($\bar{I}_1 - \bar{I}_9$), y cuatro salidas activas también al nivel lógico bajo (L) para el código BCD ($\bar{O}_0 - \bar{O}_3$). Cuando ninguna de las entradas está activada, se consigue una salida BCD nula. La condición de prioridad se refiere a que este circuito impide que una entrada correspondiente a un dígito de orden menor pueda perturbar la codificación del dígito de orden mayor. De este modo, si se activan por ejemplo los dígitos 2 y 7 al mismo tiempo, el circuito codificará en su salida el dígito de mayor orden (7).

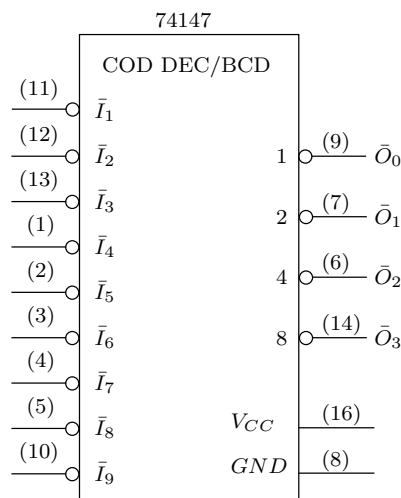


Figura 7.7: Símbolo lógico del codificador decimal-BCD con prioridad integrado 74147 (entre paréntesis se muestra la numeración de las patillas).

La Tabla 7.2 representa la tabla de verdad del codificador decimal-BCD con prioridad integrado 74147.

Dado que es un circuito integrado con todas sus entradas y salidas activas al nivel lógico bajo, el nivel lógico L corresponde con el nivel activo y el nivel lógico

Tabla 7.2: Tabla de verdad del codificador decimal-BCD con prioridad integrado 74147.

Dígito Decimal									Código BCD			
\bar{I}_9	\bar{I}_8	\bar{I}_7	\bar{I}_6	\bar{I}_5	\bar{I}_4	\bar{I}_3	\bar{I}_2	\bar{I}_1	\bar{O}_3	\bar{O}_2	\bar{O}_1	\bar{O}_0
H	H	H	H	H	H	H	H	H	H	H	H	H
L	X	X	X	X	X	X	X	X	L	H	H	L
H	L	X	X	X	X	X	X	X	L	H	H	H
H	H	L	X	X	X	X	X	X	H	L	L	L
H	H	H	L	X	X	X	X	X	H	L	L	H
H	H	H	H	L	X	X	X	X	H	L	H	L
H	H	H	H	H	L	X	X	X	H	L	H	H
H	H	H	H	H	H	L	X	X	H	H	L	L
H	H	H	H	H	H	H	L	X	H	H	L	H
H	H	H	H	H	H	H	H	L	H	H	H	L

H con el nivel inactivo. El nivel lógico X significa que puede tomar un nivel lógico bajo (L) o un nivel lógico alto (H), y que cualesquiera de los dos valores que tome, ese nivel lógico no condicionará el funcionamiento del circuito. Por ejemplo, si se activan al mismo tiempo los dígitos 3 (\bar{I}_3) y 7 (\bar{I}_7) con un nivel lógico bajo (L), el circuito codificará el dígito 7 de orden mayor, y el código BCD correspondiente será (H L L L).

Cuestiones y Ejercicios Resueltos

Ej. 177 — Un codificador proporciona en sus salidas activas al nivel lógico bajo los siguientes valores: $\bar{O}_3 \bar{O}_2 \bar{O}_1 \bar{O}_0 = \text{H H L L}$. ¿Cuál es su valor decimal?

Solución (Ej. 177) — Para obtener el valor decimal, tiene que hallar su complemento L L H H y aplicarle los pesos 8 4 2 1 en los bits correspondientes. Dado que O_1 y O_0 están activos y los demás inactivos, sólo tiene que sumar los pesos '2' y '1' para obtener su valor decimal. El resultado es 3.

Ej. 178 — ¿En un momento dado, un codificador puede tener una o varias entrada(s) activa(s) para producir una única salida?

Solución (Ej. 178) — Por definición, un codificador sólo puede tener una entrada activada en un momento dado. Sin embargo, existen circuitos con prioridad que permiten codificar la entrada de orden mayor en el caso de que más de una estén activadas.

Ej. 179 — Determine los estados de las salidas del codificador de la Figura 7.6 cuando I_5 e I_9 están simultáneamente activados en un nivel lógico alto (H).

Solución (Ej. 179) — El análisis de la Figura 7.6 con las entradas I_5 e I_9 simultáneamente en un nivel lógico alto (H) producen niveles lógicos altos (H) en las salidas O_0 , O_2 y O_3 , y un nivel lógico bajo en la salida O_1 . Es evidente que el có-

digo $O_3 O_2 O_1 O_0 = H H L H$ no corresponde al código de ninguna de las entradas activadas.

Ej. 180 — A partir de la Tabla 7.2, determine los estados de sus salidas cuando \bar{I}_4 , \bar{I}_6 e \bar{I}_1 están en un nivel lógico bajo (L) y las otras entradas están en un nivel lógico alto (H).

Solución (Ej. 180) — La Tabla 7.2 muestra que cuando \bar{I}_6 está en un nivel lógico bajo (L), los niveles en \bar{I}_1 e \bar{I}_4 no tienen ninguna importancia y, por consiguiente, las salidas serán $\bar{O}_3 \bar{O}_2 \bar{O}_1 \bar{O}_0 = H L L H$, correspondientes al complemento de L H H L del dígito 6.

7.4 Decodificadores

7.4.1 Concepto

El decodificador es un circuito lógico combinacional que realiza la función inversa al codificador. Convierte el código de la entrada en una forma sin codificar a la salida. En general, un decodificador m a n tiene m líneas de entradas y $n = 2^m$ líneas de salida (Figura 7.8). Los decodificadores se emplean en subsistemas de salida/entrada.

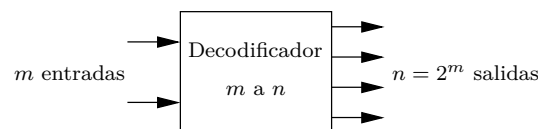


Figura 7.8: Decodificador binario de m a n .

7.4.2 Implementación de un decodificador BCD-decimal mediante puertas lógicas

Este decodificador posee cuatro líneas de entradas correspondientes al código BCD ($I_0 - I_3$) y diez líneas de salidas correspondientes a cada dígito decimal de 0 a 9 ($O_0 - O_9$), como se muestra en la Figura 7.9. Éste es un decodificador de cuatro a diez.

La Tabla 7.3 muestra la relación entre los dígitos decimales y el código BCD (8 4 2 1). A partir de esta tabla, se puede ver que el dígito decimal 0 (O_0) es H para el código BCD: $I_3 I_2 I_1 I_0 = L L L L$. La expresión lógica para el dígito decimal 0 se puede escribir mediante funciones AND:

$$O_0 = \bar{I}_3 \bar{I}_2 \bar{I}_1 \bar{I}_0$$

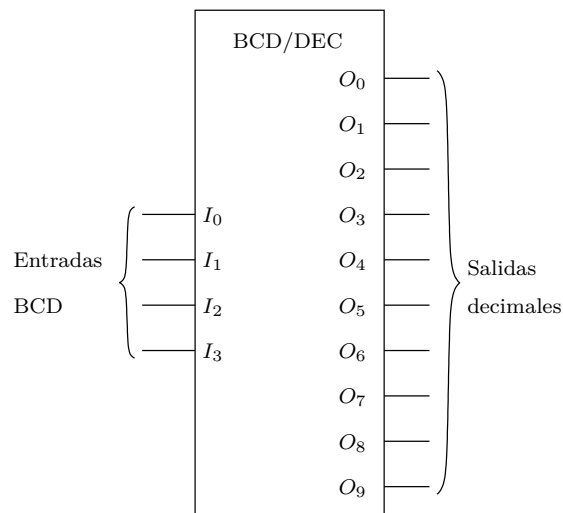


Figura 7.9: Símbolo lógico de un decodificador BCD-decimal.

Tabla 7.3: Tabla de verdad del decodificador BCD-decimal.

Código BCD				Dígito decimal									
I_3	I_2	I_1	I_0	O_9	O_8	O_7	O_6	O_5	O_4	O_3	O_2	O_1	O_0
L	L	L	L	L	L	L	L	L	L	L	L	L	H
L	L	L	H	L	L	L	L	L	L	L	L	H	L
L	L	H	L	L	L	L	L	L	L	L	H	L	L
L	L	H	H	L	L	L	L	L	H	L	L	L	L
L	H	L	L	L	L	L	L	L	H	L	L	L	L
L	H	L	H	L	L	L	L	H	L	L	L	L	L
L	H	H	L	L	L	L	H	L	L	L	L	L	L
L	H	H	H	L	L	L	H	L	L	L	L	L	L
H	L	L	L	L	H	L	L	L	L	L	L	L	L
H	L	L	H	H	L	L	L	L	L	L	L	L	L

Las expresiones lógicas de los siguientes dígitos son:

$$\begin{aligned}
 O_1 &= \bar{I}_3 \bar{I}_2 \bar{I}_1 I_0 \\
 O_2 &= \bar{I}_3 \bar{I}_2 I_1 \bar{I}_0 \\
 O_3 &= \bar{I}_3 \bar{I}_2 I_1 I_0 \\
 O_4 &= \bar{I}_3 I_2 \bar{I}_1 \bar{I}_0 \\
 O_5 &= \bar{I}_3 I_2 \bar{I}_1 I_0 \\
 O_6 &= \bar{I}_3 I_2 I_1 \bar{I}_0 \\
 O_7 &= \bar{I}_3 I_2 I_1 I_0 \\
 O_8 &= I_3 \bar{I}_2 \bar{I}_1 \bar{I}_0 \\
 O_9 &= I_3 \bar{I}_2 \bar{I}_1 I_0
 \end{aligned}$$

Para implementar el circuito que decodifica cada código BCD a dígito decimal, se utilizan las expresiones lógicas desarrolladas anteriormente. La salida del dígito decimal se obtiene aplicando la función lógica AND a las entradas del código BCD correspondiente. El diagrama lógico del decodificador BCD-decimal está representado en la Figura 7.10.

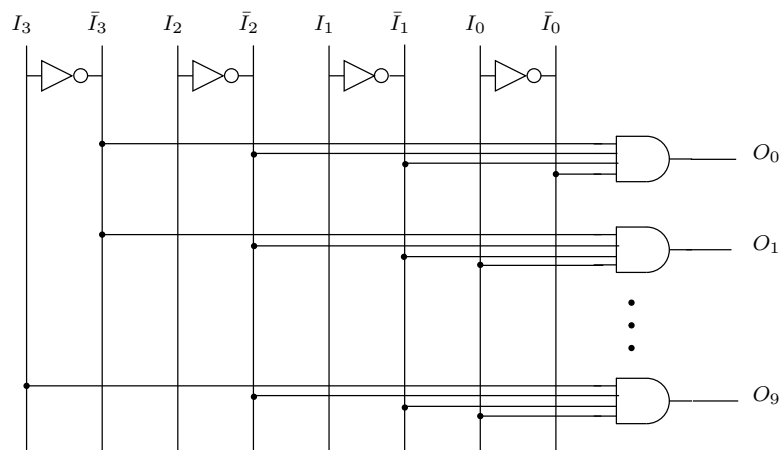


Figura 7.10: Diagrama lógico de un decodificador BCD-decimal.

Cuando se activa mediante un nivel lógico alto un código BCD en las entradas, se obtiene el nivel lógico apropiado en una de las diez salidas. Por ejemplo, si las entradas I_2 , I_1 y I_0 están a nivel lógico alto (H) y la entrada I_3 a nivel lógico bajo (L), se producirá un nivel lógico alto (H) en la salida O_7 correspondiente al dígito 7 del código BCD (L H H H), y niveles lógicos bajos (L) en las demás salidas.

7.4.3 Decodificador integrado

El circuito integrado 7442A (Figura 7.11) es un decodificador BCD-decimal. Tiene las entradas activas al nivel lógico alto (H) para los cuatro bits del código BCD, y

las salidas activas al nivel lógico bajo (L) para los diez dígitos de salida de 0 a 9.

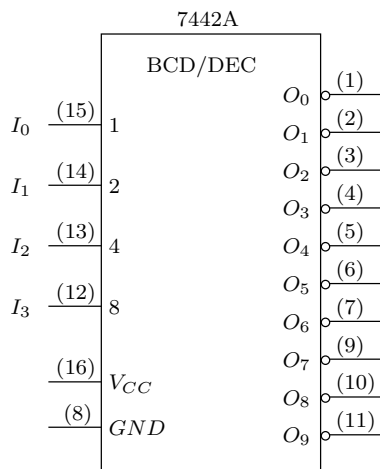


Figura 7.11: Símbolo lógico del decodificador BCD-decimal integrado 7442A (entre paréntesis se muestra la numeración de los patillas).

La Tabla 7.4 representa la tabla de verdad del decodificador BCD-decimal integrado 7442A.

Tabla 7.4: Tabla de verdad del decodificador BCD-decimal integrado 7442A.

Código BCD				Dígito decimal									
I_3	I_2	I_1	I_0	\bar{O}_9	\bar{O}_8	\bar{O}_7	\bar{O}_6	\bar{O}_5	\bar{O}_4	\bar{O}_3	\bar{O}_2	\bar{O}_1	\bar{O}_0
L	L	L	L	H	H	H	H	H	H	H	H	H	L
L	L	L	H	H	H	H	H	H	H	H	H	L	H
L	L	H	L	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	H	H	H	H	L	H	H	H	H
L	H	L	L	H	H	H	H	L	H	H	H	H	H
L	H	L	H	H	H	H	L	H	H	H	H	H	H
L	H	H	L	H	H	H	L	H	H	H	H	H	H
L	H	H	H	H	H	L	H	H	H	H	H	H	H
H	L	L	L	H	L	H	H	H	H	H	H	H	H
H	L	L	H	L	H	H	H	H	H	H	H	H	H
H	L	H	L	H	H	H	H	H	H	H	H	H	H
H	L	H	H	H	H	H	H	H	H	H	H	H	H
H	H	L	L	H	H	H	H	H	H	H	H	H	H
H	H	L	H	H	H	H	H	H	H	H	H	H	H
H	H	H	L	H	H	H	H	H	H	H	H	H	H
H	H	H	H	H	H	H	H	H	H	H	H	H	H

Dado que es un circuito integrado con entradas activas al nivel lógico alto y

salidas activas al nivel lógico bajo, en las entradas el nivel lógico L corresponde al nivel lógico inactivo y el nivel lógico H al nivel lógico activo, mientras que para las salidas, el nivel lógico L corresponde al nivel lógico activo y el nivel lógico H al nivel lógico inactivo. Por ejemplo, si se activa en la entrada el código $I_3 I_2 I_1 I_0 = L H H H$, el circuito decodificará el dígito correspondiente al 7, y entonces, todas las salidas estarán desactivadas con una H, salvo la salida O_7 que estará activada con una L.

Cuestiones y Ejercicios Resueltos

Ej. 181 — ¿Se puede activar al mismo tiempo más de una salida de un decodificador?

Solución (Ej. 181) — Un decodificador es un circuito lógico combinacional cuyas entradas representan un código binario determinado y sólo se activa una salida determinada para cada combinación de entradas, el resto de las salidas permanecen inactivas.

Ej. 182 — A partir de la Tabla 7.3, determine el estado de las salidas cuando $I_3 I_2 I_1 I_0 = H L L L$.

Solución (Ej. 182) — La Tabla 7.3 muestra que cuando $I_3 I_2 I_1 I_0 = H L L L$, la salida O_8 está activa al nivel lógico alto (H), mientras que las demás salidas están inactivas al nivel lógico bajo (L). Esta tabla decodifica el código de entrada H L L L para activar con un nivel lógico alto (H) la salida O_8 correspondiente al equivalente decimal (8_{10}).

Ej. 183 — A partir de la tabla 7.4, determine el estado de las salidas cuando $I_3 I_2 I_1 I_0 = L H L L$.

Solución (Ej. 183) — La Tabla 7.4 muestra que cuando $I_3 I_2 I_1 I_0 = L H L L$, la salida \bar{O}_4 está activa al nivel lógico bajo (L), mientras que las demás salidas están inactivas al nivel lógico alto (H). Esta tabla decodifica el código de entrada L H L L para activar con un nivel lógico bajo (L) la salida \bar{O}_4 correspondiente al equivalente decimal (4_{10}).

7.5 Multiplexores

7.5.1 Concepto

El multiplexor (MUX) es un circuito lógico combinacional que permite dirigir la información digital procedente de diferentes fuentes hacia una única línea para ser transmitida a un destino común. El multiplexor (Figura 7.12) tiene 2^n líneas de entradas de datos, n entradas de selección de datos y una única línea de salida. La transmisión de datos de cualquiera de las 2^n entradas a la salida se obtiene mediante el código correspondiente de las entradas de selección de datos. También se conocen los multiplexores como *selectores de datos*.

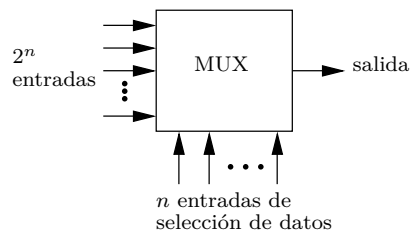


Figura 7.12: Multiplexor de datos de n entradas a una salida.

7.5.2 Implementación de un multiplexor de cuatro entradas mediante puertas lógicas

La Figura 7.13 muestra el símbolo lógico de un multiplexor de cuatro entradas. Posee dos líneas de selección de datos ($S_1 S_0$) con el fin de seleccionar cualquiera de las cuatro líneas de entrada de datos ($I_3 I_2 I_1 I_0$) para ser enviada a la salida (Z).

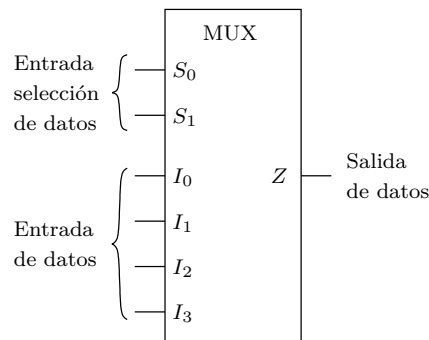


Figura 7.13: Símbolo lógico de un multiplexor de cuatro entradas y una salida.

La selección de las líneas de entrada de datos se obtiene a partir de la tabla de verdad representada en la Tabla 7.5.

Tabla 7.5: Tabla de verdad del multiplexor de cuatro entradas y una salida.

Entradas de selección de datos		Entrada de datos seleccionada
S_1	S_0	I_i
L	L	I_0
L	H	I_1
H	L	I_2
H	H	I_3

Examinando más detenidamente la Tabla 7.5, se deduce el funcionamiento de este multiplexor. Si se aplica un cero binario a las dos líneas de selección de datos

($S_1 S_0 = L L$), se consigue que los datos (L o H) en la entrada I_0 aparezcan en la línea de salida Z . Si se introduce un uno binario ($S_1 S_0 = L H$), los datos de la entrada I_1 pasarán a la línea de salida Z . Si se suministra un dos binario ($S_1 S_0 = H L$), los datos de la entrada I_2 estarán presentes en la línea de salida Z . Finalmente, si se proporciona un tres binario ($S_1 S_0 = H H$), se obtienen los datos de la entrada I_3 en la salida Z . A partir de esta tabla de verdad, se obtiene la expresión lógica de salida Z en función de la entrada de datos ($I_3 I_2 I_1 I_0$) y de las entradas de selección de datos ($S_1 S_0$):

$$Z = I_0 \bar{S}_1 \bar{S}_0 + I_1 \bar{S}_1 S_0 + I_2 S_1 \bar{S}_0 + I_3 S_1 S_0$$

Para implementar esta ecuación, será necesario cuatro puertas AND de tres entradas, una puerta OR de cuatro entradas y dos puertas inversoras, como en el diagrama lógico de la Figura 7.14.

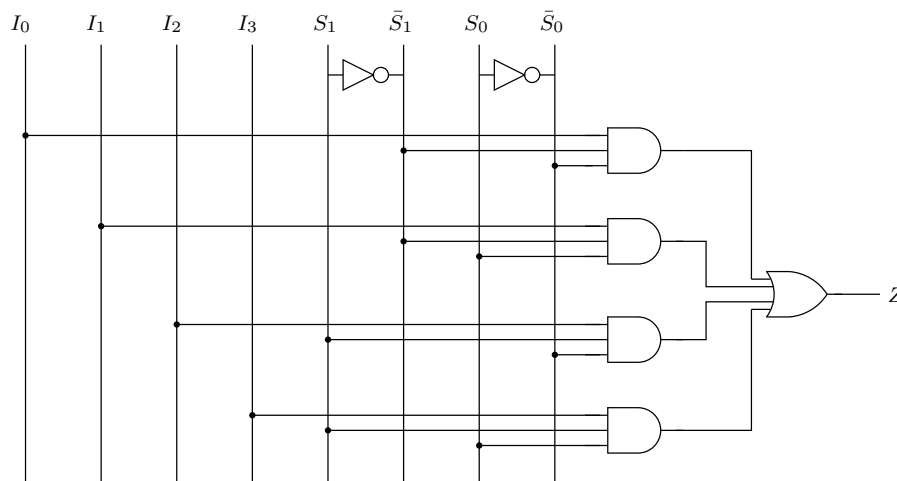


Figura 7.14: Diagrama lógico de un multiplexor de cuatro entradas a una salida.

7.5.3 Multiplexor integrado

El circuito integrado 74151 (Figura 7.15) es un multiplexor de ocho entradas de datos ($I_0 - I_7$) y una salida (Z). Tiene tres líneas de selección de datos ($S_2 S_1 S_0$), dado que se requieren tres bits para seleccionar cualquiera de las ocho entradas de datos ($2^3 = 8$). Posee una entrada de habilitación (*Enable*, E) activa al nivel lógico bajo (L). Un nivel lógico bajo (L) en la entrada de habilitación permite que los datos de la entrada seleccionada pasen a la salida. Un nivel lógico alto (H) en la entrada de habilitación dará un nivel lógico bajo fijo ($Z = L$) a la salida, independientemente de la entrada seleccionada. Este circuito integrado tiene también disponible el complemento de la salida de datos (\bar{Z}).

La Tabla 7.6 representa la tabla de verdad del multiplexor integrado 74151.

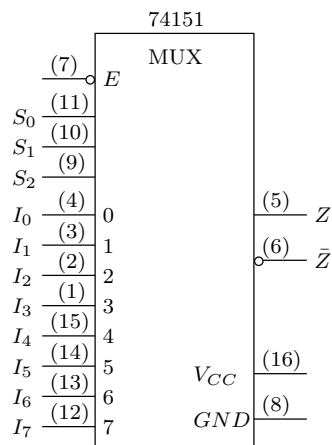


Figura 7.15: Símbolo lógico del multiplexor integrado 74151 (entre paréntesis se muestra la numeración de las patillas).

Tabla 7.6: Tabla de verdad del multiplexor integrado 74151.

E	S_2	S_1	S_0	\bar{Z}	Z
H	X	X	X	H	L
L	L	L	L	\bar{I}_0	I_0
L	L	L	H	\bar{I}_1	I_1
L	L	H	L	\bar{I}_2	I_2
L	L	H	H	\bar{I}_3	I_3
L	H	L	L	\bar{I}_4	I_4
L	H	L	H	\bar{I}_5	I_5
L	H	H	L	\bar{I}_6	I_6
L	H	H	H	\bar{I}_7	I_7

La expresión lógica de este multiplexor integrado con ocho entradas y una entrada de habilitación (E) activa al nivel lógico bajo (L) es:

$$Z = \bar{E} (I_0 \bar{S}_2 \bar{S}_1 \bar{S}_0 + I_1 \bar{S}_2 \bar{S}_1 S_0 + I_2 \bar{S}_2 S_1 \bar{S}_0 + I_3 \bar{S}_2 S_1 S_0 + I_4 S_2 \bar{S}_1 \bar{S}_0 + I_5 S_2 \bar{S}_1 S_0 + I_6 S_2 S_1 \bar{S}_0 + I_7 S_2 S_1 S_0)$$

Cuestiones y Ejercicios Resueltos

Ej. 184 — ¿Cuántas entradas de selección de datos necesitaría un multiplexor para implementar una función F de cuatro variables?

Solución (Ej. 184) — Si el número de variable de la función F es cuatro, se necesitaría como mucho un multiplexor con cuatro entradas de selección de datos.

Ej. 185 — Considere el multiplexor integrado 74151 (Tabla 7.6). Determine las condiciones de entrada que requiere el multiplexor para adoptar en su salida Z los

niveles lógicos de su entrada I_3 .

Solución (Ej. 185) — El multiplexor integrado 74151 posee una entrada de habilitación (\bar{E}) que se debe activar: $\bar{E} = L$. Para que los niveles lógicos de la entrada I_3 pasen a la salida Z , debe introducir la siguiente condición en las entradas de selección de datos: $S_2 S_1 S_0 = L H H$.

Ej. 186 — Sea la siguiente función: $F_1(X_2, X_1, X_0) = X_2 \bar{X}_1 \bar{X}_0 + \bar{X}_2 \bar{X}_1 X_0 + \bar{X}_2 X_1 \bar{X}_0 + X_2 X_1 X_0$. Implemente la función $F_1(X_2, X_1, X_0)$ de tres variables con un multiplexor de ocho entradas de datos, siendo X_2 la variable con mayor peso.

Solución (Ej. 186) — La Figura 7.16 muestra cómo implementar la función F_1 con un multiplexor de ocho entradas de datos. Las variables X_2, X_1, X_0 se conectan, respectivamente, a las entradas de selección de datos S_2, S_1, S_0 del multiplexor con el mismo peso. Los niveles lógicos de estas entradas determinan qué entrada de datos aparece en la salida Z (F_1) del multiplexor. De acuerdo con la tabla de verdad de la función F_1 (Figura 7.16(a)), la salida Z estará a nivel lógico bajo (L) cuando $X_2 X_1 X_0 = L L L$ y, por consiguiente, la entrada I_0 del multiplexor debe conectarse al nivel lógico bajo (L). De la misma manera, Z estará a nivel lógico bajo (L) para $X_2 X_1 X_0 = L H H, H L H$ y $H H L$, de modo que las entradas I_3, I_5 e I_6 también tendrán que conectarse al nivel lógico bajo (L). Las otras condiciones $X_2 X_1 X_0$ deben producir un nivel lógico alto (H) en la salida Z y, por lo tanto, las entradas I_1, I_2, I_4 e I_7 se conectan al nivel lógico alto (H).

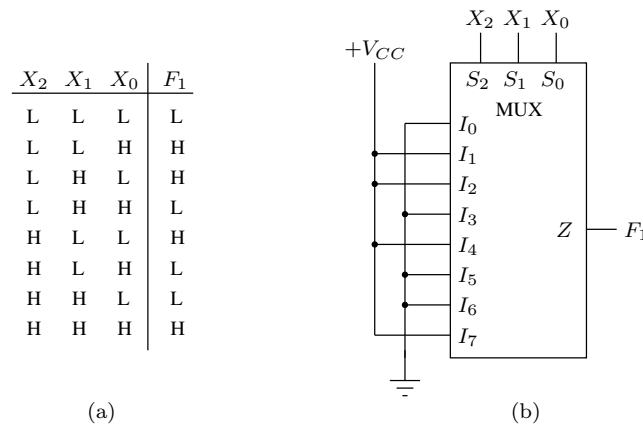


Figura 7.16: Ejercicio 186. (a) Tabla de verdad de la función F_1 . (b) Implementación de la función F_1 con un multiplexor de ocho entradas de datos.

Ej. 187 — Implementar la función F_1 anterior con un multiplexor de cuatro entradas de datos. X_2 sigue siendo la variable con mayor peso.

Solución (Ej. 187) — La Figura 7.17 muestra cómo implementar la función F_1 con un multiplexor de cuatro entradas de datos. Dado que el multiplexor de cuatro entradas de datos dispone de dos entradas de selección, sólo se pueden conectar dos

variables de la función F_1 a las entradas de selección de datos. Las variables X_1 y X_0 se conectan, respectivamente, a las entradas de selección de datos S_1 y S_0 del multiplexor con el mismo peso. La tercera variable X_2 y su complemento \bar{X}_2 están conectadas a las entradas de datos del multiplexor, según la función lógica F_1 . De acuerdo con el mapa de Karnaugh de la función F_1 (Figura 7.17(a)), la salida Z estará a nivel lógico alto (H) cuando $X_2 X_1 X_0 = H L L, L L H, L H L$ y $H H H$ y, por consiguiente, las entradas I_0 e I_3 del multiplexor deben conectarse a la tercera variable X_2 y las otras dos entradas al complemento de la tercera variable \bar{X}_2 .

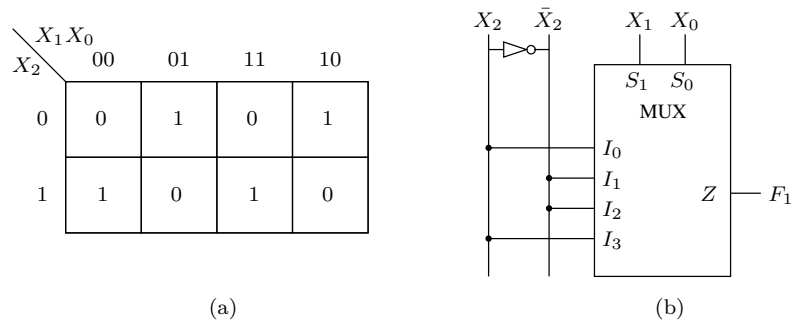


Figura 7.17: (a) Mapa de Karnaugh de la función F_1 . (b) Implementación de la función F_1 con un multiplexor de cuatro entradas de datos.

7.6 Demultiplexores

7.6.1 Concepto

El demultiplexor (DEMUX) es un circuito lógico combinacional que realiza la función inversa a la del multiplexor. Recoge datos de información de una única fuente para distribuirlos hacia diferentes destinos. El demultiplexor (Figura 7.18) tiene una única línea de entradas, n entradas de selección de datos, y 2^n líneas de salidas de datos. La transmisión de datos de la entrada a cualquiera de las salidas se obtiene mediante la selección de la salida con las entradas de selección de datos. También se conocen los demultiplexores por distribuidores de datos y se pueden construir a partir de decodificadores.

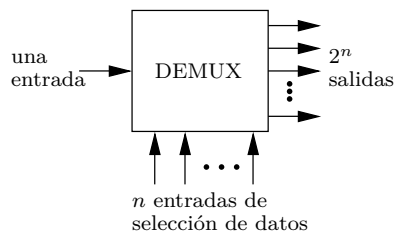


Figura 7.18: Demultiplexor de datos de una entrada a n salidas.

7.6.2 Implementación de un demultiplexor de cuatro salidas mediante puertas lógicas

La Figura 7.19 muestra el símbolo lógico de un demultiplexor de una entrada (I) a cuatro salidas ($O_3 O_2 O_1 O_0$). Posee dos líneas de selección de datos ($S_1 S_0$) que permiten seleccionar cualquiera de las cuatro líneas de salida ($O_3 O_2 O_1 O_0$).

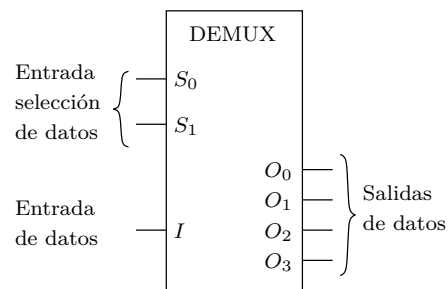


Figura 7.19: Símbolo lógico de un demultiplexor de una entrada a cuatro salidas.

La selección de datos de un demultiplexor de cuatro salidas se obtiene a partir de la tabla de verdad representada en la Tabla 7.7.

Entradas de selección de datos		Salida de datos seleccionada
S_1	S_0	O_i
L	L	O_0
L	H	O_1
H	L	O_2
H	H	O_3

Tabla 7.7: Tabla de verdad de un demultiplexor de una entrada a cuatro salidas.

Examinando más detenidamente la Tabla 7.7, se deduce el funcionamiento de este demultiplexor. Si se aplica un cero binario a las líneas de selección de datos ($S_1 S_0=L L$), se consigue que los datos (L o H) en la entrada I aparezcan en la línea de salida O_0 . Si se introduce un uno binario ($S_1 S_0=L H$), los datos en la entrada I pasarán a la línea de salida O_1 . Si se facilita un dos binario ($S_1 S_0=H L$), los datos que se presenten en la entrada I irán a la línea de salida O_2 . Finalmente, si se proporciona un tres binario ($S_1 S_0=H H$), se obtiene que todos los datos que pasen por la entrada I vayan a la salida O_3 . A partir de esta tabla de verdad, se consiguen las expresiones lógicas de las salidas ($O_3 O_2 O_1 O_0$) en función de la entrada de datos

(I) y de las entradas de selección de datos ($S_1 S_0$):

$$O_0 = I \bar{S}_1 \bar{S}_0$$

$$O_1 = I \bar{S}_1 S_0$$

$$O_2 = I S_1 \bar{S}_0$$

$$O_3 = I S_1 S_0$$

Para implementar estas expresiones, será necesario cuatro puertas AND de tres entradas y dos puertas inversoras como el diagrama lógico de la Figura 7.20.

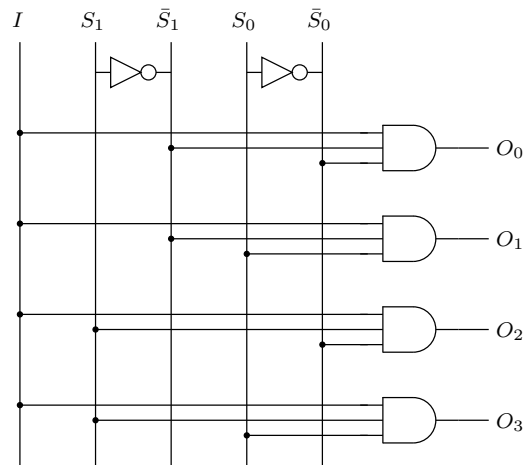


Figura 7.20: Diagrama lógico de un demultiplexor de una entrada a cuatro salidas.

7.6.3 Demultiplexor integrado

El circuito integrado 74138 (Figura 7.21) es un demultiplexor de una entrada de datos (G_1) activa al nivel lógico alto (H) y ocho salidas de datos ($\bar{Y}_0 - \bar{Y}_7$) activas al nivel lógico bajo (L). Tiene tres líneas de selección de datos (A , B y C) activas al nivel lógico alto (H), dado que se requieren tres bits para seleccionar cualquiera de las ocho salidas de datos ($2^3 = 8$). Posee dos entradas de habilitación (\bar{G}_{2A} , \bar{G}_{2B}) activas al nivel lógico bajo (L). Un nivel lógico bajo (L) en las dos entradas de habilitación permite que los datos de la entrada pasen a la salida seleccionada. Un nivel lógico alto (H) en una de las dos entradas de habilitación dará un nivel lógico alto fijo (H) en todas las salidas, independientemente del dato de entrada y de la línea de salida seleccionada.

La Tabla 7.8 muestra la tabla de verdad del demultiplexor integrado 74138.

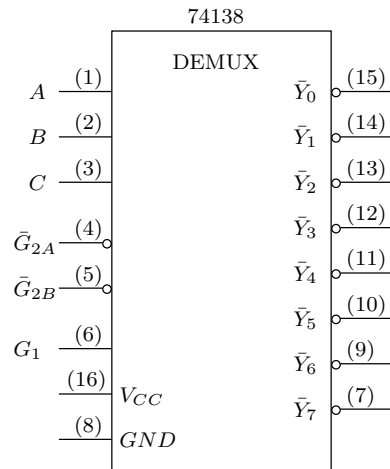


Figura 7.21: Símbolo lógico del demultiplexor integrado 74138 (entre paréntesis se muestra la numeración de las patillas).

G_1	Entradas			Salidas									
	\bar{G}_{2A}	\bar{G}_{2B}	C	B	A	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
X	H	H	X	X	X	H	H	H	H	H	H	H	H
X	L	H	X	X	X	H	H	H	H	H	H	H	H
X	H	L	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	L	H	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

Tabla 7.8: Tabla de verdad del demultiplexor integrado 74138.

Las expresiones lógicas de este demultiplexor integrado con una entrada a ocho salidas, y dos entradas de habilitación son:

$$\begin{aligned}\bar{Y}_0 &= \overline{\bar{A} \bar{B} \bar{C} G_1 \bar{G}_{2A} \bar{G}_{2B}} \\ \bar{Y}_1 &= \overline{\bar{A} \bar{B} C G_1 \bar{G}_{2A} \bar{G}_{2B}} \\ \bar{Y}_2 &= \overline{\bar{A} B \bar{C} G_1 \bar{G}_{2A} \bar{G}_{2B}} \\ \bar{Y}_3 &= \overline{\bar{A} B C G_1 \bar{G}_{2A} \bar{G}_{2B}} \\ \bar{Y}_4 &= \overline{A \bar{B} \bar{C} G_1 \bar{G}_{2A} \bar{G}_{2B}} \\ \bar{Y}_5 &= \overline{A \bar{B} C G_1 \bar{G}_{2A} \bar{G}_{2B}} \\ \bar{Y}_6 &= \overline{A B \bar{C} G_1 \bar{G}_{2A} \bar{G}_{2B}} \\ \bar{Y}_7 &= \overline{A B C G_1 \bar{G}_{2A} \bar{G}_{2B}}\end{aligned}$$

Cuestiones y Ejercicios Resueltos

Ej. 188 — ¿Cuántas entradas de selección de datos necesitaría un demultiplexor para implementar una función F de tres variables?

Solución (Ej. 188) — Si el número de variable de la función F es de tres, se necesitaría como mucho un demultiplexor con tres entradas de selección de datos.

Ej. 189 — ¿Es similar un circuito demultiplexor a un circuito decodificador?

Solución (Ej. 189) — Un circuito demultiplexor es similar a un decodificador, salvo la entrada de datos I del demultiplexor común a cada puerta lógica. Por ejemplo, el circuito demultiplexor de la Figura 7.20 sería similar a un decodificador de dos líneas a cuatro líneas, excepto que el circuito del demultiplexor agrega la entrada I a cada puerta lógica del circuito.

Ej. 190 — Considere el demultiplexor integrado 74138 (Tabla 7.8). Determine las condiciones de entrada que requiere el demultiplexor para activar la salida \bar{Y}_4 .

Solución (Ej. 190) — El demultiplexor integrado 74138 posee dos entradas de habilitación (\bar{G}_{2A} , \bar{G}_{2B}) que se deben activar: $\bar{G}_{2A} = \bar{G}_{2B} = L$. Para activar la salida \bar{Y}_4 , debe introducir, respectivamente, un nivel lógico alto (H) y la condición H L L en la entrada G_1 del multiplexor y las entradas $C B A$ de selección de datos.

Ej. 191 — Implemente la función $F_1(X_2, X_1, X_0)$ de tres variables con un demultiplexor de una entrada a ocho salidas, siendo X_2 la variable con mayor peso.

$$F_1(X_2, X_1, X_0) = X_2 \bar{X}_1 \bar{X}_0 + \bar{X}_2 \bar{X}_1 X_0 + \bar{X}_2 X_1 \bar{X}_0 + X_2 X_1 X_0$$

Solución (Ej. 191) — La Figura 7.22 muestra cómo implementar la función F_1 con un demultiplexor de ocho salidas. Las variables X_2 , X_1 , X_0 se conectan, respectivamente, a las entradas de selección de datos S_2 , S_1 , S_0 del demultiplexor con el mismo peso. Los niveles lógicos de estas entradas determinan qué salida de datos se habilita y la entrada de datos I aparecerá en dicha salida. De acuerdo con la tabla

de verdad de la Figura 7.22(a), F_1 tendrá un nivel lógico alto (H) para $X_2 X_1 X_0 = L L H, L H L, H L L$ y $H H H$ y, por consiguiente, la entrada de datos I y las salidas O_1, O_2, O_4 y O_7 deberán conectarse, respectivamente, a un nivel lógico alto (H) y a las entradas de puertas OR, para llevar a cabo la suma de productos de la función. Las demás salidas se dejan sin conexión, dado que son inactivas para la función F_1 .

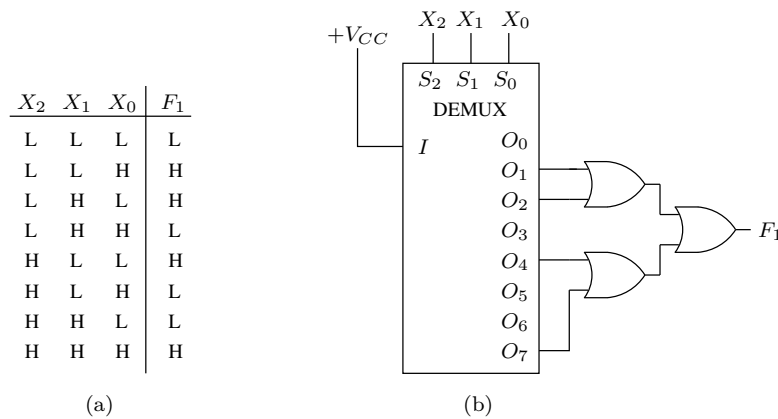


Figura 7.22: Ejercicio 191. (a) Tabla de verdad de la función F_1 . (b) Implementación de la función F_1 con un demultiplexor de ocho salidas.

Ej. 192 — Implemente la función $F_2(X_3, X_2, X_1, X_0)$ de cuatro variables con un demultiplexor de una entrada a ocho salidas, siendo X_3 la variable con mayor peso. $F_2(X_3 X_2 X_1 X_0) = X_3 X_2 \bar{X}_1 \bar{X}_0 + X_3 X_2 \bar{X}_1 X_0 + X_3 X_2 X_1 X_0 + X_3 X_2 X_1 \bar{X}_0 + X_3 \bar{X}_2 X_1 X_0 + X_3 \bar{X}_2 X_1 \bar{X}_0$

Solución (Ej. 192) — La Figura 7.23 muestra cómo implementar la función F_2 con un demultiplexor de ocho salidas. Dado que el demultiplexor de ocho salidas de datos dispone de tres entradas de selección, sólo se pueden conectar tres variables de la función F_2 a las entradas de selección de datos. Si se observa más detenidamente la función F_2 , se puede ver que la variable X_3 es común a todos los minitérminos. De este modo, se puede reescribir la función F_2 de la siguiente manera:

$$F_2(X_3 X_2 X_1 X_0) = X_3(X_2 \bar{X}_1 \bar{X}_0 + X_2 \bar{X}_1 X_0 + X_2 X_1 X_0 + X_2 X_1 \bar{X}_0 + \bar{X}_2 X_1 X_0 + \bar{X}_2 X_1 \bar{X}_0)$$

Así, se puede conectar las variables X_2, X_1, X_0 a las respectivas entradas de selección de datos S_2, S_1, S_0 del demultiplexor con el mismo peso. La cuarta variable X_3 se introduce en la entrada de datos I del demultiplexor para obtener a la salida una combinación de ocho salidas con cuatro variables. Teniendo en cuenta el factor común de la variable X_3 , la función F_2 tendrá un nivel lógico alto para $X_2 X_1 X_0 = L H L, L H H, H L L, H L H, H H L$ y $H H H$ y, por consiguiente, la entrada de datos I y las salidas O_2, O_3, O_4, O_5, O_6 y O_7 deberán conectarse, respectivamente, a la variable X_3 y a las entradas de puertas OR, para llevar a cabo la suma de productos de la función. Las demás salidas se dejan sin conexión, dado que son inactivas para

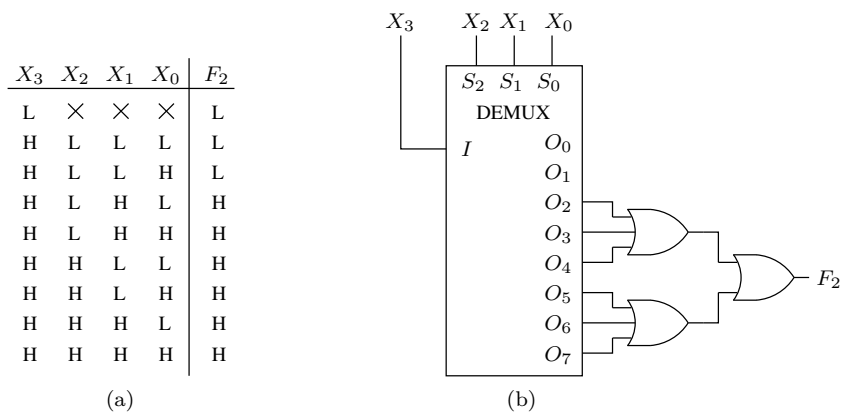


Figura 7.23: Ejercicio 192. (a) Tabla de verdad de la función F_2 . (b) Implementación de la función F_2 con un demultiplexor de ocho salidas.

la función F_2 .

7.7 Buses

7.7.1 Concepto

El bus es una solución a los problemas de los multiplexores con un gran número de entradas. Los multiplexores con un gran número de entradas son difíciles de fabricar, dado que implicaría centralizar una gran concentración de conexiones en un único lugar. En cambio, se puede situar fácilmente un bus alrededor de otros elementos en un circuito integrado (IC, *Integrated Circuit*) o en una tarjeta de circuito impreso (PCB, *Printed Circuit Board*). Para implementar un bus, se requiere un componente denominado triestado. Este componente proporciona tres valores distintos de salida: L, H y Z. L y H definen los niveles lógicos bajo y alto, respectivamente. El valor Z corresponde a un estado de alta impedancia que a efectos prácticos se puede considerar como una desconexión eléctrica. Un simple adaptador triestado (Figura 7.24(a)) tiene una línea de entrada de datos (I), una línea de habilitación (E), y una línea de salida (O). Cuando $E = H$, la salida O tomará los datos de la entrada I , y cuando $E = L$, la salida O será igual a Z como se muestra en la tabla de verdad de la Figura 7.24(b). De este modo, cada bus tendrá un conjunto de adaptadores triestado que se conectarán al bus. Además, se codificarán las distintas líneas de habilitación para permitir que sólo una fuente de datos se conecte al bus en un instante dado. Los buses son fáciles de fabricar y son sencillos de modificar a la hora de añadir o eliminar fuentes de información.

7.7.2 Implementación de un bus de cuatro entradas

La Figura 7.25 muestra la implementación de un bus de cuatro entradas y su tabla de verdad. Se puede observar que la tabla de verdad de este bus es equivalente a la tabla de verdad de un multiplexor de cuatro a uno. Este bus (Figura 7.25) tiene

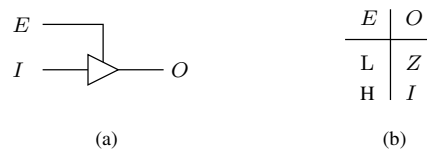


Figura 7.24: Adaptador triestado. (a) Símbolo. (b) Tabla de verdad.

cuatro líneas de entradas ($I_0 - I_3$) y un decodificador de 2 a 4 que convierte las dos líneas de dirección (S_1 y S_0) en las cuatro líneas de habilitación de los cuatro adaptadores triestados que se conectan al bus Y .

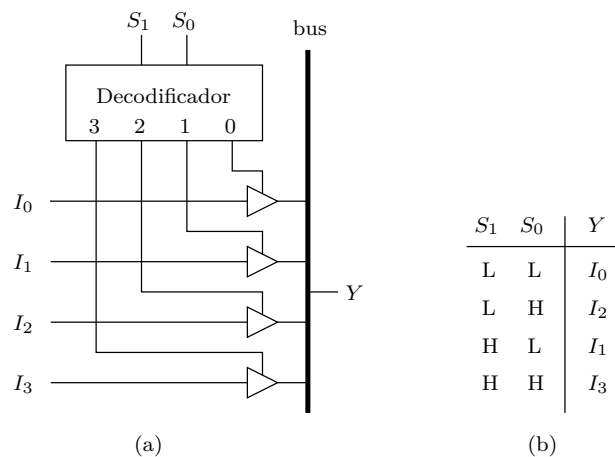


Figura 7.25: Bus de cuatro entradas. (a) Implementación. (b) Tabla de verdad.

Examinando más detenidamente la tabla de verdad de Figura 7.25(b), se deduce el funcionamiento de este bus de cuatro entradas. Si se aplica un cero binario a las líneas de selección de datos ($S_1 S_0=L L$), se consigue que los datos en la entrada I_0 (Figura 7.25 (a)) aparezcan en el bus Y . Si se introduce un uno binario ($S_1 S_0=L H$), los datos en entrada I_1 irán hacia el bus Y . Si se suministra un dos binario ($S_1 S_0=H L$), los datos en la entrada I_2 estarán en el bus Y . Finalmente, si se proporciona un tres binario ($S_1 S_0=H H$), se obtiene los datos de entrada de I_3 en el bus Y .

7.7.3 Bus integrado

El circuito integrado 74FST3251 (Figura 7.26) es un bus multiplexor/demultiplexor de ocho a uno. Este circuito tiene una línea de bus A y ocho líneas ($B_1 - B_8$) de bus B , y un demultiplexor que convierte las tres líneas de dirección (S_2, S_1, S_0) en ocho líneas de habilitación de ocho adaptadores triestados bidireccionales que se conectan entre el bus A y el bus B . Además, posee una entrada de habilitación (\overline{OE}) activa al nivel lógico bajo (L). En la tabla de verdad de la Figura 7.26(b), se puede observar que un nivel lógico alto (H) en la entrada de habilitación corresponde a

una desconexión entre el bus A y el bus B , mientras que un nivel lógico bajo (L) en la entrada de habilitación permite que los datos de la línea del bus A pasen a la línea del bus B_i seleccionada, o que los datos de la línea del bus B_i seleccionada pasen a la línea del bus A .

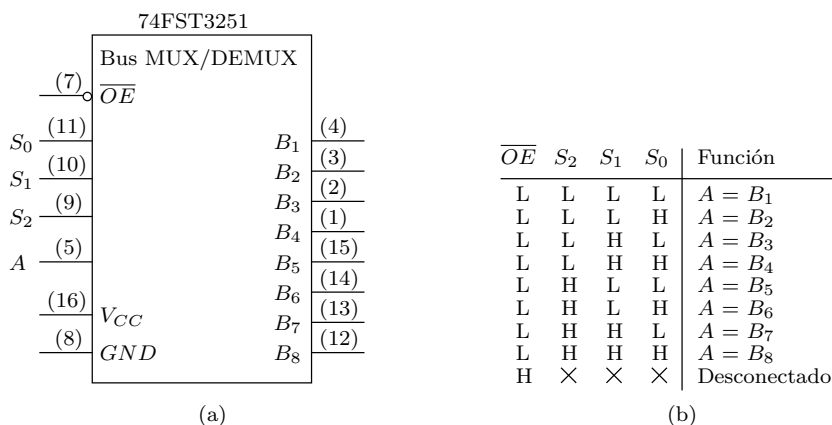


Figura 7.26: Bus multiplexor/demultiplexor de ocho a uno. (a) Símbolo lógico del circuito integrado 74FST3251 (entre paréntesis se muestra la numeración de las patillas). (b) Tabla de verdad.

Cuestiones y Ejercicios Propuestos

Ej. 193 — ¿Cuál es la diferencia entre un codificador con prioridad y un codificador común (sin prioridad)?

Ej. 194 — Diseñe el circuito lógico de un codificador con prioridad de 4 líneas a 2 líneas con las siguientes características de funcionamiento:

- Las cuatro líneas de entradas se designarán $I_0 - I_3$, y las dos líneas de salida O_0 y O_1 .
- En el caso de activar más de una entrada, la salida tiene que indicar en binario la entrada con el número más alto, siendo O_1 el bit más significativo.
- Las entradas y salidas serán activas al nivel lógico bajo.
- El circuito deberá tener una entrada de habilitación (E) activa al nivel lógico bajo. Cuando E esté en un nivel lógico alto, todas las salidas quedarán en un nivel lógico alto, independientemente de las entradas activadas.
- Finalmente, el circuito deberá tener dos salidas N y A , ambas activas al nivel lógico bajo, que indicarán cuándo no se ha activado ninguna entrada (N) o cuándo se ha activado alguna entrada (A).

1. Determine la tabla de verdad del circuito.
2. Simplifique las expresiones de salida mediante mapas de Karnaugh.

3. Diseñe el circuito lógico de cada salida mediante puertas NAND de dos entradas.

Ej. 195 — ¿Cuál es la diferencia entre un codificador y un decodificador?

Ej. 196 — Diseñe un circuito lógico de un decodificador BCD a 7 líneas que permita ver los diez dígitos decimales en un visualizador (*display*) de siete segmentos. La configuración del visualizador y los patrones de segmentos utilizados para visualizar los diez dígitos decimales están representados en la Figura 7.27.

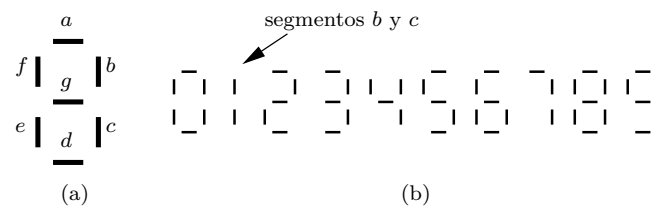


Figura 7.27: Visualizador con diodos emisores de luz. (a) Configuración de los siete segmentos. (b) Segmentos activos para los diez dígitos decimales.

1. Determine la tabla de verdad del visualizador.
2. Simplifique las expresiones de los segmentos a , b , \dots , g con mapas de Karnaugh.
3. Diseñe el circuito lógico de cada segmento mediante puertas NAND de dos entradas.

Ej. 197 — ¿Cuál es la diferencia entre un multiplexor y un demultiplexor?

Ej. 198 — Considere el multiplexor integrado 74151 (Tabla 7.6). Determine las condiciones de entrada que requiere el multiplexor para adoptar en su salida Z los niveles lógicos de su entrada I_5 .

Ej. 199 — Encuentre la lista de minitérminos de la función $F(A, B, C, D)$ de cuatro variables que se obtiene del circuito de la Figura 7.28.

Ej. 200 — Sea la siguiente función $F(A, B, C, D)$ de cuatro variables y A la variable de mayor peso.

$$F = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}BC\bar{D} + A\bar{B}\bar{C}\bar{D} + A\bar{B}C\bar{D} + AB\bar{C}\bar{D} + ABC\bar{D}$$

1. Implemente la función F con un multiplexor de dieciséis entradas.
2. Implemente la función F con un multiplexor de ocho entradas.
3. Implemente la función F con multiplexores de cuatro entradas.

Ej. 201 — Considere el demultiplexor integrado 74138 (Tabla 7.8). Determine las condiciones de entrada que requiere el demultiplexor para activar la salida \bar{Y}_2 .

Ej. 202 — Sea la siguiente función $F(A, B, C, D)$ de cuatro variables y A la variable con mayor peso.

$$F = \bar{A}\bar{B}C\bar{D} + A\bar{B}C\bar{D} + ABC\bar{D} + \bar{A}BC\bar{D} + AB\bar{C}\bar{D} + \bar{A}B\bar{C}\bar{D}$$

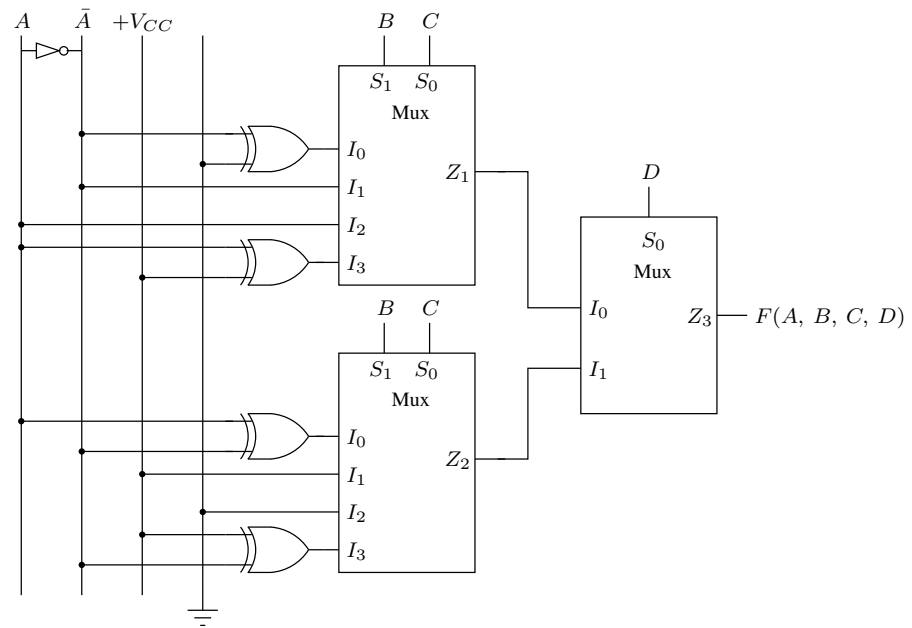


Figura 7.28: Combinación de multiplexores para realizar una función F .

1. Implemente la función F con un demultiplexor de una entrada a dieciséis salidas.
2. Implemente la función F con un demultiplexor de una entrada a ocho salidas.

Funciones Combinacionales Aritméticas

8.1 Introducción

En este capítulo, se presentan distintos tipos de circuitos lógicos combinacionales asociados al procesamiento de la información digital que permiten realizar operaciones aritméticas (suma y resta) y lógicas (AND, OR, XOR y complemento).

Las siguientes secciones describen cómo se pueden construir estos circuitos a partir de puertas lógicas y se detalla el funcionamiento de algunos circuitos lógicos combinacionales integrados MSI (*Medium Scale Integration*, integración de media escala).

8.2 Sumadores binarios

En esta sección se detallan los circuitos aritméticos que se utilizan para realizar una suma binaria. Para realizar una suma de dos dígitos binarios que tiene en cuenta el acarreo proveniente de una operación anterior, se utiliza un circuito denominado sumador completo. Sin embargo, si no es necesario tener en cuenta el acarreo de la operación anterior, se recurre a un semisumador.

Antes de tratar el funcionamiento de estos circuitos, se recuerda las reglas básicas de la suma binaria (aquí '+' es el símbolo de suma):

$$\text{Regla 1 : } 0 + 0 = 0$$

$$\text{Regla 2 : } 0 + 1 = 1$$

$$\text{Regla 3 : } 1 + 0 = 1$$

$$\text{Regla 4 : } 1 + 1 = 10$$

Las tres primeras reglas son evidentes. La cuarta regla dice que $1 + 1 = 10$ en binario. El '1' de la suma se lleva a la siguiente columna como en la suma decimal.

8.2.1 Semisumador binario

Las operaciones básicas de la suma binaria de dos bits se realizan mediante un circuito lógico combinacional denominado semisumador (*Half Adder*, HA) cuyo símbolo lógico se representa en la Figura 8.1(a). El semisumador tiene dos entradas para los

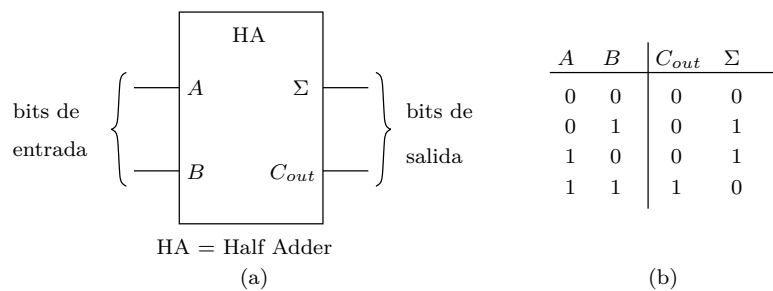


Figura 8.1: Semisumador. (a) Símbolo lógico. (b) Tabla de verdad.

dos dígitos binarios (A y B) y dos dígitos de salida para representar el bit de suma (Σ) y el bit de acarreo (C_{out}).

La tabla de verdad de la Figura 8.1(b) muestra el funcionamiento lógico del semisumador conforme las reglas básicas de suma binaria definidas al inicio de la sección. A partir de esta tabla, es fácil deducir las expresiones de salida de la suma y del acarreo a partir de las entradas A y B . Se observa que la salida correspondiente a la suma (Σ) es 1 si las entradas A y B tienen magnitudes distintas. La expresión lógica de la salida de suma es:

$$\Sigma = \bar{A}B + A\bar{B} = A \oplus B$$

Por otro lado, la salida de acarreo (C_{out}) toma el valor 1 cuando ambas entradas A y B toman el valor 1. Por consiguiente, la expresión lógica del acarreo se obtiene mediante una operación AND:

$$C_{out} = AB$$

A partir de las expresiones lógicas de la suma (Σ) y del acarreo (C_{out}), se puede llevar a cabo la implementación lógica del semisumador. Como muestra la Figura 8.2, la salida de la suma se obtiene mediante una puerta OR-exclusiva, siendo A y B las dos entradas representativas de los dígitos binarios, y la salida del acarreo se consigue mediante una puerta AND.

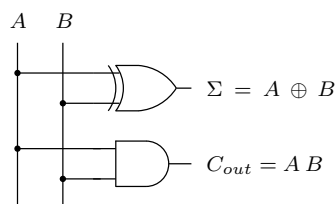


Figura 8.2: Diagrama lógico de un semisumador.

8.2.2 Sumador completo

Este tipo de sumador es fundamental para realizar operaciones de suma con acarreo proveniente de una operación anterior. Su símbolo lógico está representado en la Figura 8.3(a). El sumador completo (*Full Adder*, FA) tiene tres bits de entrada, dos bits para los dígitos de datos binarios (A y B), y un bit para recibir el dígito proveniente de una operación anterior, denominado acarreo de entrada (C_{in}). El sumador completo produce dos bits de salida para representar el bit de suma (Σ) y el bit de acarreo de salida (C_{out}).

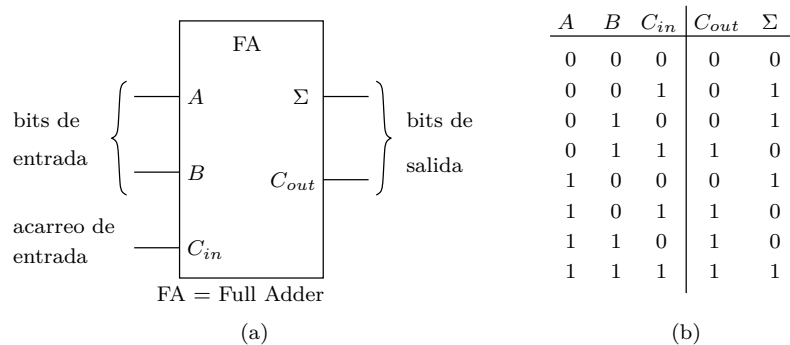


Figura 8.3: Sumador completo. (a) Símbolo lógico. (b) Tabla de verdad.

La tabla de verdad de la Figura 8.3(b) muestra el funcionamiento lógico del sumador completo. El sumador completo suma los dos bits de entrada (A y B) y el bit de acarreo proveniente de una operación anterior (C_{in}). A partir de esta tabla, se extraen las expresiones lógicas de salida de suma (Σ) y de acarreo (C_{out}) a partir de las entradas A , B y C_{in} :

$$\begin{aligned}\Sigma &= \bar{A} \bar{B} C_{in} + \bar{A} B \bar{C}_{in} + A \bar{B} \bar{C}_{in} + A B C_{in} \\ C_{out} &= \bar{A} B C_{in} + A \bar{B} C_{in} + A B \bar{C}_{in} + A B C_{in}\end{aligned}$$

Con el fin de conseguir expresiones lógicas con un mínimo número de literales para llevar a cabo la implementación lógica del sumador completo, se simplifican estas dos últimas expresiones mediante mapas de Karnaugh (Figura 8.4).

A partir de los mapas de Karnaugh de la Figura 8.4, se extraen las expresiones lógicas simplificadas del sumador completo:

$$\begin{aligned}\Sigma &= (A \oplus B) \oplus C \\ C_{out} &= \bar{A} B C_{in} + A \bar{B} C_{in} + A B = (A \oplus B) C_{in} + A B\end{aligned}$$

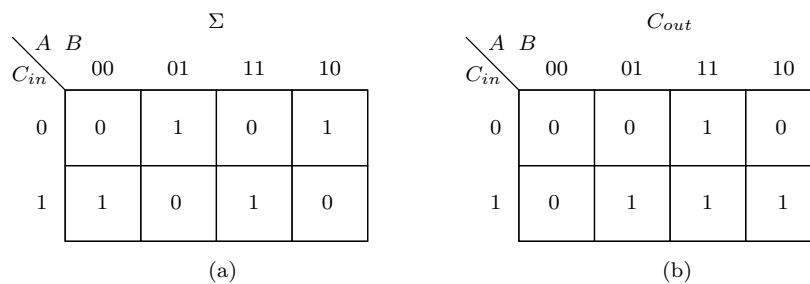


Figura 8.4: Mapas de Karnaugh del sumador completo. (a) Suma (Σ). (b) Acarreo de salida (C_{out}).

En el mapa de Karnaugh de la Figura 8.4(a), se puede observar que la función de suma no se puede simplificar. Para implementar la función de suma (Σ), se puede utilizar dos puertas OR-exclusiva, una para realizar la función $(A \oplus B)$, y la otra tiene como entradas la salida de esta primera puerta XOR y el acarreo de entrada (C_{in}), como se muestra en la Figura 8.5. Por otro lado, la implementación del acarreo de salida (C_{out}) del sumador completo se obtiene mediante la operación AND de las entradas A y B , la operación AND entre C_{in} y $(A \oplus B)$ y, finalmente, realizando la operación OR con las salidas de las dos operaciones AND anteriores.

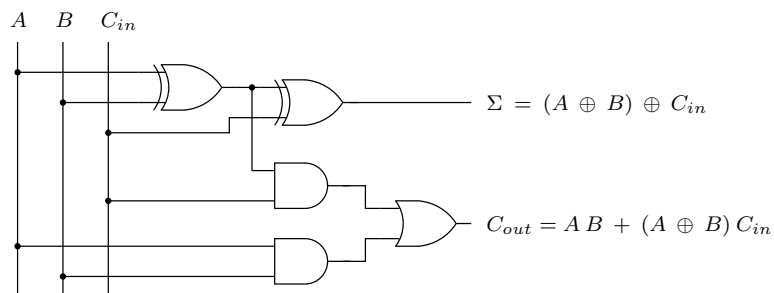


Figura 8.5: Diagrama lógico de un sumador completo.

8.2.3 Sumadores en paralelo con acarreo serie

En la sección anterior, se describió cómo un único sumador completo es capaz de sumar dos dígitos binarios de un bit y un bit de acarreo. Si se quiere sumar números binarios de más de un bit, será necesario utilizar tanto sumadores completos como número de bits. Por ejemplo, un sumador de cuatro bits consta de cuatro sumadores completos conectados como en el circuito de la Figura 8.6. Los bits menos significativos (LSB) de los dos números son A_1 y B_1 y los bits más significativos (MSB) son A_4 y B_4 . Los cuatro bits de suma son $\Sigma_1, \Sigma_2, \Sigma_3$ y Σ_4 . Observe que la entrada de acarreo del sumador LSB C_0 , se conecta a 0 (masa), ya que no existe entrada de acarreo en esta posición, y que el acarreo de salida de cada sumador se conecta a

la entrada del sumador de orden superior. En general, cualquier sumador de n bits, podría construirse de este modo.

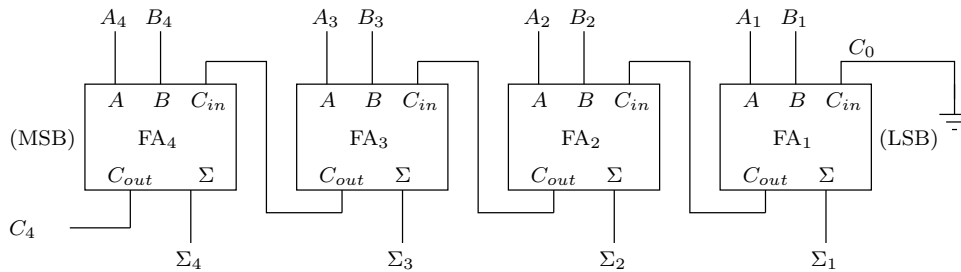


Figura 8.6: Sumador en paralelo de cuatro bits.

Si se analiza el circuito de la Figura 8.7 teniendo en cuenta los retardos de cada puerta, se puede ver que el mayor retardo en el sumador será desde el acarreo de entrada C_{in} del primer sumador completo (FA₁), o bits menos significativos A_1 y B_1 , al acarreo de salida C_{out} del cuarto sumador completo (FA₄). Cualquier cambio en C_{in} , A_1 o B_1 tendrá que propagarse a través de todos los sumadores completos. Por ello, este sumador se le denomina como sumador de acarreo serie, sumador de acarreo en cascada, o sumador de acarreo propagado (*ripple-carry adder*).

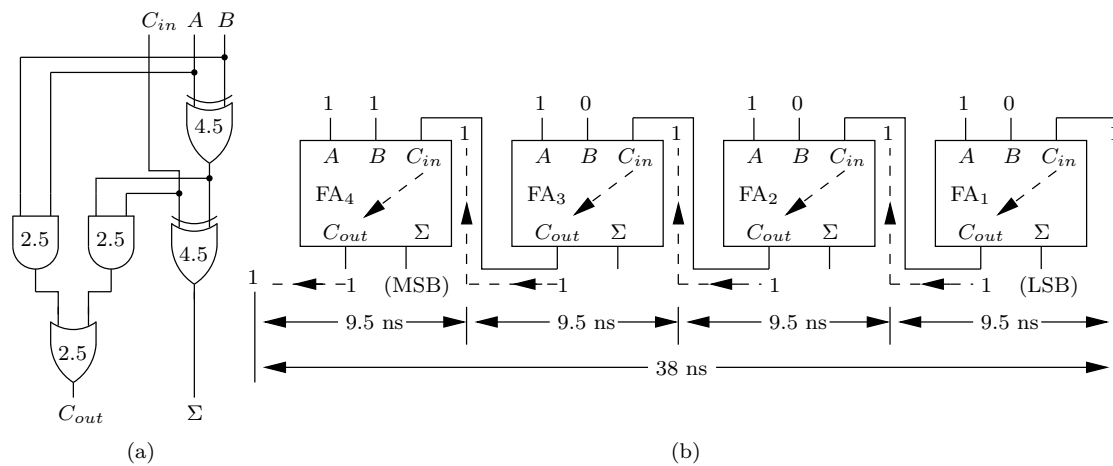


Figura 8.7: Sumador con acarreo serie. (a) Sumador completo con los retardos en ns incluidos en cada puerta a título indicativo (éstos dependen de la tecnología empleada). (b) Diagrama de bloques de un sumador paralelo con acarreo serie de cuatro bits.

8.2.4 Sumadores en paralelo con acarreo anticipado

En los circuitos con distintas etapas de sumadores en paralelo con acarreo serie, el proceso de suma y de acarreo de salida no se generan hasta que se introduce el acarreo de entrada o los bits menos significativos, causando una limitación en la velocidad del proceso de suma debido a que los acarreos tienen que propagarse a través de cada etapa. Sin embargo, es posible reducir el retardo del acarreo en cascada en este tipo de sumador utilizando la técnica de *acarreo anticipado*. Los sumadores con acarreo anticipado adelantan el acarreo de salida de cada etapa mediante el precálculo de las expresiones de cada acarreo por generación o por propagación.

La generación del acarreo se produce cuando el sumador completo genera el acarreo de salida mediante los dos bits de entrada A y B . El acarreo de salida se crea sólo si ambas entradas A y B están a 1. Este acarreo generado se expresa mediante la siguiente expresión:

$$g = AB$$

La propagación del acarreo sucede cuando el acarreo de entrada se propaga al acarreo de salida. Esto ocurre cuando el acarreo de entrada vale 1 y al menos uno de los dos bits de entrada A o B está a 1. Este acarreo propagado se expresa mediante la siguiente expresión:

$$p = A + B$$

La Figura 8.8 muestra las condiciones para la generación y propagación de acarreo.

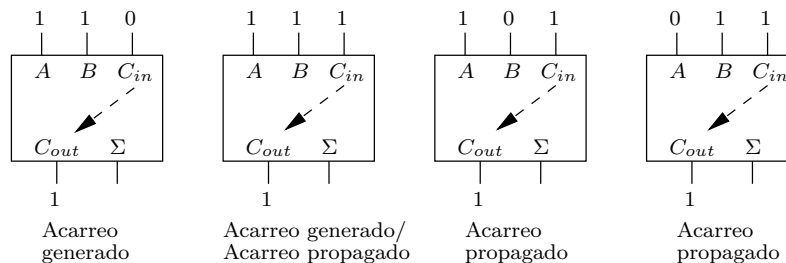


Figura 8.8: Condiciones para la generación y propagación del acarreo.

Finalmente, el acarreo de salida de un sumador completo (C_{out}) vale 1 si el acarreo generado es 1, o si el acarreo propagado es 1 y el acarreo de entrada (C_{in}) es también igual a 1. La expresión del acarreo de salida se escribe como:

$$C_{out} = g + pC_{in}$$

La Figura 8.9 muestra el diagrama lógico de un sumador completo con acarreo anticipado. El análisis del circuito muestra que el retardo máximo del acarreo es de 7.5 ns.

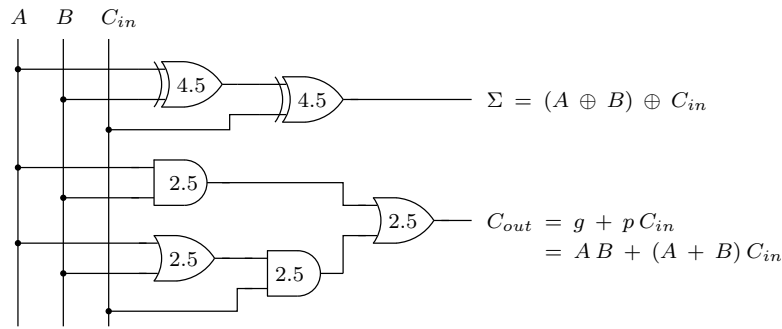


Figura 8.9: Diagrama lógico de un sumador completo con acarreo anticipado (los retardos en ns están incluidos en cada puerta a título indicativo. Éstos dependen de la tecnología empleada).

A continuación, se aplica la técnica descrita de acarreo anticipado a un sumador de cuatro bits como el de la Figura 8.6. El acarreo de salida de cada sumador completo depende del acarreo generado (g), del acarreo propagado (p) y del acarreo de entrada (C_{in}). El acarreo de entrada de cada sumador completo es el acarreo de salida de la etapa anterior. A partir de este análisis, se pueden desarrollar las expresiones para el acarreo de salida y el acarreo de entrada de cada sumador completo. Para el sumador completo 1 (FA_1), el acarreo de salida es:

$$C_{out1} = g_1 + p_1 C_{in1}$$

siendo $g_1 = A_1 B_1$ y $p_1 = A_1 + B_1$.

Para el sumador completo 2 (FA_2), el acarreo de entrada y el acarreo de salida se expresan como:

$$\begin{aligned} C_{out2} &= g_2 + p_2 C_{in2} = g_2 + p_2 g_1 + p_2 g_1 C_{in1} \\ C_{in2} &= C_{out1} \end{aligned}$$

siendo $g_2 = A_2 B_2$ y $p_2 = A_2 + B_2$.

Para el sumador completo 3 (FA_3), el acarreo de entrada y el acarreo de salida se expresan como:

$$\begin{aligned} C_{out3} &= g_3 + p_3 C_{in3} = g_3 + p_3 g_2 + p_3 g_2 g_1 + p_3 p_2 p_1 C_{in1} \\ C_{in3} &= C_{out2} \end{aligned}$$

siendo $g_3 = A_3 B_3$ y $p_3 = A_3 + B_3$.

Para el sumador completo 4 (FA_4), el acarreo de entrada y el acarreo de salida se expresan como:

$$\begin{aligned} C_{out4} &= g_4 + p_4 C_{in4} = g_4 + p_4 g_3 + p_4 p_3 g_2 + p_4 p_3 p_2 g_1 + p_4 p_3 p_2 p_1 C_{in1} \\ C_{in4} &= C_{out3} \end{aligned}$$

siendo $g_4 = A_4 B_4$ y $p_4 = A_4 + B_4$.

Las expresiones desarrolladas muestran que los acarrees de cada sumador pueden calcularse directamente a partir de los bits de entrada (A y B) y del acarreo de entrada C_{in1} . No es necesario esperar a que se propague el acarreo de entrada C_{in1} a través de todos los sumadores para obtener el resultado final y, por consiguiente, queda demostrado que la técnica de acarreo anticipado acelera el proceso de suma.

Por otro lado, en estas expresiones se observa que el número de entradas de las puertas OR y AND se incrementa en uno cuando se pasa de una etapa a otra, necesitando puertas con $n + 1$ entradas para un módulo de n bits. Debido a limitaciones en la conectividad de entrada y salida, esta técnica no se puede ampliar fácilmente a módulos superiores a cuatro bits. Tampoco se consigue mejorar el proceso de suma con la implementación del sumador mediante múltiples niveles de puertas, dado que se introducen mayores retardos, lo que contradice el objetivo de mejorar el proceso de suma.

El sumador en paralelo de cuatro bits con acarreo anticipado se implementa mediante un componente combinacional denominado generador de acarreo anticipado (*carry-look-ahead generator*, CLA). Como se muestra en la Figura 8.10, este generador CLA reemplaza la cadena de acarreo de cuatro bits ($C_{out1}, \dots, C_{out4}$) en cascada para acelerar el proceso de suma.

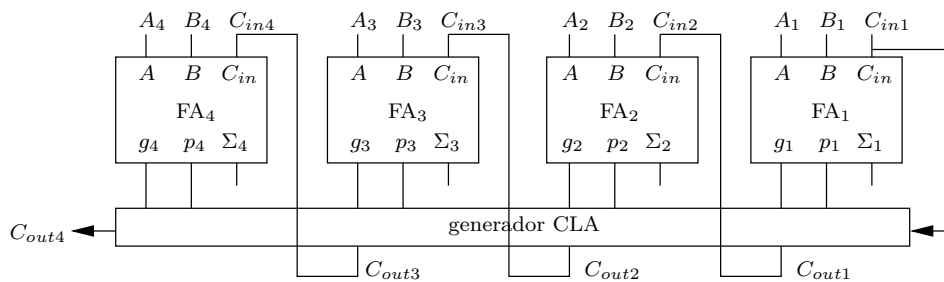


Figura 8.10: Sumador de cuatro bits con generador de acarreo anticipado.

8.2.5 Sumador en paralelo integrado

El circuito integrado 74283 (Figura 8.11) es un sumador en paralelo de cuatro bits con acarreo anticipado. Permite realizar la suma de dos números binarios A y B de cuatro bits. C_0 es el acarreo de entrada del sumador del bit menos significativo. C_4 es el acarreo de salida del sumador del bit más significativo. $\Sigma_1, \dots, \Sigma_4$ son las sumas de salida, siendo Σ_1 la suma del bit menos significativo y Σ_4 la suma del bit más significativo.

La Figura 8.12 muestra la tabla de verdad del sumador en paralelo de cuatro bits integrado 74283. C_2 es el acarreo interno de la suma $A_2 A_1 + B_2 B_1$ y se utiliza para calcular posteriormente la suma $A_4 A_3 + B_4 B_3$. C_4 es el acarreo de salida de la suma $A_4 + B_4$. Los valores de las entradas A_1, B_1, A_2, B_2 y C_0 se utilizan para

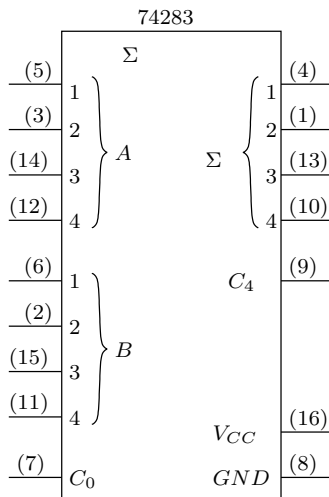


Figura 8.11: Símbolo lógico del sumador en paralelo de cuatro bits integrado 74283 (entre paréntesis se muestra la numeración de las patillas).

obtener las salidas Σ_1 , Σ_2 y el valor interno del acarreo C_2 . Los valores de C_2 , A_3 , B_3 , A_4 y B_4 se utilizan para obtener las salidas Σ_3 , Σ_4 y C_4 . Para utilizar esta tabla adecuadamente, se recomienda hacer los ejercicios 212 y 221.

Entradas				Salidas					
				cuando $C_0=L$			cuando $C_0=H$		
				cuando $C_2=L$			cuando $C_2=H$		
A_1	B_1	A_2	B_2	Σ_1	Σ_2	C_2	Σ_1	Σ_2	C_2
A_3	B_3	A_4	B_4	Σ_3	Σ_4	C_4	Σ_3	Σ_4	C_4
L	L	L	L	L	L	L	H	L	L
H	L	L	L	H	L	L	L	H	L
L	H	L	L	H	L	L	L	H	L
H	H	L	L	L	H	L	H	H	L
L	L	H	L	L	H	L	H	H	L
H	L	H	L	H	H	L	L	L	H
L	H	H	L	H	H	L	L	L	H
H	H	H	L	L	L	H	H	L	H
L	L	L	H	L	H	L	H	H	L
H	L	L	H	H	H	L	L	L	H
L	H	L	H	H	H	L	L	L	H
H	H	L	H	L	L	H	H	L	H
L	L	H	H	L	L	H	H	L	H
H	L	H	H	H	L	H	L	H	H
L	H	H	H	H	L	H	L	H	H
H	H	H	H	L	H	H	H	H	H

Figura 8.12: Tabla de verdad del sumador en paralelo de cuatro bits integrado 74283.

Cuestiones y Ejercicios Resueltos

Ej. 203 — Calcule las siguientes sumas binarias:

$$\begin{array}{r}
 1\ 0\ 1 \\
 +\ 1\ 0 \\
 \hline
 \end{array}
 \quad
 \begin{array}{r}
 1\ 0\ 1 \\
 +\ 1\ 1 \\
 \hline
 \end{array}
 \quad
 \begin{array}{r}
 1\ 0\ 0\ 1 \\
 +\ 1\ 0\ 1 \\
 \hline
 \end{array}$$

(a) (b) (c)

Solución (Ej. 203) — A partir de las reglas de suma definidas al inicio de la sección de los sumadores binarios, se obtiene las siguientes soluciones: (a) 1 1 1 (b) 1 0 0 0 (c) 1 1 1 0.

Ej. 204 — ¿Cuántas entradas y salidas tiene el circuito de un semisumador?

Solución (Ej. 204) — El circuito de un semisumador tiene dos entradas y dos salidas.

Ej. 205 — ¿Cuántas entradas y salidas tiene el circuito de un sumador completo?

Solución (Ej. 205) — El circuito de un sumador completo tiene tres entradas y dos salidas.

Ej. 206 — Implemente el sumador completo mediante el diagrama de bloques de dos semisumadores y una puerta lógica OR.

Solución (Ej. 206) — Si se observa la Figura 8.5, se puede constatar que existen dos semisumadores conectados en cascada. Las dos entradas del primer semisumador toman los datos de los dos dígitos binarios (A y B). Las dos entradas del segundo semisumador se conectan a la salida de suma del primer semisumador y al acarreo de entrada (C_{in}). Para conseguir la implementación del sumador completo mediante el diagrama de bloques de semisumadores (Figura 8.13), es necesario además añadir una puerta OR que toman los acarreo de salida de los dos semisumadores para devolver el resultado del acarreo de salida (C_{out}) del sumador completo.

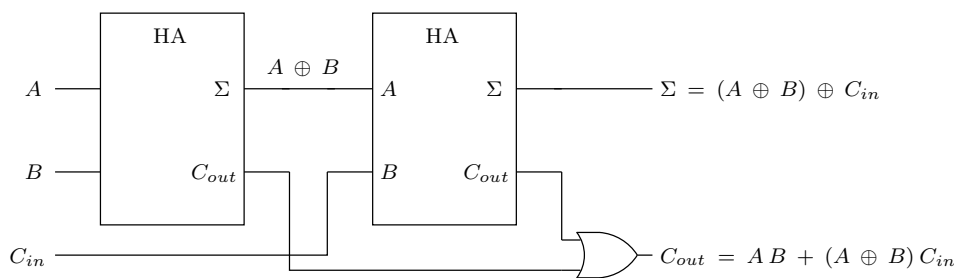


Figura 8.13: Implementación de un sumador completo mediante semisumadores.

Ej. 207 — Sea el circuito de la Figura 8.14. Para cada conjunto de impulsos en las entradas, obtenga:

1. Los distintos valores de las salidas de suma (Σ).
2. Los distintos valores de las salidas de acarreo (C_{out}).

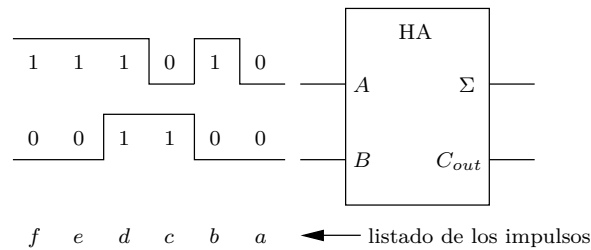


Figura 8.14: Sumador completo con impulsos en sus entradas.

Solución (Ej. 207) — A partir de las reglas de suma definidas al inicio de la sección de los sumadores binarios, se obtiene las siguientes soluciones:

1. Para las salidas de suma (Σ): pulso a $\Sigma = 0$, pulso b $\Sigma = 1$, pulso c $\Sigma = 1$, pulso d $\Sigma = 0$, pulso e $\Sigma = 1$ y pulso f $\Sigma = 1$.
2. Para las salidas de acarreo (C_{out}): pulso a $C_{out} = 0$, pulso b $C_{out} = 0$, pulso c $C_{out} = 0$, pulso d $C_{out} = 1$, pulso e $C_{out} = 0$ y pulso f $C_{out} = 0$.

Ej. 208 — Las entradas de un sumador completo con acarreo anticipado son: $A = 0$ y $B = 1$. Determine el acarreo generado g y el acarreo propagado p .

Solución (Ej. 208) — El acarreo generado y el acarreo propagado toman los valores $g = 0$ y $p = 1$, dado que las expresiones del acarreo generado y del acarreo propagado son, respectivamente, $g = AB$ y $p = A + B$.

Ej. 209 — Implemente el circuito lógico de un sumador completo de cuatro bits con acarreo anticipado mediante puertas lógicas XOR, AND y OR.

Solución (Ej. 209) — A partir de las expresiones desarrolladas en la sección 8.2.4, se obtiene el circuito lógico del sumador completo de cuatro bits con acarreo anticipado como el que se muestra en la Figura 8.15.

Ej. 210 — Sea el circuito de la Figura 8.16. Para cada conjunto de impulsos en las entradas, obtenga:

1. Los distintos valores de las salidas de suma (Σ).
2. Los distintos valores de las salidas de acarreo (C_{out}).

Solución (Ej. 210) — A partir de las reglas de suma definidas al inicio de la sección de los sumadores binarios, se obtiene las siguientes soluciones:

1. Para las salidas de suma (Σ): pulso a $\Sigma = 0$, pulso b $\Sigma = 1$, pulso c $\Sigma = 1$, pulso d $\Sigma = 0$, pulso e $\Sigma = 0$ y pulso f $\Sigma = 1$.

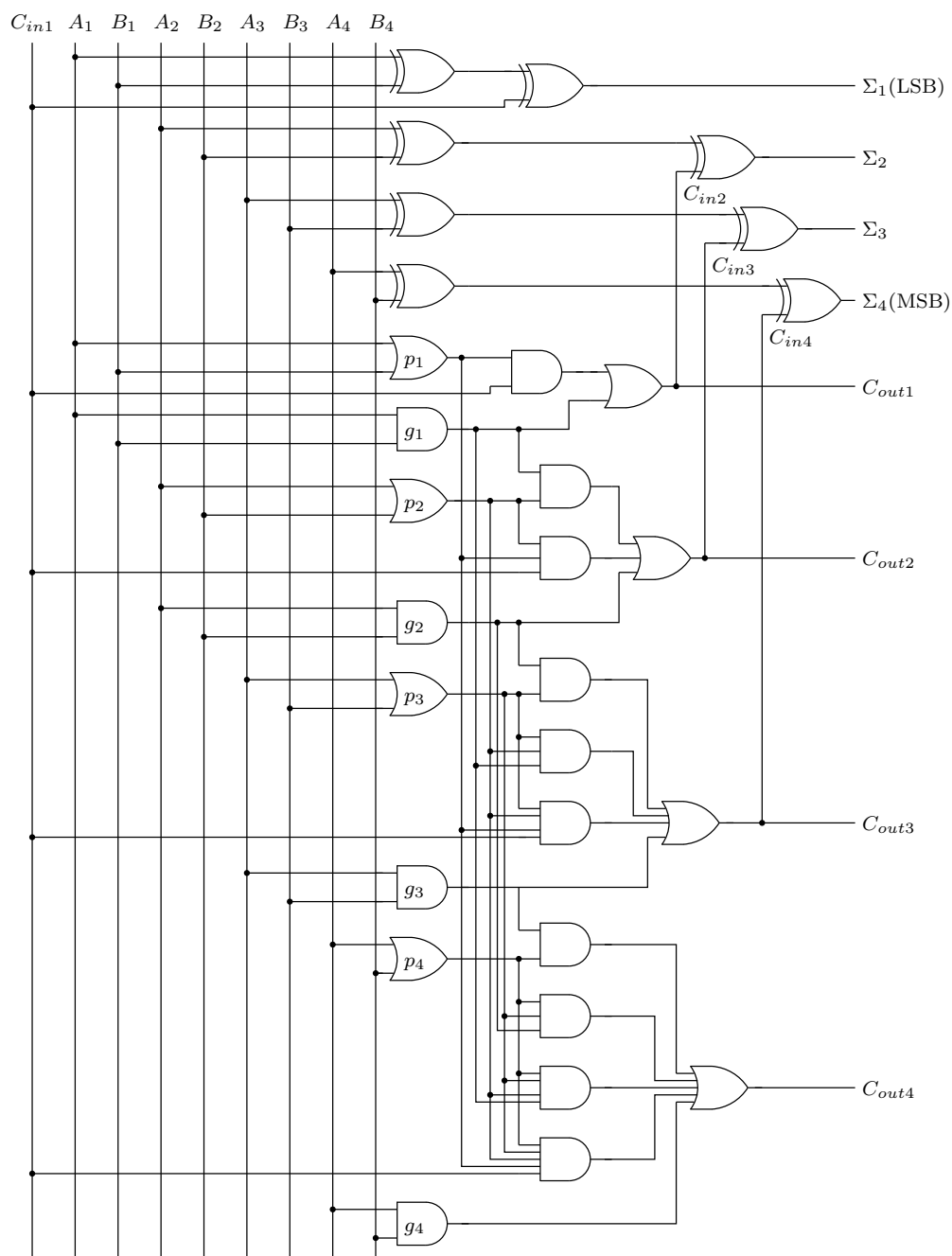


Figura 8.15: Circuito lógico de un sumador completo de cuatro bits con acarreo anticipado.

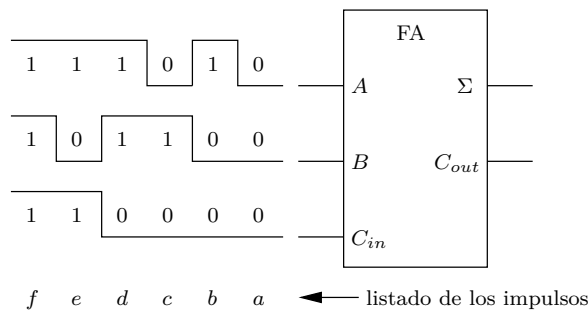


Figura 8.16: Sumador completo con impulsos en sus entradas.

2. Para las salidas de acarreo (C_{out}): pulso a $C_{out} = 0$, pulso b $C_{out} = 0$, pulso c $C_{out} = 0$, pulso d $C_{out} = 1$, pulso e $C_{out} = 1$ y pulso f $C_{out} = 1$.

Ej. 211 — Realice el montaje para obtener la suma de dos números binarios de ocho bits mediante sumadores integrados 74283.

Solución (Ej. 211) — Para poder sumar dos números binarios de ocho bits mediante sumadores integrados de cuatro bits, es necesario conectar en cascada dos sumadores integrados 74283 como en el montaje de la Figura 8.17. A_1 y B_1 corresponden a los bits menos significativos (LSB, *Least Significant Bit*), y A_8 y B_8 corresponden a los bits más significativos (MSB, *Most Significant Bit*).

Entre los dos circuitos integrados, se conecta la salida de acarreo del sumador de

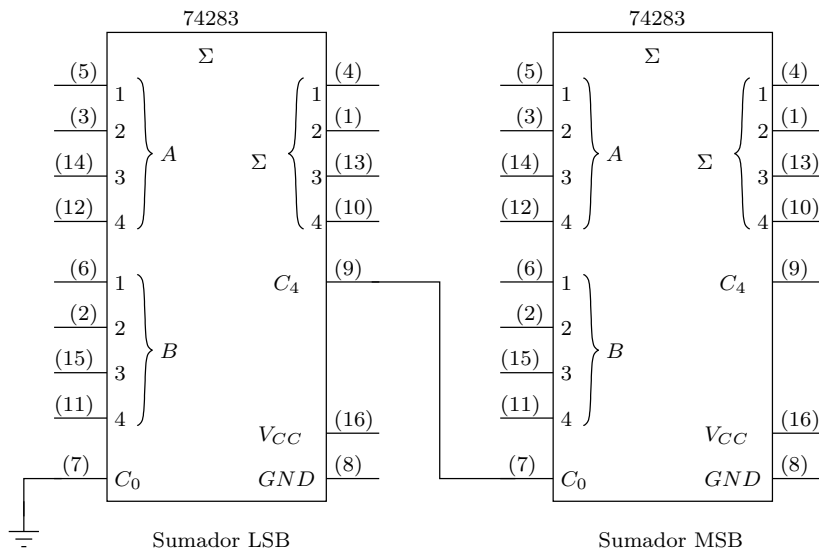


Figura 8.17: Implementación de un sumador de ocho bits mediante dos 74283.

los bits menos significativos a la entrada de acarreo del sumador de los bits más significativos. El acarreo de entrada del sumador de los bits menos significativos se conecta a masa, dado que no hay entrada de acarreo.

Ej. 212 — A partir de la tabla de verdad del sumador en paralelo de cuatro bits integrado 74283 (Figura 8.12), obtenga la suma y el acarreo de salida correspondientes a los dos números binarios de 4 bits siguientes, siendo el acarreo de entrada $C_0 = 0$: $A_4 A_3 A_2 A_1 = 1 0 1 0$ y $B_4 B_3 B_2 B_1 = 1 0 1 1$.

Solución (Ej. 212) — La tabla de verdad de la Figura 8.12 muestra que $\Sigma_1 = 1$, $\Sigma_2 = 0$ y $C_2 = 1$ para $A_1 = 0$, $B_1 = 1$, $A_2 = 1$, $B_2 = 1$ y $C_0 = 0$. Para $A_3 = 0$, $B_3 = 0$, $A_4 = 1$, $B_4 = 1$ y $C_2 = 1$, las últimas tres columnas de salidas de la tabla de verdad dan $\Sigma_3 = 1$, $\Sigma_4 = 0$ y $C_4 = 1$. De acuerdo con la tabla de verdad, la suma es: $\Sigma_4 \Sigma_3 \Sigma_2 \Sigma_1 = 0 1 0 1$ y $C_4 = 1$.

8.3 Restadores binarios

Para la operación de la resta binaria se recurre a un planteamiento similar al que se utiliza para la suma binaria (Sección 8.2). Las reglas básicas que definen la resta binaria son las siguientes:

$$\text{Regla 1: } 0 - 0 = 0$$

$$\text{Regla 2: } 0 - 1 = 1 \text{ y se debe 1}$$

$$\text{Regla 3: } 1 - 0 = 1$$

$$\text{Regla 4: } 1 - 1 = 0$$

En estas reglas, la columna de la izquierda corresponde al *minuendo*, la columna central al *sustraendo*, y la columna de la derecha, a la *diferencia*. En las reglas 1, 2 y 4, el minuendo es igual o mayor que el sustraendo, por lo que sus resultados son evidentes. En la regla 2, sin embargo, el sustraendo es mayor que el minuendo ($0 - 1$); para poder restar estas cantidades, el minuendo recibe *prestado* un 1 de la segunda columna binaria, lo que equivale a restar, en binario, $10 - 1$. El resultado (diferencia) en este caso es 1, pero hay que tener en cuenta que se ha *prestado* un 1 de la segunda columna a la primera, por lo que en el resultado también hay que indicar que *se debe 1*.

8.3.1 Semirrestador binario

Al igual que en el caso de la suma, si en la operación de resta no es necesario tener en cuenta la entrada de préstamo de la operación de resta anterior, ésta se realiza mediante un circuito denominado semirrestador (*Half Subtractor*, HS), cuyo símbolo lógico se representa en la Figura 8.18(a). El semirrestador tiene dos entradas, para el minuendo (A) y el sustraendo (B), y dos salidas, que corresponden al bit de diferencia (D) y el bit de préstamo (B_{out}).

La Figura 8.18(b) muestra la tabla de verdad que define el comportamiento del semirrestador, a partir de las reglas básicas de la resta binaria definidas anteriormente. Las ecuaciones booleanas que definen el comportamiento del semirrestador se

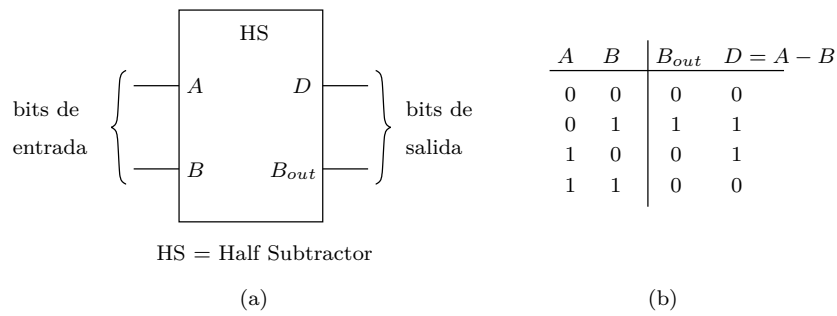


Figura 8.18: Semirrestador: (a) Símbolo lógico. (b) Tabla de verdad.

pueden obtener a partir de su tabla de verdad, resultando las siguientes expresiones para la diferencia y el préstamo de entrada:

$$D = \bar{A}B + A\bar{B} = A \oplus B$$

$$B_{out} = \bar{A}B$$

El circuito lógico del semirrestador se puede implementar empleando una puerta OR-exclusiva, con entradas A y B , para obtener la diferencia, y una puerta AND con su entrada A invertida para obtener el préstamo de salida, tal y como se muestra en la Figura 8.19.

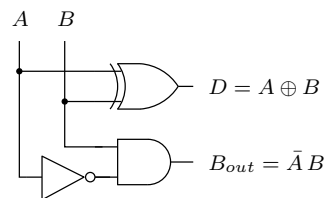


Figura 8.19: Diagrama lógico de un semirrestador.

8.3.2 Restador completo

Cuando la operación de resta de la etapa anterior genera una señal de préstamo, es necesario utilizar un circuito restador completo (*Full Subtractor*, FS). Este circuito, cuyo símbolo lógico se representa en la Figura 8.20(a), tiene tres bits de entrada, correspondientes al minuendo (A), sustraendo (B) y préstamo de entrada (B_{in}), y dos bits de salida, para la diferencia (D) y el préstamo de salida (B_{out}).

La Figura 8.20(b) muestra la tabla de verdad del restador completo. El resultado se obtiene restando los bits B y B_{in} del bit A . Las ecuaciones que definen el comportamiento del restador completo, obtenidas de su tabla de verdad, son las

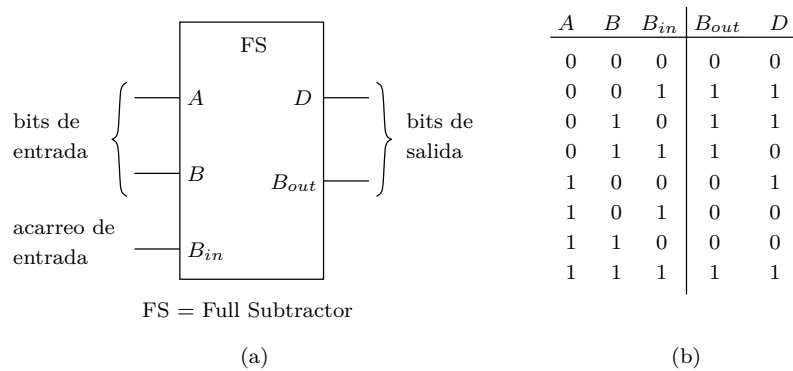


Figura 8.20: Restador completo: (a) Símbolo lógico. (b) Tabla de verdad.

siguientes:

$$D = \bar{A}\bar{B}B_{in} + \bar{A}B\bar{B}_{in} + A\bar{B}\bar{B}_{in} + AB B_{in}$$

$$B_{out} = \bar{A}\bar{B}B_{in} + \bar{A}B\bar{B}_{in} + \bar{A}B B_{in} + AB B_{in}$$

Estas expresiones se pueden simplificar empleando mapas de Karnaugh para obtener unas expresiones más sencillas. A partir de la Figura 8.21, las expresiones simplificadas del restador completo son:

$$D = (A \oplus B) \oplus B_{in}$$

$$B_{out} = \bar{A}B + (\bar{A} \oplus \bar{B})B_{in}$$

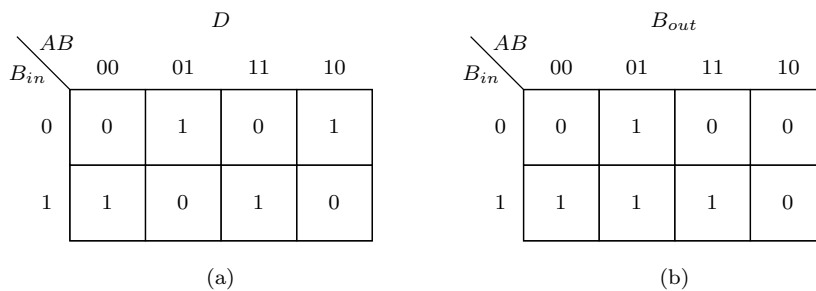


Figura 8.21: Mapas de Karnaugh del restador completo: (a) Diferencia. (b) Préstamo de salida.

La expresión de la diferencia, D , resulta la misma que para el sumador completo, por lo que no se puede simplificar. Su implementación se realiza mediante dos puertas OR-exclusivas, al igual que en el caso del sumador. La expresión de B_{out} se puede implementar realizando la operación AND entre las señales \bar{A} y B , y entre la salida de la primera puerta OR-exclusiva (negada) y la señal B_{in} , sumando posteriormente de forma lógica el resultado de las dos operaciones AND anteriores.

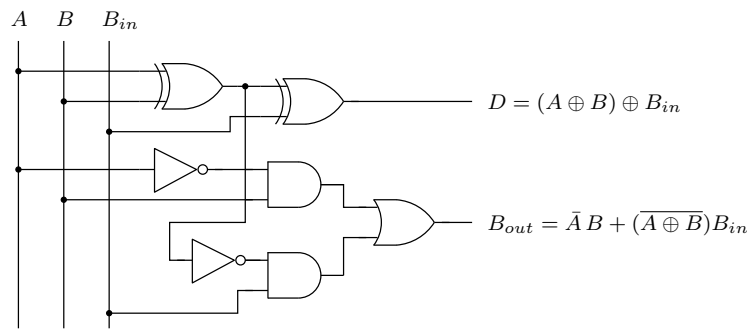


Figura 8.22: Diagrama lógico del restador completo.

El circuito resultante para la implementación del restador completo se muestra en la Figura 8.22.

8.3.3 Suma y resta en complemento a 2

A pesar de que es posible construir un restador de n bits a partir de n restadores completos de 1 bit, usualmente la resta binaria se realiza sumando el complemento a 2 del sustraendo. Para justificar esto, considérese la resta entre dos números A y B . El cálculo de su diferencia se obtiene como

$$D = A - B$$

que es equivalente a

$$D = A + (-B)$$

Para el operando B se cumple que $B + (-B) = 0$. Si se consideran números de n bits, B y $-B$ vendrán definidos, respectivamente, como $b_{n-1} b_{n-2} \dots b_1 b_0$ y $c_{n-1} c_{n-2} \dots c_1 c_0$. El problema se reduce entonces a encontrar los valores c_i que cumplen que

$$(b_{n-1} b_{n-2} \dots b_1 b_0) + (c_{n-1} c_{n-2} \dots c_1 c_0) = (0_{n-1} 0_{n-2} \dots 0_1 0_0)$$

Para cumplir esta condición basta con elegir $c_i = \bar{b}_i$ y sumar 1 a este resultado. De esta forma se obtiene

$$\begin{aligned} (b_{n-1} b_{n-2} \dots b_1 b_0) + (\bar{b}_{n-1} \bar{b}_{n-2} \dots \bar{b}_1 \bar{b}_0) + 1 &= \\ = (1_{n-1} 1_{n-2} \dots 1_1 1_0) + 1 &= (1_n 0_{n-1} 0_{n-2} \dots 0_1 0_0) \end{aligned}$$

La inversión de cada bit de $\bar{B} = \bar{b}_{n-1} \bar{b}_{n-2} \dots \bar{b}_1 \bar{b}_0$ corresponde al *complemento a 1* de B . Sumando 1 al complemento a 1 se obtiene el *complemento a 2*:

$$\text{complemento a 2 } (B) = \text{complemento a 1 } (B) + 1 = \bar{B} + 1$$

por lo que

$$B + \text{complemento a 2 } (B) = 0$$

si se consideran únicamente los bits $n - 1, n - 2, \dots, 1, 0$.

Como conclusión, la resta D de dos números A y B se puede expresar en función de la suma del complemento a 2, como

$$D = A - B = A + \text{complemento a 2 } (B)$$

considerando únicamente los n bits de menor peso del resultado.

8.3.4 Utilización de sumadores para la resta

Tal y como se ha demostrado en la sección 8.3.3, la resta de dos números se puede expresar a partir de la suma y del complemento a 2 del sustraendo:

$$D = A - B = A + \text{complemento a 2 } (B) = A + \text{complemento a 1 } (B) + 1$$

Según la expresión anterior, un circuito sumador completo puede utilizarse para restar dos números modificando sus entradas como se indica en la Figura 8.23: la entrada A (minuendo) queda inalterada, la entrada B (sustraendo) se invierte (complemento a 1), y el acarreo de entrada (C_{in}) queda fijo a 1.

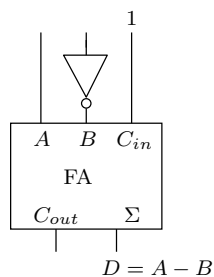


Figura 8.23: Obtención de un restador completo de 1 bit a partir de un sumador completo.

Esta configuración permite emplear circuitos sumadores completos para realizar tanto la suma como la de resta, escogiendo la operación a realizar mediante un bit de selección. La Figura 8.24 muestra la implementación de un sumador/restador, en el que la operación se selecciona mediante la entrada C :

- Si $C = 0$, la salida de las puertas OR-exclusivas es igual a la entrada B ($B \oplus C = B \oplus 0 = B$), y la operación realizada corresponde a la suma. Además, el acarreo de entrada del sumador, correspondiente al bit de menor peso, toma el valor de C ($C_{in}^{LSB} = C = 0$), por lo que no se introduce acarreo de entrada, y la operación realizada corresponde a $A + B$.
- Si $C = 1$, las puertas OR-exclusivas generan el complemento a 1 de B ($B \oplus C = B \oplus 1 = \bar{B}$), que se introduce al sumador completo por la entrada del segundo sumando. El 1 que es necesario sumar para obtener el complemento a 2 de B se introduce por la entrada $C_{in}^{LSB} = C = 1$, por lo que la operación realizada corresponde en este caso a la resta de A y B : $A - B = A + \bar{B} + 1$.

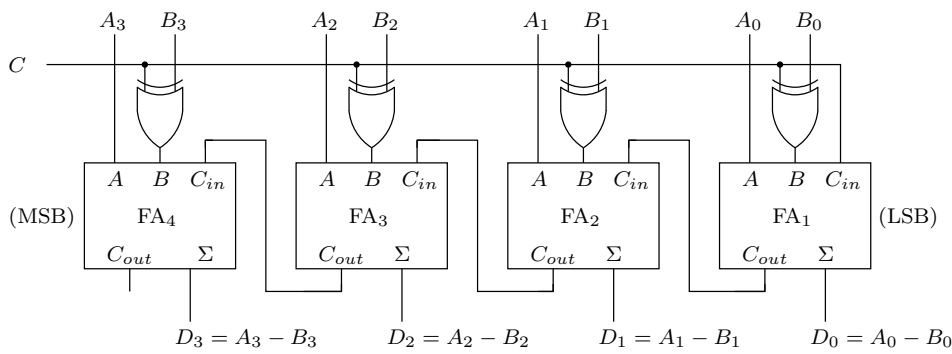


Figura 8.24: Sumador/restador en complemento a 2 de cuatro bits.

8.3.5 Números negativos

Cuando se realiza la operación de suma/resta de dos números, A y B , de n bits, es importante determinar cuál va a ser la representación del resultado. Se ha visto cómo la operación de suma/resta de dos números de n bits genera un resultado de $n + 1$ bits. Si la operación que se considera es la suma, el valor máximo de salida que se puede representar, considerando el bit $n + 1$ de acarreo de salida, es $2^{n+1} - 1$. Por ejemplo, si $n = 4$, el valor máximo de los sumandos es $2^4 - 1 = 15$, y al considerar un acarreo de entrada igual a 1, el valor máximo que se puede obtener en la salida es $(2^4 - 1) + (2^4 - 1) + 1 = 2^5 - 1 = 31$.

Si la operación realizada es la resta, pueden ocurrir dos casos:

1. El resultado es mayor o igual que 0. En este caso, la resta genera un número no negativo, y, como se ha visto anteriormente, se descarta el bit $n + 1$, por lo que el valor máximo del resultado que se puede obtener es $2^n - 1$ (por ejemplo, para $n = 4$, $15 - 0 = 15$).
2. El resultado es menor que 0. En este caso el minuendo es menor que el sustraendo, por lo que el resultado es un número negativo, y la representación del resultado debe tener en cuenta esta posibilidad.

En el segundo caso es necesario destinar parte del rango de la representación a números positivos, y el rango restante a números negativos. Usualmente, se suele utilizar la representación en complemento a 2, lo que además resulta compatible con el enfoque empleado en los circuitos sumadores/restadores vistos en la Sección 8.3.4:

$$X = s x_{n-1} x_{n-2} \dots x_1 x_0$$

Al utilizar la representación complemento a 2 empleando $n + 1$ bits, el bit más significativo (n) se destina al signo (s), mientras que los bits restantes (x_i) se destinan a representar el valor absoluto del número, todo ello en base 10:

$$s \times (-2^n) + x_{n-1} \times 2^{n-1} + x_{n-2} \times 2^{n-2} + \dots + x_1 \times 2^1 + x_0 \times 2^0$$

De esta forma, cuando $s = 0$ se obtiene un número positivo entre 0 y $2^n - 1$, mientras que si $s = 1$ se suma -2^n al valor de los bits $x_{n-1} x_{n-2} \dots x_1 x_0$, obteniéndose un valor negativo en el rango de -1 a -2^n .

Cuestiones y Ejercicios Resueltos

Ej. 213 — Dado el número $N_2 = 10011101$ representado en complemento a 2, determinar su valor en base 10.

Solución (Ej. 213) — El bit más significativo corresponde al bit de signo, mientras que los 7 bits restantes indicarán el módulo del número. Ponderando cada uno de los bits, el valor en base 10 corresponde a: $N_{10} = 1 \times (-2^7) + 1 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 1 \times 2^0 = -99$

Ej. 214 — ¿Qué modificaciones deben hacerse en un sumador completo para transformarlo en un restador completo?

Solución (Ej. 214) — Conectar una puerta inversora en la entrada del sustraendo, y fijar la entrada del acarreo de entrada (C_{in}) a 1.

Ej. 215 — ¿Qué modificaciones deben hacerse en un sumador completo de n bits para que realice también la operación de resta?

Solución (Ej. 215) — Debe conectarse una puerta OR-exclusiva en la entrada del sustraendo de cada sumador completo. Las entradas de dichas puertas son el sustraendo y el bit de control (C), que selecciona la operación a realizar (0: suma, 1: resta). La señal de control también se introduce por la entrada de acarreo (C_{in}) de entrada del sumador completo de menor peso (LSB).

8.4 Unidad lógica

Se define como tal a todo circuito combinacional aritmético que permite realizar una de entre varias funciones booleanas con dos operandos X e Y . Así, si se selecciona la función $f_i(X, Y)$, la salida generada por la unidad lógica será $S = f_i(X, Y)$.

Si se pretende diseñar una unidad lógica, lo primero que hay que definir es el número de funciones booleanas que debe realizar, también el número de variables sobre las que se efectúan dichas funciones booleanas y el tamaño en bits de las variables. Sea el caso de desarrollar una unidad lógica que opere sobre dos variables de cuatro bits y que contenga las funciones lógicas básicas resumidas en la Figura 8.1. Aparecen seis funciones lógicas de dos variables, por lo que serían necesarias tres variables de selección S_2, S_1, S_0 (en realidad, con estas variables se podrían seleccionar hasta ocho posibles funciones booleanas).

x_i	y_i	f_0	f_1	f_2	f_3	f_4	f_5
0	0	1	0	1	0	1	0
0	1	0	1	1	0	0	1
1	0	0	1	1	0	0	1
1	1	0	0	0	1	1	1

Tabla 8.1: Seis funciones booleanas de dos variables para el diseño de una unidad lógica.

	f_0	f_1	f_2	f_3	f_4	f_5
S_0	1	0	1	0	1	0
S_1	0	1	1	0	0	1
S_3	0	0	0	1	1	1

Tabla 8.2: Señales de selección para las seis funciones booleanas de la Tabla 8.1.

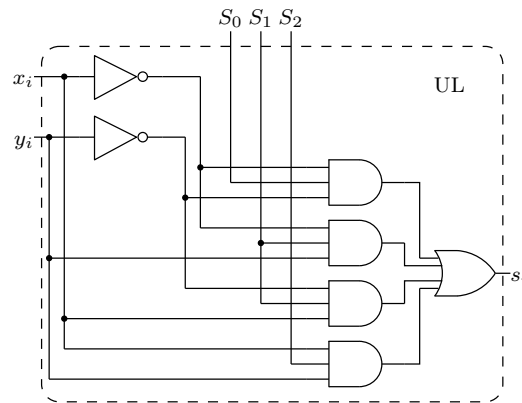


Figura 8.25: Diseño digital de la unidad lógica de seis funciones booleanas de dos entradas.

La unidad lógica para cada pareja de bits se muestra en la Figura 8.25. Como las variables sobre las que se desea operar son de cuatro bits, será necesario usar cuatro de estas unidades lógicas para obtener el diseño final de la unidad lógica (ver Figura 8.26). En general, cualquier unidad lógica de n bits contiene n módulos funcionando en paralelo.

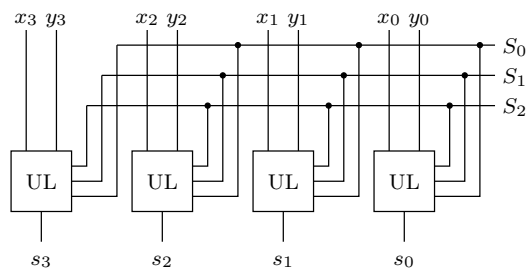


Figura 8.26: Diseño digital final de la unidad lógica de seis funciones booleanas de dos entradas de cuatro bits.

8.5 Unidad aritmético-lógica

La unidad aritmético-lógica (ALU, de la denominación anglosajona *Arithmetic-Logic Unit*) se encarga de las operaciones aritméticas y lógicas elementales de un microprocesador. Entre las operaciones aritméticas que realiza se encuentran las de

suma, resta, incremento y decremento. Las operaciones lógicas que suelen incluirse son: AND, OR, identidad y complementación.

Todas las operaciones aritméticas se fundamentan en la suma, por lo que se puede diseñar una ALU sin más que modificar las entradas de un sumador de acarreo propagado o de acarreo anticipado. Para ello se conectan a las entradas del sumador unos circuitos ampliadores. La lógica de modificación empleada en las operaciones aritméticas se denomina *amplificador aritmético* (AE, de la denominación anglosajona *Arithmetic Extender*), mientras que la lógica de modificación usada en las operaciones lógicas se denomina *amplificador lógico* (LE, del término anglosajón *Logic Extender*).

En resumen, se tiene un ejemplo de ALU con cuatro operaciones aritméticas y cuatro operaciones lógicas. Para distinguir cuándo la ALU está funcionando en modo aritmético o en modo lógico, se emplea una variable de control M . De esta manera, con dos variables de control S_0 y S_1 bastaría para seleccionar cada una de las cuatro funciones lógicas o aritméticas de que dispone la ALU. De acuerdo a la Tabla 8.3, cuando $M = 0$ se realizan las funciones lógicas. Las funciones aritméticas quedan seleccionadas si $M = 1$.

M	S_1	S_0	X	Y	Función	F	c_0
0	0	0	\bar{A}	0	Complemento	\bar{A}	0
0	0	1	$A \cdot B$	0	AND	$A \cdot B$	0
0	1	0	A	0	Identidad	A	0
0	1	1	$A + B$	0	OR	$A + B$	0
1	0	0	A	1111	Decremento	$A - 1$	0
1	0	1	A	B	Suma	$A + B$	0
1	1	0	A	\bar{B}	Resta	$A + \bar{B} + 1$	1
1	1	1	A	0000	Incremento	$A + 1$	1

Tabla 8.3: Tabla funcional del una ALU de 4 bits.

Para diseñar el amplificador aritmético, se analizará la parte inferior de la Tabla 8.3 (aquella en la que $M = 1$). En él se observa que la entrada X del sumador requiere siempre el valor de A , mientras que la entrada Y puede ser todo 1s, todo 0s, B ó \bar{B} . Estos cuatro posibles valores en la entrada Y deben ser generados por el amplificador aritmético, cuya tabla de verdad se refleja en la Tabla 8.4.

A partir de ella se obtiene la función booleana del amplificador aritmético, cuyo esquema lógico es el de la Figura 8.27.

$$y_i = M\bar{S}_1b_i + M\bar{S}_0\bar{b}_i$$

En cuanto al diseño del amplificador lógico, se analizará la parte superior de la Tabla 8.3 (donde $M = 0$). Se observa que las entradas Y y c_0 son siempre 0 para operaciones lógicas, a diferencia de la entrada X , que requiere de diferentes expresiones

M	S_1	S_0	b_i	y_i
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Tabla 8.4: Tabla de verdad del ampliador aritmético.

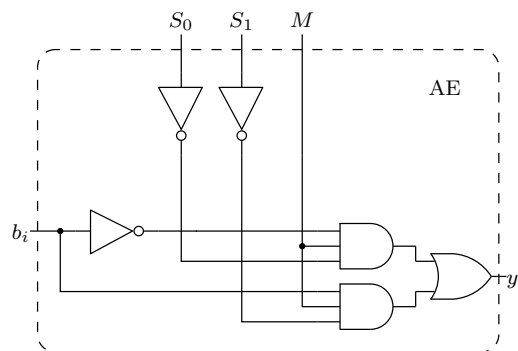


Figura 8.27: Diseño lógico a nivel de esquema del ampliador aritmético.

M	S_1	S_0	x_i
0	0	0	\bar{a}_i
0	0	1	$a_i b_i$
0	1	0	a_i
0	1	1	$a_i + b_i$
1	X	X	a_i

Tabla 8.5: Tabla de verdad del ampliador lógico.

siones booleanas según la operación lógica de que se trate. La tabla de verdad que describe el funcionamiento del ampliador lógico se resume en el [Tabla 8.5](#).

De esta manera, la función lógica que describe al ampliador lógico es:

$$x_i = \bar{M}\bar{S}_1\bar{S}_0\bar{a}_i + \bar{M}S_1S_0b_i + S_0a_ib_i + S_1a_i + Ma_i$$

que se corresponde con el circuito lógico de la [Figura 8.28](#).

Una vez obtenidos los diseños de los circuitos lógicos correspondientes al ampliador aritmético y al ampliador lógico, sólo falta unirlos adecuadamente con unos sumadores (por ejemplo: FA o *Full Adder*) para formar la unidad aritmético-lógica completa ([Figura 8.29](#)). Debe tenerse en cuenta que las operaciones lógicas se realizan en el ampliador lógico de la ALU. En este caso, los sumadores se encargan

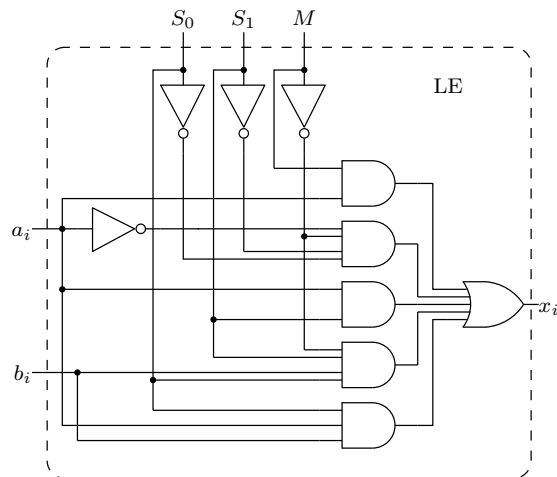


Figura 8.28: Diseño lógico a nivel de esquema del amplificador lógico.

simplemente de pasar los resultados del amplificador lógico a la salida de la ALU (es decir, los sumadores hacen las veces de conexiones con retardo fijo).

También se observa en la Figura 8.29 que el acarreo de salida del bit más significativo representa una condición de desbordamiento en operaciones aritméticas sin signo. Para operaciones aritméticas en complemento a dos (con signo), se incluye una puerta XOR que recoge los acarreo de salida de los dos bits más significativos para generar la condición de desbordamiento en aritmética con complemento a dos.

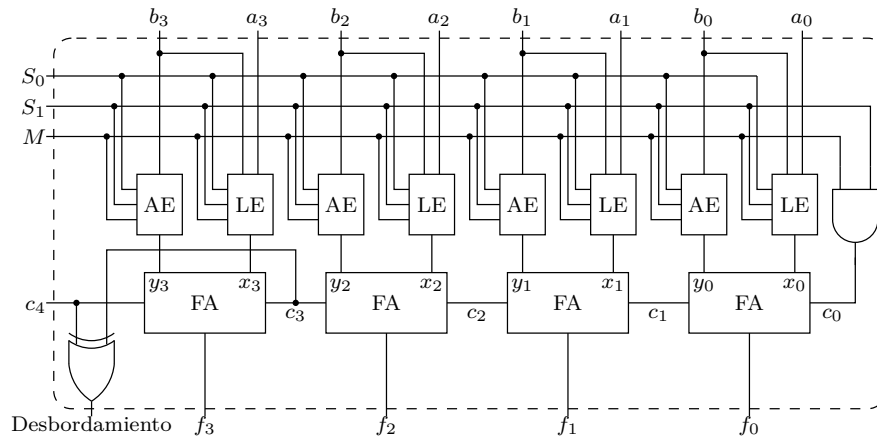


Figura 8.29: Diseño final de la unidad aritmético lógica de 4 bits.

8.6 El C.I. 74181: una ALU integrada.

Se trata de una unidad aritmético-lógica integrada en un encapsulado tipo DIP (*Dual In-Line Plastic*) de 24 patillas (Figura 8.30). Es una ALU de alta velocidad de 4 bits, gobernada por cuatro señales de selección (S_0 a S_3) y la señal de control

de modo M . Es capaz de realizar 16 operaciones lógicas y 16 operaciones aritméticas sobre dos operandos A y B de entrada de 4 bits. Puede operar en lógica negativa (Tabla 8.6) o positiva (Tabla 8.7). Finalmente, proporciona unas salidas P y G que permiten su conexión con unidades generadoras de acarreo anticipado.

La nomenclatura empleada en las Tablas 8.6 y 8.7 en lo que a las operaciones lógicas y aritméticas se refiere es la siguiente:

- Suma aritmética: $+$
- Resta aritmética: $-$
- OR lógico: \vee
- AND lógico: \wedge
- OR exclusivo lógico: \oplus
- Desplazamiento lógico a izquierdas: $*$

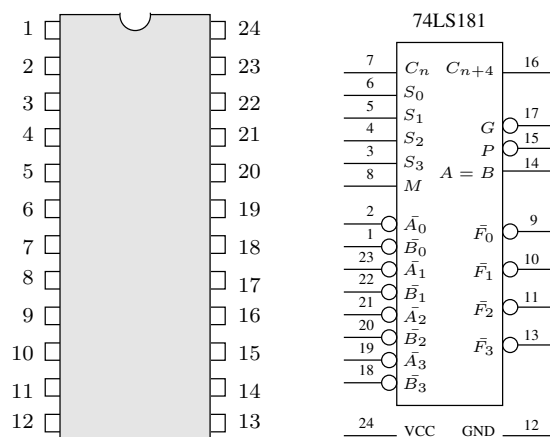


Figura 8.30: Encapsulado y patillaje de la ALU integrada 74181.

Cuando esta ALU realiza operaciones lógicas, se emplea la señal de control $M = H$ para deshabilitar todos los acarros internos. Dichos acarros no son inhbidos cuando $M = L$, permitiendo a la ALU realizar las operaciones aritméticas correspondientes.

La salida $A = B$ queda en nivel alto cuando, como resultado de la operación realizada, las cuatro salidas \bar{F} están en nivel alto. De esta forma, la salida $A = B$ se puede emplear para indicar la igualdad lógica de los dos operandos de cuatro bits A y B cuando la ALU se configura para realizar una resta aritmética. Ésta salida presenta configuración de colector abierto, pudiéndose realizar un AND de cableado con otras ALUs para realizar la comparación de dos operandos de más de cuatro bits. Empleando la señal $A = B$ conjuntamente con la señal C_{n+4} se pueden evaluar las condiciones de $A > B$ y $A < B$.

Selección				Lógica negativa		
S_3	S_2	S_1	S_0	$M=H$ Lógicas	$M=L$ Aritméticas	
					$C_n=L$ (sin acarreo)	$C_n=H$ (con acarreo)
L	L	L	L	$F = A$	$F = A - 1$	$F = A$
L	L	L	H	$F = \overline{A \wedge B}$	$F = A \wedge B - 1$	$F = A \wedge B$
L	L	H	L	$F = \overline{A \vee B}$	$F = A \wedge \overline{B} - 1$	$F = A \wedge \overline{B}$
L	L	H	H	$F = 1$	$F = -1$	$F = 0$
L	H	L	L	$F = \overline{A \vee \overline{B}}$	$F = A + (A \vee \overline{B})$	$F = A + (A \vee \overline{B}) + 1$
L	H	L	H	$F = \overline{B}$	$F = A \wedge B + (A \vee \overline{B})$	$F = A \wedge B + (A \vee \overline{B}) + 1$
L	H	H	L	$F = \overline{A \oplus B}$	$F = A - B - 1$	$F = A - B$
L	H	H	H	$F = A \vee \overline{B}$	$F = A \vee \overline{B}$	$F = A \vee \overline{B} + 1$
H	L	L	L	$F = \overline{A \wedge B}$	$F = A + (A \vee B)$	$F = A + (A \vee B) + 1$
H	L	L	H	$F = A \oplus B$	$F = A \vee B$	$F = A + B + 1$
H	L	H	L	$F = B$	$F = A \wedge B + (A \vee B)$	$F = A \wedge B + A \vee B + 1$
H	L	H	H	$F = A \vee B$	$F = A \vee B$	$F = A \vee B + 1$
H	H	L	L	$F = 0$	$F = A + A^*$	$F = A + A^* + 1$
H	H	L	H	$F = A \wedge \overline{B}$	$F = A \wedge B + A$	$F = A \wedge B + A + 1$
H	H	H	L	$F = A \wedge B$	$F = A \wedge \overline{B} + A$	$F = A \wedge \overline{B} + A + 1$
H	H	H	H	$F = A$	$F = A$	$F = A + 1$

Tabla 8.6: Selección de funciones en la ALU 74181 con datos en lógica negativa.

Selección				Lógica positiva		
S_3	S_2	S_1	S_0	$M=H$ Lógicas	$M=L$ Aritméticas	
					$C_n=L$ (sin acarreo)	$C_n=H$ (con acarreo)
L	L	L	L	$F = \overline{A}$	$F = A1$	$F = A + 1$
L	L	L	H	$F = \overline{A \vee B}$	$F = A \vee B$	$F = A \vee B + 1$
L	L	H	L	$F = \overline{A \wedge B}$	$F = A \vee \overline{B}$	$F = A \vee \overline{B} + 1$
L	L	H	H	$F = 0$	$F = -1$	$F = 0$
L	H	L	L	$F = \overline{A \wedge \overline{B}}$	$F = A + (A \wedge \overline{B})$	$F = A + (A \wedge \overline{B}) + 1$
L	H	L	H	$F = \overline{B}$	$F = A \vee B + (A \wedge \overline{B})$	$F = A \vee B + (A \wedge \overline{B}) + 1$
L	H	H	L	$F = A \oplus B$	$F = A - B - 1$	$F = A - B$
L	H	H	H	$F = A \wedge \overline{B}$	$F = A \wedge \overline{B} - 1$	$F = A \wedge \overline{B}$
H	L	L	L	$F = \overline{A \vee B}$	$F = A + (A \wedge B)$	$F = A + (A \wedge B) + 1$
H	L	L	H	$F = \overline{A \oplus B}$	$F = A + B$	$F = A + B + 1$
H	L	H	L	$F = B$	$F = A \vee \overline{B} + (A \wedge B)$	$F = (A \vee \overline{B}) + A \wedge B + 1$
H	L	H	H	$F = A \wedge B$	$F = A \wedge B - 1$	$F = A \wedge B$
H	H	L	L	$F = 1$	$F = A + A^*$	$F = A + A^* + 1$
H	H	L	H	$F = A \vee \overline{B}$	$F = (A \vee B) + A$	$F = (A \vee B) + A + 1$
H	H	H	L	$F = A \vee B$	$F = (A \vee \overline{B}) + A$	$F = (A \vee \overline{B}) + A + 1$
H	H	H	H	$F = A$	$F = A - 1$	$F = A$

Tabla 8.7: Selección de funciones en la ALU 74181 con datos en lógica positiva.

Cuestiones y Ejercicios Propuestos

Ej. 216 — ¿Cuáles son las puertas lógicas que se utilizan para implementar un semisumador?

Ej. 217 — Implemente un sumador completo en paralelo de tres bits con diagrama de bloques indicando los acarreo intermedios de la suma de los dos siguientes números binarios $A = 110$ y $B = 011$.

Ej. 218 — Implemente el circuito lógico de un sumador completo con:

1. Puertas lógicas NOT, AND de dos entradas y OR de dos entradas.
2. Puertas lógicas NAND de dos entradas.
3. Multiplexores de cuatro entradas de datos (se puede utilizar una puerta inversora).

Ej. 219 — Un sumador completo con acarreo anticipado tiene la siguiente configuración: $C_{in} = 1$, $g = 0$ y $p = 1$. ¿Qué valor tomará el acarreo de salida del sumador completo?

Ej. 220 — ¿Cuántos sumadores integrados 74283 se necesitarían para sumar dos números binarios representativos de números decimales iguales o inferiores a 500_{10} ?

Ej. 221 — A partir de la tabla de verdad del sumador en paralelo de cuatro bits integrado 74283 (Figura 8.12), obtenga la suma y el acarreo de salida correspondientes a los dos números binarios de 4 bits siguientes, siendo el acarreo de entrada $C_0 = 0$: $A_4 A_3 A_2 A_1 = 1100$ y $B_4 B_3 B_2 B_1 = 1001$.

Ej. 222 — Implementar un restador paralelo de 4 bits empleando el sumador paralelo de cuatro bits integrado 74283.

Circuitos Biestables y Temporizadores

9.1 Introducción

Los circuitos lógicos estudiados hasta ahora tienen todos una propiedad en común, las señales de salida son una combinación lógica de las señales de entrada *actuales*, de ahí su nombre de *circuitos combinatoriales*. En esta lección se presenta otro tipo de circuitos lógicos denominados *circuitos lógicos secuenciales*, donde las señales de salida no sólo dependen de los valores actuales de las señales de entrada sino también de los valores *precedentes* de éstas. En otras palabras, un circuito secuencial recuerda algo de la historia pasada del sistema, es decir tiene memoria. Si el bloque de construcción básico de la lógica combinatorial era la puerta lógica, ahora el componente básico del circuito de lógica secuencial es el circuito biestable. La gran importancia de los circuitos de lógica secuencial es su característica de memoria.

Con la introducción de estos elementos de memoria como parte de los sistemas digitales, se ha introducido una variable adicional, el tiempo, y por tanto debe tomarse en cuenta en el diseño de los sistemas digitales. En efecto, las operaciones lógicas se pueden realizar de forma secuencial: la información se almacena en un elemento de memoria y se libera más adelante en algún momento específico para que pueda tomar parte en una operación combinatorial controlada. Los sistemas que operan de esta manera se denominan *sistemas secuenciales*.

Existen varios tipos de biestables que se detallan en este capítulo. Algunos biestables son llamados *latches*, otros *flip-flops*. El término habitual en este capítulo es de circuito biestable o simplemente biestable. Los circuitos biestables se pueden obtener desde los diseños con puertas lógicas, puertas NAND, AND u OR, o directamente en forma de circuito integrado. Los biestables se interconectan para formar circuitos de lógica secuencial para el almacenamiento de datos, del tiempo, contadores, y circuitos que *recuerdan* alguna secuencia.

Además del *multivibrador biestable* (o biestable), otros dos tipos de *multivibradores* (MV) se presentan en este tema. El *multivibrador astable* también se conoce como *free-running MultiVibrator*. El MV astable produce una serie continua de pulsos de onda cuadrada y se usa comúnmente como reloj en un sistema digital. El *multivibrador monoestable* es también llamado *step to step MultiVibrator*, ya que produce un solo pulso cuando es accionado por una fuente externa.

9.2 El Dispositivo Biestable: Principio de Biestabilidad

Se obtiene un elemento biestable mediante el acoplamiento cruzado de un par de puertas NAND que están conectadas como inversores. Existen dos estados posibles para el biestable: (a) $Q = 0$, $\bar{Q} = 1$ y (b) $Q = 1$, $\bar{Q} = 0$, como se muestra en la Figura 9.1(a) y (b), respectivamente. De inicio, cuando el circuito se alimenta, el elemento biestable pasará a uno de estos dos estados y, sin intervención externa, permanecerá en ese estado indefinidamente hasta que deje de estar alimentado. La Figura 9.1(c) muestra la característica de transferencia ideal de tensión A de una puerta lógica y se verá que hay un cambio repentino 0-1 a mitad de camino entre la lógica 0 y la lógica 1. En la práctica, la característica de la puerta será similar al mostrado en la B.

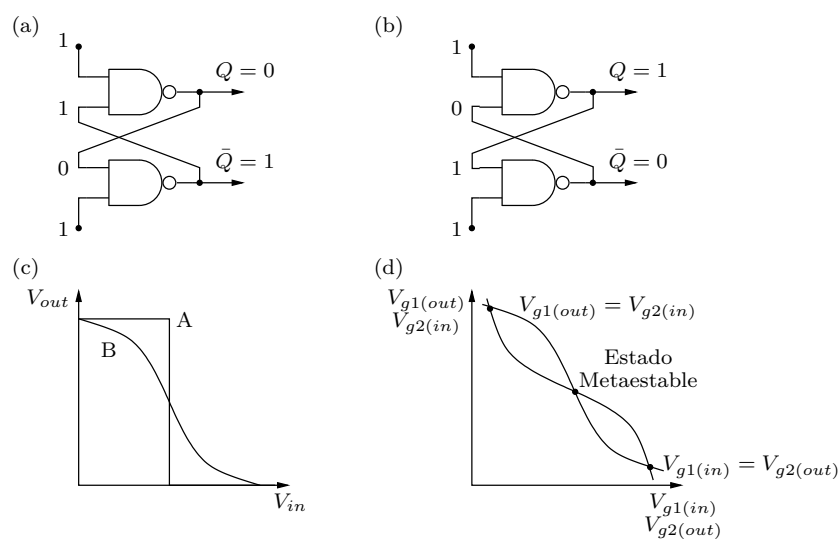


Figura 9.1: Dispositivo biestable (a) Estado apagado (*turn-off*) (b) Estado encendido (*turn-on*) (c) Función característica de voltaje de una puerta inversora. A ideal, B real (d) Los puntos estables y metaestable de un par de puertas NAND con cruce acoplado

El elemento biestable que se muestra en la Figura 9.1(a) y (b) se compone de dos puertas lógicas cuyas funciones características se suponen idénticas. Las dos funciones características se pueden representar en los mismos ejes de tal manera que los ejes $V_{g1(out)}$ y $V_{g2(in)}$ son coincidentes. Del mismo modo, los ejes $V_{g1(in)}$ y $V_{g2(out)}$ son también coincidentes, como se muestra en la Figura 9.1(d). Las dos curvas representan las funciones características de las puertas y se cortan en tres puntos que proporcionan los únicos puntos de funcionamiento del elemento biestable. Dos de los puntos de intersección son los estados estables referenciados anteriormente y se definen por $A = V_{g1(in)} = V_{g2(out)}$ y $B = V_{g2(in)} = V_{g1(out)}$. Con estas consideraciones podemos enunciar el siguiente principio o Principio de Biestabilidad: *Bajo la condición de que la ganancia de tensión del inversor en la región de transición sea más grande que 1, sólo A y B son puntos estables, y C es un punto metaestable de*

operación.

El tercer punto de intersección, C , define un estado metaestable que se encuentra entre las tensiones del 0 y el 1 lógico. Si el circuito entrase en este estado se puede comprobar fácilmente que un pequeño voltaje de interferencia producido por ruido de inmediato conduce de nuevo al biestable a uno de sus dos estados estables. El estado al que se vaya depende de la dirección de la tensión de ruido en relación con la tensión metaestable. Si, por otro lado, se produce un voltaje pequeño debido a ruido cuando el circuito biestable está en cualquiera de sus dos estados estables, entonces simplemente volvería a su estado original.

En resumen, un circuito biestable dispone de dos estados estables. En ausencia de un disparo, el circuito permanece en uno de esos estados estables (por supuesto, asumiendo que la alimentación del circuito permanece siempre aplicada al circuito) y por tanto recuerda ese valor estable. Se necesita de algún mecanismo para poder conmutar de estado. Por lo general existen dos estrategias para conseguir la conmutación:

- *Cortando el lazo de realimentación.* Una vez que se abre el lazo de retroalimentación, se puede escribir un valor nuevo en la salida. El biestable se denomina *basado en multiplexor*, porque realiza la misma función lógica que la realizada por un multiplexor.

$$Q = \overline{Ck} \cdot Q + Ck \cdot In$$

- *Intensificación del lazo de realimentación.* Como ya se ha explicado, mediante la aplicación de un disparo a la entrada del biestable se puede forzar un nuevo valor en la celda. Se necesita un escrupuloso diseño del tamaño de los transistores en el lazo de realimentación y en las entradas del circuito ya que una red de disparo débil puede no ser lo suficientemente fuerte para forzar a la conmutación al dispositivo. Esta estrategia estuvo en boga en los comienzos del diseño electrónico digital, pero ha caído últimamente en desuso. Sin embargo sigue siendo la estrategia dominante en la implementación de memorias estáticas centralizadas.

En este punto hay que hacer notar, que la literatura está plagada de definiciones ambiguas para los diferentes tipos de dispositivos de almacenamiento sobre todo a lo que hace caso a biestable, *flip-flop*, y *latch*. Para evitar confusión, se seguirán estrictamente las siguientes definiciones:

- Un *flip-flop* es un dispositivo de almacenamiento *disparado por flanco*. Un *flip-flop* es un dispositivo que cambia su estado en momentos en que un cambio está teniendo lugar en la señal de reloj. El *flip-flop* se dice que son disparados por flanco negativo o positivo, donde los flancos son los flancos de subida y bajada de la señal de reloj.
- Un *latch* es un dispositivo de almacenamiento sensible a nivel. Un *latch* asincrónico, sin una línea de control, realiza un seguimiento continuo de la señal de entrada y cambia su estado en momentos en que dicha señal de entrada está cambiando. Un *latch* sincrónico también realiza un seguimiento continuo

de las señales de entrada pero en este caso un cambio de estado en la salida sólo puede ocurrir cuando una señal de control (normalmente una señal de reloj) esté activa. En ambos casos, el latch responde a eventos, pero para el latch sincronizado la señal de control tiene que estar en alta antes de que la entrada puede traducirse como un cambio o no en la salida.

- Un *biestable* es un dispositivo formado por el acople cruzado de las puertas que lo forman.

Además, un candado o *latch* es un componente esencial en la construcción de un flip-flop disparado por flanco (*edge-triggered flip-flop*). Es un circuito sensible a nivel que pasa la entrada D a la salida Q cuando la señal de reloj está a nivel alto. Durante este periodo de tiempo se dice que el latch está en modo transparente (*transparent mode*). Cuando la señal de reloj pasa a nivel bajo, la señal de entrada es muestreada en la caída del flanco de reloj manteniendo el dato muestreado a la salida durante todo el tiempo en que esté en baja el reloj, se dice que el *latch* está en modo mantenimiento (*hold mode*). En definitiva, para su buen funcionamiento las entradas del latch deben ser valores estables para cuando aparezca el flanco de bajada de reloj. Se dice entonces que estamos ante un *latch positivo o transparente alto*. De forma similar, un *latch negativo o transparente bajo* es aquel que pasa la entrada D a la salida Q mientras la señal de reloj permanece baja un nivel bajo. Por supuesto, existe una amplia variedad de implementaciones estáticas y dinámicas de los *latches* que serán objeto de nuestro estudio.

A diferencia de los latches, un flip-flop disparado por flanco de subida (bajada) sólo muestrea la entrada exclusivamente en el flanco de subida (bajada) de la señal de reloj. Generalmente se construyen usando como primitiva los latches en una estructura denominada maestro-esclavo (*master-slave*) que conecta en cascada un latch positivo y otro negativo. Pero eso no significa que todo flip-flop disparado por flanco sea maestro-esclavo, de hecho existen flip-flops que utilizan otras estructuras especializadas que también veremos a lo largo de la lección.

Cuestiones y Ejercicios Resueltos

Ej. 223 — ¿Qué sucedería si en el par inversor acoplado de la Figura 9.1(a) la ganancia del lazo no es mayor que uno?

Solución (Ej. 223) — Si la ganancia del lazo del par acoplado no es mayor de uno, entonces no se produce una amplificación en cascada dentro del lazo. El estado C ya no sería un estado metastable.

Ej. 224 — ¿Qué es un punto de operación metaestable?

Solución (Ej. 224) — Es un punto de operación precariamente estable y aunque posible es muy poco probable. En ese punto de operación cualquier pequeña desviación te aleja rápidamente de ese punto de operación.

Ej. 225 — ¿Cuántos estados disponen los circuitos biestables?

Solución (Ej. 225) — Tres. Dos estados estables y un tercer estado metaestable.

Ej. 226 — ¿Cuales son los mecanismos de conmutación entre estados estables en los circuitos biestables?

Solución (Ej. 226) — Dos. Ambos intentan forzar la salida de un estado estable para alcanzar al otro estado estable bien mediante la intensificación del lazo de realimentación mediante un disparo en la entrada del circuito biestable o bien cortando el lazo de retroalimentación en el circuito biestable.

Ej. 227 — Para el par inversor cruzado que conforman las funciones de transferencia de la Figura 9.2. Explique como cualquier pequeña variación en el punto metaestables C lleva consigo un paso al estado A o B . Explique que en el caso de funcionar en algún estado estable A o B , cualquier pequeña variación trae consigo volver a ese estado estable. Explique como se puede lograr pasar de un estado estable a otro.

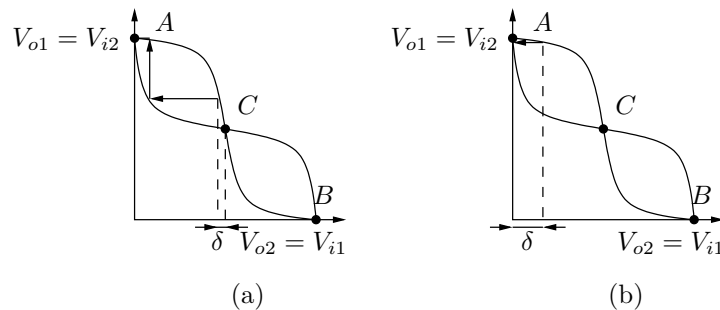


Figura 9.2: Metaestabilidad (a) Desviación desde el punto de metaestabilidad C (b) Desviación desde los puntos estables A o B

Solución (Ej. 227) — Si se supone que el par inversor acoplado por cruce tiene su punto de operación en C , cualquier pequeña desviación del punto de operación, posiblemente a causa de ruido, es amplificado y regenerado por medio del lazo del circuito. Esta regeneración es propiciada por la ganancia mayor que uno del lazo. Este efecto se muestra en la Figura 9.2(a). Una pequeña desviación δ se aplica a la entrada del primer inversor V_{i1} que tiene su punto de operación en C . En esa zona, la ganancia del inversor es mucho mayor que uno y es amplificada por el inversor. La señal amplificada pasa como entrada al segundo inversor que la retoma y la devuelve amplificada una vez más. De modo que el punto de operación se desplaza desde C a uno de los otros puntos de funcionamiento A y B . En resumen, C es un punto de operación inestable porque cada desviación (incluso la más pequeña) provoca que el punto de operación se desplace hacia los otros puntos de operación, y en definitiva, aunque el punto de operación C es posible, es poco probable. Los puntos de operación con estas características se conocen como *metaestables*.

Por otro lado, los puntos A y B son puntos estables de operación como se muestra también en la Figura 9.2(b). En esos puntos *la ganancia es mucho menor que la unidad* por lo que incluso una gran desviación del punto de operación se reduce y desaparece.

Por tanto, el acople cruzado de los dos inversores produce un circuito *biestable*, es decir un circuito con dos puntos estables de operación, donde a cada inversor le corresponde un estado lógico. En definitiva, este circuito posee memoria, es decir es capaz de almacenar un 1 o un 0 (correspondiente a la posición A y B).

Para poder cambiar el estado almacenado, debemos ser capaces de llevar el punto de operación desde A a B , y viceversa. Como la pre-condición de estabilidad es que la ganancia en los puntos de estabilidad sea menor que la unidad y debemos ser capaces de que tanto A o B se conviertan en puntos inestables de forma momentánea, de alguna forma debemos conseguir que la ganancia alrededor de esos punto crezca abruptamente muy por encima de la unidad por unos instantes. Esto generalmente se consigue mediante un pulso disparado en V_{i1} o V_{i2} . Por ejemplo, asumamos que el sistema está en en el punto de funcionamiento A ($V_{i1} = 0, V_{i2} = 1$). Forzando V_{i1} a 1 se provoca que la ganancia sea mayor que uno, pasando el sistema a operar en el lazo del punto B . Allí, la retroalimentación positiva regenera el efecto del pulso, y el circuito se mueve hacia el punto B . El ancho del pulso necesita sólo ser algo mayor que el retardo de propagación total del lazo del circuito, el cual es dos veces el retardo de propagación de los inversores.

Ej. 228 — ¿Cual es la diferencia fundamental entre un latch y un biestable?

Solución (Ej. 228) — La diferencia es que un latch es sensible al cambio de nivel de sus entradas inclusive de su reloj si lo hubiera, mientras que un flip-flop es sensible al nivel de sus entradas pero exclusivamente en los flancos de reloj.

Ej. 229 — ¿Qué es el modo transparente (*transparent mode*) y de mantenimiento (*hold mode*) de un biestable?

Solución (Ej. 229) — Se dice que un circuito biestable está en modo transparente cuando los cambios en sus entradas no son muestreadas y por tanto no alteraran el estado del circuito, normalmente es debido a que la señal de reloj lo esta impidiendo. Se dice que está en modo mantenimiento cuando la señal de reloj permite que se pueda muestrear las entradas y por tanto cambiar el estado del circuito biestable.

9.3 El latch SR

El latch SR se muestra simbólicamente en la Figura 9.3(a), junto a las entradas de establecimiento, *set*, y restablecimiento, *reset*, etiquetadas como S y R , respectivamente, y la salida Q y su complementaria \bar{Q} . La tabla de estado para el latch se muestra en la Figura 9.3(b). En las tres primeras columnas de la tabla se muestran todas las combinaciones de los actuales estados de S , R y Q , es decir, sus estados en el momento t . La cuarta columna es una tabulación del siguiente estado del latch, Q en el momento $t + \delta t$.

Un análisis de la tabla muestra que solo se produce un cambio del estado en el latch en las filas 4 y 5. En la fila 4, el latch se está restableciendo o apagando, es decir, su estado está cambiando de 1 a 0 como consecuencia de la aplicación de una entrada de *reset* $R = 1$. En la fila 5, el latch se está estableciendo o encendiendo,

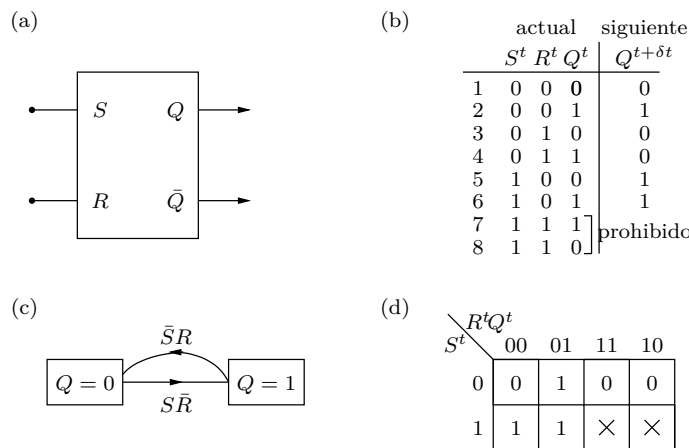


Figura 9.3: El latch SR (a) Representación simbólica (b) Tabla de estados (c) Diagrama de estados externos (d) Mapa de Karnaugh

es decir, su estado está cambiando de 0 a 1 como resultado de la aplicación de una entrada *set* $S = 1$. Para las filas 1 y 2, $S = R = 0$, y no hay ningún cambio de estado. En la fila 3, $R = 1$ y esta señal en circunstancias normales debería apagar o restablecer el latch pero $Q = 0$ y entonces la señal $R = 1$ deja al estado sin cambios. En la fila 6, $S = 1$ y esta señal normalmente encendería o establecería el latch, pero $Q = 1$ y el latch por tanto ya está encendido, por lo que no se produce el cambio de estado. Por último, si $S = R = 1$ las salidas tanto Q y \bar{Q} son 1, y en general esto es considerado como un funcionamiento del circuito inválido. Por esta razón, la condición $S = R = 1$ se dice que es una condición de entrada prohibida, esta restricción se expresa algebraicamente exigiendo $SR = 0$.

De la tabla de estado se puede obtener la condición de *encendido* que viene dada por:

$$\text{Turn-on} = S\bar{R}\bar{Q}$$

y la condición de *apagado* viene dada por:

$$\text{Turn-off} = \bar{S}RQ$$

Con la ayuda de estas dos ecuaciones puede ser construido un diagrama de estado externo como se muestra en la Figura 9.3(c). La transición de $Q = 0$ a $Q = 1$, se hace cuando $S\bar{R} = 1$ y se produce la transición inversa, cuando $\bar{S}R = 1$.

Cualquier cambio que aparezca en la salida del latch lo hace inmediatamente después de que un cambio haya tenido lugar en la entrada y se retrasa sólo por el tiempo de propagación de las puertas que componen el latch. La ecuación característica del latch se obtiene mediante el trazado de aquellas combinaciones donde $Q^{t+\delta t} = 1$ en conjunción con los términos ‘no puede suceder’ o ‘indeterminados’ del mapa de Karnaugh que se muestra en la Figura 9.3(d). Después de la simplificación se obtiene:

$$Q^{t+\delta t} = (S + \bar{R}Q)^t$$

La implementación de esta ecuación usando puertas NAND se muestra en la Figura 9.4(a) y se muestra en su forma más convencional de implementación en la

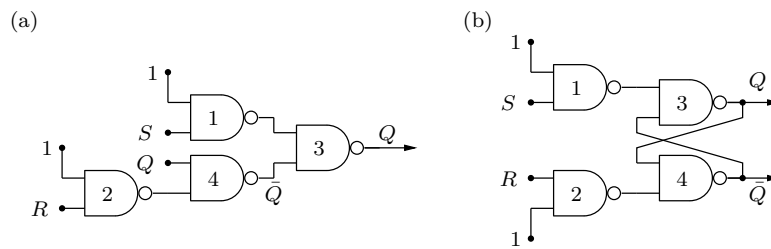


Figura 9.4: Latch SR (a) Implementación de un latch mediante puertas NAND (b) Representación convencional del latch SR

Figura 9.4(b).

Debe observarse que la ecuación característica es una ecuación booleana pero con una diferencia sobre las ecuaciones combinacionales que se han visto hasta ahora. El tiempo se ha introducido en la ecuación y el valor de Q en el lado derecho de la ecuación puede ser muy diferente del valor de Q en el lado izquierdo, simplemente porque estos dos valores de Q son observados en diferentes momentos.

El simplificar por 0 y haciendo uso de los términos indiferentes o ‘no puede suceder’ de la Figura 9.3(d) proporciona la forma más simple de función complementaria. Del mapa de Karnaugh se obtiene:

$$\bar{Q}^{t+\delta t} = (\bar{S}\bar{Q} + R)^t$$

e invirtiendo esta función

$$Q^{t+\delta t} = \overline{(\bar{S}\bar{Q} + R)^t}$$

$$Q^{t+\delta t} = [(S + Q)\bar{R}]^t$$

Esta es una segunda forma de la ecuación característica expresada como producto de sumas, se muestra en la Figura 9.5(a) como se implementa con puertas lógicas NOR. Su representación más convencional se muestra en la Figura 9.5(b).

El comportamiento del latch SR se puede describir de una manera un poco diferente por medio de la tabla de transiciones (*steering table* o *transition table*) que se muestra en la Figura 9.5(d). Esta tabla muestra todas las transiciones de salida posibles que pueden ocurrir en las primeras dos columnas, incluyendo $0 \rightarrow 0$ y $1 \rightarrow 1$ las cuales son consideradas como transiciones, mientras que las dos últimas columnas muestran los valores de S y R que producen estas transiciones. Por ejemplo, en la primera fila la transición $0 \rightarrow 0$ se producirá otorgando los valores $S = 0$ y $R = 0$ o 1. Que R pueda ser 0 o 1 (valor indiferente) se indica en la columna de R mediante el símbolo \times . Para la segunda fila, la transición $0 \rightarrow 1$ se genera mediante $S = 1$. Como S y R no deberían ser simultáneamente 1 (provocaría un estado prohibido con la salida Q y \bar{Q} valiendo lo mismo, lo que es ilógico), se sigue que $R = 0$. Las entradas para las otras dos filas se determinan de una manera similar.

En la Figura 9.5(e) se muestra un diagrama de tiempo ideal para el latch SR, donde se supone que los cambios en Q , S , y R son instantáneos. También los retardos de propagación se muestran en el diagrama donde las flechas indican las transiciones de salida que han sido causadas por una transición de entrada específica. Por ser $S = R = 1$ (estado prohibido), tanto Q como \bar{Q} toman la misma salida lo que es

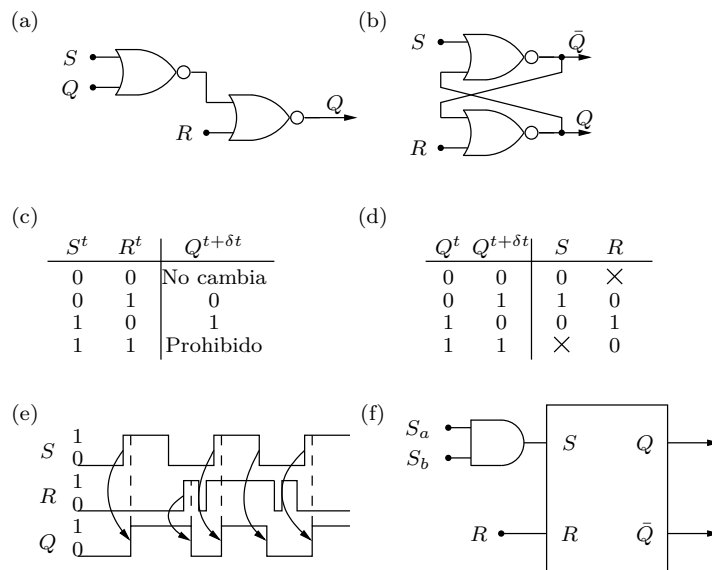


Figura 9.5: latch SR (a) Implementación de un latch SR mediante puertas NOR (b) Representación convencional del latch SR (c) Tabla de estados (d) Tabla de transiciones (e) Diagrama de tiempos del latch SR (f) latch SR con una función AND para las entradas set

anormal aunque totalmente posible, aunque cuando una de las entradas se vuelva a 0 el latch vuelve a su comportamiento normal.

Si las puertas g_1 y g_2 se eliminan del circuito que se muestra en la Figura 9.5(b) el latch SR se modifica y se convierte en un latch $\bar{S}\bar{R}$. La condición estable de este latch es ahora $S = R = 1$, y el estado pasa a ser prohibido en caso de que $S = R = 0$. Si, en el circuito modificado, $Q = 0$, entonces \bar{S} debe hacer una transición de 1 a 0 para establecer o encender el latch. Por el contrario, si $Q = 1$, \bar{R} debe hacer una transición de 1 a 0 con el fin de restablecer o apagar el latch.

Los latches suelen encontrarse disponibles con más entradas. Un ejemplo típico se muestra en la Figura 9.5(f), donde existe la posibilidad de elección entre dos entradas de establecimiento o dos entradas set (S_a y S_b) mediante el uso de una puerta AND.

Sólo queda subrayar que la tabla de verdad de la Figura 9.8 cuando se refiere al estado set o preset implica una salida Q a 1. De igual modo, el estado reset o clear implica una salida Q a 0. Estas condiciones de operación se refieren a la salida normal y la complementaria es exactamente la opuesta. Precisamente, la cualidad de mantener los datos temporalmente y que cambien únicamente por cambios de nivel en sus entradas es la causa de su nombre de latch (candado). Los latches SR pueden ser implementados mediante puertas lógicas o pueden obtenerse en forma de circuito integrado. El latch SR puede entenderse como un dispositivo de memoria que mantiene o guarda un bit de datos.

Cuestiones y Ejercicios Resueltos

Ej. 230 — Referido a la Figura 9.8. ¿A que nivel tiene las entradas activas este latch SR?

Solución (Ej. 230) — Los pequeños circuitos en las entradas indican que el latch SR tiene sus entradas activas a nivel bajo.

Ej. 231 — Si la salida normal del latch RS está en alta, entonces ¿cómo se encuentran las salidas Q y \bar{Q} ?

Solución (Ej. 231) — Si la salida normal del latch RS está en alta, entonces la salida $Q = 1$ y $\bar{Q} = 0$.

Ej. 232 — Activando la entrada reset a (alta, baja) el estado del latch es (reset, set) y la salida Q tiene un valor lógico (0, 1).

Solución (Ej. 232) — Activando la entrada reset a baja el estado del latch es reset y la salida Q tiene un valor lógico 0.

Ej. 233 — Liste la salidas binarias Q y \bar{Q} del latch SR de la Figura 9.6.

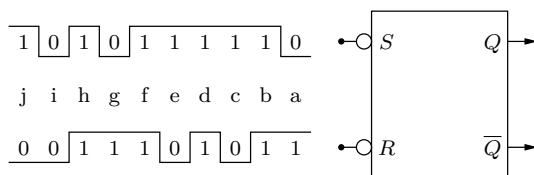


Figura 9.6: Latch SR ante un tren de pulsos

Solución (Ej. 233) — Si el primer estado es a y el ultimo j:
 $Q = 11000111$ (estado prohibido) $\bar{Q} = 001111001$ (estado prohibido)

Ej. 234 — Comente las dos primeras transiciones y la última transición del cronograma de la Figura 9.7.

Solución (Ej. 234) — Empezando por la izquierda, los cambios de nivel de las entradas producen cambios en las salidas. En concreto el primer cambio se produce en la entrada R que pasa a alta o activa. Este cambio de nivel produce un cambio en las salidas Q y \bar{Q} que pasan a nivel bajo y alto respectivamente. El siguiente cambio es producido por S que pasa a valer alto y por tanto Q y \bar{Q} mantienen su valor. Se puede seguir por todo el cronograma comprobando el funcionamiento del latch SR. Sólo hacer notar un pequeño detalle que ocurre en la ultima transición que muestra el cronograma. La ultima transición implica que tanto S como R están en alta y Q y \bar{Q} a baja. En este momento ambas entradas a la vez conmutan a baja proporcionando un estado impredecible en las salidas. Esto es debido, a que no podemos saber cual entrada conmutará primero a baja si S o R , y por tanto somos incapaces de saber si cuando ambas estén ya en baja se mantendrá el estado $Q = 0$

$\bar{Q} = 1$ propiciado por la transición $S = 0 R = 1$ o $Q = 1 \bar{Q} = 0$ propiciado por la transición $S = 1 R = 0$.

Ej. 235 — Implemente un latch SR mediante puertas NOR. Explique con que terminales contaría. Analice el cronograma de la Figura 9.7(d) y explique los resultados de la tabla de verdad o de funciones de la Figura 9.7(c). Busque con ayuda de internet algún circuito integrado que constituya un latch $\bar{S}\bar{R}$ e indique sus principales características.

Solución (Ej. 235) — La forma tradicional de hacer que un elemento biestable cambie de estado es mediante la intensificación del lazo de retroalimentación, cuyo ejemplo más paradigmático es el *latch SR* o *set-reset latch* cuya implementación mediante puertas NOR se muestra en la Figura 9.7.

Esta celda básica cuenta con dos salidas, Q y \bar{Q} , y con dos entradas, *Set* (S) que establece la salida a 1 y *Reset* (R) que la restablece a 0. Este tipo de estructura también se denomina *latch SR de acople directo*. Para la Figura 9.7, las flechas en el cronograma inferior indican causalidad, es decir, que transiciones de entrada provocan ciertas transiciones de salida. Las formas de onda, diagramas de tiempo o cronogramas, son ampliamente usados cuando se trabaja con circuitos lógicos secuenciales. Las dos primeras líneas representan las entradas del latch SR, debajo se encuentran las salidas Q y \bar{Q} . Este circuito es similar al par inversor acoplado por cruce con los inversores reemplazados por las puertas NOR.

La segunda entrada de las puertas NOR son conectadas a las entradas de disparo (S y R), que permite forzar las salidas complementarias del latch (Q y \bar{Q}) a un estado dado. Cuando ambas entradas (S y R) son 0, el latch no cambia de estado y su salida reflejará el estado en que se encontraba el latch. Si se provoca un pulso positivo a la entrada S (un 1), la salida Q es forzada al estado 1 (con \bar{Q} forzada al estado 0). Y viceversa si se provoca un pulso positivo por la entrada R . Como indicamos en el caso del par inversor de acople cruzado, el pulso debe tener una duración mayor que el retardo del lazo de acople.

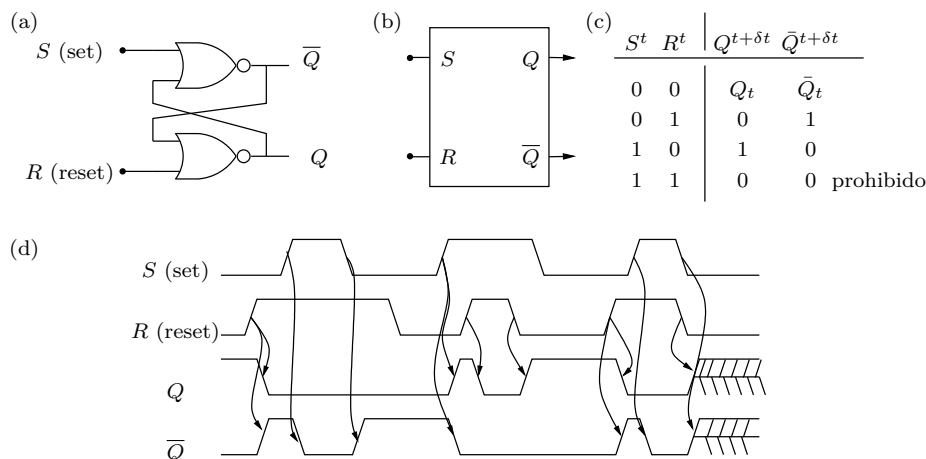


Figura 9.7: Latch SR (a) Latch SR basado en puertas NOR (b) representación simbólica (c) Tabla de funcionamiento (d) Cronograma

Estos resultados están recogidos en la *tabla de verdad* del latch que lista los estados de salida ante todas las posibles condiciones de entrada. Las tres primeras condiciones han sido ya comentadas. Cuando tanto S como R están en alto, a 1, tanto Q como \bar{Q} son forzados a 0 lo que incumple la restricción de que ambas salidas sean complementarias, por lo que esta entrada se denomina *prohibida*. Este modo de operación provoca un estado de incertidumbre en el sistema, ya que cuando las entradas retornen a 0, estando ambas a 1, dependerá el estado final del latch de que puerta lo haya hecho primero. Es decir se provocaría un estado impredecible.

El latch SR puede ser también implementado por medio de puertas NAND, como se muestra en la Figura 9.8(a). Como muestra su tabla de funcionamiento de la Figura 9.8(c), ahora el disparo no es realizado por un pulso positivo sino por un pulso negativo y el estado prohibido es provocado cuando S y R están en baja, de ahí que se denomine como latch $\bar{S}\bar{R}$. El símbolo lógico nos muestra dos pequeños círculos en las entradas indicando que las puertas son disparadas por un pulso negativo como se indica en la Figura 9.8(b), o que opera en *lógica negativa* a diferencia del latch SR de puertas NOR que opera en *lógica positiva*. Una representación alternativa se muestra en la Figura 9.8(d). Ejemplo de catálogo de este tipo de latch lo tenemos con el circuito integrado SN74LS279A que ofrece 4 latches $\bar{S}\bar{R}$ en un encapsulado DIP de 16 patillas. Su patillaje y tabla de verdad se muestra en la Figura 9.9

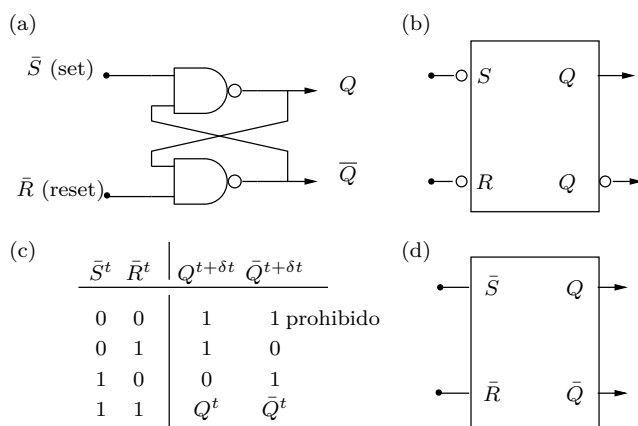


Figura 9.8: Latch $\bar{S}\bar{R}$ (a) Basado en puertas NAND (b) Representación simbólica (c) Tabla de estados o de verdad (d) Representación simbólica alternativa

9.4 El Latch SR síncrono (*Gated SR Latch*)

El latch SR es un dispositivo puramente asíncrono, lo que no es de mucho valor para el diseño síncrono que es el preferido la gran mayoría de las veces como metodología de diseño. Los circuitos digitales síncronos están caracterizados por solo activarse (ser transparentes) únicamente en determinados momentos marcados por el reloj del sistema, en donde es fácil asegurar que no se producen situaciones críticas como *glitches*. Los glitches son a menudo provocados por retardos que no han sido toma-

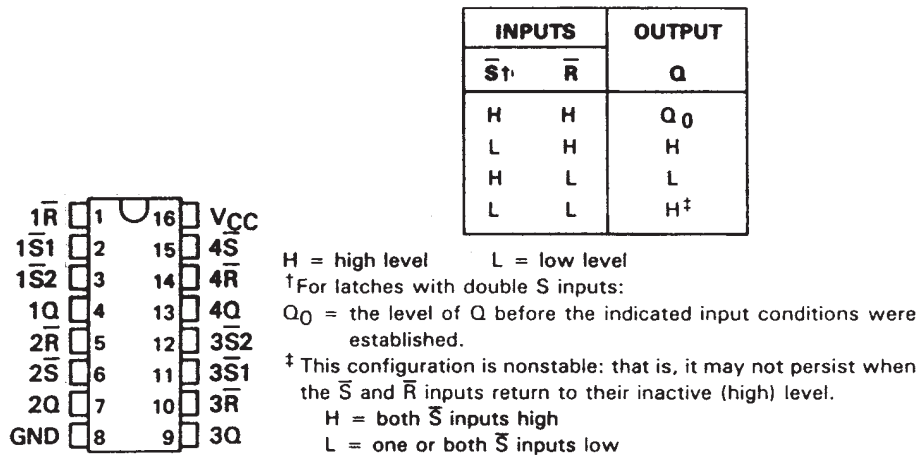


Figura 9.9: 74279 cuadruple latch $\bar{S}\bar{R}$ (Cortesía de Texas Instruments)

dos en cuenta durante el diseño del circuito, como se refleja en la Figura 9.10. Y si en circuitos combinatoriales un *glitch* tiene importancia, aún más la tiene en los circuitos secuenciales que disponen de memoria y son capaces de retener la información de sus entradas. Mediante un circuito secuencial sincronizado, el sistema solo tendrá en cuenta a la señal de entrada en determinados momentos, propiciados por la señal habilitadora de reloj.

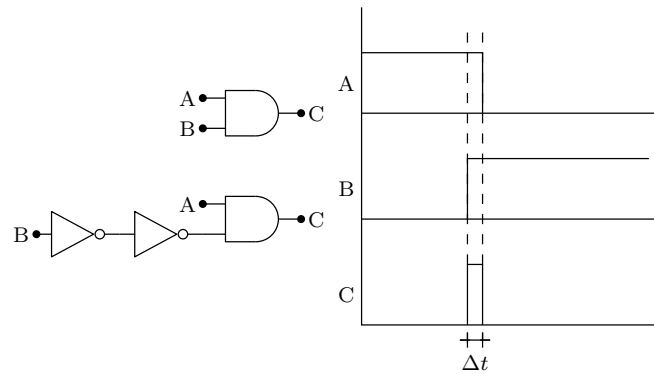


Figura 9.10: Aparición de un impulso parásito, *glitch*, debido a la no coincidencia de los flancos de las señales A y B

Por medio de una simple modificación como se muestra en la Figura 9.11(a), la transparencia del latch puede ser controlada por medio de una señal G . Si $G = 0$, las salidas de las puertas g_1 y g_2 siempre serán 1, independientemente de los valores actuales de S y R , o de cualquier cambio que pueda ocurrir en cualquiera de estas dos señales. Cuando G produce una transición entre $0 \rightarrow 1$, g_1 y g_2 están habilitados y el latch se activa. El estado de las señales S y R en este momento, o cualquier transición subsiguiente $0 \rightarrow 1$ de estas señales durante el período activo, tiene un

efecto inmediato en la salida del latch. Un diagrama de tiempos que ilustra esta transparencia controlada se muestra en la Figura 9.11(d). Las entradas afectadas por la señal de control G se denominan entradas síncronas. Un latch que funciona con este tipo de control se denomina un *gated latch*.

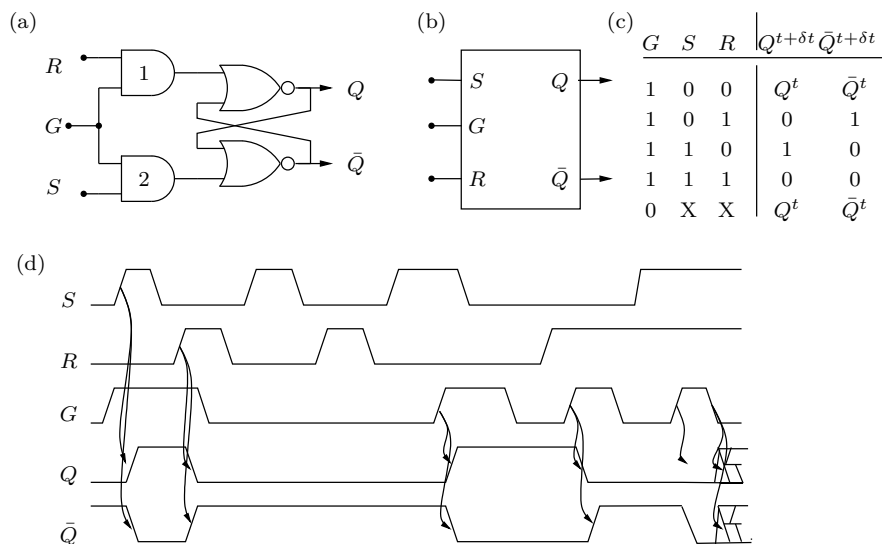


Figura 9.11: Latch SR sincronizado o con entrada de habilitación (a) Implementación con puertas NOR y AND (b) Representación simbólica (c) Tabla de funcionamiento o de verdad (d) Cronograma

Cuestiones y Problemas Resueltos

Ej. 236 — Referido a la Figura 9.11(b). ¿A qué nivel tiene las entradas activas este latch SR sincronizado?

Solución (Ej. 236) — Como no existe ningún circulito en las entradas, el latch SR sincronizado tiene sus entradas activas en alto. La entrada de reloj también es activa en alta.

Ej. 237 — Un circuito biestable que opera con una entrada de reloj, se dice que es ¿síncrono o asíncrono?

Solución (Ej. 237) — Los circuitos electrónicos que disponen de un reloj común y que operan en función de éste se dicen que son síncronos. Cualquier entrada al circuito que no opera en función de ese reloj común se dicen que son entradas asíncronas.

Ej. 238 — ¿El latch SR opera en modo síncrono o asíncrono?

Solución (Ej. 238) — En modo asíncrono, ya que no existe ninguna señal de reloj operativa.

Ej. 239 — Dibuje el circuito latch SR sincronizado utilizando exclusivamente puertas NAND.

Solución (Ej. 239) — Partiendo de la Figura 9.11 podemos obtener el circuito de la Figura 9.12 sustituyendo las puertas AND y NOR, por sus equivalentes en NAND.

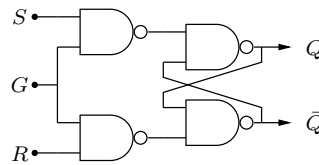


Figura 9.12: Latch SR sincronizado o con entrada de habilitación realizado por puertas NAND

Ej. 240 — Para el latch SR sincronizado con puertas NAND. ¿Cual es su tabla de estados o de verdad?

Solución (Ej. 240) — Es la misma que para el latch SR de la Figura 9.11 pero ahora el estado prohibido $S = 1$ y $R = 1$ producen las salidas $Q = 1$ $\bar{Q} = 1$

Ej. 241 — Liste la salidas binarias Q y \bar{Q} del latch SR de la Figura 9.13

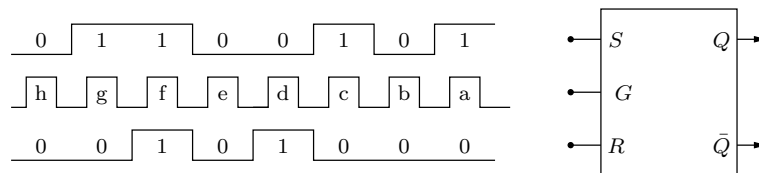


Figura 9.13: latch SR sincronizado ante un tren de pulsos

Solución (Ej. 241) — Si el primer estado es a y el último h:
 $Q = 111001$ (estado prohibido) 11 $\bar{Q} = 000110$ (estado prohibido) 00

9.5 El latch D síncrono

Si un inversor se conecta a la línea de entrada S a la entrada de R de un latch SR controlado como se muestra en la Figura 9.14(a), el circuito se convierte en un latch controlado D, cuya representación simbólica se muestra en la Figura 9.14(b). Esta nueva conexión se traduce en una modificación del diagrama de estado del latch SR. Como ahora S y R no pueden ser al mismo tiempo 1 o 0, las dos primeras y las dos últimas filas de la tabla de estado SR se pueden eliminar. Como no hay valores R de la señal dependientes, la columna de R también puede ser eliminada y la columna S se convierte en la columna D . La tabla de estado modificada se muestra en la Figura 9.14(c) y la ecuación característica se puede escribir como:

$$Q^{t+\delta t} = (D\bar{Q} + DQ)^t = D^t$$

Cuando el latch está habilitado por la señal de control G , éste pasa a tener como estado el mismo de la señal de entrada D , retrasado sólo por el tiempo de propagación del latch. El diagrama de estado externo se muestra en la Figura 9.14(d) y un cronograma para el latch en la Figura 9.14(e). Los puntos sin posibilidad de que el latch cambie su estado se muestran en Y , X y Z . En estos puntos el estado actual de Q está cerrado (*latched*) y no puede cambiar hasta que G transiciona de $0 \rightarrow 1$.

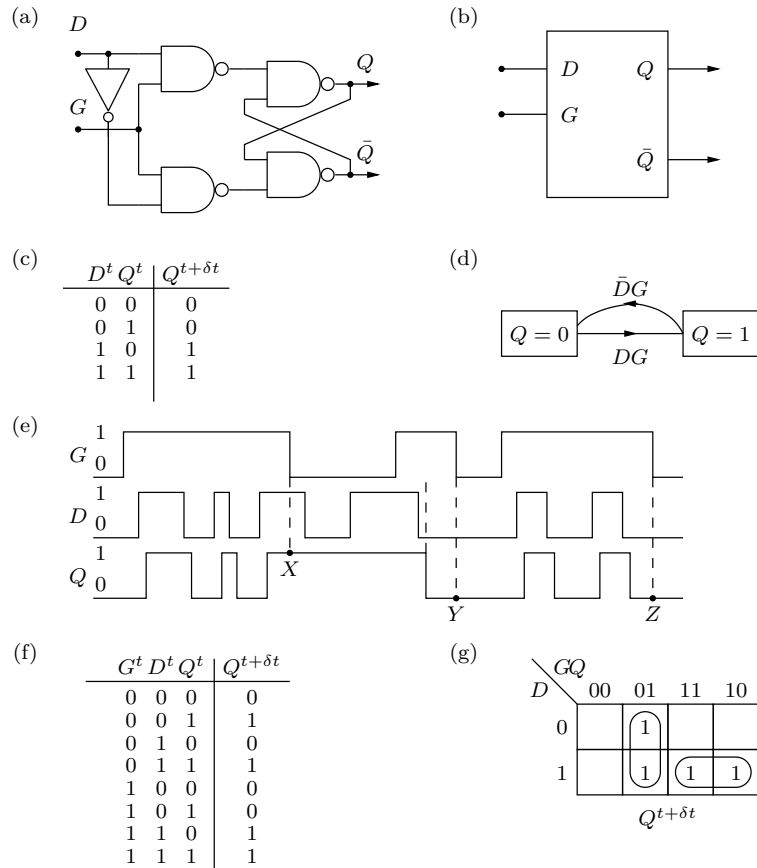


Figura 9.14: latch D controlado (a) Implementación del latch D controlado (b) Representación simbólica (c) Tabla de estados (d) Diagrama de estados externos (e) Diagrama de tiempos (f) Tabla de estados completo (g) Mapa de Karnaugh

El latch controlado D tiene la ventaja de que sólo requiere de una entrada de datos y no hay ninguna condición de entrada que tenga que ser evitada. También es posible latches D de más entradas. El tipo más común es el latch de doble puerto (*dual port latch*), que dispone de dos entradas D y dos señales de control G_1 y G_2 . Para un correcto funcionamiento, es evidente que las dos señales de control no pueden estar simultáneamente a 1.

La tabla de estado desarrollada en la Figura 9.14(c) no tiene en cuenta la ac-

ción de la señal de control G . Una versión revisada de esta tabla se muestra en la Figura 9.14(f) y el mapa de Karnaugh de $Q^{t+\delta t}$ aparece en la Figura 9.14(g), lo que conduce a la siguiente ecuación de características modificada:

$$Q^{t+\delta t} = (\bar{G}Q + DG)^t$$

Cuestiones y Ejercicios Resueltos

Ej. 242 — Indique si el circuito del latch D de la Figura 9.14(a) puede estar sometido a un hazard estático e indique la forma de solucionarlo.

Solución (Ej. 242) — Cuando se producen cambios en la entrada de un circuito combinacional, se pueden generar picos o glitches en la salida del circuito debidos a la diferente longitud que emplean los datos de entrada. Es el caso del latch de la Figura 9.14(a).

La manera de resolver el problema es utilizar un termino consensuado. Puesto que hay dos 1 en las celdas adyacentes en el mapa de Karnaugh, un peligro (*hazard*) estático está presente en esta mapa de Karnaugh. Para eliminar el peligro se añade un tercer término DQ para cubrir los 1 adyacentes. La ecuación característica libre de peligro del latch D controlado se muestra a continuación:

$$Q^{t+\delta t} = (\bar{G}Q + DG + DQ)^t$$

9.6 El latch JK síncrono

La incertidumbre que provoca el estado prohibido en el latch SR, producida cuando ambas entradas del latch están activas y simultáneamente se desactivan, no se evita con el latch SR sincronizado. Ahora bien, esta situación puede evitarse añadiendo dos líneas más de retroalimentación al circuito latch SR. El dispositivo resultante, se muestra en la Figura 9.15(a), es denominado un latch JK. La señal de reloj, como en el caso del latch SR sincronizado, asegura que el cambio de estado se haga de forma síncrona intentando evitar los *glitches*.

La representación simbólica del latch JK se muestra en la Figura 9.15(a) y la tabla de estado que describe su operación lógica en la Figura 9.15(b). La operación lógica de este latch JK difiere en un aspecto de la operación lógica del latch SR en que es permisible para las entradas J y K ser ambas al mismo tiempo igual a 1. Cuando $J = K = 1$, el latch conmuta. Es decir, en la fila 7 el latch cambia su estado de 0 a 1, mientras que en la fila 8 se lleva la acción inversa. En las filas 4 y 5 se llevan a cabo operaciones normales de establecimiento *set* y de restablecimiento *reset*, como se describió para el latch SR.

Un examen de la tabla de estado de la Figura 9.15(b) muestra que el latch se enciende (*turned-on*) en las filas 5 y 7, mientras que se apaga (*turned-off*) en las filas 4 y 8. La condición de encendido (*turned-on*) para Q es:

$$S = J\bar{K}\bar{Q} + JK\bar{Q} = J\bar{Q}$$

la condición de apagado (*turned-off*) para Q es:

$$R = \bar{J}KQ + JKQ = KQ$$

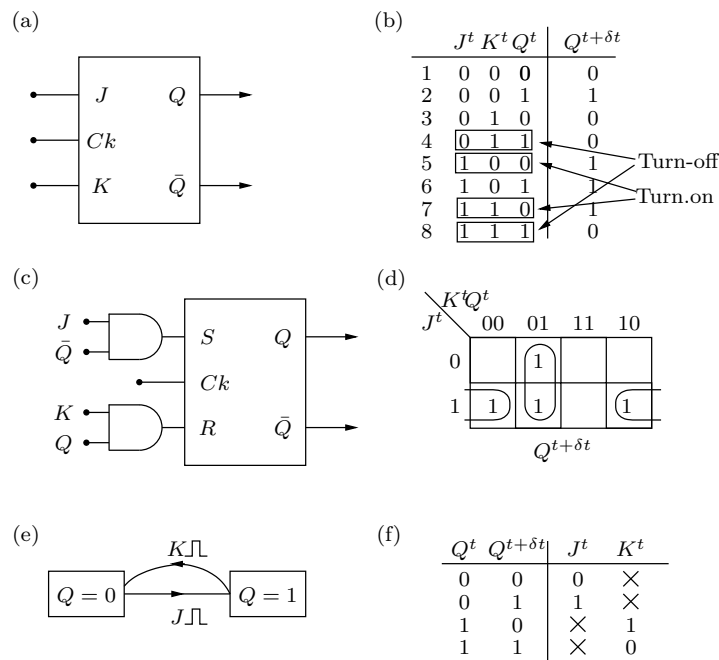


Figura 9.15: El latch JK (a) Representación simbólica (b) Tabla de estados (c) Representación del latch JK mediante un latch SR y dos puertas AND (d) Mapa de Karnaugh para $Q^{t+\delta t}$ (e) Diagrama de estado (f) Tabla de transiciones

Estas dos ecuaciones indican que un latch JK puede ser considerado como un latch SR precedido por dos puertas que implementan las funciones de encendido y apagado, respectivamente, como se ilustra en la Figura 9.15(c).

La ecuación característica del latch JK se obtiene situando las condiciones del estado actual sobre un mapa de Karnaugh como se muestra en la Figura 9.15(d). Después de la simplificación, la ecuación característica se puede escribir como:

$$Q^{t+\delta t} = (J\bar{Q} + \bar{K}Q)$$

El diagrama de estado que describe el comportamiento final del latch JK se muestra en la Figura 9.15(e). Suponiendo que el latch dispone de una señal de reloj para sincronización y que se encuentra actualmente en el estado $Q = 0$ con $J = 1$ y Ck cambia de 0 a 1, se hace una transición al estado $Q = 1$. Del mismo modo, en el estado $Q = 1$ con $K = 1$ y Ck cambiando de 0 a 1 se hace una transición a $Q = 0$.

En la Figura 9.15(f), se muestra la tabla de transiciones (*steering or transition table*) para el latch JK derivada del diagrama de estados de la Figura 9.15(e). Al comparar la tabla de transiciones del latch SR y del latch JK que aparecen en la Figura 9.5(d) y Figura 9.15(f), se muestra que el flip-flop tiene más condiciones de entrada ‘×’ o ‘no importa’. En la práctica, el aumento del número de términos ‘no importa’ permite simplificar la lógica combinatoria en el diseño del circuito lógico secuencial.

Un latch JK puede ser implementado mediante la conexión de la salidas de dos puertas AND de la Figura 9.15(c) a las entradas S y R del latch controlado o sincronizado como se muestra en la Figura 9.11. La Q y \bar{Q} resultantes de este latch

y sus conexiones de reloj alimentan a las entradas de las dos puertas junto con las entradas J y K , como se muestra en la Figura 9.16(a). Hay que tener en cuenta que las puertas están formadas por dos pares de puertas NAND en cascada, es decir, g_5 y g_7 , y g_6 y g_8 . Está claro que las puertas g_7 y g_1 , y las puertas g_8 y g_2 , proporcionan una doble inversión y son redundantes, lo que reduce el latch JK a solo una serie de cuatro puertas, como se muestra en la Figura 9.16(b).

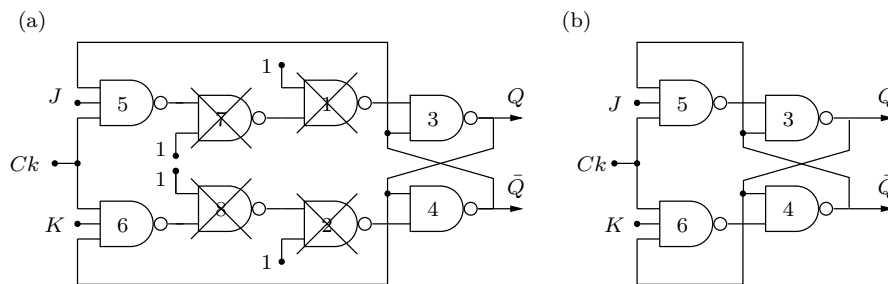


Figura 9.16: El flip-flop JK (a) Implementación con puertas NAND (b) Forma reducida

Como en el caso de los latches controlados ya descritos anteriormente en esta lección, el latch JK se desactiva cuando $Ck = 0$ y se activa cuando $Ck = 1$. Pero la conexión que se muestra en la Figura 9.16(b) exhibe inestabilidad cuando $J = K = 1$ y $Ck = 1$, debido a la retroalimentación de las señales de salida complementarias hacia la entrada. El diagrama de estado indica que bajo estas condiciones la salida de Q es oscilatoria y lo seguirá siendo hasta el momento en el Ck proporcione una transición $1 \rightarrow 0$ que deje el reloj desactivado. Esta conmutación no deseada y constante, denominada *carrera* o *race*, puede eliminarse si se imponen algunas restricciones al pulso de reloj, es decir a su tiempo en activa. Se desea que solo se realice una conmutación por tiempo en alta del reloj. Para un funcionamiento correcto, el ancho del pulso de reloj debe ser menor que el retardo de propagación del latch. Esta restricción es muy limitadora pero puede ser eliminada mediante otras estructuras que a continuación se pasan a detallar.

Cuestiones y Ejercicios Resueltos

Ej. 243 — ¿Qué peculiaridad hace que el latch JK no tenga estado prohibido?

Solución (Ej. 243) — La diferencia principal con el latch SR sincronizado consiste en que el estado prohibido queda eliminado. Cuando el reloj Ck esté en alta y las entradas J y K estén en alta también, el nuevo lazo de retroalimentación provoca que los valores de salida Q y \bar{Q} conmuten su estado, de modo que ahora nunca Q ni \bar{Q} podrán tener el mismo valor lógico.

Ej. 244 — ¿Cómo se llama al nuevo modo o estado en el latch JK que sustituye al estado o modo prohibido? ¿En que consiste ese nuevo estado?

Solución (Ej. 244) — El nuevo modo o estado se llama de conmutación. Se expresa en la tabla de verdad indicando que el valor previo a Q es su complementario (denotado como \bar{Q}_{t-1})

Ej. 245 — Demostrar que la implementación de un latch JK como el de la Figura 9.15(c) estaría formado por un circuito como el de la Figura 9.16(b).

Solución (Ej. 245) — Observando ambas figuras podemos comprobar que las puertas $g1$, $g2$, $g3$ y $g4$ de la Figura 9.16(b) son las puertas NAND que forman el latch SR de la Figura 9.15(c). Por lo tanto solo se necesita demostrar que las dos puertas AND de la Figura 9.16(b) son equivalentes a las puertas $g5$, $g6$, $g7$ y $g8$ de la Figura 9.16(b). Pero es inmediato, ya que en una puerta AND $AB = \overline{\overline{A}\overline{B}}$. Es decir se necesitarían una puerta NAND con lo que se tendría \overline{AB} y posteriormente un inversor en cascada que se puede obtener mediante una puerta NAND con una de sus entradas siempre a 1, y la otra a la salida de la anterior puerta NAND.

Ej. 246 — ¿Qué es una carrera o *race*?

Solución (Ej. 246) — Una carrera o *race* es una conmutación no deseada. En el caso del latch JK es debido a que si $J = 1$ y $K = 1$ con un reloj con un tiempo en activo demasiado largo provocara conmutaciones *set-reset* en un numero indeterminado por lo que cuando el reloj pase a inactivo no sabremos en que estado quedó la salida.

Ej. 247 — ¿Cómo se puede evitar las carreras en un latch JK?

Solución (Ej. 247) — Se puede evitar disminuyendo el tiempo que esta el reloj en activa o bien con estructuras especiales como master-slave o disparo por flancos que convierten al latch en un flip-flop.

9.7 El flip-flop maestro/esclavo

Los biestables anteriores, según nuestra definición, son *latches* porque las puertas son *transparentes* mientras el reloj esté a nivel alto (o en bajo) y por tanto cualquier cambio en la entrada es reflejada en la salida después de un cierto retardo nominal. Para un *latch síncrono positivo* se dice que está abierto a partir del flanco de subida del reloj de modo que los datos son aceptados continuamente hasta que el reloj transiciona a bajo y el latch se cierre.

Esta naturaleza transparente de los latches suele ser un grave problema. Consideremos un circuito simple como el de la Figura 9.17. Tan pronto como el reloj esté en alta, la salida del biestable comenzará a oscilar entre los estados 0 y 1. Este fenómeno de *carrera o concurrencia (race)* puede ser evitable reduciendo el ancho del pulso de reloj Ck de modo que sea menor que el retardo de propagación del lazo, como ya hemos comentado. Pero esta conmutación continua del latch durante su periodo transparente no es el grave problema al que nos referimos, éste estriba en que la salida queda indeterminada cuando la señal de reloj Ck vaya a bajo. La

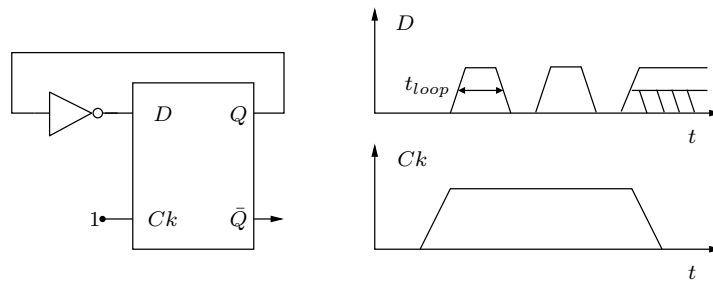


Figura 9.17: Problema con la carrera en los diseños basados en *latches*

oscilación podría aceptarse siempre que una vez cerrado el latch, el estado final sea perfectamente determinado, pero eso no ocurre.

Con el fin de superar estas dificultades, se puede utilizar un flip-flop JK maestro/esclavo. Se compone de dos latches SR, el maestro y el esclavo, conectados en cascada, como se muestra en la Figura 9.18(a) y (b), esta última con algo de más detalle. El maestro tiene una conexión normal a la señal de reloj, mientras que la señal de reloj para el esclavo está invertida. Asumiendo que sólo pueden ocurrir cambios en las señales J y K cuando el reloj está en baja, ya que el maestro está desactivado, los cambios en su salida se llevarán a cabo en el flanco de subida del pulso de reloj y estos cambios son transmitidos a la entrada del esclavo. Sin embargo, ningún cambio puede ocurrir en la salida del esclavo hasta el flanco de subida del pulso de reloj invertido, que es el flanco de bajada del pulso de reloj. Por lo tanto, los cambios en Q y \bar{Q} que realimentan la entrada del maestro no se produce hasta el flanco de bajada del pulso de reloj. En términos del diagrama de estados mostrado en la Figura 9.18(f), cuando $J = K = 1$, la transición de Q de $0 \rightarrow 1$ se hace en el flanco de bajada del pulso de reloj. El flip-flop se mantiene en ese estado hasta el flanco de bajada del siguiente pulso de reloj cuando se lleva a cabo la transición inversa. El flip-flop se dice entonces que opera en modo conmutación (*toggle mode*) que es análogo a la condición de inestabilidad oscilatoria que se describió anteriormente. Sin embargo, la conmutación de Q ahora está controlada mientras que la condición $J = K = 1$ se mantenga, y el flip-flop cambiará en el flanco de bajada de cada pulso sucesivo de reloj. Los diagramas de tiempo para el JKFF maestro/esclavo se muestran en la Figura 9.18(d).

A parte de las entradas J , K y Ck , el JKFF maestro/esclavo pueden tener uno o dos controles adicionales que permitan tanto al maestro como al esclavo asumir uno de los dos estados con independencia de si $Ck = 0$ o 1 . Estos controles asíncronos se llaman *preset*, Pr y *clear*, Cl . La mayoría de los flip-flops disponibles en el mercado están provistos de un control *clear*, mientras que el control *preset* no es tan común. El funcionamiento de estos controles se describe en la tabla que se muestra en la Figura 9.18(c) y un circuito que incluye estos controles aparece en la Figura 9.18(g). Con ambos controles a 1 estos se encuentran inactivos, y el flip-flop está bajo el control de J , K y Ck . Si $Cl = 0$ y $Pr = 1$ el maestro y el esclavo se ‘borran’ de manera que $Q_m = Q = 0$. Si $Cl = 1$ y $Pr = 0$ el flip-flop se ‘preconfigura’ y

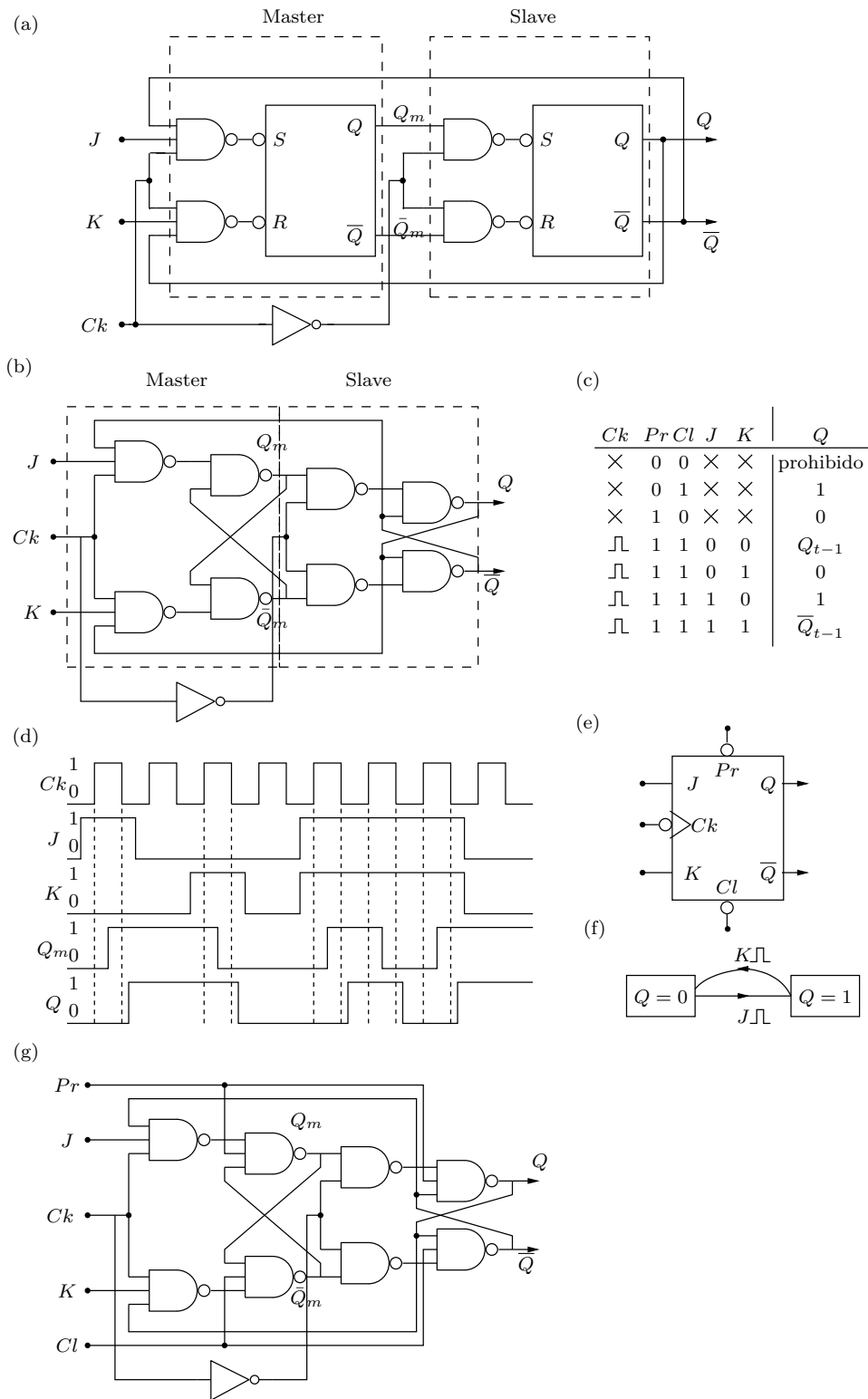


Figura 9.18: El flip-flop JK Master-Slave (a) Implementación con puertas NAND y latches SR (b) Implementación en detalle con puertas NAND (c) Tabla de estados (d) Diagrama de tiempos (e) Representación simbólica (f) Diagrama de estados externo (G) Flip-flop Master-Slave con controles asíncronas Pr y Cl

$Q_m = Q = 1$. Si ambas señales, Pr y Cl , se activan a baja se anularán las señales de las líneas J y K . Estas señales normalmente sólo se utilizan durante los períodos asíncronos, es decir cuando el reloj está en baja. Por lo general, el control *clear* puede ser utilizado para borrar todos los flip-flops de un registro o un contador cuando se enciendan por primera vez.

A pesar de que esa conmutación descontrolada ha sido eliminada mediante la conexión maestro/esclavo, por desgracia, el flip-flop JK maestro/esclavo aún muestra otra de las dificultades que pueden producir un funcionamiento defectuoso del circuito ante la presencia de picos de ruido. Este fenómeno se denomina captura de 1 o 0.

En la práctica, el JKFF puede estar en modo mantenimiento (*hold mode*) con $J = K = 0$ y las salidas del maestro/esclavo $Q_m = Q_s = 0$, entonces, cuando el reloj esté en alto, el maestro está habilitado. Si debido al ruido, aparece un pico positivo en la entrada J , Q_m realiza una transición $0 \rightarrow 1$ y en el flanco de bajada del mismo pulso de reloj Q_s también realiza una transición $0 \rightarrow 1$. Esta transición espuria se conoce como *captura de 1*. Un ejemplo de la captura de 1 se ilustra en la Figura 9.18(d). Igualmente, una transición $1 \rightarrow 0$ se producirá en Q_s si inicialmente $J = K = 0$ y un pico positivo aparece en la entrada de K , cuando el reloj esté en alta. Dicha transición se conoce como *captura de 0*, y también se ilustra en la Figura 9.19.

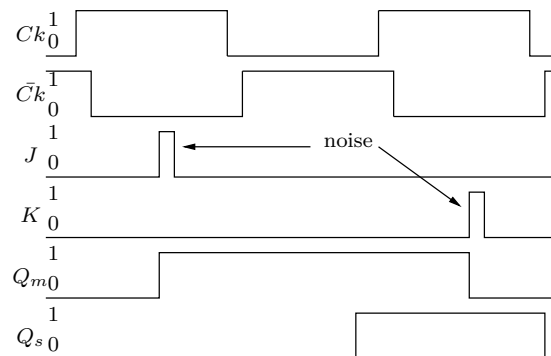


Figura 9.19: Ejemplo de captura de 1 y 0 provocado por picos de ruidos en las líneas J y K

También es posible construir un flip-flop SR maestro/esclavo a partir de dos latches SR conectados en cascada como se muestra en la Figura 9.20. En la práctica existe poca aplicación para este dispositivo y se ha sustituido en gran medida en los catálogos de los fabricantes por el flip-flop JK maestro/esclavo. El SRFF maestro/esclavo, a diferencia del latch SR y el latch SR controlado, ya no es transparente. Cualquier cambio en la salida del esclavo no puede tener lugar hasta que aparezca el flanco de bajada del pulso de reloj. Sin embargo, al igual que el JKFF, puede ocurrir mal funcionamiento debido a un captura de 1 y 0.

Un flip-flop D maestro/esclavo disparado por flanco negativo (o *edge-triggered D type master/slave flip-flop*) se compone de un par de latches D conectados, como se

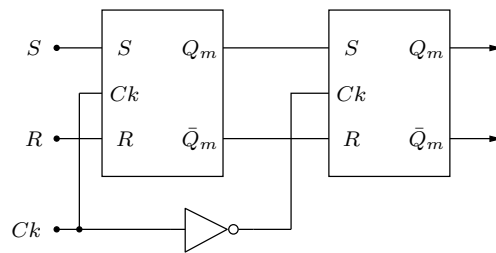


Figura 9.20: Flip-flop master/slave SR

muestra en la Figura 9.21(a). El maestro sigue a la entrada D mientras el reloj está en alto, y los latches siguen al valor de la entrada a la salida del maestro en el flanco de bajada del pulso de reloj. En estos momentos, el maestro está desactivado y lo seguirá estando hasta que el reloj pase a alto otra vez. Cuando el reloj pase a nivel bajo la señal de reloj invertida en la entrada de reloj del esclavo lo habilita, y la salida del maestro se transfiere a la salida del esclavo. Cuando el reloj pase a alto el lado del esclavo está deshabilitado y lo seguirá estando hasta que el reloj pase a un nivel bajo de nuevo. El disparo por flanco (o siendo estrictos por pulso o siendo aún más exactos por dos flancos negativos) se indica en el diagrama simbólico en la Figura 9.21(b) por el triángulo de la entrada de reloj. Este triángulo se denomina indicador de entrada dinámica. El diagrama de tiempo que describe el comportamiento se muestra en la Figura 9.21(c).

El circuito de la Figura 9.21 puede ser modificada para proporcionar disparos por flancos positivos mediante la inclusión de un segundo inversor en la línea de reloj (véase la Figura 9.21(d)). El diagrama simbólico correspondiente se muestra en la Figura 9.21(e).

El problema de la captura de 1 y de 0 no se plantea con este tipo de flip-flop. Suponiendo un dispositivo disparado por flanco negativo y que aparece un flanco positivo de un pico positivo por ruido cuando $Q_m = 0$ y el reloj maestro $Ck = 1$, entonces el latch maestro se establece a 1. Sin embargo, en el borde descendente del pico, el reloj maestro sigue estando en alta, el latch maestro se restituye a 0 antes de que el latch esclavo esté habilitado por la señal de reloj invertida.

Cuestiones y Ejercicios Resueltos

Ej. 248 — Un flip-flop master/slave JK se muestra en la Figura 9.18(c). Si se asume que la condición inicial del flip-flop $J = K = Q_m = Q = 0$ dibuje los niveles lógicos a través del diagrama para los siguientes cambios. (Nota: Los cambios en J y K toman lugar en intervalos de tiempo entre pulsos)

1. $J = 0 \rightarrow 1$, $K = 0 \rightarrow 0$, 1 pulso de reloj
2. $J = 1 \rightarrow 1$, $K = 0 \rightarrow 1$, 2 pulso de reloj
3. $J = 1 \rightarrow 0$, $K = 1 \rightarrow 0$, 3 pulso de reloj
4. $J = 0 \rightarrow 1$, $K = 0 \rightarrow 0$, 4 pulso de reloj

Dibuje un diagrama de tiempos visualizando las formas de onda J , K , Q_m y Q

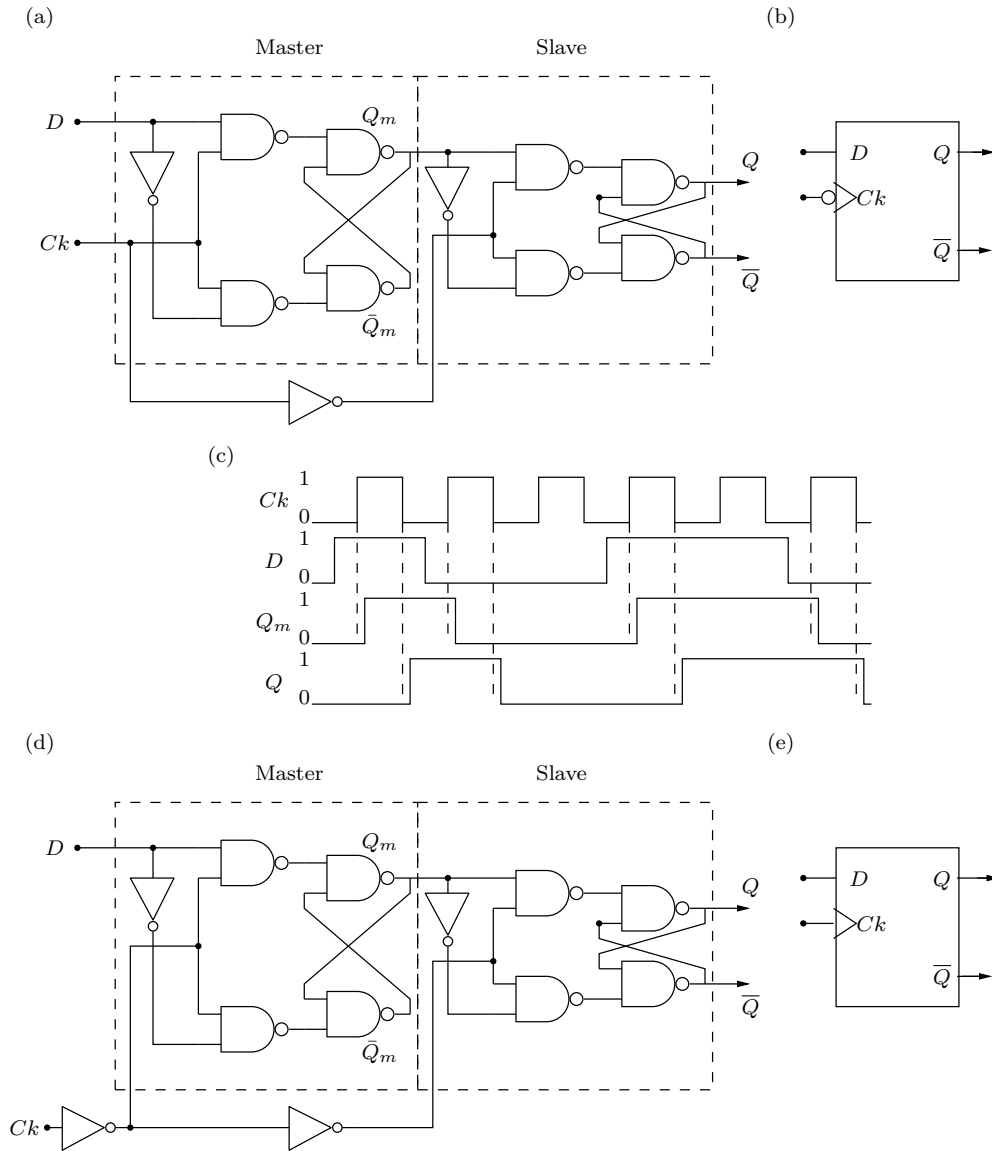


Figura 9.21: Flip-flop master/slave tipo D (a) Disparado por flanco negativo (b) Representación simbólica para el flanco negativo (c) Diagrama de tiempos (d) Disparado por flanco positivo (e) Representación simbólica para el flanco positivo

Asumiendo las mismas condiciones iniciales, determina el valor final de Q_s cuando las entradas cambian en el siguiente orden:

$$5. Ck = 0 \rightarrow 1, J = 0 \rightarrow 1, Ck = 1 \rightarrow 0$$

$$6. Ck = 0 \rightarrow 1, K = 0 \rightarrow 1, J = 1 \rightarrow 0, Ck = 1 \rightarrow 0$$

Solución (Ej. 248) — La solución se muestra en la Figura 9.22 cuya explicación viene dada a continuación.

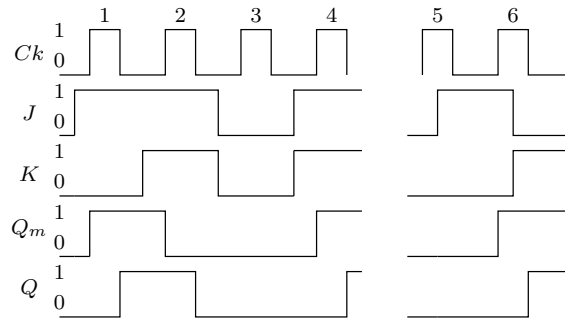


Figura 9.22: tipo Diagrama de tiempos flip-flop master/slave JK

1. En el flanco de subida del primer pulso de reloj del JKFF master/slave el maestro lee $J = 1$ y $K = 0$ por lo que $Q_m = 1$. En el flanco de bajada del pulso de reloj, $Q_m = 1$ pasa a la salida y por tanto $Q = 1$
2. En el flanco de subida del segundo pulso de reloj del JKFF master/slave el maestro lee $J = 1$ y $K = 1$ por lo que se conmuta $Q_m = 0$. En el flanco de bajada del pulso de reloj, $Q_m = 1$ pasa a la salida a través del esclavo y por tanto $Q = 1$
3. En el flanco de subida del tercer pulso de reloj del JKFF master/slave el maestro lee $J = 0$ y $K = 0$ por lo que se mantiene el estado $Q_m = 0$. En el flanco de bajada del pulso de reloj, $Q_m = 0$ pasa a la salida a través del esclavo y por tanto $Q = 0$
4. En el flanco de subida del cuarto pulso de reloj del JKFF master/slave el maestro lee $J = 1$ y $K = 1$ por lo que se conmuta el estado $Q_m = 1$. En el flanco de bajada del pulso de reloj, $Q_m = 1$ pasa a la salida a través del esclavo y por tanto $Q = 1$
5. En el quinto pulso se parte otra vez del estado inicial $J = K = Q_m = Q = 0$. En el flanco de subida del cuarto pulso de reloj del JKFF master/slave el maestro lee $J = 1$ y $K = 1$ por lo que se conmuta el estado $Q_m = 1$. En el flanco de bajada del pulso de reloj, $Q_m = 1$ pasa a la salida a través del esclavo y por tanto $Q = 1$

Ej. 249 — Un flip-flop JK master/slave modificado se muestra en la Figura 9.23(a) para formar un flip-flop master/slave J’K. Obtenga su tabla de estado y su ecuación característica.

Solución (Ej. 249) — La solución se muestra en la Figura 9.23(b). La ecuación característica se obtiene de simplificar el mapa de Karnaugh que se muestra en la Figura 9.23(c)

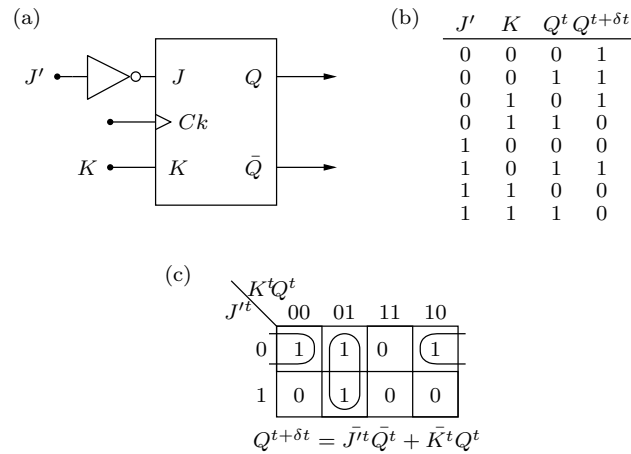


Figura 9.23: Flip-flop JK modificado (a) Flip-flop J’K (b) Tabla de estados (c) Mapa de Karnaugh

Ej. 250 — Indique el funcionamiento del circuito maestro-esclavo de la Figura 9.18(b)

Solución (Ej. 250) — El primer latch es denominado *maestro*, el cual esta en modo transparente cuando el reloj Ck esté a nivel alto. Durante este periodo de tiempo, las entradas J y K están habilitadas, por tanto las señales intermedias Q_m (S) y \bar{Q}_m (R) denotan los cambios que se produzcan en las entradas. El lazo de retroalimentación proveniente de las salidas Q y \bar{Q} asegura que el biestable actúe como un latch JK y que conmute sus salidas Q_m y \bar{Q}_m cuando J y K estén ambas en alta. Ahora bien, durante este mismo periodo de tiempo, debido a un inversor, Ck permanece en baja para el segundo latch, llamado *esclavo*, lo que asegura que esté en modo *hold* y que Q_m y \bar{Q}_m y las posibles carreras que le afecten, no se propaguen hasta Q y \bar{Q} . En el flanco de bajada del reloj se mantiene el estado del latch maestro y un periodo de tiempo muy pequeño después las puertas NAND del latch esclavo son habilitadas y por tanto los cambios en Q_m y \bar{Q}_m son propagadas a la salida.

Ej. 251 — ¿Qué indica el pequeño circuitito en la entrada de reloj del símbolo del flip-flop maestro-esclavo de la 9.18(e)?

Solución (Ej. 251) — Indica que el cambio de estado se produce en los pulsos de subida a bajada. Los circuititos de las entradas asíncronas *preset* y *clear* indican que son activas en baja.

Ej. 252 — ¿Cual es el principal problema del flip-flop maestro-esclavo?

Solución (Ej. 252) — Aunque se evita el problema de las carreras, no evita las

capturas de un 1.

Ej. 253 — ¿Qué significa que el flip-flop maestro-esclavo ha capturado un 1?

Solución (Ej. 253) — Asumamos que el flip-flop maestro-esclavo esté en estado *reset* ($\bar{Q} = 1$). Eso significa que la entrada J del latch maestro está habilitada, por lo que cualquier pico o *glitch* en esta entrada podría causar que el latch maestro se pusiera en estado *set*, una vez desaparecido el *glitch* el latch maestro seguiría permaneciendo en estado *set*.

Ej. 254 — ¿Cómo se puede solucionar la captura de un 1 en los flip-flops?

Solución (Ej. 254) — Haciendo que el tiempo en la que este en modo transparente el latch maestro sea el mínimo. O bien utilizando otras estructuras como el disparo por flanco o *edge-triggering* donde el estado del biestable solo puede cambiar (ser transparente) en los flancos de reloj.

9.8 El flip-flop D disparado por flanco

Existe una configuración alternativa al DFF anterior que también puede operar en condiciones de ruido bloqueando los datos en la entrada. El flip-flop, disparado por flanco positivo, se compone de tres pares de puertas NAND con acoplamiento cruzado, cada par constituye un latch básico $\bar{S}\bar{R}$, del tipo mostrado en la Figura 9.24(a). El latch está en un estado estable cuando $\bar{S} = \bar{R} = 1$, $Q = 0$ y $\bar{Q} = 1$. Para cambiar el estado del flip-flop debe aparecer una transición $1 \rightarrow 0$ y esta acción establecerá el flip-flop a $Q = 1$, como se muestra en el diagrama.

Los tres latches están interconectados como se muestra en la Figura 6.21(b), con g_1 y g_2 formando un latch mientras g_3 y g_4 conforman un segundo latch. El latch de salida está formado por las puertas g_5 y g_6 . A fin de mantener el latch de salida en un estado estable, tanto \bar{S} como \bar{R} se deben mantener a 1 y esto se logra cuando el reloj $Ck = 0$ ya que entonces las salidas de g_2 y g_3 valen 1. Si, además, $D = 0$, entonces el resto de señales en diferentes partes del circuito se puede determinar fácilmente, como se muestran en la Figura 9.24(b).

Cuando los datos de D cambian de $0 \rightarrow 1$ durante el período asíncrono, entonces la salida de g_4 cambia de $1 \rightarrow 0$, lo que inicia una transición $0 \rightarrow 1$ en la salida de g_1 y este cambio se transfiere a la entrada de g_2 como se muestra en la Figura 9.24(b). El tiempo de retardo antes de que este cambio se produzca es igual a la suma de los retardos de las puertas g_4 y g_1 y, es el tiempo de acondicionamiento para el flip-flop. La inferencia es que no debería haber ningún cambio en Ck hasta después de transcurrido el tiempo de acondicionamiento.

Después del tiempo de acondicionamiento, se le permite al reloj ir a alta, y como consecuencia la salida de g_2 , \bar{S} , realiza una transición $1 \rightarrow 0$. El cambio en \bar{S} inicia un cambio de estado en la salida del latch y Q hace una transición $0 \rightarrow 1$ seguida de una transición $1 \rightarrow 0$ en \bar{Q} . Hay que hacer notar que no hay ningún cambio en \bar{R} , como consecuencia de que el reloj vaya a alta. Esto se debe a que la entrada a baja de g_3 provoca una transición $1 \rightarrow 0$ durante el tiempo de acondicionamiento. El tiempo necesario por parte de \bar{S} para cambiar $1 \rightarrow 0$ es el tiempo de mantenimiento y es

igual al tiempo de retardo de g_2 . Es esencial que no debería existir ningún cambio en D durante este período. Los cambios que tienen lugar en el circuito después de la transición de reloj de $0 \rightarrow 1$ se muestran en la Figura 9.24(c).

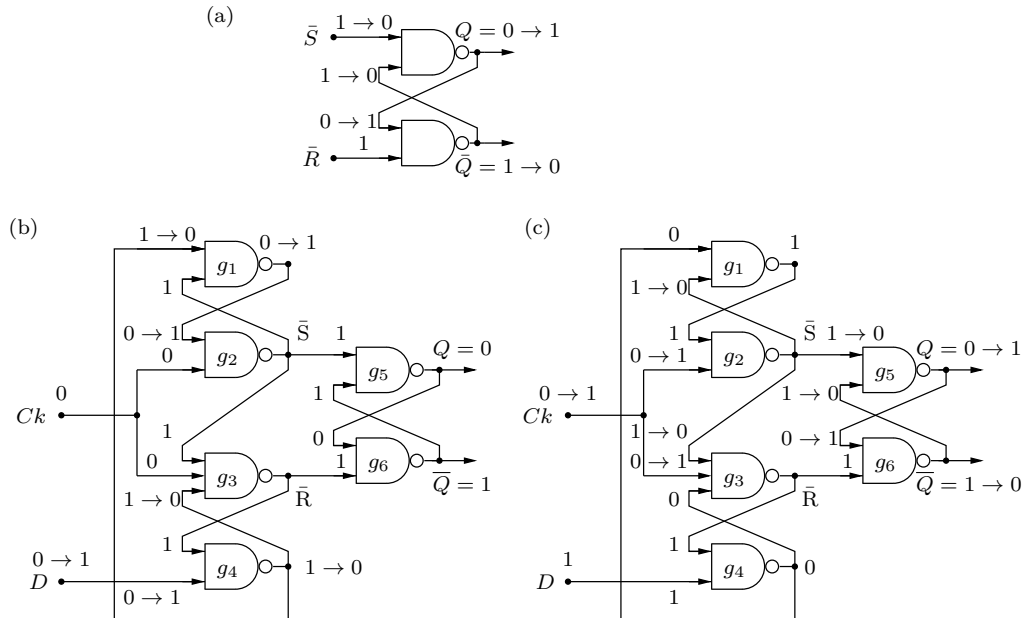


Figura 9.24: El flip-flop D disparado por flanco (a) Flip-flop $\bar{S}\bar{R}$ básico (b) Transición $0 \rightarrow 1$ en la línea D (c) Transición $0 \rightarrow 1$ en Ck

Si se produce un cambio en D de $1 \rightarrow 0$ después de que el tiempo de mantenimiento haya transcurrido y mientras el reloj permanezca en alto, no habrá más cambios en la salida del flip-flop. La consecuencia de esta transición es que la salida de g_4 provoca una transición $0 \rightarrow 1$ que se pasa a una de las entradas de ambas puertas g_1 y g_3 sin afectar a sus salidas. Por lo tanto, \bar{S} y \bar{R} permanecen sin cambio, al igual que las salidas Q y \bar{Q} del flip-flop.

Los tiempos de acondicionamiento y mantenimiento representan importantes limitaciones temporales que tienen influencia en la frecuencia máxima de reloj a la cual el dispositivo puede operar. Además, si estos dos factores no son tomados en cuenta durante la etapa de diseño de circuitos, los datos pueden perderse, y las transiciones necesarias no pueden tener lugar. También es posible tener salidas transitorias, conocidas como *sets* y *resets* parciales. Cuando esto ocurre, un cambio de estado se inicia, pero antes de que se haya completado el flip-flop vuelve a su estado original. Por otra parte, el flip-flop puede entrar en el estado metaestable y permanecer allí durante un tiempo que no puede definirse con precisión.

En general, el DFF disparado por flanco ocupa menos espacio en un chip de silicio que el JKFF disparado por flanco y por esta razón son los más utilizados de los diferentes flip-flops que se describen en esta lección. Además, el DFF al disponer de una entrada única de datos es más fácil de programar. Un ejemplo de flip-flop disparado por flanco comercial es el 74LS74 y que, como se muestra en la Figura 9.25,

muestra una estructura de latches SR como la explicada.

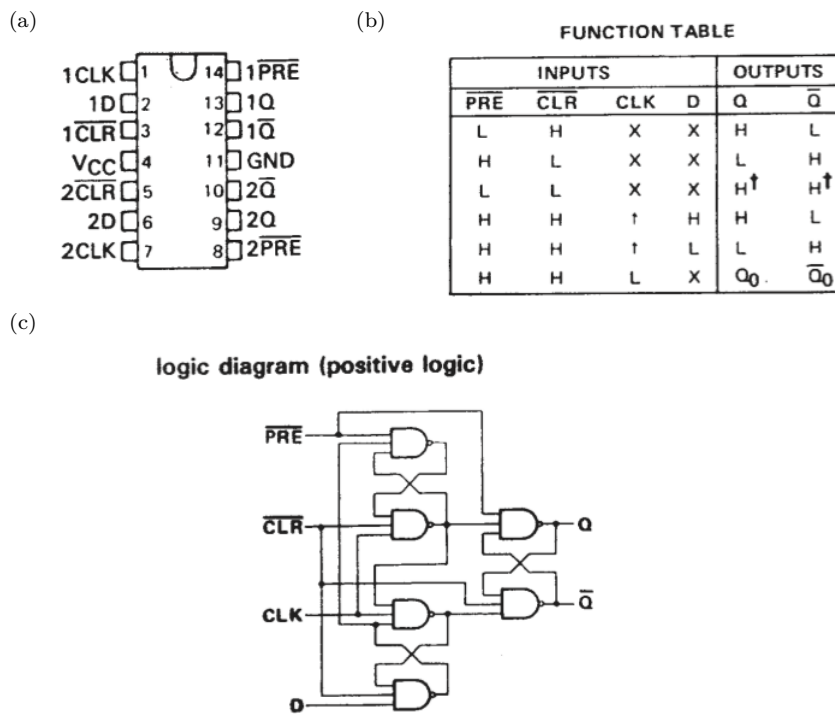


Figura 9.25: El 74LS74, doble flip-flop D disparado por flanco positivo con entradas asíncronas de *preset* y *clear* (a) Esquema del patillaje (b) Tabla de estados o de funciones (c) Diagrama lógico (Cortesía de Texas Instruments)

Cuestiones y Ejercicios Resueltos

Ej. 255 — Indique que valores intermedios tienen las líneas intermedias en el flip-flop tipo D de la Figura 9.26.

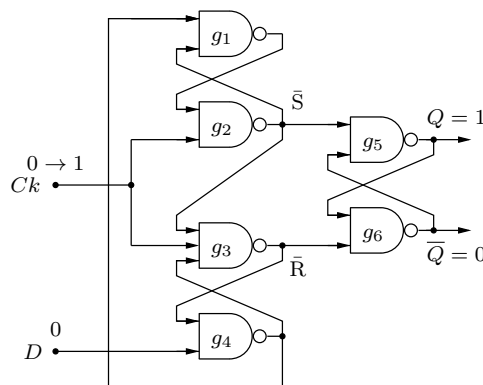


Figura 9.26: Entradas y salidas de un flip-flop tipo D

Solución (Ej. 255) — La solución se muestra en la Figura 9.27 cuya explicación viene dada a continuación.

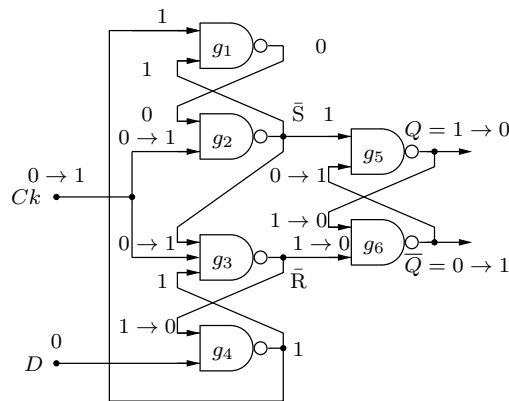


Figura 9.27: Señales intermedias para la entrada a un flip-flop tipo D

Por ser $D = 0$, la salida de la puerta g_4 es igual a 1 independientemente de los demás valores de la puerta. Además por ser inicialmente $Ck = 0$, implica que $\bar{S} = \bar{R} = 1$ y por tanto la salida de g_5 y g_6 no cambia conservando sus valores de $Q = 1$ y $\bar{Q} = 0$. Además la puerta g_1 proporciona un 0 que es retroalimentado a la puerta g_2 y esto implica que $\bar{S} = 1$, cambie o no cambie Ck .

Cuando cambie $Ck = 1$, sabemos que \bar{S} permanecerá a 1. Ahora bien g_3 recibe ahora como entradas un 1 proveniente de \bar{S} , un 1 procedente de Ck y un 1 procedente de la salida de g_4 lo que implica que \bar{R} conmuta a valer 0. Ese 0 es leído por la puerta g_6 lo que hace conmutar la salida \bar{Q} pasando a valer 1. Ahora la puerta g_5 lee un uno del lazo de retroalimentación de g_6 y otro 1 proveniente de \bar{S} , esto implica que Q pasa a valer 0.

Ej. 256 — Indique que valores intermedios tienen las líneas intermedias en el flip-flop tipo D de la Figura 9.28.

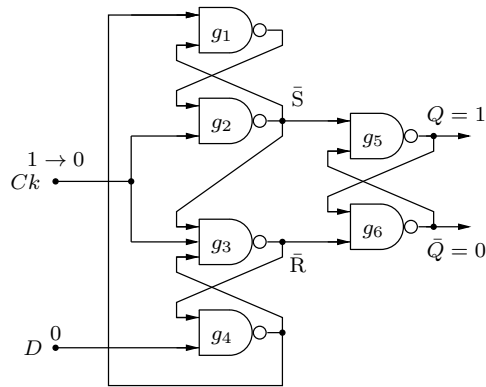


Figura 9.28: Entradas y salidas de un flip-flop tipo D

Solución (Ej. 256) — La solución se muestra en la Figura 9.29 cuya explicación viene dada a continuación.

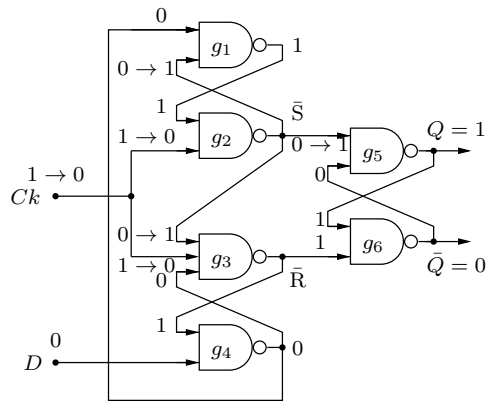


Figura 9.29: Señales intermedias para la entrada a un flip-flop tipo D

Por ser $\bar{Q} = 0$, la salida de la puerta g_3 es igual a 1 independientemente de los demás valores de las demás señales que se ponen en juego inicialmente. Por lo tanto, esto implica que a g_4 toma las entradas $\bar{R} = 1$ y $D = 1$ lo que produce un 0 en su salida. Este 0 en la salida de g_4 implica un 1 en la salida de g_6 independientemente de como sea su otra entrada. Ese 1 en la salida de g_1 junto al 1 inicial de la señal Ck implica que inicialmente $\bar{S} = 0$ y por tanto $Q = 1$. Pero hay que hacer notar que aunque D fuese 0, no se modificarían los valores de \bar{R} y \bar{S} permaneciendo inalterable la salida. El latch ha dejado de ser transparente a nivel.

Cuando cambie $Ck = 0$, la puerta g_2 cambia su salida a 1, mientras que la salida g_3 permanece sin alterarse a 1. esto automáticamente provoca que las salidas iban manteniendo en su mismo estado anterior a la transición de $Ck = 1 \rightarrow 0$. El flip-flop solo es activo en los flancos negativos y no en los positivos.

9.9 El flip-flop T

Este flip-flop se representa simbólicamente mediante el diagrama que se muestra en la Figura 9.30(a) y su comportamiento se describe por medio de la tabla de estado que se muestra en la Figura 9.30(b). Cabe señalar que si $T^t = 1$ y $Q^t = 0$ se produce una transición de manera que $Q^{t+\delta t} = 1$, y si $T^t = 1$ y $Q^t = 1$ se produce una transición de manera que $Q^{t+\delta t} = 0$. El circuito se dice que conmuta, y de hecho, el TFF se denomina circuito de conmutación. La ecuación que describe el comportamiento de los flip-flop se puede extraer de la tabla de estado. La ecuación se obtiene por escribir las condiciones del estado actual que proporcionan un valor de $Q^{t+\delta t} = 1$. Por lo tanto:

$$Q^{t+\delta t} = (\bar{T}Q + T\bar{Q})^t = (T \oplus Q)^t$$

En lugar de aplicar la ecuación anterior, es una cuestión simple desarrollar un flip-flop T a partir de un flip-flop JK maestro/esclavo. Todo lo que se requiere es que las entradas J y K deberían estar permanentemente conectadas a 1, como se ilustra en la Figura 9.30(c), y que la señal de conmutación T debería estar conectada a la entrada de reloj. En el flanco ascendente de cada pulso de entrada T , el flip-flop cambiará de estado, como se muestra en la Figura 9.30(d). El flip-flop se está comportando en modo conmutación en el sentido de que la salida Q cambia de manera alternada, adoptando los estados 0 y el 1. Este circuito es la base de todos los circuitos contadores. Es, de hecho, un contador módulo dos o *scale-of-two counter*.

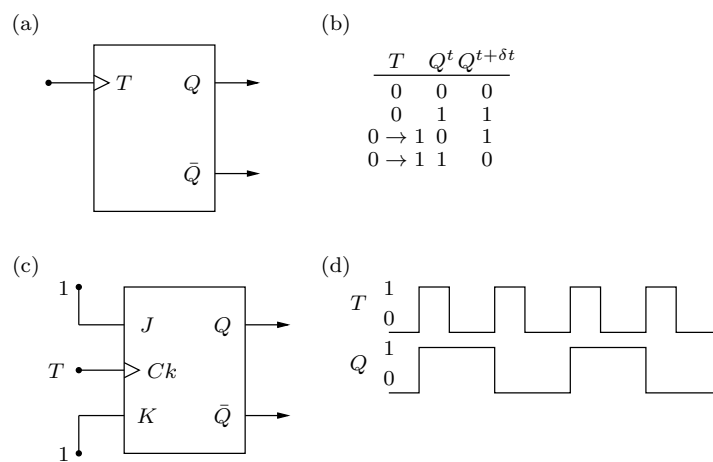


Figura 9.30: El flip-flop T (a) Representación simbólica (b) Tabla de estados o de funciones (c) Flip-flop JK master/slave conectado como flip-flop T (d) Diagrama de tiempos

Además, inspeccionando el diagrama de tiempos se muestra que la frecuencia de la onda de salida Q es la mitad de la frecuencia de la entrada (escala de dos) de T y por esta razón también se le llama un circuito divisor por dos.

El flip-flop D puede, como el JKFF, convertirse en un TFF mediante la conexión de la salida de \bar{Q} a la entrada de D y la señal de conmutación T de la

entrada de reloj. Las conexiones de esta modificación y un diagrama de tiempo se muestran en la Figura 9.31(a) y (b). Una conexión alternativa, que se muestra en la Figura 9.31(c), utiliza una puerta XOR para proporcionar una señal de activar/desactivar y el comportamiento del circuito se describe en la tabla adjunta de la Figura 9.31(d). Señales similares activar/desactivar pueden ser proporcionadas con el JKFF convertido.

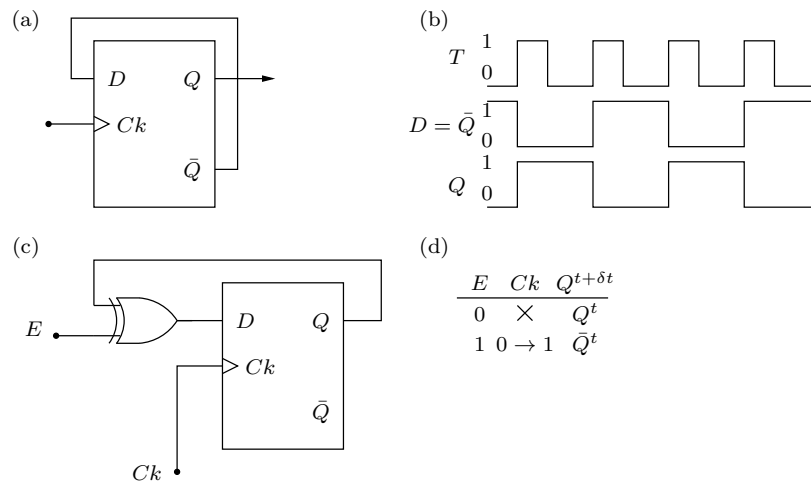


Figura 9.31: El flip-flop T (a) Flip-flop D conectado como flip flop T (b) Diagrama de tiempos (c) Flip-flop T con patilla de habilitación E (d) Tabla de estados

Cuestiones y Ejercicios Resueltos

Ej. 257 — A partir de un flip-flop tipo D diseñar e implementar un flip-flop tipo T.

Solución (Ej. 257) — De acuerdo con el diagrama de bloques de la Figura 9.32(a) y partiendo de las tabla de verdad o de estados combinada de la Figura 9.32(b) se construye el mapa de Karnaugh de la Figura 9.32(c) de donde se deduce que $T = D\bar{Q} + \bar{D}Q = D \oplus Q$. Hay que hacer notar que la implementación de la Figura 9.31(c) coincide con el implementación de este ejercicio que se muestra en la Figura 9.32(d)

Ej. 258 — A partir de un flip-flop tipo T diseñar e implementar un flip-flop tipo D.

Solución (Ej. 258) — De acuerdo con el diagrama de bloques de la Figura 9.33(a) y partiendo de las tabla de verdad o de estados combinada de la Figura 9.33(b) se construye el mapa de Karnaugh de la Figura 9.33(c). de donde se deduce que $D = T\bar{Q} + \bar{T}Q = T \oplus Q$.

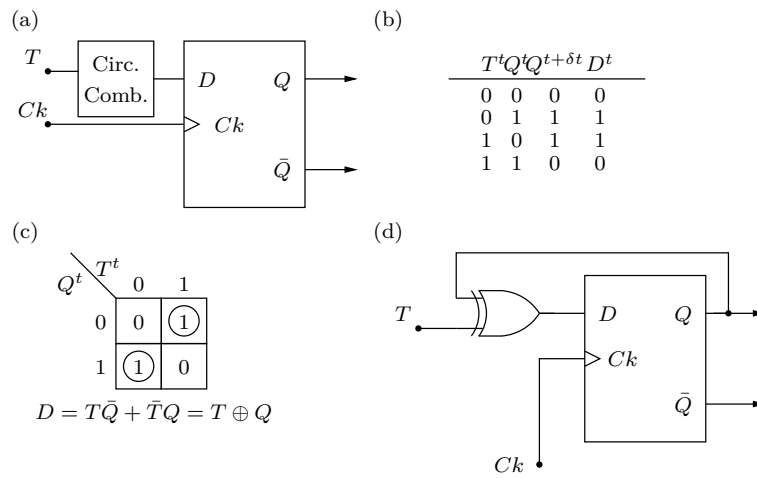


Figura 9.32: El diseño de un flip-flop tipo T a partir de un flip-flop tipo D (a) Diseño por bloques (b) Tabla de estados combinada (c) Mapa de Karnaugh (d) Implementación mediante una puerta XOR

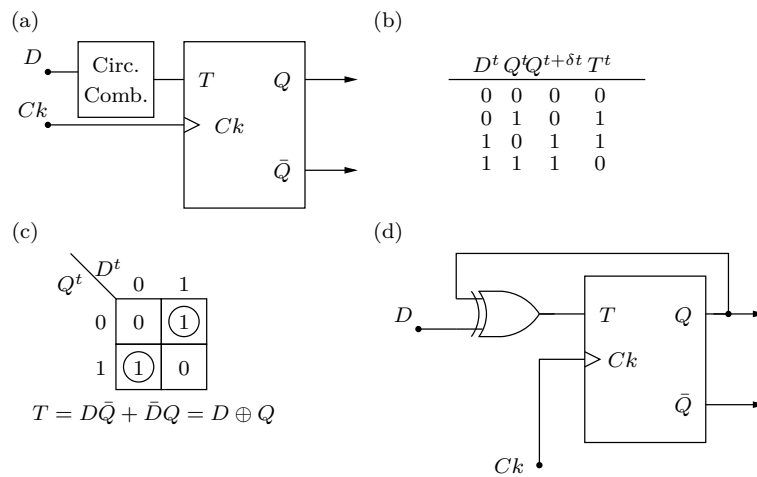


Figura 9.33: El diseño de un flip-flop tipo D a partir de un flip-flop tipo T (a) Diseño por bloques (b) Tabla de estados combinada (c) Mapa de Karnaugh (d) Implementación mediante una puerta XOR

9.10 Otras estructuras basadas en disparo por flanco

La idea que subyace en esta estrategia es permitir únicamente que cambie el estado del biestable solamente en los flancos de reloj. Todo evento de entrada en cualquier otro momento es ignorado (y no sólo por la salida sino por todo el dispositivo ya que es la única forma de evitar capturas). De alguna manera hay que conseguir que los eventos en las entradas S y R sean pulsos estrechos y que estén sincronizados con los flancos de reloj. Obtener un pulso de ancho controlado no es algo que sea de difícil obtención, se puede conseguir mediante un retardo obtenido de una red RC o bien mediante una simple puerta.

Consideremos el circuito de la Figura 9.34, cuando la señal de reloj Ck está en alta la salida de la puerta N_2 es siempre 1 (independientemente de In), lo que significa que la puerta está deshabilitada. Durante ese periodo de tiempo, In puede propagarse a la salida N_1 . Como se muestra en el cronograma una entrada en alta causa que X vaya a baja. En el flanco de bajada de ϕ , N_1 se deshabilita y N_2 se habilita. X se fuerza a que tome un valor 1. Esto sucede sólo después de un periodo de tiempo igual a retardo de propagación de N_1 . Durante un corto periodo de tiempo, N_2 ve sus entradas a 0 y transiciona a baja y por tanto X adquiere un valor de 1 eventualmente, y Out vuelve a 1. Como consecuencia, un corto pulso a baja aparece en la salida de N_2 de una longitud aproximadamente igual al tiempo de propagación de N_1 .

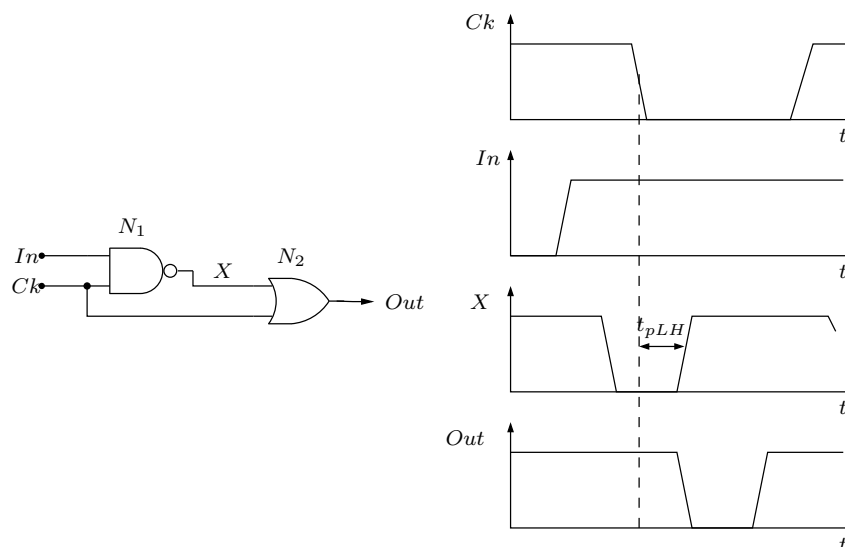


Figura 9.34: Circuito de temporización basado en la propagación del retardo

Esta idea se aplica al flip-flop JK disparado por flanco (*edge-triggered*) de la Figura 9.35. Los valores de J y de K son muestreados en el flanco de bajada de la señal de reloj Ck que generan pulsos cortos en las entradas S o R del latch. Además, el estado del flip-flop sólo cambia cuando el reloj va a baja, y por tanto el estado de salida se determina por los valores de las entradas J y K justo antes de que el

reloj vaya a baja.

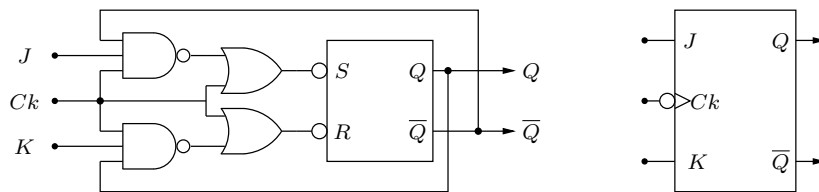


Figura 9.35: Flip-flop JK disparado por flanco negativo

Cuestiones y Ejercicios Resueltos

Ej. 259 — ¿Explique la estructura de disparo de flanco de la Figura 9.34?

Solución (Ej. 259) — Se pretende que las entradas sincronizadas con el flanco de reloj se conviertan en un pulso estrecho. Es decir obtener un pulso de ancho controlado que se introducirán en las puertas de un latch SR. Esto convertirá un latch JK en un dispositivo flip-flop disparado por flanco. Cuando la señal de reloj Ck está en alta la salida de la puerta N_2 es siempre 1 (independientemente de In), lo que significa que la puerta está deshabilitada. Durante ese periodo de tiempo, In puede propagarse a la salida N_1 . Como se muestra en el cronograma una entrada en alta causa que X vaya a baja. En el flanco de bajada de Ck , N_1 se deshabilita y N_2 se habilita. X se fuerza a que tome un valor 1. Esto sucede sólo después de un periodo de tiempo igual a retardo de propagación de N_1 . Durante un corto periodo de tiempo, N_2 ve sus entradas a 0 y transiciona a baja y por tanto X adquiere un valor de 1 eventualmente, y Out vuelve a 1. Como consecuencia, un corto pulso a baja aparece en la salida de N_2 de una longitud aproximadamente igual al tiempo de propagación de N_1 .

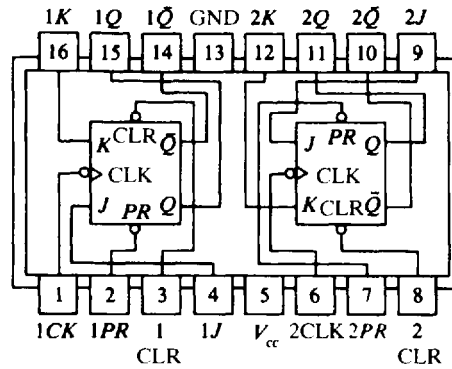
Ej. 260 — Explique el funcionamiento del flip-flop JK disparado por flanco negativo de la Figura 9.35.

Solución (Ej. 260) — Podemos comprobar que el JK está formado por un latch $\bar{S} \bar{R}$ y una estructura de disparo por flanco por cada entrada J y K , mas el lazo de realimentación que permite obtener un JK. Los valores de J y de K son muestreados (es transparente) en el flanco de bajada de la señal de reloj Ck que generan pulsos cortos en las entradas S o R del latch. Además, el estado del flip-flop sólo cambia cuando el reloj va a baja, y por tanto el estado de salida se determina por los valores de las entradas J y K justo antes de que el reloj vaya a baja.

9.11 Algunas propuestas comerciales de biestables

Un flip-flop JK comercial se detalla en la Figura 9.36. El fabricante lo describe como un doble flip-flop JK TTL 7476. Un diagrama de pines del circuito integrado 7476 se reproduce en la Figura 9.36. Hay que tener en cuenta que el circuito integrado

dispone de dos flip-flops individuales. Cada flip-flop tiene entradas asíncronas de *preset* (PR) y *clear* (CLR). Las entradas síncronas se muestran como *J*, *K* y *CLK* (reloj). La salidas normal (*Q*) y complementaria (\bar{Q}) están disponibles individualmente. Los pines 5 y 13 del circuito integrado son las conexiones de alimentación a +5 V (V_{CC}) y masa *GND*.



Mode of operation	Inputs					Outputs	
	PR	CLR	CLK	J	K	Q	\bar{Q}
Asynchronous set	0	1	X	X	X	1	0
Asynchronous clear	1	0	X	X	X	0	1
Prohibited	0	0	X	X	X	1	1
Hold	1	1		0	0	no change	
Reset	1	1		0	1	0	1
Set	1	1		1	0	1	0
Toggle	1	1		1	1	opposite state	

X = irrelevant = positive clock pulse

Figura 9.36: 7476 doble flip-flop JK (Cortesía de Fairchild Semiconductor)

La tabla de verdad del 7476 se muestra en la Figura 9.36. Las tres primeras líneas detallan la operación de las entradas asíncronas *preset* (PR) y *clear* (CLR). La línea 3 de la tabla de verdad muestra el estado prohibido de las entradas asíncronas. Las líneas 4 a 7 detallan las condiciones de las entradas síncronas para obtener los estados de mantenimiento o *hold*, *reset*, *set* y conmutación o *toggle*. El fabricante describe el 7476 como un *master-slave JK flip-flop* con *pulso* positivo de disparo. Los datos en la salida cambian en la transición alto a bajo (*H-to-L*) del pulso de reloj, simbolizado por la pequeña burbuja y el símbolo > en la entrada *CLK* en el diagrama de la lógica del flip-flop en la Figura 9.36. La mayoría de los flip-flops comerciales tienen características asincrónicas de entrada (como PR y CLR). La mayoría de los flip-flops son disparados por pulso como el 7476, pero también se pueden adquirir como disparado por flanco. Por ejemplo, el 74(LS)73 que es un doble flip-flop JK con *clear*, el cual dispone de dos JK dentro de un único chip para

funcionar disparado por flanco (LS) o en forma *master-slave*, en la Figura 9.37 se muestra el patillaje y la tabla de verdad funcionando en los dos modos.

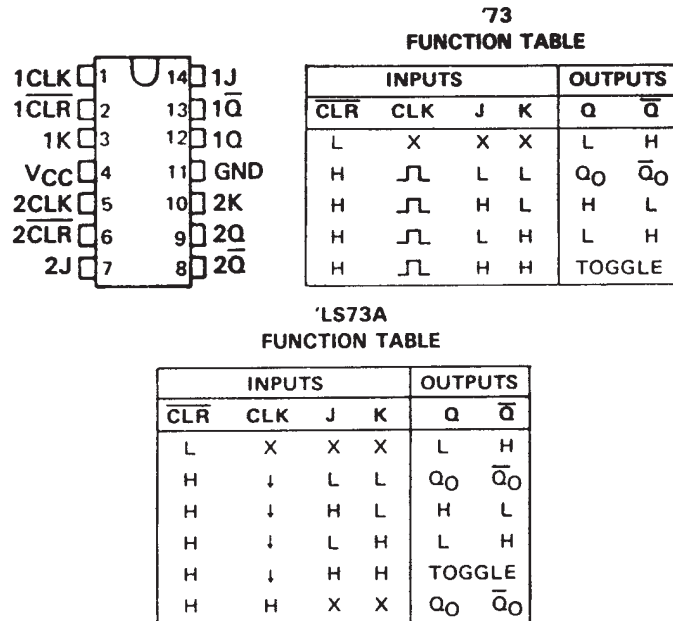


Figura 9.37: 7473 doble flip-flop JK con *clear* (Cortesía de Texas Instruments)

Los flip-flops son los bloques fundamentales de construcción de los circuitos de lógica secuencial. Por lo tanto, los fabricantes de circuitos integrados producen una gran variedad de flip-flops utilizando tanto tecnología TTL como CMOS. Flip-flop TTL típicos son el 7476 con dos flip-flop JK con *preset* y *clear*, el 7474 que es un doble flip-flop D disparado por flanco positivo con *preset* y *clear*, y el 7475 que se denomina como biestable latch de 4-bits. Los flip-flops típicos CMOS incluyen el 4724 o latch direccionable de 8 bits, el 40175 de cuatro flip-flop D, y el 74C76 de un flip-flop JK con *preset* y *clear*.

Queda por remarcar una pequeña observación ya comentada en cuanto al símbolo lógico del flip-flop. Hay que hacer notar que la entrada de la señal de reloj permite diferenciar los flip-flops de los latch. Si observamos, el flip-flop disparado por flanco dispone de un \downarrow del que no dispone los latch.

Cuestiones y Ejercicios Resueltos

Ej. 261 — Indique alguna pagina web donde aparezcan los diferentes circuitos integrados biestables comerciales.

Solución (Ej. 261) — Una de las mas famosos buscadores es Google, permite obtener la lista de la mayoría de biestables introduciendo como búsqueda '7400 series integrated circuits'. La página de wikipedia muestra que a partir de la serie 7470 aparecen los biestables. La dirección web es http://en.wikipedia.org/wiki/List_of_7400_series_integrated_circuits. Otra página importante en internet es

<http://www.datasheetcatalog.com> aunque hay que hacer en ella una búsqueda mas pormenorizada dispone de enlaces a las hojas de características de los integrados.

Ej. 262 — Introduciendo las señales del cronograma de la Figura 9.38 a uno de los dos flip-flops JK que hay en el circuito integrado 7476, obtener las señales para la salida Q .

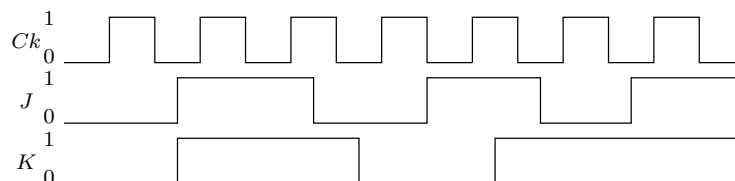


Figura 9.38: Cronograma que muestra las señales de entrada a un flip flop JK

Solución (Ej. 262) — Como son flip-flops disparado por flanco de bajada, solo habrá cambios en las transiciones de 1 a 0 en la señal de reloj. Por tanto, de acuerdo con la tabla de función del flip-flop JK de la Figura 9.36, la salida se muestra en la Figura 9.39.

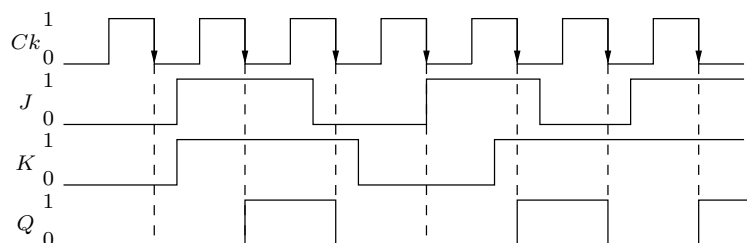


Figura 9.39: Cronograma que muestra el resultado de salida Q

9.12 Propiedades de operación de los flip-flops

Para una correcta operación se requiere que las entradas del flip-flop disparado por flanco sean estables algún tiempo antes de que el reloj transiciona a nivel bajo. Este periodo es denominado *tiempo de establecimiento* (*set-up time*) del flip-flop y es aproximadamente igual al retardo de propagación de la puerta de entrada. En la práctica se requiere también que las entradas J y K permanezcan estables un tiempo después de que el reloj transiciona, es el denominado *tiempo de mantenimiento* (*hold time*). Estas definiciones de tiempo de establecimiento y mantenimiento están ilustradas en la Figura 9.40. El rendimiento del flip-flop tendrá una relación directa con su *tiempo de retardo de propagación* (*propagation delay time*) que es igual al tiempo que tarda la salida a responder a la entrada después de una transición de reloj.

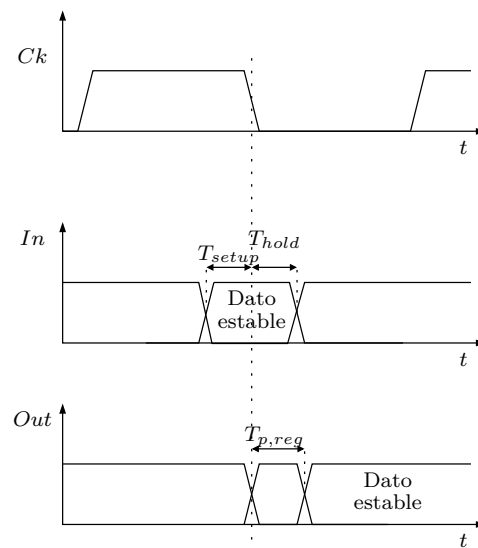


Figura 9.40: Definición de tiempo de establecimiento, mantenimiento y retardo de propagación de un biestable

Esta colección de parámetros temporales ayuda a determinar la velocidad de una máquina secuencial, que consiste en un bloque de lógica combinatorial y cierto número de flip-flops que almacenan su estado como se muestra en la Figura 9.41. Si consideramos que el tiempo de retardo de propagación del bloque combinatorial es $t_{p,comb}$ se debe cumplir la siguiente relación para que el sistema opere correctamente

$$t_{p,reg} + t_{p,comb} + t_{setup} < T$$

donde T es el periodo de la señal de reloj. Es decir se determina explícitamente cual es la máxima frecuencia de funcionamiento del sistema.

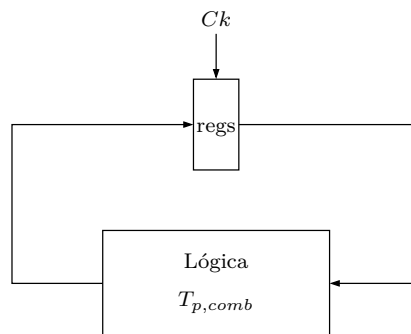


Figura 9.41: Bloque combinatorial y flip-flops

El funcionamiento, requisitos de operación y limitaciones de los biestables se

especifican mediante varias características de funcionamiento o parámetros que se encuentran en las hojas de características del dispositivo. Generalmente, estas especificaciones son aplicables a todos los biestables CMOS y TTL.

Se define *retardo de propagación* como el intervalo de tiempo requerido para que se produzca un cambio en la salida una vez que se ha aplicado una señal en la entrada. Existe distintas categorías de retardos de propagación que son importantes en el funcionamiento de los biestables:

1. El retardo de propagación t_{pLH} se mide desde el flanco de disparo del impulso de reloj hasta la transición de nivel bajo a nivel alto de la salida.
2. El retardo de propagación t_{pHL} se mide desde el flanco de disparo de impulso del reloj hasta la transición de nivel alto a nivel bajo de la salida.
3. El retardo de propagación t_{pLH} medido desde la entrada de inicialización (*preset*) hasta la transición de nivel bajo a nivel alto de la salida.
4. El retardo de propagación t_{pHL} medido desde la entrada de borrado (*clear*) hasta la transición de nivel alto a nivel bajo de la salida.

El *tiempo de establecimiento*, t_{setup} , es el intervalo mínimo que los niveles lógicos deben mantener constantes en las entradas (J y K , S y R o D) antes de que llegue el flanco de disparo del impulso de reloj, de modo que dichos niveles sincronicen correctamente en el flip-flop.

El *tiempo de mantenimiento*, t_{hold} es el intervalo mínimo que los niveles lógicos deben mantenerse constantes en las entradas después de que haya pasado el flanco de disparo del impulso de reloj, de modo que dichos niveles se sincronicen correctamente en el biestable.

La *frecuencia máxima de reloj*, es la mayor frecuencia a la que se puede disparar el biestable de manera fiable. Para frecuencias del reloj por encima de la máxima, el biestable puede ser incapaz de responder lo suficientemente rápido y su funcionamiento se vería deteriorado.

Usualmente, los fabricantes especifican la *anchura mínima de los pulsos*, t_w para un funcionamiento adecuado de las entradas de reloj, inicialización y borrado. Típicamente, el reloj se especifica mediante sus intervalos de tiempo mínimo para los niveles alto y bajo.

La *disipación de potencia* de cualquier circuito digital se define como la potencia total consumida por el dispositivo. Por ejemplo, si el biestable funciona con una fuente de continua de +5 V y circula por él una corriente de 5 mA, la disipación de potencia es:

$$P = V_{CC} \times I_{CC} = 5 \text{ V} \times 5 \text{ mA} = 25 \text{ mW}$$

Esta disipación de potencia es muy importante en la mayoría de las aplicaciones en las que la capacidad de la fuente de continua (DC) juegue un papel importante. Como ejemplo, vamos a suponer que tenemos un sistema digital que requiere un total de diez biestables, y que cada uno de ellos disipa una potencia de 25 mW. El requisito de disipación de potencia total es:

$$P_T = 10 \times 25 \text{ mW} = 250 \text{ mW} = 0,25 \text{ W}$$

Esto nos dice cuál es la potencia de salida necesaria de nuestra fuente de alimentación. Si los biestables funcionan con +5 V de continua, entonces la corriente total que tiene que suministrar la fuente es la siguiente:

$$I = \frac{250 \text{ mW}}{5 \text{ V}} = 50 \text{ mA}$$

Tenemos que utilizar una fuente de +5 V que sea capaz de proporcionar al menos 50 mA

Cuestiones y Ejercicios Resueltos

Ej. 263 — ¿A que se le denomina tiempo de establecimiento, tiempo de mantenimiento y tiempo de retardo de propagación en un biestable?

Solución (Ej. 263) — Tiempo de establecimiento es el tiempo que deben estar las señales de entrada estables *antes* de que se produzca la transición de reloj. Tiempo de mantenimiento es el tiempo que deben estar las señales de entrada estables *después* de que se produzca la transición de reloj. Tiempo de retardo de propagación es el tiempo que tarda la salida en responder a la entrada después de una transición de reloj.

Ej. 264 — ¿Que relación de tiempos debe darse en una maquina secuencial para que opere correctamente?

Solución (Ej. 264) — Debe darse la siguiente relación . El periodo de reloj debe ser mayor que el retardo de propagación de los bloques combinacionales mas el retardo de propagación de los bloques secuenciales mas el tiempo de establecimiento de los bloques secuenciales.

Ej. 265 — Indique los tipos de retardos de propagación que existen.

Solución (Ej. 265) — Los retardos de propagación los podemos enumerar como:

- 1.El retardo de propagación t_{pLH} se mide desde el flanco de disparo del impulso de reloj hasta la transición de nivel bajo a nivel alto de la salida.
- 2.El retardo de propagación t_{pHL} se mide desde el flanco de disparo de impulso del reloj hasta la transición de nivel alto a nivel bajo de la salida.
- 3.El retardo de propagación t_{pLH} medido desde la entrada de inicialización (*pre-set*) hasta la transición de nivel bajo a nivel alto de la salida.
- 4.El retardo de propagación t_{pHL} medido desde la entrada de borrado (*clear*) hasta la transición de nivel alto a nivel bajo de la salida.

Ej. 266 — ¿Que es la frecuencia máxima de reloj?¿A qué se refiere con anchura mínima de los pulsos?

Solución (Ej. 266) — Es la mayor frecuencia a la que se puede disparar el biestable de manera fiable. Es la mínima anchura que deben tener los pulsos para que el biestable tenga un funcionamiento fiable y adecuado.

Ej. 267 — Calcule la disipación de potencia de un biestable alimentado a 5 V y por el que circula una corriente de 2 mA.

Solución (Ej. 267) — Según la fórmula de disipación de potencia tendremos:

$$P = V_{CC} \times I_{CC} = 5 \text{ V} \times 2 \text{ mA} = 10 \text{ mW}$$

Ej. 268 — ¿Qué fuente debemos utilizar en un sistema digital que alimenta a 10 biestables a 5 V y por lo que circulan una corriente de 2 mA?

Solución (Ej. 268) — La disipación de potencia individual de cada biestable es:

$$P = V_{CC} \times I_{CC} = 5 \text{ V} \times 2 \text{ mA} = 10 \text{ mW}$$

como son 10 biestables tendremos que la potencia total es:

$$P_T = 10 \times 10 \text{ mW} = 100 \text{ mW} = 0,10 \text{ W}$$

La corriente total que debe suministrar la fuente será:

$$I = \frac{100 \text{ mW}}{5 \text{ V}} = 20 \text{ mA}$$

Tenemos que utilizar una fuente de +5 V que sea capaz de proporcionar al menos 20 mA.

9.13 Multivibradores estables: relojes

Un multivibrador (MV) es un circuito generador de pulsos que produce una señal cuadrada o rectangular. Los multivibradores se suelen clasificar en *astables*, *biestables* y *monoestables*. Un multivibrador astable es llamado también un *multivibrador free-running* debido a que genera un continuo flujo de pulsos como se muestra en la Figura 9.42. Un multivibrador biestable es también llamado flip-flop o latch. Como ya hemos visto, un biestable está siempre en uno de los dos posibles estados (set o reset). La idea básica de funcionamiento se expone también en la Figura 9.42, donde los pulsos de entrada disparan un cambio en la salida de baja a alta. Un multivibrador monoestable es también llamado un *multivibrador one-shot* debido que cuando un pulso es disparado, como se muestra en la Figura 9.42, el multivibrador genera un solo pulso corto.

El circuito integrado 555 fue presentado en 1971 por *Signetics Corporation* como el SE555/NE555 y fue denominado *the IC time machine* porque era el primer temporizador comercial disponible en el mercado. El circuito integrado Timer 555 es tan versátil que puede ser usado para implementar un multivibrador astable, biestable o monoestable. El diagrama funcional del 555 se muestra en la Figura 9.43. El dispositivo dispone de una red de divisores de tensión resistivos, dos comparadores, un biestable, y un transistor de descarga en configuración *open collector*.

La tensión de alimentación, que puede estar comprendida entre 4,5 a 16 V, se aplica a la cadena en serie de tres resistencias iguales. El nodo común de las dos

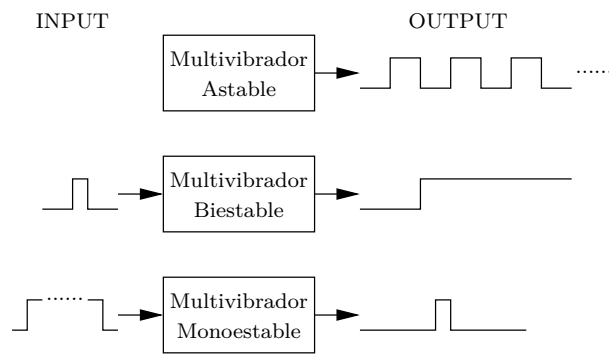


Figura 9.42: Salida de Multivibradores astable, biestable y monoestable

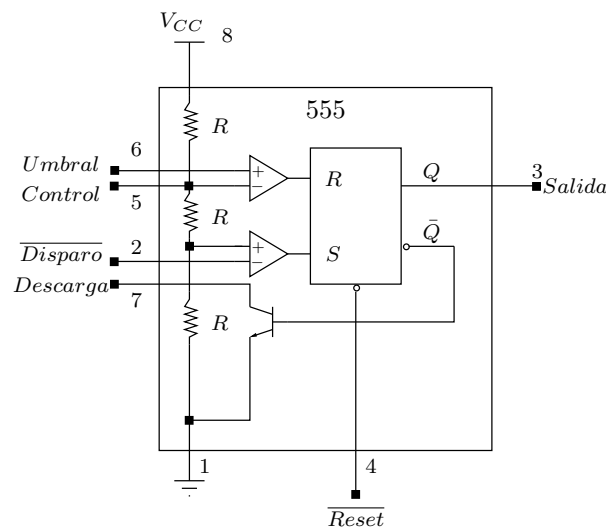


Figura 9.43: Arquitectura interna del temporizador 555.

resistencias superiores es accesible exteriormente por medio del terminal de *Control*. Sin embargo en numerosas aplicaciones, ese terminal de *Control* se deja sin conectar, aunque los fabricantes del 555 recomiendan que se conecte un condensador de paso de $0,01\mu\text{F}$ entre *Control* y masa para evitar que el ruido de la fuente de alimentación afecte a los comparadores. Por tanto el divisor de tensión de tres resistencias iguales fija la tensión en el nodo superior a $2V_{CC}/3$ para la entrada inversora del comparador superior y a $V_{CC}/3$ a la entrada no inversora del comparador inferior.

En pocas palabras, bajo esta situación las entradas de $\overline{\text{Reset}}$, *Umbral* y $\overline{\text{Disparo}}$ controlan el estado del biestable. Si la entrada de $\overline{\text{Reset}}$ está activa (es decir a nivel bajo) la salida Q se pone a baja y la \bar{Q} a alta que a su vez pone en saturación al transistor de descarga en colector abierto con lo cual el terminal de *Descarga* se pone a masa. Si por contra $\overline{\text{Reset}}$ está en alta, el funcionamiento del biestable es controlado por los terminales *Umbral* y $\overline{\text{Disparo}}$. En este caso, si la tensión de $\overline{\text{Disparo}}$ es inferior a $V_{CC}/3$ el comparador inferior responde con un valor alto a su salida con lo que coloca a la salida Q del biestable a alta. Por el mismo motivo

ahora el transistor de descarga se encuentra cortado por estar atacado por la salida \bar{Q} que se encuentra en baja, y la tensión del terminal de descarga sera controlado por la circuitería exterior que el usuario utilice. Si la tensión de U_{mbral} es superior a $2V_{CC}/3$ entonces es ahora la salida del comparador superior la que provoca que R lea un valor alto y por tanto la salida del biestable Q se ponga en baja. Ahora el transistor de descarga estará saturado al estar atacado por la \bar{Q} que está en alta.

Es claro que la entrada de más prioridad es la entrada asíncrona del biestable \overline{Reset} que permite colocar la salida Q del 555 a cero cuando se activa, sean como sean el resto de entradas del integrado. Por último, sólo queda indicar que la entrada de reinicio se denomina \overline{Reset} para hacer constar que es activa a nivel bajo. De igual modo la entrada de disparo o *trigger* se denomina $\overline{Disparo}$, porque es activa a nivel bajo (inferior a $V_{CC}/3$).

En la Figura 9.44 se muestra el temporizador 555 como un multivibrador free-running o astable donde las resistencias R_A y $R_B = 4,7k\Omega$ y $C = 100\mu F$ permiten obtener una salida de pulsos TTL a una frecuencia de 1 Hz. La frecuencia de salida se puede incrementar si se decremanta el valor de las resistencias o del condensador. Por ejemplo, si las resistencias R_A y $R_B = 330\Omega$ y $C = 0,1\mu F$ entonces la frecuencia de salida subirá a alrededor de 10 kHz. El temporizador 555 es un circuito comercial que normalmente se vende en formato DIP de 8 pines como se muestra también en la Figura 9.44.

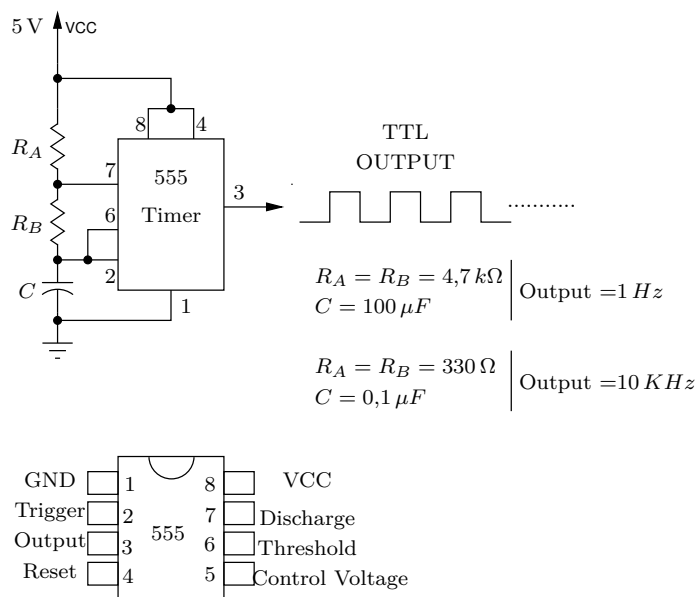


Figura 9.44: Cableado de un temporizador 555 como multivibrador aestable y diagrama de pines

Otro circuito multivibrador astable se muestra en la Figura 9.45. Este circuito utiliza dos inversores CMOS del circuito integrado 4069 que dispone de hasta seis inversores y una alimentación de 10 V lo que es común aunque no estándar en circuitos CMOS. El multivibrador astable proporciona una frecuencia de salida en

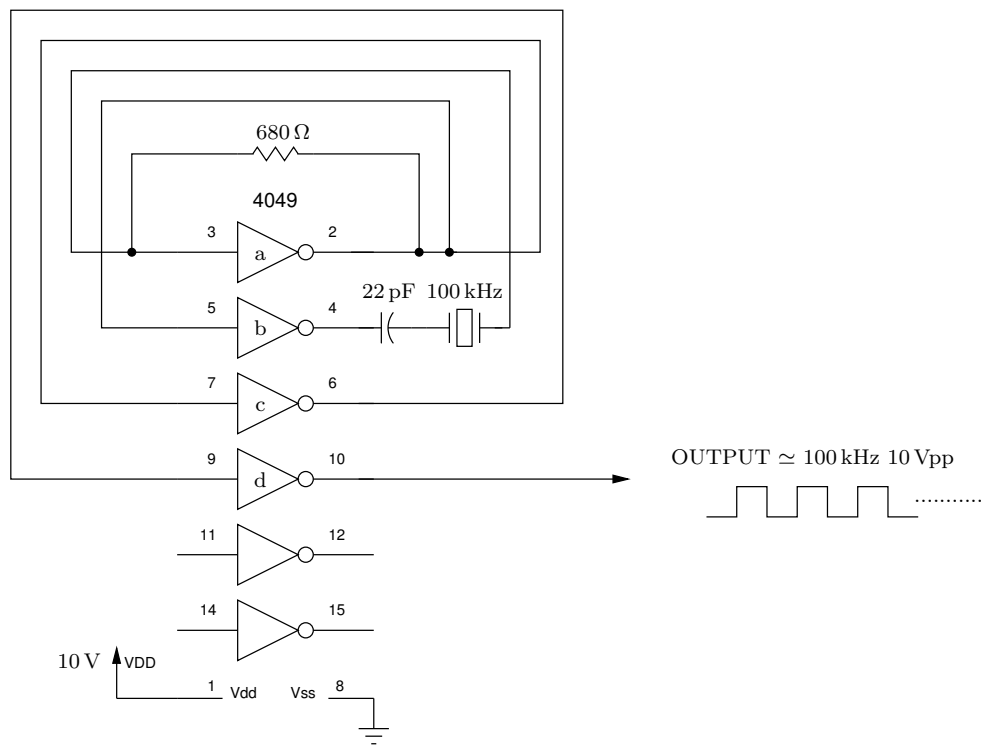


Figura 9.46: Multivibrador astable usando inversores CMOS (CI 4049) y cristal

Solución (Ej. 269) — Los multivibradores se clasifican en astables, biestables y monoestables.

Ej. 270 — Indique otro nombre para los multivibradores astables, biestables y monoestables.

Solución (Ej. 270) — Los multivibradores astables también son llamados *free-running*, los biestables *flip-flops* y *latches* y los monoestables como *one-shot*.

Ej. 271 — Si se incrementa los valores de resistencias y de capacidad en el circuito multivibrador de la Figura 9.44, ¿qué valor de salida se modifica en el circuito?

Solución (Ej. 271) — Si incrementamos los valores de resistencia y capacidad entonces decrementamos el valor de frecuencia de la salida.

Ej. 272 — ¿Los valores de salida del circuito de la Figura 9.44 son compatibles TTL? ¿Y los de la Figura 9.45 y Figura 9.46?

Solución (Ej. 272) — Si. los pulsos de reloj del temporizador 555 son valores TTL de voltaje (bajo = 0 V y alto = 5 V). En cambio tanto el multivibrador basado en el 4069 y 4049 con cristal no son compatibles TTL.

Ej. 273 — Calcule el valor del tiempo de ciclo de reloj para el multivibrador de la Figura 9.46.

Solución (Ej. 273) — La formula del tiempo de ciclo de reloj es $T = \frac{1}{f}$, por tanto

$$T = \frac{1}{100000} = 0,00001 = 10 \mu\text{s}.$$

9.14 Multivibradores monoestables

El multivibrador monoestable o *one-shot* genera una salida en forma de pulso de duración fija cada vez que su entrada es sometida a un disparo normalmente un pulso de corta duración. La idea básica del circuito monoestable se muestra en la Figura 9.42. La entrada puede ser disparada tanto por un pulso positivo como negativo dependiendo del monoestable proporcionando una salida formada por un pulso positivo o negativo. Entendiendo que la tensión no puede ser inferior a 0 V, el pulso negativo es referido respecto a la tensión de alimentación ($V_{CC} = 5 \text{ V}$).

El temporizador 555 puede ser configurado para formar un multivibrador monoestable como se muestra en la Figura 9.47. El corto pulso negativo produce un pulso positivo mucho mas largo. El tiempo t que dura el pulso positivo de salida viene dada por la formula

$$t = 1,1R_A C$$

donde R_A es igual al valor de la resistencia en ohmios(Ω), C es igual al valor del condensador en faradios(F), y t es igual a la duración del pulso de salida en segundos (s). Calculando el tiempo t de duración del pulso de salida para el circuito de la Figura 9.47, obtenemos:

$$t = 1,1 \times 10000 \times 0,0001 = 1,1 \text{ s}$$

Es decir, el tiempo que dura el pulso de salida es de 1,1 s.

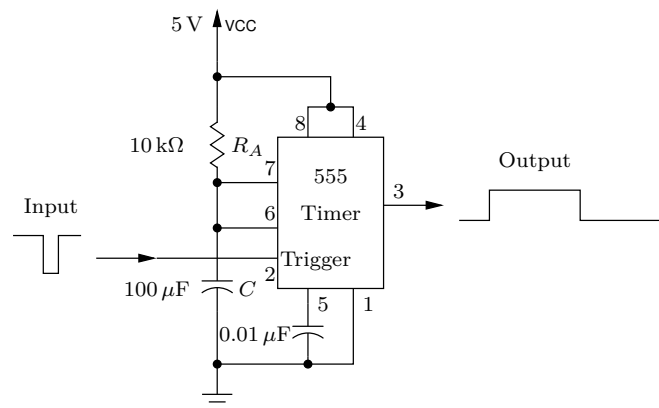


Figura 9.47: Multivibrador monoestable formado mediante un temporizador 555

El circuito multivibrador monoestable de la Figura 9.47 se dice que es *noredisparable* (*nonretriggerable*). Esto significa que mientras la salida del circuito esté en alta cualquier pulso negativo de entrada le es indiferente. Por supuesto, también existen los circuitos multivibradores monoestables *redisparables* (*retriggerable*).

En la Figura 9.48 se muestra como implementar un multivibrador monoestable mediante el circuito integrado TTL 74121. Este circuito proporciona un único pulso TTL cuando se presiona un conmutador mecánico. esta es una forma sencilla de generar un único pulso tanto positivo como negativo a través de la salida normal (Q) y la complementada (\bar{Q}). La duración del pulso puede ser ajustada variando los valores de resistencia R y del condensador C . Para calcular el tiempo de duración del pulso de salida t se usa la expresión

$$t = 0,7RC$$

donde R es el valor de resistencia en ohmios (Ω), C es el valor del condensador en faradios (F), y t es la duración del pulso de salida en segundos (s). Si calculamos la duración del pulso de salida en el circuito de la Figura 9.48 obtenemos

$$t = 0,7 \times 15000 \times 0,000001 = 0,0105 \text{ s}$$

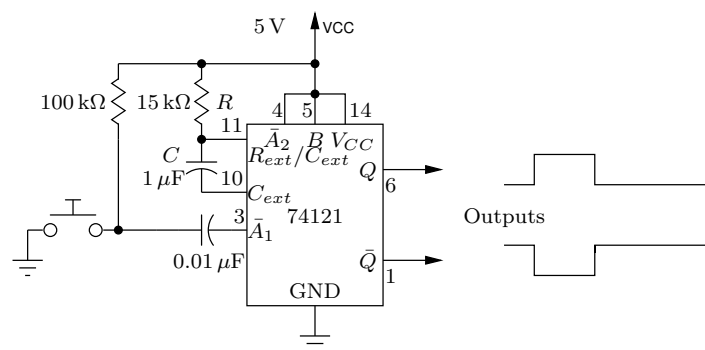


Figura 9.48: Multivibrador monoestable formado mediante un CI 74121

En la Figura 9.49 se muestra el diagrama de pines y tabla de verdad del 74121 de Signetics Corporation. Se puede apreciar que el 74121 dispone de tres entradas de disparo o *triggers* (\bar{A}_1 , \bar{A}_2 y B). Normalmente sólo se utiliza una de esas entradas, como por ejemplo el circuito de la Figura 9.48 donde el pin 3, \bar{A}_1 , se utiliza como entrada de disparo. Esta configuración coincide con la línea 6 de la tabla de verdad de la Figura 9.49. Las entradas \bar{A}_2 y B están en alta, y el disparo o trigger \bar{A}_1 reacciona con una transición alta a baja. Este tipo de circuitos, en definitiva, son muy útiles para desarrollar aplicaciones de tiempo donde la precisión no debe ser crítica o bien para introducir retardos en los sistemas.

Cuestiones y Ejercicios Resueltos

Ej. 274 — Defina un latch y flip-flop según su *modo transparente* de funcionamiento.

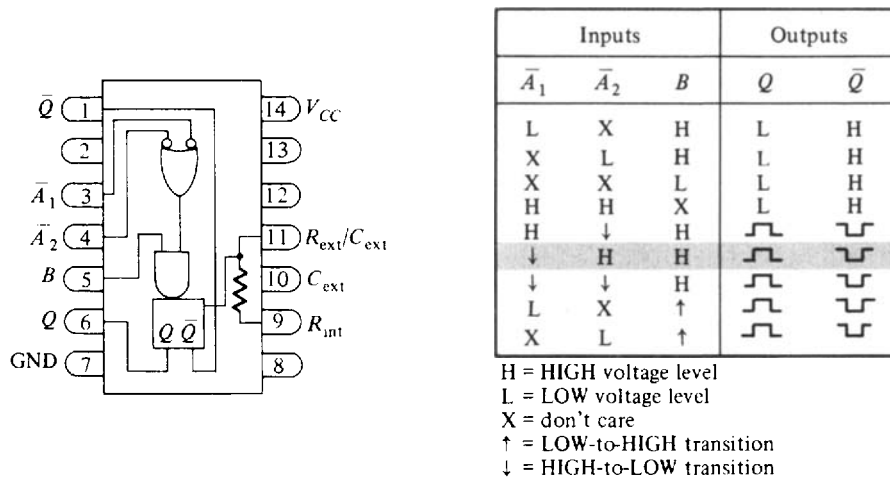


Figura 9.49: Diagrama de pines y tabla de la verdad del circuito 74121 (Cortesía de Signetics Corporation)

Solución (Ej. 274) — Mientras el reloj esté a nivel activo (alto o en bajo) los latches son transparentes y por tanto cualquier cambio en la entrada es reflejada en la salida después de un cierto retardo nominal. Los flip-flops sólo admiten que la entrada sea reflejada en la salida en una transición de reloj.

Ej. 275 — ¿Cuál es el principal problema que tiene el latch?

Solución (Ej. 275) — Las carreras o *races*. Si $J = K = 1$ y el reloj está activo, la salida del biestable comenzará a oscilar entre los estados 0 y 1 mientras que el reloj no se desactive. Pero el peor problema es que no sabemos como quedará el estado del latch cuando esto suceda.

Ej. 276 — Indique cuales son las principales estrategias para evitar carreras en los latches.

Solución (Ej. 276) — Existen fundamentalmente dos. La estructuras maestro-esclavo (master-slave) y disparado por flanco (edge-triggered). Estas estructuras convierten un latch en un flip-flop debido a que minimiza el tiempo de transparencia del biestable

Ej. 277 — ¿Cómo se denomina también al multivibrador *one-shot*?

Solución (Ej. 277) — Un multivibrador monoestable es llamado también *one-shot*

Ej. 278 — ¿Qué tipo de pulso de salida genera el multivibrador monoestable de la Figura 9.47 cuando es disparado por un pulso negativo?

Solución (Ej. 278) — El pulso de salida generado cuando es disparado por un pulso negativo es de tipo positivo.

Ej. 279 — Calcule el tiempo de duración t del pulso de salida del multivibrador de la Figura 9.47 si $R_A = 9,1 \text{ k}\Omega$ y $C = 10 \mu\text{F}$.

Solución (Ej. 279) — La formula es

$$t = 1,1RC$$

así que

$$t = 1,1 \times 9100 \times 0,00001$$

El tiempo de duración del pulso de salida sería $t = 0,1 \text{ s}$

Ej. 280 — Calcule el tiempo de duración t del pulso de salida del multivibrador de la Figura 9.48 si $R = 30 \text{ k}\Omega$ y $C = 10 \mu\text{F}$.

Solución (Ej. 280) — La formula es

$$t = 0,7RC$$

por tanto

$$t = 0,7 \times 30000 \times 0,0001$$

El tiempo de duración del pulso de salida sería $t = 2,1 \text{ s}$

Ej. 281 — Cuando se presiona el conmutador SW1 de la Figura 9.48 ¿Cómo sería el pulso de salida complementada \bar{Q} ?

Solución (Ej. 281) — Cuando se presiona el conmutador SW1 el 74121 se dispara gracias al pulso negativo que se genera. Por tanto por la salida \bar{Q} se genera un pulso negativo. Como se muestra en la tabla de verdad de la Figura 9.49 en la línea 6.

Cuestiones y Ejercicios Propuestos

Ej. 282 — Si se aplican las formas de onda S y R de la Figura 9.50 a las entradas de un latch SR con entrada activa a nivel alto, determinar la forma de onda que se observará en la salida Q si se la supone inicialmente a nivel alto.

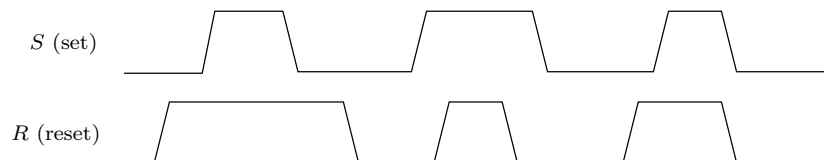


Figura 9.50: Formas de onda S y R

Solución (Ej. 282) — Figura 9.51

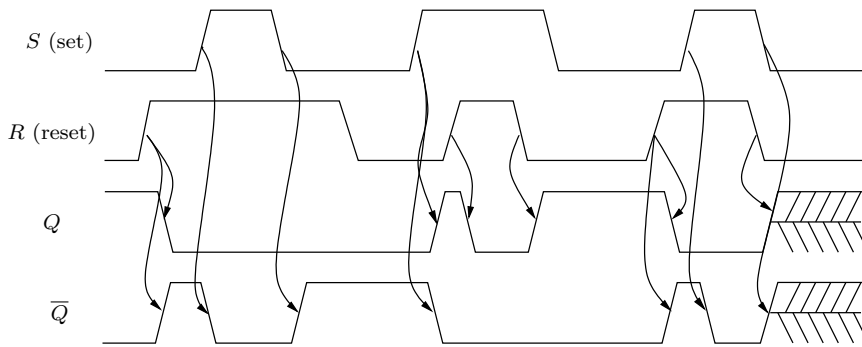


Figura 9.51: Cronograma resultado

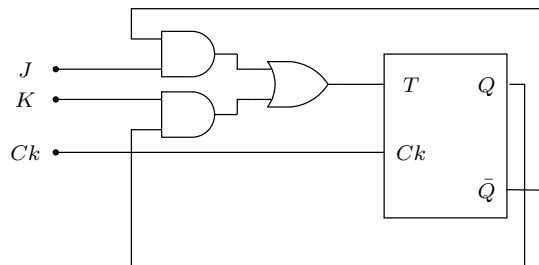


Figura 9.52: flip-flop JK obtenido de un flip-flop T

Ej. 283 — A partir de un flip-flop tipo T y puertas AND y OR, diseñar un flip-flop JK.

Solución (Ej. 283) — Figura 9.52

Ej. 284 — Completar el cronograma del circuito de la Figura 9.53.

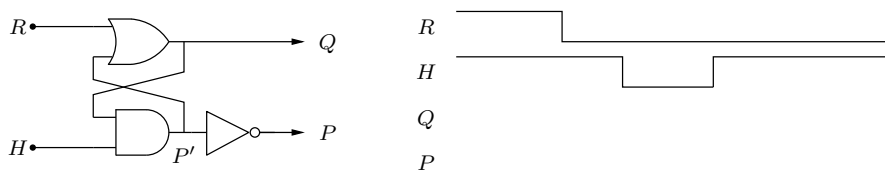


Figura 9.53: Biestable RH

Solución (Ej. 284) — Figura 9.54

Ej. 285 — Completar el cronograma para el flip-flop JK disparado por flanco ascendente de la Figura 9.55

Solución (Ej. 285) — Figura 9.56

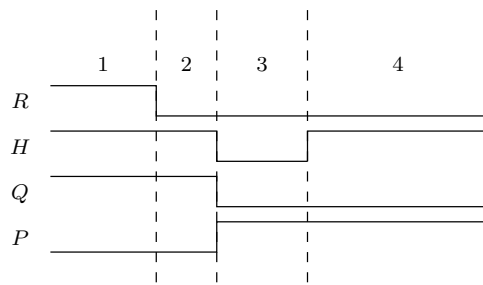


Figura 9.54: Diagrama de tiempos del biestable RH

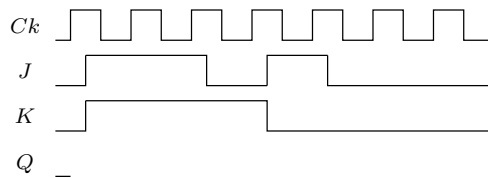


Figura 9.55: Cronograma para el flip-flop JK disparado por flanco ascendente

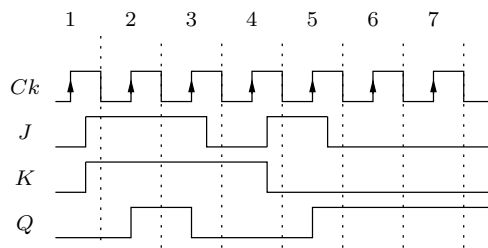


Figura 9.56: Solución cronograma para el flip-flop JK disparado por flanco ascendente

Ej. 286 — Completar el cronograma de la Figura 9.57 para un flip-flop JK con disparo por flanco descendente y entradas \overline{CLR} y \overline{PRE} asíncronas.

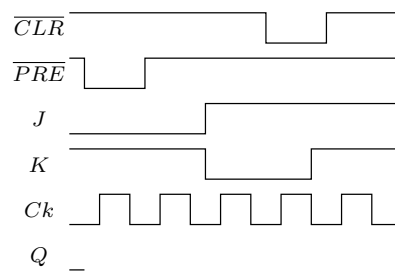


Figura 9.57: Cronograma para el flip-flop JK disparado por flanco descendente con *clear*

Solución (Ej. 286) — Figura 9.58

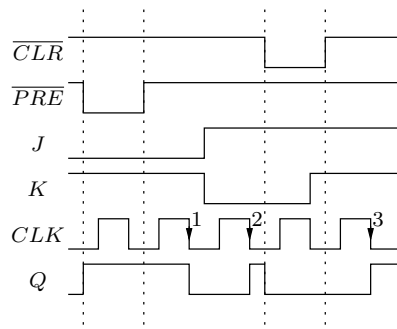


Figura 9.58: Solución al cronograma para el flip-flop JK disparado por flanco descendente con *clear*

Ej. 287 — Completar el cronograma del circuito de la Figura 9.59.

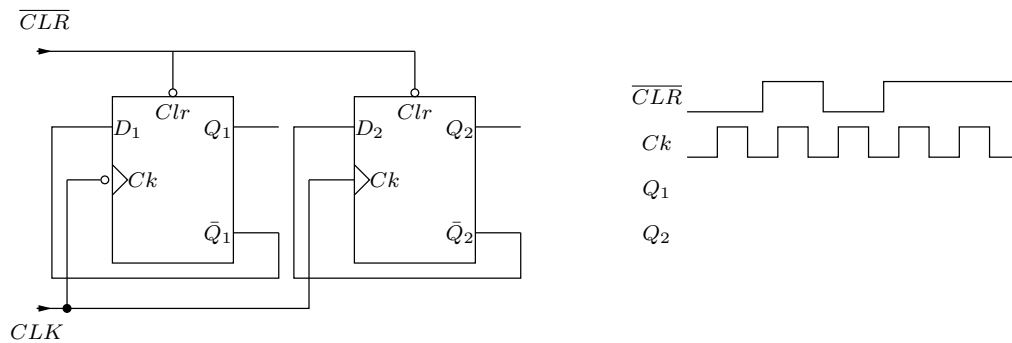


Figura 9.59: Circuito y cronograma

Solución (Ej. 287) — Figura 9.60

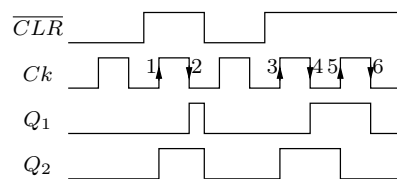


Figura 9.60: Solución al cronograma para el flip-flop JK disparado por flanco descendente con *clear*

Ej. 288 — Indique y explique la salida detallada Q_1 y Q_2 de los dos flip-flops D con entradas \overline{CLR} síncrona y asíncrona respectivamente de la Figura 9.61.

Ej. 289 — Demuestre que el multivibrador a estable basado en 555 tiene la salida que se muestra en la parte superior de la Figura 9.62

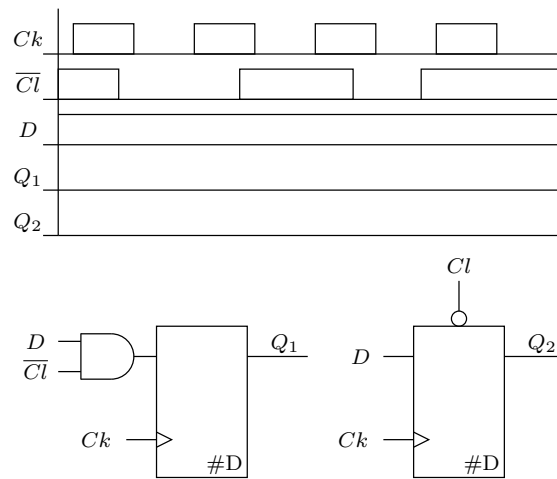


Figura 9.61: Biestables D

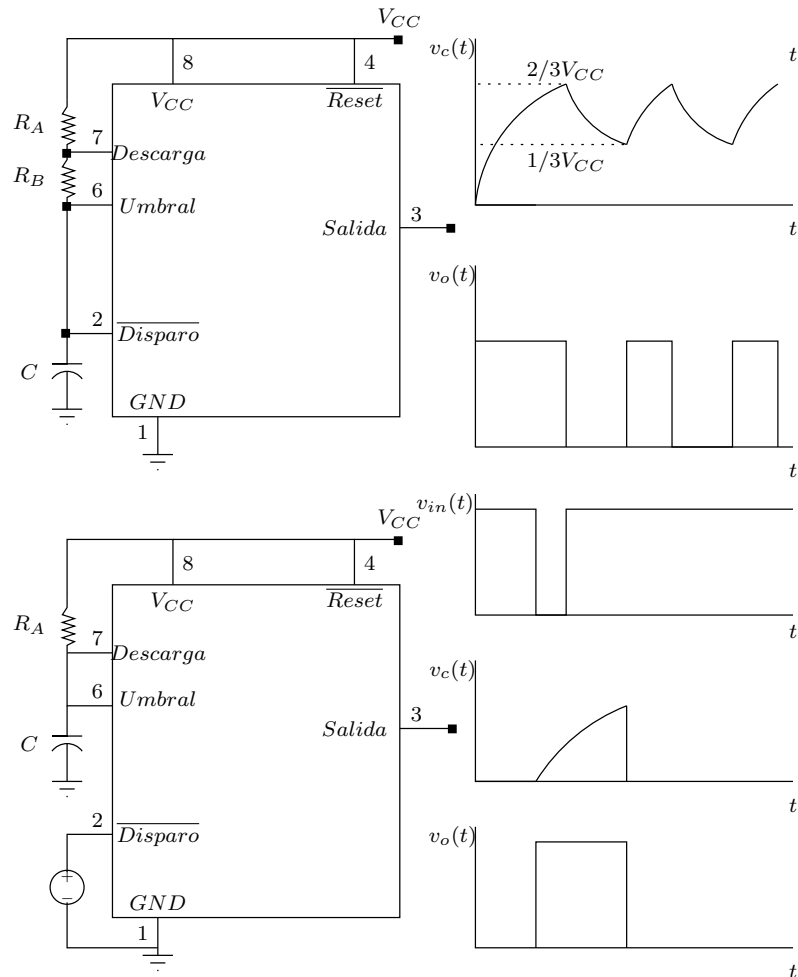


Figura 9.62: Configuración monoestable y astable

Solución (Ej. 289) — Demostración

Ej. 290 — Demostrar que el multivibrador monoestable basado en 555 tiene la salida que se muestra en la parte inferior de Figura 9.62.

Solución (Ej. 290) — Demostración

Ej. 291 — Demostrar que los tiempos de subida del multivibrador monoestable basado en 555 tiene la siguiente expresión:

$$T_H = R_A C \ln 3$$

Solución (Ej. 291) — Demostración

Ej. 292 — Demostrar que los tiempos de subida y bajada del multivibrador astable basado en 555 tiene la siguiente expresión:

$$T_H = (R_A + R_B) C \ln 2$$

$$T_L = R_B C \ln 2$$

Solución (Ej. 292) — Demostración

10.1 Introducción

Un registro puede definirse en sentido amplio como un conjunto de celdas de almacenamiento binarias (biestables) más un grupo de puertas encargadas de proporcionar las señales de *manipulación* de la información en las transiciones de reloj. El tipo más simple de registro que puede imaginarse es aquél que sólo consta de biestables (normalmente flip-flops), sin ningún tipo de puertas, y sin más interconexión entre los biestables que la señal común de reloj; la información que aparezca en las entradas condicionará las salidas en cada transición activa de reloj, según la lógica de excitación de los biestables.

El registro de desplazamiento es uno de los dispositivos funcionales más utilizados en los sistemas digitales. Una calculadora de bolsillo sencilla puede ilustrar las características principales del registro de desplazamiento. Para introducir el número 246 en la calculadora, la tecla 2 se presiona y se suelta. El número 2 se muestra en el display de la calculadora. A continuación la tecla 4 se presiona y se suelta. Un 24 se muestra. Por último, la tecla 6 se presiona y se suelta. El número 246 aparece. En una calculadora normal, el número 2 es el primero que aparece a la derecha de la pantalla o display. Cuando la tecla 4 se presiona, el 2 se desplaza hacia la izquierda para dejar sitio al 4. Los números son progresivamente desplazados a la izquierda en el display. Este tipo de almacenamiento funciona como un registro de desplazamiento hacia la izquierda.

Además de esta característica de desplazamiento, la calculadora también exhibe otra característica de memoria. La tecla de la calculadora adecuada (por ejemplo, la tecla 2) es sólo una vez presionada y soltada, pero el número 2 sigue mostrándose en pantalla sin tener que estar siendo presionada la tecla de forma permanente. El registro *guarda* la información que se ha pulsado la tecla. Esta característica temporal de memoria es vital en muchos sistemas digitales.

Los registros de desplazamiento se clasifican como circuitos de lógica secuencial, y como tal se construyen a partir de flip-flops. Los registros de desplazamiento se utilizan en un doble sentido, como memorias temporales de almacenamiento y para transferir los datos a la izquierda o a la derecha. Los registros de desplazamiento se utilizan también para el desplazamiento en serie de datos cargados en paralelo o para el desplazamiento en paralelo ante una carga en serie de datos.

Un métodos de clasificar los registros de desplazamiento es por como se cargan los datos (tipo de entrada) y como son leídos esos datos (tipo de salida). La Figura 10.1 muestran registros de 8 bits de ancho que se clasifican en:

1. Entrada serie-salida serie o *Serial-in/serial-out* (SISO).
2. Entrada serie-salida paralelo o *Serial-in/parallel-out* (SIPO).
3. Entrada serie-salida paralelo o *Parallel-in/serial-out* (PISO).
4. Entrada paralelo-salida paralelo o *Parallel-in/parallel-out* (PIPO).

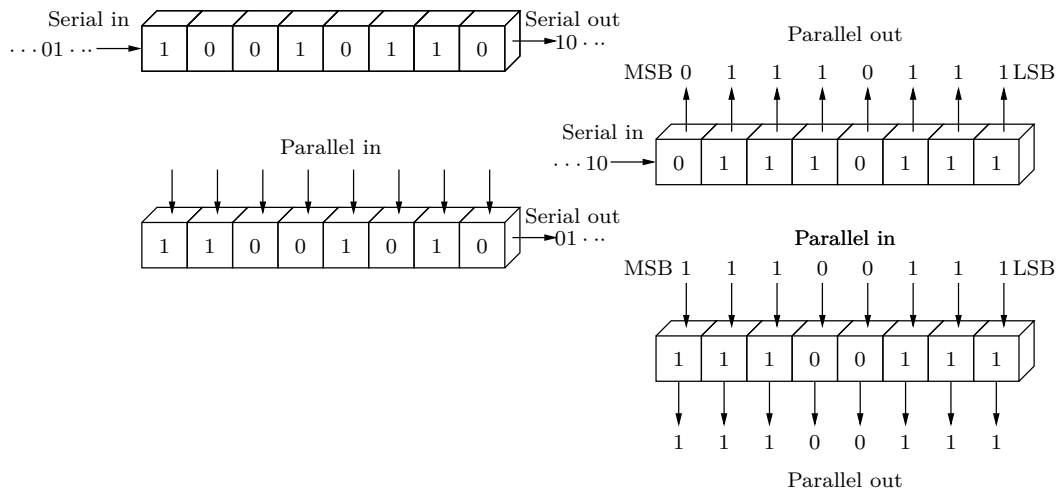


Figura 10.1: Tipos de registro de desplazamiento. De derecha a izquierda y de arriba a abajo; entrada serie, salida serie; entrada serie, salida paralelo; entrada serie, salida paralelo; entrada paralelo, salida paralelo

Es también posible clasificar los registros de desplazamiento según la disposición de sus entradas:

1. *Double-rail input*. En este tipo de registros existen dos terminales de entrada, uno para la entradas R (J) y otra para la S (K).
2. *Single-rail input*. En este tipo de registros, el primer flip-flop de la cascada de flip-flops es o ha sido convertido (mediante la utilización de un inversor entre los terminales J y K) a un flip-flop tipo D y por tanto existe un único terminal de entrada.

10.2 Registros de desplazamiento de entrada serie

En la Figura 10.2 se muestra un sencillo registro de desplazamiento de 4 bits. Se observa la utilización de cuatro flip-flops para su implementación. Los bits de datos (0s y 1s) se introducen en la entrada *D* del FF1. Esta entrada se etiqueta como entrada serie de entrada de datos. La entrada de borrado (*Cl*) restablece los cuatro flip-flops a 0 cuando se activa mediante un 0. Un pulso en la entrada de reloj cambia los datos de entrada serie a la posición A (*Q* de FF1). Los indicadores (*A*, *B*, *C*, *D*) en la Figura 10.2 muestra el contenido almacenado de cada flip-flop o el contenido

del registro. Este registro puede ser clasificado como un registro entrada serie-salida paralela.

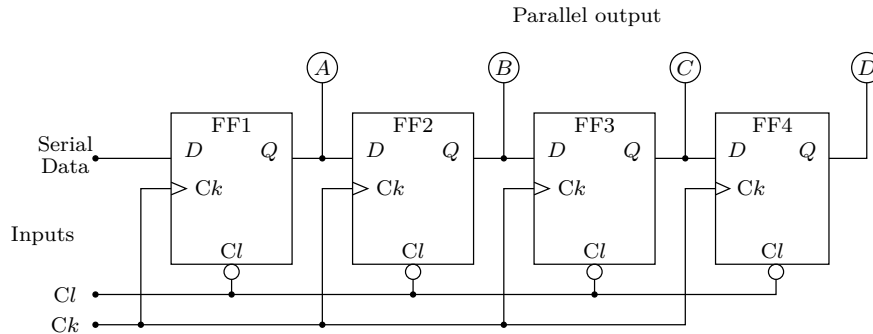


Figura 10.2: Registro de desplazamiento hacia la derecha de 4 bits

Si se supone que todos los flip-flops que se muestran en la Figura 10.2 se ponen en modo *restablecimiento* o *reset* ($Q = 0$) entonces la salida será 0000. Si la entrada de Cl está en alta o 1, la entrada de datos es también un 1 y se produce un pulso en la entrada de reloj, entonces las salidas dan como resultado, se lee, 1000 ($A = 1, B = 0, C = 0, D = 0$). Si se lee un 0 en la entrada de datos y de nuevo se produce un pulso en la entrada de reloj por segunda vez entonces la salida ahora lee 0100. Después de un tercer pulso en la salida se lee 0010. Después de un cuarto pulso, en la salida se lee 0001. La palabra binaria 0001 se ha cargado en el registro un bit a la vez. Esto se conoce como carga en serie. Hay que darse cuenta que, en cada pulso de reloj, el registro desplaza datos a la derecha. Este registro podría ser llamado un registro de desplazamiento de carga serie a la derecha.

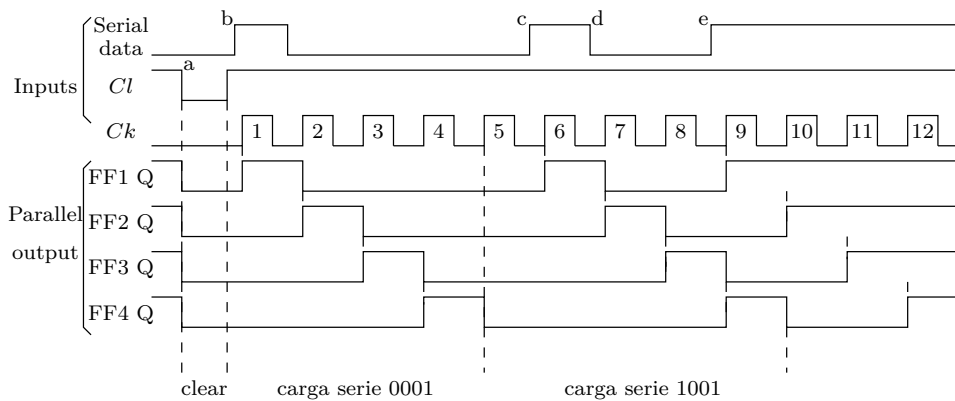


Figura 10.3: Registro de desplazamiento hacia la derecha de 4 bits

Al igual que con otros circuitos de lógica secuencial, las formas de onda (diagramas de tiempo o cronogramas) son una ayuda para comprender el funcionamiento del circuito. La Figura 10.3 ilustra el funcionamiento del registro de desplazamiento

a la derecha de 4 bits con carga serie. Las tres entradas al registro (serie de datos, *clear*, y el reloj) se muestran en la parte superior. Las salidas paralelas se muestran en las cuatro líneas de abajo. Hay que tener en cuenta que las salidas se toman de la salida normal (Q) de cada flip-flop. La línea de abajo describe varias funciones del registro de desplazamiento.

Si se consideran las condiciones iniciales de todos los flip-flops, tal como se muestra en la Figura 10.3, todos parten en modo *set*. En el punto a, la entrada *clear* pone a todos los flip-flops a 0000. La entrada *clear* funciona de forma asincrónica y anula todas las demás entradas siendo una entrada activa a baja.

En el punto b de la entrada serie de datos, aparece en la entrada D del FF1 un valor alto. En el primer flanco del primer pulso de reloj, el valor alto se transfiere a la salida Q de FF1. La salida ahora es 1000. El pulso 2 del reloj transfiere un 0 a la salida Q de FF1. Al mismo tiempo, el 1 en la entrada D del FF2 se transfiere a la salida Q del flip-flop. La salida actual es entonces 0100. El pulso 3 del reloj transfiere un 0 a la salida del FF1. El 1 en la entrada D del FF3 se transfiere a la salida de este flip-flop. La salida del registro es ahora 0010. El pulso de reloj 4 transfiere un 0 a la salida del FF1. El 1 en la entrada D de FF4 se transfiere a la salida de este flip-flop. La salida del registro es ahora 0001. Se necesitan cuatro pulsos de reloj (pulsos de 1 a 4, Figura 10.3) para cargar en serie la palabra 0001 de 4 bits en el registro.

Si se considera la posibilidad de que el reloj sufra un pulso 5 y el contenido del registro es 0001 entonces se añade un nuevo 0 a la izquierda (en Q de FF1), y el 1 a la derecha se desplaza fuera del registro y se pierde. El resultado es que el contenido de los registros es 0000 después del pulso 5 de reloj.

Si se considera la posibilidad de que el reloj sufra pulsos del 6 al 9, estos cuatro pulsos se utilizan para cargar en serie la palabra binaria 1001 en el registro. En el punto c de los datos de entrada serie se sitúa en 1. En la transición baja a alta del pulso 6, este 1 se transfiere desde la entrada D de FF1 a su salida Q . Después del pulso 6 en el registro se lee 1000. La entrada serie de datos devuelve a 0 en el punto d. Los pulsos de reloj 7 y 8 desplazan el 1 a la derecha. Después del pulso 8 de reloj, en el registro se lee 0010. La entrada de datos serie se sitúa en el punto e. En el primer flanco de reloj del pulso 9, el 1 se coloca en la salida Q de FF1 y los demás datos son desplazados un lugar a la derecha. El contenido del registro después del pulso 9 de reloj es 1001. El registro necesita de cuatro pulsos de reloj (6 a 9, Figura 10.3) para cargar en serie el valor 1001.

Si se considera la posibilidad de que el reloj sufra pulsos del 10 a 12 entonces la entrada serie de datos se mantiene en 1 durante estos pulsos. Antes de pulso 10 el contenido del registro es 1001. En cada pulso, un 1 se añade a la salida Q de FF1 y los 1s se desplazan a la derecha. Después del pulso 12 de reloj, el contenido del registro es 1111. Si la salida D del FF4 de la Figura 10.3 es considerada como la única salida, esta unidad de almacenamiento pueden ser clasificada como un registro de desplazamiento entrada serie-salida serie.

Cuestiones y Ejercicios Resueltos

Ej. 293 — ¿Los flip-flops utilizados en esta sección son disparados por flanco de subida o de bajada?

Solución (Ej. 293) — Como no existe ningún círculo en la entrada de reloj que nos indique lo contrario, los flip-flops tipo D son de flanco de subida o *leading-edge triggered*.

Ej. 294 — ¿Cómo es el desplazamiento entre los flip-flops de la Figura 10.2 para que se considere desplazamiento a la derecha?

Solución (Ej. 294) — El desplazamiento debe ser del FF1 al FF4.

Ej. 295 — ¿Cómo es la entrada *clear* de los flip-flops de la Figura 10.2?

Solución (Ej. 295) — Es una entrada asíncrona activa a nivel bajo.

Ej. 296 — ¿Cómo es la entrada *clear* de los flip-flops de la Figura 10.3?

Solución (Ej. 296) — Es una entrada asíncrona activa a nivel bajo.

Ej. 297 — Según la Figura 10.4. Liste los estados del registro de desplazamiento después de cada pulso de reloj (bit A a la izquierda, bit D a la derecha).

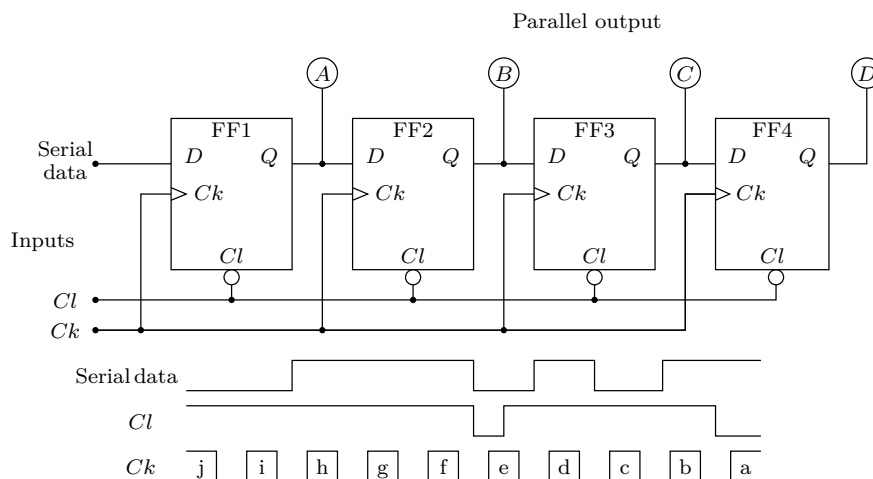


Figura 10.4: Registro de desplazamiento hacia la derecha de 4 bits

Solución (Ej. 297) — Las salidas del registro de la Figura 10.4 son:

- Pulso a = 0000. El modo *clear* pone a 0 todos los flip-flops.
- Pulso b = 1000. El modo desplazamiento hacia la derecha mueve los bits una posición a la derecha en el flanco ascendente del pulso de reloj. Hay que hacer notar que el 1 a la entrada D de FF1 se desplaza a la salida Q del FF1.
- Pulso c = 0100. El modo desplazamiento hacia la derecha mueve los bits una posición a la derecha en el flanco ascendente del pulso de reloj. Hay que hacer notar que el 0 a la entrada D de FF1 se desplaza a la salida Q del FF1.

- Pulso d = 1010. El modo desplazamiento hacia la derecha mueve los bits una posición a la derecha en el flanco ascendente del pulso de reloj. Hay que hacer notar que el 1 a la entrada D de FF1 se desplaza a la salida Q del FF1.
- Pulso e = 0000. Temporalmente la salida se pone a 0101 en el flanco ascendente del pulso de reloj. A continuación, la entrada de borrado (*clear*) está activada lo que restaura todos los FFs a 0.
- Pulso f = 1000. El modo de desplazamiento hacia la derecha mueve los bits una posición a la derecha.
- Pulso g = 1100. El modo desplazamiento hacia la derecha mueve bits una posición a la derecha. Hay que tener en cuenta que un 1 se desplaza a la posición más a la izquierda de la entrada D del FF1.
- Pulso h = 1110. El modo desplazamiento hacia la derecha mueve bits una posición a la derecha.
- Pulso i = 0111. Modo de desplazamiento a la derecha. Hay que tener en cuenta que el 0 se carga en la posición izquierda de la entrada D del FF1.
- Pulso j = 0011. Modo de desplazamiento a la derecha. Hay que tener en cuenta que el 0 es cargado en la posición de la izquierda.

Ej. 298 — El registro que se muestra en la Figura 10.4 ¿Qué tipo de registro es?

Solución (Ej. 298) — Se trata de un registro de desplazamiento hacia la derecha de entrada serie y salida paralelo.

10.3 Registros de desplazamiento de entrada en paralelo

La desventaja del registro de desplazamiento de entrada (o carga, *serial-load shift register*) en serie es que necesita muchos pulsos de reloj para la carga de datos en el dispositivo. Un registro de desplazamiento con entrada (o carga, *parallel-load shift register*) en paralelo carga todos los bits de información de forma inmediata. Un simple registro de 4 bits de carga en paralelo se representa en la Figura 10.5. Se puede observar el uso de flip-flops con dos entradas asíncronas de *clear*, Cl , y *preset*, Pr . Las entradas a la izquierda son el reloj, *clear*, y cuatro entradas de datos en paralelo (carga en paralelo). El reloj conecta cada entrada Ck en paralelo. La entrada *clear* conecta cada entrada Cl en paralelo. La entrada Pr para cada flip-flop es utilizada para la carga en paralelo de datos. Los indicadores de la salida de la parte superior de la Figura 10.5 muestran el estado de la salida Q de cada flip-flop. Hay que tener en cuenta el cableado de los flip-flops, especialmente las dos líneas de información que van desde la Q de FF4 a la J de FF1 y de la \bar{Q} de FF4 a la K de FF1. Estas son las líneas de retroalimentación, y guardan los datos que normalmente se perderían en el extremo derecho del registro. Esta es la razón de que se diga que los datos recirculan (retroalimentación) a través del registro. Hay que destacar que los símbolos lógicos de los flip-flops de la Figura 10.5 indican que las entradas Pr y Cl son activas en baja. Este tipo de entradas asíncronas anulan

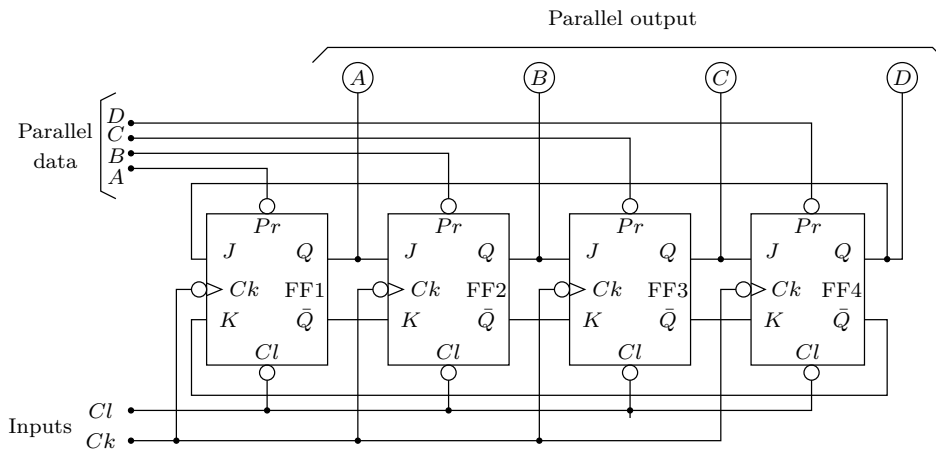


Figura 10.5: Registro de desplazamiento hacia la derecha de 4 bits con carga en paralelo

todas las demás entradas. Además los flip-flops son disparados por flancos negativos.

Las formas de onda de la Figura 10.6 son las salidas Q de cada flip-flop JK. Si se consideran las salidas del lado izquierdo de la Figura 10.6 estas son 1111 antes del punto a de la señal *clear*. En el punto a, las salidas son inmediatamente puestas a cero 0000. La entrada *clear* es asíncrona y por tanto no necesita pulso de reloj para poner a cero el registro (modo *reset*). En el punto b los datos paralelos A y B son activados. Por ser entradas asíncronas, las salidas de FF1 y FF2 pasan a alta inmediatamente. En el punto c, las entradas paralelas A y B se desactivan. El registro está cargado con la palabra 1100. En el flanco de bajada (*trailing edge*) del pulso 1 de reloj, los dos 1 se desplazan una posición a la derecha pasando la salida a tomar el estado 0110. Otro desplazamiento a la derecha ocurre en el flanco de bajada del pulso 2 de reloj pasando la salida a tomar el estado 0011.

La salida antes del pulso 3 de reloj es 0011. En el flanco de bajada del pulso 3 otro desplazamiento a derechas ocurre. El 1 de la salida Q de FF4 se debería perder, pero debido a las líneas de retroalimentación es desplazado de nuevo a la Q del FF1. El resultado es que el registro contiene el dato 1001 después del pulso 3 del reloj. De igual manera, el pulso 4 del reloj desplaza a derechas los datos y el 1 de Q del FF4 es reenviado a la Q del FF1. El resultado es que después del pulso 4 de reloj el registro almacena 1100, el mismo dato cargado antes del primer pulso de reloj. El registro necesita de cuatro pulsos para circular el dato a su posición original.

Cuando se alcance el punto d de la señal *clear*, que es una entrada asíncrona, al ir a baja todos los flip-flops son puestos en modo *reset* 0000. El pulso 5 del reloj no tiene efecto ya que está invalidado por la entrada *clear*. Al alcanzarse el punto e, durante un muy pequeño periodo de tiempo, la entrada paralela D se activa y luego se desactiva. Se carga el dato 0001 en el registro. El pulso 6 del reloj reenvía el 1 de la salida Q de FF4 a FF1. Después del pulso 6, el registro contiene 1000. Los pulsos 7, 8 y 9 desplazan el único 1 cargado tres lugares a la derecha. Después de

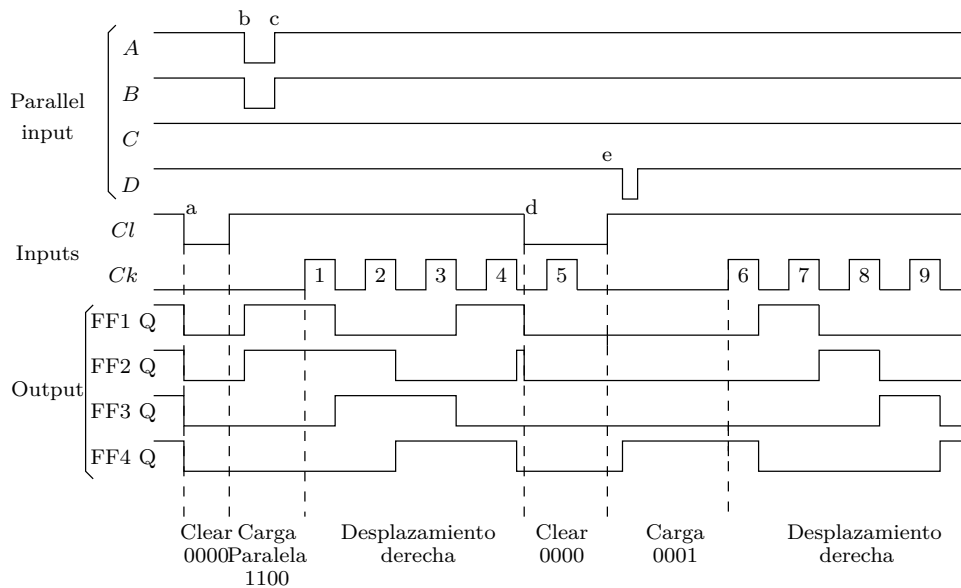


Figura 10.6: Diagrama de tiempo para un registro de desplazamiento a la derecha de 4-bit y carga en paralelo con recirculación

que sucedan cuatro pulsos (del 6 al 9) el dato es el mismo que el original 0001.

Antes del pulso 6 las salidas Q del registro muestran el dato 0001. Sin embargo, la salida complementaria \bar{Q} muestra 1110. En el flanco de bajada del pulso 6 de reloj, FF1 cambia del modo *reset* al *set* porque sus entradas $J = 1$ y $K = 0$. FF2 tiene sus entradas $J = 0$ y $K = 1$ y por eso mantiene su estado de *reset*. También FF3 tiene sus entradas $J = 0$ y $K = 1$ y por eso mantiene su estado de *reset*. FF4 tiene sus entradas $J = 0$ y $K = 1$. FF4 cambia de estado y pasa del estado *set* al *reset*.

El circuito de la Figura 10.5 es uno de los muchos registros de desplazamiento de carga en paralelo que existen. Por su complejidad es frecuente encontrarlos comercialmente como circuitos integrados. En el caso concreto del circuito de la Figura 10.5 este puede ser llamado un contador en anillo si un único 1 es cargado en el registro. Si una serie continua de pulsos es introducida en la entrada de reloj, la única salida a 1 será desplazada en anillo dentro del registro. Esto provoca que las salidas (A,B,C y D) puedan tener el valor 1 en secuencia a medida que el registro desplaza el 1.

Cuestiones y Ejercicios Resueltos

Ej. 299 — ¿Los flip-flops utilizados en la Figura 10.5 de que tipo son sus entradas asíncronas?

Solución (Ej. 299) — Los flip-flops tienen entradas síncronas y asíncronas. Las entradas asíncronas son activas a nivel bajo. El reloj es activo en los flancos descendentes.

Ej. 300 — ¿Cuántos pulsos de reloj necesita el registro de la Figura 10.5 para cargar los cuatro bits.

Solución (Ej. 300) — Como es de carga paralela a través de una entrada asíncrona, el registro necesita 0 pulsos para cargar el dato de 4 bits.

Ej. 301 — ¿En que modo de funcionamiento se encuentran los flip-flops JK de la Figura 10.5?

Solución (Ej. 301) — Por estar atacadas sus entradas J y K por la salida normal Q y la complementaria \bar{Q} respectivamente entonces se puede decir que están en modo *set* o *reset*.

Ej. 302 — Según la Figura 10.7. Liste los estados del registro de desplazamiento después de cada pulso de reloj (bit A a la izquierda, bit C a la derecha).

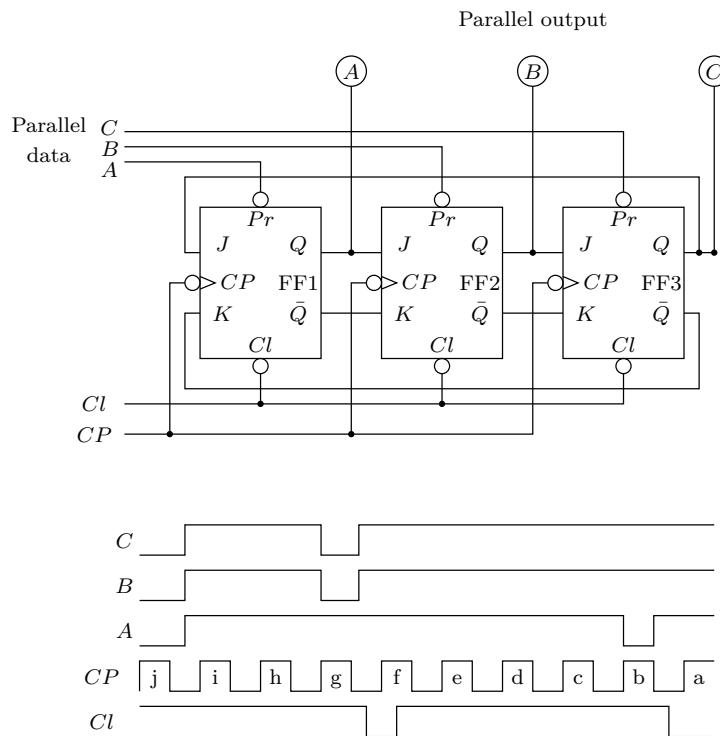


Figura 10.7: Registro de desplazamiento carga paralela y formas de onda de entrada

Solución (Ej. 302) — Las salidas del registro de la Figura 10.7 son:

- Pulso a = 000. El modo *clear* pone a 0 todos los flip-flops.
- Pulso b = 010. El modo carga paralelo pone las salidas a 100. En el flanco de bajada del pulso de reloj, el registro desplaza a la derecha los bits una posición 010.

- Pulso $c = 001$. El modo desplazamiento hacia la derecha mueve los bits una posición a la derecha en el flanco descendente del pulso de reloj. El 0 en C es recirculado de vuelta a A .
- Pulso $d = 100$. El modo desplazamiento hacia la derecha mueve los bits una posición a la derecha en el flanco descendente del pulso de reloj. El 1 en C es recirculado de vuelta a A .
- Pulso $e = 010$. El modo desplazamiento hacia la derecha mueve los bits una posición a la derecha en el flanco descendente del pulso de reloj. El 0 en C es recirculado de vuelta a A .
- Pulso $f = 000$. El modo *clear* pone a cero todos los flip-flops.
- Pulso $g = 101$. Temporalmente las entradas paralelas cargan 011 en el registro. En el flanco descendente del pulso de reloj, el modo desplazamiento hacia la derecha desplazan los bits una posición a la derecha. El 1 en C es recirculado de vuelta a A .
- Pulso $h = 110$. El modo desplazamiento hacia la derecha mueve bits una posición a la derecha. El 1 en C es recirculado de vuelta a A .
- Pulso $i = 011$. El modo de desplazamiento a la derecha mueve bits una posición a la derecha. El 0 en C es recirculado de vuelta a A .
- Pulso $j = 111$. El modo carga paralelo pone las salidas a 111.

Ej. 303 — Según la Figura 10.7 ¿Qué tipo de registro es?

Solución (Ej. 303) — Se trata de un registro de desplazamiento hacia la derecha de entrada paralelo y salida paralelo.

10.4 Registros de desplazamiento: Soluciones integradas

Se puede hacer un resumen de los posibles recursos de un registro de desplazamiento haciendo una lista de capacidades que permitiría imaginarse al dispositivo más completo de este tipo. Estas capacidades del registro de desplazamiento *universal* son:

- Un control *clear*, \overline{Cl} , para puesta a 0 del registro.
- Una entrada de reloj, Ck o CP , de sincronismo de todas las operaciones.
- Un control de desplazamiento a la derecha, junto a las líneas serie de entrada y salida asociadas con este desplazamiento, D_{SR} .
- Un control de desplazamiento a la izquierda de iguales características al anterior, D_{SL} .
- Un control para carga en paralelo que permita una transferencia paralela de datos, junto a las n líneas de entrada asociadas a esta transferencia.
- n líneas de salida paralelo.

- Un control de estado que permita la permanencia de la información del registro sin cambios, aún cuando se apliquen pulsos de reloj.

Los fabricantes de circuitos integrados han puesto en el mercado muchos registros de desplazamiento tanto en tecnología TTL como en CMOS. Uno de los de mas éxito es el registro de desplazamiento universal de 4-bits TTL 74194. El diagrama lógico y tabla de verdad de la Figura 10.8 muestran las características funcionales de registro de desplazamiento universal de 4-bits TTL 74194. Consta de cuatro flip-flops tipo D y cuatro multiplexores 2 a 1 con las entradas de selección comunes. Algunas de las características comunes del dispositivo se describen a continuación.

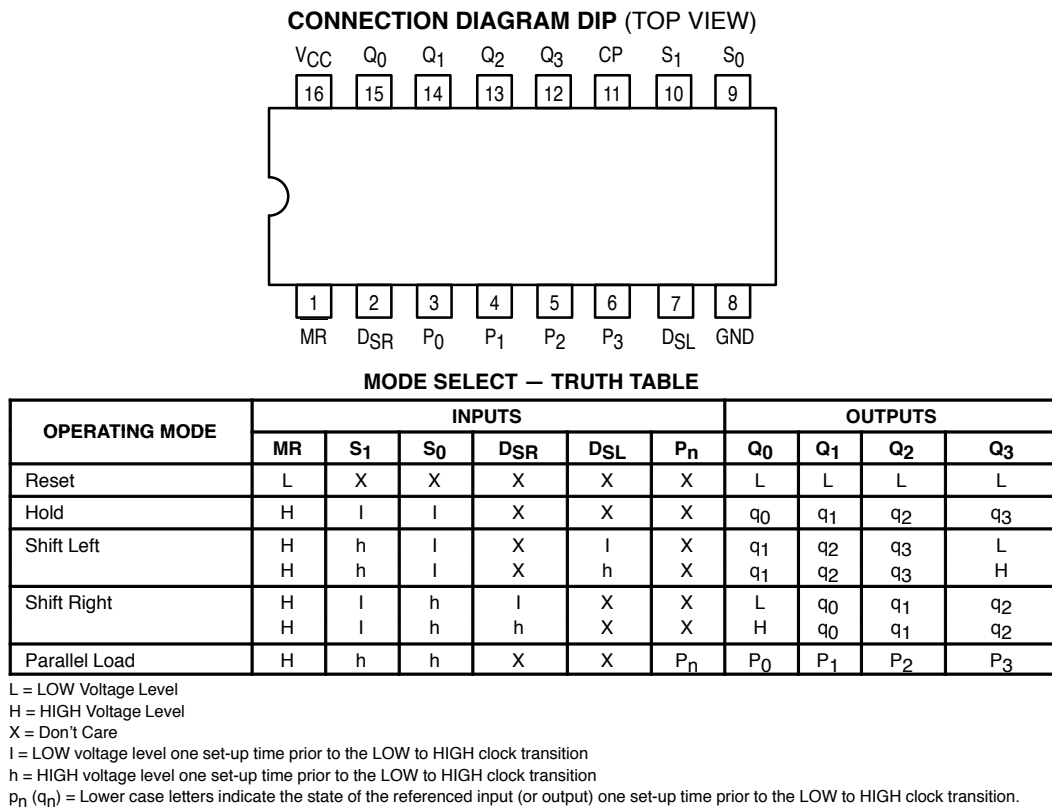


Figura 10.8: Registro de desplazamiento bidireccional de 4 bits con carga en paralelo (registro universal) 74194 (Cortesía de Motorola)

Todas las entradas de modo de control y de datos son *edge-triggered* o disparadas por flanco, respondiendo sólo a la transición bajo alto o flanco ascendente del reloj (*CP*). La única restricción temporal, por lo tanto, es que el modo de control y las entradas de datos seleccionada debe ser estable un tiempo de *set-up* antes de la transición positiva del pulso de reloj.

El registro es totalmente sincrónico, donde todas las operaciones que tienen lugar se realizan en menos de 15 ns (valor típico según fabricante) haciendo del dispositivo especialmente útil para su aplicación con CPUs de muy alta velocidad, o como registros de memoria intermedia. Las cuatro entradas de datos en paralelo

(P_0, P_1, P_2, P_3) son como las entradas de un flip-flop tipo D. Cuando ambas entradas S_0 y S_1 son altas, los datos que aparecen en P_0, P_1, P_2, P_3 se transfieren a Q_0, Q_1, Q_2, Q_3 respectivamente, después de la transición baja a alta del reloj.

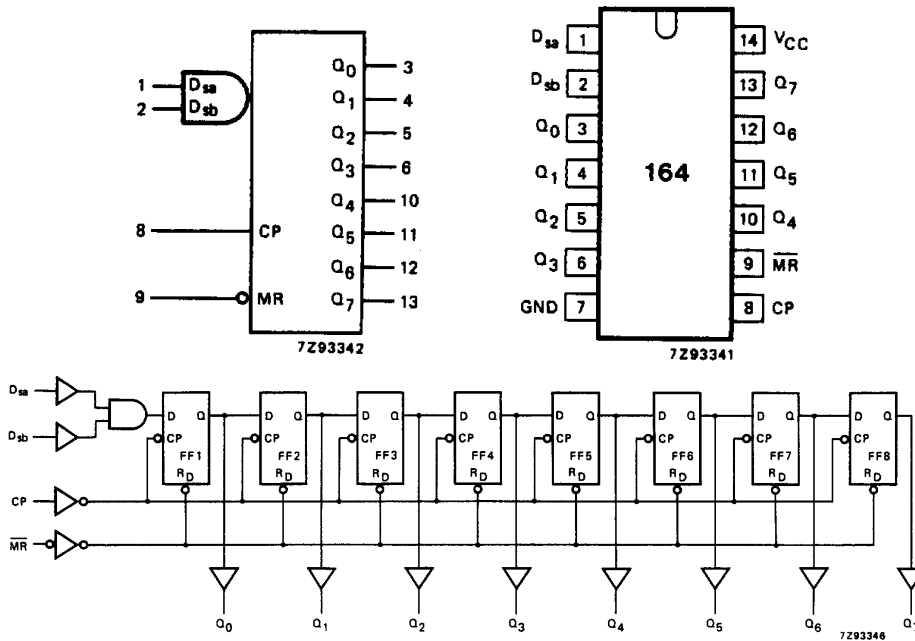
El *Master Reset* asíncrono (*MR*), cuando está en baja, anula todas las otras condiciones de entrada y fuerza las salidas Q a baja. Por lo tanto para que el registro pueda funcionar de forma convencional es necesario que *MR* esté en alta. Las características lógicas especiales de diseño del 74194A aumentan el rango de aplicación mediante dos entradas de control de modo (S_0, S_1) que determinan los parámetros de funcionamiento del dispositivo. Como se muestra en la tabla de selección de modo, los datos pueden introducirse y producir desplazamientos de izquierda a derecha (desplazamiento a la derecha, $Q_0 \rightarrow Q_1$, etc) o de derecha a izquierda (desplazamiento a la izquierda, $Q_3 \rightarrow Q_2$, etc), o bien de forma simultánea cargar los datos de entrada en paralelo (los cuatro bits del registro). Cuando ambos S_0 y S_1 , están en baja, los datos existentes se mantienen en un modo *no hacer nada*, sin importar el modo de transición del reloj de alta a baja. En definitiva, las entradas de control de modo definen la operación del dispositivo correspondiendo los códigos (S_1 y S_0) a: permanencia del estado (00), desplazamiento a derecha (01), desplazamiento a izquierda (10) y carga paralelo (11).

Las entradas serie de datos de tipo D (D_{SR}, D_{SL}) proporcionan la primera y la última fase que permite la transferencia de datos mediante desplazamientos a la izquierda o derecha sin interferir con la operación de carga en paralelo. Si los controles de modo son $S_0 = 0$ y $S_1 = 1$, y un dato es alimentado en la entrada serie D_{SL} , ese 1 o 0 es transferido a Q_3 cuando el registro se desplace un lugar a la izquierda. Este desplazamiento se realiza cuando el pulso de reloj transicione de baja a alta. Si los controles de modo son $S_0 = 1$ y $S_1 = 0$, y un dato es alimentado en la entrada serie D_{SR} , ese 1 o 0 es transferido a Q_0 cuando el registro se desplace un lugar a la derecha. Este desplazamiento se realiza cuando el pulso de reloj transicione de baja a alta.

El modo de operación final es la carga paralela o *broadside load*. Si los controles de modo son $S_0 = 1$ y $S_1 = 1$, en la transición baja a alta del pulso de reloj, el dato en las entradas paralelas es transferido a las salidas correspondientes. Las entradas paralelas no son asíncronas a diferencia del anterior registro de desplazamiento de carga paralela como el de la Figura 10.5 por lo tanto la carga en paralelo se produce sincronamente con el pulso de reloj.

En definitiva, el registro 74194 es universal ya que el dato puede cargarse en serie o en paralelo, puede leerse en serie o paralelo, puede desplazarlo a izquierda y a derecha y puede no hacer nada. Existen otros registros de desplazamiento TTL como el 7494 de 4-bits y el 7496 de 5-bits. También el registro de desplazamiento entrada serie salida paralela 74164 de 8-bits y el entrada serie/paralela y salida serie 74165 de 8-bits. Otros registros de desplazamiento disponibles es el 74LS395A de 4-bit calificado como registro de desplazamiento *cascadeable* de 3 estados.

También existen una amplia variedad de registros de desplazamiento en tecnología CMOS. El 74HC164 es un registro de desplazamiento de 8-bits entrada serie salida paralela. La Figura 10.9 muestra las principales características del circuito integrado.



FUNCTION TABLE

OPERATING MODES	INPUTS				OUTPUTS	
	$\overline{\text{MR}}$	CP	D _{sa}	D _{sb}	Q ₀	Q ₁ - Q ₇
reset (clear)	L	X	X	X	L	L - L
shift	H	↑	l	l	L	Q ₀ - Q ₆
	H	↑	l	h	L	Q ₀ - Q ₆
	H	↑	h	l	L	Q ₀ - Q ₆
	H	↑	h	h	H	Q ₀ - Q ₆

Note

- 1. H = HIGH voltage level
- h = HIGH voltage level one set-up time prior to the LOW-to-HIGH clock transition
- L = LOW voltage level
- l = LOW voltage level one set-up time prior to the LOW-to-HIGH clock transition
- q = lower case letters indicate the state of the referenced input one set-up time prior to the LOW-to-HIGH clock transition
- ↑ = LOW-to-HIGH clock transition

Figura 10.9: Registro de desplazamiento 74HC164 (Cortesía de Phillips). De izquierda a derecha y de arriba a abajo. Símbolo lógico simplificado; diagrama de pines; diagrama lógico detallado y tabla de verdad o de funcionamiento

EL CMOS 74HC164 es un registro de desplazamiento de 8-bits disparado por flanco que permite una única entrada serie. Dispone de 8 salidas paralelas (de Q_0 a Q_7) proporcionadas por cada uno de los 8 flip-flops internos. La entrada de reloj (CP) es del tipo disparada por flanco en las transiciones de bajo a alto (flanco ascendente). Los datos se introducen bit a bit (en serie) a través de una de las dos entradas de datos (D_{sa} o D_{sb}). El diagrama lógico simplificado de la Figura 10.9 muestra que ambas entradas (D_{sa} o D_{sb}) están unidas por una puerta AND. Esto implica que una de las dos entradas puede ser usada para activar la entrada serie (como una entrada de habilitación serie) con sólo ponerla a nivel alto, mientras la otra entrada se utilizaría como la receptora de los datos serie. Si no se requiere de habilitación de entrada serie se deben unir ambas entradas y serían usadas como una única entrada de datos. En cada pulso de reloj, se desplaza una posición a la derecha los bits almacenados (de Q_0 a Q_7). El *master reset* es activo en baja lo que permite poner a todos los flip-flops a 0. La tabla de verdad detalla los modos de operación.

El circuito integrado 74HC164 está encapsulado en un 14-pins DIP pudiendo operar a 5-V dc de alimentación. Los fabricantes producen gran variedad de registros de desplazamiento CMOS. Por ejemplo, se pueden cablear registros de desplazamiento utilizando los integrados 4076 y 40174. El registro de desplazamiento de 8-etapas (8-bits deben ser introducidos en 8 pulsos) 4014 es un dispositivo entrada serie salida paralelo. El 4031 es un registro de desplazamiento de 64-etapas con entrada serie salida serie. El 4035 es un registro de desplazamiento de 4-bits entrada paralela salida paralela. El 4034 es un registro de desplazamiento 8-bits entrada/salida-serie/paralela.

Cuestiones y Ejercicios Resueltos

Ej. 304 — Enumere los modos de operación del registro de desplazamiento 74194.

Solución (Ej. 304) — Son cinco modos de operación según la tabla de verdad del dispositivo:

1. *Reset* o puesta a cero
2. *Hold* o mantener o no hacer nada
3. *Shift left* o desplazamiento a la izquierda
4. *Shift right* o desplazamiento a la derecha
5. *Parallel load* o carga paralela

Ej. 305 — ¿Cual es la entrada del 74194 que anula cualquier otra entrada al dispositivo?

Solución (Ej. 305) — La entrada que anula a cualquier otra entrada al 74194 es la entrada asíncrona de *clear*.

Ej. 306 — ¿Cuántos pulsos de reloj necesita el 74194 para cargar un dato de cuatro bits?

Solución (Ej. 306) — Como la entrada de datos se realiza en paralelo mediante el disparo producido por un flanco de subida del reloj, se necesita un único pulso de reloj.

Ej. 307 — Según la Figura 10.10. Liste los estados del registro de desplazamiento después de cada pulso de reloj (bit A a la izquierda, bit D a la derecha).

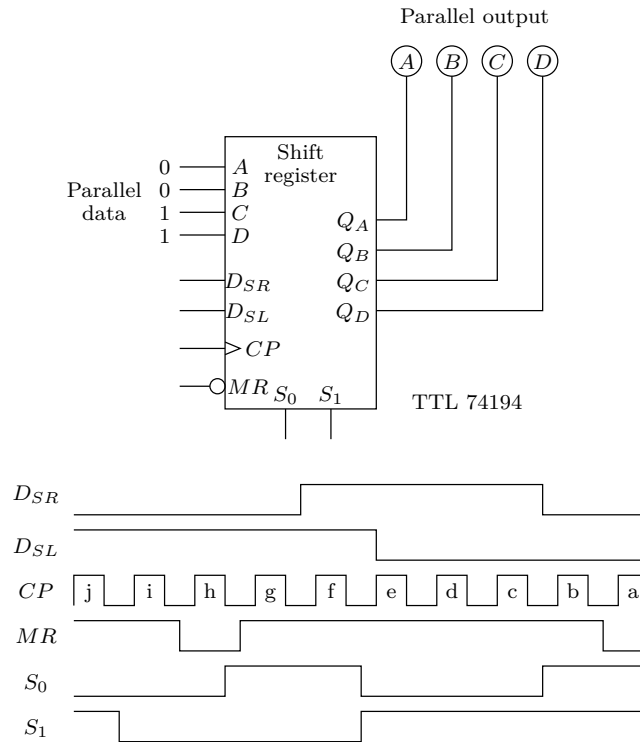


Figura 10.10: Registro de desplazamiento 74194 y formas de onda de entrada

Solución (Ej. 307) — Las salidas del registro de la Figura 10.10 son:

- Pulso a = 0000. El modo *clear* o *reset* pone a 0 todos los flip-flops.
- Pulso b = 0011. El modo carga paralelo pone las salidas a 0011 en el flanco de subida del pulso de reloj.
- Pulso c = 0110. El modo desplazamiento hacia la izquierda ($S_0 = 0$ y $S_1 = 1$, y un dato es alimentado en la entrada serie D_{SL}) mueve los bits una posición a la izquierda en el flanco ascendente del pulso de reloj. El 0 es cargado por la entrada serie a izquierdas D_{SL} en la posición D.
- Pulso d = 1100. El modo desplazamiento hacia la izquierda ($S_0 = 0$ y $S_1 = 1$, y un dato es alimentado en la entrada serie D_{SL}) mueve los bits una posición a la izquierda en el flanco ascendente del pulso de reloj. El 0 es cargado por la entrada serie a izquierdas D_{SL} en la posición D.
- Pulso e = 1000. El modo desplazamiento hacia la izquierda ($S_0 = 0$ y $S_1 = 1$, y un dato es alimentado en la entrada serie D_{SL}) mueve los bits una posición

a la izquierda en el flanco ascendente del pulso de reloj. El 0 es cargado por la entrada serie a izquierdas D_{SL} en la posición D .

- Pulso f = 1100. El modo desplazamiento hacia la derecha ($S_0 = 1$ y $S_1 = 0$, y un dato es alimentado en la entrada serie D_{SR}) mueve los bits una posición a la derecha en el flanco ascendente del pulso de reloj. El 1 es cargado por la entrada serie a derechas D_{SR} en la posición A .
- Pulso g = 0110. El modo desplazamiento hacia la derecha ($S_0 = 1$ y $S_1 = 0$, y un dato es alimentado en la entrada serie D_{SR}) mueve los bits una posición a la derecha en el flanco ascendente del pulso de reloj. El 0 es cargado por la entrada serie a derechas D_{SR} en la posición A .
- Pulso h = 0000. El modo *clear* o *reset* pone a 0 todos los flip-flops.
- Pulso i = 0000. El modo *hold* ($S_0 = 0$ y $S_1 = 0$) no hace nada.
- Pulso j = 0001. El modo desplazamiento hacia la izquierda ($S_0 = 0$ y $S_1 = 1$, y un dato es alimentado en la entrada serie D_{SL}) mueve los bits una posición a la izquierda en el flanco ascendente del pulso de reloj. El 1 es cargado por la entrada serie a izquierdas D_{SL} en la posición D .

Ej. 308 — ¿Cual es la entrada del 74HC164 que anula cualquier otra entrada al dispositivo?

Solución (Ej. 308) — La entrada que anula a cualquier otra entrada al 74HC164 es la entrada asíncrona de *master reset* o \overline{MR} activa a baja.

Ej. 309 — ¿Por qué dispone de dos entradas de datos serie (D_{sa} y D_{sb}) el 74HC164?

Solución (Ej. 309) — El diagrama lógico simplificado de la Figura 10.9 muestra que ambas entradas (D_{sa} y D_{sb}) están unidas por una puerta AND. Esto implica que una de las dos entradas puede ser usada para activar la entrada serie (como una entrada de habilitación serie) con sólo ponerla a nivel alto, mientras la otra entrada se utilizaría como la receptora de los datos serie. Si no se requiere de habilitación de entrada serie se deben unir ambas entradas y serían usadas como una única entrada de datos

Ej. 310 — Según la Figura 10.11. Liste los estados del registro de desplazamiento después de cada pulso de reloj (bit A a la izquierda, bit H a la derecha).

Solución (Ej. 310) — Las salidas del registro de la Figura 10.11 son:

- Pulso a = 0000 0000. El $\overline{MR} = 0$ pone a 0 todos los flip-flops.
- Pulso b = 1000 0000. Desplazamiento a la derecha en el flanco de subida del pulso de reloj. $1\&1 = 1$ que es cargado serie en $Q_0 = A$.
- Pulso c = 0100 0000. Desplazamiento a la derecha en el flanco de subida del pulso de reloj. $1\&0 = 0$ que es cargado serie en $Q_0 = A$.
- Pulso d = 0010 0000. Desplazamiento a la derecha en el flanco de subida del pulso de reloj. $0\&1 = 0$ que es cargado serie en $Q_0 = A$.

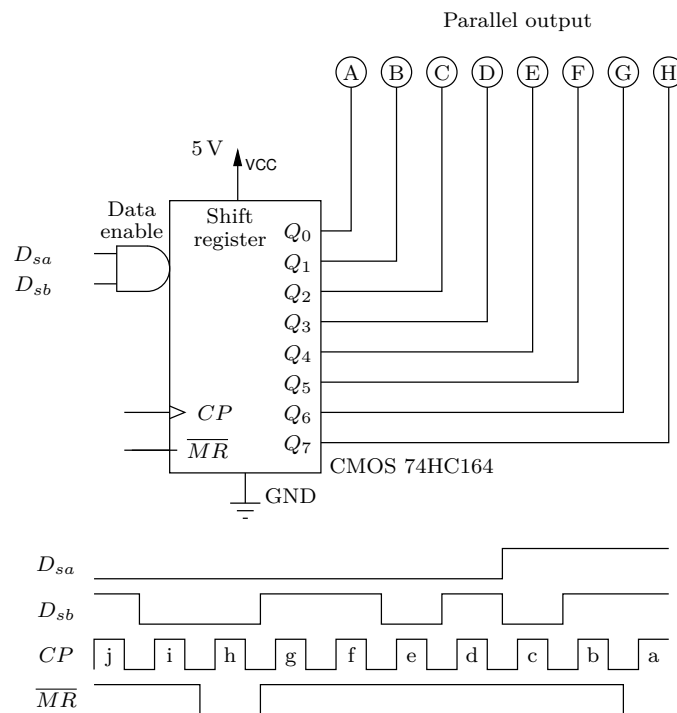


Figura 10.11: Registro de desplazamiento 74HC164 y formas de onda de entrada

- Pulso e = 0001 0000. Desplazamiento a la derecha en el flanco de subida del pulso de reloj. 0&0 = 0 que es cargado serie en $Q_0 = A$.
- Pulso f = 0000 1000. Desplazamiento a la derecha en el flanco de subida del pulso de reloj. 0&1 = 0 que es cargado serie en $Q_0 = A$.
- Pulso g = 0000 0100. Desplazamiento a la derecha en el flanco de subida del pulso de reloj. 0&1 = 0 que es cargado serie en $Q_0 = A$.
- Pulso h = 0000 0010. Desplazamiento a la derecha en el flanco de subida del pulso de reloj. 0&0 = 0 que es cargado serie en $Q_0 = A$.
- Pulso i = 0000 0001. Desplazamiento a la derecha en el flanco de subida del pulso de reloj. 0&0 = 0 que es cargado serie en $Q_0 = A$.
- Pulso j = 0000 0000. Desplazamiento a la derecha en el flanco de subida del pulso de reloj. 0&1 = 0 que es cargado serie en $Q_0 = A$.

Ej. 311 — En la Figura 10.11. Si consideramos a D_{sa} como entrada habilitadora de datos y D_{sb} como la entrada real de datos, ¿en qué ciclos de reloj está habilitada la entrada serie de datos?

Solución (Ej. 311) — la entrada estará habilitada mientras D_{sa} esté en alta, es decir en los ciclos a, b y c. En el resto de ciclos siempre la entrada de datos serie será un 0.

10.5 Los registros de desplazamiento como temporizadores/contadores

Un método alternativo para el diseño de los contadores digitales o generadores de secuencia es haciendo uso de alguno de los circuitos integrados anteriores que poseen algún tipo de registro de desplazamiento. Una configuración típica de contador o generador de secuencia basado en registro de desplazamiento se muestra en la Figura 10.12. Los flip-flops individuales forman parte de un registro de desplazamiento de N etapas y las conexiones entre los flip-flops individuales son internas dentro del chip. La salida de cada etapa y su complemento están disponibles y pueden ser utilizadas para conducir una lógica combinacional de retroalimentación que proporciona las entradas J y K (o D) de la etapa menos significativo del registro. Este tipo de circuito puede ser usado para generar secuencias binarias específicas o, alternativamente, puede funcionar como un contador de escala M , donde $M < 2^N$.

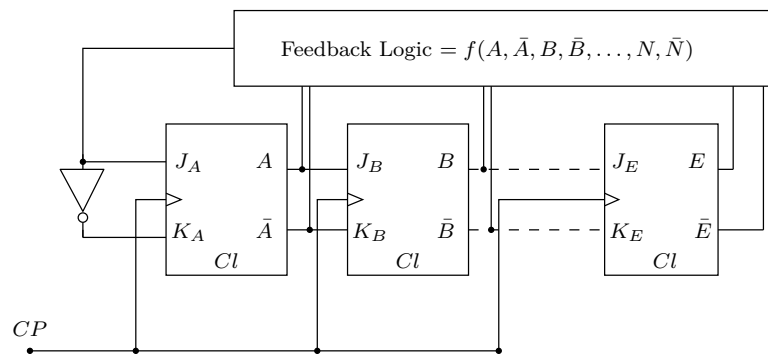


Figura 10.12: La configuración básica de un registro de desplazamiento con retroalimentación

Las relaciones de entrada-salida para cada etapa del contador, que se muestra en la Figura 10.12, se definen por el siguiente sistema de ecuaciones: $A^{t+\delta t} = f(A, \bar{A}, B, \bar{B}, \dots, N, \bar{N})$, $B^{t+\delta t} = A^t$, $C^{t+\delta t} = B^t$, etc.

El circuito de realimentación produce un 1 o un 0, que alimenta a la entrada del flip-flop A en donde se determina el siguiente estado de A en el siguiente pulso de reloj. Por ejemplo, suponiendo que el registro de desplazamiento de N etapas se encuentra en el estado $N \dots CBA = 0 \dots 001$, el siguiente estado del registro de desplazamiento será $0 \dots 010$ o $0 \dots 011$, dependiendo si la lógica de retroalimentación proporciona un 0 o un 1 en la entrada J del flip-flop A.

Antes de pasar a explicar como es este tipo de diseño de contadores mediante registros de desplazamiento basados en una función de retroalimentación, sólo queda aclarar el concepto de diagrama de estado universal. El diagrama de estado universal es un tipo de diagrama de estados que define una secuencia de cuenta individual. Todos los posibles estados internos del registro y todas las posibles transiciones entre los estados se muestran en el diagrama de estado universal. El diseñador puede elegir una secuencia de estados en el diagrama y diseñar la lógica de retroalimentación que permita que el registro atraviese la secuencia elegida. El diagrama de estado universal para un registro de 4 etapas se muestra en la Figura 10.13. Es totalmente

claro que a medida que el número de etapas en el registro aumenta la complejidad de este tipo de diagrama aumenta rápidamente.

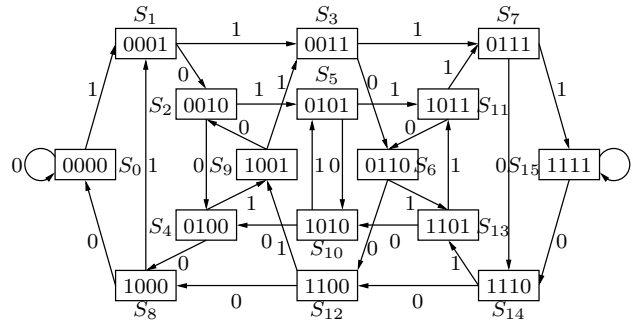


Figura 10.13: Diagrama de estado universal de un registro de desplazamiento de cuatro etapas

El primer paso en el diseño es elegir una secuencia de diez estados en el diagrama de estado universal de un registro de 4 etapas. Una secuencia posible es:

$$S_0 - S_1 - S_2 - S_5 - S_{11} - S_6 - S_{13} - S_{10} - S_4 - S_8 - S_0$$

Cabe señalar que esta no es la única secuencia de diez estados disponible en el diagrama de estado universal.

El segundo paso en el diseño es la elaboración de la tabla de estado, como se muestra en la Figura 10.14 con el fin de determinar el valor lógico de la función de retroalimentación para cada cambio de estado. Por ejemplo, al pasar de S_0 a S_1 , la salida del flip-flop A debe cambiar de 0 a 1, y por lo tanto, la entrada para este flip-flop, $D_A = 1$. Este es el valor lógico de la función de retroalimentación necesario para este cambio de estado, y se introduce en la columna derecha de la tabla de estado.

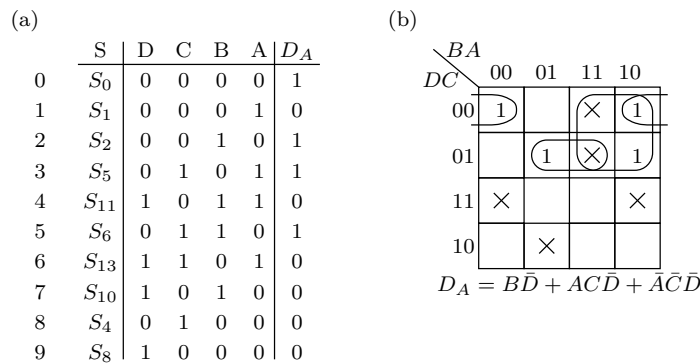


Figura 10.14: Registro de desplazamiento como contador (a) Tabla de estado (b) Mapa de Karnaugh simplificador de la función D_A

La función de retroalimentación y los estados no utilizados se representan en un mapa de Karnaugh de 4 variables, como se muestra en la Figura 10.14. Cabe

señalar que el S_{15} es un estado sin usar y debería aparecer su celda en el mapa de Karnaugh marcado con una X. Sin embargo, una regla general que debe seguirse en el diseño de este tipo de contador es que la entrada a la celda S_{15} debe ser siempre 0 y la celda S_0 siempre debe ser un 1. Así debería ser siempre, independientemente de si estos dos estados se encuentran en la secuencia de conteo o no. Esto asegura que el contador nunca se bloqueará, ya sea en el estado 0000 o 1111.

Minimizando la función de retroalimentación se encuentra que:

$$f = D_A = B\bar{D} + AC\bar{D} + \bar{A}\bar{C}\bar{D}$$

Si el contador entra en un estado no utilizado debido a una operación defectuosa del circuito, se podrá volver a la secuencia correcta después de un máximo de cinco pulsos de reloj. El retorno a la secuencia correcta cuando se produce un mal funcionamiento se ilustra en el diagrama de estados completo que se muestra en la Figura 10.15, y el diseño del contador se muestra en la Figura 10.16. Si se precisa mostrar la información de conteo, entonces el contador, junto con la lógica combinatorial adecuada, se puede utilizar junto a un display de siete segmentos. Por otra parte, las salidas del flip-flop se puede alimentar a los terminales de entrada de un decodificador de 4 a 16 líneas, como se muestra en la Figura 10.16, cuyas salidas se activan, ya sean a alta o a baja dependiendo del circuito integrado seleccionado. Si, por ejemplo, DCBA = 1101 la salida decimal correspondiente es $(6)_{10}$ y aparecerá en la terminal de salida del decodificador marcado como Y_{13} . Se puede observar que si las salidas del decodificador se activan a nivel alto se produce un anillo de circulación continua de diez pulsos que podría ser utilizado para iniciar operaciones en otros circuitos de lógica secuencial.

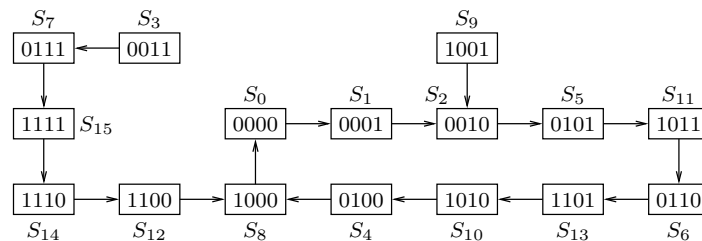


Figura 10.15: Diagrama estado completo secuencia del contador basado en registro

La utilización de registros de desplazamiento en la generación de secuencias de temporización, al contrario que el caso de los contadores, no requerirá un tamaño excesivamente grande en la circuitería de decodificación en ningún caso, y llegando a algunos a no ser precisa. Por contra, el número de estados distintos para un número fijo de flip-flops será apreciablemente menor.

Cuestiones y Ejercicios Resueltos

Ej. 312 — Demostrar que los estados no contemplados que se muestran en la Figura 10.15 ($S_3 - S_7 - S_{15} - S_{14} - S_{12} - S_8$ y $S_9 - S_2$) lo son con respecto a circuito contador de la Figura 10.16.

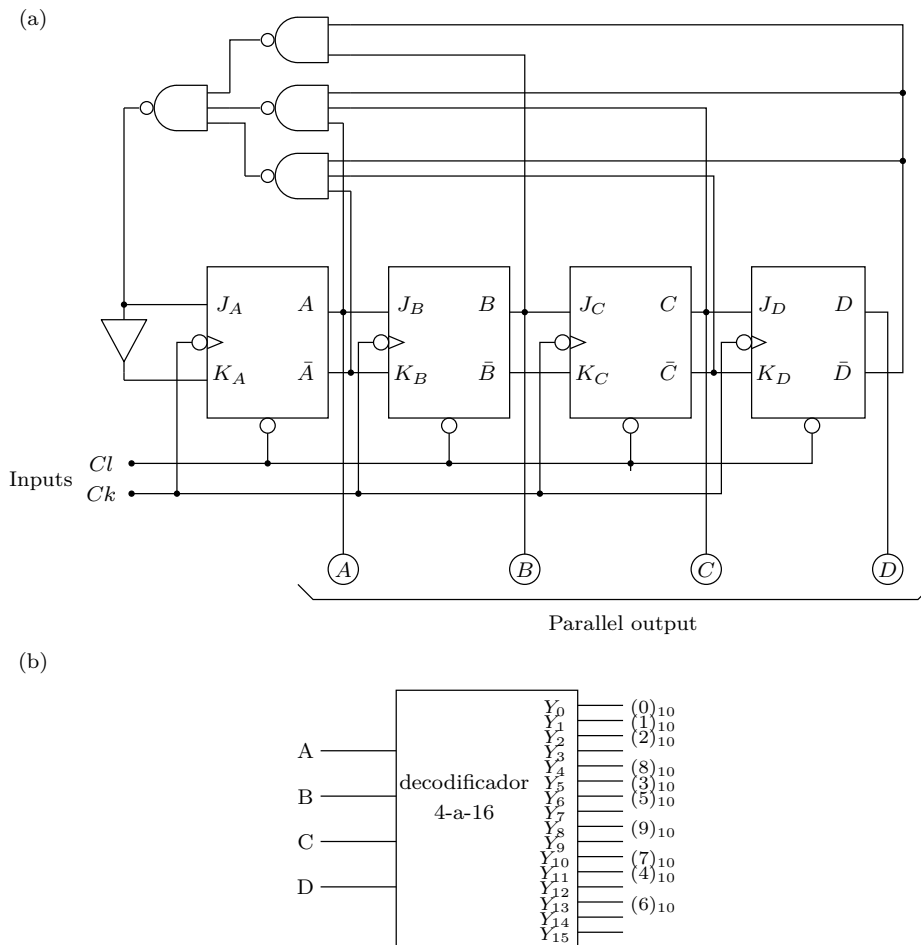


Figura 10.16: Contador Módulo 10 basado en registro de desplazamiento (a) Implementación (b) Descodificación en el caso que se quiera una salida decimal

Solución (Ej. 312) — Es fácil deducir la secuencia simplemente partiendo del estado no contemplado y deduciendo el siguiente estado a partir de la función de retroalimentación, en este caso $f = D_A = B\bar{D} + A\bar{C}\bar{D} + \bar{A}\bar{C}\bar{D}$. Si $D_A = 0$ el siguiente valor que carga el registro será un 0 y si $D_A = 1$ el siguiente valor será un 1.

$$S_3 = 0011 \rightarrow D_A = 11 + 101 + 011 = 1 \rightarrow 0111 = S_7$$

$$S_7 = 0111 \rightarrow D_A = 11 + \times + \times = 1 \rightarrow 1111 = S_{15}$$

$$S_{15} = 1111 \rightarrow D_A = 10 + 110 + 000 = 0 \rightarrow 1110 = S_{14}$$

$$S_{14} = 1110 \rightarrow D_A = 10 + 010 + 100 = 0 \rightarrow 1100 = S_{12}$$

$$S_{12} = 1100 \rightarrow D_A = 00 + 010 + 100 = 0 \rightarrow 1000 = S_8$$

$$S_8 = 1001 \rightarrow D_A = 00 + 100 + 010 = 0 \rightarrow 0010 = S_2$$

Por lo tanto en el peor de los casos este circuito contador basado en registro tarda cinco ciclos de reloj en alcanzar un estado contemplado.

Ej. 313 — Diseñar un contador mediante un registro de desplazamiento de 4 etapas formado con DFF que realice la siguiente cuenta:

$$S_0 - S_1 - S_3 - S_7 - S_{15} - S_{14} - S_{12} - S_8 - S_0$$

Indicar si el contador entra en un estado no utilizado en cuantos ciclos vuelve a la secuencia correcta.

Solución (Ej. 313) — La secuencia de conteo permite elaborar la tabla de estado que se muestra en la Figura 10.17(a) lo que va a permitir obtener la función de retroalimentación minimizada $D_A = \bar{D}$ mediante un mapa de Karnaugh como el de la Figura 10.17(a).

Una vez obtenida la función de retroalimentación que nos asegura el conteo de la secuencia podemos analizar que sucedería si el registro por algún problema pasase a un estado no contemplado en la secuencia. Para ello se deduce por medio de la función de retroalimentación cual sería el estado siguiente.

$$S_4 = 0100 \rightarrow D_A = \bar{D} = 1 \rightarrow 1001 = S_9$$

$$S_9 = 1001 \rightarrow D_A = \bar{D} = 0 \rightarrow 0010 = S_2$$

$$S_2 = 0010 \rightarrow D_A = \bar{D} = 1 \rightarrow 0101 = S_5$$

$$S_5 = 0101 \rightarrow D_A = \bar{D} = 1 \rightarrow 1011 = S_{11}$$

$$S_{11} = 1011 \rightarrow D_A = \bar{D} = 0 \rightarrow 0110 = S_6$$

$$S_6 = 0110 \rightarrow D_A = \bar{D} = 1 \rightarrow 1101 = S_{13}$$

$$S_{13} = 1101 \rightarrow D_A = \bar{D} = 0 \rightarrow 1010 = S_{10}$$

$$S_{10} = 1010 \rightarrow D_A = \bar{D} = 0 \rightarrow 0100 = S_4$$

Es decir, si por cualquier circunstancia el registro pasase a un estado no contemplado nunca volvería a la secuencia correcta.

10.6 El contador en anillo

El tipo más simple de contador basado en registro de desplazamiento es el contador de anillo, donde la retroalimentación desde la última etapa del registro alimenta la entrada de la primera etapa, como se muestra en la Figura 10.18(a). El registro cuenta con diez etapas y puede ser utilizado como un contador decimal ya que el número de las etapas es igual al número de estados. Los datos contenidos en cada etapa son pasados a la etapa siguiente después de recibir un pulso de reloj. El contador recircula un 1, el cual fue inicialmente preestablecido en la etapa menos significativa del registro, donde, en ese instante, todos los demás estados fueron limpiados. La secuencia de cuenta del registro se presentan en la Figura 10.18(b).

Los diez salidas del contador de anillo pueden ser utilizadas directamente como salidas decimales sin la necesidad de una red de descodificación. Por otra parte, la circulación del 1 se puede utilizar para la habilitación secuencial de un grupo de

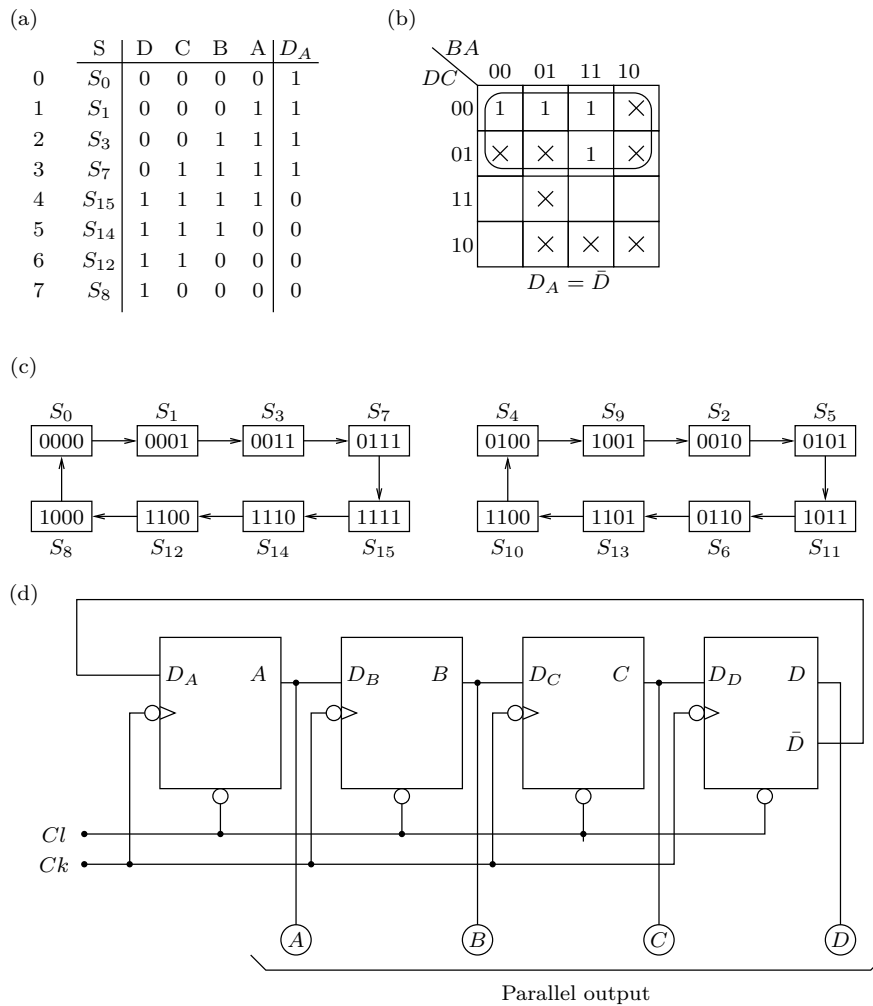
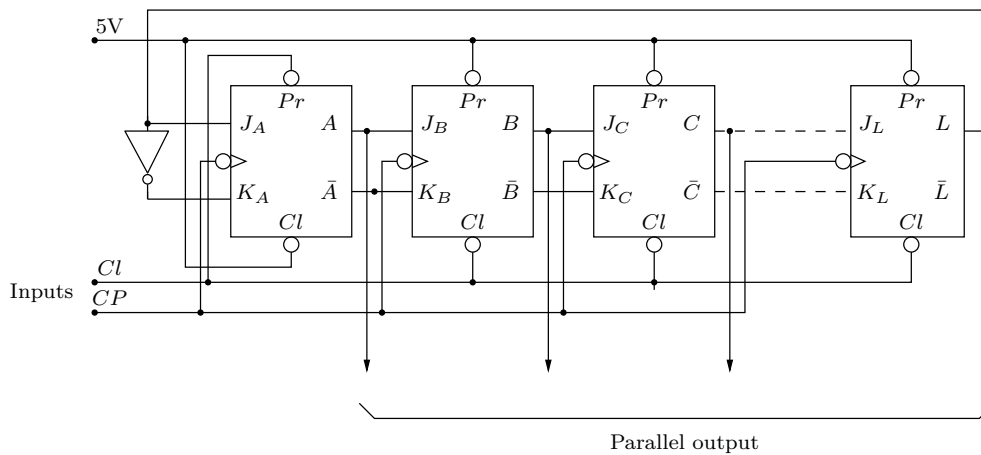


Figura 10.17: Registro de desplazamiento como contador (a) Tabla de estado (b) Mapa de Karnaugh simplificador de la función D_A (c) Diagrama de estado de la secuencia correcta y la secuencia que se produciría por un error (d) Implementación

circuitos lógicos. El número de etapas necesarias en este caso es igual al número de circuitos a ser habilitados.

Una ventaja evidente del contador de anillo es su simplicidad. Además, tiene salidas libres de picos (*spike-free outputs*) ya que no es necesaria lógica de decodificación. Sin embargo, tiene la desventaja de no tener una lectura binaria y su secuencia de conteo cambia radicalmente si, a través de la operación del circuito defectuoso, entra en alguno de los muchos estados no usados.

Un contador binario, síncrono o asíncrono, que tenga diez etapas tendrá $2^{10} = 1024$ estados de conteo y podría contar hasta 1023, mientras que el contador de anillo decimal sólo tiene 10 estados y por tanto cuenta $2^{10} = 1014$ estados no utilizados. Si el contador, por alguna razón, entra en uno de estos estados, entraría en una secuencia de conteo prohibido, de los que existen tantos que nunca más volverá a entrar en la secuencia de cuenta correcta a menos que se fuerce a hacerlo.



CP	L	I	H	G	F	E	D	C	B	A
0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	0	0	0	0	0	1	0
2	0	0	0	0	0	0	0	1	0	0
3	0	0	0	0	0	0	1	0	0	0
4	0	0	0	0	0	1	0	0	0	0
5	0	0	0	0	1	0	0	0	0	0
6	0	0	0	1	0	0	0	0	0	0
7	0	0	1	0	0	0	0	0	0	0
8	0	1	0	0	0	0	0	0	0	0
9	1	0	0	0	0	0	0	0	0	0

Figura 10.18: Contador en anillo (a) Implementación (b) Secuencia de conteo para un contador en anillo de 10 etapas

El circuito de la Figura 10.18(a) puede ser modificado para que el contador sea en *auto-arranque* y *auto-corrección*. La modificación requerida se muestra en la Figura 10.19. La entrada al flip-flop A es la siguiente:

$$J_A = \bar{A}\bar{B}\bar{C}\bar{D}\bar{E}\bar{F}\bar{G}\bar{H}$$

y esto sólo puede proporcionar la salida 1 cuando $A = B = C = D = E = F = G = H = 0$

Está claro que si cualquier sección del contador, excepto la última, contiene un 1, $J_A = 0$ y el contador escribirá la secuencia requerida en un plazo máximo de nueve pulsos de reloj. Si, por alguna razón, el contador entra en un estado falso, el contador es de auto-corrección y volverá a la secuencia correcta después de, como máximo, también nueve pulsos de reloj.

Cuestiones y Ejercicios Resueltos

Ej. 314 — Supongamos un contador en anillo cuyo estado es 1111 por algún tipo de problema. Explique en cuantos ciclos de reloj el contador de anillo pasa a contar de forma correcta si dispone de un circuito de auto corrección como el de la Figura 10.19.

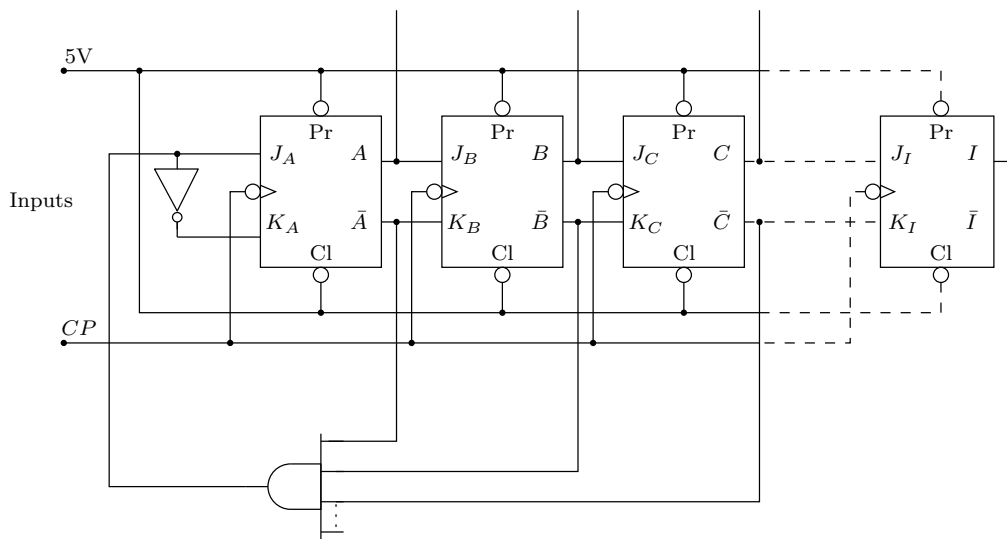


Figura 10.19: Contador en anillo con *auto-arranque* y *auto-corrección*

Solución (Ej. 314) — En este caso $J_A = \bar{A}\bar{B}\bar{C} = 0$ lo que provoca $Q_A = 0$, los demás flip-flops ven en sus J un 1 y en sus K un 0, por lo que en el primer ciclo de reloj, tendremos el estado 1110. En el segundo ciclo de reloj, el flip-flop B lee un 0 en J_B y un 1 en K_B o que provoca $Q_B = 0$ y por otro lado $J_A = \bar{A}\bar{B}\bar{C} = 0$ lo que mantiene a $Q_A = 0$, los demás flip-flops ven en sus J un 1 y en sus K un 0, por lo que en el segundo ciclo de reloj, tendremos el estado 1100. En el tercer ciclo de reloj, el flip-flop B y C leen un 0 en J_B y J_C y un 1 en K_B y K_C lo que provoca $Q_B = Q_C = 0$ y por otro lado $J_A = \bar{A}\bar{B}\bar{C} = 0$ lo que mantiene a $Q_A = 0$, en el tercer ciclo se tiene el estado 1000. A partir de estos momentos ya se encuentra el contador en anillo en la secuencia correcta. Por tanto se necesitan tres ciclos de reloj para alcanzar la secuencia correcta.

10.7 El contador trenzado en anillo o contador Johnson

Como su nombre indica, la diferencia entre el contador trenzado en anillo o Johnson y el contador en anillo es que la información se toma de la salida complementaria de la última etapa del registro y se conecta a la entrada J de la primera etapa, mientras que la forma invertida la información se introduce en la entrada K . Si todos los flip-flops están inicialmente en el mismo estado, 0 o 1, entonces el número de etapas en la secuencia de conteo es igual al doble del número de etapas en el registro de desplazamiento. Por lo tanto, un contador de décadas pueden ser construido a partir de un registro de desplazamiento de 5 etapas, como se muestra en la Figura 10.20(a). La secuencia de conteo del circuito, suponiendo que inicialmente todos los flip-flops están en cero, están tabulados en la Figura 10.20(b).

Esta es una secuencia de 10 estados que podrían haber sido seleccionados del diagrama de estado universal de un registro de desplazamiento de 5 etapas. La lógica de retroalimentación puede desarrollarse mediante el valor requerido de la función de

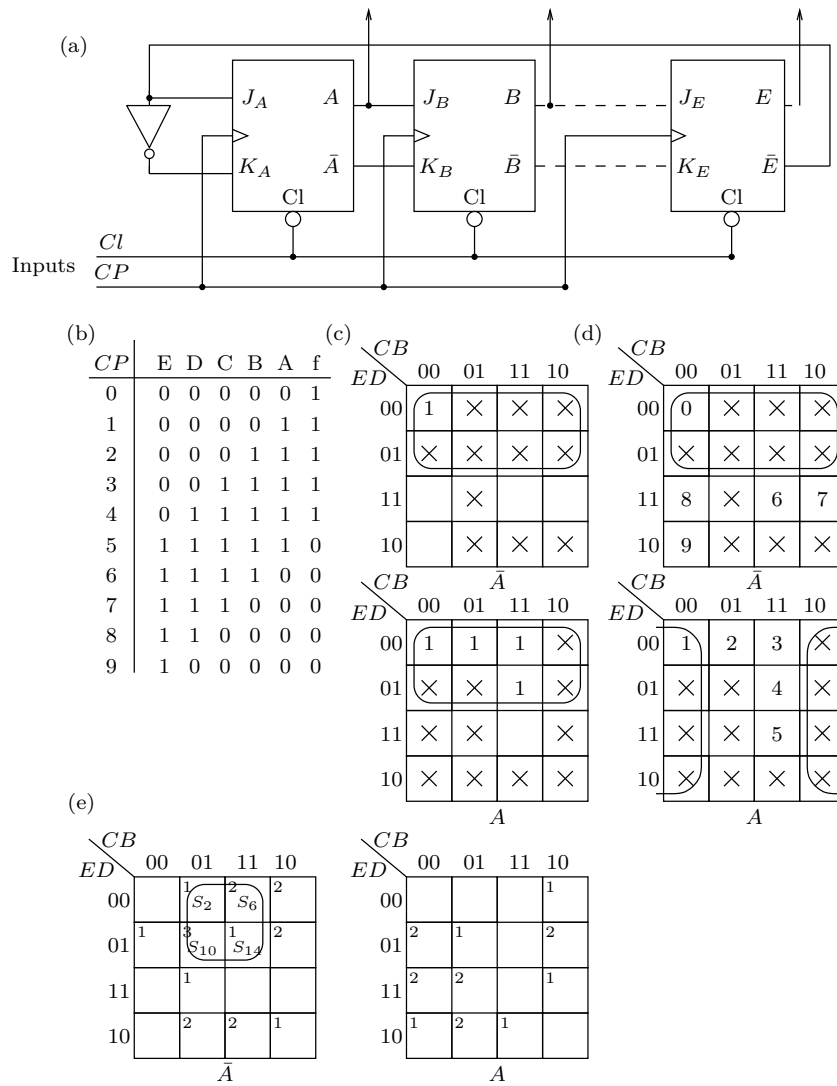


Figura 10.20: (a) Contador en anillo trenzado de 5 etapas (b) secuencia de conteo (c) mapas de Karnaugh para determinar la función de retroalimentación (d) mapas de Karnaugh para determinar la lógica de decodificación (e) mapas de Karnaugh para la determinación de auto-corrección de la función

retroalimentación en la columna f en la secuencia de conteo. La función se representa en el mapa de Karnaugh que se muestra en la Figura 10.20(c). Simplificando, el mapa de Karnaugh proporciona $f = J_A = \bar{E}$.

Para este circuito es necesario una lógica de decodificación para obtener un conteo decimal. Esta lógica se obtiene a partir de un mapa de Karnaugh de 5 variables en donde el equivalente decimal (que corresponde a la numeración de pulso de reloj en la Figura 10.20(b)) para cada uno de los estados en el ciclo de conteo ha sido marcado, como se muestra en la Figura 10.20(d). La simplificación de las adyacencias de $(0)_{10}$ y $(1)_{10}$ también han sido marcados con X en el mapa, y si se interesa continuar con el proceso de simplificación, se puede ver que siempre es posible combinar los siete estados no utilizados en cada una de las entradas decimales. La lógica de descodificación decimal resultante, después de simplificar, se muestra a continuación:

$$\begin{aligned} (0)_{10} &= \bar{A}\bar{E} & (5)_{10} &= AE \\ (1)_{10} &= A\bar{B} & (6)_{10} &= \bar{A}B \\ (2)_{10} &= B\bar{C} & (7)_{10} &= \bar{B}C \\ (3)_{10} &= C\bar{D} & (8)_{10} &= \bar{C}D \\ (4)_{10} &= D\bar{E} & (9)_{10} &= \bar{D}E \end{aligned}$$

También existen otras tres secuencias de conteo no deseadas e independientes para el contador de Johnson. Estas son:

1. $S_2 - S_5 - S_{11} - S_{23} - S_{14} - S_{29} - S_{26} - S_{20} - S_8 - S_{17} - S_2$
2. $S_4 - S_9 - S_{19} - S_6 - S_{13} - S_{27} - S_{22} - S_{12} - S_{25} - S_{18} - S_4$
3. $S_{10} - S_{21} - S_{10}$

Si el contador entrase en cualquiera de estas secuencias, debido a una operación defectuosa del circuito o durante el encendido, permanecerá en la secuencia a menos que se tome alguna disposición para que vuelva el contador a la secuencia requerida.

Las secuencias no deseadas se muestran marcadas en el mapa de Karnaugh de la Figura 10.20(e), las celdas marcadas con 1, 2 o 3 nos indica en que secuencia no deseada está el estado. Se puede observar que los cuatro estados adyacentes S_2 , S_6 , S_{10} y S_{14} están todos en una de las tres secuencias no deseadas. Si la función booleana que representa a estos cuatro estados, $f = \bar{A}\bar{B}\bar{E}$, se utiliza para borrar las cinco etapas del contador, entonces en un plazo máximo de diez pulsos de reloj el contador entrará en la secuencia de cuenta Johnson. Evidentemente existen combinaciones alternativas que logran el mismo efecto.

El contador Johnson tiene una longitud de ciclo par de $2N$, donde N es el número de etapas en el registro. Sin embargo, con una modificación adecuada de la retroalimentación es posible conseguir un número impar de ciclos ($2N - 1$). Por ejemplo, si el estado 00000 se omite, el ciclo de cuenta se convierte como el que se muestra tabulado en la Figura 10.21(a) y los valores de la función de retroalimentación necesarios para generar esta secuencia aparece en la última columna de esta tabla. Dibujando esta función junto con los estados no utilizados en los mapas de Karnaugh de 5 variables (ver Figura 10.21(b)) y minimizando, conduce a la función

de retroalimentación revisada $f = \bar{D} + \bar{E}$. Queda por demostrar que si el estado 11111 se omite y no el estado 00000, la función de retroalimentación modificada será $f = \bar{D}\bar{E}$.

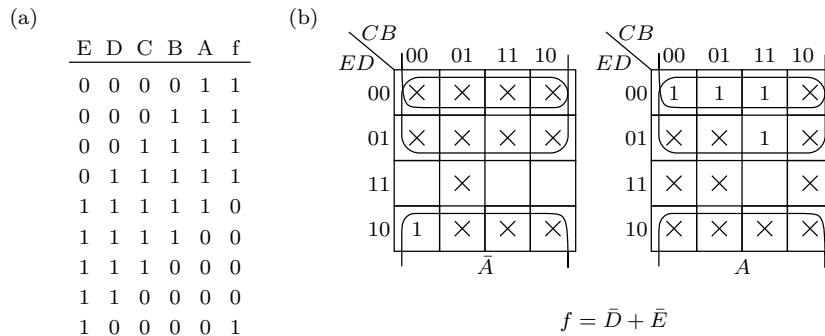


Figura 10.21: Contador Johnson (a) Secuencia de conteo de un contador Johnson de longitud de cuenta impar cuando se omite el estado 00000 (b) Determinación de la función de retroalimentación para un contador Johnson de longitud de ciclo $(2N - 1 = 9)$

Cuestiones y Ejercicios Resueltos

Ej. 315 — Demostrar que si el estado 11111 se omite en un contador Johnson de 5 etapas, la función de retroalimentación modificada que permite contar hasta 9 estados será $f = \bar{D}\bar{E}$.

Solución (Ej. 315) — Si el estado 11111 se omite, el ciclo de cuenta se convierte como el que se muestra tabulado en la Figura 10.22(a) y los valores de la función de retroalimentación necesarios para generar esta secuencia aparece en la última columna de esta tabla. Dibujando esta función junto con los estados no utilizados en los mapas de Karnaugh de 5 variables (ver Figura 10.22(b)) y minimizando, conduce a la función de retroalimentación $f = \bar{D}\bar{E}$.

Cuestiones y Ejercicios Propuestos

Ej. 316 — Generar una temporización que produzca 4 pulsos de 1 ms de anchura, separados entre si 1 ms, cada 100 ms, a partir de un conjunto de contadores módulo 10 que reciben una señal de reloj de 1 ms, tienen entradas asíncronas de *RESET* (puesta a 0), y una salida de acarreo cuando la cuenta llega a 9.

Solución (Ej. 316) — Figura 10.23

Ej. 317 — Diseñar un contador módulo 12 usando un registro de desplazamiento basados en flip-flops D.

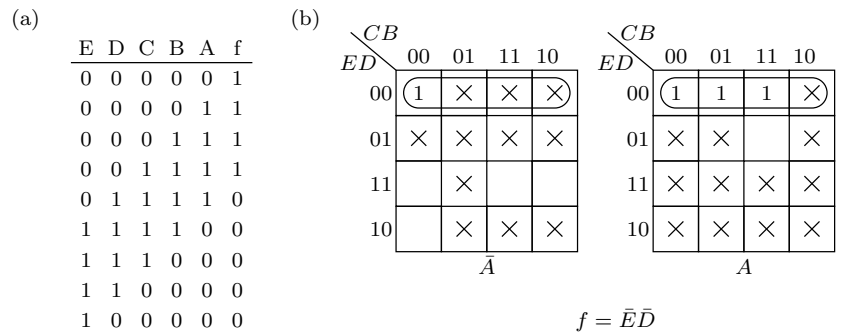


Figura 10.22: Contador Johnson (a) Secuencia de conteo de un contador Johnson de longitud de cuenta impar donde se ha suprimido el estado 11111 (b) Determinación de la función de retroalimentación para un contador Johnson de longitud de ciclo $(2N - 1)$

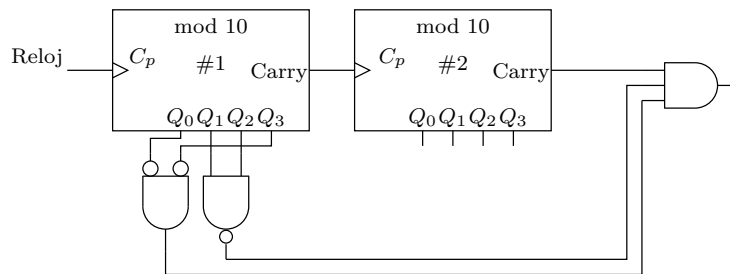


Figura 10.23: Implementación de un temporizador mediante contadores

Solución (Ej. 317) — Figura 10.24

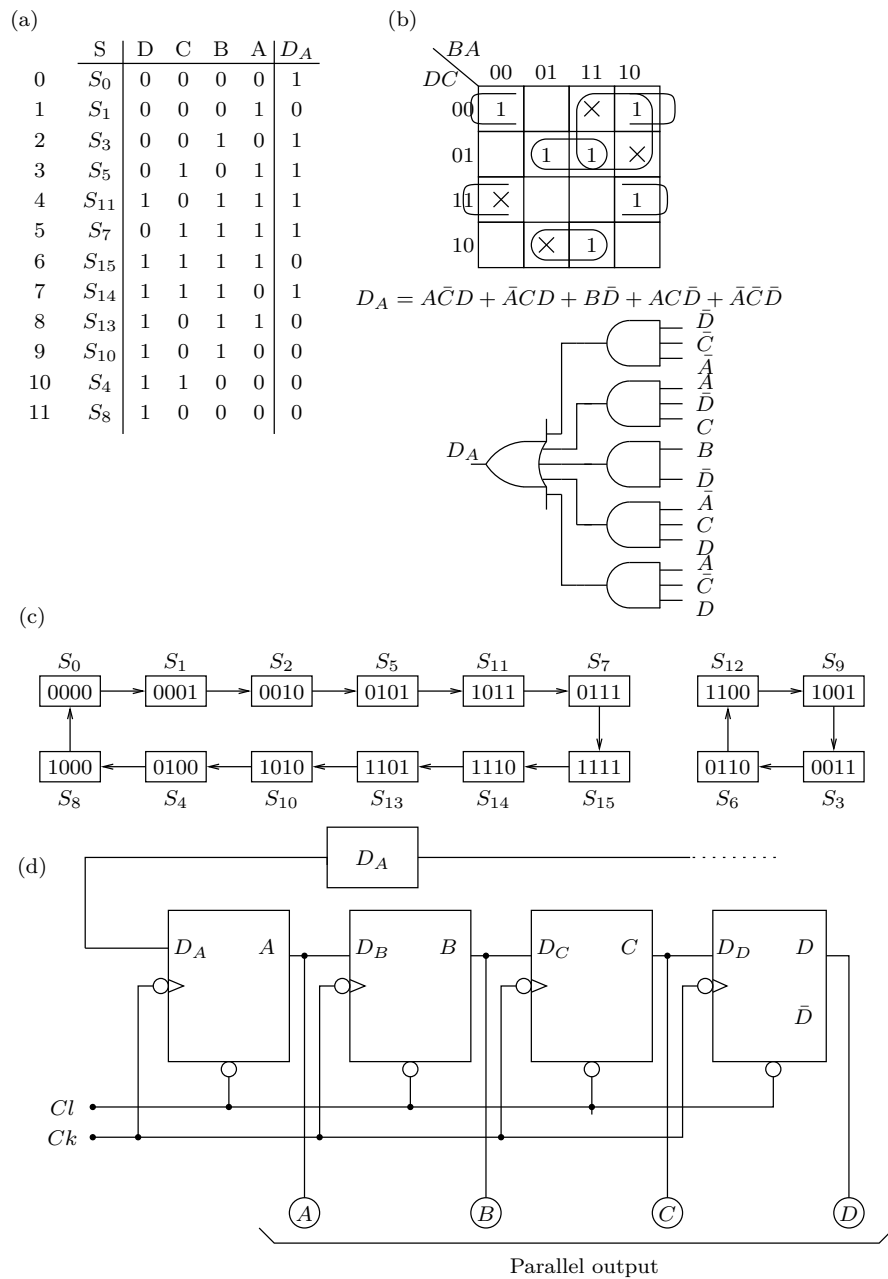


Figura 10.24: Registro de desplazamiento como contador módulo 12 para la secuencia $S_0 - S_1 - S_2 - S_5 - S_{11} - S_6 - S_{13} - S_{10} - S_4 - S_8 - S_0$ (a) Tabla de estado (b) Mapa de Karnaugh simplificador de la función D_A (c) Diagrama de estado de la secuencia correcta y la secuencia que se produciría por un error (d) Implementación

11.1 Introducción

Un contador es el circuito secuencial mas simple que existe ya que se compone de elementos de memoria simples, como flip-flops, y puertas lógicas. Todos los circuitos secuenciales son de dos tipos: (1) síncronos (transiciones de reloj) y (2) asíncronos (por eventos). En los circuitos síncronos, los cambios de estado del circuito se sincronizan con los pulsos de reloj normalmente periódicos, mientras que los cambios de estado conducidos por eventos son gobernados por sucesos tales como, por ejemplo, la aparición de un fallo del sistema o un resultado determinado.

Los circuitos contadores pueden clasificarse en cualquiera de las dos categorías mencionadas anteriormente. Todos los circuitos contadores contarán los pulsos de reloj y almacenarán la entrada recibida en una serie de elementos de memoria. En el caso de los contadores síncronos, todos los flip-flops basculan en el mismo instante de tiempo, mientras que normalmente en los contadores asíncronos sólo la etapa de flip-flop menos significativa bascula en cada ciclo de reloj, donde los flip-flops posteriores basculan en ciclos posteriores de reloj que dependen de los tiempos de propagación de los flip-flops de cada etapa. El diseño de contadores síncronos es generalmente más complejo que el de los contadores asíncronos, aunque son mas frecuentes los diseños síncronos que asíncronos.

Los contadores son componentes fundamentales de un sistema digital y se pueden utilizar para temporización, control y secuenciación de operaciones (como parte de una unidad de control). Alternativamente, se pueden utilizar como divisores de frecuencia y en algunos casos puede ser utilizados como contador no binario, por ejemplo, un contador de código Gray o un contador BCD. En la práctica sería muy raro que el diseñador implemente un circuito contador desde circuitos de pequeña escala de integración (SSI, *Small Scale Integration*, desde puertas lógicas o desde circuitos biestables integrados), ya que existe un gran número de contadores disponibles como integrados de mediana escala de integración (MSI, *Medium Scale Integration*). Sin embargo, es importante que se sea consciente de las técnicas habituales de diseño básico.

11.2 Contadores Binarios Síncronos

El contador más simple posible es el contador binario (contador múltiplo de 2, módulo 2 o *scale-of-two counter*) que dispone de sólo dos estados, 0 y 1. Debido a que a la salida de un flip-flop sólo puede existir uno de estos dos estados, en cualquier momento este contador puede ser implementado con un solo flip-flop.

Una técnica de diseño consiste en la elaboración de una tabla de estado donde la primera columna representa el estado actual del contador, mientras que la segunda representa el siguiente estado del contador después de la llegada de un pulso de reloj, como se muestra en la Figura 11.1(a), esta tabla se denomina tabla de transiciones. La tabla indica las transiciones que tienen que hacerse a medida que el contador transiciona de su estado actual al estado siguiente. Suponiendo que el circuito va a ser implementado con un flip-flop, las entradas necesarias para producir las transiciones tabuladas en la tabla de estado se puede obtener de la tabla de transiciones del flip-flop JK que se muestran en la Figura 11.1(b). Dado que las entradas en las columnas J y K de la tabla de estado de la Figura 11.1(a) son todos o bien no importa o 1 se sigue que $J_A = K_A = 1$.

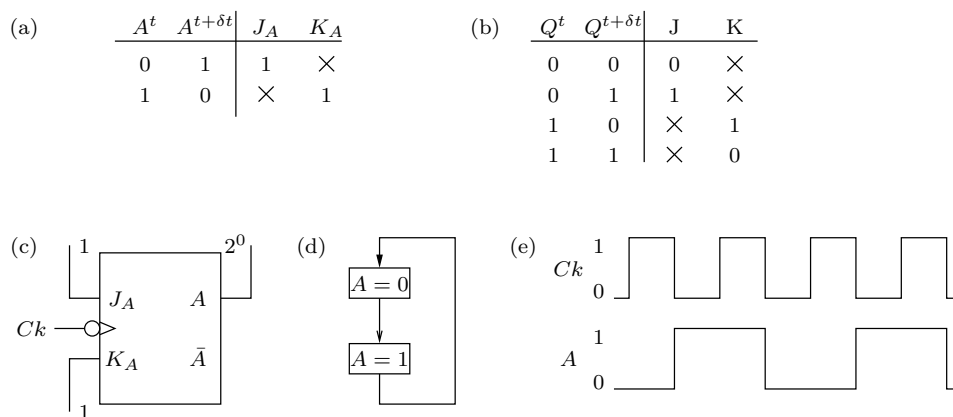


Figura 11.1: Contador módulo 2: (a) Tabla de estado, (b) Tabla de transiciones del flip-flop JK, (c) Implementación, (d) diagrama de estado, (e) Diagrama de tiempos

El contador se implementa como se muestra en la Figura 11.1(c), junto con el diagrama de estados en la Figura 11.1(d) y un diagrama de tiempos en la Figura 11.1(e). El diagrama de estados es a la vez el diagrama de estado interno y externo, ya que $A = 0$ y $A = 1$ representa el estado interno del circuito, así como su visualización externa. El examen del diagrama de tiempos muestra la conmutación del flip-flop continuamente de 0 a 1 y de 1 a 0, pero reconociendo que el diagrama de tiempo es idealizado ya que retardos, tiempos de subida y amplitud de reloj no se han tenido en cuenta.

Un contador módulo cuatro (*scale-of-four counter*) tiene cuatro estados y por tanto requiere de dos flip-flops. El método de diseño utilizado para el contador módulo dos pueden extenderse al contador módulo cuatro donde las entradas necesarias a los flip-flop son $J_A = K_A = 1$ y $J_B = K_B = A$.

Para un contador módulo ocho (*scale-of-eight counter*), la tabla de estado se presenta en la Figura 11.2. El diseño de las etapas A y B emplea las técnicas utilizadas para el diseño del contador módulo dos mas la suma de una nueva etapa que de ninguna manera altera el diseño de las etapas anteriores del contador. Por lo tanto, $J_A = K_A = 1$ y $J_B = K_B = A$. Los mapas de Karnaugh para $J_C = K_C$ se muestran en la Figura 11.2 y, después de simplificar, las señales de entrada para el

FFC (flip-flop C) resultan ser $J_C = K_C = AB$. La implementación del contador y su diagrama de estado también se muestran en la Figura 11.2.

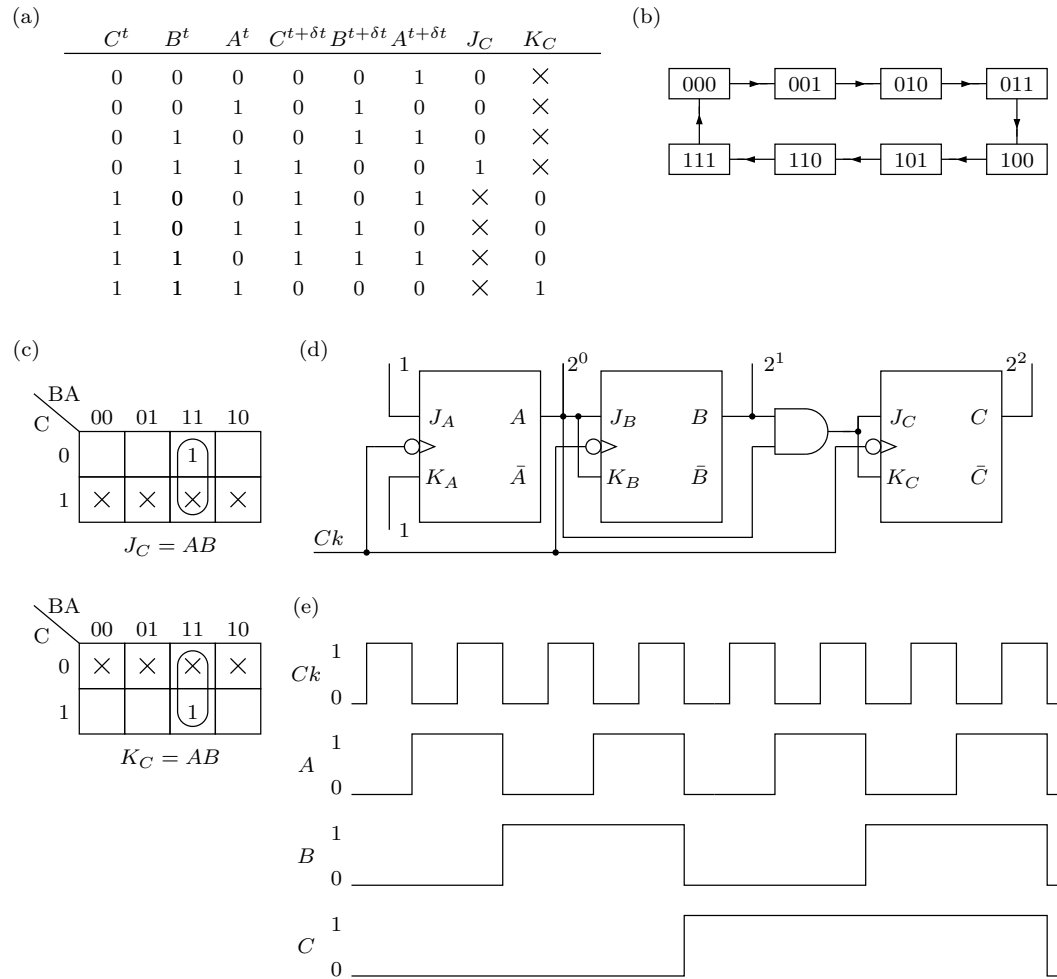


Figura 11.2: Contador módulo 8: (a) Tabla de estado, (b) Diagrama de estados, (c) Mapas de Karnaugh (d) Implementación, (e) Diagrama de tiempos

Los resultados de los tres flip-flops se tabulan a continuación:

$$J_A = K_A = 1 \qquad J_B = K_B = A \qquad J_C = K_C = AB = J_B B$$

y, por la observación de estas ecuaciones, es claro que:

$$J_D = K_D = ABC = J_C C$$

por tanto, generalizando:

$$J_N = K_N = ABC \dots (N - 1) = J_{(N-1)}(N - 1) \qquad (11.1)$$

Los *down-counters* o contadores síncronos descendentes pueden también ser diseñados usando las técnicas empleadas para los *up-counters* o contadores síncronos ascendentes, obteniendo las siguientes ecuaciones:

$$J_A = K_A = 1 \qquad J_B = K_B = \bar{A} \qquad J_C = K_C = \bar{A}\bar{B} = J_B\bar{B}$$

y, por la observación de estas ecuaciones, es claro que:

$$J_D = K_D = \bar{A}\bar{B}\bar{C} = J_C\bar{C}$$

por tanto, generalizando:

$$J_N = \bar{A}\bar{B}\bar{C} \dots (\overline{N-1}) = J_{(N-1)}(\overline{N-1}) \quad (11.2)$$

También es posible, en el caso de los contadores binarios, usar un *up-counter* para una cuenta atrás o descendente mediante la utilización de las salidas complementarias del flip-flop. Esto se ilustra para un contador de escala módulo ocho en la tabulación que se muestra en la Figura 11.3.

	C	B	A	\bar{C}	\bar{B}	\bar{A}
0	0	0	0	1	1	1
1	0	0	1	1	1	0
2	0	1	0	1	0	1
3	0	1	1	1	0	0
4	1	0	0	0	1	1
5	1	0	1	0	1	0
6	1	1	0	0	0	1
7	1	1	1	0	0	0

Figura 11.3: Tabla de estados de una cadena de flip-flops de cuenta descendente

Hay dos formas de conectar las entradas a los sucesivos flip-flops como se ilustran en la Figura 11.4. En el primer método, en *paralelo*, las puertas proporcionan las entradas J y K para los flip-flops adyacentes del contador alimentados en paralelo. A medida que aumenta el número de etapas, el fan-in de las puertas AND también se incrementa. Sin embargo, el retardo de puerta a la entrada de cada flip-flop es idéntica e igual a t_g , tiempo de retardo de una sola puerta AND.

En el segundo método, en *serie*, el fan-in para cada una de las puertas AND siempre es dos, pero el retardo de puerta en las entradas a los flip-flops se incrementa con el número de etapas del contador. La Figura 11.4(b) muestra que el retardo de puerta en la entrada J_C es t_g , en la entrada de J_D es $2t_g$, y así sucesivamente. Si este método de conexión se utiliza, se experimentarán retardos de puertas cada vez mayores en cada una de las entradas de los sucesivos flip-flop de la cadena, está claro que el límite superior de frecuencia de un contador haciendo uso de este método es más bajo que el otro método con la conexión en paralelo.

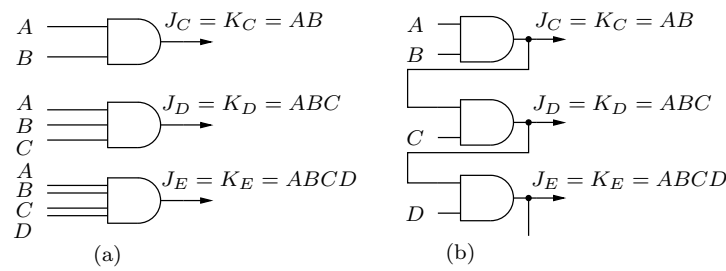


Figura 11.4: Puertas de entrada a los flip-flops. (a) Conexión paralela, (b) conexión serie

Si el tiempo de conmutación de cada flip-flops es t_f , entonces, para la conexión en paralelo, el límite superior de frecuencia está dada por:

$$f_u = \frac{1}{t_g + t_f}$$

mientras que para la conexión serie:

$$f_u = \frac{1}{(N - 2)t_g + t_f}$$

donde N es el número de etapas en el mostrador.

Para la conexión en paralelo, los dos primeros flip-flops requieren N-2 puertas, el tercer flip-flop N-3 puertas y así sucesivamente, mientras que, para la conexión en serie, todos los flip-flops en la cadena del contador, excepto la última, requieren una única puerta.

Cuestiones y Ejercicios Resueltos

Ej. 318 — Clasifique los contadores que aparecen en esta sección.

Solución (Ej. 318) — Todos los contadores que aparecen en esta sección son contadores binarios síncronos. Binarios porque todos cuentan potencias de dos y síncronos por que todos los flip-flops están gobernados por una única señal de reloj común.

Ej. 319 — ¿Cuántos estados posibles tiene el contador mas simple posible? ¿Como se denomina?

Solución (Ej. 319) — El contador mas simple posible tendría dos estados el 0 y el 1. Se denomina contador binario o módulo 2.

Ej. 320 — ¿Como se denomina un contador que cuenta de 0 a 3?

Solución (Ej. 320) — Contador módulo cuatro o *scale of 4*.

Ej. 321 — ¿A que se denomina tabla de transiciones?

Solución (Ej. 321) — Tabla de transiciones es una tabulación que indica las entradas necesarias para producir todos los posibles cambios de estado.

Ej. 322 — Si la entrada a los siguientes módulos binarios ascendentes síncronos son: $J_A = K_A = 1$ (módulo 2), $J_B = K_B = A$ (módulo 4), $J_C = K_C = AB = J_B B$ (módulo 8) ¿Cual sería el valor de un contador modulo 32 síncrono?

Solución (Ej. 322) — La progresión indica que

$$J_N = K_N = ABC \dots (N-1) = J_{(N-1)}(N-1)$$

por lo tanto si $N = 5$ ($2^5 = 32$, módulo 32) se tiene:

$$J_E = K_E = ABCD = J_{(D)}D$$

Ej. 323 — ¿Cual sería el valor de un módulo 32 síncrono descendente?

Solución (Ej. 323) — Ahora las ecuaciones para los asíncronos descendentes es:

$$\begin{array}{ll} J_A = K_A = 1 & J_B = K_B = \bar{A} \\ J_C = K_C = \bar{A}\bar{B} = J_B\bar{B} & J_N = \bar{A}\bar{B}\bar{C} \dots (\overline{N-1}) = J_{(N-1)}(\overline{N-1}) \end{array}$$

por tanto como $N = 5$ ($2^5 = 32$, módulo 32) se tiene:

$$J_E = K_E = \bar{A}\bar{B}\bar{C}\bar{D} = J_D\bar{D}$$

Ej. 324 — ¿Cómo se puede usar un contador binario descendente utilizando el contador ascendente equivalente? Dibuje un contador modulo 8 descendente a partir del equivalente ascendente.

Solución (Ej. 324) — Es posible, en el caso de los contadores binarios, usar un *up-counter* para una cuenta atrás o descendente mediante la utilización de las salidas complementarias del flip-flop. El módulo 8 descendente se puede implementar a partir de las salidas complementarias del contador módulo 8 ascendente, como se muestra en la Figura 11.5(a) y Figura 11.5(b).

Ej. 325 — ¿Indique los pros y contras en las dos formas de conectar, paralela y serie, las entradas a las puertas lógicas que conforman el contador binario síncrono?

Solución (Ej. 325) — Paralelo, el fan-in (entradas en puerta) de las puertas lógicas aumenta al aumentar el número de etapas en cambio en la conectividad serie el fan-in permanece estable. La conectividad paralela es mas compleja en su hardware que la serie.

Paralelo, el retardo de puerta a la entrada de cada flip-flop es idéntico e igual al de puerta en cambio en la conectividad serie el retardo de puerta va aumentando según un factor multiplicativo igual al numero de etapas previas a la entrada de cada flip-flop. La frecuencia superior de funcionamiento es mayor en la conectividad paralelo que en la serie.

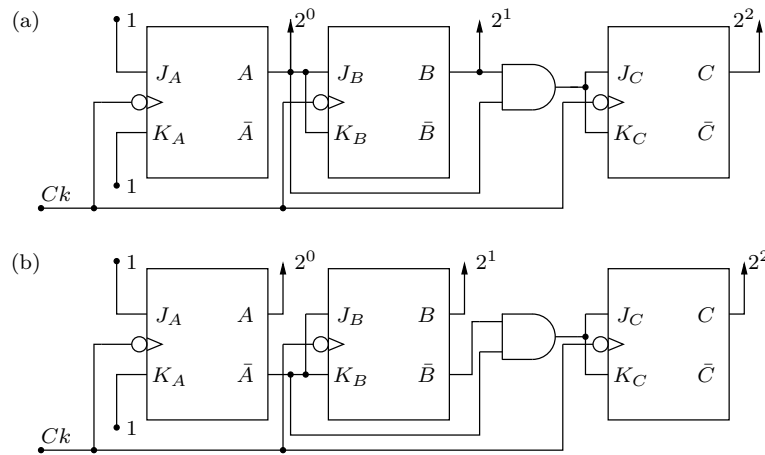


Figura 11.5: Contador módulo 8: (a) ascendente, (b) descendente usando salidas complementarias

11.3 Contadores no Binarios: Contador Módulo 5

A menudo, se necesitan contadores con módulos que no sean potencia de 2. Por ejemplo, un contador módulo cinco tiene cinco estados y requiere tres flip-flops. Esto dejará tres estados no utilizados en el diagrama de estado, como se muestra en la Figura 11.6(a). La tabla de estado, como se muestra en la Figura 11.6(b), se ha desarrollado utilizando la tabla de transiciones de un FFJK (flip-flop JK), como se muestra en el caso de módulo 2 (véase la Figura 11.1(b)). Los estados no utilizados han sido señalados como términos *no puede suceder* en los mapas de Karnaugh de las señales de entrada del flip-flop J_C, J_B, J_A, K_B . Todas las entradas en las columnas K_A y K_C son 1 o \times . Por lo tanto $K_A = K_C = 1$.

Si, por alguna razón, el contador entra en uno de los estados no utilizados, por ejemplo, cuando el contador se encienda comenzando a operar, o debido a su operación como circuito defectuoso, es interesante observar su comportamiento posterior. Esto se puede determinar mediante el examen de las señales de entrada del flip-flop. Por ejemplo:

$(CBA)^t = 101$	$J_C = AB = 0$	$K_C = 1$	FFC resets
	$J_B = K_B = A = 1$		FFB toggles
	$J_A = \bar{C} = 0$	$K_A = 1$	FFA resets

Al recibir el siguiente pulso de reloj, $CBA = 010$.

Los siguientes estados para los estados no utilizados 110 y 111 son 010 y 000, respectivamente. Si el contador entrase en cualquiera de los estados no utilizados se volverá a la secuencia correcta de conteo después de un pulso de reloj. Las transiciones que se producen bajo estas circunstancias se presentan con puntos en el diagrama de estado en la Figura 11.6(b). La implementación del contador se muestra en la Figura 11.6(d).

En la práctica, sería más lógico pasar todos los estados no utilizados directamen-

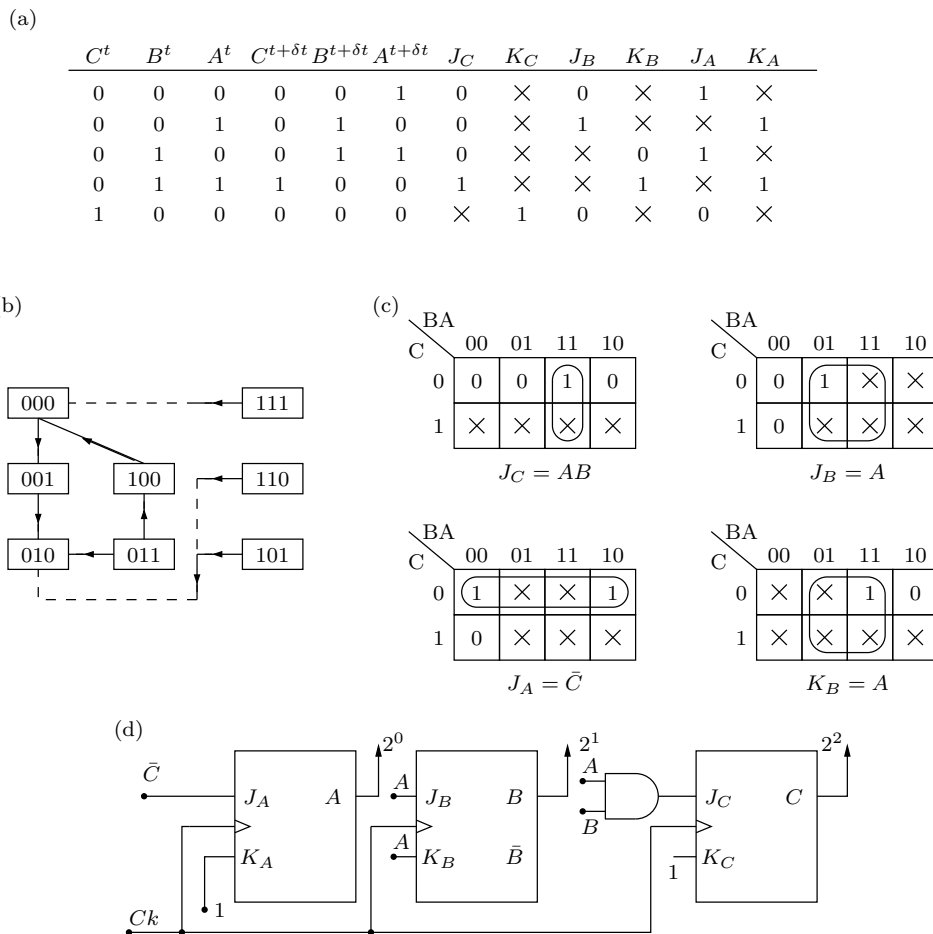


Figura 11.6: Contador módulo 5 (a) Diagrama de estados (b) Tabla de estados (c) Mapas de Karnaugh para las entradas de los flip-flops (d) Implementación del circuito

te al estado inicial $CBA = 000$, como se muestra en la Figura 11.7(a). La tabla de estado para el contador modificados también se muestra en la Figura 11.7(b), junto con el mapa de Karnaugh en la Figura 11.7(c) utilizado para determinar las señales de entrada del flip-flop. La implementación del contador modificado se muestra en la Figura 11.7(d) y se observa que se proporciona una señal *clear* para restablecer los flip-flops al estado inicial.

Cuestiones y Ejercicios Resueltos

Ej. 326 — Indique algún ejemplo de contador no binario y explique su utilidad.

Solución (Ej. 326) — Existen numeroso contadores no binarios, de hecho la mayoría los son, por ejemplo el contador módulo 10 o el módulo 6. Cada uno por su cuenta tendría aplicaciones diversas, pero con ambos por ejemplo se podría crear un segundero.

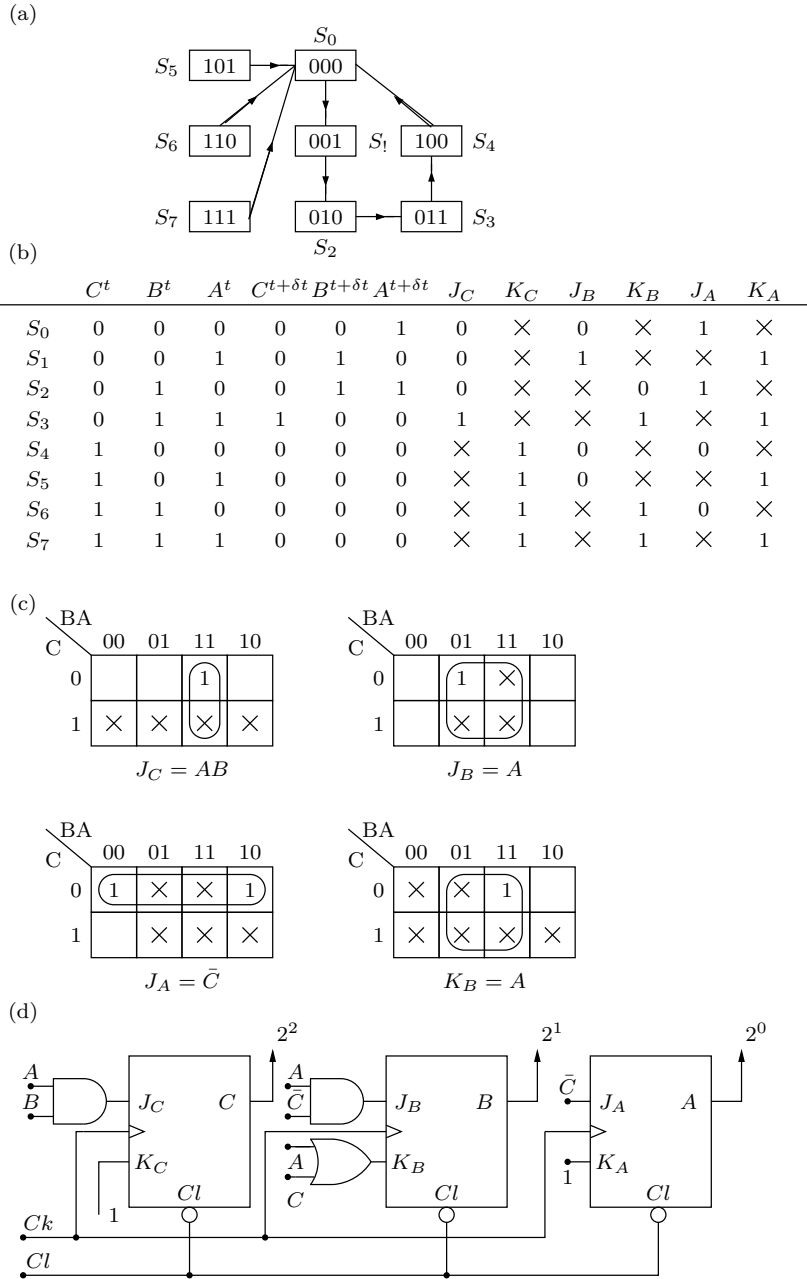


Figura 11.7: Contador módulo 5 modificado

Ej. 327 — ¿Por qué K_A y K_C son iguales a 1 según la tabla de transiciones de la Figura 11.6(a)?

Solución (Ej. 327) — En la tabla de transiciones de la Figura 11.6(a) tanto K_A como K_C no tienen ni un solo 0 en su columna. Esto significa que si se toman los estados prohibidos como \times para ayudarnos a la simplificación se obtienen mapas de Karnaugh como los de la Figura 11.8; donde la simplificación es que todos los unos existentes se pueden agrupar en un solo grupo de 8 adyacentes y por tanto se puede considerar que se cumplirá siempre, sea cual sea la combinación de ABC .

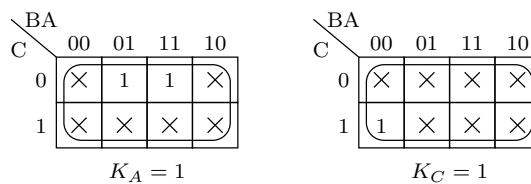


Figura 11.8: Mapas de Karnaugh de K_A y K_C

Ej. 328 — ¿Qué sucedería en el circuito contador de la Figura 11.6, si en un primer estado empezase la cuenta en un estado no deseado como 110?

Solución (Ej. 328) — Se puede saber que pasaría simplemente analizando las entradas a los flip-flops y viendo su evolución.

$$\begin{array}{llll}
 (CBA)^t = 110 & J_C = AB = 0 & K_C = 1 & \text{FFC resets} \\
 & J_B = K_B = A = 0 & & \text{FFB hold} \\
 & J_A = \bar{C} = 0 & K_A = 1 & \text{FFA resets}
 \end{array}$$

Al recibir el siguiente pulso de reloj, $CBA = 010$. Y ya volvería a entrar en la cuenta correcta para el que ha sido diseñado en solo un ciclo de reloj.

Ej. 329 — ¿Como se debería modificar la tabla de transiciones de la Figura 11.7(b), para que en lugar de bascular los estados no usados a $S_0 = CBA = 000$ en un solo ciclo de reloj se basculara a $S_1 = CBA = 001$?

Solución (Ej. 329) — Simplemente habría que diseñar el contador modificando las filas de S_4 a S_7 de las columnas $C^{t+\delta t}$, $B^{t+\delta t}$, $A^{t+\delta t}$ sustituyendo los valores 000 por 001.

11.4 Diseño de un Contador Síncrono

Los contadores módulo ocho y cinco, (es decir binarios o no binarios síncronos) han sido diseñados a partir de principios básicos ya estudiados en los apartados anteriores y es conveniente en este momento de resumir los pasos de diseño en forma del siguiente algoritmo.

1. Definir la secuencia de conteo.
2. Construir una tabla de estado para el contador donde la columna de la izquierda es el estado actual, y la columna de la derecha son los correspondientes estados siguientes (esta tabla pasará a convertirse en una tabla de transiciones cuando se añadan los valores de las entradas de los flip-flop).
3. Cualquier estado no utilizado debe situarse en la columna de estado actual de la tabla de estado y debe tener, para su siguiente estado, el estado inicial de la secuencia de conteo, por lo general 000.
4. Se selecciona el tipo de flip-flops (D, JK, o RS) y el número de flip-flops que se utilizará, teniendo en cuenta que $2^n \geq p$, donde n es el número de flip-flops salidas y p es el módulo de la secuencia de conteo.
5. Tabular las entradas del flip-flop para cada cambio de estado del contador según su la tabla de estado (tabla de transiciones).
6. Pasar las señales de entrada de los flip-flops a mapas de Karnaugh.
7. Simplificar las señales de entrada de los flip-flops siempre que sea posible.
8. Implementar el contador, incluyendo el reloj y las señales asíncronas de *clear*. Normalmente el valor inicial será el estado 0 y es fácil con el *clear* pasar a ese estado de inicio cuando se encienda el contador.

Aunque los FFDs (flip-flops D) se pueden utilizar para el diseño de contadores síncronos, el diseñador debe de reconocer que las transiciones de flip-flop se toman directamente de las entradas de estado siguiente y por lo tanto no existen *no importa* disponibles para la simplificación de las funciones de entrada del flip-flop, y esto conduce a una lógica más compleja. Esto puede comprobarse en el diseño de un contador módulo 10 realizado con FFJK como muestra la Figura 11.9 como con FFD como se muestra en la Figura 11.10.

Siguiendo los pasos establecidos en el algoritmo, se ha diseñado un contador de décadas ascendente. El diagrama de estados, tabla de estado, la tabulación de las señales de entrada JK y sus mapas de Karnaugh correspondientes, y la implementación del contador son mostrados en la Figura 11.9. Se sugiere que como un ejercicio de diseño lógico, se compruebe la validez de este diseño.

Lo normal es que una cuenta BCD tenga que visualizarse en forma decimal. La representación decimal más simple posible se obtiene mediante el uso de un descodificador de 4 a 10 líneas. Las diez salidas del descodificador puede ser activas en alto o bajo activo, en función del descodificador MSI seleccionado. Sin embargo, este método sólo da una indicación de que un dígito decimal en particular ha sido recibido. Lo realmente normal es utilizar un descodificador BCD/siete-segmentos. En este caso, el dígito decimal recibido se mostrará como un dígito decimal visualizado en el *display* siete segmentos.

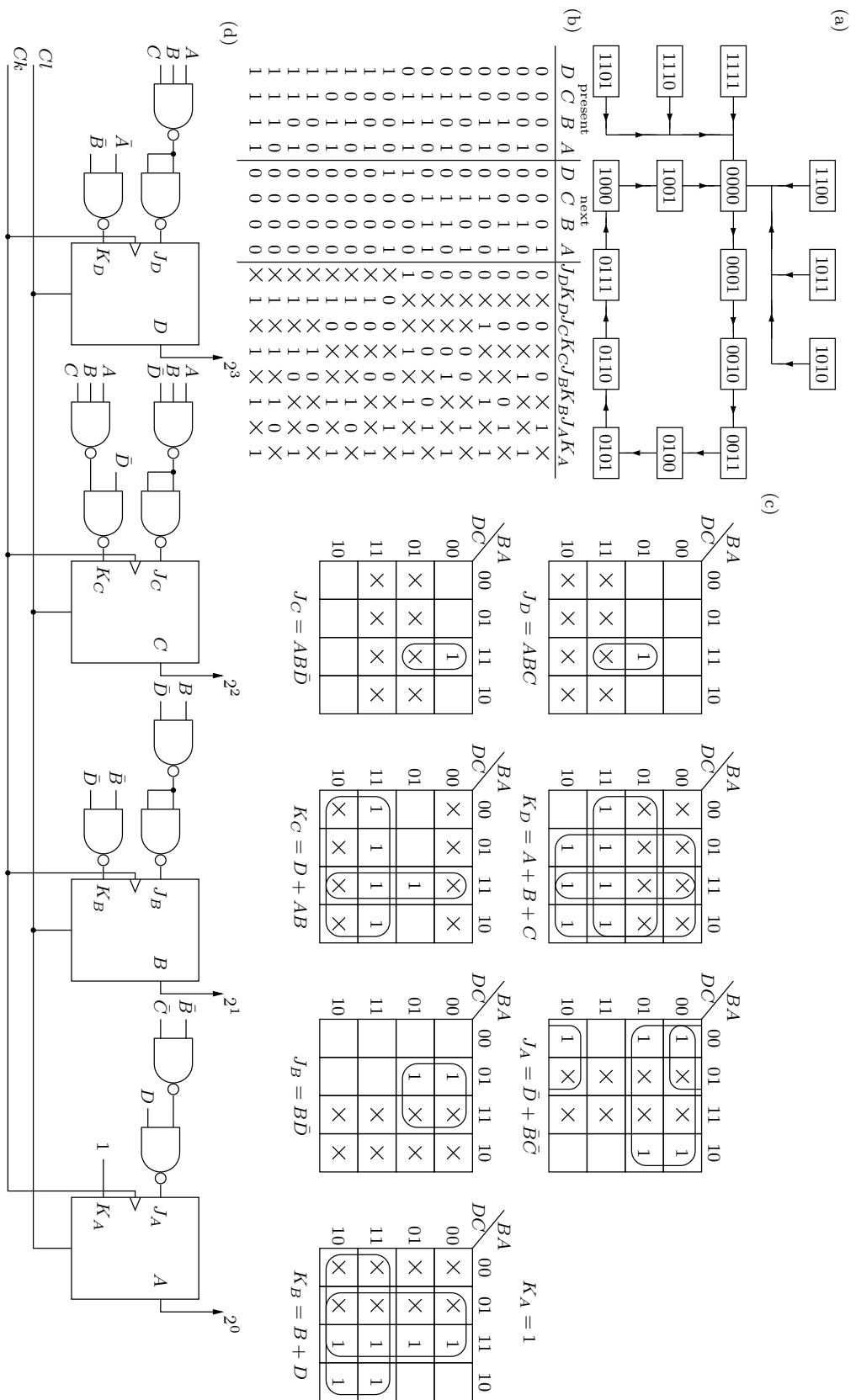


Figura 11.9: Contador módulo 10 realizado con flip-flops JK (a) Diagrama de estados (b) Tabla de estados (c) Mapas de Karnaugh para las entradas de los flip-flops (d) Implementación del circuito

Cuestiones y Ejercicios Resueltos

Ej. 330 — ¿Porqué los contadores síncronos de esta sección utilizan la entrada asíncrona *clear*?

Solución (Ej. 330) — Para poder poner el contador en un estado inicial (normalmente 000) en cualquier momento.

Ej. 331 — ¿Por qué los contadores diseñados con flip-flops D disponen de una lógica mas compleja que los flip-flops JK o RS?

Solución (Ej. 331) — La tabla de transición del flip-flop D no disponen sus entrada de posibles no importa a diferencia de la tabla de transiciones de los JK o RS.

Ej. 332 — Diseñar un contador módulo 10 ascendente mediante flip-flops D. Los estados no usados transicionarán al estado inicial (0000) en el siguiente ciclo de reloj.

Solución (Ej. 332) — El diagrama de estados, tabla de estado, la tabulación de las señales de entrada D y sus mapas de Karnaugh correspondientes, y la implementación del contador son mostrados en la Figura 11.10. Sólo una consideración más, las funciones de las entradas *D* están implementadas exclusivamente mediante puertas NAND. Por tanto quedaría sólomente indicar como se obtienen esa implementación exclusivamente con puertas NAND de las entradas *D*.

$$D_D = \bar{D}CBA + D\bar{C}\bar{B}\bar{A} = \overline{\overline{\bar{D}CBA} + \overline{D\bar{C}\bar{B}\bar{A}}} = \overline{\bar{D}CBA} \overline{D\bar{C}\bar{B}\bar{A}}$$

$$D_C = \bar{D}\bar{C}BA + \bar{D}C\bar{B} + \bar{D}C\bar{A} = \overline{\overline{\bar{D}\bar{C}BA} + \overline{\bar{D}C\bar{B}} + \overline{\bar{D}C\bar{A}}} = \overline{\bar{D}\bar{C}BA} \overline{\bar{D}C\bar{B}} \overline{\bar{D}C\bar{A}}$$

$$D_B = \bar{D}\bar{B}A + \bar{D}B\bar{A} = \overline{\overline{\bar{D}\bar{B}A} + \overline{\bar{D}B\bar{A}}} = \overline{\bar{D}\bar{B}A} \overline{\bar{D}B\bar{A}}$$

$$D_A = \bar{D}\bar{A} + \bar{C}\bar{B}\bar{A} = \overline{\overline{\bar{D}\bar{A}} + \overline{\bar{C}\bar{B}\bar{A}}} = \overline{\bar{D}\bar{A}} \overline{\bar{C}\bar{B}\bar{A}}$$

11.5 Contadores de Código Gray

Si se considera una transición desde el estado 0001 hasta 0010 en un contador no binario de décadas y se supone que los cambios de estado del FFB (flip-flop B) se producen más rápido que los del FFA (flip-flop A), entonces la secuencia de los cambios que se producen es el siguiente:

DCBA
0 0 0 1

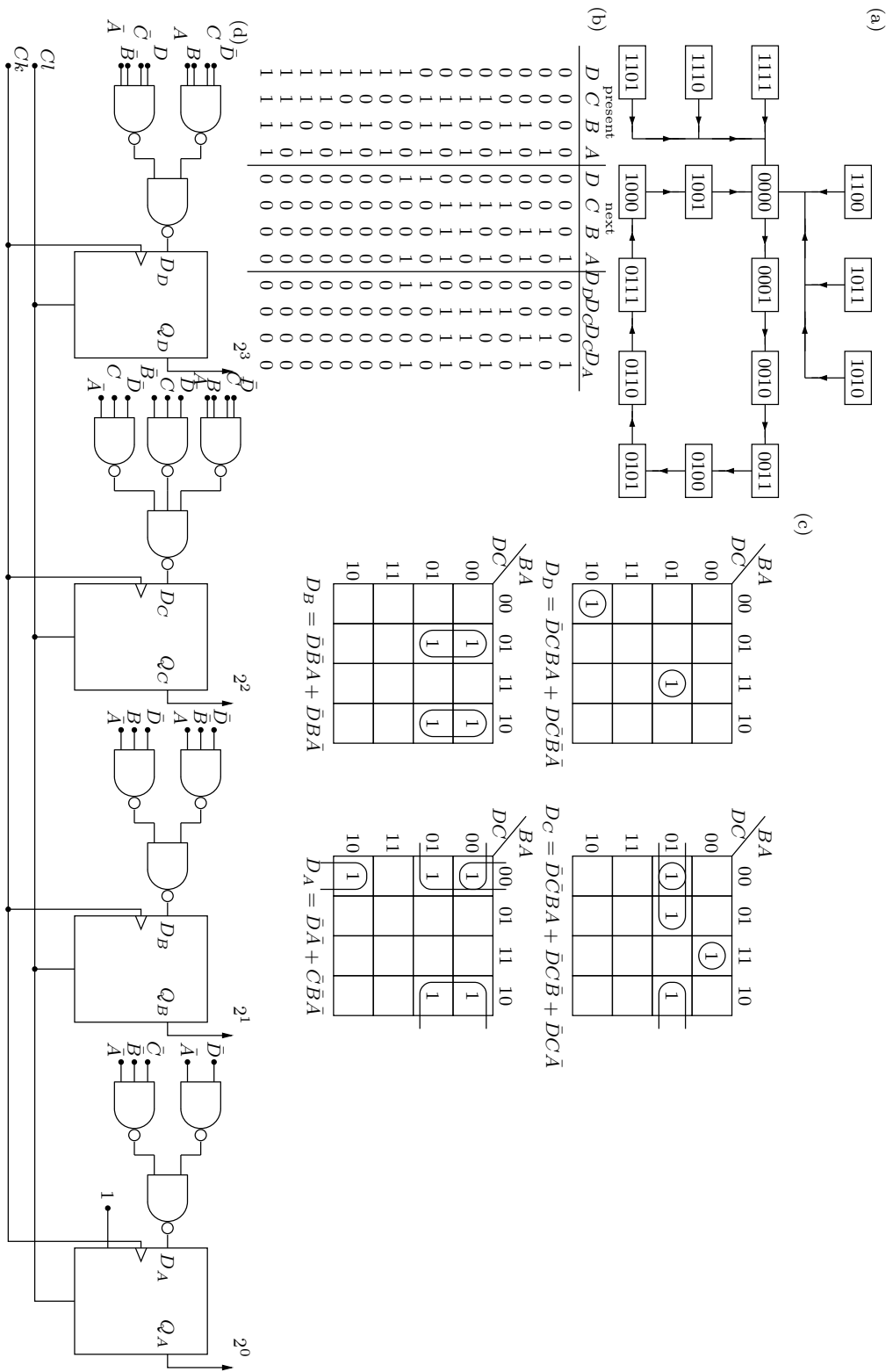


Figura 11.10: Contador módulo 10 realizado con flip-flops D (a) Diagrama de estados (b) Tabla de estados (c) Mapas de Karnaugh para las entradas de los flip-flops (d) Implementación del circuito

0 0 1 1 (estado transitorio)
 0 0 1 0

Si un decodificador de 4 a 10 líneas se utiliza para convertir la salida binaria del contador a una representación decimal, un pico se producirá en la salida $(3)_{10}$, y esta operación sería claramente un funcionamiento incorrecto del circuito. Esto puede ocurrir en cualquier punto de la secuencia de conteo, donde más de un flip-flop (o bit) necesita cambiar de estado durante una transición. Estos fallos de funcionamiento pueden ser eliminados mediante el uso de un contador de código Gray en donde sólo un flip-flop (o bit) cambia de estado en cada transición.

Hay una serie de códigos Gray adecuados para contar décadas y pueden ser desarrollados por el trazado de un camino cerrado en un mapa de Karnaugh que dispone de diez celdas adyacentes. Dos de estos ejemplos se muestran en la Figura 11.11. Ambos reflejan códigos binarios, el primero, en la Figura 11.11 (a), donde se refleja alrededor de 110, la primera combinación en esta secuencia es 0000, mientras que el segundo, en la Figura 11.11 (b) se refleja alrededor de 100, la primera combinación en la secuencia es 0100.

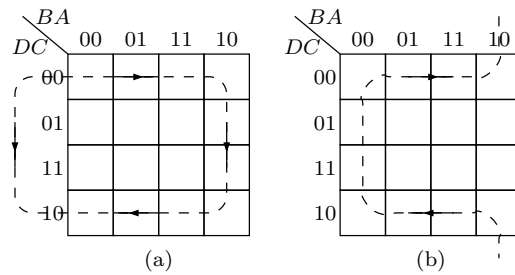


Figura 11.11: Caminos alternativos (a) y (b) para obtener un Código de Gray a través de mapas de Karnaugh.

Por lo tanto, se puede diseñar un contador por ejemplo usando el código Gray establecido en la Figura 11.11 (a). Todos los estados no utilizados deberán ser devueltos a la combinación inicial de conteo. Esto asegurará que si el contador entra en uno de los estados no utilizados debido a un fallo en el funcionamiento del contador, éste volverá a contar con su secuencia correcta después de la recepción de un solo pulso de reloj. La tabla de estado proporciona las transiciones para cada uno de los flip-flops JK (FFJK) cuando el contador progresa de un estado a otro, y con la ayuda de la tabla de transiciones del FFJK (ver Figura 11.1), se pueden obtener en cada transición las señales de entrada del flip-flop (J y K). Estas señales están tabuladas en la parte derecha de la tabla de estado. Ocho mapas de Karnaugh son necesarios, uno para cada una de las señales de entrada de los flip-flop. Después de la simplificación de estos mapas se obtienen las entradas J y K . El diagrama de estado, la tabla de estado, mapas de Karnaugh e implementación del contador se muestran en la Figura 11.12.

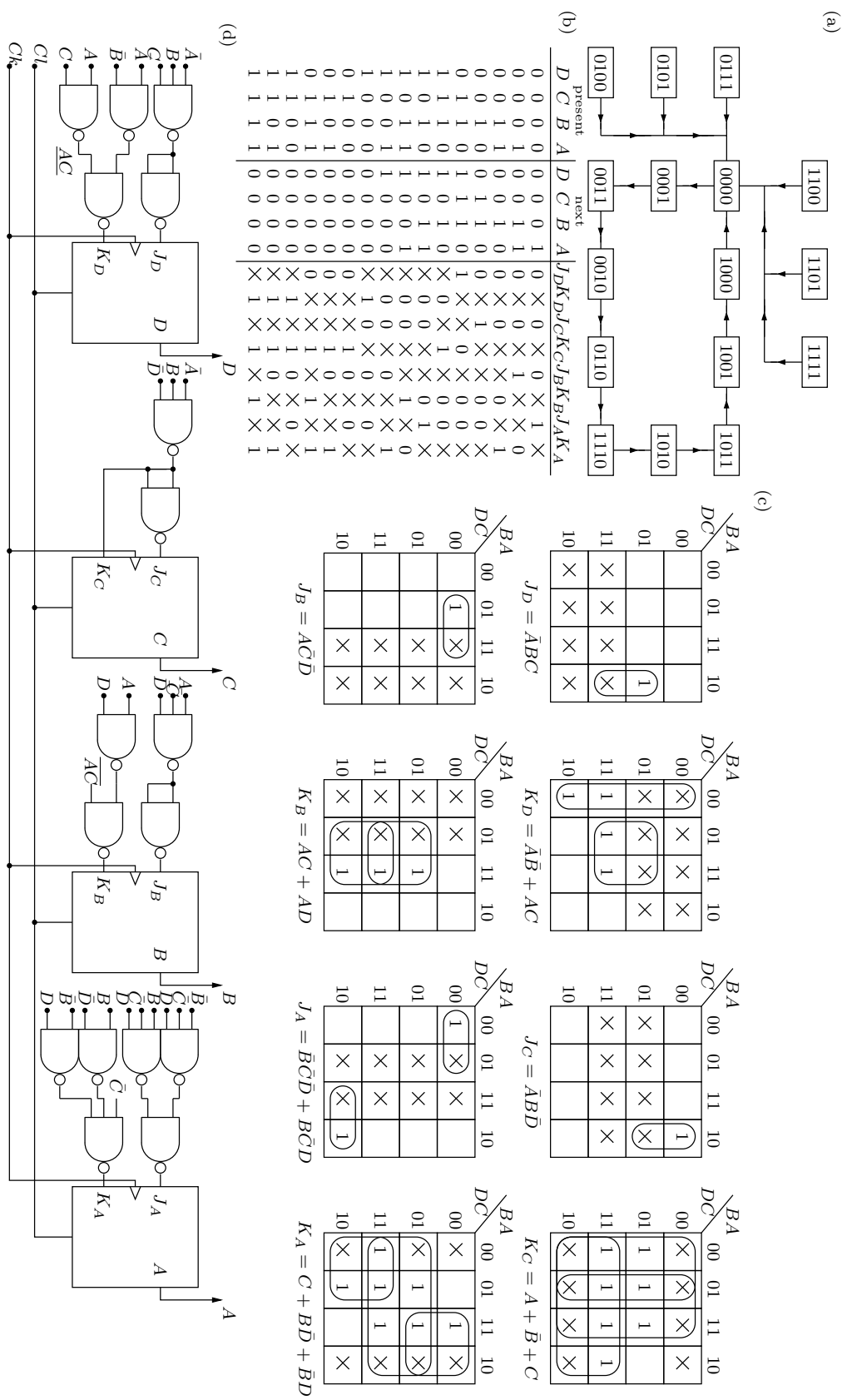


Figura 11.12: Contador módulo 10 código de Gray realizado con flip-flops JK (a) Diagrama de estados (b) Tabla de estados (c) Mapas de Karnaugh para las entradas de los flip-flops (d) Implementación del circuito

Cuestiones y Ejercicios Resueltos

Ej. 333 — Diseñar un contador usando el código Gray establecido en la Figura 11.11(b) utilizando flip-flops tipo D y puertas NAND. Todos los estados no utilizados deberán ser devueltos a la combinación inicial de conteo.

Solución (Ej. 333) — La respuesta se muestra en la Figura 11.13 donde se muestra el diagrama de estado, la tabla de estado, mapas de Karnaugh e implementación del contador. Por tanto quedaría sólo indicar como se obtienen esa implementación exclusivamente con puertas NAND de las entradas D :

$$D_D = D\bar{C} + B\bar{A} + CA = \overline{\overline{D\bar{C} + B\bar{A} + CA}} = \overline{\overline{D\bar{C}} \overline{B\bar{A}} \overline{CA}}$$

$$D_C = D\bar{B}\bar{A} = \overline{\overline{D\bar{B}\bar{A}}}$$

$$D_B = B\bar{A} + \bar{D}A + CA = \overline{\overline{B\bar{A} + \bar{D}A + CA}} = \overline{\overline{B\bar{A}} \overline{\bar{D}A} \overline{CA}}$$

$$D_A = \bar{D}\bar{B}\bar{A} + D\bar{C}B = \overline{\overline{\bar{D}\bar{B}\bar{A} + D\bar{C}B}} = \overline{\overline{\bar{D}\bar{B}\bar{A}} \overline{D\bar{C}B}}$$

Ej. 334 — Para el contador que usando el código Gray establecido en la Figura 11.11 (b) que implicaría activar la línea asíncrona *clear*.

Solución (Ej. 334) — Implicaría poner el contador Gray al estado 0000. Este estado no es inicial pero si uno de los admitidos.

Ej. 335 — Para el contador que usa el código Gray establecido en la Figura 11.11 (b) ¿Como se podría restablecer el primer estado?

Solución (Ej. 335) — Para poder restablecer el estado del contador al primer estado inicial se debe utilizar no sólo las entradas *clear* sino las *preset* también. En concreto como el estado inicial es $DCBA = 1010$ se debe utilizar las entradas *clear* en el flip-flop C y A y la entradas *preset* en D y B.

11.6 Contadores Binarios Asíncronos

El tipo más simple de contador es el contador *ripple through* o contador asíncrono. Para este tipo de contador los flip-flops individuales no son controlados por un único pulso de reloj, o pulso de reloj síncrono. La retirada de la sincronización producida por el reloj reduce la cantidad de circuitos necesarios para la ejecución del contador. Para las cuentas que son potencias de 2, el contador se compone de una cascada de TFFs (o flip-flops tipo T) con $T = 1$ o bien JKFFs (o flip-flops tipo JK) con $J = K = 1$, como se muestra en la Figura 11.14(a). La salida de cada flip-flop

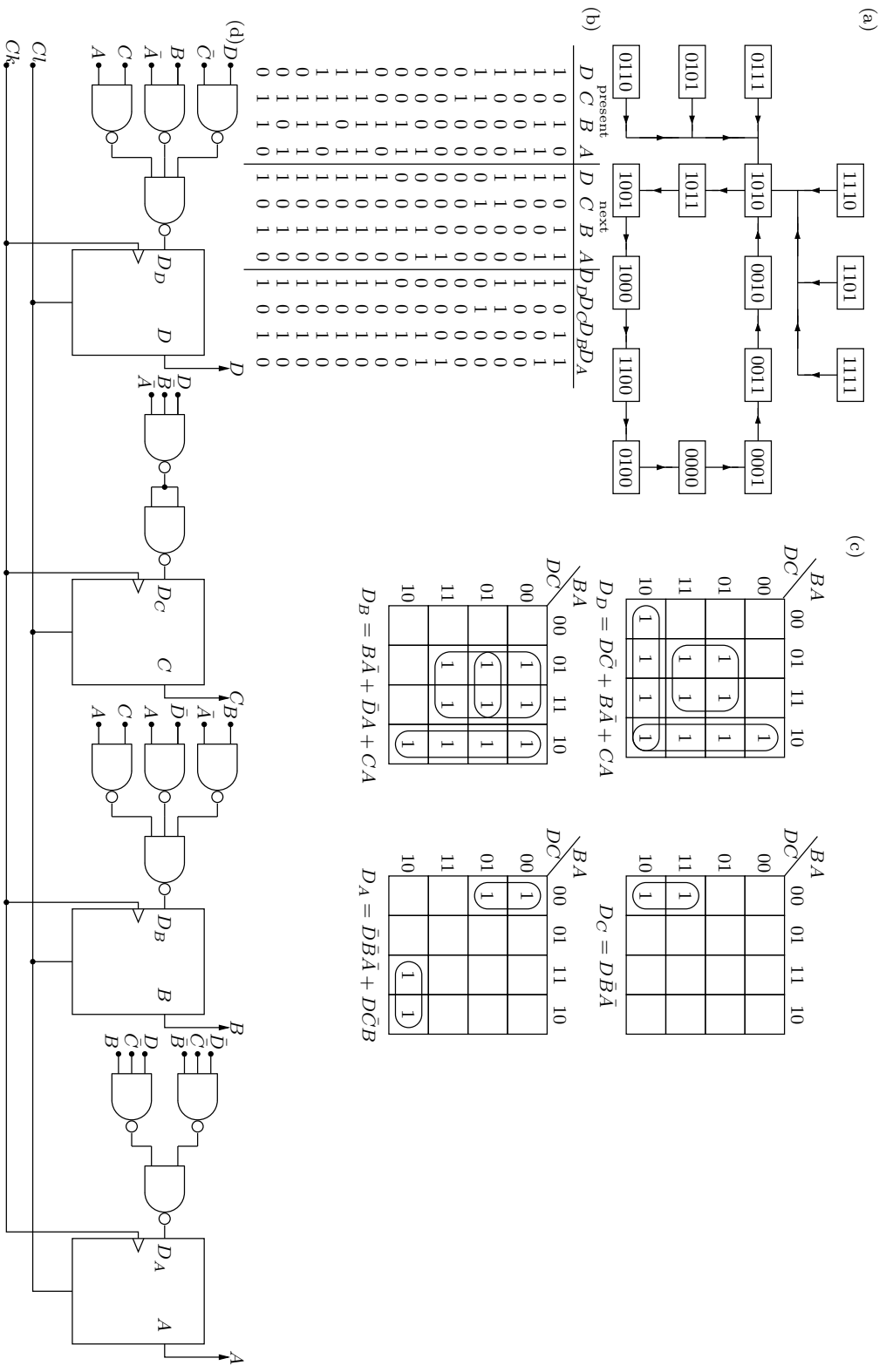


Figura 11.13: Contador módulo 10 código de Gray realizados con flip-flops D (a) Diagrama de estados (b) Tabla de estados (c) Mapas de Karnaugh para las entradas de los flip-flops (d) Implementación del circuito

proporciona la señal de reloj para el siguiente flip-flop en la cadena y los pulsos de la señal de entrada se conectan con el reloj de la primera etapa del contador. Los diagramas de tiempo para un contador módulo ocho hacia adelante se muestra en la Figura 11.14(b), donde todos los cambios de estado tienen lugar en el flanco de bajada (*trailing edge*) de los pulsos aplicados a los terminales de reloj de los tres flip-flops *A*, *B*, y *C*. Los diagramas de tiempo muestran los cambios de estado del FFA en cada flanco de bajada de la entrada de pulsos *X*.

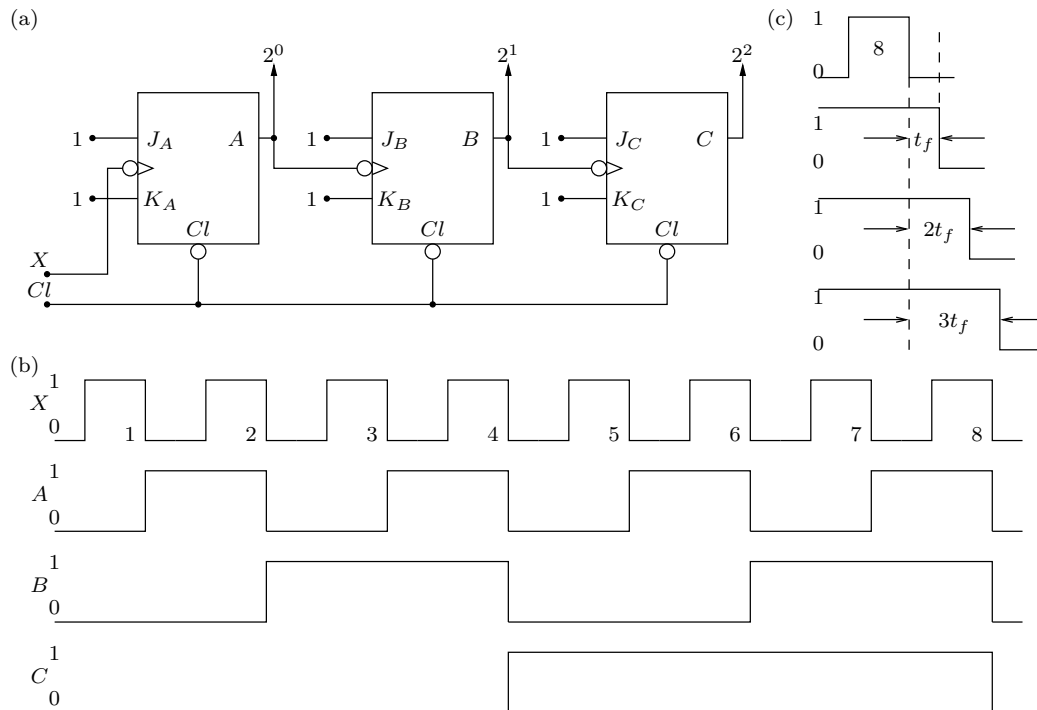


Figura 11.14: Contador *ripple through* (a) implementación (b) diagramas de tiempo (c) efecto del *ripple through* en el contador

La salida del FFA se utiliza como pulso de reloj para el FFB, y un cambio de estado del flip-flop se produce en el flanco de bajada de los pulsos *A*. Del mismo modo, la salida del FFB proporciona un pulso del reloj para el FFC y este flip-flop cambia de estado en el flanco de bajada de los pulsos *B*. Los diferentes estados del contador, y los dígitos binarios asociados a cada estado están marcados en los diagramas de tiempo.

Un contador módulo ocho es también un circuito divisor de frecuencia. Una inspección de los diagramas de tiempo muestra que la salida de FFC produce un pulso por cada ocho pulsos de la entrada *X*. Se sigue que si la frecuencia de los pulsos de entrada es *f* entonces la frecuencia en la salida del FFC es *f*/8. Del mismo modo, la salida de FFB es *f*/4 y la salida del FFA es *f*/2. Cada etapa de este contador divide la frecuencia de la etapa siguiente por dos.

El comportamiento ideal del contador se muestra en la Figura 11.14. En el flanco de bajada del octavo pulso de entrada, la salida de los tres flip-flops están

cambiando al mismo tiempo de 1 a 0. En la práctica, esta onda de cambio (*ripple*) pasa a través (*through*) del contador donde FFA no cambia a 0 hasta que pase el tiempo t_f , retardo de propagación de FFA, después de que llegue el flanco de bajada del octavo pulso de X . Del mismo modo, FFB y FFC cambian en los tiempos $2t_f$ y $3t_f$, respectivamente, después de ser contados ocho flancos de bajada del pulso. Si un contador *ripple through* o contador asíncrono tiene n etapas, entonces el máximo retardo del contador es nt_f . Suponiendo que el período de los pulsos de entrada de X es T , entonces:

$$T \geq nt_f$$

y la frecuencia superior límite del contador es dada por:

$$f_u = 1/T \leq 1/nt_f$$

Después de modificar el contador ascendente, que se muestra en la Figura 11.14, de modo que las señales \bar{A} y \bar{B} se utilizan como señales de reloj para FFB y FFC, respectivamente, el circuito funcionará como un contador módulo 8 descendente. Para poder contar de forma ascendente/descendente es necesaria una modificación adicional. Para ello se utilizan puertas XOR para la transmisión de las señales *true* o *false* a partir de los resultados de los FFA y FFB a las etapas siguientes del contador, como se muestra en la Figura 11.15. Si el modo de control M se establece a 0, A y B se transmiten a las entradas de reloj de FFB y FFC, respectivamente, proporcionando una cuenta ascendente. Para $M = 1$, A y B son invertidos antes de la transmisión a las etapas posteriores y esto proporciona un modo de cuenta descendente. La inicialización del contador es proporcionada por las entradas activa en baja de *clear*, \bar{Cl} .

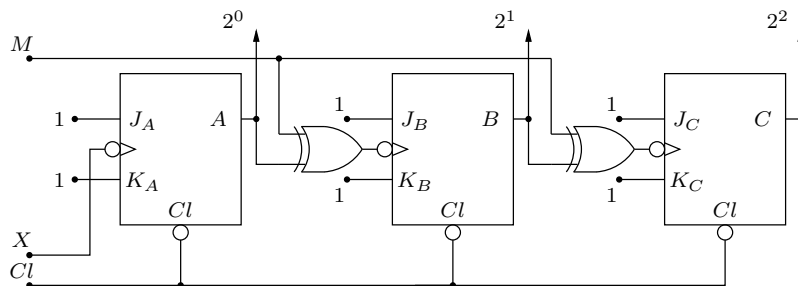


Figura 11.15: Contador módulo 8 asíncrono reversible

Cuestiones y Ejercicios Resueltos

Ej. 336 — ¿Cuál es la gran ventaja e inconveniente de los contadores binarios asíncronos sobre los contadores binarios síncronos?

Solución (Ej. 336) — La gran ventaja que proporciona la retirada de la sincronización es la de reducir la cantidad de circuitos necesarios para la ejecución del

contador. El principal inconveniente es que la frecuencia superior límite de funcionamiento viene dada por el número de etapas que contiene. Es decir a mayor número de etapas menor frecuencia de funcionamiento.

Ej. 337 — ¿Cual es la frecuencia máxima de funcionamiento de un contador asíncrono binario modulo 8 con un retardo de propagación de 12 ns?

Solución (Ej. 337) — La respuesta simplemente consiste en saber cuantas etapas tiene el contador modulo 8 (3 etapas, $2^3 \geq 8$) y sustituir en la formula $f_u = \frac{1}{nt_f} = \frac{1}{3 \times 12 \cdot 10^{-9}} = 27777777,77 \simeq 28 \text{ MHz}$

Ej. 338 — Dibuje y explique de forma detallada el diagrama de tiempos para el circuito de la Figura 11.15 cuando $M = 0$ y se parte del estado 000. Considere despreciable los retardos en las puertas XOR.

Solución (Ej. 338) — Cuando la entrada $M = 0$ la entrada de reloj de cada flip-flop sigue la salida del anterior. En este caso la existencia de la puerta XOR no modifica el funcionamiento en cuenta ascendente del circuito binario asíncrono módulo 8 y el cronograma o diagrama de tiempos es idéntico al de la Figura 11.14(b). Ahora bien, cuando $M = 1$, la entrada de reloj del flip-flop recibe la salida invertida (debido a la inversión que introduce la puerta XOR) del anterior. Esto implica, primero que la salida A sea independiente y siempre cambiará en cada transición en baja del reloj X , y segundo que a todos los efectos, los cambios en el flip-flop B se producirán en los flancos de subida de la señal de salida A . Por la misma razón y del mismo modo, la señal C cambiará en los flancos de subida de la señal B y no en los de bajada. Por lo tanto, y como se muestra en la Figura 11.16 esto equivale a una cuenta hacia atrás a partir de 000.

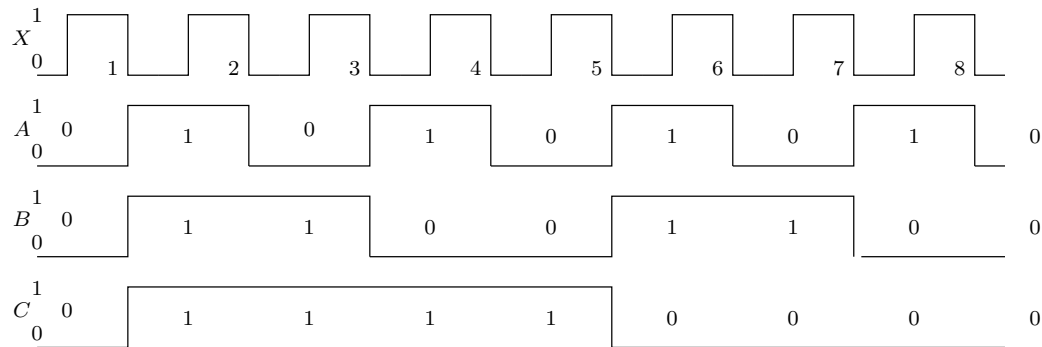


Figura 11.16: Contador *ripple through* descendente. Diagrama de tiempos.

11.7 Descodificación de Contadores Asíncronos

Pueden aparecer problemas de descodificación en los contadores asíncronos debido a los diferentes tiempos de retardo que ocurren en las salidas de cada uno de los flip-flops que conforman la cadena del contador. Si se considera, por ejemplo, la

transición del estado $CBA = 001$ a $CBA = 010$ en un contador asíncrono módulo 8 ascendente, la secuencia de los cambios que se producen es:

CBA
 0 0 1
 0 0 0 (estado transitorio)
 0 1 0

El flip-flop A, el menos significativo, realiza la transición de 1 a 0 antes que cambie el siguiente flip-flop mas significativo, flip-flop B, de 0 a 1. Durante el período transitorio un pico o *glitch* aparece en la salida de la puerta que decodifica $(0)_{10}$. La generación del *glitch* se muestra en la Figura 11.17.

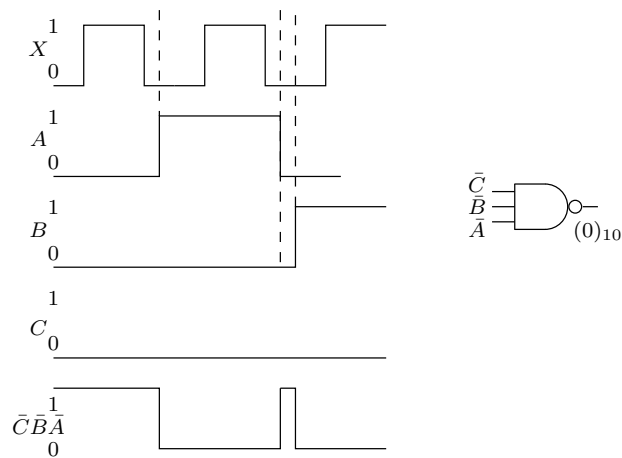


Figura 11.17: Generación de un *glitch* o pico por un contador asíncrono al producirse un estado transitorio por diferencias en los tiempos de retardo de las salidas de los flip-flops.

En algunas etapas de la cuenta, más de un estado transitorio puede ocurrir. Si se considera la posible secuencia de cambios que pueden tener lugar cuando CBA cambia de 011 a 100:

CBA
 0 1 1
 0 1 0 (estado transitorio)
 0 0 0 (estado transitorio)
 1 0 0

En este caso los estados transitorios generan *glitches* en las salidas de las puertas que decodifican $(0)_{10}$ y $(2)_{10}$.

Si los circuitos se van a utilizar para proporcionar una presentación visual, los picos o *glitches* generados con un período de tiempo muy corto no se mostrarán en el *display* y no tendrán ninguna consecuencia. Sin embargo, si el contador se utiliza para el control de algunos circuitos digitales, los *glitches* pueden producir

una operación del circuito errónea y por tanto el diseñador debe tomar medidas para eliminar su efecto. El problema puede ser superado mediante la generación de un pulso *strobe* o de habilitación que desactiva todas las puertas de decodificación cuando el reloj pasa a alto. En $3t_f$, cuando los tres flip-flops han alcanzado su estado final, el pulso de habilitación está en alto y habilita la puertas para la decodificación. La línea *strobe* se mantiene alta hasta que llegue el flanco del siguiente pulso de reloj. Esta secuencia de eventos se ilustra en la Figura 11.18.

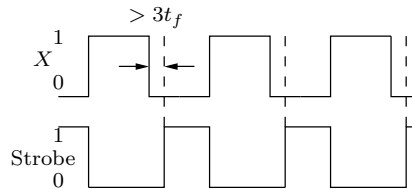


Figura 11.18: Eliminación de *glitches* o picos utilizando una señal de *strobe*

Cuestiones y Ejercicios Resueltos

Ej. 339 — ¿A que son debidos los problemas de descodificación de los contadores asincronos?

Solución (Ej. 339) — Fundamentalmente es debido a la aparición de pequeños estados transitorios donde el contaje del contador se ve modificado. Estos estados transitorios se producen debido a los diferentes tiempos de retardo de los flip-flops. Estos estados transitorios llevan generalmente asociados un *glitch* o pico debido a la desincronización producida por los retardos.

Ej. 340 — ¿Indique en la cuenta binaria asíncrona módulo 8 en que situaciones pueden aparecer estados transitorios? Se supone que el flip-flop A es mucho más rápido que el FFB y este mucho más rápido que el FFC.

Solución (Ej. 340) — Para saber donde pueden aparecer estados transitorios que produzcan *glitches* debemos conocer cuales son todos los posibles estados transitorios. Suponiendo que el flip-flop FFA es mucho mas rápido que el FFB y este mucho mas rápido que el FFC.

CBA
 0 0 0
 0 0 1
 0 0 0 (estado transitorio)
 0 1 0
 0 1 1
 0 1 0 (estado transitorio)
 0 0 0 (estado transitorio)
 1 0 0
 1 0 1

1 0 0 (estado transitorio)
1 1 0
1 1 1

Ej. 341 — ¿Indique cual es el funcionamiento de la línea *strobe* en este tipo de descodificación?

Solución (Ej. 341) — El problema puede ser superado mediante la generación de un pulso *strobe* o de habilitación que desactiva todas las puertas de descodificación cuando el reloj pasa a alto. Para ello, la línea *strobe* se debe activar (pasar a alto) un pequeño tiempo después que la línea de reloj pase a bajo (por ejemplo tres veces el tiempo de retardo, $3t_f$) y mantenerse durante todo el tiempo de *duty cycle off*. Durante este tiempo, cualquier alteración en la línea será transparente al dispositivo que ataca.

11.8 Contadores Asíncronos Reajustables

Un contador reajutable asíncrono se puede utilizar cuando los módulos no necesitan ser potencia de 2, es decir no necesitan ser binarios. A un contador módulo N de este tipo se le permite contar hasta el número N. Una señal lógica, que comprueba que se alcanza este número, se emplea para modificar el estado de todos los flip-flops del contador normalmente a través de sus entradas asíncronas. El diagrama de estado para un contador módulo cinco reajutable se muestra en la Figura 11.19 (a). El contador permanece en cada uno de los primeros cinco estados por un periodo de reloj, pero al entrar en S_5 , en el sexto estado (101), una señal de reinicio $r = \overline{A\bar{B}C}$ es generada por una puerta NAND que a su vez alimenta las entradas asíncronas de *clear*. La implementación del circuito y los diagramas de tiempo se muestran en las Figura 11.19 (b) y (c).

Los tiempos de reinicio de los flip-flops individuales en el contador pueden ser muy diferente. Por ejemplo, en el circuito descrito, FFA podría restablecerse más rápido que FFC. La señal negativa de restablecimiento dejará de existir cuando FFA se borre y, simplemente, no es lo suficientemente amplia como para restablecer FFC. Este problema puede ser superado por el mantenimiento (retención) de la señal de reinicio hasta que el flanco de subida del sexto pulso de reloj llegue, según lo indicado por las líneas punteadas en los diagramas de tiempo. Un diagrama de estado adecuado para el circuito de retención (*latching circuit*) se muestra en la Figura 11.19 (d).

La implementación del circuito de retención se desarrolla con el siguiente razonamiento. La condición de encendido (*turn-on*, o *actúa sobre la entrada asíncrona de clear*) de Q es $S = \overline{A\bar{B}C}$. La condición de apagado (*turn-off*, o *actúes sobre la entrada asíncrona clear*) para Q es $R = X$, esto produce $Q^{t+\delta t} = (\overline{A\bar{B}C} + \bar{X}Q)^t$

Esta suma de productos de nivel 2 se muestra implementado en la Figura 11.19 (e). Es, de hecho, la implementación de un *latch* $\bar{S}\bar{R}$ y la salida de la puerta marcada como 4 es la salida complementaria del *latch*. En este circuito, la salida Q de la puerta 3 se convierte en 1 cuando el contador entra en S_5 . De esto se deduce que

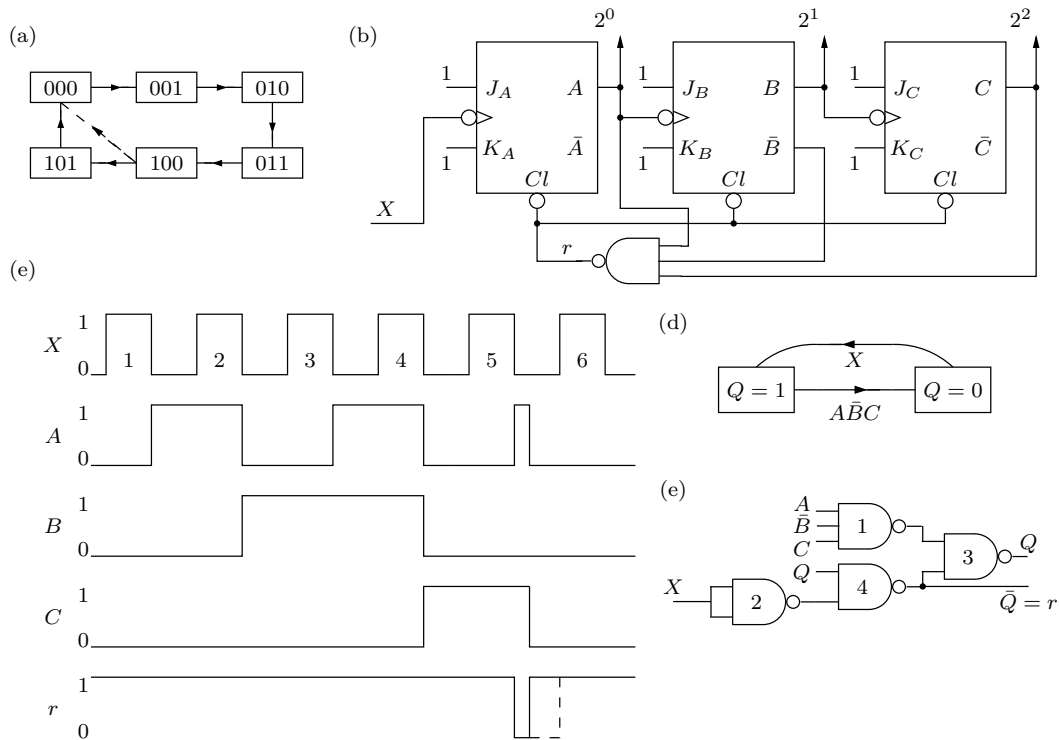


Figura 11.19: Contador asíncrono módulo 5 reajutable (a) diagrama de estado (b) Implementación (c) Diagrama de tiempos (d) Diagrama de estado para el circuito de retención (*latching circuit*) (e) implementación del circuito de retención (*latching circuit*)

Q se convierte en 0. Por lo tanto $\bar{Q} = r$ se utiliza para borrar los flip-flops en el contador. El circuito de retención se mantiene en este estado hasta que llega el sexto pulso de X . Esto restablece el flip-flop y $\bar{Q} = r$ se convierte en 1 de nuevo. El ciclo de funcionamiento del circuito de retención se ha completado cuando $A\bar{B}C$ se detecta de nuevo.

Cuestiones y Ejercicios Resueltos

Ej. 342 — Diseñe un contador módulo 6 asíncrono reajutable utilizando sus entradas *clear*.

Solución (Ej. 342) — La estrategia consiste en saber cual es el estado N (valor del módulo del contador, en este caso 6) que debe forzarse a que pase de forma inmediata a 000. Observando el diagrama de estados de la Figura 11.20(a) es fácil detectar cual es la combinación de entrada que debe impedirse forzando a que se alcance el estado 000 en este caso mediante la entrada asíncrona de *clear*. En concreto es la combinación que hace $N = 6$ es $S = \bar{A}BC$. Cuando se cumpla S , entonces de forma inmediata gracias a la entrada asíncrona *clear* todos los flip-flops pasarán al estado 0. El circuito de retención se diseña según está condición de encendido o ‘actúa sobre la entrada asíncrona’. La condición de apagado sería a su

vez $R = X$, esto produce $Q^{t+\delta t} = (\bar{A}BC + \bar{X}Q)^t$ donde $\bar{Q} = r$ se utiliza para borrar los flip-flops en el contador.

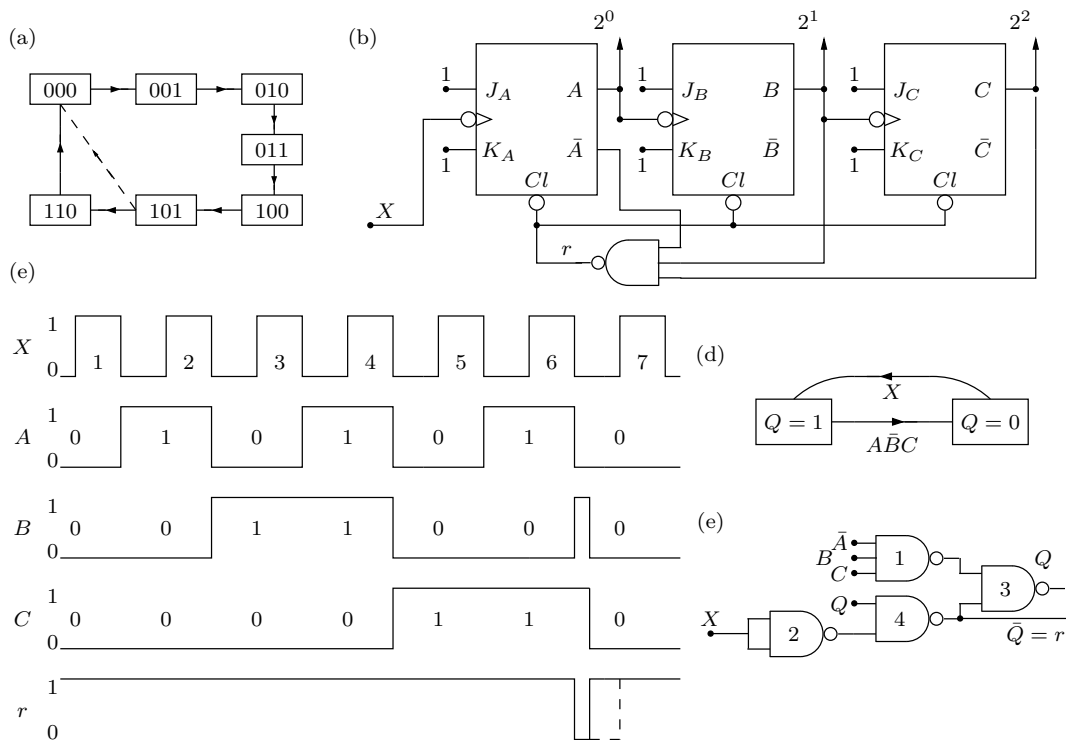


Figura 11.20: Contador asíncrono módulo 6 re-ajustable mediante *clear* (a) Diagrama de estado (b) Implementación (c) Diagrama de tiempos (d) Diagrama de estado para el circuito de retención (*latching circuit*) (e) Implementación del circuito de retención (*latching circuit*)

Ej. 343 — Diseñe un contador módulo 6 asíncrono re-ajustable utilizando sus entradas *preset*.

Solución (Ej. 343) — Ahora la estrategia es algo diferente. Ahora no hay que impedir el estado N , donde N es el valor módulo del contador, forzando a que se convierta en 000. Ahora hay que conseguir que del estado $N - 1$ se pase al estado 000 pasando transitoriamente por 111. Observando el diagrama de estados de la Figura 11.21(a) es fácil detectar cual es la combinación de entrada $N - 1 = 6 - 1 = 5 = (101)_2$ que debe pasar a 111 haciendo uso de la entrada asíncrona de *preset*. En concreto es la combinación $S = A\bar{B}CX$. Si se observa el diagrama de tiempos se puede comprobar como el estado $N - 1 = 101$ sólo esta vigente medio periodo de reloj. El otro medio periodo se utiliza para forzar el paso del contador por el último estado de la cuenta natural (111) lo que permite en la siguiente transición empezar de nuevo la cuenta en 000. Cuando se cumpla S , entonces de forma inmediata gracias a la entrada asíncrona *preset* todos los flip-flops pasarán al estado 1. El circuito de retención se diseña según está condición de encendido o ‘actúa sobre la

entrada asíncrona'. La condición de apagado sería a su vez $R = X$, esto produce $Q^{t+\delta t} = (A\bar{B}CX + \bar{X}Q)^t$ donde $\bar{Q} = r$ se utiliza para restablecer los flip-flops a 1 en el contador.

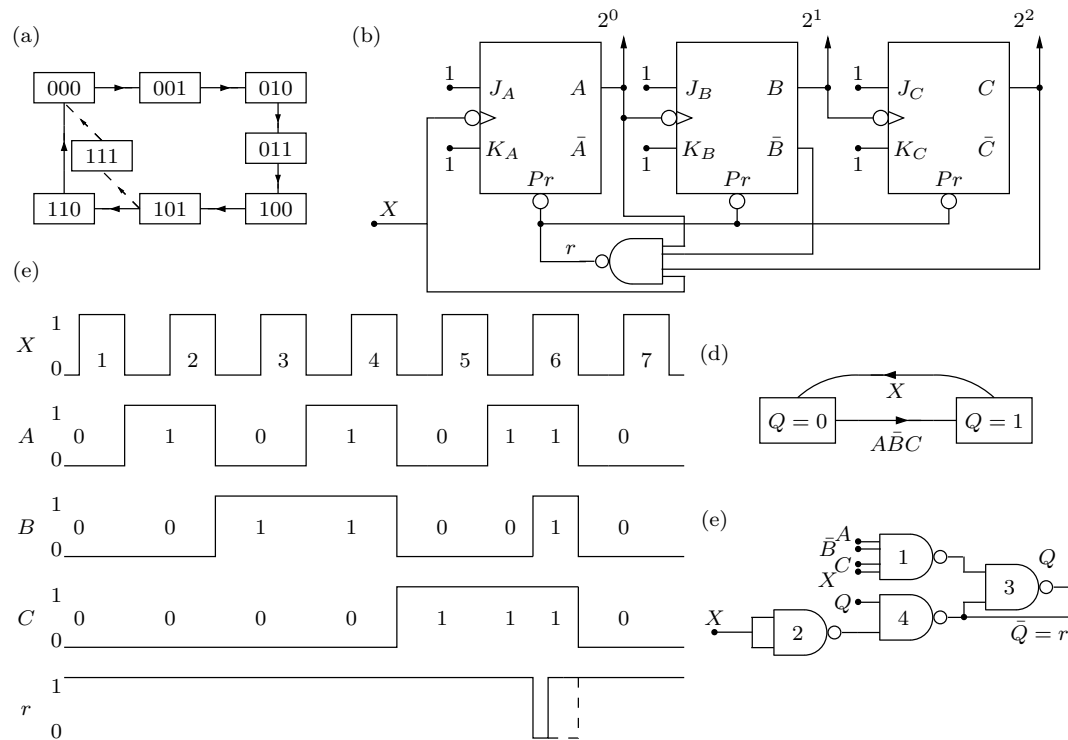


Figura 11.21: Contador asíncrono módulo 6 reajutable mediante *preset* (a) diagrama de estado (b) Implementación (c) Diagrama de tiempos (d) Diagrama de estado para el circuito de retención (*latching circuit*) (e) implementación del circuito de retención (*latching circuit*)

11.9 Contadores en Circuitos Integrados

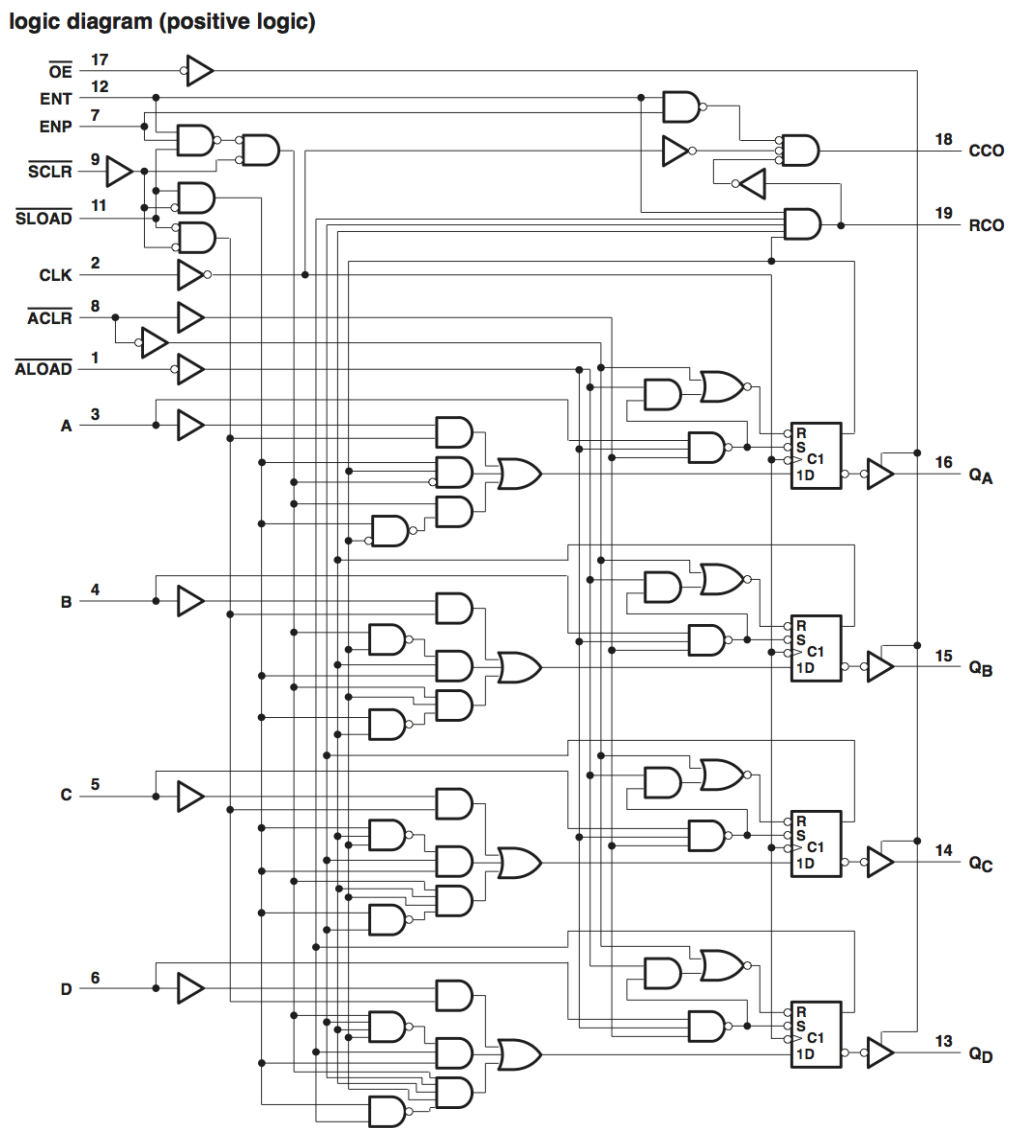
En la práctica, los contadores síncronos y asíncronos se pueden diseñar con flip-flops discretos JK, D y T. Sin embargo, los circuitos integrados de la serie 74 disponen de contadores en diferentes encapsulados. Para su uso en un sistema digital, el diseñador tiene que estudiar la hoja de datos del fabricante con detenimiento a fin de comprender los diversos modos de funcionamiento del circuito.

Un ejemplo típico de un contador síncrono con preestablecimiento (*synchronous presettable counter*) es el 74ALS561. El diagrama lógico del contador se muestra, junto con su tabla de funciones (tabla de verdad), en la Figura 11.22. Se compone de cuatro flip-flops D que operan en el flanco de subida de la señal de reloj. Los flip-flops cuentan con salida tri-estado que le permite ponerse en estado de alta impedancia cuando $\bar{OE} = 1$.

FUNCTION TABLE

INPUTS								OPERATION
\overline{OE}	\overline{ACLR}	\overline{ALOAD}	\overline{SCLR}	\overline{SLOAD}	ENT	ENP	CLK	
H	X	X	X	X	X	X	X	Q outputs disabled
L	L	X	X	X	X	X	X	Asynchronous clear
L	H	L	X	X	X	X	X	Asynchronous load
L	H	H	L	X	X	X	↑	Synchronous clear
L	H	H	H	L	X	X	↑	Synchronous load
L	H	H	H	H	H	H	↑	Count
L	H	H	H	H	L	X	X	Inhibit counting
L	H	H	H	H	X	L	X	Inhibit counting

(a)



(b)

Figura 11.22: 74ALS561 contador de cuatro bits síncrono con salida tri-estado (a) tabla de función (b) Diagrama lógico (cortesía de Texas Instruments)

La tabla de funciones demuestra que cuando el *clear* asíncrono, \overline{ACLR} es bajo, anula todas las otras entradas de control y sin condiciones borra los cuatro flip-flops. Por otra parte, cuando el *clear* síncrono, \overline{SCLR} pasa a nivel bajo, los flip-flops se borran en el flanco de subida del siguiente pulso de reloj. Los datos pueden ser cargados en el contador mediante los terminales A, B, C y D cuando la carga asíncrona, \overline{ALOAD} , es baja, de lo contrario si la carga síncrona, \overline{SLOAD} , pasa a nivel bajo, entonces los datos se cargan en los cuatro flip-flops D en el flanco de subida del siguiente pulso de reloj. El contador necesita que las señales habilitadoras *ENP* y *ENT* estén en alto para el conteo. *ENT* también proporciona la función adicional de habilitar la salida de acarreo *ripple* (*ripple carry output*, *RCO*) de puerta. Un acarreo de salida alternativa es proporcionado por la salida de carry de reloj (*cockled carry output*, *CCO*) de puerta, que, a diferencia de *RCO*, está libre de *glitches*. La conexión en cascada de los contadores se logra mediante la conexión de cualquiera de *RCO* o *CCO* al terminal *ENT* del siguiente contador de la cadena.

El 74176 es un ejemplo de un contador asíncrono con preestablecimiento. Un diagrama de la lógica de este dispositivo, junto con su tabla de funciones, se muestra en la Figura 11.23. Se compone de cuatro flip-flops disparados por flanco de bajada, dos de ellos TFFs y los otros dos JKFFs. La lógica para el borrado, carga y conteo es idéntico para cada uno de los cuatro flip-flops y es:

$$\overline{Pr} = \overline{\overline{\overline{\overline{R}} D C / \overline{L} \overline{R}}} = \overline{D} + C / \overline{L} + R$$

y la ecuación para borrar los flip-flops individuales es la siguiente:

$$\overline{Cl} = \overline{(C / \overline{L} + R)(\overline{D} + C / \overline{L} + R)}$$

que, después de simplificar, se reduce a:

$$\overline{Cl} = \overline{R}(C / \overline{L} + D)$$

Con el fin de borrar todos los flip-flops en el contador, la señal de restablecimiento \overline{RESET} (\overline{R}) debe estar en baja, y para el conteo \overline{RESET} y C / \overline{L} (count/load) debe de estar en alta.

Suponiendo que todos los flip-flops se borran, la cuenta sigue la secuencia binaria normal hasta la cuenta de nueve inclusive (1 0 0 1). En el flanco de bajada del décimo pulso de la entrada *X*, FFA hace una transición de $1 \rightarrow 0$, que normalmente produce una transición en el FFB, cambiando su estado de $0 \rightarrow 1$. Sin embargo, en este instante, $J_B = K_B = \overline{D} = 0$ y por lo tanto FFB permanece en la condición de restablecimiento, *reset*. En el mismo instante, también es necesario borra FFD. Ahora $J_D = BC = 0$ y $K_D = D = 1$, por lo tanto, cuando *A* hace una transición $1 \rightarrow 0$ en el flanco de bajada del décimo pulso de entrada *X*, FFD se restablece, (*reset*). Todos los flip-flops están ahora restablecidos a 0 y en espera de la llegada del siguiente pulso de entrada.

La salida del primer flip-flop, FFA, no esta internamente conectada a los flip-flops siguientes; esto por tanto permite que el conteo del 74176 tenga tres modos de funcionamiento:

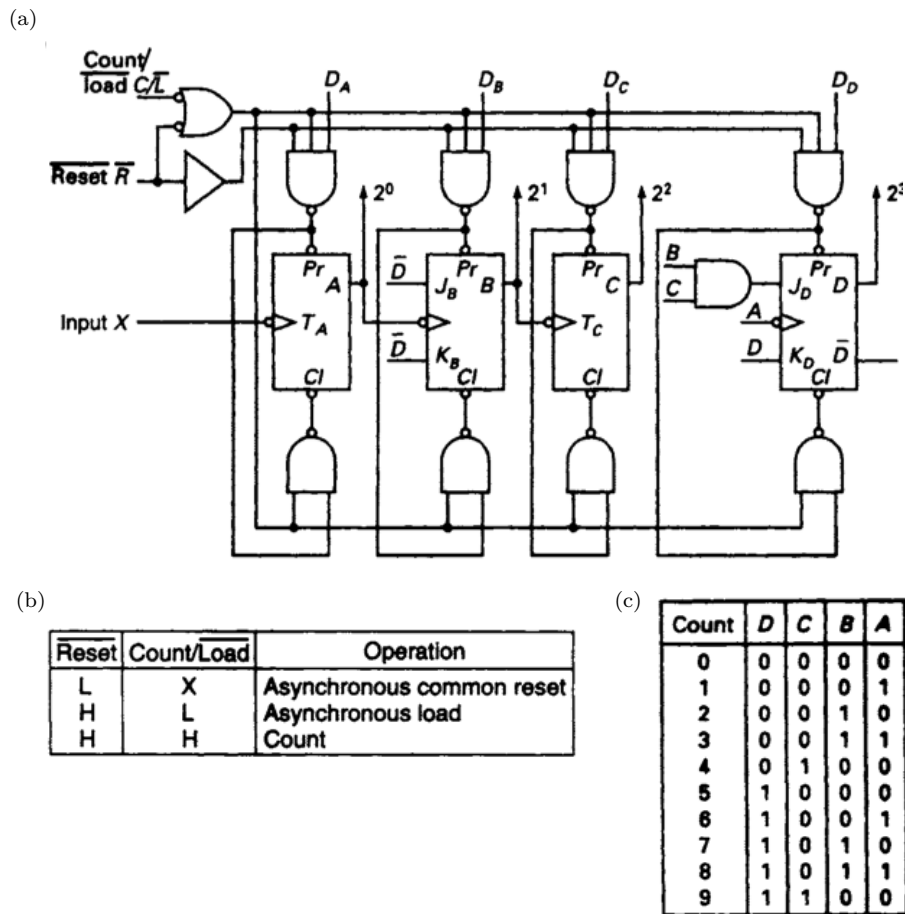


Figura 11.23: 74176 contador de cuatro bits asíncrono (a) diagrama lógico (b) tabla de función (c) secuencia conteo para el modo 2 (cortesía de Texas Instruments)

1. Para funcionar como un contador de décadas en formato BCD (*binary-coded-decimal*), se tiene que realizar una conexión externa desde la salida A a la entrada de reloj de FFB, la cuenta de entrada se conecta al reloj de FFA.
2. Para la cuenta tabulada en la Figura 11.23 (c), un divisor por diez simétrico (muy útil cuando se necesita dividir por potencias de diez), la salida D está conectada externamente al pin de reloj del FFA y la cuenta de entrada se aplica en el pin de reloj del FFB.
3. Para que funcione como un contador módulo 2 y módulo 5, no son obligatorias conexiones externas. FFA proporciona la cuenta módulo 2 con la cuenta de entrada aplicada en su pin de reloj. Los flip-flops B, C y D se utilizan como contador módulo 5, la cuenta de entrada alimenta el pin de reloj del FFB.

Un segundo contador asíncrono, el 74290, está disponible como un encapsulado de circuito integrado. Consiste de dos partes: un solo flip-flop que actúa como un contador módulo 2, y otros tres flip-flops que actúa como un contador módulo 5. Para utilizar el integrado de manera eficaz, no es esencial tener un conocimiento

detallado del circuito. Sin embargo, el diseñador digital debe estar familiarizado con las conexiones del integrado y con el fin de utilizarlos de manera inteligente, debe comprender los principios básicos de su modo de cuenta. Para el 74290, las conexiones importantes del chip se muestran en la Figura 11.24 (a). Estas son:

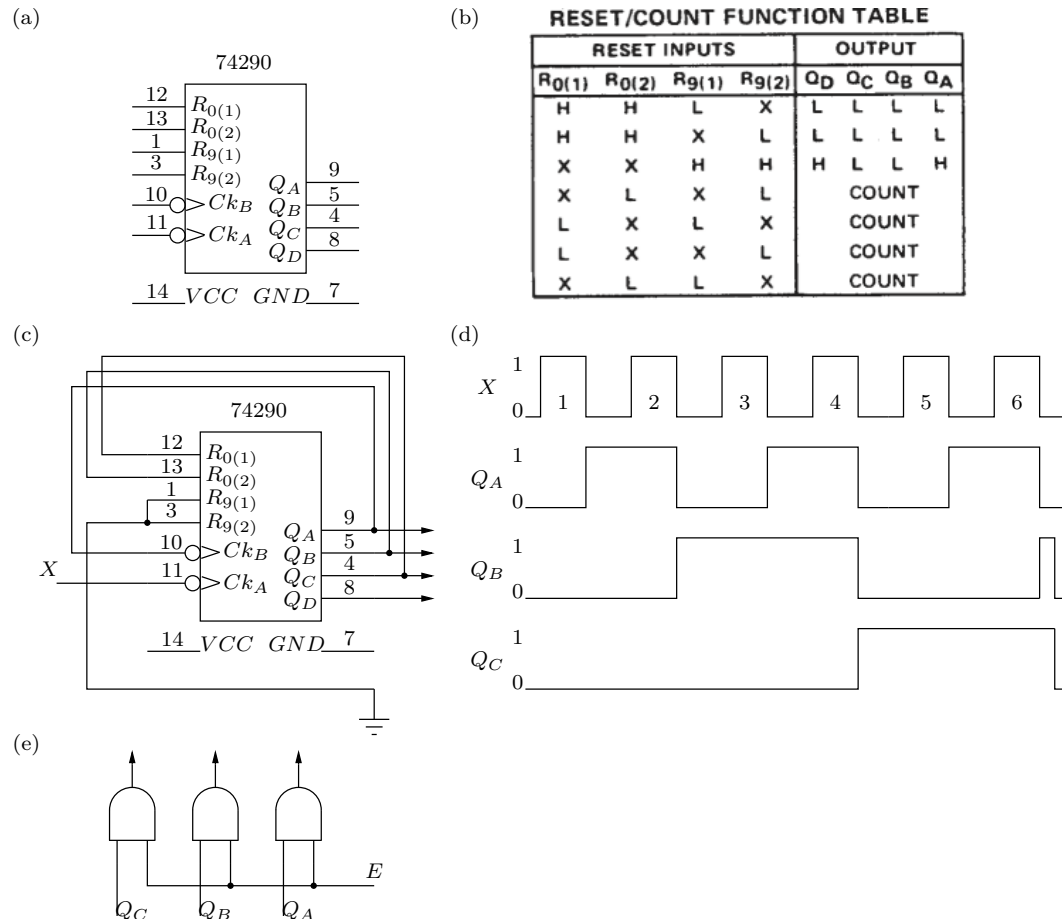


Figura 11.24: 74290 (a) Conexiones del integrado 74290 (b) Tabla de verdad de las entradas de *reset* (c) 74290 conectado como módulo 6 (d) Diagrama de tiempos para el módulo 6 del 74290 (e) Eliminación de glitches y picos con la señal de habilitación, E.

1. Cuatro salidas Q_D , Q_C , Q_B y Q_A , donde Q_D es el dígito más significativo.
2. Terminal de entrada Ck_A , donde se conecta la cuenta de entrada. Normalmente esta cuenta de entrada es una señal de reloj.
3. Terminal de entrada Ck_B que se conecta a la salida Q_A cuando el contador está operando en módulo 10. De lo contrario la cuenta de entrada se puede conectar a Ck_B cuando opere en módulo 5.
4. $R_{0(1)}$ y $R_{0(2)}$, que son terminales directos de borrado. Ambos deben ser mantenidos a 1 para borrar todos los flip-flops.

5. $R_{9(1)}$ y $R_{9(2)}$, establecen un contador módulo 9 si ambas se mantienen a 1.

Alguna que otra regla operativa debería también ser observada. Una importante es que para una cuenta normal, por lo menos uno de los terminales R_0 y uno de los terminales R_9 deben mantenerse a 0. La tabla de funcionamiento que define la operación de estos terminales de *reset* se da en la Figura 11.24(b).

Una vez se está familiarizado con las conexiones de chips, es entonces posible hacer uso del encapsulado. Si se necesita un contador modulo 6, el integrado se debe conectar como se muestra en la Figura 11.24(c). En esta configuración, el chip actúa como un contador reinicializable (*resettable ripple counter*). Cuando la combinación de salida $Q_B = Q_C = 1$ y $Q_A = 0$ es alcanzada, los terminales de $R_{0(1)}$ y $R_{0(2)}$ producen una transición a 1 y todos los flip-flops se borran reiniciando la cuenta.

Los diagramas de tiempo para esta conexión se muestran en la Figura 11.24(d) y se verá que, después de una cuenta de cinco, la salida de FFB se convierte en 1 durante un periodo muy corto de tiempo, dando lugar a un pico de salida (*glitch*) en la línea B. Si los datos de salida debe ser descodificados, es deseable que se deba de hacer durante intervalos de tiempo claramente definidos con el fin de que los picos de este tipo pueden ser eliminados. Esto se puede lograr por medio de una línea de habilitación que sólo habilite las salidas de las puertas en el momento adecuado. El método se ilustra en la Figura 11.24(e).

En estrecha relación al integrado 74293 están los contadores módulo 2 junto a un contador módulo 8. Un ejemplo de este chip conectado como un contador módulo 13 reinicializable se ilustra en la Figura 11.25.

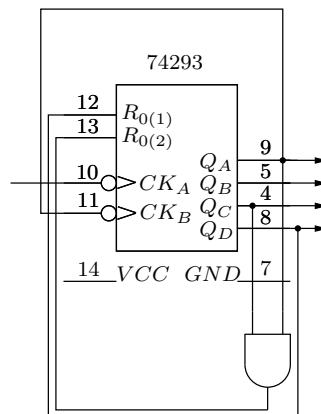


Figura 11.25: 74293 utilizado como un contador *resettable ripple* módulo 13

Si dos contadores integrados, como el 74290 y 74293, se conectan en cascada y se les aplica en el terminal de entrada del 74290 una frecuencia de 320 kHz, como se muestra en la Figura 11.26, entonces la frecuencia de la señal que aparece en la salida del 74293 será de 2 kHz. Cuando se requiere dividir la frecuencia por un gran número, la única forma práctica de lograr ésto es utilizar una cascada de contadores integrados.

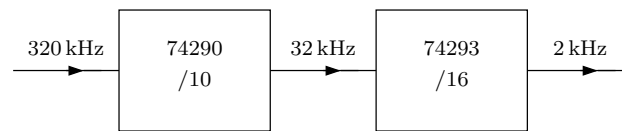


Figura 11.26: Dos contadores integrados conectados en cascada y dividiendo la frecuencia de entrada por 160

Otro ejemplo de contadores integrados en cascada se muestra en la Figura 11.27. Si se precisa un contador módulo 92, esto se puede lograr con dos 74290 en cascada. La salida del dígito más significativo Q_D del primer chip es conectado al terminal de Ck_A del segundo chip y actúa como la señal de reloj para él. Por cada diez pulsos de X existe un pulso de Q_D del primer chip, y en el décimo pulso de X el chip etiquetado 10^0 hace una transición de 1001 a 0000 y el chip de la etiqueta 10^1 hace una transición de 0000 a 0001. Al contador se le permite contar hasta 92 cuando la señal que representa esta cifra se retroalimenta a través del circuito de retención a las entradas *clear* de los dos chips. El circuito de retención elimina los problemas que pueden ser causados por los flip-flops con diferentes tiempos de puesta a cero.

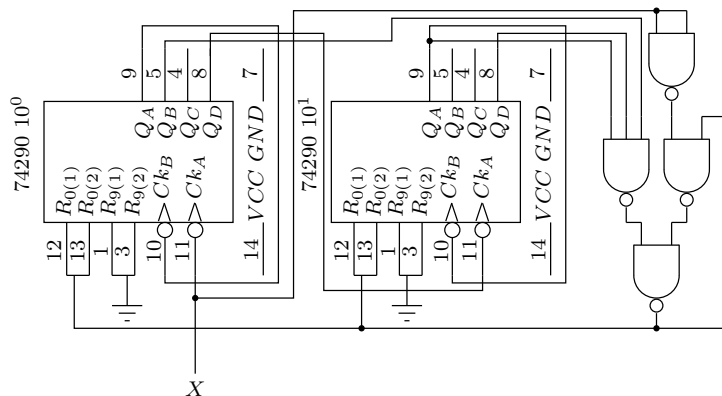


Figura 11.27: Dos contadores integrados 74290 conectados en cascada formando un contador módulo 92

Cuestiones y Ejercicios Resueltos

Ej. 344 — A la vista de la tabla de funciones de la Figura 11.22(a). ¿Que estado tendría el contador si $ABCD = 1011$, $\overline{ACLR} = 0$ y $\overline{ALOAD} = 0$.

Solución (Ej. 344) — Según la tabla de función (línea 2), y si se supone $\overline{OE} = 0$, la línea \overline{ACLR} es mas prioritaria que \overline{ALOAD} ya que si $\overline{ACLR} = 0$ y $\overline{ALOAD} = X$ (es decir 0 o 1) se producirá un *clear* asíncrono.

Ej. 345 — A la vista de la tabla de funciones de la Figura 11.22(a). ¿Que estado tendría el contador si $ABCD = 1011$, $\overline{SCLR} = 0$ y $\overline{SLOAD} = 0$.

Solución (Ej. 345) — Según la tabla de función (línea 3), y si se supone $\overline{OE} = 0$ y la señales asíncronas de carga y aclarado están en alta, la línea \overline{SCLR} es más prioritaria que \overline{SLOAD} ya que si $\overline{SCLR} = 0$ y $\overline{SLOAD} = X$ (es decir 0 o 1) se producirá un *clear* síncrono en el siguiente flanco ascendente de reloj.

Ej. 346 — A la vista del cronograma proporcionado por la hoja de características del 74ALS561 que se muestra en la Figura 11.28. ¿Cual es la diferencia entre la salida RCO y la CCO?

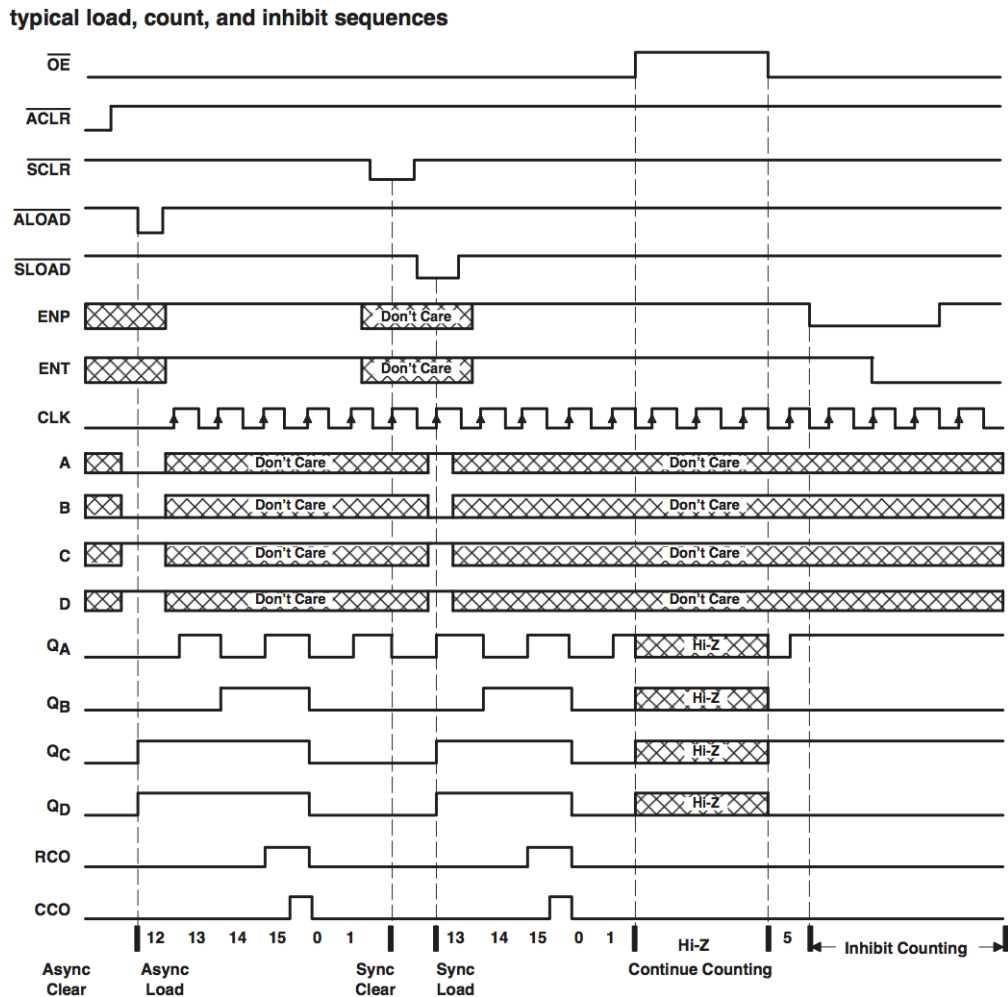


Figura 11.28: Una secuencia de conteo en el contador 74ALS561 contador de cuatro bits asíncrono con salida tri-estado (Cortesía de Texas Instruments).

Solución (Ej. 346) — Según lo que indica la hoja de características, las líneas *ENP* y *ENT* se usan para habilitar la cuenta (incluso en estado de alta impedancia ($\overline{OE} = 1$) como se muestra en el diagrama de tiempos de la Figura 11.28 en la zona *Hi-Z Continue Counting*, pero también sirve para habilitar el *carry*, es decir un indicador de que se ha alcanzado el fin de cuenta. Este acarreo puede servir de

habilitador para otro contador de modo que se permita conectarlos en cascada. Normalmente este *carry* se conectara a *ENT* del siguiente contador, el cual deberá tener habilitado $ENP = 1$ también.

La diferencia entre *RCO* y *CCO* es precisamente la duración en alta del acarreo. El primero, *RCO*, gestionado por *ENT* dura todo un ciclo de reloj, mientras que en segundo, *CCO* gestionado por *ENP* dura solo la mitad de un ciclo y según el fabricante está libre de *glitches*.

Ej. 347 — A la vista del cronograma proporcionado por la hoja de características del 74ALS561 que se muestra en la Figura 11.28. ¿Por qué la salida del contador es $(12)_{10} = (1100)_2$ en la primera transición a baja de \overline{ALOAD} ?

Solución (Ej. 347) — \overline{ALOAD} es la carga asíncrona y por tanto independiente de *CLK* en el diagrama de tiempos. En esos momentos el contador lee por su entrada paralelo los valores $A = 0 B = 0 C = 1 D = 1$ que es precisamente el valor $12_{(10)}$ y es lo que muestra por las salidas $Q_D Q_C Q_B Q_A = 1100$.

Ej. 348 — A la vista del cronograma proporcionado por la hoja de características del 74ALS561 que se muestra en la Figura 11.28. ¿Por qué la salida del contador es 5 después de la zona de alta impedancia HI-Z?

Solución (Ej. 348) — Porque en la zona de alta impedancia el contador aunque desconectado sigue contando. Antes de la zona HI-Z el contador contó 1 y cuatro ciclos después muestra el conteo consiguiente de 5.

Ej. 349 — Demuestre que la señal \overline{Pr} de la Figura 11.23 viene dada por:

$$\overline{Pr} = \overline{\overline{\overline{\overline{R} D C/\overline{L} \overline{R}}}} = \overline{D} + C/\overline{L} + R$$

Solución (Ej. 349) — Parece claro que la señal \overline{Pr} de cualquier flip-flop está dominada por una puerta NAND de tres entradas. Cada una de esas entradas vale D , $C/\overline{L} \overline{R}$ y \overline{R} . Por tanto :

$$\overline{Pr} = \overline{\overline{\overline{\overline{R} D C/\overline{L} \overline{R}}}}$$

sólo queda operar un poco para obtener el valor final. Reordenando lo anterior y operando:

$$\begin{aligned} \overline{Pr} &= \overline{\overline{\overline{\overline{R} D C/\overline{L} \overline{R}}}} = \overline{D} + \overline{\overline{\overline{\overline{R} C/\overline{L} \overline{R}}}} = \overline{D} + \overline{\overline{\overline{\overline{R} (C/\overline{L} + \overline{R})}}} = \overline{D} + \overline{\overline{\overline{\overline{R} (C/\overline{L} + R)}}} = \\ &= \overline{D} + \overline{\overline{\overline{\overline{R} C/\overline{L} + \overline{R} R}}} = \overline{D} + \overline{\overline{\overline{\overline{R} C/\overline{L}}}} = \overline{D} + \overline{\overline{\overline{\overline{R} + \overline{C/\overline{L}}}}} = \overline{D} + C/\overline{L} + R \end{aligned}$$

Ej. 350 — Demuestre que la señal *Cl* de la Figura 11.23 viene dada por:

$$\overline{Cl} = \overline{(C/\bar{L} + R)(\bar{D} + C/\bar{L} + R)} = \bar{R}(C/\bar{L} + D)$$

Solución (Ej. 350) — Si se observa el circuito se comprueba que la entrada de las señales \overline{Cl} está atacada por una puerta NAND de dos entradas. Una de las entradas NAND es precisamente $\overline{Pr} = \bar{D} + C/\bar{L} + R$. La otra entrada a la puerta NAND es $\bar{R} + C/\bar{L} = R + C/\bar{L}$. Por tanto es correcto afirmar que:

$$\overline{Cl} = \overline{(C/\bar{L} + R)(\bar{D} + C/\bar{L} + R)}$$

sólo queda operar un poco para obtener el valor final. Operando:

$$\overline{Cl} = \overline{(C/\bar{L} + R)(\bar{D} + C/\bar{L} + R)} = \overline{C/\bar{L} + R} + \overline{\bar{D} + C/\bar{L} + R} = C/\bar{L} \bar{R} + D \overline{C/\bar{L}} \bar{R}$$

$$\bar{R} (C/\bar{L} + D \overline{C/\bar{L}}) = \bar{R} (C/\bar{L} + D)$$

El ultimo paso es debido a que $a + b\bar{a} = a + b$. La demostración es sencilla. Por la ley de absorción se sabe que $a + ab = a$, entonces $a + b\bar{a} = a + ab + \bar{a}b$ si se obtiene factor común b se tiene que $a + b(a + \bar{a}) = a + b$.

Ej. 351 — Diseñe un contador módulo 10 con el circuito integrado 74290

Solución (Ej. 351) — Este contador 74290 tiene dos entradas de *reset* pensadas en exclusiva para realizar la cuenta hasta el 9 (módulo 10) son R9(0) y R9(1). Según la tabla de funcionamiento deben estar a 1 ambas. La Figura 11.29 muestra como deben ser las conexiones para realizar la función de módulo 10. Por último, solo hacer notar la conexión requerida entre C_{kB} y Q_A para el correcto funcionamiento del circuito integrado.

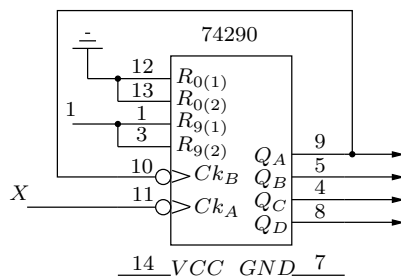


Figura 11.29: 74290 conectado como módulo 10

Ej. 352 — Diseñe un contador módulo 11 con el circuito integrado 74293

Solución (Ej. 352) — Este contador 74293 tiene sólo dos entradas de *reset* necesarias para el restablecimiento del contador que deberá realizarse cuando el contador quiera contar 11 o (1011). Esto implica que cuando $Q_A = Q_B = Q_D = 1$ el contador

debe ser reiniciado colocando a 1 ambas entradas $R_{0(1)}$ y $R_{0(2)}$. Para conseguirlo, es necesario una puerta AND como se muestra en la Figura 11.30 que reciba al menos dos de las salidas del contador integrado. Por último, solo hacer notar la conexión requerida entre C_{k_B} y Q_A para el correcto funcionamiento del circuito integrado.

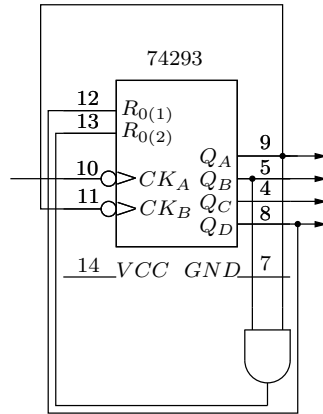


Figura 11.30: 74293 utilizado como un contador *resettable ripple* módulo 11

Ej. 353 — Diseñe un divisor de frecuencia que permita pasar de 640 Hz a 8 Hz.

Solución (Ej. 353) — Si se utilizan dos contadores integrados, como el 74290 y/o el 74293, que son fácilmente conectados en cascada, y se diseñan dos divisores de frecuencia a 16 y a 5, entonces al aplicar en el terminal de entrada del 74290 una frecuencia de 640 Hz, como se muestra en la Figura 11.31, sucede que la frecuencia de la señal que aparece en la salida del 74293 será de 8 Hz.

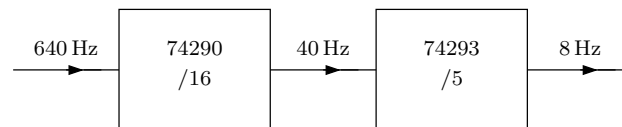


Figura 11.31: Dos contadores integrados conectados en cascada y dividiendo la frecuencia de entrada por 80.

Cuestiones y Ejercicios Propuestos

Ej. 354 — Calcule la frecuencia de funcionamiento de un contador binario módulo 32 síncrono ascendente con conexión paralelo y con conexión serie. Suponer $t_f = 30$ ns y un $t_g = 10$ ns.

Solución (Ej. 354) — 33,3 MHz y 16 MHz

Ej. 355 — Diseñar un contador módulo 5 síncrono descendente mediante flip-flops JK

Solución (Ej. 355) — Figura 11.32

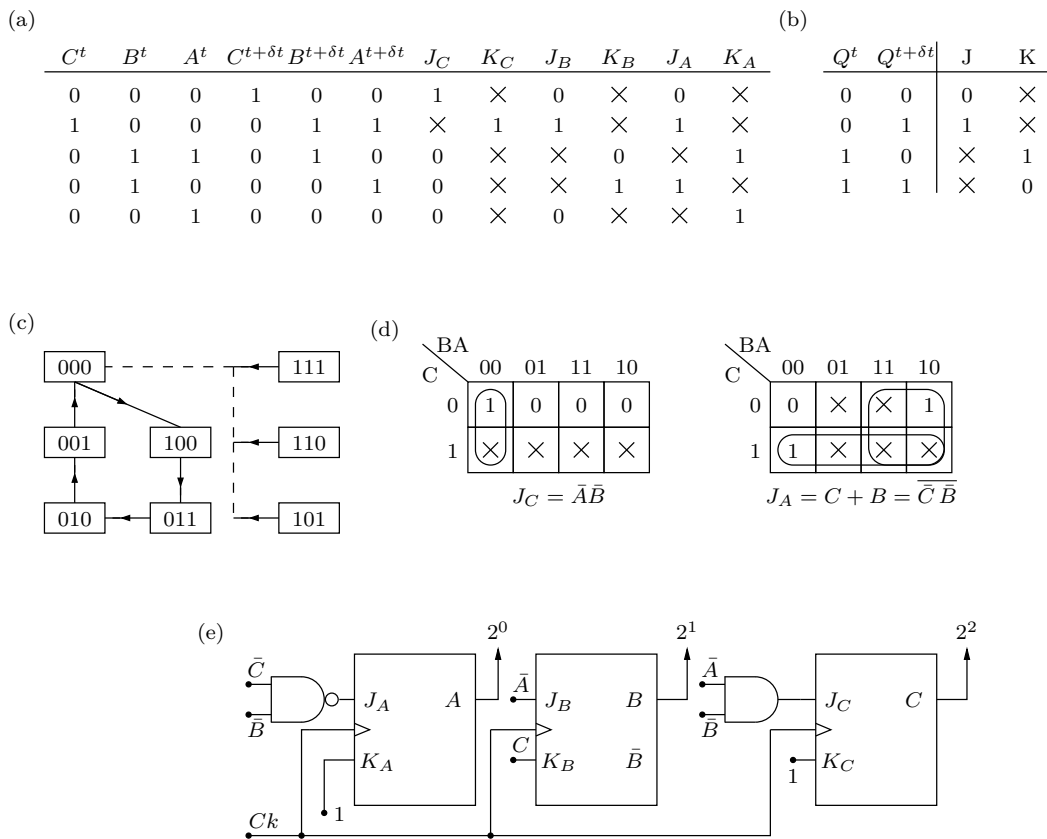


Figura 11.32: Contador módulo 5 descendente (a) Tabla de estados o transiciones (b) Tabla de estados o transiciones JK (c) Diagrama de estados (d) Mapas de Karnaugh para las entradas de los flip-flops (e) Implementación del circuito

Ej. 356 — Diseñar un contador módulo 16 síncrono con flip-flops JK capaz de contar hacia arriba y hacia abajo.

Solución (Ej. 356) — Figura 11.33

Ej. 357 — Diseñar un contador Gray módulo 8 síncrono con flip-flops T.

Solución (Ej. 357) — Figura 11.34

Ej. 358 — Diseñar un contador módulo 16 asíncrono reversible con flip-flops T.

Solución (Ej. 358) — Figura 11.35

Ej. 359 — Dibuje un diagrama de tiempos donde se muestre la línea de strobe

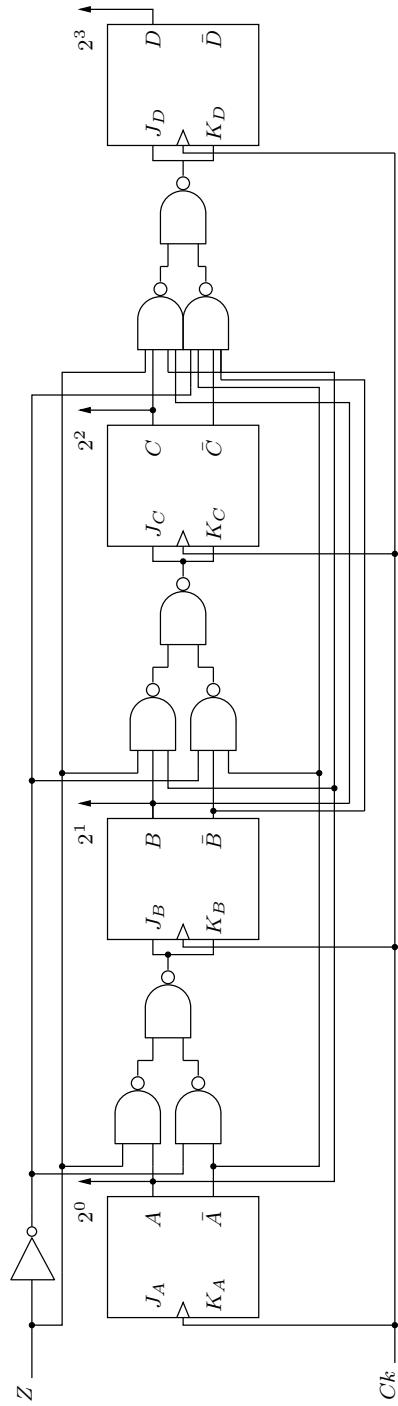


Figura 11.33: Contador módulo 16 reversible

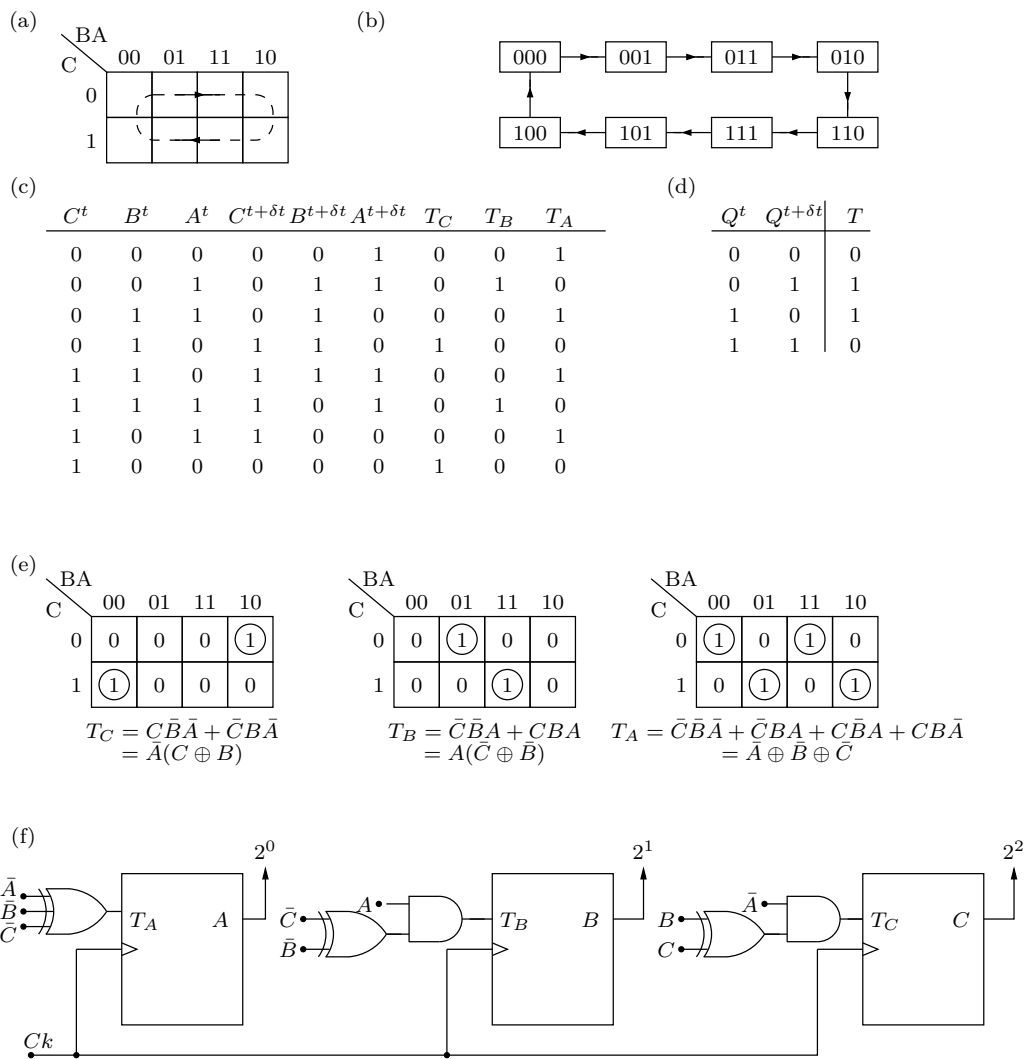


Figura 11.34: Contador Gray módulo 8 síncrono (a) Código de gray (b) Diagrama de estados (c) Tabla de estados o transiciones contador Gray (d) Tabla de estados o transiciones FFT (e) Mapas de Karnaugh para las entradas de los flip-flops (f) Implementación del circuito

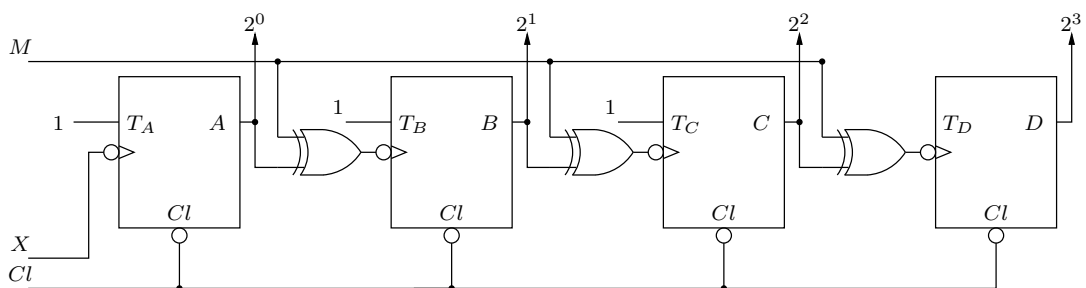


Figura 11.35: Contador módulo 16 asíncrono reversible

precisa para impedir una descodificación errónea para un contador asíncrono módulo 16. ¿Cómo se conectaría esa entrada *strobe* en la descodificación?

Solución (Ej. 359) — Figura 11.36

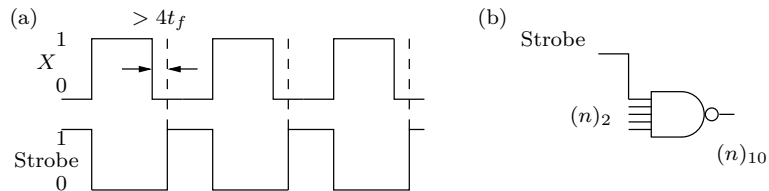


Figura 11.36: Eliminación de *glitches* o picos utilizando una señal de *strobe* (a) Diagrama de tiempos para la línea *strobe* para un contador de cuatro etapas. (b) Conexión de la línea *strobe* a las puertas del descodificador

Ej. 360 — Diseñar dos contadores asíncronos módulo 12 con flip-flops JK con entradas asíncronas de *preset* y *clear*. El primero de ellos será diseñado haciendo uso de las entradas asíncronas de *clear* y el otro con las entradas asíncronas de *preset* de los flip-flops JK. Diseñar así mismo sus correspondientes circuitos de retención.

Solución (Ej. 360) — Figura 11.37

Ej. 361 — Diseñe un contador módulo 60 con el circuito integrado 74293 y su correspondiente circuito de retención.

Solución (Ej. 361) — Figura 11.38

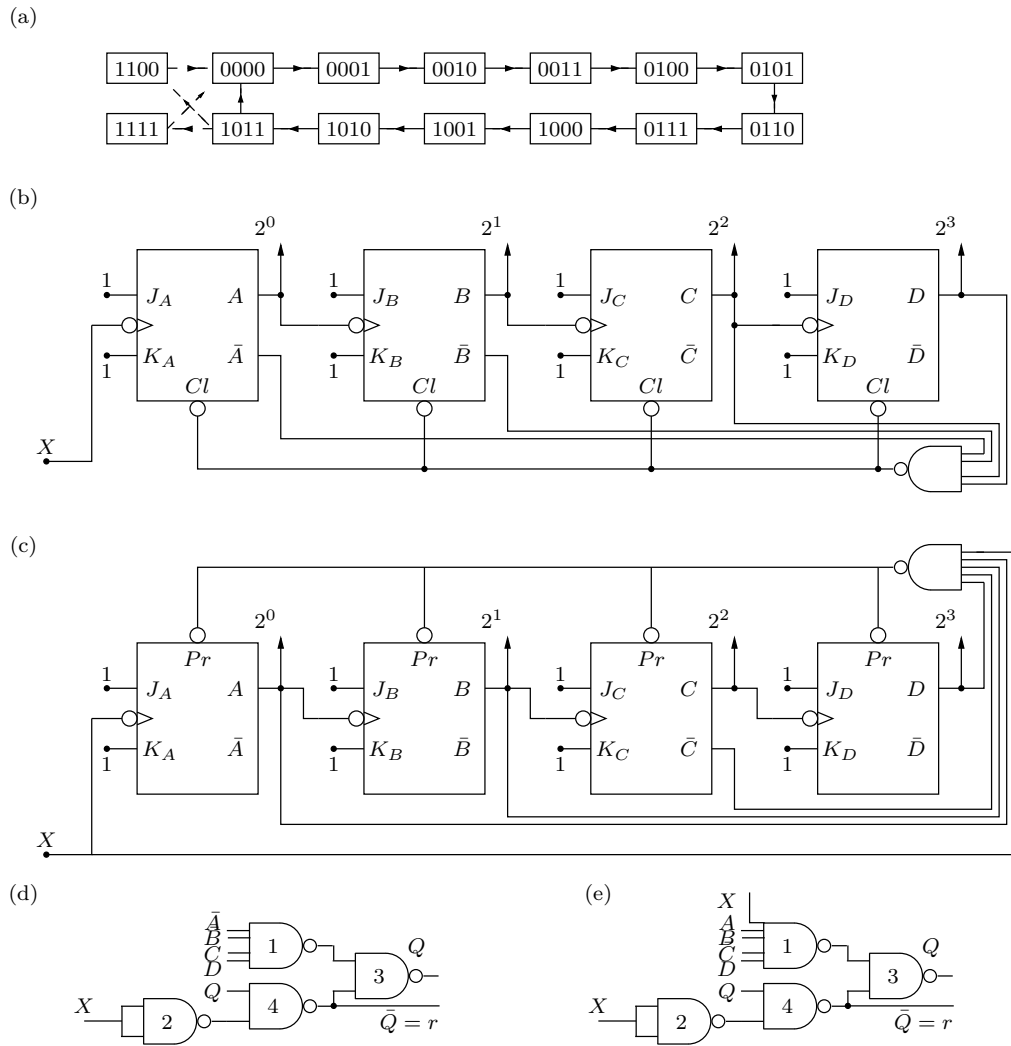


Figura 11.37: Contador asíncrono módulo 12 reajutable (a) Diagrama de estado (b) Implementación con *clear* (c) Implementación con *preset* (d) Implementación del circuito de retención (*latching circuit*) para *clear* (e) Implementación del circuito de retención (*latching circuit*) para *preset*

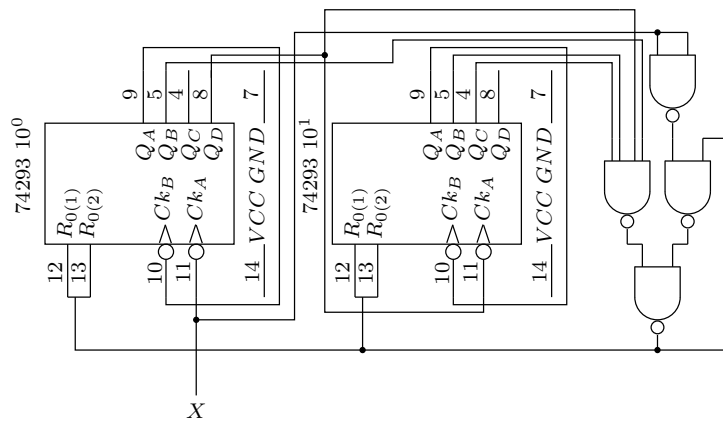


Figura 11.38: Dos contadores integrados 74293 conectados en cascada formando un contador módulo 60



Escuela Técnica
Superior de
Ingeniería de
Telecomunicación



Universidad
Politécnica
de Cartagena

rai
UPCT
ediciones