



**Duarte Alexandre Vivas Batista**

Licenciado em Ciências da  
Engenharia Electrotécnica e de Computadores

## **Análise e Implementação de Conversores DC-DC para uma Célula Fotovoltaica Orgânica**

Dissertação para obtenção do Grau de  
Mestre em Engenharia Electrotécnica e de Computadores

Orientador: Luís Augusto Bica Gomes de Oliveira, Prof. Doutor,  
Universidade Nova de Lisboa

Co-orientador: Pedro Nuno Mendosa dos Santos, Prof. Doutor,  
Academia Militar

Júri:

Presidente: João Francisco Alves Martins, Prof. Doutor, FCT-UNL

Arguente: Nuno Filipe Silva Veríssimo Paulino, Prof. Doutor, FCT-UNL

Vogal: Luís Augusto Bica Gomes de Oliveira, Prof. Doutor, FCT-UNL



## **Análise e Implementação de Conversores DC-DC para uma Célula Fotovoltaica Orgânica**

Copyright © Duarte Alexandre Vivas Batista, Faculdade de Ciências e Tecnologia, Universidade Nova de Lisboa.

A Faculdade de Ciências e Tecnologia e a Universidade Nova de Lisboa têm o direito, perpétuo e sem limites geográficos, de arquivar e publicar esta dissertação através de exemplares impressos reproduzidos em papel ou de forma digital, ou por qualquer outro meio conhecido ou que venha a ser inventado, e de a divulgar através de repositórios científicos e de admitir a sua cópia e distribuição com objectivos educacionais ou de investigação, não comerciais, desde que seja dado crédito ao autor e editor.



Aos meus avós maternos



## AGRADECIMENTOS

Gostaria de começar por agradecer ao meu orientador, o Prof. Luís Oliveira, por todo o apoio, motivação, paciência e encorajamento prestado no decorrer desta dissertação. Mesmo nos momentos mais difíceis, o professor esteve sempre disponível para me ajudar a encontrar a melhor solução para os problemas que me iam surgindo, demonstrando sempre um grande empenho e dedicação.

Também gostaria de agradecer ao meu co-orientador, o Prof. Pedro Santos, primeiramente por me apresentar o projecto onde se insere esta dissertação, e em segundo lugar por todo o apoio prestado no desenrolar da mesma, mostrando-se sempre presente e disponível para ajudar em qualquer situação.

Fica aqui também o meu agradecimento ao Carlos Carvalho uma vez que se revelou um grande apoio ao longo deste ano, quer pelo tempo que dedicou a estar comigo, quer pelo voto de confiança relativo à cedência do seu trabalho de doutoramento. Considero ter sido uma mais valia para o meu trabalho, no sentido em que contribuiu para um melhor enquadramento do mesmo.

Também ao Prof. Nuno Paulino e o Ricardo Madeira, aqui fica o meu obrigado pela paciência e pelo tempo que despenderam ao auxiliar-me. Graças ao seu auxílio foi-me possível contornar alguns dos problemas que me foram surgindo no decorrer desta dissertação.

Não podia deixar de agradecer à Faculdade de Ciências e Tecnologias da Universidade Nova de Lisboa, mais concretamente ao departamento de Engenharia Electrotécnica e de Computadores e ao Centro de Tecnologia e Sistemas do Uninova. Deixo aqui o meu agradecimento pelos recursos que me foram disponibilizados ao longo da realização desta dissertação.

Aos meus grandes amigos e colegas Fábio e António aqui fica o meu agradecimento pelo seu companheirismo e motivação ao longo destes cinco anos.

Este trabalho foi financiado pela Fundação para a Ciência e a Tecnologia / Ministério da Educação e Ciência através de fundos nacionais e, quando aplicável, co-financiado pelo acordo de parceria FEDER – PT2020 no âmbito do projeto UID/EEA/50008/2013 –  $\mu$ FlexBat.

Por fim, mas não menos importante, gostaria de agradecer à minha família, mais concretamente à minha mãe e ao meu pai, por todo o apoio e compreensão que tiveram comigo no decorrer deste ano, bem como pela oportunidade que me concederam em poder frequentar este curso. À Raquel quero deixar o meu muito obrigado por me ter acompanhado nos bons e maus momentos, fazendo-me sempre olhar em frente e sem nunca me deixar baixar os braços. Obrigado por todo o amor e carinho.



## RESUMO

Acompanhando o desenvolvimento da sociedade moderna e da *Internet of Things* (IoT), observa-se que uma pessoa possui, em média, quatro dispositivos eletrônicos como *smartphones*, *tablets* ou *gadgets* [1]. Também novas tecnologias associadas às fontes de energia renováveis têm vindo a ser estudadas. Como tal, verifica-se a necessidade de recolher e armazenar essa energia. Para tal, é apresentada nesta dissertação a análise e implementação de uma unidade de gestão de potência aplicada a um sistema de recolha de energia baseado em células fotovoltaicas orgânicas.

Relativamente à implementação da PMU, esta foi realizada na tecnologia de circuito integrado CMOS de 0,13  $\mu\text{m}$  e otimizada de quatro formas distintas. Das quatro soluções propostas, duas foram completamente integradas, enquanto que as restantes careceram da introdução de componentes discretos.

No processo de optimização da unidade de gestão de potência foram considerados dois graus de liberdade, a frequência de comutação do conversor DC-DC e a tensão de saída disponibilizada pela PMU. Relativamente à frequência de operação da arquitetura, foram consideradas as frequências de 100 kHz, 100 MHz e 500 MHz para uma gama de tensões de entrada que varia de 100 mV a 900 mV. Quanto à tensão de saída da unidade, esta é do tipo standard (1,2 V ou 2,4 V). Adicionalmente, como base comparativa, efectuou-se uma análise experimental à PMU baseada em condensadores comutados apresentada em [32], aplicada às células fotovoltaicas orgânicas.

Esta dissertação faz ainda parte do projecto de investigação científica  $\mu\text{FlexBat}$ . Este projecto tem por objectivo estudar e implementar uma unidade de gestão de potência para IoT capaz de converter e armazenar a energia proveniente de uma célula fotovoltaica orgânica. Este concerne-se ao estudo de uma PMU flexível do ponto de vista mecânico, com baixos custos de implementação, autossuficiente e capaz de gerar uma tensão standard à sua saída cuja funcionalidade será alimentar um dispositivo eletrónico de muito baixa potência, como um sensor de monitoração de parâmetros biomédicos.

Do ponto de vista dos resultados obtidos, nas optimizações a 100 kHz, a PMU revelou-se autossuficiente e com um rendimento de 65,66% na arquitetura a 1,2 V, e de 84,22% na PMU a 2,4 V. Relativamente às soluções de 100 MHz e 500 MHz, o rendimento apresentado por estas é de 20,21%, para a proposta de 100 MHz, e de 26,73% para o sistema a operar a 500 MHz. Quanto à PMU baseada em condensadores comutados proposta em [32], obteve-se, considerando as células fotovoltaicas orgânicas como fontes de energia, um rendimento máximo de 75,76%.

**Palavras-chave:** DC-DC elevador de tensão, DC-DC indutivo totalmente integrado, Unidade de gestão de potência, Células fotovoltaicas orgânicas, CMOS 0,13  $\mu\text{m}$ , Recolha de energia, Baixa potência.



## ABSTRACT

Following the development of modern society and the Internet of Things (IoT), it is observed that a person has, on average, four electronic devices such as smartphones, tablets or gadgets [1]. Also new technologies associated with renewable energy sources have been studied. As such, the need to collect and store this energy is verified. For this, it is presented in this dissertation the analysis and implementation of a power management unit applied to an energy collection system based on organic photovoltaic cells.

The implementation of PMU was carried out in the 0.13  $\mu\text{m}$  CMOS integrated circuit technology and optimized in four distinct ways. Of the four proposed solutions, two were completely integrated, while the remainder lacked the introduction of discrete components.

In the optimization process of the power management unit, two degrees of freedom were considered, namely the switching frequency of the DC-DC converter and the output voltage provided by the PMU. Regarding the frequency of operation of the architecture, the frequencies of 100 kHz, 100 MHz and 500 MHz were considered for a range of input voltages ranging from 100 mV to 900 mV. The output voltage of the unit is standard (1.2 V or 2.4 V). The output voltage of the unit should be of the standard type (1.2 V or 2.4 V). In addition, an experimental analysis was performed on the PMU based on switched capacitors presented in [32], applied to the organic photovoltaic cells, in order to serve as a comparative basis for the results obtained through the proposed PMU.

This thesis is also part of the  $\mu\text{FlexBat}$  scientific research project. This project aims to study and implement a power management unit for IoT capable of converting and storing energy from an organic photovoltaic cell. This concerns the study of a mechanically flexible PMU with low implementation costs, self-sufficiency and capable of generating a standard output voltage whose functionality will be to feed an electronic device of very low power, as a biomedical parameter monitoring sensor.

Regarding the results obtained, in the optimizations at 100 kHz, the PMU was self-sufficient and with an efficiency of 65.66% in the architecture at 1.2 V and 84.22% in the PMU at 2.4 V. Regarding the solutions of 100 MHz and 500 MHz, they do not have the capacity to self-feed, however, the yield presented by them is 20.21% for the 100 MHz and 26.73% for the 500 MHz system. The PMU based on switched capacitors proposed in [32], was obtained a maximum efficiency of 75.76% considering organic photovoltaic cells as energy sources.

**Keywords:** DC-DC step-up, inductive DC-DC full integrated, Power management unit, Organic photovoltaic cells, CMOS 0,13  $\mu\text{m}$ , Energy harvesting, Low power.



# ÍNDICE

<b>Resumo</b> .....	<b>ix</b>
<b>Abstract</b> .....	<b>xi</b>
<b>Índice</b> .....	<b>xiii</b>
<b>Índice de Figuras</b> .....	<b>xvii</b>
<b>Índice de Tabelas</b> .....	<b>xxiii</b>
<b>Lista de Abreviaturas</b> .....	<b>xxv</b>
<b>1 Introdução</b> .....	<b>1</b>
1.1 Motivação e Objetivos.....	1
1.2 Especificações.....	4
1.3 Organização.....	4
1.4 Contribuições Principais.....	5
<b>2 Análise dos Conversores DC-DC para OPV's</b> .....	<b>7</b>
2.1 Células Fotovoltaicas Orgânicas.....	7
2.1.1 Caracterização Elétrica de uma Célula Fotovoltaica .....	8
2.1.2 Caracterização das Células Fotovoltaicas Orgânicas.....	11
2.2 Conversores DC-DC Indutivos.....	16
2.2.1 Conversor <i>Boost</i> de Comutação Abrupta .....	16
2.2.2 Conversor <i>Boost</i> com Condensadores Comutados na Saída .....	21
2.3 Conversores DC-DC Baseados em Condensadores Comutados.....	23
2.3.1 Conversor <i>Boost</i> Duplicador de Tensão.....	23
2.4 Estado da Arte de Unidades de Gestão de Potência.....	28

<b>3</b>	<b>Unidade de Gestão de Potência Proposta .....</b>	<b>33</b>
3.1	PMU Proposta .....	33
3.2	Conversor DC–DC <i>Boost</i> de Comutação Abrupta .....	35
3.3	Oscilador de Relaxação .....	37
3.3.1	Estudo Teórico .....	37
3.3.2	Dimensionamento .....	40
3.3.3	Buffer de Desacoplamento .....	42
3.4	Controlo .....	46
3.5	Gerador de Tensão de Referência .....	48
<b>4</b>	<b>Implementação da PMU na Tecnologia CMOS .....</b>	<b>51</b>
4.1	Conversor DC-DC <i>Boost</i> de Comutação Abrupta.....	51
4.2	Oscilador de Relaxação .....	53
4.3	Buffer de Desacoplamento.....	54
4.4	Controlo .....	55
4.5	Gerador de Tensão de Referência .....	56
4.6	Arquitetura a 100 kHz (1,2 V) .....	57
4.7	Arquitetura a 100 kHz (2,4 V) .....	58
4.8	Arquitetura a 100 MHz .....	59
4.9	Arquitetura a 500 MHz .....	60
<b>5</b>	<b>Análise de Resultados .....</b>	<b>63</b>
5.1	PMU Indutiva Proposta .....	63
5.1.1	PMU a 100 kHz (1,2 V).....	64
5.1.2	PMU a 100 kHz (2,4 V).....	68
5.1.3	PMU a 100 MHz.....	71
5.1.4	PMU a 500 MHz.....	75
5.2	PMU Baseada em Condensadores Comutados .....	79
<b>6</b>	<b>Conclusão e Desenvolvimento Futuro .....</b>	<b>89</b>
6.1	Conclusão.....	89
6.2	Desenvolvimento Futuro .....	93
	<b>Bibliografia.....</b>	<b>95</b>

<b>A</b>	<b>Tutorial de Design de Circuitos na Tecnologia CMOS de 0,13 <math>\mu\text{m}</math> .....</b>	<b>A-1</b>
A.1	Introdução.....	A-1
A.2	Design do Esquemático.....	A-2
A.3	Simulação Eléctrica.....	A-7
A.4	Layout .....	A-10
A.5	Design Rule Check (DRC) .....	A-16
A.6	Layout Versus Schematic (LVS).....	A-19
A.7	Parasitic Extration (PEX).....	A-23
A.8	Simulação Pós-Layout.....	A-27



## ÍNDICE DE FIGURAS

Figura 1.1 - Diagrama de blocos preliminar da PMU proposta .....	3
Figura 2.1 - Curva I-V característica de células fotovoltaicas ligadas em série a) e paralelo b).....	8
Figura 2.2 - Variação da curva I-V de acordo com a irradiância a) e a temperatura b) .....	8
Figura 2.3 - Curvas I-V no escuro e com a iluminação standard de uma célula fotovoltaica .....	8
Figura 2.4 - Circuito equivalente de uma célula fotovoltaica no escuro .....	9
Figura 2.5 - Circuito equivalente nas condições de irradiância standard .....	10
Figura 2.6 - Influência das resistências $R_s$ e $R_p$ na característica de uma célula fotovoltaica .....	10
Figura 2.7 - Máximo ponto de potência.....	11
Figura 2.8 - Estrutura de uma célula fotovoltaica orgânica .....	12
Figura 2.9 - Substrato com duas células fotovoltaicas .....	12
Figura 2.10 - Características I-V para diferentes níveis de iluminação .....	13
Figura 2.11 - Curva da potência de uma OPV .....	13
Figura 2.12 - Curvas I-V experimentais vs teóricas para diferentes irradiâncias.....	15
Figura 2.13 - Esquemático do conversor boost de comutação abrupta .....	16
Figura 2.14 - Formas de onda do conversor <i>boost</i> de comutação abrupta no modo contínuo .....	17
Figura 2.15 - Formas de onda do conversor <i>boost</i> de comutação abrupta no modo descontínuo .....	17
Figura 2.16 - Rácio $V_{out}/V_{in}$ em função da corrente $I_L$ nas diferentes zonas de funcionamento .....	20
Figura 2.17 - Esquemático do conversor <i>boost</i> com condensadores comutados na saída.....	21
Figura 2.18 - Conversor <i>boost</i> com condensadores comutados na saída ( $S_1$ ON) .....	22
Figura 2.19 - Conversor <i>boost</i> com condensadores comutados na saída ( $S_1$ OFF) .....	22
Figura 2.20 - Diagrama de blocos da arquitetura proposta em [32].....	23
Figura 2.21 - Esquemático do conversor DC-DC apresentado em [32] .....	24
Figura 2.22 - Configuração do circuito na fase $\Phi_1$ .....	24
Figura 2.23 - Configuração do circuito na fase $\Phi_2$ .....	24

Figura 3.1 - Diagrama de blocos da PMU proposta .....	34
Figura 3.2 - Circuito do conversor DC-DC proposto .....	35
Figura 3.3 - Diagrama de blocos de um oscilador de relaxação .....	38
Figura 3.4 - Formas de onda geradas num oscilador de relaxação .....	38
Figura 3.5 - Esquemático do oscilador de relaxação .....	39
Figura 3.6 - Espelho de corrente PMOS .....	42
Figura 3.7 - Buffer de desacoplamento .....	43
Figura 3.8 - Característica de funcionamento de um inversor CMOS .....	44
Figura 3.9 - Evolução do sinal ao longo do buffer de desacoplamento .....	45
Figura 3.10 - Esquemático do módulo de controlo .....	46
Figura 3.11 - Esquemático do circuito gerador de tensão de referência .....	49
Figura 3.12 - Tensão de referência e corrente dissipada em função da tensão de alimentação .....	50
Figura 4.1 - Layout conversor DC-DC 100 kHz a 1,2 V .....	52
Figura 4.2 - Layout conversor DC-DC 100 kHz a 2,4 V .....	52
Figura 4.3 - Layout conversor DC-DC 100 MHz e 500 MHz .....	52
Figura 4.4 - a) Layout do oscilador a 100 kHz b) Resistência $R_1$ c) Resistência $R_2$ .....	53
Figura 4.5 - Layout de oscilador a 100 MHz .....	54
Figura 4.6 - Layout do oscilador a 500 MHz .....	54
Figura 4.7 - Layout do buffer de desacoplamento .....	54
Figura 4.8 - Layout do módulo de controlo da PMU a 100 kHz (1,2 V) .....	55
Figura 4.9 - Layout do módulo de controlo da PMU a 100 kHz (2,4 V) .....	55
Figura 4.10 - Layout do módulo de controlo da PMU a 100 MHz .....	56
Figura 4.11 - Layout do módulo de controlo da PMU a 500 MHz .....	56
Figura 4.12 - Layout do gerador de tensão de referência .....	56
Figura 4.13 - Layout da arquitetura de 100 kHz a 1,2 V (Área = 0,19 mm <sup>2</sup> ) .....	57
Figura 4.14 - Layout da arquitetura de 100 kHz a 2,4 V (Área = 0,19 mm <sup>2</sup> ) .....	58
Figura 4.15 - Layout da arquitetura de 100 MHz (Área = 0,26 mm <sup>2</sup> ) .....	59
Figura 4.16 - Layout da arquitetura de 500 MHz (Área = 0,23 mm <sup>2</sup> ) .....	60
Figura 5.1 - Forma da onda PWM da arquitetura a 100 kHz (1,2 V) .....	64
Figura 5.2 - Corrente de controlo em função da tensão de saída do sistema 100 kHz (1,2 V) .....	65

Figura 5.3 - Tensão de saída do sistema a 100 kHz (1,2 V) .....	66
Figura 5.4 - Forma da onda PWM da arquitetura a 100 kHz (2,4 V) .....	68
Figura 5.5 - Corrente de controlo em função da tensão de saída do sistema 100 kHz (2,4 V) .....	69
Figura 5.6 - Tensão de saída do sistema a 100 kHz (2,4 V) .....	70
Figura 5.7 - Forma da onda PWM da arquitetura a 100 MHz .....	72
Figura 5.8 - Corrente de controlo em função da tensão de saída do sistema a 100 MHz .....	73
Figura 5.9 - Tensão de saída do sistema a 100 MHz .....	74
Figura 5.10 - Forma da onda PWM da arquitetura a 500 MHz .....	75
Figura 5.11 - Corrente de controlo em função da tensão de saída do sistema a 500 MHz .....	77
Figura 5.12 - Tensão de saída do sistema a 500 MHz .....	77
Figura 5.13 - Forma de onda das fases $\Phi_1$ e $\Phi_2$ para a irradiância de 86,25 mW/cm <sup>2</sup> .....	81
Figura 5.14 - Forma de onda das fases $\Phi_1$ e $\Phi_2$ para a irradiância de 66,34 mW/cm <sup>2</sup> .....	81
Figura 5.15 - Forma de onda das fases $\Phi_1$ e $\Phi_2$ para a irradiância de 46,12 mW/cm <sup>2</sup> .....	81
Figura 5.16 - Forma de onda das fases $\Phi_1$ e $\Phi_2$ para a irradiância de 26,21 mW/cm <sup>2</sup> .....	81
Figura 5.17 - Forma de onda das fases $\Phi_1$ e $\Phi_2$ para a irradiância de 9,52 mW/cm <sup>2</sup> .....	82
Figura 5.18 - Arranque do circuito para a irradiância de 26,21 mW/cm <sup>2</sup> .....	82
Figura 5.19 - Espectros luminosos das lâmpadas utilizadas .....	82
Figura 5.20 - Curvas de corrente-tensão e potência para a OPV utilizada na segunda fase de testes ...	83
Figura 5.21 - Evolução da rendimento em função da carga do circuito [32] para a altura de 0,45 m ....	84
Figura 5.22 - Evolução da rendimento em função da carga do circuito [32] para a altura de 0,11 m ....	86
Figura A.1 - Esquemático do inversor CMOS .....	A-2
Figura A.2 - Janela inicial do <i>Virtuoso Design Environment</i> .....	A-3
Figura A.3 - Janela de criação de bibliotecas .....	A-3
Figura A.4 - Janela de associação da tecnologia à biblioteca .....	A-3
Figura A.5 - Janela do gestor de bibliotecas .....	A-3
Figura A.6 - Janela para criação de um novo esquemático .....	A-4
Figura A.7 - Janela do editor de esquemáticos .....	A-4
Figura A.8 - Janela de adição de um novo componente .....	A-5
Figura A.9 - Gestor de bibliotecas de componentes .....	A-5
Figura A.10 - Janela de parametrização dos componentes .....	A-5

Figura A.11 - Janela de configuração dos terminais.....	A-6
Figura A.12 - Esquemático do inversor CMOS.....	A-6
Figura A.13 - Janela de criação do símbolo .....	A-7
Figura A.14 - Janela de configuração dos terminais.....	A-7
Figura A.15 - Símbolo do inversor CMOS.....	A-7
Figura A.16 - Esquemático do circuito de teste .....	A-8
Figura A.17 - Janela de configuração das etiquetas .....	A-8
Figura A.18 - Janela do simulador .....	A-9
Figura A.19 - Janela de seleção do tipo de simulação .....	A-9
Figura A.20 - Resultado da simulação elétrica do inversor CMOS.....	A-10
Figura A.21 - Janela de lançamento do editor de layout .....	A-11
Figura A.22 - Janela de configuração da vista de layout .....	A-11
Figura A.23 - Janela do editor de layout.....	A-11
Figura A.24 - Janela de impostação do esquemático.....	A-12
Figura A.25 - Janela de configuração das etiquetas dos terminais.....	A-12
Figura A.26 - Componentes dos esquemático extraídos .....	A-12
Figura A.27 - Janela de configuração do simulador de layout .....	A-13
Figura A.28 - Conexão dos <i>drains</i> dos transístores.....	A-14
Figura A.29 - Janela de configuração das vias .....	A-14
Figura A.30 - Design do bulk do transístor PMOS.....	A-15
Figura A.31 - Design do bulk do transístor NMOS.....	A-15
Figura A.32 - Layout do inversor CMOS.....	A-15
Figura A.33 - Janela de configuração da ferramenta de validação de design (DRC) .....	A-17
Figura A.34 - Janela de resultados da verificação das regras BEOL .....	A-18
Figura A.35 - Janela de configuração da ferramenta de validação de layout (LVS) .....	A-19
Figura A.36 - Janela dos resultados obtidos a partir da validação de layout vs esquemático .....	A-20
Figura A.37 - Mensagem decorrente da existência de componentes de radiofrequência.....	A-23
Figura A.38 - Configuração do LVS com componentes de radiofrequência .....	A-23
Figura A.39 - Janela de configuração da ferramenta de extração de layout (PEX) .....	A-25
Figura A.40 - Janela de configuração da vista extraída .....	A-26

Figura A.41 - Vista dos componentes parasitas associados ao layout do inversor CMOS.....	A-26
Figura A.42 - Janela de configuração do editor de hierarquias .....	A-28
Figura A.43 - Janela de seleção do template de configuração .....	A-28
Figura A.44 - Janela de configuração do tipo de simulador .....	A-28
Figura A.45 - Janela do editor de hierarquias .....	A-28
Figura A.46 - Janela do editor de hierarquias com a configuração da extração de layout .....	A-29
Figura A.47 - Resultado das simulações elétrica e de pós-layout .....	A-30
Figura A.48 - Verificação do tipo de vista que se encontra a ser simulada pelo simulador .....	A-30



## ÍNDICE DE TABELAS

Tabela 2.1 - Parâmetros dos pixéis $P_1$ e $P_2$ para diferentes níveis de irradiância .....	14
Tabela 2.2 - Características eléctricas experimentais de uma OPV .....	14
Tabela 2.3 - Parâmetros do circuito equivalente de uma OPV para diferentes irradiâncias .....	15
Tabela 2.4 - Estado da arte de PMU's no âmbito da energy harvesting.....	30
Tabela 2.5 - Vantagens e desvantagens dos artigos analisados.....	31
Tabela 3.1 - Parâmetros de dimensionamento do conversor DC-DC para as soluções propostas .....	37
Tabela 3.2 - Parâmetros de dimensionamento do oscilador de relaxação para as soluções propostas..	42
Tabela 3.3 - Parâmetros de dimensionamento do buffer de desacoplamento.....	45
Tabela 3.4 - Limites de variação da corrente $I_{ref}$ .....	48
Tabela 3.5 - Parâmetros de dimensionamento dos módulos de controlo das arquiteturas propostas ..	48
Tabela 3.6 - Parâmetros de dimensionamento do gerador de tensão de referência .....	50
Tabela 4.1 - Dimensões dos conversores DC-DC .....	52
Tabela 4.2 - Dimensões dos osciladores de relaxação .....	54
Tabela 4.3 - Dimensões do buffer de desacoplamento .....	54
Tabela 4.4 - Dimensões dos módulos de controlo.....	55
Tabela 4.5 - Dimensões do gerador de tensão de referência.....	56
Tabela 4.6 - Funcionalidade de cada terminal na arquitetura de 100 kHz a 1,2 V.....	57
Tabela 4.7 - Funcionalidade de cada terminal na arquitetura de 100 kHz a 2,4 V.....	58
Tabela 4.8 - Funcionalidade de cada terminal na arquitetura de 100 MHz.....	59
Tabela 4.9 - Dimensões das arquiteturas propostas.....	60
Tabela 4.10 - Funcionalidade de cada terminal na arquitetura de 500 MHz .....	61
Tabela 5.1 - Frequência da onda PWM da PMU a 100 kHz (1,2 V).....	65
Tabela 5.2 - Rendimento do sistema a 100 kHz (1,2 V) em função da resistência de carga.....	67
Tabela 5.3 - Rendimento da arquitetura a 100 kHz (1,2 V) para os diferentes níveis de irradiância .....	67

Tabela 5.4 - Frequência da onda PWM da PMU a 100 kHz (2,4 V).....	69
Tabela 5.5 - Rendimento do sistema a 100 kHz (2,4 V) em função da resistência de carga .....	70
Tabela 5.6 - Rendimento da arquitetura a 100 kHz (2,4 V) para os diferentes níveis de irradiância .....	71
Tabela 5.7 - Frequência da onda PWM da PMU a 100 MHz.....	72
Tabela 5.8 - Rendimento do sistema a 100 MHz em função da resistência de carga .....	74
Tabela 5.9 - Frequência da onda PWM da PMU a 500 MHz.....	76
Tabela 5.10 - Rendimento do sistema a 500 MHz em função da resistência de carga .....	78
Tabela 5.11 - Resultados do sistema proposto em [32] com OPV's.....	79
Tabela 5.12 - Frequência das fases $\Phi_1$ e $\Phi_2$ .....	80
Tabela 5.13 - Resistências equivalentes das duas tecnologias .....	80
Tabela 5.14 - Características técnicas das lâmpadas utilizadas .....	83
Tabela 5.15 - Irradiância das diferentes lâmpadas para os três níveis de altura .....	83
Tabela 5.16 - Resultados da segunda fase de testes ao circuito proposto em [32] .....	85
Tabela 6.1 - Resultados obtidos.....	91
Tabela 6.2 – Comparação do trabalho desenvolvido com o estado da arte .....	92
Tabela A.1 - Versões das ferramentas utilizadas .....	A-1

## LISTA DE ABREVIATURAS

**DC-DC** – Direct current to direct current

**OPV** – Organic photovoltaic cell

**IoT** – Internet of Things

**PMU** – Power Management Unit

**CMOS** – Complementary Metal Oxide Semiconductor

**MOS** – Metal Oxide Semiconductor

**a-Si:H** – Hydrogenated amorphous silicon

**MPP** – Maximum power point

**MPPT** – Maximum power point tracking

**DC** – Direct current

**UMC** – United Microelectronics Corporation

**IC** – Integrated Circuit

**SMT** – Surface-mount technology

**NMOS** – nFET Metal Oxide Silicon

**MIM** – Metal-Isolator-Metal

**MOM** – Metal-Oxide-Metal

**LED** – Light Emitting Diode

**PCB** – Printed circuit board

**DRC** – Design Rule Check

**LVS** – Layout Versus Schematic

**PEX** – Parasitic Extraction



# CAPÍTULO 1

## INTRODUÇÃO

### 1.1 Motivação e Objetivos

Ao longo dos últimos anos tem-se verificado um grande desenvolvimento nos circuitos electrónicos integrados, sendo a tecnologia CMOS uma das mais utilizada para a sua implementação. Acompanhando o desenvolvimento da sociedade moderna e da *Internet of Things* (IoT), onde todos os equipamentos se encontram ligados entre si, verifica-se que uma pessoa possui, em média, quatro dispositivos electrónicos como *smartphones*, *tablets* ou *gadgets* [1].

Revela-se então a necessidade de estudar soluções na área da autoalimentação de sistemas electrónicos cujo o objectivo é possibilitar o uso e/ou funcionamento de aparelhos electrónicos sem que para isso, seja necessário recorrer a fontes de energia externas.

Nem sempre a substituição das baterias de determinados equipamentos como sensores de monitorização de parâmetros biomédicos ou sistemas de aquisição de dados, para as diferentes áreas da ciência e/ou lazer, é simples, uma vez que o acesso ao dispositivo pode estar condicionado pela sua localização, ou até mesmo pela complexidade que o próprio processo de permutação acarreta. Além disso, pode ainda revelar-se um inconveniente, devido à sua localização geográfica, a necessidade de recorrer à rede eléctrica convencional para alimentar um determinado equipamento electrónico cuja sua aplicação carece de determinadas condições de operação onde a rede eléctrica não está presente [2], [3].

Novas soluções de obtenção de energia sustentável têm vindo a ser estudadas com o objectivo de potenciar a autonomia dos equipamentos electrónicos [4], [5], [6], tais como a vibração (energia cinética), a temperatura (energia térmica), a água (energia hídrica) ou o sol (energia solar), encontrando-se esta última em franco desenvolvimento nos últimos anos [8], [9], [10]. Estas tecnologias recorrem ao meio ambiente para gerar energia eléctrica (*energy harvesting*), as emissões de gases poluentes, por estas produzidas, são nulas, tais como os custos pagos pela matéria prima, sendo estas

duas das principais causas pelas quais as energias renováveis são cada vez mais utilizadas em detrimento dos combustíveis fósseis.

Dado que a obtenção de energia elétrica a partir de soluções sustentáveis não está dependente de uma localização fixa, a portabilidade dos sistemas digitais conectados a elas aumenta, bem como a sua vida útil. Visto que o ciclo de vida efectivo dos dispositivos se encontra muitas vezes associado ao tempo de vida útil das suas baterias, ao abdicar destes componentes em detrimento de outros mais eficientes, como supercondensadores, a longevidade do aparelho aumenta consideravelmente.

Uma vez que a concorrência no mercado dos dispositivos electrónicos está em crescente aumento, é também conveniente que os novos sistemas que venham a ser desenvolvidos sejam competitivos tanto em termos económicos, ou seja, a sua implementação deve ser a menos onerosa possível, tanto em termos revolucionários, isto é, demarcarem-se das demais tecnologias já existentes para assim conquistarem nichos de mercado.

O principal foco desta dissertação consiste então em obter energia elétrica a partir do sol ou de uma fonte luminosa artificial, recorrendo a uma unidade de gestão de potência (PMU) [11], [12], [13], [14], que deverá ser alimentada por uma célula fotovoltaica orgânica (OPV) de pequenas dimensões. Essa energia recolhida servirá então de alimentação a dispositivos electrónicos no âmbito das IoT, de baixa potência, cujo seu uso se entende por descartável ou de curta duração.

O uso das unidades de gestão de potência prende-se com o facto de a energia fornecida pelas várias fontes de energia alternativas não ser constante, ou seja, dependendo dos requisitos do sistema que se pretende alimentar, poderá ser necessário obter um determinado valor de tensão constante à sua entrada para que este possa operar de forma correta, por exemplo. Dessa forma, a utilização destas unidades é indispensável uma vez que, no âmbito da *energy harvesting*, a energia recolhida não é regulada e pode até apresentar variações significativas.

Outro dos objectivos desta prende-se com a portabilidade dos sistemas. Dado que as OPV's são compostas por matérias orgânicas, estas não carecem de uma estrutura sólida para a sua implementação. Como tal, a proposta apresentada pretende implementar todo o sistema de uma PMU + OPV sobre um material flexível para que este possa posteriormente ser colocado, por meio de um adesivo, em diferentes locais, sem que para isso seja necessário recorrer a uma estrutura complementar.

Com a unidade de gestão de potência proposta estar-se-á ainda a diminuir o impacto ambiental da produção de baterias bem como a reduzir as dimensões dos dispositivos electrónicos sendo, portanto, os custos inerentes à produção destes mais baixos. Numa ótica mais alargada, o sistema sugerido pretende diminuir as emissões de gases poluentes advindos da produção de energia elétrica a partir de combustíveis fósseis.

Quanto ao processo de reciclagem das células fotovoltaicas orgânicas, este revela-se mais simples, quando comparado com os processos homólogos das restantes tecnologias fotovoltaicas, uma vez que os compostos utilizados são biodegradáveis.

É sabido que o rendimento das células fotovoltaicas orgânicas não é muito elevado, sendo a potência disponibilizada por estas na ordem das centenas de  $\mu\text{W}$  [7], [15]. Dessa forma é necessário recorrer a

técnicas de gestão de potência eficientes, nomeadamente, a unidades de gestão de potência. Com estas arquitecturas o rendimento energético das OPV's pode ser impulsionado, tornando a sua implementação viável do ponto de vista do projecto de sistemas de recolha de energia a partir do meio ambiente autossustentáveis.

Um dos principais blocos de uma PMU é o circuito de conversão de energia que, no projeto em causa, necessita de elevar a tensão fornecida pela célula fotovoltaica orgânica. Existem diversas topologias de conversores elevadores de tensão, tais como os conversores baseados em bomba de carga (*charge-pump*) e os conversores DC-DC *step-up* sendo, estes últimos, passíveis de implementação a partir de circuitos indutivos, capacitivos ou mistos, cada uma com as suas vantagens e desvantagens adjacentes. Destas topologias, as mais estudadas pela comunidade científica actualmente são as *step-up* capacitivas e indutivas [16], [17], [18], [19].

A resposta ao longo do tempo de um PMU é transitória e independentemente da topologia considerada para o conversor DC-DC. Como tal é necessário ajustar os parâmetros do conversor para que este se possa ajustar às condições colocadas à sua entrada. Assim, é necessário recorrer a um sistema capaz de controlar e ajustar o conversor DC-DC de acordo com as condições que lhe são apresentadas até que o sistema atinga o regime permanente, ou estático.

O controlo deste tipo de circuitos é realizado no domínio do tempo, logo é necessário recorrer a um circuito que apresente um comportamento dinâmico ao longo deste, como é o caso dos osciladores [20], [21], [22], [23]. São estes circuitos que, combinados com um módulo de controlo, controlam os conversores DC-DC das PMU's.

Existem diversos tipos de osciladores tais como, osciladores de relaxação [24], [25], [26], [27], que permitem controlar o factor de ciclo da onda gerada, mas a frequência desta é fixa, osciladores de cristal de quartzo, que apenas permitem controlar a frequência de oscilação, ou osciladores em anel que também só permitem controlar o valor da sua frequência de oscilação.

Dito isso, esta dissertação predispõe-se a estudar e dimensionar todo o sistema de uma unidade de gestão de potência aplicada a células fotovoltaicas orgânicas. Note-se que, por estudo da unidade de gestão de potência entende-se, análise e implementação do conversor DC-DC e respetivo sistema de controlo. Posteriormente, o sistema será conectado a uma OPV por forma gerar um determinado valor de energia, suficientemente elevado, para alimentar um dispositivo electrónico de baixa potência. O diagrama de blocos preliminar, proposto para a unidade de gestão de potência acima apresentada, encontra-se na Figura 1.1.

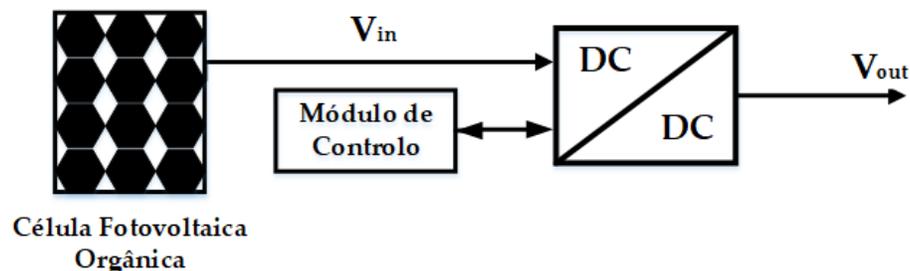


Figura 1.1 - Diagrama de blocos preliminar da PMU proposta

De referir também que esta dissertação se encontra inserida no projecto de investigação científica  $\mu$ FlexBat. Como tal, neste documento apenas será efectuado o estudo e dimensionamento da unidade de gestão de potência que será posteriormente conectada a uma célula fotovoltaica orgânica. Quanto ao estudo e implementação desta fonte de energia alternativa, estes encontram-se a cargo de um outro grupo de trabalho inserido no projecto  $\mu$ FlexBat.

## 1.2 Especificações

Os requisitos principais deste projecto consistem em projectar um conversor DC-DC indutivo, e respetivo controlo, com a capacidade de converter uma gama tensões de entrada que varia de 100 mV a 900 mV, proveniente das células fotovoltaicas orgânicas, nas tensões standard reguladas de 1,2 V e 2,4 V. Outra das especificações impostas é a frequência de comutação do conversor DC-DC, ou seja, o conversor necessita de ser dimensionado para uma frequência entre 100 KHz e 500 MHz. Por fim, existe ainda a especificação da área ocupada por todo o sistema de conversão anteriormente descrito, visto que se pretende uma aplicação portátil do mesmo.

Visto que o foco principal do projecto é a procura de soluções energéticas autossustentáveis para as IoT, considerar-se-á, para a armazenagem da energia recolhida, o uso de supercondensadores em detrimento das baterias convencionais.

Por forma a cumprir as especificações impostas, o circuito da PMU será implementado em circuito integrado, tendo por base a tecnologia CMOS de 0,13  $\mu$ m da UMC. Visto que os transístores MOS têm tensões de limiar baixas, esta é a tecnologia indicada para implementar o circuito da unidade de gestão de potência, uma vez que a tensão fornecida pela célula fotovoltaica orgânica é bastante reduzida. De certa forma este projecto revela-se estimulante pelo facto de não existir na comunidade científica [28], [29], [30], até à data da elaboração deste documento, um conversor DC-DC com a capacidade de converter poucas centenas de mV em tensões standard a uma frequência de comutação tão elevada.

## 1.3 Organização

Esta dissertação encontra-se organizada em seis capítulos e um apêndice, sendo o primeiro capítulo a introdução, onde se insere este tópico. No capítulo 2 são abordadas três topologias de conversores DC-DC tanto em termos de funcionamento como de rendimento, sendo estas o Conversor *Boost* de Comutação Abrupta, o Conversor *Boost* com Condensadores Comutados na Saída e o Conversor *Boost* Duplicador de Tensão apresentado em [32]. Quanto às topologias dos conversores DC-DC, as duas primeiras são do tipo indutivo e a última baseada em condensadores comutados. Dado que o objectivo deste projecto se encontra relacionado com a *energy harvesting*, também neste capítulo são apresentadas e caracterizadas as células fotovoltaicas orgânicas que serão utilizadas na PMU proposta. Encontra-se ainda, neste capítulo, o Estado da Arte onde esta dissertação se baseia, ou seja, é efectuada uma sondagem sobre a comunidade científica com o objectivo de localizar possíveis lacunas e assim enquadrar o propósito deste documento.

No capítulo 3 é apresentada a unidade de gestão de potência proposta, bem como as quatro otimizações da mesma. Este capítulo contém ainda o dimensionamento e implementação da PMU apresentada na tecnologia de circuito integrado CMOS de 0,13  $\mu\text{m}$  da UMC. Para além disso, são ainda apresentados e discutidos todos os blocos que integram a PMU proposta ao nível do seu funcionamento enquanto circuitos electrónicos.

Em seguida, no capítulo 4, são apresentados os layouts decorrentes da implementação das quatro soluções propostas na tecnologia CMOS de 0,13  $\mu\text{m}$ .

É com base nesses layouts, que são realizadas as simulações computacionais que se apresentam no capítulo 5. Por fim, ainda neste capítulo, apresenta-se a análise experimental realizada à PMU posposta em [32] considerando como fonte de energia as células fotovoltaicas orgânicas.

Por fim, no capítulo 6, são apresentadas as conclusões e o trabalho futuro que esta dissertação poderá vir a desencadear.

Adicionalmente, no apêndice A, encontra-se o tutorial referente aos procedimentos a adoptar desde o dimensionamento de um circuito até à simulação do layout do mesmo na tecnologia CMOS de 0,13  $\mu\text{m}$  da UMC. Mais se informa que este tutorial é referente ao software de design de circuitos Cadence IC6.1.6.

## 1.4 Contribuições Principais

As principais contribuições oferecidas por este documento encontram-se relacionadas com o desenvolvimento e implementação de conversores DC-DC de muito baixa potência, integrados em PMU's de *energy harvesting*, utilizando células fotovoltaicas orgânicas. Neste estudo encontra-se ainda contemplado o desenvolvimento e implementação do sistema de controlo adjacente ao conversor recorrendo, para isso, a circuitos ultra *low-power*. Estas contribuições conduzirão à produção de vários artigos em revistas e conferências na área da *energy harvesting*. Como tal, as principais contribuições desta dissertação encontram-se explicitadas em seguida:

- Implementação uma PMU otimizada de quatro formas distintas baseada no conversor *boost* de comutação abrupta indutivo. Dessas quatro otimizações, duas são completamente integradas na tecnologia CMOS de 0,13  $\mu\text{m}$ , sendo as frequências de comutação usadas no controlo destas de 100 MHz e 500 MHz e a tensão de saída igual a 1,2 V. As restantes propostas operam à frequência de 100 kHz e possuem bobines SMT para implementar os conversores DC-DC estando, os restantes circuitos das PMU's, também completamente integrados na tecnologia supra-referida. Nestas soluções as tensões de saída consideradas são de 1,2 V e 2,4 V.
- Dimensionamento e implementação de três osciladores de relaxação e respectivos controlos, de muito baixa potência, totalmente integrados na tecnologia CMOS de 0,13  $\mu\text{m}$ , sendo as frequências de oscilação de 100 kHz, 100 MHz e 500 MHz.

- Estudo das células fotovoltaicas orgânicas para diferentes condições de iluminação, exterior e interior, e respectiva caracterização elétrica em termos de circuito equivalente para utilização em simulações elétricas onde estes dispositivos são requeridos.
- Análise comparativa do rendimento do circuito apresentado em [32] usando como dispositivo de recolha de energia as células fotovoltaicas orgânicas. Note-se que, na sua implementação inicial, este foi testado com células fotovoltaicas de silício amorfo (a-Si:H) para condições de iluminação interiores.
- Análise do desempenho das quatro unidades de gestão de potência propostas nesta dissertação considerando as células fotovoltaicas orgânicas como fonte de energia. Com este estudo, os resultados teóricos obtidos aquando dos dimensionamentos das PMU's serão comprovados e utilizados como base comparativa nas considerações finais do projecto.

## ANÁLISE DOS CONVERSORES DC-DC PARA OPV'S

Dado que a procura por soluções de produção de energias alternativas se encontra em constante desenvolvimento, novas soluções têm vindo a ser estudadas. O desenvolvimento da tecnologia associada às células fotovoltaicas orgânicas tem vindo a expandir-se ao longo do tempo tanto devido aos efeitos ambientais da sua produção, bem como devido aos reduzidos custos de manufactura.

Com o objectivo de tornar a utilização destes dispositivos eficiente, novas unidades de gestão de potência tiveram de ser estudadas. Como tal, também novas topologias de conversores DC-DC foram desenvolvidas [39], [40], [41], [42]. Dessa forma, neste capítulo será realizado um estudo acerca da tecnologia das células fotovoltaicas orgânicas, bem como uma análise comparativa das vertentes capacitiva e indutiva dos conversores DC-DC *step-up* aplicados à *energy harvesting*.

### 2.1 Células Fotovoltaicas Orgânicas

As células fotovoltaicas são dispositivos eléctricos que possuem a capacidade de converter energia solar em energia eléctrica por intermédio do efeito fotovoltaico. Existem diferentes tipos de células, cada um com as suas especificações e características tais como, as células de cristais monocristalinos, as células de silício amorfo, ou as células orgânicas [44], [45], [46],[47].

Dependendo dos requisitos de aplicação, estes dispositivos permitem a sua associação em série ou em paralelo por forma a obter um maior valor de corrente ou tensão, respectivamente. As curvas corrente-tensão (I-V), para um dado par de células fotovoltaicas, nas configurações série e paralelo são apresentadas na Figura 2.1. Por conveniência, os valores de corrente exibidos nas curvas I-V deste documento serão apresentados em valor absoluto.

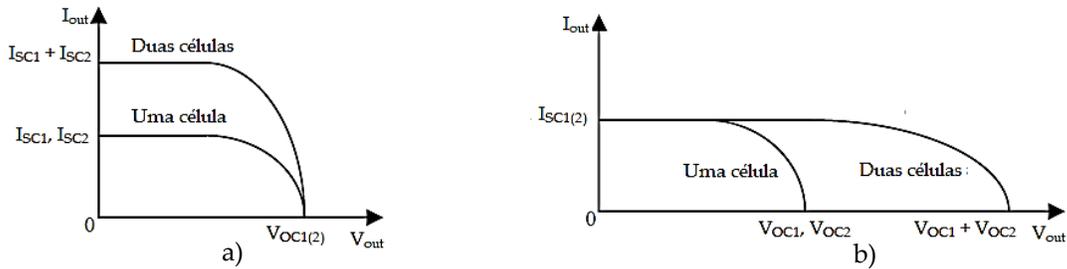


Figura 2.1 - Curva I-V característica de células fotovoltaicas ligadas em série a) e paralelo b)

Observando as curvas I-V da Figura 2.1 verifica-se que, idealmente, uma célula fotovoltaica apresenta um ponto, ao longo da sua característica, onde a sua potência transmitida é máxima, nomeadamente, ponto de máxima potência (MPP). No entanto, há que ter em consideração que a radiação solar que incide sobre a célula não é contante ao longo do tempo. Da mesma forma, a temperatura a que o módulo se encontra é um factor importante na determinação do ponto de máxima potência. Dito isso, o comportamento da curva I-V, para uma determinada célula fotovoltaica quando exposta a diferentes condições de irradiância e temperatura, é descrito na Figura 2.2.

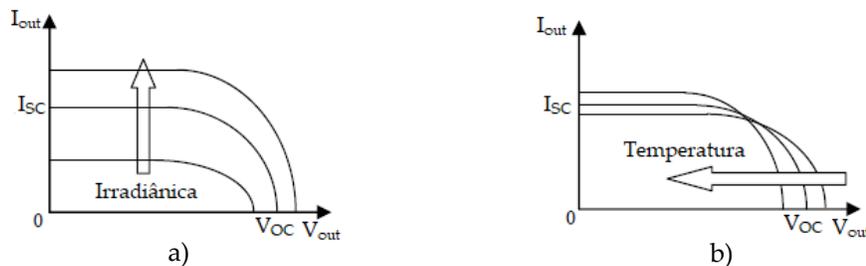


Figura 2.2 - Variação da curva I-V de acordo com a irradiância a) e a temperatura b)

### 2.1.1 Caracterização Elétrica de uma Célula Fotovoltaica

Como referido anteriormente, uma célula fotovoltaica pode ser caracterizada a partir das suas curvas corrente-tensão (I-V). Como tal, existem duas curvas I-V indispensáveis na caracterização de uma célula fotovoltaica, nomeadamente, a curva no escuro e a curva nas condições standard de iluminação, ou seja, com uma irradiância de  $1 \text{ kW/m}^2$  à temperatura ambiente ( $25^\circ\text{C}$ ). A forma típica das curvas I-V, para uma célula fotovoltaica genérica, é apresentada na Figura 2.3.

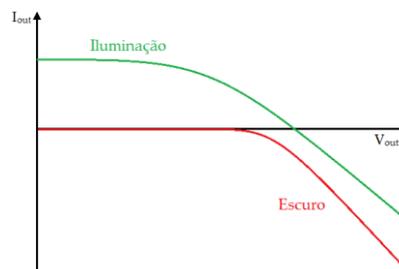


Figura 2.3 - Curvas I-V no escuro e com a iluminação standard de uma célula fotovoltaica

A partir das curvas da Figura 2.3 é possível determinar os parâmetros eléctricos inerentes a uma célula fotovoltaica. Da curva no escuro obtém-se o circuito equivalente da célula, como se mostra na Figura 2.4. A célula pode então ser descrita como um díodo  $D$  e duas resistências ( $R_s$  e  $R_p$ ), uma vez que a curva I-V desta é equiparável à curva de um díodo. Por conseguinte, as resistências  $R_s$  e  $R_p$  encontram-se associadas às perdas de joule do material constituinte da célula e seus terminais e às correntes de fuga no interior da célula, respectivamente.

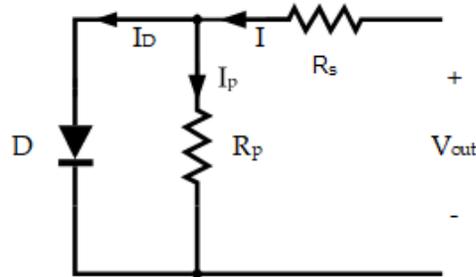


Figura 2.4 - Circuito equivalente de uma célula fotovoltaica no escuro

Sendo as células implementadas a partir de uma junção de dois metais semicondutores, do tipo n e p, e visto que a camada do metal n corresponde à zona mais dopada do sistema, quando a radiação proveniente da fonte luminosa incide sobre a junção dos dois metais esta inicia a condução de corrente que pode ser recolhida junto dos contactos da junção. Dessa forma, o díodo  $D$  representado no esquema equivalente da célula fotovoltaica no escuro (Figura 2.4), permite caracterizar a junção p-n a partir da qual a célula é caracterizada. Sendo assim, a expressão matemática que traduz a corrente  $I_d$  que percorre o díodo é dada pela equação (2.1), onde  $I_s$  corresponde à corrente de saturação do díodo,  $n$  diz respeito ao factor de idealidade do díodo,  $V_D$  é a tensão aos terminais deste, enquanto que a tensão térmica é dada por  $V_T$ . Note-se que, a tensão  $V_D$  é igual à tensão de saída da célula  $V_{out}$  subtraída da queda de tensão aos terminais da resistência série ( $I \times R_s$ ). Não obstante, a tensão térmica é definida a partir da expressão (2.2) em que  $k$  representa a constante de Boltzmann,  $T$  a temperatura da célula e  $q$  a carga do electrão.

$$I_d = I_s \left( e^{\frac{V_D}{nV_T}} - 1 \right) \quad (2.1)$$

$$V_T = \frac{kT}{q} \quad (2.2)$$

Sabendo que a influência das resistências representa um decréscimo no rendimento das células fotovoltaicas uma vez que conduzem a uma dissipação de potência, tem-se que a corrente entregue à carga do sistema, no escuro, é dada pela expressão (2.3).

$$I = I_s \left( e^{\frac{V_{out} - IR_s}{nV_T}} - 1 \right) + \frac{V_{out} - IR_s}{R_p} \quad (2.3)$$

De forma análoga à condição de escuro, também na situação de irradiância standard é possível caracterizar a célula fotovoltaica com o seu circuito equivalente. A única alteração que é efectuada ao

circuito da Figura 2.4 diz respeito ao acréscimo da fonte de corrente  $I_L$  visto que, nestas condições de iluminação, a célula gera uma corrente  $I_L$  a partir da radiação incidente, como se mostra na Figura 2.5.

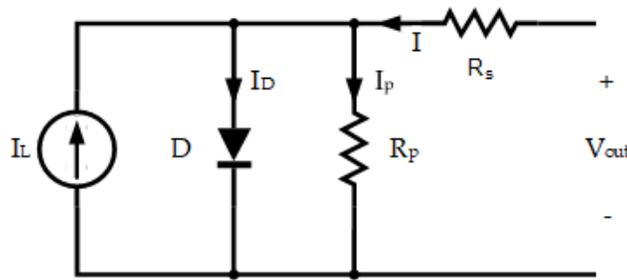


Figura 2.5 - Circuito equivalente nas condições de irradiância standard

Para determinar o valor da corrente colocada aos terminais da célula fotovoltaica  $I_{out}$ , nas condições de irradiância standard, recorre-se à equação (2.4). Por observação desta expressão verifica-se que o rendimento da célula se encontra integralmente ligado às duas resistências que compõem o seu circuito equivalente. Como tal, por forma a potenciar o rendimento das células fotovoltaicas, é de todo o interesse que o valor da resistência série  $R_s$  seja próximo de zero e o da resistência em paralelo  $R_p$  seja o maior possível, idealmente infinito. O impacto que as resistências série e paralelo têm sobre a curva característica de uma célula fotovoltaica pode ser descrito através da Figura 2.6.

$$I = I_s \left( e^{\frac{V_{out} - IR_s}{nVT}} - 1 \right) + \frac{V_{out} - IR_s}{R_p} - I_L \quad (2.4)$$

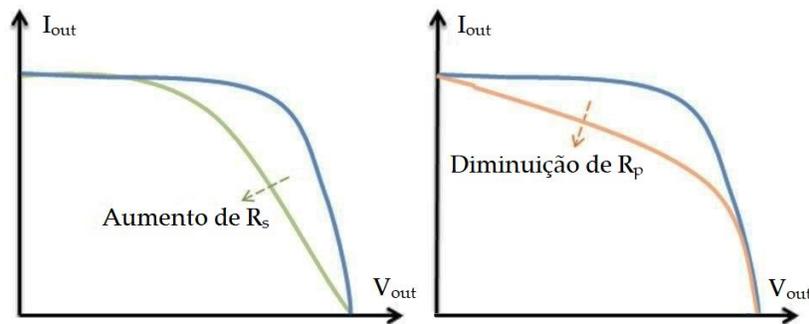


Figura 2.6 - Influência das resistências  $R_s$  e  $R_p$  na característica de uma célula fotovoltaica

Existe ainda uma medida que permite avaliar a qualidade das células fotovoltaicas, o factor de forma (FF). Considerando que a tensão disponibilizada pela célula varia entre zero e a tensão de circuito aberto  $V_{oc}$ , e que a corrente disponibilizada por esta oscila, da mesma forma, entre zero e o valor da corrente de curto-circuito  $I_{sc}$ , é possível estabelecer a relação entre estas duas unidades, sendo o produto destas a potência entregue pela célula à carga. Como tal, existem um ponto, sobre a curva característica da célula, onde a potência de saída é máxima  $P_{max}$ , como verificável na Figura 2.7.

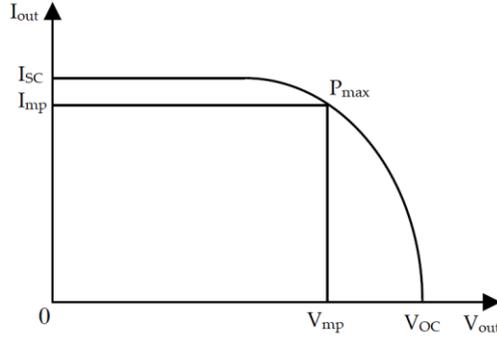


Figura 2.7 - Máximo ponto de potência

Associado a esse valor de potência encontram-se os valores de corrente  $I_{mp}$  e de tensão  $V_{mp}$  para os quais esta é máxima. Com base nestes resultados, é possível determinar o factor de forma da célula fotovoltaica ( $FF$ ). Este factor permite obter o rácio entre o valor máximo de potência  $P_{max}$  e o produto da tensão de circuito aberto  $V_{oc}$  com a corrente de curto circuito  $I_{sc}$ , como apresentado na expressão (2.5).

$$FF = \frac{P_{max}}{V_{oc}I_{sc}} = \frac{V_{mp}I_{mp}}{V_{oc}I_{sc}} \quad (2.5)$$

O resultado de (2.5) fornece assim uma estimativa da curvatura da característica I-V da célula fotovoltaica. Seria de todo o interesse que o factor de forma de uma célula fotovoltaica fosse próximo de 1, dado que a potência disponibilizada por esta representaria o produto da tensão de circuito aberto  $V_{oc}$  com a corrente de curto circuito  $I_{sc}$ .

Por fim importa ainda definir a capacidade inerente a cada célula fotovoltaica. Esta capacidade pode ser descrita, do ponto de vista eléctrico, como um condensador em paralelo com a saída da célula. Assim, recorrendo à expressão (2.6) é possível determinar esse resultado, em que  $\epsilon_0$  corresponde à permissividade no vácuo,  $K_s$  diz respeito à constante dieléctrica do semiconductor, a área útil da célula é dada por  $A$  e a espessura do semiconductor é definida por  $d$ .

$$C = \frac{\epsilon_0 K_s A}{d} \quad (2.6)$$

### 2.1.2 Caracterização das Células Fotovoltaicas Orgânicas

Este tipo de células consiste na sobreposição de diversas camadas de materiais, nomeadamente, vidro, ITO e PEDOT:PSS/PFBTAT-2OD:PC<sub>60</sub>BM/LiF/Al, como se mostra na Figura 2.8. O ITO corresponde ao óxido condutor (Óxido de Índio e Estanho), o PEDOT:PSS ao polímero condutor e o LiF/Al diz respeito ao eléctrodo metálico de alumínio (Al) colocado no topo da estrutura cujo processo de construção passa por uma evaporação térmica da camada activa de Lítio (Li). A camada orgânica da célula é composta por PFBTAT-2OD:PC<sub>60</sub>BM sendo que é nesta camada que se dá a troca de electrões. O princípio eléctrico adjacente a este composto orgânico é o de emissor-colector, ou seja, quando a radiação solar incide sobre o emissor provoca a transferência de um electrão para o colector deixando

um buraco no emissor que possibilita a continuidade do ciclo. As cargas geradas são então recolhidas no eléctrodo de alumínio para serem utilizadas [48], [49]. Em suma, o grande factor distintivo destas estruturas face aos outros tipos de células fotovoltaica prende-se com o facto de os semicondutores utilizados na sua construção serem orgânicos. Assim, estes materiais conferem à célula uma enorme flexibilidade mecânica e baixos custos de produção.

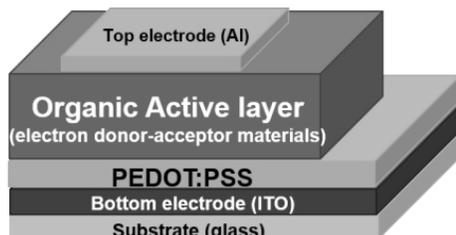


Figura 2.8 - Estrutura de uma célula fotovoltaica orgânica

As células orgânicas utilizadas neste trabalho foram criadas laboratorialmente. Dessa forma, um exemplo dos substratos de vidro construído encontra-se na Figura 2.9. Neste podem observar-se duas zonas mais escuras, nomeadamente, o pixel  $P_1$  e  $P_2$ , que correspondem à camada orgânica da OPV. Estes pixéis implementam duas células fotovoltaicas orgânicas distintas, sendo que cada um possui um contacto de alumínio para uma posterior ligação ao exterior. De forma análoga o ITO, corresponde à camada azul esverdeada, e implementa o substrato das células possuindo, na sua extremidade direita (Figura 2.9), um contacto de alumínio para promover também o seu acesso ao exterior.

Do ponto de vista eléctrico os dois terminais provenientes dos pixéis implementam os polos negativos de cada OPV enquanto que o terminal do ITO corresponde ao terminal positivo, sendo este comum aos dois pixéis do substrato. De referir também que a área activa de cada pixel é de  $0,24 \text{ cm}^2$ .

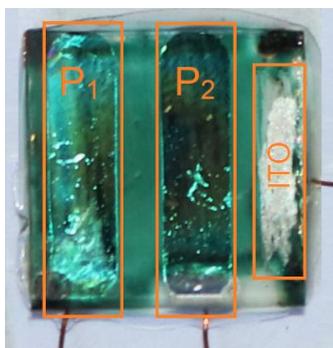


Figura 2.9 - Substrato com duas células fotovoltaicas

Para obter as curvas I-V das células presentes no substrato recorreu-se a uma câmara de atmosfera inerte em azoto ( $\text{N}_2$ ). Este processo foi requerido devido ao facto de as OPV's, quando expostas às condições atmosféricas normais, sofrerem uma elevada deterioração dos compostos orgânicos que as constituem, conduzindo assim, a uma elevada degradação do seu rendimento. A solução que se encontra em estudo para evitar essa degradação passa então por um processo de encapsulamento que permite isolar a célula do meio ambiente, e assim bloquear a interferência da atmosfera na camada activa das células orgânicas.

Considerando que a característica I-V de uma célula fotovoltaica depende da radiação que incide sobre esta, e que, conseqüentemente, influencia os parâmetros elétricos do circuito equivalente, foram obtidas as curvas I-V para os diferentes pixéis do substrato, tendo em conta o nível máximo de iluminação permitido ( $86,25 \text{ mW/cm}^2$ ), e mais quatro níveis de intensidade equidistantes até atingir o valor mínimo de irradiação disponibilizado pelo equipamento utilizado, como se mostra na Figura 2.10. No processo de medição foi utilizado um multímetro/fonte Keithley K2400 e um simulador solar Oriel Sol A, 69920, Newport com AM1.5G. Como instrumento de calibração, para a obtenção no valor de irradiação, foi usado uma célula fotovoltaica de calibração Newport 91150V.

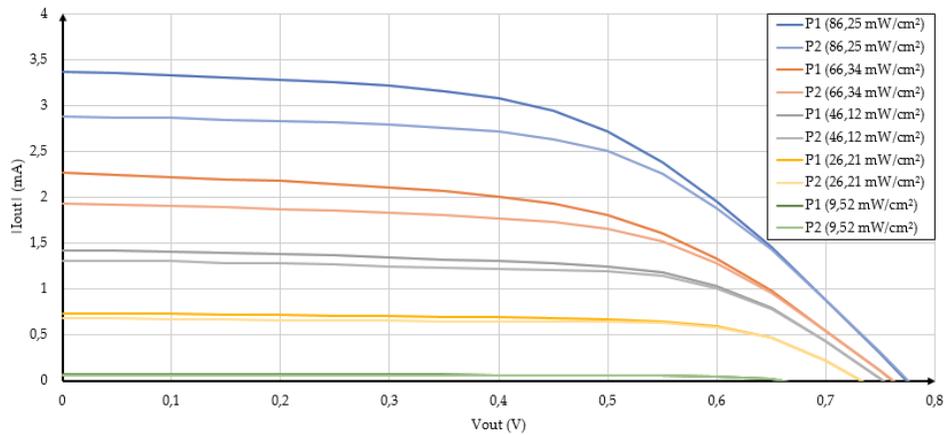


Figura 2.10 - Características I-V para diferentes níveis de iluminação

Considerando que a principal função de uma célula fotovoltaica é fornecer um determinado valor de potência a uma carga, é de todo o interesse conhecer a característica deste parâmetro. Assim, com base nas curvas I-V da Figura 2.10 obtiveram-se as curvas de potência da OPV, para os diferentes níveis de radiação incidente, como se mostra na Figura 2.11.

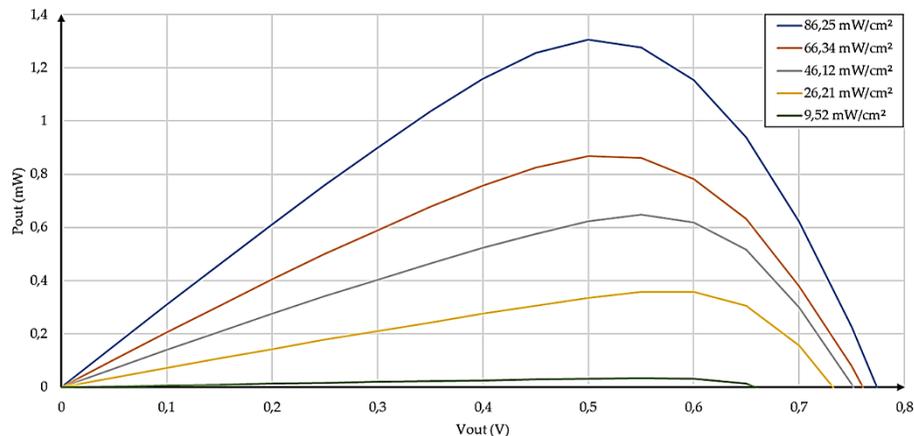


Figura 2.11 - Curva da potência de uma OPV

Como referido anteriormente, é com base nas curvas corrente-tensão da Figura 2.10 que se obtêm os parâmetros elétricos das células fotovoltaicas, nomeadamente, a tensão de circuito aberto  $V_{oc}$ , a corrente de curto circuito  $I_{sc}$ , o máximo valor de potência disponibilizado pela célula  $P_{max}$ , bem como

os valores de corrente  $I_{mp}$  e tensão  $V_{mp}$  que se encontram associados a ele, o factor de forma e por fim, as resistências parasitas  $R_s$  e  $R_p$ . Note-se que existem diversas técnicas de medição das resistências parasitas da célula [50], [51]. A técnica utilizada na determinação das resistências  $R_s$  e  $R_p$  consiste no cálculo do inverso do declive das retas tangentes à curva I-V da célula que passam pela tensão de circuito aberto  $V_{oc}$  e pela corrente de curto circuito  $I_{sc}$ , respectivamente. Dito isto, os parâmetros dos dois pixéis, testados segundo as condições supra-referidas, encontram-se na Tabela 2.1.

Tabela 2.1 - Parâmetros dos pixéis P<sub>1</sub> e P<sub>2</sub> para diferentes níveis de irradiância

Pixel	Irradiância (mW/cm <sup>2</sup> )	$ I_{sc} $ (mA)	$V_{oc}$ (V)	$ I_{mp} $ (mA)	$V_{mp}$ (V)	$P_{max}$ (mW)	FF	$R_s$ ( $\Omega$ )	$R_p$ (k $\Omega$ )
P <sub>1</sub>	86,25	3,38	0,77	2,72	0,50	1,36	0,52	83,33	5,00
	66,34	2,26	0,76	1,81	0,50	0,90	0,53	105,26	4,54
	46,12	1,54	0,75	1,21	0,55	0,67	0,58	111,13	10,49
	26,21	0,80	0,73	0,67	0,55	0,37	0,63	142,86	12,20
	9,52	0,07	0,66	0,06	0,55	0,03	0,70	454,55	121,95
P <sub>2</sub>	86,25	2,88	0,77	2,50	0,50	1,25	0,56	79,14	4,44
	66,34	1,93	0,76	1,52	0,55	0,84	0,57	111,15	4,03
	46,12	1,31	0,75	1,15	0,55	0,63	0,64	117,65	9,75
	26,21	0,68	0,73	0,58	0,60	0,35	0,71	142,86	16,67
	9,52	0,06	0,66	0,06	0,55	0,03	0,77	478,35	180,18

Esta análise da variação dos parâmetros da célula para várias irradiâncias revela-se importante pelo facto de o comportamento eléctrico da célula não ser constante para os diferentes níveis de intensidade luminosa, pelo que poderá vir a comprometer o desempenho dos circuitos que serão conectados à OPV. Como tal, visto que os pixéis utilizados neste ensaio se encontram sob o mesmo substrato e o seu processo de construção é semelhante, podem inferir-se, a partir das suas curvas I-V (Figura 2.10), as curvas típicas para uma OPV implementada segundo o processo apresentado, para os diversos níveis de intensidade luminosa considerados. Desta forma, estão descritas na Tabela 2.2 as características eléctricas de uma OPV baseadas nos valores médios da Tabela 2.1.

Tabela 2.2 - Características eléctricas experimentais de uma OPV

Irradiância (mW/cm <sup>2</sup> )	$ I_{sc} $ (mA)	$V_{oc}$ (V)	$ I_{mp} $ (mA)	$V_{mp}$ (V)	$P_{max}$ (mW)	FF
86,25	3,13	0,77	2,61	0,50	1,31	0,54
66,34	2,10	0,76	1,66	0,53	0,87	0,55
46,12	1,42	0,75	1,18	0,55	0,65	0,61
26,21	0,74	0,73	0,63	0,58	0,36	0,67
9,52	0,07	0,66	0,06	0,55	0,03	0,74

Por fim, encontram-se na Tabela 2.3 os parâmetros do circuito equivalente (Figura 2.5) para as diferentes intensidades de radiação incidente. De referir ainda que, os parâmetros referentes ao diodo foram obtidos aplicando a técnica *curve fitting* às curvas I-V das células no escuro e tendo por base a equação do circuito equivalente (2.3). Dito isso, obteve-se que a corrente de saturação do diodo  $I_s$  é igual a 80 nA e o factor de idealidade  $n$  tem o valor de 2,9. Como tal, por forma a atestar a viabilidade do método utilizado, traçaram-se as curvas I-V para as diferentes irradiâncias (Figura 2.12), sendo estas comparadas com as curvas I-V obtidas experimentalmente a partir dos dados da Tabela 2.2.

Tabela 2.3 - Parâmetros do circuito equivalente de uma OPV para diferentes irradiâncias

Irradiância (mW/cm <sup>2</sup> )	I <sub>l</sub> (mA)	R <sub>s</sub> (Ω)	R <sub>p</sub> (kΩ)
86,25	3,13	81,24	4,72
66,34	2,10	108,21	4,29
46,12	1,42	114,39	10,12
26,21	0,74	142,86	14,43
9,52	0,07	466,45	151,07

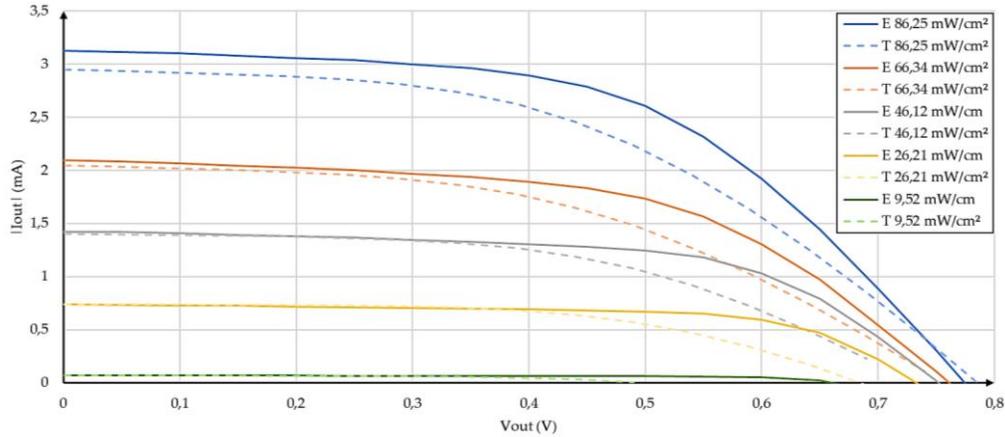


Figura 2.12 - Curvas I-V experimentais vs teóricas para diferentes irradiâncias

Uma vez obtidos os parâmetros da Tabela 2.3, e tendo por base as características elétricas para as diferentes intensidades de irradiância (Tabela 2.2), é possível obter e simular o modelo *SPICE* da OPV em diferentes contextos, ou seja, com o modelo obtido estão reunidas as condições para testar o desempenho e comportamento da célula quando conectada a diferentes tipos de carga.

Quanto aos resultados obtidos na Figura 2.12, verifica-se que as curvas teóricas aproximam as curvas experimentais nos pontos da tensão de circuito aberto  $V_{oc}$  e de corrente de curto circuito  $I_{sc}$ . No entanto, existe alguma discrepância entre as curvas experimentais e teóricas, nomeadamente, em torno dos pontos de corrente  $I_{mp}$  e tensão  $V_{mp}$  onde a potência de saída é máxima. Apesar de as curvas teóricas não aproximarem corretamente as curvas experimentais, estas introduzem no circuito equivalente da célula uma perspectiva pessimista dos resultados pelo que, quaisquer montagens que utilizem o referido circuito apresentarão resultados inferiores aos esperados, não levantando falsas expectativas em relação a estes. Esta discrepância dos resultados está relacionada com o modelo elétrico considerado na parametrização do diodo. O modelo considerado apenas contempla o coeficiente de idealidade  $n$  e a corrente de saturação  $I_s$  deixando assim de parte a resistência interna e a capacidade intrínseca do diodo.

Em suma, determinou-se o valor da capacidade equivalente da célula fotovoltaica orgânica. Como tal, recorrendo à expressão (2.6) obteve-se que a capacidade  $C$  que deve ser colocada em paralelo com o esquema equivalente da OPV, é de 37,5 nF. Para este cálculo foi considerada uma constante dielétrica do semiconductor ( $K_s$ ) de 3 e uma espessura ( $d$ ) de 170 nm.

## 2.2 Conversores DC-DC Indutivos

### 2.2.1 Conversor *Boost* de Comutação Abrupta

O conversor *boost* de comutação abrupta insere-se na gama de conversores DC-DC elevadores de tensão, ou seja, permite aumentar a tensão colocada à sua entrada de acordo com um determinado coeficiente multiplicativo [31]. A arquitetura base deste encontra-se explicitada na Figura 2.13. Do ponto de vista de implementação o interruptor do conversor *boost* pode ser realizado recorrendo a transístores MOS, bem como o diodo  $D$ . Quanto ao condensador  $C_{out}$  este comporta-se como um filtro, ou seja, permite atenuar o *ripple* da tensão à saída do conversor encontrando-se este, no instante inicial, carregado pela tensão  $V_{in}$ .

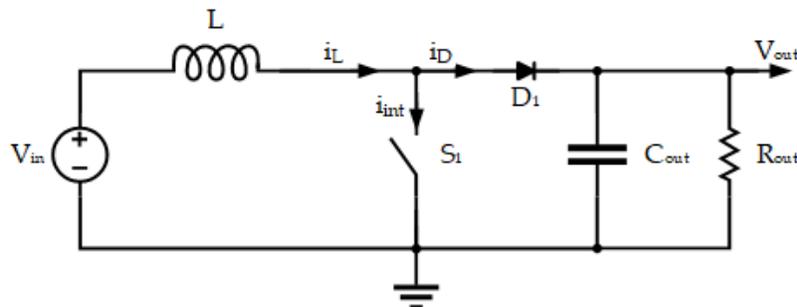


Figura 2.13 - Esquemático do conversor boost de comutação abrupta

O funcionamento deste conversor inicia-se quando o interruptor  $S_1$  é colocado à condução (ON). A partir desse instante a bobine  $L$  começa a ser carregada por forma a que a tensão aos seus terminais ( $v_L$ ) seja igual a  $V_{in}$ . Em termos de corrente, a corrente que percorre a bobine ( $i_L$ ) aumenta linearmente ao longo do tempo que o interruptor estiver ligado ou até que seja atingida a sua saturação. Uma vez colocado o interruptor  $S_1$  ao corte (OFF), a corrente  $i_L$ , que se encontra armazenada na bobine, é forçada a encaminhar-se para a saída.

Controlando a frequência de comutação do interruptor  $S_1$  ( $F_{clk}$ ), ou seja, regulando o rácio de tempo que este se encontra ligado e desligado ( $\delta$ ), é possível controlar o valor da corrente armazenada na bobine  $L$ . Assim, se  $F_{clk}$  for elevada o suficiente de tal forma que a bobine não tenha tempo de descarregar por completo, a corrente vista do lado da carga encontra-se sempre a aumentar face ao ciclo de relógio anterior até que a corrente de saturação da bobine seja atingida. Uma vez aberto o interruptor, a tensão de saída resultante ( $V_{out}$ ), que percorre o diodo  $D$ , resulta da combinação das tensões que se encontram no condensador, nomeadamente,  $V_{in}$  e  $v_L$ .

Visualizando a tensão  $v_L$ , aos terminais da bobine, quando o interruptor se encontra à condução, esta é igual a  $V_{in}$ . Já quando o interruptor se encontra ao corte, a tensão aos terminais da bobine é dada por  $-(V_{out} - V_{in})$ . Note-se ainda que, o valor médio da tensão  $v_L$  é zero uma vez que as tensões nos diferentes instantes de funcionamento do interruptor se encontram em oposição de sinal.

O conversor *boost* de comutação abrupta possui dois modos de operação, nomeadamente, contínuo e descontínuo. No modo contínuo a corrente  $i_L$  que percorre a bobine nunca chega a zero, ou seja, o intervalo de tempo que o interruptor está à condução é superior ao intervalo de tempo em que este se

encontra ao corte. Outro dos factores que conduz a que a bobine nunca descarregue é a própria indutância desta, podendo ser elevada o suficiente por forma a que esta situação não se verifique. Por outro lado, no modo descontínuo, se o *ripple* da corrente  $i_L$  for demasiado elevado, a bobine  $L$  descarrega por completo antes do início do próximo ciclo de relógio. Tal pode dever-se à baixa indutância da bobine ou a um rácio entre os tempos de condução e corte do interruptor  $S_1$  baixo. Quer isto dizer que, dependendo do modo de operação, as equações que resultam na tensão de saída do conversor variam. Assim, as formas de onda das correntes e tensões envolvidas no conversor *boost* de comutação abrupta, no modo de condução contínua e descontínua encontram-se explicitadas na Figura 2.14 e Figura 2.15, respectivamente.

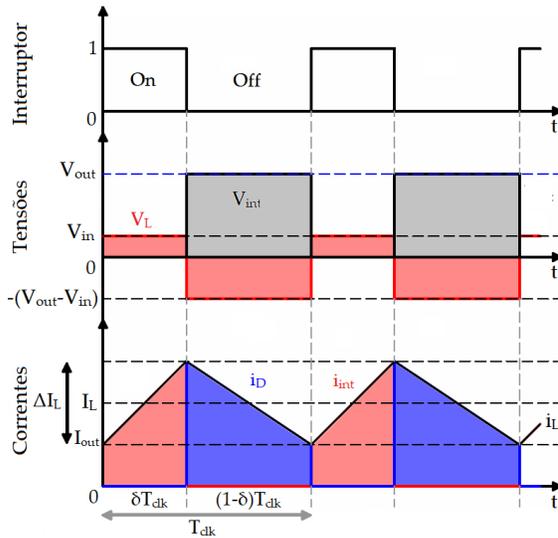


Figura 2.14 - Formas de onda do conversor *boost* de comutação abrupta no modo contínuo

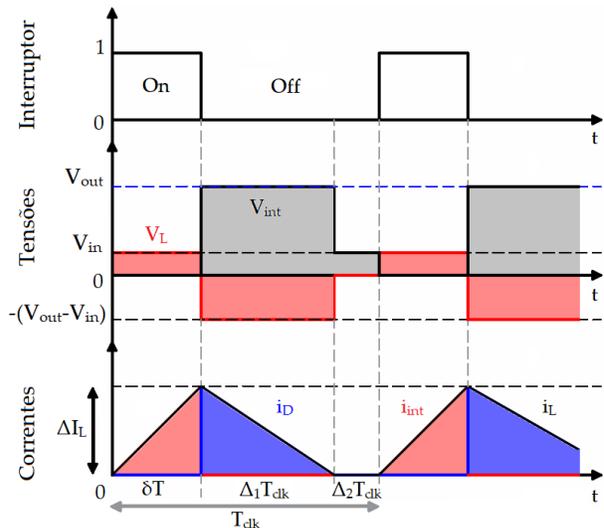


Figura 2.15 - Formas de onda do conversor *boost* de comutação abrupta no modo descontínuo

Quanto ao diodo  $D$ , no instante em que o interruptor se encontra à condução, este previne que a carga armazenada no condensador  $C_{out}$  flua no sentido contrário ao pretendido. Assim, recorrendo a este elemento, evita-se que o condensador descarregue no sentido da fonte de energia do conversor.

Para implementar do conversor *boost* de comutação abrupta é necessário caracterizar alguns parâmetros, nomeadamente, o factor de ciclo ( $\delta$ ), a frequência de operação ( $F_{clk}$ ), o valor da indutância da bobine ( $L$ ) e a capacidade de saída ( $C_{out}$ ). Considerando que o conversor se encontra a operar no modo contínuo (Figura 2.14), o rácio entre as tensões de entrada e saída pode ser deduzido a partir da expressão (2.7).

$$V_{in}(\delta T_{clk}) = (V_{out} - V_{in})(1 - \delta)T_{clk} \quad (2.7)$$

Sendo o rácio  $V_{out}/V_{in}$  dado por:

$$\frac{V_{out}}{V_{in}} = \frac{1}{1 - \delta} \quad (2.8)$$

A partir de (2.8) é possível determinar a expressão que resulta no cálculo factor de ciclo ( $\delta$ ) do conversor DC-DC. O rácio entre o intervalo de tempo que o interruptor  $S_1$  se encontra à condução e o intervalo de tempo em que se encontra ao corte é obtido de acordo com a expressão (2.9).

$$\delta = 1 - \frac{V_{in}}{V_{out}} \quad (2.9)$$

Sabendo que um período da onda PWM que controla o conversor é dado pelo somatório dos intervalos de tempo consecutivos em que este se encontra à condução e ao corte, a frequência de operação pode ser escrita como:

$$F_{clk} = \frac{V_{out} - V_{in}}{V_{out}T_{ON}} = \frac{V_{in}}{V_{out}T_{OFF}} \quad (2.10)$$

Uma vez que a corrente percorre a bobine é variável ao longo do tempo, como visualizado na Figura 2.14, tem-se que o valor efectivo desta corresponde ao valor médio  $i_L$ . Assim, visto que este resultado depende da carga do conversor ( $R_{out}$ ) e do *ripple* da tensão  $v_L$ , que percorre a bobine, tem-se a corrente  $i_L$  é dada por:

$$i_L(t) = I_L + \Delta i_L(t) \quad (2.11)$$

O *ripple* da corrente  $i_L$  na bobine pode ser obtido a partir da tensão que a percorre. Na Figura 2.14, o valor médio desta tensão é zero, pelo que o valor do *ripple* a determinar corresponde ao valor de pico desta variável. Assim, para obter este resultado apenas poderá ser considerada uma das secções da tensão  $v_L$  ao longo de um período de relógio, nomeadamente, a secção onde esta é positiva ou a secção onde o seu valor é negativo.

$$\Delta I_L = \frac{1}{L} \int v_L \cdot dt = \frac{V_{in}\delta T_{clk}}{L} = \frac{(V_{out} - V_{in})(1 - \delta) T_{clk}}{L} \quad (2.12)$$

Simplificando o resultado (2.12) com base em (2.10) obtém-se que o valor da indutância da bobine  $L$  pode ser determinado a partir da expressão (2.13).

$$L = \frac{V_{in}\delta}{\Delta I_L F_{clk}} = \frac{(V_{out} - V_{in})(1 - \delta)}{\Delta I_L F_{clk}} \quad (2.13)$$

Assumindo que não existem perdas no conversor, a potência de saída  $P_{out}$  será igual à potência de entrada  $P_{in}$ . Portando, a expressão (2.8) pode ser reescrita por forma a obter a corrente de entrada do conversor  $I_{in}$ :

$$I_{in} = I_L = \frac{V_{out}}{V_{in}} I_{out} = \frac{1}{1 - \delta} \frac{V_{out}}{R_{out}} \quad (2.14)$$

Sabendo que:

$$I_{out} = \frac{V_{out}}{R_{out}} \quad (2.15)$$

No regime estacionário o valor médio da corrente que percorre o condensador  $C_{out}$  é zero. Dessa forma, considera-se que a corrente de saída, entregue à carga, corresponde à corrente que flui através do diódo  $D$ . Assumindo que a capacidade  $C_{out}$  possui um valor elevado, é possível arbitrar que a tensão

de saída do conversor se aproxima do seu valor em DC ( $v_{out}(t) \approx V_{out}$ ). Logo, tendo em conta as considerações tecidas, tem-se que:

$$i_C(t) \cong \Delta i_D(t) = i_D - I_{out} \quad (2.16)$$

Assim, verifica-se que a forma de onda da corrente  $i_C$  que percorre o condensador é igual à forma de  $i_D$ . Quanto ao valor da corrente, quando o interruptor se encontra à condução, este é igual a  $(-I_{out})$ . Contudo, quando  $S_1$  se encontra à condução, a corrente que percorre o diodo é a mesma que é entregue ao condensador, como explicitado em (2.16).

Por fim, é importante determinar qual o valor ideal da capacidade a colocar na saída do conversor ( $C_{out}$ ). Deste modo, recorrendo à expressão convencional que determina o valor de corrente num condensador ( $I_C = C \cdot dV/dt$ ) tem-se que o valor da capacidade do condensador  $C_{out}$  é dado por:

$$C_{out} \frac{dV_{out}}{dt} = -C_{out} \frac{\Delta V_{out} F_{clk}}{\delta} = -\frac{V_{out}}{R_{out}} \quad (2.17)$$

$$C_{out} = \frac{V_{out} \delta}{\Delta V_{out} R_{out} F_{clk}} = \frac{V_{in} \delta}{\Delta V_{out} (1 - \delta) R_{out} F_{clk}}$$

Do ponto de vista da eficiência, o rendimento do conversor boost é dada pelo rácio entre a potência entregue à carga ( $P_{out}$ ) e a potência disponibilizada pela OPV ( $P_{in}$ ). Dado que a potência de entrada é subdividida na potência dissipada pelo circuito ( $P_{loss}$ ) e na potência de saída tem-se que a expressão do rendimento do conversor DC-DC *boost* de comutação abrupta é dada por:

$$\eta = \frac{P_{out}}{P_{out} + P_{loss}} \quad (2.18)$$

No modo descontínuo, o conversor *boost* de comutação abrupta possui um comportamento semelhante ao seu homólogo contínuo. No entanto, existem algumas alterações nos resultados anteriormente determinados, para o modo de funcionamento contínuo, que carecem de alteração.

Para definir as expressões inerentes ao conversor *boost* de comutação abrupta no modo descontínuo é importante definir a zona de transição, e as condições, onde este deixa de operar em modo contínuo e passa a operar em modo descontínuo. Quer isso dizer que existe um valor limite para a corrente que percorre a bobine ( $I_{L,crit}$ ) onde o conversor DC-DC transita de modo contínuo para descontínuo. Assim, para um dado valor de  $I_L$  o rácio entre a tensão de saída e entrada será afectado de acordo a zona de funcionamento do conversor. Na Figura 2.16 encontra-se explicitado a variação do rácio  $V_{out}/V_{in}$  em função da corrente  $I_L$ , bem como a delimitação da zona dos dois pontos de funcionamento.

Por observação da Figura 2.16, uma vez na zona descontínua, o conversor *boost* de comutação abrupta poderá apresentar tensões de saída demasiado elevadas, comprometendo assim a integridade da carga a que se encontra conectado. Contudo, quando os requisitos do projecto assim o impõem, é possível operar um conversor *boost* na zona de funcionamento descontínuo desde que para isso exista um módulo de controlo capaz de gerir as variações não lineares do factor de ciclo.

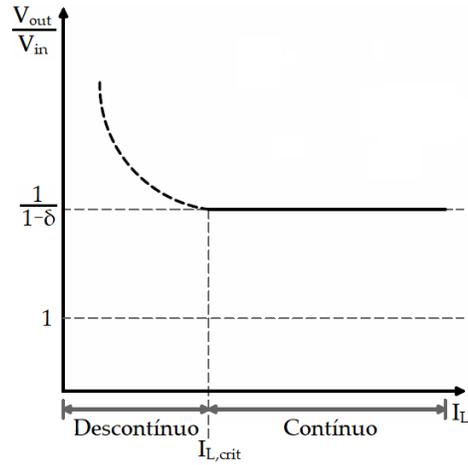


Figura 2.16 - Rácio  $V_{out}/V_{in}$  em função da corrente  $I_L$  nas diferentes zonas de funcionamento

Dito isso, é de todo o interesse conhecer qual o valor crítico de indutância que a bobine  $L$  poderá assumir sem comprometer o funcionamento do conversor na zona contínua. Tem-se que o valor crítico da corrente  $I_L$ , onde o conversor transita de zona de funcionamento, corresponde a metade do valor da corrente de pico  $i_L$ . Uma vez que a tensão aplicada aos terminais da bobine corresponde a  $V_{in}$  é possível calcular, no instante em que  $S_1$  se encontra à condução, o valor crítico da corrente  $I_L$  de acordo com a equação (2.19). A partir deste resultado é então deduzível qual o valor crítico da indutância  $L$ .

$$I_{L,crit} = \frac{V_{in}}{2LF_{clk}} \delta \quad (2.19)$$

Contudo, existe ainda outro factor poderá deslocar o funcionamento do conversor *boost* para modo descontínuo, trata-se da carga que é aplicada a este. Selecionando uma carga abaixo do valor crítico fixado para esta, poderá conduzir o conversor à descontinuidade. Dessa forma, conhecendo o valor da corrente crítica de entrada ( $I_{L,crit}$ ) bem como o resultado  $R_{out} = V_{out}/I_{out}$ , tem-se que o valor crítico para a carga do conversor é definida por:

$$R_{out,crit} = \frac{2LF_{clk}}{\delta(1-\delta)^2} \quad (2.20)$$

Uma vez que, no modo de funcionamento descontínuo, a bobine  $L$  descarrega por completo (Figura 2.15), a corrente de entrada ( $i_{in}$ ) corresponde à corrente que percorre a bobine ( $i_L$ ) em todos os intervalos de tempo. Dito isso, a corrente de pico referente à entrada pode ser escrita com:

$$\hat{i}_{in} = \hat{i}_L = \frac{V_{in}}{L} \delta T_{clk} \quad (2.21)$$

Integrando o resultado (2.21) no tempo, obtém-se que o valor médio da corrente  $I_{in}$  é dado por:

$$I_{in} = \frac{V_{in}}{2LF_{clk}} \delta(\delta + \Delta_1) \quad (2.22)$$

No instante  $\Delta_1$  em que  $S_1$  se encontra ao corte, a corrente entregue à carga ( $I_{out}$ ) resulta do integral da curva de  $I_L$  nesse mesmo instante tal que:

$$I_{out} = \frac{V_{in}}{2LF_{clk}} \delta \Delta_1 \quad (2.23)$$

Assumindo que potência fornecida pela fonte de energia ( $P_{in} = V_{in}I_n$ ) corresponde à potência entregue à carga ( $P_{out} = V_{out}^2/R_{out}$ ) e tendo por base os resultados (2.22) e (2.23) tem-se que a tensão à saída do conversor *boost* de comutação abrupta  $V_{out}$ , na zona de operação descontínua, pode ser obtida a partir da equação (2.24a).

$$V_{out} = \frac{V_{in}}{2} (1 + \sqrt{1 + 4M}) \quad (2.24a)$$

Em que,

$$M = \left( \frac{R_{out}}{2LF_{clk}} \right) \delta^2 \quad (2.23b)$$

## 2.2.2 Conversor *Boost* com Condensadores Comutados na Saída

O conversor DC-DC *boost* com condensadores comutados na saída exposto em [53] engloba, no mesmo circuito, um conversor *boost* convencional e um conversor baseado em condensadores comutados, como apresentado na Figura 2.17. O principal objectivo deste conversor consiste em minimizar as perdas associadas aos conversores *boost* convencionais quando os requisitos acerca da tensão de saída ( $V_{out}$ ) são elevados, perdas essas que se encontram associadas às bobines e aos interruptores que os constituem. Dessa forma, a técnica seleccionada para contornar essas perdas assenta sobre o princípio de adicionar à saída do conversor *boost* convencional um conversor baseado em condensadores comutados. A junção deste segundo conversor permite aumentar o ganho de tensão do conversor *boost* com condensadores comutados na saída, permitindo assim, reduzir de forma significativa o factor de ciclo ( $\delta$ ) da onda PWM que controla o interruptor  $S_1$ , quando comparado com o conversor *boost* convencional. Com o decremento do factor de ciclo, as perdas energia associadas à comutação de  $S_1$  e de condução na bobine  $L$ , diminuem.

O princípio de funcionamento deste conversor é em tudo semelhante ao do conversor *boost* convencional. Contudo, como o segundo andar do conversor é baseado em condensadores comutados, é possível estudar o funcionamento do conversor nos diferentes intervalos de tempo em que  $S_1$  se encontra à condução e ao corte. Na Figura 2.18 e Figura 2.19 estão representadas as diferentes configurações para o circuito do conversor *boost* com condensadores comutados na saída quando  $S_1$  está à condução (ON) e ao corte (OFF), respectivamente.

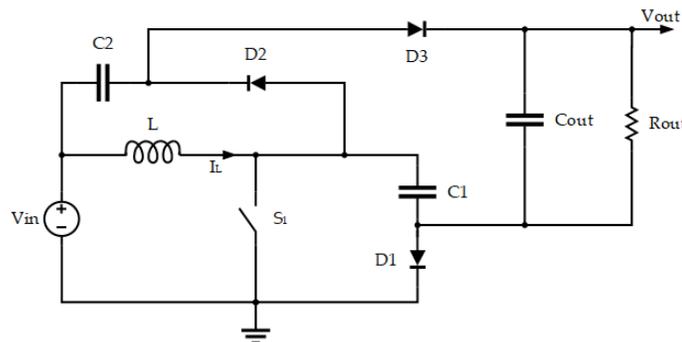


Figura 2.17 - Esquemático do conversor *boost* com condensadores comutados na saída

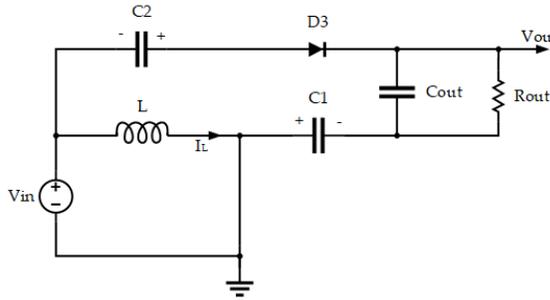


Figura 2.18 - Conversor *boost* com condensadores comutados na saída ( $S_1$  ON)

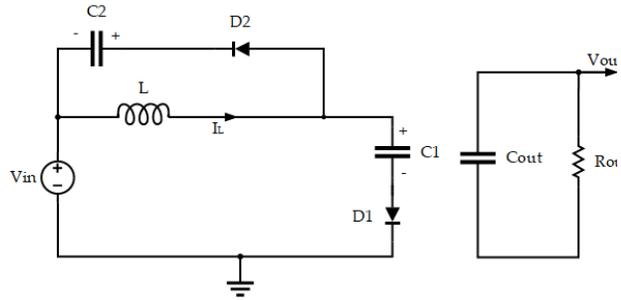


Figura 2.19 - Conversor *boost* com condensadores comutados na saída ( $S_1$  OFF)

Estando o interruptor  $S_1$  à condução (Figura 2.18), a bobine  $L$  é carregada pela fonte de energia  $V_{in}$ . Neste ponto de funcionamento os díodos  $D_1$  e  $D_2$  encontram-se polarizados inversamente e o díodo  $D_3$  encontra-se polarizado directamente, ou seja, permitem que os condensadores  $C_1$  e  $C_2$  alimentem a carga do conversor e carreguem o condensador de filtragem  $C_{out}$ .

Quando  $S_1$  está ao corte (Figura 2.19), a bobine descarrega a energia acumulada no estado imediatamente anterior para os condensadores  $C_1$  e  $C_2$ . Neste estado a alimentação da carga encontra-se a cargo do condensador de filtragem uma vez que os díodos  $D_1$  e  $D_2$  estão directamente polarizados e  $D_3$  se encontra ao corte.

Dado que o controlo do conversor *boost* com condensadores comutados na saída é efectuado a partir do interruptor  $S_1$ , existe a necessidade de caracterizar o factor de ciclo  $\delta$  a aplicar a este por forma a obter um determinado valor de tensão à saída deste. Como tal, o factor de ciclo desta topologia de conversor DC-DC elevador de tensão é dado por:

$$\delta = 1 - \frac{2V_{in}}{V_{out}} \quad (2.25)$$

Outro dos parâmetros a ter em consideração na implementação deste conversor é o valor da indutância da bobine  $L$ . Este resultado é obtido com base no *ripple* da corrente que percorre a bobine (2.26) sendo definido pela expressão (2.27).

$$\Delta i_L = \frac{V_{in}\delta}{LF_{clk}} \quad (2.26)$$

$$L = \frac{V_{out}(1 - \delta)\delta}{2LF_{clk}} \quad (2.27)$$

O segundo andar de conversão, referente aos condensadores comutados  $C_1$  e  $C_2$ , pode ser visto como a fonte de energia da carga acoplada ao conversor *boost* com condensadores comutados. Contudo, visto que carga nestes elementos não é constante, a tensão colocada à saída destes apresenta um determinado *ripple*. Sabe-se ainda que a corrente disponibilizada por este andar corresponde à corrente de saída  $I_{out}$ . Assim, recorrendo à expressão genérica da corrente armazenada num condensador, tem-se que as capacidades  $C_1$  e  $C_2$  são obtidas de acordo com (2.28).

$$C_{1,2} = \frac{I_{out}}{F_{clk} \Delta V_{C1,2}} \quad (2.28)$$

Por conseguinte, aplicando a mesma metodologia, a capacidade associada ao condensador de filtragem  $C_{out}$  é definida a partir da equação (2.29).

$$C_{out} = \frac{I_{out}}{2 F_{clk} \Delta V_{out}} \quad (2.29)$$

## 2.3 Conversores DC-DC Baseados em Condensadores Comutados

### 2.3.1 Conversor *Boost* Duplicador de Tensão

O circuito proposto em [32] tem por base a obtenção de energia a partir de uma célula fotovoltaica contruída em silício amorfo (a-Si:H). Esta arquitetura é composta por quatro blocos independentes, nomeadamente, alimentação local, conversor DC-DC *boost* duplicador de tensão, circuito de *start-up* e controlador de fases. Uma vez implementado o circuito na tecnologia CMOS de 0,13  $\mu\text{m}$  este apresentou um rendimento máximo de 70.3% para uma potência de entrada de 48  $\mu\text{W}$ . O diagrama de blocos do sistema apresentado em [32] encontra-se na Figura 2.20.

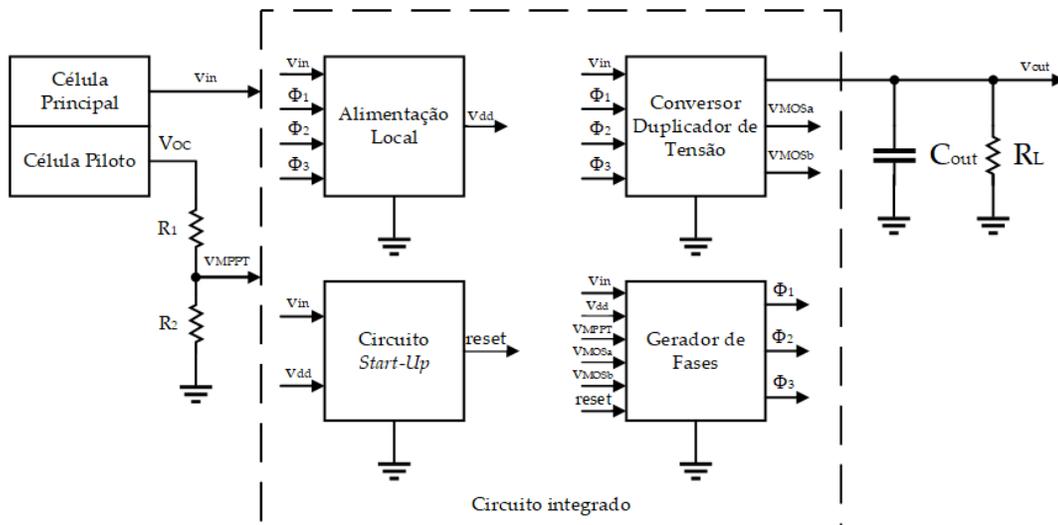


Figura 2.20 - Diagrama de blocos da arquitectura proposta em [32]

Na implementação do conversor DC-DC *boost* duplicador de tensão foi considerada a topologia baseada em condensadores comutados. Este tipo de abordagem permite diminuir a área de implantação dos circuitos bem como o custo, quando comparada com as abordagens indutivas deste género de conversores.

Este tipo de conversores assenta sobre o princípio da carga e descarga de condensadores que, dependendo da configuração das suas ligações, permite incrementar a tensão à sua saída, quando comparada com a entrada (conversores *boost step-up*), ou diminuir a tensão de entrada para um determinado valor (conversores *boost step-down*). O sistema proposto em [32] diz assim respeito a um conversor *boost step-up* duplicador de tensão, ou seja, este circuito possui a capacidade de duplicar a tensão colocada à sua entrada.

O esquemático do circuito de conversão utilizado encontra-se explicitado na Figura 2.21. Neste circuito pode observar-se o esquema equivalente de thevenin da célula fotovoltaica utilizada ( $v_s$ ,  $R_s$  e  $C_{in}$ ), o condensador  $C_1$  e as suas capacidades parasitas ( $C_b$  e  $C_p$ ), bem como os diferentes interruptores que serão comandados pelas fases de controlo. Encontra-se ainda representado na Figura 2.21 a carga que o sistema alimentará, composta por  $C_{out}$  e  $R_L$ .

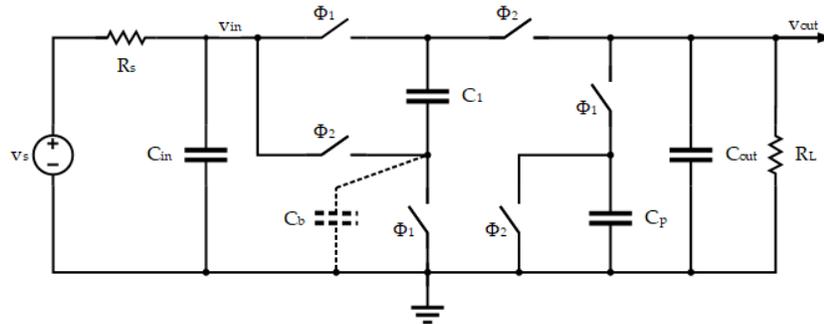


Figura 2.21 - Esquemático do conversor DC-DC apresentado em [32]

Existem três fases de controlo do conversor, comandadas por um sinal de relógio ( $T_{CLK}$ ), nomeadamente,  $\Phi_1$ ,  $\Phi_2$  e  $\Phi_3$ . Estas fases são geradas a partir de um módulo de controlo que permite comutar as ligações entre os diversos terminais do condensador  $C_1$  e respectivas capacidades parasitas ( $C_b$  e  $C_p$ ) por forma a gerar a tensão pretendida. Dessa forma, durante a fase  $\Phi_1$ , o circuito carrega o condensador  $C_1$  com a tensão de entrada  $v_{in}$ , enquanto que na fase  $\Phi_2$  os terminais do condensador  $C_1$  são invertidos pelo que este é colocado em série com a entrada o que, numa situação ideal, resultaria numa tensão à saída do conversor cujo valor seria o dobro da tensão de entrada.

A partir de uma análise individualizada das diferentes configurações do circuito da Figura 2.21 nas fases  $\Phi_1$  e  $\Phi_2$  é possível enunciar as equações de conservação de carga dos condensadores do sistema. Note-se que, para a obtenção destas expressões, é necessário considerar os interruptores ideais, ou seja, que a corrente flui entre os diversos terminais dos condensadores de forma instantânea de tal forma que  $T_{CLK} \ll R_s \times C_{in}$ ,  $T_{CLK} \gg R_{ON} \times C_1$  e  $T_{CLK} \ll R_L \times C_{out}$ . Dito isso, a configuração do circuito, durante a fase  $\Phi_1$  encontra-se na Figura 2.22 enquanto que a representação homologa, para a fase  $\Phi_2$ , se apresenta na Figura 2.23.

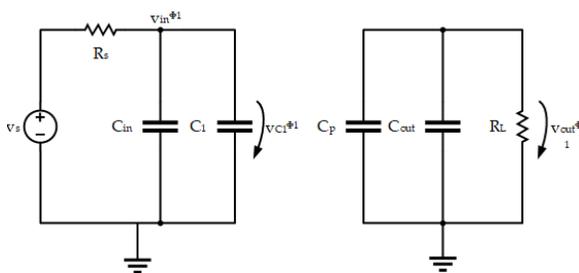


Figura 2.22 - Configuração do circuito na fase  $\Phi_1$

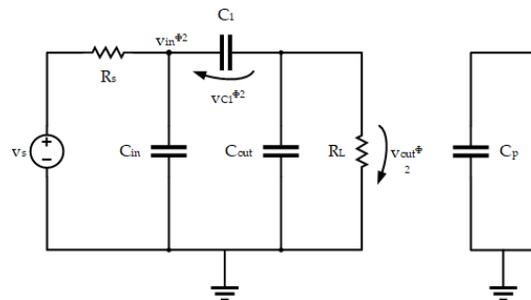


Figura 2.23 - Configuração do circuito na fase  $\Phi_2$

Uma vez compreendidos os diferentes subcircuitos, é então possível deduzir as equações de conservação de carga de cada um. De referir que, a carga no condensador é calculada no final da

respectiva fase em que este se encontra, sendo a nomenclatura utilizada a seguinte:  $n \times T_{CLK}$  (início da fase  $\Phi_1$ ),  $[n - 1] \times T_{CLK}$  (fim da fase  $\Phi_1$ ) e  $[n - 1/2] \times T_{CLK}$  (fase  $\Phi_2$ ). Dessa forma, tendo em consideração os circuitos das Figura 2.22 e Figura 2.23 obtiveram-se as equações de conservação de carga (2.30) para o conversor duplicador de tensão da Figura 2.21.

$$\left\{ \begin{array}{l} -C_1 v_{in}[n-1] + C_{in} v_{in}[n-1] + \frac{T_{CLK} v_s - \frac{1}{2}(v_{in}[n-1] + v_{in}[n - \frac{1}{2}])}{R_s} = C_{in} v_{in}[n - \frac{1}{2}] + C_1 (v_{in}[n - \frac{1}{2}] + v_{out}[n - \frac{1}{2}]) \\ C_1 v_{in}[n-1] + C_{out} v_{out}[n-1] + \frac{T_{CLK} \frac{1}{2}(v_{out}[n-1] + v_{out}[n - \frac{1}{2}])}{R_L} = C_{out} v_{out}[n - \frac{1}{2}] - C_1 (v_{in}[n - \frac{1}{2}] - v_{out}[n - \frac{1}{2}]) \\ C_1 (v_{in}[n - \frac{1}{2}] - v_{out}[n - \frac{1}{2}]) + C_{in} v_{in}[n - \frac{1}{2}] + \frac{T_{CLK} v_s - \frac{1}{2}(v_{in}[n - \frac{1}{2}] + v_{in}[n])}{R_s} = C_{in} v_{in}[n] + C_1 v_{in}[n] \\ C_{out} v_{out}[n - \frac{1}{2}] - \frac{T_{CLK} \frac{1}{2}(v_{out}[n - \frac{1}{2}] + v_{out}[n])}{R_L} = C_{out} v_{out}[n] + C_p v_{out}[n] \end{array} \right. \quad (2.30)$$

Resolvendo as equações definidas em (2.30) em ordem a  $v_{in}$  e  $v_{out}$  obtiveram-se as expressões (2.31) e (2.32). Note-se que estas expressões estão dependentes do regime estacionário do circuito, ou seja,  $V_{in} = v_{in}[n] = v_{in}[n - 1]$  e  $V_{out} = v_{out}[n] = v_{out}[n - 1]$ . Este regime é antecedido do regime transitório imposto pela fonte de energia  $v_s$  e pela carga do sistema  $R_L$ .

$$V_{in} = \frac{T_{CLK} (4(C_{out} C_p + C_1(C_{out} + C_p)) R_L + (C_1 + 4C_{out} + C_p) T_{CLK}) v_s}{16C_1 C_{out} C_p R_L R_s + 4(C_{out} C_p R_L + C_1(C_{out} + C_p) R_L + C_1(4C_{out} + C_p) R_s) T_{CLK} + (C_1 + 4C_{out} + C_p) T_{CLK}^2} \quad (2.31)$$

$$V_{out} = \frac{2C_1(4C_o R_L - T_{CLK}) T_{CLK} v_s}{16C_1 C_{out} C_p R_L R_s + 4(C_{out} C_p R_L + C_1(C_{out} + C_p) R_L + C_1(4C_{out} + C_p) R_s) T_{CLK} + (C_1 + 4C_{out} + C_p) T_{CLK}^2} \quad (2.32)$$

Obtidas as expressões (2.31) e (2.32) é possível atestar a veracidade das mesmas de acordo com as condições definidas em (2.33) e (2.34). Dessa forma verifica-se que os cálculos algébricos realizados estão corretos e daí é possível partir para o dimensionamento do conversor.

$$\lim_{(C_p, C_1, R_L) \rightarrow (0, 0, \infty)} V_{in} = v_s \quad (2.33)$$

$$\lim_{(C_p, C_1, R_L) \rightarrow (0, 0, \infty)} V_{out} = 2 \times v_s \quad (2.34)$$

Uma vez validadas as equações (2.31) e (2.32) verifica-se que tanto a tensão de entrada  $V_{in}$ , como a tensão de saída  $V_{out}$ , podem ser controladas a partir da frequência de relógio. Dessa forma, a condição de maior potência para o conversor duplicador de potência ocorre quando a impedância do circuito é igual a  $R_s$  sendo  $V_{in} = v_s/2$ . Dito isso, a frequência do sinal de relógio deverá diminuir quando a tensão disponibilizada pela fonte diminuir, ou vice-versa, e assim ajustar a potência do circuito para o seu valor máximo (MPP). Assim, o objectivo da arquitectura proposta em [32] consiste em ajustar a frequência do sinal de relógio, que controla o conversor DC-DC, por forma a regular a tensão de saída tendo por base a tensão de entrada do circuito, disponibilizada pela célula fotovoltaica.

Adicionalmente, por forma a incrementar o rendimento do conversor foi considerada a fase  $\Phi_3$ . O recurso a uma terceira fase permite assim reduzir as perdas de carga que ocorrem nas capacidades parasitas do condensador  $C_1$  sendo para isso necessário dividi-lo em dois e duplicar o circuito da Figura 2.21. Dessa forma a nova fase localiza-se entre as fases  $\Phi_1$  e  $\Phi_2$ , sendo esta a nova fase  $\Phi_2$  e a fase  $\Phi_3$  passa a ser a fase  $\Phi_1$  antiga. Assim, durante a nova fase  $\Phi_2$  os terminais das capacidades parasitas referentes aos terminais inferiores dos condensadores  $C_{p1}$  e  $C_{p2}$  são ligados em paralelo. No fim da fase  $\Phi_1$ , a tensão aos terminais de  $C_{p2}$  corresponde a  $v_{in}$ . Já a capacidade parasita  $C_{p1}$  encontra-se descarregada, ou seja, conectada à massa. Durante a fase  $\Phi_3$  as tensões aos terminais de  $C_{p1}$  e  $C_{p2}$  são contrárias às da fase  $\Phi_1$ . Assim, visto que no decorrer da fase intermédia  $\Phi_2$  as capacidades  $C_{p1}$  e  $C_{p2}$  estão ligados em paralelo, dá-se uma redistribuição da carga presente nelas, ou seja, visto que uma das capacidades de encontra carregada com  $v_{in}$  e a outra se encontra sem carga, a tensão resultante, aos terminais das capacidades  $C_{p1}$  e  $C_{p2}$ , é igual a  $v_{in}/2$ . Com esta técnica é então possível aumentar o rendimento do conversor de forma significativa uma vez que as capacidades parasitas já se encontram parcialmente carregadas com metade da tensão necessária. Como tal, é apenas requerida metade da tensão de entrada para carregar por completo essas capacidades o que confere ao circuito um maior aproveitamento das cargas.

O controlo da frequência de relógio  $T_{CLK}$  encontra-se a cargo do módulo do gerador de fases. Este módulo é responsável por gerar três ondas quadradas que correspondem às fases  $\Phi_1$ ,  $\Phi_2$  e  $\Phi_3$  que controlam o conversor DC-DC da Figura 2.21, sendo para isso utilizado um algoritmo de MPPT implementado a partir de uma máquina de estados assíncrona (ASM). Dos inúmeros métodos de MPPT que existem foi selecionado para a arquitectura da Figura 2.20 foi o algoritmo *fractional*  $V_{OC}$ . Esta técnica tem por base a regulação da frequência de oscilação de cada uma das fases do circuito potenciando assim a potência transferida pela célula fotovoltaica. Dessa forma, o algoritmo *fractional*  $V_{OC}$  procura explorar as características inerentes às células fotovoltaicas, ou seja, procura encontrar o valor de uma constante  $k$  que permite relacionar a tensão de circuito aberto da célula ( $V_{OC}$ ) com a tensão onde ocorre o valor máximo de potência da mesma ( $v_{MPP}$ ). Dito isso, como observado no diagrama de blocos do sistema (Figura 2.20), este carece de uma célula fotovoltaica piloto, ou seja, uma célula mais pequena que a célula principal, mas com os mesmos parâmetros de construção, ligada em circuito aberto que permite gerar a tensão  $V_{OC}$ . Assim, a tensão do máximo ponto de potência da célula fotovoltaica ( $v_{MPP}$ ) é atingida multiplicando o valor da tensão de circuito aberto pelo factor  $k$ , implementado através de um divisor de tensão resistivo. De referir que, para que este sistema funcione de forma correta, a célula piloto carece das mesmas condições de iluminação e temperatura que a célula principal, contribuindo assim para uma melhor precisão do máximo valor de potência disponibilizado pelo conversor.

Considerando que o MPP do conversor da Figura 2.21 é dado pela condição  $v_{in_{MPP}} = v_s/2$  é possível determinar a equação do valor óptimo da frequência de relógio ( $f_{CLK}$ ) (2.35), com base a expressão (2.31). Assim, substituindo o resultado obtido em (2.35) em (2.32), tem-se que a tensão à saída do sistema é dada pela equação (2.36).

A partir das expressões calculadas pode determinar-se o rendimento do sistema de acordo com (2.37), em que  $P_{in}$  é dada por (2.38) e  $P_{out}$  por (2.39). Da análise da equação (2.37) resulta que o rendimento máximo do circuito é de 76.4% para uma frequência de relógio óptima de 459.1 kHz.

$$f_{CLK_{MPP}} = \frac{C_1 + 4C_{out} + C_p}{2 \times \left( 4C_1 C_{out} R_s - C_1 C_{out} R_L - C_1 C_p R_L - C_{out} C_p R_L + C_1 C_p R_s + \sqrt{4C_1 C_{out} C_p (C_1 + 4C_{out} + C_p) + R_s R_L + (C_{out} C_p R_L + C_1 (C_{out} + c_p) R_L - C_1 (4C_{out} + C_p) R_s)^2} \right)} \quad (2.35)$$

$$V_{out_{MPP}} = \frac{C_1^2 C_p (R_L - R_s) + 2C_{out}^2 \left( (C_1 + C_p) R_L + 4C_1 R_s \right) + C_1 C_{out} (C_1 R_L + 3C_p R_L + 2C_p R_s)}{2C_1 (2C_{out} + C_p) (C_1 + 4C_{out} + C_p) R_s} v_s - \frac{C_1 \sqrt{4C_1 C_{out} C_p (C_1 + 4C_{out} + C_p) + R_s R_L + (C_{out} C_p R_L + C_1 (C_{out} + c_p) R_L - C_1 (4C_{out} + C_p) R_s)^2}}{2C_1 (2C_{out} + C_p) (C_1 + 4C_{out} + C_p) R_s} v_s - \frac{2C_{out} \sqrt{4C_1 C_{out} C_p (C_1 + 4C_{out} + C_p) + R_s R_L + (C_{out} C_p R_L + C_1 (C_{out} + c_p) R_L - C_1 (4C_{out} + C_p) R_s)^2}}{2C_1 (2C_{out} + C_p) (C_1 + 4C_{out} + C_p) R_s} v_s \quad (2.36)$$

$$\eta = \frac{P_{out_{MPP}}}{P_{in_{MPP}}} \quad (2.37)$$

$$P_{in_{MPP}} = \frac{V_{in_{MPP}}^2}{R_s} = \frac{v_s^2}{4R_s} \quad (2.38)$$

$$P_{out_{MPP}} = \frac{V_{out_{MPP}}^2}{R_L} \quad (2.39)$$

Outro aspecto a ter em conta na arquitectura da Figura 2.20 prende-se com a situação de arranque do circuito. Uma vez que todos os módulos adjacentes ao conversor DC-DC dependem da tensão por este gerada, é necessário, no arranque do circuito, quando a tensão à saída do conversor é muito próxima de 0 V, recorrer a técnicas que permitam fornecer uma tensão fixa capaz de alimentar esses mesmos blocos até que a potência disponibilizada pelo conversor seja suficiente para realizar essa função. Dito isso, foi implementado em [32] um circuito de alimentação local cuja tensão gerada por este é totalmente independente de todo o sistema. A partir desta abordagem é então possível alimentar o circuito gerador de fases que, por sua vez, irá permitir carregar o condensador  $C_1$  do conversor DC-DC (Figura 2.21). Uma vez atingida a tensão necessária para alimentação dos subcircuitos do sistema, este módulo é desligado e a alimentação fica a cargo do conversor DC-DC.

Por forma a garantir o correto arranque do circuito foi ainda desenvolvido em [32] um circuito de *star-up*. Este módulo permite gerar um sinal de reset cuja função é reinicializar toda arquitectura e garantir que o arranque do sistema é o esperado. Assim, a função deste bloco, na situação de arranque do circuito, consiste em assegurar que a tensão gerada pelo módulo de alimentação local é colocada à saída do conversor DC-DC que, por sua vez, irá ser utilizada para colocar em funcionamento o gerador de fases. Dessa forma, quando o valor da tensão gerada pelo conversor DC-DC atinge um valor suficientemente alto para alimentar os restantes circuitos, o circuito de *star-up* desconecta a saída do módulo de alimentação local da saída do conversor DC-DC iniciando assim o funcionamento normal do sistema. O circuito de *start-up* é também responsável por gerar um sinal de reset, sinal esse que comanda o gerador de fases da arquitectura, cuja função é colocar a sua máquina de estados no seu estado inicial.

## 2.4 Estado da Arte de Unidades de Gestão de Potência

No âmbito do *energy harvesting* existem algumas topologias de unidade de gestão de potência que têm vindo a ser estudadas e aprimoradas por forma a integrarem soluções de obtenção de energia renovável. Dado que os conversores DC-DC são os elementos principais das PMU's, dependendo da fonte de energia que se pretende utilizar no sistema, é necessário seleccionar o conversor mais adequado para a aplicação em causa. Deste modo, é possível encontrar na comunidade científica diversos estudos no âmbito da *energy harvesting*, mais concretamente na área dos conversores DC-DC aplicados a soluções de muito baixa potência que podem ser tidos em consideração e que vão ao encontro dos objectivos do projecto  $\mu$ FlexBat. As especificações gerais de algumas dessas soluções podem ser consultadas na Tabela 2.4. Com vista a traçar o enquadramento deste projecto, na Tabela 2.5 encontram-se esquematizadas as vantagens e desvantagens inerentes a cada solução.

Em [33] é apresentada uma técnica de obtenção de energia a partir da temperatura ambiente. Para isso foi implementado um sistema que recorre a conversor DC-DC *Buck* convencional. No entanto, para que a arquitetura referida anteriormente funcione esta necessita de uma tensão de arranque, nomeadamente, 35 mV para garantir o máximo rendimento do circuito de conversão. Uma vez que a finalidade da arquitetura apresentada em [33] é obter uma tensão fixa à sua saída de 1,8 V esta conta com um circuito de armazenamento que, após atingir a tensão de 2,4 V adquirida pela termoelétrica, coloca na entrada do conversor *buck* essa mesma tensão para que possa ser então convertida no valor requerido. De referir ainda que para que todo este sistema possa funcionar de forma correta, verifica-se a necessidade de este possuir uma tensão de referência de 0,7 V utilizada na comutação dos interruptores MOS.

Outra solução de conversão de energia a partir *energy harvesting* é apresentada em [34]. Neste documento é apresentado um conversor *boost* convencional implementado em dois estados, conectados em cascata projectados na tecnologia CMOS de 0,18  $\mu$ m. Recorrendo a transístores MOS de baixa tensão limiar bem como a bobines com elevado factor de qualidade esta técnica de conversão permite obter a tensão de 1,2 V à saída do conversor em 0,06 ms. Para que esta abordagem seja possível a arquitetura conta ainda com um módulo de comparação, que implementa o controlo, e com um módulo obtido através de interruptores MOS que gera uma tensão de referência utilizada no processo de comparação da tensão à saída do sistema de conversão. No entanto, esta arquitetura necessita de duas bobines externas para cumprir as especificações para que predispõe.

O circuito apresentado em [35] foi realizado com recurso a um charge-pump de dois estágios e dois conversores *boost* convencionais. Recorrendo a algumas técnicas de implementação de circuitos integrados para eliminar o efeito de corpo dos transístores MOS, tais como técnicas de *source-bulk*, foi possível obter uma tensão à saída do sistema de 2,4 V. Note-se que para possibilitar o correto funcionamento do conversor foi utilizado um módulo de controlo da tensão de saída tendo por base um LDO. No entanto, esta arquitectura não contempla qualquer controlo sobre a tensão de entrada deixando assim a descoberto uma vulnerabilidade deste sistema uma vez que não possui nenhum sistema capaz de regular a frequência de comutação dos interruptores do conversor. Contudo, só é possível obter a tensão à saída de 2,4 V recorrendo a duas bobines externas de 134  $\mu$ H.

Não existindo requisitos referentes à área de implantação dos circuitos de conversão, em [36] são apresentados dois conversores indutivos-capacitivos, implementados em componentes discretos, sendo estes um conversor *boost* com condensadores comutados na saída e um conversor *boost* de comutação abrupta, respetivamente. Como fonte de energia destes circuitos foram utilizadas células fotovoltaicas orgânicas. Contudo, na implementação destas arquiteturas não foram contemplados quaisquer circuitos de controlo. Dessa forma estas encontram-se limitadas no aspecto em que se a tensão de entrada não corresponder à tensão para que foram dimensionadas, a tensão à sua saída não cumpre aos requisitos previamente estabelecidos. Sendo o factor de ciclo dos interruptores que constituem os conversores um dos principais factores que influenciam a tensão de saída verificam-se discrepâncias nessa mesma tensão quando o factor de ciclo assume valores muito baixos. Note-se que para os resultados apresentados na Tabela 2.4 foi utilizado um factor de ciclo de 58%. Dessa forma, para aplicações discretas estes circuitos revelam ser uma boa abordagem visto que possuem um reduzido número de componentes e a sua implementação é relativamente simples e económica.

Em [37] encontra-se explicitado o desenvolvimento de uma arquitectura para *energy harvesting* utilizando como dispositivos de obtenção de energia células de a-Si:H. O foco deste trabalho prende-se com a obtenção de energia a partir de condições de iluminação habitacionais. O sistema apresentado tem por base um conversor DC-DC *boost* duplicador de tensão controlado a partir de um algoritmo de MPPT. O armazenamento da energia gerada fica a cargo de um supercondensador. O grande nicho deste trabalho prende-se com o facto de este funcionar em condições de iluminação quase nulas, nomeadamente  $0,18 \text{ W/m}^2$ .

Considerando um sistema de *energy harvesting* onde as condições de iluminação são demasiado elevadas, existe a necessidade de tomar medidas preventivas por forma a proteger toda a arquitectura desses níveis de irradiância acima do espectável. Assim, em [38] é apresentada a implementação de um circuito regulador de tensão para sistemas de recolha de energia sustentáveis de baixa potência. Quando aplicado a um sistema fotovoltaico, o circuito apresentado possui a capacidade de regular a tensão de entrada disponibilizada pela célula evitando assim sobretensões nefastas para o restante circuito. Na implementação deste circuito está ainda contemplado um módulo gerador de tensões de referência.

Em [43] é demonstrado o desenvolvimento e implementação de uma PMU obtida a partir de um conversor *boost* indutivo para condições de iluminação típicas de um edifício. Do ponto de vista do controlo do conversor este é efectuado através de um algoritmo de MPPT baseado no método de *Hill-climbing* clássico a operar a uma frequência de relógio de 100 kHz. Quanto à implementação do circuito esta foi realizada de forma integrada na tecnologia de  $0,25 \mu\text{m}$  CMOS, exceptuando a bobine, onde foi utilizada uma bobine SMD de 1 mH. Recorrendo a este método de implementação o sistema permite obter tensões na sua saída que podem chegar até 5 V.

Tabela 2.4 - Estado da arte de PMU's no âmbito da energy harvesting

Artigo	[33]	[34]	[35]	[36]	[36]	[37]	[43]
Tecnologia	0,35 $\mu\text{m}$ CMOS	0,18 $\mu\text{m}$ CMOS	0,13 $\mu\text{m}$ CMOS	SMT	SMT	0,13 $\mu\text{m}$ CMOS	0,25 $\mu\text{m}$ CMOS
Ano	2010	2012	2016	2017	2017	2014	2011
Vin (V)	0,025	0,12	0,4	0,65	0,65	0,6	0,5 – 2
Vout (V)	1,8	1,2	2,4	1,93	2,7	1,2	0 – 5
Área (mm <sup>2</sup> )	1,7	0,273	0,204	228	215	0,31	n.d
Freq. (MHz)	n.d	1 – 5	10	1,2	1,2	0,1 – 0,3	0,1
Rendimento (%)	58	30	n.d	n.d	n.d	70,3	70

Com vista a colmatar algumas das falhas da comunidade científica (Tabela 2.5) no âmbito das PMU's aplicadas à *energy harvesting*, propõe-se que a PMU a dimensionar contemple soluções do ponto de vista da implementação que corrijam essas falhas. Visto que uma das principais falhas observadas na comunidade científica, mais concretamente nas PMU's que envolvem conversores DC-DC indutivos, é a existência de componentes eletrónicos externos, nomeadamente, as bobines necessárias à implementação dos conversores DC-DC propõe-se que na PMU a projectar todo o circuito seja completamente integrado sem que para isso haja prejuízo do rendimento da PMU. Outra das falhas identificadas prede-se com o controlo das PMU's. Como tal, por forma a possibilitar o controlo da tensão de saída do sistema, é de todo o interesse que a arquitetura a implementar possua um método de controlo capaz de ajustar o comportamento do circuito, nomeadamente, o conversor DC-DC, por forma a que este coloque na sua saída a tensão desejada. Por fim, dado que um dos requisitos do projecto  $\mu\text{FlexBat}$  passa pela frequência de funcionamento das PMU's, é requerido que a arquitetura a projectar opere a frequências na ordem das centenas de MHz. Observando a Tabela 2.4 verifica-se que em nenhum dos artigos analisados esse requisito é atingido, sendo este um dos principais focos deste projecto, conseguir implementar uma PMU, completamente integrada, a operar a frequências na ordem das centenas de MHz.

Tabela 2.5 - Vantagens e desvantagens dos artigos analisados

Artigo	Vantagens	Desvantagens
[33]	Ajusta-se para o máximo ponto de potência	Necessita de circuito de arranque
	Tensão de saída regulável	Componentes externos (bobine)
	Eficiência de 58%	-
[34]	Funciona a partir de tensões de entrada de 120 mV	Eficiência de 30%
	Elevada velocidade de resposta	Componentes externos (bobine)
	Frequência de comutação entre 1 e 5 MHz	Não possui controlo
[35]	Frequência de comutação a 10 MHz	Funciona a partir de tensões de entrada de 500 mV
	Tensão de saída de 2,4 V	Componentes externos (bobine)
[36]	Tensão de saída compreendida ente 1,9 V e 2,7 V	Implementação completamente discreta
	Utiliza células fotovoltaicas orgânicas	Frequência de comutação de 1,2 MHz
	Solução atrtiva do ponto de vista económico	Não possui controlo
	-	Testes efecutados em simulador solar
[37]	Arquitectura completamente integrada	Utiliza células fotovoltaicas de a-Si:H
	Funciona com condições de iluminação mínimas	Falha no algoritmo MPPT Hill-Climbing
	Controlo por algoritmo MPPT fractional $V_{OC}$	Frequência compreendida entre 100 kHz e 300 kHz
	Eficiência de 70,3%	-
	Resultados obtidos com iluminação habitacional	-
[43]	Controlo por algoritmo MPPT Hill-Climbing	Frequência de comutação de 100 kHz
	Resultados obtidos com iluminação habitacional	Componentes externos (bobine)
	Tensão de saída de 5 V	Necessita de circuito de arranque
	Eficiência de 70%	-



## UNIDADE DE GESTÃO DE POTÊNCIA PROPOSTA

Como apresentado no capítulo 1, o objectivo do projeto  $\mu$ FlexBat, no qual se insere esta dissertação, consiste em implementar uma PMU para um sistema de baixa potência tendo como fonte de energia uma célula fotovoltaica orgânica. Dessa forma, as topologias de conversores DC-DC apresentadas no capítulo 2 dizem respeito a algumas das propostas que permitem implementar a unidade de gestão de potência de uma OPV. Como tal, existe a necessidade de seleccionar de entre elas qual a que melhor desempenha essa função tendo por base os requisitos do projecto.

### 3.1 PMU Proposta

Na Figura 3.1 encontra-se o diagrama de blocos da unidade de gestão de potência proposta. Analisadas as propostas e considerando os requisitos do projecto, seleccionou-se, para a PMU, o conversor DC-DC *boost* de comutação abrupta. Este foi seleccionado, em detrimento do conversor *boost* com condensadores comutados na saída, uma vez que as tensões que se pretendem obter à saída da PMU são no máximo de 2,4 V logo, o uso deste conversor não se justifica em termos de implementação visto que iriam ser requeridos mais quatro componentes, conduzindo assim a um aumento da área e custo do circuito.

Quanto ao sistema cujo conversor DC-DC baseado em condensadores comutados é enunciado em [32], este possui uma caracterização bem conseguida para as células fotovoltaicas de silício amorfo, no entanto, as especificações do projecto impõem que a PMU opere a centenas de MHz, o que não se verifica no sistema em causa. Porém, esta solução não deixa de ser interessante do ponto de vista de teste no sentido em que o sistema poderá funcionar tendo como fonte de energia as células fotovoltaicas orgânicas.

Serão implementadas quatro soluções da unidade de gestão de potência proposta. Os factores diferenciativos das quatro propostas prendem-se com a frequência de operação dos conversores DC-

DC e com as bobines destes. Dado o avanço das tecnologias de circuitos integrados, a implementação de componentes indutivos, como as bobines, tem vindo a ser aperfeiçoada. No entanto, essa evolução tem-se verificado mais em torno das tecnologias associadas à radio frequência. Quando à vertente de potência, o desenvolvimento destes componentes é ainda diminuto. Dessa forma, as primeiras duas montagens da PMU serão dimensionadas para operar a uma frequência de comutação de 100 kHz, sendo a bobine considerada, uma bobine SMT da *Coilcraft* (modelo XFL2006-473MEB) de  $47\mu\text{H}$ . Nestas duas arquiteturas o factor distintivo entre elas diz respeito à tensão de saída ( $V_{out}$ ), sendo que uma coloca 1,2 V à sua saída, enquanto a outra coloca 2,4 V. As restantes duas montagens da PMU serão totalmente integradas, considerando uma bobine da tecnologia CMOS de  $0,13\ \mu\text{m}$  de  $10\ \text{nH}$ , sendo que uma operará a uma frequência de comutação a 100 MHz e a outra a 500 MHz. Nestas duas últimas soluções, a tensão de saída de ambos os sistemas será de 1,2 V.

A implementação da PMU apresentada assenta sobre quatro blocos fundamentais. O bloco principal, ou seja, o módulo que permite elevar a tensão da OPV, é composto pelo conversor DC-DC *boost* de comutação abrupta já apresentado. Para gerar a onda PWM responsável pelo funcionamento do conversor recorrer-se-á a um oscilador de relaxação semelhante ao proposto em [54]. Este componente possui a capacidade de gerar uma onda quadrada cujo factor de ciclo ( $\delta$ ) pode ser ajustado através do rácio das correntes que controlam o oscilador. Dado que esse rácio permite aumentar e/ou diminuir o factor de ciclo do sinal que controla o conversor DC-DC, revela-se necessário observar o funcionamento da PMU ao longo do tempo. Como tal, propõe-se implementar um par diferencial MOS que permita comparar a tensão gerada pela PMU com uma tensão de referência. Dessa comparação resultará uma corrente de referência que controlará o oscilador. O quarto e último bloco a implementar é apresentado em [32] e consiste no circuito gerador da tensão de referência que servirá como base de comparação ao módulo de controlo do oscilador.

Importa ainda ressaltar a alimentação dos blocos supra apresentados. Estes serão alimentados a uma tensão de 1,2 V, idealmente proveniente da saída da unidade de gestão de potência, por forma a tornar a arquitetura autossuficiente.

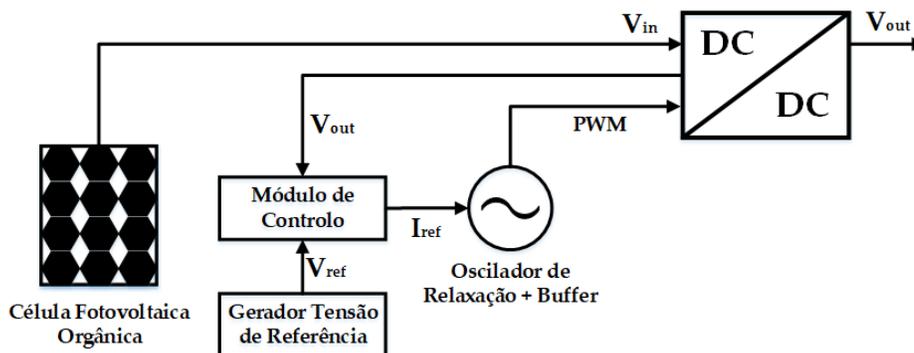


Figura 3.1 - Diagrama de blocos da PMU proposta

Do ponto de vista de implementação, a arquitetura apresentada na Figura 3.1 será implementada recorrendo à tecnologia de circuito integrado CMOS de  $0,13\ \mu\text{m}$  da UMC. Este processo permitirá encapsular todo o sistema inerente à PMU num chip de pequenas dimensões, na ordem dos

micrómetros quadrados, para que possa posteriormente ser testado experimentalmente. É neste processo que se encontra o objectivo mais ambicioso deste trabalho uma vez que não existe, até à data da elaboração desta dissertação, na comunidade científica nenhuma PMU para *energy harvesting* baseada num conversor *boost* indutivo, completamente integrado, a operar a frequências de comutação ( $F_{clk}$ ) como as que se aqui propõem, nomeadamente, 100 MHz e 500 MHz.

Mais se informa que, as expressões apresentadas em seguida referentes aos transístores MOS apenas são válidas para na zona de inversão forte. Uma vez que a tensão na *gate* destes dispositivos será sempre superior à sua tensão limiar ( $V_{TH}$ ), a concentração de electrões do tipo n no canal será sempre igual ou superior à concentração de electrões do tipo p. Assim, para gamas de tensões abaixo da tensão limiar, será necessário considerar outras expressões.

### 3.2 Conversor DC-DC *Boost* de Comutação Abrupta

Para implementar este conversor será necessário dimensionar quatro parâmetros, nomeadamente, o valor da indutância da bobine  $L$ , o interruptor  $S_1$  e o diodo  $D_1$ , implementados com transístores MOS, e o condensador de filtragem  $C_{out}$ . O circuito utilizado no processo de dimensionamento encontra-se na Figura 3.2.

Quanto ao valor da indutância, este encontra-se limitado pela tecnologia de circuito integrado. Logo, a expressão (2.13) não poderá ser utilizada uma vez que, face aos requisitos do projecto, os valores de indutâncias obtidos não são passíveis de implementação em circuito integrado. Assim, a indutância da bobine  $L$  deve ser obtida com base no seu factor de qualidade ( $Q$ ). Este factor permite medir o rendimento de uma bobine para uma determinada frequência de operação ( $f_0$ ). Sabendo que o factor de qualidade de uma bobine é dado pela expressão (3.1) observa-se que, para as frequências de funcionamento consideradas, o valor de indutância de 10 nH conduz a um factor de qualidade de 6,13. Note-se que este resultado se encontra muito á quem dos valores para bobines homologas implementadas em tecnologias discretas. Por esse motivo é que, para a frequência de funcionamento 100 kHz, foi considerada uma bobine SMT cujo factor de qualidade é mais elevado.

$$Q = 2\pi f_0 \frac{L}{R} \quad (3.1)$$

$f_0$  corresponde á frequência de funcionamento da bobine,  $L$  ao valor da indutância desta e  $R$  à resistência série, representativa das perdas no material condutor da bobine.

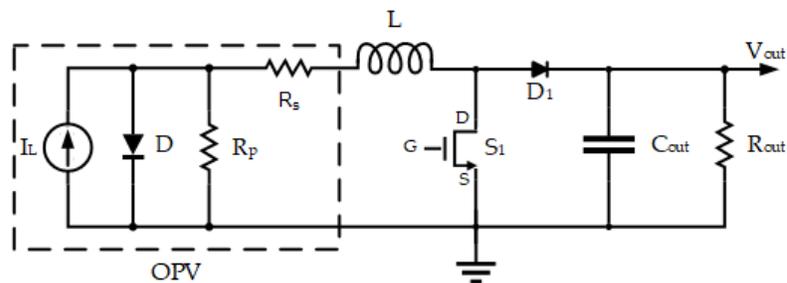


Figura 3.2 - Circuito do conversor DC-DC proposto

Quanto à implementação do interruptor  $S_i$ , esta encontra-se inteiramente relacionada com a sua resistência de condução. Uma vez que este é implementado recorrendo a transístores MOS, seria desejável que, quando à condução ( $S_i$  ON), a resistência de condução deste fosse aproximadamente zero, e que quando ao corte ( $S_i$  OFF), essa mesma resistência fosse bastante elevada, ou seja, próximo de infinito. Respeitando estas condições, as perdas associadas à comutação do interruptor serão minimizadas. Como tal, a resistência de condução de um transístor MOS pode ser enunciada pela equação (3.2).

$$R_{ON} = \frac{L}{W \mu_0 C_{ox} (V_{GS} - V_{TH})} \quad (3.2)$$

$W$  e  $L$  correspondem à largura e comprimento do canal do transístor MOS, respectivamente,  $\mu_0$  corresponde à permeabilidade no vácuo,  $C_{ox}$  diz respeito à capacidade do óxido no qual o transístor é contruído,  $V_{GS}$  corresponde à queda de tensão entre a *gate* ( $G$ ) e a *source* ( $S$ ) do transístor e  $V_{TH}$  representa a tensão de *threshold*, ou tensão limiar. Esta última é indicativa do valor mínimo da queda de tensão que o dispositivo necessita, aos seus terminais, para iniciar a condução entre a *source* e o *drain* ( $D$ ), sendo esta um parâmetro característico do transístor utilizado.

A selecção do tipo de transístor, n ou p, a utilizar no interruptor  $S_i$ , deve ser efectuada com base na condição  $V_{GS} > V_{TH}$ . Uma vez respeitado esse requisito, é garantido que o transístor MOS se encontra na zona de saturação. Dessa forma, quando existe uma tensão mais elevada na *source* do transístor MOS, devem ser considerados transístores do tipo P (PMOS). Estes dispositivos são activos a zero (0), ou seja, iniciam a sua condução quando a tensão na *gate* assume valores abaixo de  $V_{THP}$ , respeitando assim a condição  $V_{SG} > V_{THP}$ . Contrariamente à situação anterior, quando a tensão na *source* do transístor se encontra muito próxima de zero, deverão ser considerados transístores do tipo N visto que este tipo de transístores é activo a um (1), logo a condição  $V_{GS} > V_{THN}$  é garantida mais facilmente. Dado que o interruptor  $S_i$  tem como função carregar e bobine  $L$  ligando-a à massa, será conveniente recorrer a um transístor NMOS para efectuar a sua implementação.

Do ponto de vista de dimensionamento, observando a expressão (3.2), o transístor  $S_1$  deverá possuir uma resistencia de condução baixa. Dessa forma, dever-se-á optar por um transístor com um rácio  $W/L$  elevado.

Recorrendo às propriedades intrínsecas dos transístores MOS, é possível implementar o diodo  $D_1$ . Conectando a *gate* e o *dreno* de um transístor, observa-se que a curva característica da corrente que o percorre em função da queda de tensão  $V_{DS}$  é semelhante à curva de um díodo ideal. Como tal, o processo de selecção e implementação do transístor que implementa o diodo  $D_1$  é equivalente ao do interruptor  $S_i$ . Dado que a tensão à saída do conversor ( $V_{out}$ ) é, teoricamente, a mais elevada de todo o circuito, optou-se por um transístor PMOS para implementar este dispositivo. Quanto à implementação, o princípio da resistência de condução enunciado em (3.2) mantém-se, pelo que o rácio das dimensões  $W/L$  do transístor deve ser o maior possível, dentro das limitações da tecnologia por forma a evitar *edge effects* ou efeitos de canal curto.

Relativamente ao condensador de filtragem  $C_{out}$ , o seu processo de dimensionamento será baseado na expressão (2.17). Como tal, o valor da capacidade deverá ser determinado por forma a obter um

ripple de 1% na tensão de saída ( $V_{out}$ ). Quanto à implementação, será utilizado um condensador MIM da tecnologia. Uma vez que o valor da capacidade esperada para este condensador será alto, a adopção da tecnologia MIM em detrimento da MOM é mais conveniente. Esta escolha deve-se ao facto de os condensadores MIM possuírem mais capacidade por unidade de área, conduzindo assim a uma redução dos custos de implementação. De referir também que, nas duas arquitecturas propostas de mais baixa frequência (100 kHz), o condensador  $C_i$  será implementado através de componentes discretos. Dado que nestas soluções já existe um componente externo, a sua flexibilidade face aos requisitos do projecto já se encontra comprometida. Dessa forma, ao não implementar estes componentes em circuito integrado, está-se a minimizar a área de implantação, logo os custos associados serão menores.

Por fim, a resistência  $R_{out}$  pretende representar a carga da PMU. Esta representa um qualquer dispositivo electrónico de baixa potência, pelo que o seu dimensionamento não é requerido. Este componente apenas será utilizado aquando das simulações eléctricas e experimentais dos sistemas.

Na Tabela 3.1 encontram-se os parâmetros de dimensionamento, anteriormente explicitados, para as quatro topologias da PMU proposta, referentes ao bloco do conversor DC-DC.

Tabela 3.1 - Parâmetros de dimensionamento do conversor DC-DC para as soluções propostas

Componente	100 kHz (1,2V)	100 kHz (2,4 V)	100 MHz	500 MHz
L	47 $\mu$ H	47 $\mu$ H	10 nH	10 nH
$S_1$ (W/L)	75 $\mu$ m / 360 nm	270 $\mu$ m / 360 nm	75 $\mu$ m / 120 nm	75 $\mu$ m / 120 nm
$D_1$ (W/L)	600 nm / 2 $\mu$ m	600 nm / 2 $\mu$ m	600 nm / 2 $\mu$ m	600 nm / 2 $\mu$ m
$C_{out}$	40 nF	40 nF	2,45 pF	2,45 pF

### 3.3 Oscilador de Relaxação

Dando seguimento à implementação das unidades de gestão de potência, existe a necessidade de projectar e implementar um circuito de oscilação, gerador da onda PWM, cujo o objetivo é garantir o funcionamento do conversor DC-DC *boost* de comutação abrupta explicitado no capítulo 2. Observando algumas das soluções propostas na literatura [55], [56], [57], [58], a topologia de oscilador que melhor satisfaz os requisitos da PMU apresentada é a do oscilador de relaxação não linear [54]. Este circuito permite gerar uma onda PWM com um factor de ciclo ( $\delta$ ) é regulável, satisfazendo assim as necessidades do conversor DC-DC do sistema.

#### 3.3.1 Estudo Teórico

O oscilador que se pretende implementar possui dois elementos base, nomeadamente, um integrador e um *Schmitt Trigger*, tal como explicitado em [54]. O diagrama de blocos deste sistema encontra-se representado na Figura 3.3. O bloco do *Schmitt Trigger* actua como elemento de memória do sinal gerado pelo integrador. Para uma melhor compreensão da arquitetura, na Figura 3.4 encontra-se

explicitadas as formas de onda tanto à saída do integrador ( $v_{INT}$ ), como à saída do Schmitt Trigger ( $v_{ST}$ ) ao longo do tempo.

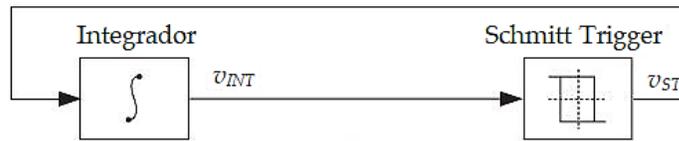


Figura 3.3 - Diagrama de blocos de um oscilador de relaxação

O sinal à saída do *Schmitt Trigger* depende estritamente do sinal gerado pelo integrador. Este componente funciona de acordo com um ciclo de histerese que é facilmente implementado a partir de um amplificador saturado que força o valor da sua tensão de alimentação a deslocar-se para a saída. Uma vez que a onda gerada pelo *Schmitt Trigger* é uma onda quadrada, ao esta ser integrada no bloco do integrador resulta numa onda triangular que, conseqüentemente, causa uma inversão na onda do *Schmitt Trigger*, dando assim origem a uma variação periódica como demonstrado na Figura 3.4.

A amplitude da onda  $v_{ST}$  depende inteiramente da tensão de alimentação do *Schmitt Trigger*, enquanto que a frequência de oscilação da mesma depende do intervalo de tempo que o sinal  $v_{INT}$  demora a atingir dois picos de tensão consecutivos.

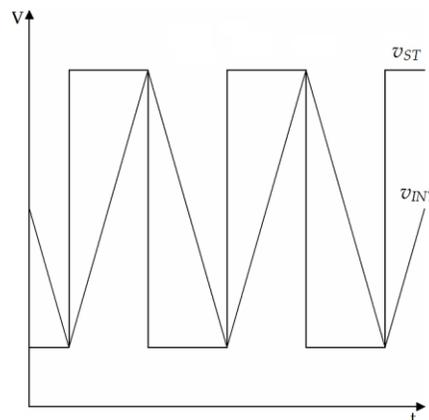


Figura 3.4 - Formas de onda geradas num oscilador de relaxação

Quanto à implementação deste oscilador, em circuito eletrônico, esta é obtida a partir de um circuito *RC* comandado por dois interruptores. Esta implementação permite assim obter altas frequências de oscilação, com uma influência do ruído introduzido pelos interruptores do *Schmitt Trigger* significativamente baixa. O surgimento deste ruído resulta da comutação dos interruptores que, a altas frequências de comutação, pode ser prejudicial no processo de oscilação.

Dessa forma é possível implementar um oscilador de relaxação recorrendo a um condensador e duas fontes de corrente, para construir o integrador, e a duas resistências e dois transístores MOS para implementar o *Schmitt Trigger*. O esquemático do circuito acima referido encontra-se na Figura 3.5.

A partir da montagem da Figura 3.5 é possível compreender melhor o funcionamento deste oscilador. Por simplificação, considerou-se  $R_1 = R_2$  e  $I_1 = I_2$ . Assumindo que o transístor  $M_1$  se encontra ao corte, a tensão em  $V_1$  é igual a  $V_{dd}$ , isto considerando que os transístores utilizados transitam de

região de funcionamento suficientemente rápido para que se possa considerar a tensão igual a  $V_{dd}$ . Desta forma, a tensão na *gate* do transistor  $M_2$  é superior à tensão na *source* deste, pelo que, a tensão  $V_{GS2}$  é maior que zero, fazendo com que o transistor se encontre à condução. Uma vez à condução, o transistor  $M_2$  é percorrido por uma corrente de valor  $2I$ , corrente essa que desloca o valor da tensão  $V_2$  para o valor  $V_{dd} - 2RI$ . Visto que o condensador  $C$  se encontra carregado, a tensão na *source* do transistor  $M_1$  é maior que a tensão na *gate* deste. Com isto, a tensão  $V_{GS1}$  passa a ser menor que zero, portanto, quando a corrente, no transistor  $M_2$ , começa a descarregar o condensador  $C$  dá-se início a um ciclo de oscilação que faz com que tensão na *source* do transistor  $M_1$  decresça, tornando a tensão  $V_{GS1}$  maior que zero. Com isto, a tensão na *gate* do transistor  $M_2$  passa a assumir o valor de  $V_{dd} - 2RI$ , fazendo com que este fique ao corte. Uma vez atingido o ponto inicial, o ciclo de funcionamento do oscilador de relaxação volta a repetir-se de forma periódica.

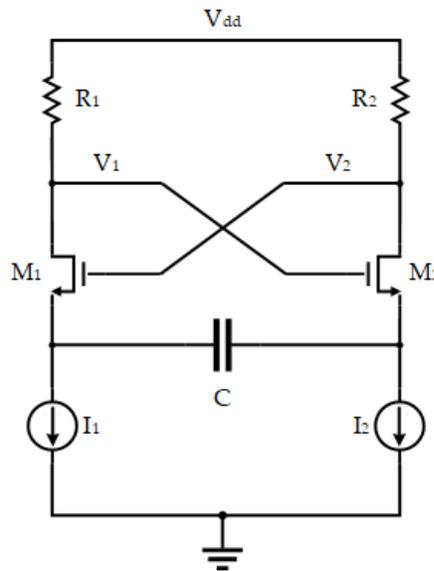


Figura 3.5 - Esquemático do oscilador de relaxação

Quanto ao sinal de saída do oscilador, este é obtido de forma diferencial, isto é, é obtido pela diferença das tensões  $V_1$  e  $V_2$ , nos drenos dos transístores MOS. Tendo em consideração a comutação alternada dos transístores  $M_1$  e  $M_2$ , a tensão de saída do oscilador é dada pela expressão (3.3). Estes resultados correspondem aos limites do ciclo de histerese do *Schmitt Trigger*.

$$V_{out} = \begin{cases} V_{dd} - (V_{dd} - 2RI) = 2RI & M_1 \text{ ON} \\ & M_2 \text{ OFF} \\ V_{dd} - 2RI - V_{dd} = -2RI & M_1 \text{ OFF} \\ & M_2 \text{ ON} \end{cases} \quad (3.3)$$

Outro parâmetro relevante para o dimensionamento do oscilador de relaxação é a frequência de oscilação do mesmo. Esta encontra-se estreitamente relacionada com a corrente injetada no circuito e com a capacidade do condensador  $C$  nele utilizado. Desta forma, a queda de tensão no condensador varia de acordo com a corrente que o percorre. Esta relação pode ser explicitada pela constante de integração do condensador (3.4). Outro dos parâmetros essenciais para o dimensionamento da frequência de oscilação é a amplitude pico a pico da onda triangular  $V_{INT}$ , dada por (3.3) e igual a  $4RI$ ,

em valor absoluto. Assim, a frequência de oscilação do oscilador de relaxação pode ser escrita de acordo com (3.5).

$$k_{int} = \frac{I}{C} \quad (3.4)$$

$$f_0 = \frac{I}{2C(4RI)} = \frac{1}{8RC} \quad (3.5)$$

Outra das versatilidades do oscilador de relaxação é a possibilidade de controlar o factor de ciclo do sinal  $V_{ST}$ . Este controlo é realizado através da regulação das fontes de corrente do integrador, possibilitando o controlo do intervalo de tempo de subida e/ou descida do sinal  $V_{INT}$  que, por sua vez, reduz ou aumenta o intervalo de tempo em que o flanco ascendente e/ou descende do sinal  $V_{ST}$  actua.

Note-se que, em contexto real, os transístores  $M_1$  e  $M_2$  não comutam da região de corte para a região de saturação de forma instantânea, assim quando se dá o processo de transição os transístores passam pela região de tríodo, onde o seu comportamento é aproximado a uma resistência. Essa transição é então responsável pela introdução de ruído no sinal PWM do oscilador. Também a altas frequências, ao reduzir o valor da capacidade  $C$ , verifica-se que a influência dos parasitas dos transístores no valor da impedância de entrada do *Schmitt Trigger* se faz sentir.

### 3.3.2 Dimensionamento

Do ponto de vista da implementação do oscilador de relaxação, existem alguns factores a ter em consideração. O primeiro factor prende-se com o consumo deste bloco. Dado que a PMU receberá poucas dezenas de  $\mu\text{W}$  vindos da OPV, será conveniente que esta possua um rendimento significativo. Como tal, o circuito que a implementa deverá consumir o menor valor de potência possível. Portanto, a potência consumida pelo oscilador deverá ser a mais reduzida possível, o que representa também um desafio em termos de implementação, já que, nas propostas encontradas acerca desta topologia, os consumos desde tipo de circuito encontram-se na ordem dos mW para frequências de oscilação de poucas centenas de kHz [56], [57].

Outro dos factores a ter em consideração é a variabilidade do factor de ciclo ( $\delta$ ) da onda PWM. Numa situação ideal, este parâmetro deveria de variar entre 0 e 1, com uma frequência de oscilação fixa. Contudo, devido às limitações da tecnologia IC, tal não será possível.

Uma vez contruído o circuito, o acesso aos parâmetros das resistências  $R_1$  e  $R_2$ , do condensador  $C$  e dos interruptores  $M_1$  e  $M_2$  fica interdito. Assim, o único grau de liberdade disponível, para controlar o factor de ciclo, serão as correntes  $I_1$  e  $I_2$ . A técnica a considerar terá como princípio a fixação da corrente  $I_2$ , e a variação a corrente  $I_1$ , de acordo com o factor de ciclo pretendido. Como tal, uma vez que os parâmetros dos restantes componentes se encontram fixos, a frequência de oscilação irá apresentar oscilações em torno do seu valor de dimensionamento. Por esse motivo, o dimensionamento dos osciladores de relaxação, para as quatro topologias da PMU, será efectuado para um factor de ciclo de 50%, considerando  $I_1 = I_2$ .

O processo de implementação dos interruptores  $M_1$  e  $M_2$  é similar ao do interruptor do conversor DC-DC, baseado na resistência de condução. Assim, de acordo com a expressão (3.2) o rácio entre a largura e o comprimento dos transístores MOS, que implementam estes interruptores deve ser o mais elevado possível, independentemente do tipo de polarização considerado.

Neste contexto em específico, a seleção do tipo de transístor revela-se diferente da técnica utilizada nos conversores DC-DC. Deste modo, é necessário avaliar as diferentes características inerentes aos dois tipos de polarização dos transístores MOS, nomeadamente n e p. Do ponto de vista de velocidade de comutação os transístores NMOS são mais eficientes que os PMOS. Esta característica encontra-se, em grande parte, associada à mobilidade dos electrões portadores de carga. Nos transístores de canal n a mobilidade destes electrões é mais elevada, pelo que a transição da região de corte para a região de saturação é mais rápida, quando comparada com a dos transístores PMOS. Dito isso, para que um transístor PMOS possua uma velocidade de comutação semelhante à de NMOS a sua largura deverá ser três vezes superior à do seu homólogo NMOS.

Quanto à resistência de condução, comparando as duas tecnologias de transístores MOS, ou seja, transístores com as mesmas dimensões e condições de operação, observa-se que os transístores de canal n possuem uma resistência de condução inferior à dos transístores de canal p, podendo esta afirmação ser provada pela expressão (3.2). Dessa forma, em termos de área de implantação, para obter a mesma resistência de condução, a área ocupada por um transístor NMOS é cerca de três vezes menor que a área ocupada por um transístor PMOS, podendo este factor ser uma mais valia no processo de selecção.

Do ponto de vista de sensibilidade ao ruído externo, os transístores PMOS demarcam-se dos NMOS. Visto que os transístores PMOS necessitam de maiores dimensões para realizar as mesmas funcionalidades dos NMOS, o seu canal mostra ser necessariamente maior. Contudo, este aumento confere a estes dispositivos uma maior imunidade a ruídos externos, uma vez que é possuem menos ruído de *flicker*, provocado por outros componentes do circuito. Outro aspecto que prende-se com a própria construção do transístor, uma vez que os transístores PMOS se encontram dentro de um poço do tipo *n well* o que lhes confere um melhor isolamento. Tecidas estas considerações e tendo em consideração as frequências às quais se pretende operar os osciladores, optou-se por utilizar transístores PMOS para implementar os interruptores  $M_1$  e  $M_2$ . Uma vez que os requisitos referentes às áreas de implantação dos circuitos não são demasiado exigentes, a selecção destes componentes trará aos circuitos dos osciladores uma maior imunidade relativa ao ruído externo.

Quanto à implementação das fontes de corrente  $I_1$  e  $I_2$ , esta será conseguida através de um repetidor de corrente ou espelho de corrente convencional. Na Figura 3.6 encontra-se representado o circuito equivalente de uma fonte de corrente implementada de acordo com a técnica referida.

O princípio de funcionamento do circuito da Figura 3.6 assenta sobre o rácio das correntes  $I_{REF}$  e  $I_1$ . Dessa forma, considerando que os transístores se encontram na zona de saturação, a corrente que os percorre é definida pelo resultado (3.6).

$$I_D = \frac{\mu_0 C_{ox} W}{2 L} (V_{GS} - V_{th})^2 \quad (3.6)$$

O resultado ( $V_{GS} - V_{th}$ ) é também, usualmente, denominado de tensão de saturação ( $V_{DSat}$ ). Esta tensão representa o limite inferior da tensão  $V_{DS}$  a partir do qual o transistor entra na zona de saturação.

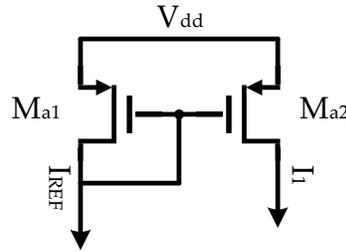


Figura 3.6 - Espelho de corrente PMOS

Considerando que  $M_{a1}$  e  $M_{a2}$  se encontram sobre as mesmas condições de funcionamento tem-se, por aplicação da expressão (3.6), que o rácio das correntes  $I_{REF}$  e  $I_1$  é dado pela expressão (3.7).

$$\frac{I_1}{I_{REF}} = \frac{(W/L)_{M_{a2}}}{(W/L)_{M_{a1}}} \quad (3.7)$$

Na Tabela 3.2 encontram-se os parâmetros de dimensionamento dos componentes para os diferentes osciladores de relaxação, necessários à implementação das PMU's propostas. Note-se que, nas topologias de 100 kHz será utilizado o mesmo circuito uma vez que este módulo em nada influencia a tensão de saída da PMU. Visto que o circuito do oscilador se trata de um circuito simétrico, as implementações de  $M_1$  e  $M_2$  são idênticas, tal como as das resistências  $R_1$  e  $R_2$  e das fontes de corrente  $I_1$  e  $I_2$ . Note-se que, para todas as implementações do oscilador de relaxação, o valor assumido para a corrente  $I_2$  é de 1  $\mu$ A.

Tabela 3.2 - Parâmetros de dimensionamento do oscilador de relaxação para as soluções propostas

Componente	100 kHz	100 MHz	500 MHz
$M_1$ (W/L)	10 $\mu$ m / 360 nm	5 $\mu$ m / 300 nm	2,86 $\mu$ m / 120 nm
$M_{a1}$ (W/L)	16,6 $\mu$ m / 1 $\mu$ m	500 nm / 1 $\mu$ m	500 nm / 1 $\mu$ m
$M_{a2}$ (W/L)	10 $\mu$ m / 1 $\mu$ m	2 $\mu$ m / 1 $\mu$ m	19,01 $\mu$ m / 1 $\mu$ m
R	533,45 k $\Omega$	103,43 k $\Omega$	12,51 k $\Omega$
C	1,42 pF	17,40 fF	52,19 fF

### 3.3.3 Buffer de Desacoplamento

Dado que o sinal PWM, que controla o conversor DC-DC, é gerado pelo oscilador de relaxação no nó  $V_i$  deste (Figura 3.3), existe a necessidade de ter em consideração o efeito das cargas externas adicionadas a este nó, nomeadamente o conversor DC-DC. Dependendo do terminal do transistor MOS que se considere, existe uma variação do valor de impedância deste. Assim, por forma a evitar o efeito das impedâncias introduzidas no nó  $V_i$  do oscilador de relaxação, recorreu-se a um buffer de

desacoplamento implementado com inversores CMOS, para realizar essa função. A implementação deste módulo é obtida através da colocação de vários inversores CMOS em cascata (Figura 3.7).

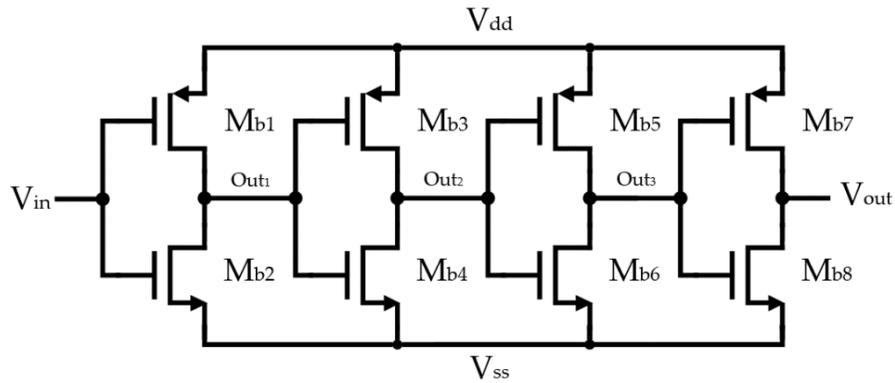


Figura 3.7 - Buffer de desacoplamento

O princípio de funcionamento deste circuito resume-se ao inversor CMOS, o elemento mais básico da tecnologia CMOS. Uma vez que o inversor CMOS recorre a dois transístores complementares, nomeadamente, um transístor NMOS e a um transístor PMOS, o seu funcionamento pode ser descrito como alternado, excepto nas transições de estado onde os dois transístores se encontram a conduzir. Observando o par de transístores  $M_{b1}$  e  $M_{b2}$ , da Figura 3.7, quando a tensão de entrada  $V_{in}$  se encontra próxima de zero, o transístor  $M_{b1}$  encontra-se à condução e o  $M_{b2}$  encontra-se ao corte logo, a saída será igual à tensão de alimentação ( $V_{dd}$ ). Quando a tensão de entrada se aproxima da tensão de alimentação ( $V_{dd}$ ),  $M_{b1}$  entra ao corte e o transístor  $M_{b2}$  conduz, sendo a saída igual a zero. Como já explicitado anteriormente, para que o comportamento dos transístores do tipo p se assemelhe ao dos homólogos de canal n, as dimensões deste, nomeadamente a largura ( $W$ ), deve ser cerca de três vezes maior que a dos transístores NMOS, considerando o mesmo comprimento do canal ( $L$ ) para ambos. Através da combinação das características das duas polarizações de transístores MOS obteve-se, na Figura 3.8, a característica de funcionamento ideal de um inversor CMOS.

Uma vez que o sinal PWM resultante do oscilador de relaxação possui dois níveis de funcionamento pouco definidos, é possível, com o buffer de desacoplamento, estabelecer dois níveis lógicos bem definidos para esses estados, de acordo com a sua característica de funcionamento. Assim, por forma a utilizar toda a gama de tensões de funcionamento do transístor  $S_1$  que implementa o interruptor do conversor DC-DC (Figura 3.2), a tensão de alimentação ( $V_{dd}$ ), considerada para o buffer de desacoplamento é de 1,2 V.

Do ponto de vista do desacoplamento das impedâncias, existem três magnitudes de impedâncias associadas aos transístores MOS, nomeadamente, a impedância da *gate*, do *drain* e da *source*. A impedância da *gate* de um transístor MOS é a mais elevada, sendo considerada aproximadamente infinita. De seguida, o terminal com maior impedância, mas não infinita, num dispositivo MOS é o *drain*. Por fim, a *source* é o que possui menor impedância.

Tendo por base as impedâncias associadas aos transístores MOS e o circuito explicitado na Figura 3.7, observa-se que a entrada do buffer de desacoplamento se encontra conectada às *gates* dos transístores  $M_{b1}$  e  $M_{b2}$ .

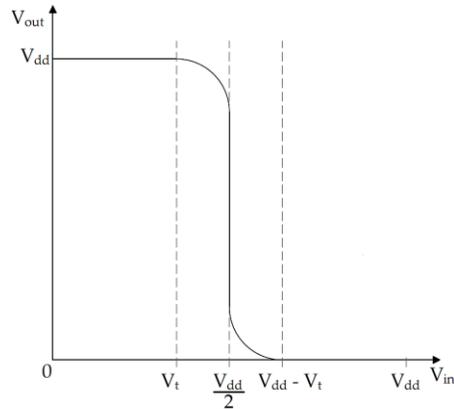


Figura 3.8 - Característica de funcionamento de um inversor CMOS

Com esta ligação o nó  $V_1$ , do oscilador de relaxação, apenas vê as resistências  $R_1$  e  $R_2$  o que, do ponto de vista do sinal PWM, resulta numa onda cuja frequência corresponde à dimensionada para o oscilador. Quanto à saída do buffer de desacoplamento, esta é efectuada pelos *drains* dos transístores, ou seja, pelos terminais de alta impedância que, embora seja mais baixa que a das *gates*, introduz uma interferência mínima no circuito que posteriormente se venha a conectar a esta.

Na implementação do buffer, para efectuar o desacoplamento entre o nó  $V_1$  do oscilador de relaxação e o transístor  $S_1$  do conversor DC-DC foram utilizados quatro módulos de inversores CMOS. A carencia desta cascata de inversores prende-se com o facto de, a altas frequências, o sinal PWM do oscilador começar a deformar-se, sendo a sua forma aproximada por uma senoide. Contudo, dado que o correto funcionamento do conversor DC-DC apenas é conseguido com uma onda quadrada periodica, recorreu-se à cascata de inversores da Figura 3.7 para contornar esse problema. Assim, ao introduzir na saída de um inversor CMOS outro inversor, mas escalado de um factor  $k$ , está-se a introduzir uma normalização no sinal que os percorre.

Do ponto de vista de implementação, ao aumentar as dimensões do transístor também a capacidade existente entre a *drain* e a *source* deste aumenta. Assim, ao aumentar progressivamente as dimensões de cada andar inversor, será necessaria cada vez mais carga para carregar essa capacidade o que, no dominio do tempo, corresponde a um atraso do sinal de saída. Depois da capacidade do último andar estar carregada, esta entrega à saída ( $V_{out}$ ) a carga acumulada que, no contexto do projecto, corresponde a uma retificação da onda PWM do oscilador. Na Figura 3.9 pode observar-se a evolução da forma de uma onda triangular ao longo do circuito apresentado.

Note-se que não seria possível implementar o buffer de desacoplamento apenas recorrendo ao último andar da solução proposta, pois, tal como explicitado anteriormente, o escalamento das dimensões do inversor CMOS correspondem a uma aumento da capacidade entre o *drain* e a *source* dos transístores que o implementam, capacidade essa que no último estágio do buffer é demasiado elevada para possibilitar o *drive* do sinal gerado pelo oscilador de relaxação. Ou seja, se o buffer de desacoplamento fosse implementado apenas pelo último andar da solução proposta (Figura 3.7), a carga disponibilizada pelo oscilador muito dificilmente seria suficiente para carregar o condensador equivalente e assim obter o sinal representado a vermelho na Figura 3.9.

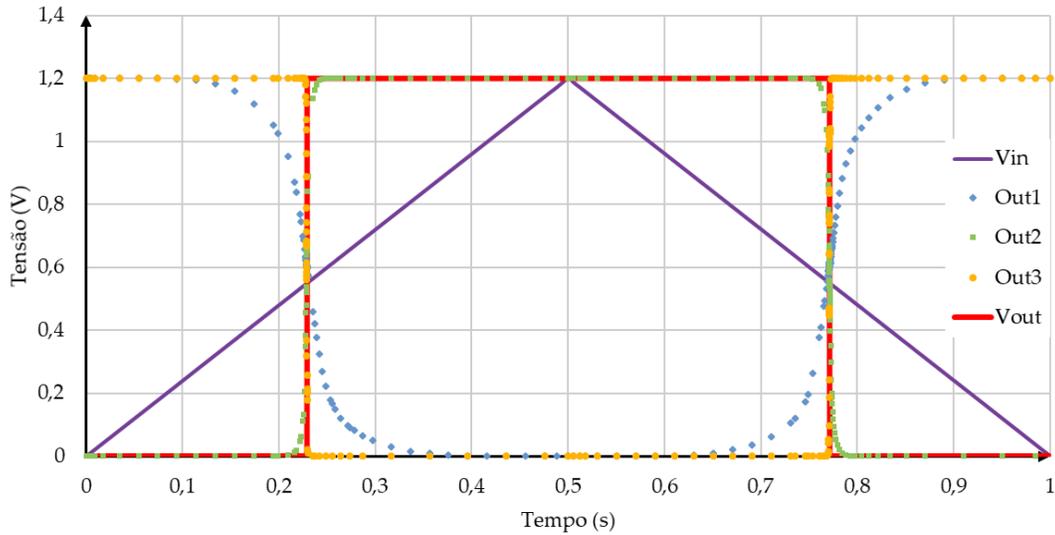


Figura 3.9 - Evolução do sinal ao longo do buffer de desacoplamento

Do ponto de vista estático, a potência dissipada por este circuito é praticamente nula enquanto este permanecer no mesmo estado de operação. Quando se verifica uma transição de estado, ou seja, quando os módulos inversores transitam de 0 para  $V_{dd}$ , ou vice versa, existe uma dissipação de energia que será absorvida pela capacidade de saída de cada andar. Dessa forma, a potência dinâmica dissipada é dada por (3.8) e encontra-se relacionada com o valor da capacidade de saída ( $C$ ), com a frequência de oscilação do sinal que percorre o inversor e com a tensão de alimentação deste.

$$P_D = f_{clk} C V_{dd}^2 \quad (3.8)$$

Quanto à implementação deste módulo em circuito integrado, as dimensões dos transístores que implementam o esquemático da Figura 3.7 encontram-se documentadas na Tabela 3.3. Note-se que não é necessário implementar um buffer diferente para cada uma das PMU's propostas dado que a sua função é apenas retificar o sinal vindo do oscilador e, visto que este é semelhante em todas as arquiteturas propostas, não necessita carece de um buffer diferente para realizar essa tarefa.

Tabela 3.3 - Parâmetros de dimensionamento do buffer de desacoplamento

Transístor	Dimensões ( $\mu\text{m}$ )
$M_{b1}$	0,48 / 0,12
$M_{b2}$	0,16 / 0,12
$M_{b3}$	1,92 / 0,12
$M_{b4}$	0,64 / 0,12
$M_{b5}$	3,84 / 0,12
$M_{b6}$	1,28 / 0,12
$M_{b7}$	15,36 / 0,12
$M_{b8}$	5,12 / 0,12

### 3.4 Controlo

Por forma a garantir o correto funcionamento do conversor DC-DC, verifica-se a necessidade de controlar o factor de ciclo do sinal PWM injectado no interruptor  $S_1$ . Dado que a onda PWM é gerada no oscilador de relaxação, é nesse módulo que o controlo do sistema deverá actuar. Como referido na secção 3.3, através do ajuste do rácio das correntes  $I_1$  e  $I_2$  é possível variar o factor de ciclo ( $\delta$ ) do sinal PWM gerado. Dessa forma, o circuito proposto para o módulo de controlo da PMU encontra-se na Figura 3.10. A implementação desta arquitetura concerne-se a um par diferencial MOS com carga resistiva.

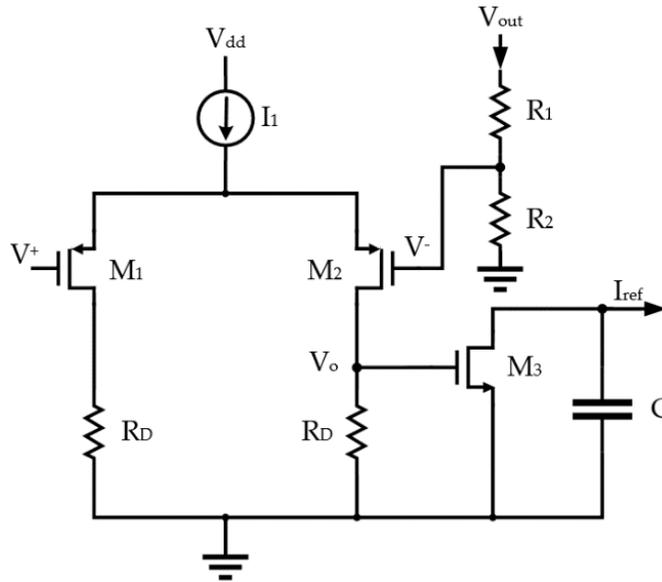


Figura 3.10 - Esquemático do módulo de controlo

Do ponto de vista de implementação, a fonte de corrente  $I_1$ , em conjunto com as resistências  $R_D$ , implementam a polarização dos transístores  $M_1$  e  $M_2$ . O princípio de funcionamento deste circuito prende-se com o equilíbrio/desequilíbrio do par diferencial, ou seja, quando o par diferencial se encontra completamente desequilibrado, a corrente fornecida pela fonte  $I_1$  flui toda por um dos transístores. Caso o par diferencial se encontre equilibrado, a corrente  $I_1$  é dividida em partes iguais pelos dois ramos do circuito. As condições que definem o equilíbrio de um par diferencial MOS são definidas pela tensão nos *drains* dos transístores e são definidas em (3.9).

$$\begin{array}{ll}
 V_D \leq -\sqrt{2}(V_{GS} - V_{th}) & \begin{array}{l} M_1 \text{ ON} \\ M_2 \text{ OFF} \end{array} \\
 -\sqrt{2}(V_{GS} - V_t) < V_D < \sqrt{2}(V_{GS} - V_{th}) & \begin{array}{l} M_1 \text{ ON} \\ M_2 \text{ ON} \end{array} \\
 V_D \geq \sqrt{2}(V_{GS} - V_{th}) & \begin{array}{l} M_1 \text{ OFF} \\ M_2 \text{ ON} \end{array}
 \end{array} \quad (3.9)$$

É com base em (3.9) que o módulo de controlo da PMU foi implementado. Considerando que a entrada  $V^+$  do par diferencial possui uma tensão de referência fixa ( $V_{ref}$ ), e que a tensão colocada na entrada  $V^-$  corresponde à tensão de saída de uma da PMU, aplicada a um divisor resistivo implementado pelas resistências  $R_1$  e  $R_2$ , tem-se que a tensão no nó de saída do par diferencial ( $V_o$ ) é

definida por (3.10). Uma vez que o módulo de controlo depende da tensão de saída da PMU, a sua perturbação na saída desta deve ser mínima. Como tal, o divisor resistivo composto pelas resistências  $R_1$  e  $R_2$  carece de um dimensionamento na ordem dos M $\Omega$ , impedindo assim que a corrente de saída da PMU se dissipe para o módulo de controlo desnecessariamente.

$$V_{out} = V_{dd} - R_D \frac{I_1}{2} + \frac{1}{2} g_m R_D (V^+ - V^-) - \frac{R_D}{2R_S} \frac{V^+ + V^-}{2} \quad (3.10)$$

Onde  $R_S$  corresponde à resistência equivalente da fonte de corrente  $I_1$  e  $g_m$  se refere à transcondutância do transístor  $M_2$ . Note-se que a expressão (3.10) apenas é válida para as mesmas condições de funcionamento dos transístores e cujas dimensões são iguais.

Tal como explicitado na secção 3.3, a implementação do oscilador de relaxação foi realizada de forma a que a corrente  $I_2$  se mantivesse fixa enquanto que a corrente  $I_1$  seria a corrente utilizada para controlar o factor de ciclo da onda PWM. Dado que o resultado da comparação das tensões  $V^+$  e  $V^-$  do par diferencial MOS é também uma tensão, existe a necessidade de converter essa tensão numa corrente. Assim, a utilização de uma fonte de corrente controlada por tensão é requerida. Recorrendo às características dos transístores MOS implementou-se o transístor  $M_3$ , transístor esse que implementa a referida fonte. Dado que a corrente que flui no *drain* de um transístor ( $I_D$ ) é definida pela expressão (3.6), a queda de tensão entre o *gate* e a *source* de  $M_3$  é igual à tensão de saída do par diferencial, logo a corrente no *drain* no *drain* de  $M_3$  depende exclusivamente dessa tensão e das dimensões deste.

Visto que o regime transitório da PMU proposta não é linear, ou seja, a tensão de saída desta ( $V_{out}$ ) não aumenta de forma linear até atingir o valor pretendido, adicionou-se o condensador de filtragem  $C$  no módulo de controlo. Essa não linearidade advém da comutação do interruptor  $S_1$  que ao comutar a uma determinada frequência introduz, no sinal de saída do conversor DC-DC, um determinado *ripple*. Com a adição deste elemento está-se a garantir que a corrente  $I_{ref}$ , que controla o factor de ciclo do sinal PWM, não apresenta variações inconstantes. Dessa forma, a variação do factor de ciclo será mais linear, sem grandes oscilações decorrentes do *ripple* da tensão de saída da PMU.

No processo de dimensionamento dos módulos de controlo para as diferentes arquiteturas da PMU proposta foram tidos em consideração os respectivos osciladores. Como explicitado em 3.3, a variação do factor de ciclo da onda PWM gerada por um oscilador de relaxação afecta a frequência de oscilação da mesma. Por forma a evitar essas situações, os dimensionamentos dos módulos de controlo tiveram por base o oscilador de relaxação respectivo. Dessa maneira, arbitrou-se uma variação de 20% em torno da frequência de funcionamento requerida para cada módulo do oscilador. Com base nesse requisito e na estabilidade dos osciladores, estudaram-se os limites mínimos e máximos que a corrente  $I_1$  pode assumir. Na Tabela 3.4 encontram-se esses resultados bem como o factor de ciclo correspondente a cada valor de  $I_1$  e a tensão a aplicar no *drain* do transístor  $M_3$  em cada situação.

Tabela 3.4 - Limites de variação da corrente  $I_{ref}$ 

Arquitetura	Limite	$I_1$ ( $\mu\text{A}$ )	$V_{DC}$ (mV)	$\delta$ (%)	$F_{clk}$ (MHz)
100 kHz	Mín.	0,75	972,55	36,59	0,09
	Max.	1,55	941,74	61,67	0,12
100 MHz	Mín.	0,65	775,25	24,47	90,94
	Max.	1,30	694,28	64,02	90,70
500 MHz	Mín.	0,85	747,16	29,59	497,78
	Max.	1,20	705,14	74,99	502,11

Definidos os limites de operação de cada conjunto, controlo + oscilador, realizou-se a implementação de cada um dos circuitos de controlo, para as arquiteturas propostas. Os parâmetros de dimensionamento dos diferentes componentes encontram-se presentes na Tabela 3.5. Nas arquiteturas a 100 kHz o *ripple* introduzido na tensão de saída da PMU é reduzido de tal forma que não se revelou necessário implementar o condensador de filtragem  $C$ , otimizando assim a área ocupada pelos respectivos circuitos integrados.

Tabela 3.5 - Parâmetros de dimensionamento dos módulos de controlo das arquiteturas propostas

Componente	100 kHz (1,2 V)	100 kHz (2,4 V)	100 MHz	500 MHz
$M_1$ (W/L)	2 $\mu\text{m}$ / 30 $\mu\text{m}$	2 $\mu\text{m}$ / 50 $\mu\text{m}$	2 $\mu\text{m}$ / 15 $\mu\text{m}$	2 $\mu\text{m}$ / 30 $\mu\text{m}$
$M_2$ (W/L)	2 $\mu\text{m}$ / 30 $\mu\text{m}$	2 $\mu\text{m}$ / 50 $\mu\text{m}$	2 $\mu\text{m}$ / 15 $\mu\text{m}$	2 $\mu\text{m}$ / 30 $\mu\text{m}$
$M_3$ (W/L)	2,3 $\mu\text{m}$ / 4 $\mu\text{m}$	2,43 $\mu\text{m}$ / 4 $\mu\text{m}$	2 $\mu\text{m}$ / 1 $\mu\text{m}$	18 $\mu\text{m}$ / 4 $\mu\text{m}$
$R_D$	80 k $\Omega$	73 k $\Omega$	173 k $\Omega$	15 k $\Omega$
$C$	-	-	10 pF	20 pF
$R_1$	1,4 M $\Omega$	2,9 M $\Omega$	1,5 M $\Omega$	1,5 M $\Omega$
$R_2$	1 M $\Omega$	1 M $\Omega$	69 k $\Omega$	32 k $\Omega$

É importante não descorar a existência do circuito dual do par diferencial apresentado na Figura 3.10. Dado que a solução proposta foi implementada recorrendo a transístores PMOS ( $M_1$  e  $M_2$ ) o mesmo circuito poderia ser contruído utilizando transístores NMOS, efectuando as devidas alterações. A escolha desta topologia em detrimento da solução NMOS prende-se essencialmente com a influência do ruído advindo do sinal de saída da PMU ( $V_{out}$ ). Visto que frequência da onda PWM que comanda o interruptor  $S_1$  do converso DC-DC se encontra também presente no sinal de saída da PMU, a influência desta pode conduzir a comportamentos indesejados do módulo de controlo, mais concretamente ao nível dos transístores  $M_1$  e  $M_2$ . Também do ponto de vista da velocidade de resposta a uma variação da tensão de entrada (*slew rate*), a solução apresentada demonstra ser mais eficiente face à solução homologa. Quanto ao ganho em tensão do circuito, a solução NMOS é a que possui maior ganho, no entanto, este parâmetro não se revela importante para o problema em questão [59].

### 3.5 Gerador de Tensão de Referência

O circuito responsável pela geração da tensão de referência resulta da adaptação do trabalho realizado em [60]. A carência desta tensão de referência ( $V_{ref}$ ) advém do facto de a entrada  $V^+$  do módulo de

controle necessitar de uma tensão fixa para poder comparar com a tensão de saída ( $V_{out}$ ) da PMU proposta. O esquemático do referido circuito é apresentado na Figura 3.11.

O esquemático da Figura 3.11 pode subdividir-se em três andares distintos, nomeadamente, circuito de arranque (start-up), gerador da corrente de referência e carga. A partição do esquemático referente ao circuito de arranque concerne-se aos transístores de M1 a M7. A presença deste andar é opcional, no entanto funciona com salvaguarda, ou seja, garante a correta polarização dos transístores do circuito no instante em que este começa a operar. Quanto à implementação do gerador da corrente de referência, este é constituído pelos transístores de M8 a M12. Este andar é responsável por gerar uma corrente de referência que, por sua vez, dará origem à tensão de referência  $V_{ref}$ .

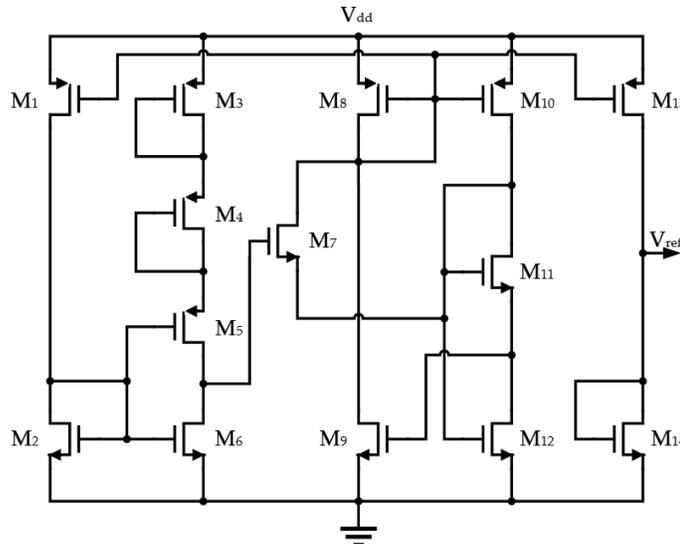


Figura 3.11 - Esquemático do circuito gerador de tensão de referência

Desta forma, este circuito possui a capacidade de gerar uma corrente estável independente das variações na tensão de alimentação. Na Figura 3.12 encontra-se explicitada a característica da tensão de referência ( $V_{ref}$ ) em função da tensão de alimentação ( $V_{dd}$ ) bem como a corrente consumida pelo circuito também em função de  $V_{dd}$ . Por fim, a carga do circuito é implementada pelos transístores  $M_{13}$  e  $M_{14}$ . O transístor  $M_{13}$  implementa um espelho de corrente simples, pelo que a corrente gerada no andar anterior é multiplicada pelo rácio das dimensões entre os transístores  $M_8$  e  $M_{13}$ . A carga do circuito é implementada pelo transístor  $M_{14}$ , sendo esta responsável pela tensão de referência  $V_{ref}$ .

Do ponto de vista de implementação em circuito integrado, à exceção dos transístores  $M_2$  e  $M_{12}$  que são implementados por transístores de alta tensão (3,3 V), por forma a providenciar o correto funcionamento de todo o circuito, todos os transístores da arquitetura são de baixa tensão (1,2 V). Dado que a solução proposta em [60] foi implementada na tecnologia CMOS de 0.18  $\mu\text{m}$ , houve a necessidade proceder a alguns ajustes nas dimensões dos transístores. Na Tabela 3.6 encontram-se as dimensões dos transístores consideradas na implementação do circuito. De referir também que a necessidade de implementar um gerador de tensão de referência para cada uma das arquiteturas propostas não se verifica, uma vez que os dimensionamentos dos módulos de controlo apresentados na secção 3.4, contemplam os ajustes necessários, do lado da tensão de saída ( $V_{out}$ ) das PMU's.

Tabela 3.6 - Parâmetros de dimensionamento do gerador de tensão de referência

Transistor	Dimensões ( $\mu\text{m}$ )
M <sub>1</sub>	1 / 0,12
M <sub>2</sub>	0,2 / 10
M <sub>3</sub>	2 / 2
M <sub>4</sub>	2 / 2
M <sub>5</sub>	2 / 2
M <sub>6</sub>	1 / 0,12
M <sub>7</sub>	40 / 0,12
M <sub>8</sub>	68 / 50
M <sub>9</sub>	8 / 50
M <sub>10</sub>	52 / 50
M <sub>11</sub>	2 / 2
M <sub>12</sub>	100 / 24
M <sub>13</sub>	97 / 29
M <sub>14</sub>	1,5 / 50

Dado que para a tensão de alimentação considerada para a PMU proposta é de 1,2 V tem-se, por observação da característica da Figura 3.12, que a tensão de referência ( $V_{ref}$ ), fornecida pelo circuito é de 234,7 mV, para uma temperatura de 27 °C. Do ponto de vista de corrente consumida, este módulo das PMU's consumirá 186,7 nA correspondendo a uma potência de 224,1 nW.

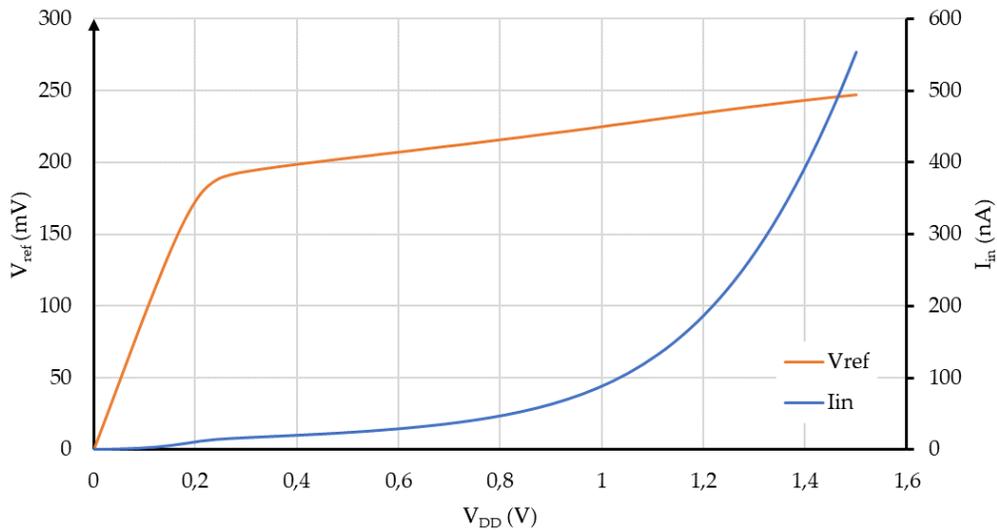


Figura 3.12 - Tensão de referência e corrente dissipada em função da tensão de alimentação

## IMPLEMENTAÇÃO DA PMU NA TECNOLOGIA CMOS

Neste capítulo apresentam-se os layouts dos diferentes blocos que fazem parte das quatro soluções proposta para a unidade de gestão de potência, implementados na tecnologia CMOS de 0,13  $\mu\text{m}$ . No final deste, serão ainda apresentados os layouts globais das quatro arquiteturas.

Dado que a implementação em circuito integrado acarreta custos elevados de produção, e que esses custos se encontram essencialmente relacionados com a área ocupada pelos circuitos a implementar, o principal objectivo por detrás do design dos diferentes blocos das quatro arquiteturas passou pela minimização da área de implantação de cada bloco. Assim, através de algumas técnicas de design de circuitos integrados, foi possível tornar a implementação dos circuitos mais eficiente e sem prejuízo da área ocupada pelo mesmo.

Nota: As medidas das áreas dos circuitos apresentadas nesta secção correspondem às áreas dos menores rectângulos que os contêm.

### 4.1 Conversor DC-DC *Boost* de Comutação Abrupta

Das soluções completamente integradas propostas, nomeadamente, 100 MHz e 500 MHz, os blocos dos conversores DC-DC serão os que apresentam maior área de implantação em circuito integrado. Isto deve-se ao facto de as bobines integradas possuírem uma geometria circular fixa, pelo que ocupam uma área considerável, quando comparada com o restante circuito. Nas soluções de 100 kHz prescindiu-se das bobines integradas em detrimento da tecnologia SMT, conferindo aos respectivos blocos dos conversores DC-DC uma área de implementação muito mais reduzida, quando comparados com os homólogos com bobines integradas.

Tendo por base o circuito da Figura 3.2 e os parâmetros de dimensionamento explicitados na Tabela 3.1, os layouts das arquiteturas de 100 kHz a 1,2 V, 100 kHz a 2,4 V, 100 MHz e 500 MHz encontram-se nas Figura 4.1, Figura 4.2 e Figura 4.3, respectivamente. Note-se que nas soluções completamente integradas (100 MHz e 500 MHz), foi utilizado o mesmo conversor DC-DC.

As dimensões dos layouts dos conversores DC-DC boost de comutação abrupta implementados encontra-se na Tabela 4.1.

Tabela 4.1 - Dimensões dos conversores DC-DC

	100 kHz (1,2V)	100 kHz (2,4V)	100/500 MHz
Comprimento ( $\mu\text{m}$ )	15,98	14,48	322,42
Largura ( $\mu\text{m}$ )	7,62	22,26	270,88
Área ( $\mu\text{m}^2$ )	121,77	322,32	87337,13

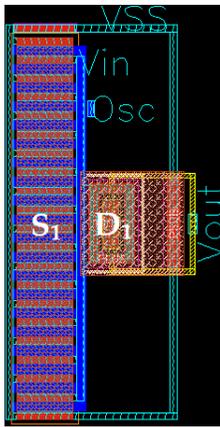


Figura 4.1 - Layout conversor DC-DC 100 kHz a 1,2 V

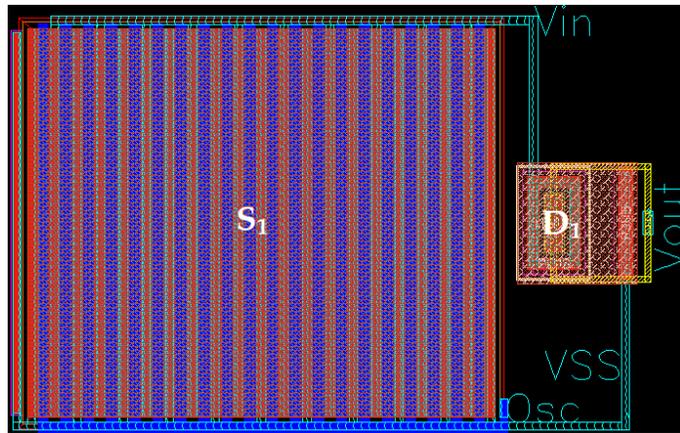


Figura 4.2 - Layout conversor DC-DC 100 kHz a 2,4 V

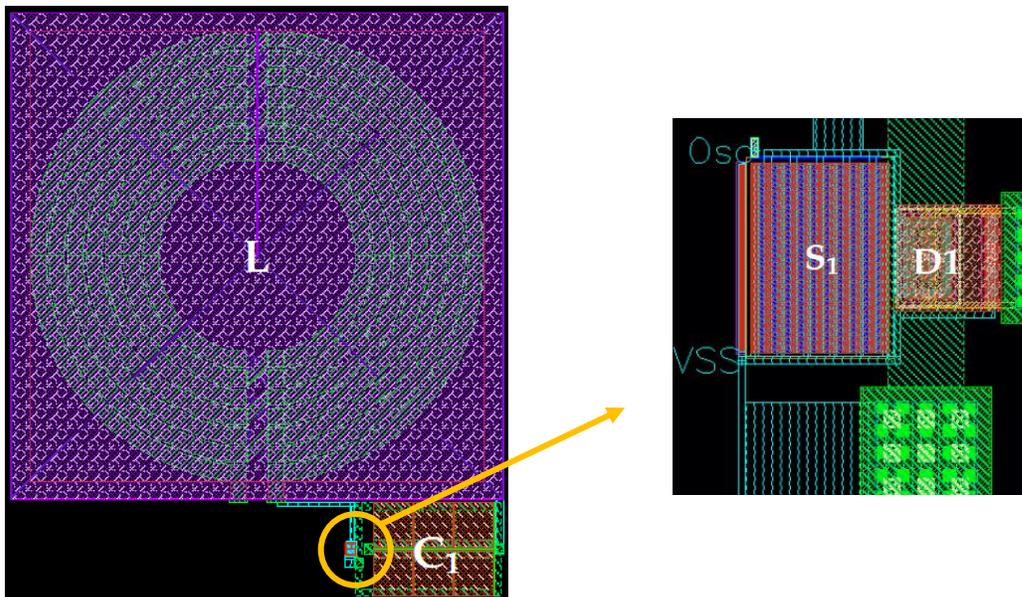


Figura 4.3 - Layout conversor DC-DC 100 MHz e 500 MHz

## 4.2 Oscilador de Relaxação

Em termos de design, os layouts dos osciladores de relaxação (Figura 3.5) são os que carecem de mais cuidado. Visto que a influência dos efeitos parasitas inerentes à tecnologia de circuito integrado pode alterar o desempenho do oscilador, varias técnicas de design foram aplicadas neste processo. Sendo o condensador  $C$  o elemento mais crítico de todo o módulo, nas arquiteturas da PMU proposta foi considerada a técnica de centroide comum (*common centroid*) [59], [61], [62]. Esta técnica permite reduzir as variabilidades inerentes ao processo de manufatura deste tipo de componentes. Assim, o princípio base desta implementação consiste em dividir, quando conveniente, o valor da capacidade  $C$  em vários condensadores conectados em torno de um determinado centro geométrico (Figura 4.4 a)). Esta técnica tem ainda como vantagem o aumento da flexibilidade do layout em termos de área de implantação. Também as resistências  $R_1$  e  $R_2$  apresentam uma elevada variabilidade aquando do seu processo de fabricação. Como tal, foram consideradas as técnicas de interdigitação e centroide comum no seu design [61] [62]. Esta implementação consiste, primeiramente, em dividir o valor de  $R_1$  e  $R_2$  em várias resistências. De seguida as várias resistências, que compõem as duas resistências principais, são agrupadas em série de modo intercalado em torno de um determinado centro geométrico. Para uma melhor compreensão desta técnica, encontra-se, na Figura 4.6, um exemplo da mesma.

Baseados nos parâmetros de dimensionamento da Tabela 3.2, os layouts dos osciladores de relaxação para as arquiteturas de 100 kHz, 100 MHz e 500 MHz encontra-se na Figura 4.4, Figura 4.5 e Figura 4.6, respectivamente. A área de circuito integrado ocupada por cada um destes blocos encontra-se explicitada na Tabela 4.2.

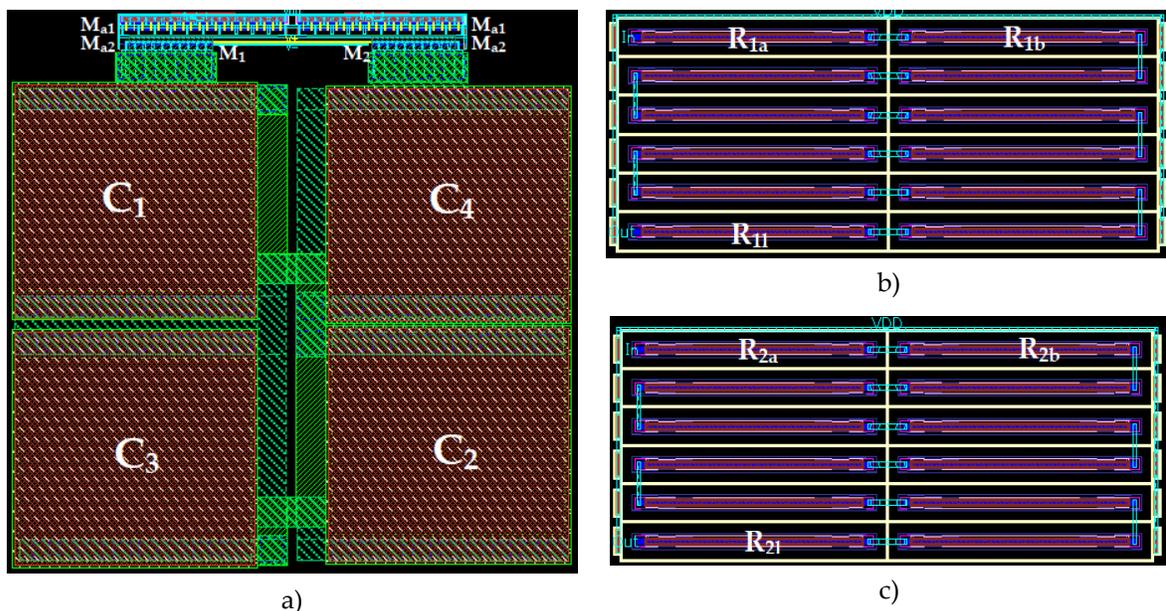


Figura 4.4 - a) Layout do oscilador a 100 kHz b) Resistência  $R_1$  c) Resistência  $R_2$

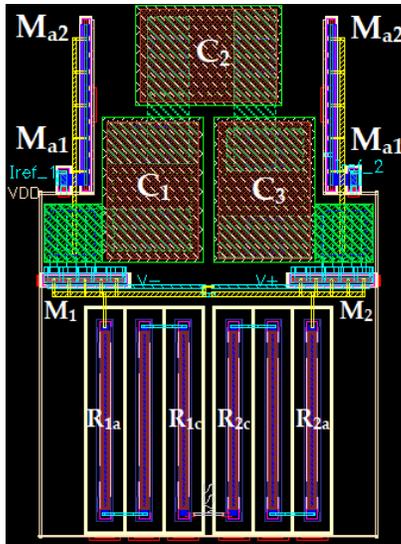


Figura 4.5 - Layout de oscilador a 100 MHz

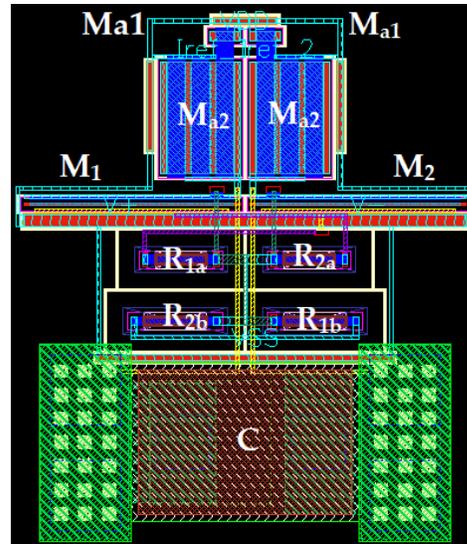


Figura 4.6 - Layout do oscilador a 500 MHz

Tabela 4.2 - Dimensões dos osciladores de relaxação

	100 kHz (1,2V)	100 MHz	500 MHz
Comprimento ( $\mu\text{m}$ )	95,02	47,7	29,87
Largura ( $\mu\text{m}$ )	100,28	30,66	26,12
Área ( $\mu\text{m}^2$ )	9528,61	1462,48	780,20

### 4.3 Buffer de Desacoplamento

Visto que o buffer de desacoplamento apresentado no capítulo 3 é transversal às quatro arquiteturas da PMU implementadas, o seu dimensionamento é único, bem como o seu layout. Dessa forma, de acordo com os requisitos explicitados na Tabela 3.3, realizou-se o layout do buffer de desacoplamento, tal como apresentado na Figura 4.7. Quanto às dimensões deste módulo, as mesmas encontram-se na Tabela 4.3.

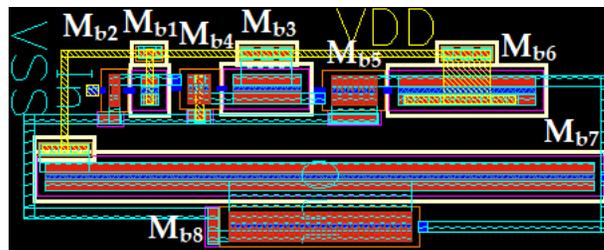


Figura 4.7 - Layout do buffer de desacoplamento

Tabela 4.3 - Dimensões do buffer de desacoplamento

Comprimento ( $\mu\text{m}$ )	16,42
Largura ( $\mu\text{m}$ )	5,69
Área ( $\mu\text{m}^2$ )	93,43

## 4.4 Controlo

À semelhança dos osciladores de relaxação, também nos layouts dos módulos de controlo das PMU's formam aplicadas técnicas de design. Como referido no capítulo 3, o divisor resistivo composto pelas resistências  $R_1$  e  $R_2$  (Figura 3.10) apresenta valores nominais na ordem dos  $M\Omega$ , logo a sua implementação em circuito integrado, mais concretamente ao nível do layout, carece da aplicada das técnicas de design já apresentadas, nomeadamente interdigitação e centroide comum. Dado que, para os requisitos do projecto, a tecnologia CMOS de  $0,13\ \mu\text{m}$  dispõe de resistências com baixa resistividade por unidade de área, para perfazer os valores necessários à implementação dos módulos de controlo apresentados na Tabela 3.5 verifica-se a necessidade de recorrer a muitos destes elementos. Em termos de área ocupada, verifica-se que apenas estes dois componentes ( $R_1$  e  $R_2$ ) correspondem a uma secção considerável da área de implementação total dos circuitos.

Assim, considerando as dimensões dos diversos componentes que compõem estes módulos (Tabela 3.5), encontram-se na Figura 4.8, Figura 4.9, Figura 4.10 e Figura 4.11 os layouts dos módulos de controlo afectos às arquitecturas de 100 kHz a 1,2 V, 100 kHz a 2,4 V, 100 MHz e 500 MHz, respectivamente. Do ponto de vista de área de implantação, as dimensões destes quatro circuitos contam na Tabela 4.4.

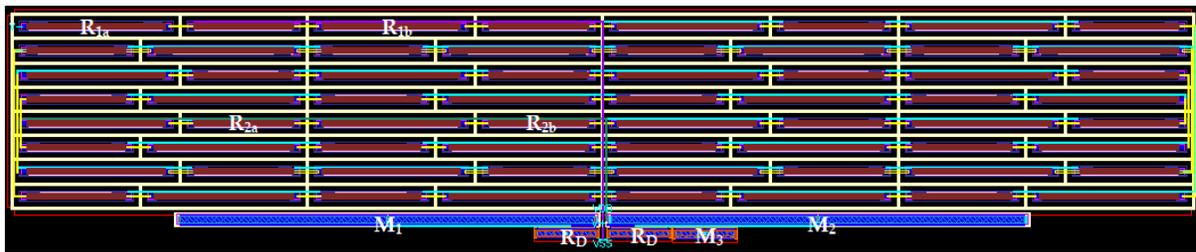


Figura 4.8 - Layout do módulo de controlo da PMU a 100 kHz (1,2 V)

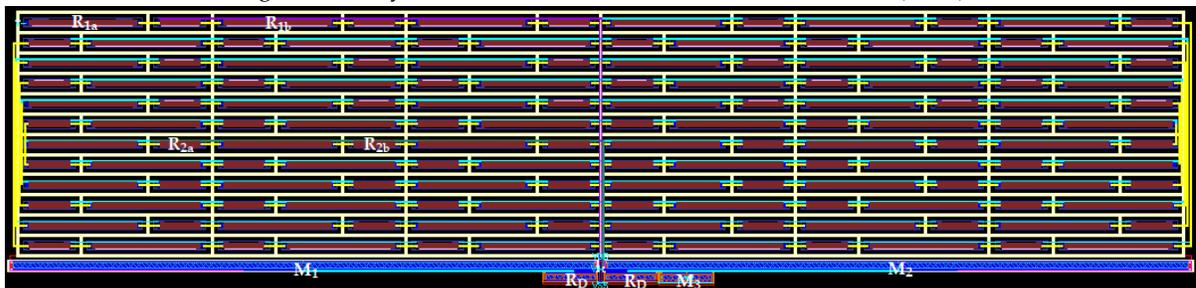


Figura 4.9 - Layout do módulo de controlo da PMU a 100 kHz (2,4 V)

Tabela 4.4 - Dimensões dos módulos de controlo

	100 kHz (1,2V)	100 kHz (2,4V)	100 MHz	500 MHz
Comprimento ( $\mu\text{m}$ )	33,52	46,96	130,81	137,65
Largura ( $\mu\text{m}$ )	173,25	204,13	139,26	215,49
Área ( $\mu\text{m}^2$ )	5807,34	9585,94	18216,60	29662,20

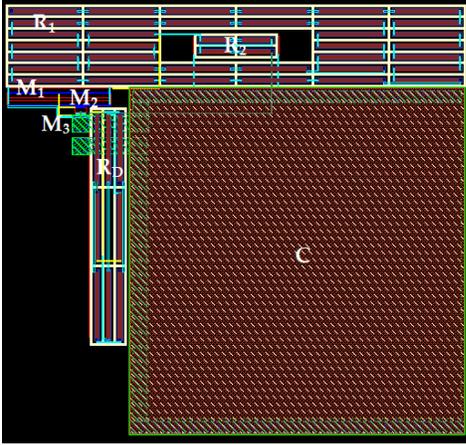


Figura 4.10 - Layout do módulo de controle da PMU a 100 MHz

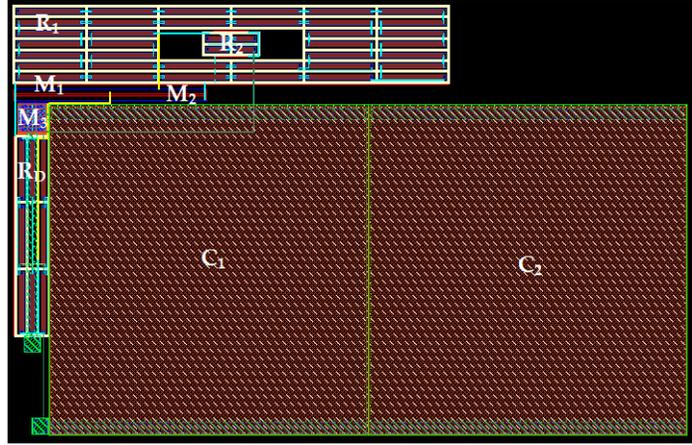


Figura 4.11 - Layout do módulo de controle da PMU a 500 MHz

#### 4.5 Gerador de Tensão de Referência

O layout do gerador de tensão de referência é em tudo semelhante ao realizado em [60]. No entanto, devido às incompatibilidades entre a tecnologia CMOS de 0,18  $\mu\text{m}$  e a tecnologia CMOS de 0,13  $\mu\text{m}$ , alguns ajustes ao nível das dimensões dos transístores tiveram de ser efectuados. De acordo com os parâmetros de dimensionamento explicitados na Tabela 3.6, obteve-se o layout do gerador de tensão de referência como se mostra na Figura 4.12. Note-se que, à semelhança do buffer de desacoplamento, também este módulo é transversal às quatro arquiteturas propostas.

A área ocupada por este bloco pode ser consultada na Tabela 4.5, bem como as respectivas dimensões. Recorde-se que na solução apresentada em [60] a área ocupada por este circuito é de 43000  $\mu\text{m}^2$ .

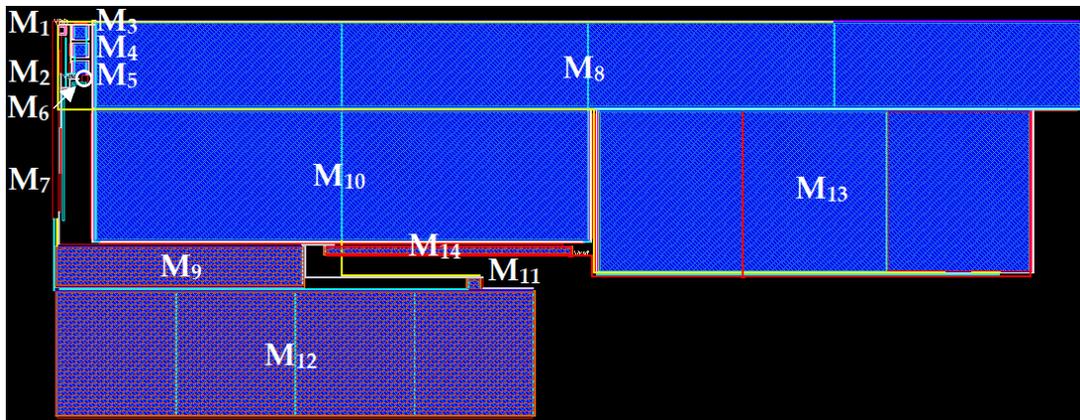


Figura 4.12 - Layout do gerador de tensão de referência

Tabela 4.5 - Dimensões do gerador de tensão de referência

Comprimento ( $\mu\text{m}$ )	80,99
Largura ( $\mu\text{m}$ )	210,50
Área ( $\mu\text{m}^2$ )	17048,40

## 4.6 Arquitetura a 100 kHz (1,2 V)

Conectando os layouts dos diversos blocos da arquitetura de 100 kHz a 1,2 V conforme o diagrama de blocos da Figura 3.1, realizou-se o layout global desta unidade de gestão de potência. Foram também adicionados neste, os terminais (*PADs*) e as respectivas proteções que possibilitam a ligação do circuito integrado ao exterior. Na Figura 4.13, pode então ser observado o layout da PMU proposta a operar à frequência 100 kHz e cuja tensão de saída é de 1,2 V. Sendo esta a implementação final da arquitetura, a área ocupada por esta, bem como as respectivas dimensões, encontra-se descrita na Tabela 4.9.

Por forma a facilitar a compreensão do sistema, na Tabela 4.6 encontram-se descritas as funcionalidades de cada terminal da arquitetura implementada.

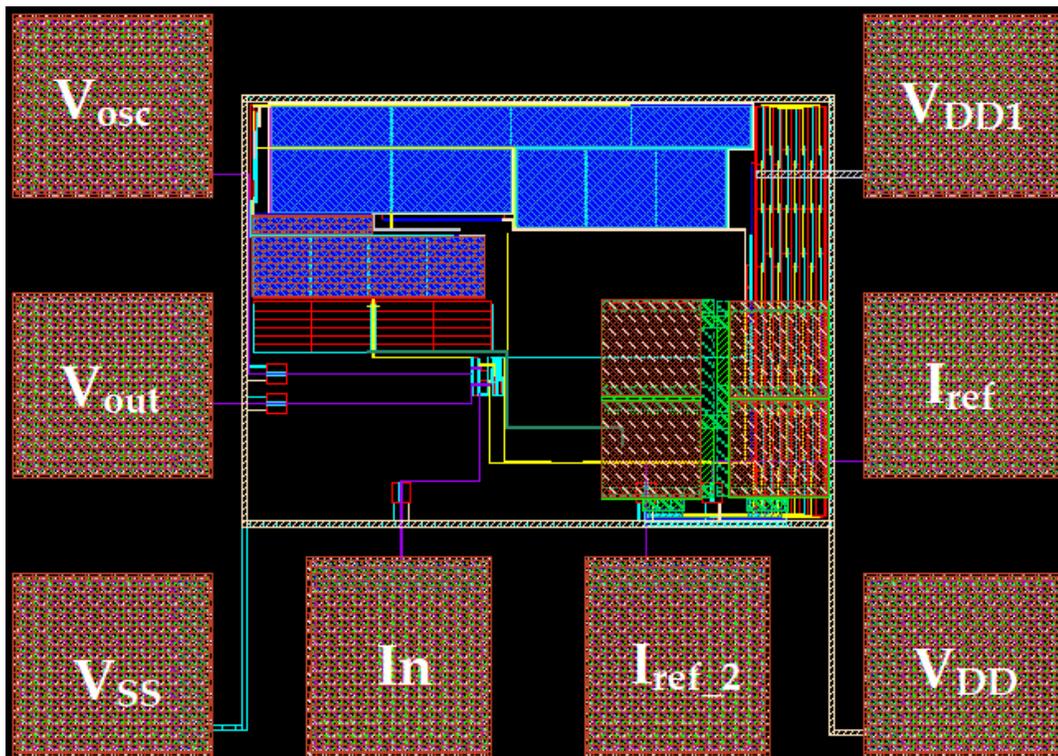


Figura 4.13 - Layout da arquitetura de 100 kHz a 1,2 V (Área = 0,19 mm<sup>2</sup>)

Tabela 4.6 - Funcionalidade de cada terminal na arquitetura de 100 kHz a 1,2 V

Pino	Descrição
$V_{DD}$	Alimentação dos módulos da PMU
$V_{DD1}$	Alimentação do módulo de controlo
$V_{SS}$	Terminal da massa
$V_{OSC}$	Terminal de teste para observação da onda PWM
In	Terminal de entrada do conversor DC-DC
$V_{OUT}$	Terminal de saída do conversor DC-DC
$I_{ref}$	Terminal de observação e/ou controlo da corrente $I_1$ do oscilador
$I_{ref\_2}$	Terminal de controlo da corrente $I_2$ do oscilador

## 4.7 Arquitetura a 100 kHz (2,4 V)

Seguindo a mesma metodologia da arquitetura anterior, o layout global da PMU a operar à frequência de 100 kHz a 2,4 V encontra-se na Figura 4.14. Quanto à área abrangida por este layout, a mesma pode ser consultada na Tabela 4.9.

Por forma a compreender a tarefa desempenhada por cada terminal presente no layout, esquematizou-se na Tabela 4.7 qual a função desempenhada por cada um destes.

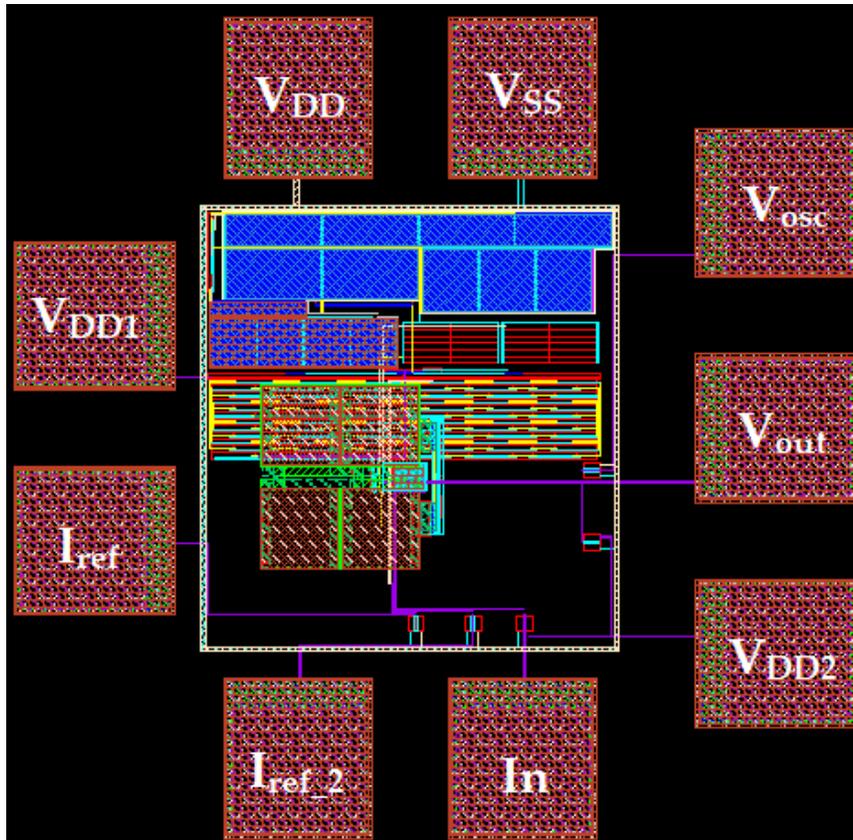


Figura 4.14 - Layout da arquitetura de 100 kHz a 2,4 V (Área = 0,19 mm<sup>2</sup>)

Tabela 4.7 - Funcionalidade de cada terminal na arquitetura de 100 kHz a 2,4 V

Pino	Descrição
V <sub>DD</sub>	Alimentação dos módulos da PMU
V <sub>DD1</sub>	Alimentação do módulo de controlo
V <sub>DD2</sub>	Alimentação das proteções
V <sub>SS</sub>	Terminal da massa
V <sub>OSC</sub>	Terminal de teste para observação da onda PWM
In	Terminal de entrada do conversor DC-DC
V <sub>OUT</sub>	Terminal de saída do conversor DC-DC
I <sub>ref</sub>	Terminal de observação e/ou controlo da corrente I <sub>1</sub> do oscilador
I <sub>ref_2</sub>	Terminal de controlo da corrente I <sub>2</sub> do oscilador

## 4.8 Arquitetura a 100 MHz

O layout geral da PMU a operar à frequência de 100 MHz segue a mesma linha de implementação dos anteriores, pelo que a sua representação se encontra explicitada na Figura 4.15. Dado que esta arquitetura corresponde a uma das PMU's totalmente integrada, a sua área de implantação é notoriamente maior quando comparada com as soluções de 100 kHz. Dessa forma, as dimensões deste sistema são apresentadas na Tabela 4.9.

Quanto aos terminais que possibilitam a conexão do circuito integrado ao exterior, a sua descrição individual pode ser consultada na Tabela 4.8.

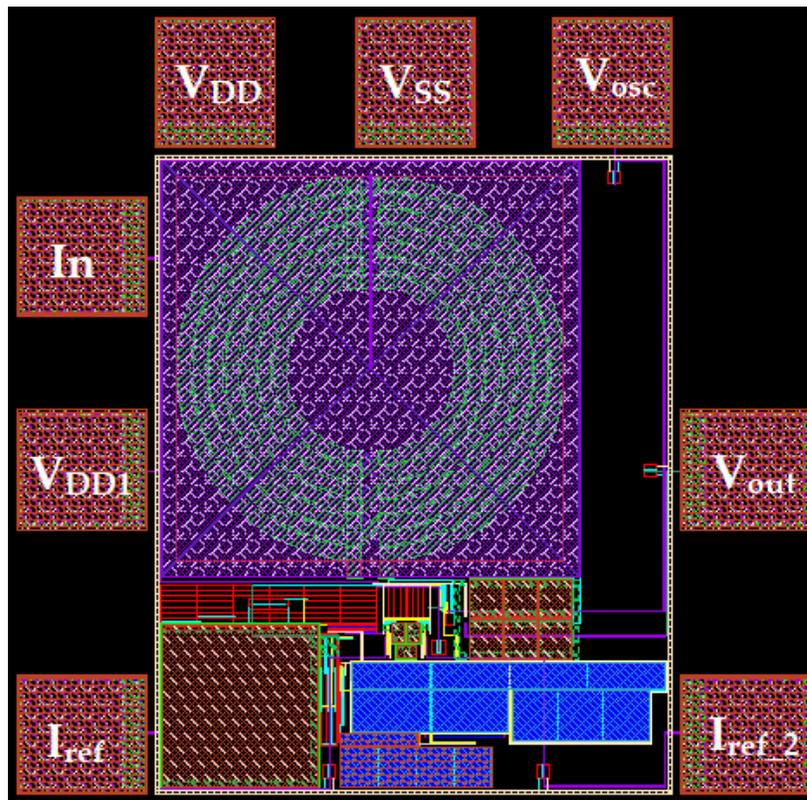


Figura 4.15 - Layout da arquitetura de 100 MHz (Área = 0,26 mm<sup>2</sup>)

Tabela 4.8 - Funcionalidade de cada terminal na arquitetura de 100 MHz

Pino	Descrição
V <sub>DD</sub>	Alimentação dos módulos da PMU
V <sub>DD1</sub>	Alimentação do módulo de controlo
V <sub>SS</sub>	Terminal da massa
V <sub>OSC</sub>	Terminal de teste para observação da onda PWM
In	Terminal de entrada do conversor DC-DC
V <sub>OUT</sub>	Terminal de saída do conversor DC-DC
I <sub>ref</sub>	Terminal de observação e/ou controlo da corrente I <sub>1</sub> do oscilador
I <sub>ref_2</sub>	Terminal de controlo da corrente I <sub>2</sub> do oscilador

## 4.9 Arquitetura a 500 MHz

Relativamente à PMU sugerida a operar a mais alta frequência, a sua implementação também foi completamente integrada. Como tal, o layout global desta arquitetura é o que se apresenta em seguida na Figura 4.16. Em termo de área ocupada verifica-se, através da Tabela 4.9, que esta é semelhante à solução de 100 MHz, também esta totalmente integrada.

Relativamente às funcionalidades de cada terminal da arquitetura, estas podem ser consultadas na Tabela 4.10.

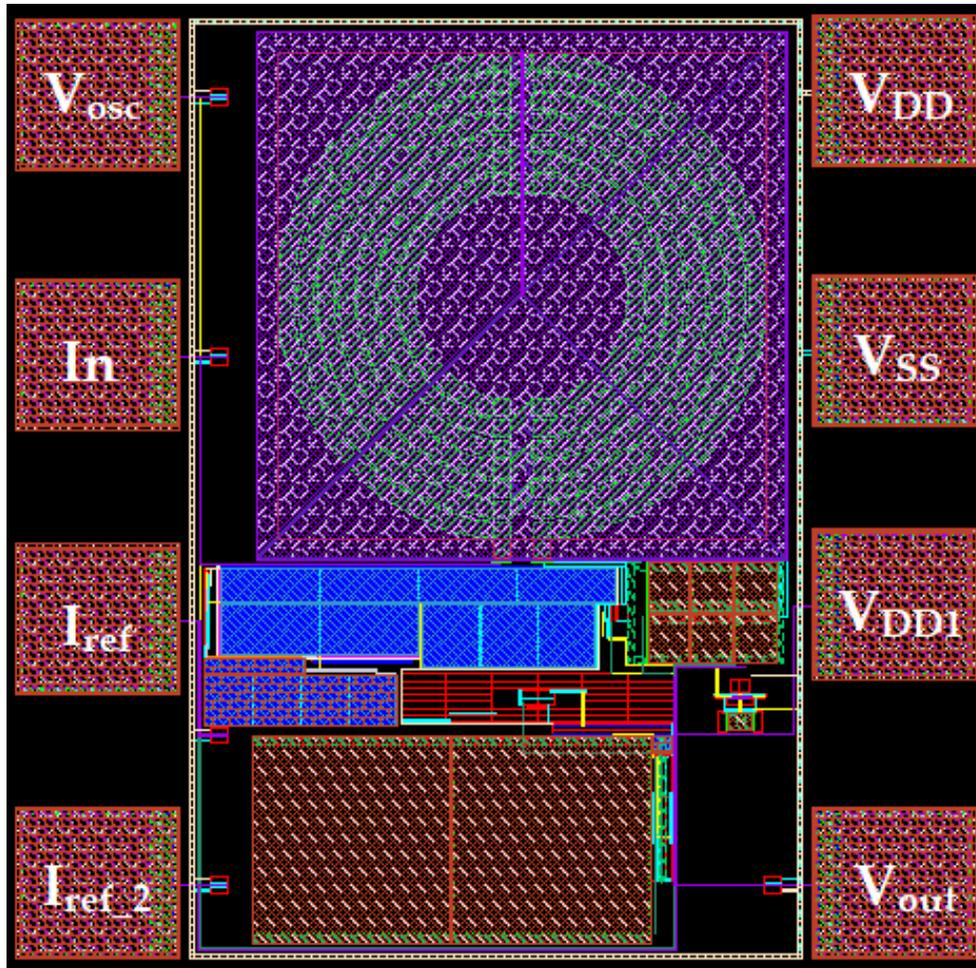


Figura 4.16 - Layout da arquitetura de 500 MHz (Área = 0,23 mm<sup>2</sup>)

Tabela 4.9 - Dimensões das arquiteturas propostas

	100 kHz (1,2V)	100 kHz (2,4 V)	100 MHz	500 MHz
Comprimento (μm)	311,60	428,01	501,16	479,14
Largura (μm)	442,00	440,09	512,31	489,82
Área (mm <sup>2</sup> )	0,14	0,19	0,26	0,23

Tabela 4.10 - Funcionalidade de cada terminal na arquitetura de 500 MHz

Pino	Descrição
$V_{DD}$	Alimentação dos módulos da PMU
$V_{DD1}$	Alimentação do módulo de controlo
$V_{SS}$	Terminal da massa
$V_{OSC}$	Terminal de teste para observação da onda PWM
In	Terminal de entrada do conversor DC-DC
$V_{OUT}$	Terminal de saída do conversor DC-DC
$I_{ref}$	Terminal de observação e/ou controlo da corrente $I_1$ do oscilador
$I_{ref\_2}$	Terminal de controlo da corrente $I_2$ do oscilador



## ANÁLISE DE RESULTADOS

Neste capítulo serão apresentadas as análises aos resultados decorrentes das simulações computacionais efectuadas às extrações dos layouts das soluções propostas para a unidade de gestão de potência. Note-se que, nestas extrações se encontram contemplados todos efeitos parasitas inerentes ao processo de fabricação por forma a aproximar os resultados de uma situação em contexto real. De referir também que foi utilizado, do ponto de vista computacional, o software de design e implementação de circuitos electrónicos Cadence IC6.1.6.

Neste capítulo podem ainda ser observados os resultados dos testes efectuados à PMU proposta em [32] quando consideradas, como fonte de energia, as células fotovoltaicas orgânicas. Dado que, a análise de resultados em [32] apenas apresenta resultados para células fotovoltaicas de silício amorfo (a-Si:H), os testes efectuados nesta dissertação, sobre as OPV's, servirão para complementar o trabalho realizado anteriormente, bem como para identificar possíveis aspectos que possam vir a ser melhorados nesta PMU.

### 5.1 PMU Indutiva Proposta

Por forma a cumprir os requisitos do projecto  $\mu$ FlexBat, onde se insere esta dissertação, foi considerado no processo de simulação dos circuitos propostos o modelo eléctrico da célula fotovoltaica orgânica apresentado no capítulo 2. Tendo por base as curvas características das OPV's (Figura 2.10 e Figura 2.11), foram estabelecidos os parâmetros de teste dos circuitos da PMU proposta. Note-se que, também nas soluções a operar a 100 kHz, foi considerado o modelo eléctrico equivalente das bobinas SMT, disponibilizado pelo fabricante destas. Quanto às cargas das PMU's, estas serão definidas por forma a ir de encontro ao máximo rendimento de cada um dos circuitos propostos, tendo sempre em consideração os requisitos impostos para estes. Relativamente às células fotovoltaicas orgânicas, as simulações das

diferentes arquiteturas foram efectuadas tendo por base as condições de funcionamento típicas de uma célula cuja degradação ao nível dos compostos orgânicos é mínima, ou seja, após o seu encapsulamento na câmara de atmosfera inerte. Note-se ainda que a temperatura ambiente considerada para os ensaios computacionais das arquiteturas foi de 27 °C.

Por fim, não descurando a solução baseada em condensadores comutados, apresentar-se-ão os resultados obtidos a partir da aplicação experimental das OPV's ao circuito apresentado em [32]. Estes resultados permitirão tecer considerações sobre a viabilidade da PMU proposta em [32], no contexto do projecto  $\mu$ FlexBat, bem como enaltecer possíveis lacunas passíveis de estudos futuros.

### 5.1.1 PMU a 100 kHz (1,2 V)

Na implementação da unidade de gestão de potência cuja frequência de comutação do conversor DC-DC é de 100 kHz e a tensão de saída é de 1,2 V considerou-se, por forma a obter o máximo valor de rendimento desta arquitetura, duas células fotovoltaicas em paralelo, como fonte de energia. Note-se ainda que, na realização desta simulação, foi tido em consideração o máximo valor de radiação incidente aquando da caracterização das OPV's.

As simulações efectuadas tiveram, como já referido, o objectivo de localizar o máximo valor de rendimento do circuito proposto, nas condições de irradiância referidas. Dessa forma, através da variação da carga do circuito, localizou-se o valor óptimo da carga do circuito que permite com que a arquitetura cumpra os requisitos perviamente definidos.

Primeiramente, obteve-se a forma da onda PWM, e respectiva frequência, que controla o conversor DC-DC desta PMU. Na Figura 5.1 encontra-se então representado esse sinal aquando da situação de arranque da arquitetura, referente à simulação eléctrica e de layout da arquitetura. Verifica-se que a frequência de oscilação da onda que controla o conversor DC-DC desta arquitetura é de 102,73 kHz, correspondendo a um erro relativo, face ao valor de dimensionamento, de +2,73%. É importante referir que a obtenção deste resultado é realizada à saída do buffer de desacoplamento.

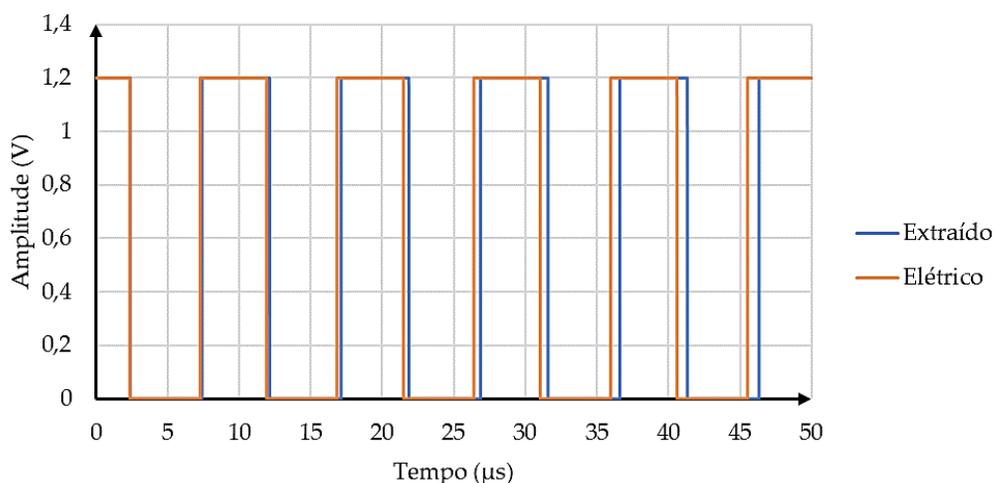


Figura 5.1 - Forma da onda PWM da arquitetura a 100 kHz (1,2 V)

Na Tabela 5.1 encontram-se esquematizados os resultados obtidos relativos à frequência de comutação do oscilador da solução proposta. Note-se que a apresentação dos resultados referentes às simulações eléctricas e de extração de layout apenas se revelam pertinentes no módulo do oscilador. Quanto aos restantes resultados, estes apenas são relativos às extrações de layout uma vez que o módulo de controlo da PMU possui a capacidade de reajustar o funcionamento do circuito por forma a que este cumpra os requisitos para que foi dimensionado.

Tabela 5.1 - Frequência da onda PWM da PMU a 100 kHz (1,2 V)

Simulação	Frequência (kHz)	Erro (%)
Teórico	100,00	0,00
Elétrico	104,57	4,57
Extraído	102,73	2,73

Quanto ao módulo de controlo da arquitetura, na Figura 5.2, encontra-se explicitado o funcionamento deste em função da variação da tensão de saída do conversor DC-DC. Nesta representação gráfica é possível verificar-se o comportamento esperado para este módulo, ou seja, para o valor mínimo da tensão de saída da arquitetura, a corrente que este módulo fornece ao oscilador de relaxação é máxima, por forma a aumentar o factor de ciclo da onda PWM. À medida que a tensão de saída do circuito ( $V_{out}$ ) vai convergindo para o valor que havia sido estabelecido, também a corrente que módulo de controlo injecta no oscilador vai diminuindo, fazendo com que o factor de ciclo do sinal PWM diminua. Assim, quando a tensão de saída do conversor se encontra próximo de zero, o valor da corrente disponibilizado é de  $1,54 \mu\text{A}$ , representado um erro relativo de  $+0,90\%$ , quando comparado com o limite imposto para este (Tabela 3.4). Quanto ao limite inferior do módulo de controlo, quando a tensão de saída do conversor DC-DC se aproxima do seu valor estabelecido, ou seja  $1,2 \text{ V}$ , a corrente de controlo injectada no oscilador de relaxação é de  $0,75 \mu\text{A}$ , correspondendo a um erro de  $+0,93\%$  relativamente ao valor estabelecido no dimensionamento deste módulo, garantido desta forma a estabilidade do oscilador de relaxação.

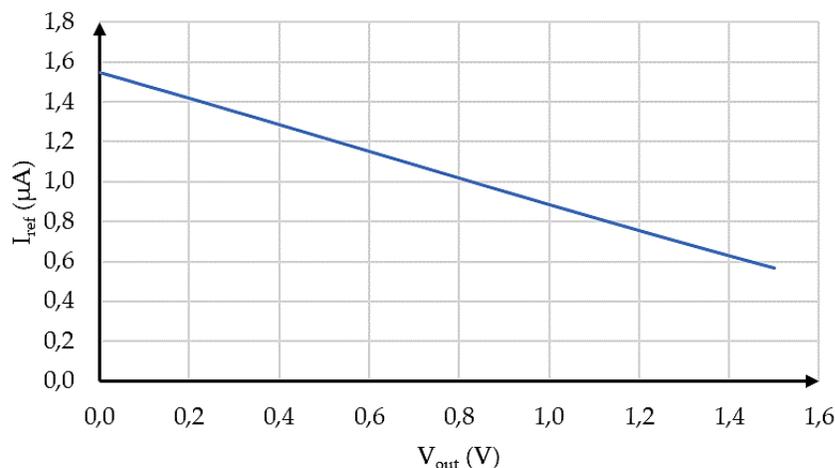


Figura 5.2 - Corrente de controlo em função da tensão de saída do sistema 100 kHz (1,2 V)

Quanto ao desempenho global do sistema, obtivera-se resultados distintos para cinco valores de cargas, nomeadamente, 2,5 k $\Omega$ , 5 k $\Omega$ , 10 k $\Omega$ , 15 k $\Omega$  e 20 k $\Omega$ . Com a realização destes cinco ensaios será possível caracterizar o comportamento da arquitetura quando lhe são apresentados diferentes tipos de carga. Como tal, na Figura 5.3 podem ser consultados os resultados advindos dessa simulação.

Observando os requisitos do projecto, verifica-se que é na simulação cuja carga tem o valor nominal de 15 k $\Omega$  que a tensão de 1,2 V é atingida. Na simulação da carga de 20 k $\Omega$  esse valor é ultrapassado, e nas simulações abaixo de 10 k $\Omega$ , o circuito não tem capacidade de colocar à sua saída a tensão pretendida. Contudo, como observado na Tabela 5.2, o rendimento do circuito aumenta quando o valor da carga a ele conecta diminui, podendo este ser operado nestas situações.

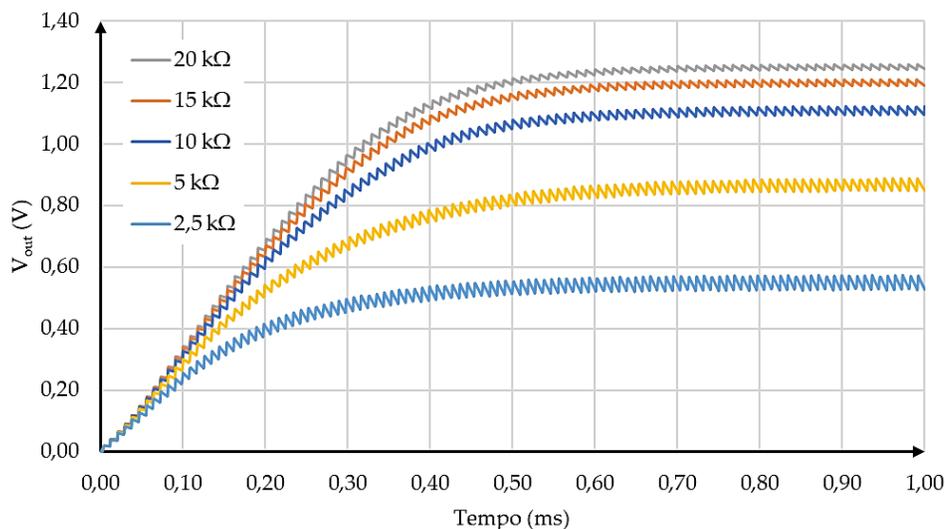


Figura 5.3 - Tensão de saída do sistema a 100 kHz (1,2 V)

Relativamente à carga de 15 k $\Omega$ , esta permite ao sistema gerar uma tensão à sua saída 1,21 V. Este resultado corresponde a um erro relativo de +0,83%, face ao valor imposto nos requisitos de projecto. Tendo em consideração que a potência entregue à carga pela PMU é de 62,34  $\mu$ W, o rendimento global do sistema a operar à frequência de 100 kHz e cuja tensão de saída é 1,2 V é de 65,66%. De referir que este cálculo contempla o facto de o sistema ser autossuficiente, ou seja, que a PMU possui a capacidade de alimentar todo o seu circuito bem como a sua carga sem que para isso seja necessário recorrer a uma fonte de energia auxiliar. A potência dissipada pelo circuito que implementa a unidade de gestão de potência é de 32,63  $\mu$ W.

Quanto à tensão de entrada do sistema, esta tem o valor de 613,34 mV. Observando a curva característica das OPV's (Figura 2.11), verifica-se que o erro deste resultado, relativo à tensão de máxima potência da célula fotovoltaica, é de +22,67% logo a PMU encontra-se a extrair praticamente toda a potência que as células fotovoltaicas orgânicas conseguem disponibilizar. Note-se que, idealmente, a tensão de entrada da PMU deveria corresponder à tensão do ponto de máxima potência das OPV's no entanto, tal não se revelou possível.

A partir da Tabela 5.2 verifica-se que, para as condições de irradiância consideradas, o rendimento da arquitetura de 100 kHz a 1,2 V tende a diminuir com o aumento da carga do circuito. Nas condições

inversas, quando a carga diminui, esta atinge o seu máximo em torno da carga de 5 k $\Omega$ , aproximadamente, diminuindo em seguida novamente.

Tabela 5.2 - Rendimento do sistema a 100 kHz (1,2 V) em função da resistência de carga

Carga (k $\Omega$ )	V <sub>out</sub> (V)	Rendimento (%)
2,5	0,53	73,94
5	0,87	79,48
10	1,12	74,12
15	1,21	65,66
20	1,25	56,18

Contudo, dado que as condições de iluminação da célula fotovoltaica orgânica não são sempre constantes, existiu a necessidade de observar o comportamento deste sistema aquando da variação da irradiância sobre as OPV's que o alimentam. Dado não ser possível, do ponto de vista computacional, caracterizar a radiação que incide sobre as células fotovoltaicas, definiram-se, com base no circuito equivalente das OPV's (Figura 2.5), três testes distintos. Como constatado através das características corrente-tensão das OPV's (Figura 2.10), existe uma relação de proporcionalidade entre as diferentes curvas associadas aos níveis de irradiância. Como tal, considerando essa relação ao nível da corrente de curto circuito das OPV's, definiram-se três níveis de irradiância, embora que fictícios, para observar o comportamento das PMU's propostas. O primeiro nível, referente à intensidade máxima, refere-se a uma corrente de curto circuito de 3 mA. O segundo nível de irradiância, é definido por uma corrente de 2 mA. Por fim, o último nível, o de menor intensidade luminosa, apresenta uma corrente de curto circuito de 1 mA. Assim, com base nestes três níveis de irradiância, obteve-se o rendimento associado à PMU de 100 kHz a 1,2 V por forma a que as especificações definidas para esta sejam cumpridas. Esses resultados encontram-se na Tabela 5.3.

Tabela 5.3 - Rendimento da arquitetura a 100 kHz (1,2 V) para os diferentes níveis de irradiância

Nível Irrad.	Carga (k $\Omega$ )	V <sub>in</sub> (mV)	V <sub>out</sub> (V)	Rendimento (%)
Alto	15	613,34	1,21	65,66
Médio	20	557,72	1,21	53,31
Baixo	100	262,75	1,21	30,85 *

A partir dos resultados obtidos verifica-se que, para as condições de iluminação alta e intermédia, o circuito apresenta um desempenho aceitável, embora que o seu rendimento não seja tão bom com esperado. No entanto, nas condições de menor intensidade luminosa, verificou-se que o circuito não consegue gerar potência suficiente à sua saída por forma a se autossustentar e, ainda assim, alimentar a carga que se encontra acoplado (\*). Dessa forma, nas condições de luminosidade reduzida, seria necessário recorrer a uma fonte de energia auxiliar cuja tarefa seria alimentar o circuito da PMU para que toda a energia processada por este fosse entregue à carga. Apenas nestas condições é que será possível obter o valor de rendimento explicitado na Tabela 5.3, para as condições de irradiância referidas.

Observe-se também que a tensão de entrada da PMU diminui de acordo com a irradiância que incide sobre as OPV's. Confrontando estes resultados com as curvas características destas células (Figura 2.10), verifica-se que o circuito não acompanha, de todo, a tensão do ponto de máxima potência destes dispositivos, evidenciando assim um dos principais motivos pelo qual o rendimento desta arquitetura se degrada com a diminuição da radiação incidente.

### 5.1.2 PMU a 100 kHz (2,4 V)

Recorrendo à mesma metodologia utilizada na simulação da arquitetura de 100 kHz a 1,2V, no sistema cuja frequência de comutação do conversor DC-DC é igualmente de 100 kHz, mas a tensão de saída tem o valor de 2,4 V, também foram consideradas duas células fotovoltaicas orgânicas conectadas em paralelo cuja radiação incidente sobre as mesmas corresponde, embora que ficticiamente, ao máximo valor de irradiância aquando da sua caracterização. Realizando uma análise semelhante à da PMU anterior, pretendeu-se, por variação da carga do circuito, determinar o máximo valor de rendimento da mesma.

Quanto ao desempenho do conjunto oscilador + buffer, este é análogo ao da proposta anteriormente apresentada. Dado que estes dois módulos não influenciam a tensão de saída do sistema, apenas careceram de pequenos ajustes para fazer face às especificações da presente solução. Como tal, na Figura 5.4 encontra-se representada a onda PWM que controla o conversor DC-DC da arquitetura proposta, relativa às simulações elétricas e de extração de layout. Note-se ainda que este sinal é representativo do funcionamento do sistema quando este se encontra no arranque ou regime transitório. Mais se informa que este sinal é resultado da saída do buffer de desacoplamento.

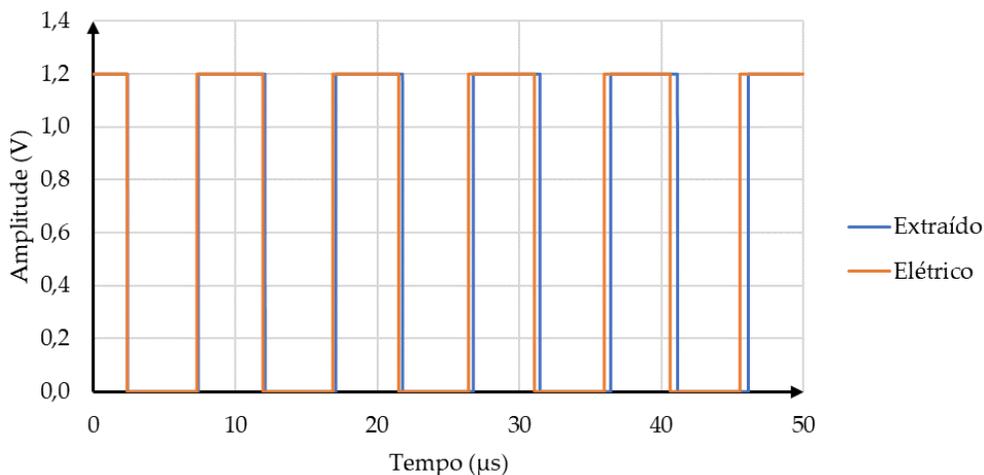


Figura 5.4 - Forma da onda PWM da arquitetura a 100 kHz (2,4 V)

Da Figura 5.4 resulta que a frequência da onda PWM, relativa à extração de layout, que comanda o interruptor  $S_1$  do conversor DC-DC (Figura 3.2) do sistema a 100 kHz (2,4 V) é de 103,83 kHz, representando assim, a um erro relativo de +3,83% face às especificações do projecto. Na Tabela 5.4 apresentam-se ainda o erro obtido a partir das simulações elétricas da arquitetura.

Tabela 5.4 - Frequência da onda PWM da PMU a 100 kHz (2,4 V)

Simulação	Frequência (kHz)	Erro (%)
Teórico	100,00	0,00
Elétrico	104,25	4,25
Extraído	103,83	3,83

Os erros cometidos na implementação do oscilador de relaxação da presente arquitetura (Tabela 5.4) não se revelam relevantes para os resultados que se apresentam em seguida. Uma vez que o circuito de controlo da solução proposta permite o ajuste do factor de ciclo da onda PMW do oscilador, os resultados obtidos á posteriori do oscilador não apresentarão diferenças quanto às suas simulações elétricas e de extração de layout.

Do ponto de vista do controlo do sistema, o comportamento do circuito responsável por essa tarefa, ao nível da corrente que gere o factor de ciclo da onda PWM que controla o conversor DC-DC da arquitetura, é o explicitado na Figura 5.5. Por observação destes resultados, tem-se que o erro relativo aos limites de variação deste módulo (Tabela 3.4) é de +0,71% no arranque do circuito, ou seja, quando a tensão de saída ( $V_{out}$ ) se encontra próxima de zero, e de -1,91% na situação em que o sistema atinge o valor de tensão pretendido (2,4 V). Os erros obtidos encontram-se relacionados com os ajustes necessários à implementação do módulo de controlo na tecnologia CMOS. Note-se que estes ajustes se referem essencialmente aos limites de estabilidade do oscilador de relaxação uma vez que, se a corrente de controlo subir ou baixar demasiado, corre-se o risco de o oscilador não oscilar como pretendido.

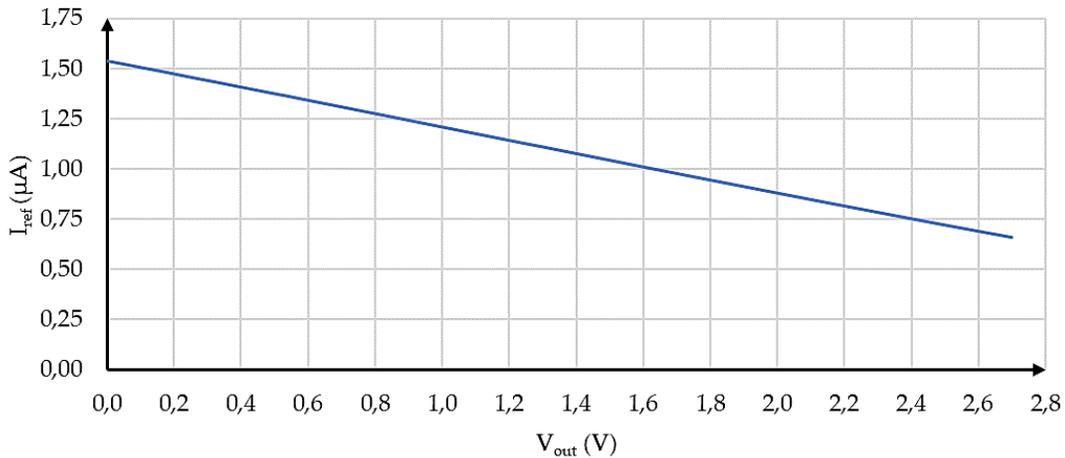


Figura 5.5 - Corrente de controlo em função da tensão de saída do sistema 100 kHz (2,4 V)

Observando o sistema como um todo, obtivera-se os resultados inerentes a este para uma determinada gama de cargas, nomeadamente, 10 k $\Omega$ , 15 k $\Omega$ , 20 k $\Omega$ , 25 k $\Omega$  e 30 k $\Omega$ . A partir destas cinco cargas traçou-se o comportamento do sistema de 100 kHz a 2,4 V ao longo do tempo, como se mostra na Figura 5.6.

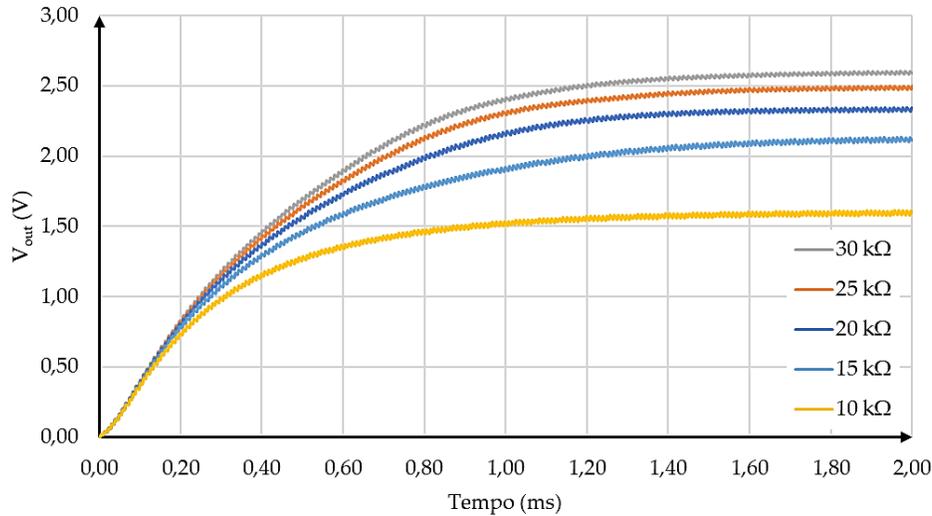


Figura 5.6 - Tensão de saída do sistema a 100 kHz (2,4 V)

Dos resultados da Figura 5.6 verifica-se que, para as cinco as cargas consideradas, o desempenho da arquitetura é variável. Sabendo que um dos requisitos desta arquitetura é a tensão de saída ser igual a 2,4 V, por visualização dos resultados obtidos, verifica-se que este valor é atingido com a carga de 25 kΩ. Nas restantes cargas, verifica-se que este requisito não é cumprido. Contudo, não deixa de ser válido operar o circuito nestas condições tendo sempre ciente que o rendimento do mesmo pode ser afectado de acordo com a característica presente na Tabela 5.5.

Relativamente ao rendimento do circuito, obteve-se para a carga de 25 kΩ, que o rendimento global do circuito é de 84,22%. Quanto à tensão que a arquitetura coloca à sua saída, esta apresenta o valor de 2,47 V, correspondendo a um erro relativo de +2,92% face ao valor imposto pelos requisitos do projecto. Note-se que, para o cálculo do rendimento, foi tido em consideração a alimentação do circuito de controlo, ou seja, considerou-se que a PMU é autossuficiente no sentido em que este consegue alimentar todo o circuito adjacente, que dissipa 32,75 μW, e ainda entregar 174,83 μW à sua carga.

Do ponto de vista da tensão de entrada do sistema, esta é igual a 610,10 mV. Visualizando os valores característicos das células fotovoltaicas orgânicas, para as condições de máxima iluminação (Tabela 2.2), tem-se que este valor corresponde a um desvio de +22,02%, em relação à tensão de máxima potência que as OPV's conseguem disponibilizar, ou seja, o circuito não se encontra a extrair toda a energia oferecida pela célula, no entanto, recolhe grande parte desta.

Tabela 5.5 - Rendimento do sistema a 100 kHz (2,4 V) em função da resistência de carga

Carga (kΩ)	V <sub>out</sub> (V)	Rendimento (%)
10	1,61	86,47
15	2,10	87,51
20	2,33	86,08
25	2,49	84,22
30	2,58	81,67

Por observação dos resultados obtidos na Tabela 5.5, verifica-se que, para as condições de irradiância consideradas na simulação desta PMU, o rendimento da mesma apresenta o seu valor máximo em torno da carga de 15 k $\Omega$ . Contudo, para essa carga, a resposta do circuito relativamente à sua tensão de saída não cumpre os requisitos do projecto. Como tal, dependendo do objectivo do projecto, dever-se-á optar pela carga mais conveniente por forma a ir de encontro aos requisitos que se pretendem cumprir.

Adicionalmente, com o objectivo de caracterizar melhor o desempenho desta PMU, pretendeu-se estudar, à semelhança da arquitetura de 100 kHz a 1,2 V, a evolução do rendimento desta para três níveis distintos da radiação que incide sobre as células fotovoltaicas orgânicas que a alimentam. Dessa forma, recorrendo à mesma metodologia utilizada na PMU homologa a 1,2 V, obtiveram-se os resultados da Tabela 5.6. De referir ainda que, por forma a cumprir os requisitos inicialmente impostos para esta PMU, existiu a necessidade de realizar uma análise exaustiva sobre a carga desta com a finalidade de localizar o máximo rendimento nas condições consideradas em cada ensaio.

Tabela 5.6 - Rendimento da arquitetura a 100 kHz (2,4 V) para os diferentes níveis de irradiância

Nível Irrad.	Carga (k $\Omega$ )	V <sub>in</sub> (mV)	V <sub>out</sub> (V)	Rendimento (%)
Alto	25	610,60	2,49	84,22
Médio	43	377,43	2,38	65,01
Baixo	270	239,35	2,45	40,66 *

Observando os resultados obtidos, verifica-se que é nas condições de irradiância é máxima que o rendimento da arquitetura de 100 kHz a 2,4 V é potenciada. Os principais factores que contribuem para esse resultado prendem-se com o baixo valor considerado para a carga do circuito, quando comparado com os restantes, e com a tensão de entrada da arquitetura. Vislumbrando os resultados afectos à tensão de entrada, verifica-se que o desvio desta em relação à tensão do ponto de máxima potência das OPV's aumenta com a diminuição da irradiação que incide sobre as mesmas. Verifica-se então que, nas condições de média e baixa irradiância, esse desvio é igual a -24,51% e -52,13%, respectivamente. Dessa forma, como já havia sido explicitado, quanto menor o aproveitamento da energia proveniente das células fotovoltaicas orgânicas, mais dificuldade a PMU terá em entregar uma potência considerada aproveitável à carga e ainda assim alimentar o seu circuito. É por esse motivo que, nas condições de menor irradiância, a PMU de 100 kHz a 2,4 V não possui a capacidade de alimentar o circuito que a implementa (\*). Dado que a potência dissipada por este é superior à gerada pelo conversor DC-DC, será necessário recorrer a uma fonte de energia externa para assim obter o rendimento explicitada na Tabela 5.6.

### 5.1.3 PMU a 100 MHz

Na simulação da unidade de gestão de potência, totalmente integrada, a operar à frequência de 100 MHz foram consideradas, como fonte de energia, duas células fotovoltaicas conectadas em paralelo. Obtiveram-se as formas de onda e características dos sinais que permitem o funcionamento desta arquitetura, nas condições de irradiância máxima para a qual as OPV's foram caracterizadas. Dito isso,

e seguindo a mesma metodologia já utilizada nas arquiteturas antecedentes, obteve-se a forma da onda PWM que controla o converso DC-DC (Figura 5.7), à saída do buffer de desacoplamento do sistema, por forma a atestar as condições de operação do mesmo. De referir que este resultado diz respeito às simulações elétricas e de extração de layout no intervalo temporal em que a arquitetura se encontra no regime transitório.

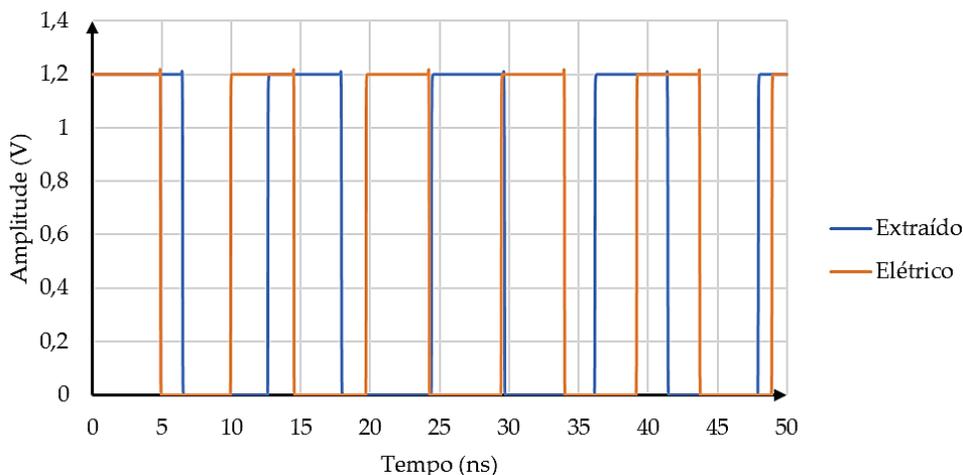


Figura 5.7 - Forma da onda PWM da arquitetura a 100 MHz

Na Tabela 5.7 encontram-se esquematizadas as frequências das duas ondas PWM obtidas. Sabendo que o resultado referente à extração de layout será o mais próximo do que será obtido na realidade, verifica-se que a frequência de oscilação da onda PWM nesta solução é de 85,00 MHz, o que, em termos de erro relativo, corresponde a -15,00% face aos requisitos impostos à priori. Este resultado deve-se essencialmente à influência dos efeitos parasitas introduzidos pelos componentes da PMU.

Embora a frequência resultante do oscilador seja inferior à requerida, o desempenho da arquitetura não se encontra comprometido uma vez que o módulo de controlo da mesma permite ajustar o factor de ciclo da onda PWM por forma a que a unidade cumpra os seus requisitos. Dessa forma, a restante análise de resultados referente a esta solução será referida às extrações de layout uma vez que estas se assemelham às simulações elétricas.

Tabela 5.7 - Frequência da onda PWM da PMU a 100 MHz

Simulação	Frequência (MHz)	Erro (%)
Teórico	100,00	0,00
Elétrico	102,61	2,61
Extraído	85,00	-15,00

Em seguida pretendeu-se observar o comportamento do módulo de controlo do sistema a 100 MHz. Tendo por base os limites de variação da corrente de controlo estabelecidos na Tabela 3.4, na Figura 5.8 encontra-se representada a variação desta em função da tensão de saída da unidade de gestão de potência ( $V_{out}$ ). Assim, quando a tensão de saída do circuito se encontra próxima de zero, ou seja, quando o circuito arranca, é necessário que o factor de ciclo seja o maior possível por forma a que o

sistema atinja o regime permanente o mais rapidamente possível. Dessa forma, nesse instante o módulo de controlo gera uma corrente que, por sua vez, é injecta no oscilador e cujo valor é de  $1,2 \mu\text{A}$ . Dado os limites estabelecidos para esta corrente (Tabela 3.4), tem-se que o erro relativo deste resultado face ao fixado teoricamente é de  $-2,27\%$ .

Quando o circuito atinge o regime permanente, ou seja, quando a tensão de saída atinge o valor pretendido aquando do dimensionamento, o factor de ciclo da onda PWM pode ser reduzido ao seu valor mínimo, mas sem colocar o oscilador na zona de instabilidade. Assim, quando a tensão de saída requerida é atingida ( $1,2 \text{ V}$ ), a corrente injectada pelo módulo de controlo no oscilador de relaxação é de  $0,86 \mu\text{A}$  valor esse que, comparado com os parâmetros de estabelecidos, corresponde a um erro relativo de  $+33,0\%$ . Estes resultados permitem assegurar a estabilidade do factor de ciclo da onda PWM que controla o conversor DC-DC da PMU.

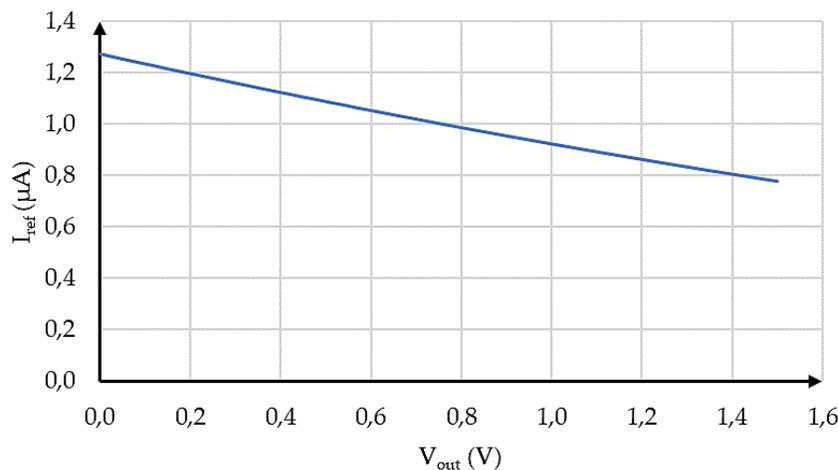


Figura 5.8 - Corrente de controlo em função da tensão de saída do sistema a 100 MHz

Verificado o correto funcionamento da parte de controlo da arquitetura proposta a 100 MHz obteve-se então a característica referente à tensão de saída desta. Bem como nos sistemas anteriores, existe um determinado valor para a carga do circuito em que o rendimento do mesmo é máximo. Desta feita, na Figura 5.9 pode observar-se a evolução temporal da tensão de saída ( $V_{out}$ ) do sistema de 100 MHz para cinco valores de carga distintos, nomeadamente,  $100 \text{ k}\Omega$ ,  $110 \text{ k}\Omega$ ,  $120 \text{ k}\Omega$ ,  $130 \text{ k}\Omega$  e  $140 \text{ k}\Omega$ . Das cargas consideradas, a que conduz ao máximo valor de rendimento, respeitando os requisitos do projecto, é a carga de  $130 \text{ k}\Omega$ . As restantes cargas, apesar de conduzirem a resultados igualmente satisfatórios do ponto de vista do cumprimento dos requisitos impostos, não permitem extrair o máximo rendimento do circuito nas condições impostas pelo projecto  $\mu\text{FlexBat}$ .

Dos resultados obtidos a partir da simulação computacional, tem-se que, para a carga de  $130 \text{ k}\Omega$ , o rendimento global do circuito é de  $20,21\%$ . Note-se que, ao contrario das arquiteturas cujas bobines dos conversores DC-DC foram implementadas recorrendo a componentes SMT, este sistema não possui a capacidade de se autoalimentar, ou seja, a alimentação dos seus circuitos carece de uma fonte auxiliar, externa, para que a unidade de gestão de potência consiga desempenhar a sua função. Dessa forma, o valor do rendimento apresentado contempla no seu cálculo a existência de uma fonte de energia auxiliar

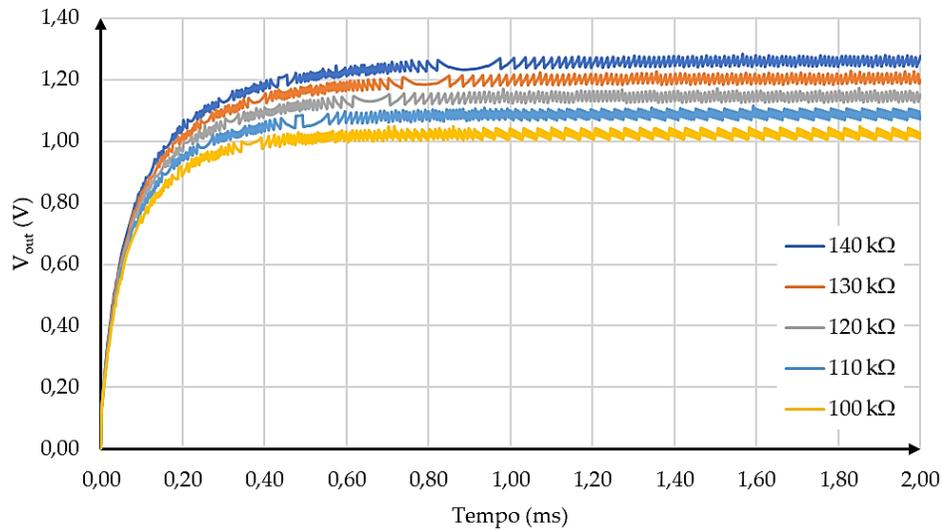


Figura 5.9 - Tensão de saída do sistema a 100 MHz

que fornece a alimentação ao circuito da PMU. Este acontecimento deve-se essencialmente à baixa indutância da bobine  $L$  do conversor DC-DC, contudo esta encontra-se limitada pela tecnologia de circuito integrado. Outros dos factores contributivos para o baixo rendimento da arquitetura, prende-se com o factor de qualidade da bobine. Este é muito baixo, quando comparado com o valor homologado das soluções discretas consideradas nas arquiteturas de 100 kHz. A frequência de comutação do oscilador de relaxação revela ser outro dos motivos da degradação do rendimento uma vez que, ao aumentar a frequência de oscilação, o consumo deste módulo aumenta, comprometendo assim o rendimento global da arquitetura.

Como se mostra na Figura 5.9, a tensão de saída desta arquitetura é de 1,20 V o que, em termos de erro relativo associado aos requisitos impostos pelo projecto, corresponde a um erro de +0,31%. Como havia sido referido, a potência dissipada pelo circuito que implementa este sistema é de 44,01  $\mu$ A potência essa que se revela superior aos 11,15  $\mu$ A disponibilizados apenas pelo conversor DC-DC da PMU, ou seja, a potência dissipada é cerca de quatro vezes superior à gerada pela unidade de gestão de potência.

A tensão de entrada desta PMU é de 312,94 mV o que, face às condições de irradiância consideradas para esta simulação, consiste num erro de -37,41% relativamente ao ponto de máxima potência das células fotovoltaicas orgânicas. Este resultado é novamente representativo do baixo valor da indutância adoptado para a bobine  $L$  do conversor DC-DC, uma vez que esta não possui a capacidade de extrair mais energia das OPV's, ao contrario do que seria pretendido.

Tabela 5.8 - Rendimento do sistema a 100 MHz em função da resistência de carga

Carga (k $\Omega$ )	$V_{out}$ (V)	Rendimento (%)
100	1,03	19,31 *
110	1,08	19,41 *
120	1,15	19,49 *
130	1,20	20,21 *
140	2,58	19,95 *

Note-se ainda que, de acordo com a Tabela 5.8, independentemente da carga considerada para o circuito da PMU a 100 MHz, esta carece sempre de uma fonte de energia externa auxiliar para alimentar o seu circuito (\*). Dado esta condicionante da arquitetura e o baixo valor de rendimento, não se revela pertinente a análise do desempenho da mesma para as várias condições de irradiância, como havia sido realizado para as arquiteturas a operar à frequência de 100 kHz. Contudo, estes resultados não deixam de ser interessantes do ponto de vista conceptual dado que se trata de uma solução totalmente integrada de uma PMU indutiva a operar a uma frequência tão elevada.

#### 5.1.4 PMU a 500 MHz

Relativamente às simulações computacionais associadas à unidade de gestão de potência a operar à frequência de 500 MHz, totalmente integrada, a metodologia é em tudo semelhante à que tem vindo a ser desenvolvida nas arquiteturas anteriores. Como tal, nestas foram também consideradas como fonte de energia duas OPV's em paralelo cuja degradação dos materiais orgânicos é mínima (Figura 2.10). Por forma a validar o correto funcionamento desta PMU, obtiveram-se os sinais essenciais ao correto funcionamento da mesma, nomeadamente, as formas de onda do sinal PWM, que controla o conversor DC-DC, e da corrente de referência que controla o oscilador de relaxação, bem como a característica da tensão de saída da PMU. Note-se que estes resultados são referentes às condições de maior irradiância que incide sobre as OPV's que alimenta a arquitetura. Assim, dado que um dos principais requisitos desta PMU é a frequência de operação, obteve-se a forma da onda PWM gerada pelo oscilador de relaxação da PMU, à saída do buffer de desacoplamento, aquando do regime transitório, como se mostra na Figura 5.10. Nesta encontra-se representada a onda PWM nas condições das simulações elétricas e de extração de layout.

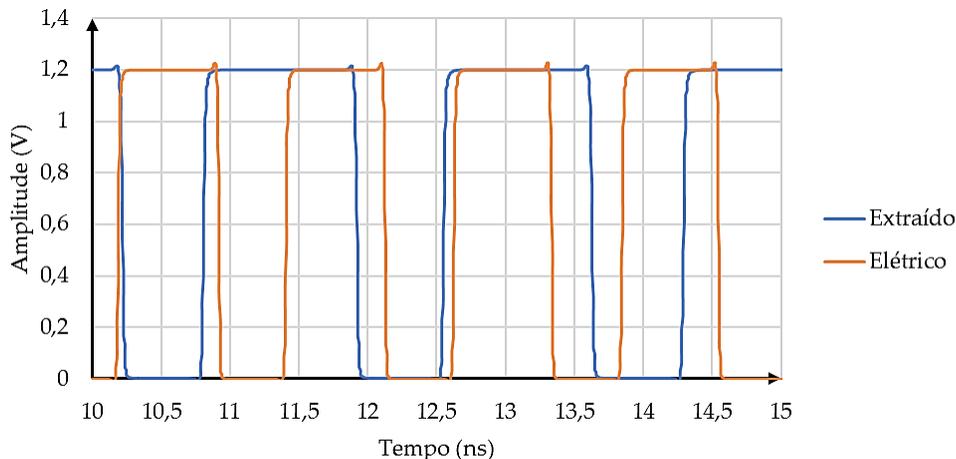


Figura 5.10 - Forma da onda PWM da arquitetura a 500 MHz

Observando a onda PWM obtida através da simulação relativa à extração do layout da PMU (Figura 5.10), tem-se que a frequência de oscilação resultante é igual a 557,54 MHz, valor esse, que corresponde a um erro relativo de +11,51% face aos requisitos do projecto (Tabela 5.9).

O erro obtido deve-se, em grande parte, aos efeitos introduzidos pelas capacidades parasitas do condensador  $C$ , que implementa o oscilador de relaxação (Figura 3.5). Dado que se pretende que este módulo dissipe o menor valor de potência possível, aquando do seu processo de dimensionamento, optou-se por subdimensionar a capacidade  $C$  com vista a minimizar o valor da corrente  $I$ , necessária ao funcionamento do oscilador.

Na Tabela 5.9 pode observar-se o resultado decorrente deste processo de subdimensionamento. Uma vez que a simulação elétrica do circuito não contempla os efeitos parasitas introduzidos pelos componentes do circuito, a frequência de oscilação apresenta um desvio em relação ao seu valor teórico de mais de 50%. No entanto, quando considerados esses efeitos na simulação da extração de layout, estes introduzem uma determinada capacidade parasita no layout do circuito que, por sua vez, conduz a uma diminuição da frequência de oscilação da onda PWM, quando comparada com o resultado obtido na simulação elétrica.

Tabela 5.9 - Frequência da onda PWM da PMU a 500 MHz

Simulação	Frequência (MHz)	Erro (%)
Teórico	500,00	0,00
Elétrico	783,42	56,68
Extraído	557,54	11,51

Dado que o módulo de controlo da PMU possui a capacidade de ajustar o factor de ciclo da onda PWM independentemente da frequência de oscilação, não se revela pertinente a apresentação dos resultados referentes às simulações elétricas do restante circuito visto que o comportamento deste é semelhante nas duas simulações.

Do ponto de vista do módulo de controlo da PMU este apresenta um comportamento semelhante ao das três PMU's homologas. Tendo por base a tensão de saída do sistema ( $V_{out}$ ), o módulo de controlo possui a tarefa de injectar no oscilador da arquitetura, um determinado valor de corrente, corrente essa que fará variar o factor de ciclo da onda PWM que controla o conversor DC-DC em função da evolução da tensão de saída da PMU. Considerando os limites de variação da corrente gerada pelo módulo de controlo estabelecidos aquando do dimensionamento deste módulo (Tabela 3.4), obteve-se, através de simulação, a variação da corrente  $I_{ref}$  em função da tensão de saída do conversor DC-DC (Figura 5.10). Note-se que, como já havia sido referido, esta corrente não deve ultrapassar os limites impostos à priori sob risco de o oscilado de relaxação da PMU entrar numa zona de instabilidade fazendo com que este deixe de oscilar.

Dados os limites definidos para a corrente gerada pelo módulo de controlo verifica-se, por observação da característica desta (Figura 5.11), que o erro cometido por esta, face ao valor definido, na situação de arranque do circuito, é de +0,58%, enquanto que, quando o regime permanente é atingido, ou seja, quando a tensão de saída da PMU estabiliza em torno da tensão de 1,2 V, o erro cometido pela corrente do módulo de controlo é de +18,94%, face ao limite imposto. Observando estes resultados verifica-se que a estabilidade do oscilador de relaxação está garantida nesta PMU. Embora o limite superior seja ultrapassado, o erro associado não é prejudicial á estabilidade do sistema.

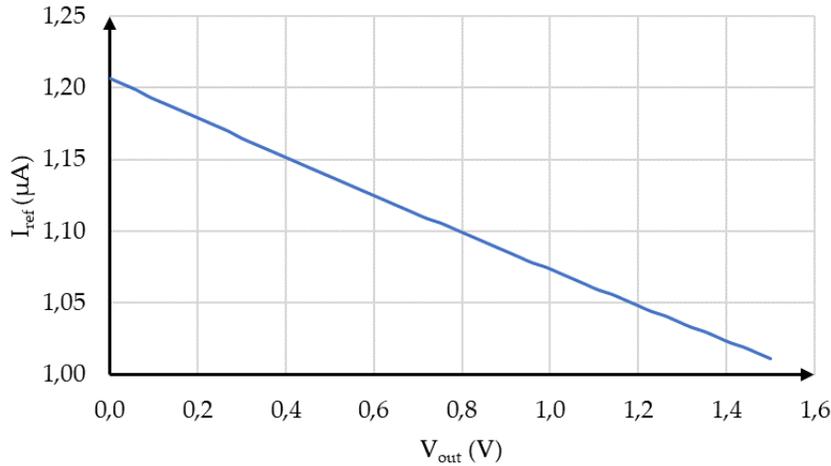


Figura 5.11 - Corrente de controlo em função da tensão de saída do sistema a 500 MHz

Uma vez atestado o correto funcionamento dos módulos que compõem a PMU a 500 MHz, verifica-se a necessidade de validar se a arquitetura cumpre os requisitos impostos, nomeadamente, em termos da tensão de saída  $V_{out}$ . Como observado nas soluções propostas antecedentes, dependendo da carga que se considere para o circuito, os requisitos do projecto são ou não cumpridos. Assim, à semelhança da metodologia adoptada anteriormente, obtiveram-se as características, no domínio do tempo, da tensão de saída da PMU para as cargas de 15 k $\Omega$ , 20 k $\Omega$ , 25 k $\Omega$ , 30 k $\Omega$  e 35 k $\Omega$  como se mostra na Figura 5.12.

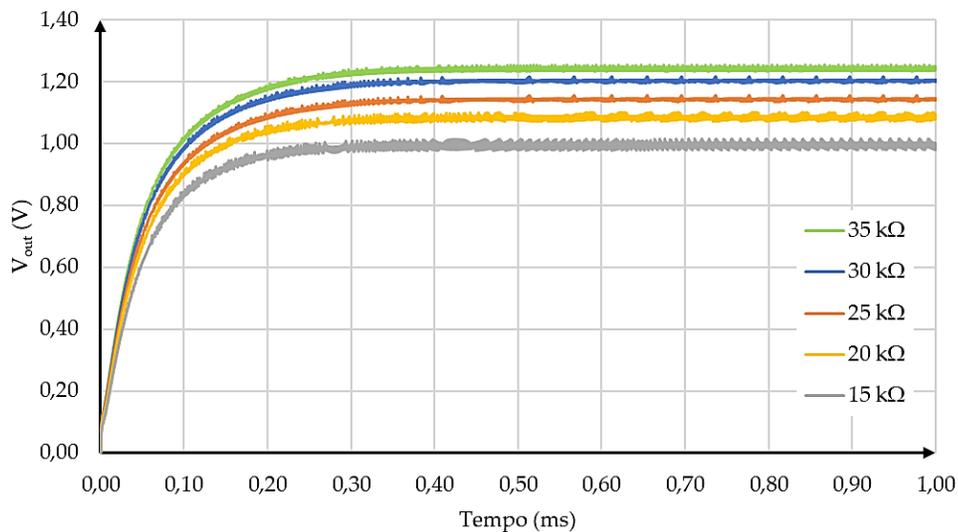


Figura 5.12 - Tensão de saída do sistema a 500 MHz

Observando os resultados fornecidos pela Figura 5.12, a tensão obtida disponibilizada PMU, para a carga de 30 k $\Omega$ , é de 1,22 V. Face às exigências do projecto, o erro relativo associado a este resultado é de +1,34%. Do ponto de vista da carga, a potência que lhe é fornecida pela arquitetura é de 49,32  $\mu W$ . Relativamente ao circuito que implementa esta arquitetura, este dissipa 114,77  $\mu W$  de potência. Dado que a potência dissipada pelo circuito da PMU é superior à fornecida por este, considerando apenas a carga de 30 k $\Omega$ , verifica-se que a arquitetura não possui a capacidade de se autossustentar e mesmo

assim fornecer energia à sua carga. Como tal, o rendimento desta, considerando para alimentação do circuito uma fonte de energia auxiliar, é de 26,73%.

Observando os resultados obtidos, verifica-se que a principal qualidade desta arquitetura é também a principal responsável pelo rendimento da mesma. À semelhança da PMU a 100 MHz, também esta PMU é totalmente integrada, ou seja, como havia sido referido, o valor da indutância  $L$  considerado para bobine do conversor DC-DC é muito inferior ao valor homologado considerado nas soluções de 100 kHz onde são utilizadas bobines SMT. É por esse motivo que este componente não consegue armazenar energia suficiente, no sentido de permitir ao sistema autoalimentar-se e ainda assim fornecer um determinado valor de potência à sua carga. Outro dos principais motivos que também havia sido identificado aquando das simulações da solução a 100 MHz, refere-se à frequência de operação da PMU. Ao aumentar a frequência de oscilação da onda PWM que controla o conversor DC-DC da arquitetura, tem-se como resultado um aumento da potência dissipada pelo circuito, mais concretamente no oscilador de relaxação. Contudo, à semelhança da proposta 100 MHz, esta solução não deixa de ser interessante do ponto de vista conceptual dada a sua frequência de oscilação e os resultados obtidos ao nível da tensão de saída.

Quanto à tensão de entrada desta arquitetura, para as condições de teste apresentadas, esta tem o valor de 353,78 mV. Observando a curva de potência das OPV's nas condições de máxima irradiância (Figura 2.11), tem-se que o desvio deste resultado, em relação à tensão do ponto de máxima potência da célula é de -29,24%. Novamente, este resultado era espectável dada a indutância da bobine do conversor ser demasiado baixa para a potência disponibilizada pela célula fotovoltaica orgânica.

Por forma a compreender a evolução do rendimento da PMU a 500 MHz na Tabela 5.10 encontra-se explicitado o valor do rendimento deste sistema para as cargas de 15 k $\Omega$ , 20 k $\Omega$ , 25 k $\Omega$ , 30 k $\Omega$  e 35 k $\Omega$ . Note-se ainda que estes resultados são relativos às condições de irradiância máxima.

Tabela 5.10 - Rendimento do sistema a 500 MHz em função da resistência de carga

Carga (k $\Omega$ )	V <sub>out</sub> (V)	Rendimento (%)
15	0,97	29,75 *
20	1,10	30,78 *
25	1,13	27,56 *
30	1,22	26,73 *
35	1,25	24,96 *

Como expectável, infelizmente em nenhuma das simulações foi possível obter um rendimento da PMU a 500 MHz cujo resultado seja referente ao funcionamento desta de forma independente (\*). Quer isso dizer que, dada a elevada dissipação de potência do circuito que implementa esta PMU, independentemente da carga considerada para esta, será sempre necessária uma fonte de energia auxiliar capaz de fornecer a alimentação ao circuito e assim obter os resultados da (Tabela 5.10). Dessa forma, o estudo da evolução do rendimento deste sistema, para as diversas condições de radiação incidente, não se revela pertinente uma vez que, dadas as condições de máxima irradiância, a arquitetura não é autossustentável do ponto de vista energético logo, não será nas soluções de mais baixa intensidade luminosa que o será.

## 5.2 PMU Baseada em Condensadores Comutados

O sistema apresentado em [32] utilizou células fotovoltaicas de silício amorfo (a-Si:H) como fontes de energia aquando do seu desenvolvimento. Comparando esta tecnologia com a tecnologia das OPV's verifica-se, do ponto de vista económico, que estas últimas são menos onerosas, visto que os compostos utilizados são simples de obter e existem em abundância no meio ambiente. Em termos de flexibilidade mecânica, as células fotovoltaicas orgânicas também se demarcam face às células de a-Si:H uma vez que a sua estrutura não carece de compostos com uma estrutura molecular fixa. Contudo, observando o rendimento destas duas tecnologias verifica-se que as células de a-Si:H são as que apresentam maior eficiência, nomeadamente, cerca de 13% [52].

Dessa forma, procurou-se estudar o desempenho do circuito proposto em [32] considerando como fonte de energia células fotovoltaicas orgânicas. Assim, como referido, foi necessário reajustar os parâmetros da PMU para que esta possua o máximo rendimento. Visto que o sistema de controlo da arquitectura é implementado a partir do algoritmo *fractional Voc* é requerido, com base na curva de potência da OPV identificar qual a tensão que corresponde ao máximo valor de potência disponibilizada pela célula. Dito isso, e tendo por base a caracterização das OPV's presente na Tabela 2.2 e as suas curvas de potência (Figura 2.11), observou-se o desempenho do sistema para diferentes níveis de irradiância e uma carga de 9,9 kΩ como se mostra na Tabela 5.11. Devido à configuração da câmara de atmosfera inerte utilizada nos testes das células fotovoltaicas orgânicas, apenas foi possível testar duas configurações de ligações, nomeadamente, com o pixel P<sub>1</sub> como sendo a célula principal e o pixel P<sub>2</sub> como sendo a célula piloto (config. 1), e com os dois pixéis em paralelo conectados à entrada do circuito ( $V_{in}$ ) (config. 2). Nesta última configuração a tensão de circuito aberto da célula piloto ( $V_{oc}$ ) necessária para o algoritmo de MPPT foi implementada utilizando uma tensão externa de 1,2 V.

Para a realização dos ensaios experimentais do circuito foi utilizado um multímetro/fonte Keithley K2400, um simulador solar Oriol Sol A, 69920, Newport com AM1.5G, uma célula fotovoltaica de calibração Newport 91150V, um osciloscópio Tektronix TDS3054B de quatro canais, um multímetro Voltcraft 7905C e uma fonte de alimentação Instek GPC-9030DQ.

Tabela 5.11 - Resultados do sistema proposto em [32] com OPV's

Config.	Irradiância (mW/cm <sup>2</sup> )	$V_{in}$ (mV)	$V_{mppt}$ (mV)	$I_{in}$ (mA)	$P_{in}$ (mW)	$V_{out}$ (V)	$I_{out}$ (mA)	$P_{out}$ (mW)	$\eta$ (%)
1	86,25	650,01	620,35	0,43	0,28	1,20	0,11	0,13	47,23
	66,34	655,21	630,14	0,35	0,23	1,20	0,12	0,14	62,79
	46,12	647,52	630,19	0,32	0,21	1,19	0,12	0,14	68,92
	26,21	623,34	600,02	0,43	0,27	1,15	0,12	0,14	51,49
	9,52	573,74	510,46	0,40	0,23	0,92	0,09	0,08	36,08
2	86,25	680,21	502,31	0,66	0,45	1,14	0,11	0,13	27,93
	66,34	686,41	524,87	0,63	0,43	1,15	0,11	0,13	29,25
	46,12	672,51	553,21	0,58	0,39	1,15	0,11	0,13	32,43
	26,21	649,21	553,21	0,48	0,31	1,17	0,12	0,14	45,05
	9,52	628,14	553,21	0,29	0,18	1,15	0,12	0,14	75,76

De ressaltar também que, nos testes efectuados, foram utilizadas OPV's (P<sub>1</sub> e P<sub>2</sub>) com uma área ativa de 0,24 cm<sup>2</sup>, sendo o substrato semelhante ao da Figura 2.9. No entanto, aquando do primeiro estudo

do desempenho do sistema considerando células fotovoltaicas de silício amorfo, a área da célula principal considerada era de 14 cm<sup>2</sup>, ou seja, cerca de 59 vezes superior à solução orgânica.

Considerando que em [32] o máximo rendimento do sistema correspondeu a uma potência de entrada de 8,7 μW, para uma irradiância de 0,018 mW/cm<sup>2</sup>, verifica-se, a partir da Tabela 5.11, que esse valor não é atingido nas diferentes configurações. Assim, uma vez que o sistema se encontra caracterizado para potências de entrada mais baixas seria de todo o interesse diminuir a intensidade luminosa que incide sobre a célula fazendo, com que a potência de entrada do circuito também diminuísse. Dessa forma é verificável que, no valor mínimo de irradiância disponibilizado pelo equipamento, o rendimento do circuito proposto em [32] é mais elevado do que o homologado obtido a partir das células de silício amorfo.

Como tal, e com o objectivo de atestar o correto funcionamento do circuito, a forma de onda das fases  $\Phi_1$  e  $\Phi_2$ , para os diferentes níveis de iluminação, encontram-se na Figura 5.13, Figura 5.14, Figura 5.15, Figura 5.16 e Figura 5.17, sendo o canal 1 (Ch1) referente à fase  $\Phi_1$  e o canal 2 (Ch2) à fase  $\Phi_2$ . A frequência de funcionamento concernente a cada fase pode ser consultada na Tabela 5.12.

Por fim, observou-se o arranque da PMU com a finalidade de verificar se o módulo de controlo se encontrava a funcionar de forma correta. Na Figura 5.18 encontra-se representada a inicialização do circuito proposto em [32] segundo as condições previamente definidas para este, para o nível de irradiância de 26 mW/cm<sup>2</sup>.

Tabela 5.12 - Frequência das fases  $\Phi_1$  e  $\Phi_2$

Irradiância (mW/cm <sup>2</sup> )	Frequência (MHz)	
	$\Phi_1$	$\Phi_2$
86,25	1,89	7,66
66,34	1,98	7,82
46,12	1,81	7,45
26,21	2,34	8,48
9,52	4,46	16,33

Tabela 5.13 - Resistências equivalentes das duas tecnologias

Tecnologia	Irradiância (mW/cm <sup>2</sup> )	R <sub>s</sub> (Ω)	R <sub>p</sub> (kΩ)
Orgânica	9,52	466,45	151,07
a-Si:H	1,52	58,00	12,00

Observando os resultados obtidos na Tabela 5.11 verifica-se que o circuito apresentado em [32] apresenta um melhor rendimento com as OPV's do que com as células de silício amorfo. Essa melhoria demonstra-se evidente pelo facto de as frequências das fases  $\Phi_1$  e  $\Phi_2$  do módulo de controlo do sistema apresentarem valores na ordem dos MHz. No entanto, aquando do seu dimensionamento, o circuito foi projectado para operar a frequências na ordem dos kHz. Este acontecimento traduz assim uma sobrealimentação do circuito, de tal forma que o módulo de controlo tenta dissipar toda a potência fornecida ( $P_m$ ) em excesso sob a forma do aumento da sua frequência de comutação. Assim, uma vez que a densidade de corrente das células fotovoltaicas orgânicas é de aproximadamente 13 mA/cm<sup>2</sup>, para o máximo valor de irradiância, verifica-se que quando a irradiância diminuiu, ou seja, quando a densidade de corrente baixa, as frequências das fases  $\Phi_1$  e  $\Phi_2$  se aproximam dos valores para os quais o sistema foi dimensionado, embora que não o suficiente. Dito isso, é possível identificar como ponto ótimo de funcionamento do circuito o ponto onde a potência dissipada pelo módulo de controlo

apenas corresponde ao valor estritamente necessário ao seu funcionamento sendo a restante potência entregue à carga da PMU.

Comparando as densidades de corrente das duas tecnologias de células fotovoltaicas, verifica-se que, para uma irradiância de  $9,52 \text{ mW/cm}^2$  as OPV's possuem uma densidade de sensivelmente  $290 \mu\text{A/cm}^2$ , enquanto que as células de a-Si:H, para uma radiação incidente de  $1,52 \text{ mW/cm}^2$ , apresentam uma densidade de corrente de  $200 \mu\text{A/cm}^2$ . Note-se ainda que o máximo rendimento do sistema [32] foi obtido considerando dois pixéis de células fotovoltaicas orgânicas em paralelo, pelo que a densidade de corrente obtida da configuração é o dobro, ou seja, cerca de  $580 \mu\text{A/cm}^2$ . Dessa forma, verifica-se que o desempenho do sistema se encontra dependente do modelo eléctrico da célula, nomeadamente, das resistências série  $R_s$  e paralelo  $R_p$  de tal forma que, para as condições de iluminação referidas acima, as duas tecnologias de células possuem as resistências equivalentes representadas na Tabela 5.13.

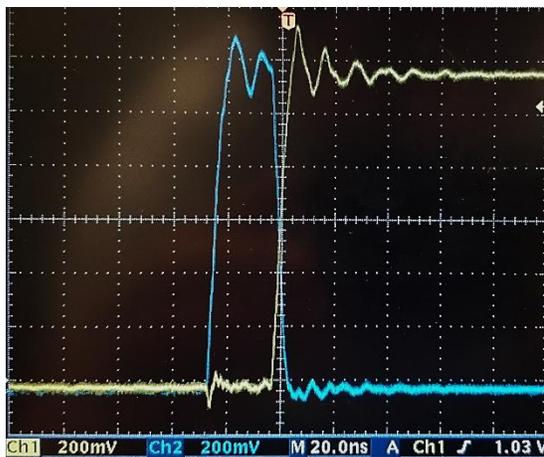


Figura 5.13 - Forma de onda das fases  $\Phi_1$  e  $\Phi_2$  para a irradiância de  $86,25 \text{ mW/cm}^2$

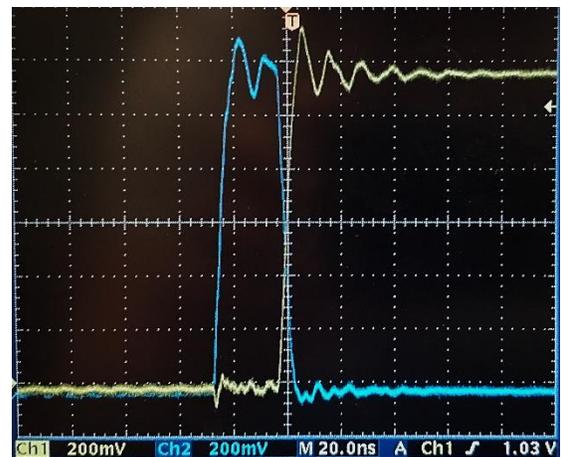


Figura 5.14 - Forma de onda das fases  $\Phi_1$  e  $\Phi_2$  para a irradiância de  $66,34 \text{ mW/cm}^2$

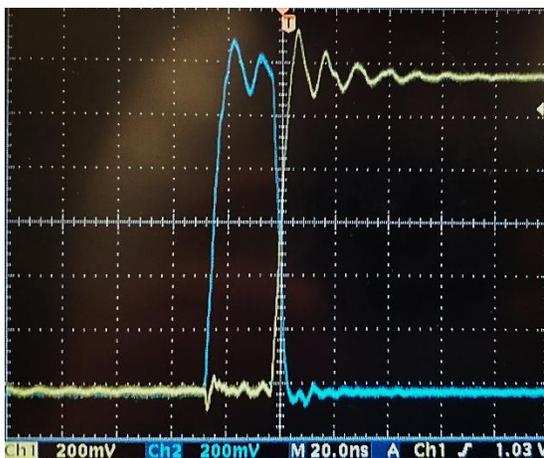


Figura 5.15 - Forma de onda das fases  $\Phi_1$  e  $\Phi_2$  para a irradiância de  $46,12 \text{ mW/cm}^2$

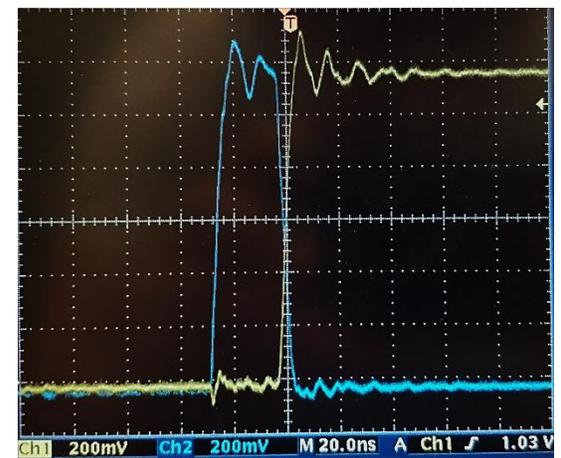


Figura 5.16 - Forma de onda das fases  $\Phi_1$  e  $\Phi_2$  para a irradiância de  $26,21 \text{ mW/cm}^2$

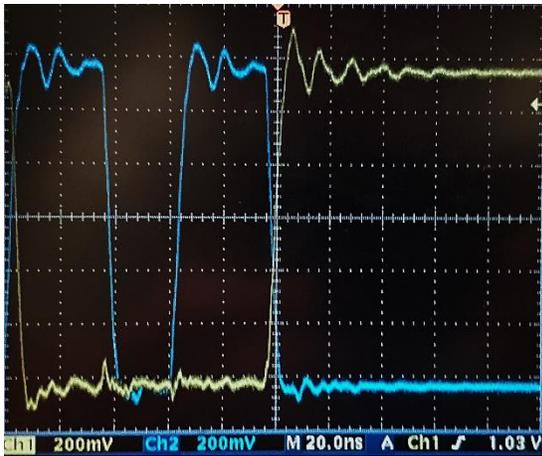


Figura 5.17 - Forma de onda das fases  $\Phi 1$  e  $\Phi 2$  para a irradiância de  $9,52 \text{ mW/cm}^2$

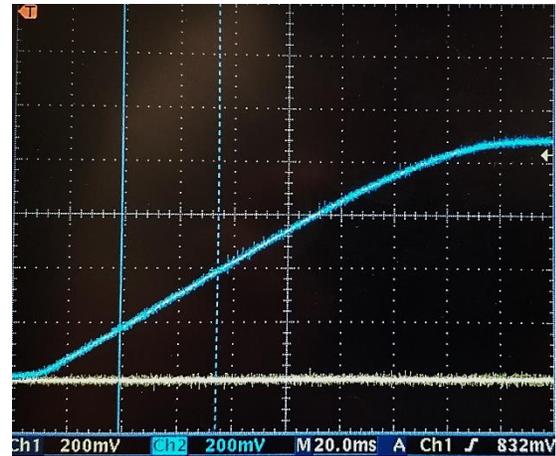


Figura 5.18 - Arranque do circuito para a irradiância de  $26,21 \text{ mW/cm}^2$

Dado que nos ensaios realizados à arquitetura proposta em [32], com células fotovoltaicas orgânicas, a potência fornecida ao circuito ( $P_m$ ) era notoriamente mais elevada do que o valor para a qual o circuito havia sido dimensionado, pretendeu-se contornar esse acontecimento com a realização de uma segunda sessão de testes onde, em vez de ser utilizado o simulador solar Oriel Sol A, 69920, Newport com AM1.5G, foram utilizadas quatro lâmpadas de uso doméstico com o objectivo de baixar o valor da potência fornecida à OPV e, por sua vez, à PMU. Na Tabela 5.14 encontram-se explicitas as características técnicas das lâmpadas consideradas. Tendo em consideração que estas características são diferentes das do simulador solar com que foram realizados os primeiros testes, também o espectro luminoso será diferente. Assim, na Figura 5.19 são apresentados os espectros luminosos, normalizados, das quatro lâmpadas consideradas neste ensaio, para o nível de irradiância descrito na Tabela 5.14.

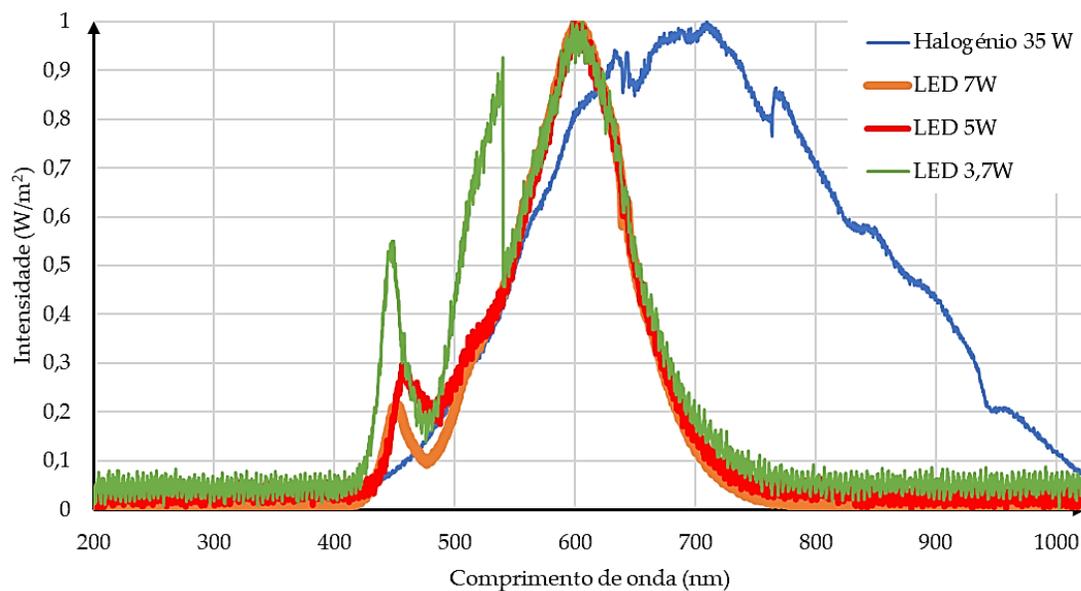


Figura 5.19 - Espectros luminosos das lâmpadas utilizadas

Tabela 5.14 - Características técnicas das lâmpadas utilizadas

Lâmpada	Temperatura da cor (K)	Irradiância (mW/cm <sup>2</sup> )
Halogénio 35W	3000	23,41
LED 7W	3000	3,34
LED 5W	3000	0,71
LED 3,7W	2800	0,67

Como já havia sido referido, a degradação das células fotovoltaicas orgânicas é elevada. Dessa forma, neste segundo ensaio foi usada uma outra OPV com características semelhantes às do primeiro ensaio. As curvas de corrente-tensão e de potência referentes a esta encontram-se na Figura 5.20. Mais se informa que a corrente de curto circuito desta OPV é de 2,27 mA, a tensão de circuito aberto tem o valor de 750 mV e para o valor máximo de potência (660  $\mu$ W), o valor da tensão, ou seja, o valor da tensão onde ocorre a máxima potência necessário ao algoritmo de MPPT é de 400 mV. É importante ressaltar que esta caracterização foi obtida recorrendo ao simulador solar Oriel Sol A, 69920, Newport, para um valor de radiação incidente de 86,25 mW.

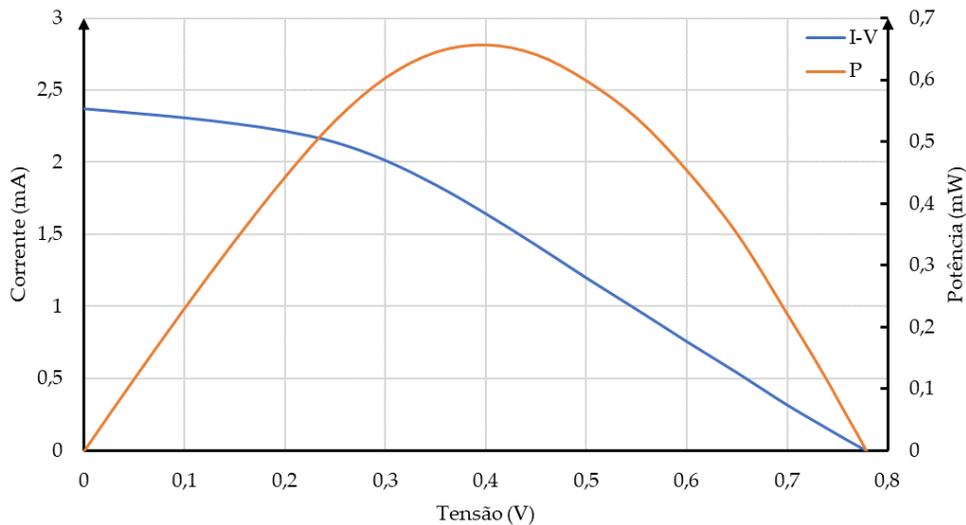


Figura 5.20 - Curvas de corrente-tensão e potência para a OPV utilizada na segunda fase de testes

Neste segundo momento de testes foram consideradas três níveis de altura a partir dos quais se fez incidir a radiação das lâmpadas sobre as OPV's. As alturas ao plano de trabalho consideradas foram de 0,45 m, 0,26 m e 0,11 m. Recorrendo à célula de calibração Newport 91150V obteve-se a irradiância das quatro lâmpadas para as diferentes alturas, como se mostra na Tabela 5.15. Note-se que os valores apresentados na Tabela 5.15 vêm em mW/cm<sup>2</sup>.

Tabela 5.15 - Irradiância das diferentes lâmpadas para os três níveis de altura

Lâmpada	0,45 m	0,26 m	0,11 m
Halogénio 35W	6,30	32,50	119,30
LED 7W	1,28	3,73	19,31
LED 5W	-	0,86	2,76
LED 3,7W	0,18	0,44	1,56

Quanto à metodologia utilizada neste procedimento, pretendeu-se localizar, através da variação exaustiva da carga da PMU, o máximo valor de rendimento desta. De salientar que, devido à fraca potência de irradiação, as lâmpadas de 5 W e 3,7 W apenas permitiram obter resultados para a altura mínima considerada, nomeadamente, 0,11 m.

Outro aspecto que é de todo importante referir prende-se com as frequências das fases de controlo do conversor DC-DC. Como verificável através dos valores de irradiância da Tabela 5.15, a intensidade da radiação incidente sobre a OPV é bastante inferior à considerada na primeira fase de testes (Tabela 5.11). Por esse motivo, e devido à precisão dos instrumentos de medida utilizados, não foi possível obter valores coerentes e precisos do valor da frequência das diferentes fases de controlo do conversor DC-DC da PMU.

Na Tabela 5.16 são apresentados os resultados obtidos pela PMU [32], nas condições de teste acima referida, e quando considerada como fonte de energia as OPV's. Dado que a evolução do rendimento se encontra também dependente da fonte luminosa considerada, na Figura 5.21 e Figura 5.22 encontram-se representadas graficamente as variações do rendimento em função da carga da arquitetura para as alturas de 0,45 m e 0,11 m, respectivamente, para cada lâmpada. Devido às condições oferecidas pelas diferentes fontes luminosas, não foi possível traçar a análise comparativa para a altura de 0,26 m.

Cruzando as informações fornecidas pela Tabela 5.16 e pelas Figura 5.21 e Figura 5.22, verifica-se o que já se havia concluído na primeira fase de testes, para potências de entrada ( $P_{in}$ ) mais baixas, é possível obter resultados mais consistentes, quando comparados com os obtidos na primeira fase de testes (Tabela 5.11), no que ao rendimento da arquitetura proposta em [32] diz respeito.

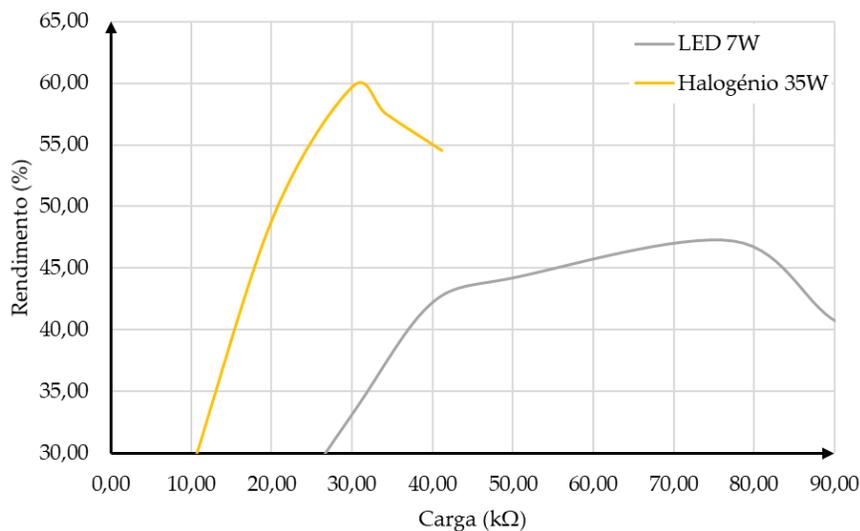


Figura 5.21 - Evolução da rendimento em função da carga do circuito [32] para a altura de 0,45 m

Tabela 5.16 - Resultados da segunda fase de testes ao circuito proposto em [32]

Lâmp.	Altura (m)	Carga (kΩ)	V <sub>mpp</sub> (mV)	V <sub>in</sub> (mV)	I <sub>in</sub> (μA)	P <sub>in</sub> (μW)	V <sub>out</sub> (mV)	I <sub>out</sub> (μA)	P <sub>out</sub> (μW)	η (%)
35 W Halogénio	0,45	9,90	359,78	387,00	53,50	20,70	243,00	24,00	5,83	28,17
		20,30	359,78	386,00	53,50	20,65	450,00	22,60	10,17	49,25
		30,20	359,78	386,00	54,70	21,11	625,00	20,20	12,63	59,79
		34,20	359,78	386,00	56,00	21,62	655,00	19,00	12,45	57,57
		41,20	359,78	386,00	54,70	21,11	694,00	16,60	11,52	54,56
	0,26	1,99	369,25	402,00	292,00	117,38	276,00	113,70	31,38	26,73
		3,00	369,25	403,00	296,00	119,29	408,00	131,20	53,53	44,87
		3,98	369,25	404,00	296,00	119,58	518,00	124,40	64,44	53,89
		5,99	369,25	418,00	320,00	133,76	680,00	89,50	60,86	45,50
		9,90	369,25	451,00	315,00	142,07	655,00	61,50	40,28	28,35
	0,11	34,20	369,25	474,00	195,30	92,57	766,00	22,90	17,54	18,95
		0,99	384,51	436,00	600,00	261,60	328,00	330,00	108,24	41,38
		1,51	384,51	440,00	596,00	262,24	483,00	315,00	152,15	58,02
		1,99	384,51	445,00	595,00	264,78	607,00	301,00	182,71	69,00
		3,00	384,51	485,00	551,00	267,24	626,00	161,80	101,29	37,90
7 W LED	0,45	5,99	384,51	514,00	488,00	250,83	739,00	108,30	80,03	31,91
		9,90	505,50	545,00	36,00	19,62	155,00	16,00	2,48	12,64
		20,10	505,50	545,00	36,00	19,62	307,00	15,00	4,61	23,47
		30,40	505,50	545,00	36,00	19,62	438,00	15,00	6,57	33,49
		40,10	505,50	545,00	36,00	19,62	553,00	15,00	8,30	42,28
		50,20	505,50	545,00	36,00	19,62	668,00	13,00	8,68	44,26
		77,50	505,50	545,00	35,00	19,08	819,00	11,00	9,01	47,23
		91,20	505,50	545,00	35,00	19,08	857,00	9,00	7,71	40,44
	0,26	105,00	505,50	545,00	35,00	19,08	879,00	9,00	7,91	41,47
		208,00	505,50	545,00	35,00	19,08	945,00	4,00	3,78	19,82
		20,50	522,75	567,00	85,00	48,20	701,00	34,00	23,83	49,45
		25,10	522,75	567,00	85,00	48,20	820,00	33,00	27,06	56,15
		30,80	522,75	567,00	85,00	48,20	926,00	30,00	27,78	57,64
		40,50	522,75	567,00	85,00	48,20	1007,00	25,00	25,18	52,24
		50,20	522,75	567,00	85,00	48,20	1039,00	21,00	21,82	45,27
0,11	91,20	522,75	567,00	85,00	48,20	1048,00	11,00	11,53	23,92	
	4,01	549,75	594,00	263,00	156,22	489,00	123,00	60,15	38,50	
	9,90	549,75	596,00	263,00	156,75	1014,00	102,00	103,43	65,98	
	12,06	549,75	598,00	256,00	153,09	1070,00	88,00	94,16	61,51	
	15,10	549,75	598,00	256,00	153,09	1099,00	72,00	79,13	51,69	
5 W LED	0,11	20,70	521,25	531,00	85,00	45,14	508,00	35,00	17,78	39,39
		28,60	521,25	533,00	85,00	45,31	871,00	31,00	27,00	59,60
		41,60	521,25	533,00	85,00	45,31	963,00	23,00	22,15	48,89
		48,90	521,25	533,00	86,00	45,84	971,00	21,00	20,39	44,48
		91,20	521,25	534,00	87,00	46,46	981,00	11,00	10,79	23,23
3,7 W LWD	0,11	9,90	522,00	566,00	113,00	63,96	484,00	49,00	23,72	37,08
		15,10	522,00	565,00	113,00	63,85	706,00	47,00	33,18	51,97
		20,40	522,00	567,00	114,00	64,64	913,00	45,00	41,09	63,56
		25,10	522,00	567,00	113,00	64,07	968,00	38,00	36,78	57,41
		30,80	522,00	568,00	117,00	66,46	871,00	38,00	33,10	49,80
		41,30	522,00	568,00	115,00	65,32	1043,00	25,00	26,08	39,92

Visto que na primeira fase de obtenção de resultados os mesmos haviam sido obtidos para uma carga fixa, observou-se que ao diminuir a radiação incidente sobre a OPV o valor do rendimento do circuito era potenciado. Na segunda fase de testes, optou-se por adicionar mais graus de liberdade aos ensaios, nomeadamente, as fontes luminosas de uso doméstico, a variação da intensidade das mesmas

e o valor nominal da carga do circuito. Assim, por meio das diversas combinações possíveis entre estes graus de liberdade foi possível caracterizar o rendimento do circuito, tanto em função da carga, como em função da fonte luminosa.

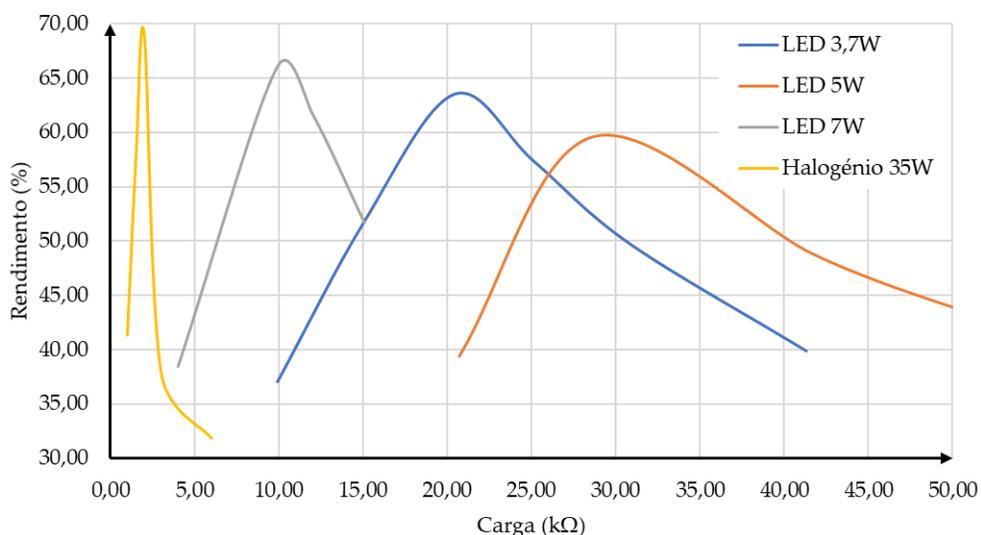


Figura 5.22 - Evolução da rendimento em função da carga do circuito [32] para a altura de 0,11 m

Observando os resultados obtidos na Figura 5.21 e Figura 5.22 verifica-se que é com a lâmpada de halogénio de 35 W que o circuito apresenta o máximo rendimento. Contudo, é necessário ter em consideração a sobrealimentação do mesmo na situação cuja altura ao plano de trabalho é de 0,11m. Nesta situação a irradiância fornecida por esta fonte luminosa é ainda mais intensa do que a obtida pelo simulador solar utilizado nos primeiros ensaios experimentais. Também por esse motivo é que a curva da variação do rendimento do circuito, para esta distância, em função da resistência se encontra demasiado estreita em torno 2 kΩ. Quanto ao ensaio realizado à altura de 0,45 m, este já apresenta resultados mais coerentes, uma vez que a radiação incidente é inferior ao mínimo obtido no teste com o simulador solar e o rendimento da PMU se aproxima dos 60% de forma menos abrupta.

Ao diminuir a intensidade luminosa por intermédio da permutação das lâmpadas, verifica-se, ainda que apenas para a situação de altura mínima, que quando consideradas as lâmpadas LED como fonte de energia, cuja irradiância é menor do que a obtida aquando da primeira fase de teste, o rendimento máximo da arquitetura não desce abaixo dos 60%. Estes resultados são bastante satisfatórios dado que as lâmpadas utilizadas são de uso doméstico e a altura destas, ao plano de trabalho, é equivalente à altura de um candeeiro de secretária, validando a vertente de iluminação interior do projecto  $\mu$ FlexBat.

Contudo, decorrente dos dois momentos de teste realizados à unidade de gestão de potência proposta em [32], é possível identificar algumas lacunas que podem ser melhoradas no futuro com vista a poder potenciar o rendimento deste circuito quando conectado às células fotovoltaicas orgânicas. Os principais problemas desta arquitectura prendem-se com o módulo de controlo. Uma vez que o algoritmo de *fractional Voc* está dependente do ajuste da resistencia variável  $R_I$  (Figura 2.20), este está dependente da tensão de circuito aberto da OPV. No entanto, ao variar as condições de iluminação da OPV, também a tensão de circuito aberto da mesma se deslocará. Essa variação foi

acompanhada na segunda fase de testes, contudo, verificou-se que o circuito não acompanhava totalmente esse valor. Dessa forma, seria conveniente estudar outro tipo de algoritmo de MPPT para arquitetura [63], [64], [65], [66]. Segundo o autor de [32], também o algoritmo de MPPT *Hill Climbing* se encontra implementado na PMU, no entanto, este não se encontra operacional. Deste modo, seria interessante localizar as falhas na implementação deste algoritmo, solucionar-las e testar novamente a arquitetura nas mesmas condições com vista a verificar a existência de alterações nos resultados obtidos.

Devido à configuração da câmara de atmosfera inerte, onde são encapsuladas as OPV's, apenas é possível testar cada pixel de forma unitária ou então com os dois pixéis em paralelo. Dessa forma, também seria interessante testar outras configurações com um maior número de pixéis por forma a perfazer uma estrutura capaz de operar em condições cuja irradiância é menor e sem prejuízo para o rendimento do circuito.

Como forma de validação dos resultados obtidos experimentalmente, seria também interessante obter os resultados teóricos do circuito. Contudo, tal não se revelou possível devido à incompatibilidade de versões do software de simulação computacional.



## CONCLUSÃO E DESENVOLVIMENTO FUTURO

### 6.1 Conclusão

O trabalho desenvolvido nesta dissertação concerne-se à análise, projecto e implementação de uma unidade de gestão de potência para um sistema de recolha de energia a partir de células fotovoltaicas orgânicas. Uma vez inserido no âmbito do projecto  $\mu$ FlexBat, o trabalho elaborado apresentava algumas especificações. Uma das principais especificações referia-se à topologia do conversor DC-DC a utilizar na PMU, ou seja, a topologia adoptada para este deveria de ser, preferencialmente, do tipo indutiva. Outra das imposições colocadas à PMU a ser implementada prendia-se com a frequência de operação da mesma. Era requisito do projecto que a frequência de operação desta se encontrasse compreendida ente os 100 kHz e os 500 MHz. Quanto ao output da PMU, esta deveria de possuir a capacidade de colocar à sua saída uma tensão do tipo standard de 1,2 V ou 2,4 V. Por fim, visto que o objectivo do projecto  $\mu$ FlexBat é desenvolver e implementar uma PMU cuja aplicação se entende por portátil e de utilização doméstica, foi dada a indicação de que o circuito a implementar deveria ocupar a menor área possível e que, relativamente às condições de irradiância que deverão incidir sobre as OPV's, deverão ser consideradas condições de iluminação exterior e interior.

No capítulo 2, foram apresentadas e caracterizadas as células fotovoltaicas orgânicas a utilizar na implementação da PMU pretendida. Considerando que o dispositivo onde será implementada a PMU também terá incluída a OPV, é necessário ter em consideração a área ocupada por esta, ou seja, a área ocupada por cada célula fotovoltaica orgânica é de 0,24 cm<sup>2</sup>. Também neste capítulo foram abordadas, do ponto de vista teórico, duas topologias de conversores DC-DC *step-up* indutivos e uma baseada em condensadores comutados. Dadas as indicações impostas pelo projecto, o conversor DC-DC selecionado para a PMU a implementar foi o conversor *boost* de comutação abrupta, em detrimento do conversor *boost* com condensadores comutados na saída, visto que a sua implementação é menos onerosa em termos de componentes. Logo, a área ocupada por este é menor, e permite, igualmente,

cumprir os requisitos do projecto. Relativamente ao conversor DC-DC baseado em condensadores comutados, este consiste num conversor *step-up* duplicador de tensão que implementa a PMU proposta em [32]. Uma vez que este circuito já se encontra implementado, o mesmo não foi desenvolvido e implementado. Em vez disso pretendeu-se estudar o seu funcionamento e posteriormente o seu comportamento aplicando-o ao sistema de *energy harvesting* implementado pelas células fotovoltaicas orgânicas.

Para fazer face às exigências do projecto foram então propostas, no capítulo 3, quatro vertentes da unidade de gestão de potência que utiliza o conversor DC-DC *boost* de comutação abrupta como circuito de conversão de energia. Dessas propostas, duas são completamente integradas na tecnologia de CMOS de 0,13  $\mu\text{m}$  da UMC, enquanto que as restantes viram a bobine do conversor DC-DC ser implementada na tecnologia SMT. Exceptuando esse componente, também estas duas últimas soluções são totalmente integradas. Os parâmetros distintivos destas propostas prendem-se essencialmente com a frequência de operação e tensão de saída destas. Nas PMU's totalmente integradas, as frequências de operação são de 100 MHz numa e de 500 MHz na outra. Quanto à tensão de saída, esta é igual nas duas soluções e tem o valor de 1,2 V. Relativamente às arquiteturas implementadas recorrendo a componentes SMT, a frequência de comutação é igual a 100 kHz nas duas soluções. Quanto à tensão de saída destas existe uma distinção, numa das soluções esta é igual a 1,2 V e na outra esse parâmetro é igual a 2,4 V. Uma vez definidas as quatro propostas, apresentou-se ainda neste capítulo, todos os módulos constituintes das arquiteturas propostas, bem como os respectivos dimensionamentos e implementação na tecnologia CMOS de 0,13  $\mu\text{m}$ .

Implementados os circuitos das quatro optimizações da unidade de gestão de potência proposta, no capítulo 4, procedeu-se à apresentação e descrição dos layouts, módulo a módulo e global, de casa uma das arquiteturas enunciadas no capítulo 3.

Foi com base nas extracções dos componentes parasitas associados aos layouts globais dos quatro sistemas que se obtiveram as simulações computacionais das quatro arquiteturas apresentadas no capítulo 5. Estas simulações tiveram assim como objectivo caracterizar o desempenho das PMU's propostas tanto em condições de irradiância fixas como variáveis. Na análise do desempenho das arquiteturas foram tidos em consideração alguns requisitos, nomeadamente o rendimento, tensão de saída e cumprimento das especificações impostas pelo projecto  $\mu\text{FlexBat}$ . Relativamente à PMU baseada em condensadores comutados [32], a abordagem sobre esta foi a nível experimental. À semelhança das PMU's propostas, o trabalho desenvolvido sobre este circuito pretendeu estudar o comportamento deste para diferentes condições de iluminação, quer interior, quer exterior, e assim identificar quais as condições que conduzem ao máximo rendimento desta PMU. Na Tabela 6.1 podem ser consultados os resultados obtidos sobre os cinco circuitos que deverão complementar o estado da arte desta dissertação (Tabela 2.4).

Da informação fornecida pela Tabela 6.1 podem ser tecidas algumas considerações acerca das unidades de gestão de potência implementadas, bem como acerca dos resultados obtidos pelo circuito proposto em [32]. Um aspecto que se revelou comum em todas as arquiteturas propostas, e já esperado, prende-se com a tensão de entrada das mesmas. Dado que os sistemas de controlo das soluções apresentadas não tinham como base a entrada das mesmas, mas sim as saídas, estes não possuem a

capacidade de se ajustarem de acordo com o ponto de máxima potência disponibilizadas pelas células fotovoltaicas orgânicas (MPP). Contudo, nas soluções a 100 kHz, visto que o valor da indutância considerado para as bobines destas arquiteturas é relativamente elevado, estas conseguem extrair praticamente toda a potência fornecida pelas OPV's (610 mV), ao contrario das soluções de 100 MHz e 500 MHz onde a indutância considerada para as bobines desta é baixa. Ao contrario dos sistemas propostos, a PMU apresentada em [32] conseguiu, graças ao seu algoritmo de MPPT, ir de encontro ao ponto de máxima potência das células fotovoltaicas.

Tabela 6.1 - Resultados obtidos

Topologia	100 kHz 1,2 V	100 kHz 2,4 V	100 MHz	500 MHz	[32]
Tecnologia	0,13 $\mu\text{m}$ CMOS				
Ano	2018	2018	2018	2018	2018
Vin (V)	0,61	0,61	0,31	0,35	0,63
Vout (V)	1,21	2,47	1,20	1,22	1,15
Área (mm <sup>2</sup> )	0,14	0,19	0,26	0,23	0,31
Frequência (MHz)	0,1	0,1	85	557	0,1 – 0,3
Rendimento (%)	62,66	84,22	20,21	26,73	75,76

Quanto ao rendimento das arquiteturas, obtiveram-se resultados muito interessantes para as condições de cumprimento das especificações do projecto. Nas soluções a operar a 100 kHz observa-se que os rendimentos obtidos são elevados e possivelmente enquadráveis com as restantes topologias presentes no estado da arte. Estes valores devem-se essencialmente à baixa frequência de comutação dos conversores DC-DC e à elevada indutância das bobines que os implementam. Contudo, apesar destes resultados refletirem o desempenho de circuitos autossuficientes, a sua área de implantação encontra-se comprometida no sentido em que existe a necessidade de anexar as bobines SMT já referidas. Assim, para obter os rendimentos de 62,66% e 84,22% nas PMU's de 100 KHz a 1,2 V e 2,4 V, respectivamente, será necessário adicionar à área ocupada pelos circuitos integrados que implementam estas PMU's, as dimensões das bobines SMT, ou seja, será necessário ter em consideração que a área ocupada por estes componentes é de 4 mm<sup>2</sup>. Note-se ainda que será necessário efectuar as ligações ao circuito integrado, processo esse que também consome área de implantação.

Relativamente às arquiteturas completamente integradas de 100 MHz e 500 MHz, estas demonstram ser muito interessantes do ponto de vista de portabilidade uma vez que não carecem de elementos discretos na sua implementação. No entanto, como já havia sido referido, o desenvolvimento das bobines de potência na tecnologia CMOS de 0,13  $\mu\text{m}$  encontra-se muito pouco desenvolvido, ou seja, dado que as bobines utilizadas na implementação destas duas arquiteturas possuem uma indutância de 10 nH com um baixo factor de qualidade, é espectável que estas não consigam armazenar grandes

quantidades de energia quando comparadas com as bobinas SMT utilizadas nas arquiteturas a 100 kHz, onde a indutância utilizada é de 47  $\mu\text{H}$ . Esse factor distintivo é bastante evidente na tensão de entrada das PMU, tal com já foi referido. No entanto, um dos requisitos mais ambiciosos destas arquiteturas e também deste projecto revelou-se o maior inconveniente destas duas unidades de gestão de potência. Ao aumentar a frequência de comutação da onda PWM que controla o conversor DC-DC das PMU's, está-se também a aumentar a potência dissipada e/ou consumida por este. Assim, dado que o conversor DC-DC não consegue captar o máximo de energia das OPV's, e que a potência dissipada pelo circuito aumenta, as unidades de gestão de potência deixam de ser autossuficientes no sentido em que será necessário recorrer a uma fonte de energia externa para alimentar os seus circuitos e assim obter os rendimentos de 20,21% e 26,73% nas PMU's de 100 MHz e 500 MHz, respectivamente.

Comparando os resultados obtidos com os resultantes da análise experimental realizada ao circuito implementado em [32], verifica-se que a vertente indutiva da PMU proposta consegue acompanhar o rendimento obtido na PMU cuja topologia é baseada em condensadores comutados. Dado que a PMU apresentada em [32] se encontra dimensionada para a tensão de saída de 1,2 V, a arquitetura proposta que melhor acompanha este circuito é a de 100 kHz também a 1,2 V. Apesar de o máximo rendimento desta não corresponder à tensão de 1,2 V, o valor de 79,48% de rendimento é bastante competitivo com os 75,76% obtidos pelo sistema baseado em condensadores comutados que também não correspondem à tensão de saída para a qual a PMU foi dimensionada.

Tendo em consideração os restantes artigos da comunidade científica que serviram de base a esta dissertação (Tabela 6.2), verifica-se que, apesar de nas soluções completamente integradas o rendimento destas não ser tão elevado quanto os a homólogos obtidos recorrendo a componentes externos, os resultados obtidos são muito positivos dado que, apesar de não existir informação referente ao rendimento dos trabalhos implementados através de componentes discretos, os valores obtidos são comparáveis e competitivos com os obtidos na documentação referente às unidades de gestão de potência baseadas em condensadores comutados unidade essas que, por natureza, apresentam rendimentos superiores às topologias indutivas.

Tabela 6.2 – Comparação do trabalho desenvolvido com o estado da arte

Artigo	[33]	[34]	[35]	[36]	[36]	[37]	[43]	100 kHz 1,2 V	100 kHz 2,4 V	100 MHz	500 MHz	[32]
Tecnologia	0,35 $\mu\text{m}$ CMOS	0,18 $\mu\text{m}$ CMOS	0,13 $\mu\text{m}$ CMOS	SMT	SMT	0,13 $\mu\text{m}$ CMOS	0,25 $\mu\text{m}$ CMOS	0,13 $\mu\text{m}$ CMOS				
Ano	2010	2012	2016	2017	2017	2014	2011	2018	2018	2018	2018	2018
Vin (V)	0,025	0,12	0,4	0,65	0,65	0,6	0,5 – 2	0,61	0,61	0,31	0,35	0,63
Vout (V)	1,8	1,2	2,4	1,93	2,7	1,2	0 – 5	1,21	2,47	1,20	1,22	1,15
Área ( $\text{mm}^2$ )	1,7	0,273	0,204	228	215	0,31	n.d	0,14	0,19	0,26	0,23	0,31
Freq. (MHz)	n.d	1 – 5	10	1,2	1,2	0,1 – 0,3	0,1	0,1	0,1	85	557	0,1 – 0,3
Rendimento (%)	58	30	n.d	n.d	n.d	70,3	70	62,66	84,22	20,21	26,73	75,76

Em jeito de retrospectiva, o trabalho desenvolvido em torno das soluções de 100 MHz e 500 MHz não deixa de ser interessante do ponto de vista conceptual. Tendo em consideração que o sistema onde se pretende aplicar estas PMU's tem por base a recolha de energia a partir do sol, ou seja, não acarreta quaisquer custos de captação, o rendimento obtido por estes sistemas não representa efectivamente um ponto negativo destas PMU's. O único factor que impede realmente estas unidades serem autossustentáveis é, como já foi referido, a indutância das bobines integradas.

## 6.2 Desenvolvimento Futuro

Por forma a completar o trabalho desenvolvido nesta dissertação, será necessário construir uma placa de testes em PCB que permitirá testar, do ponto de vista experimental, as quatro unidades de gestão de potência propostas, tendo como fonte de energia as células fotovoltaicas orgânicas. Recomenda-se, para estes testes, que seja considerada uma metodologia semelhante à utilizada nos ensaios experimentais, realizados à PMU baseada em condensadores comutados [32].

Visto que o principal foco desta dissertação foi o dimensionamento e implementação das quatro topologias de unidades de gestão de potência, o módulo de controlo destas foi dos módulos menos aprofundado. Dessa forma, tal como foi evidenciado na análise de resultados das arquiteturas seria interessante do ponto de vista da máxima extração de energia das OPV's, elaborar um algoritmo de MPPT capaz de realizar essa tarefa e assim potenciar ainda mais o rendimento das soluções apresentadas.

Relativamente à PMU testada experimentalmente, e apresentada em [32], seria também interessante estudar outro algoritmo de MPPT por forma a que o comportamento do circuito em relação às fases de controlo do conversor DC-DC seja mais estável quando esta unidade se encontra conectada às células fotovoltaicas orgânicas.

Por fim, não deixaria de ser interessante, do ponto de vista dos conversores DC-DC que implementam as PMU's, estudar, dimensionar e implementar uma unidade de gestão de potência, semelhante às apresentadas neste documento, mas considerando um conversor DC-DC bomba de carga [6] capaz de cumprir as especificações do projecto.



## BIBLIOGRAFIA

- [1] "Number of network connected devices per person around the world from 2003 to 2020". Statista 2015. URL: <https://www.statista.com/statistics/678739/forecast-on-connected-devices-per-person/>. (Consultado em 14/07/18)
- [2] A. Richelli, L. Colalongo, S. Tonoli and Z. Kovács. "A 0.2V-1.2V Converter for Power Harvesting Applications". Disponível em: Solid-State Circuits Conference, 2008. ESSCIRC 2008. 34th European, pp. 406-409. ISSN: 1930-8833. DOI: 10.1109/ESSCIRC.2008.4681878.
- [3] H. Hernandez, S. T. Kofuji and W. V. Noiye. "Fully integrated boost converter for thermoelectric energy harvesting". Disponível em: Circuits and Systems (LASCAS), 2013 IEEE Fourth Latin American Symposium on. ISBN: 978-1-4673-4897-3. DOI: 10.1109/LASCAS.2013.6519086.
- [4] S. Chalasani and J. M. Conrad. "A Survey of Energy Harvesting Sources for Embedded Systems". Disponível em: Southeastcon, 2008. IEEE, pp. 442-447. ISSN: 1091-0050. DOI: 10.1109/SECON.2008.4494336.
- [5] W. Jung, S. Oh, S. Bang, Y. Lee, Z. Foo, G. Kim, Y. Zhang, D. Sylvester and D. Blaauw. "An Ultra-Low Power Fully Integrated Energy Harvester Based on Self-Oscillating Switched-Capacitor Voltage Doubler". Disponível em: IEEE Journal of Solid-State Circuits (Volume: 49, Issue: 12, Dezembro. 2014), pp. 2800-2811. ISSN: 0018-9200. DOI: 10.1109/JSSC.2014.2346788.
- [6] P. Chen, K. Ishida, X. Zhang, Y. Okuma, Y. Ryu, M. Takamiya and T. Sakurai. "0.18-V input charge pump with forward body biasing in startup circuit using 65nm CMOS". Disponível em: Custom Integrated Circuits Conference (CICC), 2010 IEEE. ISSN: 0886-5930. DOI: 10.1109/CICC.2010.5617444.
- [7] T. M. Eggenhuisen, Y. Galagan, A. Biezemans, M. Coenen, J. Gilot, P. Groen and R. Andriessen. "Organic photovoltaic cells with all inkjet printed layers and freedom of form". Disponível em: Photovoltaic Specialist Conference (PVSC), 2014 IEEE 40th, pp. 2842-2845. ISSN: 0160-8371. DOI: 10.1109/PVSC.2014.6925523.
- [8] L. Wang, M. Diaz, B. Conrad, X. Zhao, D. Li, A. Soeriyadi, A. Gerger, A. Lochtefeld, C. Ebert, I. Perez-Wurfl, A. Barnett. "Material and Device Improvement of GaAsP Top Solar Cells for GaAsP/SiGe Tandem Solar Cells Grown on Si Substrates". Disponível em: IEEE Journal of Photovoltaics, Vol. 5, No. 6, Novembro 2015. DOI: 10.1109/JPHOTOV.2015.2459918.

- [9] Z. Huang, L. Dahal, M. Junda, P. Aryal, S. Marsillac, R. Collins, N. Podraza. "Characterization of Structure and Growth Evolution for nc-Si:H in the Tandem Photovoltaic Device Configuration". Disponível em: 2015 IEEE 42nd Photovoltaic Specialist Conference (PVSC). ISBN: 978-1-4799-7944-8. DOI: 10.1109/PVSC.2015.7356214.
- [10] M. Goranova, B. Dimitrov. "Experimental Study of Flexible Photovoltaic Cells and a Comparative Analysis of the Performance of Different Technologies". Disponível em: ISBN: 978-1-4799-5817-7. DOI: 10.1109/SIELA.2014.6871858.
- [11] M. Alhawari, T. Tekeste, B. Mohammad, H. Saleh, M. Ismail. "Power Management Unit for Multi-Source Energy Harvesting in Wearable Electronics". Disponível em: 2016 IEEE 59th International Midwest Symposium on Circuits and Systems (MWSCAS), Outubro 2016, Abu Dhabi, UAE. ISBN: 978-1-5090-0916-9. DOI: 10.1109/MWSCAS.2016.7870049.
- [12] A. Roy, B. Calhoun. "A 71% Efficient Energy Harvesting and Power Management Unit for sub- $\mu$ W Power Biomedical Applications". Disponível em: 2017 IEEE Biomedical Circuits and Systems Conference (BioCAS). ISBN: 978-1-5090-5803-7. DOI: 10.1109/BIOCAS.2017.8325069.
- [13] S. Bang, Y. Lee, I. Lee, Y. Kim, G. Kim, D. Blaauw, D. Sylvester. "A Fully Integrated Switched-Capacitor Based PMU with Adaptive Energy Harvesting Technique for Ultra-Low Power Sensing Applications". Disponível em: 2013 IEEE International Symposium on Circuits and Systems (ISCAS2013). ISBN: 978-1-4673-5762-3. DOI: 10.1109/ISCAS.2013.6571945.
- [14] S. Carreon-Bautista, L. Huang, E. Sanchez-Sinencio. "An Autonomous Energy Harvesting Power Management Unit with Digital Regulation for IoT Applications". Disponível em: IEEE Journal of Solid-State Circuits, Vol. 51, No. 6, Junho 2016. DOI: 10.1109/JSSC.2016.2545709.
- [15] P. Maisch, K. C. Tam, F. W. Fecher, H. J. Egelhaaf, C. J. Brabec, H. Scheiber and E. Maier. "Inkjet printing of highly conductive nanoparticle dispersions for organic electronics". Disponível em: Molded Interconnect Devices (MID), 2016 12th International Congress. ISBN: 978-1-5090-5426-8. DOI: 10.1109/ICMID.2016.7738932.
- [16] Y. K. Ramadass and A. P. Chandrakasan. "A batteryless thermoelectric energy-harvesting interface circuit with 35mV startup voltage". Disponível em: Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International, pp. 486-488. ISSN: 0193-6530. DOI: 10.1109/ISSCC.2010.5433835.
- [17] Y. Zhang, F. Zhang, Y. Shakhsher, J. D. Silver, A. Klinefelter, M. Nagaraju, J. Boley, J. Pandey, A. Shrivastava, E. J. Carlson, A. Wood, B. H. Calhoun, and B. P. Otis. "A Batteryless 19 W MICS/ISM-Band Energy Harvesting Body Sensor Node SoC for ExG Applications". Disponível em: IEEE Journal of Solid-State Circuits, Volume: 48, 1ª Edição, Janeiro. 2013, pp. 199-213. ISSN: 0018-9200. DOI: 10.1109/JSSC.2012.2221217.
- [18] J. Wang. "Design of a Boost DC-DC Converter for Energy Harvesting Applications in 40nm CMOS Process". Delft University of Technology, 2014.

- [19] R. Pilawa-Podgurski, W. Li, I. Celanovic and D. Perreault. "Integrated CMOS DC-DC Converter with Digital Maximum Power Point Tracking for a Portable Thermophotovoltaic Power Generator". Disponível em: Energy Conversion Congress and Exposition (ECCE), 2011 IEEE, pp. 197-204. ISSN: 2329-3721. DOI: 10.1109/ECCE.2011.6063769.
- [20] Y. Lin, C. Hsu, C. Lu, Y. Wang. "A Low-Power Quadrature Local Oscillator Using Current-Mode-Logic Ring Oscillator and Frequency Triplers". Disponível em: IEEE Microwave and Wireless Components Letters, Volume: 23, No. 12, Dezembro, 2013. DOI: 10.1109/LMWC.2013.2283860.
- [21] C. Lee, B. Kong. "A low-noise and low-power voltage-controlled oscillator". Disponível em: 2014 IEEE 57th International Midwest Symposium on Circuits and Systems (MWSCAS). ISBN: 978-1-4799-4132-2. DOI: 10.1109/MWSCAS.2014.6908430.
- [22] J. Garg, S. Verma. "Design of Low Power Voltage Controlled Oscillator". Disponível em: 2012 1st International Conference on Emerging Technology Trends in Electronics, Communication and Networking. ISBN: 978-1-4673-1627-9. DOI: 10.1109/ET2ECN.2012.6470061.
- [23] B. Ghafari, L. Koushaeian, F. Goodarzy, R. Evans, E. Skafidas. "An ultra-low-power and low-noise voltage-controlled ring oscillator for biomedical applications". Disponível em: IEEE 2013 Tencon - Spring. ISBN: 978-1-4673-6349-5. DOI: 10.1109/TENCONSpring.2013.6584409.
- [24] B. Cimbili, D. Wang, R.C. Zhang, X. Tan, P. Chan. "A PVT-Tolerant Relaxation Oscillator in 65nm CMOS". Disponível em: 2016 IEEE Region 10 Conference (TENCON). ISBN: 978-1-5090-2597-8. DOI: 10.1109/TENCON.2016.7848442.
- [25] Y. Chiang, S. Liu. "A Submicrowatt 1.1-MHz CMOS Relaxation Oscillator with Temperature Compensation". Disponível em: IEEE Transactions on Circuits and Systems-II: Express Briefs, Vol. 60, No. 12, Dezembro 2013. ISSN: 1549-7747. DOI: 10.1109/TCSII.2013.2281920.
- [26] S. Huang, J. Chen, F. Yang, Y. Cheng. "Design of An Ultralow-power CMOS Relaxation Oscillator for Piezoresistive Pressure Sensor". Disponível em: 2012 IEEE 11th International Conference on Solid-State and Integrated Circuit Technology. ISBN: 978-1-4673-2475-5. DOI: 10.1109/ICSICT.2012.6467878.
- [27] Y. Zheng, L. Zhou, F. Tian, M. He, H. Liao. "A 51-nW 32.7-kHz CMOS Relaxation Oscillator with Half-Period Pre-Charge Compensation Scheme for Ultra-Low Power Systems". Disponível em: 2016 IEEE International Symposium on Circuits and Systems (ISCAS). ISBN: 978-1-4799-5341-7. DOI: 10.1109/ISCAS.2016.7527369.
- [28] L. Fontela. "A 0.5-2.4 DC-DC Boost Converter in CMOS Technology for Power Harvesting Applications". Instituto Superior Técnico, 2016.
- [29] C. Veri, M. Pasca, S. D'Amic, L. Francioso, C. Pascali and P. Siciliano. "A flexible thermoelectric generator with a fully electrical, low startup voltage and high efficiency DC-DC converter". Disponível em: Advances in Sensors and Interfaces (IWASI), 2015 6th IEEE International Workshop, pp. 141-145. ISBN: 978-1-4799-8981-2. DOI: 10.1109/IWASI.2015.7184928.

- [30] A. Shrivastava, N. E. Roberts, O.U. Khan, D. D. Wentzloff and B. H. Calhoun. "A 10 mV-Input Boost Converter With Inductor Peak Current Control and Zero Detection for Thermoelectric and Solar Energy Harvesting With 220 mV Cold-Start and -14.5 dBm, 915 MHz RF Kick-Start". Disponível em: IEEE Journal of Solid-State Circuits (Volume: 50, Issue: 8, Agosto. 2015), pp. 1820-1832. ISSN: 0018-9200. DOI: 10.1109/JSSC.2015.2412952.
- [31] N. Mohan. "First Course on Power Electronics and Drives", 2003. ISBN: 9781118074800.
- [32] C. Carvalho. "CMOS indoor light energy harvesting system for wireless sensing applications". Faculdade de Ciências e Tecnologias da Universidade Nova de Lisboa, 2014.
- [33] Y. Ramadass, A. Chandrakasan. "A Batteryless Thermoelectronic Energy-Harvesting Interface Circuit with 35mV Startup Voltage". Cambridge, Massachusetts Institute of Technology, 2010.
- [34] A. Richelli, S. Comensoli, Z Kovács-Vajna. "A DC/DC Boosting Technique and Power Management for Ultralow-Voltage Energy Harvesting Applications". Disponível em: IEEE Transactions on Industrial Electronics, Vol. 59, No. 6, 2012. ISSN: 0278-0046. DOI: 10.1109/TIE.2011.2167890.
- [35] L. Fontela, M. Borges, P. Santos. "Dissertação para obtenção do Grau de Mestre em Engenharia Electrotécnica e de Computadores - Conversor CC-CC elevador de tensão para aplicações de energy harvesting". Lisboa, Instituto Superior Técnico, 2016.
- [36] P. Duarte, M. Borges, P. Santos. "Dissertação para obtenção do Grau de Mestre em Engenharia Electrotécnica e de Computadores - Conversores DC-DC para células fotovoltaicas orgânicas". Lisboa, Instituto Superior Técnico, 2017.
- [37] C. Carvalho, G. Lavareda, A. Amaral. "A CMOS micro power switched-capacitor DC-DC step-up converter for indoor light energy harvesting applications". Disponível em: Analog Integrated Circuits and Signal Processing, 78(2), pp. 333-351. Fevereiro 2014. ISSN: 0925-1030. DOI: 10.1007/s10470-013-0222-8.
- [38] C. Carvalho, N. Paulino. "A Voltage Limiter Circuit for Indoor Light Energy Harvesting Applications". Disponível em: IFIP Advances in Information and Communication Technology - Technological Innovation for the Internet of Things, Volume 394, Springer-Verlag Berlin, pp. 441-448, 2013. ISSN 1868-4238. ISBN 978-642-37290-2.
- [39] S. Noghabaei, M. Sawan. "A Fully Integrated High-efficiency Step-up DC-DC Converter for Energy Harvesting Applications". Disponível em: ISOC 2016, pp 121-122. 2016. ISBN: 978-1-5090-3219-8. DOI: 10.1109/ISOC.2016.7799720.
- [40] M. Saadat, B. Murmann. "A 0.6 V - 2.4 V Input, Fully Integrated Reconfigurable Switched-Capacitor DC-DC Converter for Energy Harvesting Sensor Tags". Disponível em: IEEE Asian Solid-State Circuits Conference. Novembro 2015, Xiamen, Fujian, China. ISBN: 978-1-4673-7191-9. DOI: 10.1109/ASSC.2015.7387490.

- [41] A. Pietrelli, V. Ferrara, A. Micangeli, L. Uribe “Efficient Energy Harvesting for Microbial Fuel Cell dedicated to Wireless Sensor Network”. Disponível em: XVIII AISEM Annual Conference 2015. ISBN: 978-1-4799-8591-3. DOI: 10.1109/AISEM.2015.7066817.
- [42] C. Ugale, V. Dixit. “Buck-Boost Converter Using Fuzzy Logic for Low Voltage Solar Energy Harvesting Application”. Disponível em: 11 th International Conference on Intelligent Systems and Control (ISCO) 2017, pp 413-417. ISBN: 978-1-5090-2717-0. DOI: 10.1109/ISCO.2017.7856029.
- [43] Y. Qiu, C. Liempd, B. Veld, P. Blanken, C. Hoof, H. Shao, C. Tsui. “5 $\mu$ W-to-10mW Input Power Range Inductive Boost Converter for Indoor Photovoltaic Energy Harvesting with Integrated Maximum Power Point Tracking Algorithm”. Disponível em: IEEE International Solid-State Circuits Conference, Session 6, Sensors & Energy Harvesting, pp. 118-119, Fevereiro 2011. ISBN: 978-1-61284-302-5. DOI: 10.1109/ISSCC.2011.5746245.
- [44] L. Chaar, L. Lamont. A., N. El Zein. “Review of photovoltaic technologies”. Disponível em: Renewable and Sustainable Energy Reviews, 15(5), June 2011, pp. 2165-2175.
- [45] J. Sakai, T. Taima, K. Saito. “Oligothiophene - Fullerene Bulk Heterojunction Organic Photovoltaic Cells”. Disponível em: 2006 IEEE 4th World Conference on Photovoltaic Energy Conference, IEEE pp 291-294, IEEE 2006. ISBN: 1-4244-0016-3. DOI: 10.1109/WCPEC.2006.279448.
- [46] T. Taima, K. Hara, K. Saito. “Purity Effects for Organic Thin-Film Photovoltaic Cells”. Disponível em: 2006 IEEE 4th World Conference on Photovoltaic Energy Conference, pp 298-301, IEEE 2006. ISBN: 1-4244-0016-3. DOI: 10.1109/WCPEC.2006.279450.
- [47] K. Le. “Broadband and Polarization-Insensitive Solar Absorption Enhancement in Thin-Film Organic Solar Cells Using Metallic Nanopillars”. IEEE Journal of Photovoltaics, Vol. 4, No. 6, Novembro 2014. ISSN: 2156-3381. DOI: 10.1109/JPHOTOV.2014.2351615.
- [48] J. Farinhas, Q. Ferreira, A. Charas, J. Morgado. “Organic photovoltaic cells with structured interfaces”. Disponível em: 2011 IEEE EUROCON - International Conference on Computer as a Tool. DOI: 10.1109/EUROCON.2011.5929226.
- [49] J. Farinhas, R. Oliveira, J. Morgado, A. Charas. “Improved stability of organic solar cells by crosslinking of the electron-donor polymer”. Disponível em: 2016 12th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME). ISBN: 978-1-5090-0493-5. DOI: 10.1109/PRIME.2016.7519464.
- [50] D. Dhass, P. Lakshimi, E. Natarajam. “Investigation of Performance Parameters of Different Photovoltaic Cell Materials using the Lambert-W Function”. Disponível em: 5th International Conference on Advances in Energy Research, pp. 566-573, ICAER 2015, Dezembro 2015, Mumbai, India. ISSN: 1876-6102. DOI: 10.1016/j.egypro.2016.11.225
- [51] F. Albuquerque. “Avaliação de Diferentes Métodos para Estimação da Resistência Série de Módulos Fotovoltaicos”. IPB-ESTG, 2017.

- [52] N. Sharkar, H. Ghosh. "Efficiency Improvement of Amorphous Silicon Single Junction Solar Cell by Design Optimization". Disponível em: International Conference on Electrical, Computer and Communication Engineering (ECCE), pp. 670-675, Fevereiro 2017, Cox's Bazar, Bangladesh. ISBN: 978-1-5090-5627-9. DOI: 10.1109/ECACE.2017.7912989.
- [53] G. Thangam, T. Rakesh, S. Rajan. "Performance evaluation of non-isolated high step-up DC-DC converter for thermoelectric energy harvesting system using MPPT control techniques". Disponível em: 2016 International Conference on Circuit, Power and Computing Technologies [ICCPCT], 2016. ISBN: 978-1-5090-1277-0. DOI: 10.1109/ICCPCT.2016.7530195.
- [54] L. Oliveira, J. Fernandes, I. Filanovsky, C. Verhoeven, M. Silva. "Analysis and Design of Quadrature Oscillators". Disponível em: Springer Science+Business Media B.V. 2008. ISBN: 978-1-4020-8515-4. DOI: 10.1007/978-1-4020-8516-1.
- [55] W.Lim, J.Yang, M.Park, M.Won, J.Kim. "5V, 33-kHz, 0.7-JIW Pulse Generation Circuit for Ultra-Low-Power Boost Charging Energy Harvesters". Disponível em: School of Electrical and Computer Engineering and Inter-University Semiconductor Research Center Seoul National University Seoul, Korea, 2013. ISBN: 978-1-4799-0280-4. DOI: 10.1109/ASSCC.2013.6691079.
- [56] A. Buonomo, A. Schiavo. "Analysis of Emitter (Source)-Coupled Multivibrators". Disponível em: IEEE Transactions on Circuits and Systems - I: Regular Papers, vol. 53, no. 6, Junho 2006. ISBN: 1057-7122. DOI: 10.1109/TCSI.2006.875165.
- [57] U. Denier. "Analysis and Design of an Ultralow-Power CMOS Relaxation Oscillator". Disponível em: IEEE Transactions on Circuits and Systems - I: Regular Papers, vol. 57, no. 8, Agosto 2010. ISSN: 1549-8328. DOI: 10.1109/TCSI.2010.2041504.
- [58] H. Lopes. "Low Power Low Voltage Quadrature RC Oscillators For Modern RF Receivers". Faculdade de Ciências e Tecnologias da Universidade Nova de Lisboa, 2014.
- [59] D. Johns, K. Martin. "Analog Integrated Circuit Design", 1ª edição. John Wiley & Sons, Inc, 1997. ISBN: 0-417-14448-7. DOI: 10.1007/978-3-319-34060-9.
- [60] L. Magnelli, F. Crupi, P. Corsonello, C. Pace, G. Iannaccone. "A 2.6 nW, 0.45 V Temperature-Compensated Subthreshold CMOS Voltage Reference". Disponível em: IEEE Journal of Solid-State Circuits, 46(2), February 2011, pp. 465-474. DOI: 10.1109/JSSC.2010.2092997.
- [61] J. Baker. "CMOS Circuit Design, Layout, and Simulation", 2ª edição. Wiley-IEEE Press, Hoboken, 2008. ISBN:9780470881323. DOI:10.1002/9780470891179.
- [62] B. Razavi. "Design of Analog CMOS Integrated Circuits", McGraw-Hill, 2011. ISBN: 9781259255090.
- [63] M. Ibrahim, M. Aboudina, A. Mohieldin. "An Ultra-Low-Power MPPT Architecture for Photovoltaic Energy Harvesting Systems". Disponível em: IEEE EUROCON 2017, Julho 2017, Ohrid, R. Macedonia. ISBN: 978-1-5090-3843-5. DOI: 10.1109/EUROCON.2017.8011105.

- [64] S. Gaikwad, M. Ghosal. "Energy Efficient Storage-Less and Converter-Less Renewable Energy Harvesting System Using MPPT". Disponível em: 2nd International Conference for Convergence in Technology (I2CT) 2017. ISBN: 978-1-5090-4307-1. DOI: 10.1109/I2CT.2017.8226273.
- [65] T. Wu, S. Arefin, D. Shmilovitz, J. Redoute, M. Yuce. "A Flexible and Wearable Energy Harvester with an Efficient and Fast-converging Analog MPPT". Disponível em 2016 IEEE Biomedical Circuits and Systems Conference (BioCAS), IEEE 2016. ISBN: 978-1-5090-2959-4. DOI: 10.1109/BioCAS.2016.7833800
- [66] Y. Cheng, P. Chao, G. Men, C. Yang, T. Wang. "An 80% Efficiency and Highly Adaptable PV Energy Harvest Circuitry with MPPT for IOT Devices". Disponível em: 2017 IEEE Sensors. ISBN: 978-1-5090-1012-7. DOI: 10.1109/ICSENS.2017.8234200.



## TUTORIAL DE DESIGN DE CIRCUITOS NA TECNOLOGIA CMOS DE 0,13 $\mu\text{m}$

Este tutorial pretende auxiliar os novos utilizadores do software de design de circuitos integrados Cadence a implementar um circuito integrado, na tecnologia CMOS de 0,13  $\mu\text{m}$  da UMC, desde a fase de dimensionamento até ao seu envio para produção. Nele estão incluídos alguns aspectos pertinentes a ter em consideração ao longo do processo, bem como algumas sugestões úteis que podem ser usados pelos utilizadores.

### A.1 Introdução

Existem um conjunto de procedimentos que devem ser adoptados por forma a obter o resultado final. Dado que o *Design Kit* se encontra em constante desenvolvimento, na Tabela A.1 podem ser consultadas as versões das diversas ferramentas consideradas neste tutorial.

Tabela A.1 - Versões das ferramentas utilizadas

Ferramenta	Versão
Virtuoso Design Environment	IC6.1.6-64b.500.8
Cadence Library Manager	IC6.1.6-CAT33
Virtuoso Schematic Editor	IC6.1.6-64b.500.8
Virtuoso Analog Design Environment	IC6.1.6-64b.500.8
Virtuoso Visualization and Analysis - Waveform Graph XL	IC6.1.6-64b.500.8
Virtuoso Layout Suite	IC6.1.6-64b.500.8
Calibre Interactive – DRC	v2014.4_28.20
Calibre Interactive – LVS	v2014.4_28.20
Calibre Interactive – PEX	v2014.4_28.20
Virtuoso Hierarchy Editor	IC6.1.6-64b.500.8

Será considerado para este guia um dos elementos básicos da tecnologia CMOS, o inversor CMOS. O esquemático deste componente encontra-se explicitado na Figura A.1. O primeiro passo a ser efectuado diz respeito ao design e dimensionamento do circuito. Uma vez realizado, é necessário verificar o seu correto funcionamento recorrendo à simulação eléctrica do mesmo.

Uma vez validado o circuito, estão reunidas as condições para efectuar o layout do mesmo. Ao nível do layout existem três verificações a serem realizadas, nomeadamente, a verificação de design (DRC), a verificação de layout (LVS) e a verificação final relativa à extração do mesmo (PEX). Depois de atestado, por meio das verificações, é necessário simular o layout por forma a conferir o seu funcionamento, ou seja, se o resultado obtido corresponde ao anteriormente obtido aquando da simulação eléctrica.

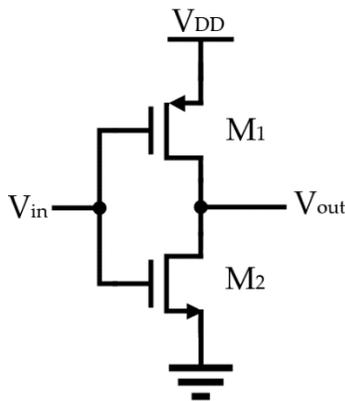


Figura A.1 - Esquemático do inversor CMOS

## A.2 Design do Esquemático

Depois de aberto o *Virtuoso Design Environment* (Cadence) é apresentada uma janela semelhante à da Figura A.2. Posto isso, é necessário criar uma biblioteca sobre a qual se desenvolverá todo o trabalho.

Selecionando os menus *File > New > Library* será apresentada a janela da Figura A.3. Nesta interface é requerido ao utilizador que escolha um nome para a biblioteca que, no exemplo apresentado, será de *myFirstInv*. Também é necessário seleccionar qual a tecnologia de circuito integrado em que se pretende trabalhar. Assim, no menu *Technology File* dever-se-á seleccionar a opção *Attach to an existing technology library*. Depois de clicar em OK a janela da Figura A.4 surgirá. Nesta janela o utilizador deverá seleccionar a tecnologia em que quer trabalhar que, no caso deste tutorial, será a opção *umc13mmrf* referente à tecnologia de 0,13  $\mu\text{m}$  da UMC. Selecionada a opção OK, a biblioteca *myFirstInv* está criada e pronta a poder ser utilizada.

Para consultar a lista de bibliotecas disponíveis basta seleccionar o menu *Tools > Library Manager* no *Virtuoso Design Environment*. A janela apresentada deverá ser semelhante à da Figura A.5.



Figura A.2 - Janela inicial do *Virtuoso Design Environment*

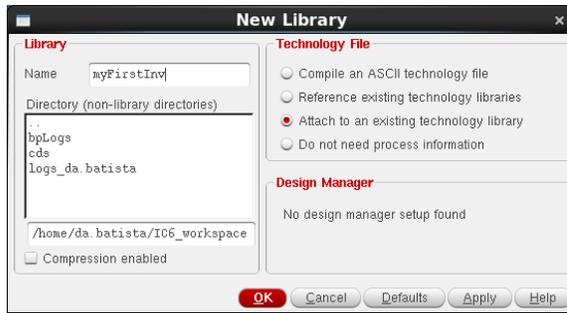


Figura A.3 - Janela de criação de bibliotecas

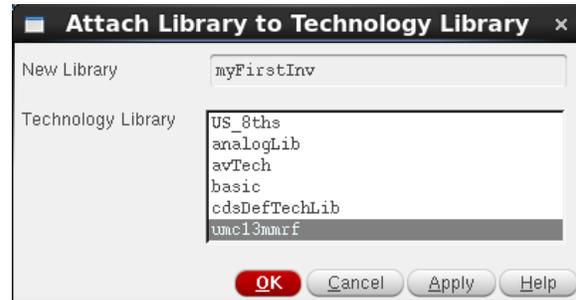


Figura A.4 - Janela de associação da tecnologia à biblioteca

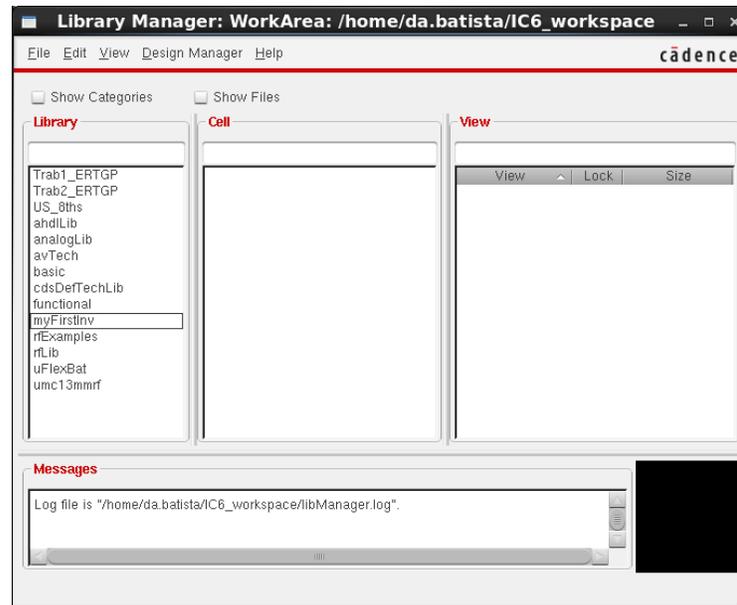


Figura A.5 - Janela do gestor de bibliotecas

Criada a biblioteca, resta agora criar o esquemático do circuito. Uma vez selecionada a biblioteca onde se pretende trabalhar (*myFirstInv*) é necessário lançar o editor de esquemáticos. Através do menu do *Library Manager* seleccione-se a opção *File > New > Cell View*. Clicando nesta opção, a janela da Figura A.6 será apresentada. Nesta deverá-se definir o nome do esquemático do circuito que, neste exemplo, será *myInv*. Note-se que, por defeito, o tipo de vista selecionada é *schematic*. Se por algum motivo a tipo de vista não for o referido anteriormente o mesmo deve ser alterado. Definido o nome do esquemático clica-se em OK e o editor de esquemáticos é apresentado (Figura A.7).

Para inserir os diversos componentes do circuito da Figura A.1, utiliza-se o atalho de teclado (i) e a janela da Figura A.8 é exibida. Selecionando a opção *Browse* uma nova janela será aberta, como se mostra na Figura A.9. Para recolher os diversos componentes do circuito será necessário recorrer a duas bibliotecas, nomeadamente, à *analogLib* e à *umc13mmrf*.

Na *analogLib* encontram-se os componentes ideais que podem ser adicionados aos circuitos, como as fontes de tensão (*vdc*), corrente (*idc*) ou as massas (*gnd*). Já na *umc13mmrf* encontram-se todos os componentes associados à tecnologia de 0,13  $\mu\text{m}$  da UMC, como os transístores MOS, os díodos ou resistências.

Por exemplo, para introduzir o transístor  $M_1$ , ou seja, um transístor PMOS, dever-se-á seleccionar a biblioteca *umc13mmrf*. Em seguida, na coluna *Category*, na opção MOS da coluna *Cell*, encontram-se todos os transístores disponibilizados pela tecnologia, sendo que o transístor pretendido é o P\_12\_HSL130E. Depois de seleccionado o transístor é necessário seleccionar o tipo de vista pretendido. Como o editor de esquemáticos é do tipo gráfico, a vista a seleccionar deverá ser a vista *symbol*. Estando a vista seleccionada, fecha-se essa janela e surgirá uma outra (Figura A.10). Nesta janela é possível dimensionar o transístor antes de o colocar no esquemático. Clicando em *Hide*, basta colocar o transístor num local do editor de esquemático. Para adicionar o transístor  $M_2$  o procedimento é semelhante sendo a referência deste N\_12\_HSL130E.

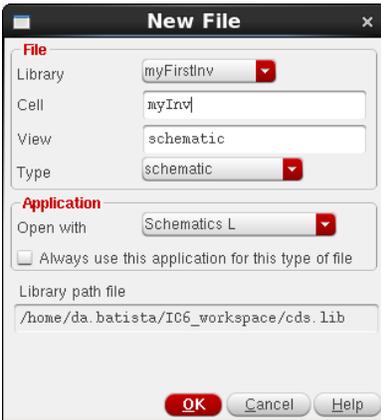


Figura A.6 - Janela para criação de um novo esquemático

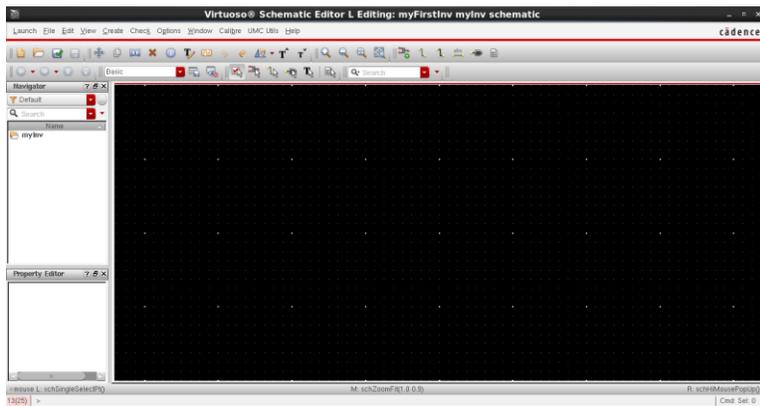


Figura A.7 - Janela do editor de esquemáticos

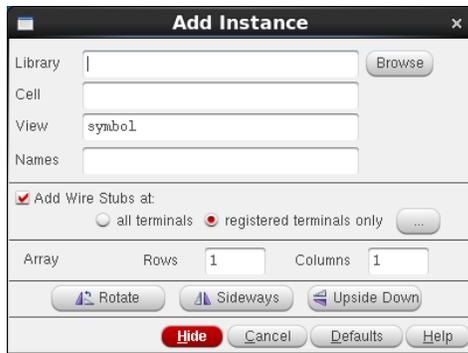


Figura A.8 - Janela de adição de um novo componente

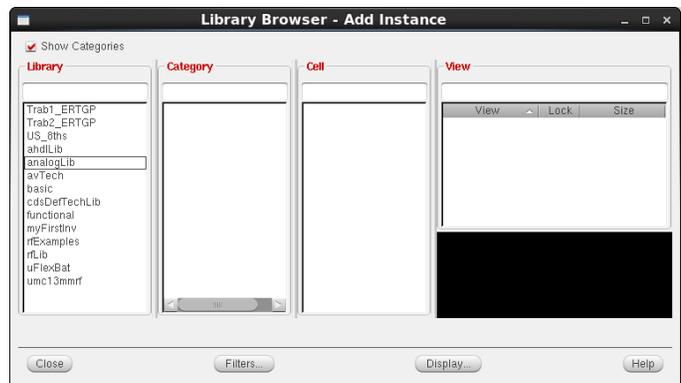


Figura A.9 - Gestor de bibliotecas de componentes

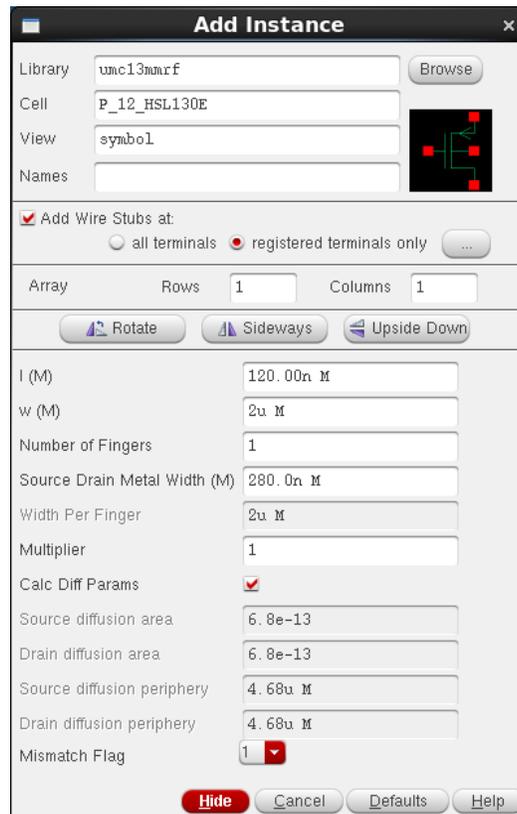


Figura A.10 - Janela de parametrização dos componentes

Inseridos os transístores é necessário efectuar as respetivas ligações. Com o comando (w) é possível criar os fios (*wire*) necessários a essas conexões. Para criar os pinos de entrada, saída e respectivas alimentações seleciona-se o comando (p). A janela da Figura A.11 surgirá, sendo necessário definir dois parâmetros, nomeadamente, o nome do pino e a direção do mesmo (*Direction*), ou seja, se é de saída, entrada ou bidirecional. Na Figura A.12 encontra-se o resultado final do esquemático do inversor CMOS.

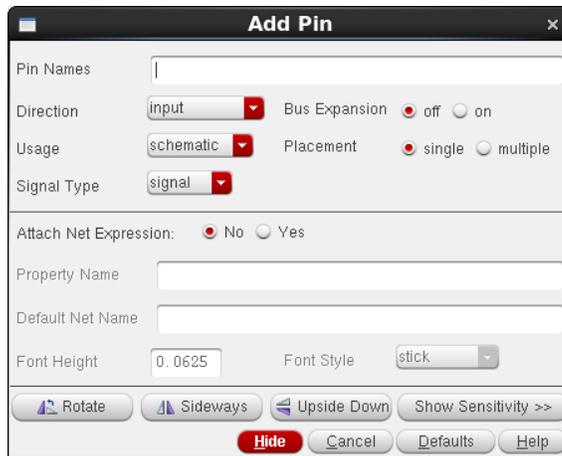


Figura A.11 - Janela de configuração dos terminais

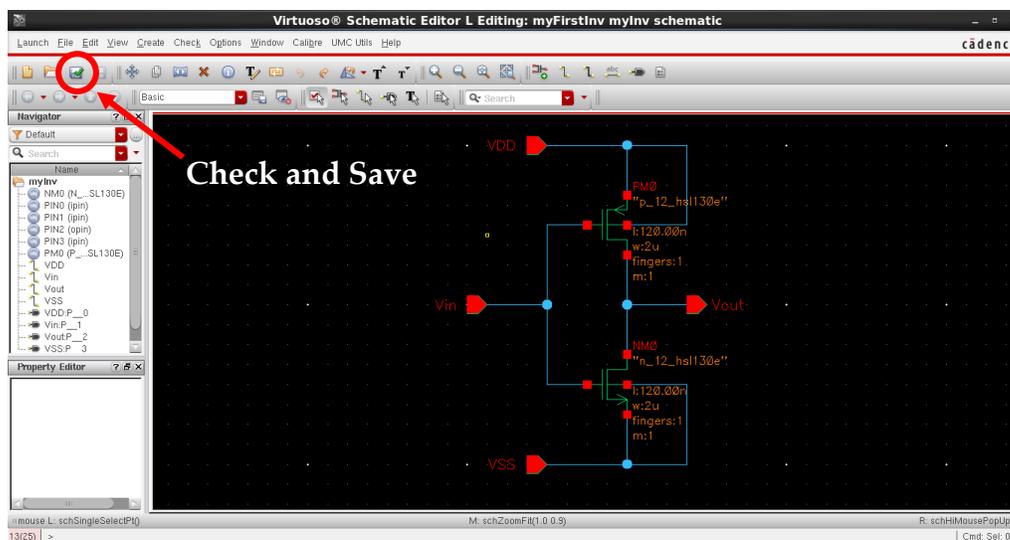


Figura A.12 - Esquemático do inversor CMOS

É importante ter sempre em consideração a opção *Check and Save*. Sem esta opção ser selecionada não é possível realizar qualquer simulação sobre o esquemático.

Sugestões: clicando num dos componentes do esquemático e selecionando o comando (q), é possível aceder aos parâmetros de dimensionamento do mesmo. Para centrar todo o esquemático no centro da janela deverá ser considerado o comando (f). Os atalhos de teclado (c) e (m) correspondem às funções de copiar e mover, respectivamente.

Para uma maior flexibilidade do esquemático é possível criar um símbolo do mesmo. Selecionando o menu *Create > Cell View > From Cellview*, a janela da Figura A.13 surgirá. Nesta não é necessário realizar qualquer alteração pelo que se seleciona a opção OK. De seguida surgirá uma nova janela como se mostra na Figura A.14. Nesta será requerido ao utilizador que posicione os pinos criados. Considerando que o esquemático possui a forma de um quadrado, o utilizador tem a liberdade de deslocar os terminais do mesmo em torno desta forma. Uma vez selecionada a posição dos terminais clica-se, em OK. Uma janela semelhante à da Figura A.15 surgirá por forma a validar o símbolo criado. Criado o símbolo tanto esta janela, como o editor de esquemático do inversor, podem ser fechados.



Figura A.13 - Janela de criação do símbolo

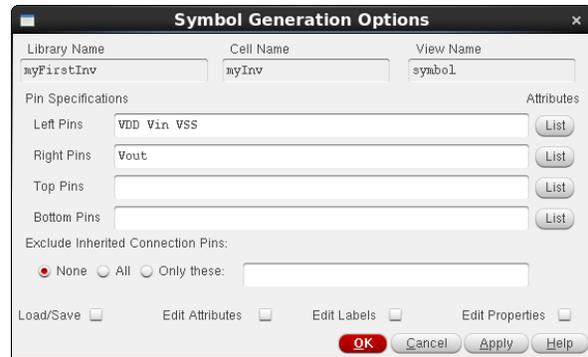


Figura A.14 - Janela de configuração dos terminais

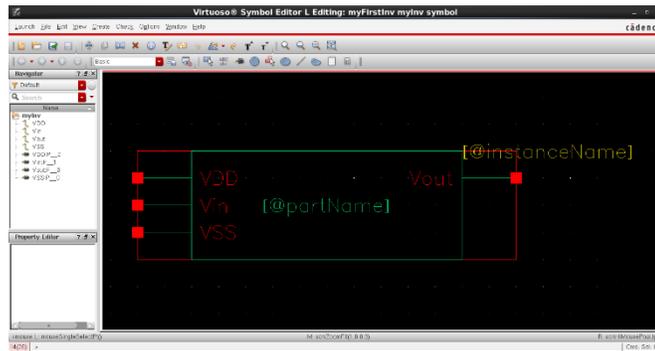


Figura A.15 - Símbolo do inversor CMOS

Nota: a ordem com que os terminais aparecem em cada linha, dependendo da posição considerada no símbolo, refere-se às orientações da esquerda para a direita ou de cima para baixo.

### A.3 Simulação Eléctrica

Criado o símbolo do circuito, estão reunidas as condições para efectuar as simulações eléctricas. Para isso será necessário construir um circuito de teste. Na biblioteca *myFirstInv* cria-se um novo esquemático denominado *testInv*. Nesta nova janela do editor de esquemático colocar-se-á todo o *setup* de teste para do inversor CMOS.

Para começar há que colocar o símbolo do inversor, criado anteriormente, no editor. À semelhança dos transístores MOS o processo é semelhante, no entanto, a biblioteca a ser seleccionada é a *myFirstInv*. Ao clicar sobre a biblioteca aparecem as duas instâncias criadas até ao momento, sendo que, quando seleccionada a célula referente ao esquemático *myInv* apenas existe a vista de símbolo outrora criada. É essa vista que deve ser seleccionada e colocada no editor de esquemático.

Para criar o restante *setup* de teste é necessário recorrer aos componentes da biblioteca *analogLib*. Serão necessárias três fontes de tensão ideais, uma para gerar o sinal de entrada (*vpulse*) e as outras duas para implementar a alimentação e a tensão *VSS* (*vdc*). Por fim, resta adicionar o elemento comum a todos estes componentes, a massa (*gnd*). O esquemático do circuito utilizado para realizar as simulações eléctricas ao inversor CMOS apresenta-se na Figura A.16.

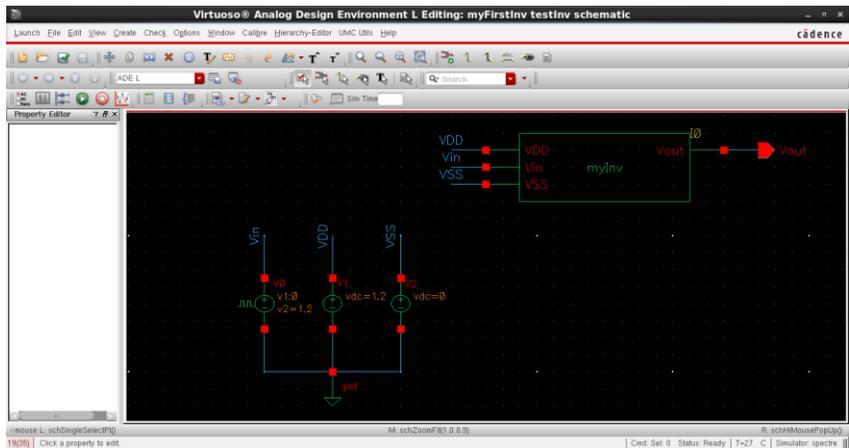


Figura A.16 - Esquemático do circuito de teste

Sugestões: Para evitar o cruzamento de fios e facilitar leitura dos esquemáticos o editor possui a funcionalidade de criar etiquetas (*labels*) nos diferentes fios. Assim, atribuído a mesma etiqueta a dois fios no esquemático é o equivalente a conecta-los por meio de um fio. Para utilizar esta funcionalidade basta utilizar o atalho de teclado (l) e a janela da Figura A.17 será exibida, sendo apenas necessário definir o nome da etiqueta.

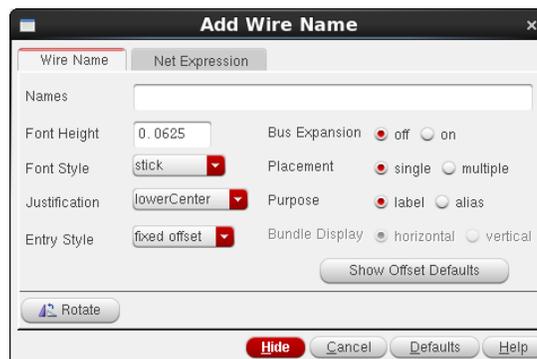


Figura A.17 - Janela de configuração das etiquetas

Realizado o *setup* de teste, estão reunidas as condições para simular o esquemático do inversor CMOS. Para lançar o simulador dever-se-á selecionar o menu *Launch > ADE L*. Uma janela igual à da Figura A.18 será exibida. Esta ferramenta permite realizar um vasto leque de simulações sobre circuito integrados, contudo, para o circuito em causa, apenas será efectuada uma análise ao longo do tempo.

No menu do lado direito do editor existem várias opções de selecção. Escolhendo a primeira, surge a seguinte janela (Figura A.19). Como a análise que se pretende efectuar é no domínio do tempo, da lista de simulações que é apresentada, selecciona-se a opção *tran*. Uma vez seleccionada, os parâmetros dessa são apresentados em baixo, sendo possível escolher o intervalo de tempo para a simulação, o erro que o simulador poderá cometer e outros parâmetros mais avançados que, para o circuito em causa, não deverão ser considerados. Dessa forma, deverá ser escolhido para a simulação um tempo de 10 segundos e uma precisão do erro de simulação moderada (*moderate*).

Depois de parametrizada a simulação clicar no OK. Estando a simulação definida, esta pode ser lançada. Para isso basta clicar no botão de “play” na barra do lado direito da janela do simulador. Uma janela referente ao simulador surgirá para dar conhecimento dos detalhes da , bem como da existência de algum erro decorrente do lançamento desta.

Sendo que, no circuito em causa, apenas os sinais de entrada ( $V_{in}$ ) e saída ( $V_{out}$ ) são interessantes do ponto de vista de resultados, para os selecionar selecione-se a opção *Results > Direct Plot > Main Form*. Uma vez nessa janela, é possível selecionar os sinais que se pretendem observar no esquemático de teste. Dado que os sinais de entrada e saída são em tensão, a função *Voltage* deverá ser selecionada.

Adicionalmente, poderá ser selecionada a caixa de verificação *Add To Outputs* se se pretender guardar estes resultados para realizar simulações futuras. Dito isso, basta clicar sobre os fios associados aos sinais de entrada ( $V_{in}$ ) e saída ( $V_{out}$ ) para que surja a janela com as suas formas de onda (Figura A.20). Depois de selecionados os sinais pretendidos, no editor de esquemáticos, clicar na tecla ESC para sair do modo de seleção de sinais.

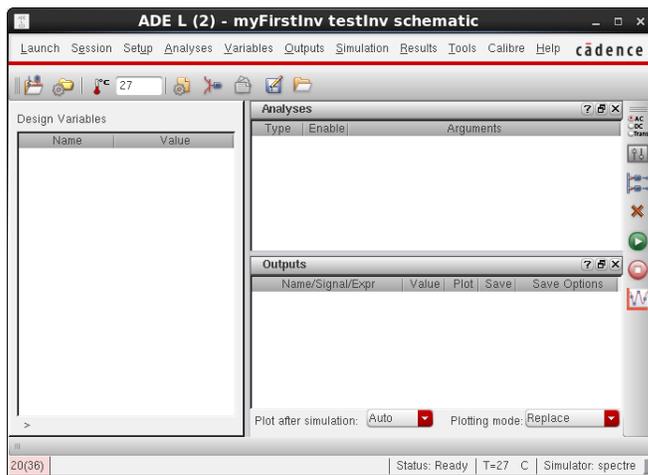


Figura A.18 - Janela do simulador

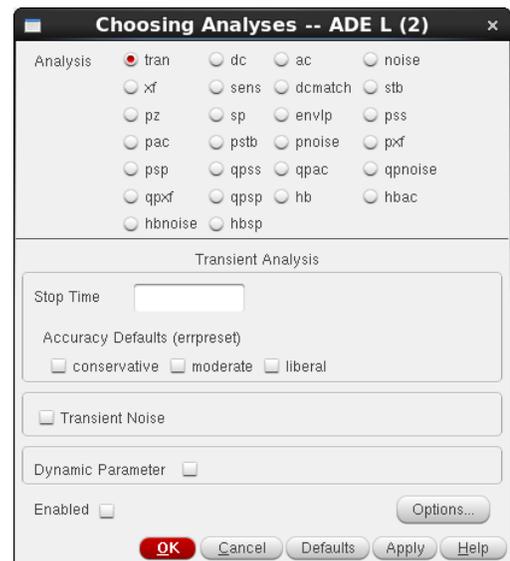


Figura A.19 - Janela de seleção do tipo de simulação

Sugestão: Para simulações que exijam mais complexidade do ponto de vista computacional, pode ser conveniente acionar o modo de alto desempenho do simulador. No menu do simulador *Setup > High-Performance Simulation Options*.

Na visualização das formas de onda existem alguns atalhos de teclado que podem ser convenientes para observação das mesmas. O atalho (m) permite colocar ponteiros ao longo dos sinais. Já o comando (h) é mais útil para sinais periódicos uma vez que devolve todos os instantes para um determinado valor da ordenada.

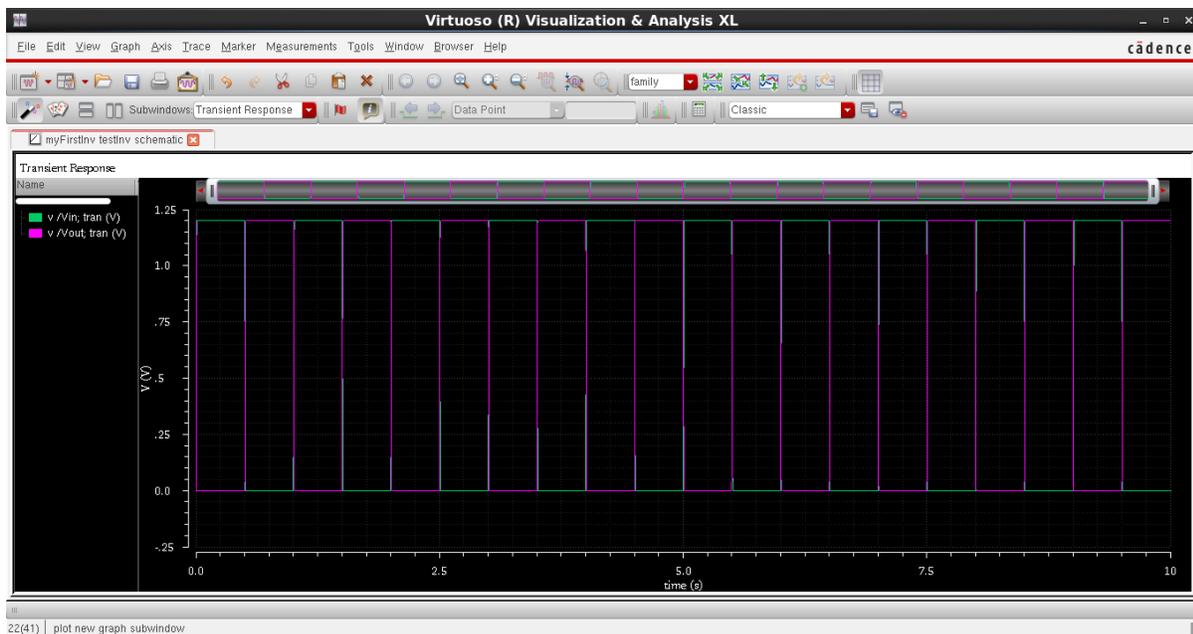


Figura A.20 - Resultado da simulação elétrica do inversor CMOS

Para guardar os sinais obtidos para posterior processamento em outros programas, como Excel ou Matlab, é necessário selecionar os resultados que se pretendem extrair na coluna da esquerda (Figura A.20). Uma vez selecionados clica-se com o botão direito do rato sobre estes e escolhe-se a opção *Send To > Export*. Um ficheiro do tipo .CSV será criado com a informação relativa aos pontos obtidos na simulação.

#### A.4 Layout

Para realizar um layout de um circuito integrado é necessário ter em consideração alguns aspectos. O processo de construção de um layout assenta sobre o princípio da sobreposição e/ou interligação de diferentes tipos de metais. Para realizar essas tarefas é necessário saber que existem dois tipos de estruturas a considerar, os metais e as vias. Os metais disponibilizados pelo *design kit* têm como função implementar os diferentes componentes da tecnologia e respectivas ligações, enquanto que as vias têm como funcionalidade conectar os diferentes tipos de metais.

Para efectuar o layout do inversor CMOS da Figura A.1 é necessário regressar ao editor de esquemático do circuito (Figura A.12). Uma vez neste, o editor de layout pode ser lançado. Para lançar esta ferramenta deverá ser selecionado o menu *Launch > Layout GXL*. De seguida a janela da Figura A.21 surgirá sendo necessário clicar apenas no OK. Uma vez que se está a criar uma nova vista do circuito, uma janela semelhante à da Figura A.22 surgirá por forma a confirmar o tipo de vista e nome do layout que será criado. Confirmados esses tópicos, prossegue-se clicando em OK. Neste momento a janela do editor de layout (Figura A.23) é apresentada.

Para importar os dados referentes ao esquemático criado, dever-se-á selecionar o menu *Connectivity > Generate > All From Source*. No primeiro separador da janela resultante não é necessário efectuar

qualquer alteração, no entanto, no segundo separador (*I/O Pins*) (Figura A.24), é necessário exportar os terminais do esquemático. Por defeito o metal adoptado para os terminais do circuito é de difusão (DIFF), contudo, os pinos referentes às entradas e saídas do esquemático necessitam de ser metais, tais como o restante circuito. Na secção *Specify Pins to be Generated*, dever-se-á seleccionar todos os terminais e alterar a *Layer* destes para o metal 1 (ME1 PIN), seguido do comando *Update*. Note-se que não existe a necessidade de todos os terminais serem implementados em metal 1, contudo, no exemplo em causa é o mais conveniente.

Outro aspecto muito importante, relativamente aos terminais, diz respeito à sua etiqueta (*Label*). Esta deverá ser do mesmo metal do terminal, mas do tipo TEXT. Dessa forma, na secção *Pin Label* deverá ser seleccionada a caixa de verificação *Create Label As*, seguida da opção *Label*. Uma vez seleccionada essa opção, é necessário clicar em *Options*. A janela da Figura A.25 surgirá.

No campo *Layer Name* a opção a ser seleccionada é M1\_CAD. Já no campo *Layer Purpose* deverá ser escolhida a opção TEXT clicando-se em seguida no OK. Dessa forma encontram-se parametrizados os terminais do circuito e o layout pode ser gerado clicando em OK na janela *Generate Layout*. Os componentes do esquemático são então mostrados sobre a forma de layout (Figura A.26).



Figura A.21 - Janela de lançamento do editor de layout

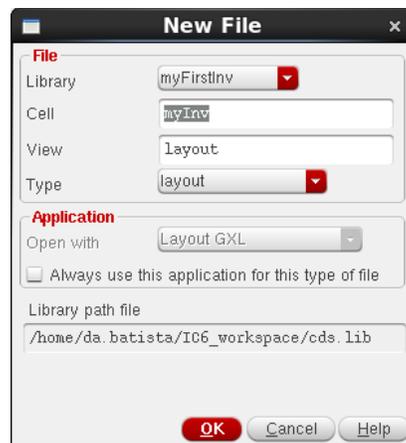


Figura A.22 - Janela de configuração da vista de layout

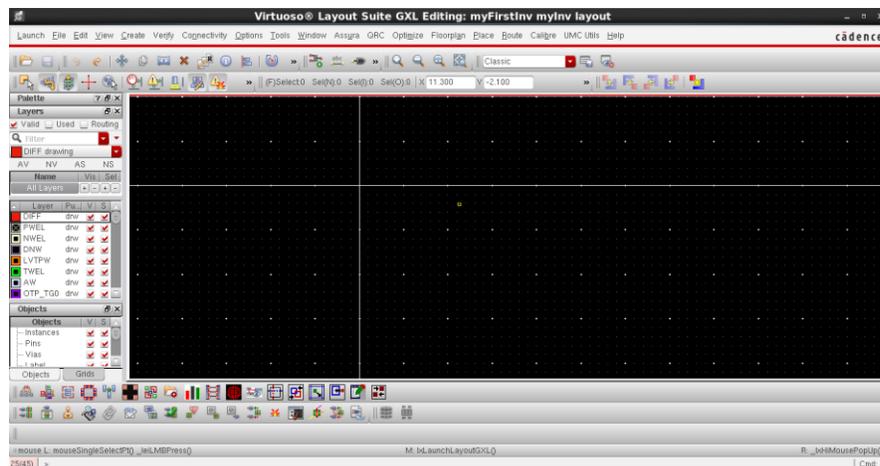


Figura A.23 - Janela do editor de layout

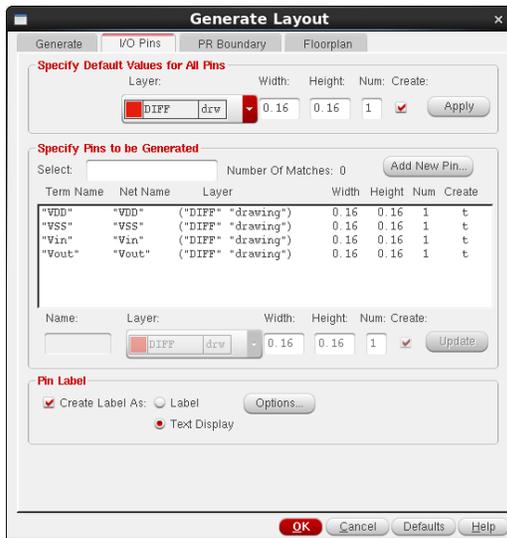


Figura A.24 - Janela de imposição do esquemático

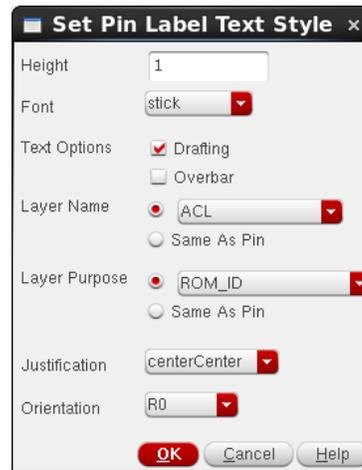


Figura A.25 - Janela de configuração das etiquetas dos terminais

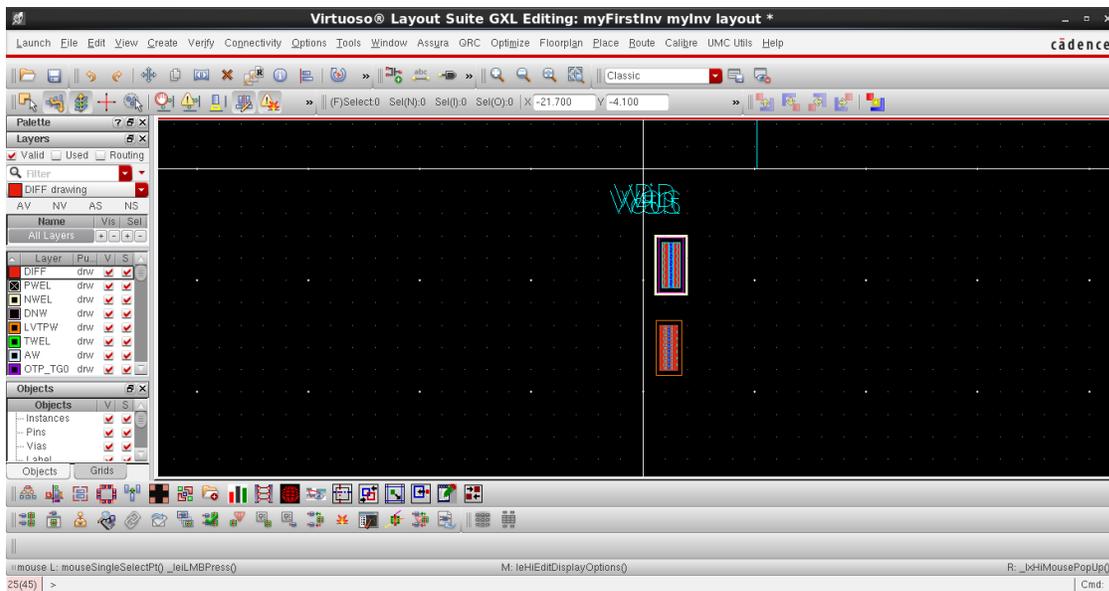


Figura A.26 - Componentes dos esquemático extraídos

Nota: Utilizando o atalho de teclado (e) são exibidas as opções do editor (Figura A.27). É importante referir que as dimensões mínimas a adoptar para a grelha do editor (grid) são de 10 nm. Abaixo deste valor existirão erros que comprometem a produção do circuito. É de todo o interesse trabalhar nas condições das dimensões mínimas por forma a reduzir a área do layout.

Sempre que o editor de layout de um determinado circuito é aberto, ou mesmo aquando da importação deste, os layouts dos componentes que fazem parte do esquemático encontram-se ocultos. Como tal, o comando Shift + (f) permite mostrar esses mesmos layouts.

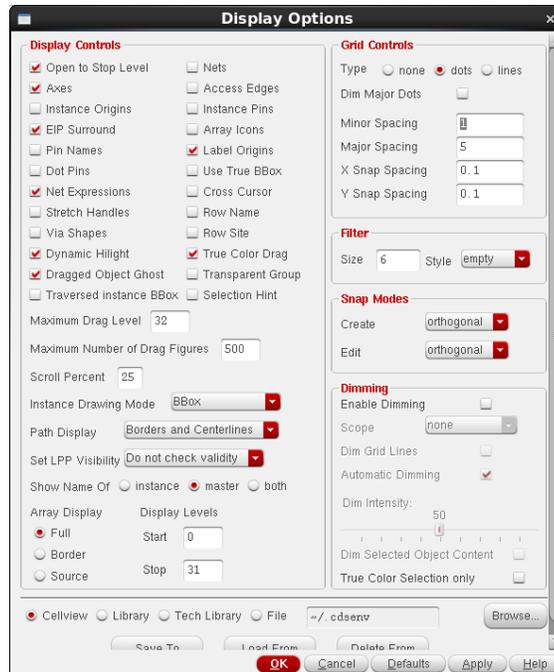


Figura A.27 - Janela de configuração do simulador de layout

Para conectar os dois transístores é necessário fazer corresponder as ligações efectuadas no esquemático com os respectivos layouts. Para desenhar uma conexão é necessário seleccionar o tipo de metal em que se quer trabalhar. Por exemplo, para conectar os *drains* dos transístores será necessária uma pista em metal 1. No painel do lado esquerdo do editor encontra-se todos os tipos de metais disponibilizados. Como tal, para conectar os *drains* dos transístores será necessário seleccionar o tipo ME1 drw. Uma vez seleccionado o metal, recorrendo ao comando (r), efectua-se um rectângulo a unir os dois *drains* dos transístores, como se mostra na (Figura A.28).

A conexão das *gates* dos transístores é feita a partir de Polly (PO1). Por forma a providenciar o contacto ao terminal de entrada é necessário colocar uma via de metal 1 para Polly nesta conexão. Através do comando (o) a janela da Figura A.29 será exibida. Na caixa de verificação *Mode* seleccione-se a opção *Stack*. De seguida, no campo *Start Layer*, selecciona-se o tipo PO1, enquanto que no campo *End Layer*, se escolhe o tipo ME1.

Sugestão: É de boa pratica, aquando do processo de implementação de vias, colocar vias com mais do que uma coluna ou uma linha. Dessa forma está-se a prevenir que no processo de fabricação, mesmo que exista uma falha na colocação da via, esta ainda continue em contacto com os metais que se pretende conectar.

Quanto às *sources* dos transístores, estas são directamente conectadas aos terminais da alimentação do inversor pelo que basta mover os terminais para as respectivas *sources*.

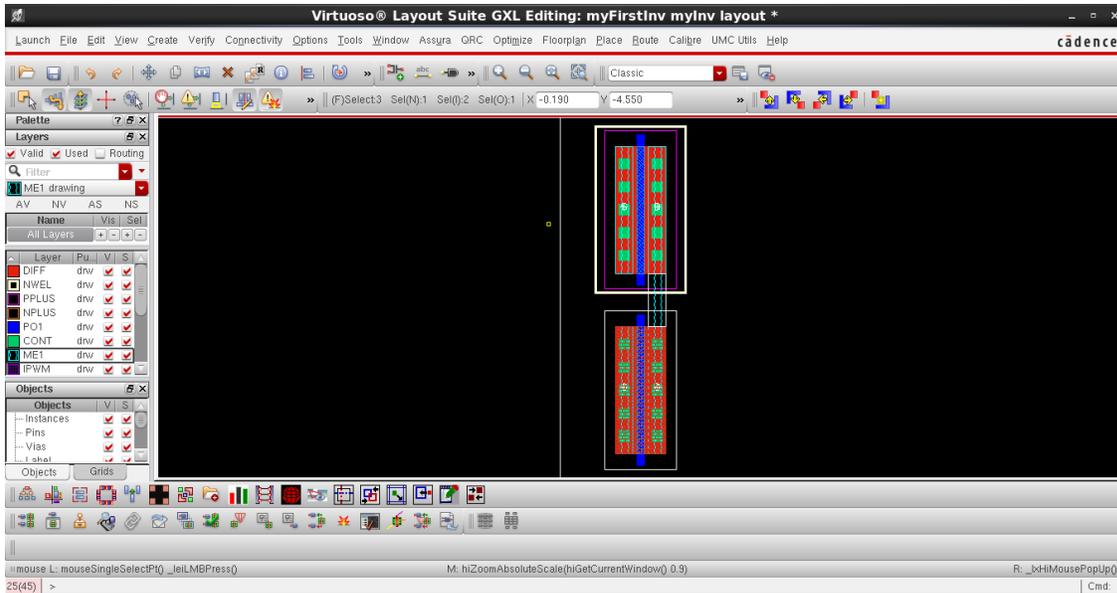


Figura A.28 - Conexão dos *drains* dos transístores

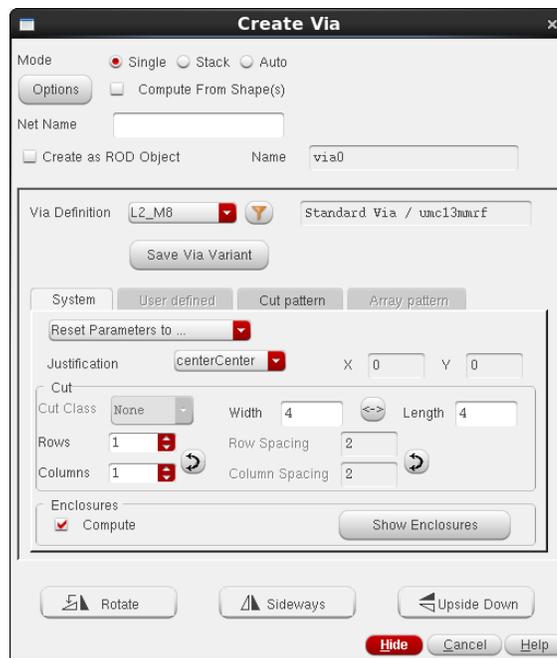


Figura A.29 - Janela de configuração das vias

Resta então polarizar os *bulks* dos transístores. Uma vez que o transístor  $M_1$  é do tipo PMOS, a polarização a utilizar é a N-Well. Como tal, dever-se-á adicionar uma via deste metal (M1-NW) ao transístor  $M_1$ , providenciando as respectivas ligações, como se mostra na Figura A.30. Quanto ao transístor  $M_2$ , visto que este é do tipo NMOS a polarização a considerar para o seu *bulk* é do tipo P-Well. De forma análoga, dever-se-á criar uma via deste metal (M1-PACTIVE) e aglutina-la ao transístor  $M_2$ , como efectuado na Figura A.31.

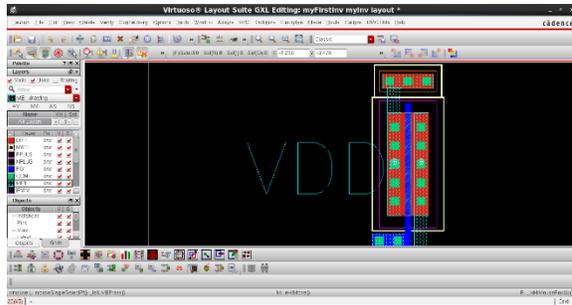


Figura A.30 - Design do bulk do transistor PMOS

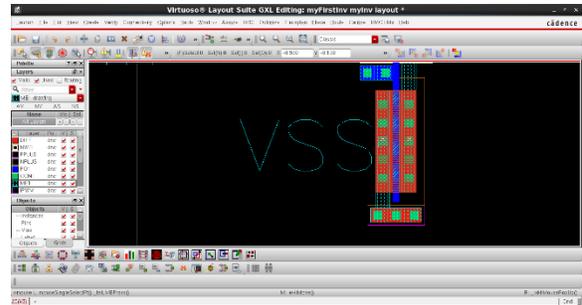


Figura A.31 - Design do bulk do transistor NMOS

Nota: Para a colocação das vias referentes às polarizações dos *bulks* dos transistores será utilizado o modo *Single* na interface do editor de vias (Figura A.29).

Por fim, basta colocar os terminais referentes à entrada e saída nos seus locais, e o layout do inversor CMOS está terminado. O resultado final é o obtido na Figura A.32.

Sugestões: Com o atalho de teclado (a) (*Quick Align*) é possível alinhar tanto os componentes, como as pistas de acordo com um ponto de referência. Esta ferramenta é muito útil no sentido em que é possível criar layouts mais simétricos, cuja complexidade do desenho das suas pistas é mais reduzida.

Considere-se ainda o uso do comando (k). Este atalho permite medir a distância relativa entre dois pontos do layout. Com esta ferramenta é possível verificar se a distância entre componentes está a ser respeitada, bem como medir as dimensões gerais do layout obtido.

Por forma a ajustar as dimensões das pistas, considere-se o atalho de teclado (s) (*Stretch*). Este atalho possui a capacidade de editar cada vértice das pistas de forma independente.

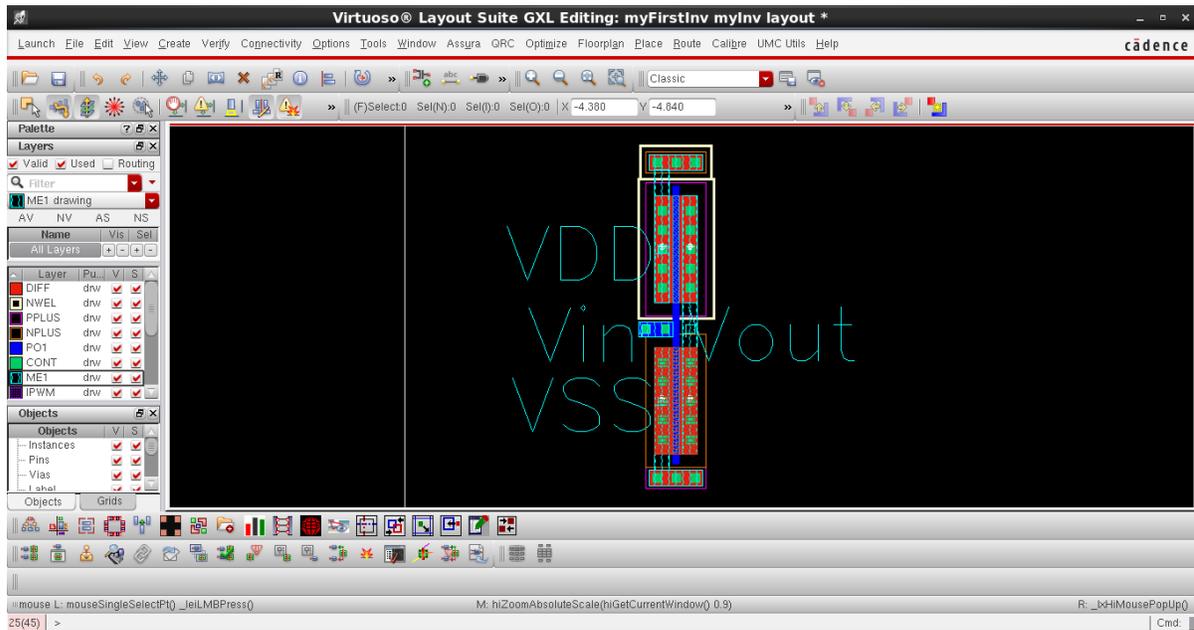


Figura A.32 - Layout do inversor CMOS

## A.5 Design Rule Check (DRC)

Terminado o layout do inversor CMOS (Figura A.32), é necessário verificar se o mesmo cumpre os requisitos impostos pelo fabricante de circuitos integrados. Como tal, a primeira verificação a realizar corresponde à validação das regras de design do layout.

Para efectuar essa tarefa será necessário recorrer aos ficheiros disponibilizados pelo fabricante. Neste tutorial serão utilizados três ficheiros que dizem respeito às regras FEOL, BEOL e antenas. Estes ficheiros podem ser encontrados na directoria da área de trabalho /eda/technologies/umc/130nm/20160202/\_G-01-MIXED\_MODE\_RFCMOS13-1P8M-MMC-FSG-L130E/Designkits/Cadence\_IC6/RuleDecks/Calibre/DRC.

O ficheiro referente às regras FEOL denomina-se de G-DF-MIXEDMODE\_RFCMOS13-1P8M2T-MMC-L130E\_CALIBRE-DRC-2.5-P1. Quanto às regras BEOL, o ficheiro que as contém tem a designação G-DF-MIXEDMODE\_RFCMOS13-1P8M2T-MMC-L130E\_CALIBRE-DRC-2.5-P1. Por fim, as regras de antena constam no ficheiro umc\_ant\_0.13um\_1P8M2T-CALIBRE-DRC-P4.cal. Estes três ficheiros deverão ser copiados para a área de trabalho do utilizador, sendo que este pode alterar as suas denominações por forma a serem mais fáceis de os identificar.

Note-se que, antes de avançar para a validação das regras anteriormente apresentadas, é necessário efectuar algumas alterações aos respectivos ficheiros:

– No ficheiro referente às regras FEOL é necessário fornecer ao software a directoria dos ficheiros onde se encontram as restantes regras necessárias à verificação. Com tal, é necessário substituir os caracteres './' pela directoria onde se encontram os ficheiros enunciados. Dessa forma as linhas:

```
INCLUDE ./130nm_layers_v3.9.cal
INCLUDE ./L130_Shrink_memory_rules_v9.cal
INCLUDE ./L130_memory_rules_v6.cal
```

Deverão ser substituídas pelas seguintes:

```
INCLUDE /eda/technologies/umc/130nm/20160202/_G-01-MIXED_MODE_RFCMOS13-1P8M-MMC-FSG-
L130E/Designkits/Cadence_IC6/RuleDecks/Calibre/DRC/130nm_layers_v3.9.cal
INCLUDE /eda/technologies/umc/130nm/20160202/_G-01-MIXED_MODE_RFCMOS13-1P8M-MMC-FSG-
L130E/Designkits/Cadence_IC6/RuleDecks/Calibre/DRC/L130_Shrink_memory_rules_v9.cal
INCLUDE /eda/technologies/umc/130nm/20160202/_G-01-MIXED_MODE_RFCMOS13-1P8M-MMC-FSG-
L130E/Designkits/Cadence_IC6/RuleDecks/Calibre/DRC/L130_memory_rules_v6.cal
```

– No ficheiro referente ao BEOL as alterações incidem sobre as linhas:

```
INCLUDE ./130nm_layers_v3.9.cal
INCLUDE ./L130_Shrink_memory_rules_v9.cal
INCLUDE ./L130_memory_rules_v6.cal
INCLUDE ./X_Architecture-1P8M2T.cal
```

Devem ser substituídas pelas linhas:

```
INCLUDE /eda/technologies/umc/130nm/20160202/_G-01-MIXED_MODE_RFCMOS13-1P8M-MMC-FSG-
L130E/Designkits/Cadence_IC6/RuleDecks/Calibre/DRC/130nm_layers_v4.0.cal
```

```
INCLUDE /eda/technologies/umc/130nm/20160202/_G-01-MIXED_MODE_RFCMOS13-1P8M-MMC-FSG-L130E/Designkits/Cadence_IC6/RuleDecks/Calibre/DRC/L130_Shrink_memory_rules_v10.cal
```

```
INCLUDE /eda/technologies/umc/130nm/20160202/_G-01-MIXED_MODE_RFCMOS13-1P8M-MMC-FSG-L130E/Designkits/Cadence_IC6/RuleDecks/Calibre/DRC/L130_memory_rules_v6.cal
```

```
INCLUDE /eda/technologies/umc/130nm/20160202/_G-01-MIXED_MODE_RFCMOS13-1P8M-MMC-FSG-L130E/Designkits/Cadence_IC6/RuleDecks/Calibre/DRC/X_Architecture-1P8M2T.cal
```

Quanto ao ficheiro referente às regras de antena não é necessário efectuar qualquer alteração.

Nota: Na directoria raiz da área de trabalho referente ao inversor CMOS (/home/da.batista/IC6\_workspace/myFirstInv) deverá ser criada uma pasta denominada de Calibre\_DRC. Nesta pasta serão guardados os outputs gerados pela ferramenta de validação das regras de design.

Uma vez configurados os ficheiros das regras do fabricante, estão reunidas as condições para validar o layout do inversor CMOS. Para lançar a ferramenta de verificação de regras é necessário, na janela do editor de layout (Figura A.23) seleccionar o menu *Calibre > Run nmDRC*. Será exibida uma janela a requerer o carregamento de uma configuração já existente da ferramenta.

Dado que é a primeira vez que se executa esta ferramenta essa mesma janela pode ser fechada. Se, posteriormente, o utilizador pretender guardar as configurações associadas a uma verificação pode fazê-lo, sendo apenas necessário voltar a carregá-la sempre que abre a ferramenta. Uma vez fechada a janela, será exibida a janela de configuração da ferramenta de validação das regras de design do layout, como se mostra na Figura A.33.

O primeiro passo a realizar é seleccionar qual a verificação que se pretende efectuar. Para isso é necessário carregar os ficheiros das regras anteriormente apresentados.

Nota: a ferramenta de verificação apenas permite efectuar a verificação de um determinado conjunto de regras (FEOL, BEOL ou antena) de cada vez sendo necessário repetir o processo três vezes.

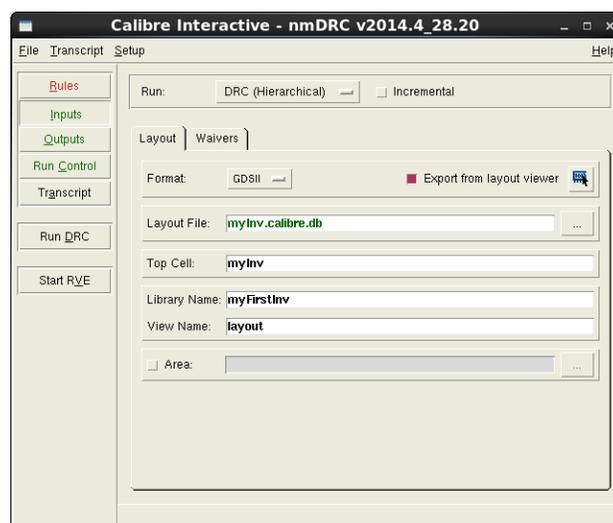


Figura A.33 - Janela de configuração da ferramenta de validação de design (DRC)

Para selecionar o ficheiro de regras é necessário clicar no menu do lado esquerdo da janela *Rules*. No campo *DRC Rules File* deverá ser carregado um dos três ficheiros outrora configurados, de acordo com a simulação que se pretende realizar. Quanto aos outputs gerados pela ferramenta, no campo *DRC Run Directory* é necessário indicar a localização da pasta criada para o efeito (*Calibre\_DRC*). Realizando a verificação para as regras BEOL, clicando no botão *Run DRC*, uma janela semelhante à da Figura A.34 será exibida.

É nesta janela que serão apresentados os erros que estão a ser cometidos no design do layout. Note-se que a fabrica onde os circuitos integrados são manufacturados não aceita quaisquer circuitos que contenham erros de DRC.



Figura A.34 - Janela de resultados da verificação das regras BEOL

Sugestão: Clicando sobre o erro, será exibida uma pequena explicação da violação que está a ser cometida por forma a que o utilizador a possa resolver. No entanto, se o utilizador pressionar a tecla (h) enquanto o erro se encontra selecionado, será exibido no layout o local onde essa mesma violação está a ser cometida, possibilitando assim uma resolução mais localizada do problema.

Nota: Na janela da Figura A.34 são exibidos alguns erros. Esses erros, e apenas esses erros, deverão ser ignorados uma vez que dizem respeito ao processo de fabrico dos circuitos integrados. Também na verificação das regras FEOL os erros 4A.1J e 4A.19P deverão ser ignorados pelo mesmo motivo.

Repetindo o processo para os três ficheiros de regras, e eliminado quaisquer erros que daí advenham, o layout do inversor CMOS passa a cumprir as normas impostas pelo fabricante dos circuitos integrados.

## A.6 Layout Versus Schematic (LVS)

Esta ferramenta pretende verificar se o layout de um determinado circuito corresponde ao esquemático deste. O procedimento é em tudo semelhante ao da verificação das regras de design (DRC). Também esta ferramenta carece do seu ficheiro regras. A directoria onde este se encontra é a seguinte: /eda/technologies/umc/130nm/20160202/\_G-01-MIXED\_MODE\_RFCMOS13-1P8M-MMC-FSG-L130E/Designkits/Cadence\_IC6/RuleDecks/Calibre/LVS. Uma vez nesta directória, dever-se-á copiar o ficheiro G-DF-MIXED\_MODE\_RFCMOS13-1P8M-MMC-FSG-L130E-CALIBRE-LVS-2.3-P10.txt para a área de trabalho. Se for mais conveniente para o utilizador, também a denominação deste ficheiro pode ser alterada.

Ao contrário dos ficheiros das regras de design, o ficheiro referido anteriormente não carece de qualquer alteração estando pronto para ser utilizado. Também deverá ser criada uma pasta na directoria raiz do projecto (/home/da.batista/IC6\_workspace/myFirstInv) com a denominação Calibre\_LVS. Será nesta pasta que a ferramenta guardará os outputs decorrentes da verificação.

Para lançar a ferramenta de verificação de layout dever-se-á, na janela do editor de layout (Figura A.23), seleccionar o menu *Calibre > Run nmLVS*. Uma janela semelhante à apresentada na verificação DRC surgirá. O procedimento sobre esta é semelhante, já que não existem ficheiros de configuração disponíveis. Depois de encerrada essa janela, a janela de configuração do verificador de layout surge (Figura A.35).

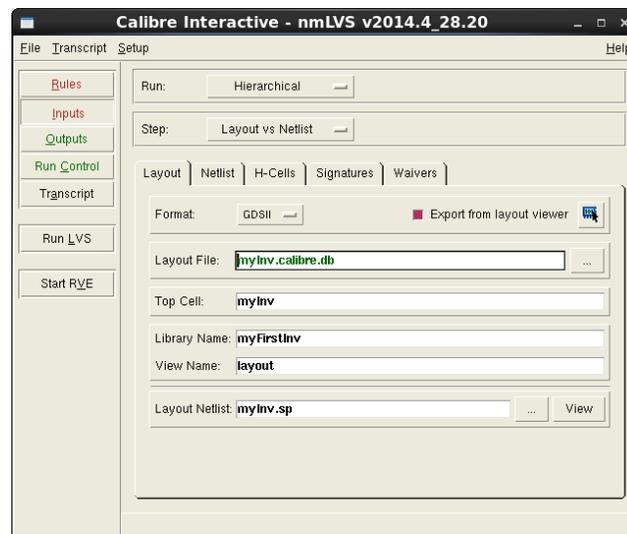


Figura A.35 - Janela de configuração da ferramenta de validação de layout (LVS)

Analogamente à configuração do DRC, seleccionando o menu *Rules*, é requerido ao utilizador que forneça o ficheiro das regras de layout supra-referido (no campo *LVS Rules File*), bem como a localização do local (no campo *LVS Run Directory*) onde a ferramenta deverá guardar os resultados obtidos (/home/da.batista/IC6\_workspace/myFirstInv/Calibre\_LVS).

Retornando ao menu *Inputs*, no separador *Netlist*, deve seleccionar-se a caixa de verificação *Export from schematic viewer*. Depois deste passo é possível lançar o verificador de layout clicando no botão

Run LVS. A janela da Figura A.36 será exibida, indicando se a correspondência entre o layout contruído e o respectivo esquemático é perfeita ou contém erros. No exemplo da Figura A.36 a correspondência é perfeita. Contudo, no caso de existirem falhas nesta verificação, também esta permite localizar os locais onde se encontram os erros (recorrendo ao atalho de teclado (h)).

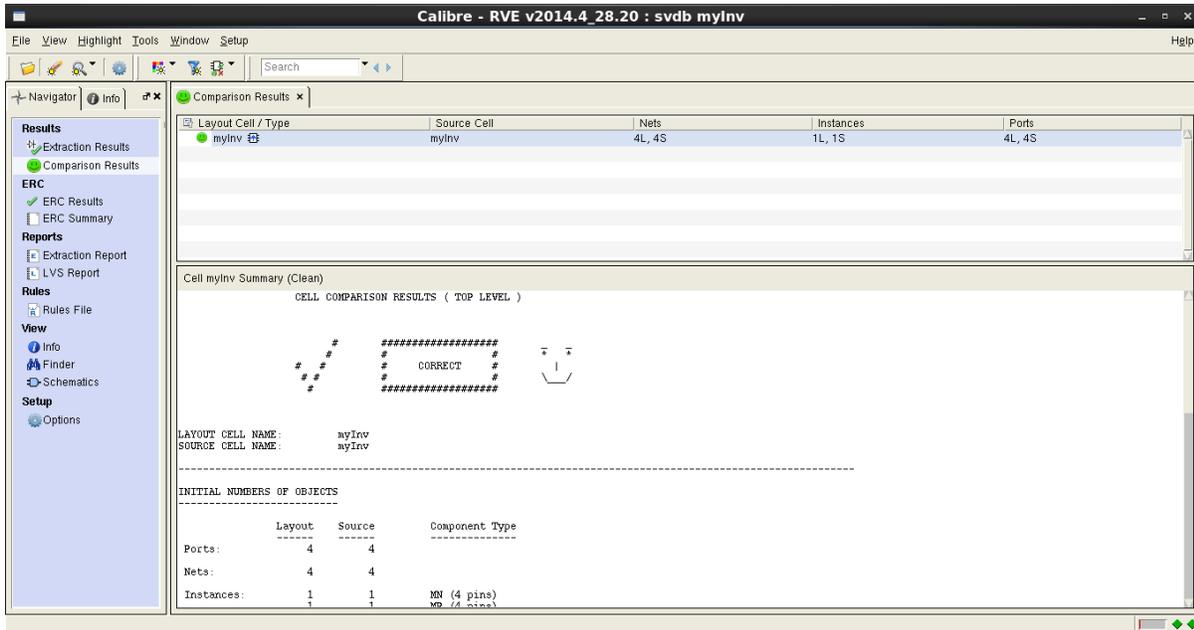


Figura A.36 - Janela dos resultados obtidos a partir da validação de layout vs esquemático

Nota: se forem utilizados componentes da tecnologia afectos à componente de radiofrequência (rf), como bobines, díodos ou transístores para altas frequências, deverá ser adicionado à netlist do layout um ficheiro. Como tal, dever-se-á criar um novo documento de texto com o nome rf\_dev\_subckt\_def.spi. Este ficheiro irá conter a informação relativa às configurações dos componentes de radiofrequência, e com isso evitar que a ferramenta aborte o seu processo aquando da verificação layouts com estes componentes sendo.

A seguinte informação deverá ser copiada para esse ficheiro e guardada na pasta de resultados da ferramenta (Calibre\_LVS):

```
* SPICE NETLIST
*****
.SUBCKT N_12_RF D G S B
.ENDS
*****
.SUBCKT P_12_RF D G S B PSUB
.ENDS
*****
.SUBCKT N_33_RF D G S B
.ENDS
*****
.SUBCKT P_33_RF D G S B PSUB
.ENDS
*****
.SUBCKT N_BPW_12_RF D G S B NW PSUB
.ENDS
*****
```

```

.SUBCKT N_BPW_33_RF D G S B NW PSUB
.ENDS
*****
.SUBCKT VARMIS_12_RF PLUS MINUS PSUB
.ENDS
*****
.SUBCKT VARMIS_33_RF PLUS MINUS PSUB
.ENDS
*****
.SUBCKT VARDIOP_RF PLUS MINUS PSUB
.ENDS
*****
.SUBCKT RNNPO_RF PLUS MINUS NW PSUB
.ENDS
*****
.SUBCKT RNPPQ_RF PLUS MINUS NW PSUB
.ENDS
*****
.SUBCKT RNHR_RF PLUS MINUS NW PSUB
.ENDS
*****
.SUBCKT MIMCAPS_RF PLUS MINUS NW PSUB
.ENDS
*****
.SUBCKT MOMCAPS_SY_MM PLUS MINUS B
.ENDS
*****
.SUBCKT MOMCAPS_RF PLUS MINUS NW PSUB
.ENDS
*****
.SUBCKT MOMCAPS_ASY_MM PLUS MINUS B
.ENDS
*****
.SUBCKT MOMCAPS_ASY_RF PLUS MINUS NW PSUB
.ENDS
*****
.SUBCKT PAD_RF PLUS PSUB
.ENDS
*****
.SUBCKT DIOP_ESD_RF PLUS MINUS PSUB
.ENDS
*****
.SUBCKT DIODN_ESD_RF PLUS MINUS NW PSUB
.ENDS
*****
.SUBCKT NPN_SV50X50_RF C B E S
.ENDS
*****
.SUBCKT NPN_SVL20_RF C B E S
.ENDS
*****
.SUBCKT NPN_NV50X50_RF C B E S
.ENDS
*****
.SUBCKT NPN_NVL20_RF C B E S
.ENDS
*****
.SUBCKT PNP_NV50X50_RF C B E
.ENDS
*****
.SUBCKT PNP_NVL20_RF C B E
.ENDS
*****
.SUBCKT L_CR20K_RF PLUS MINUS NW PSUB

```

```

.ENDS
*****
.SUBCKT L_NWCR20K_RFVIL PLUS MINUS NW PSUB
.ENDS
*****
.SUBCKT L_CR20K_RFVIL PLUS MINUS PSUB
.ENDS
*****
.SUBCKT L_NWSY20KCT_RFVIL PLUS MINUS CT NW PSUB
.ENDS
*****
.SUBCKT L_SY20KCT_RFVIL PLUS MINUS CT PSUB
.ENDS
*****
.SUBCKT L_NWSY20K_RFVIL PLUS MINUS NW PSUB
.ENDS
*****
.SUBCKT L_SY20K_RFVIL PLUS MINUS PSUB
.ENDS
*****
.SUBCKT L_SQSK_RF PLUS MINUS NW PSUB
.ENDS
*****
.SUBCKT L_NWSQSK_RFVIL PLUS MINUS NW PSUB
.ENDS
*****
.SUBCKT L_SQSK_RFVIL PLUS MINUS PSUB
.ENDS
*****
.SUBCKT MOMCAPS_SYMESH_MM PLUS1 MINUS1 PLUS2 MINUS2 B
.ENDS
*****
.SUBCKT MOMCAPS_ASMESH_MM PLUS1 MINUS1 PLUS2 MINUS2 B
.ENDS
*****
.SUBCKT MOMCAPS_Array_VP3_RF PLUS MINUS NW PSUB
.ENDS
*****
.SUBCKT MOMCAPS_Array_VP4_RF PLUS MINUS NW PSUB
.ENDS
*****

```

Assim sempre uma mensagem semelhante à da Figura A.37 seja exibida, o ficheiro anteriormente referido deverá ser adicionado às configurações da ferramenta como se mostra na Figura A.38. Para o adicionar dever-se-á clicar nas setas assinaladas na Figura A.38. Clicando no botão (...) é necessário seleccionar o ficheiro de entre a lista apresentada. Ao seleciona-lo, clica-se no botão *Add* sendo, em seguida, uma mensagem exibida. A opção a ser seleccionada é a *Add at end*.

Atestadas com sucesso as verificações DRC e LVS, o layout do inversor CMOS possui todas as condições para poder ser fabricado.

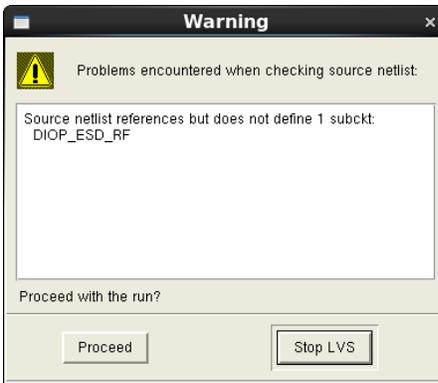


Figura A.37 - Mensagem decorrente da existência de componentes de radiofrequência

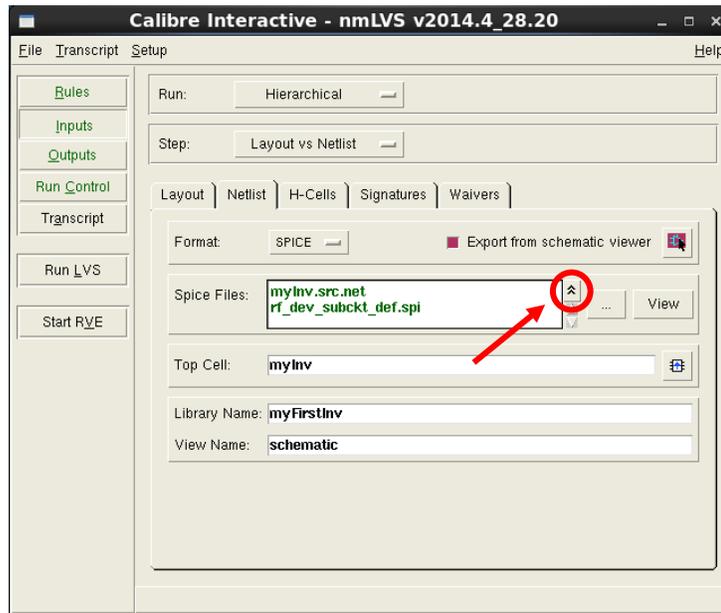


Figura A.38 - Configuração do LVS com componentes de radiofrequência

## A.7 Parasitic Extration (PEX)

Uma vez validado o layout do inversor CMOS é possível simular o desempenho deste por forma a verificar se o seu funcionamento corresponde ao obtido aquando das simulações elétricas (Figura A.20). Dessa feita, é necessário considerar os elementos parasitas (como resistências, capacidades, etc.) associados aos metais e às ligações efectuadas no layout do circuito. Para realizar essa tarefa existe então a ferramenta de extração de layout (PEX). O resultado final desta ferramenta será uma vista do circuito do inversor CMOS onde estarão combinados todos os componentes parasitas advindos do processo de layout.

À semelhança das ferramentas de DRC e LVS também esta ferramenta carece de um ficheiro de regras. Na directoria /eda/technologies/umc/130nm/20160202/\_G-01-MIXED\_MODE\_RFCMOS13-1P8M-MMC-FSG-L130E/Designkits/Cadence\_IC6/RuleDecks/Calibre/LVS este pode ser encontrado

com a designação G-DF-MIXED\_MODE\_RFCMOS13-1P8M-MMC-FSG-L130E-CALIBRE-LVS-2.3-P10.txt (mesmo ficheiro utilizado para o LVS). Depois de efectuada uma copia deste para a área de trabalho, é necessário alterar o conteúdo de algumas das suas linhas por forma a que este possa ser utilizado no PEX. Assim, a informação das linhas:

```
///DEFINE PEXRUN
//INCLUDE ".\runset.tec"
```

Deverá ser alterada para:

```
#DEFINE PEXRUN
INCLUDE "/eda/technologies/umc/130nm/20160202/_G-01-MIXED_MODE_RFCMOS13-1P8M-MMC-FSG-L130E/Rulefiles/XRC/G-DF-MIXED_MODE_RFCMOS13-1P8M2T-MMC_FSG_TOP_METAL20K_L130E-XRC-LPE-1.3_P6.tec"
```

Adicionalmente, a seguir às linhas alteradas, é necessário acrescentar ainda mais as seguintes linhas:

```
LAYOUT CASE YES
SOURCE CASE YES
```

A adição destas linhas fará com que a ferramenta de extração seja sensível à correspondência das etiquetas dos terminais entre o esquemático e o layout do circuito. A remoção destas linhas poderá resultar em problemas na geração dos terminais aquando da extração, conduzido assim, a um comportamento defeituoso do circuito.

Nota: à semelhança dos ficheiros de regras anteriores, também a designação deste ficheiro pode ser alterada. Na pasta directoria raiz do projecto (/home/da.batista/IC6\_workspace/myFirstInv), a pasta Calibre\_PEX deverá ser criada com a finalidade de guardar os outputs gerados pela ferramenta.

Para lançar a ferramenta de extração o processo é semelhante ao das homologas apresentadas anteriormente. Na janela do editor de layout (Figura A.23) dever-se-á seleccionar o menu *Calibre > PEX*. A janela de configuração da ferramenta será exibida (Figura A.39). Também esta possui a possibilidade de carregar ficheiros previamente configurados, mas, para a situação em causa, este passo será ignorado. Seleccionando o menu *Rules*, no campo *PEX Rules Files*, o utilizador deverá fornecer o ficheiro que contém as regras de extração, com as alterações referidas acima efectuadas. No campo *PEX Run Directory*, deverá ser indicada a directoria onde a ferramenta poderá guardar os seus outputs (/home/da.batista/IC6\_workspace/myFirstInv/Calibre\_PEX). Seleccionado o menu do lado esquerdo da janela *Inputs*, o separador *Netlist* deve ser aberto. Uma vez neste separador, a caixa de verificação *Export from schematic viewer* deve ser seleccionada.

Nota: à semelhança do LVS, se o circuito a que se refere o layout que se encontra a ser exportado contiver elementos de radiofrequência, a adição do ficheiro *rf\_dev\_subckt\_def.spi* deve ser considerada no campo *Spice Files*. A adição deste ficheiro processa-se de acordo com o mesmo método apresentado na ferramenta LVS.

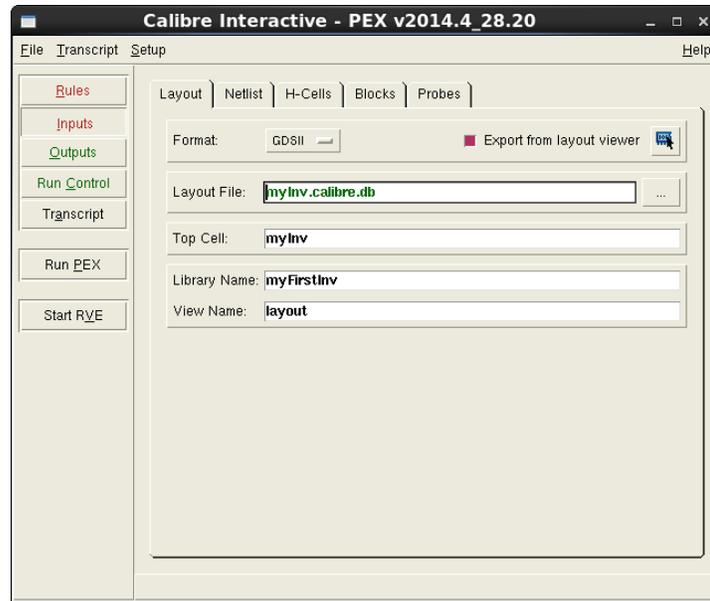


Figura A.39 - Janela de configuração da ferramenta de extração de layout (PEX)

O configurador da ferramenta de extração de layouts possui ainda a funcionalidade de seleccionar quais os tipos de parasitas que a extração deve contemplar. Para isso, o menu *Outputs* deve ser seleccionado. Na secção *Extraction Type* a opção R + C + CC encontra-se seleccionada. Quer isto dizer que a extração do layout contemplará resistências e condensadores parasitas bem como condensadores de acoplamento. Clicando sobre esta opção será possível ao utilizador seleccionar, de entre estes três componentes, diferentes combinações.

Dado que se pretende simular o resultado decorrente da extração do layout é necessário criar uma vista deste. No campo *Format*, clicando sobre a opção ELDO surgem outras opções. A opção a ser seleccionada é a CALIBREVIEW.

Sugestão: se na configuração da extração do layout não forem considerados componentes parasitas, o resultado decorrente da simulação efectuada a esta deverá ser igual ao da simulação eléctrica respectiva. Este tipo de configuração poderá ser útil quando se verificarem comportamentos anormais nos resultados das simulações às extrações de layout.

Por fim, seleccionando o menu *Setup > PEX Options*, a caixa de verificação *Ground node name* deverá ser seleccionada. Ao marcar esta opção, será necessário indicar à ferramenta de extração qual o nome da etiqueta do terminal de menor potencial do circuito (*ground*) que, no exemplo em questão, é VSS.

Finda esta configuração basta clicar no botão Run PEX e a ferramenta de extração será lançada. A janela da Figura A.40 surgirá. Esta janela diz respeito à configuração da vista de extração utilizada posteriormente para a simulação do layout.

Será necessário copiar o ficheiro `calview.cellmap` da directoria `/eda/technologies/umc/130nm/20160202/_G-01-MIXED_MODE_RFCMOS13-1P8M-MMC-FSG-L130E/Designkits/Cadence_IC6/RuleDecks/Calibre` para a área de trabalho. Na secção *Cellmap File* da janela Figura A.40, dever-se-á clicar no botão *Browse* para indicar a localização do ficheiro supra-

referido. No campo *Calibre View Type* a opção *schematic* deve ser selecionada. Também no campo *Create Terminals*, a opção *Create all terminals* deve ser escolhida. Na secção *Open Calibre CellView* a opção *Read-mode* deve ser selecionada por forma a terminar a configuração da vista do circuito equivalente do layout. Clicando no OK a janela da Figura A.41 será exibida.

Como pode ser observado, através de zoom, nesta janela do editor de esquemático são apresentados todos os componentes parasitas associados ao layout do inversor CMOS (Figura A.32). Depois deste resultado obtido, tanto o configurador da ferramenta de extração como o editor de layout podem ser fechados.

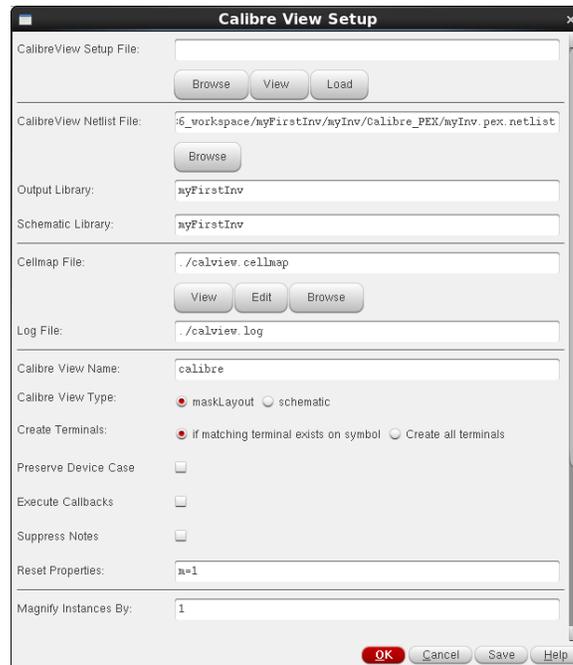


Figura A.40 - Janela de configuração da vista extraída

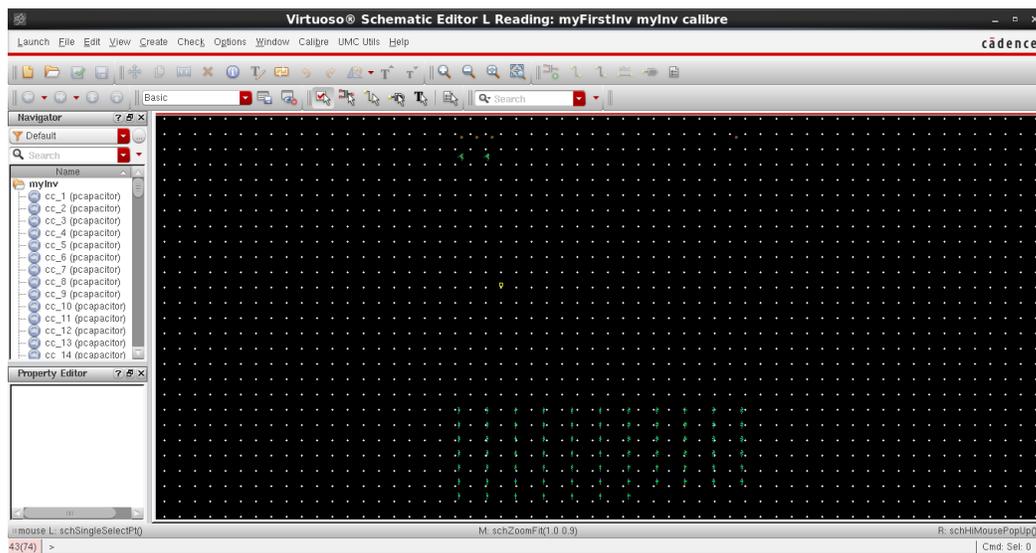


Figura A.41 - Vista dos componentes parasitas associados ao layout do inversor CMOS

## A.8 Simulação Pós-Layout

Findo o layout do circuito e as verificações inerentes a este, resta verificar se o seu comportamento correspondente ao obtido aquando das simulações elétricas realizadas ao circuito do inversor CMOS (Figura A.20). Para isso há que efectuar, com base no circuito de teste da Figura A.16, uma simulação semelhante à realizada na secção A.3 utilizando o circuito obtido através da extração com parasitas do layout. Por forma a possibilitar a transição entre as vistas de esquemático e de extração, o software oferece ao seu utilizador a função de hierarquizar um determinado circuito. Para lançar o gestor de hierarquias será necessário ir até à janela do gestor de bibliotecas (Figura A.5).

Nota: descolando-se até à célula *myInv*, da biblioteca *myFirstInv* o utilizador poderá observar o resultado de todo o trabalho desenvolvido até ao momento. Nela encontram-se explicitados os editores de esquemático (*schematic*), e layout (*layout*), o símbolo criado para inversor CMOS (*symbol*), os três outputs das ferramentas utilizadas na validação do layout e a vista associado ao circuito extraído do layout (*calibre*).

Para lançar o gestor de hierarquias será necessário criar uma célula de configuração. Para tal, clicando sobre a biblioteca *myFirstInv*, dever-se-á seleccionar o menu *File > New > Cell View*. Uma janela semelhante à da Figura A.6 será exibida. Por simplificação, o nome desta vista (campo *Cell*) será config. No campo *type*, deverá ser seleccionada a opção config. Clicando em OK a janela da Figura A.42 surgirá. Esta diz respeito ao configurador do gestor de hierarquias. Para a configurar dever-se-á seleccionar, no campo *Cell*, a célula referente ao circuito de teste (*testInv*). De seguida, no campo *View*, deve ser seleccionada a opção *schematic*. Por fim, dever-se-á clicar no botão *Use Template*. Será exibida uma nova janela (Figura A.43), e no campo *Name* deverá ser escolhida a opção *spectre*. Seleccionando o OK a janela de configuração do editor de hierarquias (Figura A.42) será preenchida automaticamente. De novo, seleccionando a opção OK nessa janela, a janela do editor será exibida (Figura A.45).

No campo *Cell Bindings* são apresentados todos os componentes que fazem parte do circuito de teste, no entanto, a única célula que interessa é a referente à célula do inversor CMOS. Clicando no botão *Open* o esquemático do circuito de teste será exibido (Figura A.16). De seguida, é necessário lançar o simulador, para isso, na janela do editor de hierarquias dever-se-á clicar no botão ADE L (Figura A.18).

Nota: por defeito, quando o ADE L é lançado através do gestor de hierarquias, a sua configuração não é a pretendida, como tal deverá ser alterada. Para realizar essa operação considere-se o menu deste, *Setup > Simulator/Directory/Host*. A janela da Figura A.44 surgirá. No campo *Simulator* será necessário alterar o tipo de simulador para o tipo *spectre*. Pressionando OK, o simulador encontra-se corretamente configurado para simular o circuito em causa.

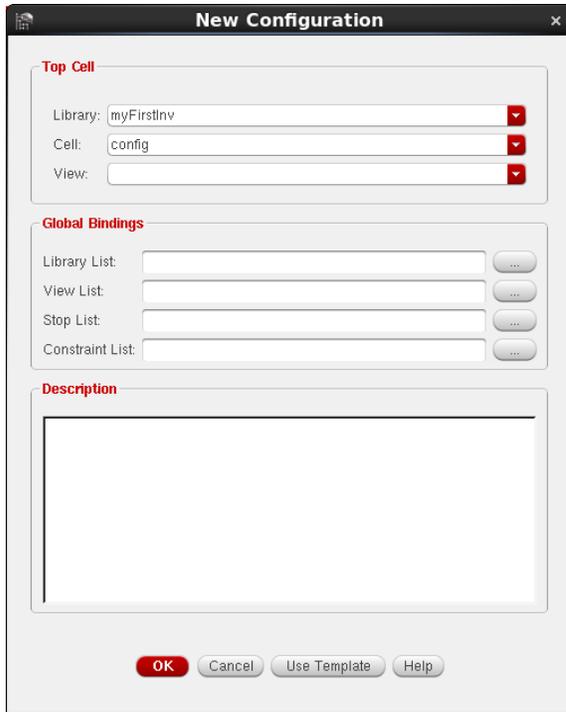


Figura A.42 - Janela de configuração do editor de hierarquias



Figura A.43 - Janela de seleção do template de configuração



Figura A.44 - Janela de configuração do tipo de simulador

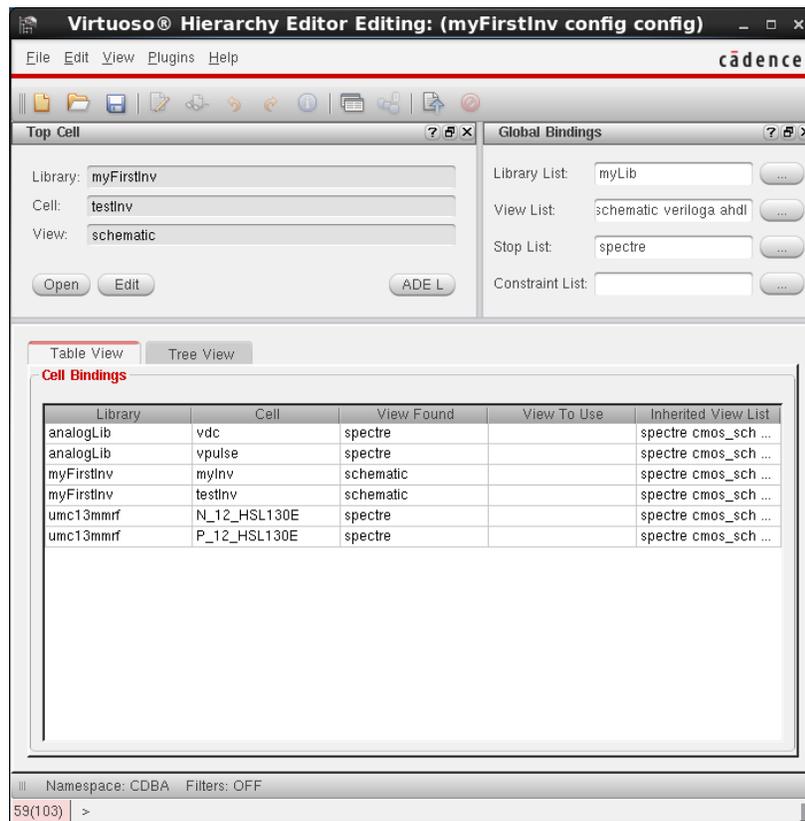


Figura A.45 - Janela do editor de hierarquias

Utilizando o mesmo procedimento de configuração que aquando da simulação elétrica (secção A.3), o simulador encontra-se preparado para testar o circuito. Lançando a simulação (botão de *play* no barra lateral direita do simulador), é possível observar o resultado já obtido aquando da simulação elétrica (Figura A.20) (Nota: esta janela não deverá ser fechada). Para observar o resultado da extração do layout dever-se-á seleccionar no campo da janela do simulador *Plotting mode*, a opção *New SubWin*. Dessa forma será possível comparar os resultados elétricos e extraídos ao mesmo tempo.

Na janela do editor de hierarquias, clicando com o botão direito do rato sobre a célula *myInv*, deve-se seleccionar a opção *Set Cell View > calibre*. Desta forma, a vista que o simulador do circuito considerará a proxima vez que for executada será a vista da extração do layout.

Nota: é necessário sempre actualizar a hierarquia do circuito, para tal, dever-se-á clicar no botão assinalado na Figura A.46 e de seguida na opção OK da janela que surgirá.

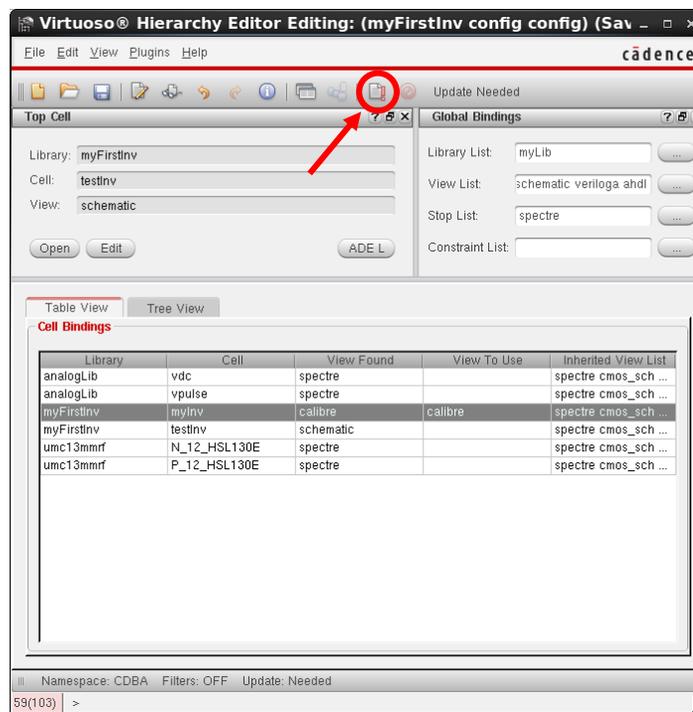


Figura A.46 - Janela do editor de hierarquias com a configuração da extração de layout

Lançando de novo o simulador, o resultado obtido será semelhante ao da Figura A.47. Na simulação do topo encontra-se a simulação elétrica, realizada ao esquemático do circuito, enquanto que, na simulação inferior, é possível observar o resultado da simulação realizada ao circuito extraído a partir do layout do inversor CMOS.

Sugestão: numa arquitectura com vários blocos pode ser conveniente testar a extração de cada bloco individualmente. Para isso basta que se seleccione a vista de extração do bloco (*calibre*), no editor de hierarquia, deixando as restantes vistas, dos restantes blocos, no tipo *schematic*.

Nota: Em certos momentos o simulador pode ter dificuldades em actualizar as vistas dos blocos que se encontra a simular. Por forma a atestar se este está a simular a vista correta, no menu da janela do

