

**科学研究費助成事業 研究成果報告書**

平成 29 年 6 月 20 日現在

機関番号：12102

研究種目：基盤研究(B) (一般)

研究期間：2014～2016

課題番号：26289114

研究課題名(和文) 共鳴増幅配線による低損失伝送線の開発

研究課題名(英文) Development of a Low Loss Transmission Line Using Resonance Interconnection

研究代表者

安永 守利 (YASUNAGA, Moritoshi)

筑波大学・システム情報系・教授

研究者番号：80272178

交付決定額(研究期間全体)：(直接経費) 9,500,000円

研究成果の概要(和文)：パソコンやモバイル機器などの動作周波数はGHzに達しているが、今後の性能向上のためには、さらに動作速度を向上する必要がある。一方、GHzの領域では、これらの機器を構成するプリント基板上の配線の損失が大きくなり、配線上を伝搬するデジタル信号の品質が劣化するという問題がある。このため、周波数を向上することが困難になる。

本研究の目的は、損失による信号品質の低下を新たな配線構造によって解決することである。本研究では、新たな配線構造であるセグメント分割伝送線、および、信号反射理論に基づく設計により、この問題を解決する手法を提案した。そして、その有効性をシミュレーションと試作基板で実証した。

研究成果の概要(英文)： Operation frequencies in personal computers and mobile devices have reached over GHz already. And it is necessary to increase the frequency furthermore in order to increase their performances. On the other hand, in the GHz domain, loss in the interconnections in printed circuit boards used in those devices increases as the frequency increases. And the loss increment decreases the signal integrity of digital signals propagating on the interconnections. The signal integrity reduction thus impedes the frequency increment.

The purpose of this research is to overcome the above problem by novel interconnection structures. We have applied segmental transmission line, which had proposed by us, to the interconnection structure and proposed a novel transmission design method based on the wave-reflection theory. And we have demonstrated their efficiency by measurements on prototypes as well as simulations.

研究分野：集積システム工学

キーワード：信号品質 損失 プリント基板 遺伝的アルゴリズム 共鳴 Signal Integrity

1. 研究開始当初の背景

プリント基板や LSI の高速伝送用“低損失配線”の開発は、半導体、およびプリント基板の最重要テーマの1つであり、国際半導体技術ロードマップ(ITRS)でもその最重要開発課題の1つとしてあげられている。しかし、数 GHz を超えた領域では、配線材料や絶縁体材料の開発だけでは、損失によって減衰劣化したデジタル信号を十分回復できていないのが現状である。

このため現在は、配線にイコライザやエンファサイザ等の能動回路を付加することで減衰劣化したデジタル信号を回復する技術が用いられている。イコライザ等を用いることでコストと消費電力は増加し、実装密度も低下する。しかし、現状では、これらの能動回路に代わる有効な技術が無い状況にある。このため、ISSCC (国際固体素子回路会議)を始めとする著名な会議において、毎年、小型で低消費電力なイコライザやエンファサイザが数多く報告されている。

2. 研究の目的

本研究の目的は、“これまでになかった形状の配線”を用いることで LSI とプリント基板用のデジタル信号伝送向け「低損失配線」を実現することである。具体的には、減衰劣化した信号が共鳴増幅を起こす“共鳴増幅配線”を実現し、これにより利得回復と波形整形を行うアイデアである。ここで、一般に共鳴増幅現象は、非線形多重反射現象となる。

このために共鳴増幅器の設計は非線形逆問題となり、理論的な設計はできない。そこで本研究では、既に我々が開発した「セグメント分割伝送線」を利用する。セグメント分割伝送線は、プリント基板配線上の歪み波形を整形するために我々が開発した技術である。

3. 研究の方法

既に我々は、新たな伝送線(プリント基板配線)構造として、「セグメント分割伝送線(STL: Segmental Transmission Line)を提案している。STLは、配線上のインピーダンス不整合が原因で発生する信号品質(SI: Signal Integrity)を改善する全く新たな手法として提案された。

本研究では、この STL が、本研究で対象とする減衰劣化にも適用できると考え、STLの利用を研究方法とする。

一方、STLは確率論的な最適化アルゴリズムの一つである遺伝的アルゴリズムを利用する。このため、減衰を回復できる極めて良好な解が見つけれられるという長所がある一方、見つけれられる保証がないことが短所である。このため本研究では、理論にもとづく決定論的な方法も合わせて検討する。

4. 研究成果

(1) 低損失配線のための STL の基本評価

STLは、図1に示すようにプリント基板上の配線を複数のセグメントに分割し、各セグメントの線幅  $W_i$  を変える(特性インピーダンスを変える)ことで、セグメント境界で反射波を発生させ、その反射波を重ね合わせることで、ターゲットとなる歪んだ信号波形を整形する(SIを改善する技術である) — 図1では、セグメント幅のみを変更しているが、実際にはセグメント長  $L_i$  も変更している。ここで、各セグメントの  $W_i$  と  $L_i$  を決める理論的な手法はなく、その組合せはとなり組合せ爆発問題となる。このため、現在は、生物の進化に基づく確率論的な最適解探索手法である遺伝的アルゴリズムを用いている。

STLは、既に、メモリバスなどのインピーダンス不整合点が多いマルチタップ配線に適用され、その高い信号品質改善効果が示されている。

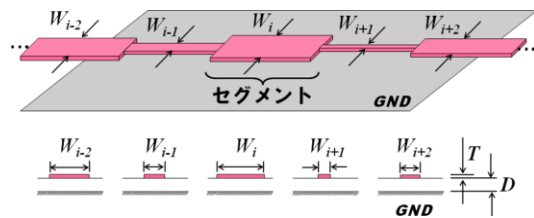


図1 STLの概略

一方、本研究で対象とする低損失化が望まれているのは、USB や PCIeexpress などの End-to-End 伝送であり、このような伝送系に対する STL の効果はまだ定量的に評価されていない。特に周波数領域での評価は、これまでのマルチタップ伝送では困難であった。

そこで本研究では、まず、図2に示す

End-to-End 伝送(無損失配線)を対象に、STLの効果を評価した(図2は、上段が通常伝送線下段が STL である。

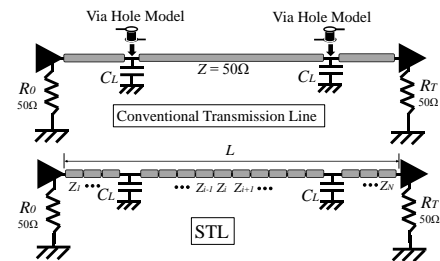


図2 評価対象とした伝送系

対象は伝送レート 8Gbps で配線長は 3.8cm であるが、実測のため、測定機器の精度の観点からスケールアップ実験(スケールアップ比 16)として、500Mbps、60cmとした。伝送経路の途中には、ビア・ホール等の負荷を想定した 15pF の寄生容量が 2 個接続されている。

図3に遺伝的アルゴリズムを用いた設計結果を示す。全体を 16 個のセグメント(横

軸)に分けて設計した. 図に示すように, 遺伝的アルゴリズムにより, 各セグメントの特性インピーダンス (縦軸) は  $30\Omega\sim 120\Omega$  で大きく変動する結果となった.

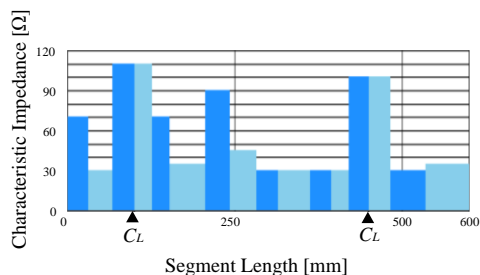


図 3 STL の設計結果

この結果を基に試作基板を作成した (図 4). 図の上段が従来配線, 下段が STL の写真である. この基板のアイパターンの測定結果を図 5 (従来配線), 図 6 (STL) に示す. 振幅  $1.0V$  に対して, 従来配線の場合, アイ開口はほとんど閉じてしまい, 実用は困難である. 一方, STL ではアイ開口は実用可能な大きさであり, 従来配線に比べて, アイ開口高さで  $1.84$  倍, アイ開口幅で  $1.71$  倍の改善が得られている.

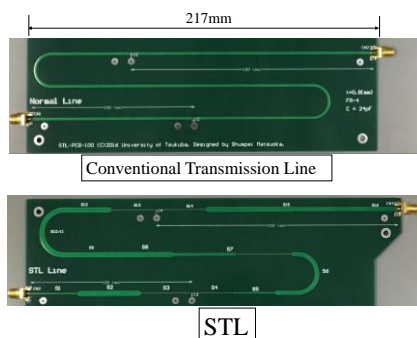


図 4 End-to-End 伝送評価基板

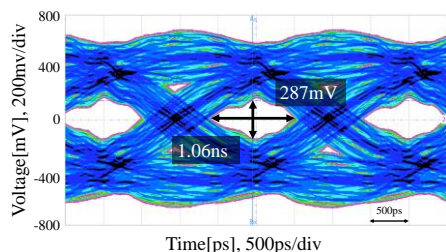


図 5 従来配線のアイパターン (実測)

さらに, 従来配線と STL の両者について測定した等価損失 ( $S_{21}$ ) を図 7 と図 8 にそれぞれ示す. 従来配線の  $S_{21}$  は,  $210MHz$  付近を中心に約  $-8dB$  の大きな損失が確認される. そして, これが信号品質の低下 (アイ開口の低下原因であると判断できる.

一方, STL では,  $S_{21}$  のこの大きな損失が改善され, ほぼフラットな損失特性となっており, これがアイ開口が大きく改善された周波数領域での解析結果である.

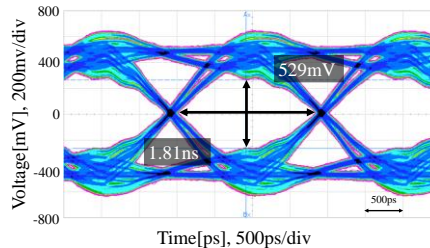


図 6 STL のアイパターン (実測)

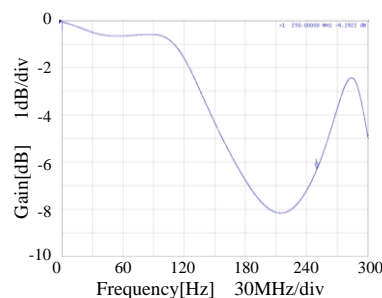


図 7 従来配線の等価損失  $S_{21}$  (実測)

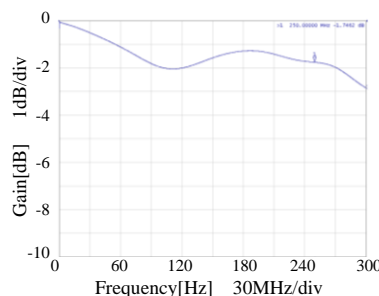


図 8 従来配線の等価損失  $S_{21}$  (実測)

## (2) 低損失配線のための STL 設計と評価

上記の基本評価より, STL は, 従来のマルチタップ型配線だけでなく, End-to-End 型配線についても高い波形整形能力があることが示された. さらに, その波形整形は, 周波数領域 (損失特性) において, その損失を回復する構造となっていること (遺伝的アルゴリズムがそのような解を選んでいること) が分かった.

そこで, STL を End-to-End 型の有損失配線に適用し, その波形整形を試みた. 図 9 に有損失伝送系について, 対象とした従来配線と STL を示す. 伝送レートは, PCI-Express Gen.3 をターゲットに  $8Gbps$  とし, その配線長を  $70cm$  とした. これは丁度, ハイエンドサーバなどのバックプレーン PCB 基板上におけるデータ信号伝送に相当する.

なお, この設計においても実測評価を行うためにスケールアップ設計 (スケールアップ実験) とした. スケールアップ比は,  $16$  とした. これより, 伝送レートは  $500Mbps$  で, 配線長は,  $11.2m$  である (有損失配線については, 正確にはスケールアップ設計は適用できない

いが、同等の損失が発生することから本設計とした)。

ここで、当初、従来配線を STL に変更しただけで設計を試みたが、十分な波形整形(損失改善)は得られなかった。その理由は、エネルギー損失にあると考えられる。そこで、受信端に付加配線(図では 30cm の配線)を接続することでこれによって反射を起こし、すなわち、エネルギーの共鳴を起こして波形を整形することとした。

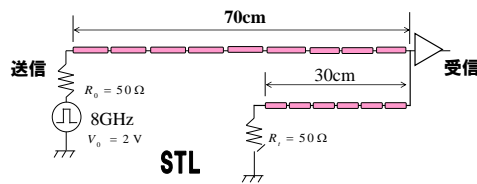
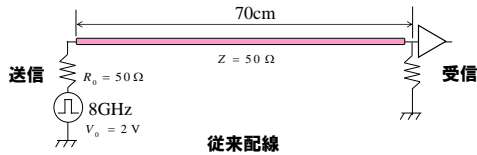


図 9 有損失従来配線と有損失 STL

図 10 に従来伝送線と STL の試作基板によるアイパターンの実測結果を示す。

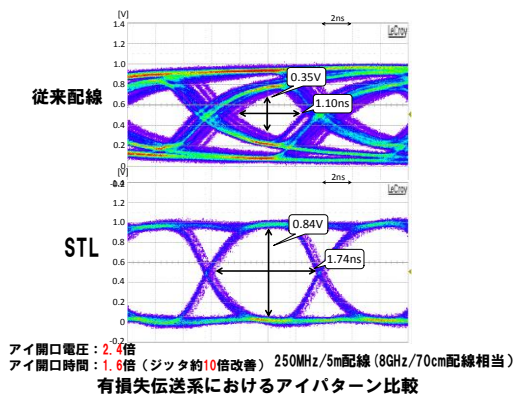


図 10 有損失伝送系の実測結果

従来配線では、振幅は送信振幅 1V をほぼ保っている。これは、送信パターンが低周波の場合(例えば、...1111111100000000...) 損失がほとんど無いためである。一方、アイ開口電圧は 0.35V、アイ開口幅は 1.1ns と非常に小さくなっており、実使用は困難である。アイ開口が小さくなった原因は、高周波のビットパターン(最高周波数は、...1010101...) は損失が大きいためであり、この損失を回復することが必要である。

一方、STL のアイパターンは、従来配線に比べ、アイ開口電圧で 2.4 倍、アイ開口幅で 1.6 倍改善されており、測定結果からわかるように十分実用可能な信号波形となっている。

以上の結果から、STL は、共鳴配線部分を付加することで、損失によって劣化した信号波形に対しても高い波形整形能力を示すこ

とが実測によって示すことができた。

一方、STL は、確率論的な設計手法であるため、非常に良い解が見つかる反面、いつも良好な解が得られるとは限らない。そこで、本研究では、決定論的な手法においても、良好な解を見つけることができる設計手法について検討した。すなわち、確率論的なアプローチ(STL)の場合、非常に優秀な解が得られるが、常時そのような解が得られるとは限らないのに対し、確率論的な手法により、常に良い解(実使用には利用可能な解)が得られるという位置づけである。以下、本研究で得られた確率論的な設計手法について述べる。

### (3) 低損失配線の決定論的設計手法と評価

#### ① 決定論的な設計手法

有損失配線で、何故、信号品質が劣化するのかについては、既に、前項でビットパターンの周波数の観点で述べたが、シングルショットパルスの観点では、以下のようにとらえることができる。

すなわち、図 11 に示すように、送信側で理想的なシングルショットパルス(...00010000...)を入力しても、有損失配線を伝播して受信された信号は、高周波部分が減衰してしまうため、図のように振幅が減少(1V が  $m_0$  に低下)することの他に“鈍った”波形、すなわち、テール(尾)を引いた波形となる。このテールが後続のビット列に影響することで、波形劣化が起こる(図では、 $m_1$  が後続のビット 0 に重なり、1 と判定され、いわゆるシンボル間干渉が発生する)。

そして、任意のビット列は、このシングルショットパルスの重ね合わせであることから、結果として、アイ開口が閉ざされる結果となる。

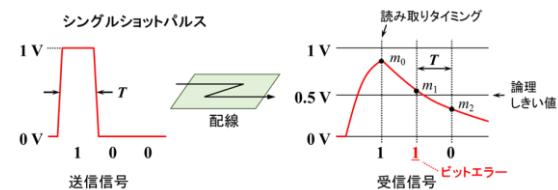


図 11 シングルショットパルスの有損失応答

本研究では、図 9 に示す付加配線(共鳴配線)をセグメントに分けず、その反射現象のみを使って、決定論的な設計手法によって受信端での波形整形を試みる。

基本的なアイデアは、図 12 に示すように、共鳴配線によって発生した反射波(逆相の反射波)を重ね合わせ、アイ開口劣化に影響をおよぼすシンボル間干渉成分である  $m_1$  と  $m_2$  を  $m_1'$  と  $m_2'$  に減少させることである( $m_3$  以降の成分はほぼ 0 であるとして考慮しない)。

具体的には、 $m_2' = 0$  となるように共鳴配線を設計する(条件 1)。一方、 $m_2' = 0$  によってもとのシングルショットパルスの応答である  $m_0'$  も減少してしまう。そこで、 $m_0'$

はできる限り  $m_0' \rightarrow m_0$  となるよう（元の振幅を維持するよう）共鳴配線を設計する（条件2）.

図 13 は、共鳴配線による反射の重ね合わせタイミングを示している. 共鳴配線の特性インピーダンスを  $Z$ , 長さを  $L$ , そして、終端抵抗を  $R$  として、この配線からの反射を時刻  $t=0$ ,  $t=T$ ,  $t=2T$  で重ね合わせることで上述した2つの条件を満足するよう設計を行う. なお  $Z$  と  $R$  は、代数方程式の解として、解析的に特ことができ、 $L$  は、配線の伝播速度から導くこと（全て、決定論的に導くこと）ができる. なお、本手法では、図 11 の受信信号（応答信号）の  $m_0$ ,  $m_1$ ,  $m_2$  を回路シミュレータによって求めている.

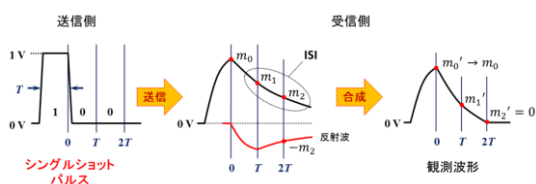


図 12 共鳴配線の反射による波形整形

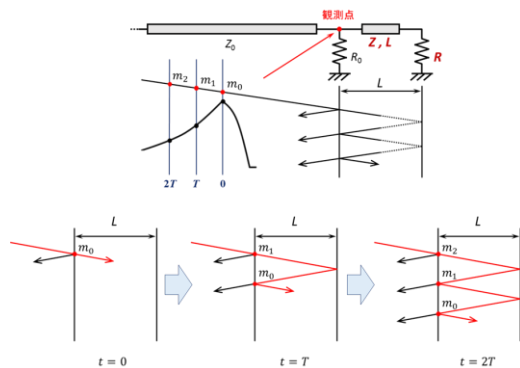


図 13 反射の重ね合わせタイミング

## ② 評価と解析結果

伝送レート 8Gbps, 配線長 75cm のプリント基板配線を対象に設計と評価を行った. 受信点でのアイパターンのシミュレーション結果を図 14 と図 15 に示す. 図 14 は、従来配線のアイパターンであり、図 15 は、共鳴配線を付加した提案手法のアイパターンである.

提案手法では、信号の振幅は減少しているものの（これは、 $m_0'$  の減少による）、アイ開口は大きく改善している. 特に、従来の有損失配線では、アイ開口幅の減少からジッタが非常に大きく、実使用は困難である. 一方、本設計による共鳴配線を付加することで、ジッタは大幅に減少し、アイ開口電圧も十分であり、実使用が可能であることがわかる.

以上の結果を、試作により確かめるため、試作基板を作成した. なお、8Gbps のアイパターンを正確に測定することが困難であったため、スケールアップ設計を行った. スケールアップ比を 12 とし、データレートは 660Mbps, 配線長は 9m とした.

なお、有損失配線については、その誘電損失が周波数の 1/2 乗に比例するため、正確にはスケールアップが成り立たないが、8Gbps の伝送レートを基準にした場合、660Mbps に伝送レートを落とすことで、より、誘電損失の影響が大きくなることから、過小評価にはならない（むしろ、有損失の影響が大きくなる）.

試作基板を実測したところ、従来配線においては、アイ開口はほぼ閉じてしまっており、実使用は困難であった. 一方、提案手法においては、アイ開口電圧 158mV, アイ開口幅 972ps が観測され、実用可能なアイ開口が得られた.

以上の結果から、実測実験においても、本手法の有効性を確認することができた.

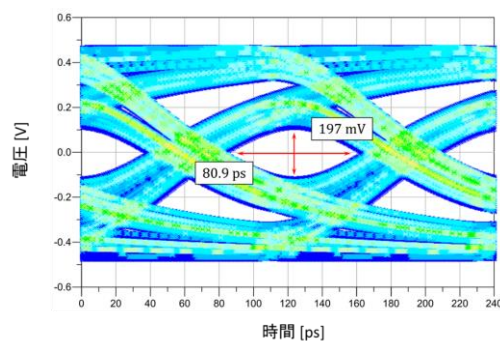


図 14 受信アイパターン（従来配線）

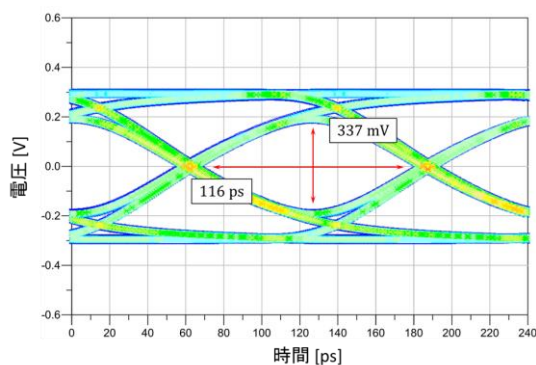


図 15 受信アイパターン（提案手法）

## 5. 主な発表論文等

[雑誌論文] (計 1 件)

- ① [Moritoshi Yasunaga](#) and [Ikuro Yoshihara](#), "An evolutionary design methodology of printed circuit boards for high-speed VLSIs," *Artificial Life and Robotics* (Springer), 査読有り, Vol.21, No.2, pp.171-176, 2016.  
DOI: 10.1007/s10015-016-0266-9

[学会発表] (計 16 件)

- ① [Tetsuya Odaira](#), [Naoki Yokoshima](#), [Ikuro Yoshihara](#), and [Moritoshi Yasunaga](#), "Evolutionary Design of High Signal Integrity

Interconnection Based on Eye-diagram,” Proc. International Symposium on Artificial Life and Robotics 2017 (AROB 22th '17), 査読有り, pp. 535-540, Ooita, Japan, January

② Moritoshi Yasunaga, Naoki Yokoshima, Ikuo Yoshihara, “A Passive Equalizer and Its Design Methodology for Global Interconnects in VLSIs,” Proc. 2016 IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC 2016), 査読有り, 6 pages in USB memory, Tallin, Estonia, September, 2016.

③ Naoki Yokoshima and Moritoshi Yasunaga, “Signal Integrity Improvement Design of Lossy Transmission Line Based on a Single-shot Pulse,” Proceedings of 2016 IEEE Electrical Design of Advanced Packaging & Systems Symposium (EDAPS 2016), 査読有り, pp.149-151, Hawaii, U.S.A, December 2016.

④ Shumpei Matsuoka and Moritoshi Yasunaga, “A High Signal Integrity Interconnect Design Using a Genetic Algorithm and Its Solution Analysis,” Proceedings of 2016 IEEE Electrical Design of Advanced Packaging & Systems Symposium (EDAPS 2016), 査読有り, pp.185-187, Hawaii, U.S.A, December 2016.

⑤ Moritoshi Yasunaga, and Ikuo Yoshihara, “Bio-inspired Design of High-speed Transmission Line -High Signal Integrity Design for Printed Circuit Board Traces in GHz Domain-,” Proc. the Fourth International Conference on Intelligent Systems and Applications (INTELLI)2015, 査読有り, pp. 23-25, St Julian’s, Malta, Oct. 2015.

⑥ Moritoshi Yasunaga, Yusuke Kuribara, Hirofumi Inoue, Ikuo Yoshihara, “Simultaneous Improvement to Signal Integrity and Electromagnetic Interference in High-Speed Transmission Lines -Towards Realization of Branched Traces for High-Speed Data Transfer in PCBs -,” Proc. The IEEE Symposium Series on Computational Intelligence 2015/ International Conference on Evolvable Systems 2015, 査読有り, pp.1236-1243, Captown, South Africa, December 2015.

⑦ Syun Akutsu, Ikuo Yoshihara, and Moritoshi Yasunaga, “An Evolutionary Design Methodology for High Speed Point-to-Point Transmission Line Used in Printed Circuit Boards,” Proc. International Symposium on Artificial Life and Robotics 2016 (AROB 21th '16), 査読有り, pp. 317-321, Ooita, Japan, January 2016.

⑧ Moritoshi Yasunaga, Hiroki Shimada, Shohei Akita, and Ikuo Yoshihara, “Segmental Transmission Line: Its Practical Application -The Optimized PCB Trace Design Using a Genetic Algorithm-,” Proc. The IEEE Symposium Series on Computational Intelligence 2014/ International Conference on Evolvable Systems 2014, 査読有り,

pp.23-30, Orlando, Florida, U.S.A., December 2014.

⑨ Moritoshi Yasunaga, and Ikuo Yoshihara: “An Evolutionary Design Methodology of Printed Circuit Boards for High-speed VLSIs,” Proc. The 20<sup>th</sup> Int’l Symp. on Artificial Life and Robotics 2015 (AROB 20th’15), 査読有り, pp.498-501, Ooita, Japan, January 2015.

〔図書〕 (計 1 件)

① 安永守利, “高速デジタル伝送信号の波形整形技術,” 「電磁波吸収・シールド材料とノイズ・誤動作対策 第7章第2節」 (10ページ予) 技術情報協会, 2016年9月.

〔産業財産権〕

出願状況 (計 0 件)

取得状況 (計 0 件)

〔その他〕

ホームページ等

<http://islab.cs.tsukuba.ac.jp/~yasunaga/>

## 6. 研究組織

### (1)研究代表者

安永 守利 (YASUNAGA, Moritoshi)  
筑波大学・システム情報系・教授  
研究者番号 : 80272178

### (2)連携研究者

吉原 郁夫 (YOSHIHARA, Ikuo)  
宮崎大学・工学部・名誉教授  
研究者番号 : 20322315

金澤 健治 (KANAZAWA, Kenji)  
筑波大学・システム情報系・助教  
研究者番号 : 40707874

### (3)研究協力者

大本 健一郎 (OHMOTO, Kenichiro)

監物かおり (KENMOTSU, Kaori)

横島 直樹 (YOKOSHIMA, Naoki)

阿久津 駿 (AKUTSU, Shun)

大平 哲也 (OHDAIRA, Tetsuya)