

T. Prov. 24/43
T 10/52

UNIVERSIDAD DE GRANADA
FACULTAD DE CIENCIAS



Departamento de Electrónica
y Tecnología de Computadores

SIMULACIÓN Y MODELADO
DE TRANSISTORES MOS
DE DOBLE PUERTA

TESIS DOCTORAL

Pedro Cartujo Cassinello

2000



UNIVERSIDAD DE GRANADA
Facultad de Ciencias
Fecha ...28/06/00.....
ENTRADA NUM. 2115.....

Departamento de Electrónica
y Tecnología de Computadores

D. Juan Antonio López Villanueva, Profesor Titular del Departamento de Electrónica
y Tecnología de Computadores de la Universidad de Granada.

CERTIFICA:

Que el trabajo de investigación que se recoge en la presente Memoria, titulada *Simulación y Modelado de Transistores MOS de Doble Puerta*, y presentada por **D. Pedro Cartujo Cassinello** para optar al grado de Doctor en Ciencias Físicas, ha sido realizado en su totalidad bajo su dirección en el Departamento de Electrónica y Tecnología de Computadores de la Universidad de Granada.

Granada, 13 de Junio, 2000

Fdo. D. Juan Antonio López Villanueva
Profesor del Departamento de Electrónica
Universidad de Granada

UNIVERSIDAD DE GRANADA
19 JUN. 2000
COMISION DE DOCTORADO

A mis padres

A Vanessa

AGRADECIMIENTOS.

Quiero expresar mi más sincero agradecimiento a todas las personas que de alguna forma han contribuido en la realización de esta tesis doctoral.

A mi director, D. Juan Antonio López Villanueva, por su esfuerzo y dedicación. Por haberme propuesto este interesante trabajo. Por su inestimable ayuda que siempre me prestó. Por la confianza en mí depositada.

A D. Pedro Cartujo Estébanez, mi padre, Catedrático de Electrónica y Director del Departamento de Electrónica y Tecnología de Computadores, por su continuo apoyo tanto en el plano personal como el profesional, por haber puesto a mi disposición todos los medios necesarios para la realización de este trabajo.

A D. Juan Enrique Carceller Beltrán, Catedrático de Electrónica, por su apoyo y constante asesoramiento.

A D. Francisco Gámiz Pérez, por su desinteresada ayuda y por proporcionarme muchos de los resultados que aparecen en este trabajo. Por las interesantes discusiones mantenidas.

A D. Jesús Banqueri Ozaez, por haberme iniciado en la investigación. La experiencia adquirida en ese periodo ha sido luego fundamental a la hora de abordar este trabajo.

Al resto de componentes del Grupo de Investigación en Dispositivos Electrónicos (GRIDE) del Departamento de Electrónica: D. Juan Antonio Jiménez Tejada, D. Alberto Palma López, D. Juan Bautista Roldán Aranda, D. Andrés Godoy Medina, D. Salvador Rodríguez Bolívar, D. Francisco Jiménez Molinos, D. Valentín Tijeras García, D. Ignacio Melchor Ferrer y a D. Yassir Ghailan, por su ayuda y apoyo.

A mi madre, a mis familiares y amigos que siempre me han animado y ayudado durante tantos años.

ÍNDICE

1	INTRODUCCIÓN: PLANTEAMIENTO Y OBJETIVOS	1
1.1	EL MOSFET DE DOBLE PUERTA (DGMOST):.....	1
1.2	RESULTADOS EXPERIMENTALES Y DE SIMULACIÓN EN DIFERENTES LABORATORIOS.	9
1.2.1	<i>MUESTRAS EXPERIMENTALES.</i>	9
1.2.2	<i>RESULTADOS DE SIMULACIÓN.</i>	18
1.3	OBJETIVOS Y METODOLOGÍA:.....	21
2	LA ESTRUCTURA MOSOM (METAL-ÓXIDO-SEMICONDUCTOR- ÓXIDO-METAL)	25
2.1	DESCRIPCIÓN DE LA ESTRUCTURA	25
2.1.1	<i>INTRODUCCIÓN.</i>	25
2.1.2	<i>REGIONES DE OPERACIÓN.</i>	27
2.1.2.1	DEPLEXIÓN PARCIAL. DOS CANALES INDEPENDIENTES	27
2.1.2.2	DEPLEXIÓN TOTAL.....	28
2.1.2.3	INVERSIÓN EN VOLUMEN.....	28
2.1.3	<i>CURVATURAS DE BANDAS.</i>	30

2.2 RESOLUCIÓN DE LAS ECUACIONES UNIDIMENSIONALES DE POISSON Y SCHRÖDINGER	41
2.2.1 ECUACIÓN DE POISSON CLÁSICA.....	41
2.2.2 ECUACIÓN DE SCHRÖDINGER. CUANTIZACIÓN.....	43
2.2.3 MÉTODO DE RESOLUCIÓN.....	48
2.2.4 NO PARABOLICIDAD.....	49
2.2.5 RESULTADOS.....	51
2.2.5.1 SUBBANDAS DE ENERGÍA Y FUNCIONES DE ONDA	52
2.2.5.2 DISTRIBUCIÓN DE ELECTRONES CON Y SIN INVERSIÓN EN VOLUMEN	54
2.2.5.3 POTENCIALES CENTRAL Y DE SUPERFICIE. COMPARACIÓN ENTRE LOS CASOS CLÁSICO Y CUÁNTICO	65
2.2.5.4 CARGA EN INVERSIÓN. PENDIENTE SUBUMBRAL.....	69
2.2.5.5 CENTROIDE DE LA DENSIDAD DE CARGA	74
2.3 LA TENSIÓN UMBRAL.....	77
2.3.1 MÉTODOS DE DEFINICIÓN DE LA TENSIÓN UMBRAL.....	77
2.3.1.1 MODELO DE FUJITSU	79
2.3.1.1.1 DESCRIPCIÓN BREVE DEL MODELO.....	80
2.3.1.1.2 HIPÓTESIS Y APROXIMACIONES	81
2.3.1.1.3 POTENCIALES CENTRAL Y DE SUPERFICIE.....	82
2.3.1.1.4 DEFINICIÓN DE TENSIÓN UMBRAL	83

2.3.1.2	MODELO DE LOVAINA.....	85
2.3.1.2.1	DESCRIPCIÓN BREVE DEL MODELO.....	85
2.3.1.2.2	HIPÓTESIS Y APROXIMACIONES	86
2.3.1.2.3	DEFINICIÓN DE TENSIÓN UMBRAL	88
2.3.2	<i>MÉTODOS DE DEFINICIÓN UTILIZADOS EN NUESTRO ESTUDIO.</i> <i>RESULTADOS.....</i>	89
2.3.2.1	DEPENDENCIA CON EL ESPESOR DE LA LÁMINA DE SILICIO. DISTINTAS REGIONES	91
2.3.3	<i>COMPARACIÓN CON OTROS MÉTODOS DE DEFINICIÓN DE LA</i> <i>TENSIÓN UMBRAL</i>	94
2.3.3.1	COMPARACIÓN CON EL MODELO DE FUJITSU.....	94
2.3.3.1.1	TENSIÓN UMBRAL EN FUNCIÓN DEL ESPESOR t_{si} PARA DISTINTOS ξ	95
2.3.3.1.2	TENSIÓN UMBRAL EN EL CASO PARTICULAR $t_{si}/t_{ox} = 10$	97
	EN FUNCIÓN DE t_{si} PARA AJUSTAR VALORES NUMÉRICOS	99
2.3.3.1.4	POTENCIAL DE SUPERFICIE Y CENTRAL.....	102
2.3.3.2	COMPARACIÓN CON EL MODELO DE LOVAINA	105

3 COMPARACIÓN ENTRE UN MOSFET CONVENCIONAL Y UN MOSFET DE DOBLE PUERTA. EFECTOS Y MODELADO DEL CENTROIDE DE LA LÁMINA DE INVERSIÓN	109
3.1 INTRODUCCIÓN.....	109
3.2 CANALES INDEPENDIENTES	111
3.2.1 EFECTOS DEL CENTROIDE SOBRE LA CURVA CARGA-TENSION .	113
3.2.2 MODELADO DEL CENTROIDE DE LA CAPA DE INVERSIÓN	120
3.2.3 EFECTOS DEL CENTROIDE SOBRE LA CURVA CAPACIDAD-TENSIÓN.....	128
3.3 CANALES PRÓXIMOS: INVERSIÓN EN VOLUMEN	134
3.3.1 EFECTOS DEL CENTROIDE SOBRE LA CARGA EN INVERSIÓN.....	134
3.3.2 COMPARACIÓN ENTRE UN MOSFET DE PUERTA SIMPLE Y UN DGMOST EN INVERSIÓN EN VOLUMEN.....	139
3.3.3 MODELADO DEL CENTROIDE DE LA CAPA DE INVERSIÓN	146
3.4 LA ESTRUCTURA MOSOM ASIMETRICA	149
3.4.1 ANALISIS DE LA ESTRUCTURA	149
3.4.2 ESTRUCTURA MOSOM CON DIFERENTES ESPESORES DE ÓXIDO	154
3.4.2.1 DISTRIBUCIÓN DE ELECTRONES	155
3.4.2.2 CARGA EN INVERSIÓN.....	159
3.4.2.3 TENSIÓN UMBRAL	164
3.4.2.4 CENTROIDE DE LA CAPA DE INVERSIÓN.....	165

3.4.3	<i>ESTRUCTURA MOSOM CON DIFERENTES MATERIALES DE PUERTA</i>	167
3.4.3.1	DISTRIBUCIÓN DEL POTENCIAL	168
3.4.3.2	DISTRIBUCIÓN DE ELECTRONES	169
3.4.3.3	TENSIÓN UMBRAL	171
3.4.3.4	CARGA EN INVERSIÓN	174
3.4.3.5	CENTROIDES	175
4	EL DGMOST EN OPERACIÓN SUBUMBRAL. LONGITUD MÍNIMA DEL CANAL	177
4.1	INTRODUCCIÓN	177
4.2	ESCALADO DEL TRANSISTOR SOI DE PUERTA SIMPLE	181
4.3	ESCALADO DEL DGMOST $P^+ - P^+$	186
4.4	ESCALADO DEL DGMOST $P^+ - N^+$	201
5	ESTUDIO DE LA MOVILIDAD DE LOS ELECTRONES EN EL CANAL DE UN DGMOST	207
5.1	INTRODUCCIÓN	207
5.2	TRANSPORTE EN UNA LÁMINA DE INVERSIÓN SEMICONDUCTORA ..	216
5.2.1	<i>PROCESOS DE DERIVA</i>	216
5.2.2	<i>PROCESOS DE DISPERSIÓN</i>	219
5.2.3	<i>DISPERSIÓN POR FONONES</i>	222

ÍNDICE

5.2.3.1 TRANSICIONES ACÚSTICAS INTRAVALLE	222
5.2.3.2 TRANSICIONES ÓPTICAS INTRAVALLE.....	223
5.2.3.3 TRANSICIONES INTERVALLE.....	223
5.2.4 <i>DISPERSIÓN CULOMBIANA</i>	224
5.2.5 <i>DISPERSIÓN POR RUGOSIDAD SUPERFICIAL</i>	225
5.3 SIMULACIÓN POR EL MÉTODO DE MONTE CARLO	226
5.4 MODELO DE RUGOSIDAD SUPERFICIAL PARA DISPOSITIVOS SOI.	229
5.5 RESULTADOS	237
5.5.1 <i>RESULTADOS PARA TRANSISTORES SOI DE PUERTA SIMPLE</i>	237
5.5.2 <i>RESULTADOS PARA TRANSISTORES DE DOBLE PUERTA</i>	245
5.5.2.1 MOVILIDAD LIMITADA POR LA DISPERSIÓN CULOMBIANA	245
5.5.2.2 MOVILIDAD LIMITADA POR FONONES	247
5.5.2.3 MOVILIDAD LIMITADA POR RUGOSIDAD SUPERFICIAL	250
5.5.2.4 MOVILIDAD TENIENDO EN CUENTA TODOS LOS EFECTOS DE DISPERSIÓN	254
5.5.2.5 COMPARACIÓN DE LA MOVILIDAD DE UN MOSFET DE DOBLE PUERTA CON UN MOSFET SOI DE PUERTA SIMPLE.....	258
5.5.2.6 COMPARACIÓN DE LA MOVILIDAD DE UN MOSFET DE DOBLE PUERTA CON UN MOSFET CONVENCIONAL	264
CONCLUSIONES.....	267
BIBLIOGRAFÍA	275

CAPÍTULO I:

1 INTRODUCCIÓN: PLANTEAMIENTO Y OBJETIVOS

1.1 EL MOSFET DE DOBLE PUERTA (DGMOST):

A pesar del crecimiento exponencial continuo que se ha producido en la tecnología CMOS durante las tres últimas décadas, en las que se ha seguido cumpliendo la ley de Moore, existen muchos datos que hacen pensar que se alcanzarán límites físicos fundamentales en el futuro próximo [Wong et al., 99]. Las innovaciones tecnológicas que se han ido introduciendo hasta la fecha han permitido superar muchos obstáculos haciendo posible la fabricación de transistores con dimensiones características del orden de unos 100 nm, con prestaciones razonablemente buenas. Esto ha hecho que la tecnología CMOS sea, hoy día, la dominante en la industria electrónica. No obstante, aunque esta tendencia de perfeccionamiento tecnológico parece mantenerse en la actualidad, se han puesto de manifiesto nuevos problemas que amenazan el futuro de esta tecnología y que parecen predecir una reducción del ritmo de crecimiento hasta alcanzar una saturación en la próxima década. Entre estos inconvenientes podemos mencionar los siguientes:

- i) Dificultades en la aplicación de la litografía óptica, que utiliza luz de longitud de onda mínima de unos 193 nm, para tratar con dimensiones inferiores a 100 nm.
- ii) Corrientes túnel a través de los óxidos de puerta, una vez que éstos alcanzan espesores inferiores a 2 nm. De hecho se ha sugerido que el límite mínimo posible para un comportamiento aislante es de unos 1.2 nm [Muller et al, 99; Schulz, 99].

- iii) Excesiva concentración de impurezas en las regiones de carga espacial, que ha motivado la introducción de técnicas sofisticadas como el crecimiento de capas epitaxiales débilmente impurificadas sobre substratos altamente dopados.
- iv) Mantenimiento de la carga almacenada en las celdas de memoria, una vez que el área utilizada para las capacidades se ha hecho excesivamente pequeña al aproximarnos a la generación “gigabit”, que plantea problemas incluso con las estructuras tridimensionales profundas o con los apilamientos conductor-dieléctrico.
- v) Fluctuaciones aleatorias de las propiedades del dispositivo, causadas principalmente por la dispersión del número de impurezas dopantes en las zonas de carga espacial, con consecuencias muy negativas sobre la tensión umbral, entre otros parámetros.
- vi) Dificultades para el uso de bajas tensiones de alimentación, necesarias para conseguir un bajo consumo de potencia, que se hace imprescindible si se desea integrar centenas de millones de transistores en un mismo “chip”.
- vii) Y la excesiva proximidad de las impurezas de las regiones de drenador, fuente, e incluso de la propia puerta, a los portadores de carga en el canal, con la consiguiente reducción en la movilidad de éstos y en la transconductancia del dispositivo.

En este panorama, se han propuesto diversas estructuras que aprovechan el alto grado de desarrollo de la tecnología de silicio actual, pero que incorporan modificaciones significativas que podrían permitir la superación parcial de algunos de estos problemas, manteniendo así el avance en la complejidad de los circuitos integrados durante un periodo mayor de tiempo. Entre estas estructuras novedosas se

encuentran los transistores MOS de doble puerta.

El transistor MOS de silicio de doble puerta (DGMOST), propuesto en 1984 [Sekigawa et al., 1984], consiste básicamente en una lámina delgada de silicio monocristalino, muy débilmente dopado, que conecta dos regiones de fuente y drenador situadas en sus extremos, y que está separado de dos puertas de control, una de ellas llamada frontal y la otra llamada posterior, por dos láminas delgadas de óxido de puerta. Un corte de esta estructura se representa en la Figura 1.

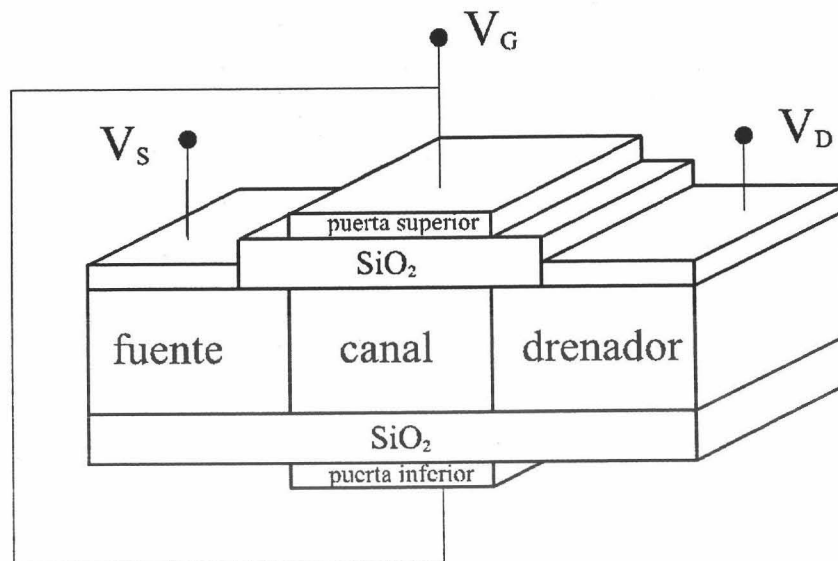


Fig. 1: Dibujo del MOSFET SOI de Doble Puerta.

En cierta forma se podría considerar al DGMOST como un tipo particular de transistor MOS en tecnología SOI ("Silicon On Insulator"), ya que en esta tecnología la lámina activa de silicio está separada del sustrato mediante una capa de óxido enterrado, con lo que el sustrato podría desempeñar el papel de puerta posterior. Sin embargo, esta puerta posterior sería común para todos los dispositivos y, además, el óxido enterrado suele ser mucho más grueso que el óxido frontal de puerta, ejerciendo menor influencia en las propiedades de transporte del canal, mientras que en el DGMOST los dos óxidos tienen el mismo espesor, y las dos puertas suelen estar interconectadas entre sí e independientemente del resto de los dispositivos, lo que les confiere a los dos tipos

de transistores diferentes propiedades. No obstante, se puede afirmar que el DGMOST combina las características de un transistor SOI en deplexión total con las ventajas que aporta la disponibilidad de una segunda puerta de control, a cambio de una mayor complejidad tecnológica. Veamos esto en detalle:

Un transistor SOI en deplexión total consiste en una lámina delgada de silicio débilmente dopado, que conecta las regiones de fuente y drenador, y aislado por dos láminas de óxido. Una de ellas es el óxido de puerta, que separa la lámina de silicio que va a albergar al canal de la puerta frontal de control, y la otra es el óxido enterrado, que separa a la lámina de silicio del substrato. Para que opere en deplexión total es necesario que la lámina de silicio sea delgada, y poco dopada, de manera que la zona de carga espacial situada debajo del óxido de puerta llegue a alcanzar a la interface silicio-óxido posterior, quedando toda la capa de silicio vacía de portadores mayoritarios, lo que justifica la denominación “fully depleted” que se da a esta estructura.

Varias son las ventajas del transistor SOI en deplexion total. En este dispositivo no es necesario colocar una concentración de dopante precisa en el canal, ya que la extensión de la zona de carga espacial está limitada por el óxido posterior y no por la distribución de la concentración de impurezas. En particular, la densidad de impurezas en la región del canal puede ser muy baja con la consecuente reducción en la dispersión culombiana de los portadores de carga. Esto alivia el inconveniente (iii) antes mencionado. También reduce el problema de las fluctuaciones del número discreto de las impurezas dopantes, descrito en el punto (v). Finalmente, al estar fijada la carga de deplexión, también crece la pendiente de la curva de corriente en la región subumbral, alcanzándose un valor próximo al ideal [Colinge, 1986], lo que posibilita el diseño de dispositivos con tensiones umbrales inferiores, y, en consecuencia, con tensiones de alimentación más reducidas, solventándose el problema comentado en el punto (vi). La necesidad de un perfil lateral muy abrupto de la concentración de impurezas dopantes aún permanece en estas estructuras.

Los transistores MOS SOI en depleción total disfrutan también de las cualidades de los dispositivos SOI en general, como son el aislamiento lateral y menores capacidades parásitas, que se traducen en una mayor velocidad, y su tolerancia a las radiaciones [Colinge et al, 1996], [Balestra et al, 1987]. No surge, en cambio, el problema del efecto "kink", que es uno de los principales inconvenientes de los transistores SOI que operan en depleción parcial [Yoshimi et al, 1989], [Wang et al, 1994].

Pero no todo son ventajas: como contrapartida, el uso de una lámina de silicio delgada incrementa la resistencia serie parásita del dispositivo y plantea problemas de autocalentamiento al quedar la capa de silicio, en la que se genera el calor por efecto Joule, separada por dióxido de silicio, que tiene una menor conductividad térmica que el silicio. Este aumento de la temperatura produce, a su vez, una disminución en la movilidad [Roldán et al., 1999].

Todas las propiedades del transistor SOI de puerta simple "fully depleted" son compartidas por el DG MOST en depleción total. Pero, además, la presencia de la segunda puerta de control aporta ventajas adicionales en la operación de estos dispositivos. Una de ellas se debe al mayor apantallamiento de la región de canal por ambas puertas, haciendo que la influencia del drenador sea inferior, al no penetrar en el interior del canal las líneas de fuerza con origen en el drenador tanto como lo hacen en las otras estructuras de transistor, incluidas los SOI de puerta simple. Esto produce una disminución importante en los efectos de canal corto, permitiendo el diseño de transistores con longitudes de canal más reducidas [Frank et al, 92; Wind et al, 96]. La reducción de la longitud del canal puede tener también consecuencias beneficiosas como es la entrada en el régimen de transporte balístico, en particular la aparición del fenómeno de sobredisparo ("overshoot") de la velocidad [Eaton et al., 1978]. Este efecto puede aumentar la transconductancia del transistor [Roldán et al., 1997], [Roldán et al., 1998], o, al menos, oponerse a los otros mecanismos físicos que tienden a reducirla, obteniéndose el beneficio de una mayor velocidad de conmutación

[El-Mansy et al., 1977], [Sasaki, 1981], [Lim et al., 1984]. Además, el DGMOST permanece en depleción total a temperaturas más altas que los SOI de una sola puerta con el mismo espesor de silicio, y el aislamiento térmico es menor ya que los dos óxidos son delgados, siendo menos graves, por tanto, los efectos de autocalentamiento.

Otra ventaja aportada por la segunda puerta es el mayor flujo de corriente en el canal y, en consecuencia, el aumento de la transconductancia. Si la lámina de silicio es suficientemente delgada como para alcanzar la situación de depleción total, pero no demasiado, de manera que las capas de inversión que se generan debajo de cada puerta son independientes, se conseguiría así un transistor con dos canales idénticos en paralelo. Este transistor es capaz de aportar el doble de corriente, o bien de aportar la misma corriente reduciendo a la mitad la anchura, pudiendo duplicar de esa manera el nivel de integración.

Se ha propuesto que es posible ganar aun más del doble en el incremento de corriente gracias a la llamada “inversión en volumen” [Balestra et al., 1987]. Esta situación se produce cuando la lámina de silicio es aun más delgada de manera que se solapan parcialmente las dos capas de inversión asociadas a las dos puertas. El confinamiento de los electrones en un pozo de potencial estrecho, impuesto por las dos interfaces óxido-silicio, hace que los electrones se distribuyan ocupando todo el volumen de la lámina de silicio. En una interpretación inicial demasiado simplificada, se sugirió que la distribución en toda la lámina en lugar de hacerlo en sólo las interfaces era ya causa de un mayor incremento en la corriente de estos dispositivos [Balestra et al., 1987]. No obstante, las ventajas que caben esperar de la inversión en volumen fueron ya fuente de controversia entre diferentes autores [Balestra et al., 1987; Venkatesan et al., 1992a; Balestra et al., 1992; Venkatesan et al., 1992b]: Balestra y colaboradores predijeron mejoras en un factor de 2.5 a 3 en la corriente de drenador y transconductancia de un transistor SOI de doble puerta en inversión en volumen en comparación con los resultados obtenidos para un transistor SOI de puerta simple. Sin embargo, [Venkatesan et al., 1992a] analizan el comportamiento de un transistor de

doble puerta con una lámina de silicio de 100 nm de espesor mediante el simulador clásico "PISCES IIB", y únicamente predicen mejoras en la transconductancia y en la corriente inferiores al 10%. Argumentan que para comparar adecuadamente las dos estructuras hay que tener en cuenta también el desplazamiento de la tensión umbral de un transistor con respecto a la del otro, realizando la comparación para un mismo valor de la diferencia entre la tensión de puerta y la tensión umbral, $V_G - V_{TH}$. Además, razonan que aunque la movilidad en el centro de la lámina sea mayor que en las interfaces, aproximadamente el triple, la concentración de portadores minoritarios en fuerte inversión, en el centro, es tres ordenes de magnitud menor que en los extremos y por tanto la contribución de la corriente de los portadores de la zona central es muy pequeña, y concluyen que para que los efectos de la inversión en volumen sean notables se requerirían espesores de lámina de silicio menores o iguales a 20nm.

En cualquier caso, las conclusiones extraídas a partir de la distribución de portadores minoritarios calculada mediante un simulador clásico no deben ser aceptadas, al menos en fuerte inversión, ya que los resultados de estos simuladores no son válidos, ni siquiera desde un punto de vista cualitativo, como se pondrá de manifiesto a lo largo de la presente memoria. La relación entre la densidad de electrones en el centro de la lámina de silicio y en la proximidad de las interfaces, en función del espesor de dicha lámina, requiere un estudio más detallado de la distribución electrónica. Además, de la forma concreta de esta distribución dependen muchas de las propiedades esperables de la situación de inversión en volumen. En particular, la distancia de los electrones a las interfaces es decisiva en la determinación de los efectos de la dispersión coulombiana debida a las cargas próximas a las interfaces óxido-silicio y de la dispersión por la rugosidad de dichas interfaces.

En resumen, las ventajas que cabría esperar de un DGMOST son: mayor transconductancia, menores efectos de canal corto, y menor tamaño. La mayor transconductancia sería debida al aumento de la movilidad esperado por la reducción del dopado en la lámina de silicio, por una parte, y al alejamiento de los electrones de las

interfaces disminuyendo así el efecto de las cargas presentes en las mismas y de la rugosidad superficial, por otra parte. Los menores efectos de canal corto se deben al efecto de apantallamiento producido por la segunda puerta, y permiten reducir más la longitud del canal aumentando de nuevo la transconductancia, más aun si se produce "overshoot" de la velocidad. El menor tamaño se debe, además de a la posible reducción de la longitud del canal, a la posibilidad de disminuir también su anchura, ya que la disposición de dos canales en paralelo permite hacerlo sin perder capacidad de aportar corriente. En contra de esto podríamos citar la tendencia a la disminución de la transconductancia extrínseca debido a los efectos de la mayor resistencia serie y al autocalentamiento, y, como principal inconveniente, las complicaciones tecnológicas que acarrearán estas estructuras, que requieren pasos adicionales de proceso tecnológico, y las dificultades en la alineación de las dos puertas cuando se manejan dimensiones tan pequeñas.

1.2 RESULTADOS EXPERIMENTALES Y DE SIMULACIÓN EN DIFERENTES LABORATORIOS.

Desde su propuesta hasta la actualidad, el DGMOST ha despertado el interés de numerosos investigadores, y son ya varios los prototipos desarrollados en laboratorio que han demostrado una operación satisfactoria. Por otra parte, antes de desarrollar de forma masiva una tecnología con las complicaciones que presenta la fabricación de estos transistores, es muy conveniente asegurarse de cuáles son sus verdaderas ventajas, para lo que se requieren simulaciones numéricas lo más realistas y exactas que sea posible. En este apartado pretendemos presentar una visión panorámica de la situación actual, tanto en lo que se refiere al desarrollo de muestras experimentales como a los resultados de simulación.

1.2.1 MUESTRAS EXPERIMENTALES.

La estructura que permite conseguir láminas delgadas de silicio, con posibilidad de alcanzar el régimen de inversión en volumen, es el DGMOST horizontal realizado con diferentes variantes de la tecnología planar, bien con dos puertas independientes, aunque interconectadas, o con una metalización de puerta única que rodea a toda la lámina de silicio. Diferentes realizaciones prácticas de esta estructura se describen a continuación.

Uno de los primeros transistores MOS de este tipo, con excelentes propiedades, fue el GAA (“Gate-All-Around”), presentado en 1990 [Colinge et al, 1990]. Para la fabricación de este transistor se parte de una oblea SOI, en concreto, obtenida por el procedimiento SIMOX, en la cual se define una isla alargada de silicio sobre el óxido enterrado, mediante ataque del resto. Seguidamente se elimina parte del óxido enterrado debajo de la isla, definiendo una cavidad que se va a utilizar para crecer toda la puerta.

La estructura resultante se muestra en la figura 2, y sus curvas características en la figura 3:

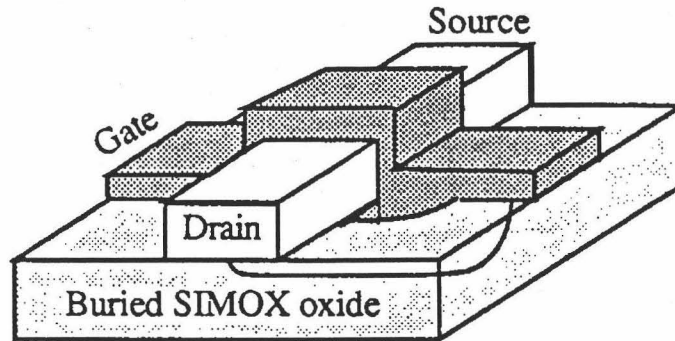


Fig. 2: Vista del transistor GAA (Gate All Around) propuesto por [Colinge et al, 1990].

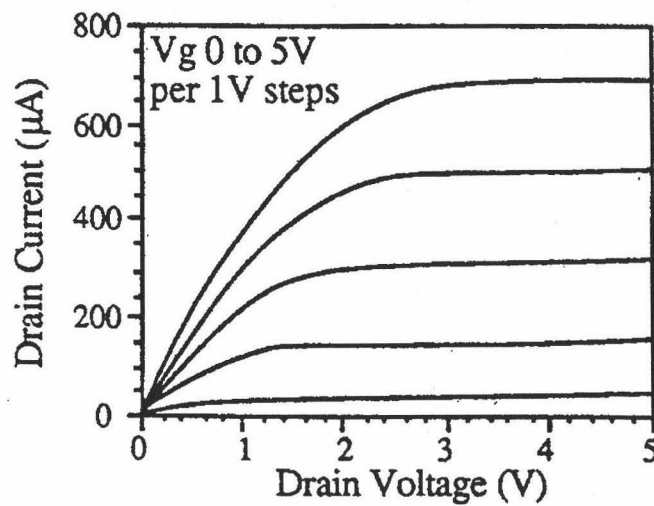


Fig. 3: Curvas características de salida I_D - V_D del transistor GAA.

En este dispositivo todo el óxido que rodea a la lámina de silicio es óxido de puerta, de alta calidad. Al no existir contacto con óxido de campo ni óxido enterrado, ofrecen una excelente dureza ante radiaciones y SEU ("Single Event Upset"), siendo la inevitable creación de estados de interface el único mecanismo de degradación observado. En cuanto a la fabricación, el proceso del GAA es sencillo (solo hay que

añadir dos pasos más con respecto al proceso del SOI convencional: un paso de litografía y una cavidad “etch”). Las curvas características muestran un buen comportamiento, con una transconductancia considerablemente mayor de la que se observa para un transistor SOI de puerta simple de la misma anchura. El problema de si la transconductancia es solamente el doble (lo que se obtendría con dos canales independientes) o es mayor, no se puede considerar totalmente resuelto, ya que es difícil hacer comparaciones experimentales manteniendo exactamente las mismas condiciones en los dos tipos de estructuras. Aunque los investigadores que desarrollaron el GAA ([Colinge et al., 1990]) afirman que se obtiene un factor tres de mejora en la corriente de drenador y entre 2.5 y 3.5 en la transconductancia, para la misma diferencia $V_G - V_{TH}$, con respecto a un transistor de puerta simple, [Venkatesan et al., 1992b] explican que esta comparación no es muy fiable ya que los espesores del transistor GAA y el de puerta simple utilizados no son iguales y sus anchuras tampoco (el GAA es más ancho, debido a las zonas laterales de la lámina de silicio que también conducen corriente), y, además, el transistor GAA está en depleción total mientras que el de puerta simple está en depleción parcial, siendo parte de la mejoras debidas a la diferencia entre depleción parcial y total [Sturm et al., 1988b]. Según esto, el incremento del 50% en la corriente y en la transconductancia no podría atribuirse totalmente a la inversión en volumen.

Investigadores de Fujitsu también presentaron en 1991 un transistor de doble puerta con buenas prestaciones [Tanaka et al., 1991]. En este caso se usó la técnica de “soldadura de oblea” con la que se consiguió un transistor con puertas de polisilicio p^+ con una longitud de puerta de $0.17\mu\text{m}$ y un espesor de la lámina de silicio de 60nm . La estructura resultante y detalles de su fabricación se muestran en la figura 4, y las curvas características conseguidas se representan en la figura 5.

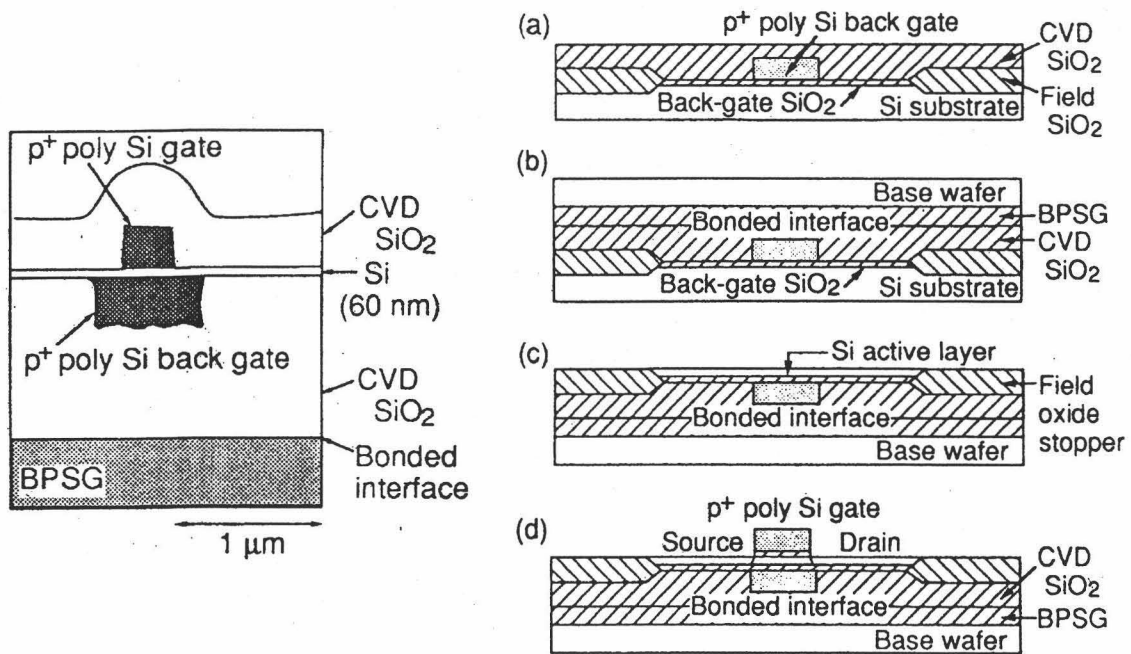


Fig. 4: Estructura DGMOST propuesta por [Tanaka et al., 1991]. Detalle de su fabricación a la derecha.

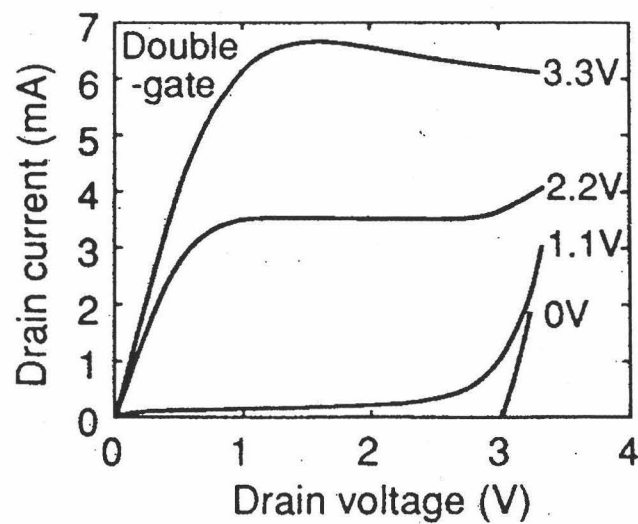


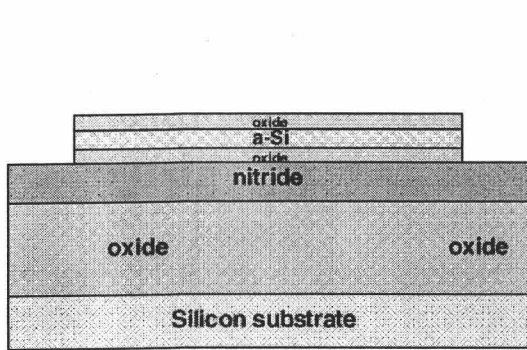
Fig. 5: Curvas características de salida para el DGMOST propuesto por [Tanaka et al., 1991]

Aparte del buen comportamiento de las curvas características, el incremento conseguido en la transconductancia con respecto al factor 2 parece ser de sólo el 10%,

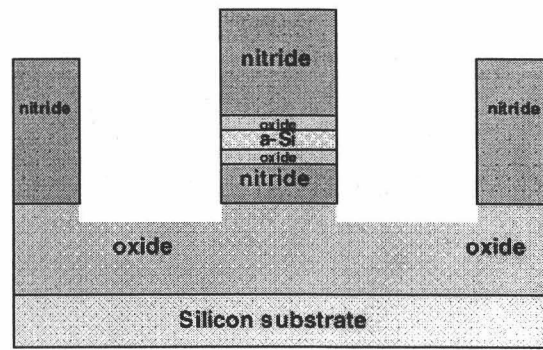
y, además, se aprecia un decrecimiento para altas tensiones de puerta, que ha sido explicado como un efecto del autocalentamiento [Su et al, 1997].

Estructuras similares han sido desarrolladas también por otros autores. [Vekatesan et al., 1992a] utilizan la técnica de sobrecrecimiento epitaxial lateral de silicio (ELO) sobre una puerta oxidada de polisilicio, y [Tanaka et al., 1994] utilizan la misma técnica de [Tanaka et al., 1991] para fabricar DGMOSTs con puertas de diferente material, una puerta de polisilicio tipo p^+ y otra tipo n^+ con un espesor de lámina de silicio de 40nm y una longitud de puerta de $0.19\mu\text{m}$, con el fin de conseguir tensiones umbrales menores de un voltio, cuyo valor depende de la relación entre el espesor de óxido y de silicio que se elijan. Con estos transistores dicen haber conseguido una gran velocidad de operación, con retardos entre 20 y 40 picosegundos, inferiores a los de un MOSFET convencional de $0.15\mu\text{m}$ de puerta que se utiliza como referencia.

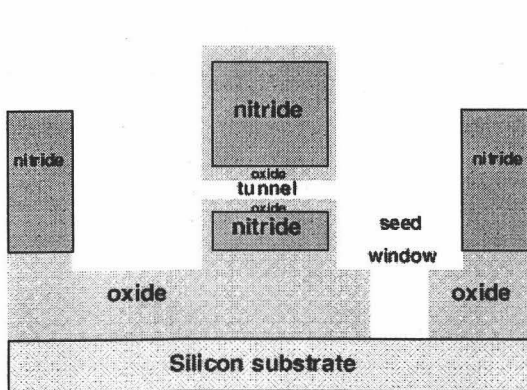
Más recientemente, investigadores de IBM ([Wong et al., 1997]) presentan una técnica de fabricación de DGMOSTs con las dos puertas autoalineadas, mediante crecimiento de un canal amorfo y recristalización posterior. Esta técnica puede resolver algunos problemas tecnológicos ya que la falta de alineamiento puede causar una capacidad de solapamiento puerta-fuente y puerta-drenador extra y pérdida de capacidad de corriente del dispositivo. El proceso de fabricación y la estructura resultante se muestran en la figura 6, y las curvas características conseguidas con esta estructura se presentan en la figura 7.



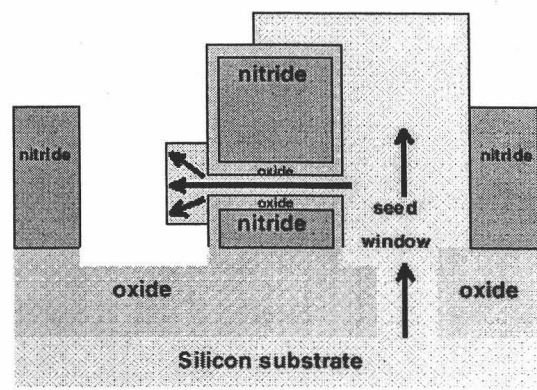
(a)



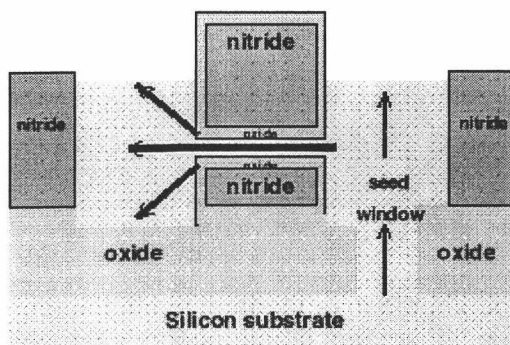
(b)



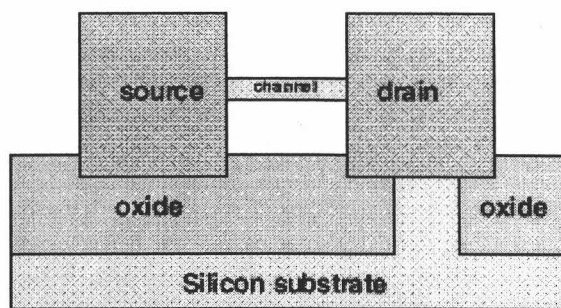
(c)



(d)



(e)



(f)

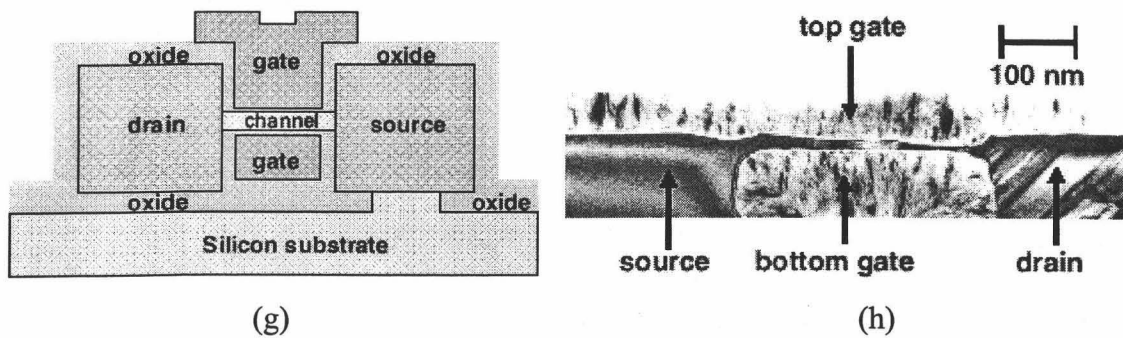


Fig. 6 (a)-(f): Proceso de fabricación del transistor DG MOST autoalineado propuesto por [Wong et al., 1997]. (g), (h): Estructura resultante.

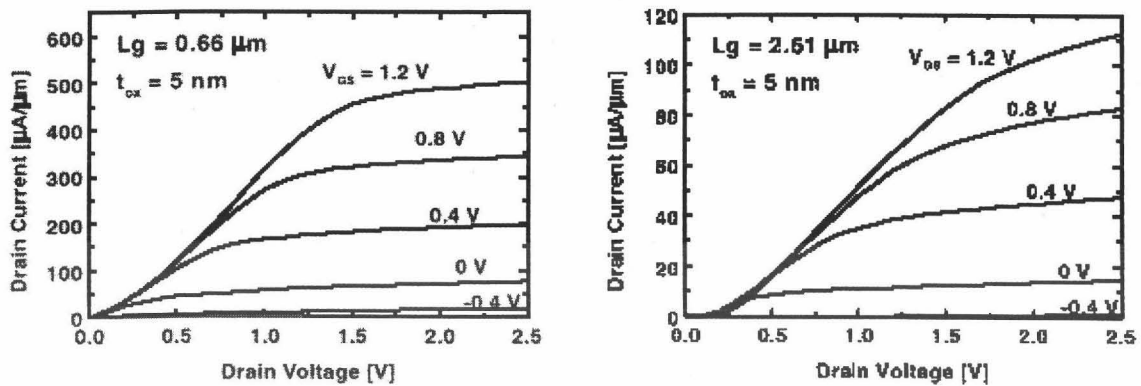


Fig. 7: Curvas características de salida I_D - V_G del transistor DG MOST propuesto por [Wong et al., 1997] para dos longitudes de puerta. L_g es la longitud de canal de máscara.

Además de las estructuras horizontales descritas, se han diseñado también otros dispositivos, en cierta forma similares a los anteriores, en los cuales las puertas se disponen verticalmente, bien con el canal paralelo a la superficie de la oblea o bien con el canal perpendicular a la misma. El primer tipo de estructuras se conoce como DELTA, y consiste en una capa de silicio vertical rodeada por la puerta por encima y por los lados [Hisamoto et al., 1989, 1991]. Para aislar totalmente la lámina de silicio, se permite el crecimiento de algún óxido por debajo de la pared vertical por el efecto de pico de pájaro. La estructura resultante se muestra en la figura 8. Además de las buenas características correspondientes a un transistor de doble puerta hay que sumar las

INTRODUCCIÓN

ventajas de fabricación, ya que este dispositivo no necesita ninguna tecnología de recristalización o SIMOX, al formarse su estructura "tipo SOI" por simple oxidación selectiva (LOCOS), consiguiéndose así un cristal de gran calidad.

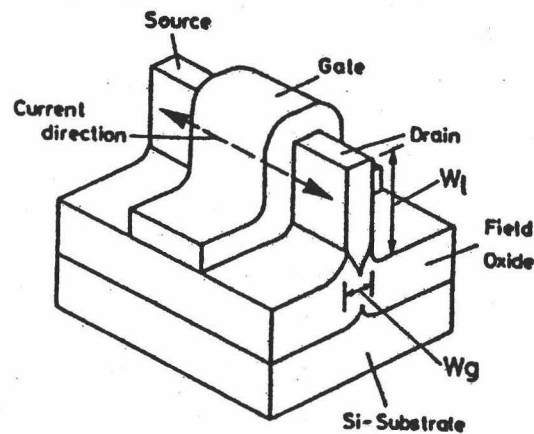


Fig. 8: Dibujo la estructura vertical DELTA propuesta por [Hisamoto et al., 1989, 1991]

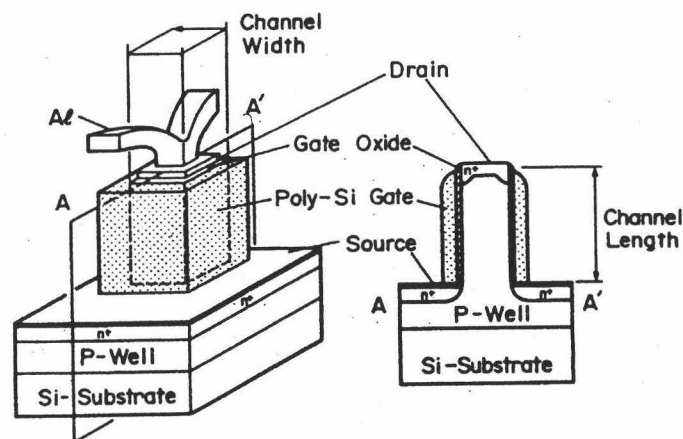


Fig. 9: Estructura tipo pilar SGT propuesta por [Takato et al., 1988., 1991]

Los otros tipos de estructuras verticales definen pilares de silicio que tienen la fuente en la base y el drenador en el extremo superior, con la puerta rodeando todas sus paredes laterales después de haberlas oxidado. La primera estructura de este tipo, con un pilar rectangular, fué realizada por [Takato et al., 1988, 1991] para fabricar una celda

CMOS y le dieron el nombre de SGT (“Surrounding Gate Transistor”). Un esquema de esta estructura se muestra en la figura 9.

La principal ventaja del SGT es su nivel de integración: Se consigue con él la misma capacidad de conducción ocupando solo el 60% del área de la que ocupa el MOSFET planal convencional. [Sunouchi et al., 1989] utilizaron estos transistores para realizar una celda de memoria DRAM, y [Nitayama et al., 1991] proponen el dispositivo M-SGT (“Multi-Surrounding Gate Transistor”), que es simplemente una agrupación de pequeños SGTs de forma que se consigue reducir aun más el área que ocupa el transistor, llegando en este caso al 30% de lo que ocuparía un MOSFET convencional con la misma capacidad de corriente. La menor área del dispositivo y la estructura de malla del electrodo de puerta hacen que la capacidad de unión y el retardo RC de la puerta sea más pequeño que en el SGT y en el MOSFET convencional.

Otros investigadores que estudian este tipo de estructuras son [Miyano et al., 1992] que realizan un transistor con pilar circular al que dan el nombre de CYNTHIA. [Pein et al. 1993; 1995], que fabrican una celda de memoria EPROM, y [Maeda et al., 1995], que realizan una celda de memoria DRAM de un Gbit con estructura de pilar cilíndrico a la que llaman $V\Phi T$ (Vertical Φ Shape Transistor).

En general, todas las estructuras verticales comparten la ventaja de permitir un alto nivel de integración, con un proceso tecnológico relativamente simple, siendo muy útiles para el desarrollo de memorias de muy alta capacidad. Y también comparten el inconveniente de definir la pared vertical, en cuya superficie se va a establecer el canal, mediante ataque (“etching”) del silicio, en lugar de hacerlo mediante crecimiento epitaxial. Esto lleva consigo dos inconvenientes: Por una parte, la calidad de la superficie ha de ser necesariamente menor, y, en consecuencia, la interface óxido-silicio obtenida después del crecimiento del óxido de puerta también va a ser de menor calidad. Por otra parte, es mucho más difícil conseguir que la lámina o el pilar de silicio sea lo suficientemente delgada como para que se alcance inversión en volumen. Por estas

razones, desde el punto de vista utilizado en esta memoria, los transistores verticales no aportan nada nuevo a los transistores de puerta simple. El canal se puede considerar próximo a la interface óxido-silicio en todas las paredes, y el ancho del transistor será igual al perímetro de los pilares. La única precaución que habría que tener en su análisis sería resolver la ecuación de Poisson con la geometría apropiada si el dispositivo se encuentra en la situación de depleción total. En esta memoria nos centraremos, pues, en el estudio de la estructura horizontal.

1.2.2 RESULTADOS DE SIMULACIÓN.

Los primeros cálculos que se realizaron con estas estructuras se basaron en modelos clásicos, sin tener en cuenta los efectos cuánticos debidos al confinamiento en un pozo de potencial [Balestra et al., 1987; Venkatesan et al., 1992a]. Con estos modelos no resultan válidas las conclusiones que se alcancen basadas en la forma de la distribución de portadores minoritarios, como hemos comentado en el apartado anterior, pero sí pueden considerarse válidas otras conclusiones sobre efectos de la longitud del canal, corriente en la región subumbral, etc. Desde este punto de vista, existen en la bibliografía resultados muy interesantes conseguidos sin tener en cuenta la cuantización en la dirección transversal.

Como ejemplo pionero de estas simulaciones, [Fiegna et al., 1992] compararon, mediante simulación, distintos tipos de transistores en lo referente a efectos de canal corto y de portadores calientes. Concluyeron que con los MOSFET de doble puerta se podría llegar a una longitud de puerta inferior a 0.025 micras, mientras que con una sola puerta surgirían problemas por debajo de 0.05 micras. Comentaron, también, que una de las principales ventajas de los transistores SOI, los valores casi ideales de la pendiente subumbral, desaparece rápidamente a medida que la longitud de puerta decrece, debido al pobre control de la puerta posterior, sin embargo esto no ocurre con los transistores SOI de doble puerta.

También son muy interesantes los resultados de simulaciones mediante el método de Monte Carlo realizadas por investigadores de IBM ([Frank et al., 1992]), utilizando el programa DAMOCLES, con "full-band", acoplamiento dinámico a una resolución bidimensional de Poisson, y estadística de Fermi-Dirac. Utilizan el método de Monte Carlo para el estudio del transporte en fuerte inversión, aunque para el cálculo de la corriente subumbral, dominada por difusión, usan un modelo de difusión y deriva que dicen que proporciona resultados más exactos. De los resultados de esta simulación se deduce que el dispositivo de silicio más corto posible es un MOSFET SOI de doble puerta, con una longitud de puerta de 30 nm, un espesor de óxido de 3 nm y un espesor de lámina de silicio de 5 a 20 nm. Este dispositivo no muestra efectos de canal corto para longitudes mayores que 70 nm, proporciona valores de transconductancia hasta 2300mS/mm y un retardo estimado de oscilador en anillo de 1.1 picosegundos, (excelente para circuitos digitales). La tensión umbral tiene una incertidumbre proporcional a la del espesor de la capa de silicio. La tensión drenador-fuente límite puede ser $V_D = 1.2V$ (para impedir túnel banda a banda, limitar ionización por impacto, e impedir degradación por portadores calientes en el óxido), con una tensión umbral de $0.3 \pm 0.1V$, quedando 0.2V para cortar el dispositivo. Consideran un 30% de decremento en la longitud del canal con respecto a la nominal, en el peor de los casos. En cuanto al espesor mínimo de la capa de silicio, atendiendo a límites físicos, consideran tres efectos: 1) La cuantización que desplaza la tensión umbral, siendo la causa principal de la incertidumbre en este parámetro debido a la inexactitud en el control del espesor de la lámina de silicio (suponiendo que se controla el espesor salvo un 20%, el espesor mínimo es entonces de 4nm), 2) la resistencia en serie, que limita el espesor a unos 5 nm con un dopado de 10^{20} cm^{-3} y 3) fluctuaciones estadísticas de los donantes discretos (éstas no imponen un límite si se deja el canal sin dopar, controlando la tensión umbral mediante la función trabajo de la puerta).

En lo referente al superior apantallamiento conseguido gracias a la doble puerta, [Wind et al, 1996] estudian las líneas de campo diferenciales que se obtienen cuando se incrementa la tensión de drenador, y concluyen que para que la tensión umbral no se vea

afectada por la polarización del drenador es necesario que estas líneas penetren lo mínimo posible hacia la fuente, y que eso se consigue con MOSFETs de doble puerta. Estas conclusiones se mantienen en [Taur et al, 1997], donde comparan también con otras estructuras como MOSFETs de SiGe.

Más adelante, se ha considerado que la forma de la distribución de electrones en la dirección perpendicular al canal puede ser importante, y que es necesario incluir los efectos de la cuantización. De acuerdo con esto, [Ouisse et al., 1994] estudiaron un DG MOST resolviendo autoconsistentemente las ecuaciones de Poisson y Schrödinger con la aproximación de Hartree y mostraron que la cuantización de la capa de inversión favorece la inversión en volumen. [Colinge et al., 1994] calcularon la transconductancia con un modelo cuántico que supone un pozo cuadrado con paredes infinitas y compararon con resultados experimentales a bajas temperaturas (menores de 2K), comprobando que los picos experimentales de la transconductancia coinciden con los esperados según los niveles del pozo. Para mayores tensiones de puerta, en fuerte inversión, la transconductancia decrece rápidamente. Mas tarde se han publicado cálculos autoconsistentes Poisson-Schrödinger similares al de [Ouisse et al., 1994], como el de [Majkusiak et al., 1998], que comparan los resultados del modelo cuántico y clásico para la densidad de portadores y el resultado que proporciona el modelo local de movilidad electrónica de MINIMOS, en función del espesor. Nosotros consideramos que el modelo local no es consistente con la hipótesis de “gas de electrones cuasi-bidimensional”, por lo que revisaremos estos resultados en la presente memoria.

Finalmente, hemos de mencionar los resultados de [Pikus et al., 1997] que consideran el caso límite de un DG MOST con transporte totalmente balístico a lo largo del canal. Afirman que esta situación se presenta para longitudes de canal de 10nm y menores, como en el dispositivo propuesto por [Guo et al., 1997]. Llegan a la conclusión de que se pueden conseguir longitudes de hasta 10 nm para circuitos lógicos, y de hasta 4 nm para celdas DRAM. Para longitudes menores de canal habría que utilizar ideas físicas radicalmente diferentes.

1.3 OBJETIVOS Y METODOLOGÍA:

De todo lo expuesto en los dos apartados anteriores podemos deducir que, a pesar de que ya existe una gran cantidad de trabajo teórico y experimental realizado sobre los transistores MOS de doble puerta, quedan aún planteados múltiples interrogantes que requieren una solución para decidir si las ventajas que se pueden obtener con esta estructura van a compensar las complicaciones tecnológicas que plantea, antes de abordar el diseño y producción masiva de circuitos integrados basados en estos dispositivos. Muchas de las cuestiones planteadas se refieren a los verdaderos efectos de la inversión en volumen, ya que es en esta situación cuando los resultados de las simulaciones clásicas (que son las más detalladas realizadas con anterioridad) y cuánticas difieren más, y es también esta situación la que ha planteado una mayor controversia a lo largo de esta década. Concretamente, podríamos apuntar las siguientes:

- 1) ¿Es muy diferente un transistor MOS de doble puerta de un transistor MOS de puerta simple con doble anchura de canal?
- 2) ¿Cómo afecta la cuantización de los portadores minoritarios en la capa de inversión al comportamiento de parámetros importantes del dispositivo como es la tensión umbral?
- 3) ¿Se alejan realmente los electrones de las interfaces óxido-silicio?. Y si esto es así, ¿es este alejamiento suficientemente significativo como para apreciar una disminución en la dispersión coulombiana por trampas cargadas en las interfaces y en el interior del óxido?
- 4) ¿Cómo afecta la inversión en volumen a la dispersión por rugosidad superficial?. ¿Consigue realmente hacerla disminuir?

- 5) ¿Cómo influye el espesor de la lámina de silicio, en conjunto, sobre las propiedades de transporte de los electrones, y sobre la movilidad en particular?. ¿Se compensa el efecto negativo de la reducción del espesor de esta lámina, debido a los fonones, con las ventajas que se obtienen en los otros mecanismos de dispersión?

- 6) ¿Cuál sería el espesor óptimo de la lámina de silicio?. ¿Cuáles serían los valores óptimos del resto de parámetros para este espesor?

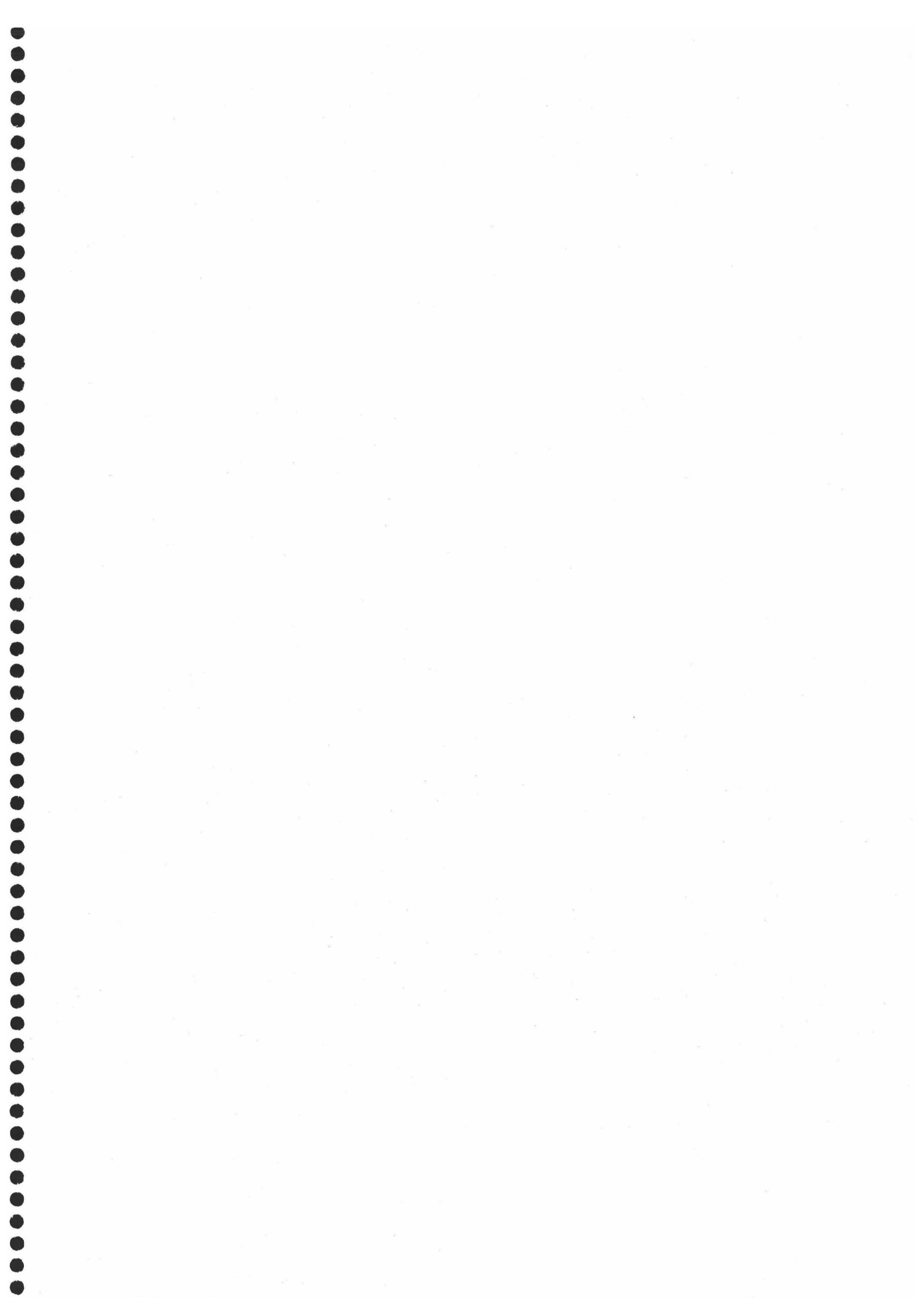
El objetivo fundamental de esta Tesis es responder a todos estos interrogantes. Para ello se analizará una sección transversal de un transistor MOS de doble puerta de canal N, con el fin de examinar detalladamente las peculiaridades de la distribución de electrones con una amplia variedad de valores de todos los parámetros tecnológicos y condiciones de operación, y se estudiarán las propiedades de transporte en el canal.

Para la obtención de la distribución de electrones, se resolverán autoconsistentemente las ecuaciones de Poisson y Schrödinger en la estructura, dentro de las aproximaciones de Hartree y de masa efectiva. Para el estudio de las propiedades de transporte se calculará la movilidad de los electrones mediante el método de Monte Carlo. Los resultados de estas simulaciones se utilizarán también para verificar los efectos de los diferentes parámetros tecnológicos en parámetros utilizados en modelos analíticos para la simulación de circuitos.

Aunque sólo se tratan dispositivos con canal N en esta memoria, la mayor parte de los resultados serán aplicables también a transistores de canal P, al menos desde el punto de vista cualitativo. Los resultados cuantitativos con canal de huecos se podrían obtener mediante un análisis paralelo, pero incluyendo las peculiaridades de la banda de valencia, que conducirían a procedimientos de cálculo mucho más complejos. El análisis de un gas cuasibidimensional de huecos en un MOSFET convencional ha sido abordado ya en nuestro grupo de investigación [Rodríguez, 1999], y podría extenderse

también al estudio de transistores de doble puerta. No obstante, este tratamiento excede los límites que hemos impuesto a nuestro trabajo y podrá ser abordado en estudios posteriores.

A pesar de las limitaciones de nuestros resultados, impuestas por los modelos, aproximaciones y recursos computacionales empleados, esperamos que los resultados obtenidos por estos procedimientos, además de ayudar a la mejor comprensión de un problema de indudable interés científico, sean útiles para evaluar de forma realista y exacta las prestaciones de este tipo de transistores, pudiendo contribuir así al desarrollo de la tecnología electrónica de los años venideros.



CAPÍTULO II:

LA ESTRUCTURA MOSOM (Metal-Óxido-Semiconductor-Óxido-Metal)

2.1 DESCRIPCIÓN DE LA ESTRUCTURA

2.1.1 INTRODUCCIÓN

La estructura MOSOM es una parte fundamental del transistor de doble puerta, ya que es la que controla la conductividad del canal y, por consiguiente, el flujo de corriente a lo largo del dispositivo. Esta estructura está compuesta por cinco capas: una lámina de material semiconductor situada en el centro, dos capas de material aislante a ambos lados de la lámina semiconductora, y dos capas de un material altamente conductor en los dos extremos de la estructura que actúan como metalizaciones de puerta. La lámina semiconductora suele ser de silicio, las capas aislantes de dióxido de silicio y las capas conductoras de polisilicio, aunque también pueden incluir capas de siliciuros metálicos refractarios para aumentar su conductividad. En la Fig. 10 se representa esquemáticamente la estructura, que corresponde a un corte transversal del transistor de doble puerta en un plano perpendicular al canal.

Para realizar el estudio del MOSOM hemos escogido una estructura totalmente simétrica con una lámina de silicio tipo P de dopado uniforme, espesores de las dos capas de óxido iguales y puertas de polisilicio tipo P⁺ con la misma concentración de impurezas.

Al aplicar una tensión positiva en ambas puertas de la estructura MOSOM se crean dos regiones de inversión, cada una de ellas próxima a una de las interfaces óxido-semiconductor. No obstante, como veremos más adelante en este mismo capítulo, en el caso de que la lámina de silicio sea muy estrecha, se puede producir la llamada inversión en volumen, en la cual la región de inversión ocupa toda la lámina de silicio. Igual que ocurre en el MOSFET, al situar dos regiones de silicio tipo n^+ , llamadas fuente y drenador, en ambos extremos de la lámina de silicio, y al aplicar una tensión entre ellas, se consigue que circule una corriente controlada por la tensión aplicada a las puertas, formando así la estructura completa del transistor.

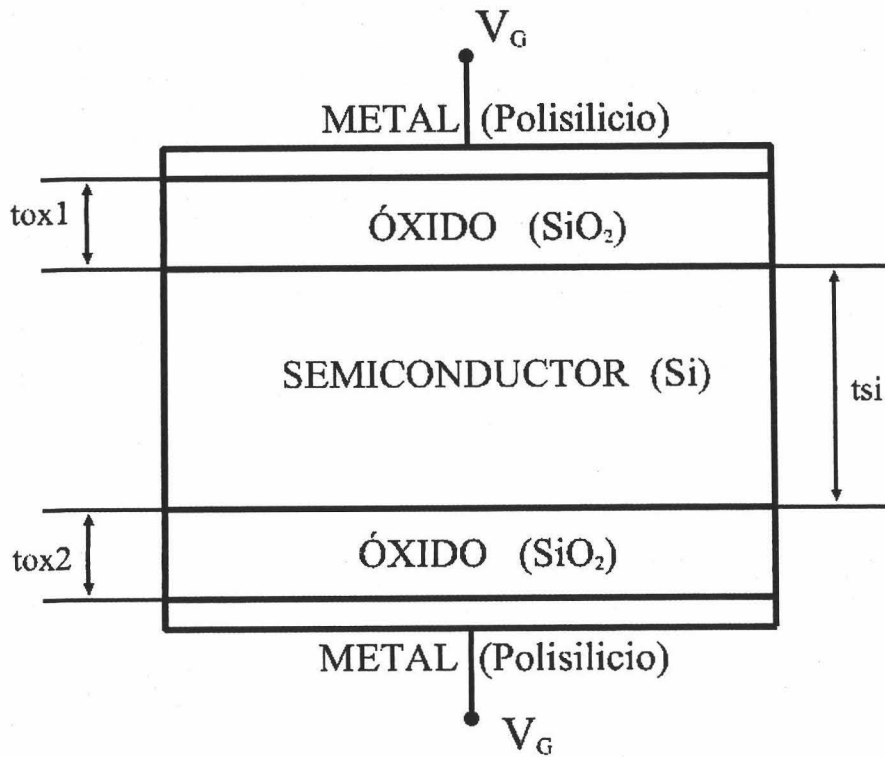


Fig. 10: Dibujo de la estructura MOSOM.

2.1.2 REGIONES DE OPERACIÓN

A la hora de realizar el estudio de los distintos modos de operación del dispositivo MOSOM supondremos, por ahora, que se aplica la misma tensión a ambas puertas de la estructura, ya que ésta es la situación más usada en el transistor de doble puerta, y parece también que es la más ventajosa. Como en el MOSFET convencional, según sea la tensión aplicada a las puertas, el dispositivo podrá estar en la región de acumulación, de depleción o de inversión, y dentro de esta región, en inversión débil, moderada o fuerte [Tsividis, 1993].

En la región de inversión, que es la de mayor interés, podemos diferenciar entre tres modos de funcionamiento del MOSOM dependiendo del espesor de la lámina de silicio: depleción parcial, depleción total e inversión en volumen. Analizamos estas tres situaciones a continuación:

2.1.2.1 DEPLECIÓN PARCIAL. DOS CANALES INDEPENDIENTES

Estando en el modo de inversión, con lo cual suponemos que ya están formadas dos láminas delgadas de inversión junto a las dos interfaces óxido-silicio, la estructura MOSOM opera en depleción parcial cuando se tienen además dos regiones de depleción, una asociada a cada interface óxido-semiconductor, situadas a continuación de las láminas de inversión, pero separadas por una región en no depleción dominada por portadores mayoritarios. Se trata de la misma situación que se observa en un MOSFET convencional, con la diferencia de que en este caso tendríamos dos MOSFETs con los substratos unidos. Las regiones de depleción son independientes, estando cada una de ellas controlada por la puerta más cercana sin influencia de la puerta contraria. Como hemos mencionado, a todos los efectos es como si se tuvieran dos MOSFETs de puerta simple en paralelo.

2.1.2.2 DEPLEXIÓN TOTAL

La estructura MOSOM opera en la región de deplexión total cuando toda la lámina de silicio se encuentra en deplexión, sin que exista zona neutra en el centro. Para que el dispositivo opere en esta situación, el espesor de la lámina de silicio " t_{si} " tiene que ser inferior al espesor crítico " t_{sic} ", estando definido éste como:

$$t_{sic} = 2 \cdot \sqrt{\frac{4\epsilon_{si}\phi_F}{q \cdot N_A}} \quad (1)$$

donde ϵ_{si} es la permitividad dieléctrica del silicio, q la carga del electrón, N_A la concentración de la lámina de silicio y ϕ_F el potencial de Fermi.

En este caso, el potencial en el centro de la capa de silicio esta influenciado por la tensión aplicada a las puertas y tiende a seguir a los potenciales de superficie.

2.1.2.3 INVERSIÓN EN VOLUMEN

Cuando la estructura MOSOM alcanza la condición de inversión en volumen, se forma una sola región de inversión en vez de dos capas de inversión como en los anteriores casos. Los portadores minoritarios ocupan toda la lámina de silicio. La región física de inversión es mayor, y podríamos pensar que el número de portadores minoritarios también lo es comparado con el caso de que tengamos dos capas de inversión separadas. Las ventajas esperadas de esta forma de operación son, pues, el aumento de la corriente, la reducción de la influencia de los defectos de interface y los fenómenos de dispersión por cargas interfaciales, con el consiguiente aumento de la movilidad y de la transconductancia [Balestra et al., 1987].

La inversión en volumen del dispositivo MOSOM se produce para espesores

muy pequeños. [Balestra et al.,1987] definen la inversión en volumen como la situación en la cual la caída de potencial en el centro de la capa de silicio del MOSOM es mayor que dos veces el potencial de Fermi. Según nuestros cálculos, con esta definición se tendría inversión en volumen a partir de espesores de unos 500nm. Según [Suzuki et al., 1994] la inversión se produce para espesores de la capa de silicio menores de 5nm, y otros investigadores lo toman para espesores menores de 50nm [Majkusiak et al., 1998]. Este aparente desacuerdo se debe a que existen muchos casos en los que aparece una cierta concentración de portadores minoritarios en el centro de la lámina de silicio, con lo que estrictamente estaríamos ya en inversión en volumen, pero con concentración muy inferior a la existente cerca de las interfaces, por lo que a efectos prácticos la inversión en volumen puede ser despreciada. Como indican [Balestra et al.,1987], para un potencial central superior al doble del potencial de Fermi existe una cierta concentración de electrones, pero ésta es muy inferior a la que existe en las interfaces, y para poder hablar de inversión en volumen la concentración en el centro de la lámina debe ser comparable a la de los extremos o, de otra forma, la contribución a la corriente de los portadores de la zona central debe ser notable. Además, la distribución de portadores no sólo depende del espesor de la lámina de silicio, sino que está determinada también por la tensión aplicada a las puertas de la estructura. Así, en la región subumbral, la carga se distribuye por igual en toda la lámina de silicio independientemente de su espesor, mientras que en fuerte inversión, a medida que aumenta la tensión de puerta, los portadores tienden a concentrarse en las interfaces. A partir del espesor de 5nm, como indican [Suzuki et al., 1994], la carga se concentra en el centro de la lámina de silicio para cualquier tensión de polarización. Nosotros hemos estudiado la distribución de electrones para una estructura MOSOM con distintos espesores de la capa de silicio y llegamos a la conclusión de que la inversión en volumen comienza a partir de unos 40nm, para un valor del potencial central mayor o igual al doble del potencial de Fermi más seis veces el potencial térmico, $\psi_c = 2\phi_F + 6 \cdot U_t$, que es una referencia ampliamente utilizada para el inicio de la inversión en los MOSFETs convencionales [Tsividis, 1993]. Estos resultados se mostrarán más adelante en este capítulo.

2.1.3 CURVATURAS DE BANDAS

Para una mejor comprensión de la estructura mostramos en este apartado el diagrama de bandas para distintos espesores de la lámina de silicio y distintas tensiones de puerta. Tomamos, para este estudio, una estructura MOSOM totalmente simétrica, con lámina de silicio tipo P, uniformemente dopada, y puertas de polisilicio tipo P tales que la función trabajo del metal sea mayor que la del semiconductor, $\Phi_M > \Phi_S$. Analizaremos la estructura para tres casos, con diferentes espesores de la lámina de silicio, correspondientes a los tres tipos de operación del MOSOM: deplexión parcial, deplexión total e inversión en volumen.

En el caso en que el espesor de la lámina de silicio sea mayor que el espesor crítico, $t_{si} > t_{sic}$, esto es, en deplexión parcial, el diagrama de bandas del MOSOM es igual que el de la estructura MIS (Metal, Aislante, Semiconductor), salvo por la presencia simultánea de dos puertas en el dispositivo. Se produce, pues, la curvatura de bandas en los dos extremos de la estructura, permaneciendo las bandas constantes en el centro de la misma. Se tiene la misma curvatura de bandas en los dos lados, ya que suponemos la estructura simétrica y las tensiones aplicadas a los dos puertas iguales.

Si la tensión aplicada es nula, se produce acumulación de portadores mayoritarios en las dos interfaces óxido-semiconductor. En esta situación el diagrama de bandas tiene la forma que se detalla en la figura 11, donde Φ_M es la función trabajo del metal, Φ_S la función trabajo del semiconductor, V_{OX} la caída de potencial en el óxido, ψ_S el potencial de superficie que es igual a la caída de potencial en el semiconductor tomando como origen el mínimo de la banda de conducción de la zona neutra del semiconductor, ϕ_F es el potencial de Fermi, V_{FB} la tensión de banda plana, E_0 el nivel de energía del vacío, E_C la energía del fondo de la banda de conducción del semiconductor, E_{Fi} el nivel de Fermi intrínseco, E_V la energía de la cima de la banda de valencia y E_F el nivel de Fermi del semiconductor, que en este caso coincide con el

nivel de Fermi del metal al no haber aplicada ninguna tensión externa a la estructura.

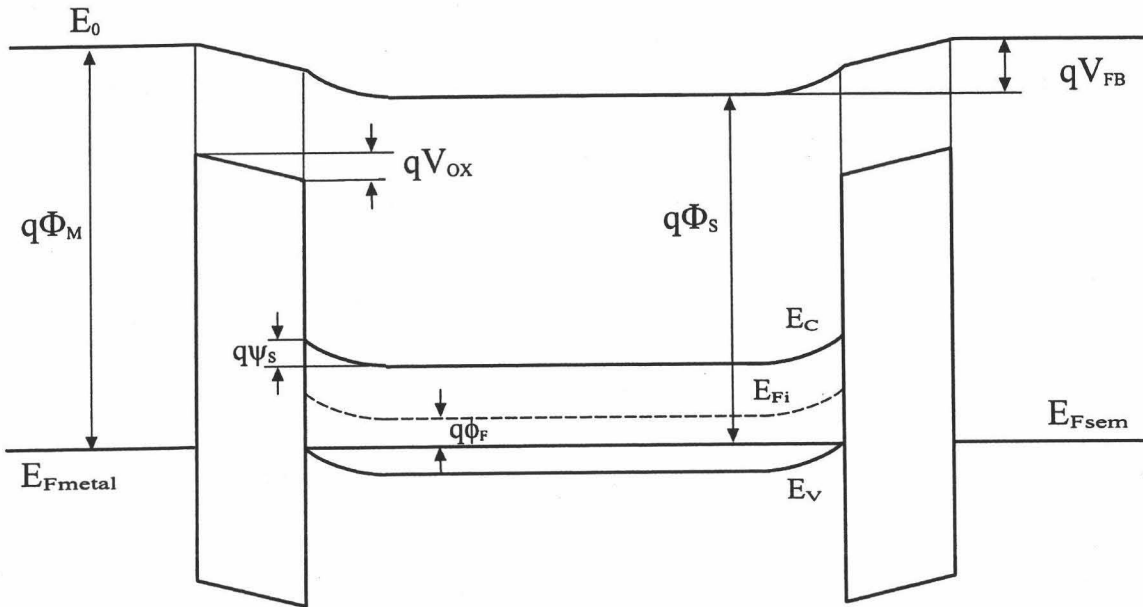


Fig. 11: Diagrama de bandas para una estructura MOSOM de ancho de capa de silicio mayor que el espesor crítico $t_{si} > t_{sic}$, función trabajo del metal mayor que la del semiconductor ($\Phi_M > \Phi_S$) y tensión aplicada a las puertas $V_G = 0$.

Al aplicar una tensión igual a la tensión de banda plana a las puertas, con respecto a la lámina central de silicio, (en este caso una tensión positiva), se consigue que las bandas no estén curvadas como se puede ver en la figura 12:

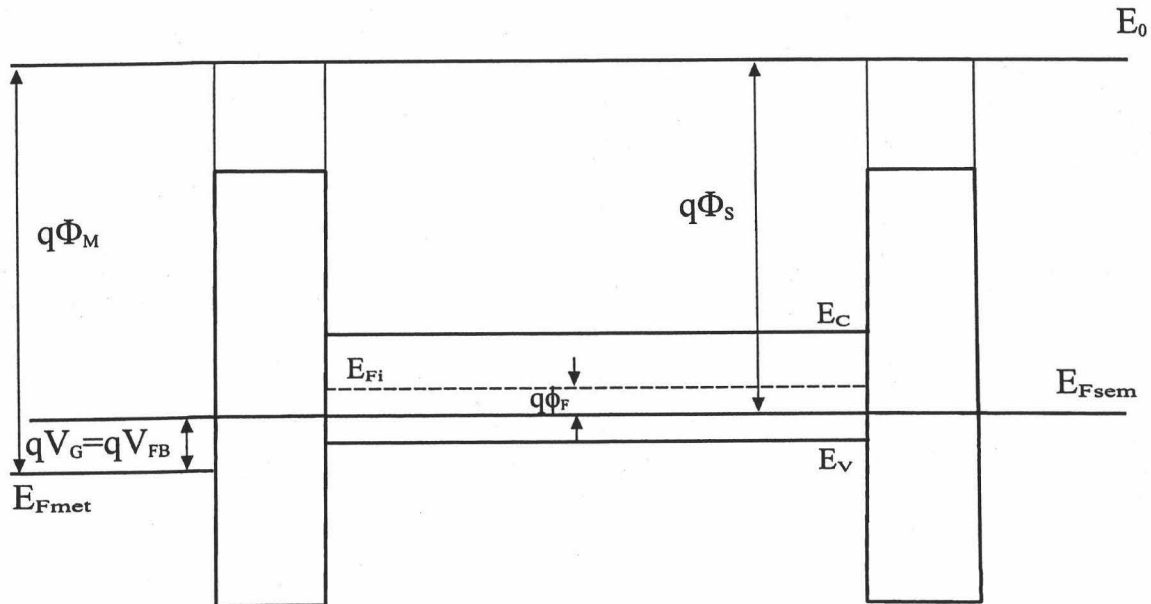


Fig. 12: Diagrama de bandas para una estructura MOSOM de ancho de capa de silicio mayor que el espesor crítico $t_{si} > t_{sic}$, función trabajo del metal mayor que la del semiconductor ($\Phi_M > \Phi_s$) y tensión aplicada a las puertas igual a la tensión de banda plana $V_G = V_{FB}$.

Si se aplica ahora una tensión superior a la de banda plana, las bandas se curvan hacia abajo, los portadores mayoritarios abandonan las zonas cercanas a las interfaces óxido-semiconductor y aumenta el número de portadores minoritarios en las zonas cercanas a las interfaces. Se forman dos regiones de deplexión separadas, como se puede ver en la figura 13.

Y si se aplica una tensión de puerta lo suficientemente grande, la curvatura de las bandas en las interfaces es mayor que el potencial de Fermi, ($\psi_s > \phi_F$). En este caso, se crean dos regiones de inversión en los dos extremos de la lámina semiconductor, como se muestra en las figuras 14 y 15:

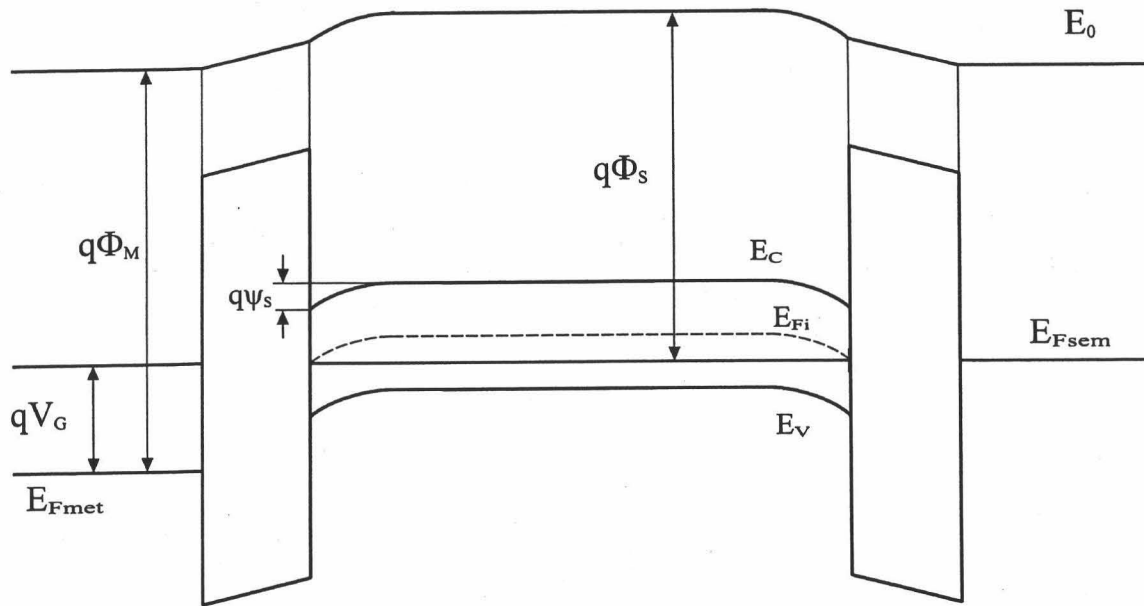


Fig. 13: Diagrama de bandas para una estructura MOSOM de ancho de capa de silicio mayor que el espesor crítico ($t_{si} > t_{sic}$), función trabajo del metal mayor que la del semiconductor ($\Phi_M > \Phi_S$) y tensión aplicada a las puertas tal que el potencial de superficie es igual al potencial de Fermi. $\psi_S = \phi_F$.

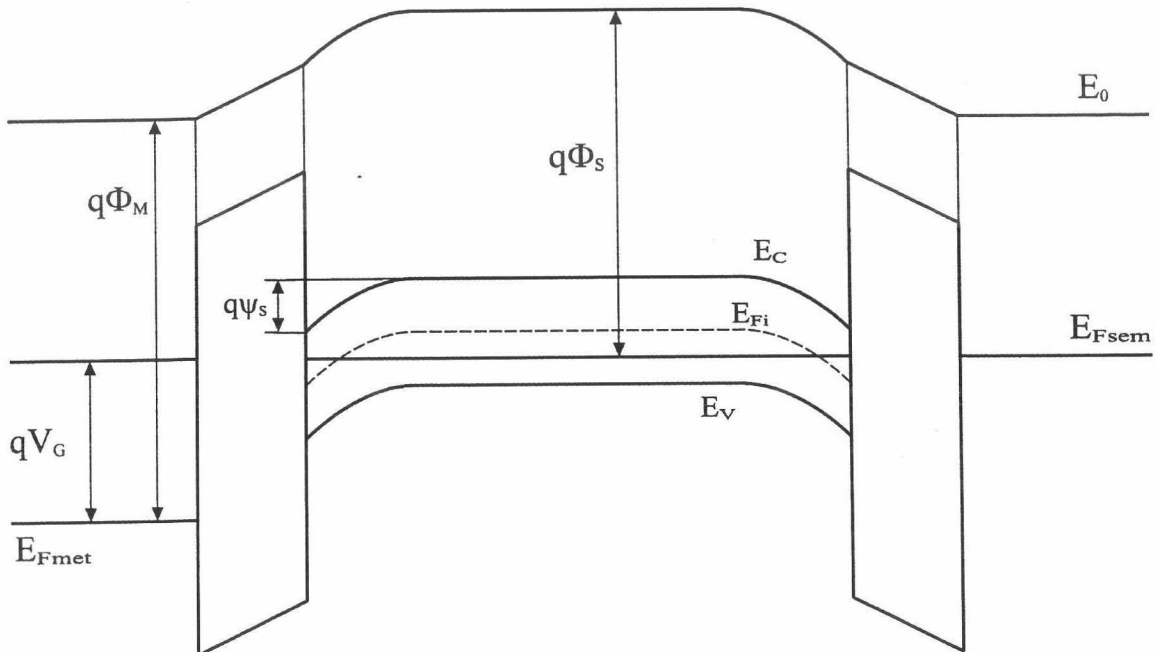


Fig. 14: Diagrama de bandas para una estructura MOSOM de ancho de capa de silicio mayor que el espesor crítico ($t_{si} > t_{sic}$), función trabajo del metal mayor que la del semiconductor ($\Phi_M > \Phi_S$) y tensión aplicada a las puertas tal que el potencial de superficie es igual al doble del potencial de Fermi. ($\psi_S = 2\phi_F$).

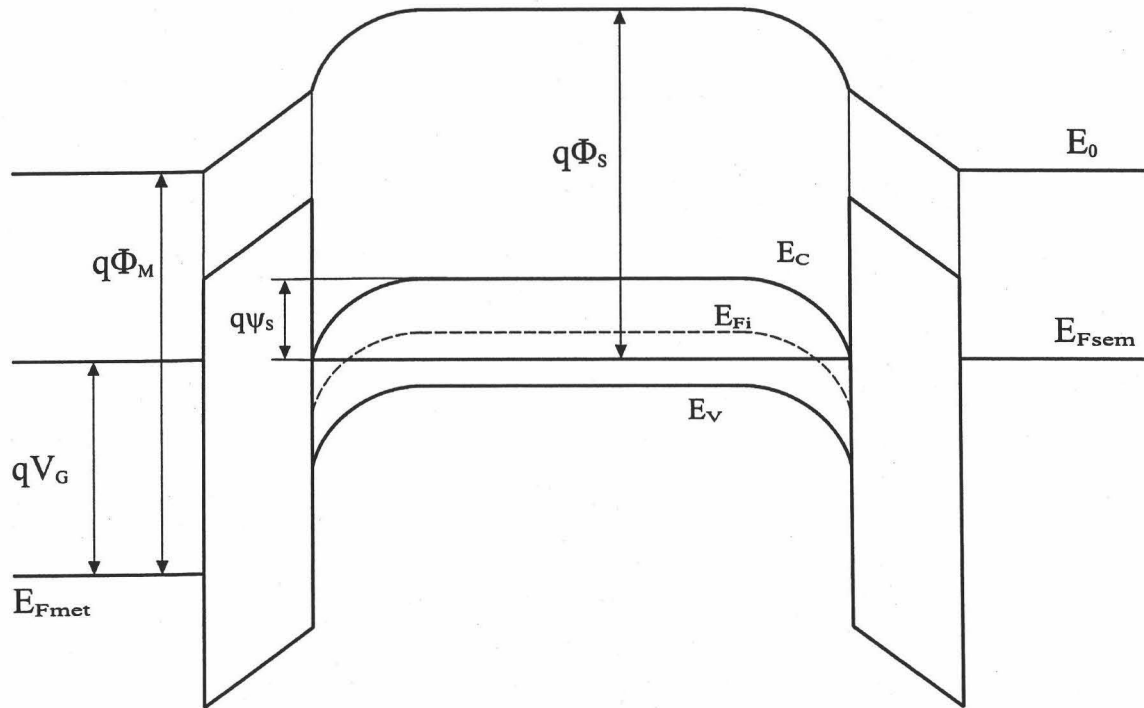


Fig. 15: Diagrama de bandas para una estructura MOSOM de ancho de capa de silicio mayor que el espesor crítico ($t_{si} > t_{sic}$), función trabajo del metal mayor que la del semiconductor ($\Phi_M > \Phi_S$) y tensión aplicada a las puertas tal que el potencial de superficie es igual al triple del potencial de Fermi. ($\psi_s = 3\phi_F$).

Como se puede ver, en la región central de la estructura MOSOM con capa de silicio de gran espesor, las bandas no están curvadas y mantienen siempre la misma distancia con respecto al nivel de Fermi del semiconductor, sea cual sea la tensión aplicada a las puertas. Esta región central no está, por consiguiente, afectada por las tensiones de puerta aplicadas. En cambio, cuando el espesor de la capa de silicio es inferior al espesor crítico, $t_{si} < t_{sic}$, las bandas de energía se curvan a lo ancho de toda la capa semiconductor. En este caso, toda la estructura se encuentra afectada por la tensión aplicada a las puertas del dispositivo. Las bandas en el centro del semiconductor se desplazan en el mismo sentido en que se curvan las bandas en los extremos del semiconductor, y se define el potencial en el centro de la lámina de silicio, llamado aquí potencial central ψ_c , como la diferencia que existe entre el potencial en el centro de dicha lámina central en cada situación real, y el potencial que existiría en el punto central en caso de que la lámina fuera muy ancha, manteniendo el valor del resto de los

parámetros de la estructura, esto es, el potencial que existiría en el centro con neutralidad eléctrica. Por tanto, el potencial central, con depleción total, no es nulo. El potencial de superficie también se define con respecto a este potencial de referencia, esto es, sería la diferencia entre el potencial en las interfaces óxido-silicio y el potencial de una región neutra lejana a dichas interfaces en un transistor convencional.

Los diagramas de bandas de la estructura para distintas polarizaciones de puerta, con espesor inferior al crítico, son los que se representan en las figuras siguientes:

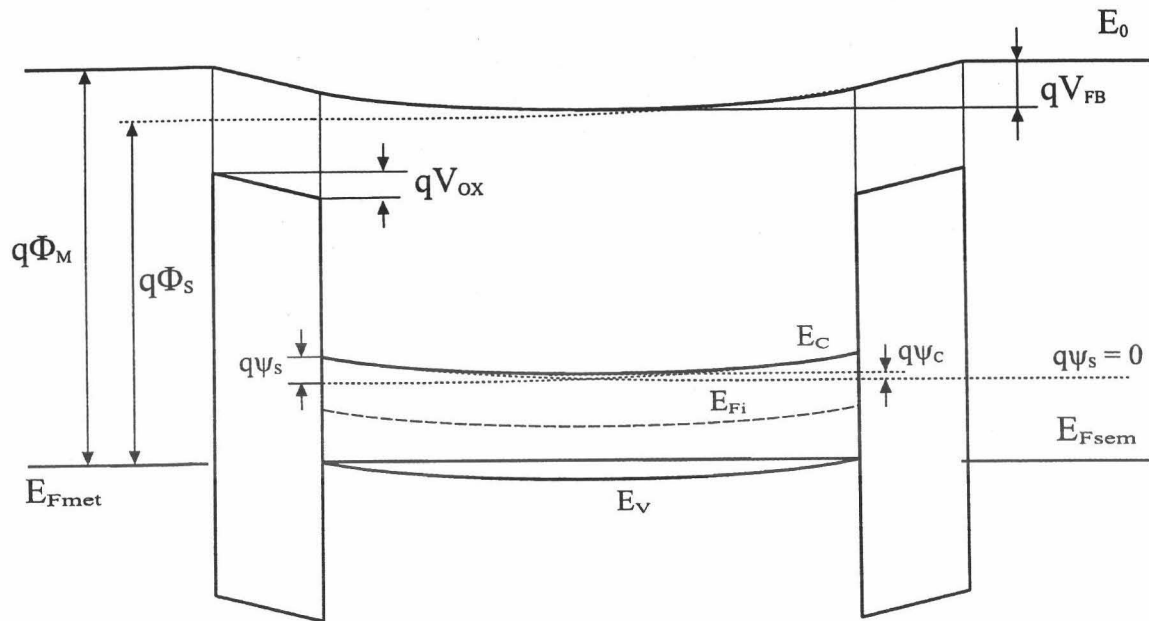


Fig. 16: Diagrama de bandas para una estructura MOSOM de ancho de capa de silicio menor que el espesor crítico ($t_{si} < t_{sic}$), función trabajo del metal mayor que la del semiconductor ($\Phi_M > \Phi_S$) y tensión aplicada a las puertas $V_G = 0$.

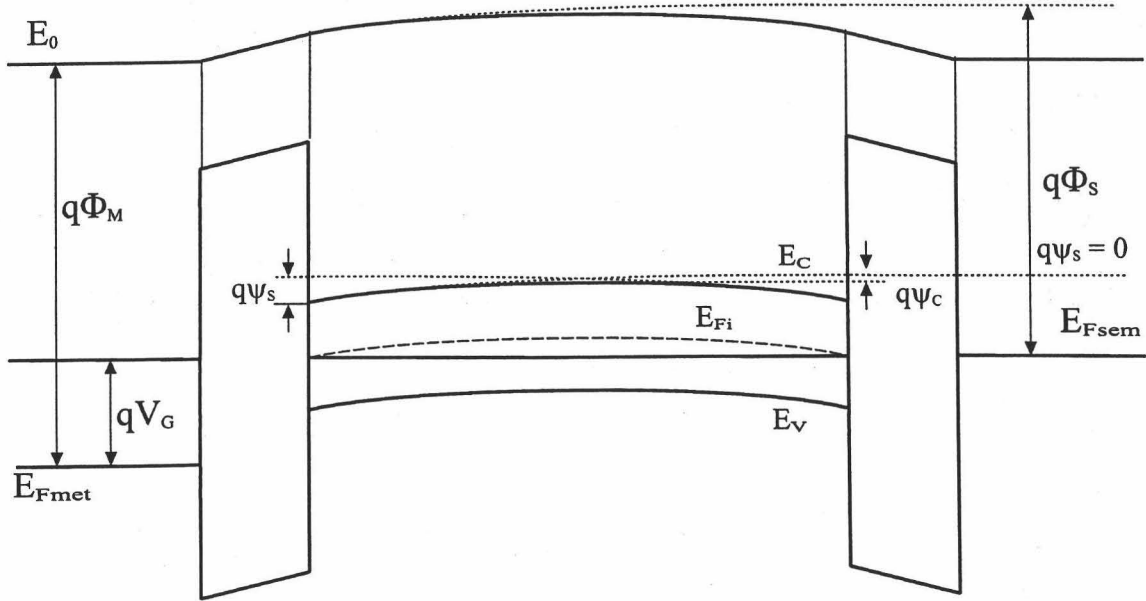


Fig. 17: Diagrama de bandas para una estructura MOSOM de ancho de capa de silicio menor que el espesor crítico ($t_{si} < t_{sic}$), función trabajo del metal mayor que la del semiconductor ($\Phi_M > \Phi_S$) y tensión aplicada a las puertas tal que el potencial de superficie es igual al potencial de Fermi. $\psi_s = \phi_F$.

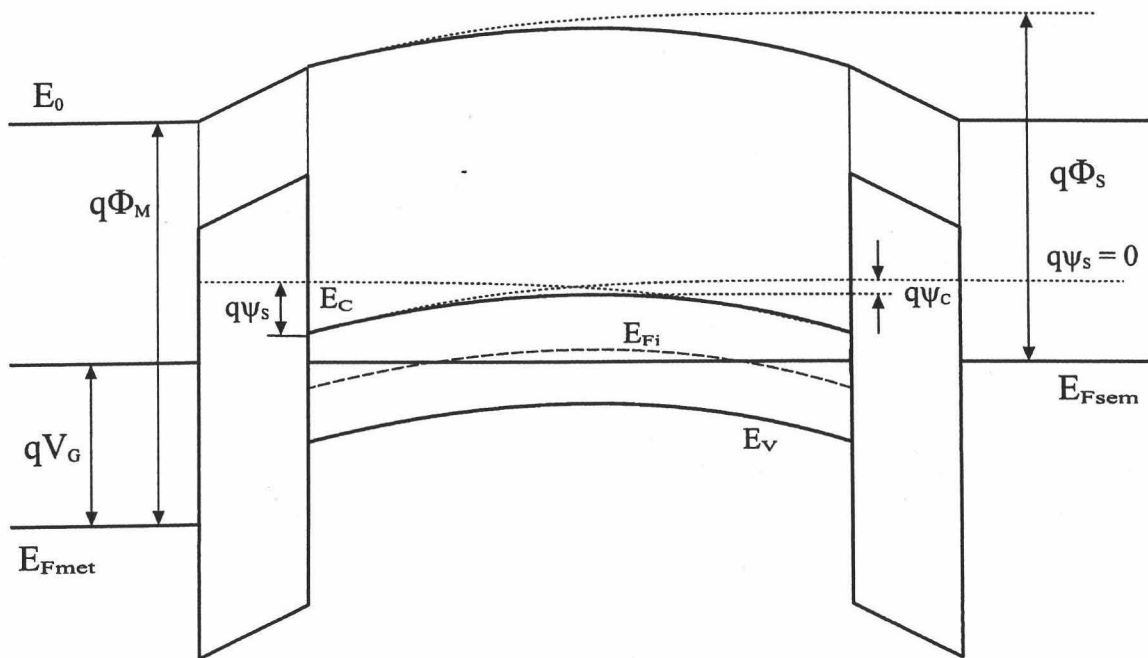


Fig. 18: Diagrama de bandas para una estructura MOSOM de ancho de capa de silicio menor que el espesor crítico ($t_{si} < t_{sic}$), función trabajo del metal mayor que la del semiconductor ($\Phi_M > \Phi_S$) y tensión aplicada a las puertas tal que el potencial de superficie es igual al doble de potencial de Fermi. ($\psi_s = 2\phi_F$).

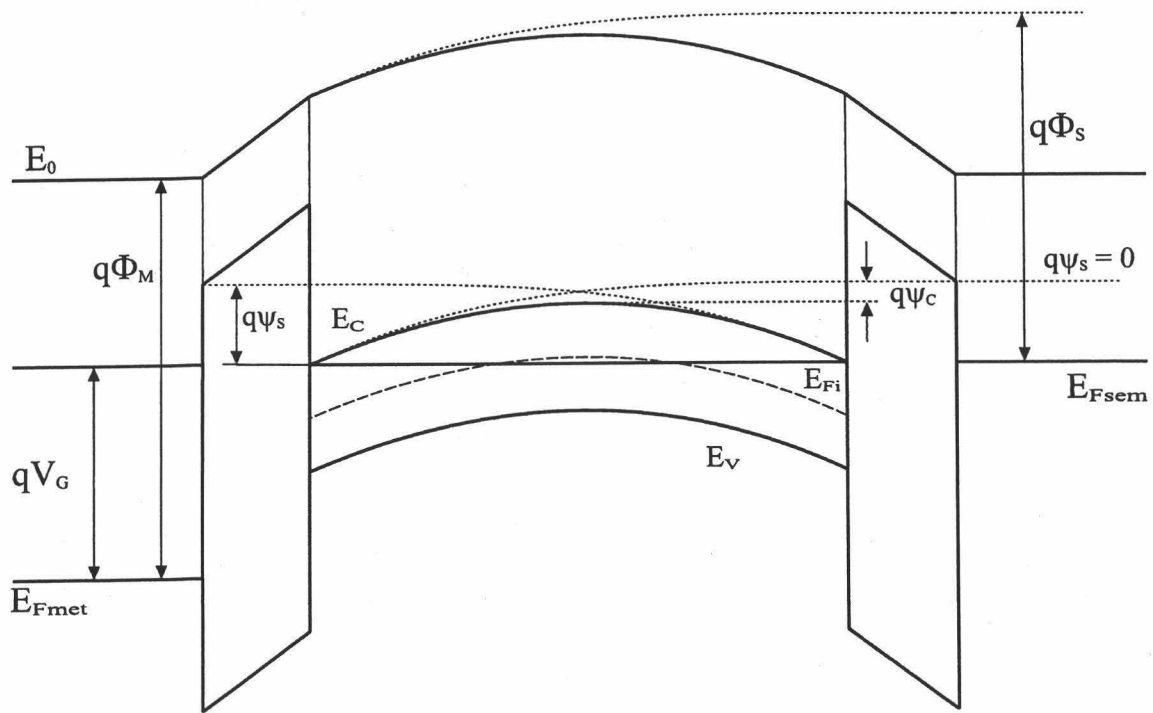


Fig. 19: Diagrama de bandas para una estructura MOSOM de ancho de capa de silicio menor que el espesor crítico ($t_{si} < t_{sic}$), función trabajo del metal mayor que la del semiconductor ($\Phi_M > \Phi_S$) y tensión aplicada a las puertas tal que el potencial de superficie es mayor que el doble del potencial de Fermi. ($\psi_S = 3\phi_F$).

En las tres figuras anteriores se puede ver cómo la banda de conducción en el centro de la lámina se desplaza hacia abajo, lo que corresponde a un potencial positivo. La banda de valencia se aleja del nivel de Fermi de la lámina de silicio, disminuyendo la concentración de portadores mayoritarios y rompiéndose, en consecuencia, la neutralidad eléctrica en dicho punto central, y la banda de conducción se acerca a dicho nivel de Fermi, aumentando la concentración de portadores minoritarios, aunque suponemos que dicho incremento no es aún suficientemente significativo como para poder hablar de inversión en el centro de la lámina.

Finalmente, suponemos ahora que el espesor de la lámina de silicio es tan pequeño que se ha conseguido la situación de inversión en volumen. Los diagramas de bandas de la estructura MOSOM para distintas tensiones de polarización de puerta en estas condiciones se muestran en las figuras siguientes:

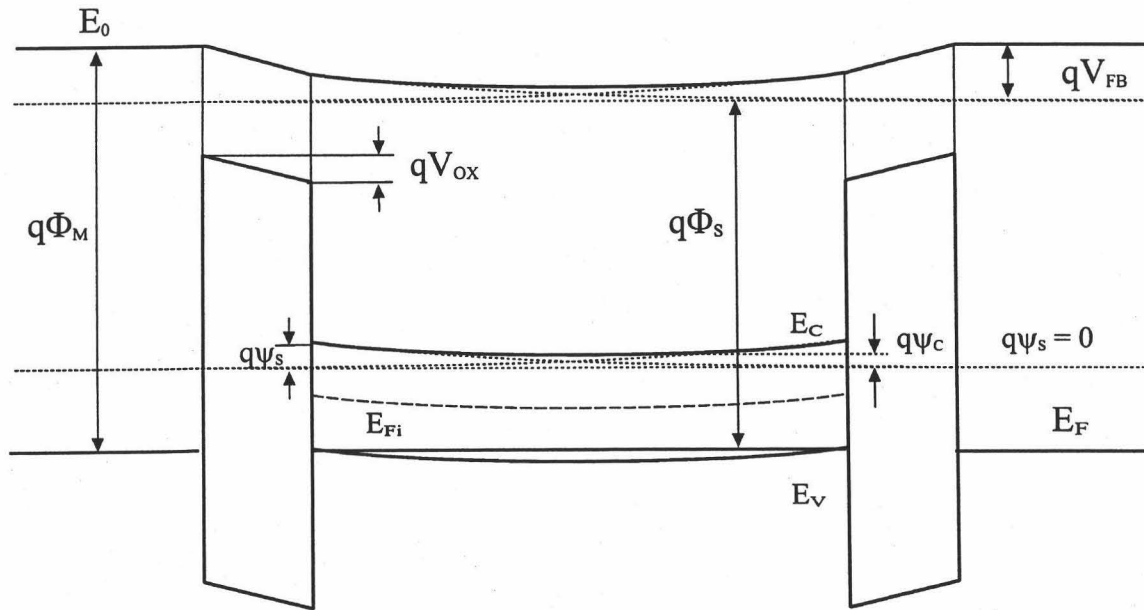


Fig. 20: Diagrama de bandas para una estructura MOSOM de ancho de capa de silicio menor que 5nm, función trabajo del metal mayor que la del semiconductor ($\Phi_M > \Phi_s$) y tensión aplicada a las puertas $V_G = 0$.

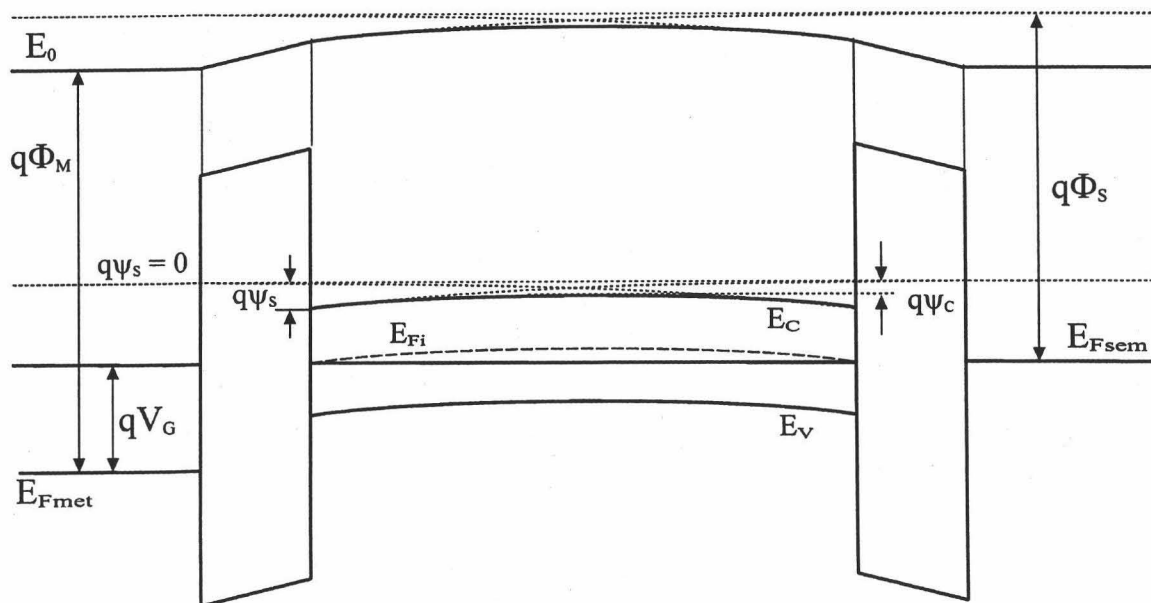


Fig. 21: Diagrama de bandas para una estructura MOSOM de ancho de capa de silicio menor que 5nm, función trabajo del metal mayor que la del semiconductor ($\Phi_M > \Phi_s$) y tensión aplicada a las puertas tal que el potencial de superficie es igual al potencial de Fermi. $\psi_s = \phi_F$.

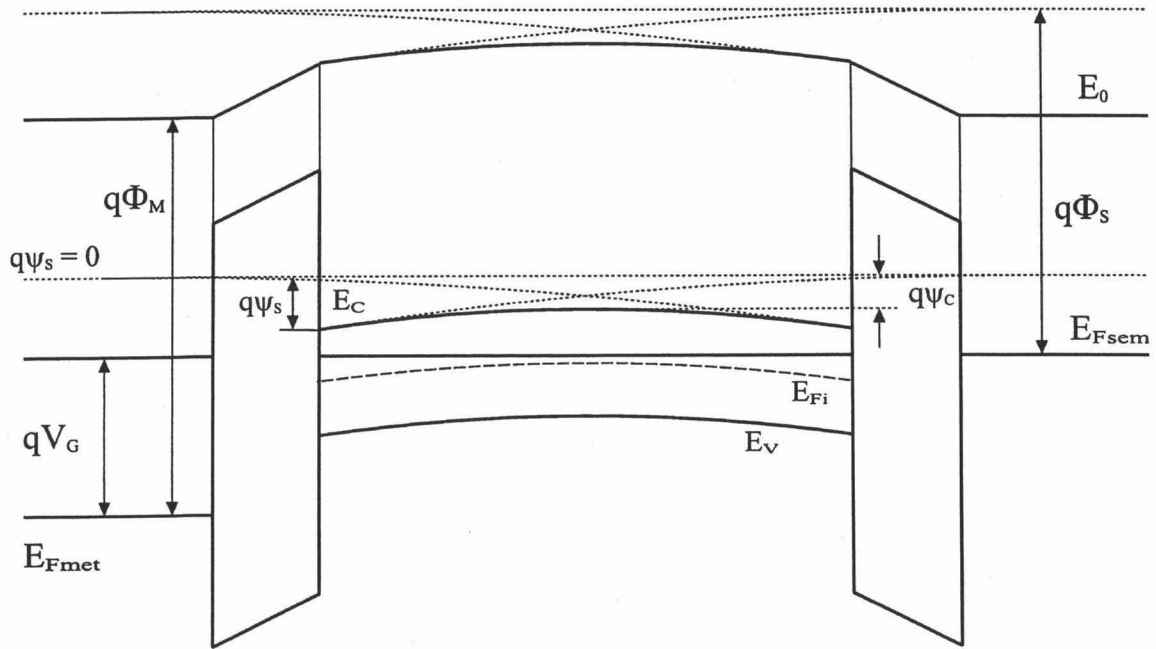


Fig. 22: Diagrama de bandas para una estructura MOSOM de ancho de capa de silicio menor que 5nm, función trabajo del metal mayor que la del semiconductor ($\Phi_M > \Phi_S$) y tensión aplicada a las puertas tal que el potencial de superficie es igual al doble del potencial de Fermi. ($\psi_s = 2\phi_F$).

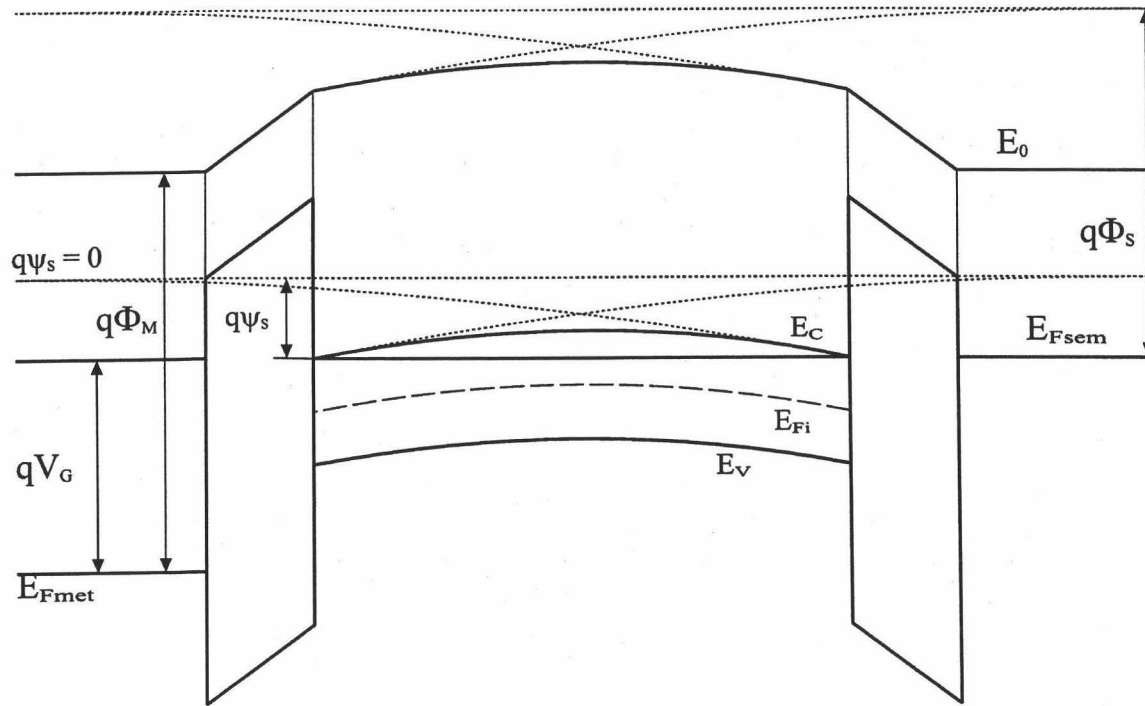


Fig. 23: Diagrama de bandas para una estructura MOSOM de ancho de capa de silicio menor que 5nm, función trabajo del metal mayor que la del semiconductor ($\Phi_M > \Phi_S$) y tensión aplicada a las puertas tal que el potencial de superficie es mayor que el doble del potencial de Fermi. ($\psi_S = 3\phi_F$).

La situación es cualitativamente similar al caso de depleción total, pero el acercamiento de la banda de conducción al nivel de Fermi en la lámina de silicio es ahora considerablemente mayor, de manera que la concentración de portadores minoritarios sí se incrementa de forma significativa también en el centro de la lámina. Se puede decir que existe inversión también en ese punto central, y, por consiguiente, que la región de inversión ocupa toda la capa de silicio. Esto se pondrá de manifiesto más adelante, cuando se representen las concentraciones de portadores.

2.2 RESOLUCIÓN DE LAS ECUACIONES UNIDIMENSIONALES DE POISSON Y SCHRÖDINGER

Una vez mostrado de forma cualitativa el comportamiento de la estructura MOSOM en las diferentes regiones de operación, a través de la curvatura de bandas y de la posición de los extremos de las bandas con respecto al nivel de Fermi, nos planteamos una descripción cuantitativa del dispositivo. Nuestro objetivo es mostrar las distribuciones de portadores de carga para cada valor de la tensión de polarización externa y la dependencia del potencial de superficie y del potencial central en función de la tensión aplicada a las puertas. Nos proponemos realizar este estudio para diferentes valores de los parámetros tecnológicos relevantes, principalmente de la anchura de la lámina de silicio.

Si ya en un MOSFET convencional es importante considerar la cuantización del movimiento de los portadores minoritarios del canal en la dirección perpendicular a la interface silicio-óxido, debido a la modificación que produce en la distribución de dichos portadores, en el DGMOST esta modificación es más importante aun desde el punto de vista cualitativo, porque sin ella no se pueden apreciar los efectos de la inversión en volumen. Será necesario, pues, resolver autoconsistentemente las ecuaciones de Poisson y Schrödinger en la estructura. Con el fin de evaluar los efectos de la cuantización, también analizaremos la estructura con un modelo clásico, estudiando las diferencias. El procedimiento de solución se describe en los apartados siguientes.

2.2.1 ECUACIÓN DE POISSON CLÁSICA

En este apartado utilizamos un modelo clásico basado en la ecuación de Poisson y en una distribución continua de estados energéticos para los electrones, como se

obtendría en un trozo de semiconductor suficientemente ancho, no sometido a un pozo de potencial confinante. La distribución de electrones se obtiene a partir de la densidad continua de estados y la estadística de Fermi-Dirac, de manera que una vez resuelta la ecuación de Poisson en la dirección perpendicular a la interface se conoce también la distribución de carga en el dispositivo. A esta aproximación autoconsistente se le ha llamado “aproximación de Thomas-Fermi” en repetidas ocasiones en la bibliografía.

En el planteamiento de la ecuación de Poisson se han admitido las mismas simplificaciones que en la referencia [Gámiz et al., 1994a]. La ecuación de Poisson en el semiconductor es:

$$\frac{d^2\phi(z)}{dz^2} = -\frac{\rho(z)}{\epsilon_{si}} \quad (2)$$

donde $\phi(z)$ es el potencial eléctrico en todo punto de la estructura, que nos define la curvatura de bandas, $\rho(z)$ es la densidad de carga y ϵ_{si} la constante dieléctrica del silicio.

El potencial $\phi(z)$ se relaciona con la curvatura de bandas mediante:

$$E_i(z) = E_{iB} - e\phi(z) \quad (3)$$

donde también se ha definido el origen de potenciales. $E_i(z)$ es el nivel de Fermi intrínseco en todo punto y E_{iB} es el nivel intrínseco lejos de la interface, en una región neutra, si la hubiera.

La densidad de carga del silicio recibe tanto las contribuciones de portadores libres (huecos, $p(z)$, y electrones, $n(z)$, respectivamente) como de las impurezas ionizadas donadoras (N_D) y aceptadoras (N_A):

$$\rho(z) = q \cdot (p(z) - n(z) + N_D^+ - N_A^+) \quad (4)$$

Las concentraciones de electrones y huecos se han calculado por medio de la integración del producto de la densidad continua de estados en las bandas de conducción y valencia, respectivamente, y la función de ocupación de esos estados (calculada haciendo uso de la función de Fermi-Dirac).

La ecuación de Poisson se ha resuelto usando un procedimiento numérico iterativo utilizando el método de Newton-Raphson.

2.2.2 ECUACIÓN DE SCHRÖDINGER. CUANTIZACIÓN

Existen evidencias experimentales de que los portadores en una lámina de inversión muestran propiedades bidimensionales o quasi-bidimensionales [Schrieffer 1957, Wheeler 1975, Gornik, 1976]. El pozo de potencial formado por la interface aislante-semiconductor es suficientemente estrecho para que los efectos cuánticos sean importantes: el movimiento de los electrones atrapados en este pozo de potencial está cuantizado en la dirección perpendicular a la interface. En el caso de un transistor de doble puerta con una lámina de silicio delgada, los efectos cuánticos se manifiestan experimentalmente de forma aun más evidente [Colinge, 1994].

Para incluir el comportamiento cuántico en el análisis de la estructura, habrá que calcular los niveles de energía posibles y las funciones de onda que los caracterizan resolviendo la ecuación de Schrödinger. Para su resolución se utilizan las mismas aproximaciones que en los trabajos de [Gámiz et al., 1994a y Madelung 1978]. Se supone también que el potencial que “ven” los electrones en inversión, es sólo función de la distancia a la interface, esto es, $V(\vec{R}) = V(z)$, siendo z la coordenada perpendicular a la interface.

En estas condiciones la función de onda del electrón, $\psi(\vec{R})$, puede escribirse como el producto de una función de Bloch, un factor envolvente que depende únicamente de z , y una onda plana que representa el movimiento libre del electrón en el plano paralelo a la interface,

$$\psi(x, y, z) = \xi(z) \cdot e^{(ik_1x + ik_2y)} \cdot u_\alpha(\vec{R}) \quad (5)$$

$u_\alpha(\vec{R})$ es la función de onda de Bloch para el fondo del valle considerado en la banda de conducción, e incluye tanto la función periódica de la red, como la onda plana $e^{i\vec{k}_\alpha \cdot \vec{R}}$, donde \vec{k}_α es el vector de onda en el mínimo de energía del valle α -ésimo.

Con el fin de simplificar la expresión anterior y facilitar la resolución de la ecuación de autovalores resultante para la función envolvente, dependiente de la variable z , se transforma la expresión anterior obteniendo [Madelung 1978]:

$$\psi(x, y, z) = \zeta(z) \cdot e^{(ik_1x + ik_2y)} \cdot e^{-iz \left(\frac{\omega_{13}}{w_{33}} k_1 + \frac{\omega_{23}}{w_{33}} k_2 \right)} \cdot u_\alpha(\vec{R}) \quad (6)$$

Donde la forma concreta de los parámetros ω_{ij} (componentes del tensor masa efectiva) viene dada por la expresión:

$$\frac{1}{\hbar^2} \frac{\partial^2 E}{\partial k_i \partial k_j} = \frac{1}{m_{ij}} = \omega_{ij} \quad (7)$$

y donde la función $\zeta(z)$ satisface la ecuación diferencial:

$$\frac{\hbar^2}{2m_z} \frac{d^2 \zeta}{dz^2} + [E'' - V(z)] \zeta(z) = 0 \quad (8)$$

siendo m_z el inverso de ω_{33} , y E'' igual a:

$$E'' = E(k_1, k_2) - \frac{\hbar^2}{2} \left[\left(\omega_{11} - \frac{\omega_{13}^2}{\omega_{33}} \right) k_1^2 + 2 \left(\omega_{12} - \frac{\omega_{13}\omega_{23}}{\omega_{33}} \right) k_1 k_2 + \left(\omega_{22} - \frac{\omega_{23}^2}{\omega_{33}} \right) k_2^2 \right] \quad (9)$$

Dada la forma de $V(z)$, deben existir estados ligados en la ecuación (8). Por tanto, sólo es posible un conjunto discreto de valores de E'' . Para cada uno de los valores discretos E_i'' de energía, las componentes k_1 y k_2 del vector de onda varían de forma continua entre $\pm\infty$, de manera que para cada valor de E_i'' se tiene un continuo de energías. A cada uno de estos continuos de energía se le denomina subbanda de energía, siendo E_i'' el mínimo de dicha subbanda.

La ecuación de Schrödinger simplificada (8) depende de la orientación del mínimo de la banda considerado a través del valor de m_z . Para cada valor de m_z las soluciones E_i'' constituyen una serie de subbandas. Por lo tanto, para diferentes orientaciones de las superficies isoenergéticas del substrato con respecto a la interface Si-SiO₂, habrá diferentes conjuntos de subbandas. En el caso considerado en este estudio, de una superficie con orientación (100), dos de los seis elipsoides isoenergéticos del substrato corresponden a una masa perpendicular a la interface igual a la masa longitudinal, $m_z = m_l$, y dan lugar a un conjunto de subbandas que numeramos con los índices (0, 1, 2, ...); para los otros cuatro valles restantes, la masa perpendicular a la interface es la masa transversal $m_z = m_t$, y dan lugar a otro conjunto de subbandas que numeramos con los índices "primados" (0', 1', 2', ...). Dado que, en el caso del silicio, m_l es mayor que m_t , la solución i -ésima del conjunto (0, 1, 2, ...) corresponde a una energía transversal más pequeña que la solución i -ésima del conjunto (0', 1', 2', ...).

El potencial eléctrico $V(z)$ vienen dado por la suma de varias contribuciones [Ando et al., 1982]:

$$V(z) = V_d(z) + V_s(z) + V_{im}(z) + V_{ex}(z) \quad (10)$$

donde $V_d(z)$ es la contribución al potencial de la carga de las impurezas ionizadas en la zona de depleción, $V_s(z)$ la contribución de la carga inducida por la inversión en la lámina de carga espacial, $V_{im}(z)$ es el término imagen consecuencia de las diferentes constantes dieléctricas del semiconductor y el aislante. $V_{ex}(z)$ es el término de correlación por intercambio debido a la contribución de los efectos de la interacción electrón-electrón [Vinter, 1976, 1977]. Analizamos los diferentes términos:

- 1) Los dos primeros términos $V_d(z)$ y $V_s(z)$ pueden obtenerse de la resolución de la ecuación de Poisson, resuelta junto con la de Schrödinger de forma autoconsistente.
- 2) El potencial imagen $V_{im}(z)$ es consecuencia del valor diferente de la constante dieléctrica a ambos lados de la interface y viene dado por

$$V_{im}(z) = \frac{\epsilon_{Si} - \epsilon_{ox}}{\epsilon_{Si} + \epsilon_{ox}} \frac{e^2}{16\pi \epsilon_{Si} z} \quad (11)$$

siendo ϵ_{Si} y ϵ_{ox} las constantes dieléctricas del silicio y del dióxido de silicio respectivamente. Puesto que el silicio tiene una constante dieléctrica mayor que la del óxido, este término representa un potencial repulsivo.

- 3) Por último, queda analizar el efecto que sobre los niveles energéticos de un electrón tiene la presencia de otros electrones. (Efectos de correlación por intercambio). El electrón en la zona de inversión se encuentra en presencia de otros muchos electrones, y, por lo tanto, se verá afectado por el campo eléctrico de todos ellos.

Se ha demostrado que, en el caso de bajas temperaturas, el potencial imagen cancela aproximadamente las correcciones de muchos cuerpos dadas por el término de correlación por intercambio [Ando 1982, Fischetti 1993]. Por otro lado, a altas temperaturas las correcciones introducidas por los efectos de correlación por intercambio son mucho menos importantes, y su efecto sobre la posición de los mínimos de energía de las subbandas y de la distribución de carga es despreciable [Ando 1982, Fischetti 1993, Das Sarma 1981, Das Sarma 1982]. La cancelación parcial de los dos efectos se debe a que el término imagen, que es repulsivo, tiende a expandir la función de onda, mientras que el término de intercambio tiende a comprimirla [Fischetti, 1993].

Por las razones anteriores, y sobre todo para simplificar el cálculo sabiendo que los efectos que se producen sobre el resultado son pequeños, no incluiremos los términos debidos a la fuerza imagen ni a la correlación por intercambio en el potencial que aparece en la ecuación de Schrödinger monoeléctronica. Los efectos de todos los electrones en el potencial que actúa sobre un electrón se incluyen en $V_s(z)$. A esta aproximación se le conoce como "de Hartree", en la bibliografía. Además, si se hubiera incluido $V_{ex}(z)$, hablaríamos de la aproximación de "Hartree-Fock".

2.2.3 MÉTODO DE RESOLUCIÓN

Para calcular los niveles de energía y las funciones de onda de los electrones en una lámina de silicio con orientación (100), necesitamos resolver autoconsistentemente la ecuación de Schrödinger (8), en la aproximación de Hartree, con la ecuación de Poisson. En la ecuación de Poisson se tratan conjuntamente los dos términos de potencial, incluyendo simultáneamente el efecto de todas las cargas:

$$\frac{d^2}{dz^2} [V_d(z) + V_s(z)] = \frac{-1}{\epsilon_{si}} [\rho_d(z) + \rho_{inv}(z)] \quad (12)$$

$\rho_{inv}(z)$ es la densidad de carga en inversión, $\rho_{inv} = -e \cdot n(z)$, siendo $n(z)$ la densidad total de electrones en inversión, que se calcula según:

$$n(z) = \sum_i n_i(z) = \sum_i N_i |\zeta_i(z)|^2 \quad (13)$$

donde ζ_i es la función envolvente para la subbanda i -ésima y N_i es la densidad de electrones por unidad de área en la subbanda i -ésima [Stern y Howard, 1967]:

$$N_i = \frac{K_B T}{\pi \cdot \hbar^2} n_{vi} m_{di} \ln \left(1 + e^{\frac{E_F - E_i}{K_B T}} \right) \quad (14)$$

siendo n_{vi} la degeneración de la subbanda considerada, m_{di} la masa para la densidad de estados, K_B la constante de Boltzmann, E_i el mínimo de dicha subbanda y E_F el nivel de Fermi de la estructura.

Por otro lado, $\rho_d(z)$ es la densidad de carga en la zona de depleción, y viene dada por:

$$\rho_d(z) = e \left(N_A e^{\frac{-e(V_s(z)+V_d(z))}{K_B T}} - N_A \right) \quad (15)$$

Suponiendo que todas las impurezas están ionizadas (N_A es la concentración de impurezas aceptadoras en la lámina de silicio), y que la concentración de huecos es suficientemente pequeña como para poder considerar exacta la aproximación de Boltzmann. Puesto que $\rho_d(z)$ depende del potencial que queremos calcular en la ecuación, habrá que utilizar un método iterativo. Por otra parte, para conocer ζ_i y E_i hay que resolver la ecuación de Schrödinger que, a su vez, depende del potencial. Esta ecuación ha de ser resuelta, por tanto, en cada iteración de la ecuación de Poisson.

Las dos ecuaciones se resuelven, por consiguiente, de manera numérica, partiendo de la solución obtenida anteriormente con la aproximación clásica. Del conocimiento de los niveles de energía y funciones de onda será posible obtener la forma en que se distribuyen los electrones en la lámina de inversión tanto espacial como energéticamente, y se podrá estudiar cómo cambia esta distribución cuando se modifican las condiciones de temperatura y campo eléctrico transversal.

2.2.4 NO PARABOLICIDAD

En la discusión presentada hasta ahora no se han tenido en cuenta los efectos de no-parabolicidad en la relación de dispersión E-k que tiende a mezclar los movimientos paralelo y normal a la superficie del electrón. Sin embargo, estos efectos son esenciales cuando el electrón adquiere energías elevadas separándose de los mínimos de las subbandas debido a la operación del dispositivo a altas temperaturas o a campos eléctricos elevados. En todas las simulaciones que hemos realizado en este trabajo se han tratado energías electrónicas menores de 0.3 eV. De acuerdo con resultados previos de otros autores [Laux et al., 1988], [Fischetti et al., 1993] se puede utilizar un modelo simplificado de bandas noparabólico, basado en una corrección de primer orden,

obteniéndose una buena aproximación al modelo real y completo de bandas hasta una energía electrónica de aproximadamente 0.5 eV. En consecuencia, este modelo noparabólico es el que hemos utilizado a lo largo de este trabajo. Para ello nuestro grupo de investigación ha obtenido una ecuación de Schrödinger modificada que tiene en cuenta los efectos de la no parabolicidad de las bandas que se hace notar sobre todo cuando niveles de energía que aparecen en el pozo de potencial están unas décimas de eV por encima del mínimo de la banda de conducción [López-Villanueva, 1993, 1994].

La no parabolicidad se puede incluir en la relación de dispersión E-k desarrollando la energía en una serie de potencias del vector de onda, o desarrollando el vector de onda en serie de potencias de la energía. En este trabajo se ha hecho uso de la expresión utilizada por [López-Villanueva, et al., 1993]

$$\varepsilon(1 + \alpha\varepsilon) = \frac{\hbar^2 k^2}{2m^*} \quad (16)$$

$$\varepsilon = \frac{1}{2\alpha} \sum_{n=1}^{\infty} \left(\frac{1}{2} \right)^n \left(4\alpha \frac{\hbar^2 k^2}{2m^*} \right)^n \quad (17)$$

Utilizando la expresión anterior se obtiene la expresión definitiva para la ecuación de Schrödinger modificada para un pozo de potencial V(z):

$$\frac{1 + 2\alpha\varepsilon_{\parallel}}{2\alpha} \sum_{l=1}^{\infty} \left(\frac{1}{2} \right)^l \left(-4\alpha \frac{\hbar^2}{2m_z(1 + 2\alpha\varepsilon_{\parallel})^2} \right)^l \frac{\partial^{2l} \zeta(z)}{\partial z^{2l}} + V(z)\zeta(z) = \varepsilon_z \zeta(z) \quad (18)$$

donde

$$\varepsilon_{\parallel} = \frac{1}{2\alpha} \left(\left[1 + 4\alpha \frac{\hbar^2}{2} \left(\frac{k_x^2}{m_x} + \frac{k_y^2}{m_y} \right) \right]^{\frac{1}{2}} - 1 \right) \quad (19)$$

En este caso, las masas efectivas que se han de utilizar son las mismas a las que se ha hecho referencia en el apartado anterior, donde se ha de tener en cuenta la particularización al valle en el cual se encuentra el electrón. La relación entre las energías transversales, paralela y total que aparecen en las tres ecuaciones anteriores es la siguiente: $\varepsilon_z = \varepsilon - \varepsilon_{\parallel}$. Las condiciones de contorno utilizadas para resolver esta ecuación se basan en la continuidad de la función envolvente $\zeta(z)$ y la corriente de probabilidad $j(z)$ de dicha función envolvente, y pueden encontrarse en la referencia [López-Villanueva, et al., 1993]. Otros procedimientos alternativos para la introducción de la no parabolicidad de las bandas pueden hallarse en las referencias [Fischetti et al., 1993], [Rashed et al., 1995].

2.2.5 RESULTADOS

El procedimiento descrito en la sección anterior se ha utilizado para calcular la estructura de subbandas (funciones de onda y niveles de energía) en la lámina de silicio de la estructura MOSOM, y, a partir de ésta, hallar la distribución de electrones, potencial de superficie, potencial central, carga en inversión, pendiente subumbral y centroide de la densidad de carga para cualquier valor de la tensión externa aplicada a la puerta.

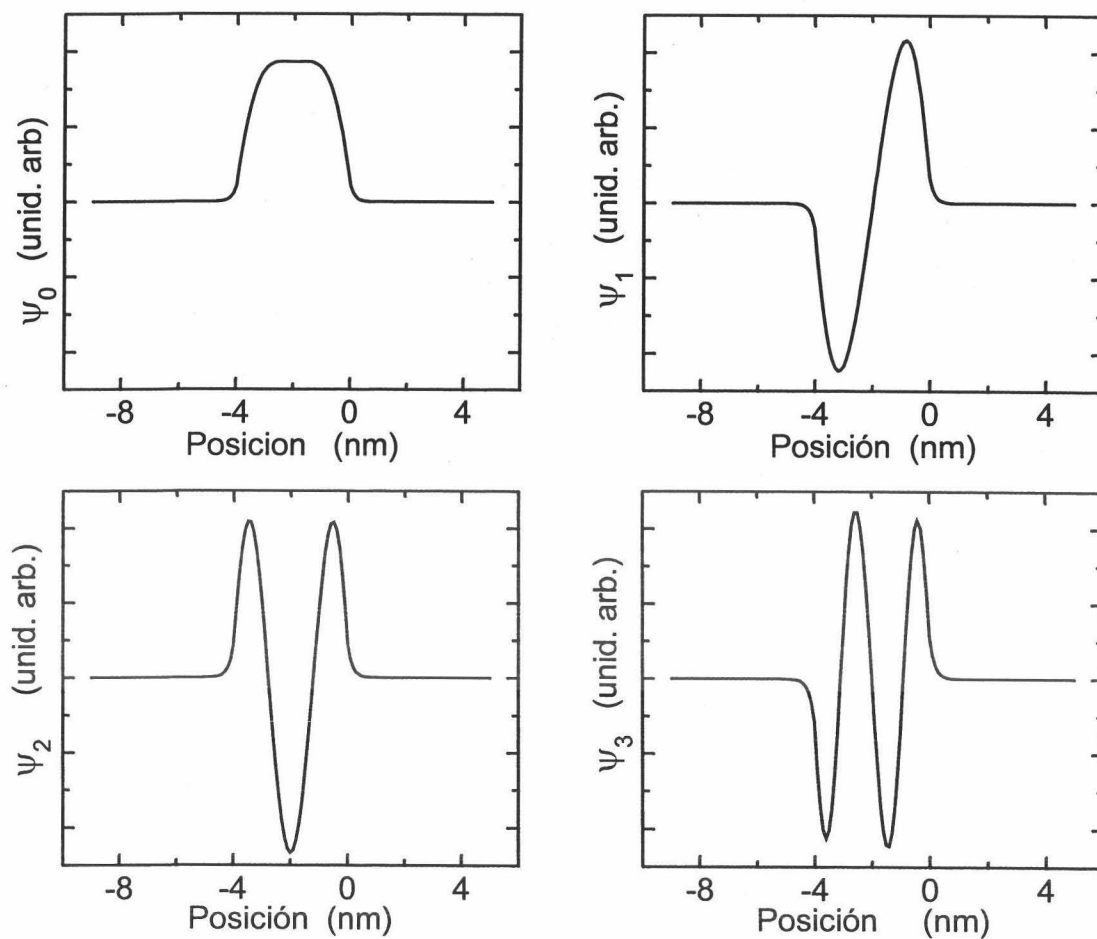
En los MOSFET de doble puerta con lámina central de silicio delgada, la distancia entre las dos regiones de inversión correspondientes a cada puerta es tan pequeña que se produce una interacción entre las dos regiones de inversión. Como consecuencia de esta interacción, la estructura de bandas y concentración de portadores

de una región de inversión depende de la estructura de bandas y concentración de la otra, y viceversa.

2.2.5.1 SUBBANDAS DE ENERGÍA Y FUNCIONES DE ONDA

Las propiedades macroscópicas de transporte del gas electrónico confinado en una interface son el resultado de la contribución de todos los electrones contenidos en las diferentes subbandas. El número de subbandas coincide con el número de estados ligados de la ecuación de Schrödinger para el pozo de potencial $V(z)$, solución de la ecuación de Poisson. Como los electrones en la lámina central de silicio están confinados por las barreras de potencial que imponen los óxidos a ambos lados, con una altura superior a 3 eV, el número de estados ligados es muy grande y, por tanto, también lo es el número de subbandas en que queda contenido el gas de electrones. Ante la imposibilidad de considerar tal número de subbandas, aparece la necesidad de elegir un número finito de ellas. El resultado de un estudio previo [Gámiz et al., 1994c] confirma que utilizar seis subbandas es suficiente para un análisis del transporte en transistores MOS convencionales. Como a medida que la energía del mínimo de la subbanda crece, disminuye exponencialmente la ocupación de la misma, y por consiguiente la densidad de electrones contenidos en ella, con este número se consigue incluir la mayoría de los electrones en todas las condiciones de campo eléctrico transversal y temperatura, y, además, es lo suficientemente pequeño para que el estudio sea viable. La validez de esta aproximación es mayor aun en los transistores de doble puerta, ya que el pozo de potencial que confina a los electrones no se ensancha al crecer la energía, y la separación energética de los niveles elevados es incluso mayor. Estos comentarios quedan enmarcados en la descripción de los fenómenos de transporte; sin embargo, al resolver las ecuaciones de Poisson y Schrödinger autoconsistentemente se da cuenta del resto de subbandas no consideradas por medio de un modelo que las engloba en un continuo de energía.

Para ilustrar los resultados obtenidos con nuestro simulador, mostramos en las gráficas de la Fig. 24 las funciones de onda resultantes para las seis subbandas de menor energía (0, 1, 2, 3, 0', 1') con una estructura MOSOM de espesor de la lámina de silicio igual a 4 nm:



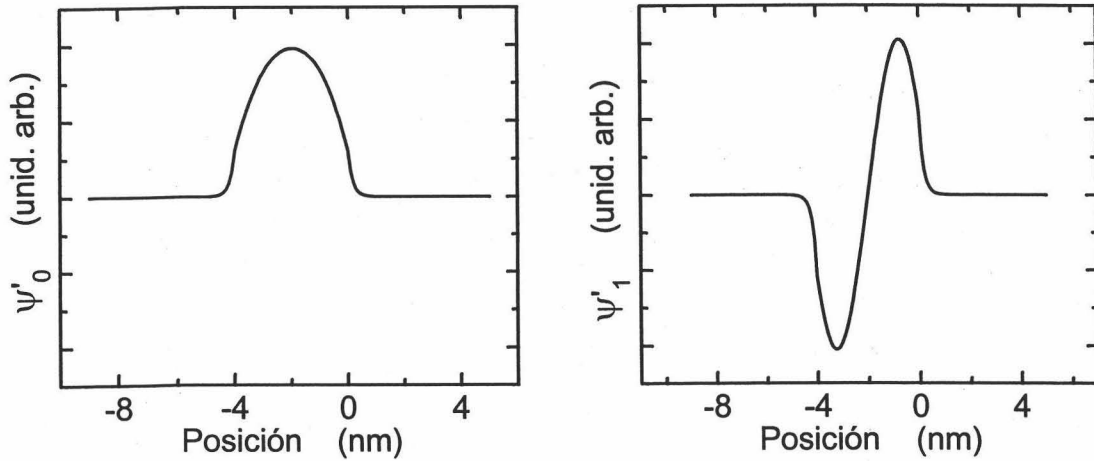


Fig. 24: Funciones de onda para una estructura MOSOM de espesor de la lámina de silicio igual a 4nm.

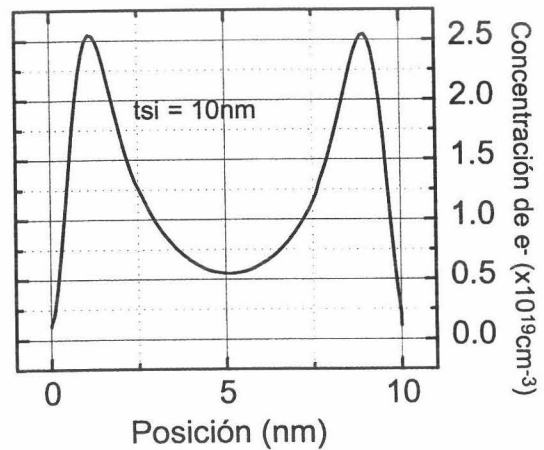
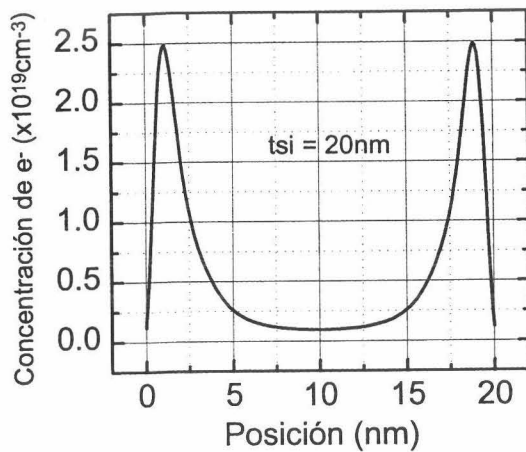
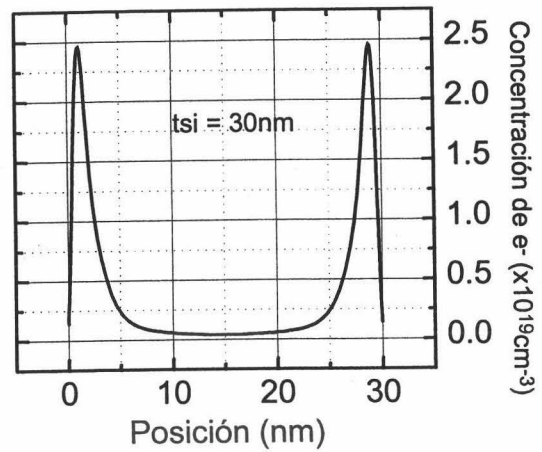
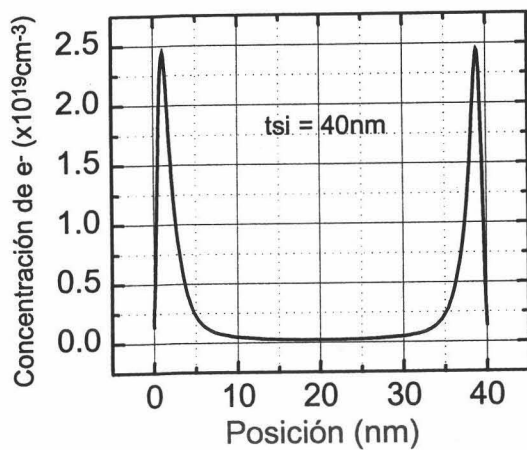
donde el origen de la coordenada espacial se ha situado en la interface superior. Se puede apreciar que el número de cruces por cero es el esperado, y se puede observar una ligera penetración de las funciones de onda en el interior del óxido, como consecuencia de la altura finita de la barrera (3.15 eV).

2.2.5.2 DISTRIBUCIÓN DE ELECTRONES CON Y SIN INVERSIÓN EN VOLUMEN

Se ha realizado un estudio de la distribución de electrones utilizando tanto el modelo clásico como el “cuántico” (el que considera la cuantización del movimiento de los electrones en subbandas de energía) en nuestras simulaciones. Hemos considerado una estructura MOSOM simétrica con puertas de polisilicio tipo P⁺ de dopado 10²⁰cm⁻³, capas de óxido de espesor t_{ox} = 5nm y lámina de silicio tipo P con dopado uniforme de 10¹⁵cm⁻³ y espesores de 40nm a 4nm. En las gráficas siguientes se muestra la distribución de electrones en las situaciones de débil y fuerte inversión. Para poder realizar una comparación fiable entre las distintas estructuras, se ha ajustado la tensión de polarización aplicada a las puertas de manera que la densidad de carga de portadores minoritarios en el canal por unidad de área sea la misma para todos los espesores. El

valor elegido para dicha carga es de $Q_I = 10^{-11} \text{ C/cm}^2$ en el caso de débil inversión y de $Q_I = 2 \cdot 10^{-6} \text{ C/cm}^2$ en el caso de inversión fuerte. Veamos los resultados:

- 1) Distribución de electrones en la lámina de silicio en fuerte inversión, utilizando el modelo cuántico:



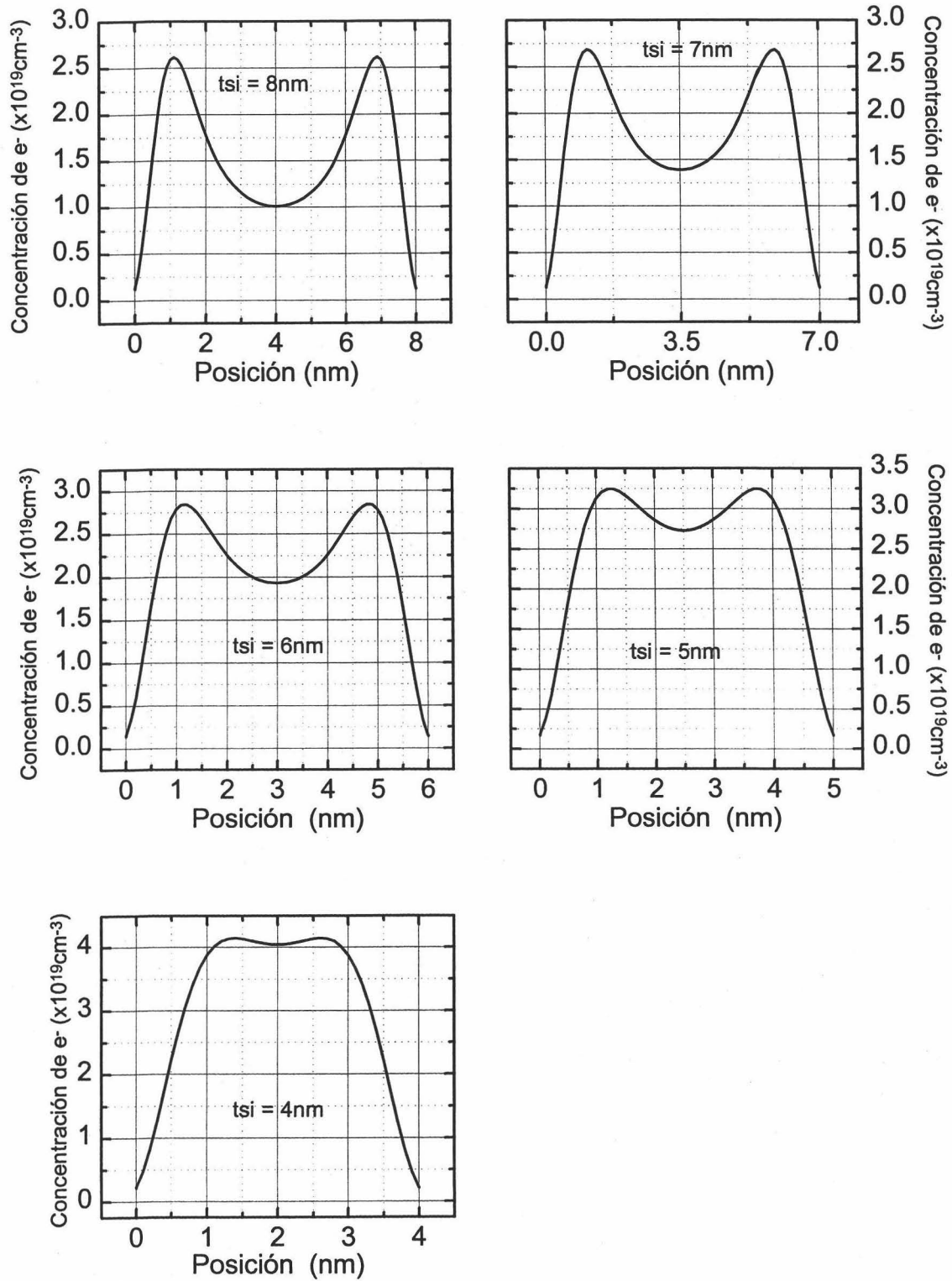
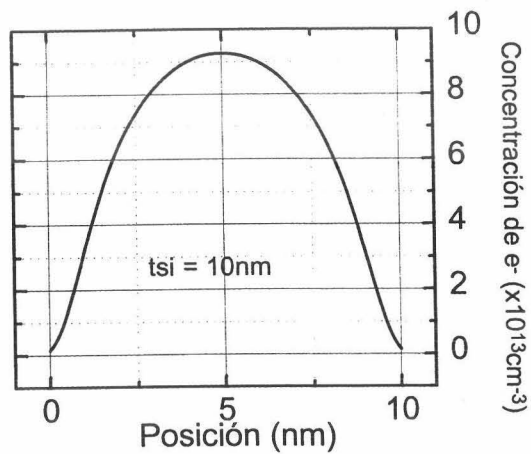
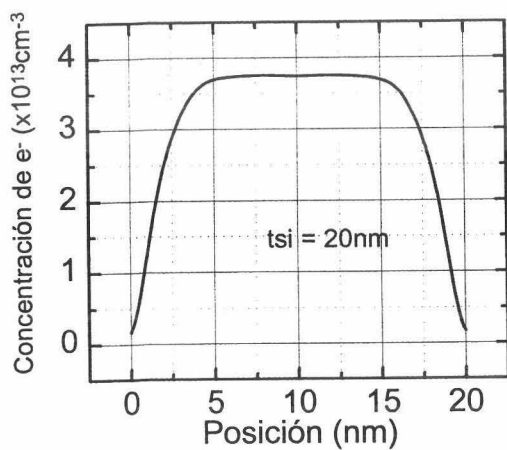
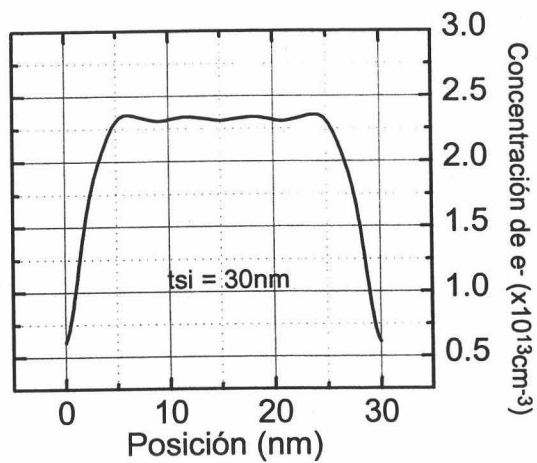
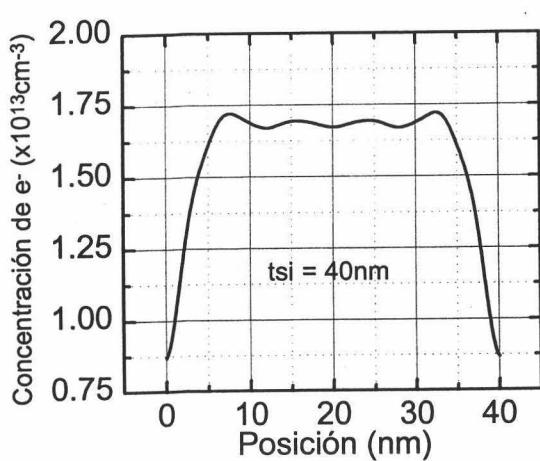


Fig. 25: Distribución de la concentración de electrones en el interior de la lámina de silicio para distintos espesores, manteniendo constante la carga total en la lámina de silicio en todos los casos, al valor $Q_i = 2 \cdot 10^{-6} \text{ C/cm}^2$. La estructura se encuentra en fuerte inversión.

2) Distribución de electrones en la lámina de silicio en débil inversión, utilizando el modelo cuántico:



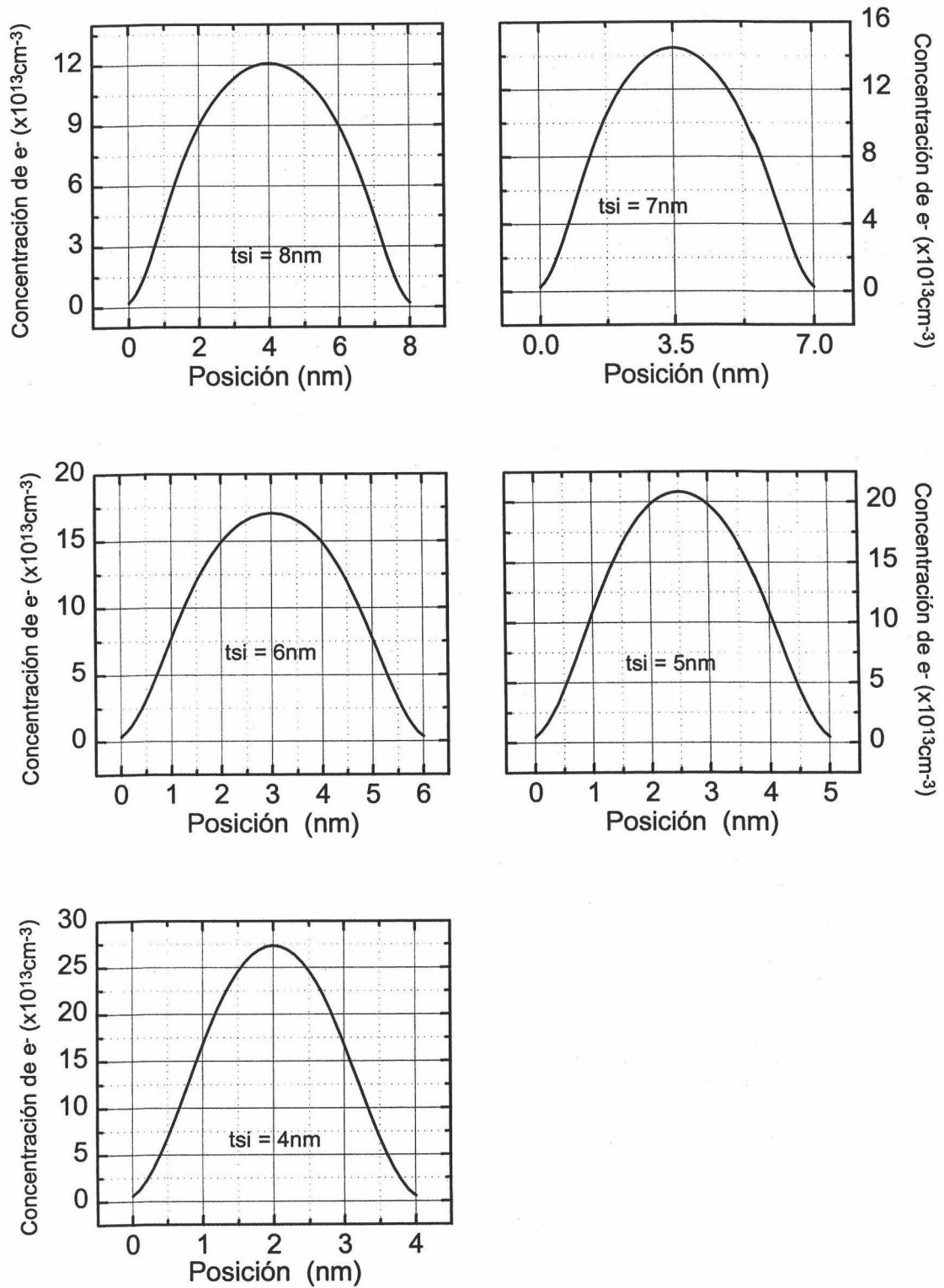
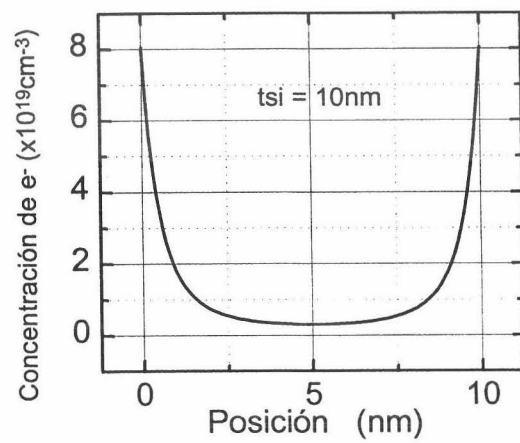
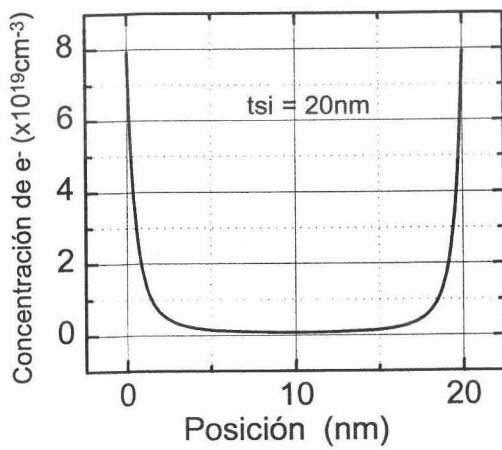
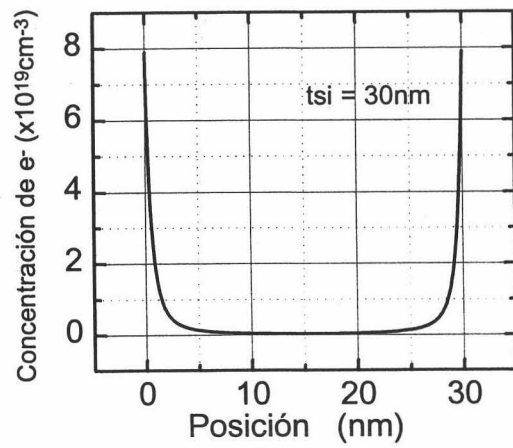
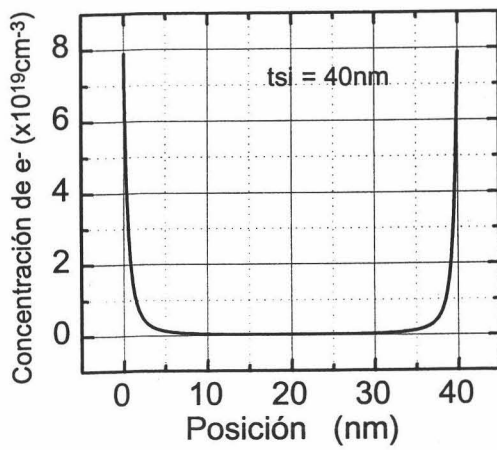


Fig. 26: Distribución de la concentración de electrones en el interior de la lámina de silicio para distintos espesores, manteniendo constante la carga total en la lámina de silicio en todos los casos, al valor $Q_t = 1 \cdot 10^{-11} \text{ C/cm}^2$. La estructura se encuentra en débil inversión.

3) Distribución de electrones en la lámina de silicio en fuerte inversión, utilizando el modelo clásico:



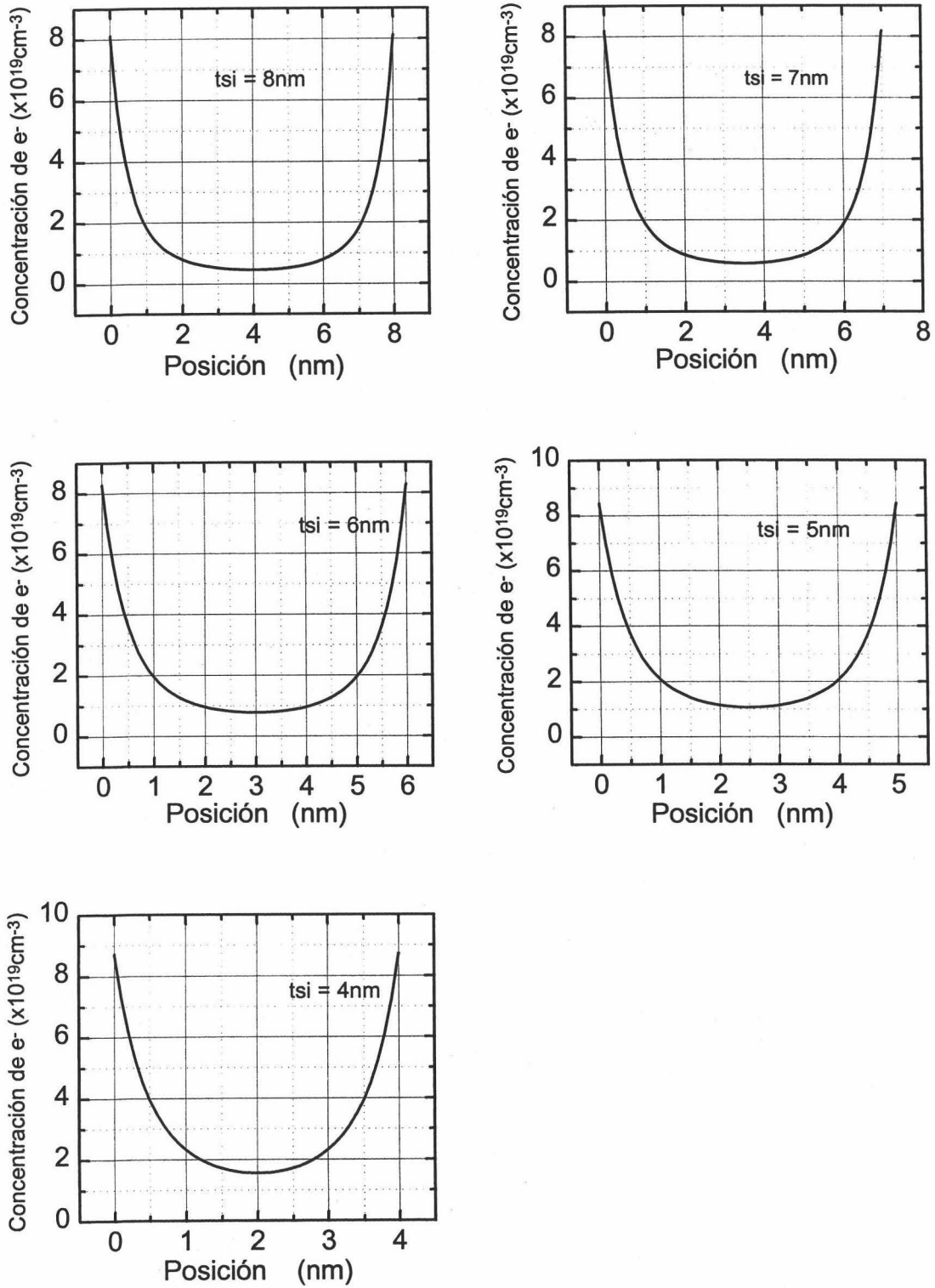
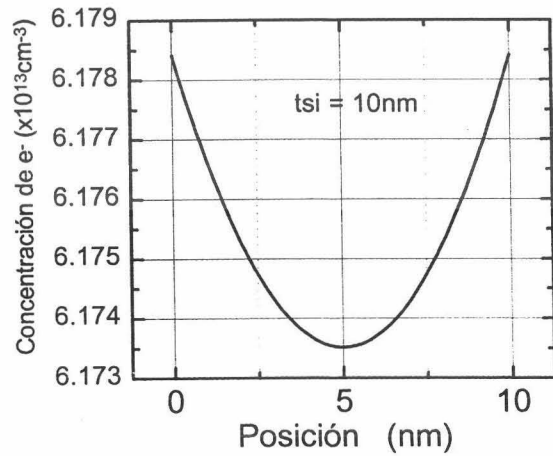
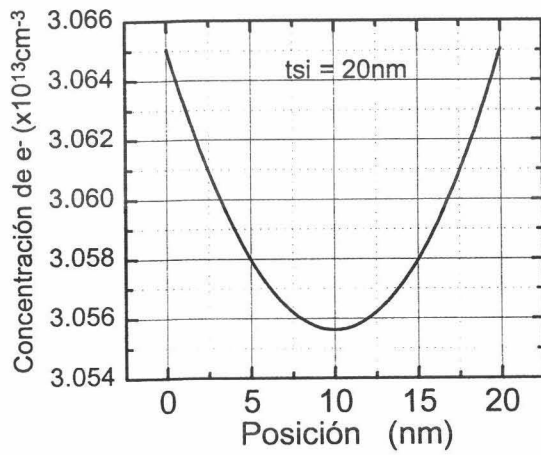
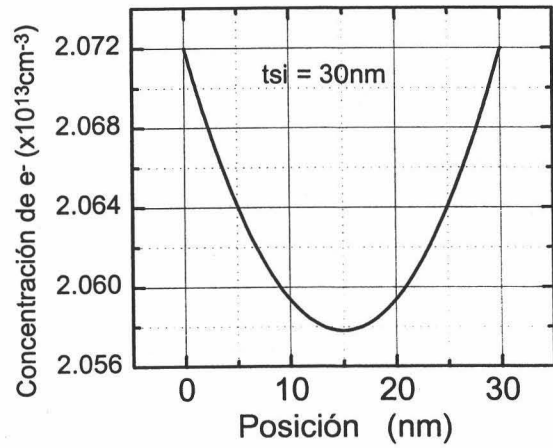
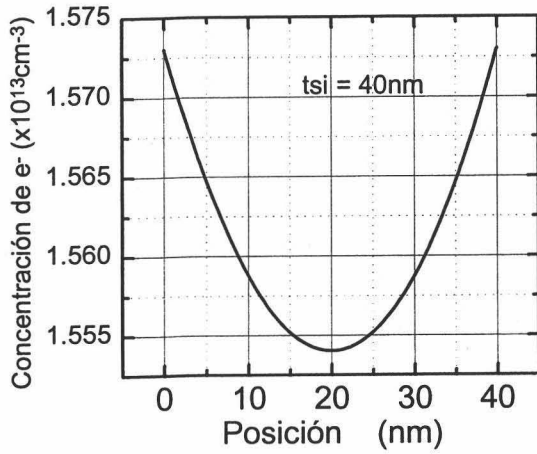


Fig. 27: Distribución de la concentración de electrones en el interior de la lámina de silicio para distintos espesores, manteniendo constante la carga total en la lámina de silicio en todos los casos, al valor $Q_T = 2 \cdot E-6 \text{ C/cm}^2$. La estructura se encuentra en fuerte inversión. Resultado de la simulación clásica.

- 4) Distribución de electrones en la lámina de silicio en débil inversión, utilizando el modelo clásico:



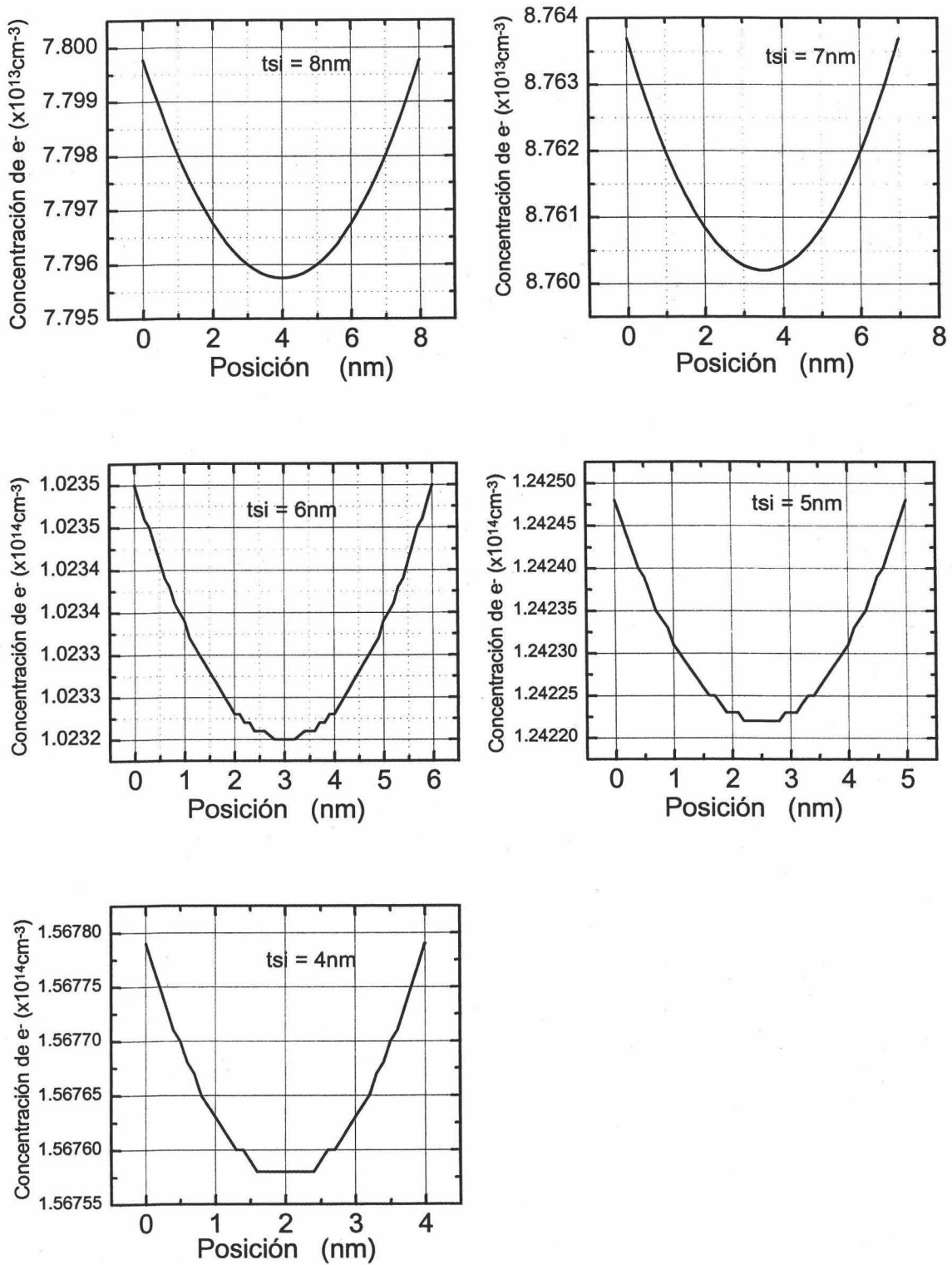


Fig. 28: Distribución de la concentración de e^- en el interior de la lámina de silicio para distintos espesores, manteniendo constante la carga total en la lámina de silicio en todos los casos, al valor $Q_1 = 1 \cdot E-11 \text{ C/cm}^2$. La estructura se encuentra en débil inversión. Resultados de la simulación clásica.

De la comparación de los cuatro conjuntos de curvas anteriores se pueden extraer importantes conclusiones. Por una parte, se puede observar la gran diferencia que resulta si se usa el modelo cuántico con respecto a los resultados que produce el modelo clásico. En la simulación clásica la máxima concentración de portadores se obtiene justo en las interfaces, esto es, en los extremos de la lámina, mientras que en la simulación cuántica la concentración es casi nula en los extremos de la lámina, estando situados los máximos de concentración a cierta distancia de las interfaces. No obstante, esta diferencia es menor para las láminas de mayor espesor (40, 30 nm), ya que en este caso, a pesar de la penetración del máximo de concentración en el interior de la lámina de silicio, esta penetración es pequeña en comparación con el espesor total y se distinguen claramente dos capas de inversión diferenciadas, cada una de ellas próxima a una de las dos interfaces, siendo la concentración en el centro de capa de silicio bastante menor (unas 100 veces menor), aunque de magnitud considerable (10^{17} cm^{-3}). A medida que los espesores son menores, la concentración en el centro de la lámina de silicio se va haciendo comparable a la de los extremos.

No se puede establecer un límite preciso sobre el valor del espesor de la lámina de silicio para la cual se pasa de tener dos canales a tener sólo uno, por una parte porque la transición es gradual, y por otra, más importante aun, porque esa separación depende fuertemente del valor de la propia concentración. Esto se observa claramente si se comparan las curvas de concentración de electrones obtenidas en fuerte inversión con las calculadas en condiciones de inversión débil. En el caso de débil inversión, la concentración de electrones siempre está situada principalmente cerca del centro de la lámina de silicio, incluso para los espesores mayores de esta lámina que se han considerado. La razón de esta diferencia está en la influencia del término $V_s(z)$ de la ecuación (10): cuando la concentración de electrones es importante, tienden a “cavarse” su propio pozo de potencial de unos 2-5 nm de espesor cerca de las interfaces, y allí quedan confinados, mientras que si la concentración de electrones es pequeña, la influencia de $V_s(z)$ es prácticamente despreciable y el perfil de potencial es prácticamente plano (ligeramente parabólico), con lo que la función de onda

correspondiente a la subbanda fundamental, que es la más poblada, está centrada en la lámina. El resultado de la simulación clásica, en débil inversión, es prácticamente constante en toda la lámina, lo que pone de manifiesto el carácter casi plano del potencial, ya que la distancia energética entre el fondo de la banda de conducción y el nivel de Fermi apenas se modifica con la distancia.

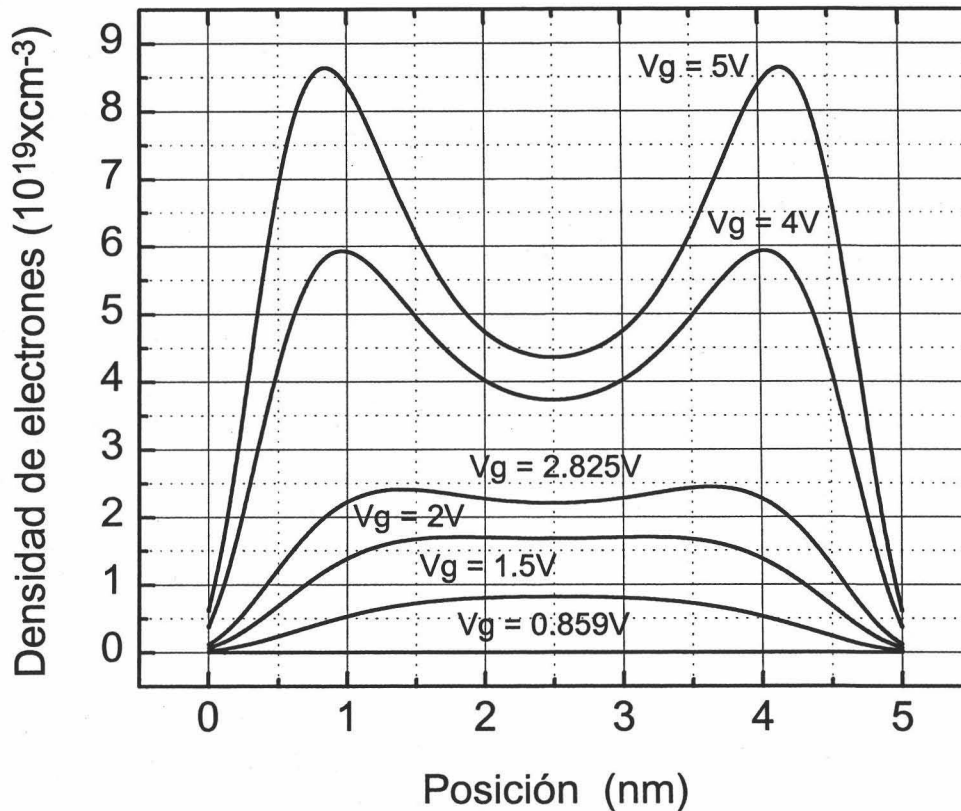


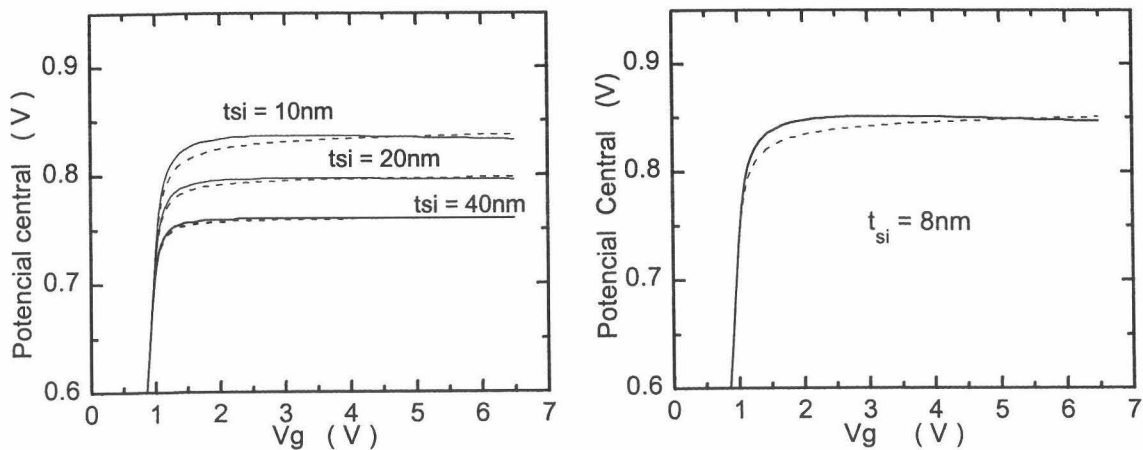
Fig. 29: Densidad de electrones para una estructura MOSOM con espesor de la capa de silicio $t_{si} = 5\text{nm}$. y distintas tensiones aplicadas a las puertas.

El comportamiento descrito en el párrafo anterior se ilustra con algo más de detalle en la figura 29, en la cual podemos ver cómo se distribuye la carga para una estructura MOSOM de espesor de lámina de 5nm para varias tensiones de polarización. Se observa que, para tensiones de polarización correspondientes a inversión débil y

moderada (hasta unos 2 voltios, aproximadamente) el máximo de concentración se produce en el centro, mientras que para valores mayores de tensión la concentración es mayor en los extremos. Luego la forma en que se distribuyen los portadores depende tanto de la tensión de puerta aplicada como del espesor de la lámina.

2.2.5.3 POTENCIALES CENTRAL Y DE SUPERFICIE. COMPARACIÓN ENTRE LOS CASOS CLÁSICO Y CUÁNTICO

En la discusión de los resultados del apartado anterior hemos aludido al carácter más o menos plano del potencial en la lámina de silicio y a la influencia del término “de Hartree” $V_s(z)$, que define la contribución del propio gas de electrones al pozo de potencial que los confina. Para estudiar estos efectos, es fundamental conocer el valor del potencial en el centro y en las dos superficies de la lámina de silicio, y analizar la diferencia entre ambos valores. Para ello hemos simulado clásica y cuánticamente la estructura MOSOM con distintos espesores de la capa de silicio variando la tensión aplicada a la puerta. Los resultados de estas simulaciones se muestran en las figuras siguientes:



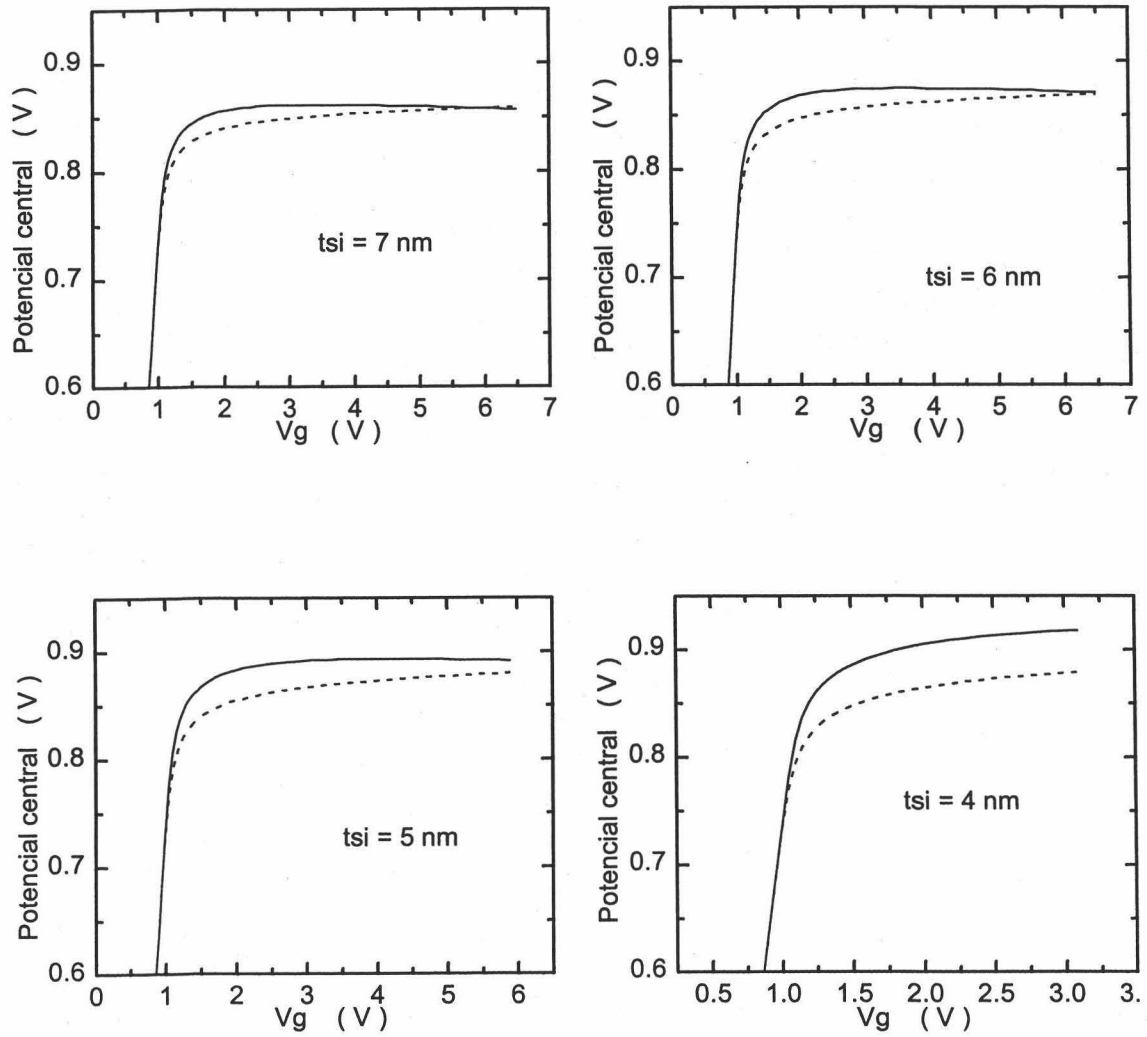


Fig. 30: Potencial central para distintos espesores de la lámina de silicio. Línea continua: simulación clásica . Línea a trazos: simulación cuántica.

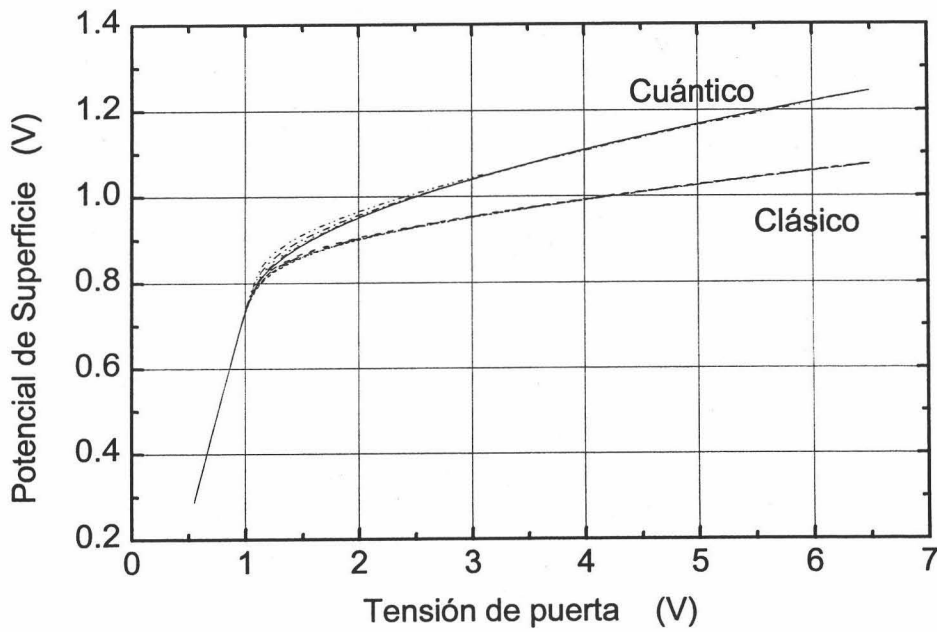


Fig. 31: Comparación del potencial de superficie simulado cuántica y clásicamente con espesores de la capa de silicio de 8, 7, 6, 5 y 4 nm

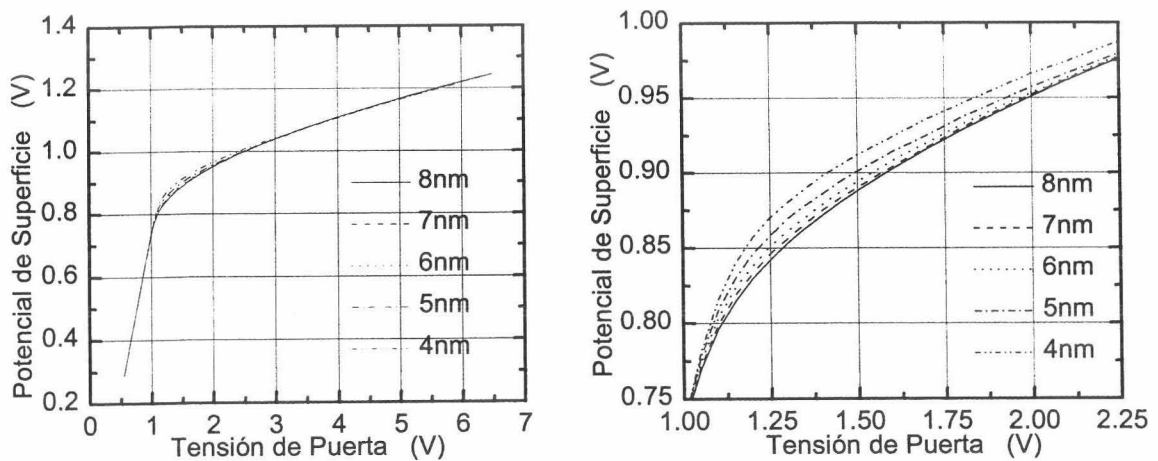


Fig. 32 : Resultado de la simulación cuántica del potencial de superficie con espesores de la capa de silicio de 8, 7, 6, 5 y 4nm.

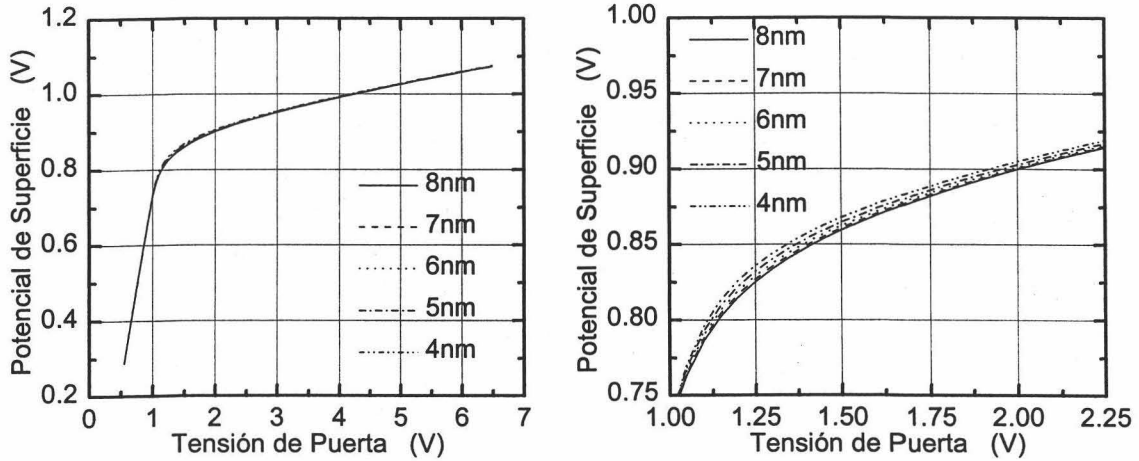


Fig. 33: Resultado de la simulación clásica del potencial de superficie con espesores de la capa de silicio de 8, 7, 6, 5 y 4nm.

De la observación de estos resultados se pueden extraer las siguientes conclusiones:

En cuanto al potencial central, se ve que depende significativamente del espesor de la lámina de silicio tanto si la simulación usa el modelo clásico como si usa el modelo cuántico. El potencial central aumenta a medida que disminuye el espesor, lo que se traduce en una disminución del mínimo de la banda de conducción en el centro de la lámina de silicio con respecto al valor que tendría en condiciones de neutralidad eléctrica. Por otra parte, cuando se llega a inversión fuerte, el potencial central tiende a un valor de saturación, si bien el modelo cuántico predice una pendiente en esta región de saturación ligeramente superior a la que se obtiene con el modelo clásico. También se observa una gran diferencia entre los resultados obtenidos con ambos modelos en el caso de espesores muy pequeños de la lámina de silicio, siendo mayor el desplazamiento de las bandas que predice el modelo clásico.

En cambio, el potencial de superficie apenas depende del espesor de la lámina de silicio. Como puede verse, las curvas correspondientes a distintos espesores prácticamente coinciden excepto en la región de inversión moderada, en la cual se

aprecia una ligera separación en función del espesor. También se observa aquí una mayor separación entre los potenciales de superficie obtenidos clásica y cuánticamente, incluso con los espesores mayores, y que esta diferencia crece con la tensión aplicada, esto es, con el nivel de inversión, lo que se explica por el hecho de que la simulación clásica sobreestima la densidad de estados en la región del pozo de potencial, y requiere, por consiguiente, menores curvaturas de bandas para conseguir la misma concentración de electrones.

2.2.5.4 CARGA EN INVERSIÓN. PENDIENTE SUBUMBRAL

Una vez analizadas las características físicas básicas que permiten entender el comportamiento de la estructura MOSOM, como son las distribuciones de electrones y de potencial, vamos a estudiar las magnitudes que determinan directamente el comportamiento de la estructura cuando se usa en un transistor MOS de doble puerta: la carga en inversión, que define junto con la movilidad la conductividad del canal, y la tensión umbral. En este apartado nos centramos en la carga en inversión obtenida mediante simulación clásica y cuántica. Estudiaremos la dependencia de esta carga con la tensión de puerta y con el espesor "tsi" de la lámina central. También analizaremos las diferencias entre las dos simulaciones.

Como muestra de los resultados obtenidos, en las gráficas siguientes representamos la carga en inversión para distintos valores del espesor de la lámina de silicio: 40, 20, 10, 6 y 4nm:

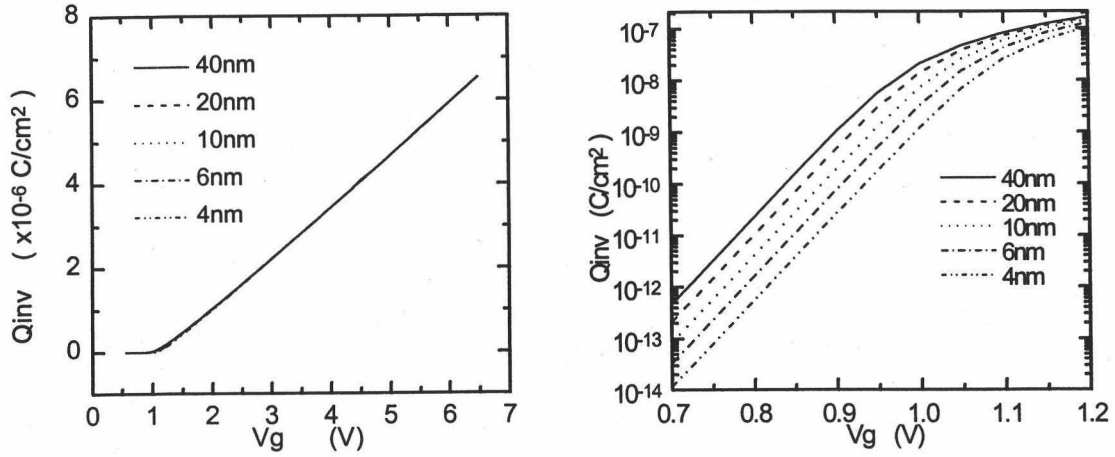


Fig. 34: Carga en inversión para espesores de la capa de silicio 40, 20, 10 , 6 y 4 nm. Simulación cuántica.

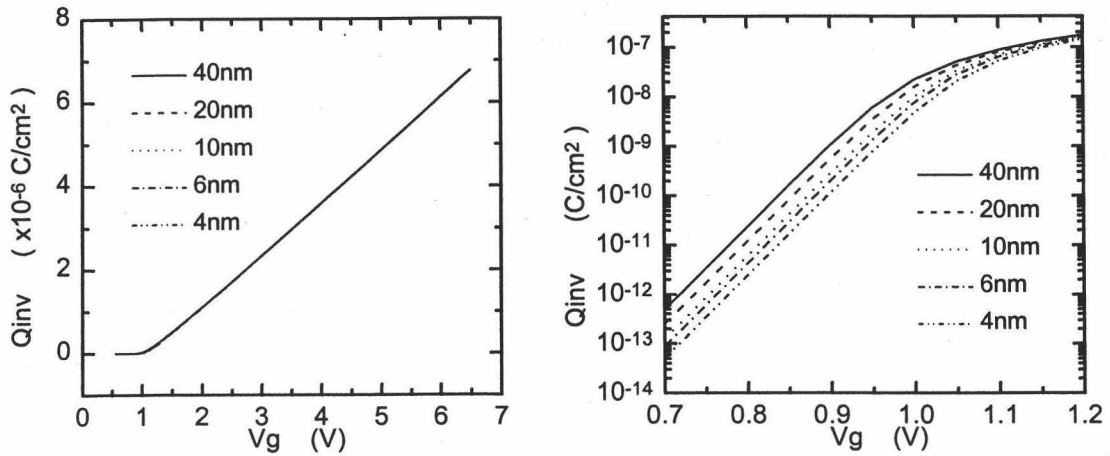


Fig. 35: Carga en inversión para espesores de la capa de silicio 40, 20, 10 , 6 y 4 nm. Simulación clásica.

En la representación en escala lineal se aprecia un comportamiento creciente con la tensión de puerta, una vez que ésta supera un valor umbral. El resultado es cualitativamente idéntico al que se obtiene para un MOSFET convencional. Además, se observa que las curvas de carga prácticamente coinciden para tensiones de polarización grandes, independientemente del espesor de la lámina de silicio. No obstante, si se analiza con más detalle la región próxima al umbral, utilizando para ello escala logarítmica (curvas de la derecha) se pone de manifiesto una dependencia significativa

con el espesor de la lámina de silicio. Este efecto es más notable con la simulación cuántica que con la clásica. El desplazamiento de las diferentes curvas al variar el espesor podría interpretarse como una dependencia de la tensión umbral, con dicho espesor, en las regiones de inversión moderada y débil. Sin embargo, de las curvas obtenidas en fuerte inversión, y representadas en escala lineal, parece deducirse que la tensión umbral no depende del espesor. Se pone de manifiesto, pues, un problema en la definición de un único valor de tensión umbral para modelar el comportamiento eléctrico de la estructura. Dejamos el análisis pormenorizado de este parámetro para el apartado siguiente, y nos centramos en un estudio más detallado del comportamiento de la carga en inversión con el espesor de la lámina de silicio.

En las siguientes gráficas se representa la dependencia de la carga en inversión en función del espesor de la lámina de silicio, tanto en la región de fuerte inversión como en la región de inversión débil (subumbral). Para ello se ha fijado un valor de tensión correspondiente a cada una de las regiones, y se ha variado el espesor en las simulaciones:

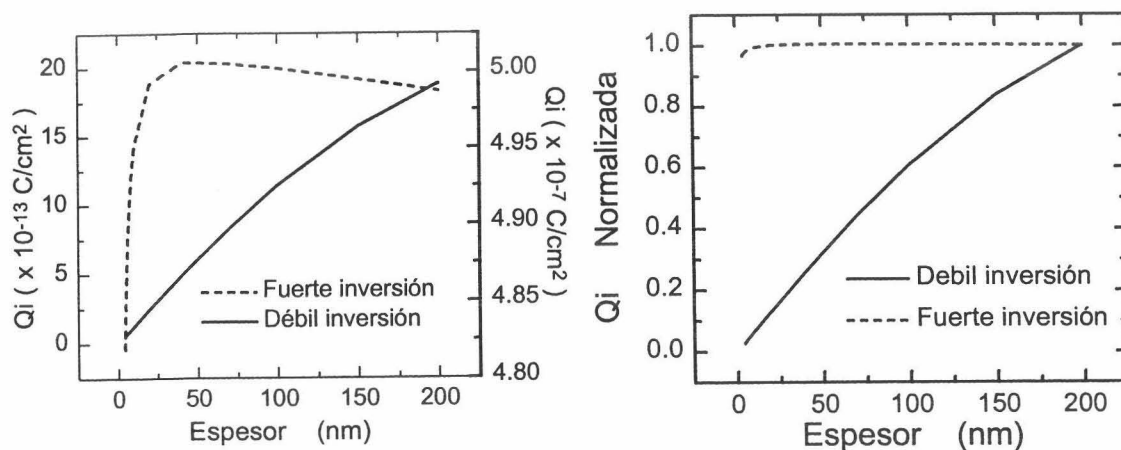


Fig. 36: Dependencia de la carga en inversión con el espesor de la lámina de silicio. Para tensión de puerta $V_G = 1.5V$ (línea discontinua). Para tensión de puerta $V_G = 0.7V$ (línea continua). Gráfica de la izquierda: escala derecha para la carga en débil inversión y escala de la izquierda para fuerte inversión. Gráfica de la derecha: carga normalizada al valor de la carga correspondiente a $t_{si} = 200nm$. Resultados obtenidos mediante simulación clásica.

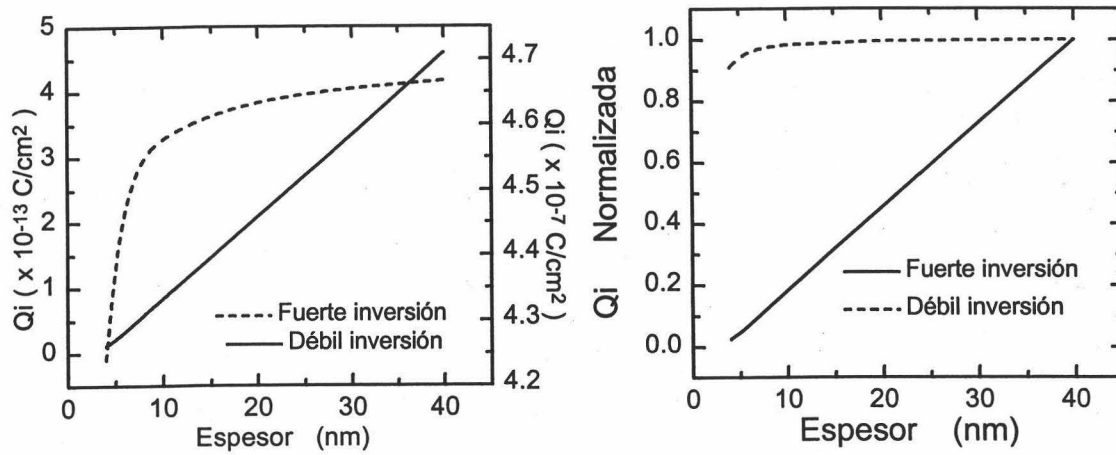


Fig. 37: Dependencia de la carga en inversión con el espesor de la lámina de silicio. Para tensión de puerta $V_G = 1.5V$ (línea discontinua). Para tensión de puerta $V_G = 0.7V$ (línea continua). Gráfica de la izquierda: escala derecha para la carga en débil inversión y escala de la izquierda para fuerte inversión. Gráfica de la derecha: carga normalizada al valor de la carga correspondiente a $t_{si} = 200nm$. Resultados obtenidos mediante simulación cuántica.

Como se puede ver en las gráficas de las Fig. 36 y Fig. 37, en la región subumbral la carga en inversión es casi proporcional al espesor "tsi". Recordamos que, en este caso, la carga se distribuye casi uniformemente en toda la lámina de silicio. Sin embargo, en la región de fuerte inversión, para espesores de la lámina central superiores a los que ocurre la inversión en volumen, la carga es casi independiente del espesor "tsi". En este caso la carga se concentra en dos regiones estrechas cercanas a las dos interfaces óxido-semiconductor de forma que no está afectada por el espesor "tsi". El ligero incremento observado, a medida que el espesor de la lámina de silicio decrece, se puede interpretar por la interacción entre las dos láminas. Pero cuando el espesor es inferior al necesario para que se produzca inversión en volumen, la carga desciende rápidamente.

Finalmente, con el propósito de mostrar las diferencias entre las cargas obtenidas mediante simulación clásica y cuántica para distintos espesores de la lámina central, se representan conjuntamente en las gráficas de la figura 38, así como el error entre ellas:

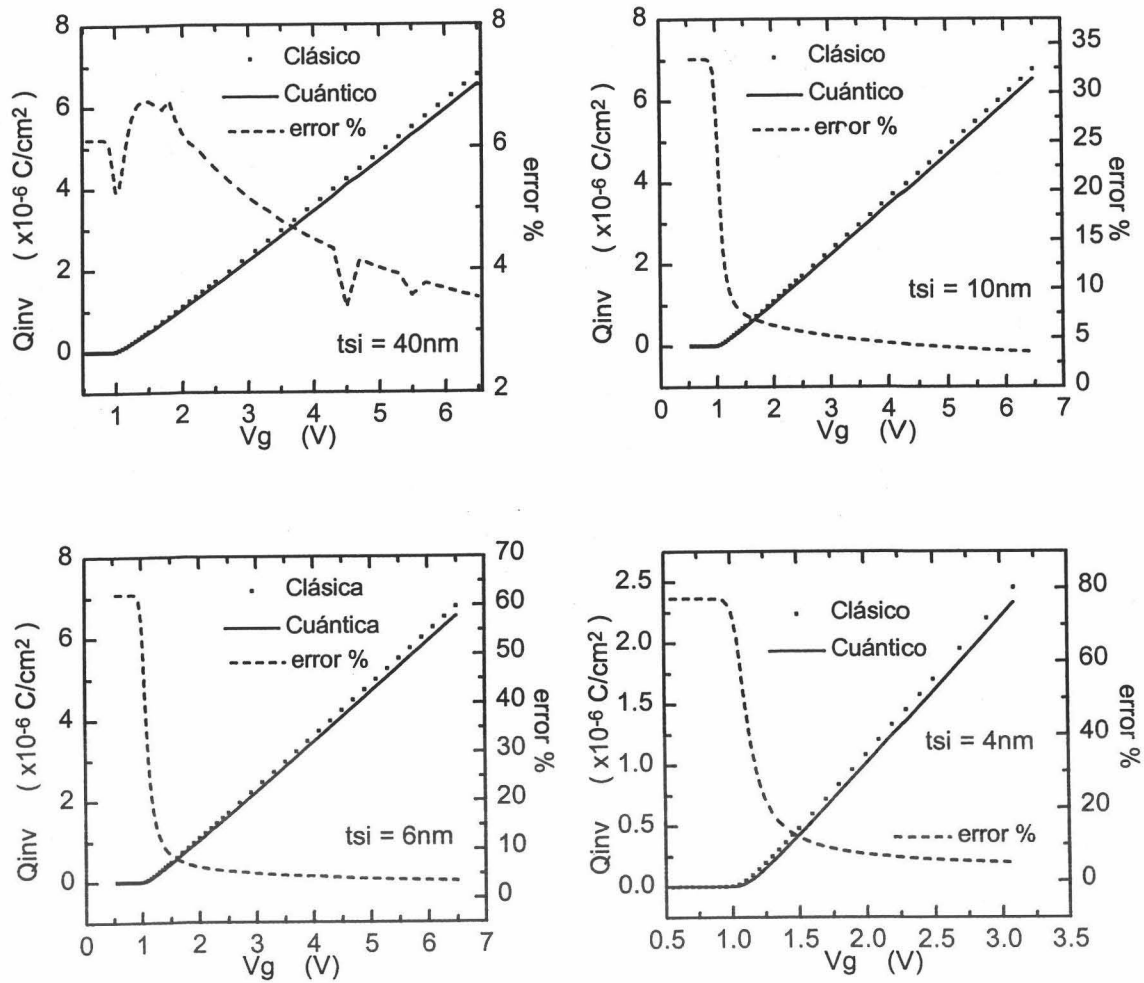


Fig. 38: Comparación de la carga calculada mediante simulación clásica (puntos) y cuántica (trazo continuo). Error entre las dos (trazo discontinuo).

Se puede observar cómo la diferencia entre las dos simulaciones es mayor cuanto menor es el espesor de la lámina central "tsi". El error entre las dos simulaciones es mayor para tensiones de polarización pequeñas, en todos los casos, ya que es allí donde se producía el mayor desplazamiento de las curvas de carga con el espesor. El error se mantiene constante en la región subumbral y decrece una vez que la tensión de puerta supera a la umbral.

2.2.5.5 CENTROIDE DE LA DENSIDAD DE CARGA

Hemos visto, en la Fig. 38, que las curvas de carga obtenidas con los modelos clásico y cuántico se separan en la región de fuerte inversión, mostrando distinta pendiente. Esta diferencia en las pendientes es consecuencia de los distintos perfiles de la distribución de electrones que se obtienen con ambos modelos; en concreto, de la distinta penetración de la distribución de electrones en el interior del semiconductor. Como vimos, al calcular clásicamente la distribución de electrones en la lámina de silicio la máxima concentración de electrones se encuentra en las interfaces óxido-semiconductor, ya que la densidad de electrones sólo dependía de la distancia entre el extremo de la banda de conducción y el nivel de Fermi. Sin embargo, al calcular la densidad de carga cuánticamente, observamos como ésta casi se anulaba en la interface óxido-semiconductor encontrándose el máximo de concentración de electrones dentro de la lámina de silicio, a cierta distancia de la interface.

A la posición media de la distribución de carga la llamaremos centroide de la densidad de carga, y es un parámetro importante para describir el comportamiento del dispositivo, que utilizaremos repetidamente a lo largo de la presente memoria. Como es de esperar, adquirirá especial relevancia en la estructura MOSOM cuando es comparable a las anchuras de las distintas capas que constituyen el dispositivo, en particular, a las anchuras de la capa central de silicio y a las de las láminas de óxido de puerta. En el capítulo siguiente analizaremos con más detalle este parámetro, y lo utilizaremos para comparar el comportamiento de un MOSFET convencional con uno de doble puerta. En este apartado nos limitamos a mostrar la dependencia del centroide con la tensión de puerta, para diferentes anchuras de la capa de silicio. Esta dependencia se representa en las figuras siguientes:

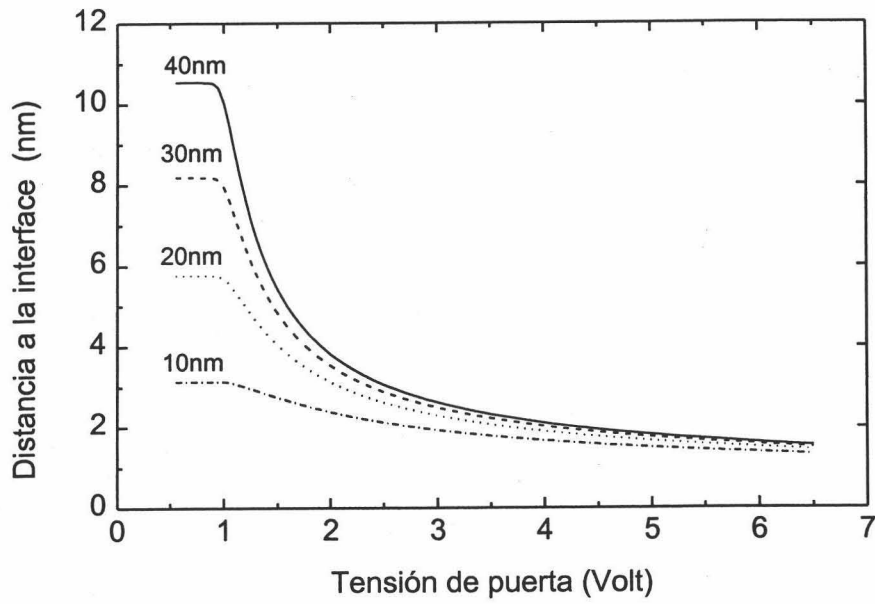


Fig. 39: Posición del centroide frente a la tensión de puerta para espesores de la lámina de silicio de 40, 30, 20 y 10 nm.

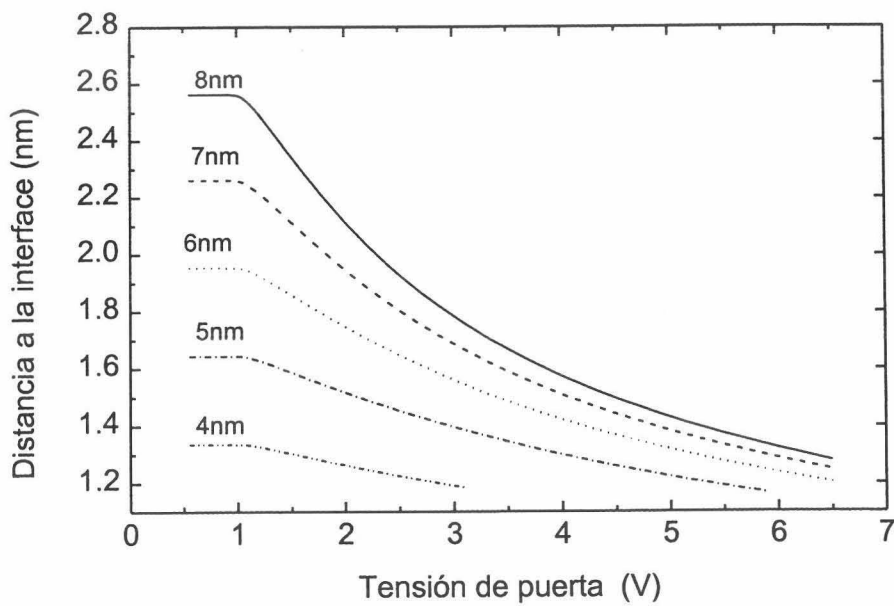


Fig. 40: Posición del centroide frente a la tensión de puerta para espesores de la lámina de silicio de 8, 7, 6, 5 y 4 nm.

Como se puede observar en las dos gráficas anteriores, para todos los espesores de la lámina de silicio el centroide se comporta de forma parecida. En la región subumbral tiene un valor prácticamente constante. Para tensiones de puerta un poco superiores a la tensión umbral disminuye rápidamente y llega a un valor lentamente decreciente para altas tensiones de puerta. El valor constante del centroide en la región subumbral es una consecuencia más de la inversión en volumen, que, según vimos, se producía en esta región incluso para grandes espesores de la lámina de silicio. Cuando es espesor de la capa de silicio es muy pequeño la densidad de electrones alcanza su máximo en el centro de la capa de silicio, independientemente de la tensión aplicada a las puertas. Cuanto menor sea el espesor de la lámina de silicio, menor es, obviamente la distancia media de la distribución de electrones a las interfaces, y menor será, en consecuencia, el centroide. Este hecho se observa claramente en las figuras anteriores. Cuando crece la tensión de puerta, y las dos capas de inversión asociadas a las dos interfaces comienzan a separarse, se van formando pozos cada vez más profundos y estrechos junto a cada interface, y la posición media de la distribución de electrones se aproxima a la interface correspondiente, disminuyendo el centroide. La variación se va haciendo menor a medida que la distribución se va aproximando a la interface.

2.3 LA TENSIÓN UMBRAL

2.3.1 MÉTODOS DE DEFINICIÓN DE LA TENSIÓN UMBRAL

La Tensión Umbral es uno de los parámetros más importantes en la modelización de los dispositivos MOSFET. En la sección previa hemos comentado la existencia de un umbral en la curva de carga de inversión frente a tensión de puerta, pero esa observación era puramente cualitativa y no hemos establecido aún cómo se le puede asignar un valor cuantitativo. Sin embargo, si se desea disponer de modelos exactos de los transistores para su uso en simuladores de circuitos, es necesario definir de forma conveniente y no ambigua la tensión umbral. Esta sección se dedica, pues, al estudio de ese parámetro.

El valor de tensión umbral más utilizado en la modelización simple de MOSFETs convencionales es el que se obtiene mediante extrapolación lineal de la curva carga-tensión medida en fuerte inversión a partir de la característica corriente-tensión con baja tensión entre drenador y fuente. Este valor de tensión umbral se calcula a partir del punto de cruce con el eje de tensiones de la recta que mejor se ajusta a la curva de carga en la región de fuerte inversión. De esta manera, la carga en fuerte inversión se expresa simplemente como una magnitud proporcional a la diferencia entre la tensión de puerta y la tensión umbral. Sin embargo, la curva real se desvía fuertemente de la recta resultante en la región de inversión moderada, y no resulta válida, en absoluto, en esta región.

En lugar de plantear la tensión umbral como un parámetro puramente empírico, obtenido a partir de una extrapolación gráfica, es común utilizar un valor teórico definido como la tensión de puerta para la cual el potencial de superficie tiene un determinado valor, siendo el valor más usado el de $\psi_S = 2\phi_F$, esto es, dos veces el

potencial de Fermi. Este valor es aceptado como el punto de separación entre las regiones de inversión débil y moderada y podría ser muy útil en un modelo que pretendiera representar con exactitud esas regiones. No obstante, la concentración de electrones en inversión en este punto es muy pequeña y cuando se utiliza ese valor para representar la tensión umbral que aparece en la relación lineal carga-tensión, el error cometido es significativo.

Los problemas que se plantean al definir la tensión umbral en un transistor de doble puerta no son más graves que los que surgen en la definición de este parámetro en un transistor de puerta simple. Sin embargo, como el modelado de los transistores de doble puerta se ha planteado recientemente, cuando ya existían modelos complejos para los transistores de puerta simple, se ha recurrido a definiciones menos elementales desde el principio. Las distintas opciones de definición de la tensión umbral, propuestas en la bibliografía, son las siguientes:

1) Por medio de la extrapolación lineal de la dependencia de la carga en inversión con la tensión de puerta, al igual que en los transistores convencionales [Omura et. al. 1993].

2) Definiendo el potencial de superficie correspondiente a la tensión umbral como aquel para el cual se igualan las pendientes de las curvas de carga de depleción y carga de inversión si se representan frente al potencial de superficie [Nishida et al., 1994], esto es:

$$\left. \frac{dQ_I}{d\phi_s} \right|_{\phi_s TH} = \left. \frac{dQ_D}{d\phi_s} \right|_{\phi_s TH} \quad (20)$$

Sin embargo, este método no se puede utilizar en el MOS doble puerta en depleción total ya que en ese caso la carga en depleción Q_B es constante.

3) Definiendo la Tensión Umbral como la tensión aplicada a la puerta tal que la carga en inversión sea igual a la de depleción: $Q_{inv}(\phi_{sT}) = Q_B = -qN_A t_{si}$ [Majkusiak et. al. 1998] de forma que la tensión umbral se calcula con la expresión:

$$V_{TH} = V_{FB} + \phi_{sT} + \frac{qN_A t_s}{2\epsilon_{OX}} t_{OX} \quad (21)$$

Donde V_{FB} es la tensión de banda plana, ϕ_{sT} es el potencial de superficie umbral, t_{si} el espesor de la capa de silicio, t_{OX} el espesor de las de óxido, N_A la concentración de impurezas de la lámina de silicio.

4) Como la tensión de puerta tal que la carga inducida causa una determinada caída de potencial. Esta definición es la que usan Suzuki y colaboradores en la referencia [Suzuki et al., 1994], donde proponen una expresión analítica de la tensión umbral.

5) Mediante una expresión analítica calculada usando el método del máximo de la transconductancia, [Wong et al., 1987], tal como proponen Francis y colaboradores [Francis et al. 1995]. En este caso la tensión umbral es aquella para la cual la derivada de la transconductancia respecto a la tensión de puerta es máxima.

Estos dos últimas formas de definición se explican con más detalle a continuación, estando incluidas en dos modelos analíticos que describimos brevemente.

2.3.1.1 MODELO DE FUJITSU

Llamamos modelo de Fujitsu al modelo analítico desarrollado en los laboratorios Fujitsu Ltd. y publicado por Suzuki y colaboradores en [Suzuki et al., 1994]. Este modelo proporciona una ecuación analítica para el potencial de superficie y potencial

central del transistor MOS de doble puerta. También modela la tensión umbral, factor subumbral y carga en inversión.

2.3.1.1.1 DESCRIPCIÓN BREVE DEL MODELO

El modelo parte de la ecuación de Poisson unidimensional en la dirección perpendicular al canal. La ecuación de Poisson es resuelta en dos situaciones, en la región subumbral y en fuerte inversión. En cada caso se obtienen un par de igualdades que relacionan el potencial de superficie y el potencial central con la tensión de puerta. A partir de estas dos ecuaciones y utilizando el método de perturbaciones se deduce el potencial central y de superficie para cada una de las dos regiones, subumbral y fuerte inversión. El modelo también proporciona una expresión analítica para la tensión umbral y el factor subumbral S definido como la derivada de la tensión de puerta con respecto al logaritmo de la corriente de drenador.

Ecuación de Poisson :

$$\frac{d^2 \phi}{dx^2} = \frac{q \cdot N_A}{\epsilon_{si}} \left[1 + \left(\frac{n_i}{N_A} \right)^2 \cdot e^{\beta \phi} \right] \quad (22)$$

donde N_A es el dopado de la lámina de silicio, ϵ_{si} la constante dieléctrica del silicio, n_i la concentración intrínseca y β el inverso de la tensión térmica (producto de la constante de Boltzmann por la temperatura, dividido por la carga del electrón).

Expresiones extraídas de la ecuación de Poisson en débil inversión:

$$\phi_s - \phi_c = \frac{Q_{si}}{8 \cdot C_{si}} \left[1 + \left(\frac{n_i}{N_A} \right)^2 \cdot e^{\beta \cdot \phi_c} \right] \quad (23)$$

Donde ϕ_c y ϕ_s son el potencial central y de superficie respectivamente.

$$C_{ox}(V_G - V_{FB} - \phi_s) = 4 \cdot C_{si}(\phi_s - \phi_c) \quad (24)$$

Expresiones extraídas de la ecuación de Poisson en fuerte inversión:

$$e^{-\beta(\phi_s - \phi_c)/2} = \cos \left[\frac{\beta \cdot t_{si}}{4} e^{\beta \cdot \phi_c / 2} \sqrt{\frac{2 \cdot q \cdot n_i^2}{\beta \cdot \epsilon_{si} \cdot N_A}} \right] \quad (25)$$

$$\frac{2 \cdot q \cdot n_i^2 \cdot t_{si}}{\beta \cdot \epsilon_{si} \cdot N_A} (e^{\beta \cdot \phi_s - \beta \cdot \phi_c}) = \left(\frac{C_{ox}}{C_{si}} \right)^2 (V_G - V_{FB} - \phi_s)^2 \quad (26)$$

2.3.1.1.2 HIPÓTESIS Y APROXIMACIONES

El modelo hace las siguientes hipótesis y aproximaciones:

1º) Supone que el dispositivo se encuentra en depleción total ya que el espesor de la lámina de silicio es mucho menor que el espesor crítico del silicio, $t_{si} \ll t_{sic}$.

2º) Dopado uniforme de la lámina de silicio.

3º) Carga nula en la interface, $Q_{ss} = 0$.

4º) Estructura totalmente simétrica. La derivada del potencial en el centro de la lámina de silicio es por tanto cero.

5º) En la región subumbral la diferencia entre el potencial de superficie y el central es

menor que el potencial térmico.

2.3.1.1.3 POTENCIALES CENTRAL Y DE SUPERFICIE

Las expresiones analíticas del modelo que definen el potencial de superficie y potencial central en función de la tensión de puerta son las siguientes:

En la región subumbral:

$$\phi_s = V_G - V_{FB} - \frac{Q_{si}}{2C_{ox}} \left[1 + \gamma \frac{\left[1 + \frac{\gamma \cdot \beta \cdot Q_{si}}{2} \left(\frac{1}{C_{ox}} + \frac{1}{4C_{si}} \right) \right] e^{-\beta(V_{th} - V_G)}}{1 + \frac{\gamma \cdot \beta \cdot Q_{si}}{2} \left(\frac{1}{C_{ox}} + \frac{1}{4C_{si}} \right) e^{-\beta(V_{th} - V_G)}} \right] \quad (27)$$

$$\phi_c = V_G - V_{FB} - \frac{Q_{si}}{2C_{ox}} \left(\frac{1}{C_{ox}} + \frac{1}{4C_{si}} \right) \cdot \left[1 + \gamma \frac{\left[1 + \frac{\gamma \cdot \beta \cdot Q_{si}}{2} \left(\frac{1}{C_{ox}} + \frac{1}{4C_{si}} \right) \right] e^{-\beta(V_{th} - V_G)}}{1 + \frac{\gamma \cdot \beta \cdot Q_{si}}{2} \left(\frac{1}{C_{ox}} + \frac{1}{4C_{si}} \right) e^{-\beta(V_{th} - V_G)}} \right] \quad (28)$$

En la región de fuerte inversión:

$$\phi_s = \phi_{sth} + \Delta\phi_{sl} \quad (29)$$

$$\phi_c = \phi_{cth} \quad (30)$$

ϕ_{sth} y ϕ_{cth} son el potencial de superficie y potencial central para una tensión de puerta igual a la tensión umbral, y vienen dados por las expresiones:

$$\phi_{cth} = 2\phi_F + \frac{\ln \gamma}{\beta} \quad (31)$$

$$\phi_{sth} = 2\phi_F + \frac{\ln \gamma}{\beta} + \frac{(1+\gamma)Q_{si}}{8C_{si}} \quad (32)$$

y

$$\Delta\phi_{si} = \frac{1}{\beta} \ln \left[\frac{1 + \frac{\beta^2}{16\xi} \left(\frac{C_{ox}}{C_{si}} \right)^2 (V_G - V_{FB} - \phi_{sth})^2}{1 + \frac{\beta^2}{16\xi} \left(\frac{C_{ox}}{C_{si}} \right)^2 (V_{th} - V_{FB} - \phi_{sth})^2} \right] \quad (33)$$

2.3.1.1.4 DEFINICIÓN DE TENSIÓN UMBRAL

La tensión umbral se define como aquella tensión que aplicada a la puerta induce una carga tal que causa una caída de potencial γ veces la caída de potencial provocada por la carga en deplexión.

En la expresión (23) podemos ver que el primer termino de la derecha $Q_{si}/(8C_{si})$ es la caída de potencial provocada por la carga en deplexión, y el segundo término $(ni/N_A)^2 e^{\beta\phi_{cth}} \cdot Q_{si}/(8C_{si})$ es la caída de potencial debido a la carga en inversión. Según esto, γ es igual a:

$$\gamma = \left(\frac{n_i}{N_A} \right)^2 \cdot e^{\beta \cdot \phi_{cth}} \quad (34)$$

donde ϕ_{cth} es el potencial central ϕ_c para tensión de puerta igual a la tensión umbral.

El modelo establece como criterio de paso a conducción una variación en el potencial en torno a $1/\beta$.

$$\frac{\gamma \cdot Q_{si}}{8 \cdot C_{si}} = \frac{\xi}{\beta} \quad (35)$$

donde ξ es un parámetro empírico que debería estar comprendido entre 0 y 1. ξ se elige de forma que la tensión umbral obtenida con el modelo sea igual a la extraída de las medidas experimentales. De la expresión anterior se deduce el valor de γ :

$$\gamma = \frac{8 \cdot \xi \cdot C_{si}}{\beta \cdot Q_{si}} \quad (36)$$

Finalmente la expresión de la tensión umbral es la siguiente:

$$V_{th} = V_{FB} + 2\phi_F + \frac{\ln \gamma}{\beta} + \frac{(1 + \gamma)Q_{si}}{2} \left(\frac{1}{C_{ox}} + \frac{1}{4C_{si}} \right) \quad (37)$$

donde V_{FB} es la tensión de banda plana, ϕ_F el potencial de Fermi, β es el inverso del potencial térmico, Q_{si} es la carga en deplexión de toda la lámina de silicio, C_{ox} es la capacidad del óxido, C_{si} es la capacidad de la lámina de silicio.

El modelo proporciona una expresión en el caso particular de que la puertas sean de polisilicio p^+ :

$$V_{th} = \frac{1}{\beta} \ln \left(\frac{N_{ApoliSi}}{n_i} \right) + \frac{1}{\beta} \ln \left(\frac{8 \cdot \xi \cdot C_{si}}{\beta \cdot Q_i} \right) + \frac{Q_{si}}{2} \left(1 + \frac{8 \cdot \xi \cdot C_{si}}{\beta \cdot Q_{si}} \right) \left(\frac{1}{C_{ox}} + \frac{1}{4C_{si}} \right) \quad (38)$$

donde $N_{ApoliSi}$ es la concentración de impurezas de las puertas de polisilicio tipo p^+ . Siendo n_i es la concentración intrínseca y $Q_i = q \cdot n_i \cdot t_{si}$.

El tercer termino de la expresión (38) es mucho más pequeño que los dos

primeros, de forma que la dependencia de la tensión umbral con el espesor del óxido es casi nula. El segundo término es función de $-(2/\beta)\ln(t_{Si})$ y varía poco con t_{Si} . Por tanto, según la expresión deducida por [Suzuki et al., 1994] la tensión umbral es casi insensible a las variaciones de dopado N_A , espesor de óxido y de la lámina de silicio. El valor de V_{th} vendrá dado únicamente por la diferencia de funciones trabajo de la puerta y la lámina central de silicio.

2.3.1.2 MODELO DE LOVAINA

Llamamos modelo de Lovaina al modelo analítico del MOSFET de doble puerta desarrollado en los laboratorios de la Universidad Católica de Lovaina, publicado por Francis y colaboradores en [Francis et al., 1995].

2.3.1.2.1 DESCRIPCIÓN BREVE DEL MODELO

Este modelo presenta un método para el cálculo de la distribución de potencial en la lámina de silicio del MOSOM válido para todas las regiones de operación. Proporciona una expresión analítica de la corriente de drenador y de la transconductancia para pequeña tensión entre drenador y fuente, V_{DS} . También da una expresión de la tensión umbral calculada a partir de la expresión de la corriente, usando el método del máximo de la transconductancia.

El modelo parte de la ecuación de Poisson unidimensional en la dirección perpendicular a las interfaces óxido-semiconductor incluyendo sólo los términos de carga de las impurezas dopantes y de los portadores minoritarios en la ecuación. Usa un desarrollo de Taylor para el potencial en torno al valor del potencial de superficie quedándose únicamente con el primer término. Toma como condiciones de contorno la simetría de la estructura alrededor del centro, donde elige el origen de coordenadas $x = 0$, y usa la ley de Gauss en la interfaces óxido-semiconductor. Integrando dos veces

la ecuación de Poisson y aplicando las condiciones de contorno llega a una expresión implícita del potencial de superficie donde aparece también el campo eléctrico de superficie.

$$\phi_s = C_2(\phi_s, E_s) + \frac{q}{\epsilon_{si}} \left[\frac{kT}{q} \right]^2 \frac{n_s}{E_s^2} \quad (39)$$

donde n_s es la concentración de electrones en la superficie.

Usando esta ecuación con la ley de Gauss en la interface se puede calcular el potencial de superficie en función de la tensión de puerta.

Conocida la distribución de potencial, se calcula la distribución de electrones en el semiconductor. La corriente de drenador se calcula integrando la distribución de electrones desde el extremo inferior hasta el superior del semiconductor. Como el dispositivo es simétrico, se toma el doble de la integral desde el centro de la capa semiconductor hasta un extremo. El modelo supone la movilidad constante. La transconductancia es calculada derivando la intensidad de drenador frente a la tensión de puerta y la tensión umbral por el método del máximo de la transconductancia.

2.3.1.2.2 HIPÓTESIS Y APROXIMACIONES

Las hipótesis y aproximaciones que utiliza el modelo son las siguientes:

En lo que concierne a la estructura del dispositivo se supone que:

1º) La estructura es simétrica. Por tanto la derivada del campo eléctrico en el centro es nula. Esta propiedad del dispositivo será utilizada como condición de contorno al resolver la ecuación de Poisson.

2º) El espesor de la lámina de semiconductor es muy pequeño. Luego se puede considerar la concentración de impurezas uniforme en el semiconductor y que el dispositivo trabaja en modo de deplexión total.

3º) La concentración de cargas de interface es nula $Q_{SS} = 0$.

Las suposiciones que se utilizan al resolver la ecuación de Poisson son:

4º) En la ecuación se incluyen únicamente la concentración de impurezas donadoras N_A y la concentración de portadores minoritarios $n(x)$. Se omite la concentración de portadores mayoritarios $p(x)$.

5º) Se toma para el potencial $\phi(x)$ el primer término de su desarrollo de Taylor en torno a la superficie del semiconductor.

Para calcular la corriente de drenador se hacen las siguientes suposiciones:

6º) Se coge una tensión entre fuente y drenador pequeña y se supone que la concentración de electrones no depende de la posición longitudinal en el canal.

7º) Se considera la movilidad constante.

A la hora de calcular la transconductancia y la tensión umbral:

8º) Se utiliza la aproximación $\left(\exp \left[\left(\frac{-q}{kT} \right) \left(\frac{t_{Si}}{2} \right) \cdot E_s \right] \right) < 1$

2.3.1.2.3 DEFINICIÓN DE TENSIÓN UMBRAL

La tensión umbral se calcula por el método del máximo de la transconductancia [Wong et al., 1987]. Se define por tanto como la tensión de puerta para la cual $\partial g_m / \partial V_G$ es máxima o de otra forma cuando:

$$\frac{d^3 I_D}{dV_G^3} = 0 = \frac{d^3 E_D}{dV_G^3} \quad (40)$$

Se resuelve esta ecuación calculando las derivadas sucesivas de la ecuación autoconsistente (39) usando la aproximación antes descrita. La expresión de la tensión umbral que se obtiene es la siguiente:

$$V_t = \phi_S^* + V_{FB} + \frac{\epsilon_{Si} E_S^*}{C_{ox}} \quad (41)$$

donde ϕ_S^* es el potencial de superficie para tensión umbral y viene definido por la expresión:

$$\phi_S^* = 2\phi_F + \frac{kT}{q} \ln \left[\frac{C_{ox}}{4 \cdot C_{Si}} \left(1 + \frac{kT}{q} \frac{C_{ox}}{Q_D} \right) \right] \quad (42)$$

E_S^* es el campo eléctrico de superficie para tensión de puerta igual a la umbral:

$$E_S^* = \frac{Q_D}{2\epsilon_{Si}} + \frac{1}{2} \frac{kT}{q} \frac{C_{ox}}{\epsilon_{Si}} \quad (43)$$

Q_D es la carga en depleción

2.3.2 MÉTODOS DE DEFINICIÓN UTILIZADOS EN NUESTRO ESTUDIO. RESULTADOS

Para el cálculo de la tensión umbral hemos usado el método de extrapolación lineal [Tsividis, 1993] y el método del máximo de la transconductancia [Wong et. al., 1987] aplicado a las curvas de carga en inversión frente a tensión de puerta obtenidas por medio de la simulación cuántica y clásica realizada en apartados anteriores.

El modelo de extrapolación lineal tiene la ventaja de ser más sencillo y no requiere derivadas numéricas, las cuales podrían ser una fuente de error. Sin embargo, el método del máximo de la transconductancia tiene las ventajas de ser el más aceptado en la bibliografía y ser independiente de otros parámetros como la movilidad, la densidad de estados superficiales y la resistencia en serie [Booth, et al., 1987]. Además el método de extrapolación lineal depende del rango de tensión en el que se decida hacer la extrapolación lineal ya que la característica carga en inversión – tensión de puerta no es exactamente lineal en fuerte inversión, variando por tanto los resultados de tensión umbral obtenidos. Debido a esto, al realizar la extrapolación lineal en este trabajo, hemos tomado en todos los casos el mismo rango de tensión de puerta (entre 1.5 y 3.1 Voltios).

En la tabla siguiente presentamos los resultados de la tensión umbral calculados por los dos métodos a partir de las curvas Q_i-V_G calculadas clásica y cuánticamente para una estructura MOSOM simétrica con puertas de polisilicio tipo P^+ de dopado 10^{20}cm^{-3} , capas de óxido de espesor $t_{ox} = 5 \text{nm}$ y lámina de silicio tipo P con dopado uniforme de valor 10^{15}cm^{-3} y espesores de 600nm a 4nm.

Extracción de la tensión umbral.				
Espesor Si	Cuántico		Clásico	
	Extrap. Lineal Vth (V)	Max. Transc Vth (V)	Extrap. Lineal Vth (V)	Max. Transc Vth (V)
600nm			1.109	1.003
400nm			1.106	1.003
300nm			1.105	1.001
200nm			1.103	0.994
150nm			1.103	0.987
100nm			1.102	0.982
70nm			1.102	0.984
40nm	1.115	0.992	1.102	0.993
35nm	1.115	0.995	1.102	0.996
30nm	1.115	0.999	1.102	0.999
25nm	1.116	1.003	1.102	1.003
20nm	1.117	1.01	1.103	1.007
15nm	1.118	1.019	1.104	1.014
10nm	1.121	1.036	1.106	1.026
8nm	1.124	1.046	1.108	1.032
7nm	1.126	1.051	1.109	1.036
6nm	1.131	1.059	1.111	1.041
5nm	1.139	1.071	1.113	1.045
4nm	1.153	1.088	1.117	1.050

No se han extraído las tensiones umbrales de la curvas Q_I-V_G calculadas cuánticamente para espesores de la lámina de Si mayores de 40nm. En esos casos la tensión umbral, calculada por el método del máximo de la transconductancia, de los datos clásicos y cuánticos, es casi idéntica debido a que la diferencia de carga en inversión entre los

resultados clásicos y cuánticos es muy pequeña (menor de un 5%), como vimos al comparar la carga en inversión en el apartado 2.2.5.4. No sucede lo mismo con la tensión umbral extraída por el método de extrapolación lineal, donde la pequeña diferencia entre las pendientes de las curvas de carga en inversión entre los dos casos, (Fig. 38), se traduce en una diferencia de unos 13 mV de la tensión umbral para espesores de silicio mayores de 25nm. Con estos resultados podemos estudiar la dependencia de la tensión umbral con el espesor de la lámina de silicio.

2.3.2.1 DEPENDENCIA CON EL ESPESOR DE LA LÁMINA DE SILICIO. DISTINTAS REGIONES

Para hacer este estudio nos hemos quedado con los datos extraídos por el método del máximo de la transconductancia, en los dos casos, clásico y cuántico. En las gráficas de la Fig. 41 hemos representado las tensiones umbrales obtenidas en el caso clásico y en el cuántico para espesor de lámina de silicio de 4 a 600nm.

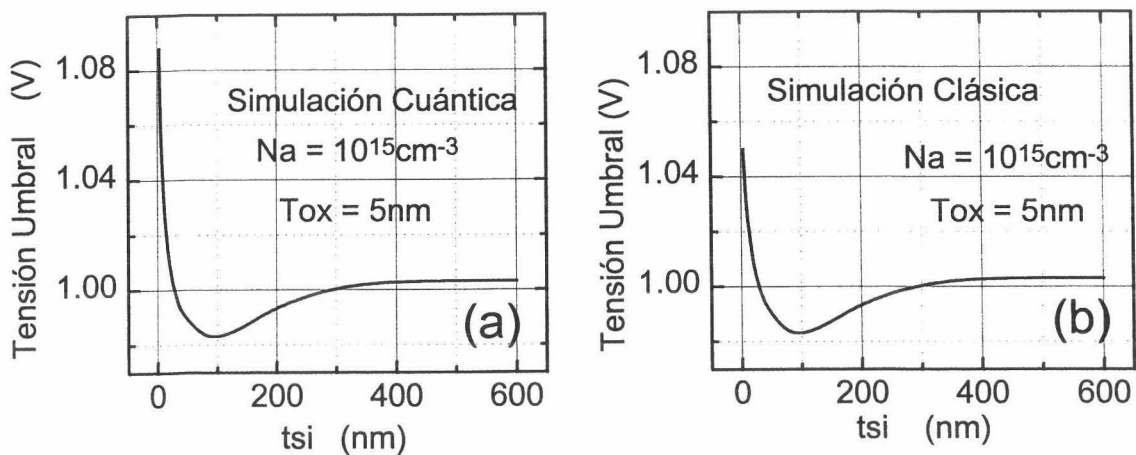


Fig. 41: Dependencia de la tensión umbral con el espesor de la lámina de silicio. (a): extraída a partir de los resultados de la simulación cuántica, (b): a partir de la simulación clásica.

Como se puede observar en las Fig. 41 (a) y (b), la variación de la tensión umbral con el espesor de la lámina de silicio es pequeña en general, excepto para láminas de silicio muy delgadas, para las cuales crece rápidamente. Para espesores mayores de 400 nm, correspondientes a deplexión parcial, la tensión umbral permanece constante. Para espesores menores de 400nm, en deplexión total, la tensión umbral descende hasta un espesor aproximado de 100nm, este descenso se debe a la disminución de la carga en deplexión, debido a que el espesor de la lámina de silicio es inferior al espesor crítico. Para espesores menores de 100nm se produce, sin embargo, un aumento de la tensión umbral. Este ascenso es más acusado en el caso de la simulación cuántica que para el caso clásico como se puede ver en la Fig. 42.

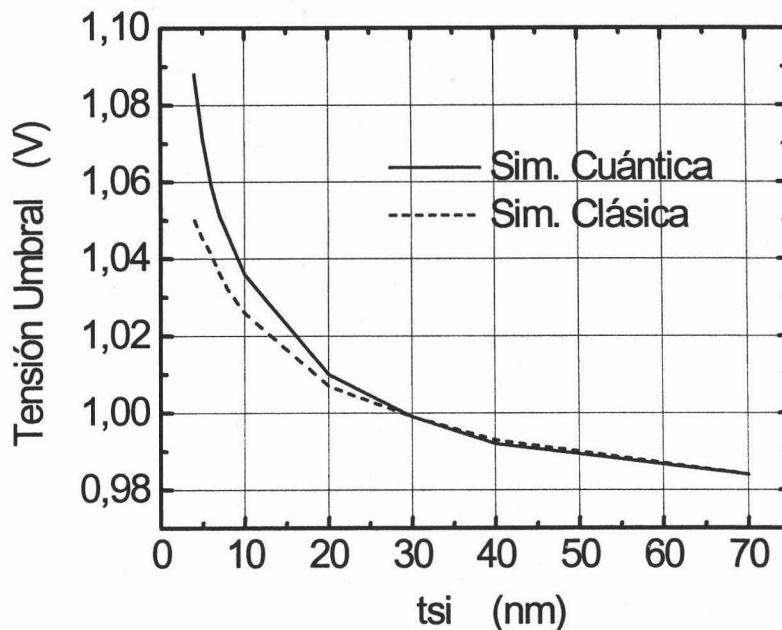


Fig. 42: Comparación de la tensión umbral extraída a partir de los resultados de la simulación cuántica, línea continua y a partir de la simulación clásica, línea a trazos.

Para comprender el fenómeno del aumento de la tensión umbral que se produce para espesores muy pequeños de la lámina de silicio basta con observar el comportamiento de la carga en inversión con el espesor de silicio. Como vimos en el apartado 2.2.5.4., la carga en inversión calculada para una misma tensión de puerta

depende del espesor de la capa central de silicio. Esta dependencia es más notable en la región subumbral que en la de fuerte inversión. Vimos cómo la carga decrecía al disminuir el espesor, incluso en fuerte inversión, en el caso de espesores muy pequeños. Por tanto, a medida que disminuye el espesor será necesario aplicar una tensión superior de puerta para conseguir la misma carga en inversión.

Analicemos las curvas de carga en inversión frente a tensión de puerta, para espesores de la lámina de silicio de 40 a 4 nm, representadas en escala lineal, para tensiones cercanas a la umbral, tanto calculadas cuánticamente Fig. 43 (a) como clásicamente (b).

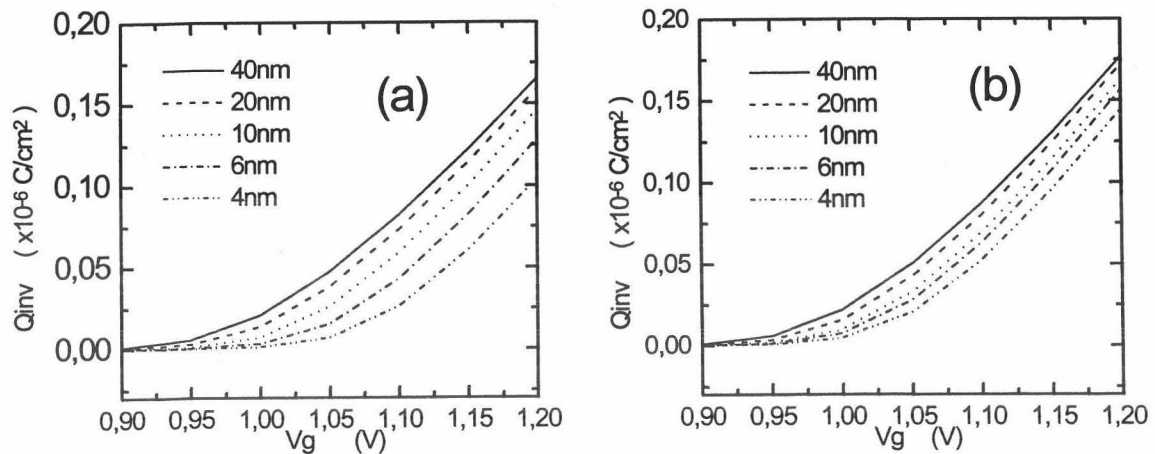


Fig. 43: Carga en inversión frente a tensión de puerta de un DG-MOST con espesor de óxidos de 5nm, lámina de silicio tipo P con dopado uniforme de 10^{15}cm^{-3} y espesores de silicio de 4 a 40nm. (a) calculada cuánticamente. (b) clásicamente.

En las gráficas de la Fig. 43 se puede apreciar la dependencia de la carga con el espesor de la lámina de silicio. Como consecuencia, la tensión umbral calculada tanto por el método del máximo de la transconductancia, como por el método de extrapolación lineal, depende del espesor de la capa de silicio, experimentando un aumento a medida que el espesor decrece. Vemos también, que en el caso cuántico la diferencia de carga para distintos espesores es mayor que en el caso clásico.

La diferencia entre la tensión umbral calculada clásicamente y cuánticamente se puede explicar desde el punto de vista de la distribución de la carga en inversión en ambos casos. Clásicamente la carga se concentra más cerca de las interfaces que en el caso cuántico. Al descender el espesor de la lámina de silicio es de esperar que la carga en el caso cuántico se vea afectada por el espesor antes y en mayor medida que en el caso clásico.

2.3.3 COMPARACIÓN CON OTROS MÉTODOS DE DEFINICIÓN DE LA TENSIÓN UMBRAL

En este apartado comparamos los resultados de tensión umbral obtenidos con dos definiciones de tensión umbral. Una perteneciente al modelo de Fujitsu y la segunda perteneciente al modelo de Lovaina. Ambos modelos fueron descritos someramente en el apartado 2.3.1. Hemos elegido estos dos modelos por ser los más completos; ambos modelan los potenciales central y de superficie en todo el rango de funcionamiento, a partir de la ecuación de Poisson unidimensional. El primer modelo (Fujitsu) lo hace con dos expresiones, una para la operación subumbral y otra para fuerte inversión, mientras que el modelo de Lovaina lo hace con una sola expresión.

2.3.3.1 COMPARACIÓN CON EL MODELO DE FUJITSU

Como vimos en el apartado anterior, Suzuki y colaboradores proponen una expresión analítica (37) para el cálculo de la tensión umbral. En esta expresión tenemos un parámetro empírico de ajuste ξ . Según los autores del modelo, este valor debe estar comprendido entre cero y uno. Estos obtienen la tensión umbral de medidas experimentales por el método de extrapolación lineal, y ajustan la expresión analítica para un valor $\xi = 0.5$, comprobando que este ajuste es válido para distintos valores de espesor de óxido y de silicio, guardando éstos una relación $t_{si}/t_{ox} = 10$.

Para estudiar la validez de este modelo calculamos la tensión umbral con la expresión analítica del modelo (37) tomando distintos valores del parámetro ξ , para un transistor de doble puerta simétrico con las mismas características de los simulados por nuestro simulador numérico, con puertas de polisilicio tipo P⁺ de dopado 10^{20}cm^{-3} , capas de óxido de espesor $t_{\text{ox}} = 5\text{nm}$ y lámina de silicio tipo P con dopado uniforme de 10^{15}cm^{-3} y espesores de 4nm a 200nm. También calculamos la tensión umbral con la expresiones del modelo para el caso en que la relación entre los espesores de silicio y óxido es diez. Todos estos resultados de tensión umbral los comparamos con los extraídos de nuestras simulaciones numéricas. Finalmente buscamos los valores del parámetro ξ con los cuales conseguimos un buen ajuste entre la tensión umbral calculada con el modelo y la extraída de nuestra simulación, y proponemos una expresión del parámetro ξ en función de la relación de espesores $t_{\text{si}}/t_{\text{ox}}$.

2.3.3.1.1 TENSIÓN UMBRAL EN FUNCIÓN DEL ESPESOR t_{si} PARA DISTINTOS ξ

Se han calculado, usando la expresión del modelo (37), las tensiones umbrales para diferentes espesores de la capa de silicio y distintos valores del parámetro empírico ξ comprendidos entre cero y dos, para un MOSFET de doble puerta con substrato tipo P, con un dopado uniforme de 10^{15}cm^{-3} , puertas de polisilicio tipo p⁺ con concentración 10^{20}cm^{-3} y espesores de óxido igual a 5nm.

Hemos encontrado una variación de la tensión umbral con el espesor de la capa de silicio apreciable, siendo la diferencia mayor cuanto más grande es el valor del parámetro ξ escogido. Los valores obtenidos se presentan en la siguiente tabla:

Tensión Umbral (Voltios)							
Tsi	($\xi = 0.1$)	($\xi = 0.3$)	($\xi = 0.5$)	($\xi = 0.7$)	($\xi = 1$)	($\xi = 1.5$)	($\xi = 2$)
4nm	1.085	1.196	1.292	1.384	1.517	1.734	1.949
6nm	1.051	1.136	1.207	1.272	1.367	1.519	1.669
8nm	1.03	1.102	1.159	1.212	1.287	1.408	1.525
10nm	1.014	1.079	1.129	1.173	1.237	1.338	1.436
20nm	0.971	1.02	1.054	1.083	1.124	1.186	1.245
40nm	0.932	0.973	0.999	1.021	1.05	1.092	1.132
70nm	0.902	0.94	0.963	0.981	1.005	1.039	1.071
100nm	0.884	0.921	0.943	0.96	0.981	1.012	1.04
200nm	0.855	0.89	0.91	0.925	0.945	0.972	0.996

En la gráfica de la Fig. 44 se representa la tensión umbral frente al espesor de la lámina de silicio para los diferentes ξ . En trazo más grueso se representan las tensiones umbrales extraídas por el método del máximo de la transconductancia de las curvas de carga en inversión simuladas cuánticamente.

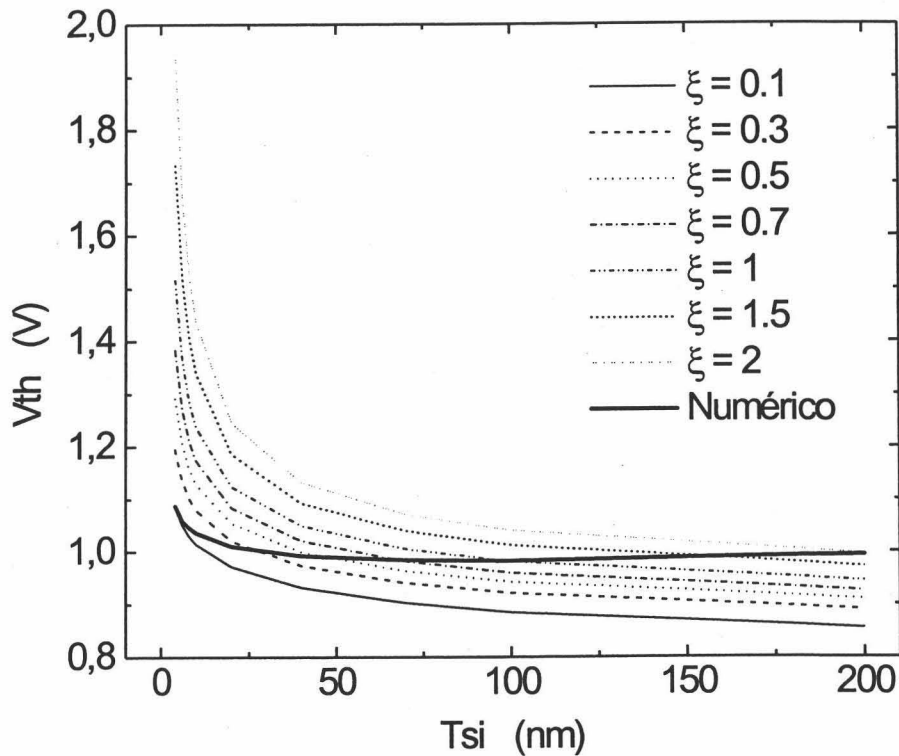


Fig. 44: Tensión umbral frente al espesor de la lámina de silicio calculada con la expresión (37) del modelo de Fujitsu para distintos valores del parámetro ξ (trazos finos) y extraída mediante simulación cuántica (trazo continuo grueso).

Como se puede ver en la gráfica no se logra el acuerdo entre la tensión umbral calculada con el modelo y la extraída de nuestra simulación numérica, con ningún valor del parámetro ξ , para todo el rango de espesor de la capa de silicio. En el próximo apartado realizamos la misma comparación pero ahora en el caso particular en el que la relación entre los espesores de silicio y óxido sea igual a 10.

2.3.3.1.2 TENSIÓN UMBRAL EN EL CASO PARTICULAR $t_{si}/t_{ox} = 10$

Hemos calculado la tensión umbral para un DGMOST de iguales características que el anterior pero con los espesores de substrato y óxido guardando la relación

$t_{si}/t_{ox} = 10$. Si tomamos para el parámetro ξ el valor que sugiere Suzuki ($\xi = 0.5$) se obtienen con el modelo casi las mismas tensiones umbrales calculadas con la simulación cuántica, como se puede ver en la gráfica de la Fig. 45. Un mejor ajuste se consigue con un valor del parámetro $\xi = 0.53$

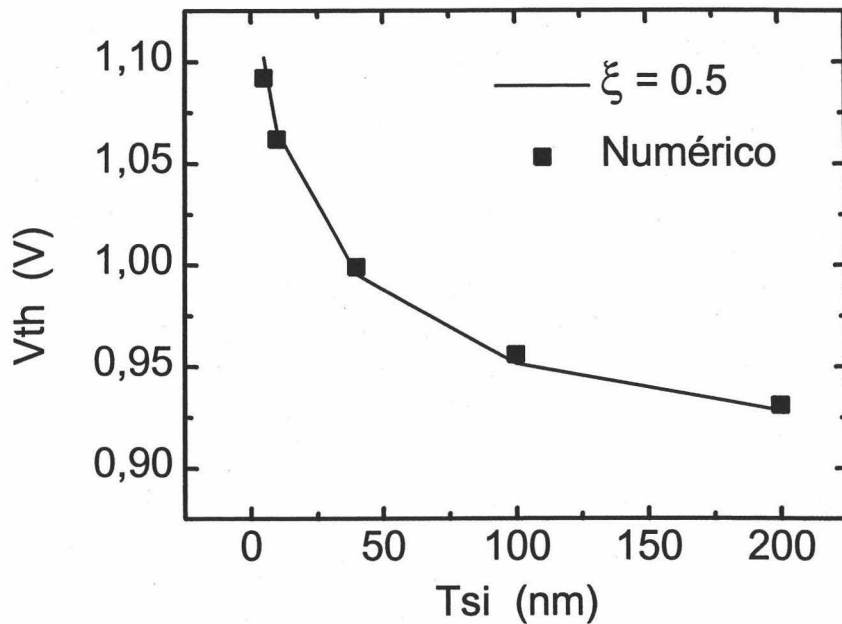


Fig. 45: Tensión umbral frente al espesor de la lámina de silicio calculada con la expresión (37) del modelo de Fujitsu para $\xi = 0.5$ (línea continua) y tensión umbral extraídas de la simulación cuántica (cuadrados).

Por tanto llegamos a la conclusión de que el modelo de Fujitsu para tensión umbral, escogiendo un valor constante del parámetro ξ , sólo es válido para una determinada relación de espesores de silicio y óxido. En este caso particular, para la relación $t_{si}/t_{ox} = 10$, el valor del parámetro ξ que habrá de usarse en la expresión del modelo es el que proponen Suzuki y colaboradores ($\xi = 0.5$).

En el próximo apartado buscaremos los valores del parámetro ξ con los cuales se consigue un acuerdo para el caso de espesor de óxido $t_{ox} = 5\text{nm}$ y distintos espesores de

la lámina de silicio entre 4 y 200nm, y propondremos una expresión del parámetro ξ en función de la relación de espesores de las láminas de silicio y de óxido para obtener el valor adecuado de ξ que se ha de usar en la expresión del modelo de la tensión umbral.

2.3.3.1.3 ξ EN FUNCIÓN DE t_{si} PARA AJUSTAR VALORES NUMÉRICOS

Hemos buscado los valores del parámetro ξ tal que se consiga, con la expresión de tensión umbral del modelo de Fujitsu, los mismos resultados de tensión umbral que los extraídos con el método del máximo de la transconductancia de las curvas Q_I-V_G simuladas cuánticamente.

En la tabla se presentan los valores de ξ necesarios para obtener las mismas tensiones umbrales, para el caso de espesor de óxido $t_{ox} = 5\text{nm}$ y distintos espesores de la lámina de silicio entre 4 y 200nm

Tsi (nm)	ξ	Vth (volt)
4	0.1	1.088
6	0.12	1.058
8	0.14	1.046
10	0.16	1.036
20	0.25	1.01
40	0.44	0.992
70	0.73	0.984
100	1	0.982
200	2	0.994

En la gráfica siguiente se representa ξ frente al espesor de la lámina de silicio:

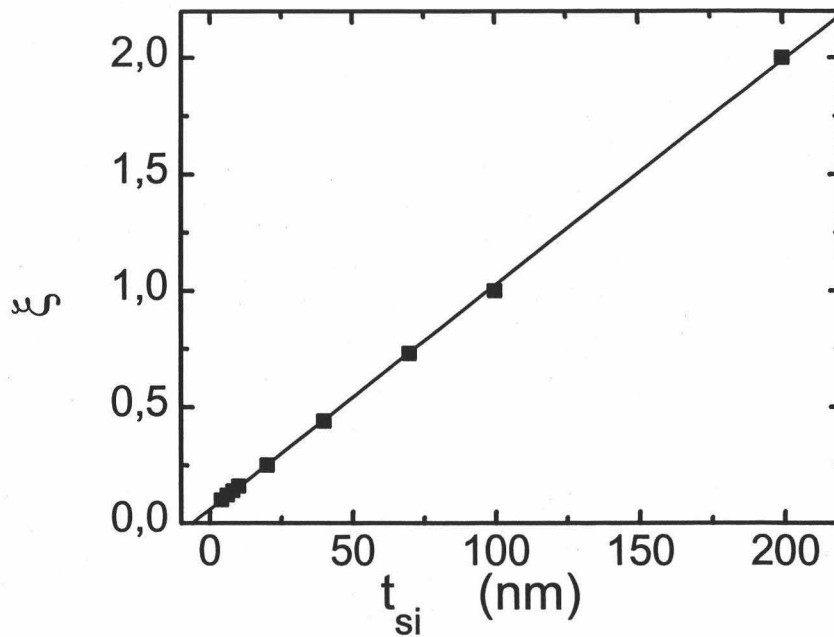


Fig. 46: Parámetro ξ ajustado para obtener misma tensión umbral calculada numéricamente frente al espesor de la lámina de silicio (cuadrados).

Como se puede observar en la gráfica, el valor del parámetro ξ frente a t_{si} puede ser ajustado por una recta de pendiente $a = 9.647 \cdot 10^{-3} \text{ nm}^{-1}$ y ordenada en el origen $b = 0.058$.

En la gráfica siguiente representamos el valor de ξ , con el que se consigue el ajuste con los datos numéricos, en función de la relación entre los espesores de las capas de silicio y óxido.

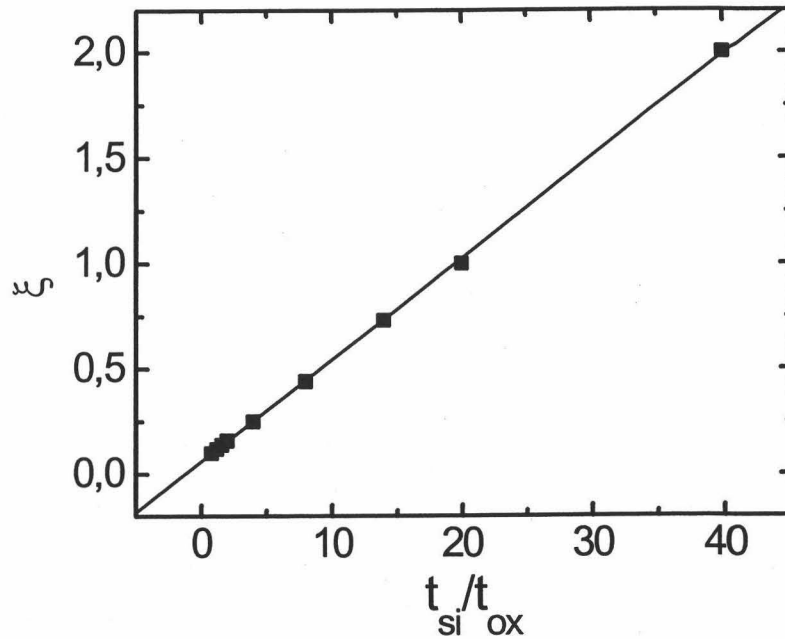


Fig. 47: Parámetro ξ ajustado para obtener misma tensión umbral calculada numéricamente frente a la relación de espesores del silicio y el óxido (cuadrados).

De igual forma podemos ajustar los datos a una recta. De esta manera obtenemos una expresión del parámetro ξ en función de la relación de espesores tal que nos proporciona el valor adecuado de ξ necesario para calcular la tensión umbral con la expresión del modelo de Fujitsu:

$$\xi = 0.048 \cdot \frac{t_{si}}{t_{ox}} + 0.058 \quad (44)$$

Para comprobar la validez de la expresión calculamos con ésta los valores del parámetro ξ correspondientes a los casos antes estudiados así como las tensiones umbrales obtenidas al usar estos valores de ξ en la expresión analítica del modelo de Fujitsu. Los resultados se presentan en la tabla siguiente:

Tsi (nm)	Tsi/Tox	ξ	ξ^*	Vth (volt)	Vth* (volt)
4	0.8	0.1	0.097	1.088	1.082
6	1.2	0.12	0.116	1.058	1.06
8	1.6	0.14	0.135	1.046	1.045
10	2	0.16	0.154	1.036	1.035
20	4	0.25	0.251	1.01	1.01
40	8	0.44	0.444	0.992	0.992
70	14	0.73	0.733	0.984	0.984
100	20	1	1.023	0.982	0.982
200	40	2	1.987	0.994	0.995

Hemos notado con asterisco los valores del parámetro ξ calculados con la expresión propuesta y los valores de tensión umbral resultantes de usar estos valores de ξ . Como se puede ver, la diferencia entre las tensiones umbrales calculadas con los valores originales de ξ y con los calculados con la expresión ξ^* es muy pequeña. Por tanto, con el uso de la expresión (44) conseguimos los valores necesarios de ξ para el cálculo de la tensión umbral con la ecuación analítica del modelo de Fujitsu, sea cual sea la relación entre los espesores de las capas de silicio y óxido.

2.3.3.1.4 POTENCIAL DE SUPERFICIE Y CENTRAL

Por último, y para completar el estudio del modelo de Fujitsu, vamos a estudiar los potenciales central y de superficie. Compararemos los valores de estos parámetros obtenidos con nuestra simulación con los calculados usando las expresiones propuestas en el modelo. Como antes hemos comentado, el modelo de Fujitsu propone para los potenciales dos expresiones: una para subumbral y otra para fuerte inversión. Esto puede provocar discontinuidades en el potencial, sobre todo si no se elige la tensión umbral adecuada. El valor del parámetro ξ utilizado para el cálculo de los potenciales es el propuesto por el modelo ($\xi = 0.5$). La tensión umbral también se ha calculado para

este valor de ξ en todos los casos. Como antes hemos comprobado, el valor de tensión umbral así calculado sólo es correcta en los casos de relación de espesor de silicio al espesor del óxido igual a diez. Veremos que esto da lugar una discontinuidad del potencial para tensiones cercanas a la umbral.

En la Fig. 48 representamos los potenciales central (a) y de superficie (b) calculados con el modelo de Fujitsu, para un DGMOST de 40nm de espesor de silicio y espesor de óxidos de 5nm, junto con los potenciales obtenidos de nuestra simulación clásica y cuántica. Para el caso del potencial central coinciden los resultados cuántico y clásico mientras que para el potencial de superficie el potencial obtenido cuánticamente es superior al clásico en fuerte inversión. En general los potenciales central y de superficie calculados con el modelo se asemejan más a los obtenidos con nuestra simulación clásica que la cuántica.

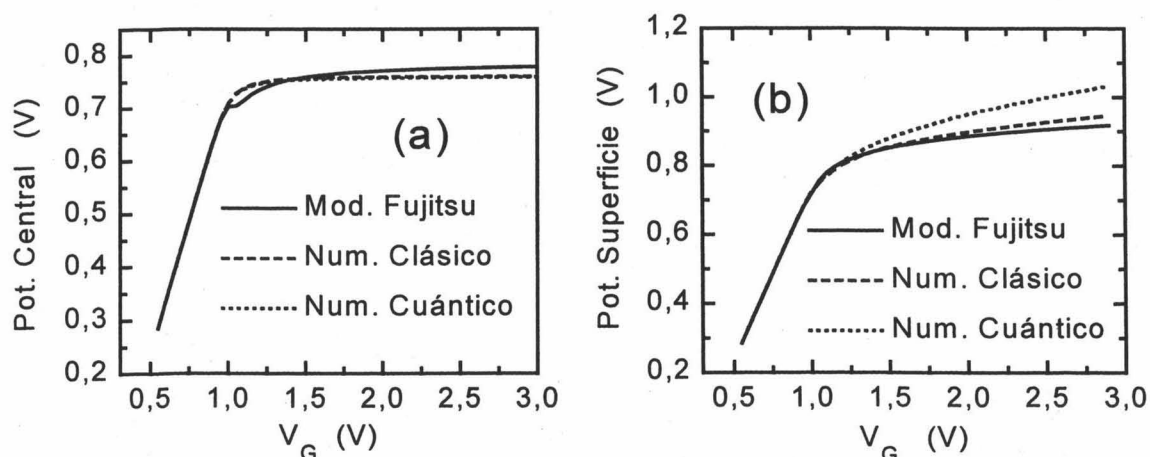
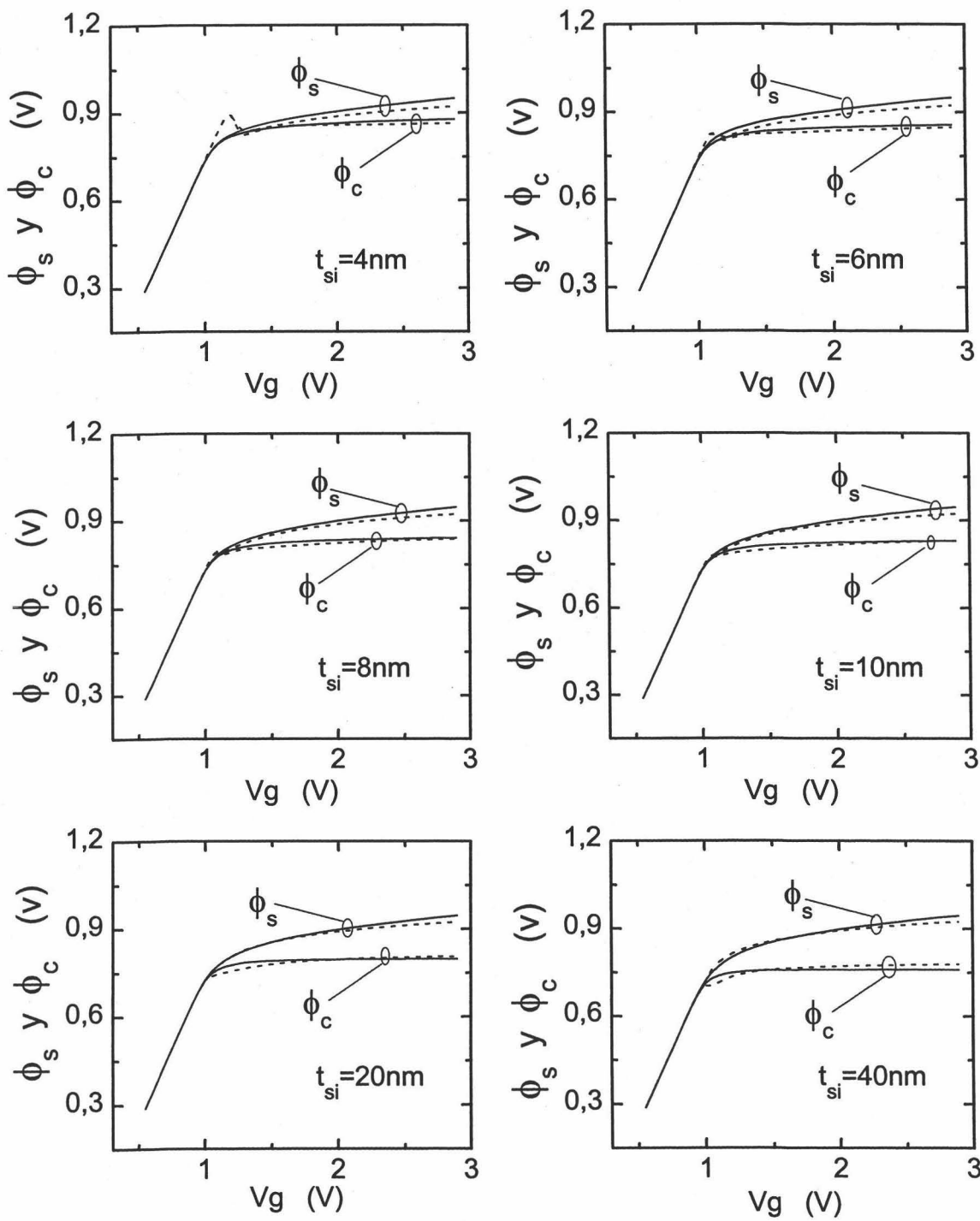


Fig. 48: Comparación de los potenciales central (a) y de superficie (b) para un DGMOST con espesor de silicio $t_{si} = 40\text{nm}$ y espesor de óxidos $t_{ox} = 5\text{nm}$, calculados con el modelo de Fujitsu (línea continua), simulación clásica (línea a trazos), y cuántica (línea de puntos).

En las siguientes gráficas comparamos el potencial de superficie y central obtenidos mediante simulación clásica (línea continua) y calculado con el modelo

análítico de Fujitsu (línea a trazos) para un DGMOST con espesor de óxidos $t_{ox} = 5\text{nm}$ y distintos espesores de la lámina de silicio.



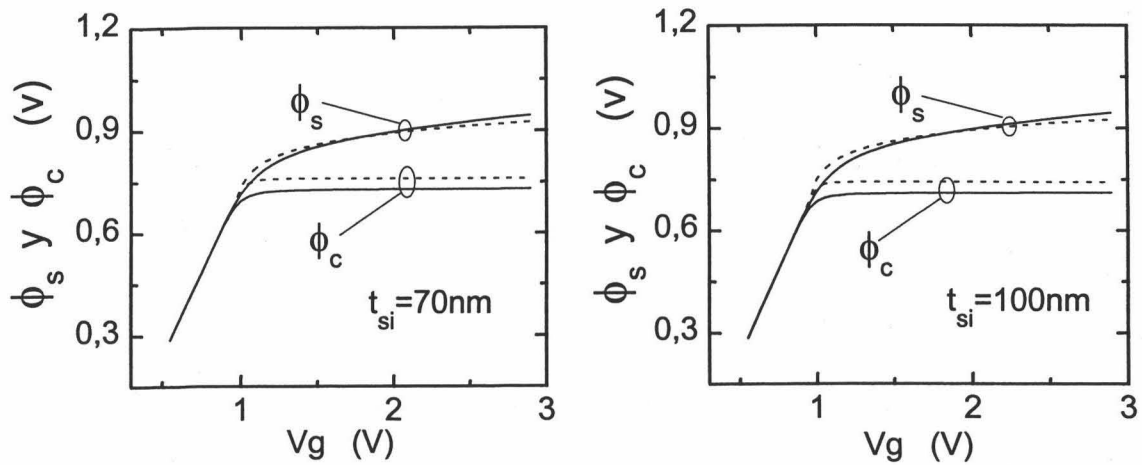


Fig. 49: Comparación del potencial central y de superficie calculado con el modelo de Fujitsu (trazo discontinuo) con el simulado clásicamente (trazo continuo) para un DG-MOST con espesor de óxidos $t_{ox} = 5\text{nm}$ y distintos espesores de lámina de silicio de 4 a 100nm.

Como se puede observar, el modelo de Fujitsu reproduce bastante bien las curvas de potencial central y de superficie calculadas numéricamente salvo para espesores de silicio grandes (70 y 100nm), donde empieza a haber diferencias en el potencial central, y para espesores de silicio pequeños (4 y 6 nm), donde es apreciable la discontinuidad en el potencial central debido al valor poco preciso de tensión umbral proporcionado por el modelo al tomar $\xi = 0.5$.

2.3.3.2 COMPARACIÓN CON EL MODELO DE LOVAINA

Aunque en un principio cabría suponer que este modelo es mejor que el anterior, ya que los potenciales están definidos por una sola expresión para todo el rango de operación del transistor, los resultados de tensión umbral obtenidos con este modelo no se ajustan a los obtenidos a partir de nuestras simulaciones numéricas.

En cuanto a los potenciales, el modelo proporciona un valor de potencial de superficie que se ajusta bastante bien al obtenido con nuestra simulación clásica. Sin

embargo, el valor del potencial central proporcionado por la expresión difiere notablemente del obtenido numéricamente en fuerte inversión.

Para comparar la tensión umbral hemos elegido una estructura igual que la anterior, un MOSOM simétrico con puertas de polisilicio tipo P⁺ de dopado 10²⁰cm⁻³, capas de óxido de espesor t_{ox} = 5nm y lámina de silicio tipo P con dopado uniforme de 10¹⁵cm⁻³ y espesores de 600nm a 4nm.

Espesor Si	V _{th} Lovaina.	V _{th} Numérico
600nm	0.976V	1.003V
400nm	0.971V	1.003V
300nm	0.968V	1.001V
200nm	0.965V	0.994V
150nm	0.963V	0.987V
100nm	0.961V	0.982V
70nm	0.961V	0.984V
40nm	0.959V	0.993V
35nm	0.959V	0.996V
30nm	0.959V	0.999V
25nm	0.959V	1.003V
20nm	0.959V	1.007V
15nm	0.959V	1.014V
10nm	0.958V	1.026V
8nm	0.958V	1.032V
7nm	0.958V	1.036V
6nm	0.958V	1.041V
5nm	0.958V	1.045V
4nm	0.958V	1.050V

Los resultados de tensión umbral calculados con la expresión del modelo de Lovaina, junto con los obtenidos de nuestra simulación clásica mediante el método del máximo de la transconductancia se presentan en la tabla anterior.

Según la expresión del modelo, la tensión umbral depende del espesor de la capa de silicio t_{Si} , del espesor de las capas de óxido t_{ox} , y del dopado de la lámina de silicio N_A . En la gráfica siguiente podemos ver la tensión umbral obtenida mediante simulación clásica y la calculada con el modelo variando únicamente el espesor de la lámina de silicio.

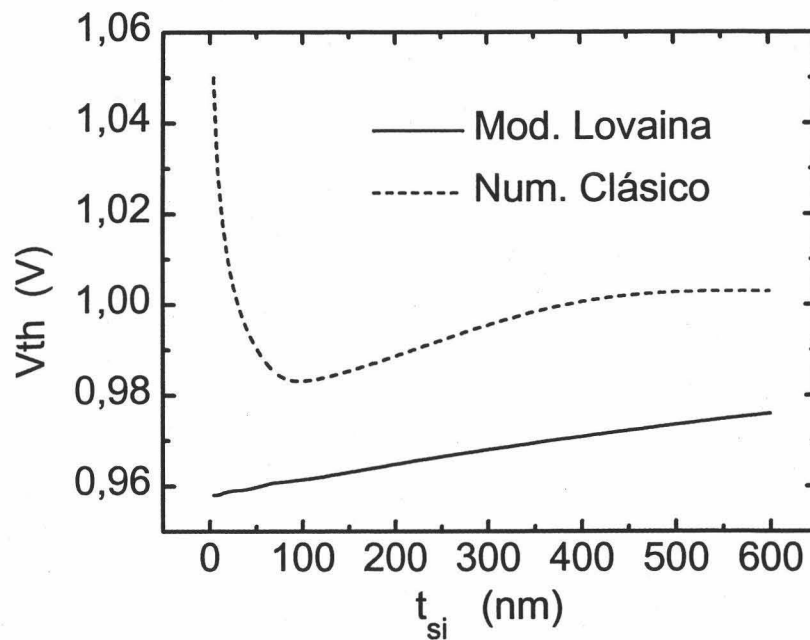


Fig. 50: Dependencia de la tensión umbral con el espesor de la lámina de silicio. En línea continua valores de tensión umbral calculados con el modelo de Lovaina. En líneas discontinuas tensión umbral calculada por medio de la simulación clásica.

Como se puede observar en la figura, la tensión umbral calculada con el modelo de Lovaina no se ajusta a nuestros resultados de tensión umbral obtenidos mediante simulación clásica. La tensión calculada con el modelo de Lovaina disminuye a medida que decrece el espesor para todo el rango de t_{Si} . Sin embargo, como antes vimos, la

tensión umbral obtenida numéricamente muestra un aumento de su valor para espesores muy pequeños. Para espesores grandes el modelo proporciona valores 20mV inferiores a los numéricos aumentando esta diferencia para espesores menores de 100nm.

En las gráficas siguientes comparamos los potenciales central y de superficie de un DGMOST con espesor de óxidos 5nm y espesor de silicio 40nm, calculados con el modelo de Lovaina y obtenidos de nuestra simulación numérica clásica.

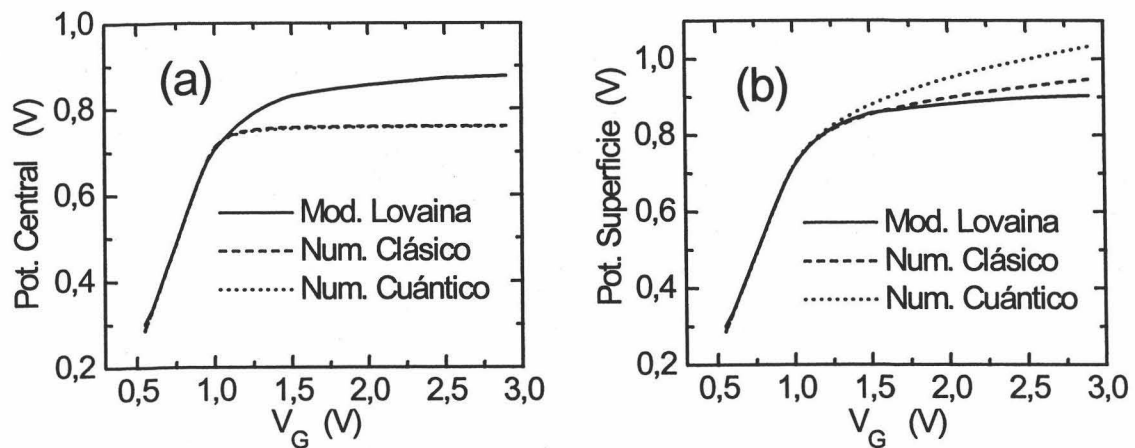


Fig. 51: Comparación de los potenciales central (a) y de superficie (b) para un DGMOST con espesor de silicio $t_{si} = 40\text{nm}$ y espesor de óxidos $t_{ox} = 5\text{nm}$, calculados con el modelo de Lovaina (línea continua), simulación clásica (línea a trazos), y cuántica (línea de puntos).

Podemos observar cómo el potencial central calculado con el modelo de Lovaina difiere bastante del calculado numéricamente, para tensiones de puerta superiores a la umbral. En el caso del potencial de superficie se obtiene un potencial ligeramente inferior al calculado clásicamente, siendo mayores las diferencias al comparar con la simulación cuántica.

CAPÍTULO III:

COMPARACIÓN ENTRE UN MOSFET CONVENCIONAL Y UN MOSFET DE DOBLE PUERTA. EFECTOS Y MODELADO DEL CENTROIDE DE LA LÁMINA DE INVERSIÓN

3.1 INTRODUCCIÓN

A lo largo del Capítulo 2 hemos estudiado cómo se comporta la estructura MOSOM en las diferentes regiones de operación, y hemos analizado los resultados obtenidos para los diferentes parámetros y magnitudes de interés. Hemos puesto de manifiesto la gran diferencia que se obtiene al aplicar los modelos clásico y cuántico, y, por tanto, la escasa validez del modelo clásico para la simulación del comportamiento de esta estructura. Hemos mostrado bajo qué condiciones se consigue la condición de inversión en volumen, y cuáles son los perfiles de la concentración de electrones, valor del centroide de la carga, etc., en esta situación. Pero aún no hemos respondido a las preguntas principales que nos hacíamos en el Capítulo 1, la más importante de las cuales, por sus consecuencias tecnológicas, es la siguiente: ¿Existen ventajas reales en el uso de una estructura de doble puerta con respecto a un dispositivo de puerta simple convencional?

Para responder a la cuestión anterior, hemos de analizar las propiedades de transporte de los electrones en el canal de un DGMOST, y compararlas con las de un MOSFET convencional. La conductividad del canal de un transistor de efecto campo depende básicamente de dos magnitudes: la concentración de carga y la movilidad de los portadores. La densidad de carga ya ha sido descrita y analizada ampliamente en el

Capítulo 2, y estamos en perfectas condiciones de extraer sus consecuencias en el comportamiento de un transistor. El cálculo de la movilidad requiere un trabajo de simulación adicional y se describirá más adelante, en esta memoria.

El propósito del presente capítulo es, pues, responder parcialmente a la pregunta planteada comparando un DGMOST con un MOSFET convencional desde el punto de vista de las distribuciones de carga que se consiguen con sus estructuras transversales de control. Se realizará un estudio paralelo, abordando en primer lugar el problema de un solo canal, o bien el caso de dos canales separados con tan poca interacción mutua que puedan considerarse como independientes, y en segundo lugar el caso de dos canales próximos e incluso solapados en uno solo, tal como se obtiene cuando se alcanza la condición de inversión en volumen o en situaciones próximas a ella. En este estudio desempeñará un papel fundamental el centroide de la carga, ya que la diferencia en el perfil de la distribución de electrones en el canal es una de las peculiaridades más importantes del DGMOST frente al MOSFET convencional. El comportamiento de la movilidad, que es la segunda magnitud que determina la conductividad del canal, se describirá en el Capítulo 5 de esta memoria.

3.2 CANALES INDEPENDIENTES

Tratamos aquí el caso de un solo canal, tal como se encuentra en un MOSFET convencional o en un MOSFET SOI de puerta simple, o bien el caso de dos canales separados, tan distantes que se pueden considerar independientes. Esto ocurriría, por ejemplo, en un DGMOST en deplexión parcial, pero también puede ocurrir en deplexión total con láminas de silicio suficientemente gruesas si el dopado de ellas es bajo. En esta situación, como hemos comentado repetidas veces en esta memoria, no existe diferencia apreciable entre un transistor de puerta simple y uno de puerta doble. Para tratar éste bastaría con considerar que existen dos canales en paralelo.

Incluso en este caso, el modelo clásico y el cuántico dan distribuciones de concentración de electrones significativamente diferentes. En el modelo clásico la máxima concentración de electrones se produce en la interface óxido-semiconductor mientras que en el modelo cuántico la máxima concentración se encuentra en el interior del semiconductor, siendo casi nula en la interface. Dos consecuencias de la penetración media de la capa de inversión son:

- 1) El potencial eléctrico es mayor que el calculado con el modelo clásico.
- 2) Cuando se cambia la tensión de puerta, al producirse la modificación de la distribución de electrones en el semiconductor lejos de la interface, la capacidad y la transconductancia son menores.

Cuando las dimensiones de los dispositivos disminuyen, llegando a ser la profundidad media de la capa de inversión comparable al espesor de óxido, los efectos del centroide de la carga de inversión adquieren especial importancia y tendrán que tenerse en cuenta.

En la bibliografía podemos encontrar diversas formas de incluir los efectos cuánticos en los modelos del MOSFET. Algunos ejemplos son los siguientes:

- 1) La densidad de electrones clásica usada en los simuladores de arrastre y difusión es corregida de forma que se anule en la interface óxido-semiconductor y son deducidas las condiciones de contorno correspondientes [Hansch et al., 1989].
- 2) Como los niveles de energía por debajo de la subbanda fundamental están prohibidos para los electrones, se ha propuesto un ancho de gap efectivo para modificar la densidad intrínseca de los portadores usada en los simuladores de difusión cerca de la interface óxido-semiconductor [Van Dort et al., 1994].
- 3) El espesor de óxido es modificado añadiéndole un valor constante que representa la profundidad media de la capa de inversión [Ohkura et al., 1990], [Park et al., 1991]. La tensión de banda plana y la tensión umbral son también modificadas [Ohkura et al., 1990].
- 4) La capacidad del óxido es corregida añadiéndole un termino que representa la diferencia entre las penetraciones medias cuántica y clásica, las cuales son modeladas como una función de las cargas en depleción e inversión [Arora et al., 1995], [Takagi et al., 1995].

En esta sección analizamos esos efectos estudiando el centroide de la carga de inversión y sus dependencias, así como el papel que debe desempeñar en el modelado de las curvas de carga-tensión, corriente-tensión o capacidad-tensión. A pesar del creciente interés por la penetración media de la capa de inversión y sus efectos, todavía hay algunos aspectos por clarificar como pueden ser: la forma en que debe aplicarse la corrección, si ésta es la misma o no tanto para la carga como para la capacidad y cuál es la dependencia del centroide con el potencial de superficie y el dopado de substrato. En los apartados siguientes estudiaremos estos aspectos y presentaremos expresiones útiles

tanto del centroide como de la carga en inversión y la capacidad puerta-canal.

3.2.1 EFECTOS DEL CENTROIDE SOBRE LA CURVA CARGA-TENSION

Como hemos comentado con anterioridad, el hecho de que la máxima concentración de electrones en la capa de inversión se encuentre alejada de la interface provoca que el potencial de superficie sea mayor que en el caso clásico, en el cual el máximo esta justo en la interface. A pesar de este incremento en el potencial de superficie, la carga no se incrementa, más bien decrece ligeramente como veremos a lo largo de este apartado.

Al tener en cuenta los efectos del centroide, el potencial de superficie se calcularía de la forma siguiente: si z es la coordenada perpendicular a la interface, se multiplica la ecuación de Poisson por z , y se integra, obteniendo:

$$\psi_s = \frac{q}{\epsilon_{si}} \int_0^{z_{dep}} z \cdot N_A(z) dz + \frac{1}{\epsilon_{si}} z_I \cdot Q_I \quad (45)$$

donde q es el modulo de la carga del electrón, $N_A(z)$ el perfil de dopado y z_{dep} el espesor de la capa de depleción.

Si $n(z)$ es la densidad de electrones 3-D en la capa de inversión, la profundidad de penetración media se define como [Pals et al., 1972]:

$$z_I = \frac{\int_0^{z_{dep}} z \cdot n(z) dz}{\int_0^{z_{dep}} n(z) dz} \quad (46)$$

donde se ha supuesto que $n(z)$ ya se ha anulado para $z = z_{dep}$ y distancias mayores medidas desde la interface óxido-semiconductor.

La ecuación (45) se ha obtenido de forma totalmente general y es independiente de la forma del perfil de la carga de inversión. En particular, también puede ser obtenida suponiendo que la capa de inversión es una lámina de carga de espesor infinitesimal (una función delta de Dirac) situada a una distancia z_I de la interface óxido-semiconductor con una densidad de carga por unidad de área $-Q_I$ [Banqueri et al., 1996], lo que puede resultar muy útil para propósitos de modelado. El primer término del segundo miembro de la ecuación (45) puede definirse como la curvatura de bandas debida a la carga de la capa de depleción, al cual se suma el segundo termino con el fin de obtener el potencial total de superficie. Así pues podemos definir el potencial de depleción como:

$$\psi_{dep} \equiv \psi_s - \frac{1}{\epsilon_{si}} z_I \cdot Q_I \quad (47)$$

A pesar de que las ecuaciones (45) y (46) no dependen de la forma de $n(z)$, el efecto del término que contiene al centroide de la carga de inversión es más importante con el modelo cuántico que con el clásico ya que el valor del centroide es mayor en el primer caso. Esta es la razón de que se obtenga un potencial de superficie mayor con el modelo cuántico. Para ilustrar este hecho, se representan el potencial de superficie ψ_s y el potencial de depleción ψ_{dep} en la Fig. 52, en función del voltaje de puerta aplicado, para dos valores de concentración de dopado (10^{17} cm^{-3} y $3 \cdot 10^{18} \text{ cm}^{-3}$), y puerta de polisilicio tipo n^+ . ψ_s se muestra con trazo continuo y ψ_{dep} con líneas a trazos pequeños. El potencial de superficie igual al doble del potencial de Fermi $\psi_s = 2\phi_F$, tomado usualmente como el punto de comienzo de la región de inversión (más concretamente, de inversión moderada) está marcado mediante un cuadrado, y el potencial de superficie $\psi_s = 2\phi_F + 6k_B T/q$, definido por Tsvividis como el límite entre las regiones de inversión moderada y fuerte inversión [Tsvividis et al., 1993], se muestra mediante líneas

horizontales a trazos largos.

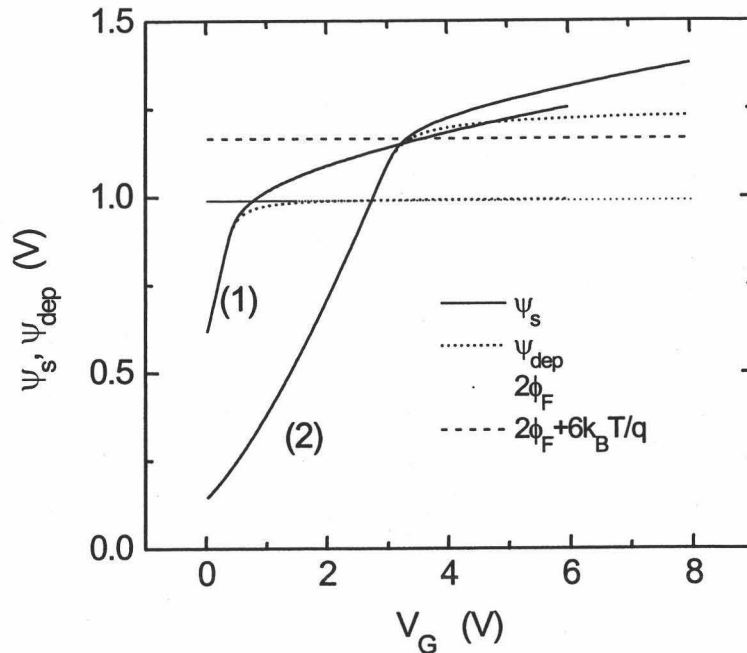


Fig. 52: Potencial de superficie frente a la tensión de puerta para dos valores diferentes de la concentración de sustrato: 10^{17} cm^{-3} (1) y $3 \cdot 10^{18} \text{ cm}^{-3}$ (2). Línea continua: potencial de superficie ψ_s . Línea a trazos cortos: potencial de depleción ψ_{dep} . Cuadrados: $\psi_s = 2\phi_F$. Línea a trazos largos: potencial $\psi_s = 2\phi_F + 6 \cdot k_B T/q$. ($t_{ox} = 10 \text{ nm}$).

Como se observa, el potencial ψ_{dep} es casi constante en la región de fuerte inversión mientras ψ_s diverge fuertemente. En consecuencia, el potencial ψ_{dep} es mucho más útil para definir la tensión umbral del dispositivo, ya que, de esa manera, el parámetro resulta mucho más independiente de la tensión de puerta, como es de desear ya que la tensión umbral se toma como una constante en los modelos simples. Además, también es ψ_{dep} el potencial que debe utilizarse para calcular la carga en depleción, de acuerdo con la propia definición de este potencial. Para un perfil de dopado constante, la carga Q_D se calcula con la expresión:

$$Q_D = \sqrt{2\varepsilon_{si}qN_A \left(\psi_{dep} - \frac{k_B T}{q} \right)} \quad (48)$$

donde k_B es la constante de Boltzmann, y T es la temperatura absoluta.

Con la corrección $k_B T/q$ dentro de la raíz cuadrada, se tiene en cuenta el efecto de cola de los portadores mayoritarios en el borde de la capa de deplexión, como se puede hallar en la referencia [Baccarani et al., 1980], en la cual también podemos encontrar un tratamiento interesante de las correcciones necesarias para perfiles de dopado no constante. La ecuación (48), usando la definición de ψ_{dep} dada en (47), produce resultados acordes con nuestros datos numéricos para perfiles de dopado constantes, con un error inferior al 1%, mientras que el error máximo llega hasta el 4% si no se incluye la corrección $k_B T/q$.

Por otra parte, el cálculo de la carga en inversión Q_I se puede realizar usando la expresión conocida:

$$V_G - V_{FB} = \psi_s + \frac{Q_I + Q_D}{C_{ox}} \quad (49)$$

donde V_G es la tensión de puerta, V_{FB} es la tensión de banda plana, que incluye la diferencia de funciones trabajo metal-semiconductor y el efecto de las cargas fijas dentro del óxido y C_{ox} es la capacidad del óxido por unidad de área, que se define como:

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \quad (50)$$

La expresión (49) es totalmente general en una estructura MOS, si se desprecia la caída de potencial en el material de puerta (si no fuera despreciable, bastaría con añadirla), y la contribución de los estados de interface, cuya densidad es muy baja en los

dispositivos obtenidos con la tecnología actual, y se obtiene simplemente mediante la aplicación de la ley de Gauss, imponiendo la continuidad del desplazamiento eléctrico en la interface óxido-semiconductor. No depende, pues, de la forma de la forma concreta de la distribución de carga en el semiconductor. Combinando las ecuaciones (47) y (49) llegamos a la siguiente expresión de la carga en inversión:

$$Q_I = C_{ox}^* \cdot \left(V_G - V_{FB} - \psi_{dep} - \frac{Q_D}{C_{ox}} \right) \quad (51)$$

siendo

$$C_{ox}^* \equiv \frac{\epsilon_{ox}}{t_{ox} + \frac{\epsilon_{ox}}{\epsilon_{Si}} \cdot z_I} \quad (52)$$

La ecuación (52) puede ser interpretada como la combinación en serie de la capacidad de óxido C_{ox} y una "capacidad del centroide" dada por ϵ_{Si}/z_I . Al denominador de esta ecuación lo llamaremos "espesor de óxido eléctrico", de acuerdo con [Arora et al., 1995], que lo introducen directamente, sin justificarlo mediante la derivación anterior. Si definimos ahora la tensión umbral mediante la siguiente expresión:

$$V_{th} = V_{FB} + \psi_{dep} + \frac{Q_D}{C_{ox}} \quad (53)$$

podemos expresar la carga en inversión Q_I de la forma:

$$Q_I = C_{ox}^* \cdot (V_G - V_{th}) \quad (54)$$

Entonces, en el limite de fuerte inversión, V_{th} puede ser interpretado como la tensión umbral obtenida mediante extrapolación lineal, y los efectos del centroide se reducen a la modificación del espesor efectivo del óxido.

Aunque esta misma corrección del óxido C_{ox}^* ha sido propuesta por varios autores, [Ohkura et al., 1990] [Arora et al., 1995] [Takagi et al., 1995], la introducción “empírica” de los efectos del centroide en la modificación del espesor efectivo del óxido de puerta plantea el problema de que no permite apreciar el papel que desempeña ψ_{dep} en esta aproximación. El desarrollo utilizado aquí nos permite detectar diversos errores presentes incluso en la bibliografía reciente, y resaltar los siguientes hechos:

- 1) La ecuación (52) no es una corrección empírica, ya que ha sido derivada directamente de ecuaciones bien conocidas. Esta corrección es consecuencia del incremento del potencial de superficie con la carga en inversión y no debe ser utilizada junto con el potencial de superficie en la ecuación de la carga, sino con el potencial de deplexión ψ_{dep} .
- 2) El centroide z_I que aparece en la expresión (52) no es la diferencia entre los centroides cuántico y clásico sino la posición real del centroide obtenida de acuerdo con el modelo elegido (cualquiera de los dos, cuántico o clásico). Los efectos cuánticos no han sido explícitamente utilizados en las expresiones (45) a (52). Sin embargo es de esperar que el modelo cuántico, al ser más exacto, proporcione unos valores más realistas del centroide.
- 3) La introducción de la corrección del centroide nos lleva a usar ψ_{dep} en vez de ψ_s en la definición de la tensión umbral. De esta forma obtenemos una expresión de la tensión umbral menos dependiente de la tensión de puerta debido a que el valor de ψ_{dep} es casi constante en la región de fuerte inversión.
- 4) La carga en deplexión Q_D puede ser expresada según (48) si se usa una concentración de dopado constante efectiva.
- 5) La carga en deplexión Q_D esta dividida por C_{ox} en vez de C_{ox}^* . Por tanto el efecto de la polarización de sustrato sobre la tensión umbral no esta afectado por la

corrección del centroide. En particular, el valor de C_{ox} que se usa en la definición del efecto "body" no debe corregirse con el término que incluye al centroide.

- 6) Como las expresiones (45) y (49) han sido obtenidas sin aproximaciones (aparte de las ya comentadas), la expresión de la carga en inversión (51) es aplicable incluso en débil inversión, siempre que se usen expresiones exactas de z_1 y ψ_{dep} en este régimen. No obstante, el modelado de la carga en esta región no es fácil por el procedimiento anterior, ya que ψ_{dep} no es aquí constante, sino que depende fuertemente de la tensión de puerta.

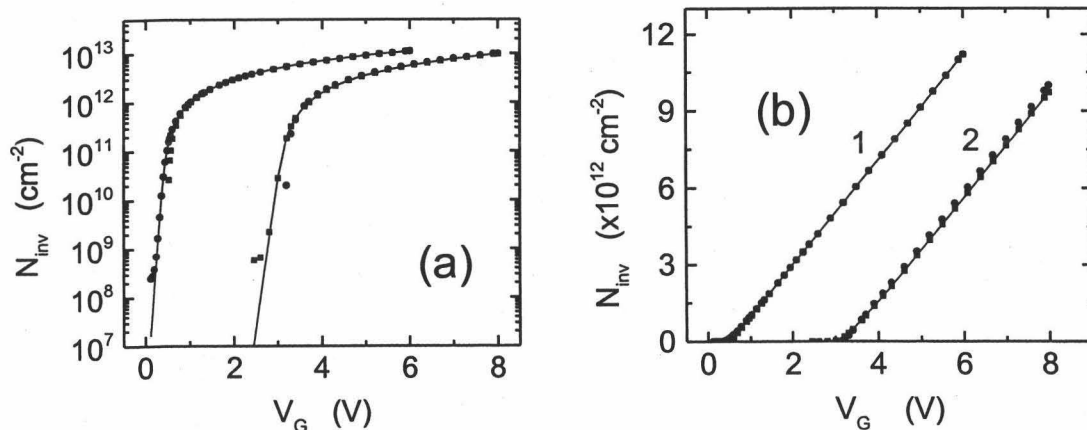


Fig. 53: Concentración de electrones en inversión por unidad de área frente a la tensión de puerta para dos valores de dopado: (1) 10^{17} cm^{-3} y (2) $3 \cdot 10^{18} \text{ cm}^{-3}$. En línea continua se representa los datos obtenidos con el procedimiento numérico. Puntos redondos: resultados del uso de la expresión (51) calculando z_1 y ψ_{dep} numéricamente. Puntos cuadrados: resultados obtenidos con un modelo simple de fuerte inversión pero usando la corrección del centroide. Los resultados de la gráfica (a) se muestran en escala logarítmica y los de la gráfica (b) en escala lineal. $t_{ox} = 10 \text{ nm}$.

En la Fig. 53 se muestra la concentración de electrones por unidad de área en función de la tensión de puerta V_G para dos valores del dopado de sustrato (10^{17} cm^{-3} y $3 \cdot 10^{18} \text{ cm}^{-3}$) en escala semilogarítmica y en escala lineal. Los datos obtenidos con el procedimiento numérico son mostrados en línea continua mientras que los datos

hallados usando la expresión (51) con los valores numéricos de z_I y ψ_{dep} se muestran con círculos. Estos datos son comparados con aquellos obtenidos al tomar ψ_{dep} igual a $2\phi_F + 6k_B T/q$, calculando Q_D con la expresión (48), y usando la carga Q_I calculada mediante las expresiones (60), (51) y (52) por medio de un proceso iterativo (mostrados en la gráfica con cuadrados). Se puede observar el buen acuerdo que se obtiene mediante este procedimiento “semianalítico” con los resultados numéricos, excepto en débil inversión. Las diferencias en débil inversión se debe al uso de un valor constante de ψ_{dep} con lo que se sobrestima el valor del potencial de depleción en dicha región.

Los resultados obtenidos para altos dopados de substrato pueden mejorarse si se utiliza una corrección mayor a $6k_B T/q$ para ψ_{dep} , de acuerdo con los resultados de la Fig. 52. La carga Q_I puede aproximarse por una línea recta en fuerte inversión, como se muestra en la Fig. 53b, pero el valor deducido para z_I es bastante sensible al rango de la curva usado para aplicar un ajuste de mínimos cuadrados, llevando a resultados erróneos. Para poder aprovechar el procedimiento anterior con vistas al modelado, sería necesario disponer de resultados analíticos para z_I . Este problema es complicado, y recurrimos en esta memoria a un ajuste puramente empírico de la posición del centroide de carga representado en función de la densidad de carga de inversión, utilizando para ello las curvas obtenidas mediante nuestro procedimiento numérico. Los resultados de este ajuste se presentan en el siguiente apartado.

3.2.2 MODELADO DEL CENTROIDE DE LA CAPA DE INVERSIÓN

Para el cálculo de la penetración media de la capa de inversión hemos utilizado el procedimiento basado en la resolución autoconsistente de la ecuación de Schrödinger y de Poisson expuesto antes [López-Villanueva et al., 1995]. Con este procedimiento hemos calculado el potencial eléctrico, las cargas de inversión y depleción, la energía de

la subbanda fundamental y, en particular, el centroide de la capa en inversión en función de la tensión aplicada a la puerta para un MOSFET con diferentes niveles y perfiles de dopado y con distintos espesores de óxido. El número de subbandas utilizado en el cálculo es tal que si se añade otra nueva subbanda no exista diferencia en los resultados, incluso en débil inversión. Esto no es un problema ya que las bandas superiores son incluidas en un gas tridimensional. Hemos observado cómo el espesor del óxido no influye significativamente en los resultados obtenidos.

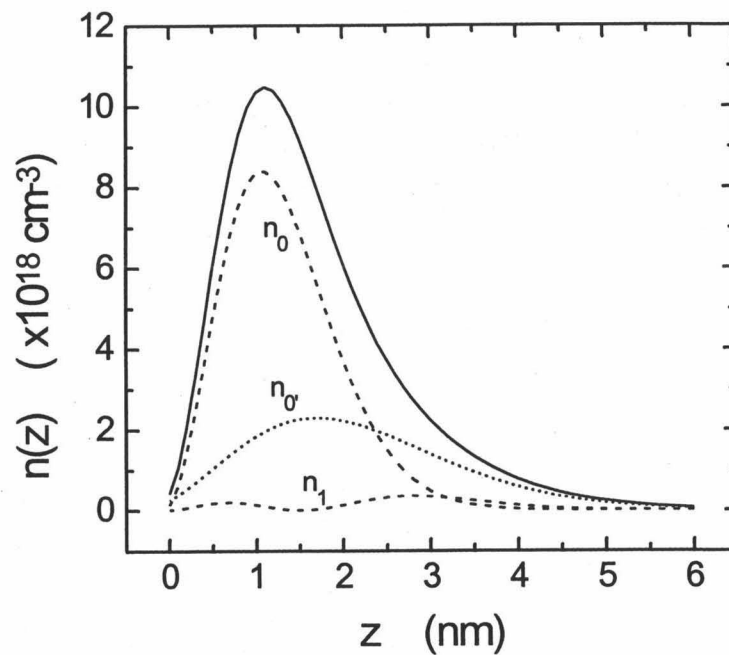


Fig. 54: Concentración total de electrones en función de la distancia desde la interface (línea continua), y concentración de electrones en las tres subbandas de menor energía (líneas a trazos). Las líneas a trazos largos corresponden a los dos elipsoides perpendiculares a la interface en un transistor con orientación de sustrato (100). La línea a trazos cortos corresponde a los cuatro elipsoides paralelos a la interface. Concentración de sustrato: $5 \cdot 10^{17} \text{ cm}^{-3}$. Densidad de electrones por unidad de área: 10^{12} cm^{-2} .

En la Fig. 54 se representa la densidad de electrones en la capa de inversión en función de la distancia a la interface óxido-semiconductor. En línea continua se representa la densidad total y en líneas discontinuas las concentraciones de electrones

contenidas en las tres subbandas de menor energía. Las líneas a trazos largos corresponden a los dos elipsoides perpendiculares a la interface en un transistor con orientación de sustrato (100). La línea a trazos cortos corresponde a los cuatro elipsoides paralelos a la interface.

Como se puede observar, la densidad total de electrones tiene una forma parecida a la densidad contenida solamente en la banda fundamental, si bien la ocupación multisubbanda produce un ensanchamiento en la curva, siendo distinto el centroide de la densidad total y el centroide de la subbanda fundamental. Esta similitud es la razón del buen comportamiento de la aproximación obtenida por Stern y Howard considerando únicamente la ocupación de la subbanda fundamental y aplicando el método variacional [Stern et al., 1967], incluso en los casos de ocupación multisubbanda a temperatura ambiente. Esta aproximación permite obtener una expresión analítica para la posición del centroide en función de la carga en inversión y la carga en depleción de la forma:

$$z_I = C_1 \cdot \left(Q_D + \frac{11}{32} \cdot Q_I \right)^{-1/3} \quad (55)$$

donde Q_D y Q_I son los módulos de las densidades de carga en depleción y en inversión por unidad de área, respectivamente, y C_1 un parámetro de ajuste.

Hemos comprobado esta dependencia utilizando nuestros resultados numéricos y la hemos comparado con otras expresiones. La más general, debida a la ocupación multisubbanda, es una expresión del centroide dependiente del campo eléctrico efectivo, tal como lo definen Sabnis y Clemens [Sabnis et al., 1979], que es el campo eléctrico transversal medio en la capa de inversión, y que se puede expresar de forma general, sin tener en cuenta la forma concreta de la densidad de electrones, de acuerdo con la siguiente expresión:

$$E_{eff} = \frac{1}{\epsilon_{Si}} \cdot \left(Q_D + \frac{1}{2} \cdot Q_I \right) \quad (56)$$

donde ϵ_{Si} es la permitividad del silicio.

Así pues, nosotros comprobaremos la validez de la siguiente expresión empírica:

$$z_I = C_2 \cdot E_{eff}^{-(1/3)} \quad (57)$$

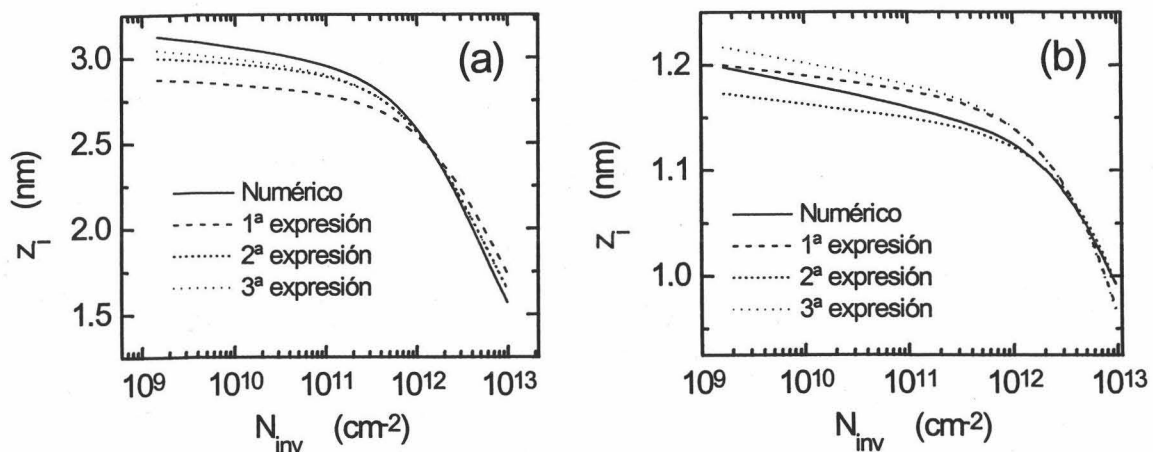


Fig. 55: Centroide frente a la densidad de e^- por unidad de área. Resultados numéricos en línea continua. Los mejores ajustes obtenidos con las expresiones (55), (57) y (60) se muestran en línea a trazos larga, media y corta, respectivamente. (a) para concentración de substrato 10^{17} cm^{-3} y (b) para $3 \cdot 10^{18} \text{ cm}^{-3}$.

En la Fig. 55 se representa el centroide de la carga de inversión frente a la concentración de electrones por unidad de área obtenido numéricamente y calculado con las expresiones (55) y (57), eligiendo para ello los valores de C_1 y C_2 para los cuales se consigue el mejor ajuste a los resultados experimentales. En línea continua se representan los resultados numéricos, en línea a trazos largos el mejor resultado hallado con la expresión (55) y en línea a trazos medios el mejor resultado hallado con la expresión (57). En la Fig. 55 (a) la concentración de dopado de substrato es 10^{17} cm^{-3} y en la Fig. 55 (b) de $3 \cdot 10^{18} \text{ cm}^{-3}$. Se observa que la expresión (55) proporciona mejores

resultados para el caso de dopados pequeños, mientras que para el caso de dopados altos las dos expresiones tienen un comportamiento comparable, resultando un error absoluto pequeño.

Como los valores de las dos constantes C_1 y C_2 resultan dependientes de la concentración de dopado, para obtener una expresión general aplicable en todo el rango de valores del dopado de substrato necesitamos incluir también esa dependencia. Para ello, proponemos una aproximación empírica más general dada por la siguiente expresión:

$$z_I = z_{I0} \cdot \left(\frac{E_{eff}}{1 \text{ MV/cm}} \right)^{-n} \quad (58)$$

donde z_{I0} y n son parámetros de ajuste, que pueden depender de la concentración de impurezas dopantes del substrato. Hemos hallado los valores de estos parámetros que proporcionan el mejor ajuste posible en un rango de dopado de $N_A = 10^{15} \text{ cm}^{-3}$ a $3 \cdot 10^{18} \text{ cm}^{-3}$, con los cuales se ha conseguido un buen acuerdo con los resultados numéricos, con un error máximo de un 1%. Esos valores óptimos de z_{I0} y n muestran una dependencia lineal con el nivel de dopado en una escala semilogarítmica y pueden ser expresados como:

$$z_{I0} = \left[1.783 - 0.107 \cdot \ln \left(\frac{N_A}{10^{16} \text{ cm}^{-3}} \right) \right] nm \quad (59)$$

$$n = 0.459 - 0.033 \cdot \ln \left(\frac{N_A}{10^{16} \text{ cm}^{-3}} \right)$$

Cuando estas expresiones de z_{I0} y n son usadas en la ecuación (58), el error máximo se incrementa hasta un 3% en el peor de los casos, que se puede considerar como un error todavía pequeño dada la dificultad en el modelado del centroide. En la obtención de esta aproximación se han utilizado los valores de potencial de superficie

dentro de las regiones de inversión moderada y fuerte tal como los define Tsividis [Tsividis et al., 1993]. Se han elegido únicamente estas regiones porque los efectos del centroide de inversión sólo tienen importancia cuando $z_I \cdot Q_I / \epsilon_{Si}$ no es despreciable con respecto al potencial de superficie ψ_s . En el límite entre las regiones de inversión débil y moderada, $z_I \cdot Q_I / \epsilon_{Si}$ es menor que 0.5mV en todos los casos considerados aquí. Así pues, aunque la penetración media de la capa de inversión se incrementa rápidamente cuando el potencial de superficie disminuye, su efecto es despreciable debido al decrecimiento exponencial de la carga en inversión. Veremos también que los efectos del centroide de la capa de inversión son importantes cuando $(\epsilon_{ox} / \epsilon_{Si}) \cdot (z_I / t_{ox})$ no es despreciable frente a la unidad. Estos efectos sólo son importantes, por lo tanto, para espesores de óxido pequeños.

La fuerte dependencia del nivel de dopado fue señalada por Pals [Pals et al., 1972] y ha sido recientemente confirmada por Arora y colaboradores [Arora et al., 1995] que han resaltado la inexactitud de los modelos simples que proponen un valor constante del centroide independiente de las variables tecnológicas. No obstante, si examinamos los resultados obtenidos podemos deducir que para concentraciones de dopado grandes la dependencia del parámetro n con el dopado del sustrato es poco importante. " n " varía entre 0.38 y 0.27 en el rango de dopados de $N_A = 10^{17} \text{ cm}^{-3}$ a $N_A = 10^{18} \text{ cm}^{-3}$. Como este intervalo de valores de n está centrado aproximadamente en 1/3, y el rango de valores de dopado es típico de los transistores convencionales en la tecnología actual, ya que la reducción de dimensiones obliga a incrementar la concentración de impurezas en el sustrato, hemos probado la ecuación (58) utilizando el valor de $n = 1/3$, obteniendo buenos resultados en el rango antes mencionado. También hemos analizado los diferentes valores de C_2 para diferentes concentraciones de dopado del sustrato y hemos observado que siguen una dependencia aproximada con $Q_D^{-(1/6)}$ en este rango. Basándonos en estas aproximaciones hemos probado la siguiente expresión:

$$z_I = z_{I0} \cdot \left(1 \frac{\text{MV}}{\text{cm}}\right)^{1/2} \cdot \left[\sqrt{\frac{Q_D}{\epsilon_{Si}}} \left(\frac{Q_D}{\epsilon_{Si}} + \frac{1}{2} \frac{Q_I}{\epsilon_{Si}} \right) \right]^{-1/3} \quad (60)$$

La permitividad del silicio ha sido introducida para expresar las cargas en unidades de campo eléctrico (en megavoltios por centímetro). z_{I0} es la profundidad de referencia que se usa aquí como único parámetro de ajuste. Las curvas obtenidas para el mejor valor de z_{I0} se muestran en la Fig. 55 en líneas a trazos cortos. Como se puede ver en esa figura, con la ecuación (60) se obtiene un mejor ajuste que con la expresión (57). La gran ventaja de la expresión (60) es que se puede usar para distintos niveles y perfiles de dopado e incluso para distintas polarizaciones de substrato. En el rango de dopados antes comentado hemos observado que usando un valor de $z_{I0} = 1.2$ se obtiene un buen acuerdo con los resultados numéricos. Si se consideran dopados de substrato inferiores se deberá usar un valor superior de z_{I0} y un valor distinto de "n".

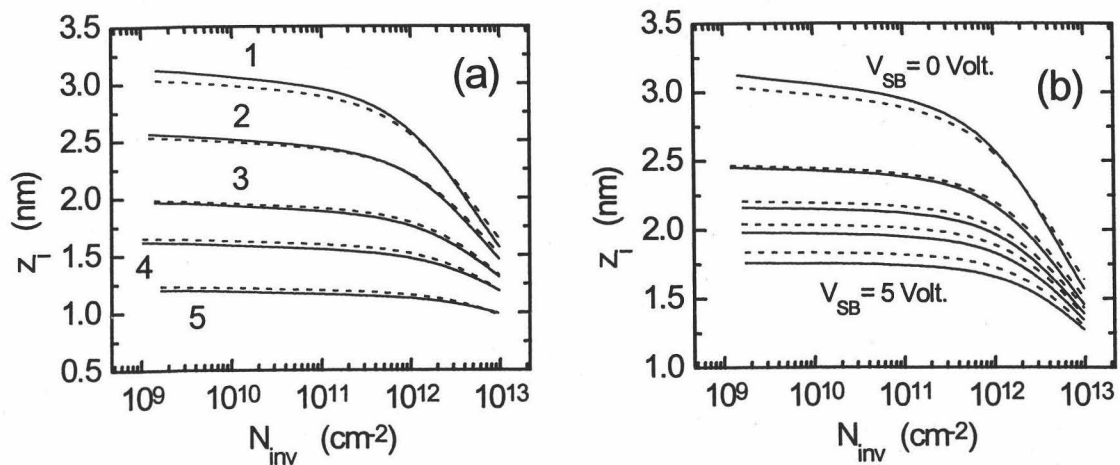


Fig. 56: Centroide de la capa de inversión frente a la densidad de electrones por unidad de área. Resultados numéricos en línea continua. Resultados obtenidos con la expresión analítica (60) y tomando $z_{I0} = 1.2$ en línea a trazos. Figura (a) para concentraciones de dopado $N_A = 10^{17} \text{ cm}^{-3}$ curva (1) hasta $N_A = 3 \cdot 10^{18} \text{ cm}^{-3}$ curva (5), y polarización de substrato nula $V_{SB} = 0$. Figura (b) para un dopado de substrato $N_A = 10^{17} \text{ cm}^{-3}$ y polarización de substrato desde 0 Voltios, curva superior, hasta 5 Voltios, curva inferior.

En la Fig. 56 se comparan el centroide calculado con la expresión (60) y los resultados numéricos. En la figura 56-(a) se representa el centroide frente a la densidad de electrones por unidad de área para polarización de substrato nula y distintas concentraciones de dopado (desde $N_A = 10^{17} \text{ cm}^{-3}$, para la curva 1, hasta $N_A = 3 \cdot 10^{18} \text{ cm}^{-3}$, para la curva 5). En la figura 56-(b) se representa el centroide frente a la densidad de electrones por unidad de área para un dopado de substrato $N_A = 10^{17} \text{ cm}^{-3}$ y una polarización de substrato variable, desde 0 Voltios (curva superior) hasta 5 Voltios (curva inferior). Los resultados numéricos se representan en línea continua y los calculados con la expresión analítica en línea a trazos.

Como se puede observar, se obtiene en todos los casos un buen ajuste. El error máximo del centroide es de 0.1nm, que se puede considerar comparable al error que introduce el procedimiento numérico debido a las aproximaciones introducidas al no haber considerado los efectos imagen ni los efectos de cambio de correlación [Hartstein et al., 1988]. También es de esperar un cierto error en las masas efectivas, que pueden modificarse por el confinamiento del gas de electrones, pero este problema aún no ha sido tratado en la bibliografía con suficiente detalle.

La validez de la expresión (60), con $z_{10} = 1.2 \text{ nm}$, ha sido también probada para perfiles de dopado no uniformes. Hemos calculado el centroide para dos perfiles: uno formado por una capa epitaxial de 10nm de espesor y bajo dopado, crecida sobre un substrato de alto dopado. El otro es un perfil Gaussiano con el máximo situado a 100nm de la interface. Ambos perfiles están representados en la Fig. 57 (b), el primero con línea a trazos cortos y el segundo con línea a trazos largos.

En la Fig. 57 (a) se representa el centroide frente a la densidad de electrones por unidad de área para los dos perfiles: la curva 1 corresponde al perfil escalón y la curva 2 al perfil Gaussiano. Tal como se ve en la figura, se consigue un buen acuerdo entre el centroide calculado con la expresión analítica (línea a trazos) y hallado numéricamente

(línea continua).

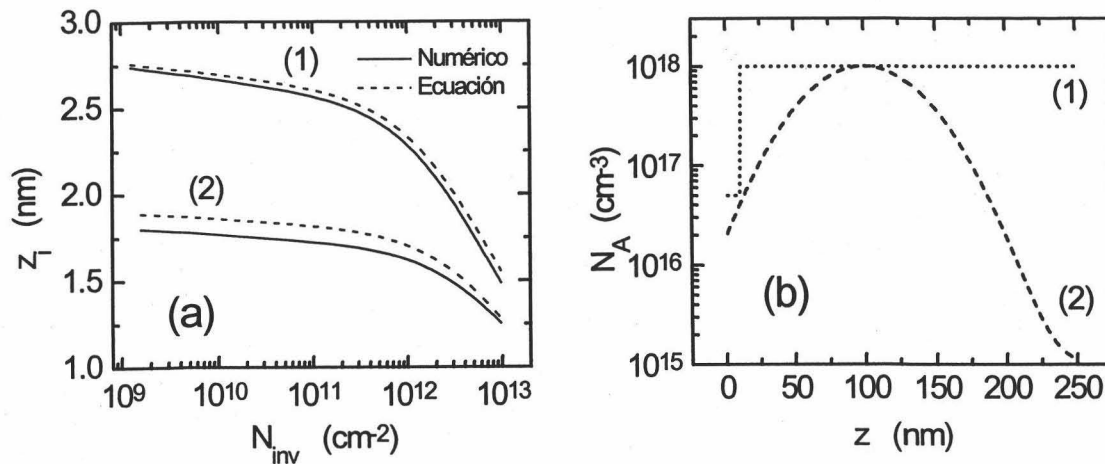


Fig. 57: (a) Centroide de la capa de inversión frente a la densidad de electrones por unidad de área para los dos perfiles de dopado mostrados en la Fig. 57 (b). Resultados numéricos en línea continua. Resultados obtenidos con la expresión analítica (60) y tomando $z_{i0} = 1.2$ en línea a trazos. Curva 1 para el perfil de la Fig. 57 (b) mostrado con línea a trazos cortos. Curva 2 para el mostrado con línea a trazos largos.

3.2.3 EFECTOS DEL CENTROIDE SOBRE LA CURVA CAPACIDAD-TENSIÓN

La corrección dada por la ecuación (52) no está directamente justificada en la expresión de la capacidad de puerta ya que ha sido obtenida sólo para la relación de la carga en inversión con la tensión de puerta y el potencial ψ_{dep} . Sin embargo, al haber sido introducida de forma empírica en la bibliografía, también se ha utilizado directamente en el modelado de las curvas de capacidad [Arora et al., 1995] [Takagi et al., 1995]. En cambio, Baccarani y Wordeman mostraron que si la capacidad del centroide es comparada con la capacidad real de la capa de inversión, las dos curvas se cruzan y no se juntan ni siquiera asintóticamente (véase figura 2 en [Baccarani et al., 1983]). Así pues, si se pretende buscar una desviación de la capacidad

en la forma:

$$\frac{1}{C'} \equiv \frac{1}{C_{inv}} - \frac{z_I}{\epsilon_{Si}} \quad (61)$$

con C_{inv} dada por

$$C_{inv} = \frac{\partial Q_I}{\partial \psi_s} \quad (62)$$

entonces C' resulta ser negativa para valores de tensión de puerta mayores que los del punto de corte.

Nos planteamos en este apartado investigar la forma correcta de corregir la capacidad de la capa de inversión, utilizando para ello la posición del centroide de carga, de manera que resulte una expresión más exacta y con mejor comportamiento asintótico. Para obtener una expresión asintótica útil, usamos el siguiente razonamiento: Observando la expresión (47) en el límite de fuerte inversión, cualquier incremento en ψ_s es producido por un incremento en Q_I , mientras que Q_D y ψ_{dep} permanecen casi constantes. Este es el efecto conocido del apantallamiento de la capa de depleción por la capa de inversión. Así pues la derivada de ψ_{dep} con ψ_s debe anularse en ese límite. Se obtiene, pues:

$$\delta \equiv \frac{\partial \psi_{dep}}{\partial \psi_s} = 1 - \frac{1}{\epsilon_{Si}} \cdot \frac{\partial(z_I \cdot Q_I)}{\partial \psi_s} \cong 0 \quad (63)$$

Podemos utilizar aquí la expresión empírica del centroide (60), que hemos obtenido ajustando los datos numéricos calculados con el modelo cuántico, y considerando Q_D como parámetro (el cual no está afectado por las variaciones de ψ_s). El resultado es:

$$\frac{\partial(z_I \cdot Q_I)}{\partial \psi_s} = z_I \cdot \frac{Q_I}{2Q_D + Q_I} \cdot \left(\frac{2}{3} + \frac{2Q_D}{Q_I} \right) \cdot C_{inv} \quad (64)$$

En el caso de fuerte inversión, la carga Q_I es mucho mayor que Q_D . Entonces, a partir de las ecuaciones (63) y (64) podemos calcular la capacidad del centroide corregida:

$$C_{inv}^{si} = \frac{3}{2} \cdot \frac{\epsilon_{Si}}{z_I} \quad (65)$$

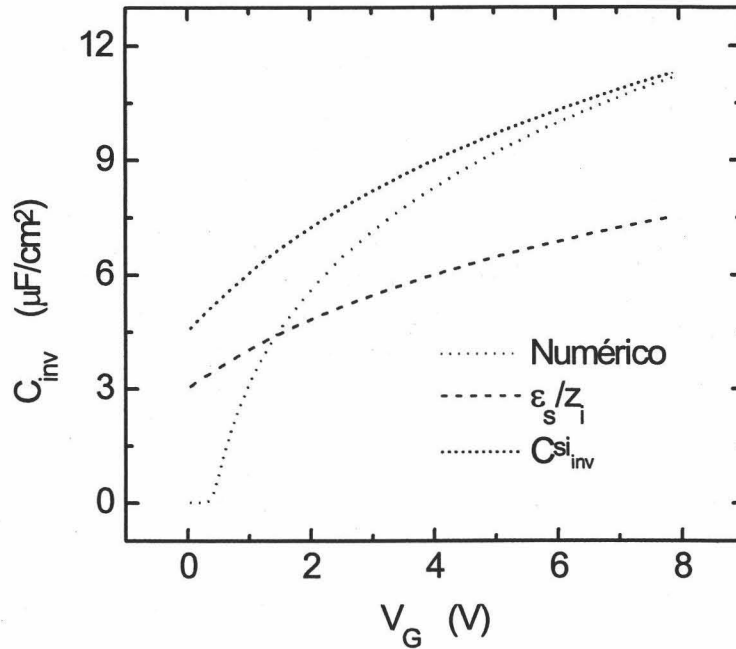


Fig. 58: Capacidad de la capa de inversión frente a la tensión de puerta. Resultados numéricos en línea de puntos. Capacidad del centroide ϵ_{Si}/z_I en trazos largos. Capacidad del centroide corregida C_{inv}^{si} en trazos cortos.

En la gráfica de la Fig. 58 se compara la capacidad C_{inv}^{si} con la capacidad del centroide ϵ_{Si}/z_I y con la capacidad C_{inv} que se calcula numéricamente con la expresión (62). Los resultados numéricos se muestran en línea de puntos, en línea a trazos cortos se muestra la capacidad del centroide C_{inv} y en línea a trazos largos la capacidad del centroide corregida C_{inv}^{si} . Se puede ver que se llega a producir un cruce entre C_{inv} y ϵ_{Si}/z_I , usando el modelo cuántico, igual que observaron Baccarani y Wordeman con el modelo clásico.

Vemos que, en cambio, el comportamiento asintótico de la capacidad del centroide corregida C_{inv}^{si} es bastante bueno. Harstein y Albert también propusieron una capacidad inversa proporcional a z_I pero multiplicado por un factor γ de corrección que diera cuenta de los efectos de las aproximaciones utilizadas [Hartstein et al., 1988]. A partir de nuestros ajustes, hemos podido asignar el valor $2/3$ a ese factor. Utilizando este comportamiento asintótico podemos definir ahora una capacidad de desviación para los valores intermedios de tensión, que no tenga que cambiar de signo y sea, pues, mucho más razonable desde el punto de vista físico:

$$\frac{1}{C_{dev}} \equiv \frac{1}{C_{inv}} - \frac{2}{3} \frac{z_I}{\epsilon_{Si}} \quad (66)$$

El origen físico de C_{dev} se debe básicamente a la no despreciable influencia de la carga en deplexión. Utilizando las expresiones (64) y (66) podemos obtener:

$$\frac{1}{C_{dev}} = \frac{2}{3} \frac{z_I}{\epsilon_{Si}} \frac{Q_I \cdot \delta + Q_D(1+2\delta)}{(2Q_D + Q_I)(1-\delta)} \equiv \frac{2}{3} \frac{z_I}{\epsilon_{Si}} \frac{\delta}{1-\delta} \quad (67)$$

Aunque esta expresión no puede ser usada fácilmente en modelos simples, ayuda a la interpretación de C_{dev} . Esta capacidad desviada es en parte debida al hecho de no poder despreciar Q_D frente a Q_I pero principalmente se debe a que la derivada δ no se anula. δ es una medida del cambio en la cantidad de la carga espacial en la capa de deplexión debida a las variaciones en la tensión de puerta. Esta derivada debería decrecer con el nivel de inversión, ya que el efecto de apantallamiento de la carga Q_I se incrementa. Podemos probar una dependencia de C_{dep} con Q_I siguiendo el trabajo de Takagi y Toriumi [Takagi et al, 95]. Estos autores propusieron una dependencia para C' y dijeron haber obtenido un buenos resultados sin que se pueda apreciar el cambio de signo antes comentado en ellos. Esto se debe a que utilizan la diferencia entre los centroides obtenidos con los modelos clásico y cuántico como valor de z_I , en lugar del valor del centroide; esa diferencia debe resultar cercana a $2/3z_I$. Nosotros hemos

obtenido buenos resultados también usando la siguiente expresión empírica.

$$C_{dev} = f \cdot \frac{q}{T \cdot k_B} \cdot Q_I \quad (68)$$

siendo f un parámetro de ajuste dependiente del dopado del sustrato. Este va desde 0.774 para $N_A = 10^{17} \text{cm}^{-3}$ hasta 0.391 para $N_A = 3 \cdot 10^{18} \text{cm}^{-3}$. El error de la expresión (68) es aceptable excepto para muy altos valores de la carga en inversión Q_I , donde éste realmente no importa debido a que domina la capacidad C_{ox} . Hemos comparado la capacidad puerta-canal calculada numéricamente mediante la aplicación del método "split C-V" a los resultados de la simulación. Este método proporciona la capacidad puerta-canal según:

$$C_{gc} = \frac{\partial Q_I}{\partial V_G} \quad (69)$$

Que, utilizando nuestra aproximación, nos da el siguiente resultado:

$$C_{gc} \cong \left[\frac{1}{C_{ox}} + \frac{k_B T}{f \cdot q \cdot Q_I} + \frac{2}{3} \frac{z_I}{\epsilon_{Si}} \right]^{-1} \quad (70)$$

El valor de z_I , en la expresión anterior, ha sido hallado con la expresión (60). La corrección para la capacidad de depleción propuesta por Sodini [Sodini et al., 1982] se ha despreciado ya que el error de la concentración de electrones en inversión N_I que se comete al despreciarlo es menor del 1% para dopados de sustrato superiores a 10^{12}cm^{-3} . Los resultados de esta comparación se muestran en la gráfica siguiente donde la capacidad puerta-canal es dibujada frente a la tensión de puerta para dos dopados diferentes de sustrato (10^{17}cm^{-3} y $3 \cdot 10^{18} \text{cm}^{-3}$). Los resultados numéricos se representan en línea continua, y la capacidad calculada con la expresión aproximada se muestran en círculos para $N_A = 10^{17} \text{cm}^{-3}$ y en puntos cuadrados para $N_A = 3 \cdot 10^{18} \text{cm}^{-3}$. Como se puede ver en la figura, se consigue en los dos casos un buen ajuste con los

resultados numéricos.

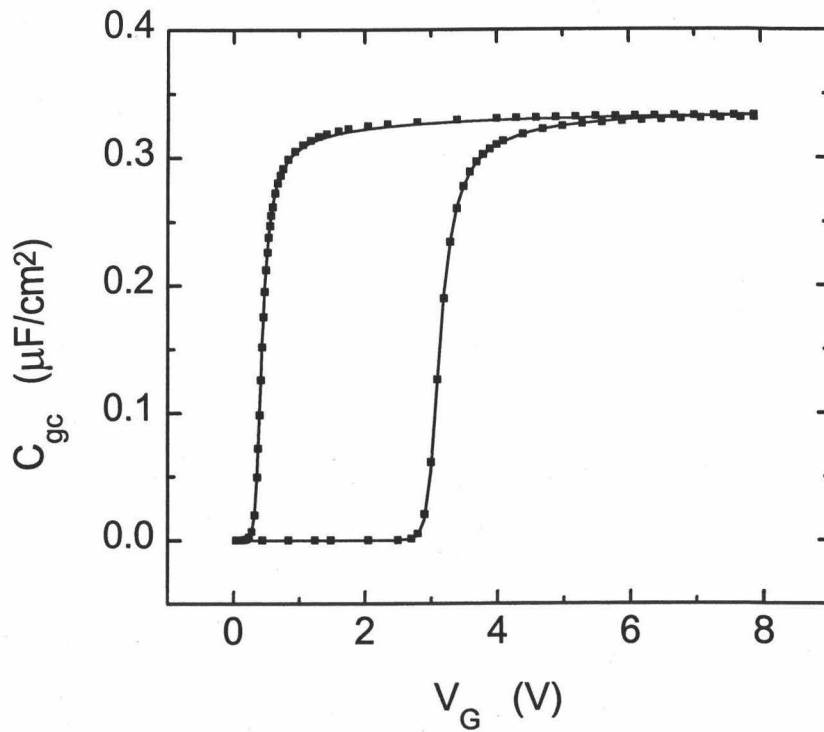


Fig. 59: Capacidad puerta-canal frente a la tensión de puerta. En línea continua se muestran los resultados numéricos. Círculos: resultados de la expresión (70) para $N_A = 10^{17} \text{ cm}^{-3}$. Cuadrados: resultados para $N_A = 3 \cdot 10^{18} \text{ cm}^{-3}$

3.3 CANALES PRÓXIMOS: INVERSIÓN EN VOLUMEN

Nos planteamos ahora el caso de que los dos canales estén tan próximos que pueda existir solapamiento entre ellos. En esta situación ya no actúa cada puerta por separado sobre el canal que está más próximo a ella, sino que las dos puertas ejercen su influencia eléctrica sobre todo el canal, simultáneamente. Realizamos en esta sección un análisis paralelo al desarrollado previamente para un solo canal, con el fin de poner de manifiesto las semejanzas y diferencias entre ambas situaciones.

3.3.1 EFECTOS DEL CENTROIDE SOBRE LA CARGA EN INVERSIÓN

Con el fin de analizar los efectos de la penetración de la distribución de electrones en el interior de la lámina de silicio, hemos de definir primero el centroide. Si se aplica la misma definición anterior a toda la lámina de silicio, cambiando el origen de coordenadas al centro de la lámina según $z'=z-t_{Si}/2$, resulta:

$$z'_I = \frac{\int_{-t_{Si}/2}^{t_{Si}/2} z' \cdot n(z') dz'}{\int_{-t_{Si}/2}^{t_{Si}/2} n(z) dz} = 0 \quad (71)$$

es decir, $z'_I = t_{Si}/2$, por la simetría de la distribución de carga, para cualquier valor de la tensión externa aplicada. Este resultado es obvio: una distribución simétrica de la carga de inversión alcanza su valor medio justo en el centro de la lámina. Sin embargo, no aporta ninguna información útil, y habremos de pensar en otra definición posible. Además, como veremos, ni siquiera es ésta la definición de centroide que debe incorporarse en la expresión de la carga de inversión cuando se parte de las ecuaciones básicas.

Debido a estos problemas, se ha propuesto calcular el valor del centroide restringiendo la integración a solamente la mitad de la lámina [Majkusiak et al., 1998]:

$$z_I = \frac{\int_0^{t_{Si}/2} z \cdot n(z) dz}{\int_0^{t_{Si}/2} n(z) dz} = \frac{2q}{Q_I} \int_0^{t_{Si}/2} z \cdot n(z) \cdot dz \quad (72)$$

donde ahora el origen de la coordenada z está tomado en la interface óxido-silicio superior como se muestra en la Fig. 60.

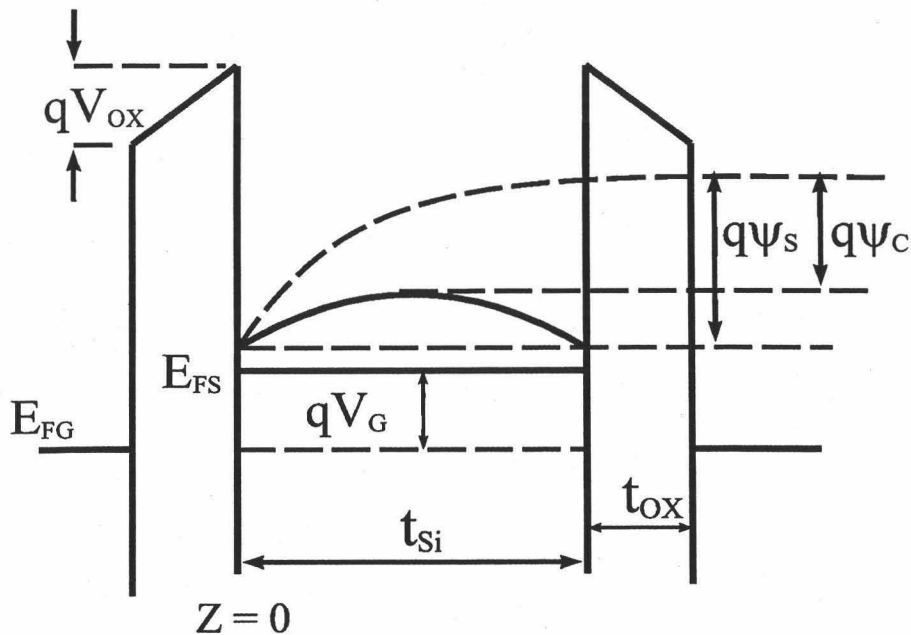


Fig. 60: Diagrama de bandas en la dirección transversal al canal de un DGMOST.

Como veremos a continuación, esta definición del centroide se puede justificar analíticamente. Para ello, tal como hicimos en la sección previa, multiplicamos por z la ecuación de Poisson, y la transformamos en la forma siguiente:

$$\frac{d}{dz} \left(z \frac{d\psi}{dz} \right) = -\frac{q}{\epsilon_{Si}} z (p(z) - n(z) - N_A(z)) + \frac{d\psi}{dz} \quad (73)$$

donde ψ es el potencial eléctrico, $p(z)$ y $N_A(z)$ son las concentraciones de portadores mayoritarios e impurezas ionizadas, respectivamente, y ϵ_{Si} es la permitividad del silicio.

En general, para obtener una expresión útil del centroide hay que integrar la ecuación anterior entre la interface y un punto donde el campo eléctrico sea nulo. En el caso de un MOSFET de puerta simple se integraba hasta el borde de la zona de carga espacial o un punto arbitrario situado en el interior de la zona neutra del sustrato. De esta forma es sencillo resolver la ecuación de Poisson unidimensional para calcular el potencial de superficie, ya que el primer término se anula en los dos límites de integración.

En efecto, la parte izquierda de la ecuación se anula cuando integramos entre la interface ($z=0$) y el punto de campo eléctrico nulo, que, en este caso, es justo el centro de la capa de silicio. La concentración de portadores mayoritarios se desprecia y se supone constante la concentración de impurezas ionizadas N_A . Definido ψ_s como el potencial para $z = 0$ y ψ_c el potencial en el centro de la lámina de silicio, después de integrar la ecuación obtenemos la siguiente expresión del potencial de superficie:

$$\psi_s = \psi_c + \frac{z_I}{2\epsilon_{Si}} Q_I + \frac{qN_A t_{Si}^2}{8\epsilon_{Si}} = \psi_c + \frac{z_I}{2\epsilon_{Si}} Q_I + \frac{Q_D}{8C_{Si}} \quad (74)$$

donde Q_D es el modulo de la carga en depleción por unidad de área y C_{Si} la capacidad de la capa de silicio $C_{Si} = \epsilon_{Si}/t_{Si}$.

Otra relación entre el potencial de superficie y la carga de inversión, en la que también interviene la tensión externa, puede ser deducida a partir de la curvatura de bandas (Fig. 60), de manera similar a como se calcula en un MOSFET de puerta simple.

Por una parte, tomando el origen de potencial que ya se definió en el capítulo anterior, se obtiene:

$$V_G - \Phi_{MS} = \psi_s + V_{ox} \quad (75)$$

donde V_G es la tensión aplicada a las puertas, V_{ox} es la caída de potencial en la capa de óxido, y Φ_{MS} es la diferencia de funciones trabajo entre el material de puerta y la capa de silicio.

Si además se aplica la ley de Gauss a una superficie que rodea la mitad de la capa de silicio se obtiene una ecuación que relaciona la caída de potencial en el óxido V_{ox} con las cargas Q_I y Q_D :

$$\epsilon_{Si} \cdot E_s = \epsilon_{ox} \cdot E_{ox} = \epsilon_{ox} \frac{V_{ox}}{t_{ox}} = \frac{1}{2}(Q_I + Q_D) \quad (76)$$

donde E_s y E_{ox} son los valores de los campos eléctricos en la interface óxido-semiconductor en la zona del silicio y en la del óxido, respectivamente, ϵ_{ox} la permitividad del óxido y t_{ox} el espesor del óxido. Se ha supuesto, por simplicidad, que no existe carga almacenada en el óxido ni en los estados de interface, aunque si existiera se podría incorporar en la ecuación anterior sin más dificultad. Es importante subrayar el hecho de que al aplicar la ley de Gauss hemos tenido que elegir una superficie paralela a la interface óxido-semiconductor en la cual el campo eléctrico transversal es nulo, que en la situación simétrica que estamos considerando es justo el centro de la lámina de silicio. De nuevo nos aparece este punto de forma obligada, por lo que la definición que estamos usando para el centroide no es, en absoluto, arbitraria: en todo el procedimiento de análisis estamos actuando como si sólo tuviéramos medio transistor.

Combinando las ecuaciones (74), (75) y (76) llegamos a la expresión buscada que relaciona la carga en inversión con la tensión de puerta y el potencial

central:

$$Q_I = 2C_{ox}^* \cdot \left(V_G - \Phi_{MS} - \psi_c - \frac{Q_D}{2C_{ox}} \left(1 + \frac{C_{ox}}{4C_{Si}} \right) \right) \quad (77)$$

con

$$C_{ox}^* = \frac{C_{ox}}{1 + C_{ox} \frac{z_I}{\epsilon_{Si}}} = \frac{\epsilon_{Si}}{t_{ox} + \frac{\epsilon_{ox}}{\epsilon_{Si}} z_I} \quad (78)$$

Observamos que la ecuación de la carga en inversión obtenida es muy parecida a la hallada en el caso de un MOSFET de puerta simple (51), usándose, además, la misma expresión para la corrección de la capacidad de óxido (52). En este caso la carga depende del potencial central ψ_c que juega el mismo papel que el potencial de depleción ψ_{dep} en aquel caso. La ventaja de utilizar el potencial central es que la fuerte variación del potencial de superficie esta incluida en el centroide de la capa de inversión. Podemos, por tanto, definir la tensión umbral en función del potencial central en vez del potencial de superficie:

$$V_{th} = \Phi_{MS} + \psi_c + \frac{Q_D}{2C_{ox}} \left(1 + \frac{C_{ox}}{4C_{Si}} \right) \quad (79)$$

Esta expresión de V_{th} es mucho menos dependiente de la tensión de puerta que la expresión de la tensión umbral definida en función del potencial de superficie. En particular V_{th} es casi constante en la región de fuerte inversión ya que ψ_c es constante en esa región y la carga en depleción no varia en un DGMOST en depleción total.

La definición de la carga en inversión para el DGMOST tiene las mismas ventajas que la hallada para el MOSFET de puerta simple. No es una expresión empírica, ha sido deducida a partir de ecuaciones conocidas sin hacer ninguna simplificación, es precisa y aplicable en todo el rango de operación desde débil hasta fuerte inversión.

Con la definición anterior de tensión umbral, la carga en inversión puede ser expresada en función de la tensión umbral de la forma:

$$Q_I = 2 \cdot C_{ox}^* \cdot (V_G - V_{th}) \quad (80)$$

Aparentemente la capacidad de corriente de un DGMOST y un MOSFET de puerta simple en la región de fuerte inversión es idéntica salvo el factor 2, (que puede ser compensado duplicando la anchura del MOSFET de puerta simple), y salvo el diferente valor del centroide de la capa de inversión, que hace que la corrección de la capacidad del óxido también pueda ser distinta. En el siguiente apartado haremos un estudio cuantitativo del centroide en las dos estructuras y compararemos los resultados.

3.3.2 COMPARACIÓN ENTRE UN MOSFET DE PUERTA SIMPLE Y UN DGMOST EN INVERSIÓN EN VOLUMEN

Para ver las diferencias y similitudes entre un MOSFET de puerta simple y un DGMOST, hemos calculado los perfiles de concentración de carga en ambas estructuras resolviendo autoconsistentemente la ecuación de Poisson y de Schrödinger usando el procedimiento descrito en el capítulo anterior [López-Villanueva et al., 1995]. Hemos escogido un DGMOST con espesor de óxido $t_{ox} = 5\text{nm}$, concentración de sustrato uniforme $N_A = 10^{15}\text{cm}^{-3}$ y distintos espesores de la capa de silicio. El bajo dopado de la capa de silicio en el DGMOST es realista, ya que en estos transistores no es necesario incrementar la concentración de impurezas para controlar la tensión umbral, mientras que en los transistores convencionales de reducidas dimensiones hay que recurrir a altos dopados. No obstante, para poder valorar con justicia las prestaciones del DGMOST hemos de elegir un transistor de puerta simple de características lo más parecidas que sea posible. Para ello, tomamos un transistor de puerta simple con una capa epitaxial de espesor 15nm y concentración $N_A = 10^{15}\text{cm}^{-3}$ sobre un sustrato de alto dopado

10^{18}cm^{-3} . De esta forma el canal está alojado en la región de baja concentración de impurezas mientras que la anchura de la región de depleción está limitada por la alta concentración de impurezas del sustrato, minimizándose así los efectos de canal corto [Fiegna et al., 1993], [López-Villanueva et al., 1997]. Para evitar los efectos que pudieran surgir de diferencias en la tensión umbral, la función trabajo del material de puerta del DGMOST ha sido elegida de forma que las tensiones umbrales linealmente extrapoladas fueran las mismas en ambos transistores.

En la Fig. 61 se muestra la concentración de portadores minoritarios, tanto en escala lineal como en escala logarítmica, para los dos transistores. En línea continua se muestran los datos correspondientes al MOSFET de puerta simple y en línea a trazos los del DGMOST. Con el fin de poder comparar adecuadamente, se ha considerado únicamente la mitad de la densidad de portadores minoritarios en el DGMOST, lo que equivale a considerar un transistor convencional de anchura doble para compensar el efecto de los dos canales. Se ha elegido un espesor de la capa de silicio de 8 nm para el DGMOST. Podemos ver en escala logarítmica cómo la pendiente subumbral en el transistor de doble puerta es más grande que en el de puerta simple, que es una de las ventajas del DGMOST frente al transistor tradicional. La mayor pendiente subumbral reduce las corrientes parásitas (leakage-off) y permite el uso de tensiones de polarización menores. En la escala lineal podemos ver cómo para tensiones superiores a la umbral no existen diferencias apreciables entre los dos. Esto es consecuencia de la similar dependencia de los potenciales central y de depleción frente a la tensión de puerta.

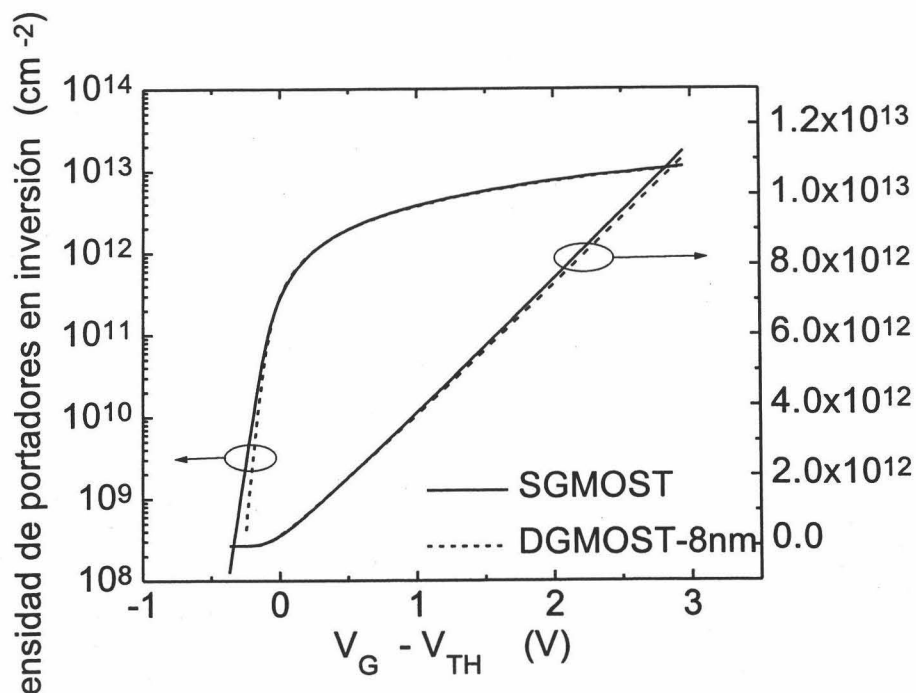


Fig. 61: Concentración de portadores minoritarios por unidad de área en función de la tensión de puerta menos la tensión umbral linealmente extrapolada para ambos transistores: el DGMOST, en línea a trazos, y el MOSFET convencional en línea continua. Sólo se ha considerado la mitad de la carga del DGMOST para poder comparar correctamente.

El comportamiento similar entre ambos potenciales se puede ver en la Fig. 62 (a), donde se representa ψ_c y ψ_{dep} frente a la tensión de puerta menos la tensión umbral linealmente extrapolada. Se observa que ambos potenciales permanecen constantes en la zona de fuerte inversión. En la Fig. 62 (b) representamos la tensión umbral calculada con las expresiones (53) y (79). Las dos son casi constantes en fuerte inversión y son prácticamente idénticas (como ya se vio las funciones trabajo de los materiales de puerta se escogieron para tener las tensiones umbrales iguales en los dos transistores) lo cual confirma la similitud del comportamiento de los dos transistores. La posible diferencia entre las dos estructuras estará en el centroide de la capa de inversión, el cual afecta directamente al valor de la transconductancia.

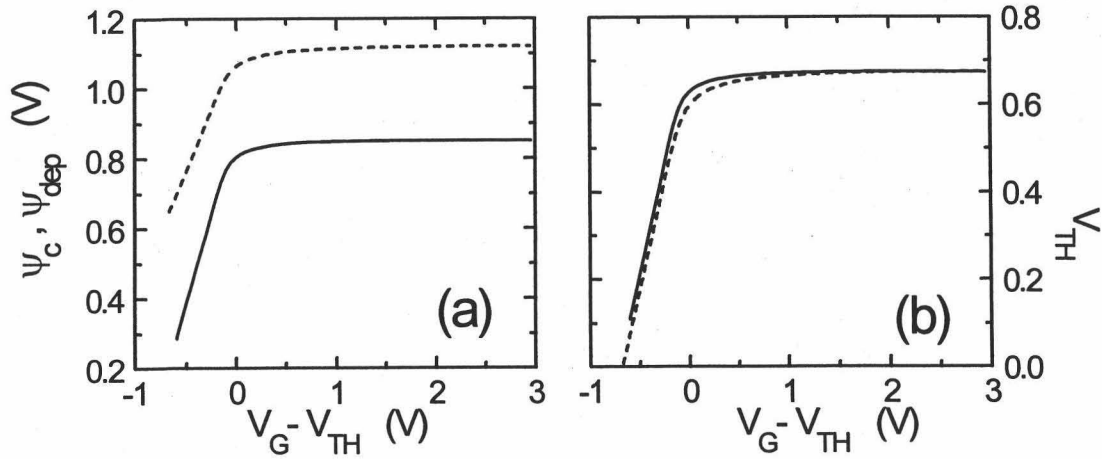


Fig. 62: (a) Potencial central ψ_c para el DGMOST, en línea a trazos, y potencial de depleción ψ_{dep} para el MOSFET convencional, en línea continua, en función de la tensión de puerta menos la tensión umbral linealmente extrapolada. (b): Tensiones umbrales, calculadas con las ecuaciones (53), (línea continua), y (79), (línea a trazos), frente a la tensión de puerta menos la tensión umbral linealmente extrapolada.

Para comprender el comportamiento del centroide, hemos comparado el valor obtenido en el transistor MOSFET convencional con el obtenido en el DGMOST para dos espesores de la lámina de silicio, 4 y 8 nm. En la Fig. 63 hemos representado el centroide en función de la tensión de puerta. Algunas de las ventajas atribuidas al DGMOST se basan en la mayor distancia de la capa de inversión a la interface de éste frente al MOSFET convencional. Sin embargo, se observa que esto no se cumple para DGMOSTs con espesores muy pequeños, ya que para el DGMOST de 4nm el centroide es menor que el del transistor convencional. Tal como se define el centroide en la ecuación (72), siempre resultará un valor inferior a $t_{si}/2$. Cuando $t_{si}/2$ es menor que la anchura de la distribución de electrones en el MOSFET de puerta simple, la interface opuesta fuerza a que el centroide sea menor.

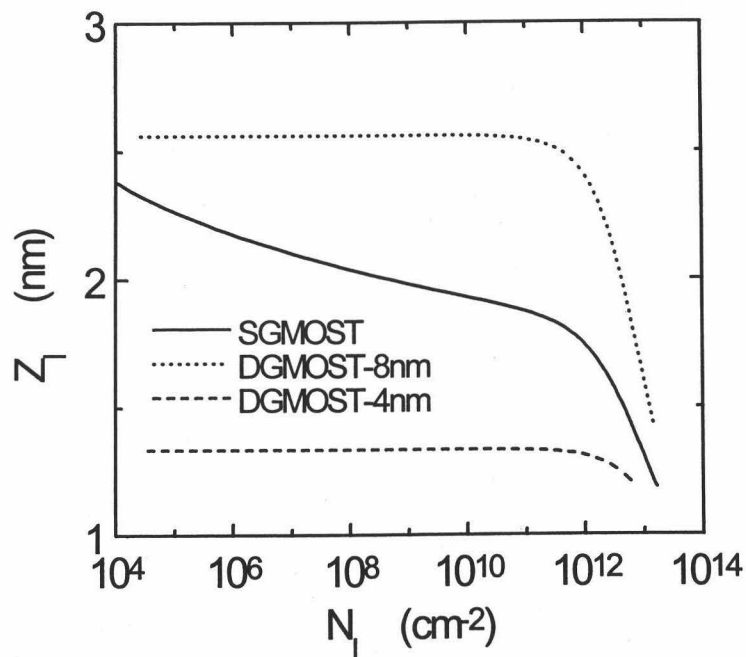


Fig. 63: Centroide de la capa en inversión frente a la concentración de electrones en inversión para MOSFET de puerta simple (en línea continua) y para dos DGMOSTs con espesor de la capa de silicio 8nm (en línea de puntos) y 4nm (en línea a trazos).

Con el fin de poder interpretar las posibles consecuencias de este comportamiento del centroide, hemos representado las distribuciones de electrones en función de la distancia a la interface para los tres transistores: el MOSFET de puerta simple y los dos DGMOSTs con espesores de lámina de 8 y 4 nm en la región de fuerte inversión, para una densidad de carga de inversión de 10^{-6} C/cm^2 (Fig. 64 (a)) y en débil inversión, para una densidad de carga de inversión de $5 \cdot 10^{-12} \text{ C/cm}^2$ (Fig. 64 (b)). En los DGMOSTs solo mostramos la mitad de la distribución de electrones. Como estamos considerando DGMOSTs totalmente simétricos, estos pueden ser partidos en dos semitransistores idénticos en paralelo. Esta separación en dos transistores idénticos es coherente con la definición (72) y es muy útil para comprender el efecto del centroide a partir de la forma detallada de la distribución de carga. La Fig. 64 (a) y (b) muestra cómo la distribución de electrones para el transistor con una capa de 8 nm está más lejos de la interface que la distribución de electrones del MOSFET de puerta simple. Sin

embargo, para el transistor con capa de 4 nm de espesor, la distribución esta más cerca de la interface que para el MOSFET de puerta simple.

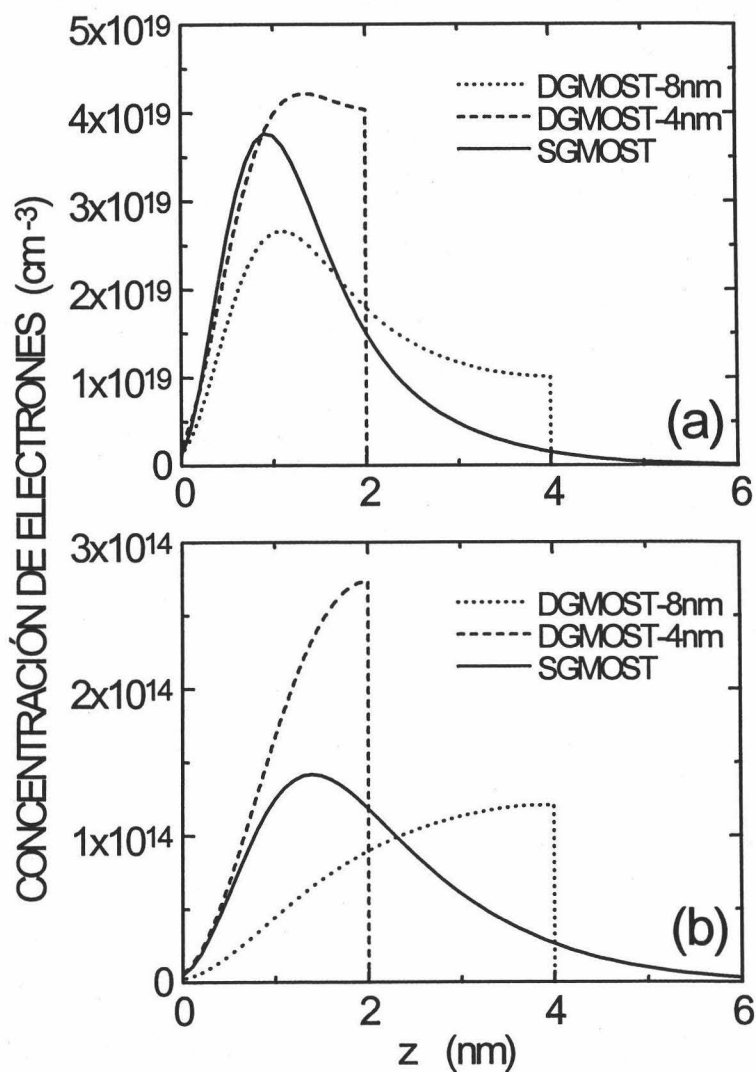


Fig. 64: Distribución de electrones en función de la distancia a la interface para tres transistores: un MOSFET de puerta simple (en línea continua) y dos DGMOSTs con espesores de lámina de 8nm (línea de puntos) y 4nm (línea a trazos). Solo se muestra la mitad de la distribución en el caso de los DGMOSTs. Figura (a): En débil inversión, para una densidad de carga de inversión de $5 \cdot 10^{-12}$ C/cm^2 . Figura (b): En fuerte inversión, para una densidad de carga de inversión de 10^{-6} C/cm^2 .

Otro parámetro que depende del espesor t_{Si} y que influye en la densidad de carga en inversión, de acuerdo con la ecuación (77), es el potencial central. En la Fig. 65 se muestra el valor de este parámetro en fuerte inversión en función del espesor de la lámina de silicio. Si nos fijamos en la expresión de la tensión umbral, vemos que el último termino es despreciable cuando la carga en deplexión no es muy grande. En ese caso la tensión únicamente depende de la función trabajo del material de puerta y del potencial central. Vista la dependencia del potencial central con el espesor de la lámina de silicio, el espesor puede ser utilizado como un parámetro alternativo para controlar el valor de la tensión umbral, además de Φ_{MS} . Como conclusión, un procedimiento óptimo de diseño debería tener en cuenta todos los efectos debidos a la modificación del espesor de la lámina de silicio.

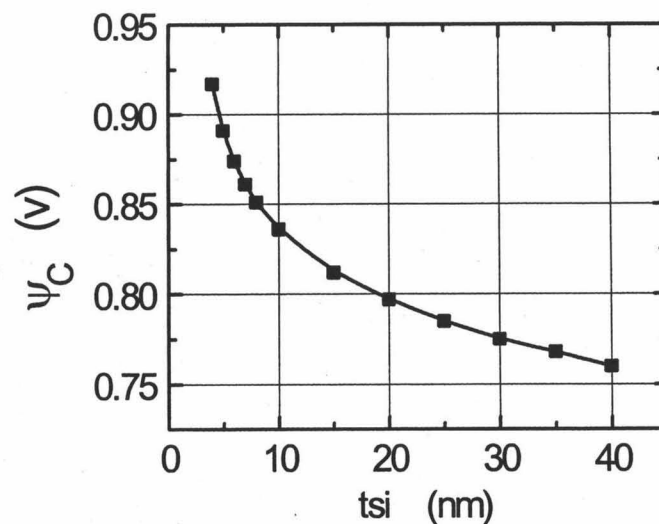


Fig. 65: Potencial central en fuerte inversión frente al espesor de la lámina de silicio para un DGMOST

En resumen, hemos mostrado que la densidad de carga en inversión en un DGMOST puede ser expresada de una forma similar a la del MOSFET de puerta simple convencional. Se ha discutido el papel similar desempeñado por el centroide de la capa de inversión en los dos dispositivos, y hemos visto cómo el valor del centroide puede ser mayor en el DGMOST con espesores de capa de silicio relativamente grandes,

debido a la inversión en volumen, pero también puede ser menor si el espesor de la capa de silicio es muy pequeño. Por tanto algunas de las ventajas de la inversión en volumen basadas en la mayor distancia a la interface pueden ser cuestionadas. Por tanto, aunque el DGMOST tiene indudables ventajas frente al MOSFET convencional, muchas de las cuales son compartidas por los MOSFETs SOI de película delgada, y algunas son específicas como el mejor apantallamiento del campo eléctrico cerca del drenador y la posibilidad de reducir a la mitad su anchura, hay que someter a crítica aquellas que se deriven de la operación con inversión en volumen. En particular, si el confinamiento es muy elevado (en capas muy delgadas) y la distribución de electrones llega a estar más cerca de la interface en el caso del DGMOST que en el MOSFET convencional, como hemos demostrado, podría incrementarse la dispersión Culombiana debida a los centros cargados del óxido y la interface óxido-semiconductor. Esto se analizará en el último capítulo de esta memoria. Como consecuencia, para conseguir ventajas del confinamiento de los electrones en el DGMOST, el diseño óptimo de este dispositivo requerirá una elección adecuada del valor del espesor de la lámina de silicio para asegurar que el centroide de la capa de inversión no es demasiado pequeño. En este diseño puede ser de interés analizar el valor del centroide de la capa de inversión, para lo cual es útil disponer de expresiones analíticas apropiadas. Hemos derivado esas expresiones en el caso de canales independientes en el apartado 3.2.2, y nos proponemos obtener una expresión similar en el caso de inversión en volumen. Tal aproximación se presenta en el siguiente apartado.

3.3.3 MODELADO DEL CENTROIDE DE LA CAPA DE INVERSIÓN

Para analizar el centroide de la capa de inversión tomamos una estructura MOSOM con una concentración de dopado uniforme $N_A = 10^{15} \text{ cm}^{-3}$, totalmente simétrica, esto es, con igual espesor de óxido, material de puerta y tensión externa aplicada en ambas puertas. Variamos el espesor de la capa de silicio desde 40nm a 4nm.

Hemos calculado el centroide de la capa de inversión resolviendo autoconsistentemente las ecuaciones de Schrödinger y de Poisson, usando el mismo procedimiento numérico descrito anteriormente [López-Villanueva et al., 1995].

En la Fig. 66(a) está representado el centroide calculado numéricamente (en línea continua) frente a la concentración de electrones en inversión por unidad de área para los DGMOSTs con distintos espesores de lámina de silicio. Se puede ver la importante dependencia del centroide con el espesor t_{Si} : cuanto menor es t_{Si} menor es el valor del centroide. Como se puede observar, para densidades pequeñas de electrones, en la región subumbral, el centroide tiene un valor constante independiente de la concentración. Para altas densidades de electrones, en fuerte inversión, el valor del centroide decrece a medida que aumenta la concentración. Cuanto más pequeño es el espesor de la capa de silicio, mayor es la región de saturación en la cual el centroide es constante.

Este comportamiento era el esperado y concuerda con la forma de la distribución de electrones calculada para el MOSOM de 5nm de espesor de silicio que se mostró en la Fig. 29. En la región de inversión, a medida que aumenta la tensión aplicada a las puertas del MOSOM, y por tanto la concentración de electrones, el centroide disminuye y la carga se concentra cada vez más cerca de las interfaces.

En la Fig. 66 b representamos el máximo valor del centroide frente al espesor de la lámina de silicio. Como se observa, estos datos se pueden aproximar por una línea recta. Utilizando la ecuación de esta recta como valor de saturación y añadiendo una dependencia con la concentración de electrones en inversión, hemos encontrado una expresión que permite estimar el centroide de la capa de inversión para cualquier espesor de la lámina de silicio en inversión en volumen. Esta es:

$$\frac{1}{z_I} = \frac{1}{a + b \cdot t_{Si}} + \frac{1}{z_{I0}} \left(\frac{N_I}{N_{I0}} \right)^n \quad (81)$$

donde z_I es el centroide, t_{Si} es el espesor de la capa de silicio, N_I es la concentración de electrones y las otras variables son parámetros de ajuste. En la Fig. 66 (a) podemos ver en línea a trazos el resultado de aplicar esta expresión con: $a = 0.35\text{nm}$, $b = 0.26$, $z_{I0} = 6\text{nm}$, $N_{I0} = 7 \cdot 10^{12}\text{cm}^{-2}$, y $n = 0.8$, obteniéndose un ajuste aceptable con los datos numéricos.

La expresión (83), junto con la (72), pueden utilizarse para comparar los centroides de un transistor de puerta simple y uno de doble puerta en inversión en volumen, analizando así la proximidad media de los electrones del canal a las interfaces con el óxido. Para extraer conclusiones definitivas, es necesario conocer con detalle los efectos de esa proximidad sobre el transporte de carga en el transistor.

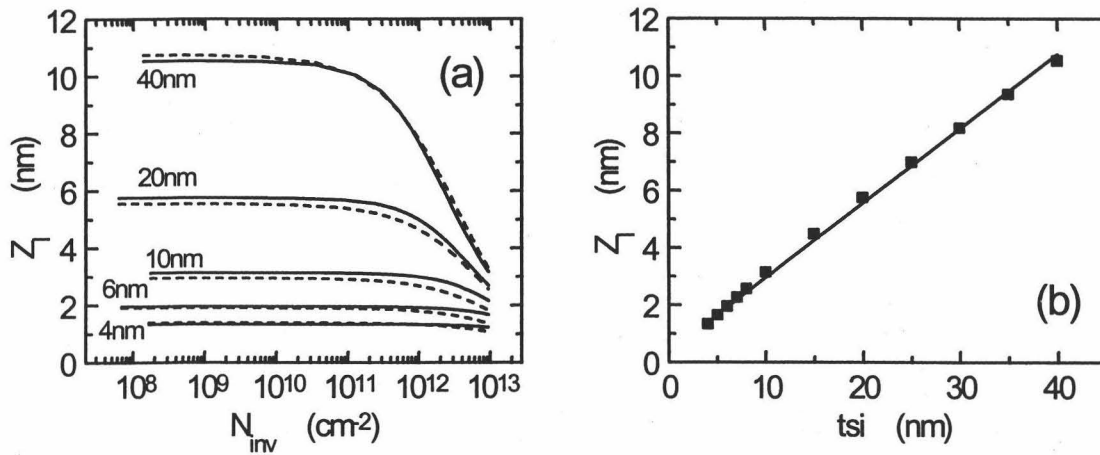


Fig. 66: Dependencia del centroide de la capa de inversión con el espesor de la capa de silicio. (a) Centroide de la capa de inversión frente a la concentración de electrones en inversión por unidad de área. Datos calculados con el procedimiento numérico en línea continua. Resultado de la expresión analítica (81) en línea a trazos. (b) Máximo del centroide frente al espesor de silicio.

3.4 LA ESTRUCTURA MOSOM ASIMETRICA

Hasta ahora hemos considerado que la estructura MOSOM era totalmente simétrica, y que operaba también con la misma tensión aplicada a las dos puertas. Esta simetría se ha utilizado para separar el transistor en dos semitransistores en paralelo, permitiendo una interpretación simple de su operación y facilitando su comparación con una estructura convencional. Esta operación simétrica del transistor es la que se ha propuesto mayoritariamente en la bibliografía, y con ella se esperan obtener todas las ventajas del dispositivo. Sin embargo, para completar el estudio de la estructura MOSOM la hemos analizado también cuando no es simétrica, fundamentalmente con dos propósitos: Por una parte, para examinar las consecuencias de la pérdida de simetría cuando ésta se produzca por un control inexacto de la tecnología, dando lugar, por ejemplo, a distintos espesores de los óxidos de puerta. Por otra parte, para analizar el comportamiento de un transistor de doble puerta con dopados del polisilicio de las dos puertas de tipo diferente, que ha sido propuesto y fabricado para un mejor control de la tensión umbral. Tratamos estas dos situaciones en esta sección, pero, previamente, analizamos el comportamiento de la estructura de forma paralela a como lo hicimos en la sección 3.3, pero sin aplicar las simplificaciones a las que conduce la simetría.

3.4.1 ANALISIS DE LA ESTRUCTURA

Planteamos de nuevo la ecuación de Poisson en la forma (73), y la integramos entre 0 y z_c , siendo z_c una posición en el interior de la lámina para la cual se anula el campo eléctrico. De esta manera, el primer miembro de la ecuación sigue dando contribución nula. El resultado es:

$$\psi_{s1} - \psi_c = \frac{q}{\epsilon_{Si}} \int_0^{z_c} z' \cdot n(z') dz' \quad (82)$$

siendo ψ_{s1} el potencial de superficie en la interface superior y ψ_c el potencial en z_c , que no tiene porqué coincidir con el centro de la lámina.

Definiendo ahora el centroide de la distribución de electrones en este semitransistor mediante:

$$z_{I1} = \frac{\int_0^{z_c} z' \cdot n(z') dz'}{\int_0^{z_c} n(z') dz'} \quad (83)$$

y

$$N_{I1} = \int_0^{z_c} n(z') dz' \quad (84)$$

se llega a:

$$\psi_{s1} - \psi_c = \frac{q}{\epsilon_{Si}} z_{I1} N_{I1} + \frac{q N_A}{\epsilon_{Si}} \frac{z_c^2}{2} \quad (85)$$

Análogamente, tratando de la misma manera el otro semitransistor, situando ahora el origen de coordenadas en la interface opuesta, e invirtiendo el sentido del eje z , se llega a una expresión análoga:

$$\psi_{s2} - \psi_c = \frac{q}{\epsilon_{Si}} z_{I2}^* N_{I2} + \frac{q N_A}{\epsilon_{Si}} \frac{z_c^{*2}}{2} \quad (86)$$

donde ahora ψ_{s2} es el potencial de superficie en la interface posterior; z_c^* es la distancia entre el punto interior en el que se obtenía campo eléctrico nulo y dicha interface. El superíndice $*$ se refiere a que se miden las distancias desde la interface silicio-óxido posterior. También:

$$z_{I2} = \frac{\int_0^{z_c^*} z^* \cdot n(z^*) dz^*}{\int_0^{z_c^*} n(z^*) dz^*} \quad (87)$$

y

$$N_{I2} = \int_0^{z_c^*} n(z^*) dz^* \quad (88)$$

Obviamente,

$$z_c + z_c^* = t_{Si} \quad (89)$$

$$Q_{D1} = qN_A z_c \quad (90)$$

$$Q_{D2} = qN_A z_c^* \quad (91)$$

$$Q_D = Q_{D1} + Q_{D2} = qN_A t_{Si} \quad (92)$$

como en la situación simétrica.

De igual manera, aplicando la ley de Gauss a las dos interfaces se llega a:

$$V_{G1} - \phi_{MS1} = \psi_{s1} + V_{ox1} \quad (93)$$

$$V_{G2} - \phi_{MS2} = \psi_{s2} + V_{ox2} \quad (94)$$

$$qN_{I1} + Q_{D1} = C_{ox1} V_{ox1} \quad (95)$$

$$qN_{I2} + Q_{D2} = C_{ox2} V_{ox2} \quad (96)$$

siendo

$$C_{ox1} = \frac{\epsilon_{ox1}}{t_{ox1}} \quad (97)$$

$$C_{ox2} = \frac{\varepsilon_{ox2}}{t_{ox2}} \quad (98)$$

t_{ox1} y t_{ox2} son los espesores de los óxidos frontal y posterior, respectivamente, y Φ_{MS1} , Φ_{MS2} son las diferencias de función trabajo entre cada una de las puertas y el semiconductor. A estos parámetros habría que añadir los efectos de la carga en el interior de los óxidos, si existiera. Omitimos aquí esa carga por simplicidad.

Operando con las expresiones anteriores, se llega a:

$$qN_{I1} = C_{ox1}^* \left(V_{G1} - \Phi_{MS1} - \psi_c - \frac{qN_A z_c^2}{2\varepsilon_{Si}} - \frac{Q_{D1}}{C_{ox1}} \right) \quad (99)$$

siendo

$$C_{ox1}^* = \frac{C_{ox1}}{1 + C_{ox1} \frac{z_{I1}}{\varepsilon_{Si}}} \quad (100)$$

la capacidad del óxido corregida por la posición del centroide del canal frontal. Análogamente, para la otra interface se obtiene:

$$qN_{I2} = C_{ox2}^* \left(V_{G2} - \Phi_{MS2} - \psi_c - \frac{qN_A z_c^{*2}}{2\varepsilon_{Si}} - \frac{Q_{D2}}{C_{ox2}} \right) \quad (101)$$

con

$$C_{ox2}^* = \frac{C_{ox2}}{1 + C_{ox2} \frac{z_{I2}^*}{\varepsilon_{Si}}} \quad (102)$$

La carga total de portadores minoritarios en el interior de la lámina de silicio es la suma de las cargas de los dos canales, esto es,

$$Q_I = qN_{I1} + qN_{I2} \quad (103)$$

que se puede expresar como una combinación lineal de las dos tensiones de puerta.

En el caso de que las dos tensiones de puerta sean iguales, como ocurre con el DGMOST en condiciones normales de operación, aunque la estructura sea asimétrica, se llega a:

$$Q_I = (C_{ox1}^* + C_{ox2}^*) \cdot (V_G - V_{TH}) \quad (104)$$

siendo

$$V_{TH} = \Phi_{MS}^* + \psi_c + \frac{Q_D}{2C_{Si}} \left[\frac{C_{ox1}^* \left(z_c^2 + 2 \frac{\epsilon_{Si}}{\epsilon_{ox}} t_{ox1} z_c \right) + C_{ox2}^* \left(z_c^{*2} + 2 \frac{\epsilon_{Si}}{\epsilon_{ox}} t_{ox2} z_c^* \right)}{(C_{ox1}^* + C_{ox2}^*) t_{Si}^2} \right] \quad (105)$$

con

$$\Phi_{MS}^* = \frac{C_{ox1}^* \Phi_{MS1} + C_{ox2}^* \Phi_{MS2}}{C_{ox1}^* + C_{ox2}^*} \quad (106)$$

En este caso, además del potencial central y la posición del centroide, también el punto z_c en el cual se anula el campo eléctrico en el interior de la lámina depende de la tensión aplicada a la puerta. Sin embargo, hemos comprobado que z_c se aproxima mucho al centro de la lámina en condiciones de fuerte inversión si el espesor de ésta es pequeño. En consecuencia, para la mayor parte de las situaciones de interés podemos aproximar $z_c \approx t_{Si}/2$. En esas condiciones tendríamos:

$$V_{TH} = \Phi_{MS}^* + \psi_c + \frac{Q_D}{8C_{Si}} + \frac{Q_D}{2(C_{ox1}^* + C_{ox2}^*)} \left[\frac{C_{ox1}^*}{C_{ox1}} + \frac{C_{ox2}^*}{C_{ox2}} \right] \quad (107)$$

similar a (79) excepto en la modificación de la diferencia de funciones trabajo en el primer término, y en el efecto de los dos centroides de carga en el tercer término. La

contribución del último término a la tensión umbral es pequeña. Por ejemplo, con espesores de óxido de 5 nm, espesor de la lámina de silicio de 10 nm y dopado de 10^{16} cm^{-3} , el tercer término resulta ser próximo a 1 mV. Por consiguiente, no cabe esperar una modificación significativa de la tensión umbral en el caso de que los materiales de las dos puertas sean idénticos. Comprobaremos la validez de este modelo en los apartados que siguen a continuación.

3.4.2 ESTRUCTURA MOSOM CON DIFERENTES ESPESORES DE ÓXIDO

En el primer caso hemos considerado una estructura MOSOM idéntica a la usada con anterioridad: dopado de la lámina de silicio 10^{15} cm^{-3} , puertas de polisilicio tipo p^+ con dopado 10^{20} cm^{-3} y espesores de la lámina de silicio de 5, 10 y 20 nm. Sin embargo, hemos tomado diferentes espesores de óxido a cada lado, imponiendo la condición de que la suma de las dos capacidades de óxido fueran iguales al doble de la capacidad de óxido en el caso simétrico, con el fin de poder comparar los resultados obtenidos con las diferentes estructuras.

$$C_{ox1} + C_{ox2} = 2 \cdot C_{ox} \quad (108)$$

Por tanto, los espesores elegidos deben cumplir la siguiente relación.

$$\frac{1}{t_{ox1}} + \frac{1}{t_{ox2}} = \frac{2}{t_{ox}} \quad (109)$$

Escogimos distintos espesores t_{ox1} y sus correspondientes t_{ox2} de forma que t_{ox1} se diferencia del espesor t_{ox} en un 5, 10, 20 por ciento, y un caso extremo en el cual la diferencia en los espesores de los óxidos sea muy grande. En la estructura MOSOM

simétrica antes analizada el espesor en las capas de óxido era $t_{ox} = 5$ nm. Los espesores que se han tomado para las estructuras MOSOM asimétricas son:

1°) Para una diferencia de t_{ox1} de un 5%:	$t_{ox1} = 47.5\text{Å}$	$t_{ox2} = 52.8\text{Å}$
2°) Para una diferencia de t_{ox1} de un 10%:	$t_{ox1} = 45\text{Å}$	$t_{ox2} = 56.25\text{Å}$
3°) Para una diferencia de t_{ox1} de un 20%:	$t_{ox1} = 40\text{Å}$	$t_{ox2} = 66.67\text{Å}$
4°) Para una diferencia extrema:	$t_{ox1} = 28\text{Å}$	$t_{ox2} = 233.33\text{Å}$

Usando el procedimiento numérico antes citado para la resolución autoconsistente de las ecuaciones de Poisson y Schrödinger [López-Villanueva et al., 1995] se ha calculado la carga en inversión frente a la tensión de puerta, y a partir de ella, la tensión umbral extraída por el método de la segunda derivada y por el método de extrapolación lineal a partir de las curvas Q_I-V_G , la distribución de electrones en la lámina de silicio en los casos de fuerte inversión y débil inversión y los centroides correspondientes de cada puerta. Utilizando estos datos analizamos en los siguientes apartados los efectos de la asimetría en los espesores de óxido y sus efectos sobre los modelos. En primer lugar vamos a considerar la modificación en el perfil de electrones en el interior de la lámina de silicio. Seguidamente estudiaremos sus efectos sobre las curvas de carga de inversión frente a la tensión de puerta.

3.4.2.1 DISTRIBUCIÓN DE ELECTRONES

Se ha calculado la distribución de electrones para las estructuras con los tres espesores de la lámina de silicio mencionados anteriormente, que corresponden a diferentes grados de asimetría, en dos situaciones: fuerte y débil inversión. En este estudio se ha aplicado siempre la misma tensión a las dos puertas del dispositivo. En débil inversión, la distribución de electrones es idéntica al caso simétrico para los tres espesores de lámina de silicio estudiados. Donde encontramos diferencias es en fuerte inversión. Como era de esperar, ahora los electrones no se distribuyen simétricamente a

lo largo de la lámina de silicio, produciéndose una mayor concentración de electrones cerca de la interface correspondiente al espesor de óxido menor. A medida que las diferencias de espesores son más grandes, mayores son las diferencias de concentración a los lados de cada interface. En el caso extremo estudiado, casi toda la carga se encuentra situada al lado de la interface de óxido más delgado. Estos resultados se pueden observar en las gráficas siguientes (Fig. 67, Fig. 68 y Fig. 69), en las que podemos comparar la distribución de electrones simétrica con la de los diferentes casos asimétricos para espesores de lámina de silicio 5, 10 y 20nm en situación de fuerte inversión, con una carga de inversión $Q_1 = 10^{-6} \text{ C/cm}^2$. ($V_g = 2 \text{ V}$)

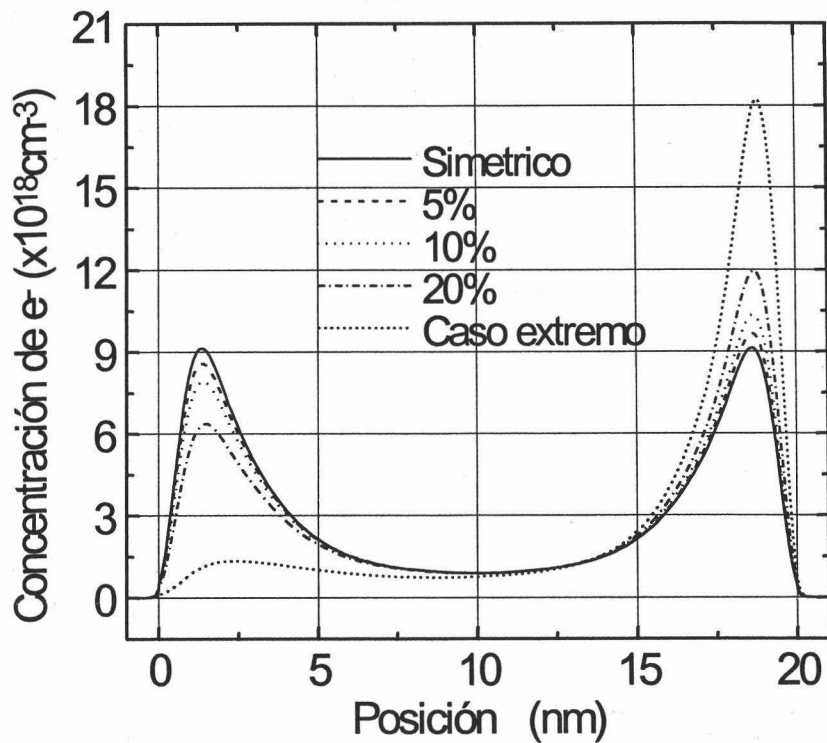


Fig. 67: Distribución de electrones para un MOSOM con espesor de lámina de silicio 20 nm en situación de fuerte inversión con carga total en inversión $Q_1 = 1 \cdot 10^{-6} \text{ C/cm}^2$ para una estructura simétrica y para varias asimétricas.

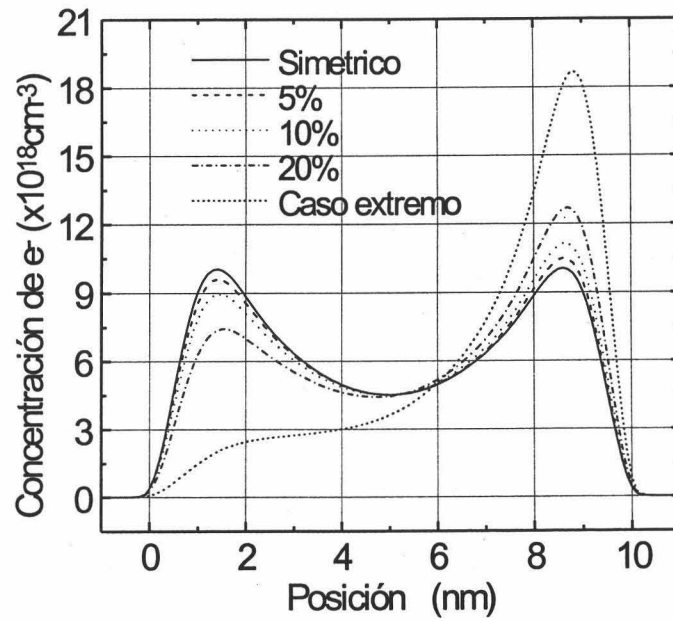


Fig. 68: Distribución de electrones para un MOSOM con espesor de lámina de silicio 10 nm en situación de fuerte inversión con carga total en inversión $Q_1 = 1 \cdot 10^{-6} \text{ C/cm}^2$ para una estructura simétrica y para varias asimétricas.

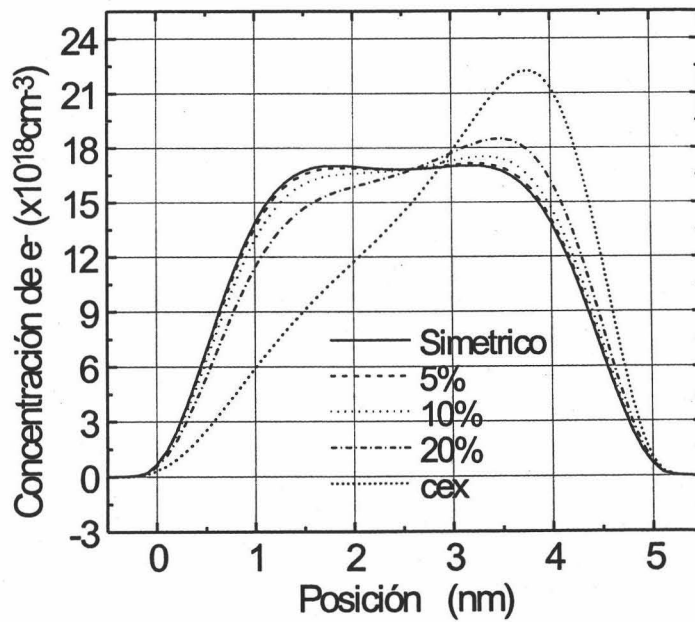


Fig. 69: Distribución de electrones para un MOSOM con espesor de lámina de silicio 5 nm en situación de fuerte inversión con carga total en inversión $Q_1 = 1 \cdot 10^{-6} \text{ C/cm}^2$ para una estructura simétrica y para varias asimétricas.

COMPARACIÓN ENTRE UN MOSFET CONVENCIONAL Y UN DGMOSFET

En la Fig. 70 (a), (b) y (c) se compara la distribución de electrones simétrica con la de los diferentes casos asimétricos, también para espesores de lámina de silicio 5, 10 y 20nm, pero ahora en situación de débil inversión, con una carga de inversión $Q_I = 10^{-11} \text{ C/cm}^2$. Como se puede observar en las gráficas, las distribuciones de electrones de las estructuras asimétricas son casi coincidentes con la distribución del dispositivo simétrico.

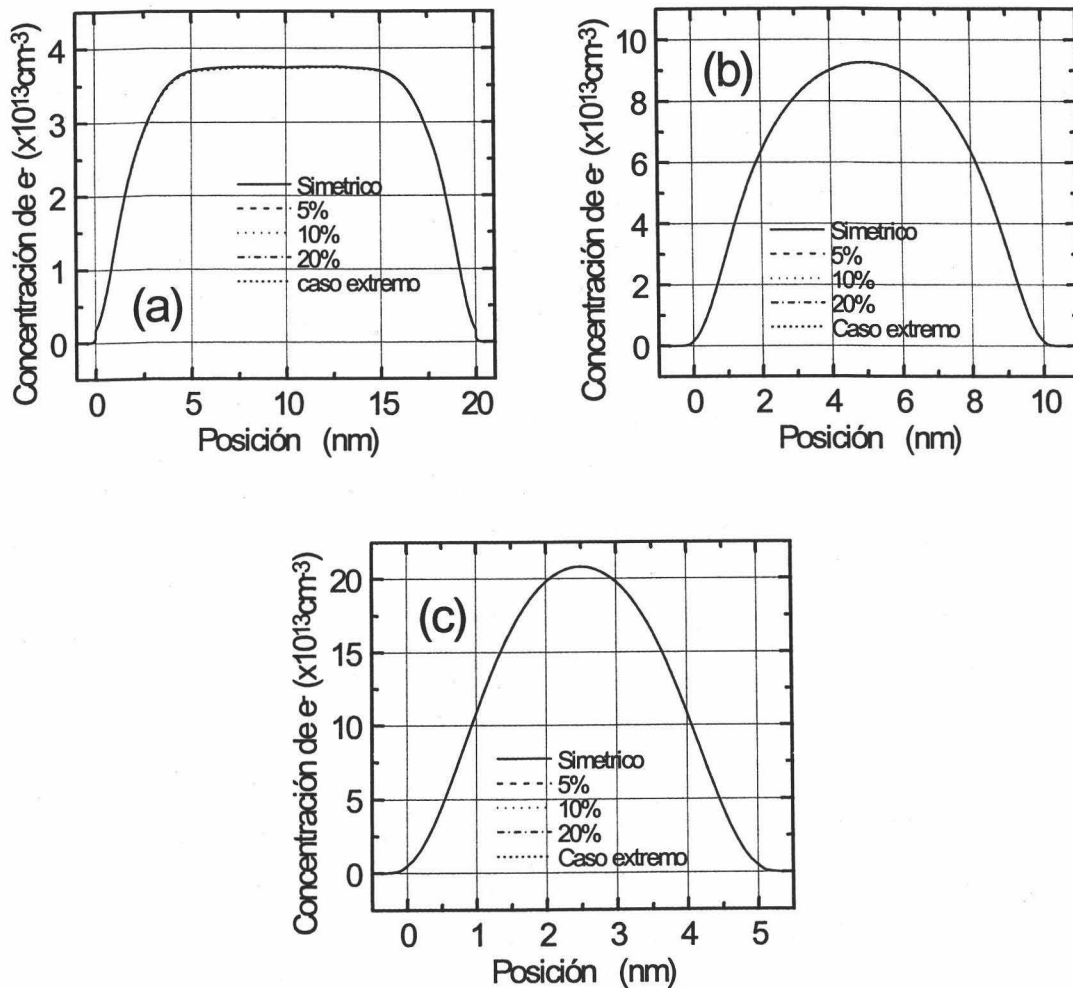
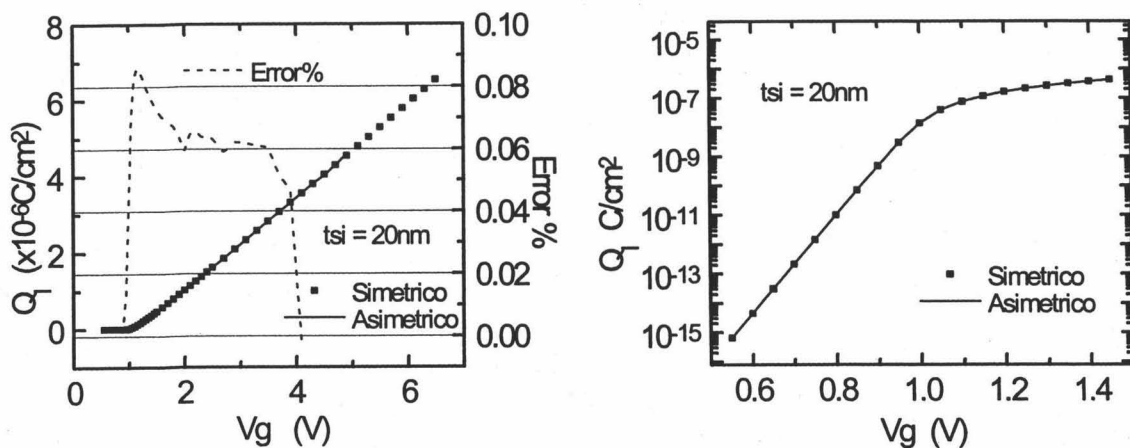


Fig. 70: Distribución de electrones para un MOSOM con espesor de lámina de silicio (a): 20 nm, (b): 10 nm y (c): 5 nm, en situación de débil inversión con carga total en inversión $Q_I = 10^{-11} \text{ C/cm}^2$ para una estructura simétrica y para varias asimétricas.

3.4.2.2 CARGA EN INVERSIÓN

Siguiendo el estudio de la estructura asimétrica, hemos calculado la carga en inversión frente a la tensión de puerta para los casos antes mencionados, y hemos comparado las curvas características Q_I - V_G del dispositivo simétrico con las de los distintos casos asimétricos estudiados. La diferencia entre el caso simétrico y asimétrico es mayor cuanto más grande es la diferencia entre espesores de óxido, como era de esperar. Sin embargo, las curvas son casi idénticas en los casos de asimetría del 5, 10 y 20% siendo el error con el caso simétrico inferior a 1.3%. En el caso de asimetría extrema el error de la carga es inferior al 12%, que también se puede considerar pequeño, dado el alto grado de asimetría. En las siguientes gráficas (Fig. 71, Fig. 72 y Fig. 73) podemos ver las distintas comparaciones de carga efectuadas:



COMPARACIÓN ENTRE UN MOSFET CONVENCIONAL Y UN DGMOSFET

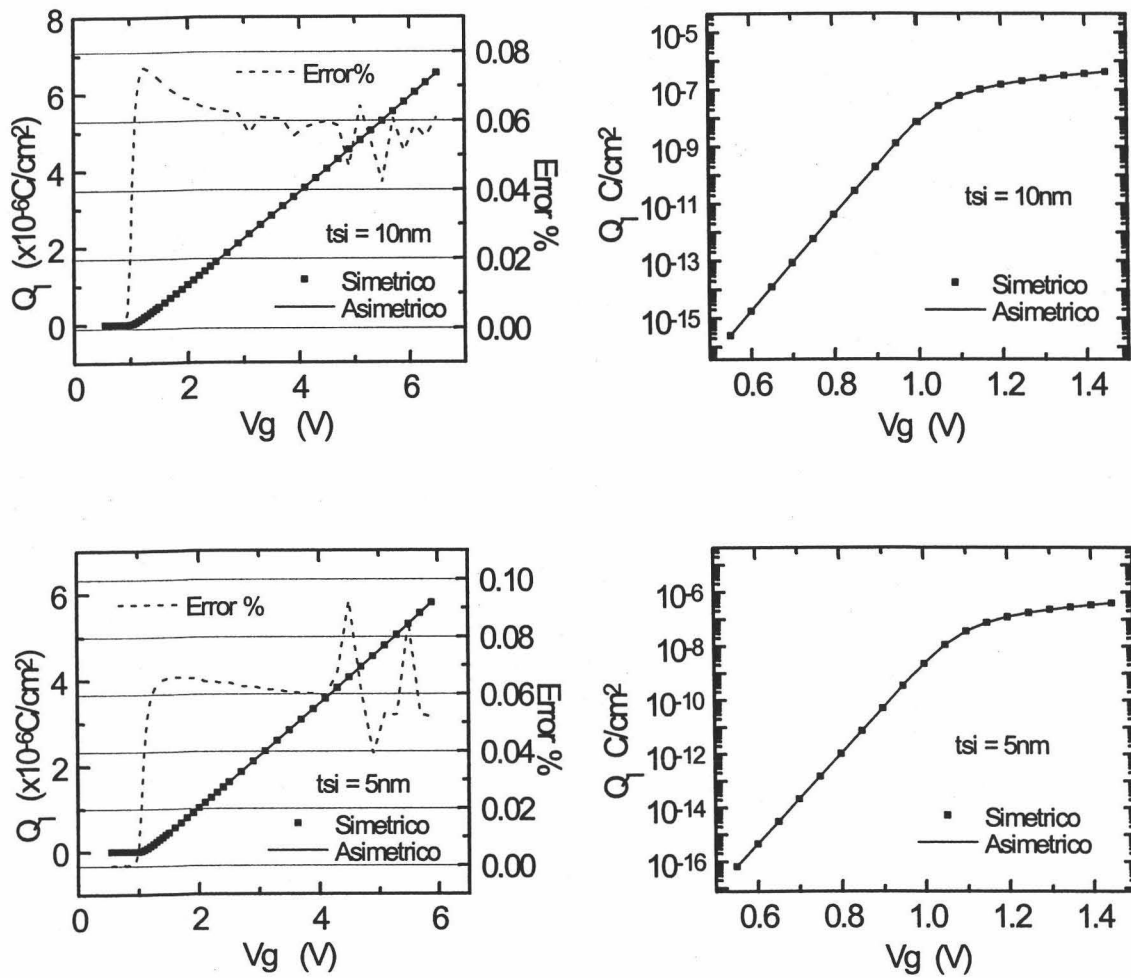


Fig. 71: Comparación de la carga en función de la tensión de puerta para un MOSOM simétrico y otro asimétrico con una diferencia de un 5% entre t_{ox1} y t_{ox} para espesores de la lámina de silicio de 20, 10 y 5nm. Gráficas de la izquierda en escala lineal junto con el error entre las dos; gráficas de la derecha en escala logarítmica.

COMPARACIÓN ENTRE UN MOSFET CONVENCIONAL Y UN DG MOSFET

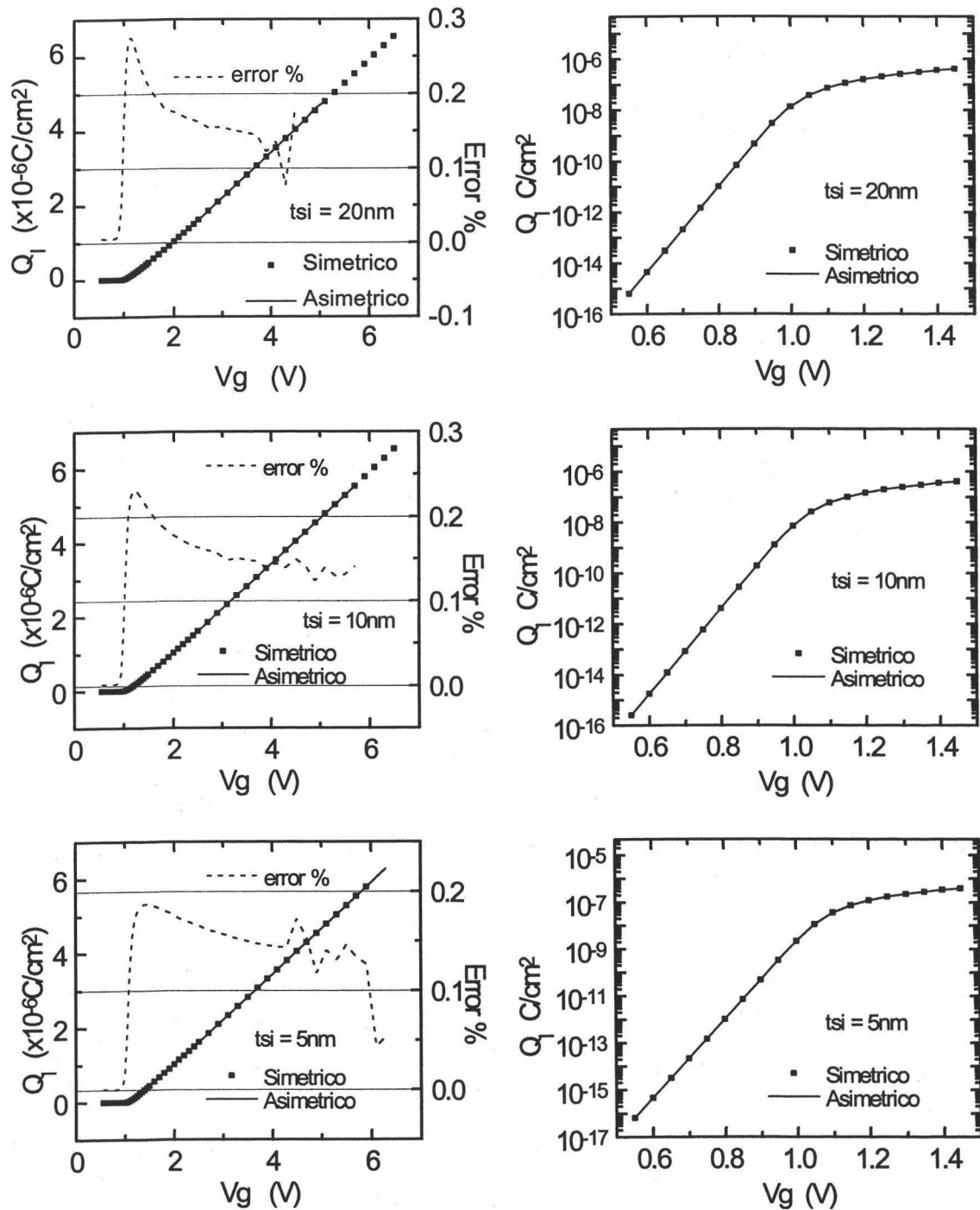


Fig. 72: Comparación de la carga en función de la tensión de puerta para un MOSOM simétrico y otro asimétrico con una diferencia de un 10% entre t_{ox1} y t_{ox} para espesores de la lámina de silicio de 20, 10 y 5 nm. Gráficas de la izquierda en escala lineal junto con el error entre las dos; gráficas de la derecha en escala logarítmica.

COMPARACIÓN ENTRE UN MOSFET CONVENCIONAL Y UN DGMOSFET

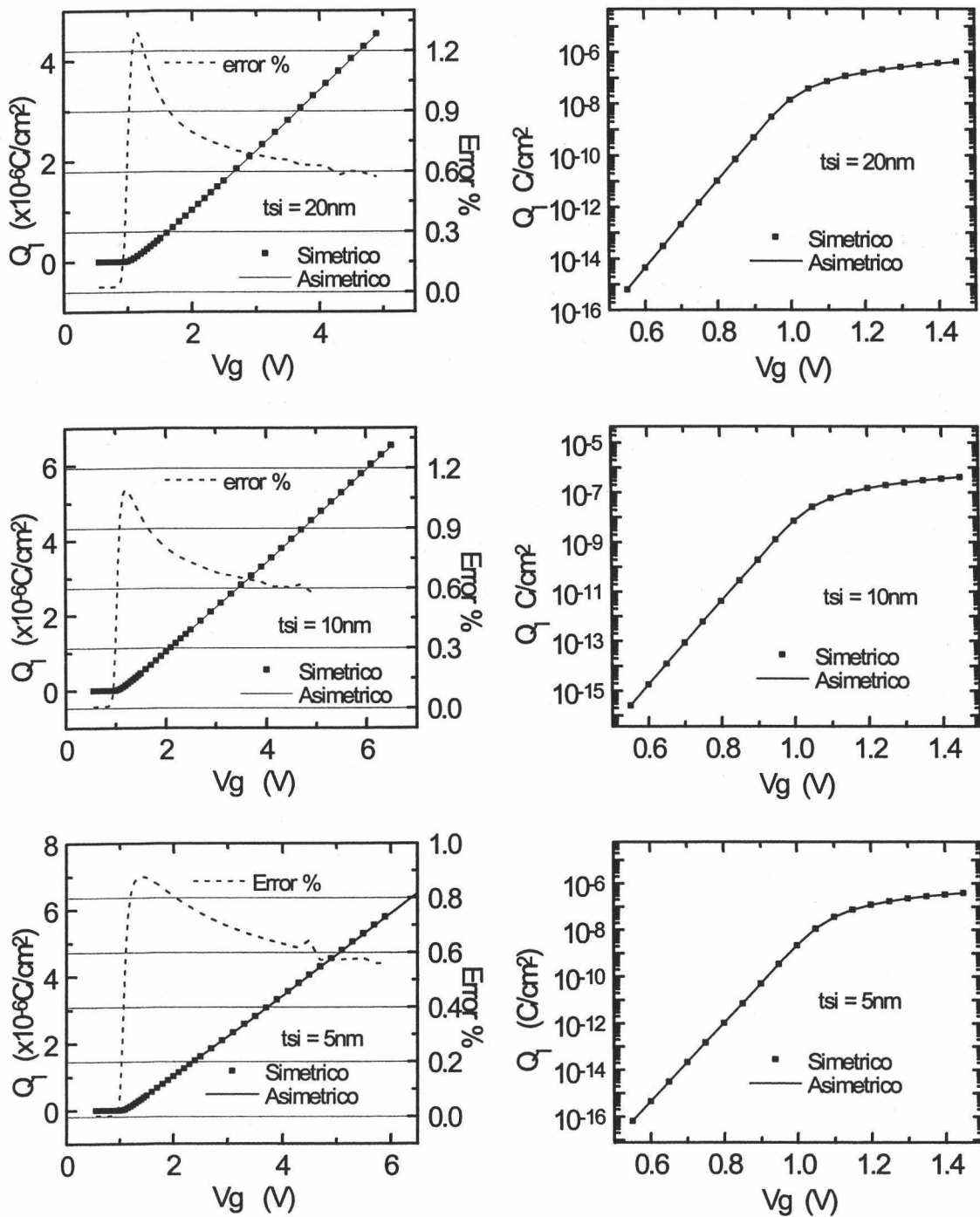


Fig. 73: Comparación de la carga en función de la tensión de puerta para un MOSOM simétrico y otro asimétrico con una diferencia de un 20% entre t_{ox1} y t_{ox} para espesores de la lámina de silicio de 20, 10 y 5nm. Gráficas de la izquierda en escala lineal junto con el error entre las dos; gráficas de la derecha en escala logarítmica.

COMPARACIÓN ENTRE UN MOSFET CONVENCIONAL Y UN DGMOSFET

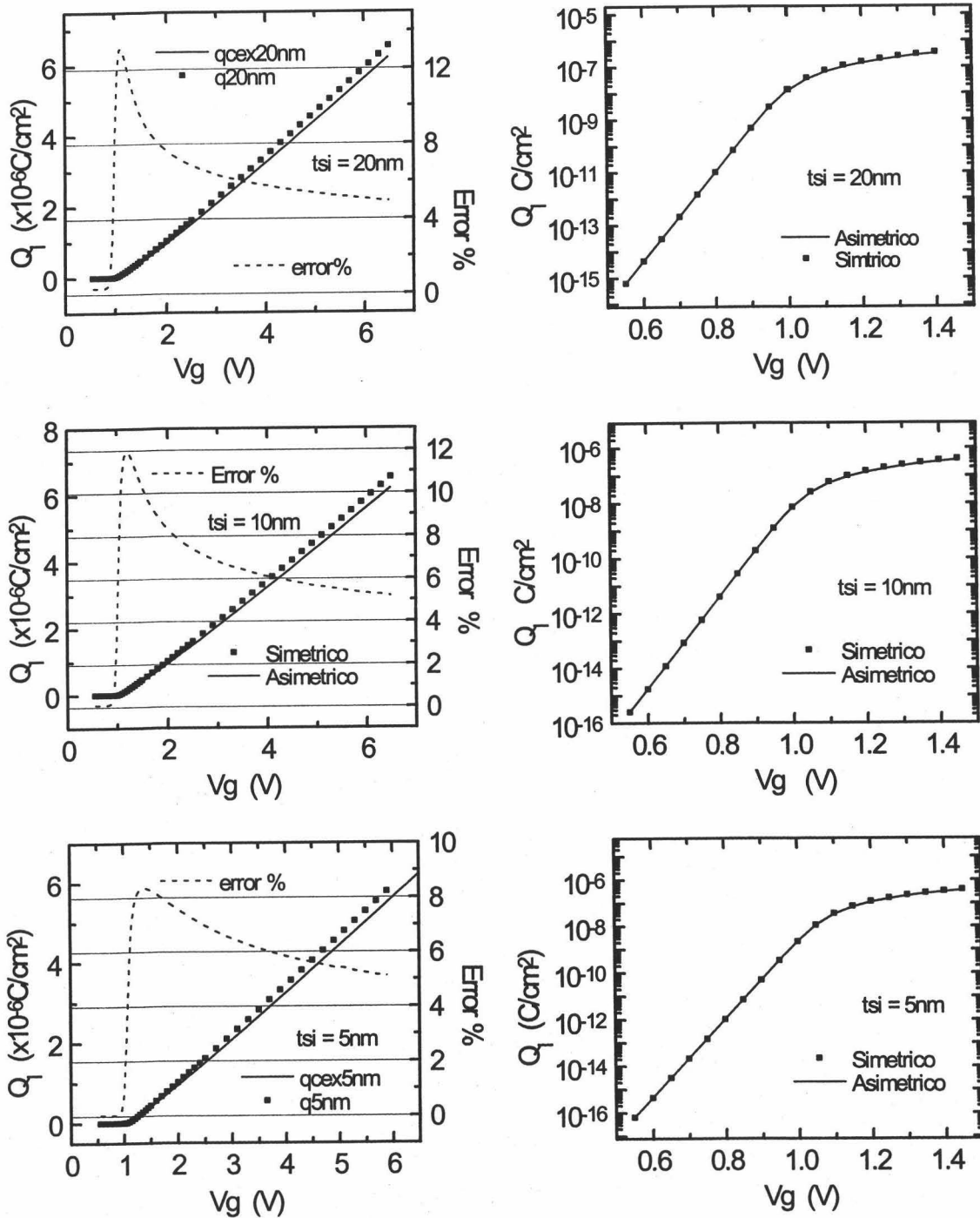


Fig. 74: Comparación de la carga en función de la tensión de puerta para un MOSOM simétrico y otro asimétrico con una diferencia extrema entre t_{ox1} y t_{ox} para espesores de la lámina de silicio de 20, 10 y 5nm. Gráficas de la izquierda en escala lineal junto con el error entre las dos; gráficas de la derecha en escala logarítmica.

3.4.2.3 TENSIÓN UMBRAL

Partiendo de las curvas características Q_I-V_G , hemos extraído la tensión umbral mediante el método del máximo de la transconductancia y mediante el método de extrapolación lineal (tomado en todos los casos el mismo rango de tensión de puerta entre 1.1 V y 4.7 V). En las siguientes tablas presentamos los resultados obtenidos:

Tensión umbral calculada por el método del máximo de la transconductancia					
	Simétrico	5%	10%	20%	Caso extremo
20nm	1.01V	1.01V	1.01V	1.01V	1.01V
10nm	1.036V	1.036V	1.036V	1.035V	1.033V
5nm	1.071V	1.071V	1.071V	1.070V	1.068V

Tensión umbral calculada mediante el método de extrapolación lineal					
	Simétrico	5%	10%	20%	Caso extremo
20nm	1.096V	1.096V	1.097V	1.098V	1.112V
10nm	1.103V	1.103V	1.104V	1.104V	1.118V
5nm	1.121V	1.121V	1.121V	1.122V	1.132V

Aunque los valores de tensión umbral obtenidos mediante los dos métodos difieren, existe un hecho común: la tensión umbral apenas se modifica con la asimetría. Este resultado, junto con el del apartado anterior, referente a la carga de inversión, corroboran la predicción de nuestro modelo presentado al principio de esta sección. En la expresión (107) vimos que no era esperable una modificación de la tensión umbral como consecuencia de este tipo de asimetría. De hecho, las características carga-tensión ponen de manifiesto que, aunque el perfil detallado de la distribución de electrones se modifique, apenas lo hace la carga total, siempre que en la comparación se mantenga constante la suma de capacidades de las dos puertas. Otro resultado se obtendría, por supuesto, con otro criterio de comparación, por ejemplo, si se mantiene constante la

capacidad de una de las puertas mientras se modifica la otra, ya que, como hemos demostrado, es la suma de ambas la que determina el valor de la carga.

3.4.2.4 CENTROIDE DE LA CAPA DE INVERSIÓN

En el caso del MOSOM simétrico los centroides correspondientes a la dos capas de inversión eran iguales y para calcularlos se integraba entre una interface y el centro de la capa de silicio donde el campo eléctrico era nulo por la simetría del dispositivo. Como hemos discutido anteriormente, en los distintos casos asimétricos estudiados los centroides de capa de inversión son diferentes, y, además, ahora la distribución de la carga no es simétrica y el punto de campo eléctrico nulo no tiene por qué encontrarse en el centro de la lámina de silicio, sino que lo hace desplazado hacia el lado donde mayor es el espesor del óxido. No obstante, ese desplazamiento es muy pequeño en la mayor parte de las ocasiones.

Para calcular los centroides en la estructura asimétrica hemos buscado primeramente el lugar de la lámina de silicio donde el campo eléctrico es nulo en cada uno de los diferentes casos y luego hemos integrado como lo hicimos antes en las dos partes en las que este punto divide a la estructura para calcular los centroides correspondientes a cada una de las dos interfaces. Los resultados obtenidos se presentan en las siguientes tablas: ($V_g = 2V$)

Centroides DGMOST Asimétrico con diferencia de espesor de óxidos extrema.			
Tsi (nm)	Zc (nm)	C1 (nm)	C2 (nm)
20	8.55	4.27	2.69
10	4	2.46	2.26
5	1.6	0.96	1.78

COMPARACIÓN ENTRE UN MOSFET CONVENCIONAL Y UN DGMOSFET

Centroides DGMOST Asimétrico con diferencia de espesor de óxidos del 20%.			
Tsi (nm)	Zc (nm)	C1 (nm)	C2 (nm)
20	9.8	3.38	2.94
10	4.8	2.54	2.33
5	2.3	1.45	1.58

Centroides DGMOST Asimétrico con diferencia de espesor de óxidos del 10%.			
Tsi (nm)	Zc (nm)	C1 (nm)	C2 (nm)
20	9.8	3.21	3.06
10	4.9	2.37	2.4.
5	2.4	1.49	1.56

Centroides DGMOST Asimétrico con diferencia del espesor de óxidos del 5%.			
Tsi (nm)	Zc (nm)	C1 (nm)	C2 (nm)
20	9.8	3.14	3.11
10	4.9	2.34	2.44
5	2.45	1.48	1.57

En las tablas anteriores, Zc es la posición dentro de la lámina de silicio donde el campo eléctrico es cero, tomando como origen la interface de la puerta superior. C1 es el centroide correspondiente a la puerta superior y C2 el centroide correspondiente a la puerta inferior.

3.4.3 ESTRUCTURA MOSOM CON DIFERENTES MATERIALES DE PUERTA

En este apartado analizaremos una estructura MOSOM n^+p^+ [Suzuki et al., 1995a], [Tanaka et al., 1994], es decir, una estructura MOSOM con una puerta de polisilicio tipo n^+ y otra p^+ . En la estructura MOSOM p^+p^+ pudimos comprobar cómo la tensión umbral era casi independiente del espesor de las capas de óxido y de la de silicio, estando fijado su valor por la diferencia de funciones trabajo de la puerta y la capa de silicio. La tensión umbral es de aproximadamente 1 volt para un MOSOM con puertas p^+ y de -0.1 Volt en el caso de puertas tipo n^+ . Estas tensiones umbrales son inadecuadas para el funcionamiento a baja tensión de alimentación y alta velocidad en dispositivos de tamaño muy pequeño. Una solución es buscar un material de puerta con una función trabajo con valor cercano a la mitad de la banda prohibida como el nitruro de titanio (TiN) [Hwang et al., 1992]. De esta forma se consigue una tensión umbral menor, de unos 0.7 voltios.

Otra forma de conseguir una tensión umbral pequeña es utilizar distintos materiales de puerta a cada lado, esto es, una puerta de polisilicio tipo p^+ y otra n^+ . Esta estructura tendría dos tensiones umbrales, correspondientes a cada una de las puertas. La tensión umbral de la puerta de polisilicio tipo p^+ es casi constante, como en el caso anterior y de valor 1 V. La tensión umbral de la puerta n^+ sería más pequeña, de unos 0.23 voltios para una estructura con espesor de óxidos de 5nm y espesor de lámina de silicio de 30nm, y dependería de los espesores de óxido y de silicio debido a la interacción entre las dos puertas. De esta forma se conseguiría un dispositivo con una tensión umbral pequeña cuyo valor puede ser controlado solamente variando la relación entre el espesor de la lámina de silicio y la de óxido. En los siguientes apartados estudiamos con detalle esta estructura. Veremos cómo es la distribución de potencial, la distribución de electrones, la carga en inversión, los dos centroides y la tensión umbral. Simularemos la estructura con el procedimiento numérico antes usado

[López-Villanueva et al., 1995] teniendo en cuenta los efectos cuánticos sobre la distribución de electrones en el canal.

3.4.3.1 DISTRIBUCIÓN DEL POTENCIAL

Hemos calculado la distribución de potencial de una estructura MOSOM con 5nm de espesor de óxidos, una lámina de silicio de 30nm con una concentración de impurezas de 10^{15} cm^{-3} y puertas de polisilicio, la superior de tipo p^+ y la inferior de tipo n^+ , ambas con una concentración de impurezas de 10^{20} cm^{-3} , para distintas tensiones de polarización, aunque aplicando siempre la misma tensión en las dos puertas. Los resultados se muestran en las dos gráficas siguientes:

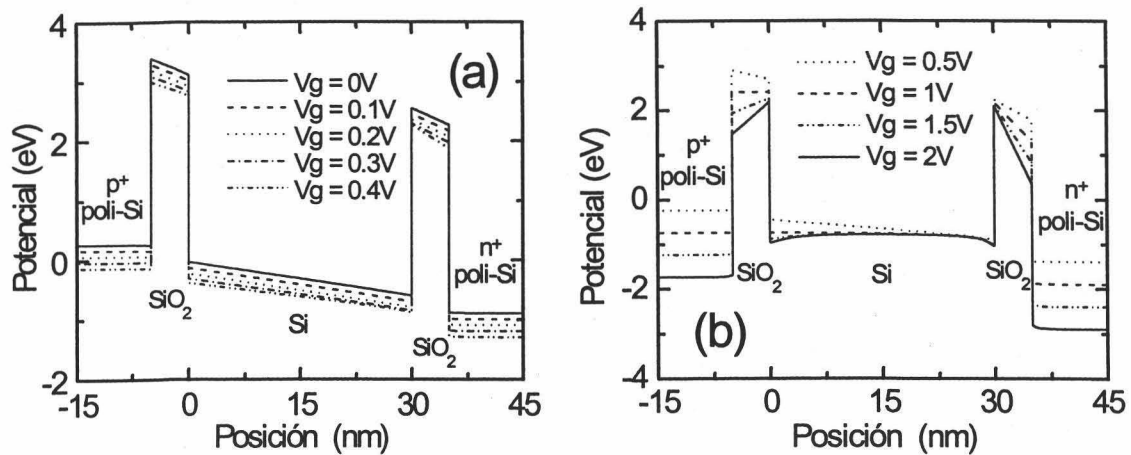


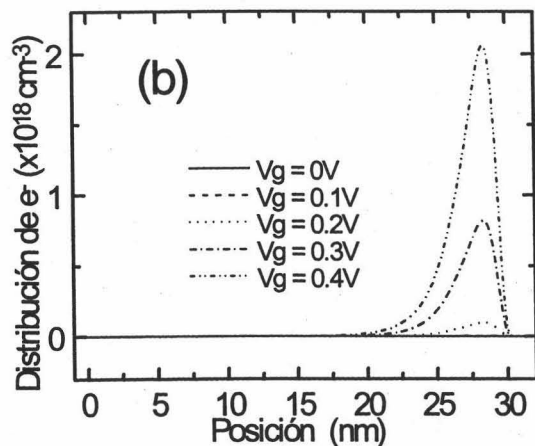
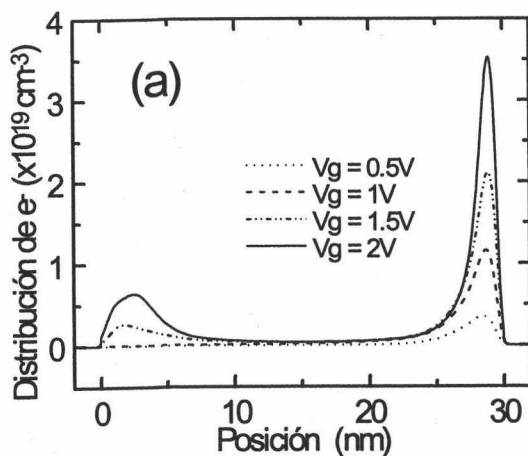
Fig. 75: Distribución de potencial en la estructura MOSOM $p^+ - n^+$ para distintas tensiones de puerta.

En la gráfica (a) se muestra la distribución del potencial en la estructura con distintas tensiones pequeñas. En las figuras representadas, la parte de la izquierda corresponde a la puerta p^+ y el lado de la derecha a la n^+ . Se puede observar que para una tensión de puerta inferior a la umbral, esto es, inferior a 0.23 V, la distribución del potencial en el canal es una línea recta inclinada, que se va desplazando paralelamente hacia abajo a medida que la tensión de puerta aumenta. A partir de la tensión umbral, el

potencial en la interface óxido-semiconductor cercana a la puerta n^+ se empieza a curvar y se mantiene en la misma posición mientras el potencial al otro lado de la lámina sigue descendiendo. Esto ocurre hasta llegar a una tensión de puerta igual a la tensión umbral debida a la puerta p^+ , de 1 V. Para esta tensión el potencial en la lámina es horizontal salvo por la caída de potencial en el lado n^+ y a partir de ella también se curva el potencial en el extremo de la lámina de silicio correspondiente a la puerta p^+ .

3.4.3.2 DISTRIBUCIÓN DE ELECTRONES

Hemos hallado la distribución de electrones en la misma estructura del apartado anterior polarizando las dos puertas con la misma tensión, con voltaje variable desde cero hasta dos voltios. Los resultados se muestran en las gráficas siguientes:



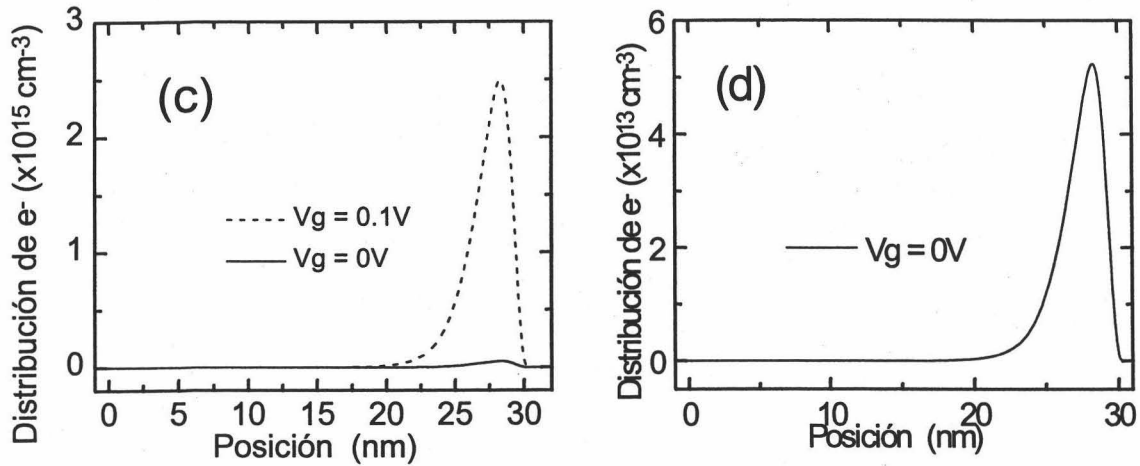


Fig. 76: Distribución de electrones en un MOSOM p⁺-n⁺ con espesores de óxido tox = 5nm y espesores de la lámina de silicio tsi = 30nm para distintas tensiones de puerta.

En la figura (a) se muestran la distribución de electrones para tensiones de puerta superiores a la tensión umbral general del dispositivo, es decir, a la tensión umbral correspondiente a la puerta de polisilicio n⁺ (situada a la derecha en la figura). Podemos ver que para tensiones inferiores a la tensión umbral de la puerta p⁺, esto es a 1 V, toda la carga se acumula en la región próxima a la interface correspondiente a la puerta n⁺. Para tensiones superiores a 1 voltio, 1.5V y 2V, se observa cómo también se acumula carga al otro lado de la lámina pero en menor cantidad. En las gráficas (b), (c) y (d), vemos cómo se distribuye la carga para tensiones pequeñas entre 0 y 0.5 V. Para las tensiones de 0.5, 0.4 y 0.3 V por encima de la umbral se tiene una concentración considerable junto a la puerta n⁺, mientras que para para tensiones algo inferiores a la umbral la concentración es varios ordenes de magnitud inferior.

En las gráficas siguientes hemos comparado la distribución de electrones que se obtiene para la estructura MOSOM simétrica, con las dos puertas de polisilicio tipo p⁺, con la que se obtiene para la estructura MOSOM de puertas p⁺-n⁺, para dos espesores distintos de la lámina de silicio (4 y 8 nm) con una carga total de 10⁻⁶ C/cm² en todos los casos.

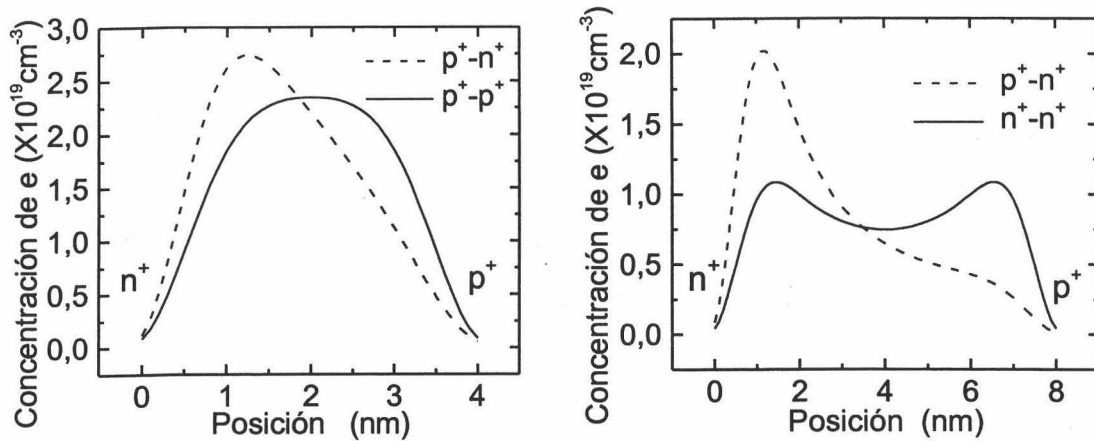


Fig. 77: Comparación de la distribución de electrones de un MOSOM de puertas p⁺-p⁺ con otro de puertas p⁺-n⁺ con una carga total de 10⁻⁶C/cm², para espesores de lámina de silicio de 4 y 8nm.

Como se observa, la concentración de electrones en una estructura MOSOM de puertas p⁺n⁺ está desplazada hacia el lado donde se encuentra la puerta de polisilicio n⁺. La carga está más cerca de la interface, lo que puede perjudicar el comportamiento de la estructura a causa de la mayor dispersión Culombiana que se producirá debida a las cargas presentes en dicha interface. La única ventaja de este dispositivo p⁺-n⁺ frente a la estructura MOSOM simétrica es su menor tensión umbral como veremos en el siguiente apartado.

3.4.3.3 TENSION UMBRAL

Como hemos mencionado al principio de esta sección, la principal característica de esta estructura es el control de la tensión umbral mediante la elección de unos determinados valores de espesor de óxido y de la capa central de silicio. Según la interpretación de los investigadores que propusieron esta modificación del dispositivo, en la estructura tendríamos dos tensiones umbrales, una correspondiente a la puerta tipo p⁺ y otra a la n⁺, de manera que la tensión umbral de la puerta p⁺ es casi constante y de valor 1 V, mientras que la tensión umbral correspondiente a la puerta n⁺ es menor que la

de la puerta p^+ , y depende del espesor de la lámina de silicio y del espesor de óxido t_{ox} . La tensión umbral de la puerta n^+ sería la tensión umbral general de la estructura.

Se ha calculado la tensión umbral, a partir de los datos obtenidos numéricamente, mediante el método del máximo de la transconductancia, y los hemos comparado con los calculados con la expresión analítica propuesta por [Suzuki et. al., 1995b], que es la siguiente:

$$V_{th} = V_{th}(p^+ - p^+) - \frac{\gamma \cdot t_{ox} + t_{si}}{2 \cdot \gamma \cdot t_{ox} + t_{si}} \Delta V_{FB} \quad (110)$$

$V_{th}(p^+ - p^+)$ es la tensión umbral correspondiente la puerta p^+ y se calcula con la expresión analítica propuesta por [Suzuki et. al., 1994]. ΔV_{FB} es la diferencia de funciones trabajo entre las dos puertas y γ es la relación entre las permitividades del Si y SiO_2 , que es aproximadamente igual a tres.

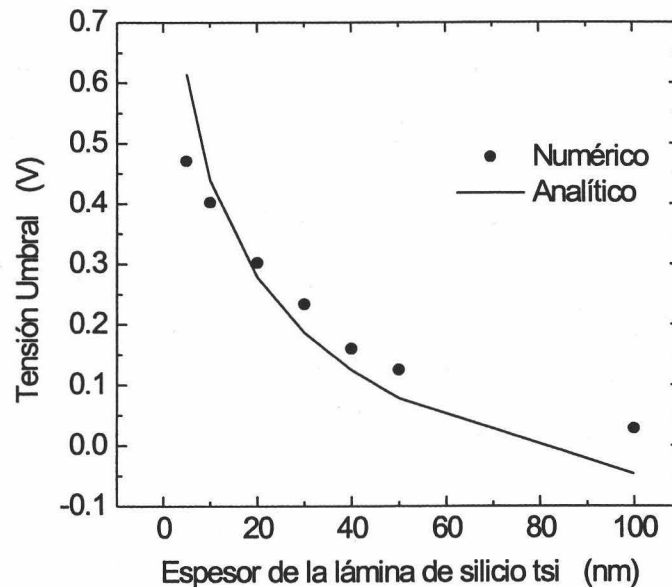
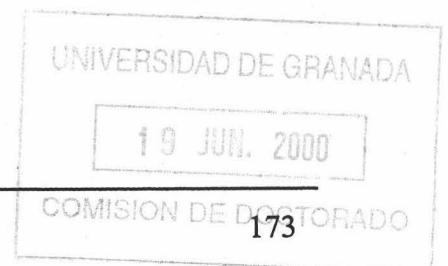


Fig. 78: Tensión umbral frente al espesor de la lámina de silicio para un MOSOM $p^+ - n^+$ con espesor de óxidos $t_{ox} = 5nm$. resultados numéricos con puntos, usando la ecuación analítica propuesta por Suzuki con línea continua.

COMPARACIÓN ENTRE UN MOSFET CONVENCIONAL Y UN DGMOSFET

En la gráfica de la Fig. 74 comparamos las tensiones umbrales numéricas y analíticas para distintos espesores de la lámina de silicio, de 5 a 100nm, y con espesor de óxido $t_{ox}=5\text{nm}$ en todos los casos.

Se observa que el modelo de Suzuki y colaboradores predice razonablemente bien el valor de la tensión umbral obtenido mediante el método del máximo de la transconductancia. Con respecto a nuestro modelo de fuerte inversión dado en la expresión (107), no parece ser de aplicación tan inmediata por lo que habremos de analizarlo con un poco más de detalle. Si despreciamos el tercer término de la expresión resultante, debido a que con bajos dopados de la capa de silicio, el cociente entre la carga y la capacidad de esa capa contribuye con menos de 1 mV a la tensión umbral, nos quedamos entonces únicamente con el efecto de la diferencia de funciones trabajo y con la influencia del potencial central. En principio, el modelo ha de ser perfectamente aplicable en condiciones generales, ya que no parece existir ninguna hipótesis restrictiva en su obtención. La diferencia de funciones trabajo modificada no debería depender mucho del espesor, ya que lo hace sólo a través del centroide de la distribución de carga asociada a cada una de las puertas, que, aunque obviamente va a variar, no cabe esperar que lo haga tanto como muestra la figura previa. En consecuencia, toda la dependencia de la tensión umbral dada por la expresión (107) se va a deber al potencial central. Para que el modelo sea de utilidad, el potencial central no debería variar mucho con la polarización, ni tampoco con el espesor, cosa que ocurre cuando las dos interfaces están fuertemente invertidas. En ese caso, la tensión umbral apenas dependería del espesor, en contradicción con la figura previa. La razón de esta discrepancia es que la tensión umbral dada por la expresión (107) es el valor obtenido mediante extrapolación lineal cuando la inversión es total en toda la lámina, de acuerdo con la ecuación (104), que debe resultar muy diferente de la obtenida mediante el método del máximo de la transconductancia. Esto se pondrá de manifiesto en el siguiente apartado.



3.4.3.4 CARGA EN INVERSIÓN

Siguiendo con el estudio de la estructura MOSOM de puertas p^+-n^+ , hemos calculado la carga en inversión frente a la tensión de puerta para una estructura con espesores de óxido $t_{ox} = 5\text{nm}$ y distintos espesores de la lámina de silicio. Los resultados se muestran en la Fig. 79

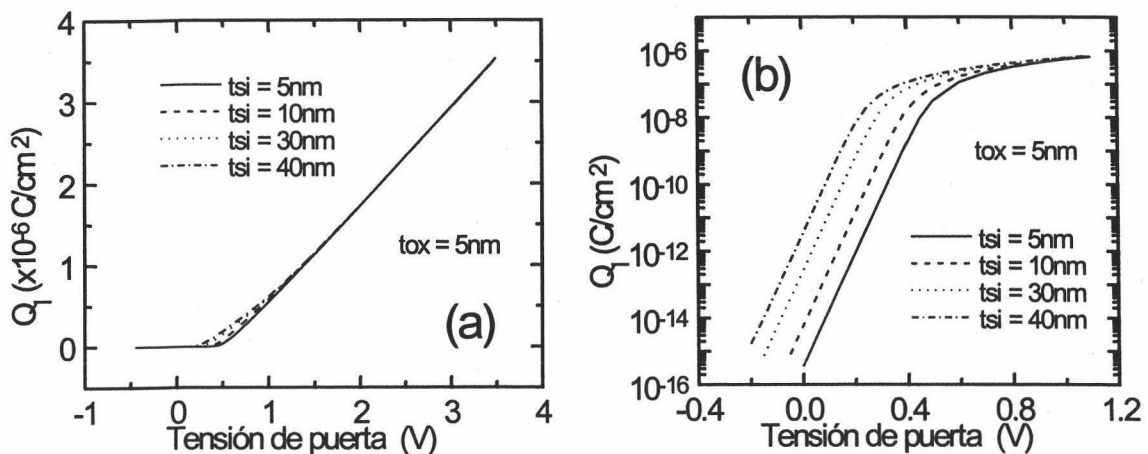


Fig. 79: Carga en inversión para un MOSOM p^+-n^+ de espesor de óxido $t_{ox} = 5\text{nm}$ y distintos espesores de la lámina de silicio.

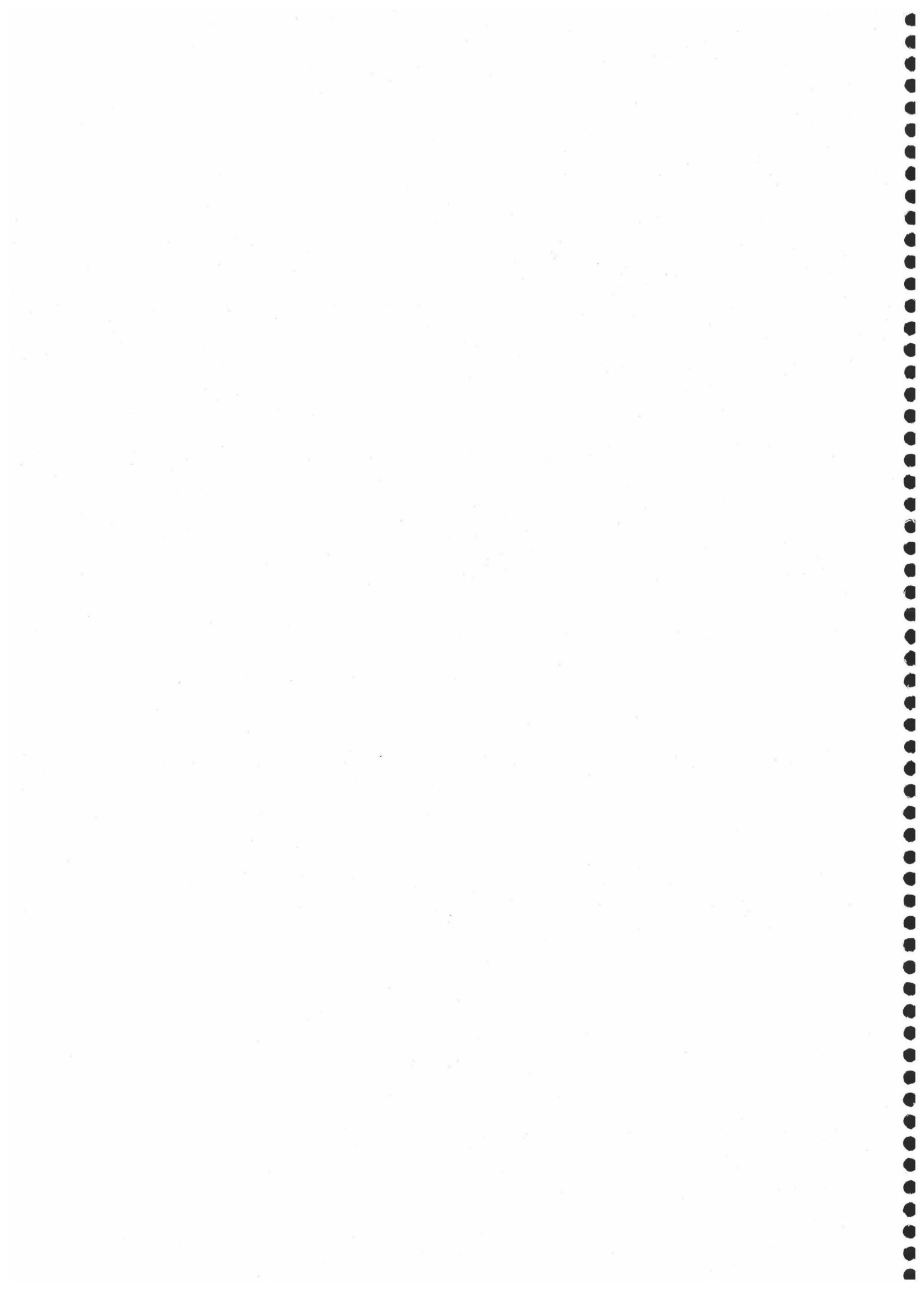
Como se puede observar, la característica $Q_I - V_G$ depende del espesor de la lámina de silicio, más concretamente de la relación entre el espesor de silicio y el del óxido (t_{si}/t_{ox}), ya que el valor de la tensión umbral de esta estructura depende de este valor, como antes vimos, pero sólo cerca del codo de las curvas, esto es, en el inicio de la inversión. Para tensiones elevadas, las diferentes curvas tienden a coincidir, tal como predice nuestro modelo, una vez que el potencial central se ha hecho casi constante. Del resultado anterior se deduce la superioridad de las estructuras con láminas de silicio más delgadas.

3.4.3.5 CENTROIDES

Para realizar el estudio del centroide en esta estructura hemos operado de igual forma que en el apartado 3.4.2.4, calculando la posición en la lámina de silicio en la cual se anula el campo eléctrico, e integrando desde la interface hasta ese punto a la hora de calcular los respectivos centroides de ambos lados. Este análisis lo hicimos para una estructura con espesor de óxido $t_{ox} = 5\text{nm}$ y distintos espesores de la lámina de silicio. En la tabla siguiente se presentan los resultados obtenidos con una tensión de puerta de 2 voltios.

Centroides en un DGMOST $n^+ - p^+$.			
Tsi (nm)	Posición. Max. Potencial (nm)	Centroide P.Superior p^+ (nm)	Centroide P.Inferior n^+ (nm)
5	2.2	1.09	1.36
10	4.8	2.35	2.5
20	10	4.87	4.81
40	20.2	9.78	9.57
100	53.7	25.87	22.5

Como se puede observar, el campo eléctrico se hace nulo casi en el centro de la lámina de silicio salvo pequeñas diferencias. Para espesores de silicio pequeños, menores de 20 nm, este punto está ligeramente desplazado hacia la interface correspondiente a la puerta p^+ mientras que para espesores mayores se desplaza hacia la otra interface. Con lo que respecta al centroide para espesores inferiores a 20nm el correspondiente a la puerta p^+ es menor que el de la puerta n^+ . En caso de espesores iguales o mayores a 20nm sucede lo contrario.



CAPÍTULO IV:

EL DGMOST EN OPERACIÓN SUBUMBRAL. LONGITUD MÍNIMA DEL CANAL

4.1 INTRODUCCIÓN

Una de las principales ventajas que se esperan del DGMOST, además de las que se derivan de la forma de la distribución de electrones, es la posibilidad de conseguir una operación satisfactoria con longitudes de canal inferiores a las de los MOSFETs convencionales. Esto se debe a la reducción de los efectos de canal corto consecuencia del mayor apantallamiento producido por la segunda puerta. Con el fin de completar el estudio del DGMOST que estamos realizando a lo largo de esta memoria, en este capítulo estudiaremos brevemente el escalado de la estructura centrándonos básicamente en la operación en la región subumbral. En el tratamiento de este problema, hemos de recurrir a un análisis en dos dimensiones, para lo cual utilizaremos el simulador MEDICI, de amplio uso en instituciones académicas y en la industria [TMA Medici, 1994]. Una desventaja de este simulador es que no incluye la simulación cuántica, cuya necesidad hemos mostrado a lo largo de la presente memoria. No obstante, si nos restringimos a la operación subumbral, y extraemos conclusiones a partir de la concentración de minoritarios por unidad de área sin atender a las consecuencias del perfil concreto de su distribución en la dirección perpendicular al canal, el simulador MEDICI es perfectamente aplicable, ya que al ser la concentración de electrones muy pequeña en la región subumbral, los efectos de su distribución sobre el perfil del potencial serán mínimos. A partir de las simulaciones 2D realizadas con MEDICI, vamos a estudiar, pues, qué ocurre cuando las dimensiones del DGMOST se reducen, cómo afecta la reducción del canal a sus características y qué reglas de escalado se han de utilizar para mantener un funcionamiento aceptable del dispositivo.

La reducción de la longitud del canal de un transistor MOSFET produce varios efectos. La corriente de drenador aumenta con la tensión de drenador después de producirse el “pinch-off”, a diferencia de lo que ocurre en un transistor de canal largo, en el cual la corriente se mantiene constante. Este efecto se puede representar mediante un desplazamiento de la tensión umbral, que disminuye, haciéndose dependiente de la longitud del canal y de la tensión de drenador. Por último, se produce un aumento de la corriente subumbral, aumentando el factor subumbral S , esto es, la pendiente subumbral disminuye de forma que incluso puede ser imposible el corte del transistor.

Cuando las uniones fuente-drenador se encuentran próximas, la región de depleción del drenador influye en la unión fuente-canal produciendo una disminución de la barrera de potencial entre las dos. Este es el efecto de disminución de la barrera inducida por el drenador, conocido como DIBL (“drain-induced barrier lowering”). La menor barrera de potencial entre fuente y canal propicia el paso de electrones en régimen subumbral, dando lugar a una corriente de pérdida (leakage current).

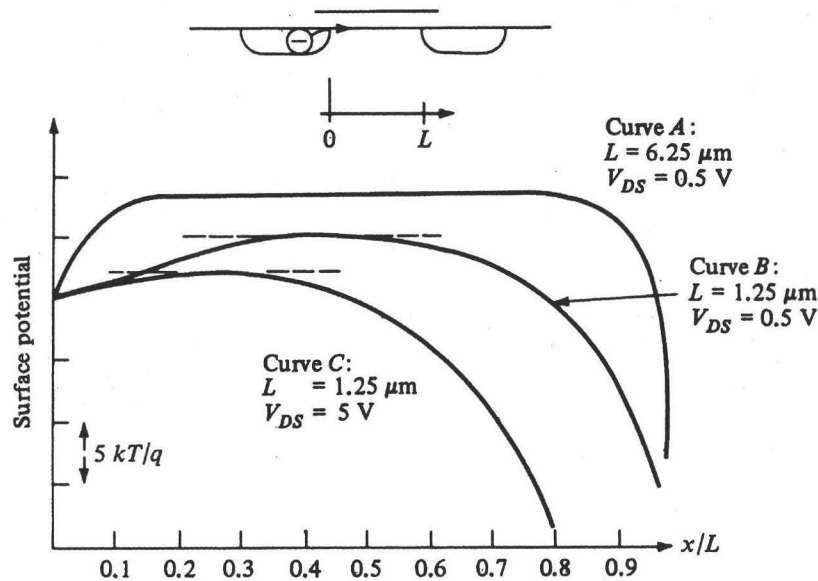


Fig. 80: Potencial de superficie a lo largo del canal, entre fuente y drenador, para MOSFETs con diferentes longitudes de canal [Yang, 1988].

Estos problemas de canal corto aparecen tanto en los MOSFETs de puerta simple (MOSFET y MOSFET SOI) como en el DGMOST. En un MOSFET convencional una de las formas de reducir los efectos de canal corto es incrementar el dopado del canal de forma que se consiga una mayor barrera de potencial fuente-canal y se aumente la tensión umbral. Sin embargo, esto crea otros problemas como el aumento de la capacidad, con lo que se limita la velocidad de conmutación del dispositivo, al mismo tiempo que la movilidad superficial disminuye debido al gran campo vertical inducido por el alto dopado. Para solucionar estos inconvenientes se han propuesto estructuras con dopado de canal variable, poco dopadas justo cerca de la interface con lo que se mejora la movilidad, o con un pico de dopado como la PSD ("Pulse-Shaped Doping") propuesta por Yan [Yan et al., 1992] con la que, además, se reduce la capacidad, aunque la tensión umbral será menor en este caso.

Con un transistor SOI en depleción total, esto es, con una lámina de silicio delgada, se evitan los problemas de capacidad a la vez que no será necesario usar un alto dopado para evitar los efectos de canal corto. En esta estructura existe una gran variación del campo eléctrico en la dirección perpendicular al canal, induciéndose una gran curvatura de potencial en la dirección horizontal, por lo que la barrera de potencial canal-fuente es mayor evitándose el aumento de la corriente subumbral.

En una estructura DGMOST en depleción total, con una lámina de silicio delgada, ocurre lo mismo que en el caso anterior, siendo incluso mejor que la estructura SOI de puerta simple, como veremos más adelante.

Aunque las estructuras SOI de lámina delgada y doble puerta tengan ventajas sobre el MOSFET convencional, los efectos de canal corto no están eliminados totalmente, por lo que a la hora de reducir las dimensiones de la puerta tendremos que seguir unas reglas de escalado.

En los siguientes apartados estudiaremos las reglas de escalado presentadas en la bibliografía. Empezaremos analizando el escalado en el SOI de puerta simple, ya que la forma de realizar el escalado en estas estructuras es la base del escalado en los dispositivos DGMOST. Trataremos, a continuación, las reglas de escalado para el MOS de doble puerta, tanto con puertas P^+-P^+ como con puertas P^+-N^+ , y las expresiones analíticas propuestas para el cálculo del factor subumbral y el desplazamiento de la tensión umbral. Finalmente, obtendremos numéricamente con el programa MEDICI las curvas de corriente frente a la tensión de puerta de varios DGMOST tanto con puertas P^+-P^+ como con puertas P^+-N^+ para distintas dimensiones del dispositivo y diferentes tensiones de drenador aplicadas, a partir de las cuales observaremos los efectos de canal corto, extraeremos los valores de factor subumbral S y del desplazamiento de tensión umbral ΔV_{th} , comparando estos valores con los obtenidos con las expresiones analíticas propuestas.

4.2 ESCALADO DEL TRANSISTOR SOI DE PUERTA SIMPLE.

Como antes hemos explicado, la conducción de corriente en la región subumbral depende de la distribución de potencial en el dispositivo. Yan y colaboradores proponen una teoría de escalado para el transistor SOI de puerta simple [Yan et al 1992], siguiendo el mismo método usado por Young [Young et al., 1989a, 1989b]. Deducen una expresión analítica de un “pseudopotencial” de superficie en el cual se introduce un término llamado longitud natural λ , dependiente del espesor del óxido y de la lámina de silicio. Calculan el potencial mínimo en el canal, éste depende exponencialmente del cociente $(-L_{\text{eff}}/2\lambda)$, siendo L_{eff} la longitud efectiva del canal. Cuanto menor es el potencial mínimo, mayor es la barrera de potencial fuente-canal. Para conseguir un buen comportamiento subumbral proponen como regla de escalado que la razón $\alpha = L_{\text{eff}}/2\lambda$ debe ser mayor que un determinado valor que toman alrededor de 3. ($\alpha \geq 3$). Recogemos, a continuación, algunos detalles de este análisis de la estructura.

Partiendo de la ecuación de Poisson bidimensional, en depleción total, y despreciando la carga de los portadores minoritarios,

$$\frac{d^2\phi}{dx^2} + \frac{d^2\phi}{dy^2} = \frac{qN_A}{\epsilon_{Si}} \quad (111)$$

siendo ϕ el potencial eléctrico. Por tanto, un menor ϕ corresponde a una mayor barrera de potencial para los electrones.

Se admite una función parabólica en la dirección perpendicular al canal para la distribución de potencial:

$$\phi(x, y) \approx c_0(x) + c_1(x)y + c_2(x)y^2 \quad (112)$$

y se imponen las siguientes condiciones de contorno:

1ª) El potencial en la superficie, al que llamamos ϕ_s , será igual a $c_0(x)$ según la expresión anterior

$$\phi(x,0) = \phi_s(x) = c_0(x) \quad (113)$$

2ª) El campo eléctrico en la interface E_s se puede expresar en función de la tensión de puerta y el espesor de óxido. Aplicando la ley de Gauss en la superficie suponiendo carga nula en la interface:

$$\bar{E}_s = \left. \frac{d\phi(x,y)}{dy} \right|_{y=0} = \frac{\epsilon_{ox}}{\epsilon_{Si}} \frac{\phi_s(x) - (V_G - V_{FB})}{t_{ox}} = c_1(x) \quad (114)$$

donde V_G es la tensión de puerta y V_{FB} es la tensión de banda plana ($V_{FB} = \phi_{MS}$), suponiendo carga nula en el óxido ($Q_{ox} = 0$).

3ª) El campo eléctrico en la interface con el óxido enterrado para $y = t_{Si}$ es aproximadamente cero.

$$\left. \frac{d\phi(x,y)}{dy} \right|_{y=t_{Si}} = c_1(x) + 2 \cdot t_{Si} \cdot c_2(x) \approx 0 \quad (115)$$

Utilizando las tres condiciones de contorno el potencial en la estructura viene dado por la siguiente expresión:

$$\phi(x,y) = \phi_s(x) + \frac{\epsilon_{Si}}{\epsilon_{ox}} \frac{\phi_s(x) - (V_G - V_{FB})}{t_{ox}} y - \frac{1}{2t_{Si}} \frac{\epsilon_{Si}}{\epsilon_{ox}} \frac{\phi_s(x) - (V_G - V_{FB})}{t_{ox}} y^2 \quad (116)$$

Para calcular el potencial de superficie $\phi_s(x)$, se sustituye (116) en (111) para $y = 0$. De esta forma se obtiene la expresión:

$$\frac{d^2 \phi_s(x)}{dx^2} - \frac{\epsilon_{Si}}{\epsilon_{ox}} \frac{\phi_s(x) - (V_G - V_{FB})}{t_{Si} \cdot t_{ox}} = \frac{qN_A}{\epsilon_{Si}} \quad (117)$$

de donde podrá ser despejado el potencial de superficie.

Yan y colaboradores simplifican esta ecuación y definen la longitud natural como:

$$\lambda = \sqrt{\frac{\epsilon_{Si} t_{Si} t_{ox}}{\epsilon_{ox}}} \quad (118)$$

y un "pseudopotencial" dependiente de la longitud natural λ :

$$\eta(x) = \phi_s(x) - (V_G - V_{FB}) + \frac{qN_A}{\epsilon_{Si}} \lambda^2 \quad (119)$$

de manera que la expresión (117) queda de la forma

$$\frac{d^2 \eta(x)}{dx^2} - \frac{\eta(x)}{\lambda^2} = 0 \quad (120)$$

Este "pseudopotencial" se diferencia del potencial de superficie en un término independiente de la posición en el canal. En definitiva, se realiza un desplazamiento del potencial, pero las diferencias de potencial entre los distintos puntos del dispositivo siguen siendo las mismas, y también la barrera de potencial entre fuente y canal.

Para resolver la ecuación (120) se toman, como condiciones de contorno, el

potencial en la fuente ($x = 0$) y en el drenador ($x = L_{\text{eff}}$):

$$\eta_s = \eta(0) = V_{bi} - (V_G - V_{FB}) + \frac{qN_A}{\epsilon_{Si}} \lambda^2 \quad (121)$$

$$\eta_d = \eta(L_{\text{eff}}) = V_{ds} + V_{bi} - (V_G - V_{FB}) + \frac{qN_A}{\epsilon_{Si}} \lambda^2 \quad (122)$$

donde V_{bi} es el potencial barrera entre la fuente y la zona neutra del canal dado por la expresión:

$$V_{bi} = \frac{1}{\beta} \ln \left(\frac{N_D N_A}{n_i^2} \right) \quad (123)$$

N_D es la concentración de impurezas donadoras en la fuente y N_A la concentración de impurezas aceptadoras en el canal, n_i es la concentración intrínseca del silicio y β el inverso del potencial térmico. Con las condiciones de contorno se calcula el pseudopotencial $\eta(x)$ y se obtiene:

$$\eta(x) = \frac{\eta_s \cdot \left[e^{(L_{\text{eff}}-x)/\lambda} - e^{(x-L_{\text{eff}})/\lambda} \right] + \eta_d \cdot \left[e^{x/\lambda} - e^{-x/\lambda} \right]}{e^{L_{\text{eff}}/\lambda} - e^{-L_{\text{eff}}/\lambda}} \quad (124)$$

Para estudiar la influencia de la longitud de canal sobre la barrera de potencial fuente-canal se calcula el pseudopotencial mínimo en el canal:

$$\eta_{\min} \approx 2\sqrt{\eta_s \cdot \eta_d} \cdot e^{-L_{\text{eff}}/2\lambda} \quad (125)$$

que, según esta definido el pseudopotencial $\eta(x)$, es igual a cero en un transistor de canal largo en el cual se puede utilizar la aproximación de canal gradual de forma que $\eta(x) = 0$ independientemente de la posición de canal.

Por tanto, para que un transistor SOI de puerta simple no sufra los efectos de canal corto, el potencial mínimo η_{\min} debe ser lo más pequeño posible. Como vemos, esto se consigue cuando la razón $\alpha = L_{\text{eff}}/2\lambda$ es grande. Para conseguir un buen comportamiento subumbral, y como regla de escalado, Yan y colaboradores proponen que α tiene que ser mayor que 3 [Yan et al., 1992].

4.3 ESCALADO DEL DGMOST P⁺-P⁺

Siguiendo el mismo planteamiento que en el transistor SOI de simple puerta, Yan y colaboradores calculan el potencial y la longitud natural en un DGMOST [Yan et al 1992]. Según su tratamiento, la longitud natural de un DGMOST viene dada por:

$$\lambda = \sqrt{\frac{\epsilon_{si}}{2\epsilon_{ox}} t_{si} t_{ox}} \quad (126)$$

Como se puede observar la longitud natural de un DGMOST es $\sqrt{2}$ veces más pequeña que la de un transistor SOI de puerta simple.

Se ha planteado que la teoría de escalado de [Yan et al., 1992] para el DGMOST no es del todo correcta. Suzuki y colaboradores ([Suzuki et al., 1993]) comprueban que el factor subumbral de dispositivos con distintas longitudes de puerta no coincide para el mismo factor α de [Yan et al., 1992]. Por lo tanto, la teoría debería proporcionar un criterio para el factor α diferente para cada longitud de puerta.

En [Yan et al., 1992] se suponía que la corriente subumbral en el DGMOST simétrico P⁺-P⁺ fluye próxima a sus interfaces. Sabemos que esto no es cierto, ya que la corriente circula justamente por el centro de la lámina de silicio en la región subumbral, como hemos probado en el capítulo 2, para la cual vimos que se conseguía la situación de inversión en volumen incluso para espesores de la lámina central de silicio relativamente grandes. Como se puede ver en las Fig. 81 y Fig. 82, el potencial central ϕ_c es menor que el potencial de superficie ϕ_s y, además, el potencial central es más sensible a las variaciones de longitud de canal que el potencial de superficie. Así pues, la teoría mostrada en el apartado previo ha de modificarse imponiendo que la corriente subumbral circule por el centro de la lámina de silicio en un DGMOST.

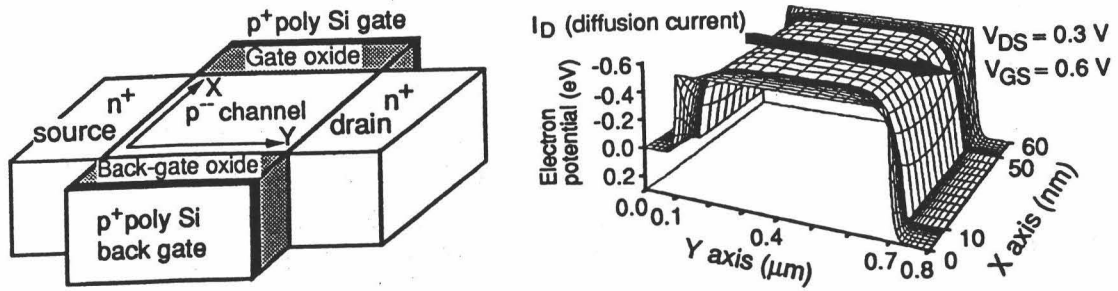


Fig. 81: Distribución de potencial en la región subumbral de un DG MOST calculada por [Tanaka et al., 1991] usando el simulador FLAPS.

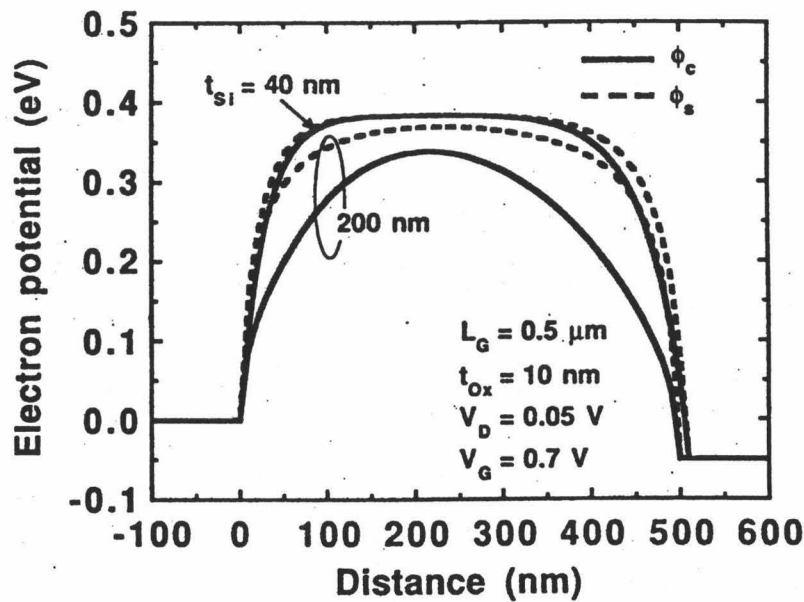


Fig. 82: Potencial de superficie y central a lo largo del canal de un DG MOST en la región subumbral calculada por Tanaka y colaboradores usando el simulador FLAPS [Tanaka et al., 1991].

Suzuki y colaboradores, en su teoría del escalado, tienen en cuenta esto y en vez de calcular el potencial en función del potencial de superficie lo hacen en función del potencial central siguiendo el mismo método utilizado en [Yan et al., 1992]. De esta forma llegan a la siguiente expresión del potencial:

$$\phi(x, y) = \left[1 + \frac{\epsilon_{ox}}{\epsilon_{Si}} \frac{y}{t_{ox}} - \frac{\epsilon_{ox}}{\epsilon_{Si}} \frac{y^2}{t_{ox} \cdot t_{Si}} \right] \cdot \frac{\phi_c(x) + \frac{\epsilon_{ox}}{4\epsilon_{Si}} \frac{t_{Si}}{t_{ox}} (V_G - V_{FB})}{1 + \frac{\epsilon_{ox}}{4\epsilon_{Si}} \frac{t_{Si}}{t_{ox}}} - \frac{\epsilon_{ox}}{\epsilon_{Si}} \frac{y}{t_{ox}} (V_G - V_{FB}) + \frac{\epsilon_{ox}}{\epsilon_{Si}} \frac{y^2}{t_{ox} \cdot t_{Si}} (V_G - V_{FB}) \quad (127)$$

Introduciendo este potencial en la ecuación de Poisson y resolviéndola para $y = t_{Si}/2$ obtienen la expresión:

$$\frac{d^2\phi_c(x)}{dx^2} + \frac{V_G - V_{FB} - \phi_c(x)}{\lambda^2} = \frac{qN_A}{\epsilon_{Si}} \quad (128)$$

siendo λ la longitud natural, con el mismo significado físico que la calculada por Yan y colaboradores.

$$\lambda = \sqrt{\frac{\epsilon_{Si}}{2\epsilon_{ox}} \left(1 + \frac{\epsilon_{ox}}{4\epsilon_{Si}} \frac{t_{Si}}{t_{ox}} \right) \cdot t_{Si} \cdot t_{ox}} \quad (129)$$

La longitud natural calculada por Suzuki y colaboradores es algo mayor que la calculada en [Yan et al., 1992], pero es bastante menor que la de un MOSFET SOI de puerta simple. Al igual que aquellos, Suzuki y colaboradores establecen como regla de escalado que el cociente entre la longitud del canal y dos veces la longitud natural debe ser mayor que un determinado valor. Ellos toman $\alpha > 3$, con

$$\alpha = \frac{L_G}{2\lambda} \quad (130)$$

Además, con el nuevo valor de la longitud natural consiguen el mismo factor subumbral para un mismo valor de α sea cual sea la longitud del canal del dispositivo. De esta forma, la regla es válida y única para todas las longitudes de canal.

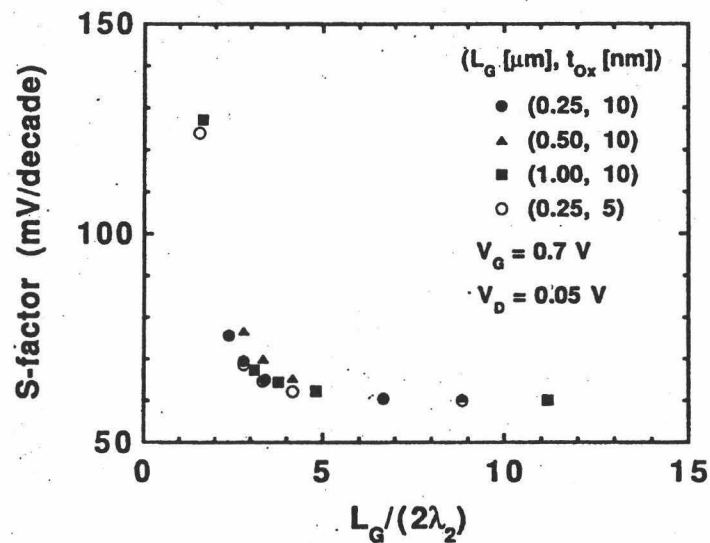


Fig. 83: Factor subumbral S frente al parámetro α , según [Suzuki et al., 1993]

Como hemos visto, el escalado en DG MOST depende de las dimensiones del dispositivo: de la longitud de canal, del espesor del óxido y del espesor de silicio. Siempre que estas tres magnitudes guarden la relación adecuada se evitan los efectos de canal corto. A medida que el canal sea menor, el espesor de óxido y de la lámina de silicio tendrán que hacerse más pequeños para mantener una pendiente subumbral aceptable. De la expresión (130) podemos despejar t_{ox} y ver qué relación debe de cumplir el espesor de óxido y el de la lámina de silicio para una determinada longitud de canal:

$$t_{ox} = \frac{\epsilon_{ox} \cdot L_G^2}{2\alpha^2 \epsilon_{si} t_{si}} - \frac{\epsilon_{ox}}{4\epsilon_{si}} t_{si} \quad (131)$$

En la gráficas de la Fig. 84 se representa el espesor de óxido frente al espesor de silicio para distintas longitudes de puerta y $\alpha = 3$.

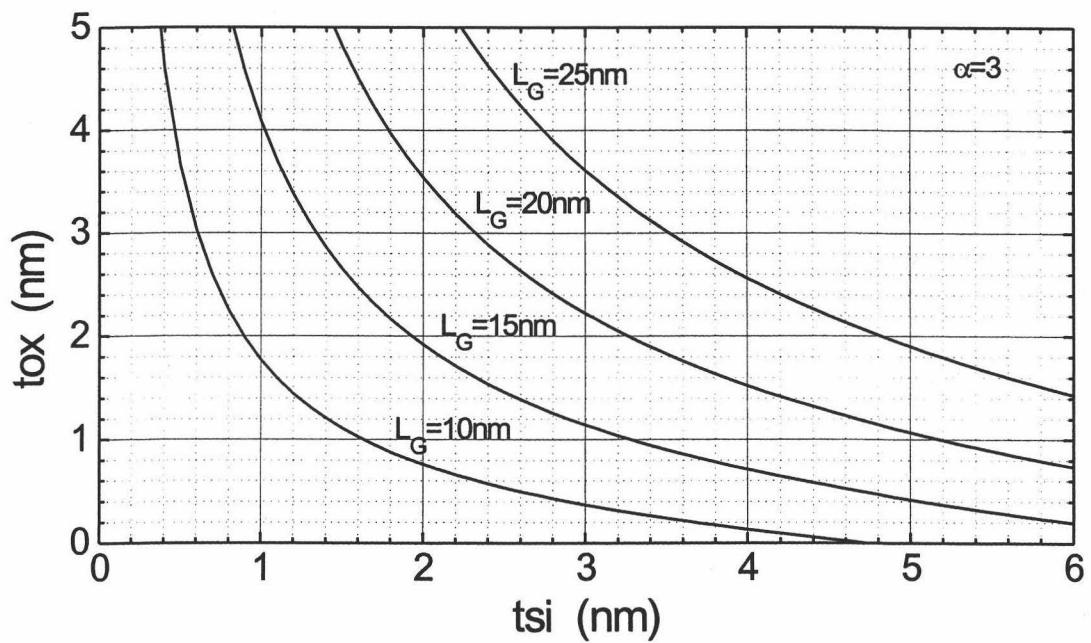
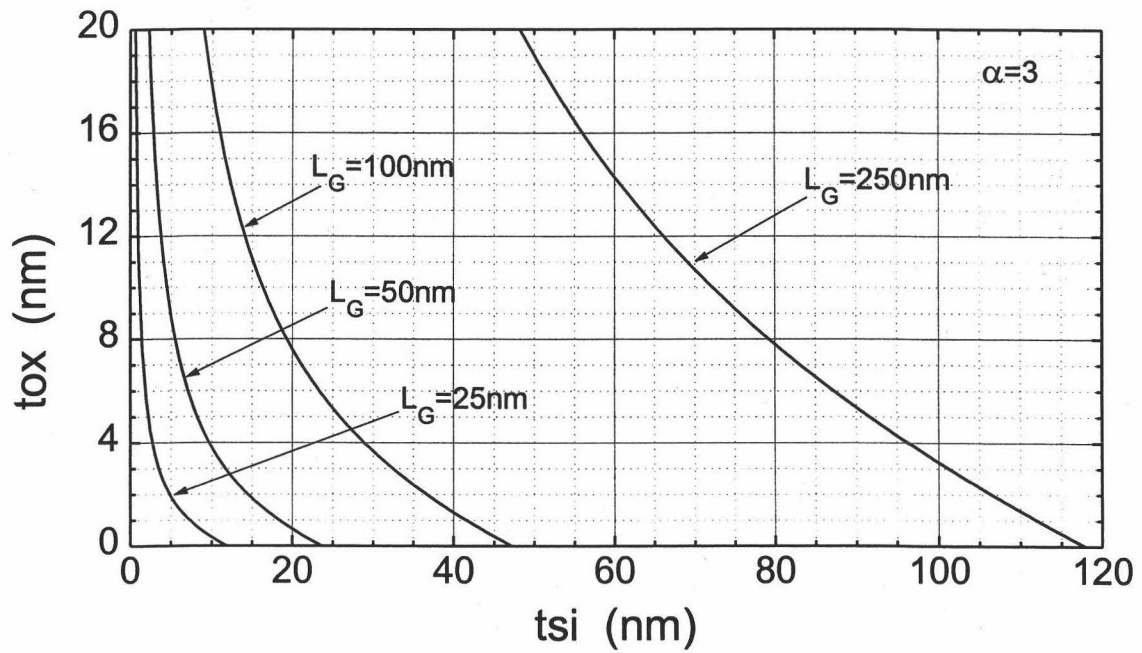


Fig. 84: Relación entre el espesor de óxido y el espesor de silicio para distintas longitudes de puerta y valor de $\alpha = 3$.

Para cada longitud de canal tenemos una curva correspondiente a distintas parejas de valores de t_{ox} y t_{si} para los cuales $\alpha = 3$. La zona de la derecha de estas curvas corresponde a valores de α mayores de 3 y la zona de la izquierda a valores inferiores a 3. Para un correcto escalado se deberá tomar una pareja t_{ox} y t_{si} que este a la izquierda de la curva de la longitud deseada.

Tosaka y colaboradores calcularon analíticamente el factor subumbral S en función de α [Tosaka et al., 1994]. Siguiendo el mismo método usado por Yan y colaboradores, obtuvieron una expresión para el potencial central mínimo:

$$\phi_{C(min)} \approx V_G - V_{FB} - \frac{qN_A}{\epsilon_{Si}} \lambda^2 + 2\sqrt{\eta_s \cdot (\eta_s + V_D)} \cdot e^{-L_{eff}/2\lambda} \quad (132)$$

A partir del potencial central mínimo, calcularon la concentración de electrones en el punto del canal con ese potencial:

$$n_m = \frac{n_i}{N_A} e^{\beta \cdot \phi_{C(min)}} \quad (133)$$

donde N_A es la concentración de impurezas aceptadoras en el canal, n_i la concentración intrínseca del silicio y β el inverso del potencial térmico.

Suponiendo que la corriente subumbral es proporcional a la concentración de electrones n_m , se puede derivar con respecto a esta magnitud, sustituyendo la corriente por la concentración en la definición de factor subumbral:

$$S = \frac{dV_G}{d(\log(I_D))} \approx \frac{dV_G}{d(\log(n_m))} = \ln 10 \cdot \frac{dV_G}{d \ln n_m} = \frac{\ln 10}{\beta} \left[1 - \frac{2\eta_s + V_D}{\sqrt{\eta_s(\eta_s + V_D)}} e^{-\alpha} \right]^{-1} \quad (134)$$

donde η_s es el pseudopotencial central en la fuente

$$\eta_s = \eta(0) = V_{bi} - (V_G - V_{FB}) + \frac{qN_A}{\epsilon_{Si}} \lambda^2 \quad (135)$$

Cuando $V_D \ll \eta_s$ la expresión se puede simplificar quedando de la forma:

$$S = \frac{\ln 10}{\beta} \frac{1}{1 - 2e^{-\alpha}} \quad (136)$$

Las reglas de escalado que hemos recogido hasta ahora sólo consideran el aumento del factor subumbral S. Pero, como vimos al principio del capítulo, otro de los efectos de canal corto es la disminución de la tensión umbral. El desplazamiento de este parámetro depende de las dimensiones del dispositivo y de la tensión de drenador aplicada. Por esta razón, una teoría del escalado más completa debería considerar tanto el aumento del factor subumbral como el desplazamiento de la tensión umbral. Esto es lo que hicieron Suzuki y colaboradores ([Suzuki et al., 1996]). Estos autores propusieron una expresión analítica para el desplazamiento de la tensión umbral válida tanto para un DG MOST de puertas p⁺-p⁺ como para uno de puertas n⁺-p⁺. Tomaron la tensión umbral como aquella para la cual el potencial central mínimo alcanza un valor umbral ϕ_{sth} , adoptando la ecuación (132) para evaluar el potencial central mínimo. El último término de la derecha de la ecuación corresponde al pseudopotencial mínimo η_{min} , que en un transistor de canal largo es igual a cero. Como vimos, para no tener problemas de canal corto, este pseudopotencial η_{min} tiene que ser lo más pequeño posible. Suzuki y colaboradores toman este pseudopotencial η_{min} como el desplazamiento de la tensión umbral:

$$\Delta V_{th} = \eta_{min} \approx 2\sqrt{\eta_s \cdot \eta_d} \cdot e^{-L_{eff}/2\lambda} \quad (137)$$

donde η_S y η_D son los pseudopotenciales en fuente y drenador, los cuales están expresados en función del potencial de puerta y por tanto dependen también de la tensión umbral. Sabiendo que el desplazamiento de la tensión umbral es igual a la diferencia de la tensión umbral de un transistor de canal largo y la tensión umbral del transistor corto que se está estudiando, es decir,

$$\Delta V_{th} = V_{thL} - V_{th} \quad (138)$$

los pseudopotenciales η_S y η_D pueden expresarse en función de ΔV_{th} de forma que la expresión (137) se convierte en una ecuación de segundo grado:

$$\left(\frac{1}{4}e^{2\alpha} - 1\right)\Delta V_{th}^2 - 2\left(V_{bi} - 2\phi_F + \frac{V_D}{2}\right)\Delta V_{th} - (V_{bi} - 2\phi_F)(V_{bi} - 2\phi_F + V_D) = 0 \quad (139)$$

donde V_{bi} es el potencial barrera entre la fuente y la zona neutra del canal. Para simplificar los cálculos toman como potencial de superficie $\phi_{sth} = 2\phi_F$. Resolviendo la ecuación de segundo grado se obtiene:

$$\Delta V_{th} = \frac{1}{\frac{1}{4}e^{2\alpha} - 1} \left[\left(V_{bi} - 2\phi_F + \frac{V_D}{2} \right) + \sqrt{\left(V_{bi} - 2\phi_F + \frac{V_D}{2} \right)^2 + \left(\frac{1}{4}e^{2\alpha} - 1 \right) (V_{bi} - 2\phi_F)(V_{bi} - 2\phi_F + V_D)} \right] \quad (140)$$

donde

$$V_{biF} = V_{bi} - 2\phi_F \quad (141)$$

Para $L_G \gg \lambda$ por tanto $\exp(\alpha) \gg 1$ reducen la expresión a la siguiente:

$$\Delta V_{th} = 2(V_{bi} - 2\phi_F) \cdot e^{-\alpha} \cdot \sqrt{1 + \frac{V_D}{V_{bi} - 2\phi_F}} \quad (142)$$

Como se puede ver en las dos expresiones analíticas del desplazamiento de la tensión umbral, ΔV_{th} depende de la tensión de drenador y de α , esto es, de las dimensiones del dispositivo.

A la hora de realizar el escalado del dispositivo se establecen unos valores máximos de ΔV_{th} y S . Para conseguir unos valores menores será necesario un α mayor de un valor determinado en cada caso. La regla de escalado de Suzuki y colaboradores consiste en conseguir un dispositivo con el valor de alfa igual al máximo de los dos valores de α impuestos por las dos condiciones:

$$\alpha = \max[\alpha(\Delta V_{th}), \alpha(S)] \quad (143)$$

Nosotros hemos simulado con MEDICI un DG MOST P⁺-P⁺ simétrico con las siguientes características: material de puerta $N_{Ppoly} = 10^{20} \text{ cm}^{-3}$, espesor de óxido $t_{ox} = 5\text{nm}$, concentración de impurezas del silicio $N_A = 10^{15} \text{ cm}^{-3}$ y distintos espesores de la lámina de silicio y longitudes de canal. Hemos calculado las curvas $I_D - V_G$ para movilidad constante $\mu = 550 \text{ cm}^2/\text{Vs}$ y a partir de éstas hemos extraído el factor subumbral S para tensión de puerta $V_G = 0.7\text{V}$. También hemos calculado la tensión umbral, siguiendo a Suzuki y colaboradores en su artículo [Suzuki et al., 1996], como la tensión de puerta para la cual la corriente de drenador es de $1\mu\text{Amp}$, con el fin de poder comparar con sus resultados.

En la Fig. 85 representamos la corriente frente a la tensión de puerta en escala logarítmica calculada con el simulador MEDICI para un DG MOST P⁺-P⁺ con una tensión de drenador aplicada de $V_D = 0.05\text{V}$, longitud de canal de 100nm y distintos espesores de la lámina de silicio. Se puede observar en la gráfica cómo la pendiente subumbral disminuye (esto es, el factor subumbral S aumenta) a medida que aumenta el espesor de la lámina de silicio. Según la regla de escalado propuesta por Suzuki y colaboradores, para que se cumpla ésta, el espesor de la lámina de silicio tendría que ser

inferior a unos 25nm, espesor para el cual el parámetro α es igual a tres.

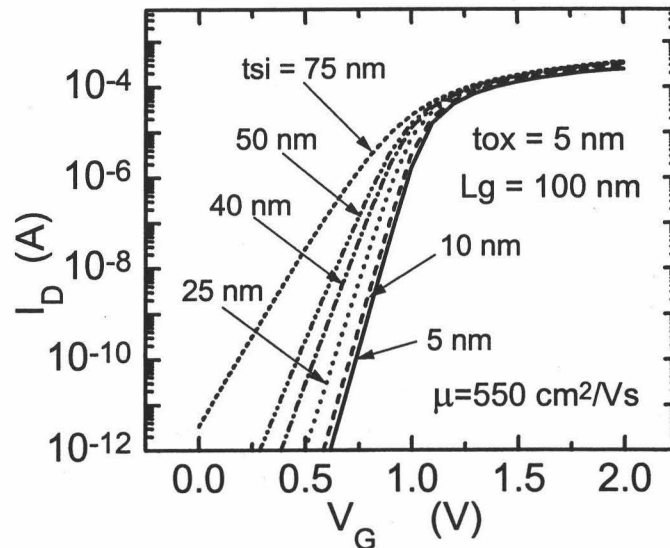


Fig. 85: Curvas $I_D - V_G$ en la región subumbral simuladas con MEDICI con movilidad constante $\mu=550\text{cm}^2/\text{Vs}$ y tensión de drenador $V_D = 0.05\text{V}$ para un DGMOST con longitud de puerta 100nm, espesor de óxido 5nm y distintos espesores de la lámina de silicio.

Hemos comparado el factor subumbral extraído de las curvas $I_D - V_G$ en la región subumbral, calculadas con el simulador MEDICI, con el modelo analítico propuesto por [Tosaka et al., 1994]. En la Fig. 86 (a) representamos el factor subumbral calculado con la expresión analítica (136) (línea continua) y los extraídos de la simulación con MEDICI de un DGMOST con longitudes de puerta 50nm (triángulos) y 100nm (cuadrados) para una tensión de drenador $V_D = 0.05\text{V}$, tensión de puerta $V_G = 0.7\text{V}$ y movilidad constante $\mu = 550 \text{ cm}^2/\text{Vs}$. Como se puede observar, se obtiene un buen ajuste aunque para valores pequeños de α el factor subumbral S calculado numéricamente es algo superior al calculado analíticamente. En la figura Fig. 86 (b) podemos apreciar la variación del factor subumbral S con la tensión de drenador. Se comparan, en este caso, el valor de S calculado con la expresión completa (134), ya que vamos a usar tensiones de drenador grandes (en líneas), y los extraídos de la simulación con MEDICI (con símbolos). Como se puede ver, para valores inferiores a $\alpha = 3$ el factor subumbral

muestra una pequeña dependencia con la tensión de drenador. Los datos numéricos y los analíticos coinciden para valores del parámetro α superiores a tres; sin embargo, para valores inferiores encontramos una pequeña diferencia que aumenta a medida que α es menor. Estas diferencias se producen para todos los valores de tensiones de drenador estudiados.

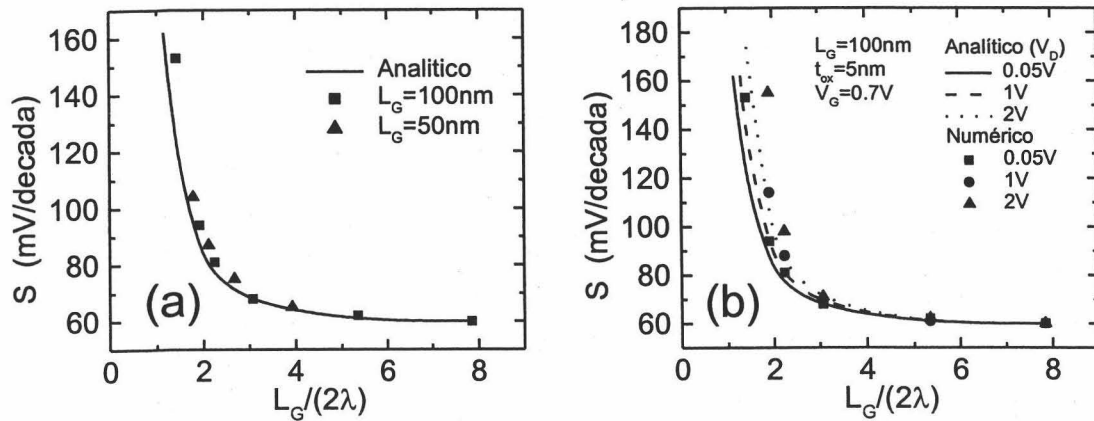


Fig. 86 (a): Factor subumbral S frente a la relación $L_G/2\lambda$. En línea continua, valor de S calculado analíticamente. Con cuadrados, S extraído de la simulación con MEDICI de un DG MOST con longitud de puerta 100nm. Con triángulos, $L_G = 50\text{nm}$. (b): Factor subumbral S para distintas tensiones de drenador. Con líneas, S calculado analíticamente. Con símbolos, S extraído de la simulación con MEDICI.

A continuación vamos a estudiar el desplazamiento de la tensión umbral en función del parámetro α , según los resultados de nuestras simulaciones con MEDICI. Compararemos también los resultados numéricos con las predicciones de las dos expresiones propuestas por Suzuki y colaboradores: la completa (140) y la simplificada (142). Previamente vamos a analizar la diferencia entre ambas expresiones. En las gráficas de la Fig. 87 representamos el desplazamiento de la tensión umbral ΔV_{th} frente al parámetro α para distintos valores de la tensión de drenador calculado con la expresión completa (140) (línea continua) y con la simplificada (142) (línea a trazos). Como se puede observar, los resultados de ambas ecuaciones

coinciden para valores del parámetro α grandes. Sin embargo, a medida que disminuye α empieza a haber diferencias entre los valores proporcionados, que se acrecientan a medida que disminuye α . También vemos que para tensiones de drenador grandes las diferencias entre las expresiones empiezan antes, es decir, para valores de α superiores. Se aprecia que la expresión simplificada (142) sólo se podrá utilizar cuando el valor de α sea grande, superior a 3 ó 4, según la tensión de drenador aplicada. Para valores inferiores se tendrá que usar la expresión completa (140). No obstante, como un DGMOST con unos efectos de canal corto pequeños debe de tener unas dimensiones compatibles con esos valores altos de α , podemos concluir que la expresión simplificada es una aproximación razonable para transistores bien diseñados.

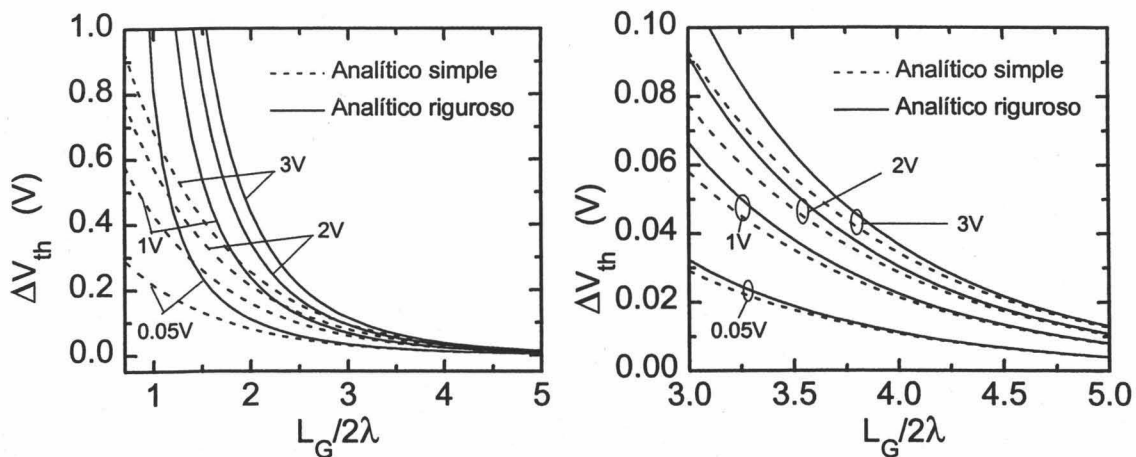


Fig. 87: Desplazamiento de la tensión umbral frente al parámetro α calculado con la expresión analítica simplificada (142) (línea a trazos) y la expresión completa (140) (línea continua) propuestas por [Suzuki et al., 1996] para distintas tensiones de drenador.

Siguiendo con el estudio del desplazamiento de la tensión umbral, lo calculamos numéricamente a partir de los datos de tensión umbral obtenidos de las curvas I_D-V_G , calculadas con MEDICI, de varios DGMOSTs con diferentes longitudes de canal y espesores de silicio, para distintas tensiones de drenador aplicadas. Para deducir la tensión umbral de los datos numéricos usamos la misma definición que la utilizada por Suzuki y colaboradores [Suzuki et al., 1996]. Estos toman como tensión umbral la

tensión para la cual la corriente de drenador es de $1 \mu\text{A}$.

En la gráfica de la Fig. 88 representamos el desplazamiento de la tensión umbral frente al parámetro α calculado con las dos expresiones analíticas, la completa (140) (línea continua), y la simplificada (142) (línea discontinua), y el obtenido de los datos numéricos tomando para la tensión umbral con desplazamiento nulo el valor calculado con $\alpha=6.71$. La tensión de drenador aplicada a todos los transistores es de $V_D = 0.05\text{V}$. Como se puede observar, los datos numéricos se ajustan bastante bien a la expresión numérica completa (140); no sucede lo mismo con la expresión simplificada (142) la cual se separa de los datos numéricos para valores del parámetro α pequeños.

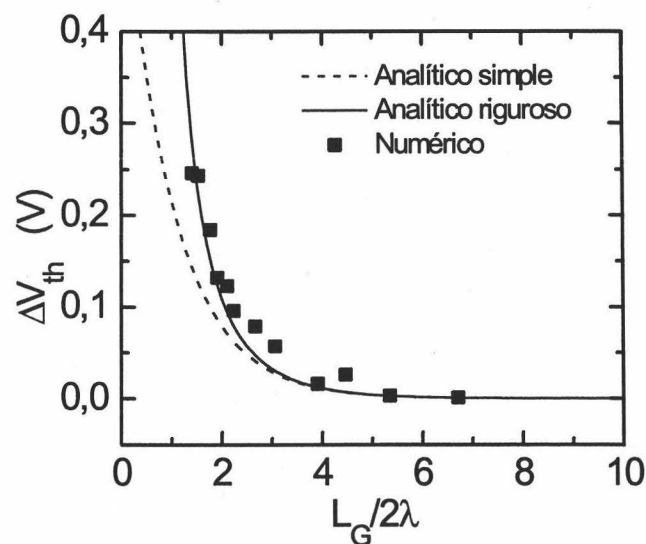


Fig. 88: Comparación del desplazamiento de la tensión umbral con respecto a α calculado con las expresiones analíticas propuestas por [Suzuki et al., 1996] (líneas) con el obtenido numéricamente de las curvas $I_D V_G$ halladas con el simulador MEDICI (■), tomando como tensión umbral con desplazamiento nulo la calculada para $\alpha=6.71$. Tensión de drenador $V_D = 0.05\text{V}$.

En las gráficas de la Fig. 89 (a), (b), (c) representamos el desplazamiento de la tensión umbral frente al parámetro α para diferentes tensiones de drenador calculado con las dos expresiones analíticas (140) y (142) y lo comparamos con el

desplazamiento calculado a partir de nuestras simulaciones numéricas para un DGMOST con una longitud de canal de 100nm y distintos espesores de lámina de silicio. Para calcular el desplazamiento de la tensión umbral tomamos como tensión umbral con desplazamiento nulo la calculada para $\alpha=7.85$.

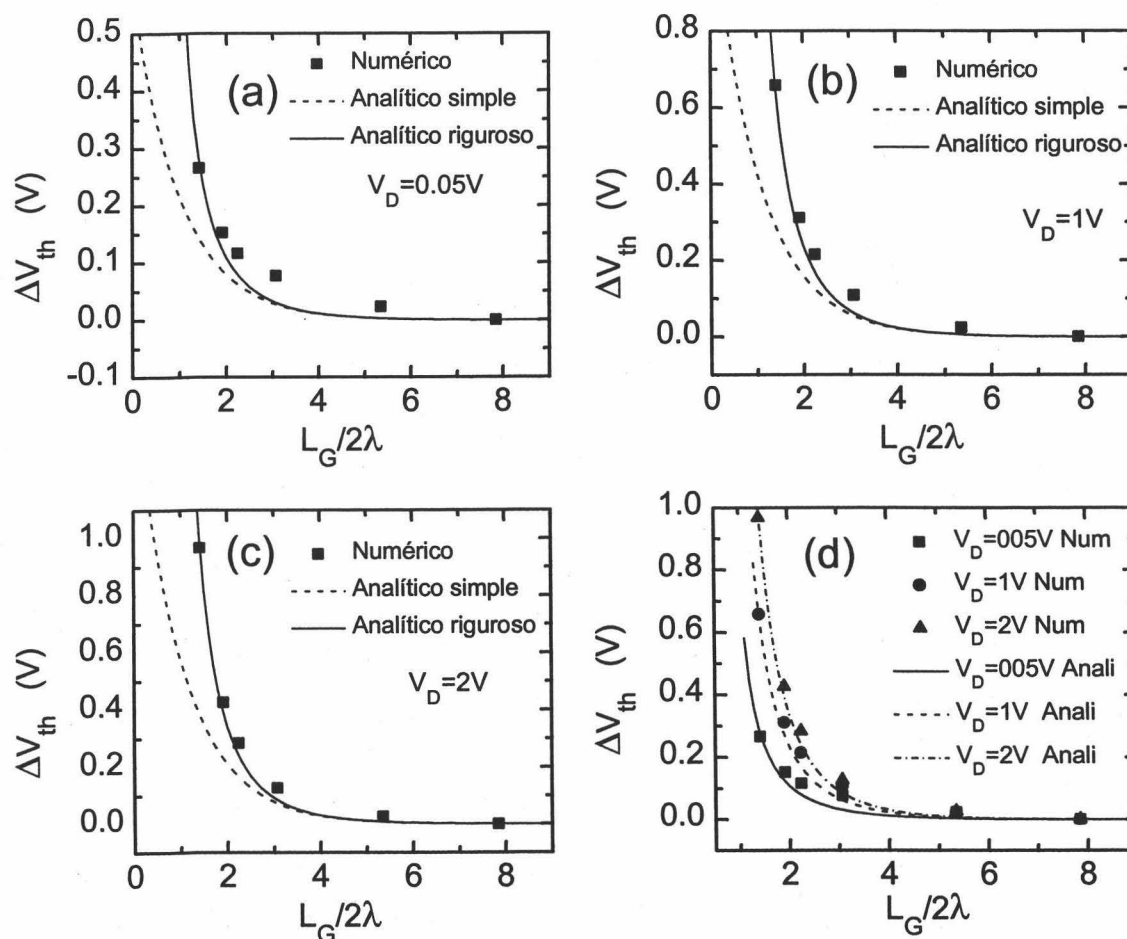


Fig. 89: Comparación del desplazamiento de la tensión umbral con respecto a α calculado numéricamente de las curvas I_D - V_G obtenidas con el simulador MEDICI (■), tomando como tensión umbral con desplazamiento nulo la calculada para $\alpha=7.85$, con el calculado con las expresiones analíticas propuestas por [Suzuki et al., 1996], modelo simplificado (líneas a trazos), modelo completo (líneas continuas). (a) $V_D = 0.05V$. (b) $V_D = 1V$. (c) $V_D = 2V$. (d): Comparación del desplazamiento de la tensión umbral calculado numéricamente de las curvas I_D - V_G obtenidas con el simulador MEDICI (■), tomando como tensión umbral con desplazamiento nulo la calculada para $\alpha=7.85$, con el calculado con la expresión completa propuesta por [Suzuki et al., 1996], para varias tensiones de drenador.

Se puede ver en las gráficas el buen ajuste de los datos numéricos con la expresión analítica completa para todos los casos de tensión de drenador aplicada. No sucede lo mismo con la expresión simplificada, para valores pequeños del parámetro α , que proporciona valores de ΔV_{th} inferiores a los proporcionados por la expresión completa y los calculados numéricamente. En la Fig. 89 (d) comparamos el ΔV_{th} proporcionado por la ecuación analítica completa con el obtenido numéricamente para los tres casos de tensión de drenador a la vez.

En todos los resultados se confirma el fuerte crecimiento del desplazamiento de la tensión umbral cuando α se hace menor que 3 ó 4. Un valor de $\alpha \geq 4$ produciría desplazamientos pequeños para tensiones de drenador razonablemente elevadas.

4.4 ESCALADO DEL DGMOST P⁺-N⁺

Suzuki y colaboradores también propusieron una teoría de escalado para el dispositivo asimétrico [Suzuki et al., 1995b, 1996]. Siguiendo el mismo procedimiento que en el caso de un DGMOST simétrico P⁺-P⁺, calcularon la longitud natural correspondiente al dispositivo, y obtuvieron una expresión analítica del factor subumbral S en función de α que es igual que la hallada por [Tosaka et al., 1994] para el DGMOST P⁺-P⁺. Para el desplazamiento de la tensión umbral también se pueden usar las dos expresiones utilizadas en el caso de un DGMOST simétrico P⁺-P⁺. Tomando como regla de escalado la misma que en el caso anterior, se establecen unos valores máximos de ΔV_{th} y S. Para conseguir unos valores menores, será necesario un α mayor que un valor determinado en cada caso. El valor de alfa debe ser superior al mayor α de los dos impuestos por las dos magnitudes.

En este dispositivo, a diferencia del DGMOST simétrico P⁺-P⁺, la corriente subumbral circula al lado de la interface correspondiente a la puerta N⁺ donde la barrera de potencial fuente-canal es más pequeña. Por lo tanto, a la hora de calcular la distribución del potencial del dispositivo se elige un potencial parabólico [Young et al., 1989b] en función del potencial de superficie correspondiente a la interface óxido-semiconductor cercana a la puerta N⁺.

$$\phi(x, y) = \phi_{sn}(x) + \frac{\epsilon_{Si}}{\epsilon_{ox}} \frac{\phi_{sn}(x) - \phi_{gfn}}{\gamma \cdot t_{ox}} y - \frac{\left(2 + \frac{t_{si}}{\gamma \cdot t_{ox}}\right) [\phi_{sn}(x) - \phi_{gfn}] + \Delta V_{FB}}{2\gamma \cdot t_{ox} \cdot t_{si} + t_{si}^2} y^2 \quad (144)$$

estando el origen $y = 0$ en la interface óxido semiconductor correspondiente a la puerta de polisilicio tipo N⁺. ϕ_{sn} es el potencial de superficie para $y = 0$, ϕ_{gfn} es igual a $V_G - V_{FBn}$, siendo V_{FBn} la tensión de banda plana correspondiente a la puerta N⁺ y ΔV_{FB} es la diferencia de tensiones de banda plana de las dos puertas.

$$\Delta V_{FB} = V_{FBp} - V_{FBn} \quad (145)$$

Introduciendo la expresión del potencial (144) en la ecuación de Poisson y resolviéndola para $y = 0$ se obtiene la expresión:

$$\frac{d^2 \phi_{sn}(x)}{dx^2} - \frac{\phi_{sn}(x) - \phi_{gn}}{\lambda^2} = \frac{qN_A}{\epsilon_{Si}} + \frac{\Delta V_{FB}}{\left(2 + \frac{t_{si}}{\gamma \cdot t_{ox}}\right)} \quad (146)$$

siendo λ la longitud natural con el mismo significado físico que en los anteriores casos. El valor de la longitud natural para esta estructura es el siguiente:

$$\lambda = \sqrt{\frac{\epsilon_{si}}{2\epsilon_{ox}} t_{si} t_{ox}} \quad (147)$$

Esta longitud natural es más pequeña que la del DGMOST P⁺-P⁺, por tanto se podría deducir que el DGMOST P⁺-N⁺ sufre menos los efectos de canal corto que el P⁺-P⁺.

En la gráfica de la Fig. 90 podemos ver la relación que deben cumplir t_{ox} y t_{si} , para distintas longitudes de canal, de forma que $\alpha=3$, para los dos transistores. Como se puede observar, las curvas correspondientes al DGMOST P⁺-N⁺ están situadas más a la derecha que las del DGMOST P⁺-P⁺. Así pues, en el caso del doble puerta P⁺-N⁺ podremos cumplir la regla de escalado $\alpha>3$ con espesores de oxido y de silicio superiores a los necesarios para cumplir la regla en el caso de un P⁺-P⁺.

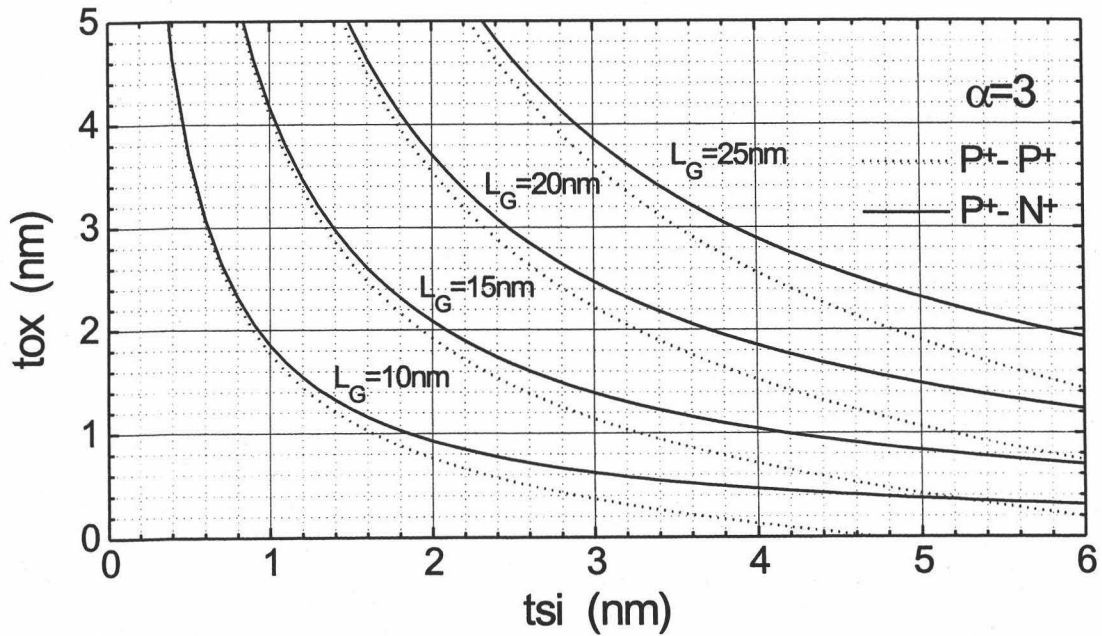
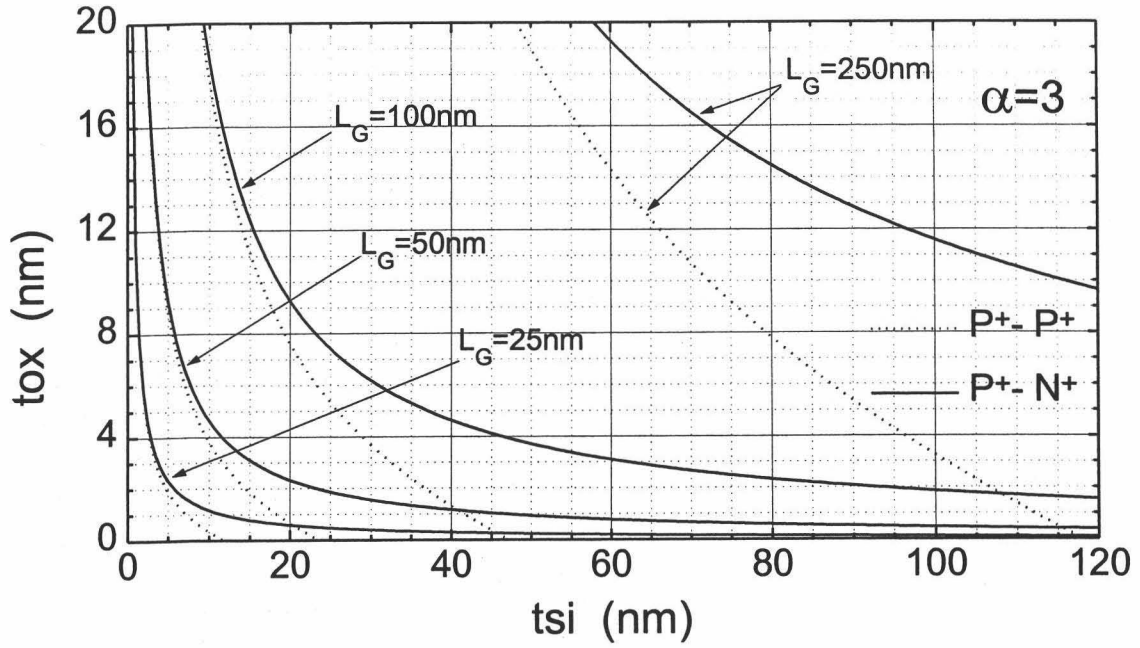


Fig. 90: Relación entre el espesor de óxido y el espesor de silicio para distintas longitudes de puerta y valor de $\alpha = 3$. En línea continua para un DG MOST $N^+ P^+$; en línea discontinua para un DG MOST $P^+ P^+$.

También hemos estudiado esta estructura mediante simulaciones con MEDICI. Hemos simulado un DGMOST con puertas de polisilicio P⁺ y N⁺ ambas con una concentración de impurezas de 10²⁰ cm⁻³, espesor de óxidos t_{ox} = 5nm, concentración de impurezas del silicio N_A = 10¹⁵ cm⁻³, distintos espesores de la lámina de silicio y distintas longitudes de canal. Hemos calculado las curvas I_D - V_G para movilidad constante μ = 550 cm²/Vs y a partir de éstas hemos extraído el factor subumbral S para tensión de puerta V_G = (V_{th} - 0.3)V.

En la gráfica (a) de la Fig. 91 comparamos el factor subumbral en función del espesor de la lámina de silicio de los dos DGMOSTs, el P⁺-P⁺ y el P⁺-N⁺, extraído de nuestras simulaciones con MEDICI. La longitud de puerta de los transistores es de 100nm y las tensiones de drenador aplicadas V_D = 0.05V (línea a trazos) y V_D = 1V (línea continua). Claramente se puede ver como el DGMOST P⁺-N⁺ presenta un factor subumbral inferior al del P⁺-P⁺.

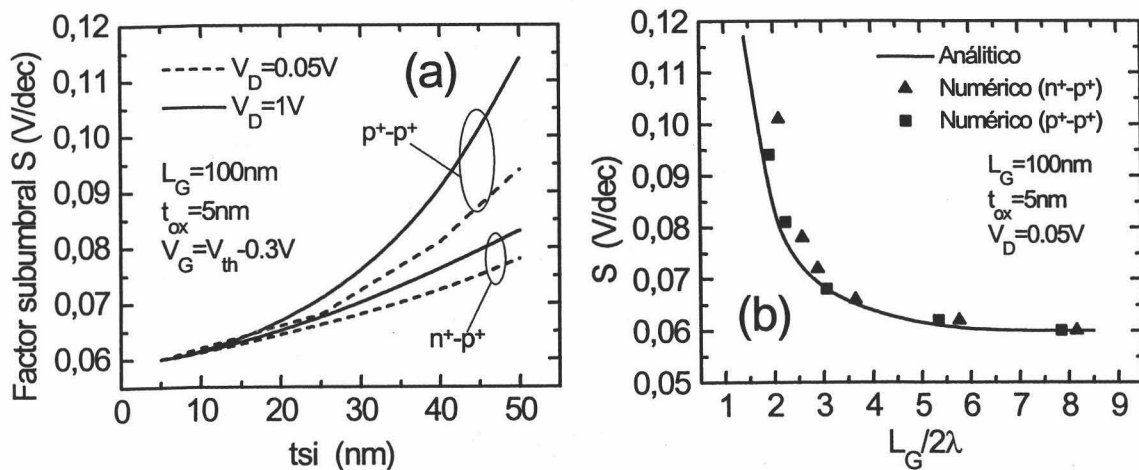


Fig. 91 (a) Factor subumbral calculado con MEDICI frente al espesor de la lámina de silicio para un DGMOST p⁺-p⁺ y otro n⁺-p⁺. (b) Factor subumbral calculado con MEDICI frente a α para un DGMOST p⁺-p⁺ (cuadrados) y otro n⁺-p⁺ (triángulos) y calculado analíticamente (línea continua).

En la gráfica (b) de la Fig. 91 representamos el factor subumbral S frente al parámetro α calculado con la expresión analítica (136) (línea continua) y lo

comparamos con el obtenido numéricamente con MEDICI para el DGMOST P⁺-P⁺ (cuadrados) y el P⁺-N⁺ (triángulos), con longitud de puerta 100nm, espesor de óxido 5nm y varios espesores de la lámina de silicio. La tensión de drenador es de $V_D = 0.05V$. Se puede observar cómo se consigue un mejor ajuste de la expresión analítica con el factor subumbral correspondiente al DGMOST P⁺-P⁺ que con el el P⁺-N⁺, aunque la diferencia no es muy grande.

En la gráfica (a) de la Fig. 92 representamos el factor subumbral S frente al parámetro α calculado con la expresión analítica (136) (línea continua) y obtenido de un DGMOST P⁺-N⁺ con longitudes de puerta $L_G = 50nm$ (triángulos) y $L_G = 100nm$ (cuadrados) para una tensión de drenador de 0.05V. Se consigue un ajuste aceptable aunque la expresión proporciona unos valores de S algo inferiores a los numéricos, sobre todo para valores pequeños del parámetro α .

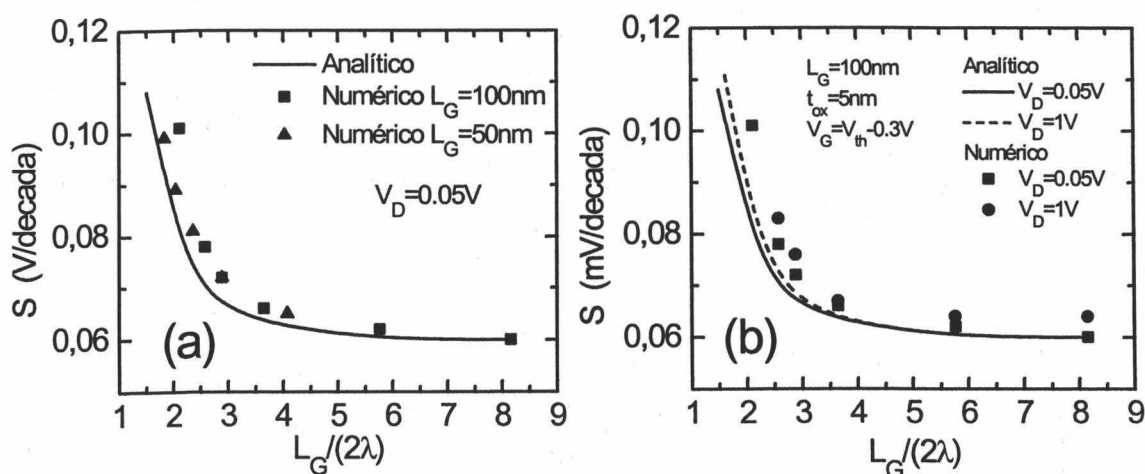


Fig. 92: Factor subumbral S frente a la relación $L_G/2\lambda$. En línea continua, valor de S calculado analíticamente. Con cuadrados, S extraído de la simulación con MEDICI con longitud de puerta 100nm. Con triángulos, $L_G = 50nm$. (b): Factor subumbral S para distintas tensiones de drenador en DGMOST n⁺-p⁺. Con líneas, S calculado analíticamente. Con símbolos, S extraído de la simulación con MEDICI.

En la gráfica (b) de la Fig. 92 comparamos los valores numéricos de S calculados para un transistor de doble puerta P^+-N^+ con una longitud de puerta $L_G = 100\text{nm}$ y tensión de drenador aplicada $V_D = 0.05\text{V}$ (cuadrados) y $V_D = 0.05\text{V}$ (triángulos), con los calculados con la expresión analítica (136). Podemos observar la pequeña dependencia del factor subumbral con la tensión de drenador. Igual que antes, vemos cómo la expresión proporciona unos valores de S algo inferiores a los numéricos.

La principal consecuencia que podemos extraer de este estudio es que, en lo que respecta al escalado, el DGMOST asimétrico P^+-N^+ permite conseguir longitudes de canal tan pequeñas como el simétrico, incluso un poco inferiores, por lo que la comparación entre los dos tipos de transistores se restringe a la efectuada en el capítulo anterior.

En conclusión, en este capítulo se han obtenido relaciones entre L_G , t_{si} y t_{ox} para un transistor con una aplicación correcta de las reglas de escalado. En los principales capítulos de esta tesis, que son el tercero y el quinto, se hace frecuente mención a las consecuencias de modificar el espesor de la lámina de silicio. Este capítulo es pues, complementario y pertinente, ya que nos va a permitir relacionar los efectos de la elección de un valor determinado de t_{si} sobre los otros dos parámetros. Los tres valores en conjunto habrán de ser tenidos en cuenta en un diseño óptimo del dispositivo.

CAPÍTULO V:

ESTUDIO DE LA MOVILIDAD DE LOS ELECTRONES EN EL CANAL DE UN DGMOST

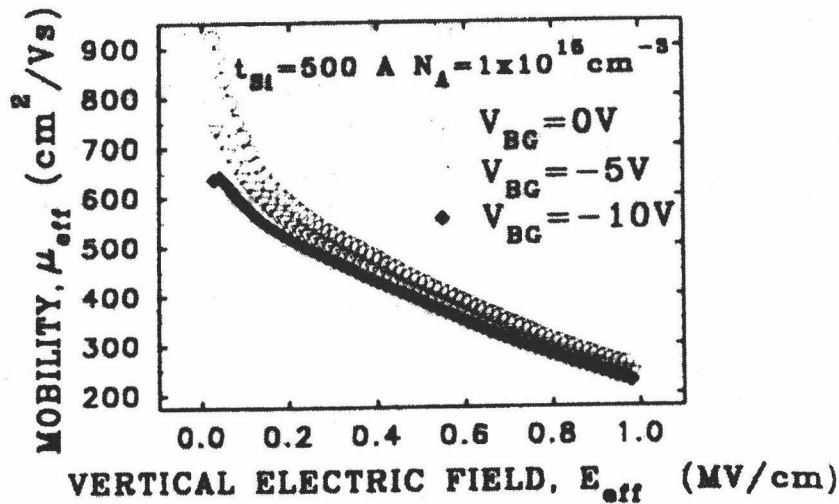
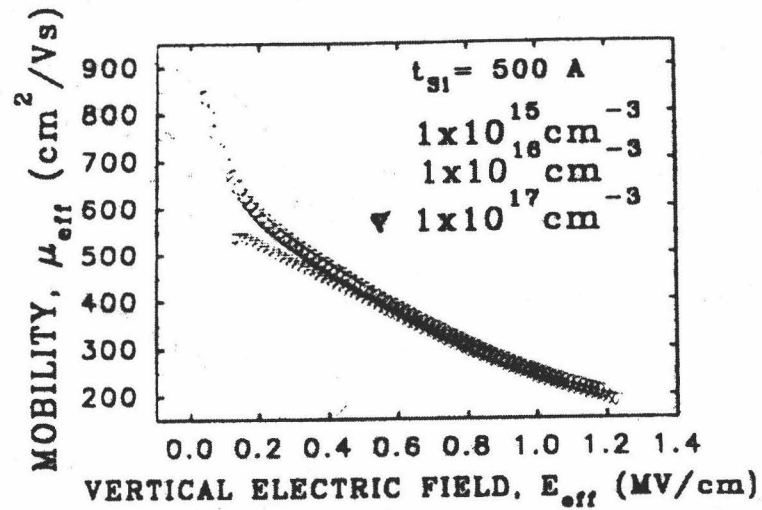
5.1 INTRODUCCIÓN

Dedicamos este capítulo al estudio de la movilidad, que es uno de los parámetros fundamentales de un transistor MOS, ya que a través de ella se pueden conocer las propiedades de transporte de los portadores en el canal de estos dispositivos. Aunque nuestro objetivo se centra en las propiedades de transporte de los electrones en transistores de doble puerta, algunas importantes características de ese transporte se deben al uso de láminas de silicio muy delgadas en estos transistores, y, por lo tanto, son comunes con las de otros transistores que también emplean láminas delgadas como los transistores SOI de puerta simple que operan en depleción total. En consecuencia, parte del estudio que se realice en este capítulo será aplicable tanto a los transistores SOI de puerta simple como a los de doble puerta, mientras que algunos aspectos sí serán específicos de los transistores de doble puerta.

Si bien la movilidad es un parámetro de sobra conocido en los dispositivos MOS convencionales, aún no está modelado de forma satisfactoria en los transistores SOI de película delgada, y es necesario realizar un estudio más profundo, sobre todo en el caso de espesores muy pequeños de la lámina de silicio.

Los estudios experimentales sobre la movilidad de los electrones en láminas delgadas de silicio se ha realizado mayoritariamente con transistores SOI de puerta simple. En general, se ha observado un comportamiento similar de la movilidad en los dispositivos SOI y los MOS convencionales siempre y cuando el espesor de la lámina

de silicio sea superior a unos 50nm [Wang et al., 1994]. En estos casos la movilidad es independiente del espesor de la lámina de silicio y, para altos campos, muestra un comportamiento universal, esto es, la movilidad es la misma con distintas concentraciones de dopado y polarización de substrato siempre que se mantenga constante el campo eléctrico transversal medio, y la concentración de portadores en la capa de inversión sea moderadamente elevada. Sin embargo, para espesores pequeños (menores de 20nm) se observa un comportamiento diferente de la movilidad, produciéndose un decrecimiento abrupto de ésta, que se hace muy dependiente del espesor de la lámina de silicio [Choi et al., 1995] [Toriumi et al., 1995].



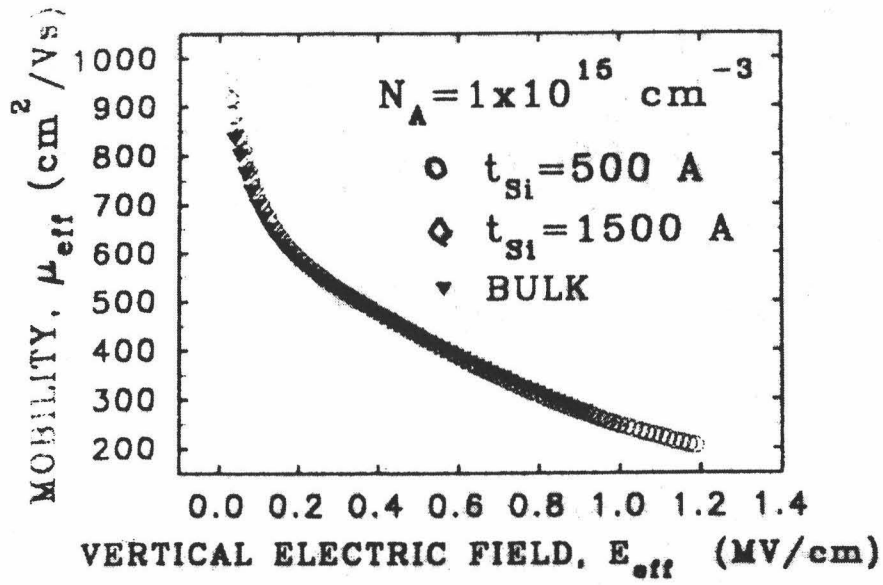


Fig. 93: Comportamiento universal de la movilidad. Gráficas tomadas de [Wang et al., 1994]

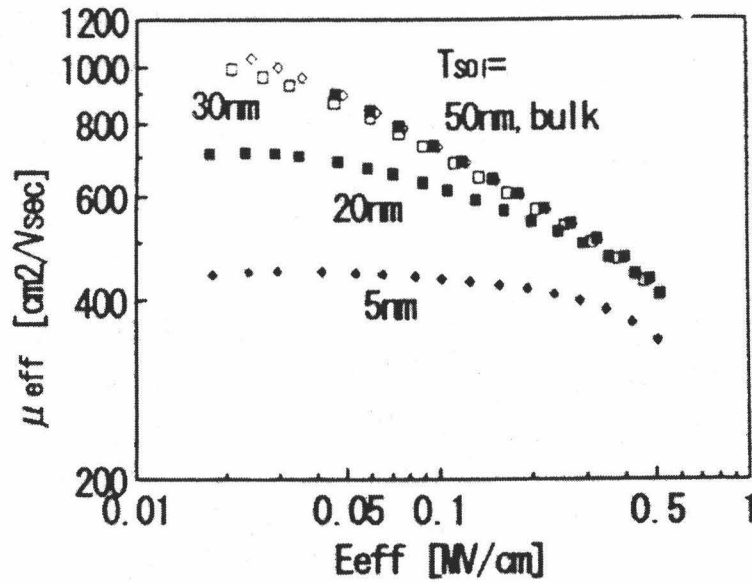


Fig. 94: Movilidad frente al campo eléctrico efectivo para distintos espesores de lámina de silicio.

Gráfica tomada de [Toriumi et al., 1995]

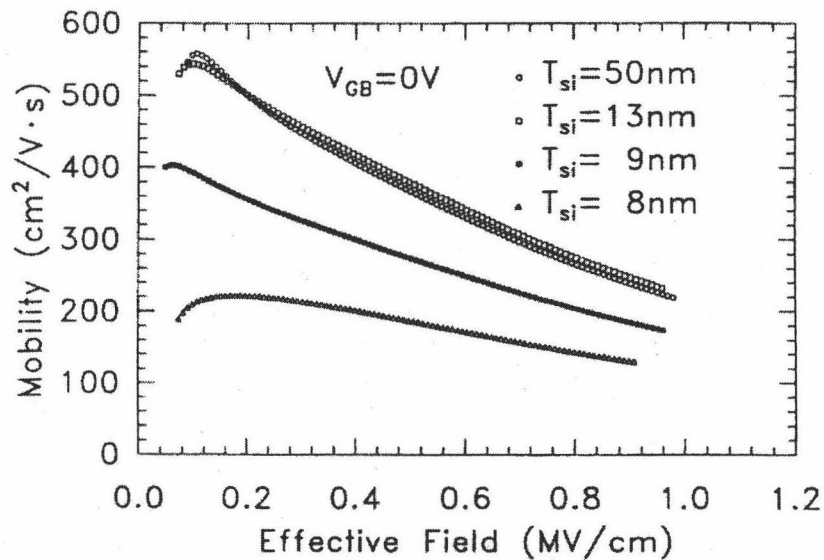


Fig. 95: Movilidad frente al campo eléctrico efectivo para distintos espesores de lámina de silicio. Gráfica tomada de [Choi et al., 1995]

La interpretación que los diferentes autores han dado al comportamiento de la movilidad en transistores SOI de lámina delgada ha sido variada:

- Choi y colaboradores ([Choi et al, 1995]) midieron experimentalmente la movilidad en un MOSFET SOI de una sola puerta para varios espesores de la lámina de silicio, hasta un mínimo de 8 nm. Comprobaron que la movilidad efectiva para láminas de 50nm y 13nm era casi idéntica, pero para espesores más delgados (9nm y 8 nm) decrecía notablemente. Estas diferencias no podían atribuirse a diferencias en el proceso, ni a estados de interface, ni a diferencias en la carga en inversión. Para el transistor de 50 nm observaron la misma tendencia con el campo efectivo que en MOSFETs convencionales ($E_{\text{eff}}^{-1/3}$), pero no observaron esta dependencia con el de 8nm. Esto hace pensar que existe otro mecanismo de dispersión de electrones. Para ello propusieron dos posibles explicaciones: conducción cerca de la interface posterior e incremento en los defectos de la red debido a estrés en la película

extremadamente delgada. Mediante simulaciones con MEDICI obtuvieron la concentración de electrones existente en la mitad inferior de la lámina de silicio, resultando ser despreciable frente a la concentración total para campos efectivos altos, donde se observa todavía un decrecimiento de la movilidad. Midieron también la movilidad en la superficie posterior, obteniendo casi el mismo resultado que en superficie frontal, por lo que la degradación de la movilidad en la superficie posterior no es suficiente para explicar la disminución de la movilidad. Queda, por tanto, el efecto del estrés. Para medirlo usaron la beta del transistor bipolar parásito que es sensible al tiempo de vida media de los portadores minoritarios en la película de silicio. Dedujeron que la película de silicio de 8 nm tiene más centros de recombinación que la del dispositivo de 13 nm y pensaron que esta diferencia podía ser causada por el stress de la película de silicio, por lo que atribuyeron finalmente a los centros generados por el estrés el efecto de reducción de la movilidad. Sin embargo, creemos que, aunque es cierto que se produce el efecto del estrés, éste es muy pequeño y no justifica la gran reducción de la movilidad que se produce al disminuir el espesor de la lámina de silicio.

- [Toriumi et al. 1995] atribuyeron la degradación de la movilidad al incremento de la dispersión Culombiana debida al incremento de la densidad de cargas en la interface posterior, ya que para películas de silicio delgadas la distribución de electrones se acerca más a esta interface. Estudiaron el efecto del estrés (esfuerzo, tensión) usando espectroscopia microscópica de Raman y llegaron a la conclusión que la influencia de éste sobre la movilidad a temperatura ambiente es pequeña. Por otra parte, estudiaron la movilidad a muy baja temperatura, observando un valor muy inferior al de un MOSFET convencional, por lo que dedujeron que la reducción de la movilidad no se debía a la dispersión por fonones. No obstante, consideramos que estos resultados únicamente prueban que existe un incremento en la dispersión culombiana cuando disminuye el espesor de la capa de silicio. Sin embargo, el

hecho de que a bajas temperaturas no existe dispersión por fonones no puede llevar a descartar su participación a altas temperaturas.

- Shoji y colaboradores ([Shoji et al., 1997]) analizaron el comportamiento universal de la movilidad en capas de inversión de silicio en transistores SOI de una sola puerta en depleción total, y estudiaron la definición de campo efectivo que ha de utilizarse para comparar curvas de movilidad con las del MOSFET estándar. Según ellos, existe un rango de condiciones (de campo efectivo y de espesor de la capa de silicio) para los cuales el comportamiento universal debe reproducirse, ya que la distribución de electrones debe ser idéntica. Mediante la resolución de las ecuaciones de Poisson y Schrödinger comprobaron que la distribución resulta idéntica siempre que esté alejada de la superficie posterior. Cuando esto no sucede, debido a que el espesor de la lámina es pequeño o el campo eléctrico es bajo, la movilidad no seguirá el comportamiento universal. Para capas muy delgadas predijeron otro comportamiento universal de la movilidad independiente de la concentración de impurezas en el silicio y del espesor de la capa de óxido, dependiendo en cambio fuertemente del espesor de la capa de silicio. Para capas gruesas, calcularon la movilidad con la aproximación del tiempo de relajación confirmando el comportamiento universal. Para el caso de capas delgadas, en el que se deben obtener diferentes resultados de movilidad, no evaluaron la movilidad, pero sugirieron que la capa de óxido enterrado debía influir significativamente en la movilidad y concluyeron que era necesaria más investigación en este campo.
- Abramo y colaboradores ([Abramo et al., 1998]) realizaron un estudio teórico de la movilidad en transistores SOI de puerta simple y de doble puerta con lámina muy delgada teniendo sólo en cuenta el efecto de la dispersión por fonones. Descubrieron que la movilidad limitada por fonones tenía una

dependencia complicada con el espesor. Al disminuir el espesor se producen dos efectos: Por un lado se produce un incremento de la cuantización y una disminución de la densidad de estados disponibles, lo que produce un aumento de la movilidad. Por otro lado se produce un mayor confinamiento de las funciones de onda que produce un incremento de los factores de solapamiento con el consiguiente aumento de dispersión y disminución de la movilidad.

- Más adelante, Shoji y colaboradores, en un nuevo trabajo ([Shoji et al., 1999]), estudiaron la movilidad teniendo en cuenta únicamente la dispersión por fonones en un transistor SOI de doble puerta. Para calcular la movilidad utilizaron el método de aproximación del tiempo de relajación con un cálculo autoconsistente unidimensional. Obtuvieron que, para las condiciones de espesor y campo efectivo tales que no se produce solapamiento entre las dos regiones de inversión, las estructuras electrónicas de las regiones de inversión son idénticas a la de un MOSFET convencional y, por tanto, concluyeron que era altamente probable que la movilidad del DGMOST mostrara el mismo comportamiento universal que en los MOSFET estándar. Cuando se dan las condiciones apropiadas de espesor y campo efectivo, se solapan las dos regiones de inversión y la diferente estructura electrónica puede producir un comportamiento distinto en la movilidad. Calculando el porcentaje de ocupación de cada subbanda de energía y sus movilidades correspondientes, obtuvieron la movilidad total como la suma de las movilidades de cada subbanda ponderada por su fracción de electrones. Compararon la movilidad del DGMOST con la movilidad de un MOSFET convencional para idéntico campo eléctrico efectivo. Representando la movilidad del DGMOSFET normalizada por la del MOSFET convencional, se obtiene el comportamiento de la movilidad con el espesor que se muestra en las gráficas de la Fig. 96. Explicaron el comportamiento de la movilidad a partir de las características electrónicas de la estructura (subbandas de energía, concentración de electrones y movilidad de cada subbanda). Estudiaron

también El DGMOST asimétrico y encontraron que, aunque las funciones de onda se ven muy afectadas por la asimetría, la movilidad limitada por fonones apenas se ve afectada, lo que está de acuerdo con nuestra hipótesis inicial de que muchas de las características del transporte de electrones a través de películas cristalinas delgadas son comunes para los distintos transistores.

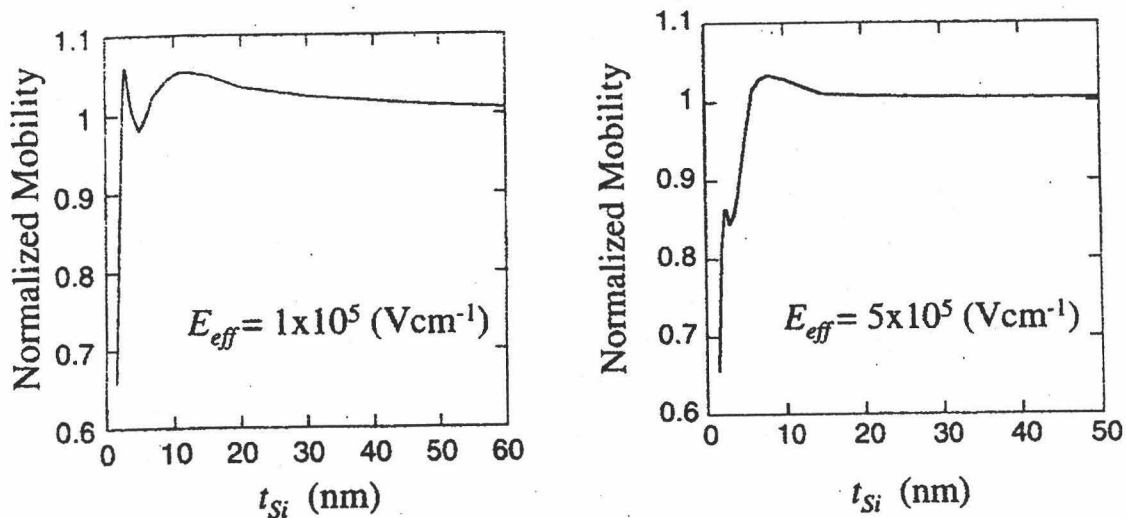


Fig. 96: Movilidad limitada por fonones para un DGMOST simétrico con un dopado de la lámina de silicio de $N_A = 10^{15} \text{cm}^{-3}$ y unos valores de campo efectivo aplicados $E_{eff} = 10^5 \text{ V/cm}$ (gráfica de la izquierda), y $E_{eff} = 5 \cdot 10^5 \text{ V/cm}$ (gráfica de la derecha), en función del espesor de la capa de silicio t_{si} . La movilidad esta normalizada con respecto a la de un MOSFET convencional para los mismos valores de campo efectivo E_{eff} .

Nosotros hemos realizado un estudio más profundo de la movilidad en láminas delgadas de silicio. Debido a los aspectos comunes que presenta el transporte en estas láminas, independientemente de si se trata de transistores SOI de puerta simple o de transistores de doble puerta, hemos comenzado estudiando los de puerta simple ya que existía una mayor variedad de resultados experimentales para poder verificar los resultados de nuestras simulaciones. Una vez validado el simulador, hemos extendido el estudio al caso de transistores de doble puerta.

Para estudiar la movilidad hemos utilizado el método de Monte Carlo de una sola partícula [Gámiz et al., 1994a]. Se han tenido en cuenta los efectos de la dispersión por fonones, por rugosidad superficial y por centros cargados (culombiana). En el caso de los fonones hemos considerado dispersión por fonones acústicos intravalle y dispersión por fonones intervale, tomando las mismas constantes de acoplamiento que en el volumen del silicio, pero particularizando al caso de un gas cuasibidimensional. Para la dispersión culombiana se ha usado el modelo preciso desarrollado para el MOSFET en [Gámiz et al., 1994c]. En cuanto a la dispersión por rugosidad superficial, se ha desarrollado un nuevo modelo adecuado para los dispositivos SOI [Gámiz et al., 1999a].

Describiremos brevemente el procedimiento de simulación en las primeras secciones de este capítulo. Después presentaremos los resultados de las simulaciones realizadas, a partir de los cuales hemos analizado y tratado de explicar el comportamiento de la movilidad con el espesor de la lámina de silicio y el campo eléctrico aplicado. Finalmente, compararemos también la movilidad del DGMOST con un transistor estándar de puerta simple, con el fin de analizar sus ventajas, y observar en qué se traducen, en términos de transporte de electrones, las similitudes y diferencias analizadas en el capítulo 3. Con este estudio, concluiremos el plan de trabajo propuesto para la presente Tesis, y podremos extraer conclusiones generales sobre las prestaciones del DGMOST.

5.2 TRANSPORTE EN UNA LÁMINA DE INVERSIÓN SEMICONDUCTORA

El movimiento de un electrón en el seno de un cristal semiconductor, sometido a un campo eléctrico externo, según la aproximación semiclassical, está constituido por una sucesión de procesos de arrastre y dispersión. El electrón empujado por el campo eléctrico externo se mueve a través del cristal hasta que algún mecanismo lo dispersa modificando su velocidad y vector de onda.

Para seguir la evolución temporal del electrón en el espacio de las fases tendremos, por tanto, que conocer las ecuaciones que rigen su movimiento de arrastre, cuáles son los distintos mecanismos de dispersión que pueden intervenir, cuál es la probabilidad de que suceda un determinado fenómeno de dispersión y cuál será la velocidad y vector de onda del electrón después del mecanismo de dispersión. De esta forma podremos calcular en cualquier momento su estado de movimiento (posición, energía, velocidad, vector de onda, etc.). Describimos estos aspectos del transporte con un poco más de detalle, a continuación.

5.2.1 PROCESOS DE DERIVA

Los electrones, dentro de una lámina de inversión, se encuentran sometidos a un potencial muy complejo en el que se superponen los efectos del potencial periódico de la red y del potencial creado por el campo transversal externo que confina a los electrones. Este confinamiento de los electrones provoca que su movimiento esté cuantizado en la dirección perpendicular a la interface, mientras que el movimiento paralelo a la interface puede ser descrito en términos de estados de Bloch ya que el potencial es periódico en esa dirección.

Al aplicar un campo eléctrico paralelo a la interface, los electrones, en las distintas subbandas, se verán arrastrados por dicho campo eléctrico siguiendo unas determinadas ecuaciones del movimiento. En este apartado estableceremos dichas ecuaciones del movimiento a partir de la aproximación semiclásica [Ashcroft et al., 1976] aplicándola a electrones en láminas de inversión.

Consideremos un electrón en una lámina de inversión tipo n sobre la que se aplica un campo eléctrico lentamente variable. El electrón evoluciona en el tiempo cumpliendo las siguientes condiciones:

1ª El electrón no cambia de subbanda entre colisiones; por tanto, sólo se modificarán las componentes paralelas a la interface de su vector de onda y posición.

2ª Sean \vec{r} y \vec{k}_{\parallel} las componentes paralelas de la posición y vector de onda de un electrón en la subbanda i-ésima en un instante dado. Su evolución temporal esta determinada por las siguientes ecuaciones del movimiento:

$$\frac{d\vec{r}}{dt} = \frac{1}{\hbar} \nabla_{\vec{k}_{\parallel}} E_n(\vec{K}) \quad (148)$$

$$\hbar \frac{d\vec{k}_{\parallel}}{dt} = -e \cdot \vec{E}(\vec{r}, t) \quad (149)$$

donde $\vec{E}(\vec{r}, t)$ el campo eléctrico externo aplicado y $E_n(\vec{K})$ la relación de dispersión entre la energía y el vector de onda del electrón.

Con estas dos ecuaciones y con la suposición de que el electrón no cambia de subbanda en ausencia de colisiones, podemos seguir la evolución temporal del electrón en el espacio de las fases entre dos colisiones consecutivas.

Bajo la suposición de bandas parabólicas y la aproximación de masa efectiva, en el sistema principal de referencia (XYZ en el que el tensor de masa efectiva es diagonal), la componente paralela a la interface de la velocidad del electrón, $V(\vec{k}_{\parallel})$ viene dada por

$$V(\vec{k}_{\parallel}) = \hbar \left(\frac{k_x}{m_x} + \frac{k_y}{m_y} \right) \quad (150)$$

Derivando respecto al tiempo se obtiene que

$$\begin{pmatrix} \frac{dV_x}{dt} \\ \frac{dV_y}{dt} \end{pmatrix} = -e \begin{pmatrix} \frac{1}{m_x} & 0 \\ 0 & \frac{1}{m_y} \end{pmatrix} \begin{pmatrix} E_x \\ E_y \end{pmatrix} \quad (151)$$

es decir, el electrón se mueve en el plano paralelo a la interface empujado por el campo externo aplicado como un electrón libre, pero con una masa que no es la masa del electrón libre sino la restricción del tensor masa efectiva al plano paralelo a la interface. Por ese motivo, a la evolución del electrón entre dos colisiones consecutivas se le denomina vuelo libre.

La velocidad del electrón en el sistema de coordenadas del campo aplicado xyz (dirección del campo aplicado coincidente con el eje x) viene dada por:

$$\begin{pmatrix} v_x \\ v_y \end{pmatrix} = \begin{pmatrix} \cos \theta & \text{sen } \theta \\ -\text{sen } \theta & \cos \theta \end{pmatrix} \begin{pmatrix} V_x \\ V_y \end{pmatrix} \quad (152)$$

donde θ es el ángulo que forma el campo eléctrico aplicado con el eje X en el sistema principal de coordenadas. Suponiendo aplicado un campo eléctrico estacionario, se verifica:

$$\left. \begin{aligned} E_x &= E \cos \theta \\ E_y &= E \sin \theta \end{aligned} \right\} \quad (153)$$

La velocidad del electrón evoluciona temporalmente de acuerdo con la relación:

$$v_x(t) = v_{x0} - eE \left(\frac{\cos^2 \theta}{m_x} + \frac{\sin^2 \theta}{m_y} \right) \cdot t \quad (154)$$

$$v_y(t) = v_{y0} + \frac{eE \sin \theta \cos \theta}{2} \left(\frac{1}{m_x} - \frac{1}{m_y} \right) \cdot t \quad (155)$$

donde "e" es la carga del electrón, y v_{x0} , v_{y0} , las componentes iniciales de la velocidad en el sistema de coordenadas del campo. Por otro lado, las componentes del vector de onda evolucionan de acuerdo con (149), según las ecuaciones:

$$k_x(t) = k_{x0} - \frac{e}{\hbar} (E \cdot \cos \theta) \cdot t \quad (156)$$

$$k_y(t) = k_{y0} - \frac{e}{\hbar} (E \cdot \sin \theta) \cdot t \quad (157)$$

Las expresiones (154), (155), (156) y (157) definen el estado de movimiento del electrón en la lámina de inversión y nos permiten calcular las magnitudes macroscópicas que caracterizan el transporte de carga de los electrones.

5.2.2 PROCESOS DE DISPERSIÓN

El electrón en el interior del cristal no evoluciona constantemente empujado por el campo eléctrico, es decir, su trayectoria en el espacio de las fases no es una función

continua. Según la aproximación semiclásica que estamos utilizando, en determinados instantes de tiempo el electrón modifica instantáneamente y de forma brusca su velocidad y vector de onda, sufriendo un evento de dispersión que termina con su vuelo libre. Tales dispersiones están provocadas por agentes externos que modifican el potencial "ideal" que ven los electrones en inversión, esto es, el potencial periódico de la red al que se le superpone, en la dirección perpendicular a la interface, el pozo de potencial que confina a los electrones. Si estas perturbaciones que sufre el potencial son suficientemente pequeñas, puede suponerse que inducen transiciones entre estados no-perturbados del electrón. La teoría de dispersión está basada en la regla de Oro de Fermi, derivada de la teoría de perturbaciones dependientes del tiempo de primer orden [Schiff, 1968]. En consecuencia, la probabilidad de dispersión de un electrón en un estado con un vector de onda \vec{k} , donde \vec{k} representa el estado del electrón ($\vec{k} \equiv i, k_1, k_2$), a otro estado con vector de onda \vec{k}' , viene dada por:

$$\Gamma(k, k') = \frac{2\pi}{\hbar} \left| \langle \psi_{k'} | H' | \psi_k \rangle \right|^2 \delta(E(k') - E(k)) \quad (158)$$

donde H' es el hamiltoniano de perturbación y $\psi_k, \psi_{k'}$ las funciones de onda soluciones del hamiltoniano sin perturbar, que son conocidas [soluciones de la ecuación (18)]. Por lo tanto, una vez caracterizados los diferentes mecanismos de dispersión a través del hamiltoniano de perturbación correspondiente, podemos evaluar las probabilidades de dispersión.

El electrón puede encontrarse sujeto a la vez a varias perturbaciones; sin embargo, nosotros vamos a suponer que aunque existan muchas perturbaciones, sólo una de ellas le afecta en un instante determinado. Este procedimiento adoptado aquí, y en la mayoría de los trabajos que abordan el problema de la dispersión de portadores de carga en semiconductores, tiene validez limitada a la existencia de probabilidades de dispersión pequeñas.

Para obtener la probabilidad total de dispersión de un electrón en un estado \vec{k} en la subbanda i -ésima, habrá que integrar la expresión (158) a todos los posibles estados finales \vec{k}' :

$$\Gamma_T(\vec{k}) = \frac{S}{(2\pi)^2} \int \Gamma_T(\vec{k}, \vec{k}') (1 - f(\vec{k}')) d\vec{k}' \quad (159)$$

donde S es el área de la lámina de inversión considerada y $f(\vec{k}')$ la función de distribución de los electrones. La teoría anteriormente expuesta nos permite calcular la probabilidad total de dispersión de un electrón en un estado \vec{k} , una vez que se conozca el hamiltoniano de perturbación que provoca tales dispersiones. Sin embargo, antes de poder calcular dicho hamiltoniano, necesitamos conocer qué agentes físicos son los responsables de tales perturbaciones, es decir, responsables de la modificación del potencial de la ecuación de Schrödinger (18).

Los mecanismos de dispersión más importantes en nuestro sistema son los que ocurren por fluctuaciones de potencial debidas a:

- Vibraciones térmicas de la red (dispersión por fonones)
- Presencia de centros cargados en las distintas zonas de la estructura (dispersión Culombiana)
- No uniformidad de la superficie óxido-lámina de silicio (dispersión por rugosidad superficial)
- Interacción electrón-electrón (dispersión electrón- electrón)

La particularización y el desarrollo de un formalismo para calcular correctamente estos mecanismos de dispersión ha sido pormenorizada por nuestro grupo de investigación en [Gámiz et al. 1994a]. A continuación presentamos un breve resumen de estos mecanismos.

5.2.3 DISPERSIÓN POR FONONES

Los átomos que forman la red cristalina del semiconductor no mantienen una posición fija, sino que debido a la excitación térmica vibran en torno de su posición de equilibrio, modificando localmente la estructura de bandas y el potencial periódico de la red. Estas fluctuaciones del potencial periódico de la red son lo suficientemente pequeñas para poder ser tratadas en primer orden dentro de la teoría cuántica de perturbaciones.

Dependiendo de las características de los fonones que estén involucrados en las transiciones, podemos distinguir los distintos tipos de mecanismos de dispersión asistidos por fonones y concretar su modelado [Gámiz, 1994a]. Las transiciones que se suelen distinguir son las siguientes:

5.2.3.1 TRANSICIONES ACÚSTICAS INTRAVALLE

Un caso de especial interés es la interacción de electrones con fonones de las ramas acústicas, en las cuales todos los átomos de la celda unidad se mueven en la misma dirección y por lo tanto se produce un desplazamiento total de la celda unidad. Además, para longitudes de onda grandes, las amplitudes de vibración cambiarán muy lentamente de una celda elemental a otra. Esto quiere decir que el papel de la estructura atómica es poco importante. En la evaluación de la probabilidad de dispersión para un gas bidimensional asistida por fonones acústicos se ha seguido el trabajo de varios investigadores: [Ferry 1976, Basu 1978, Ferry 1978, Hamaguchi 1985, Hao et al 1985, Imanaga 1991, Fischetti 1993]

5.2.3.2 TRANSICIONES ÓPTICAS INTRAVALLE

Para los modos ópticos, el hamiltoniano de perturbación se supone proporcional al desplazamiento atómico y no al gradiente como en el caso de modos acústicos [Harrison 1956, Bir 1961, Lawaetz 1969]. Las transiciones intravalle por fonones ópticos en silicio involucran fonones de bajo momento (intravalle) y muy alta energía. Harrison ha mostrado que este mecanismo es poco probable en silicio, de ahí que no se haya considerado en nuestra simulación [Harrison,1956].

5.2.3.3 TRANSICIONES INTERVALLE

Las transiciones intervalle "conectan" estados pertenecientes a valles diferentes de la estructura de bandas, por lo que involucran fonones de alto momento, que pueden ser tanto fonones acústicos como fonones ópticos. El vector de onda que participa en una transición de este tipo permanece muy próximo a la distancia entre los mínimos de los valles inicial y final, incluso para electrones de alta energía. Consecuentemente, dados los valles inicial y final, el momento del fonón involucrado es constante, y, por lo tanto, para una rama determinada de fonones, la energía puesta en juego en la transición es también constante.

Existen dos tipos de transiciones intervalle:

- Transición entre valles opuestos, por ejemplo, del valle en la dirección $\langle 100 \rangle$ al valle en la dirección $\langle \bar{1} 00 \rangle$. (Proceso tipo g).
- Transición entre valles no-opuestos, por ejemplo, del valle en la dirección $\langle 100 \rangle$ al valle en la dirección $\langle 010 \rangle$. (Proceso tipo f).

5.2.4 DISPERSIÓN CULOMBIANA

Dada la naturaleza eléctrica de las partículas presentes en las cercanías de la interface Si-SiO₂, se produce una interacción culombiana entre ellas. Como consecuencia inmediata de esta interacción entre centros cargados y portadores libres, surge la modificación del potencial que curva las bandas y confina a los portadores en la zona de inversión [Nicollian y Brews, 1982], [Stern y Howard, 1967]. El cambio en el potencial modificará al mismo tiempo el mínimo de energía de las subbandas que se originan por la cuantización del gas electrónico, así como la población de éstas, y, en definitiva, modificará la cantidad y distribución de la carga en inversión. Por lo tanto, para calcular el efecto de los centros cargados externos sobre las propiedades de transporte de portadores en láminas de inversión, necesitamos calcular en primer lugar el cambio en la energía potencial de los portadores debido a la presencia de estos centros. Los portadores en la lámina de inversión se redistribuyen en presencia del potencial creado por el centro, aumentando en número donde su energía potencial es baja y disminuyendo donde su energía potencial se eleva, apantallando de esta forma a la carga del centro [Stern y Howard, 1967]. Este es, cualitativamente, el efecto de los centros cargados sobre el gas cuasi-bidimensional de la capa de inversión: la modificación local del potencial que confina a los electrones y, por lo tanto, de la carga en inversión. Esta modificación se reflejará notablemente sobre las propiedades eléctricas de la estructura.

El cálculo de la probabilidad de dispersión culombiana ha sido realizado pormenorizadamente por [Gámiz et al. 1994a, 1994c]. La probabilidad de dispersión culombiana calculada con este modelo tiene en cuenta el número de centros cargados presentes en la estructura, su carga y el signo de ésta, su distancia a la interface óxido/semiconductor y la forma en que se distribuyen estos centros cargados.

5.2.5 DISPERSIÓN POR RUGOSIDAD SUPERFICIAL

Es bien conocido que las propiedades de transporte de los electrones contenidos en la lámina de inversión de una estructura Si(100) pueden verse fuertemente afectadas por las características de la interface Si-SiO₂. [Cheng 1973, Hartstein 1976, Ando 1982, Ferry 1984, Ohmi 1991, Ohmi 1992].

A un nivel microscópico, la interface Si-SiO₂ no es realmente abrupta, es decir, no es un plano, sino que esta zona de transición del Si al SiO₂ puede extenderse a varias capas atómicas. Esto trae como consecuencia, por ejemplo, la modificación de los niveles de energía de las subbandas [Stern 1967, 1978].

Esta zona de transición se modifica localmente, con lo que la superficie del silicio aparece ondulada, y la consiguiente variación espacial de la interface produce a su vez fluctuaciones locales del potencial que confina a los electrones en inversión. Estas fluctuaciones locales del potencial pueden considerarse como perturbaciones que originan transiciones entre estados no perturbados del electrón, es decir, un nuevo mecanismo de dispersión. El cálculo de la probabilidad total de dispersión por efecto de la rugosidad superficial para un electrón que pasa de la subbanda m a la subbanda n con vector de onda \vec{k} , suponiendo una estructura de bandas noperabólica ha sido realizado en [Gámiz, 1994a].

5.3 SIMULACIÓN POR EL MÉTODO DE MONTE CARLO

Para estudiar la movilidad en el dispositivo DGMOST hemos usado el método de Monte Carlo de un solo electrón.

El método de Monte Carlo es un método microscópico de simulación, mediante el cual se resuelve la ecuación de transporte de Boltzmann simulando directamente la dinámica de los portadores de carga en el interior del cristal. Como ya hemos mencionado, el movimiento de un electrón en el seno de un cristal semiconductor, sometido a un campo eléctrico externo, según la aproximación semiclásica, está constituido por una sucesión de procesos de arrastre y dispersión, por lo que la repetición de esta secuencia de procesos de arrastre y dispersión constituye en sí la simulación del movimiento del electrón en el interior del cristal. De acuerdo con todo esto, el método de Monte Carlo consiste esencialmente en la selección de la duración del vuelo libre, el mecanismo de dispersión y el nuevo estado después de la dispersión mediante la generación de números aleatorios de acuerdo con unas distribuciones de probabilidad determinadas.

Al final de cada vuelo libre se calcula el valor medio de la magnitud física de interés del electrón simulado, y al final del tiempo de simulación se obtiene el valor medio de la magnitud deseada considerando todos los vuelos libres ocurridos durante la simulación. Si el tiempo de simulación es adecuado, este valor medio temporal de la magnitud de interés sobre un solo electrón coincidirá con el valor estacionario para todo el gas de electrones.

La velocidad media de deriva ha sido calculada de esta forma para varios valores del campo eléctrico longitudinal, para luego despejar el valor de la movilidad ohmica de la relación entre la velocidad de deriva y el campo eléctrico a bajos campos longitudinales eléctricos.

$$v_{drift} = \mu_{eff} \times E_{\parallel} \quad (160)$$

En nuestra simulación por Monte Carlo hemos tenido en cuenta el efecto de no parabolicidad de la banda de conducción modificando apropiadamente el modelo semiclásico. Consideramos las seis primeras subbandas de menor de energía, permitiendo al electrón viajar en estas seis subbandas y también pasar de una a otra. Hemos tenido en cuenta los efectos de dispersión coulombiana, por fonones y por rugosidad superficial.

En cuanto a la dispersión por fonones se han considerado los efectos de las transiciones acústicas intravalle, y las transiciones intervalle entre valles opuestos, (procesos tipo g) y no opuestos (procesos tipo f). Las constantes de acoplamiento que se han usado son las mismas que las utilizadas en una lámina de inversión de un MOS convencional. Las estimaciones de la dispersión por fonones para capas de inversión ha sido deducida usando la formulación de Price [Price P.J., 1981]. Aunque el uso de fonones de volumen es cuestionable, ya que la presencia de las interfaces Si-SiO₂ indudablemente alteran las relaciones de dispersión de los fonones, su naturaleza, y su acoplamiento con los electrones, estudio previos [Ezawa et al., 1971] que han tenido estos efectos en cuenta bajo condiciones muy idealizadas han mostrado que la movilidad limitada por fonones se reduce en un 20% o menos [Fischetti et al., 1993] debido a la presencia de las interfaces Si-SiO₂. Sin embargo, si estas condiciones idealizadas son relajadas es de esperar una menor reducción. Por esta razón y debido a la dificultad de tratar con los efectos de las interfaces en la evaluación de la dispersión por fonones, nosotros no hemos incluido estos efectos y hemos considerado sólo los fonones del bulk, suponiendo que no están influenciados por la estructura. En cualquier caso, cabe esperar que el efecto de la presencia de ambas interfaces Si-SiO₂ sea más importante a medida que el espesor de la capa de silicio se reduce. El efecto de dispersión debido a fonones polares del óxido tampoco se tiene en cuenta en este trabajo, admitiendo que su efecto es despreciable al ser muy pequeña la penetración de las funciones de onda de los electrones en el interior del óxido.

Para la dispersión coulombiana se ha utilizado el modelo de dispersión elaborado por nuestro grupo de investigación [Gámiz et al., 1994b, 1994c]. En este modelo de dispersión se tienen en cuenta simultáneamente los efectos de: 1) apantallamiento de los portadores móviles, 2) correlación espacial de los centros de carga externos, (que es de especial importancia a altas concentraciones). 3) la distribución de los centros de carga tanto en el óxido como en el semiconductor, 4) la distribución de los electrones en la capa de inversión y 5) los efectos imagen causados por la diferencia entre las constantes dieléctricas del Si y del SiO₂.

En cuanto a la dispersión por rugosidad superficial, el modelo de dispersión usado en los dispositivos MOS convencionales no es válido para los dispositivos SOI. Por este motivo hemos desarrollado un nuevo modelo, apropiado para este tipo de estructuras [Gámiz et al., 1999a], que se describirá con detalle en la siguiente sección.

En nuestra simulación por Monte Carlo, al haber adoptado la aproximación parabólica para la relación de dispersión de los electrones, añadiendo correcciones de no parabolicidad sólo en primer orden, la energía del electrón ha sido limitada a 0.5eV, ya que para energías mayores del electrón los resultados obtenidos por la simulación no serían muy exactos y habría que utilizar una estructura de bandas detallada. De acuerdo con lo anterior, como el ancho de la zona prohibida está fijado a 1.12eV (y, por tanto, esto fija la energía umbral para el proceso de ionización por impacto), el efecto de ionización por impacto no ha sido tenido en cuenta en nuestra simulación.

Una descripción más detallada sobre los conceptos básicos del método de simulación por Monte Carlo aplicados a láminas bidimensionales de inversión se puede encontrar en [Gámiz, 1994a]. Pasamos ahora a describir las particularidades del simulador que se han añadido para poder abordar el estudio de los transistores con película delgada de silicio cristalino, esto es, de los transistores SOI de puerta simple y los de doble puerta.

5.4 MODELO DE RUGOSIDAD SUPERFICIAL PARA DISPOSITIVOS SOI

Hemos estudiado en profundidad el efecto de la rugosidad superficial en transistores de lámina delgada y hemos llegado a la conclusión de que para espesores de lámina de silicio inferiores a 10nm la interface posterior desempeña un papel muy importante, ya que modifica la dispersión por rugosidad superficial de la interface superior, además de la dispersión producida por su propia rugosidad superficial. Hemos comprobado, por tanto, que el modelo de dispersión por rugosidad superficial usado normalmente para el MOSFET convencional no es válido para transistores de lámina muy delgada, ya que con ese modelo se sobrestima el efecto de la rugosidad sobre el transporte de electrones en el canal. Como veremos más adelante, el efecto de la rugosidad se incrementa en un 20% con el modelo del transistor convencional, lo que causa una infraestimación en la misma proporción de la movilidad

Por las razones anteriores, hemos propuesto un nuevo modelo para evaluar la dispersión superficial en las dos interfaces. Para ello, hemos supuesto que las dos interfaces no están correlacionadas y que el principio de superposición es válido. Por tanto, hemos considerado la dispersión por rugosidad superficial como la resultante de dos mecanismos diferentes [Gámiz et al., 1999a]. El modelo resultante se ha aplicado en este trabajo tanto en el estudio preliminar de los transistores SOI de puerta simple, como en el estudio más detallado de los transistores de doble puerta. A continuación describimos las principales características del modelo.

En los tratamientos habituales de la dispersión por rugosidad superficial, se considera que la interface entre el óxido y el semiconductor es un contorno abrupto y se define una función Δ dependiente de la coordenada paralela a la interface r , $\Delta(r)$. Se supone que el potencial de superficie $V(z,r)$, el cual depende de la coordenada z perpendicular a la interface y de la coordenada paralela r , puede expresarse como:

$$V(z, r) = V[z + \Delta(r)] \quad (161)$$

Y se desarrolla este potencial alrededor de la posición ideal de la interface (de la posición que tendríamos para una interface perfectamente plana):

$$V[z + \Delta(r)] \approx V(z) + \Delta(r) \frac{\partial V(z)}{\partial z} \quad (162)$$

donde $V(z)$ es el potencial de superficie no perturbado. El Hamiltoniano de la perturbación debida a la rugosidad superficial viene dado por

$$H_{SR}(z, r) = -e\{V[z + \Delta(r)] - V(z)\} \quad (163)$$

Usando el desarrollo del potencial de superficie, el Hamiltoniano puede ser expresado de forma aproximada como

$$H_{SR}(z, r) \approx -e\Delta(r) \frac{\partial V(z)}{\partial z} = e\Delta(r)E(z) \quad (164)$$

donde $E(z)$ es el campo eléctrico transversal. El elemento de matriz de dispersión para la transmisión entre las subbandas μ -ésima y ν -ésima en la aproximación de Born esta dada por

$$|M_{\mu\nu}(q)|^2 = \left| \langle \nu, k | H_{SR} | \mu, k' \rangle \right|^2 = e^2 \left| \int \psi_\nu(z) \cdot E(z) \cdot \psi_\mu(z) \cdot dz \right|^2 \cdot |\Delta(q)|^2 \quad (165)$$

donde k' es el vector de onda del electrón antes del scattering, k es el vector de onda del electrón después del scattering, $q = k - k'$, e es la carga del electrón, $\psi_\mu(z)$ es la función envolvente en la subbanda μ th, $\psi_\nu(z)$ es la función envolvente en la subbanda ν th y $\Delta(q)$

es la transformada de Fourier de $\Delta(r)$.

Con el fin de ver la eficacia del modelo de dispersión del MOFET convencional calculamos el hamiltoniano de la perturbación con la expresión exacta (163) y con el modelo aproximado (164), para una posición dada ($r_0, z=0$) de la interface de puerta suponiendo un desplazamiento de la interface de Δ_1 respecto al plano ideal localizado en $z = 0$ de un SOI de puerta simple con espesor de lámina de silicio de silicio $t_{si} = 5\text{nm}$, espesor de óxido de puerta $t_{ox} = 5\text{nm}$ y espesor de óxido enterrado de 80nm , con una concentración de electrones en inversión de $N_{inv} = 8 \cdot 10^{12} \text{cm}^{-2}$. Los resultados se muestran en la gráfica siguiente:

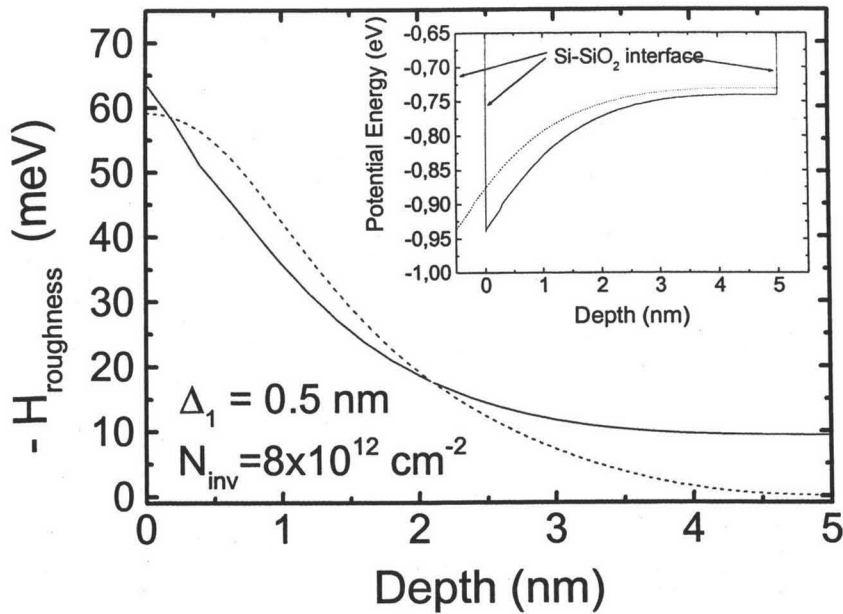


Fig. 97: Hamiltoniano de la perturbación debido al desplazamiento de la interface con respecto al plano $z = 0$ en la posición r_0 de la interface de puerta de una lámina de inversión de un transistor SOI de puerta simple de 5 nm de espesor, calculada con el modelo exacto (línea continua) y con el modelo aproximado (línea discontinua). Figura interior: pozo de potencial en una lámina de inversión de un transistor SOI de puerta simple con un desplazamiento de la interface con respecto al plano ideal localizado en $z = 0$, en un punto r_0 de la interface de puerta (línea discontinua); pozo de potencial ideal (línea continua).

Como se puede ver, se obtienen diferencias del Hamiltoniano de hasta un 20% con respecto a la expresión simplificada. Este error, debido a la aproximación lineal del potencial perturbado, se traduce en un error medio del 20% en el elemento de matriz de dispersión. Por consiguiente, utilizando el modelo habitual se sobrestima en un 20% el efecto de la rugosidad superficial con lo que se produce una importante infraestimación en el cálculo de la movilidad. Así pues, es necesario un nuevo modelo para el cálculo de la dispersión por rugosidad superficial tanto en dispositivos SOI de simple como en los de doble puerta.

En el nuevo modelo de rugosidad superficial, vamos a definir Δ_m como el valor rms de $\Delta(r)$. Para un punto dado r de la interface, el desplazamiento z de la interface con respecto a un plano ideal es $\Delta(r)$. Para evaluar el Hamiltoniano de la perturbación expresamos la diferencia del potencial perturbado y el potencial sin perturbar en la forma:

$$V[z + \Delta(r)] - V(z) = \frac{V(z + \Delta_m) - V(z)}{\Delta_m} \Delta(r) \quad (166)$$

con lo que el Hamiltoniano de la perturbación debida a la dispersión por rugosidad superficial estará definido por:

$$H_{SR}(z, r) = -\frac{e \cdot \Delta(r) \cdot \Delta V_m(z)}{\Delta_m} \quad (167)$$

donde

$$\Delta V_m(z) = V(z + \Delta_m) - V(z) \quad (168)$$

que se evaluará numéricamente en cada caso.

El elemento de matriz de dispersión por rugosidad superficial en la aproximación de Born queda ahora de la forma

$$|M_{\mu\nu}(q)|^2 = \left| \langle \nu, k | H_{SR} | \mu, k' \rangle \right|^2 = e^2 \left| \int \psi_\nu(z) \cdot \frac{\Delta V_m(z)}{\Delta_m} \cdot \psi_\mu(z) \cdot dz \right|^2 \cdot |\Delta(q)|^2 \quad (169)$$

donde $|\Delta(q)|^2$ viene dado por

$$|\Delta(q)|^2 = \frac{\pi \cdot \Delta_m^2 \cdot L^2}{\left(1 + \frac{q^2 L^2}{2}\right)^{3/2}} \quad (170)$$

según el modelo de decaimiento exponencial propuesto por Goodnick [Goodnick et al., 1985], donde L es la longitud de autocovarianza de las fluctuaciones de la rugosidad que fijaremos en nuestro estudio a un valor $L = 1.5\text{nm}$.

Finalmente, la probabilidad de dispersión viene dada por la expresión

$$\frac{1}{\tau_{SR}(k)} = \frac{m_d \cdot e^2 \left| \int \psi_\nu(z) \cdot \frac{\Delta V_m(z)}{\Delta_m} \cdot \psi_\mu(z) \cdot dz \right|^2 \cdot \Delta_m^2 \cdot L^2}{2\hbar^3} \times \int_0^{2\pi} \frac{d\theta}{\left(1 + \frac{L^2 q^2}{2}\right)^{3/2}} \quad (171)$$

$$q^2 = 2k^2(1 - \cos \theta) \quad (172)$$

El potencial que determina la dispersión de la rugosidad superficial está, además, afectado por el apantallamiento de los portadores móviles en la lámina de inversión. Cuando se tiene en cuenta este efecto, la expresión de la probabilidad de dispersión tendrá la forma:

$$\frac{1}{\tau_{SR}(k)} = \frac{m_d \cdot e^2 \left| \int \psi_v(z) \cdot \frac{\Delta V_m(z)}{\Delta_m} \cdot \psi_\mu(z) \cdot dz \right|^2 \cdot \Delta_m^2 \cdot L^2}{2\hbar^3} \times \int_0^{2\pi} \frac{d\theta}{\varepsilon(q) \left(1 + \frac{L^2 q^2}{2}\right)^{3/2}} \quad (173)$$

Donde $\varepsilon(q)$ viene dado por

$$\varepsilon(q) = 1 + \frac{e^2 \cdot m_d}{2 \cdot \varepsilon_s \cdot q \cdot \pi \cdot \hbar^2} F(q) \quad (174)$$

siendo

$$F(q) = \sum_m \int dz \int dz' |\psi_m(z)|^2 \cdot |\psi_m(z')|^2 \cdot e^{(q|z-z'|)} \quad (175)$$

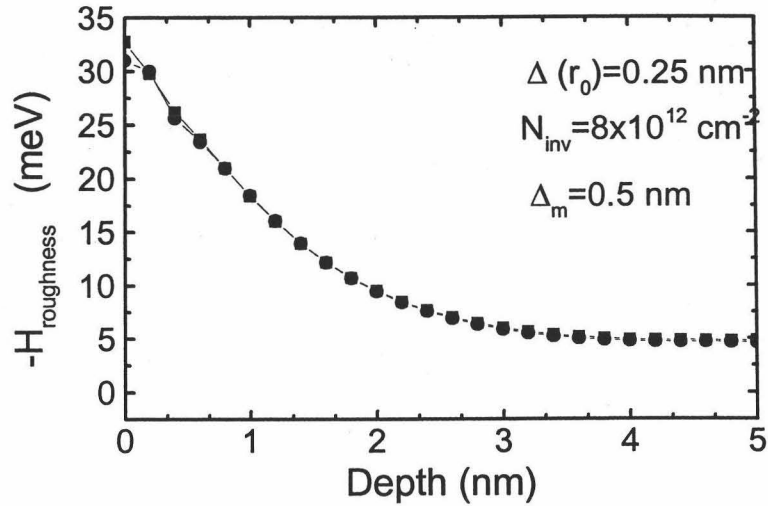


Fig. 98: Hamiltoniano de la perturbación debido a un desplazamiento $\Delta(r_0) = 0.25 \text{ nm}$ del plano de la interface ideal $z = 0$ para una posición r_0 de la interface de puerta, de una lámina de inversión de un transistor SOI de puerta simple de 5 nm de espesor, calculado con el modelo exacto (cuadrados) y calculado con el nuevo modelo propuesto (círculos).

Para probar la efectividad de este nuevo modelo, comparamos el hamiltoniano de la perturbación calculado mediante la expresión exacta (163) con el hamiltoniano de la perturbación calculado con la nueva expresión (167) en un punto r_0 de la interface

de puerta donde el desplazamiento $\Delta(r_0) = 0.25\text{nm}$ respecto al plano ideal localizado en $z = 0$ de un transistor SOI de puerta simple de iguales dimensiones y con la misma concentración de electrones en inversión. Los resultados se muestran en la gráfica siguiente:

Se puede ver en la gráfica de la Fig. 98 el buen ajuste de nuestro modelo con la expresión exacta del hamiltoniano de la perturbación, confirmando la exactitud del modelo presentado.

En la Fig. 99 comparamos el elemento de matriz $|M_{vv}(q)|^2$ para $v=1$ (subbanda fundamental) usando la expresión (165) correspondiente al modelo del MOSFET convencional y la expresión (169) del nuevo modelo. Se puede apreciar la notable diferencia entre las dos expresiones.

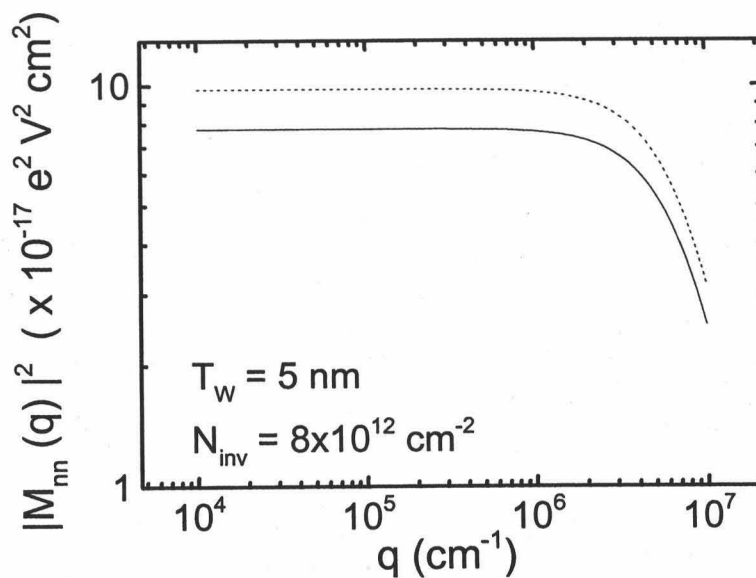


Fig. 99: Elemento de matriz $|M_{11}(q)|^2$ para la subbanda fundamental, evaluado usando el modelo de rugosidad superficial de MOSFET convencional (línea discontinua) y evaluado utilizando el nuevo modelo propuesto (línea continua).

Estos resultados son una muestra obvia de la necesidad de modificar el modelo de rugosidad superficial cuando se trata de simular transistores de película delgada, incorporando los importantes efectos de la presencia de una segunda interface. El modelo desarrollado por nuestro grupo de investigación constituye, pues, una mejora considerable.

5.5 RESULTADOS

5.5.1 RESULTADOS PARA TRANSISTORES SOI DE PUERTA SIMPLE

Describimos brevemente en este apartado los resultados obtenidos para transistores SOI de puerta simple en nuestro grupo de investigación, ya que muchos de ellos son directamente aplicables a los transistores de doble puerta. De hecho, el simulador es común y, generalmente, basta con modificar las dimensiones geométricas, el dopado del sustrato, y permitir que la tensión externa a la segunda puerta sea cero o sea igual a la de la puerta posterior, para pasar de un tipo de transistor al otro.

Considerando estructuras SOI de puerta simple, en [Gámiz et al., 1998a] hemos realizado un cálculo de la movilidad por el método de Monte Carlo siguiendo la trayectoria de un solo electrón y obteniendo la velocidad de deriva. Se han simulado transistores similares a algunos analizados experimentalmente, como los de las referencias [Choi et al., 1995], [Toriumi et al., 1995], con espesor de óxido de puerta de 5 nm, espesor de óxido enterrado de 80 nm, y espesores de la capa de silicio de 50 nm a 10 nm, usando un sustrato de silicio debajo del óxido enterrado. Se obtiene, tal como se ha observado experimentalmente, un decrecimiento de la movilidad cuando disminuye el espesor en la región de bajos campos eléctricos transversales, atribuible a la mayor dispersión por fonones, mientras que con altos campos efectivos las curvas para los distintos espesores tienden a coincidir. Las curvas correspondientes a espesores de 50 y 25 nm prácticamente coinciden en todas las regiones de campos efectivos. Estos resultados se muestran en la Fig. 100.

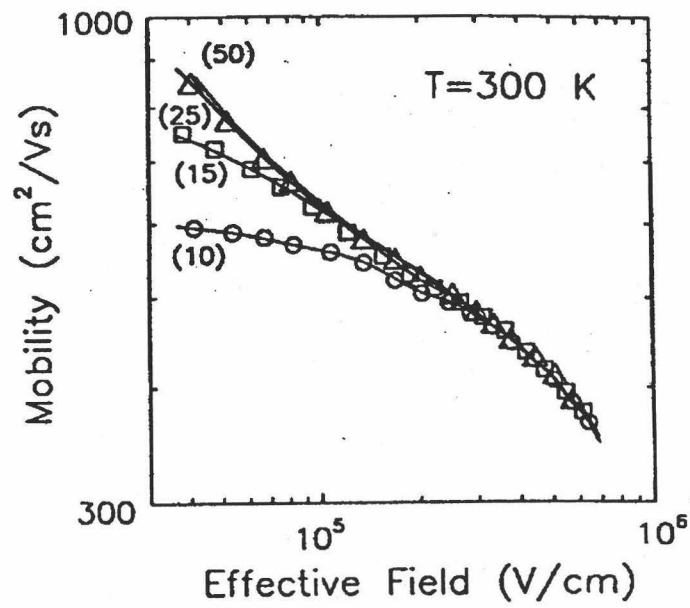


Fig. 100: Movilidad electrónica de un MOSFET SOI para distintos espesores de la lámina de silicio. Sólo se considera la dispersión por fonones y la rugosidad superficial.

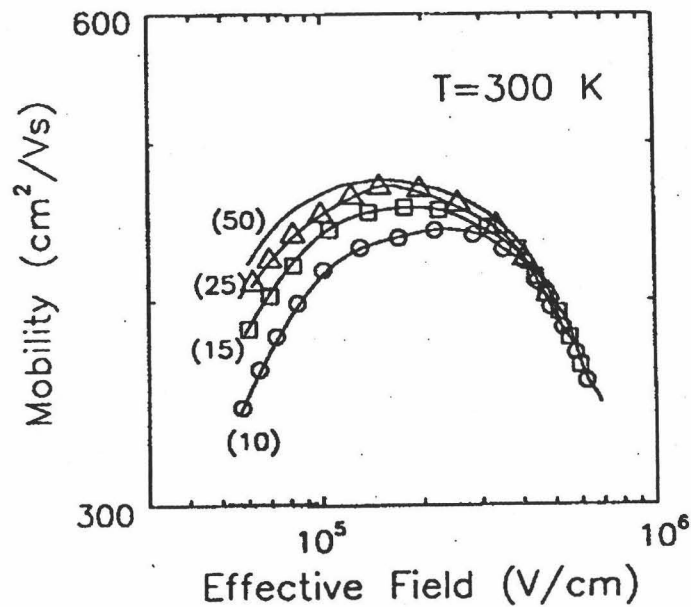


Fig. 101: Movilidad electrónica de un MOSFET SOI para distintos espesores de la lámina de silicio teniendo en cuenta la dispersión por fonones, rugosidad superficial y culombiana (concentración de carga en la interface $N_{it} = 5 \cdot 10^{11} \text{ cm}^{-3}$).

También se han calculado curvas de movilidad suponiendo una distribución de carga de $5 \cdot 10^{10} \text{ cm}^{-3}$ en ambas interfaces. Esta densidad de carga no modifica substancialmente la imagen anterior, ya que las curvas siguen siendo más bajas para los espesores menores, como se puede observar en la Fig. 101.

Se ha justificado el comportamiento decreciente de la movilidad con la disminución del espesor por el efecto del confinamiento de la densidad de electrones, que hace que disminuya la localización en el espacio de los vectores de onda, pudiendo participar más fonones en las transiciones, según se justifica por el comportamiento de las integrales de solapamiento entre las funciones envolvente. El confinamiento de los electrones en capas de inversión SOI ultrafinas, menores de 20 nm, es mayor que en MOSFETs convencionales, ya que el espesor de la película es menor que el que tendría la capa de inversión en esos transistores, como hemos puesto de manifiesto en el Capítulo 3. Con altos valores del campo eléctrico transversal, el confinamiento se debe totalmente al campo eléctrico y el espesor no influye. Además, es la rugosidad de interface la que domina en esta región. También se ha incluido el efecto de la dispersión coulombiana por cargas de interface, que contribuye también a separar las curvas para distintos espesores, incluso en medida comparable al efecto de los fonones si se usan las concentraciones de trampas sugeridas por [Toriumi et al., 1995] para la interface posterior. Sin embargo, mientras este aspecto es mejorable por el perfeccionamiento de la tecnología, el efecto de los fonones es intrínseco y es ineludible.

En [Gámiz et al., 1999a] se estudia en profundidad el efecto de la rugosidad superficial en transistores SOI de puerta simple. Comprobamos cómo para espesores de lámina de silicio inferiores a 10nm la interface correspondiente al óxido enterrado juega un papel muy importante, ya que modifica la dispersión por rugosidad superficial de la interface de puerta, además de la dispersión producida por su propia rugosidad superficial. Se ha utilizado el modelo descrito en la Sección anterior, en el cual se considera la dispersión por rugosidad superficial como la resultante de dos mecanismos diferentes. A partir de los datos de dispersión, hemos calculado la movilidad limitada

por fonones y rugosidad superficial. Hemos estudiado el efecto de la interface posterior sobre la movilidad para distintos valores de rugosidad tanto de la interface de puerta como de la interface posterior (Δ_{m1} y Δ_{m2} , respectivamente) en un transistor SOI de puerta simple con espesor de silicio de 5nm. Para un mismo valor Δ_{m1} de amplitud de la rugosidad, a altos campos efectivos las curvas de movilidad tienden a coincidir, sea cual sea la rugosidad de la interface posterior Δ_{m2} . Así pues, a altos campos el efecto de la interface posterior desaparece, ya que a altos campos efectivos la carga se confina cerca de la puerta y se aleja de la interface posterior. Para bajos campos efectivos también coinciden las curvas de movilidad medidas con distintos Δ_{m2} , ya que, aunque la concentración de electrones se encuentre distribuida en toda la lámina de silicio y, por tanto, este más cerca de la interface posterior, al ser la concentración de electrones tan pequeña, el efecto de la dispersión por rugosidad es despreciable frente a la dispersión por fonones. Hemos hallado que el efecto de la interface posterior es importante para campos transversales efectivos entre 10^3 V/cm y 10^5 V/cm, siendo más notable cuando menor era la rugosidad de la interface de puerta Δ_{m1} . También hemos analizado el efecto del espesor de la lámina de silicio sobre la movilidad, viendo que la movilidad es efectivamente menor cuanto más delgada es la lámina, debido, como hemos discutido, al incremento de la dispersión por fonones. Para altos campos, donde domina la dispersión por rugosidad superficial de la interface de la puerta, las curvas de movilidad coinciden.

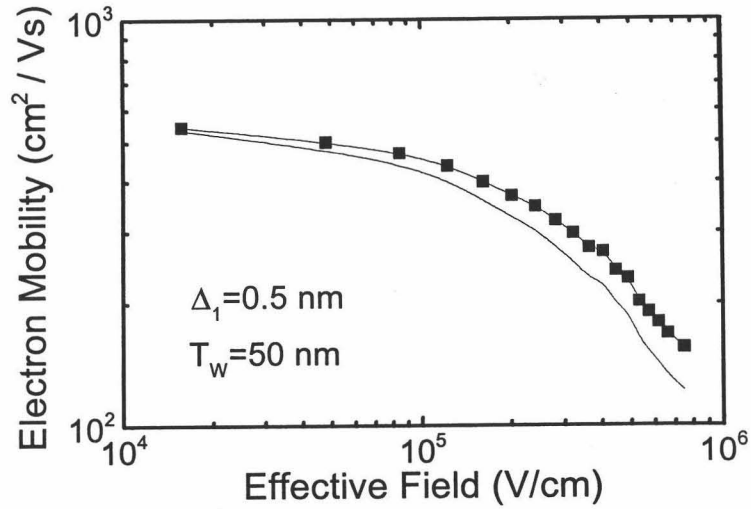


Fig. 102: Movilidad frente al campo efectivo transversal. Solo se tiene en cuenta el efecto de la dispersión por rugosidad superficial en la interface de puerta. Línea continua: usando el modelo habitual para la dispersión por rugosidad superficial en MOSFET convencionales. Símbolos: usando el modelo propuesto de dispersión por rugosidad para dispositivos SOI.

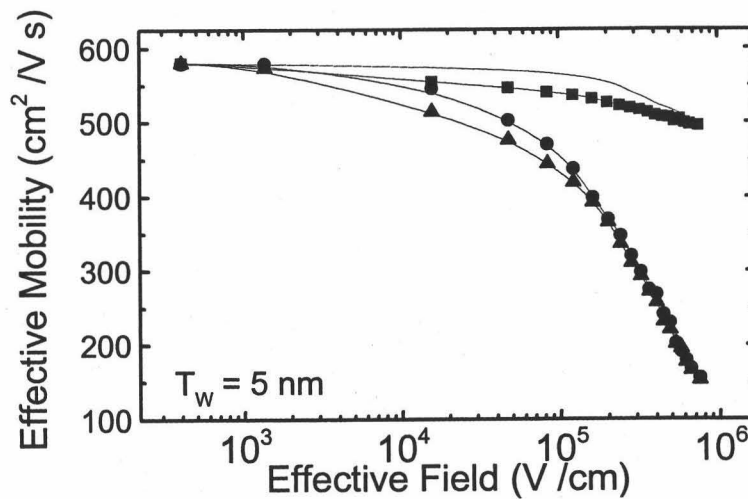


Fig. 103: Curvas de movilidad: Línea continua: suponiendo que ambas interfaces son ideales ($\Delta_{m1} = \Delta_{m2} = 0$); Cuadrados: solo la puerta es ideal ($\Delta_{m1} = 0\text{nm}$, $\Delta_{m2} = 0.5\text{nm}$); Círculos: solo la interface enterrada es ideal ($\Delta_{m1} = 0.5$, $\Delta_{m2} = 0\text{nm}$); (triángulos) ambas interfaces estan afectadas por la dispersión por rugosidad superficial ($\Delta_{m1} = 0.5$, $\Delta_{m2} = 0.5\text{nm}$).

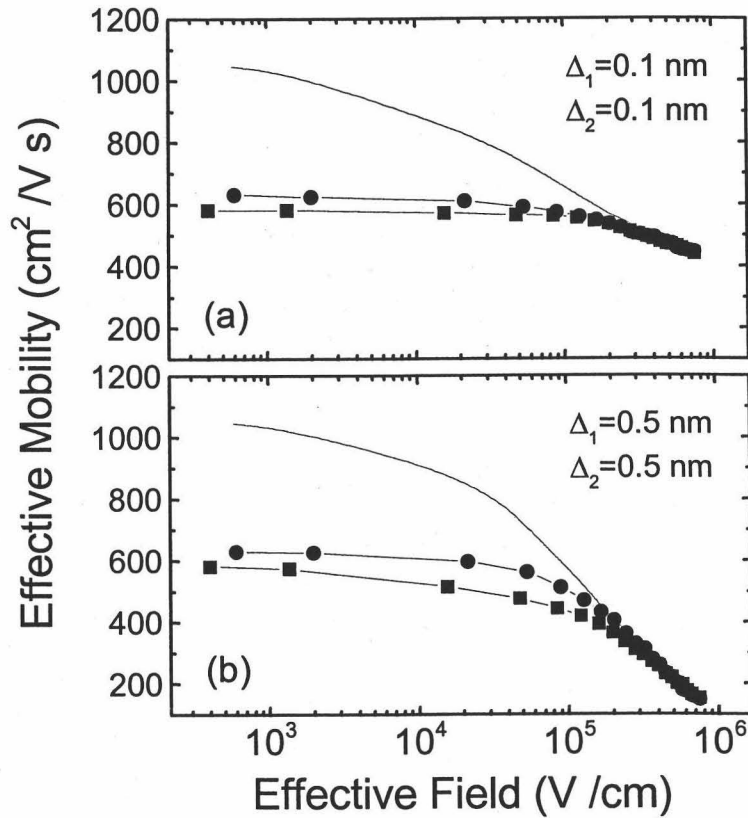


Fig. 104: Curvas de movilidad frente al campo efectivo transversal para distintos espesores de la capa de silicio: $t_{si} = 20\text{nm}$ (línea continua), $t_{si} = 10\text{nm}$ (círculos), $t_{si} = 5\text{nm}$ (cuadrados).

En [Gámiz et al., 1999b] hemos realizado un estudio completo de la movilidad en transistores SOI de puerta simple con lámina delgada, teniendo en cuenta todos los mecanismos de dispersión (fonones, rugosidad superficial y Culombiana). Hemos estudiado el efecto de la reducción del espesor de la lámina de silicio sobre la movilidad, observando varios efectos:

- 1) Se produce un aumento de movilidad debido a la disminución de la masa efectiva y disminución de la dispersión intervalle entre valles no opuestos (dispersión intervalle tipo f). Esto es debido a la separación de las subbandas

primas y no primas de energía al reducirse el espesor, que trae como consecuencia una mayor ocupación de las bandas no primas, en las cuales la masa efectiva para el transporte paralelo al canal es menor, lo que hace que disminuya la masa efectiva de conducción. La separación entre subbandas al mismo tiempo es responsable de la disminución de la dispersión intervalle de tipo f.

- 2) Se produce una disminución de la movilidad debido al aumento de la dispersión por fonones. Como al disminuir el espesor se produce un confinamiento de la carga mayor que en un MOSFET convencional, el resultado es una mayor localización de los electrones y, por el principio de incertidumbre, una mayor extensión de la distribución del momento perpendicular a la interface. Teniendo en cuenta el principio de conservación del momento, hay más fonones disponibles que pueden ayudar a transiciones entre distintos estados electrónicos.
- 3) Se produce un aumento de la dispersión culombiana debido al mayor número de trampas en la interface posterior. Al disminuir el espesor de la lámina de silicio, la proximidad de estos centros de carga a los portadores móviles es también mayor. Mientras que los dos efectos anteriores se deben observar tanto en transistores SOI de puerta simple como en transistores de doble puerta, este efecto en particular sólo se dará en los de puerta simple.
- 4) Finalmente, se produce una disminución de la dispersión culombiana debido al creciente efecto de apantallamiento, ya que el centroide de la distribución de carga contenida en la subbanda fundamental es menor que para el resto de las subbandas, y, por tanto, cuando aumenta la ocupación relativa de esta subbanda los electrones se acercan más a la interface, aumentando el apantallamiento de las cargas en ésta y en el interior del óxido.

Estos efectos se pueden observar en las gráficas de la Fig. 105 . En resumen, es evidente que la movilidad en los dispositivos SOI de simple puerta depende del espesor de la lámina de silicio y del campo eléctrico efectivo de forma compleja.

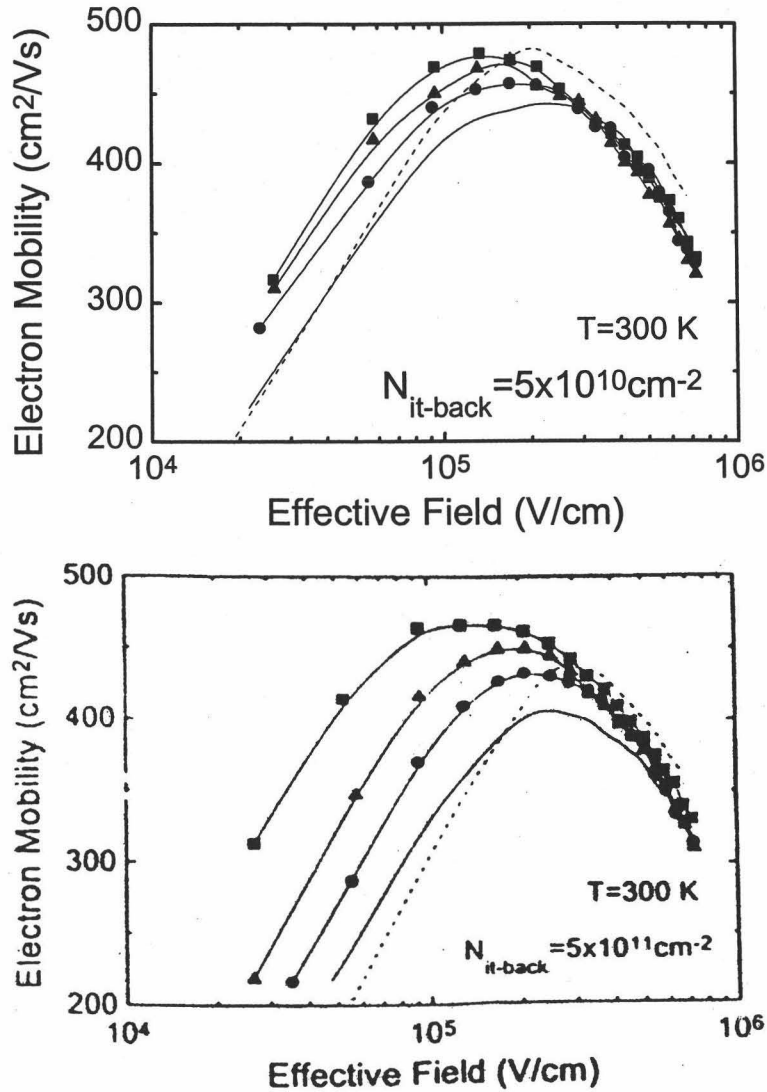


Fig. 105: Curvas de movilidad en un MOST SOI para distintos espesores de capa de silicio. Se ha tenido en cuenta la dispersión por rugosidad superficial [$\Delta = 0.2 \text{ nm}$, $L = 1.5 \text{ nm}$], fonones y coulombiano. La concentración de cargas de interface de puerta es de $N_{it} = 5 \cdot 10^{10} \text{ cm}^{-2}$ y en la interface posterior $N_{it\ back} = 5 \cdot 10^{10} \text{ cm}^{-2}$ (gráfica superior) y $N_{it\ back} = 5 \cdot 10^{11} \text{ cm}^{-2}$ (gráfica inferior). $t_{si} = 50 \text{ nm}$ (cuadrados), $t_{si} = 25 \text{ nm}$ (triángulos), $t_{si} = 15 \text{ nm}$ (círculos), $t_{si} = 10 \text{ nm}$ (línea continua), $t_{si} = 5 \text{ nm}$ (línea a trazos).

5.5.2 RESULTADOS PARA TRANSISTORES DE DOBLE PUERTA

En este apartado presentamos los resultados de simulación de la movilidad en el MOSFET SOI de Doble Puerta. A partir de las curvas obtenidas mediante la simulación haremos un estudio detallado del comportamiento de la movilidad con el campo eléctrico y con el espesor de la lámina de silicio, y explicaremos la influencia del espesor de la lámina de silicio sobre la movilidad a través del estudio de las propiedades electrónicas de la estructura (niveles de las bandas de energía, concentración de electrones en cada subbanda, etc.). Estudiaremos por separado la movilidad limitada por cada uno de los mecanismos de dispersión, para evaluar su importancia en cada región de campo eléctrico según el espesor de la lámina de silicio y los distintos factores de que dependa cada uno de estos mecanismos de dispersión. Finalmente compararemos la movilidad del DG MOST con la del transistor SOI de puerta simple y con la de un MOSFET convencional, evaluando las posibles ventajas del transistor objeto de nuestro estudio frente a los demás.

5.5.2.1 MOVILIDAD LIMITADA POR LA DISPERSIÓN CULOMBIANA

La dispersión culombiana es el principal mecanismo de dispersión para bajos campos eléctricos transversales. Esta es debida a los distintos centros cargados que existen en el dispositivo (estados en la interface, carga atrapada en el óxido, carga de impurezas ionizadas en el sustrato) las cuales producen fluctuaciones locales en el potencial electrostático.

Después de simular la estructura para distintos espesores y distintas concentraciones de carga de interface, N_{it} , comprobamos que la dispersión culombiana es más importante cuanto mayor es la concentración de cargas de interface, siendo

notable la reducción de la movilidad al aumentar N_{it} . Con respecto a la influencia del espesor de la lámina de silicio, comprobamos que, para bajos campos eléctricos, la movilidad limitada por la dispersión coulombiana es independiente del espesor. Sin embargo, para altos campos eléctricos, existe una influencia con t_{si} , que es más importante cuanto mayor es la concentración de impurezas de interface N_{it} . Al contrario de lo que cabría esperar, la movilidad es mayor cuanto menor es el espesor t_{si} . Aunque en principio, al ser más estrecha la lámina de silicio la carga esta más concentrada cerca de las interfaces con lo que el efecto de la dispersión coulombiana es mayor, también se produce un mayor apantallamiento de la carga que disminuye el efecto de dispersión de las cargas de interface, siendo este último el efecto dominante. De ahí que la disminución del espesor de silicio, para altos campos, provoque un mayor valor de movilidad.

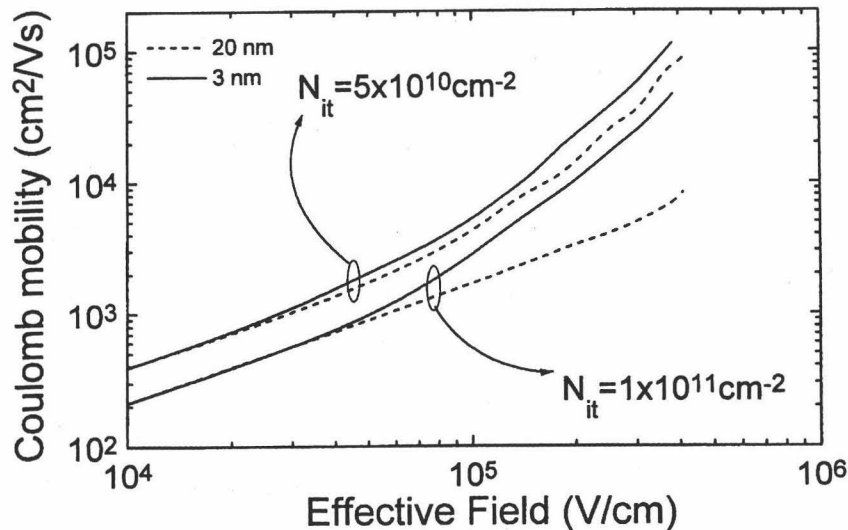


Fig. 106: Movilidad frente al campo eléctrico efectivo para distintos espesores de la lámina de silicio de un DG MOST simétrico con dopado de la lámina de silicio $N_a = 5 \cdot 10^{15} \text{ cm}^{-3}$, espesor de óxido $t_{ox} = 5 \text{ nm}$, teniendo en cuenta sólo el efecto de la dispersión coulombiana.

En la gráfica de la Fig. 106 se compara la movilidad limitada por dispersión coulombiana para dos DG MOST de distinto espesor de silicio (3 y 20nm) para dos

concentraciones de carga de interface diferentes ($N_{it} = 5 \cdot 10^{10} \text{cm}^{-2}$ y $N_{it} = 10^{11} \text{cm}^{-2}$). Como se puede ver en la gráfica, la movilidad es menor cuanto mayor es la concentración de cargas de interface. Para la misma concentración de carga de interface la movilidad del DGMOST de espesor 3nm es mayor que la del transistor de espesor 20nm, para altos campos efectivos.

5.5.2.2 MOVILIDAD LIMITADA POR FONONES

La dispersión por vibraciones de la red o fonones es el mecanismo de dispersión más importante puesto que es intrínseco a la propia estructura sin que pueda ser reducida su influencia con la mejora de la tecnología de fabricación. Únicamente es evitable a muy bajas temperaturas, que son poco prácticas para el uso de los transistores en aplicaciones de interés. Para entender sus efectos sobre el dispositivo de doble puerta, es importante recordar las propiedades electrónicas de éste. Debido a la formación de dos regiones de deplexión para ciertos espesores y campos eléctricos efectivos se produce un solapamiento de dichas regiones, lo que comúnmente llamamos con el nombre de inversión en volumen. El espesor de la lámina de silicio necesario para conseguir la inversión de volumen depende del campo eléctrico efectivo. Para campos eléctrico pequeños se consigue la inversión con espesores mayores pero para altos campos el espesor debe ser menor.

Para espesores relativamente grandes, al producirse la inversión en volumen los electrones se distribuyen en toda la lámina de silicio. Al mismo tiempo la carga está menos confinada cerca de las interfaces, siendo el centroide mayor como pudimos comprobar en el capítulo 3. Sin embargo, si el espesor es muy pequeño, el confinamiento es muy grande siendo el centroide de la carga inferior incluso al de un MOSFET convencional.

La dispersión por fonones depende del grado de confinamiento de la carga debido al principio de incertidumbre. Cuanto mayor es el confinamiento de la carga, menor es la incertidumbre en la localización de los electrones en la dirección perpendicular a las interfaces, y de acuerdo con el principio de incertidumbre tendremos una mayor indefinición en el momento del electrón perpendicular a la interface. Así pues, habrá más fonones disponibles que puedan intervenir en transiciones entre estados electrónicos y, por tanto, la dispersión por fonones será mayor.

Resumiendo, a menor confinamiento de la carga cerca de las interfaces, menor dispersión por fonones y a mayor confinamiento de la carga mayor dispersión por fonones.

La inversión en volumen es, por tanto, beneficiosa ya que al estar menos confinada la carga el efecto de la dispersión por fonones será menor. Salvo que el espesor de silicio sea muy pequeño, donde el confinamiento es muy grande y sus efectos sobre la movilidad limitada por fonones son, entonces, negativos.

Otro de los efectos del solapamiento de las regiones de inversión es la separación de las subbandas de energía primas y no primas. Este efecto comienza en las subbandas de mayor energía hasta llegar a la subbanda fundamental a medida que el espesor de la lámina de silicio se reduce. La separación de las subbandas de energía primas y no primas provoca la reducción de la dispersión intervalle entre valles no opuestos (dispersión tipo f).

Teniendo en cuenta todos estos efectos, es de esperar un aumento de la movilidad limitada por fonones en la región de inversión en volumen del DG MOST, excepto para espesores extremadamente pequeños donde competirán el crecimiento por separación de las energías de las subbandas y el decrecimiento por confinamiento extremo del gas de electrones. Estudiaremos cuál de los dos efectos domina en esta competición.

En la gráfica de la Fig. 107 se representa la movilidad limitada por fonones con respecto al campo eléctrico efectivo para distintos espesores de la lámina de silicio.

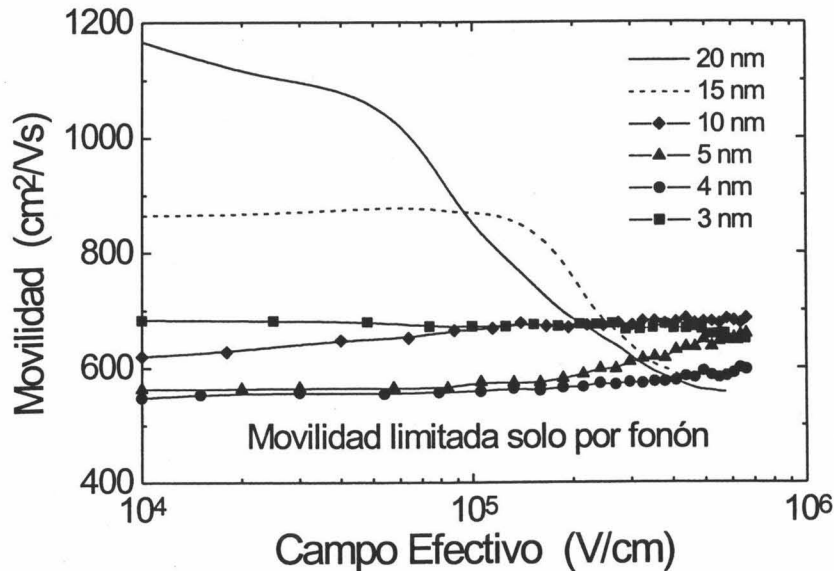


Fig. 107: Movilidad frente al campo eléctrico efectivo para distintos espesores de la lámina de silicio de un DGMOST simétrico con dopado de la lámina de silicio $N_a = 5 \cdot 10^{15} \text{ cm}^{-3}$, espesor de óxido $t_{ox} = 5 \text{ nm}$, teniendo en cuenta solo el efecto de la dispersión por fonón.

Lo primero que podría sorprender es que la movilidad para el espesor de 3 nm es mayor que la de 4, 5 e incluso 10 nm. Sin embargo, esto es una consecuencia directa de la estructura electrónica del DGMOST, de acuerdo con nuestra explicación previa: en la competición entre la separación de los niveles de energía y el confinamiento, domina el primer efecto sobre el segundo en el caso de un espesor de 3 nm, mientras que con 10 nm domina el confinamiento, al ser pequeño el desplazamiento relativo de los dos tipos de subbandas. Con 4 nm y 5 nm la suma de los dos efectos parece dar el mismo resultado. En el caso de espesor 3 nm, hemos comprobado que casi todos los electrones se encuentran en la subbanda fundamental, siendo la masa efectiva muy pequeña. El aumento de la movilidad debido a la disminución de la masa efectiva es, en este caso, más importante que la disminución de la movilidad debida a la mayor probabilidad de dispersión por fonones.

Observamos que para espesores iguales o menores a 10 nm, la movilidad se mantiene casi constante al variar el campo eléctrico aplicado. Esto se debe a que el confinamiento de la carga está determinado por el espesor de la lámina de silicio siendo independiente del campo eléctrico. También se observa un ligero aumento de la movilidad a altos campos provocado por la disminución de la masa efectiva de conducción.

Para los espesores de 20 y 15 nm la movilidad a bajos campos es bastante superior a la obtenida con los espesores menores. Como vimos, a bajos campos nos encontramos en situación de inversión de volumen en una lámina relativamente ancha, estando la carga menos confinada y siendo pequeña, por tanto, la probabilidad de dispersión. Para altos campos la movilidad desciende bruscamente debido a que no se consigue el efecto de inversión en volumen y se forman dos regiones de inversión, cada una cercana a una de las interfaces, aumentando por tanto el confinamiento cerca de las interfaces. La probabilidad de dispersión es mayor en este caso, provocando incluso que la movilidad sea inferior que para espesores pequeños.

5.5.2.3 MOVILIDAD LIMITADA POR RUGOSIDAD SUPERFICIAL

La dispersión por rugosidad superficial es el mecanismo de dispersión principal a altos campos eléctricos. La causa de este mecanismo de dispersión es la no uniformidad de la interface Si-SiO₂. Ésta provoca fluctuaciones locales del potencial que pueden considerarse como perturbaciones que originan transiciones entre estados no perturbados del electrón, es decir, un mecanismo de dispersión.

Para evaluar la dispersión por rugosidad superficial hemos usado el modelo desarrollado para estructuras SOI que explicamos en la sección anterior, donde además comprobamos su eficacia.

Al obtener los resultados de movilidad con nuestra simulación comprobamos que el efecto de rugosidad es más importante cuanto menos uniforme es la interface, como era de esperar. También vemos que el efecto de la rugosidad es mayor cuanto menor es el espesor de la lámina de silicio.

En las gráficas de las Fig. 108 y Fig. 109 representamos la movilidad limitada por fonones y por rugosidad superficial con respecto al campo transversal efectivo para distintos espesores de la lámina de silicio. Una gráfica corresponde a un coeficiente de rugosidad $\Delta_{SR}=0.5\text{nm}$ y la otra a $\Delta_{SR} = 0.25\text{nm}$

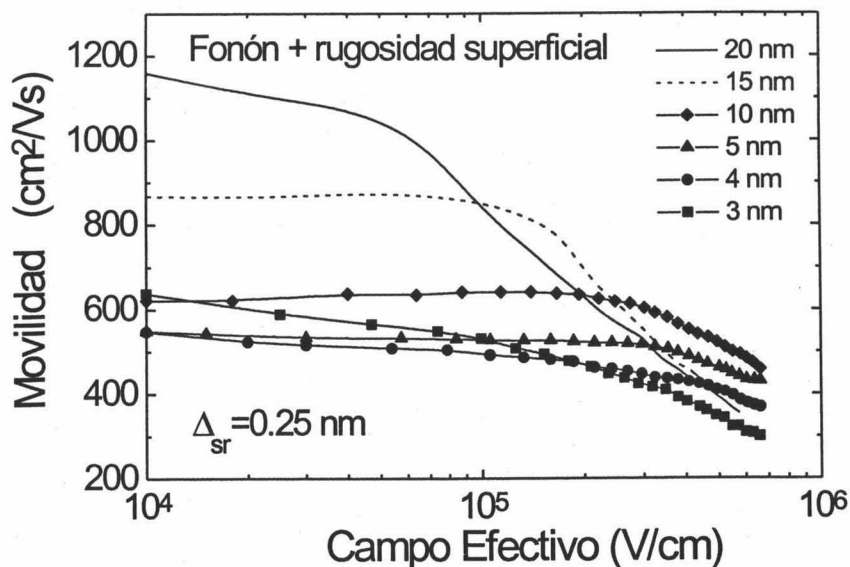


Fig. 108: Movilidad frente al campo eléctrico efectivo para distintos espesores de la lámina de silicio de un DG MOST simétrico con dopado de la lámina de silicio $N_a = 5 \cdot 10^{15} \text{ cm}^{-3}$, espesor de óxido $t_{ox} = 5 \text{ nm}$, teniendo en cuenta los efectos de dispersión por fonón y por rugosidad superficial ($\Delta_{sr} = 0.5 \text{ nm}$, $L = 1.5 \text{ nm}$).

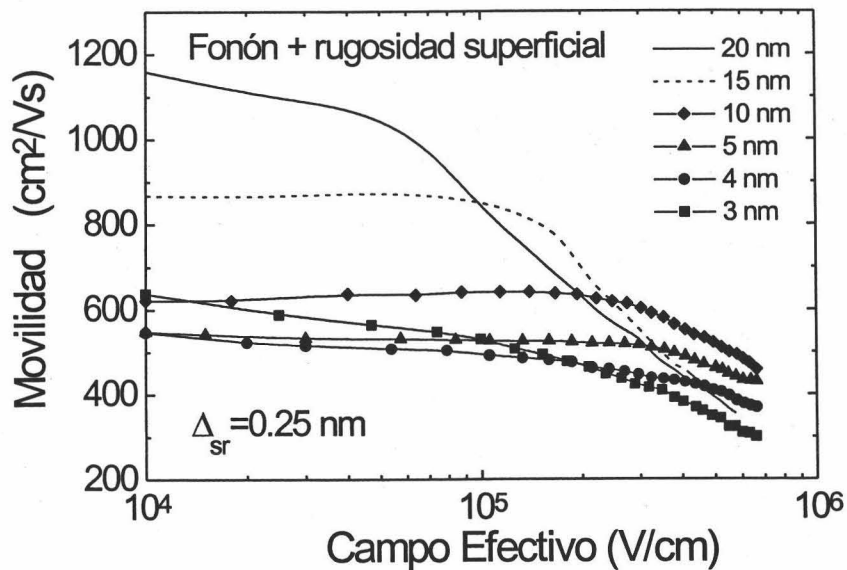


Fig. 109: Movilidad frente al campo eléctrico efectivo para distintos espesores de la lámina de silicio de un DGMOST simétrico con dopado de la lámina de silicio $N_a = 5 \cdot 10^{15} \text{ cm}^{-3}$, espesor de óxido $t_{ox} = 5 \text{ nm}$, teniendo en cuenta los efectos de dispersión por fonón y por rugosidad superficial ($\Delta_{sr} = 0.25 \text{ nm}$, $L = 1.5$).

Observando las curvas de movilidad, podemos ver que el efecto de dispersión por rugosidad es notable en todo el rango de valores del campo eléctrico transversal, que no sucede en un MOSFET convencional donde la rugosidad superficial sólo es importante para muy altos campos. Esto se debe a que los electrones están cerca de las interfaces para todos los valores del campo eléctrico, al ser la lámina muy delgada. Por supuesto, el campo eléctrico también contribuye ligeramente al acercamiento del gas de electrones a las interfaces, aunque sólo sea ligeramente, lo que se manifiesta en un aumento de la dispersión por rugosidad superficial, con la consiguiente reducción en la movilidad, sobre todo en la región de muy altos campos.

En la gráfica de la Fig. 110 comparamos las movilidades limitadas por fonones y rugosidad superficial con distintos coeficientes Δ (0.25nm y 0.5nm) para distintos espesores de lámina de silicio.

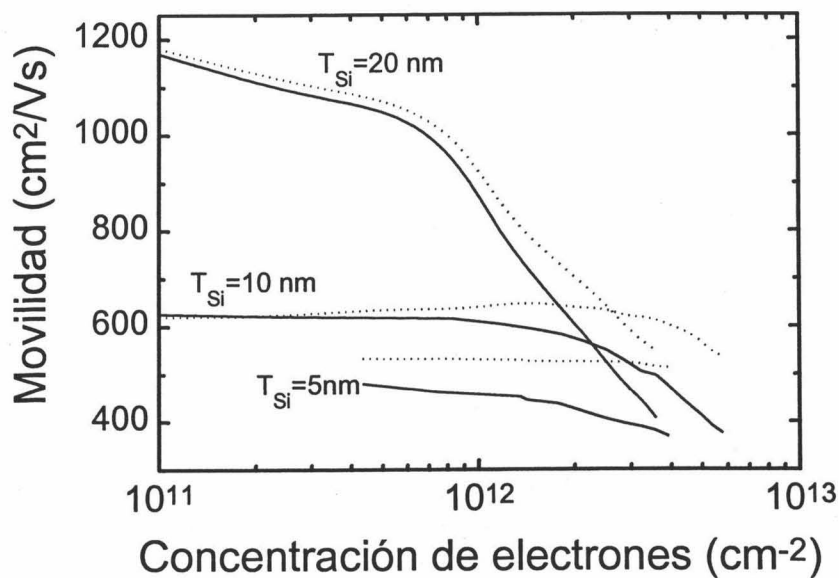


Fig. 110: Movilidad limitada por fonones y rugosidad superficial frente al campo efectivo para espesores de capa de silicio de 20, 10 y 5 nm. Coeficientes de rugosidad: $\Delta_{sr} = 0.25$ nm (línea de puntos) y $\Delta_{sr} = 0.5$ nm (línea continua)

Encontramos que las movilidades para distintos Δ_{sr} son distintas en todo el rango de campo transversal efectivo, siendo mayor su diferencia para altos campos y para espesores menores de lámina de silicio.

Por tanto, podemos concluir que el efecto de la rugosidad superficial afecta al DG MOST en todo el rango de valores del campo efectivo y para todos los espesores de silicio estudiados, siendo de mayor importancia cuanto mayor es el coeficiente Δ , cuanto mayores son los campos transversales efectivos y cuanto menor es el espesor de la lámina de silicio.

5.5.2.4 MOVILIDAD TENIENDO EN CUENTA TODOS LOS EFECTOS DE DISPERSIÓN

En este apartado presentamos los resultados de movilidad en el DGMOST, obtenidos con nuestro simulador, teniendo en cuenta todos los efectos de dispersión.

En las gráficas siguientes podemos ver los resultados de movilidad frente al campo eléctrico efectivo para un DGMOST simétrico con dopado de la capa de silicio de $N_a = 5 \cdot 10^{15} \text{ cm}^{-3}$, espesor de óxido $t_{ox} = 5 \text{ nm}$ y espesores de lámina de silicio de 20, 15, 10, 5, 4 y 3nm, para dos concentraciones distintas de carga de interface: $N_{it} = 5 \cdot 10^{10} \text{ cm}^{-2}$ y $1 \cdot 10^{11} \text{ cm}^{-2}$, y dos valores de la rugosidad: $\Delta_{sr} = 0.25 \text{ nm}$ y 0.5 nm .

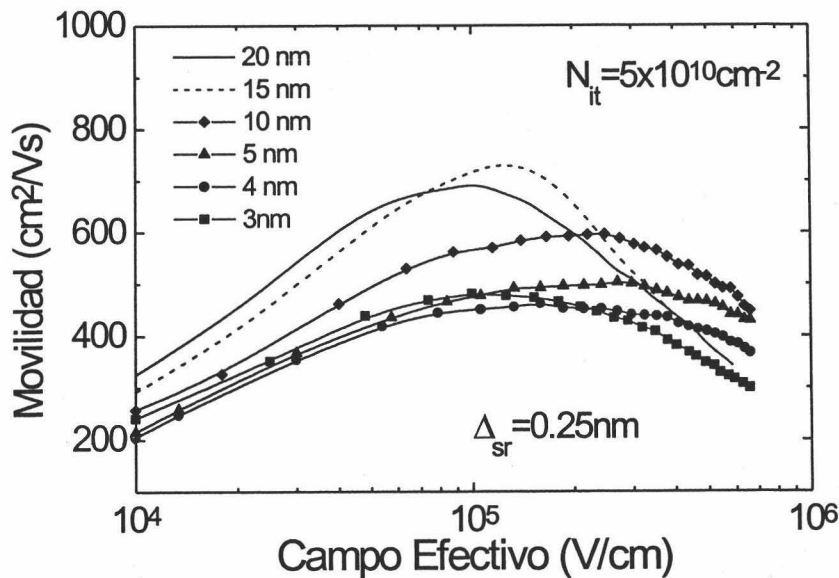


Fig. 111: Movilidad frente al campo eléctrico efectivo para distintos espesores de la lámina de silicio de un DGMOST simétrico con dopado de la lámina de silicio $N_a = 5 \cdot 10^{15} \text{ cm}^{-3}$, espesor de óxido $t_{ox} = 5 \text{ nm}$, carga en interface $N_{it} = 5 \cdot 10^{10} \text{ cm}^{-2}$, teniendo en cuenta todos los efectos de dispersión: coulombiana, por fonones y por rugosidad superficial ($\Delta_{sr} = 0.25 \text{ nm}$, $L = 1.5 \text{ nm}$).

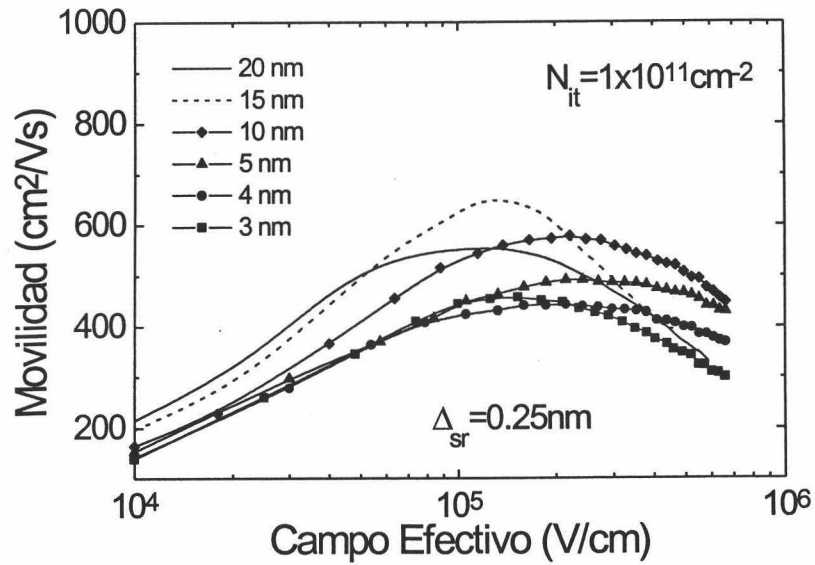


Fig. 112: Movilidad frente al campo eléctrico efectivo para distintos espesores de la lámina de silicio de un DGMOST simétrico con dopado de la lámina de silicio $N_a = 5 \cdot 10^{15} \text{ cm}^{-3}$, espesor de óxido $t_{ox} = 5 \text{ nm}$, carga en interface $N_{it} = 10^{11} \text{ cm}^{-2}$, teniendo en cuenta todos los efectos de dispersión: culombiana, por fonones y por rugosidad superficial ($\Delta_{sr} = 0.25 \text{ nm}$, $L = 1.5 \text{ nm}$).

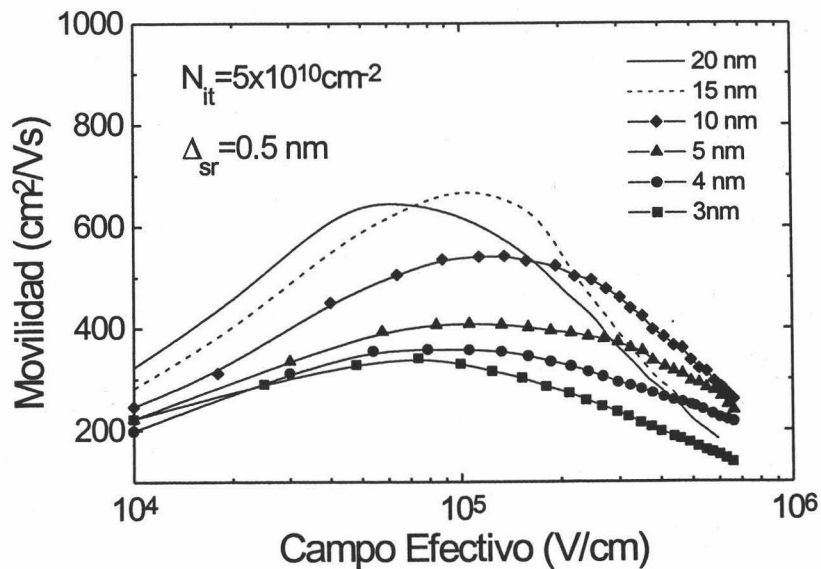


Fig. 113: Movilidad frente al campo eléctrico efectivo para distintos espesores de la lámina de silicio de un DGMOST simétrico con dopado de la lámina de silicio $N_a = 5 \cdot 10^{15} \text{ cm}^{-3}$, espesor de óxido $t_{ox} = 5 \text{ nm}$, carga en interface $N_{it} = 5 \cdot 10^{10} \text{ cm}^{-2}$, teniendo en cuenta todos los efectos de dispersión: culombiana, por fonones y por rugosidad superficial ($\Delta_{sr} = 0.5 \text{ nm}$, $L = 1.5 \text{ nm}$).

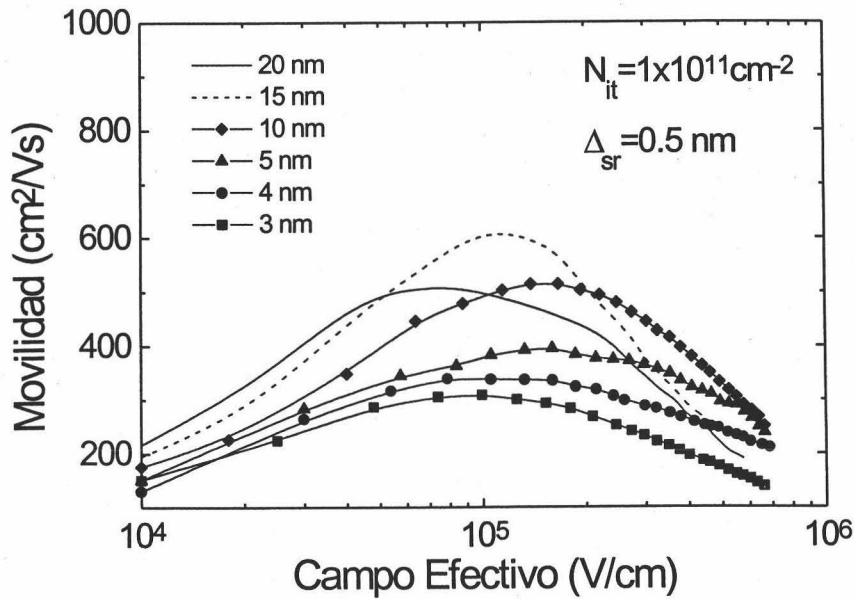


Fig. 114: Movilidad frente al campo eléctrico efectivo para distintos espesores de la lámina de silicio de un DG MOST simétrico con dopado de la lámina de silicio $N_a = 5 \cdot 10^{15} \text{ cm}^{-3}$, espesor de óxido $t_{ox} = 5 \text{ nm}$, carga en interface $N_{it} = 10^{11} \text{ cm}^{-2}$, teniendo en cuenta todos los efectos de dispersión: coulombiana, por fonones y por rugosidad superficial ($\Delta_{sr} = 0.5 \text{ nm}$, $L = 1.5 \text{ nm}$).

Después de observar estas cuatro gráficas podemos sacar las siguientes conclusiones:

- La forma de las curvas de movilidad con el campo eléctrico es parecida a la del MOSFET convencional: presentan un máximo para campos eléctricos intermedios, y disminuye tanto para altos como para bajos campos. Para bajos campos eléctricos, la movilidad esta limitada principalmente por la dispersión coulombiana aunque está afectada, en menor manera, también por la dispersión por fonones e incluso por la rugosidad superficial. A medida que crece el campo efectivo la movilidad crece hasta alcanzar un máximo, en la zona en la que el mecanismo principal de dispersión son los fonones. Para altos campos eléctricos transversales la movilidad desciende debido a la gran influencia de la rugosidad superficial. En esta zona el efecto de la dispersión

culombiana es despreciable.

- Con respecto al espesor de la capa de silicio, los mejores valores de movilidad se consiguen con los espesores de capa de 20nm para bajos, 15nm para medios y 10nm para altos campos efectivos.
- Si comparamos las dos primeras gráficas (Fig. 111 y Fig. 112), la primera con un $N_{it} = 5 \cdot 10^{10} \text{cm}^{-2}$ y la segunda con $N_{it} = 1 \cdot 10^{11} \text{cm}^{-2}$, podemos comprobar la importante influencia de la dispersión culombiana en la movilidad que se produce a bajos campos efectivos. En el segundo caso ($N_{it} = 1 \cdot 10^{11} \text{cm}^{-2}$) las movilidades son mucho menores que en el primero ($N_{it} = 5 \cdot 10^{10} \text{cm}^{-2}$). Observamos también que la diferencia de valores de movilidad para distintos espesores de silicio es menor para $N_{it} = 1 \cdot 10^{11} \text{cm}^{-2}$ que para $N_{it} = 5 \cdot 10^{10} \text{cm}^{-2}$. Esto tiene fácil explicación si recordamos que, según habíamos comprobado, la movilidad limitada por la dispersión culombiana no depende del espesor de la lámina para bajos campos eléctricos transversales. Cuanto mayor es la concentración de cargas de interface N_{it} , más importante es el efecto de la dispersión culombiana y menos los otros mecanismos de dispersión (fonones y rugosidad superficial). Por tanto, menor será la dependencia de la movilidad con el espesor de la lámina de silicio. En el caso límite de un gran N_{it} , las curvas correspondientes a distintos espesores de la lámina de silicio coincidirían a bajos campos eléctricos transversales.
- Si comparamos la primera gráfica (Fig. 111) con la tercera (Fig. 113), o la segunda (Fig. 112) con la cuarta (Fig. 114), podemos ver cómo afecta la dispersión por rugosidad superficial para dos valores distintos de rugosidad, $\Delta s_r = 0.25 \text{nm}$ y $\Delta s_r = 0.5 \text{nm}$, a la movilidad. En la zona de altos campos eléctricos la diferencia de valores de movilidad entre los dos casos es muy importante, reduciéndose la movilidad casi a la mitad. Para campos

eléctricos medios y bajos, aunque no es tan importante, también podemos ver la influencia de la rugosidad superficial. Esta influencia es mayor cuanto menor es el espesor de la lámina de silicio.

5.5.2.5 COMPARACIÓN DE LA MOVILIDAD DE UN MOSFET DE DOBLE PUERTA CON UN MOSFET SOI DE PUERTA SIMPLE

Aunque la estructura del transistor de doble puerta es, en apariencia, parecida a la de simple puerta, ya que la capa de silicio está limitada por dos capas de óxido en ambos casos, el menor espesor del óxido de la puerta posterior (igual al de la puerta superior por tratarse de un DGMOST simétrico) y la tensión de polarización de la puerta posterior en el transistor de doble puerta, que sigue a la de la puerta frontal, hacen que las propiedades electrónicas de estos dispositivos presenten diferencias. Como ya hemos estudiado, la carga se distribuye de forma diferente. En el DGMOST, para los espesores que estamos estudiando, la carga se distribuye en toda la lámina de silicio en la situación de inversión de volumen, concentrándose cerca del centro de la lámina, mientras que en el SGMOST la carga siempre se confina cerca de la interface de puerta (de la puerta frontal). La distribución de la carga determina en gran manera los efectos de dispersión: cuanto más alejada esté la carga de las interfaces, menor importancia tendrán todos los efectos asociados con ellas. Las ventajas comunes que comparten el SGMOST y DGMOST son la de poder dopar poco la lámina de silicio, con la consiguiente reducción en la dispersión coulombiana de los portadores de carga, y los mayores efectos de la cuantización a medida que se reduce el espesor de la capa de silicio, que provoca la reducción de la dispersión intervalle entre valles no-opuestos y la reducción de la masa efectiva de conducción con el consiguiente aumento de movilidad.

En este apartado vamos a comparar la movilidad de estos dos transistores. Compararemos las movilidades limitadas sólo por fonones, por fonones y rugosidad superficial, y la movilidad obtenida teniendo en cuenta todos los efectos de dispersión,

en función del espesor de la capa de silicio para distintos valores del campo eléctrico transversal. De esta forma podremos explicar cómo influye cada uno de los efectos de dispersión sobre cada dispositivo, dependiendo del espesor de la capa de silicio y del campo efectivo, y podremos comprender mejor las diferencias de movilidad que existen entre éstos.

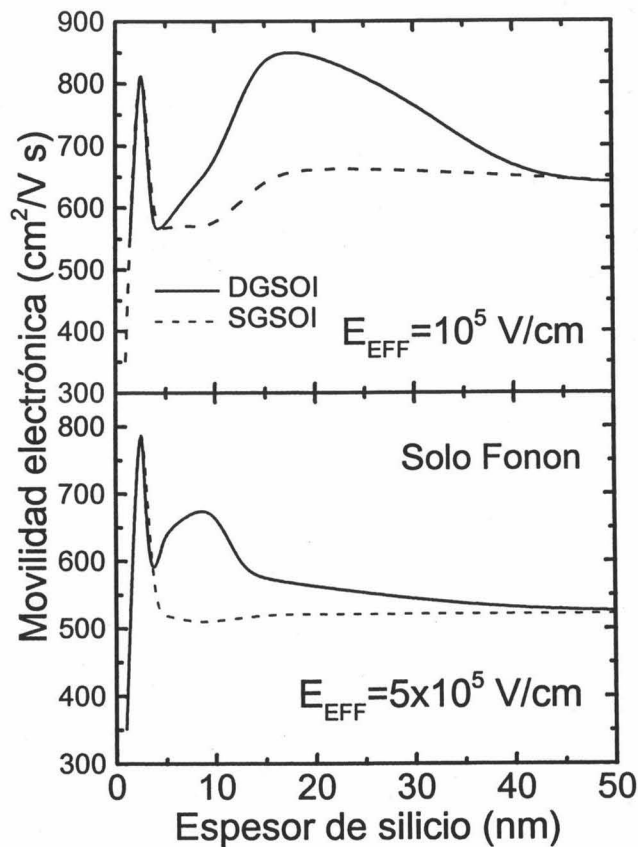


Fig. 115: Movilidad limitada sólo por fonones frente al espesor de la lámina de silicio, para un DGMOSt (línea continua) y un SGMOST (línea discontinua), con un campo efectivo $E_{\text{EF}} = 10^5 \text{ V/cm}$ (gráfica superior) y $E_{\text{EF}} = 5 \cdot 10^5 \text{ V/cm}$ (gráfica inferior).

En la Fig. 115 representamos la movilidad limitada por fonones frente al espesor de la lámina de silicio del transistor de Doble Puerta con trazo continuo y del transistor de Puerta Simple con trazo discontinua, para dos campos eléctricos efectivos: $E_{\text{EF}} = 10^5 \text{ V/cm}$ en la gráfica superior y $E_{\text{EF}} = 5 \cdot 10^5 \text{ V/cm}$ en la gráfica inferior.

Lo primero que se puede observar a simple vista es que la movilidad del DGMOST es superior al del SGMOST para el rango de espesores de silicio de 40nm a 5nm. Mientras que en el transistor de simple puerta la movilidad se mantiene constante en este rango, para el de doble puerta se produce un aumento de la movilidad a medida que decrece el espesor para llegar a un máximo y luego descender de nuevo hasta alcanzar el mismo valor de movilidad del de simple puerta. La diferencia de movilidades en este caso se debe a los beneficios de la inversión de volumen que se produce en el transistor de doble puerta y no tiene lugar en el de puerta simple. Como ya hemos explicado, cuanto más confinada esté la carga, mayor es la dispersión por fonones. En el caso del DGMOST, en situación de inversión de volumen, la carga se distribuye en toda la lámina de silicio estando poco confinada cerca de las interfaces, lo que provoca una reducción de la dispersión por fonones y, por tanto, un aumento de la movilidad. Si el espesor de la capa de silicio se hace muy pequeño, la carga estará igual de confinada que en el transistor SOI de puerta simple y se tendrá una movilidad casi igual en los dos casos.

Llama la atención el pico de movilidad que se produce tanto para el transistor de doble puerta como para el de simple puerta, para un espesor de 3nm. Este efecto se debe al repentino aumento de la concentración de electrones en la subbanda fundamental que propicia un gran descenso de la masa efectiva de conducción y, por tanto, un aumento acusado de la movilidad. Para espesores menores de 3 nm se produce un descenso acusado y continuo de la movilidad en ambos transistores, ya que en este caso vuelve a dominar el creciente efecto de la dispersión por fonones.

Si comparamos las dos gráficas de movilidad calculadas para campos eléctricos distintos, vemos que la movilidad es menor para el caso de campo eléctrico superior, tanto en el DGMOST como en el SGMOST. También observamos cómo para campos eléctricos altos la mejora debida a la inversión en volumen del DGMOST frente al SGMOST se alcanza para espesores de silicio menores, puesto que para que se produzca la situación de inversión en volumen es necesario un espesor menor.

Con el fin de ver los efectos de la rugosidad superficial en ambos transistores, hemos calculado la movilidad limitada por fonones y rugosidad superficial con respecto al espesor de silicio en los dos casos. En la figura siguiente (Fig. 116) representamos la movilidad limitada por fonones y por rugosidad superficial frente al espesor de la lámina de silicio del transistor de doble puerta con trazo continuo y del transistor de puerta simple con trazo discontinuo, para dos valores del campo eléctrico efectivo: $E_{EFF} = 5 \cdot 10^5$ V/cm en la gráfica superior y $E_{EFF} = 10^6$ V/cm en la gráfica inferior.

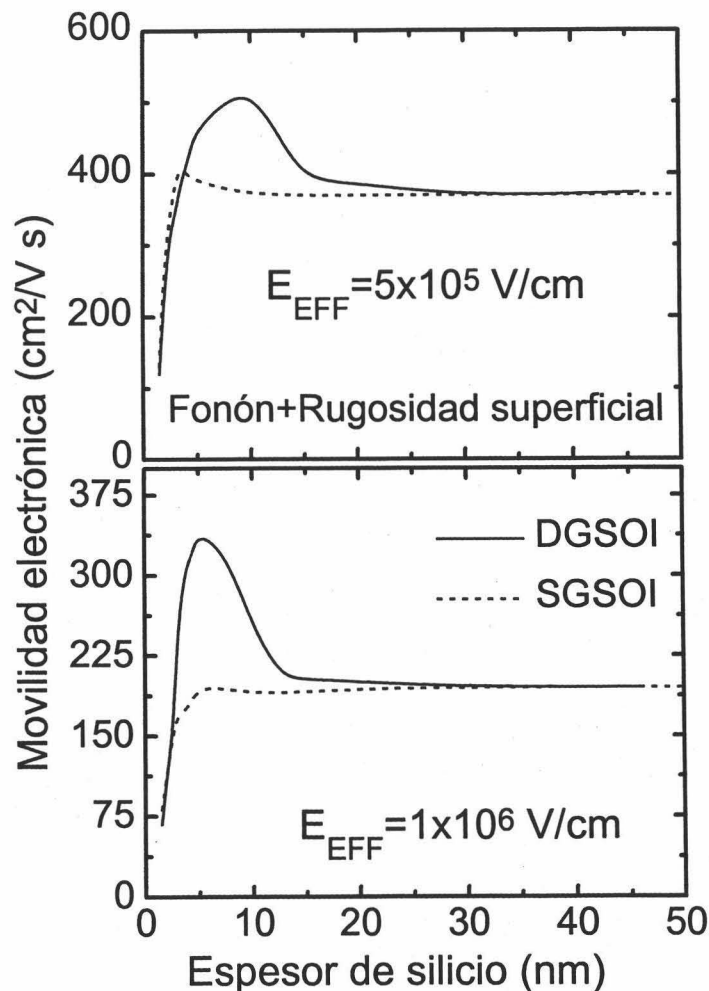


Fig. 116: Movilidad limitada por fonones y rugosidad superficial frente al espesor de la lámina de silicio, para un DGMOIST (línea continua) y un SGMOST (línea discontinua), con un campo efectivo $E_{EF} = 5 \cdot 10^5$ V/cm (gráfica superior) y $E_{EF} = 1 \cdot 10^6$ V/cm (gráfica inferior).

Como se puede observar en la gráficas de la Fig. 116, la rugosidad superficial tiene gran importancia en los dos tipos de transistores, sobre todo para altos campos eléctricos. La movilidad de los electrones en el DGMOST sigue siendo mayor que en el SGMOST justamente para el rango de espesores de silicio en el cual se produce la inversión de volumen. En este rango el centroide de la carga está más alejado de la interface en el transistor de doble puerta que en el de puerta simple y, por tanto, los efectos de la rugosidad superficial son menores en el de doble puerta.

Se puede observar también que ahora es casi inapreciable el pico de movilidad que aparecía para 3nm cuando sólo se tenía en cuenta el efecto de los fonones, en ambos transistores. Esto se debe a que la dispersión por rugosidad superficial es muy importante, siendo el mecanismo principal que limita la movilidad para este espesor de la lámina de silicio.

Para evaluar la influencia de la dispersión coulombiana hemos representado la movilidad teniendo en cuenta todos los efectos de dispersión con respecto al espesor de la lámina de silicio para un campo efectivo pequeño que es donde más importancia tiene este mecanismo de dispersión.

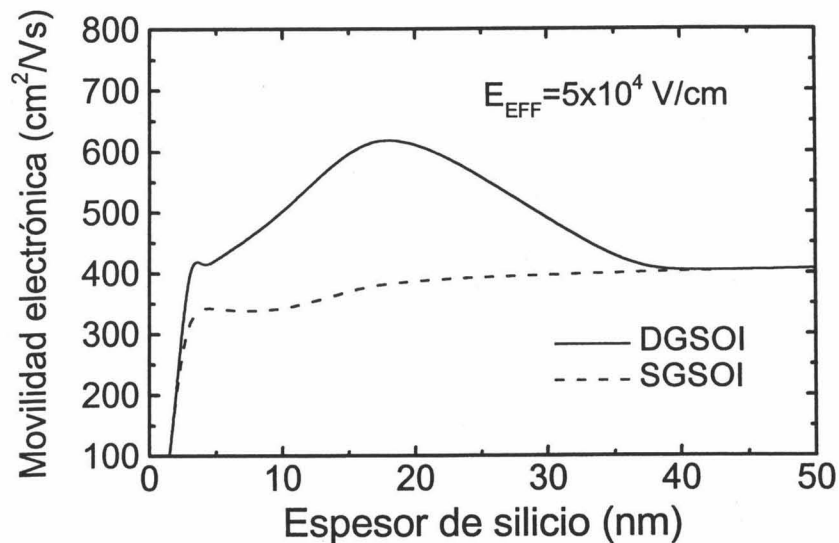


Fig. 117: Movilidad limitada por fonones, rugosidad superficial y dispersión coulombiana frente al espesor de la lámina de silicio, para un DGMOST (línea continua) y un SGMOST (línea discontinua), con un campo efectivo $E_{EF} = 5 \cdot 10^4$ V/cm

De nuevo encontramos una gran mejora de la movilidad en el DGMOST frente al SGMOST en la región de operación de inversión en volumen. Al ser el campo eléctrico bajo, esta región se alcanza con espesores mayores. Podemos observar el pico atenuado de movilidad, en los dos transistores, para el espesor de 3 nm, debido al brusco aumento de la concentración de electrones en la subbanda fundamental. Esto se debe a que para campos eléctricos bajos, la influencia de la rugosidad superficial, que era la responsable de la desaparición de este pico, no es tan importante como a altos campos. Quedan, por tanto, puestas de manifiesto las ventajas en la movilidad del transistor SOI de Doble Puerta frente al de Puerta Simple.

5.5.2.6 COMPARACIÓN DE LA MOVILIDAD DE UN MOSFET DE DOBLE PUERTA CON UN MOSFET CONVENCIONAL

Para completar nuestra discusión de la movilidad de los electrones en un DG MOST, compararemos su comportamiento con el de un MOSFET convencional, y presentaremos algunos resultados de esa comparación.

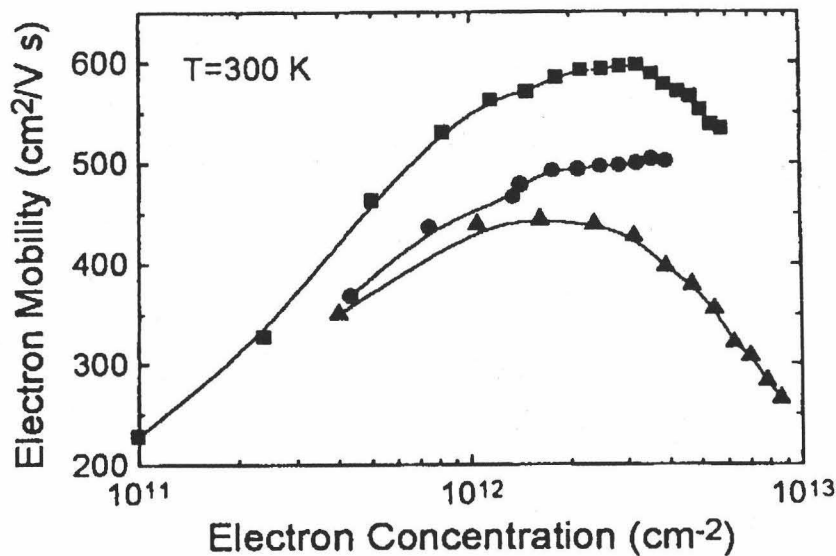
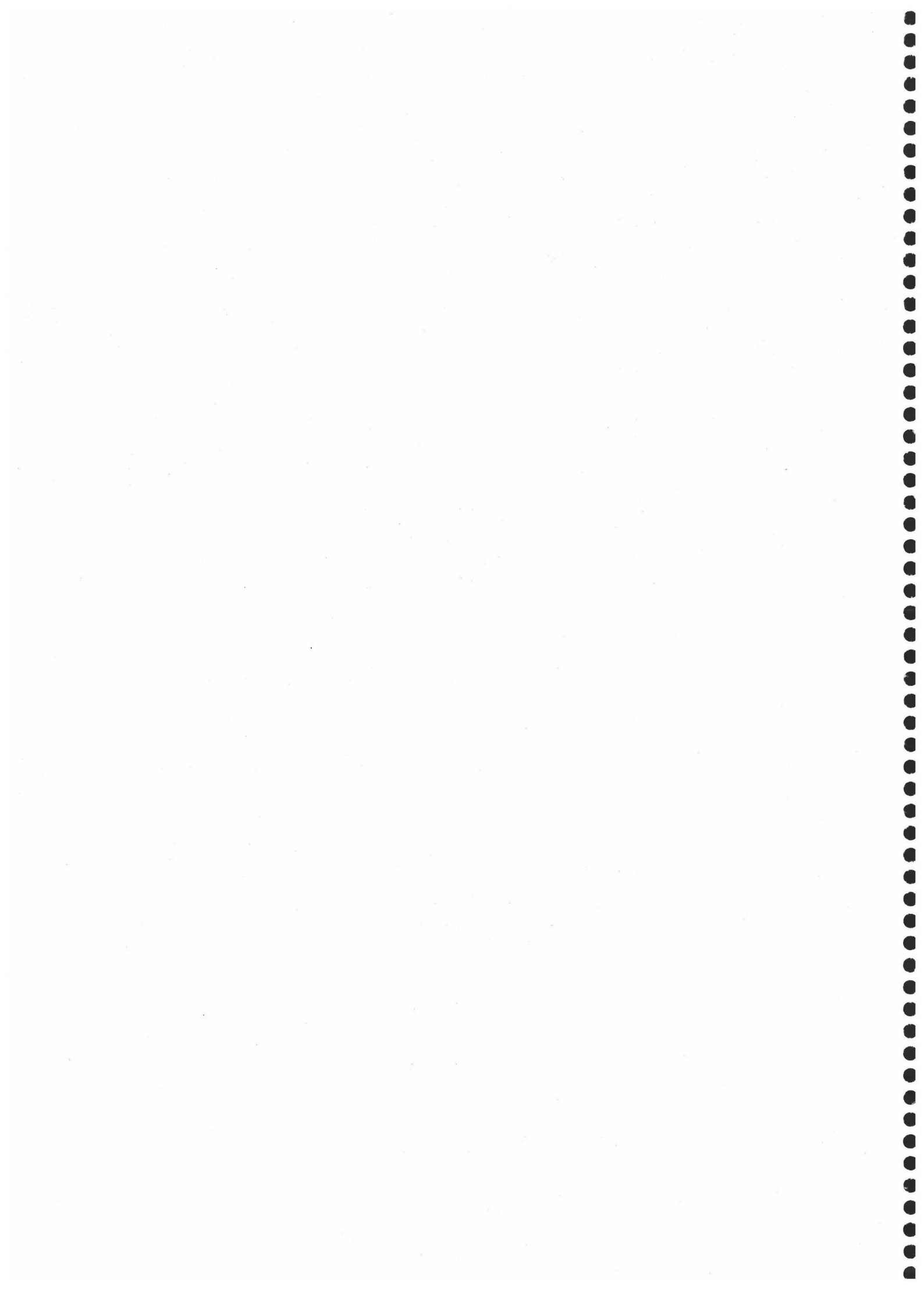


Fig. 118: Movilidad frente a la concentración de carga en inversión, teniendo en cuenta los efectos de dispersión por fonones, rugosidad superficial ($\Delta_{sr} = 0.25\text{nm}$, $L = 1.5\text{nm}$) y dispersión coulombiana ($N_{it} = 5 \cdot 10^5\text{cm}^{-2}$) para un DG MOST con espesor de capa de silicio $t_{si} = 10\text{nm}$ (cuadrados), $t_{si} = 5\text{nm}$ (círculos) y un MOSFET convencional con espesor de capa epitaxial $T_{\text{Epitaxial}} = 30\text{nm}$ (triángulos)

En la gráfica de la Fig. 118 se muestra la movilidad del transistor de Doble Puerta para dos espesores distintos de la lámina de silicio ($t_{si} = 10\text{nm}$, en cuadrados, y $t_{si} = 5\text{nm}$, en círculos), junto con la movilidad de un MOSFET convencional con una capa epitaxial de 30nm de espesor (triángulos). Podemos observar que se obtiene una mejora de la movilidad para el DG MOST frente al MOSFET convencional, incluso para el espesor de 5nm , para el cual vimos que el centroide de la carga era menor en el

DGMOST que en el MOSFET convencional, siendo mayor la proximidad de los electrones a las interfaces, en el caso del DGMOST de lámina muy delgada (5 nm), con respecto al MOSFET convencional. Esto se puede deber a la atenuación de los efectos de la rugosidad superficial debidos a la presencia de la segunda interface, por una parte, y al efecto del apantallamiento de las cargas en la interface y en el interior del óxido, por otra parte, ya que la proximidad a los centros cargados, por sí misma, no determina el efecto de la dispersión culombiana.



CONCLUSIONES

Después del análisis detallado de la estructura MOS de doble puerta que se ha presentado en esta memoria, hemos alcanzado las siguientes conclusiones:

1) Hemos realizado un estudio cuantitativo de la estructura MOSOM mediante la resolución autoconsistentemente de las ecuaciones de Poisson y Schrödinger. Se ha calculado la estructura de subbandas en la lámina de silicio de la estructura MOSOM, y, a partir de ésta, la distribución de electrones, potencial central y de superficie, carga en inversión, pendiente subumbral y centroide de la densidad de carga para distintos valores del espesor de la lámina de silicio y diferentes valores de tensión aplicada a las puertas. Se han comparado estos resultados con los que proporciona el modelo clásico en el que se resuelve la ecuación de Poisson y se expresan las concentraciones de portadores de carga mediante una densidad de estados tridimensional y la estadística de Fermi-Dirac. El estudio, tanto cualitativo como cuantitativo, de la estructura MOSOM, analizando sus posibles modos de operación (deplexión parcial, deplexión total e inversión en volumen), nos permite destacar lo siguiente:

1.a) La distribución de electrones esta influenciada por el espesor de la lámina de silicio y por la tensión aplicada a las puertas y, por tanto, estas dos magnitudes determinan conjuntamente la situación en la que se encuentra el transistor (deplexión parcial, deplexión total o inversión en volumen). La condición de inversión en volumen se obtiene en débil inversión para espesores de la lámina de silicio considerablemente mayores que los necesarios en fuerte inversión.

1.b) Existe una gran diferencia entre las distribuciones de electrones calculadas clásica y cuánticamente. Por tanto, es imprescindible tener en cuenta la cuantización del movimiento de los portadores minoritarios del canal en la dirección perpendicular a la interface silicio-óxido.

1.c) El potencial central depende significativamente de la anchura de la capa de silicio. El potencial de superficie, sin embargo, apenas se ve afectado por esta dimensión del dispositivo.

1.d) En la región subumbral, la carga depende del espesor de la lámina de silicio, disminuyendo a medida que el espesor es menor. En fuerte inversión la carga es casi constante, no dependiendo del espesor excepto para valores muy pequeños, inferiores a 5nm, para los cuales la carga desciende acusadamente.

2) Se ha realizado un estudio de la tensión umbral calculada a partir de los datos de carga en inversión obtenidos clásica y cuánticamente, mediante el método del máximo de la transconductancia. Se han comparado estos resultados con los obtenidos al utilizar dos modelos analíticos desarrollados por investigadores de Fujitsu y de la Universidad de Lovaina. Destacamos los siguientes resultados:

2.a) Existe una pequeña variación de la tensión umbral con el espesor de la capa de silicio. Para espesores correspondientes a depleción parcial, la tensión umbral permanece constante. Para espesores en depleción total, la tensión umbral desciende hasta un determinado espesor, debido a la disminución de la carga en depleción. Para espesores menores se produce, sin embargo, un aumento de la tensión umbral. Este efecto se debe a la dependencia de la carga de inversión con el espesor de la capa de silicio.

2.b) Conseguimos reproducir los resultados de tensión umbral usando el modelo de Fujitsu sólo cuando la razón entre el espesor de la capa de silicio y la de óxido es 10. Proponemos una expresión del parámetro ξ de ese modelo dependiente de la razón entre el espesor de silicio y de óxido. Usando el parámetro ξ calculado con esta expresión conseguimos reproducir los resultados de tensión umbral en todos los casos.

3) Se ha realizado un estudio de la penetración media de la concentración de electrones de la capa de inversión en el interior del semiconductor, llamado centroide de la capa de inversión. En primer lugar se ha considerado la estructura vertical de un DGMOST en deplexión parcial, que coincide con la de un transistor de puerta simple. Hemos visto los efectos del centroide de la capa de inversión sobre las expresiones de la carga en inversión y de la capacidad, modelando ambos términos. Así mismo, hemos hallado una expresión analítica para el centroide. Destacamos lo siguiente:

3.a) El hecho de que la máxima concentración de electrones en la capa de inversión se encuentre alejada de la interface provoca que el potencial de superficie sea mayor; sin embargo, la carga no se incrementa, sino que decrece. La capacidad y la transconductancia serán también menores.

3.b) La expresión de la carga en inversión propuesta tiene la misma forma que la ecuación clásica para el control de carga, $Q_I = C_{ox}^* \cdot (V_G - V_{TH})$, si se introduce una capacidad de oxido modificada. La tensión umbral depende del potencial de deplexión, ψ_{dep} , en vez de del potencial de superficie. De esta forma obtenemos una expresión de la tensión umbral menos dependiente de la tensión de puerta debido a que el valor de ψ_{dep} es casi constante en la región de fuerte inversión.

3.c) La expresión de la carga en inversión no es una expresión empírica, ha sido deducida a partir de ecuaciones conocidas sin hacer ninguna simplificación, es precisa y aplicable en todo el rango de operación desde débil hasta fuerte inversión.

3.d) La corrección debida al centroide en la expresión de la capacidad puerta-canal no es la misma que la utilizada en la expresión de la curva carga-tensión. Es necesario introducir un factor de corrección próximo a 3/2.

4) Se ha realizado un estudio del centroide en la estructura vertical de un DGMOST en depleción total e inversión en volumen. Hemos definido correctamente el centroide de la carga de inversión con vistas al modelado de dicha carga, y hemos hallado una expresión analítica para el centroide. También hemos comparado un MOSFET convencional y un DGMOST desde el punto de vista de las distribuciones de carga. Los principales logros y conclusiones de este estudio son:

4.a) La ecuación de la carga en inversión obtenida es muy parecida a la hallada para el SGMOST, usándose, la misma expresión para la corrección de la capacidad de óxido. La definición de la carga en inversión para el DGMOST tiene las mismas ventajas que la hallada para el SGMOST. En este caso, la carga depende del potencial central, que juega el mismo papel que el potencial de depleción en aquel caso.

4.b) Las Tensiones umbrales del DGMOST y del MOSFET convencional son casi constantes en fuerte inversión y son prácticamente idénticas, lo cual confirma la similitud del comportamiento de los dos transistores. La posible diferencia entre las dos estructuras estará en el centroide de la capa de inversión, el cual afecta directamente al valor de la transconductancia. El valor del centroide puede ser mayor en el DGMOST con espesores de capa de silicio relativamente grandes, debido a la inversión en volumen, pero también puede ser menor si el espesor de la capa de silicio es muy pequeño.

5) Hemos analizado la estructura MOSOM asimétrica en diferentes casos. Hemos obtenido una expresión analítica para la carga en inversión por extensión directa del modelo anterior desarrollado para el caso simétrico, obteniendo de nuevo una expresión simple para el control de carga con una definición apropiada de la tensión umbral en la que participan las características de los dos subcanales. Los casos asimétricos considerados son estructuras con distintos espesores de óxido y estructuras con diferentes materiales de puerta. Los resultados de este estudio son:

5.a) En el caso de diferentes espesores de óxido, imponiendo la condición de que la suma de las dos capacidades de óxido sea constante, hemos variado los espesores y analizado la influencia de esta variación sobre la carga en inversión y la tensión umbral, obteniendo diferencias despreciables. Este resultado está de acuerdo con nuestro resultado teórico y, por tanto, corrobora la predicción de nuestro modelo.

5.b) Para débil inversión, la distribución de electrones en un MOSOM con diferentes espesores de óxido es idéntica al del caso simétrico. En fuerte inversión los electrones no se distribuyen simétricamente a lo largo de la lámina de silicio, produciéndose una mayor concentración de electrones cerca de la interface correspondiente al espesor de óxido menor.

5.c) En el caso de distintos materiales de puerta, hemos considerado una estructura con dos puertas de polisilicio, una tipo p^+ y la otra tipo n^+ . Hemos visto que esta estructura tiene una tensión umbral menor que la del MOSOM simétrico, la cual depende de la relación entre el espesor de la capa de silicio y la de óxido, si se utiliza el método del máximo de la transconductancia, mientras que apenas depende del espesor de la lámina de silicio si se utiliza el método de extrapolación lineal desde muy fuerte inversión. Este último hecho también está de acuerdo con las predicciones teóricas de nuestro modelo. Los inconvenientes de esta estructura son el deficiente comportamiento de la carga en inversión moderada y la posible reducción en la movilidad debido a la mayor proximidad de la carga a la interface de la puerta n^+ .

6) Hemos estudiado el escalado en los DGMOST, tanto p^+-p^+ como p^+-n^+ , y hemos analizado las relaciones que debe haber entre la longitud de puerta, espesor de la lámina de silicio y espesor de óxido para conseguir una operación correcta en estos dos tipos de transistores con pocos efectos de canal corto. Hemos comparado el factor subumbral y desplazamiento de la tensión umbral extraído de las curvas I_D-V_G en la región subumbral, calculadas con el simulador MEDICI, con los resultados de los modelos analíticos propuestos en la bibliografía, consiguiendo un ajuste aceptable. Hemos

CONCLUSIONES

comprobado como con el DG MOST asimétrico $p^+ - n^+$ se pueden conseguir longitudes de canal tan pequeñas como el simétrico, e incluso un poco inferiores.

7) Se ha realizado un estudio de la movilidad electrónica en láminas delgadas de silicio. Se han analizado en primer lugar transistores SOI de puerta simple, con el fin de validar las simulaciones utilizando la mayor disponibilidad de resultados experimentales, y posteriormente se ha calculado la movilidad de los transistores de doble puerta, que son el objetivo de esta tesis. Para ello hemos utilizado el método de Monte Carlo de una sola partícula, teniendo en cuenta los efectos de la dispersión coulombiana, por fonones y por rugosidad superficial. Las principales conclusiones de este estudio han sido:

7.a) Hemos comprobado la ineficacia del modelo de rugosidad convencional para láminas delgadas de silicio. Hemos propuesto un nuevo modelo para evaluar la dispersión en las dos interfaces.

7.b) Hemos estudiado los efectos de la reducción de la anchura de la capa de silicio sobre la movilidad en el transistor SOI simple puerta. Estos producen distintas tendencias contrapuestas:

- Un aumento de movilidad debido a la disminución de la masa efectiva y disminución de la dispersión intervalle tipo f. debido a la separación de las subbandas primas y no primas de energía al reducirse el espesor.

- Una disminución de la movilidad debido al aumento de la dispersión por fonones. como consecuencia del mayor confinamiento de la carga.

- Un aumento de la dispersión coulombiana debido al mayor número de trampas en la interface posterior.

- Finalmente, se produce una disminución de la dispersión coulombiana debido al creciente efecto de apantallamiento.

La preponderancia de unas de estas tendencias sobre las otras depende de los parámetros tecnológicos, tal como se ha puesto de manifiesto en la presente memoria.

7.c) Se ha estudiado la movilidad en el DGMOST analizando cada efecto de dispersión por separado. Las principales conclusiones de este estudio son:

- La dispersión culombiana es más importante cuanto mayor es la concentración de cargas de interface, siendo notable la reducción de la movilidad al aumentar N_{it} . Para bajos campos eléctricos, la movilidad limitada por la dispersión culombiana es independiente del espesor de la lámina de silicio. Para altos campos eléctricos, existe una influencia con el espesor, que es más importante cuanto mayor es la concentración de estados de interface N_{it} . En este caso, la movilidad es mayor cuanto menor es el espesor debido al predominio del efecto de apantallamiento de la carga.

- En cuanto a la dispersión por fonones, la inversión en volumen es beneficiosa ya que al estar menos confinada la carga el efecto de la dispersión será menor. Cuando el espesor de la lámina de silicio es muy pequeño nos encontramos con dos efectos contrarios: por un lado se produce un aumento de la movilidad debido a la separación de las subbandas de energía primas y no primas y por otro lado un descenso de la movilidad provocado por el confinamiento del gas de electrones.

- Con respecto a la rugosidad superficial, sus efectos afectan al DGMOST en todo el rango de valores del campo efectivo y para todos los espesores de silicio estudiados, siendo de mayor importancia cuanto mayor es la amplitud de la rugosidad (Δ), cuanto mayores son los campos transversales efectivos y cuanto menor es el espesor de la lámina de silicio.

7.d) Se ha comparado la movilidad de un transistor SOI de puerta simple con uno de doble puerta, quedando de manifiesto la mejora de la movilidad en el DGMOST frente al SGMOST. Esta mejora es debida al efecto de la inversión en volumen.

7.e) Se ha comparado también la movilidad de un DGMOST con la de un MOSFET convencional. Observamos que se obtiene una mejora de la movilidad para el DGMOST frente al MOSFET convencional, incluso para el espesor de 5nm, para el cual vimos que el centroide de la carga era menor en el DGMOST que en el MOSFET convencional.

8) Finalmente, a partir de los resultados de la distribución de carga de inversión, de la movilidad, y de la relación entre los distintos parámetros tecnológicos, obtenidos en los diferentes capítulos de la memoria, podemos proponer un diseño optimizado del DGMOST:

- Para la tecnología del futuro inmediato, con una longitud de puerta de 50 nm, una buena elección del espesor de la lámina de silicio es de 10 nm. Hemos visto que con este espesor el resultado de movilidad en el rango de campos eléctricos intermedios era el óptimo. Para este espesor de la lámina de silicio, el espesor recomendable de óxido es igual o inferior a 4 nm, que no plantea ningún problema en la tecnología actual.
- Si deseamos reducir aun más la longitud de puerta, en un desarrollo posterior de la tecnología, por ejemplo a $L_G = 25$ nm, el espesor de la lámina de silicio ha de disminuir a 5 nm. Hemos visto que con este espesor la movilidad de los electrones es aceptable, todavía mayor que en un transistor convencional con capa epitaxial muy poco dopada, aunque inferior a la que se obtiene en un DGMOST con 10 nm de espesor. El grosor del óxido en estas condiciones está restringido a 1.8 nm, que está casi en el límite práctico de la tecnología actual. Diseños con menor longitud de canal obligan a óxidos muy delgados o imponen el uso de aislantes con mayor constante dieléctrica.

BIBLIOGRAFÍA

Abramo, A., Fiegna, C. and Casarini, P., 1998, "Simulation of Semiconductor processes and Devices", Springer Verlag, Wien., pp. 121-124.

Ando, T., Fowler, A.B., Stern, F., 1982, "Electronic properties of two-dimensional systems", Rev.Mod.Phys., 54, p.437.

Arora, N.D., Rios, R., and Antoniadis, D.A., 1995, "Capacitance modeling for deep submicron thin gate oxide MOSFETs", Proceedings of the ESSDERC95, pp. 569-572 (Editions Frontieres, 1995)

Ashcroft, N., W., Mermin, N., D., 1976, "Solid State Physics" Holt, Rinehart and Winston, New York.

Balestra, F., Cristoloveanu, S., Benachir, M., Beini, J. and Elewa, T., 1987, "Double-Gate Silicon-on-Insulator Transistor with Volume Inversion: a New Device with Greatly Enhanced Performance", IEEE Electron Device Letters, vol 8, pp. 410-412.

Balestra, F., 1992, Comments on "Dual-Gate Operation and Volume Inversion in n-Channel SOI MOSFET's", IEEE Electron Device Letters, vol. 13, pp. 658-659.

Balestra, F., Matsumoto, T., Nakabayashi, H. Tsumo, M., Inoue, Y. and Koyanagi, M., 1995, "Hot-carrier transport in thin-film SOI MOSFETs at room and cryogenic temperatures", Electronics letters, vol. 31, Iss. 9, pp. 759-761.

Banqueri, J., López-Villanueva, J.A., Gámiz, F., Carceller J.E., Lora-Tamayo E., and Lozano M., 1996, "A procedure for the determination of the effective mobility in an n-MOSFET in the moderate inversion region", Solid-State Electron., vol. 39, pp. 875-883.

Basu, P.K., 1978, "Monte Carlo calculation of hot electron drift velocity in silicon (100)-

BIBLIOGRAFÍA

inversion layer by including three subbands", *Solid State Commun.* **27**, pp.657-660

Bir y Pikus, **1961**, *Sov.Phys.-Solid State* **2**, pp.2039

Booth, R.V., White, M.H., Wong, H.S. and Krutsick, T.J., **1987**, " The effect of channel implantson MOS transistor characterization", *IEEE Trans. Electron Devices*, ED 34, pp 2501-2509.

Brews, J.R., Fichtner, W., Nicollian, E.H. and Sze, S.M., **1980**, "Generalized guide for MOSFET minituarization", *IEEE Electron Device Letters*, vol-EDL-1, pp. 2-4.

Chang, Yun-Sahn and Li, Sheng.S., **1996**, "Modeling and Parameter Extraction of Gate-all-arround nMOS/SOI Transistors in the Linear Región", *Solid-States Electronics*, vol. 39, pp. 991-997.

Cheng, Y.C, **1973**, "Effect of charge inhomogeneities on silicon surface mobility", *J.Appl.Phys.*, **44**, pp.2425-2427

Choi, J.-H., Park, Y.-J. and Min, H.-S., **1995**, "Electron Mobility Behavior in Extremely Thin SOI MOSFET's", *IEEE Electron Device Letters*, vol. 16, pp 527-529.

Colinge, J.P., **1986**, "Subthershold Slope of Thin-SOI MOSFET's", *IEEE Electron Device Letters*, vol. 7, pp 244-246.

Colinge, J.P., Gao, A., Romano-Rodriguez, M.H., Maes, H. and Claeys, C., **1990**, *IEDM Tech. Dig.*, pp. 595-598.

Colinge, J.P., Baie, X. and Bayot, V., **1994**, "Evidence of Two-Dimensional Carrier Confinement in Thin n-Channel SOI Gate-All-Around (GAA) Devices" *IEEE Electron Device Letters* vol. 15, pp. 193-195.

Colinge, J.P., 1996, "Dual Gate SOI MOSFETs: Physics and Potencial", Electroch.Soc. Proc., 96-3, pp. 271-286.

Das Sarma, S., and Vinter, B., 1981, "Temperature-dependent many-body effects on the electronic proprieties of space-charge layers," Phys. Rev **B23**, pp.6832-6835.

Das Sarma, S., and Vinter, B., 1982, " Electronic sctructure of semiconductor surface inversion layers at finite temperature. The Si(100)-SiO₂ system", Phys.Rev. **B26**, pp.960-974

Eaton, S.S. and Lalevic, B., 1978, "The effect of a floating substrate on the operation of Silicon-on-Sapphire Transistors" ", IEEE Trans. Electron Devices, vol. ED-25, pp. 907-912.

El-Mansy, Y.A. and Caughy, D.M., 1977, "Characterization of Silicon-on-Sapphire Digital Integrated Circuits," ", IEEE Trans. Electron Devices, vol. ED-24, pp. 1148-1153.

Ezawa, H., 1971, "Phonons in a half space ", Ann.Phys. (N.Y.) **67**, pp.438-460

Ferry, D.K., 1976, "Hot-electron effects in silicon quantized inversion layers", Phys.Rev.,**B12**, pp.5364-5371

Ferry, D.K., 1978, "Transport of hot carriers in semiconductor quantized inversion layers", Solid-State Electr.**21**, pp.115-121

Ferry, D.K., 1984, "Effects of surface roughness in inversion layer transport", IEDM-84 Techn.Digest. pp.605-608

Fiegna C., Iwai H., Wada T., Saito T., Sangiorgi E. and Ricco B., 1992 "A new scaling methodology for the 0.1-0.025 μ m MOSFET", Symp. VLSI Tech., p.33.

BIBLIOGRAFÍA

Fischetti M.V. and Laux, S.E. , 1993 "Monte Carlo study of electron transport in silicon inversion layers", Phys.Rev., vol. B48, pp. 2244-2274.

Francis, P., Terao, A., Flandre D. and Van de Wiele, F., 1995, "Moderate Inversión Model of Ultrathin Double- Gate nMOS/SOI Transistors", Solid-States Electronics, vol. 38, pp. 171-176.

Frank, D.J., Laux, S.E. and Fischetti, M.V., 1992, "Monte Carlo Simulation of a 30 nm Dual-Gate MOSFET: How Short Can Si Go?", IEDM Tech. Dig. pp 553-556.

Gámiz, F., 1994a, "Estudio y caracterización de la movilidad de electrones en transistores MOS por el método de Monte Carlo" Tesis doctoral. Universidad de Granada.

Gámiz, F., Melchor, I., Palma, A., Cartujo, P., and López-Villanueva, J.A., 1994b, "Effects of the oxide-charge space correlation on electron mobility in inversion layers" Semicond.Sci.Technol. 9, pp.1102.

Gámiz, F., López-Villanueva, J.A., Jiménez-Tejada, J.A., Melchor, I., Palma, A., 1994c "A comprehensive model for Coulomb scattering in inversion layers", J.Appl.Phys., 75, p. 924.

Gámiz F., López-Villanueva J.A., Roldán J.B., Carceller J.E. and Cartujo P., 1998a, "Monte-Carlo Simulation of Electron Transport Properties in Extremely Thin SOI MOSFETs", IEEE Trans. on Electron Dev., ED-45, pp.1122-1126.

Gámiz F., Roldán J.B. and López-Villanueva J.A., 1998b, " Phonon-limited electron mobility in ultrathin silicon-on-insulator inversion layers", J. Appl. Phys., Vol 83, pp. 4802-4806.

Gámiz F., Roldán J.B., López-Villanueva J.A., Cartujo-Cassinello, P. and Carceller, J., 1999a, "Surface roughness at the Si-SiO₂ interfaces in fully depleted silicon-on-insulator inversion layers" *Journal of Applied Physics*, vol. 86, pp 6854-6863.

Gámiz F., Roldán J.B., Cartujo-Cassinello, P., Carceller, J., López-Villanueva J.A. and Rodriguez, S., 1999b, "Electron mobility in extremely thin single-gate silicon-on-insulator inversion layers" *Journal of Applied Physics*, vol. 86, pp 6269-6275.

Goodnick, S.M., Ferry D.K., Wilmsen, C.W., Liliental, Z., Fathy, D., and Krivanek, O.L., 1985, "Surface roughness at the Si(100)-SiO₂ interface", *Phys.Rev.*, **B32**, pp.8171-8186

Gornik, E. and Tsui, D.C., 1976, "Voltage-tunable far infrared emission from Si inversion layers", *Phys.Rev.Lett.* **37**, pp.1425-1428.

Guo, L., Leobandung, E., and Chou, S.Y., 1997, "A room-temperature silicon single-electron metal-oxide-semiconductor memory with nanoscale floating-gate and ultranarrow channel", *Apply. Physics. Letters.*, vol. 70, pp. 850-852.

Hamaguchi, C., 1985, "Hot electron transport in very short semiconductors", *Physica* **134B**, pp.87-96

Hao, C., Zimmermann, J., Charef, M., Frauquembere, R., and Constant, E., 1985, "Monte Carlo study of two-dimensional electron gas transport in Si-MOS devices", *Solid State Electr.*, **28**, pp.733-740

Hansch, W., Vogelsand, T., Kircher, R. and Orłowski, M., 1989, "Carrier Transport near the Si/SiO₂ interface of a MOSFET", *Solid-State Electron.*, vol. 32, pp. 839-849.

Harrison, W.A., 1956, "Scattering of Electrons by Lattice Vibrations in Nonpolar Crystals", *Phys.Rev.* **104**, pp.1281-1290

BIBLIOGRAFÍA

Hartstein, A., Ning, T.H., and Fowler, A.B., 1976, "Electron scattering in silicon inversion layers by oxide charge and surface roughness", *Surf.Sci.*, **58**, pp.178-181

Hisamoto, D., Kaga, T., Kawamoto, Y. and Takeda, E., 1989, "A fully depleted lean-channel transistor (DELTA) --A novel vertical ultra thin SOI MOSFET--", *IEDM Tech. Dig.*, pp. 833-836

Hisamoto, D., Kaga, T. and Takeda, E., 1991, "Impact of the vertical SOI DELTA structure on planar device technology", *Transactions on Electron Devices* vol. 38 pp. 833-836

Hwang, J.M. and Pollack, G. 1992, "Novel Polysilicon/TiN Stacked-Gate Structure for Fully-Depleted SOI/CMOS", *IEDM-92 Tech. Dig.*, pp. 345-348.

Imanaga, S., and Hayafuji, Y., 1991 "Monte Carlo modeling of electron transport in a Si metal-oxide-semiconductor inversion layer including quantum state and bulk scattering", *J. Appl. Phys.*, **70**, p. 1522.

Kato, K., Wada, T. and Taniguchi, K., 1985, "Analysis of Kink Characteristics in SOI MOSFET's Using Two-Carrier Modeling" *IEEE Trans. on Electron Dev.*, vol. 32, pp. 458-462

Kato, K. and Taniguchi, K., 1986, "Numerical Analysis of Switching Characteristics in SOI MOSFET's" *IEEE Trans. on Electron Dev.*, vol. 33, pp. 133-139

Laux, S.E., 1984, "Accuracy of an effective channel length/external resistance extraction for MOSFET's", *IEEE Transactions on Electron Device*, **31**, p. 1245.

Laux, S.E., Fischetti, M.V., 1988, "Monte Carlo simulation of submicrometer Si N-MOSFET's at 77 and 300 K", *IEEE Electron Device Lett.*, **9**, p. 467.

Lim, H.K. and Fossum, J.G., 1984, "Transient drain current and propagation delay in SOI CMOS", IEEE Trans. Electron Devices, vol. ED-31, pp. 1251-1258

Lawaetz, P. 1969, "Long-wavelength phonon scattering in non-polar semiconductors" , Phys.Rev. **183**, pp.730-739

López-Villanueva, J.A., Melchor, I., Cartujo, P., Carceller, J.E., 1993, "Modified Schrödinger equation including nonparabolicity for the study of a two-dimensional electron gas" Phys.Rev, **B48**, p. 1626.

López-Villanueva, J.A., Gámiz, F., Melchor, I. and Jiménez-Tejada, J.A., 1994, "Density of states of two dimensional electron gas including nonparabolicity", Journal of Applied Physics, vol. 75, pp. 4267-4269

López-Villanueva, J.A., Melchor, I., Gámiz, F., Banqueri, J. and Jiménez-Tejada, J.A., 1995. "A model for the quantized accumulation layer in metal-insulator-semiconductor structures", Solid-State Electron, vol. 38, pp. 203-210

López-Villanueva J.A., Gámiz F., Roldán J.B., Ghailan Y., Carceller J.E. and Cartujo P., 1997 "Study of the Effects of a Stepped Doping Profile in Short-Channel MOSFETs", IEEE Trans. On Electron .Dev., vol. 44, pp. 1425-1431.

Madelung, O., 1978, "Introduction to Solid-State Theory", Springer Verlag, Berlin

Maeda, S., Maegawa, S., Ipposhi, T., Nishimura, H., Kuriyama, H., Tanina, O., Inoue, Y., Nishimura, T. and Tsubouchi, N., 1995, "Impact of a vertical Φ -shape transistor ($V\Phi T$) cell for 1 Gbit DRAM and Beyond", IEEE Trans. on Electron Dev., vol. 42, pp. 2117-2124.

BIBLIOGRAFÍA

Majkusiak B., Janik T. and Walczak J., 1998, "Semiconductor Thickness Effects in Double-Gate SOI MOSFET", IEEE Trans. on Electron Dev., vol. 45, pp. 1127-1133.

Miyano, S., Hirose, M. and Masuoka, F., 1992, "Numerical Analysis of a Cylindrical Thin-Pillar Transistor (CYNTHIA)" IEEE Trans. on Electron Dev., vol. 39, pp. 1876-1881

Muller, D.A., Sorsch. T., Moccio, T., Moccio, S., Baumann, F.H., Evans-Lutterodt, K., and Timp, G., 1999, "The electronic structure of the atomic scale of ultrathin gate oxides", Nature, vol. 399, pp. 758-761

Nicollian, E.H., and Brews, J.R., 1982, "MOS (Metal Oxide Semiconductor) Physics and Technology", John Wiley and Sons, New York

Nishida, M. and Aoyama, M., 1980, "An improved definition for the onset of heavy inversion in an MOS structure with nonuniformly doped semiconductors", IEEE Trans. Electron Devices, vol. 27, pp. 1220-1230

Nitayama, A., Takato, H., Okabe, N., Sunouchi, K., Hieda, K., Horiguchi, F. and Masuoka, F., 1991, "Multi-Pillar Surrounding Gate Transistor (M-SGT) for Compact and High-Speed Circuits", IEEE Transactions On Electron Devices, vol. 38, pp. 579-583.

Ohkura, Y., 1990, "Quantum effects in Si n-MOS inversion layer at high substrate concentration", Solid-State Electron., vol. 33, 1581-1585

Ohmi, T., Kotani, K., Teramoto, A., and Miyashita, M., 1991, "Dependence of electron channel mobility on Si-SiO₂ interface Microroughness", IEEE Eletron Devices Letters, EDL12, pp.652-654

Ohmi, T., Miyashita, M., Itano, M., Imaoka, T., and Kawanabe, I., **1992**, "Dependence of thin-oxide films quality on surface microroughness", IEEE Trans.Elec.Dev. **ED39**, pp.537-545

Omura, Y., Nakashima, S., Izumi, K. and Ishil, T., **1991**, "0.1- μ m-Gate, Ultrathin-Film CMOS Devices Using SIMOX Substrate with 80-nm-Thick Buried Oxide Layer", IEDM-91 Tech.Digest, pp. 675-678

Omura, Y., Horiguchi, S., Tabe, M. and Kishi, K., **1993**, " Quantum-Mechanical Effects on the Thershold Voltage of Ultrathin-SOI nMOSFET's", IEEE Electron Device Letters, vol 14, pp. 569-571.

Omura, Y. and Izumi, K., **1996**, " Quantum Mechanical Influences on Short-Channel Effects in Ultra-Thin MOSFET/SIMOX Devices", IEEE Electron Device Letters, vol 17, pp. 300-302.

Omura, Y., Kurihara, K., Takahashi, Y., Ishiyama, T., Nakajima, Y. and Izumi, K., **1997**, "50-nm Channel nMOSFET/SIMOX with an Ultrathin 2- or 6-nm Thick Silicon Layer and Their Significant Features of Operations", IEEE Electron Device Letters, vol 18, pp. 190-193.

Ouisse, T., **1994**, "Self-consistent quantum-mechanical calculations in ultrathin silicon-on-insulator structures" Journal of Apply Physics vol. 76 (10), pp. 5989-5995.

Pals, J.A., **1972**, "Experimental verification of the surface quantization of an n-type inversion layer of silicon at 300 and 77 K" Phys. Rev., vol.B-5, pp. 4208-4210.

Park, C.K., Lee, C-Y., Lee, K., Moon, B-J., Byun, Y.H. and Shur, M., **1991**, "A unified Current-Voltage model for long-channel nMOSFETs", IEEE Trans. Electron Devices, vol ED-38, pp. 399-406.

BIBLIOGRAFÍA

Pein, H. and Plummer, J.D., 1993, "A 3-D Sidewall Flash EPROM Cell and Memory Array", IEEE Electron Devices Letters, vol.14, pp. 415-417.

Pein, H. and Plummer, J.D., 1995, "Performance of the 3-D PENCIL Flash EPROM Cell and Memory Array", IEEE Transactions on Electron Devices, vol.42, pp. 1982-1987.

Pikus, F.G. and Likharev, K.K., 1997, "Nanoscale Field-Effect Transistor, An Ultimate Size Analysis", Apply Physics Letters vol. 71, pp. 3661-3663

Price P.J., 1981, "Two-dimendional electron transport in semiconductor layers Part I: Phonon Scattering", Ann. Phys. (USA), vol 133, pp. 217-239.

Rashed, M. Shih, W.K., Jallepalli, S., Zaman, Kwan, Maziar, C.R., 1995, "Monte Carlo simulation of electron transport in Strained Si/SiGe heterostructures", 4th IWCE'95 Tempe (Arizona), p.26.

Rodríguez S., 1999, "Estudio de las propiedades eléctricas de un gas bidimensional de huecos en estructuras de Si y SiGe", Tesis Doctoral, Universidad de Granada.

Roldán, J.B., Gámiz, F., López-Villanueva, J.A., Carceller, J.E., 1997, "Modeling effects of electron velocity overshoot in a MOSFET", IEEE Transactions on Electron Devices, vol 44, pp. 841-846.

Roldán, J.B., Gámiz, F., López-Villanueva, J.A., Cartujo, P., Carceller, J.E., 1998, "A model for the drain current of deep submicrometer MOSFET's including electron-velocity overshoot", IEEE Transactions on Electron Devices, vol. 45, pp. 2249-2251.

Roldán, J.B., Gámiz, F., López-Villanueva, J.A. and Cartujo-Cassinello, P. 1999, "Deep submicrometer SOI MOSFET drain current model including series resistance,

self-heating and velocity overshoot effects", IEEE Electron Devices Letters, vol. 21, pp. 239-241

Sabnis A.G. and Clemens, J.T., 1979, "Characterization of the electron mobility in the inverted (100) Si surface", IEDM Tech.Digest., pp. 18-21.

Sasaki, N., 1981, "Charge pumping in SOS-MOS transistors", ", IEEE Trans. Electron Devices, vol. ED-28, pp. 48-52.

Satoh, S., Oka, H. and Nakayama, N., 1988, "Bipolar circuit simulation system using two-dimensional simulator", Fufitsu Scientific Tech. J. vol. 24, pp. 456-463.

Schiff, L.I., 1968, "Quantum Mechanics", Third Edition, Mc-Graw Hill, Tokyo

Schrieffer, J.R., 1957, "Mobility in inversion layers: Theory and experiment" in Semiconductor Surface Physics, Ed. by R.H. Kingston (University of Pennsylvania, Press, Philadelphia) pp. 55-69.

Schulz, M. 1999, "The end of the road for silicon?", Nature, vol. 399, pp. 729-730.

Sekigawa, T. And Hayashi, Y., 1984, "Calculated Threshold-Voltage Characteristics of an XMOS Transistor Having an Aditonal Bottom Gate", Solid State Electron, vol. 27, p. 827.

Sheroni, M.J., Su, L.T., Chung, J.E. and Antoniadis, D.A., 1994, IEEE Trans. Electron Devices, vol. ED-41, pp. 276.

Shoji, M., Omura, Y. And Tomizawa, M., 1997, "Physical basis and limitation of universal mobility behavior in fully depleted silicon-on-insulator Si inversion layers", J. Apply. Phys. vol. 81 (2), pp 786-794.

BIBLIOGRAFÍA

Shoji, M., Horiguchi, S., 1999, "Electronic structures and phonon-limited electron mobility of double-gate silicon-on-insulator Si inversion layers", J. Apply. Phys. vol. 85 (5) , pp 2722-2731

Sodini, C.G., Ekstedt, T.W. and Moll, J.L., 1982."Charge accumulation and mobility in thin dielectric MOS transistors", Solid-State Electron, vol. 25, pp. 833-841.

Stern, F., and Howard, W.E., 1967, "Properties of semiconductor surface inversion layers in the electric quantum limit" Physical Review., 163, p. 816.

Stern, F., 1978, "Image potential near a gradual interface between two dielectrics" Phys.Rev.B12, pp.5009-5015

Sturm, J.C., 1988a, "Performance Advantages of Submicron SOI Devices for ULSI" Proc. Mat. Res. Soc. Symp., vol. 107, pp. 295.

Sturm, J.C., Tokunaga, K. and Colinge, J-P., 1988b, "Increased Drain Saturation Current in Ultra-Thin Silicon-On-Insulator (SOI) MOS transistors", IEEE Electron Devices Letters, vol. 9, pp. 460-463.

Su K-W. and Kuo J.B., 1997, " A Non-Local Impact Ionization/Lattice temperature Model for VLSI Double-GATE Ultrathin SOI NMOS Devices", IEEE Trans. On Electron. Dev., vol. 44, pp. 324-330.

Sunouchi, K., Takato, H., Okabe, N., Yamada, T., Ozaki, T., Inoue, S., Hashimoto, K., Hieda, K., Nitayama, A., Horiguchi, F. and Masuoka, F. 1989 "A Surrounding Gate Transistor (SGT) cell for 64/256 Mbit DRAMs" IEDM Tech. Dig. pp. 23-26.

Suzuki, K., Tanaka, T., Tosaka, Y., Horie, H. and Arimoto Y., 1993, "Scaling theory for Double-Gate SOI MOSFET's" IEEE Transactions on Electron Devices, vol. 40, pp.

2326-2329.

Suzuki, K., Tanaka, T., Tosaka, Y., Horie, H., Arimoto Y. and Itoh, T., 1994, "Analytical Surface Potencial Expression for Thin-Film Double-Gate SOI MOSFETs", *Solid-State Electronics*, vol. 37, pp. 327-332.

Suzuki, K., Tanaka, T., Tosaka, Y., Horie and Sugii, T., 1995a, "Hight-speed and low-power n^+p^+ double-gate CMOS", *IEICE Trans. Electron.*, E78-C, pp.360-367.

Suzuki, K. and Sugii, T. 1995b, "Analytical Models for n^+p^+ Double-Gate SOI MOSFET's", *IEEE Trans. Electron Devices*, vol. 42, pp. 1940-1947.

Suzuki, K., Yoshiharu, T. and Sugii, T. 1996, "Analytical Thershold Voltage Model for Short Channel n^+p^+ Double-Gate SOI MOSFET's", *IEEE Trans. Electron Devices*, vol. 43, pp. 732-738.

Takagi S. and Toriumi, A., 1995,"Quantitative Understanding of Inversion-Layer Capacitance in Si MOSFETs", *IEEE Trans. Electron Devices*, vol ED-42, pp. 2125-2130.

Takato, H., Sunouchi, K., Okabe, N., Nitayama, A., Hieda, K., Horiguchi, F. and Masuoka, F. 1988, "Hight performance CMOS Surrounding Gate Transistor (SGT) for Ultra Hight Density LSIs'" *IEDM Tech Dig.*, pp. 222-225.

Takato, H., Sunouchi, K., Okabe, N., Nitayama, A., Hieda, K., Horiguchi, F. and Masuoka, F. 1991, "Impact of sorrounding gate transistor (SGT) for ultra hight-densisty LSI's", *IEEE Trans. Electron Devices*, vol 38, pp. 573-578.

TMA Medici: Two-Dimensional Device Simulator Program, Technology Modeling Associates, Inc., Sunnyvale, CA, 1993.

BIBLIOGRAFÍA

Tanaka, T., Horie, H., Ando, S. and Hijiya, S., 1991, "Analysis of P⁺ Poly Si Double-Gate Thin-Film SOI MOSFETS", IEDM Tech.Digest., pp. 683-686.

Tanaka, T., Suzuki, K., Horie, H. and Sugii, T. 1994, "Ultrafast Operation of V_{th}-Adjusted p⁺-n⁺ Double-Gate SOI MOSFET's", IEEE Electron Device Letters, vol. 15., pp. 386-388.

Taur, Y., Buchanan, D.A., Chen, W., Frank D.J., Ismail K.E., Lo, S.H., Saihalasz, G.A., Viswanathan, R.G. Wann, H.J.C., Wind, S.J. and Wong, H.S., 1997, "CMOS scaling into the nanometer regime", Proceedings of the IEEE, vol. 85, pp. 486-504.

Toriumi, A., Koga, J., Satake, H. and Ohata, A., 1995, "Performance and Reability Concerns of Ultra-thin SOI and Ultra-thin Gate Oxide MOSFETs" IEDM-95 Tech.Digest, pp. 847-850.

Tosaka, Y., Suzuki, K., and Sugii Toshihiro, 1994, "Scaling-parameter-dependent model for subthreshold swing S in Double-Gate SOI MOSFET's" IEEE Electron Device Letters, vol. 15., pp. 466-468.

Tsividis, Y.P., 1993, "Operation and Modeling of the MOS Transistor", McGraw-Hill, New-York.

Tucker, J., Wang, C. and Carney P.S., 1994, "Silicon field-effect transistor based on quantum tunneling", Apply. Physics. Letters., vol. 65, pp. 618-620.

Van Dort, M.J., Woerlee, P.H. and Walker, A.J. 1994, "A simple model for quantisation effects in heavily-doped silicon MOSFETs at inversion conditions", Solid-State Electron., vol. 37, pp. 411-414.

Venkatesan, S., Neudeck, G.W. And Pierret, R. F., **1992a**, "Dual-Gate Operation and Volume Inversion in n-Channel SOI MOSFET's", IEEE Electron Device Letters, vol. 13, pp. 44-46.

Venkatesan, S., Pierret, R. F. and Neudeck, G.W., **1992b**, Reply to "Comments on Dual-Gate Operation and Volume Inversion in n-Channel SOI MOSFET's", IEEE Electron Device Letters, vol. 13, pp. 659-660.

Vinter, B., **1976**, "Many-body effects in n-type Si inversion layers. I. Effects in the lowest subband." Phys.Rev **B13**, pp.4447-4456

Vinter, B. **1977**, "Many-body effects in n-type Si inversion layers. II. Excitations to higher subbands." Phys.Rev **B15**, pp.3947-3958

Wang, J., Kistler, N., Woo, J. and Viswanathan, C.R., **1994**, " Mobility-Field Behavior of Fully depleted SOI MOSFET's", IEEE Electron Device Letters, vol. 15, pp. 117-119.

Wheeler, R.G., and Goldberg, H.S., **1975**, "A novel voltage tuneable infrared spectrometer-detector", IEEE Transactions on Electron Devices, **ED-22**, pp. 1001-1009.

Wind, S.J., Frank D.J. and Wong H-S., **1996**, "Scaling Silicon MOS devices to Their Limits", Microelectronic Eng. Vol. 32, pp. 271-282.

Wong, H-S.P., White, M. H., Krutsick, T. J. and Booth, R.V., **1987**, "Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFETs" Solid State Electron., 30, pp. 953-968.

Wong, H-S.P., Chan, K.K and Taur, Y., **1997**, "Self-aligned (top and bottom) double-gate MOSFET with a 25 nm thick silicon channel", IEDM Tech. Dig. pp. 427-430.

BIBLIOGRAFÍA

Wong, H-S.P., Frank, D.J., Solomon, P.M., Wann, C-H.J., Welser, J.J., 1999, "Nanoscale CMOS", Proceedings of the IEEE, Vol 87, Iss 4, pp. 537-570.

Yan, R-H., Ourmazd, A., Lee, K.F., Jeon, D.Y., Rafferty, C.S. and Pinto, M.R., 1991, "Scaling the Si metal-oxide-semiconductor field-effect transistor into the 0.1- μm regime using vertical doping engineering", Apply Physics Letters, vol. 59, p. 3315-3317

Yan, R-H., Ourmazd, A. and Lee, K.F., 1992, "Scaling the Si MOSFET: From Bulk to SOI to Bulk", IEEE Trans. Electron Devices, **ED-39**, pp. 1704-1710.

Yang, E.S., 1988, "Microelectronic devices", McGraw-Hill, New-York.

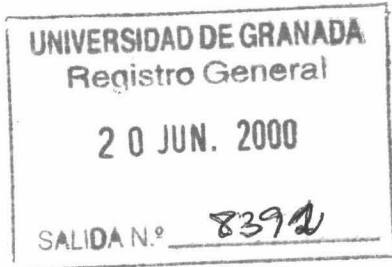
Yoshimi, M., Hazama, H., Takahashi, M., Kambayashi, S., Wada, T., Kato, K. and Tango, H., 1989, "Two-Dimensional Simulation and Measurement of High-Performance MOSFET's Made on a Very Thin SOI Film", IEEE Trans. Electron Devices, **ED-36**, pp. 493-503.

Young, K. K., 1989a, "Short-channel effect in fully -depleted SOI MOSFET's", IEEE Trans. Electron Devices, **ED-36**, pp. 339.

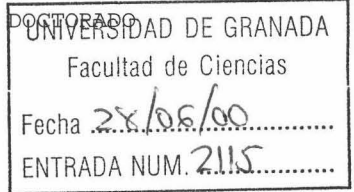
Young, K. K., 1989b, "Analysis of conduction in fully depleted SOI MOSFET's", IEEE Trans. Electron Devices, **ED-36**, pp. 504-506.



UNIVERSIDAD DE GRANADA
COMISIÓN DE DOCTORADO



Fecha: 19 de Junio de 2000
Su Ref^a.
Nuestra Ref^a.
Fecha de Salida:
Unidad de Origen: COMISIÓN DE DOCTORADO



Destinatario:

Ilmo. Sr. DECANO DE LA Facultad de Ciencias

En cumplimiento del artículo 36 de las Normas Regulatoras de los estudios de Tercer Ciclo de esta Universidad, adjunto se remite un ejemplar de la Tesis Doctoral presentada por el Doctorando D. PEDRO CARTUJO CASSINELLO titulada SIMULACION Y MODELADO DE TRANSISTORES MOS DE DOBLE PUERTA y dirigida por el Profesor/es Dr/es JUAN ANTONIO LOPEZ VILLANUEVA con objeto de mantenerla depositada desde el día 19 de Junio de 2000 hasta el día 19 de Julio de 2000 para que pueda ser examinada por cualquier Doctor que así lo desee.

Granada, a 19 de Junio de 2000.

LA SECRETARIA DE LA COMISIÓN

DE DOCTORADO

S. W



Fda. SULTANA WAHNON BENSUSAN
Secretaria de la Comisión de Doctorado