



Universitat Autònoma de Barcelona
ESCOLA D'ENGINYERIA

DEPARTAMENT DE MICROELECTRÒNICA I SISTEMES ELECTRÒNICS

**REFERÈNCIA DE TENSIÓ COMPENSADA EN TEMPERATURA I
DE RESPOSTA ADAPTATIVA A LA VARIACIÓ DE LA TENSIÓ
D'ALIMENTACIÓ PER A INTERFÍCIES DE SENSORS
CAPACITIUS EN SISTEMES DE CONVERSIÓ FREQUÈNCIAL.**

Raúl Aragonés Ortiz

2012

Memòria presentada per a optar a
Doctor en Enginyeria Informàtica
per la Universitat Autònoma de Barcelona
Director: Dr. Joan Oliver i Malagelada
Bellaterra, Juliol 2012



Universitat Autònoma de Barcelona
ESCOLA D'ENGINYERIA

DEPARTAMENT DE MICROELECTRÒNICA I SISTEMES ELECTRÒNICS

El Dr. Joan Oliver i Malagelada, Professor Titular del Departament de Microelectrònica i Sistemes Electrònics de la Universitat Autònoma de Barcelona,

Certifica

Que el treball ***Referència de tensió compensada en temperatura i de resposta adaptativa a la variació de la tensió d'alimentació per a interfícies de sensors capacitius en sistemes de conversió freqüencial*** defensat per Raül Aragonès Ortiz a l'Escola d'Enginyeria en compliment amb els requisits del doctorat del programa d'Enginyeria Informàtica ha estat realitzat sobre la seva direcció.

Dr. Joan Oliver i Malagelada

Bellaterra Juliol del 2012

*A la meva mare i al meu pare,
anys d'educació, amor i sacrifici. Perquè el somni que tenien en mi, s'ha acomplert!*

*A la dona que il·lumina les meves passes, la Sílvia
per la seva infinita[∞] i incondicional paciència i amor d'aquests anys*

*A les meves filles, Irene i Mar
perquè el temps que m'ha robat la tesi d'estar al vostre costat, us el penso tornar[∞]*

*A la meva germana Lara, per la seva companyia i ànims,
Al meu jefe i amic Joan,
molt d'esforç i molt de temps m'has dedicat i moltes muntanyes que m'has ensenyat,
moltíssimes gràcies,*

*a tots els becaris, investigadors i companys del departament de la UAB i dels
Salesians amb els que he compartit grans moments
al Sergio Villar per la gestió del microscopi i la cambra climàtica
i a l'Andrés Peñalver pel suport tècnic al disseny de la primera pcb
al Jordi Roig i al seu grup de recerca
als meus amics i familiars que m'han acompanyat en aquest viatge en solitari
i com no, per a MI, aquell jove estudiant de FP que tenia un bell somni de ser Doctor,
Dom Bosco l'ha fet realitat!*

Gràcies a tots

Agraïments

“你理解的那些你所懂得的知识，和不理解的那些你不懂得的知识，这些都是真正的知识” o saber que se sap el que se sap i que no se sap el que no se sap; heus aquí el veritable coneixement. Amb aquest proverbi, el filòsof Xinés Confuci, feia una breu i clara declaració del paradigma de la saviesa. La tesi que tens a les teves mans, és la meva petita contribució a la saviesa del fantàstic petit món dels circuits integrats.

Una tesi, no és únicament la feina de l'autor, representa el treball d'un equip i d'un suport a la comunitat científica a la que pertany. Dels treballs previs parteix, i en construeix de nous per ser referència, en un futur, d'altres. Tanmateix representa un esforç de tots aquells que envolten a l'investigador, tant el seu grup de recerca, com la seva família i amics. Per tots aquests, espero que aquest treball hagi valgut la pena i agraeixo el temps i comprensió que m'han dedicat.

Mai m'hagués imaginat fa tot just 23 anys enrere quan vaig decidir fer una FP d'Electrònica als Salesians de Sarrià, que arribaria aquest dia. Han estat 23 anys gaudint de l'electrònica, aprenent d'ella i aportant els meus granets de sorra a la seva millora.

Entrar a treballar al Departament de Microelectrònica ha estat, però, el principal motor que m'ha conduït a realitzar aquesta tesi.

Sempre havia tingut passió pels sensors, i plantejar-me reptes que permetessin millorar la seva interfície era certament una idea apassionant. Una bona idea i, és clar, un bon director, que m'ha marcat molt com a persona, i com a generador de bones idees. Hem compartit i discutit molt en aquest àmbit i hem après molt tots dos.

Per altra banda, el fet de poder participar d'un parell de projectes nacionals, m'ha permès recórrer món presentant les meves idees peregrines. Gràcies Carles, una vegada més, per confiar en mi i ens els meus somnis.

També vull agrair a tots el companys del grup de recerca del Paco Serra, del IMB-CNM, com el Josep Maria, el Fortià i l'Estepan, per ajudar-me amb tots els petits entrebancs que han anat sortint en el disseny dels circuits que he integrat.

I com no, també un molt especial agraïment al meu company del Departament de Microelectrònica i Sistemes Electrònics, el Joaquim Saiz, per fer possible que tota la plataforma de disseny CADENCE, amb totes les llicències d'AMS, estiguessin sempre al dia, i totalment operatives, en el nostre departament.

A tots, gràcies.

Resum en català

Les tècniques d'adquisició de senyal a nivell freqüencial ofereixen unes prestacions que són especialment adequades en la construcció de sistemes per a l'adquisició de senyal i pre-procés (ROICs) de dades en sistemes basats en sensors. En particular, en la construcció de sistemes amb sensors sense condicionament i en sensors capacitius, les tècniques d'adquisició de senyal basades en convertidors de capacitat a freqüència (CtoF) i de freqüència a codi binari (Fto#) presenten un millor rendiment en temps real i unes millors característiques electròniques en comparació amb els tradicionals convertidors analògic-digital. Per les característiques que presenten els senyals freqüencials, aquestes tècniques estan especialment indicades en aplicacions que treballen en ambients sorollosos, donat que permeten gaudir d'un rang d'entrada més elevat, proporcionant una multiplexació fàcil en sistemes d'adquisició multicanal, alhora que mantenen excel·lents precisions, consums reduïts i baixos costos de disseny.

El treball *Referència de tensió compensada en temperatura i de resposta adaptativa a la variació de la tensió d'alimentació per a interfícies de sensors capacitius en sistemes de conversió freqüencial* introdueix millores en l'aplicació de tècniques clàssiques Fto# i presenta el disseny d'un circuit CtoF que millora les prestacions dels circuits d'adquisició de senyal de característiques similars presentats en la literatura.

El circuit CtoF està compost per la unió d'un oscil·lador de relaxació més un circuit de referència en voltatge o *bandgap*:

- L'oscil·lador de relaxació de baix consum està dissenyat per treballar en aplicacions de baixa freqüència (fins a uns pocs MHz) i mostra un bon marge de soroll de fase (-103,3 dBc/Hz a 612KHz), amb una baixa dependència a les variacions de la tensió d'alimentació.
- El circuit *bandgap* dissenyat millora les prestacions de *bandgaps* similars presentats en la literatura. Té un consum d'energia baix (26µA), un bon PSRR (-49dB a 10MHz) i una molt baixa dependència a variacions de la temperatura (només 16 ppm/°C). El disseny particular d'aquest *bandgap* mostra una dependència amb la tensió d'alimentació específicament calculada per a ser acoblat a l'oscil·lador de relaxació.
- La unió del *bandgap* i de l'oscil·lador de relaxació conformen el CtoF final. Respecte a l'aïllament del CtoF les variacions de la tensió d'alimentació, cal notar que una variació del 20% de V_{DD} , provoca una variació de només el 0,67% en la freqüència de sortida, mostrant el millor resultat de la literatura.

El circuit CtoF s'ha integrat en un ROIC. La verificació final del circuit mostra que les millores introduïdes (en relació a resultats presentats en la literatura) en quan a rang de capacitats d'entrada, compensació de la temperatura, consum d'energia i PSRR, es deuen en gran mesura a l'acoblament del nou circuit de referència en voltatge amb l'oscil·lador de relaxació.

Summary

The characteristics provided by frequency signal acquisition techniques are particularly suitable for read-out integrated circuits (ROICs) in sensor-based systems.

In particular, in the construction of systems with not conditioned sensors and capacitive sensors, signal acquisition techniques based on capacitance-to-frequency converters (CtoF) and frequency-to-code converters (Fto#) show better real-time performance and better electronic characteristics when compared to traditional analog-digital converters techniques. These techniques present good frequency signal features: high input ranges, can built multiplexed multichannel acquisition systems, have excellent precision, low consumption and low cost design. It is for this that they are specially adequate to work in noisy environments.

This work entitled *Reference voltage and temperature compensated with adaptive response to power supply changes for capacitive sensors interfaces in frequency conversion systems* introduces improvements in the application of classical Fto# techniques and presents the design of a CtoF circuit that improves the signal acquisition circuits performances shown by similar works presented in the literature.

The CtoF design consists of two circuits: a relaxation oscillator circuit and a bandgap reference voltage:

- The low power relaxation oscillator is designed to work in low frequency applications (up to a few MHz) and shows a good phase noise margin (-103.3 dBc / Hz at 612KHz), with a low dependence on power supply variations.
- The designed *bandgap* circuit improves the performance of similar *bandgaps* presented in the literature. It has a low power consumption (26 μ A), good PSRR (-49dB at 10 MHz) and a low dependence on temperature variations (only 16 ppm/ $^{\circ}$ C). The design of this particular *bandgap* allows compensating the power supply dependence of the low power relaxation oscillator.
- The union of the *bandgap* circuit and the relaxation oscillator makes the final CtoF. Regarding the dependence of CtoF to power supply variations, it is stated that a variation of 20% of V_{DD} causes a variation of only 0.67% in the output frequency, showing the best result in the literature.

The CtoF circuit has been integrated into a ROIC. The final verification of the circuit shows that the improvements (in comparison to results presented in the literature) in input range, temperature compensation, PSRR and power consumption are due to the coupling of the new *bandgap* with the relaxation oscillator.

Índex de la Memòria

Resum en català.....	9
Summary.....	11
Índex de figures.....	19
Índex de Taules	25
Glossari de termes i d'acrònims	27
1. Introducció.....	29
1.1 Visió general i motivacions	29
1.2 La interfície a nivell freqüencial en sensors intel·ligents o <i>ROIC</i>	31
1.3 Objectius.....	33
1.4 Estructura de la memòria	34
1.5 Referències.....	37
2. Sensors i sistemes de condicionament.....	39
2.1 Introducció	39
2.2 Sensors i interfícies.....	41
2.2.1 Tipus de sensors. Generalitats	41
2.2.2 Sensors de temperatura i interfícies	43
2.2.3 Sensors de pressió i interfícies	45
2.2.4 Sensors d'humitat.....	45
2.2.5 Sensors de llum.....	46
2.2.6 Sensors de velocitat i d'acceleració.....	46
2.2.7 Giroscopis	48
2.3 Condicionament del senyal	49
2.3.1 Exemples de condicionament.....	49
2.3.2 L'oscil·lador controlat per tensió o VCO.....	52
2.4 Conclusions	55

2.5	Referències.....	57
3.	Convertidors freqüencials o Fto#	61
3.1	Introducció	61
3.2.	Principi d'adquisició i tractament de senyal Esquemes convertidors A/D i freqüencial.....	65
3.3.	Mètodes freqüencials d'adquisició de senyal.....	66
3.3.1	Mètode del recompte directe (<i>Direct Count Method o DCM</i>)	67
3.3.2	Mètode del recompte indirecte (<i>Indirect Count Method o ICM</i>)	68
3.3.3	Mètode de recompte radiomètric.....	70
3.3.4	Mètode del <i>recompte recíproc</i>	71
3.3.5	Mètode del recompte dependent (<i>Dependent Count Method o DCM</i>).....	72
3.3.6	Comparativa dels mètodes d'adquisició freqüencial	74
3.3.7	Anàlisi d'errors en el procés	76
3.3.8	Principals mecanismes que ajuden a reduir aquest error.....	77
3.4	Aplicació i optimització àdhoc de tècniques d'adquisició de senyal emprant mètodes freqüencials	77
3.4.1	Mètode de conversió indirecte amb autocalibració [42].....	78
3.4.2	Optimització arquitectural al DCM per la millora del temps d'adquisició.....	82
3.4.3	Conversió pel mètode indirecte amb error de rellotge de sistema	86
3.5	Conclusions	91
3.6.	Referències.....	92
4.	Oscil·lador de molt baix consum per a la conversió CtoF	97
4.1	Conceptes previs	98
4.2	Interfície capacitiva	100
4.2.1	Introducció.....	100
4.2.2	Adquisició de senyal en sensors capacitius	100
4.2.3	Parametrització de les capacitats paràsites al sistema de mesura	101
4.3	Parametrització de l'oscil·lador sinusoidal com a convertidor freqüencial.....	103
4.3.1	Introducció.....	104
4.3.2	Oscil·ladors LC.....	107

4.4	Parametrització de l'oscil·lador no sinusoidal com a convertidor freqüencial	109
4.4.1	Introducció.....	109
4.4.2	Oscil·lador per rotació de fase [28]	110
4.4.3	Oscil·lador en pont de Wien [29].....	111
4.4.3	Oscil·ladors RC-CMOS i oscil·ladors de relaxació [26]	112
4.5	Oscil·lador RC CMOS.....	112
4.5.1	Introducció.....	112
4.5.2	Principi de funcionament	113
4.5.3	Funcionament bàsic de l'oscil·lador	113
4.5.4	Resultats	115
4.5.4	Consideracions addicionals sobre l'oscil·lador RC.....	118
4.6	Oscil·lador de relaxació.....	119
4.6.1	Introducció al model genèric.....	119
4.6.2	Oscil·lador de relaxació. Principi de funcionament.....	119
4.6.3	Resultats del convertidor CtoF	125
4.6.4	Introducció al convertidor CtoF de baix consum	126
4.6.5	Principis de funcionament del convertidor CtoF de baix consum	126
4.6.6	Optimització del consum	128
4.6.7	Estudi del soroll de fase en l'oscil·lador de relaxació.....	129
4.6.8	Compensació del CtoF respecte a variacions de la tensió d'alimentació	132
4.6.9	Resultats del convertidor CtoF de relaxació de baix consum	133
4.6.10	Convertidor CtoF de baix consum multi-canal	139
4.7	Conclusions	144
4.8	Referències.....	146
5.	Referència en voltatge en circuits MOS: disseny d'un <i>bandgap</i> de baix consum, compensat en temperatura i adaptatiu a l'etapa de càrrega.	151
5.1	Miralls de corrent.....	153
5.1	Referències en voltatge: fonaments.....	155
5.2	Circuit de referència en voltatge simple.....	159

5.3.1	Conceptes teòrics	159
5.3.2	Resultats Experimentals	163
5.4	Circuit de referència en voltatge compensat.....	166
5.4.1	Descripció del circuit	167
5.4.2	Compensació en temperatura.....	169
5.4.3	Efecte de la modulació de la llargada del canal	171
5.4.4	Consideració sobre l'efecte cos.....	172
5.5	Circuit de referència sense dependència en temperatura.....	173
5.5.1	Descripció del circuit	174
5.5.2	Circuit de generació de corrent.....	175
5.5.2	Circuit de càrrega activa	177
5.5.3	Consideracions de disseny.....	178
5.5.4	Dimensionament per minimitzar el consum de corrent	178
5.5.5	Estudi de la sensibilitat a variacions del procés tecnològic.....	179
5.5.6	Efecte de modulació de la llargada de canal.....	179
5.5.7	Compensació en temperatura.....	181
5.5.8	Efecte cos.....	182
5.5.9	Resum	182
5.6	Circuit de referència adaptatiu de baix consum, compensat en temperatura i en tensió d'alimentació.....	183
5.6.1	Descripció del circuit	183
5.6.2	Rang dinàmic	185
5.6.3	Compensació en temperatura.....	186
5.6.4	Efecte de la modulació de la llargada del canal	186
5.6.5	Raó de rebuig a la tensió d'alimentació (PSRR).....	187
5.6.6	Efecte cos.....	190
5.6.7	Compensació del pendent de la tensió de referència.....	190
5.6.8	Resultats	192
5.7	Conclusions.....	200

5.8	Referències.....	202
6.	Etapa de processament digital del senyal per a sensors intel·ligents i integració dels ASICs ROIC.....	205
6.1	Introducció.....	205
6.2	Arquitectura de la plataforma d'adquisició de senyal i tractament a nivell freqüencial I.....	206
6.3	Arquitectura de la plataforma d'adquisició II.....	210
6.4	Processat amb l'ASIC ROIC 2.0.....	213
6.4.1	Introducció.....	213
6.4.2	Arquitectura del sistema processador.....	214
6.5	Processat del senyal.....	216
6.6	Resultats del sistema de mesura 2.0.....	218
6.6.1	Resultats parcials, comprovats en seccions anteriors.....	219
6.6.2	Mesures i resultats del sistema de mesura de l'ASIC ROIC 2.0.....	219
6.7	Conclusions.....	221
6.8	Referències.....	222
7.	Conclusions.....	223
	Millores i treball futur.....	227
	Llistat de publicacions i contribucions a congressos.....	229
	Apèndix 1: Model Matlab equivalent.....	231
	Apèndix 2: Figures i plaques.....	233
	Apèndix 3: Integració dels ASIC ROICs.....	237
A3.1	introducció.....	237
A3.2	Flux de disseny.....	237
A3.3	Overview de la tecnologia AMS 0,35µm.....	240
A3.4	Disseny de l'ASIC ROIC 1 i 2.....	243
A3.6	Referències.....	251

Índex de figures

Figura 1.1: (a) Sensor <i>CCD full frame</i> amb la seva electrònica associada, (b) Fotografia del <i>CCD full Frame</i>	30
Figura 1.2: <i>Cantilever</i> fet servir per a mesurar les forces de Lorentz [5].	30
Figura 1.3: Interfície freqüencial per a l'adquisició de senyal en sensors.....	32
Figura 2.1: Mercat mundial de les aplicacions de sensors i MEMS. Font Semico Research group [8].	42
Figura 2.2: Distribució del mercat actual de MEMS i sensors. Font Semico Research group [8].	43
Figura 2.3: Diagrama de blocs del sensor de velocitat i acceleració A1425.....	47
Figura 2.4: Sensor d'acceleració ADXL212.	47
Figura 2.5: Microacceleròmetre fabricat en SOI.	48
Figura 2.6: Diagrama de blocs del giroscopi ADIS16255.	48
Figura 2.7: Microfotografia d'un giroscopi.....	49
Figura 2.8: Diagrama intern de l'AD594.	50
Figura 2.9: Esquema intern d'el condicionador de RTDs , ADT70.....	50
Figura 2.10: a) Diagrama de blocs del VCO, b) circuit simple d'implementació d'un VCO.	52
Figura 2.11: VCO basat en l'oscil·lador de relaxació de baix consum.	53
Figura 2.12: Layout del VCO basat en l'oscil·lador de relaxació.....	54
Figura 2.13. Escombrat de tensió de control sobre el VCO.....	55
Figura 3.1: Mètode clàssic d'adquisició.....	65
Figura 3.2: Mètode d'adquisició freqüencial.....	65
Figura 3.3: Mètode d'adquisició freqüencial directe.	67
Figura 3.4: Circuit equivalent del convertidor directe.	68
Figura 3.5: Mètode d'adquisició freqüencial indirecte.	69
Figura 3.6: Mètode d'adquisició freqüencial indirecte.	69
Figura 3.7: Mètode d'adquisició freqüencial radiomètric.....	70

Figura 3.8: Esquema del mètode d'adquisició freqüencial radiomètric.	71
Figura 3.9: Cronograma del mètode d'adquisició de recompte recíproc.	72
Figura 3.10: Cronograma del mètode d'adquisició de recompte dependent.....	73
Figura 3.11: Cronograma del mètode indirecte simplificat.	79
Figura 3.12: Circuit d'autocalibració freqüencial pel convertidor ICM.	81
Figura 3.13: Exemple d'autoadaptació del senyal de rellotge.	82
Figura 3.14: Adquisició completa.	82
Figura 3.15: Circuit DCM millorat.	83
Figura 3.16: Simulació del DMC millorat.	85
Figura 3.17: Diagrama temporal del convertidor indirecte millorat.	87
Figura 3.18: Mesura i precisió.	88
Figura 3.19: Resposta de la variació del sensor ($F_B = F_{CLK}$ i $F_A = F_S$)	89
Figura 3.20: Resultat per a un escombrat de 100KHz a 500KHz.	90
Figura 4.1: Resposta estàndard en un sensor de pressió diferencial [19].	101
Figura 4.2: Model elèctric d'un sistema de mesura capacitiu.....	102
Figura 4.3: Estructura bàsica d'un oscil·lador.....	104
Figura 4.4: a) Entrada no nul·la i llaç obert. b) S'elimina l'entrada i es tanca el llaç....	105
Figura 4.5: Posició dels pols per a un oscil·lador idea.	105
Figura 4.6: Desplaçament dels pols al pla real negatiu (a) o positiu (b).	106
Figura 4.7: Guany i saturació d'un oscil·lador.	106
Figura 4.8: Circuit típic d'un oscil·lador sinusoidal.	107
Figura 4.9: Model petit senyal de l'oscil·lador (a), i amb el bucle obert (b).	108
Figura 4.10: Esquema de l'oscil·lador per rotació de fase.	110
Figura 4.11: Esquema de l'oscil·lador en pont Wien.....	111
Figura 4.12: Esquema de l'oscil·lador RC CMOS.....	113
Figura 4.13: Funció de transferència amb els marges de soroll de l'inversor CMOS...	114
Figura 4.14: Resposta de l'oscil·lador RC CMOS.....	115
Figura 4.15: Layout de l'oscil·lador RC CMOS.....	116
Figura 4.16: Fotografia amb microscopi de l'oscil·lador RC CMOS.	116

Figura 4.17: Resposta temporal de l'oscil·lador RC CMOS, amb una càrrega de 50pF.	117
Figura 4.18: Soroll de fase de l'oscil·lador RC CMOS per a un sensor de 50pF.	117
Figura 4.19: Resposta de sortida freqüencial per a un escombrat capacitiu.	118
Figura 4.20: Esquema de l'oscil·lador de relaxació.	120
Figura 4.21: Característica I/V d'un condensador.	123
Figura 4.22: Fotografia amb microscopi.	125
Figura 4.23: Oscil·lador de relaxació de baix consum.	128
Figura 4.24: Resposta ideal i resposta real d'un oscil·lador de relaxació.	129
Figura 4.25: Oscil·lador de relaxació amb el model capacitiu per l'estudi del soroll de fase.	130
Figura 4.26: a) Redisseny de transistor M2 considerant el corrent de soroll de drenador a font. b) Redisseny del model equivalent del corrent del soroll.	131
Figura 4.27: Resposta real del convertidor CtoF sense compensació.	132
Figura 4.28: Resposta del CtoF compensat.	133
Figura 4.29: <i>Layout</i> de l'oscil·lador del convertidor CtoF de baix consum.	134
Figura 4.30: Fotografia del convertidor CtoF de baix consum.	134
Figura 4.31: Resposta de sortida del convertidor CtoF de baix consum.	135
Figura 4.32: Resposta de sortida del convertidor CtoF de baix consum per a una rampa d'alimentació.	136
Figura 4.33: Resposta de sortida del convertidor CtoF per a la variació de V_{DD} i de la capacitat.	137
Figura 4.34: Freqüència de sortida del CtoF per a 17 mostres sobre el mateix ASIC.	137
Figura 4.35: Anàlisi del soroll de fase del convertidor CtoF de baix consum.	138
Figura 4.36: Circuit digital de selecció de canal.	140
Figura 4.37: Convertidor CtoF multicanal.	141
Figura 4.38: Fotografia feta amb microscopi amb els dos blocs.	142
Figura 4.39: Funció hipèrbola, resposta del convertidor CtoF de baix consum.	144
Figura 5.1: Circuit bàsic de polarització MOSFET.	153
Figura 5.2: Mirall de corrent.	154
Figura 5.3: Mirall de corrent en configuració càscode.	155

Figura 5.4:Circuit simplificat de referència de voltatge.	157
Figura 5.5:Circuit simplificat de generació de voltatge.	158
Figura 5.6: Mirall de corrent fent servir una font de corrent ideal.	159
Figura 5.7: Circuit de corrent referenciat.	160
Figura 5.8: Circuit per l'anàlisi de I_{OUT} considerant variacions petites de V_{DD}	161
Figura 5.9:Circuit de referència amb start-up.	162
Figura 5.10: Layout i fotografia del circuit de referència en voltatge.	164
Figura 5.11:Tensió de sortida mesurada (en vermell)i simulada(en verd), comparada amb V_{DD}	165
Figura 5.12: PSRR per al una temperatura de 24°C i una V_{DD} de 2v.	165
Figura 5.13: Tensió de sortida per a diferents V_{DD} i diferents temperatures de funcionament.	166
Figura 5.14: Evolució del circuit de referència en voltatge.	167
Figura 5.15: Circuit de referència en voltatge.	174
Figura 5.16: Circuit de referència en voltatge de l'ASIC ROIC 2.0.	184
Figura 5.17: Circuit de referència en voltatge pel càlcul del PSRR en corrent continu.	188
Figura 5.18: Circuit per al càlcul del PSRR alta freqüència.	189
Figura 5.19: Circuit pel càlcul del PSRR a alta freqüència. Model capacitiu.	189
Figura 5.20: Layout del circuit de referència en voltatge (extret de <i>Virtuoso</i>).	192
Figura 5.21: Fotografia del circuit de referència en voltatge feta amb microscopi.	193
Figura 5.22:Simulació de la sortida del VRG amb compensació i sense.	194
Figura 5.23: Resultats experimentals de la sortida del VRG amb compensació.	195
Figura 5.24: PSRR a temperatura de 22°C.	195
Figura 5.25: Variació de la tensió de sortida del circuit de referència en voltatge per a diferents temperatures.	196
Figura 5.26: Tensió de sortida del circuit de referència en voltatge per a 8 mostres de ASIC.	197
Figura 5.27: Histograma de tensió de sortida del circuit de referència en voltatge.	197
Figura 5.28: Consum total del circuit de referència.	198

Figura 6.1: Diagrama de blocs de la primera arquitectura d'adquisició i processament.	207
Figura 6.2: Plataforma d'adquisició basat en tres plaques.	207
Figura 6.3: ASIC ROIC 1.0.	209
Figura 6.4: Diagrama de blocs de la segona arquitectura d'adquisició i processament.	211
Figura 6.5: ASIC ROIC 2.0.	212
Figura 6.6: Plataforma d'adquisició basat en dues plaques per a l'ASIC ROIC 2.0.....	212
Figura 6.7:Estructura interna modular del Microblaze.	216
Figura 6.8: Sortida del convertidor Fto# integrat en el ROIC 2.0.	220
Figura 6.9: Valors obtinguts de l'hyperterminal de Windows.....	220
Figura a1.1: a) Resposta de l'escombrat capacitiu versus freqüència de sortida. La figura b) mostra un zoom en la part més hiperbòlica de la corba.	232
Figura a2.1: Circuit intern que incorpora el MicroBlaze i els convertidorsFto# i la lògica de control.	234
Figura a2.2: Placa d'adquisició per l'ASIC ROIC 1.0.	235
Figura a2.3: Placa dels sensors per l'ASIC ROIC 1.0.....	236
Figura a2.4: Placa d'adquisició i sensors de l'ASIC ROIC 2.0.	236
Figura a3.1: Flux de disseny.....	238
Figura a3.2: Model equivalent del transistor	239
Figura a3.3 :Mostra el tall lateral de la tecnologia AMS 0,35µm.....	240
Figura a3.4:Secció lateral d'un disseny implementat amb 3 metalls.....	241
Figura a3.5: Definició de les restriccions del dissenys segons regles de disseny.....	242
Figura a3.6: Regles de disseny per a les difusions.....	242
Figura a3.7: Esquemàtic intern de l'ASIC ROIC 1.0.....	245
Figura a3.8: Layout intern de l'ASIC ROIC 1.0.....	246
Figura a3.9: Microfotografia de ASIC ROIC 1.0.....	247
Figura a3.10: Esquemàtic intern de l'ASIC ROIC 2.0.....	248
Figura a3.11: Layout intern de l'ASIC ROIC 2.0.....	249
Figura a3.12: Microfotografia de l'ASIC ROIC 2.0.....	250

Índex de Taules

Taula 3.1: Comparativa dels mètodes freqüencials relatius i absoluts.....	75
Taula 3.2: Taula comparativa dels error relatius a la mesura.	76
Taula 4.1: Tipus d'oscil·lador segons la ubicació de la reactància i tipus.....	109
Taula 4.2: Resultats del test sobre el convertidor CtoF de relaxació.....	126
Taula 4.3: Comparativa de diferents oscil·ladors de la bibliografia.	139
Taula 5.1: Test de consum per a diferents valors d'alimentació i temperatura	198
Taula 5.2: Comparació amb els BGR disponibles a la bibliografia.....	200
Taula a3.1: Densitats màximes de corrent per a la tecnologia C35B4C3 de AMS 0,35 µm.	241
Taula a3.2: Valors per a les restriccions de les regles de disseny de les difusions.	243

Glossari de termes i d'acrònims

ADC	Analog to Digital Converter
AMS	Austriamicrosystems
ASIC	Application Specific Integrated Circuit
AO	Operational amplifier
BGR	BandGap Reference Circuit
CAD	Computer Aided Design (Diseño asistido por Ordenador)
CMOS	Complementary Metal-Oxide-Semiconductor
CtoF	Capacitance to Frequency Converter
DAC	Digital-Analog Converter
DCM	Dependent Count Method
DR	Dynamic Range
DSP	Digital Signal Processing
FDM	Frequency Division Multiplexing
FPGA	Field-programmable Gate Array
Fto#	Frequency to Code (Digital) Converter
ICM	Indirect Count Method
MOS	Metal-Oxide-Semiconductor
PWM	Pulse Width Modulation
PSRR	Power Supply Rejection Ration
ROIC	Readout Integrated Circuit.
SΔM	Sigma Delta Modulator
TDM	Time Division Multiplexing
μC	Microcontroller
VCO	Voltage Controlled Oscillator
VtoF	Voltage to Frequency Converter

1. Introducció

La recerca d'un entorn més proper comporta la necessitat de desenvolupar sensors més eficaços i independents. Les possibilitats emergents dels sensors intel·ligents impulsa el desenvolupament de noves aplicacions que converteixen en present el que fins avui era futur: pròtesis intel·ligents [1,2], avaluació d'activitats esportives [3], observació del nostre entorn [4] són només tres mostres d'un llarg etcètera d'aplicacions impensables just fa uns pocs anys.

1.1 Visió general i motivacions

L'altíssim grau de desenvolupament que la humanitat està tenint no hagués estat possible sense una constant evolució de l'electrònica que ens envolta. Una de les principals causes d'aquesta revolució ha estat l'evolució de les tecnologies electròniques amb el constant increment de sofisticació en els processos d'integració i nivell d'integració dels dispositius electrònics, i a on s'hi inclou el gran avenç en la creació de sensors. Avui en dia és normal veure que el telèfon mòbil incorpori una pantalla tàctil capacitiva, un GPS, un giroscopi, un compàs magnètic, i un acceleròmetre triaxial.

Per descomptat que és abismal l'evolució que hi hagut des de l'aparició dels primers sensors discrets, que ocupaven varis centímetres de diàmetres, fins als actuals sistemes integrats que incorporen milions d'aquests sensors, com els sensors *CCD full frame* (figura 1.1).

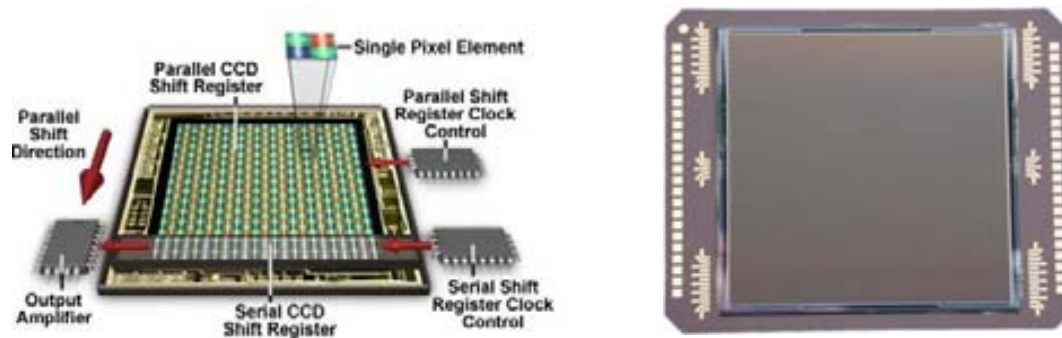


Figura 1.1: (a) Sensor *CCD full frame* amb la seva electrònica associada, (b) Fotografia del *CCD full Frame*.

En l'actualitat existeixen sensors que permeten mesurar tot tipus de magnituds físiques, sensors que van des dels més clàssics que mesuren temperatura fins als més complexos que es basen en *bigues voladisses* o *cantilever* per mesurar el pes de nano partícules. La figura 1.2, per exemple, mostra un *cantilever* que permet mesurar les forces de Lorentz [5].

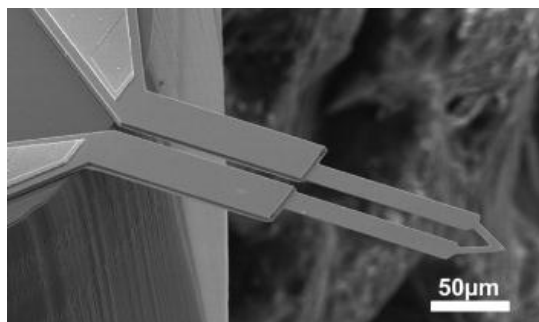


Figura 1.2: *Cantilever* fet servir per a mesurar les forces de Lorentz [5].

En tots els tipus de sensors, independentment de la magnitud física que el sensor mesura, s'entrega un senyal elèctric de sortida proporcional a la magnitud mesurada. Aquest senyal es dona al circuit d'adquisició de senyal o *front-end*, en format corrent, voltatge o freqüencial. En el cas dels sensors RAW (sensors no condicionats) fins i tot es pot treballar directament amb el valor capacitiu o resistiu del mateix sensor.

Aquest darrer tipus de sensors, solen ser integrats dins d'un mateix encapsulat juntament amb el sistema d'adquisició i processat de senyal. En la interfície entre el sensor i el circuit de processat de senyal sol ser necessari incorporar un convertidor. Entre les circuits més emprats com a interfície s'hi troben els convertidors analògic/digitals i els convertidors basats en senyal freqüencial. Aquests darrers

presenten uns avantatges que els fan molt interessants en el disseny d'interfícies en sensors intel·ligents, o interfícies quasi-digitals.

És en aquest context que s'emmarca aquest treball. Molts dels senyals que proporcionen els sensors poden ser pre-processats¹ mitjançant tècniques més simples que no pas emprant convertidors analògic/digitals. Amb aquest enfocament, aquesta tesis s'endinsa en el camp de l'adquisició de senyal de sensors amb tractament a nivell freqüencial.

1.2 La interfície a nivell freqüencial en sensors intel·ligents o *ROIC*.

El circuit integrat de lectura del senyal del sensor o *ROIC* (*Read-Out Integrated Circuit*) és el component que s'encarrega de l'adequació de senyal del sensor per a ser processat en etapes posteriors. Pot constar de diferents blocs atenent al tipus de sensor del què es realitzi la mesura. La figura 1.3 mostra un esquema de blocs genèric per a una interfície d'adquisició de senyal a nivell freqüencial. En la interfície amb el sensor es poden distingir quatre capes fonamentals:

- La capa de sensors. Proporciona la transducció de la magnitud física que es mesura a una magnitud electrònica. Depenent del sensor elegit es pot parlar de sortida capacitiva, resistiva, en corrent, en voltatge o freqüencial. Aquest és el senyal que arriba a la interfície i que ha de tenir el tractament adequat en consonància amb el seu tipus.
- Capa d'adequació de senyal. Es necessita quan la sortida del sensor no és directament freqüencial i realitza la transformació del senyal que proporciona el sensor per a fer el posterior tractament a nivell freqüencial. En aquesta capa s'hi troben dos convertidors, fonamentalment:
 - Circuits VCO. Molts dels sensors que existeixen en el mercat proporcionen una sortida directa, o fàcilment transportable, en voltatge o corrent. En aquests casos, quan es vol tractar el senyal a nivell freqüencial s'ha de pensar en la introducció d'oscil·ladors controlats per voltatge o VCO's.

¹ El concepte de pre-processat es farà servir al llarg d'aquesta tesis com a sinònim de captació de senyal i adequació del mateix, procés pensat per ser realitzat en una etapa prèvia a la que normalment s'hi introdueix un processador i que serveix per diferenciar de les tasques de més alt nivell que realitza el processador.

- Circuits *capacitat-a-freqüència* o *CtoF*. S'han de considerar quan es tracta amb sensors no condicionats que realitzen la transducció per variació de la capacitat. En aquest cas, quan s'ha de realitzar el pre-processat de senyal per a una etapa freqüencial es poden utilitzar convertidors CtoF per a adaptar el senyal. El convertidor utilitza la pròpia capacitat del sensor com a component actiu, fet que evita haver de fer una doble transformació, primer a voltatge o corrent i després a freqüència.

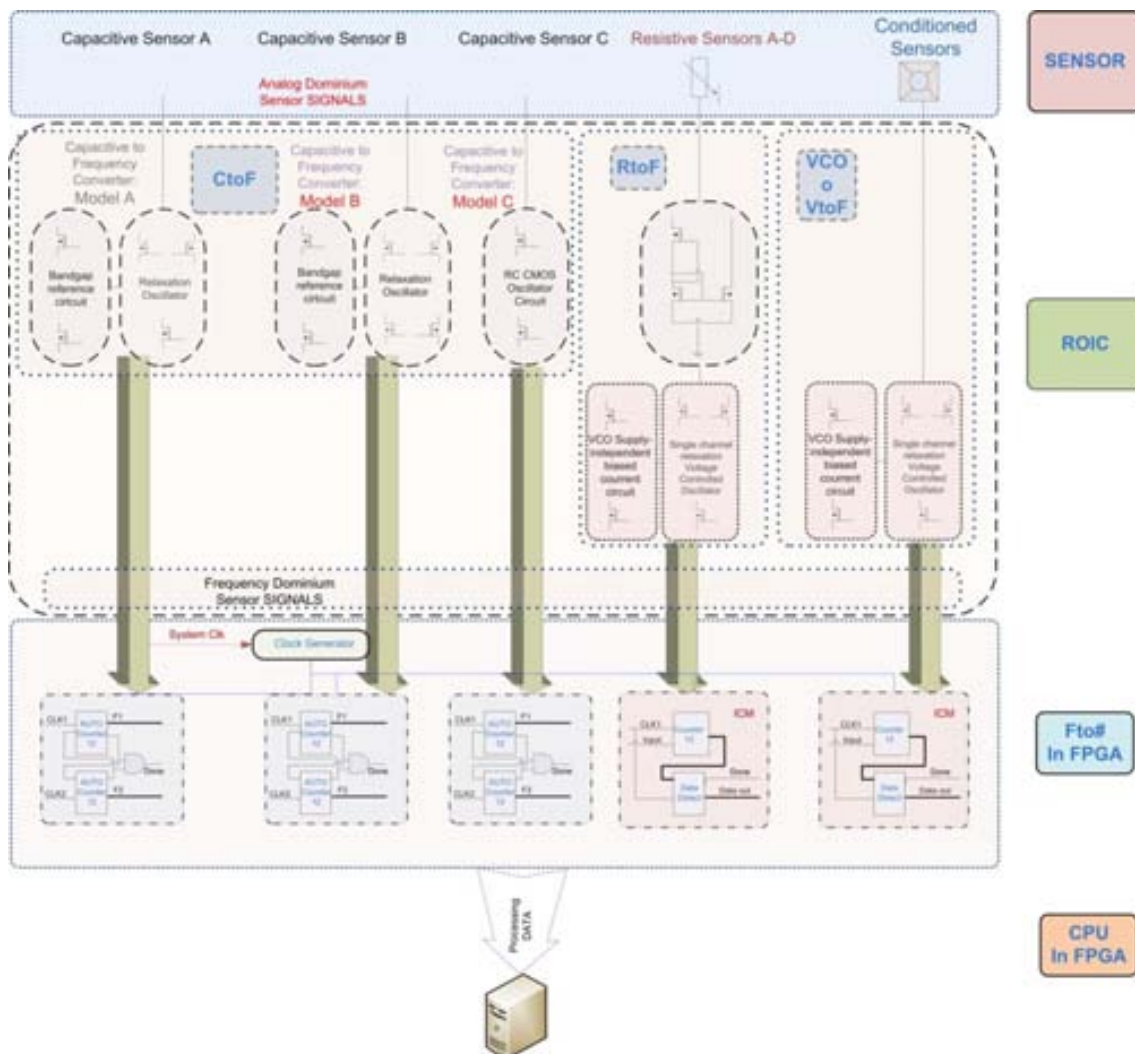


Figura 1.3: Interfície freqüencial per a l'adquisició de senyal en sensors.

- Capa *freqüència a codi* o *Fto#*. És la capa que dóna nom a les interfícies freqüencials. Quan el senyal de sensor es dóna en format freqüencial, la capa de transformació freqüència a codi realitza el pre-procés del sensor per adaptar-lo a les necessitats del processador. Depenent del grau de procés que

s'assigni a aquesta circuiteria digital s'està en disposició de graduar el tipus de sensor intel·ligent que es té. La seva sortida, adequadament processada, és enviada a través del bus de comunicació cap al processador central.

- Etapa de referència en voltatge o *bandgap*. És coneguda la dependència que tenen les tecnologies electròniques actuals, i en especial la tecnologia CMOS, de la temperatura i de la tensió d'alimentació. Quan es tracta de realitzar la mesura del sensor i transportar-la a nivell freqüencial, el principal paràmetre al que s'influència és la freqüència. Donat que aquesta és directament la mesura que s'obté del senyal del sensor, és indispensable introduir en la interfície circuits que proporcionin una tensió d'alimentació estable. El circuit que se'n encarrega és el *bandgap*.

1.3 Objectius

El treball que es presenta s'emmarca en el camp dels ROICs per a la lectura i processat de senyal a nivell freqüencial provinent d'un conjunt de sensors heterogenis. Dintre del conjunt d'àrees que estan involucrades en l'adquisició de senyal a nivell freqüencial, aquesta tesi es centra en la interfície entre sensor i sistema processador en els seus diferents aspectes. En concret:

- Es treballa en la optimització dels nous mètodes d'adquisició de senyal a nivell freqüencial, introduint millores, fonamentalment, en els mètodes clàssics del recompte indirecte i del recompte dependent, tal com s'exposa en el capítol 3.
- Es desenvolupa un circuit dual *convertidor capacitat a freqüència i bandgap* que millora la dependència en la temperatura i a les variacions de la tensió d'alimentació. Aquesta dependència és un escull important per a l'aplicació de les tècniques d'adquisició de senyal a nivell freqüencial en circuits d'altas prestacions. Per les prestacions que mostra el circuit final pot ser utilitzat, també, en aplicacions de baix consum.
- Finalment, es treballa en tot el ROIC com a perifèric en un sistema sobre xip, utilitzant l'oscil·lador de relaxació i el *bandgap* dissenyats i integrats. L'ASIC ROIC 2.0 (figura 1.4) integrat conté un *array* de circuits convertidors de freqüència/*bandgaps* preparat per a ser utilitzat com a *front-end* en un sistema d'adquisició de senyal de sensors heterogenis. El sistema final es prova conjuntament en una placa de prototipatge que inclou una FPGA de

Xilinx. Constitueix el demostrador que integra tot el canal d'instrumentació, des de l'adquisició de senyal capacitiu del sensor fins al sistema sobre xip amb processat final de la informació.

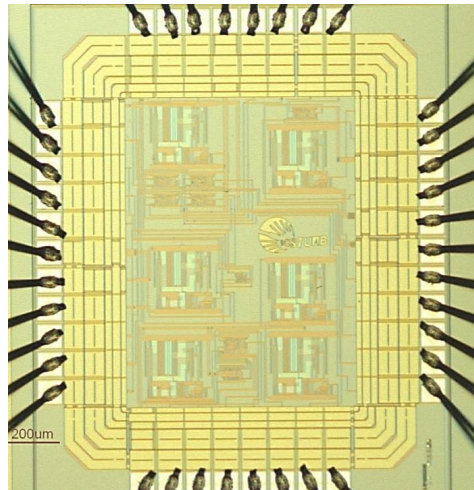


Figura 1.4: ASIC ROIC 2.0

1.4 Estructura de la memòria

Aquesta memòria presenta els resultats del treball realitzat en el camp de l'adquisició de senyal a nivell freqüencial. Els resultats principals del treball s'emmarquen dintre del camp de l'adquisició i pre-processat de senyal en sistemes de sensors intel·ligents. Els capítols 2 i el 3, emmarquen el treball realitzat en el camp de l'adquisició de senyal a nivell freqüencial. El nucli del treball de recerca realitzat s'exposa en els capítols 4 i 5. I el capítol 6 presenta l'aplicabilitat dels circuits desenvolupats i integrats en aquest treball en una interfície preparada com a perifèric en un sistema sobre xip que realitza el processat de senyal dels diferents canals d'adquisició analògics.

El contingut del treball es troba documentat en aquesta memòria seguint l'estructura següent:

- El capítol 2 presenta una visió particular del doctorand del camp dels sensors. Es mostren les interfícies que s'integren en determinats sensors, amb l'objectiu d'introduir els conceptes que en capítols posteriors centren el treball realitzat. Com a exemple de circuit d'adquisició i pre-procés de senyal, el capítol acaba detallant un VCO dissenyat per l'autor (apartat 2.3.2) i que es va fer servir en l'adquisició de sensors en sortida de voltatge, a la primera plataforma d'adquisició basada en el ASIC ROIC 1.0.

- A continuació en el capítol 3, es presenten els principals convertidors freqüència a codi que configuren les interfícies quasi-digitals i es comparen les prestacions que ofereixen les interfícies freqüencials davant les clàssiques basades en convertidors analògic/digitals. En el capítol s'esposen millores introduïdes per l'autor en algunes de les tècniques d'adquisició de senyal a nivell freqüencial i que s'han implementat en diverses FPGA's.
- El capítol 4 introdueix els convertidors de capacitat a freqüència (CtoF). Es fa especial èmfasi al treball realitzat per l'autor en el camp dels oscil·ladors de relaxació com a l'alternativa de molt baix consum feta servir com a nucli del convertidor CtoF.
- L'oscil·lador de relaxació de molt baix consum que és presentat apleix d'una dependència excessiva de la tensió d'alimentació. L'obtenció de bons circuits d'estabilització de la tensió d'alimentació és fonamental en circuits convertidors a freqüència [6].
- En el capítol 5 es presenta l'aportació de l'autor en la cerca de solucions per a la reducció de la dependència del circuit CtoF a les variacions de la tensió d'alimentació. En aquesta línia, es presenten els circuits *Bandgap Reference* o *circuits de referència en voltatge* compensats en temperatura i amb sortida adaptativa [7].
- El capítol 6 presenta les dues plataformes d'adquisició/processament del senyal d'alt nivell utilitzades en aquesta tesi. S'inclouen els dos ASICs ROIC que integren els *arrays* de CtoFs amb els corresponents *Bandgaps*. Aquest capítol emfatitza l'ús dels circuits que s'han integrat en un entorn de sistema sobre xip. En concret, fent ús del *bandgap* i dels oscil·ladors integrats es munten diferents canals d'adquisició de senyal en un sistema sobre xip, comprovant el seu correcte funcionament.
- En el capítol 7, es presenten les conclusions finals de la tesi, detallant els resultats obtinguts en cada un dels blocs dissenyats i integrats i proposant millores en el treball realitzat.
- Per completar aquesta documentació, finalment s'inclouen tres apèndix:
 - L'apèndix A1 mostra el model Matlab equivalent que s'ha obtingut en la parametrització del convertidor de freqüència a codi. Aquest model fa possible que en la creació del sistema sobre xip (capítol 6), en el que es comprova el comportament

del duet *oscil·lador de relaxació – bandgap*, el processador pugui proporcionar, en temps real, la mesura del sistema.

- El segon apèndix mostra l'esquema intern de la FPGA de Xilinx Spartan3 (amb els convertidors Fto# i el processador Microblaze), així com totes les plaques dissenyades durant la tesi per a les dues plataformes d'adquisició freqüencial per als dos ASIC ROICs.
- Finalment en el tercer apèndix es fa una explicació de la metodologia de disseny i fabricació utilitzada en els dos ASIC ROICs, en la que s'ha fet servir la plataforma CAD de disseny CADENCE VIRTUOSO, així com la tecnologia AMS 0,35µm amb el kit de disseny HITKIT 3.7.

1.5 Referències

- [1] W. Claes, M. De Cooman, W. Sansen, R. Puers, “A 136- μ W/ Channel Autonomous Strain-gauge Datalogger”, in *IEEE JSSC*, vol. 38, pp. 2280–2287, 2003.
- [2] R. Puers, M. Catrysse, G. Vandevoorde, R.J. Collier, E. Louridas, F. Burny, M. Monkerwolcke, F. Moulart, “A Telemetrysystem for The Detection of Hipprosthesis Looseningby Vibration Analysis”, in *Sens. Actuators A*, vol. 85, pp. 42–47, 2000.
- [3] Y. Ohgi, “Microcomputer Based Acceleration Sensor Device for Sports Biomechanics, Stroke Evaluationby Using Swimmer's Acceleration”, in *proc. of the IEEE Sensors*, pp. 699–704, Orlando, June 2002.
- [4] M. Hassoun, R. Weber, R. Willham, T. Greenfield, “A VLSI Prototype for a Remote Livestock Record System”, in *proc. of the 38th Midwest Symposium on Circuits and Systems*, , pp. 501–504, Rio De Janeiro, Aug. 1995.
- [5] Byeonghee Lee, Craig B Prater, William P King, “Lorentz Force Actuation of a Heated Atomic Force Microscope Cantilever”, in *nanotechnology IOP Science journal*, vol. 23, 2012.
- [6] Aragonés, R., Álvarez, P., Oliver, J., Ferrer, C., “A Capacitance-to-Frequency Converters Comparison for a Frequency Acquisition Platform”, in *proc. of Sensors Conference 2010*, pp. 1431-1436, Hawaii, nov. 2010, ISBN: 978-1-4244-8168-2.
- [7] Raul Aragonés, Joan Oliver, Carles Ferrer, “Ultra-low Temperature Dependent ROIC for Capacitive Sensing Platforms”, in *proc. of IEEE IECON 2012*, Accepted. Oct. 2012.

2. Sensors i sistemes de condicionament

2.1 Introducció

Per poder fer un model real del nostre entorn i així fer que els sistemes computeritzats puguin interaccionar amb l'ésser humà, és necessari poder adquirir electrònicament les dades que ens envolten i poder-les processar. Els dispositius que ho fan possible són els transductors o sensors, que capten l'estat de l'entorn.

L'ús que es pot fer amb aquesta informació és immens, de la mateixa manera que és inimaginable el nombre d'aplicacions a què es pot destinar. Valguin, com a exemple, tres grans complexes aplicacions actuals d'alt valor afegit:

- Controlar l'eficiència energètica d'una ciutat. Actualment es comença a sentir el nom de ciutats intel·ligents o *Smart Cities* [1]. En aquestes ciutats el fet d'utilitzar una xarxa de sensors permet:
 - Controlar l'enllumenat elèctric (grau d'il·luminació) de les zones de vianants en funció de les persones que hi circulen.

- Permetre el buidament dels contenidors d'escombraries, ampolles, cartró, en funció del nivell d'ompliment dels mateixos.
 - Permetre la gestió eficient de l'aparcament de la zona blava, donant informació a l'usuari de les places més properes i minimitzant la contaminació que produeixen els vehicles.
- Controlar els nivells de temperatura, humitat, radiació solar d'una reserva natural. Es pot aconseguir incorporant a diferents posicions del bosc una xarxa de sensors (*sensor network* [2]), o es poden muntar aplicacions a partir de múltiples microcomponents intel·ligents (*Smart Dust* [3]), comunicats entre ells emprant tecnologies sense fils [4]. Entre les aplicacions possibles s'hi compten:
- Controlar l'estat del medi per a evitar possibles incendis.
 - Engegar sistemes de reg automàtic.
 - Controlar possibles infractors de normes d'ús de les instal·lacions.
 - Controlar els animals de risc dins de la reserva.
- Sistema de control electrònic d'un vehicle. Avui en dia l'electrònica en els vehicles constitueix la part més complexa a la fase de disseny. Els nombrosos dispositius electrònics que porten incorporats implica la necessitat de connectar tots els sistemes a una xarxa local. Entre els nombrosos sistemes sensorials que s'hi inclouen, i per la seva rellevància es poden esmentar els següents:
- Frens antibloqueig o *ABS*, per evitar que en una frenada el vehicle es descontrolï per una pèrdua de tracció.
 - Control antipatinament o *ASR*, per evitar que en una forta accelerada el cotxe patini.
 - Control d'estabilitat o *ESP*, per evitar que el cotxe surti de la trajectòria que porta.
 - Coixí de seguretat o airbag en múltiples ubicacions del vehicle (actualment es troben fins a 12 coixins en diferents parts).
 - Control anticollisió per radar, detectant la distància que separa el vehicle implicat amb un objecte frontal, i frenada automàtica si cal.
 - Sistema antirobatori automàtic. L'objectiu és detectar moviments no autoritzats del vehicle, de forma que el vehicle informi al

pàrquing i el pàrquing a l'oficina centralitzadora que s'està produint un possible robatori d'aquest vehicle [5].

- Aparcament automàtic o assistència a l'aparcament. Amb un conjunt d'ultrasons i càmeres fa que el cotxe aparqui sense la intervenció de l'usuari.
- Climatitzador multizona, que permet emetre un flux d'aire a la temperatura de control desitjada a diferents parts del vehicle.

Però els sensors per sí mateixos no són res més que purs components captadors d'informació que informen del seu estat a través de senyals elèctrics. Aquest senyal elèctric ha de ser capturat per la interfície d'entrada o *front-end* per fer-lo intel·ligible als processadors.

A mode introductori, aquest capítol parla sobre sensors que es troben en el mercat i el seu condicionament. El mercat ofereix tant sensors *raw* com sensors intel·ligents. El que és equivalent a dir, respectivament, que existeixen tant sensors sense cap tipus de condicionament i sensors amb un condicionament tant gran que llur sortida és directament connectable a un processador.

2.2 Sensors i interfícies

2.2.1 Tipus de sensors. Generalitats

Qualsevol magnitud física pot ésser mesurada per un sensor adequat. Existeix un ventall gairebé infinit de sensors [6] Però la literatura estableix una classificació [7] dels sensors d'acord amb un total de sis dominis:

- Elèctric.
- Mecànic.
- Tèrmic.
- Magnètic.
- Químic.
- Radiació.

En cada domini els sensors poden ser *raw* o condicionats. Quan els sensors són condicionats, el circuit associat pot anar des del simple pont de Wheatstone que proporciona sortida elèctrica (en corrent o voltatge) simple o diferencial, com ser veritables interfícies de processat digital que confeccionen el sensor intel·ligent.

Els MEMS o *Micro-Electro-Mechanical-Systems*, es poden considerar, actualment, els sensors intel·ligents de major integració del mercat. Són dispositius que integren des del propi sensor i/o actuator amb les corresponents interfícies de condicionament, i els components de procés i comunicació amb el món exterior.

Si s'analitza el mercat actual de MEMS a nivell mundial des del 2005 a 2015 es preveu que incrementi segons mostra la figura 2.1. Si bé les càmeres de fotografia digital i els automòbils han estat les categories més importants del mercat de MEMS en el passat, l'aparició dels telèfons intel·ligents i les consoles de videojoc portàtils han provocat un ràpid creixement de les comunicacions i de l'electrònica de consum, tenint clar que les últimes categories seran els principals motors de creixement en aquesta àrea.

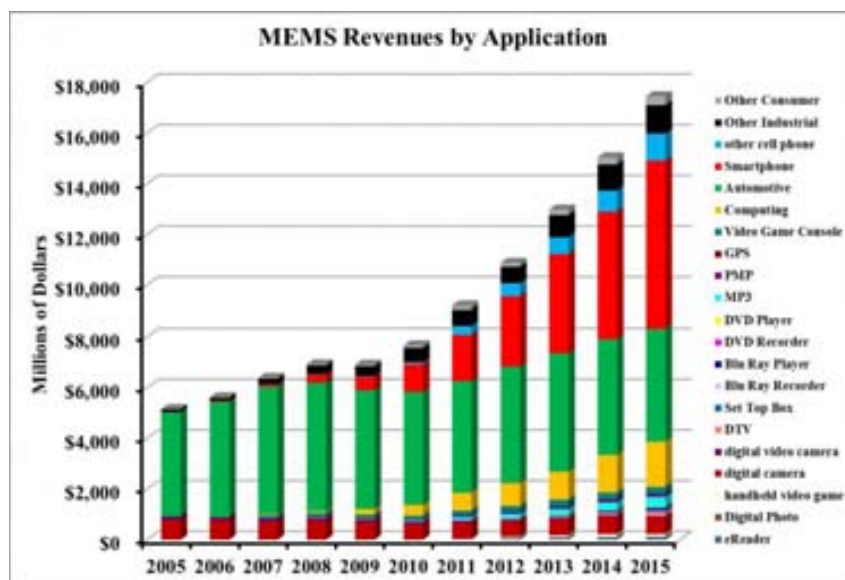


Figura 2.1: Mercat mundial de les aplicacions de sensors i MEMS. Font Semico Research group [8].

La importància que han tingut els tipus principals d'aplicacions de MEMS en el 2010 es mostra en la figura 2.2. Els acceleròmetres representen el 28% del mercat de MEMS mundial. Els injectors de tinta estan en segon lloc, i representen el 17% del mercat. Després ve el mercat destinat a aplicacions de radio freqüència amb un 16% i el mercat de micròfons amb un 11%. Els sensors de pressió continuen essent molt demandats, constituint el 8% del mercat mundial. Els giroscopis representen el 7%. La gran demanda actual d'acceleròmetres i giroscopis es deu fonamentalment a la seva aplicabilitat en el camp de l'electrònica de l'automòbil. Per exemple, són elements clau en l'augment de la seguretat com a dispositius en la confecció dels *airbags*. També s'utilitzen en la construcció de *smart-phones* i videoconsols portàtils.

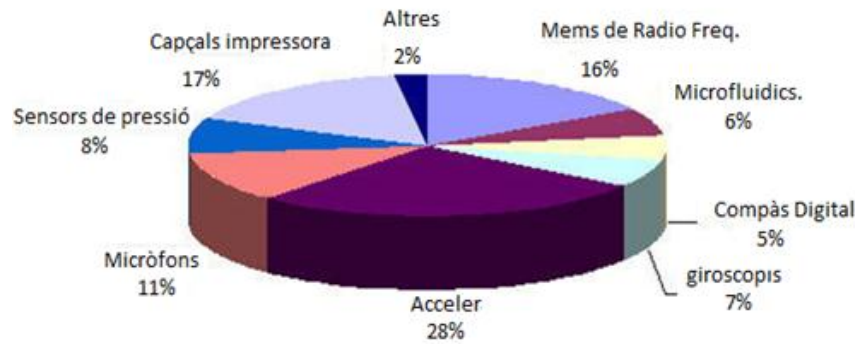


Figura 2.2: Distribució del mercat actual de MEMS i sensors. Font Semico Research group [8].

En definitiva, el mercat de sensors i MEMS és un mercat creixent. El potencial dels sensors intel·ligents radica en la interfície que uneix el sensor amb el sistema de processament.

Amb l'objectiu de mostrar la diversitat de tipus d'interfícies existents, a continuació es fa una revisió d'un conjunt de sensors i a les seves interfícies pertinents. L'estudi es centra fonamentalment en sensors quasi-digitals (sovint es parla de sensors amb sortida en el domini freqüencial). A efectes comparatius també s'hi insereix un conjunt de sensors *raw* (sense condicionament) i sensors amb sortida digital. El fet que es limiti l'estudi especialment en els sensors amb interfície freqüencial o quasi-digital es deu a què (com es veu amb més profunditat en el capítol 3) molts sensors tenen una sortida que és fàcilment transportable al domini freqüencial, fet que simplifica molt l'adquisició i el processament del senyal. En comparació amb les interfícies basades en ADC's, un sensor amb sortida freqüencial només necessita ser connectada a una entrada digital d'un microprocessador o microcontrolador per poder ser processada.

2.2.2 Sensors de temperatura i interfícies

Els sensors de temperatura realitzen la conversió d'una magnitud tèrmica al seu equivalent en el domini elèctric. Poden ser del tipus:

- **Termoparell.** Formats per unió de dos metalls [9]. Com a conseqüència del diferent comportament elèctric dels metalls es genera una tensió a partir de la *temperatura* d'unió entre els dos metalls.
- **Resistius.** Són conegudes com a RTD's (*Resistance Temperature Detector*) o PT100 [10]. Es basen en la dependència de la resistivitat d'un conductor amb la temperatura. Estan caracteritzats per un coeficient de resistivitat positiu PTC

(*Positive Termal Coefficient*), o negatiu NTC (*Negative Termal Coefficient*). En aquest cas també reben el nom de *termistors*.

- **Semiconductors.** Es basen en la variació de la conducció de la unió p-n en polarització directa. El corrent de conducció d'una unió p-n polaritzada en directe respon exponencialment amb la tensió, i és inversament proporcional a la temperatura [11]. El seu funcionament és el característic d'un díode:

$$I = I_{sat} \cdot e^{q/kT \cdot V} \quad \text{Eq. 2.2.1}$$

On:

I_{sat} = corrent de saturació.

q = càrrega de l'electró.

k = constant de Boltzmann.

T = temperatura.

Sensors de temperatura condicionats. En aquest cas el sensor, que pot ésser de qualsevol de les anteriors tecnologies, incorpora un circuit a la sortida del mateix que s'encarrega de fer el condicionament i linealització del mateix. També facilita la interfície a l'exterior del sensor fent servir un dels mecanismes presentats anteriorment. Segons la seva interfície, es poden classificar en:

- **Sortida en corrent**, com el model AD590 [9] d'Analog devices. Es tracta d'un dispositiu de dos terminals, on el corrent de sortida és proporcional a la temperatura. La sortida d'aquest varia a raó de $1\mu\text{A}$ per cada $^{\circ}\text{K}$ i té un offset de $273.2\mu\text{A}$ a una temperatura de 273.2°K (0°C) en el cas del AD590.
- **Sortida modulada**, com el model SMT 160-30 [13] del fabricant Smartec. Es tracta d'un sensor integrat amb sortida modulada per cicle de treball (*Duty Cycle*). Té un rang de temperatures molt ampli, des de -45°C fins a 150°C i una molt alta resolució amb una sortida totalment calibrada. La sortida ve definida per la següent equació:

$$D.C = \frac{T_p}{T_x} = T_p \cdot F_x = 0.320 + 0.0047 \cdot t \quad \text{Eq. 2.2.2}$$

On:

t_p és la llargada del pols.

T_x és el període.

T és la temperatura amb graus Centígrads.

- **Sortida digital**, com el model DS1620 [14] del fabricant *Maxim*. Es tracta d'un termòmetre digital amb sortida SPI linealitzada i compensada. Incorpora un convertidor A/D delta sigma 7-13 bits.
- **Sortida en tensió**, amb l'exemple del LM35[15] del fabricant *National Semiconductor*. Es tracta d'un sensor de precisió (0,1°C) amb molta sensibilitat (10mV / °C), amb baix error de no linealitat ($\pm 0,25^\circ\text{C}$) i amb sortida analògica directament proporcional a la temperatura en °C.

2.2.3 Sensors de pressió i interfícies

En funció del principi de captació hi ha quatre categories principals de sensors de pressió:

- **Monolítics realitzats per micromecanització de volum** [16]. Una variació de pressió sobre una membrana, fa actuar un únic element piezoresistiu semiconductor. Els dispositius MPX4115 (Freescale) constitueixen la família de sensors de pressió del fabricant amb diferents tipus de mesura de pressió (diferencial o absoluta) i diferents precisions.
- **Sensors basats en cristall de quars** [17]. La variació de pressió sobre el quars, com en el sensor 7613C de Kistler Piezotron, genera un efecte piezoelèctric de senyal freqüencial en la seva sortida.
- **Càpsules ceràmiques** [18]. La combinació de la tecnologia piezo-ceràmica i multicapa s'utilitza per a produir un senyal elèctric, quan s'aplica una força mecànica en el sensor.
- **Sensors de pressió resistius** [19]. Una pressió sobre una membrana fa variar el valor de les resistències ubicades en un pont de Wheatstone aparellades.

2.2.4 Sensors d'humitat

Permeten mesurar la humitat relativa i absoluta dins d'un medi. Normalment venen compensats en temperatura. Hi ha els següent tipus:

- **Sensors d'humitat capacitius**. Formats per un condensador de dues làmines d'or com a elèctrodes i una làmina no conductora com a dielèctric. La seva constant dielèctrica varia en funció de la humitat relativa de l'atmosfera ambient. El valor de la capacitat mesura la humitat relativa. La seva interfície pot ser bé capacitiva bé en freqüència.
 - **Interfície freqüencial**. El transductor d'humitat HTF1101LF del fabricant Humirel està compensat en temperatura i té sortida freqüencial. Té una

sensibilitat de 12 pF/%RH (en percentatge d'humitat relativa) i un temps de resposta de 40-95 %RH de 10 segons. L'equació 2.3.3 dona la sortida en funció de la humitat relativa:

$$F_{out} = 7314 - 16.79 \cdot RH + 0.0886 \cdot RH^2 - 0.000358 \cdot RH^3 \quad \text{Eq. 2.2.3}$$

- **Interfície capacitiva** (correspon a un sensor *raw*). El HCH-1000 [20] és sensor d'humitat del fabricant Honeywell de polímer capacitiu dissenyat per a la mesura de la humitat relativa. La poliamida s'utilitza com un material sensible a la humitat degut a la seva tolerància als processos microelectrònics, reduint la dependència amb la temperatura. No inclou cap interfície de condicionament ni de linealització. Té una capacitat nominal de 330pF, amb un rang d'humitat de 0% a 100% RH. La sensibilitat que mostra és de 0,55 pF/ %RH. El coeficient de temperatura es de tant sols 0,15pF/°C.

Es tracta d'un sensor que es pot calibrar fàcilment en una cambra climàtica. Per aquest motiu, i pel fet de ser un sensor *raw*, s'ha emprat per fer el test del sistema d'adquisició freqüencial presentat en aquesta tesi (capítol 6). Les proves en temperatura i humitat del test s'han realitzat en la cambra climàtica de l'Institut de Microelectrònica de Barcelona (CNM – CSIC).

- **Sensors d'humitat resistius.** Formats per un elèctrode de polímer muntat sobre un cristall de quars. A més un circuit condicionador i linealitzador permeten donar una sortida compatible amb TTL i CMOS.

2.2.5 Sensors de llum

Dintre dels sensors de llum existeixen components amb sortida freqüencial, com el sensor d'intensitat de llum TLS230 [26] de Texas Instruments. Consta d'un *array* de 8X8 fotodíodes i està compensat en temperatura. Té una sensibilitat de 0,79kHz / ($\mu\text{W}/\text{cm}^2$). La freqüència de sortida treballa en el rang de 80kHz a 120kHz.

2.2.6 Sensors de velocitat i d'acceleració

Aquests sensors permeten mesurar la velocitat i l'acceleració combinant diferents tecnologies. La majoria d'aquests sensors inclouen sistemes de conversió freqüencial.

Sensor de velocitat i acceleració A1425 [20] d'*Allegro semiconductor*. Es tracta d'un sensor de velocitat d'alta precisió basat en l'efecte Hall que pot mesurar la velocitat i també acceleració. Té una alta immunitat a interferències electromagnètiques. Dona la

sortida modulada en PWM. L'esquema intern és detalla en la figura 2.3. En aquest cas, s'observa que el sistema està basat en dos sensors Hall, una etapa d'amplificació, filtrat i una etapa de sortida basada en un comparador.

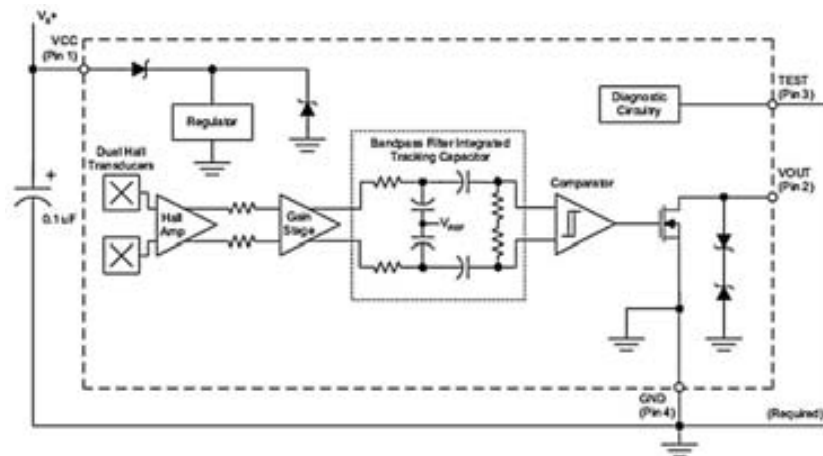


Figura 2.3: Diagrama de blocs del sensor de velocitat i acceleració A1425.

- **Sensor d'acceleració ADXL212** [21] d'Analog Devices. És un acceleròmetre de precisió de $\pm 2g$ per eix. Incorpora una interfície amb sortida freqüencial. Es basa en una estructura de policilici micromecanitzada en superfície. Es tracta d'un acceleròmetre de molt baix consum, de mides molt reduïdes, biaxial i amb sortida freqüencial (PWM). Té una sensibilitat $12,5\%DC/g$.

La figura 2.4 mostra l'estructura interna de l'acceleròmetre. S'hi observen clarament el sensor, el desmodulador i el convertidor freqüencial basat en un convertidor de mètode directe (s'introdueix en el capítol 3).

A la figura 2.5 s'observa una fotografia amb microscopi d'un micro acceleròmetre fabricat en tecnologia SOI (*silicon-on-insulator*) [23].

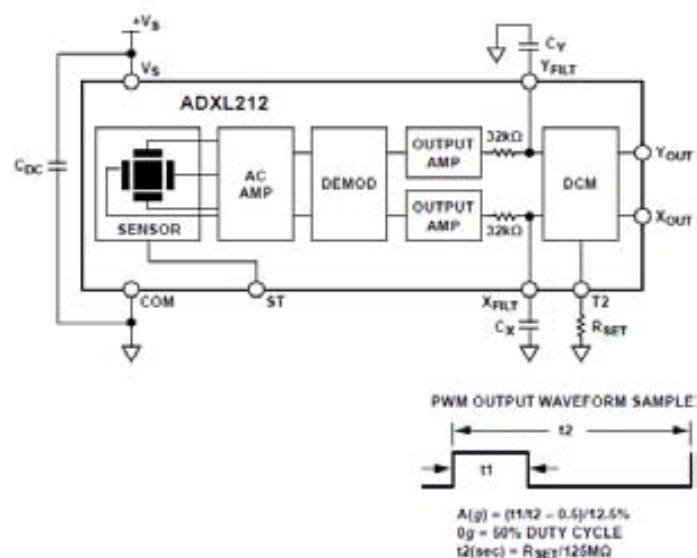


Figura 2.4: Sensor d'acceleració ADXL212.

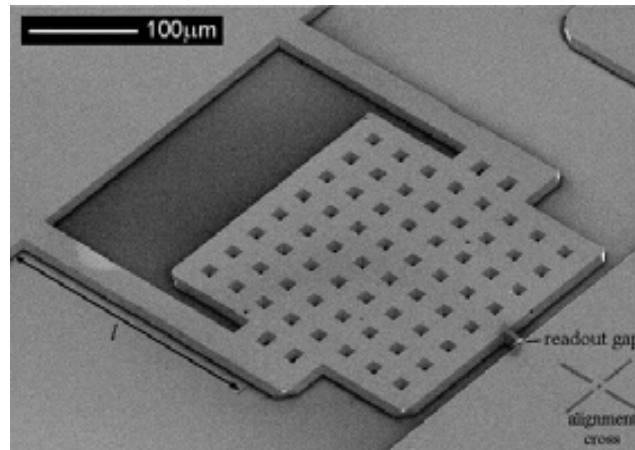


Figura 2.5: Microacceleròmetre fabricat en SOI.

2.2.7 Giroscopis

El giroscopi mesura el grau d'inclinació de l'objecte respecte a un pla fix com pot ser la superfície de la terra. Aquests tipus de sensors tenen habitualment la seva sortida en format digital, en format PWM (*Pulse Width Modulation*) [22] o en sèrie fent servir un bus tipus I2C o SPI. Per exemple, el giroscopi ADIS16255 [24] del fabricant Analog Devices ve calibrat de fàbrica i té interfície SPI. També té una entrada analògica auxiliar per poder calibrar el sensor. Té tres modes de configuració: $\pm 80^\circ/\text{sec}$, $\pm 160^\circ/\text{sec}$, i $\pm 320^\circ/\text{sec}$ i té una sensibilitat de $0,018^\circ/\text{s}/\text{LSB}$. La figura 2.6 mostra el diagrama de blocs del giroscopi. A la figura 2.7 es pot observar una microfotografia d'un giroscopi presentat per Robert Boque [23].

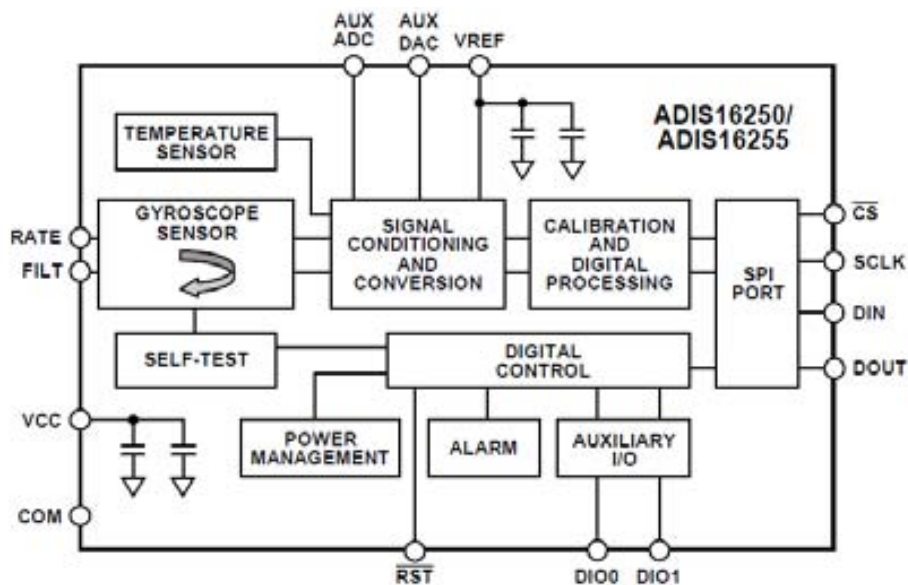


Figura 2.6: Diagrama de blocs del giroscopi ADIS16255.

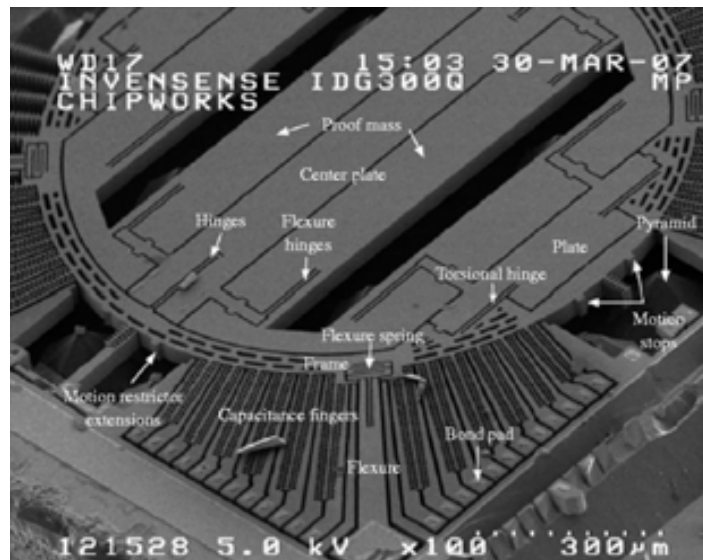


Figura 2.7: Microfotografia d'un giroscopi.

2.3 Condicionament del senyal

La secció 2.2 ha descrit diferents sensors que poden portar integrades diferents interfícies. S'observa que s'aposta per emprar interfícies de condicionament en voltatge, en freqüència o, simplement, s'utilitza el sensor en format RAW. Les tendències actuals en la integració de MEMS (apartat 2.2) mostren una demanda constant en el consum de sensors amb interfície freqüencial i en particular en aquells àmbits on està especialment indicat, com en el sector de l'automòbil.

2.3.1 Exemples de condicionament

Aquest apartat complementa l'anàlisi de sensors mostrant diverses possibilitats de condicionament.

2.3.1.1 Condicionament en el termoparell

Per condicionar els sensors tèrmics basats en termoparells, Analog Devices disposa d'una família de circuits integrats específics. Un exemple és el AD594 [27], figura 2.8. Aquest convertidor està pensat per compensar i linealitzar un termoparell format pels material constantan-ferro. El circuit integrat en qüestió dóna una sortida en voltatge proporcional a la temperatura ($10\text{mV}/^{\circ}\text{C}$).

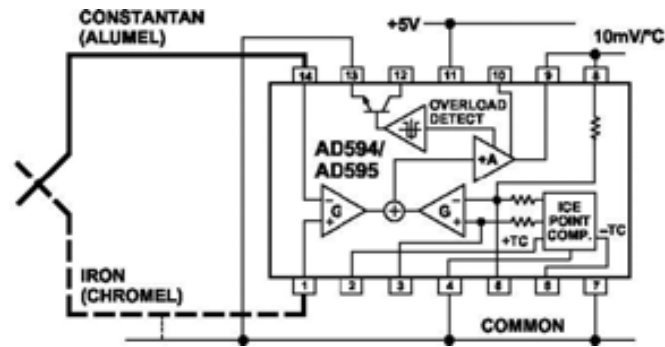


Figura 2.8: Diagrama intern de l'AD594.

2.3.1.2 Condicionament de sensors RTD

Analog Devices disposa d'un circuit integrat ADT70 [28] (figura 2.9), que permet condicionar els PRTD de platí. El sistema pren com a referència una resistència d'1k Ω de molta precisió, i injecta un corrent a través de dos fonts de corrent totalment aparellades i emmirallades. Un amplificador diferencial d'instrumentació amplifica la diferència entre les dues tensions generades a partir d'una tensió de referència establerta. La resposta de sortida del circuit és en tensió i és de 5mV/°C quan s'utilitza una RTD de 1k Ω .

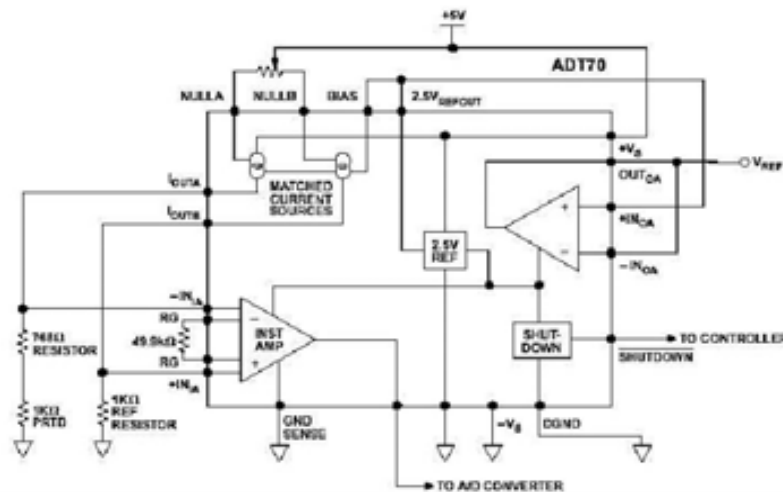


Figura 2.9: Esquema intern d'el condicionador de RTDs, ADT70.

2.3.1.3 Condicionament en sensors NTC

Un sensor de temperatura NTC es pot condicionar de manera molt econòmica i precisa utilitzant una simple font de corrent controlada, amb una resistència de linealització de 5 k Ω . La sortida és en tensió.

A l'etapa posterior es pot incloure, tant un amplificador, com un ADC, com també un circuit convertidor de tensió a freqüència (VCO).

2.3.1.4 Condicionament en sensors resistius

El circuit més utilitzat alhora de fer el condicionament de qualsevol tipus de sensor resistiu és el pont de Weathstone. La base del seu funcionament radica en avaluar la desviació d'una o més resistències inserides en el pont. Es pot mesurar tant una magnitud individual com magnituds diferencials.

L'equació 2.3.1 dóna el comportament del model en un pont on totes les resistències tenen el mateix valor R , a excepció de R_1 , que representa la resistència variable de valor $R(1 + X)$ d'un sensor, on X es el terme variable.

$$V_{out} = \frac{V_{DD}}{4} \frac{X}{\left(1 + \frac{X}{2}\right)} \quad \text{Eq. 2.3.1}$$

Com s'observa en l'equació, la relació entre la sortida del pont i X no és gens lineal, tot i que es pot ajustar a una dependència lineal per variacions petites. Així, per exemple, si $V_{DD} = 10V$, i el màxim valor de X és ± 0.002 , la sortida del pont serà lineal amb un error del 0,1% per a un rang de sortida de 0 a $\pm 5mV$.

La sensibilitat d'un pont és la relació del màxim canvi esperat en el valor de sortida respecte a la tensió d'excitació. Per l'exemple donat anteriorment, la sensibilitat serà de $\pm 500\mu V / V$ i $\pm 5mV / V$ respectivament. La sensibilitat pot ser doblada si hi ha dos sensors idèntics que s'utilitzen com a variables amb el valor de $R(1 + X)$. Així el resultat de V_{out} quedaria com:

$$V_{out} = \frac{V_{DD}}{2} \frac{X}{\left(1 + \frac{X}{2}\right)} \quad \text{Eq. 2.3.2}$$

El problema principal radica en haver de fer servir dos sensors idèntics sotmesos a la mateixa magnitud física, i que variïn en la mateixa proporció i amb el mateix valor nominal del sensor.

El pont de Wheatstone ha estat molt utilitzat en el condicionament analògic de senyals de sensors, esdevenint un mètode força genèric. De fet, quan tots els components resistius d'un pont de Wheatstone són substituïts per components capacitius, el comportament del pont és similar.

2.3.1.5 Condicionament de sensors capacitius

Un altre gran grup de sensors a analitzar són els capacitius, que són en els que es centra aquest treball.

Per a aquest grup de sensors al mercat no es mostren tantes interfícies i circuits de acondicionament com en el grup de sensors resistius.

Per altra banda, quan s'efectua la mesura del valor del sensor capacitiu, existeixen interfícies que donen el valor de sortida en el domini de la tensió així com el domini de la freqüència. L'esforç de l'anàlisi es centra en aquells circuits de acondicionament que tenen la seva sortida en el domini de la freqüència.

Un dels principals circuits integrats comercials que permet generar un senyal freqüencial proporcional al valor d'un sensor capacitiu es el multivibrador astable, basat en el circuit integrat LM555 [29].

Altres propostes consisteixen en fer servir un dels dos principals mecanismes de conversió més habituals, que són:

- **El convertidor freqüencial.** Donat que forma la base del treball, es tracta en detall en els següents capítols.
- **L'oscil·lador controlat per tensió (VCO),** basat en el disseny d'un integrador més un comparador (o *trigger Smitt*).

2.3.2 L'oscil·lador controlat per tensió o VCO

L'oscil·lador controlat per tensió genera un senyal de sortida freqüencial donat un senyal d'entrada, sigui fix o variable. Les figures 2.10a i 2.10b mostren un diagrama de blocs genèric del circuit així com una proposta simple de circuit d'oscil·lació. Consta d'un integrador i d'un comparador per histèresis.

Donat que l'etapa basada en un integrador incorpora com a element oscil·lador un sensor capacitiu, es pot fixar una tensió d'entrada constant del VCO, i fer que la variació de la capacitat provoqui una variació freqüencial a la sortida del mateix convertidor.

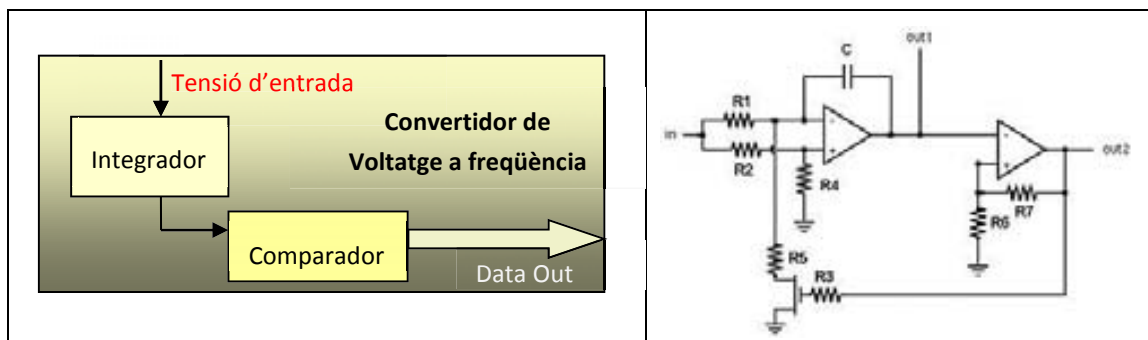


Figura 2.10: a) Diagrama de blocs del VCO, b) circuit simple d'implementació d'un VCO.

La literatura mostra moltes variants d'aquesta metodologia de conversió. Una possibilitat per desenvolupar un VCO consisteix en dissenyar un circuit de referència en voltatge i un oscil·lador de relaxació [30] (figura 2.11). L'autor també va construir un

VCO de baixes presentacions dissenyant un *System on chip programable* sobre un PSOC [31] (*programmable System on chip*).

El circuit de referència en voltatge o *Bandgap* (presentat en el capítol 5) té per objectiu generar una tensió de referència estable sobre el circuit oscil·lació. Està format pels transistors M_{P4} , M_{P3} , M_{N6} , M_{N9} , M_{N7} . Permet en aquest cas generar un corrent de referència (que carrega el condensador) dependent de la V_{in} sobre el nucli de l'oscil·lador de relaxació.

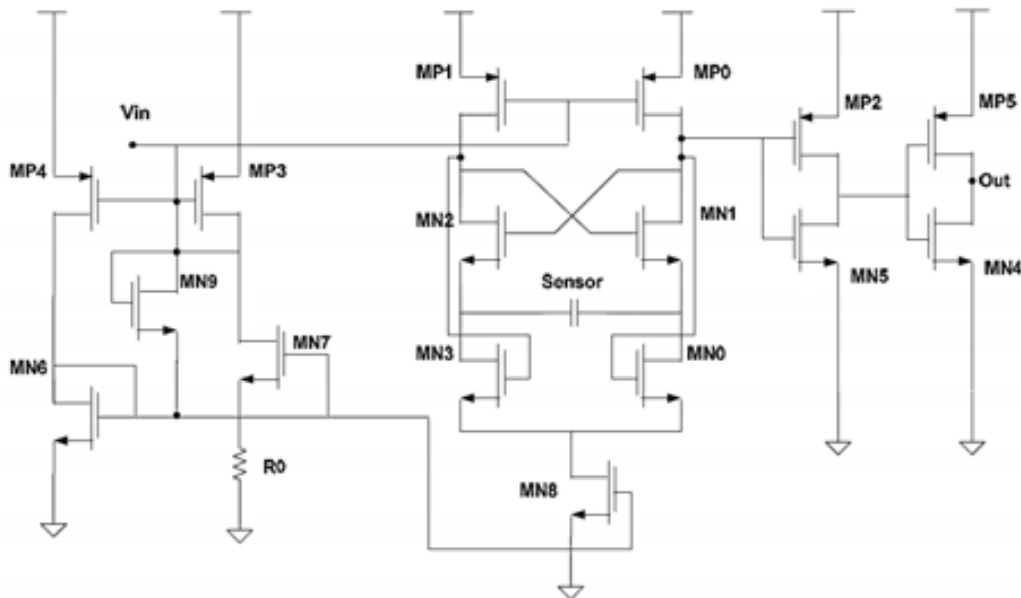


Figura 2.11: VCO basat en l'oscil·lador de relaxació de baix consum.

L'oscil·lador de relaxació (presentat en el capítol 4) està format pels transistors M_{P0} , M_{P1} , M_{N2} , M_{N1} , M_{N3} , M_{N0} , M_{N8} . Els transistors M_{P2} , M_{P5} , M_{N5} i M_{N4} conformen el *buffer* de sortida que permet fer que la senyal de sortida sigui quadrada.

Per tal de garantir un *Duty Cycle* del 50% cal fer que el corrent que carregui i descarregui el condensador siguin idèntics, i que els transistors configurats en mode tríode, siguin perfectament simètrics. Per aconseguir-ho s'han fet servir tècniques de *matching* de transistors (per més detall consultar apèndix 3). Aquesta tècnica consisteix en alternar fraccions de transistors de les dues branques, uns amb els altres, i alternar alhora el drenador i la font dels mateixos.

Els transistors M_{P0} i M_{P1} estan polaritzats en mode tríode comportant-se com una resistència. El valor de la resistència equivalent en funció de les tensions de polarització, ve donada per la següent expressió:

$$R_{MR1,2} = \frac{1}{g_m} = \frac{1}{\mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad \text{Eq. 2.4.3}$$

En aquest VCO, la tensió d'entrada controla la tensió V_{GS} aplicada directament sobre aquests transistors (M_{P0} i M_{P1}), controlant el seu valor resistiu equivalent. Per garantir que aquests transistors romanen en la regió lineal evitant entrar en mode de saturació, és necessari ajustar la tensió de referència de M_{N8} . En controlar aquesta tensió, també es controla el corrent de càrrega del condensador i en definitiva la freqüència de sortida de l'oscil·lador. La següent equació modela la freqüència de sortida en funció de la tensió d'entrada.

$$F_{out} = \frac{8}{\mu_n C_{ox} C_{sensor} \left(\frac{W}{L}\right)_{MN7} R_0^2 V_{DD}} - \frac{\mu_p C_{ox} \frac{W_{MP1}}{L_{MP1}} (V_{in} - V_{TH})}{C_{sensor}} \quad \text{Eq. 2.4.3}$$

La figura 2.12 mostra el *layout* del VCO. Aquest disseny s'ha realitzat íntegrament emprant la tecnologia d'Austriamicrosystems AMS 0.35 μ m, i l'entorn de disseny CADENCE, fent servir el kit de disseny HITKIT 3.6. Aquest convertidor es va fabricar el juliol'09, dins de l'ASIC ROIC 1.0.

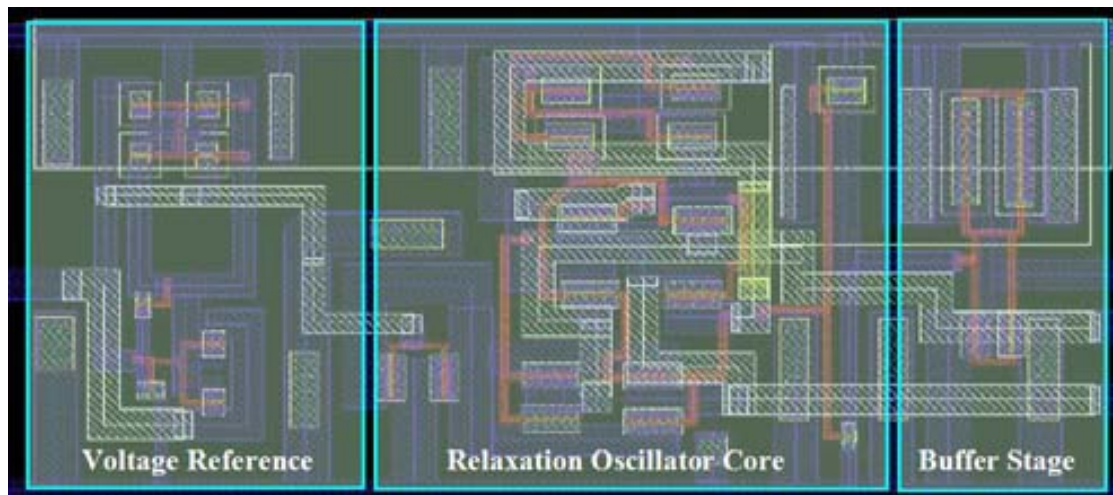


Figura 2.12: Layout del VCO basat en l'oscil·lador de relaxació.

La figura 2.13 mostra un escombrat típic d'un VCO per a una rampa de tensions d'entrada de 0V fins a 1.6V. Els resultats obtinguts mostren una bona linealitat en tot el tram, tot i que caldrà acabar-la de linealitzar fent post-procés, tal i com es documentarà al capítol 6.

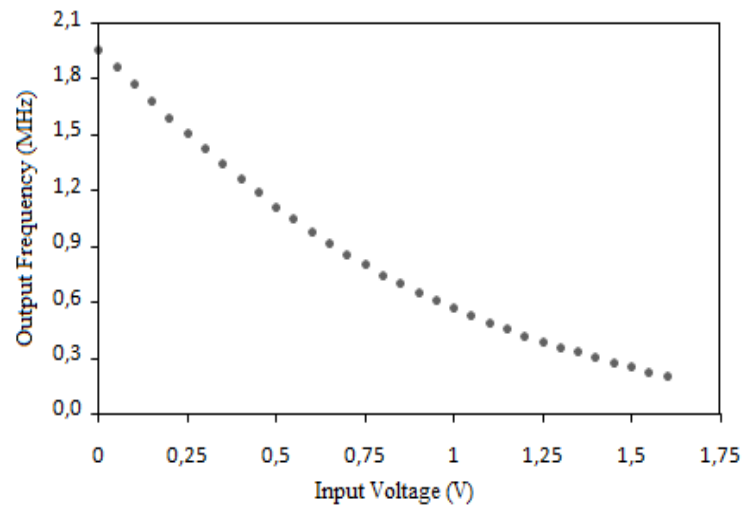


Figura 2.13. Escombrat de tensió de control sobre el VCO.

Els capítols 4 i 5 expliquen el funcionament detallat dels dos sub-circuits, i presenten una completa caracterització dels mateixos.

2.4 Conclusions

Aquest capítol mostra que hi ha un número molt elevat de sensors que potencialment fan servir o poden fer servir els mecanismes de conversió freqüencial emprant alguna de les seves modalitats com la modulació per amplada de cicle, en freqüència o període.

Hi ha també casos en què el fabricant deixa el sensor sense cap mena d'interfície condicionada ni adaptada, tractant-se així de sensors *raw*. En la majoria de casos, aquests sensors són d'estructura capacitiva. En aquets casos, l'adaptació de senyal és fàcilment realitzada emprant interfícies freqüencials.

Aquest tipus de convertidors freqüencials són l'objectiu principal d'aquest treball i es tracten en profunditat en els següents capítols. Es parla en concret de:

- *Circuit de referència en voltatge*. És l'encarregat de generar una tensió de referència constant i estable sobre l'etapa convertidora a freqüència. S'analitzarà en el capítol 5, i és el nucli principal d'aquest treball.
- *Circuit convertidor de capacitat a freqüència (CtoF)*. És l'encarregat de fer la conversió del valor capacitiu del sensor *raw* cap al domini freqüencial (o quasi digital) [32]. Es presentarà en el capítol 4.

- *Circuit convertidor de freqüència a codi binari (Fto#)*. Encarregat de fer la conversió a un senyal digital binari [33]. S'introdueixen al capítol 3.

També s'ha presentat en aquest capítol una alternativa de disseny per a aquells sensors que actualment tenen sortida en voltatge fent servir un convertidor de tensió a freqüència o VCO.

Aquesta opció permet transmetre millor la informació pel canal de transmissió sense que el soroll i la atenuació afectin significativament a la informació que està essent generada pel sensor, i permetent alhora una fàcil adquisició de la informació a per part del microprocessador en l'etapa de processament.

2.5 Referències

- [1] Jesse M. Shapiro. "Smart Cities: Quality of Life, Productivity, and the Growth Effects of Human Capital", *Journal of the National Bureau of Economic research Review of Economics and Statistics*, vol. 88, pp. 324-335, Paper No. 11615, May 2006.
- [2] Chee-Yee Chong, "Sensor networks: Evolution, Opportunities, and Challenges", in *proc. of the IEEE*, pp. 1247 – 1256, vol. 91, iss. 8, Aug. 2003.
- [3] Ioannis Chatzigiannakis, Sotiris Nikolettseas, Paul Spirakis, "Smart dust protocols for local detection and propagation", in *proc. of the second ACM international workshop on Principles of mobile computing*, pp. 9-16, 2002.
- [4] Paolo Baronti, Prashant Pillai, Vince W.C. Chook, Stefano Chessa, Alberto Gotta, Y. Fun hu. "Wireless Sensor Networks: A Survey on the State of the Art and the 802.15.4 and ZigBee Standards", 2007, Elsevier, Computer Communications, pp. 1655–1695, Vol 30, Iss. 7.
- [5] Sencun Zhu, Guohong Cao, "SVATS: A Sensor-Network-Based Vehicle Anti-Theft System", in *proc. of INFOCOM 2008. The 27th conference on Computer Communications IEEE*, pp. 2128-2136, 2008.
- [6] Sensors Portal Website, [en línia]. <http://sensorsportal.com/HTML/Sensor.htm>
- [7] Sergey Y. Yurish. "Data acquisition for Smart Sensors and Transducers", 2001, pp. 11-13.
- [8] Sustaining growth in the MEMS Market, *Semico Research Corporation*, [en línia]. <http://semico.com>
- [9] G. Grängsjö, J. Sandblom, H. R. Ulfendahl, M. Wolgast, "Theory of the Heated thermocouple Principle", in *journal acta physiologica*, pp. 366-373, vol. 66, iss. 3, 2008.
- [10] Michalski, L., Eckersdorf, K., Kucharski, J. and McGhee, J., "Temperature Measurement", *Front Matter and Index, Second Edition, John Wiley & Sons Ltd*, Chichester, pp. 85-102, UK, 2002.
- [11] Michalski, L., Eckersdorf, K., Kucharski, J. and McGhee, J., "Temperature Measurement", *Front Matter and Index, Second Edition, John Wiley & Sons Ltd*, Chichester, pp. 103-122, UK, 2002.

- [12] Analog Devices, AD592, “2-Terminal IC Temperature transducer”, [En línia] http://www.analog.com/static/imported-files/data_sheets/AD590.pdf
- [13] Smartec Semiconductor. “SMT16030 DIGITAL TEMPERATURE SENSOR”, [En línia] www.smartec.nl/pdf/DSSMT16030.PDF
- [14] Dallas Semiconductor. Digital Thermometer and Thermostat. [En línia] pdfserv.maxim-ic.com/en/ds/DS1620.pdf [Consulta: 11/10/2009].
- [15] National Semiconductor, “LM35 Precision Centigrade Temperature Sensors (Rev. B)”, [En línia] www.national.com/ds/LM/LM35.pdf
- [16] Freescale semiconductor, “MPX4115 Integrated Silicon Pressure Sensor Altimeter / Barometer, On-chip signal conditioned temperature compensated and calibrated”. [En línia] , http://www.freescale.com/files/sensors/doc/data_sheet/MPX4115.pdf
- [17] Kistler Piezotron, “Piezotron® quartz pressure sensor”, [En Línia], http://www.kistler.com/pl_en-ex_us/13_Productfinder/App.7613C/Piezotron-quartz-pressure-sensor-250-bar.html
- [18] Applied Measurement Limited, “PTi18 18mm Ceramic Pressure Sensor Capsule”, [En línia] <http://www.appmeas.co.uk/pdf/pressure-sensors/PTi18.pdf>
- [19] Interlink Electronics, “Standard 406 FSR (Force Sensor Resistive)”, [En línia] <http://www.interlinkelectronics.com/Product/Standard-406-FSR>
- [20] Allegro semiconductor, “High Accuracy Analog Speed Sensor IC with Integrated Filter Capacitor and Dual Zero-Crossing Output Signal”, [En línia] www.allegromicro.com%2F~%2FMedia%2FFiles%2FDatasheets%2FA1425.pdf
- [21] Analog devices, “ADXL212: Small and Thin ± 2 g Accelerometer”, [En línia] http://www.analog.com/static/imported-files/data_sheets/ADXL212.pdf
- [22] Byung Su Chang, Jang Gyu Lee, Tae Sam Kang, “Design and Performance Test of Digital Rebalance Loop for MEMS Gyroscope”, *inKey Engineering Materials Journal*, Vol. 326 – 328, pp. 249-252, December, 2006.
- [23] Robert Boque, “The Fast-moving World of MEMS Technology”, in *Assembly Automation*, Vol. 29 Iss. 4, pp.313 – 320, 2009.
- [24] Analog devices, “Programmable Low Power Gyroscope, ADIS16250 /ADIS16255”, [En línia] http://www.analog.com/static/imported-files/data_sheets/ADIS16250_16255.pdf

- [25] Honeywell, "Installation Instructions for the HCH-1000 Series Capacitive Humidity Sensors", [En línea]http://www.honeywell-sensor.com.cn/prodinfo/sensor_humidity_moisture/datasheet/HCH-1000.pdf
- [26] Texas instruments, "Light to Frequency Converter TSL235", [En línia] <http://www.ti.com/lit/ds/symlink/tsl235.pdf>
- [27] Analog Devices, "AD594: Type J Thermocouple Amplifier with Cold Junction Compensation" [En línea] <http://www.analog.com/en/mems-sensors/digital-temperature-sensors/ad594/products/product.html>
- [28] Analog Devices, "Prtd Conditioning Circuit and Temperature Controller", [En línea]<http://doc.chipfind.ru/pdf/ad/adt70.pdf>
- [29] National Semiconductor, "LM555 Timer (Rev. B)", [En línia] www.national.com/ds/LM/LM555.pdf
- [30] Raúl Aragonés, Paula Álvarez, Joan Oliver, Carles Ferrer, "Readout Circuitry for Raw Sensors Monitoring Systems", *in proc. of the XXV Conference on Design of Circuits and Integrated Systems (DCIS 2010)*, pp. 272-277, Lanzarote, Nov. 2010.
- [31] Raúl Aragonés, Joan Oliver, Carles Ferrer. "A PsoC Component for Frequency Based Acquisition Applications", *In proc. of JCRA'04 conference, Computación y aplicaciones*. pp 661- 665, Barcelona, Sep. 2004, ISBN: 84-688-7667-4.
- [32] Krummenacher, F, "A High-Resolution Capacitance-to-Frequency Converter", *IEEE Journal of Solid-State Circuits*, Vol. 20, pp. 666-670, june 1985.
- [33] Sergey Y. Yurish. "Data acquisition for Smart Sensors and Transducers", 2001, pp. 21-28.

3. Convertidors freqüencials o Fto#

3.1 Introducció

El processament i la interpretació de la informació que els arriba de l'exterior són dues tasques fonamentals que els sistemes d'adquisició i adequació del senyal han de realitzar. Aquesta informació arriba des dels transductors o sensors que mesuren diverses magnituds físiques per convertir-les en senyals elèctrics, senyals que de forma analògica o digital mesuren els circuits electrònics.

En l'actualitat existeixen diferents tècniques d'adquisició de senyal que cobreixen diferents espectres amb prestacions i rendiments varis segons l'aplicació i/o el mètode d'adquisició emprat.

Per altra part, quan els sistemes d'adquisició i processament de senyal s'han d'integrar o aplicar en sistemes miniaturitzats, independentment del rendiment i prestacions del mètode, cal analitzar els diferents factors que influeixen en el resultat.

Així, en aplicacions amb sensors intel·ligents basats en sensors capacitius [1], la compactació del hardware és fonamental donat que minimitza l'àrea de silici que ocupa tot el sistema d'adquisició.

S'ha introduït també que els sensors poden realitzar la transducció tant a nivell freqüencial, com en voltatge i corrent. En el primer cas, quan es realitza un tractament freqüencial de la informació, no fa falta cap transformació addicional de senyal. En el cas de sensors llur sortida és en voltatge, es plantegen dues alternatives a nivell de tractament de les dades:

- Fer servir un convertidor analògic digital [2] o ADC. És el mètode tradicionalment emprat en el procés de transformació de senyals analògiques a digitals, motiu pel que existeix un ventall molt ampli de convertidors amb diferents prestacions segons les versions escollides. Entre les arquitectures d' ADCs més conegudes es troben:
 - Convertidor de simple o doble rampa. Format bàsicament per un integrador i un comptador binari.
 - Convertidor flash. Format per un *array* de d'amplificadors operacionals configurats en mode comparador.
 - Convertidor SAR. Format per un comptador d'aproximacions successives.
 - Convertidor delta & sigma. Format per les etapes de diferenciació i integració i comparació, a més d'un convertidor digital-analògic d'un bit.
- Fer servir un convertidor de voltatge a freqüència, que està format bàsicament per un oscil·lador controlat per tensió o VCO, més un convertidor de freqüència a codi binari (Fto#). És una tècnica que tradicionalment ha estat reservada a circuits amb sortides directament freqüencials, però que actualment s'ha convertit en una alternativa clara a la conversió emprant ADCs.

En qualsevol cas, tota sortida de sensor pot ser transformada al domini freqüencial, ja sigui perquè el sensor incorpora una interfície freqüencial, o perquè es fa servir un VCO per transformar la seva tensió de sortida a aquest domini.

Comparant ambdues metodologies de conversió (ADCs i convertidors freqüencials) les tècniques d'adquisició freqüencial presenten uns avantatges que les fan especialment atractives en el tractament de senyals que provenen de sensors [3]:

- Gran immunitat al soroll. És una de les principals característiques d'aquests convertidors. Els senyals elèctrics en domini freqüencial poden ser transmesos pels diferents medis de comunicació a més llarga distància

que els senyals analògics sense necessitat de regenerar el senyal. Els senyals elèctrics a nivell freqüencial són molt millors per treballar en entorns sorollosos (com per exemple en aplicacions de l'automòbil [4,5]) ja que l'atenuació del mitjà de comunicació no degrada la informació que es transmet.

- Tenen menors costos d'integració perquè solen necessitar menys àrea de silici donat que els convertidors fan servir menys components i són més simples de dissenyar.
- Tenen major potència de sortida respecte als ADCs convencionals. Donat que la freqüència de sortida és generada per un oscil·lador, i el factor de qualitat generalment és molt alt, la sortida del circuit d'adquisició a nivell freqüencial administra millor la potència respecte als mètodes analògics.
- Molt bona precisió, ideal per a entorns d'adquisició industrials [6,7]. De fet la precisió ve imposada per l'amplada de bus que es vulgui emprar. En aquest sentit, és fàcil aconseguir errors de mesura de tant sols el 0,001%, quan en els sistemes de conversió ADC, els errors estan al voltant del 0,01%.
- De la mateixa manera que passa amb els convertidors ADC de doble rampa, els sistemes de conversió freqüencial incorporen un mecanisme d'integració del senyal a l'entrada que permet una millor immunitat al soroll, al mateix temps que permet realitzar l'adquisició del senyal amb un temps inferior.
- Es disposa de tot el rang dinàmic de la font d'alimentació ($\pm V_{DD}$) com a senyal de sortida.
- Diverses tècniques permeten una molt fàcil multiplexació de senyal tant en la modalitat temporal -*Time Division Multiplexing* (TDM)- com en la freqüencial -*Frequency Division Multiplexing* (FDM)- sense introduir errors [8]. En els mètodes tradicionals, els paràsits EMF i les resistències equivalents del circuit introdueixen errors significatius en la mesura [9].

Aquestes característiques que són inherents als senyals freqüencials fan que el processament de senyal a nivell freqüencial sigui una alternativa potent al clàssic tractament de senyal basat en ADC. En l'aplicació de tècniques de procés a nivell freqüencial cal, però, fer una distinció depenent del tipus de sortida que presenta el sensor.

En el cas dels sensors que tenen la sortida en el domini freqüencial, és evident que el procés mitjançant tècniques freqüencials surt de forma espontània, fet que fa aquestes tècniques especialment interessants des del punt de vista de la integració del

sistema, ja que simplifiquen molt la circuiteria de condicionament del senyal al no requerir de cap circuiteria de conversió. En el capítol 2 s'ha vist que cada cop hi ha més sensors que incorporen aquest tipus d'interfície, especialment els acceleròmetres, giroscopis, compassos magnètics, etc [10][11]).

Com que no tots els sensors tenen sortida directament freqüencial, es pot fer un doble procés de conversió:

- En la primera etapa de conversió es sol passar del domini voltatge al domini freqüència, o transformar el valor capacitiu del sensor a aquest domini. En aquesta transformació es solen fer servir oscil·ladors controlats per voltatge (*Voltage Controlled Oscillator* o VCO's) [12] o oscil·ladors.
- La segona etapa té com a entrada freqüencial el senyal polsant, i en realitza la transformació a codi binari. Aquí es parla de convertidors freqüència a codi binari o *Fto#*.

Dintre de les tècniques de tractament del senyal a nivell freqüencial *Fto#* existeixen en el mercat múltiples tècniques, algunes d'elles clàssiques, altres adaptades a processos més actuals, que permeten assolir els nivells de resolució i precisió adequats en cada aplicació. Aquestes tècniques poden transformar un senyal en el domini freqüencial utilitzant qualsevol de les característiques dels senyals quasi-digitals: pols, període, freqüència o altres paràmetres temporals. S'estableix la següent nomenclatura com a conveni:

- Tractament directe per freqüència (F_A).
- Processament per període ($T_A = 1/F_A$).
- Anàlisi de l'amplada de pols (t_p).
- Tractament per interval d'espaiament (t_s).
- Percentatge d'activació en el cicle (*duty cycle*) (t_p/T_A).
- Desplaçament de fase (φ).

En aquest context, aquest capítol fa un repàs breu i precís de les tècniques bàsiques que han iniciat a l'autor d'aquesta tesis en l'aplicació de tècniques de processament de senyal a nivell freqüencial o convertidors *Fto#*, presentant millores de l'autor en tècniques concretes.

3.2. Principi d'adquisició i tractament de senyal Esquemes convertidors A/D i freqüencial

La figura 3.1 mostra l'estructura de blocs del mètode d'adquisició de senyal clàssic basat en ADC. Normalment, el senyal de sortida del sensor ha d'ésser condicionat, filtrat, amplificat, mostrejat i finalment convertit al domini digital abans de ser enviat i processat pel sistema de càlcul [2].

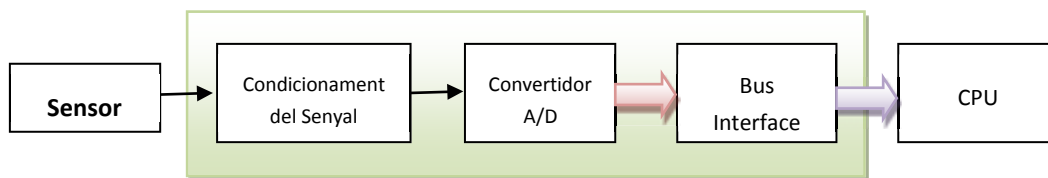


Figura 3.1: Mètode clàssic d'adquisició.

En contraposició, els mètodes d'adquisició freqüencial (figura 3.2) adquireixen les dades que surten del sensor (normalment amb sortides capacitiva o en voltatge), fan la conversió al domini freqüencial (amb convertidors CtoF o VtoF), i donen la sortida en el domini digital (a través d'un convertidor Fto#), de manera que les dades poden ser directament enteses per un processador [13], i tractades, si s'escau, directament per aquest.

Com s'ha comentat, el número d'etapes del sistema queda reduït a la conversió Fto# quan el sensor dóna una sortida freqüencial.

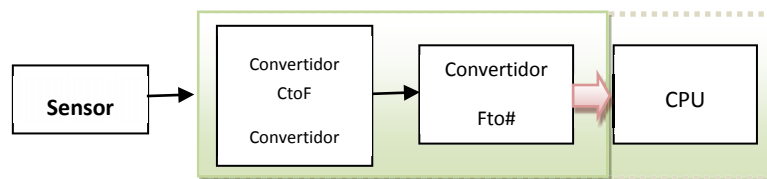


Figura 3.2: Mètode d'adquisició freqüencial.

Quan s'utilitza aquest sistema de mesura es pot reduir significament el hardware, tant d'adquisició com de processament, ja que la fase de conversió a freqüència i la fase de processament poden estar integrades sota el mateix disseny normalment basat en un processador embegut.

Nogensmenys, quan s'ha d'introduir l'etapa de conversió de capacitat a freqüència, és necessari controlar la tensió d'alimentació, la temperatura i el soroll de fase. El soroll de fase influeix especialment en l'estabilitat del senyal en domini freqüencial, doncs esdevé com una fluctuació de la fase del senyal, que fa que el senyal

no sigui estable. Compensant o suprimint aquestes dependències s'obtidran els millors resultats en l'etapa de de conversió [14].

3.3. Mètodes freqüencials d'adquisició de senyal

Els mètodes d'adquisició de senyal a nivell freqüencial es van començar a aplicar a mitjans del segle passat. En el 1941 Negnevitskiy S.B i al 1947 Filipov V.N van fer les primeres aproximacions a conversions freqüencials partint d'un ADC basat en el mètode discret de conversió amb normalització de polsos de la freqüència del sistema. Aquests treballs van donar com a resultat la primera patent en aquesta àrea de conversió freqüencial (Patent 68785, USRR). Des d'aleshores fins ara, s'han inscrit més de 1000 patents sobre tècniques de conversió freqüencial, mètodes de mesura freqüencial i dispositius convertidors.

Els mètodes que s'estan aplicant avui en dia al procés de senyal provinent de sensors són variacions adaptades a la integració sobre xip d'aquests mètodes de conversió inicialment plantejats.

Existeixen múltiples descripcions i variants de tècniques d'adquisició freqüencial. Una primera classificació es pot fer en base al mecanisme que es fa servir alhora de fer la mesura [15]. Es pot parlar de:

- Mètodes absoluts. Només es mesura la sortida d'un sensor, i el valor que s'obté a la sortida del convertidor serà el valor de la mesura respecte a la freqüència de rellotge del sistema de referència del convertidor. D'aquestes tècniques, els dos mètodes clàssics que han servit de base a totes les demés tècniques són:
 - Recompte directe.
 - Recompte indirecte.
- Mètodes relatius. Fan servir dues freqüències de dos sensors diferents a mesurar, i el convertidor dóna com a sortida el valor de la relació entre les dues freqüències. Dins d'aquests mètodes les tècniques més representatives són:
 - Radiomètriques.
 - Recíproques.
 - Dependents.
- Mètodes avançats. Aquestes mètodes combinen els mètodes de mesura relatiu amb absolut. El mètode més representatiu és:
 - Mètode del recompte dependent.

Donada la importància de l'adquisició freqüencial en aquest treball, i per enfocar el paper precís que realitzen els convertidors Fto# en el pre-procés freqüencial, en els següents apartats s'exposen els més representatius. Es fa especial esment als convertidors per recompte indirecte i per recompte dependent perquè van iniciar l'autor en l'estudi de tècniques d'adquisició de senyal freqüencial i que va donar com a resultat les primeres publicacions [16, 17].

3.3.1 Mètode del recompte directe (*Direct Count Method o DCM*)

El mètode del *recompte estàndard* o *directe* està pensat en la mesura del senyal de sensors que oscil·len a alta freqüència [18]. El mètode consisteix en mesurar la sortida freqüencial del sensor durant una finestra de temps establerta pel sistema de conversió [19]. El principi de funcionament és el següent.

Sigui T_A el període del senyal a mesurar (sensor), i T_B el període de la finestra de temps que durarà la mesura (rellotge de sistema). Segons la figura 3.3, la mesura ve donada per la relació:

$$N_A = T_B F_A = \frac{T_B}{T_A}, F_A = N_A F_B = \frac{N_A}{T_B} \quad \text{Eq. 3.3.1}$$

i a on N_A és el codi equivalent de la mesura realitzada sobre el senyal en domini freqüencial.

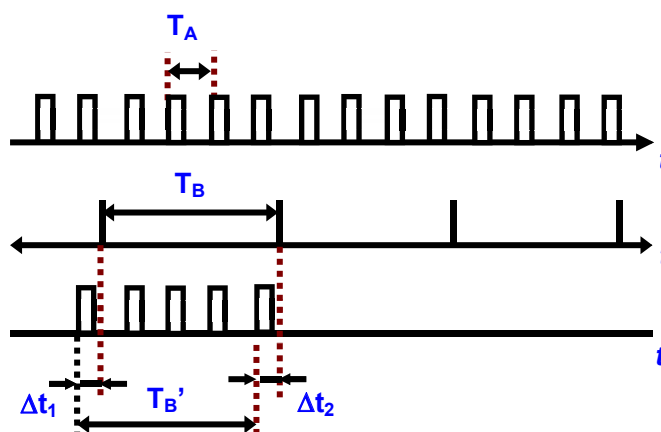


Figura 3.3: Mètode d'adquisició freqüencial directe.

La figura 3.4 mostra un circuit equivalent per a aquest convertidor. Bàsicament està format per un comptador. L'oscil·lador de referència només deixa passar els cicles de F_A durant el període del rellotge de referència T_B . En aquest temps s'obté el valor N_A que és el valor de la mesura.

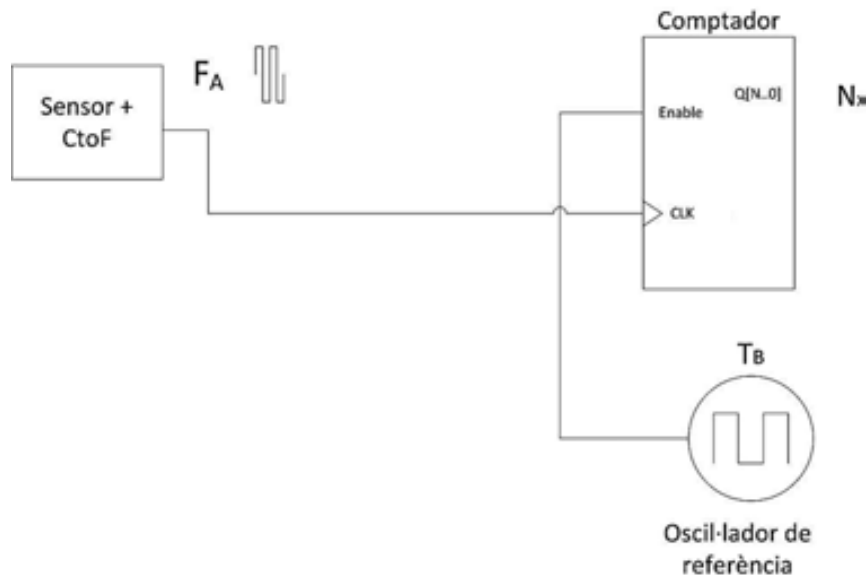


Figura 3.4: Circuit equivalent del convertidor directe.

El diagrama de temps (figura 3.3) mostra una absència de sincronització a l'inici i al final de la finestra temporal T_B , amb polsos F_A perduts com a conseqüència de l'error en la mesura. Ve acotat pels intervals Δt_1 i Δt_2 , a on els dos intervals són independents l'un de l'altre.

Tenint en compte aquests intervals, el temps total de mesura ve determinat per:

$$T_B' = N_A T_A = T_B + \Delta t_1 - \Delta t_2 = \frac{N_A}{F_A} \quad \text{Eq. 3.3.2}$$

D'acord amb aquesta expressió, el valor exacte de N_A vindria donat per l'equació 3.3.3. El terme que inclou les desviacions en l'inici i final de la mesura, correspon a l'error que es produeix a la mesura.

$$N_A = T_B \cdot F_A + (\Delta t_1 - \Delta t_2) \frac{1}{T_A} \quad \text{Eq. 3.3.3}$$

3.3.2 Mètode del recompte indirecte (Indirect Count Method o ICM)

Els convertidors Fto# que es basen en el mètode del *recompte indirecte* mesuren una freqüència determinada pel sistema (normalment a partir d'un rellotge de referència), durant una finestra de temps definida pel període del senyal a mesurar del sensor [21] (figura 3.5). Aquests convertidors s'utilitzen quan la mesura es realitza sobre sensors lents, o sobre sensors que generen freqüències de sortida molt baixes.

Els resultat de la mesura ve donat per l'expressió 3.3.4:

$$N_A = \frac{T_A}{T_B} = \frac{F_B}{F_A} \tag{Eq. 3.3.4}$$

El nombre de polsos N_A comptats es determina pel nombre de períodes $T_B = 1/F_B$ durant la finestra de temps T_A . Així doncs, T_A és igual a:

$$T_A = N_A \cdot T_B \tag{Eq. 3.3.5}$$

L'error de quantificació absolut (degut a la no sincronització entre rellotge i senyal del sensor) es calcula a partir de:

$$T_A = (N_A - 1)T_B + \Delta t_1 + (T_B - \Delta t_2) = N_A \cdot T_B + \Delta t_1 - \Delta t_2 = N_A \cdot T_B \pm \Delta q \tag{Eq. 3.3.6}$$

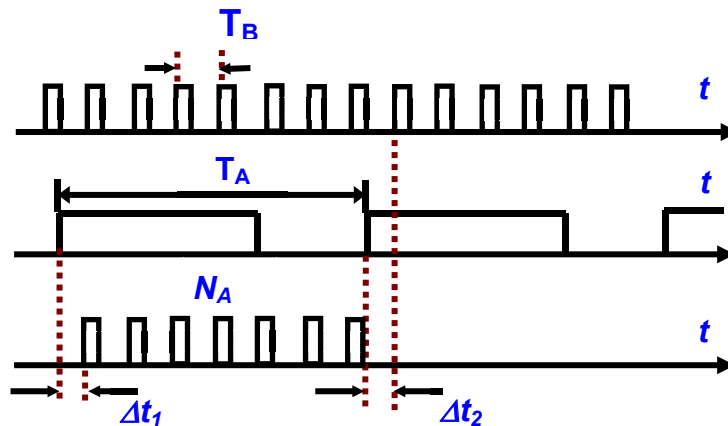


Figura 3.5: Mètode d'adquisició freqüencial indirecte.

La figura 3.6 mostra un circuit equivalent d'aquest convertidor. El rellotge T_B és l'encarregat de comptar el temps que T_A està en actiu S'obté el valor N_A que és el valor de la mesura.

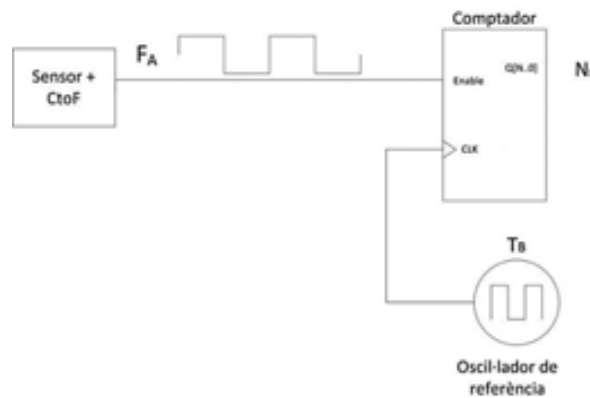


Figura 3.6: Mètode d'adquisició freqüencial indirecte.

3.3.3 Mètode de recompte radiomètric

Aquest mètode permet obtenir un error de quantificació constant per a un marge de freqüències molt gran [23].

Es considera el senyal d'entrada a mesurar com a T_A , i s'agafa una finestra de temps T_{01} com a temps de captura per a un error donat. El número de períodes comptats quedarà reflectit en el valor N_1 que s'emmagatzema en el comptador 1. El mateix procés s'efectua amb T_B , on s'agafa una finestra de temps T_{02} iniciada amb el primer flanc de N_1 i de la mateixa durada que el número de períodes comptats quedarà reflectit en el valor N_2 que s'emmagatzema en el comptador 2. Amb aquests dos valors s'efectua el processament de la relació d'ambdós senyals.

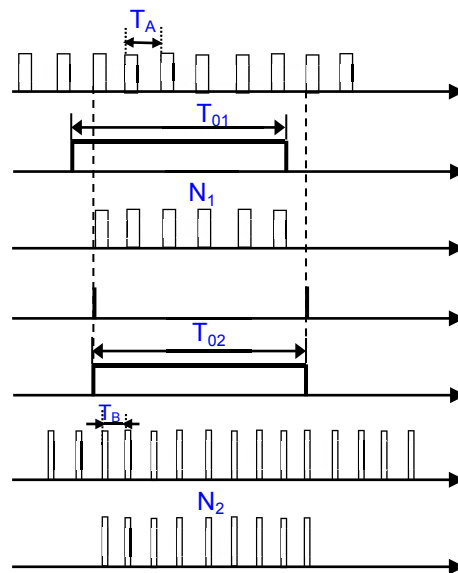


Figura 3.7: Mètode d'adquisició freqüencial radiomètric.

El primer càlcul de freqüència s'anomena F_A' i ve donada per:

$$F_A' = \frac{N_1}{T_{01}} \quad \text{Ea. 3.3.7}$$

Acotat amb el número de polsos N_1 es realitza el comptatge de N_2 . L'inici ve determinat pel primer flanc de N_1 . La finestra de temps T_{02} es tanca amb el primer pols que aparegui de de T_{01} . Es compleix que ($T_{02} = N_1 \cdot T_A$).

Aquesta segona finestra de temps conté N_2 polsos de freqüència F_B . Es compleix que:

$$N_2 = N_1 \cdot \frac{T_A}{T_B} = N_1 \cdot \frac{F_B}{F_A} \quad \text{Eq. 3.3.8}$$

$$F_A = \frac{N_1}{N_2} \cdot F_B \quad \text{Eq. 3.3.9}$$

La figura 3.8 mostra un circuit equivalent que implementa aquest convertidor. Donat que es tracta d'un mètode relatiu, es fan servir dues freqüències diferents de dos sensors diferents per fer la mesura. També es pot fer servir el valor d'un sensor i la freqüència de referència del sistema per fer la mesura.

S'observa que cadascuna de les freqüències d'entrada té el seu propi comptador. El recompte dona N_1 per a F_A i N_2 per a F_B .

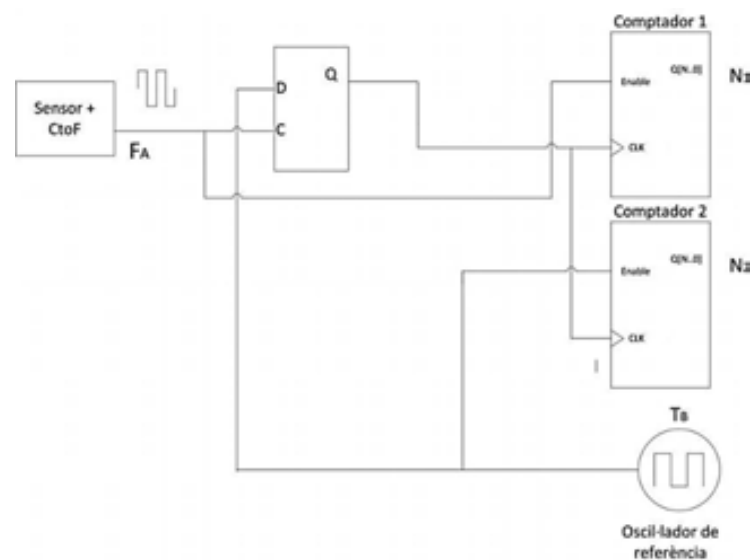


Figura 3.8: Esquema del mètode d'adquisició freqüencial radiomètric.

3.3.4 Mètode del *recompte recíproc*

Aquest convertidor basa el seu mode de funcionament en el convertidor radiomètric [25]. La repetibilitat de la mesura ve determinada pel pols de reset. L'inici del temps de recompte (T_{compt}) coincideix amb el següent pols de l'interval F_A , apareixent just després del final del pols d'inici. La freqüència es calcula durant el temps d'interval T_{calc} . El cronograma es mostra a la figura 3.9.

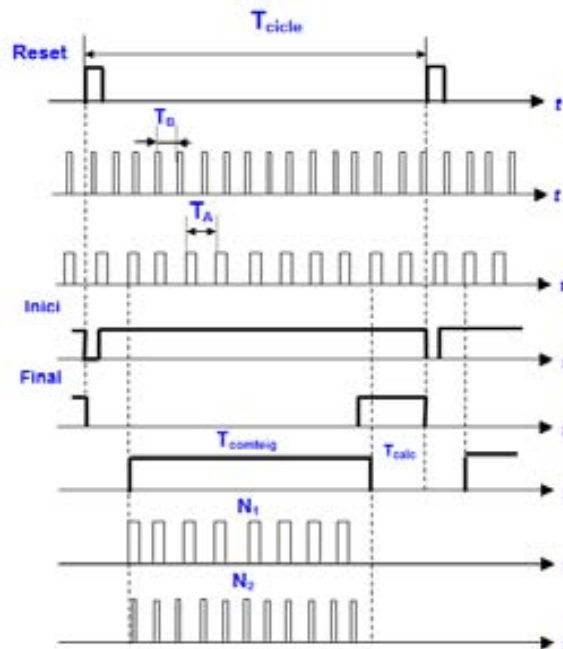


Figura 3.9: Cronograma del mètode d'adquisició de recompte recíproc.

El càlcul de la conversió es realitza durant l'interval T_{calc} , i ve donat per:

$$F_A = \frac{N_1}{N_2} \cdot F_B \quad \text{Eq. 3.3.10}$$

L'avantatge principal d'aquest mecanisme és que l'error de quantificació és constant per a tot el rang de freqüències. Com en el recompte radiomètric, la finestra s'estableix en base a predeterminar l'error màxim permès.

Com en el cas del mètode d'adquisició radiomètric, el principal desavantatge del mètode és la redundància en el temps de recompte. Apart i a nivell de circuiteria, en aquest cas es necessiten tres comptadors per a realitzar el procés de mesura.

3.3.5 Mètode del recompte dependent (*Dependent Count Method o DCM*)

Aquest mètode va ser proposat per primera vegada el 1980 per Berezyuk [26]. El mètode permet establir per avançat l'error màxim de quantificació per a tot el rang de freqüències. A diferència dels casos anteriors, el mètode calcula en cada nou cicle, la finestra temporal donat l'error màxim permès.

Combina els avantatges dels mètodes clàssics tot garantint un valor constant de l'error de quantificació. Funciona amb un ampli rang de freqüències i amb alta velocitat de conversió.

Les característiques principals d'aquest mètode són:

- Té un temps de conversió no redundant.
- Possibilita la mesura de freqüències amb $F_A > F_B$.
- Mostra un error de quantificació constant.
- Té alta precisió.
- Treballa amb una sola referència de freqüència.
- Pot funcionar en mode auto-adaptatiu.

Aquest sistema de conversió pot adquirir, al mateix temps, els senyals F_A i F_B [27] i permet fer mesures tant en mode absolut com relatiu [28]. S'agafa com a nomenclatura que F representa a la freqüència més gran de F_A i F_B i f la freqüència més petita de les dues [29]. El principi de funcionament és el següent:

- Compta, per separat, els períodes de dos senyals de diferents freqüències (la de referència i la mesurable) amb el mètode de mesura absolut i relatiu.
- Es compara el número de polsos amb el valor de referència N_δ , especificat inicialment per a un error relatiu δ establert a la freqüència que estem mesurant, o bé amb el valor N_1 determinat per l'error δ_1 especificat per la freqüència més gran de les dues anteriors.
- Es forma la finestra de quantificació T_q idèntica al número sencer N_A de períodes τ de la freqüència inferior f .
- Es quantifica el temps de referència T_q a partir de la durada T de la freqüència més gran F . Aquest número és $\geq N_\delta$.

El sistema de mesura agafa el número N en el moment en què apareix el següent impuls τ , finalitzant, aleshores, el recompte de polsos.

Aquest mètode de conversió permet realitzar la conversió emprant recompte per freqüència absoluta, relativa i/o per període de temps. El seu cronograma es pot analitzar a la figura següent:

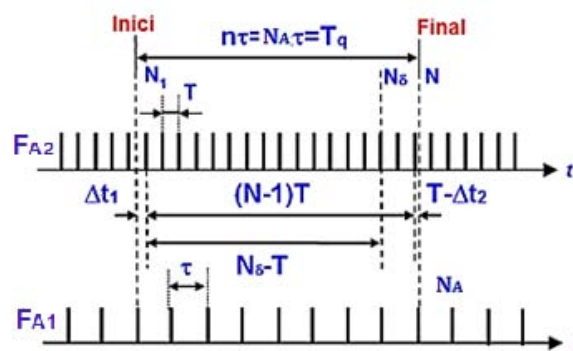


Figura 3.10: Cronograma del mètode d'adquisició de recompte dependent.

En la figura:

- F_{A2} , és la freqüència més ràpida.
- F_{A1} , és la freqüència més lenta.
- $N\delta$, és l'error de mesura relatiu en freqüència especificat inicialment.
- N_A , é el nombre de períodes a comptar per a un error δ establert.

En el moment de computar la freqüència capturada pel convertidor, és té que T_A ve donada per:

$$T_A = \frac{N}{F} = \frac{N\delta + \Delta N}{F} = \left(\frac{1}{\delta} + \Delta N\right) T \quad \text{Eq. 3.3.11}$$

On $N = N\delta + \Delta N$ és el número de polsos de la freqüència més gran F .

$$F_A = F_B \cdot \frac{n}{N} \quad \text{Eq. 3.3.12}$$

Respecte al temps de l'adquisició per a un error donat podem definir les següents expressions en funció de quina sigui la freqüència més gran (F_A o F_B).

$$t_x = \frac{N\delta + \frac{F_B}{F_A}}{F_B} \quad \text{per } F_A \leq F_B \quad \text{Eq. 3.3.13}$$

$$t_x = \frac{N\delta + \frac{F_A}{F_B}}{F_A} \quad \text{per } F_A > F_B \quad \text{Eq. 3.3.14}$$

L'error quantitatiu d'aquest mètode es troba a la taula 3.2.

3.3.6 Comparativa dels mètodes d'adquisició freqüencial

La taula 3.1 compara els principals mètodes d'adquisició presentats, i mostra les principals limitacions que tenen alhora de fer-los servir com a mètodes d'adquisició de senyal en sistemes basats en microprocessador [27], [32].

D'acord amb el que s'ha introduït en el capítol, els mètodes d'adquisició freqüencials han esdevingut especialment importants en el moment en què la microelectrònica ha evolucionat de manera que en un sistema embegut s'hi poden incorporar tots els elements de procés. Això agafa des del propi sensor o interfície amb el sensor fins al procés de les dades per adaptar-les al protocol o format final que necessita el processador.

En l'etapa que fa d'interfície entre el sensor i el processador s'utilitzen, fonamentalment, dos recursos per fer el pre-procés de dades: els comptadors o *timers* i les interrupcions. També es poden emprar rutines basades en *polling*, però no es recomana per què prenen temps de procés al processador i són massa dependents

dels retards de programa. A l'hora implica que el processador queda tancat en un bucle fent la consulta dels valors, sense poder atendre a altres rutines.

La taula 3.1 realitza una comparació dels diferents mètodes Fto#. La comparativa s'estableix en base al cost que suposa la implementació dels mètodes d'adquisició freqüencials en un sistema embegut. La comparativa es basa en els següents paràmetres:

- El número de comptadors que són necessaris per implementar la conversió Fto#.
- El nombre d'interrupcions que s'haurien de considerar per a resoldre l'adquisició del senyal.
- El temps de computació (que és funció de la resolució del comptador i precisió que es cerqui amb el mètode).
- El nombre de bits d'entrada i sortida necessaris per a implementar el mètode d'adquisició (establert en base a un ample de bus de 32 bits).

Taula 3.1: Comparativa dels mètodes freqüencials relatius i absoluts.

Mètode	Nombre d'interrupcions	Nombre de bits d'E/S	Nombre de comptadors	Temps de computació
ICM Recompte indirecte	1 pujada / 1 baixada	2 E 33 S	1	Min: $1 T_B + \text{Processament}$ Max: $2^n T_B + \text{Processament}$
DCM Recompte directe	1 pujada / 1 baixada	2 E 33 S	1	Min: $1 T_A + \text{Processament}$ Max: $2^n T_A + \text{Processament}$
CCM Recompte combinat	1. Pujada	2 E 32 S	2	Min: $1 T_A + \text{Processament}$ Max: $2^n T_A + \text{Processament}$
RCM Recompte ratriomètric	1. Pujada	2E 64 S	2	$T_{B1} + T_A + \text{Processament}$
RCM Recompte recíproc	1 pujada / 1 baixada	5 E 99 S	3	$N_2 + T_{\text{calc}}$
DCM Recompte dependent	1	32 E 65 S	2/4	Min: Resolució min * $T_{A1} + \text{Processament}$. Max: Resolució max * $T_{A1} + \text{Processament}$.

La taula mostra el nombre mínim de recursos que són necessaris. S'observa que els dos convertidors absoluts fan servir exactament el mateix número de recursos. El

convertidor per mètodes relatius és el més eficient. Per altra part, el DCM és el, més costós en *hardware*.

3.3.7 Anàlisi d'errors en el procés

En cada de les tècnica d'adquisició de senyal a nivell freqüencial hi intervenen un conjunt de factors que treuen precisió a la mesura. Aquests factors són:

- La manca de sincronització de la finestra temporal de mesura respecte al senyal a mesurar del sensor.
- Falta de precisió en la sintonització inicial de freqüència de referència i/o final de la finestra de mesura.
- Manca d'estabilitat freqüencial del rellotge del sistema de referència.
- Errors en l'establiment de l'inici de la mesura deguts a retards d'entrada, ja siguin provocats pel senyal que es mesura (possible soroll), com deguts als circuits afegits a l'etapa d'entrada del circuit de conversió.

Mètode	Error Relatiu
ICM Recompte directe [20]	$\delta_q = \pm \frac{1}{N_A} = \pm \frac{1}{T_B \cdot F_A}$
DCM Recompte indirecte [22]	$\delta_q = 100 \frac{f_A}{n f_B}$
RCM Recompte ratiomètric [24]	$\delta_q = \pm \frac{T_B}{N_1 \cdot T_A}$
RCM Recompte recíproc [33]	$\delta_q = \pm \frac{1}{F_B \cdot T_{contador}}$
DCM Recompte dependent[34]	$\delta_q = \delta \frac{1}{1 + \frac{\Delta N}{N \delta}}$

Taula 3.2: Taula comparativa dels error relatius a la mesura.

On:

δ_q és l'error de quantificació relatiu.

La resta de sigles estan descrites als corresponents apartats i figures.

3.3.8 Principals mecanismes que ajuden a reduir aquest error

Els errors que s'introdueixen són deguts fonamentalment a la falta de sincronisme entre els senyals. Els principals mecanismes que ajuden a reduir aquests error són:

- Incrementar la freqüència de referència F_B o el nombre de conversions n del període T_A , sempre que no hi hagi un múltiple enter de cicles de rellotge base respecte al sensor.
- Intentar fer una sincronització a l'inici de la mesura ajustant la freqüència del convertidor a la senyal a mesurar. Tot i així, encara queda sincronitzar també el final de la mesura.

En aquest sentit, l'apartat 3.4.3 presenta una conversió basada en el mètode de recompte indirecte millorat per freqüència del sistema, amb sincronització inicial i final i alta freqüència de referència, que minimitza aquest error.

3.4 Aplicació i optimització àdhoc de tècniques d'adquisició de senyal emprant mètodes freqüencials

Durant la realització del projecte nacional *IDEA: "Implementación de una metodología de Diseño para la integración de microsistemas En una Arquitectura distribuida"* [35] es va detectar la necessitat d'aplicar aquests mètodes a interfícies fetes a mida d'adquisició i pre-procés de senyals provinents de sensors. El coneixement que es tenia d'aquestes tècniques permeté l'adequació de mètodes d'adquisició freqüencial a l'aplicació. En aquest cas es va utilitzar el *mètode de conversió indirecte amb autocalibració* explicat en l'apartat 3.4.1.

Fruit d'aquesta adaptació, va ser l'adaptació posterior del mètode del recompte dependent, explicat en l'apartat 3.4.2.

Una tercera implementació, explicada a l'apartat 3.4.3, s'ha dissenyat específicament per a millorar els errors de resolució en les proves realitzades en la

verificació del comportament de l'oscil·lador amb *bandgap* que es descriuen els capítols centrals d'aquesta tesi.

La implementació d'aquests mètodes d'adquisició freqüencial s'ha realitzat i implementat sobre circuits programables (PSoc de Cypress[36], Altera Cyclone II [40] i Xilinx Spartan3E [41]).

3.4.1 Mètode de conversió indirecte amb autocalibració [42]

En l'aplicació dels mètodes freqüencials descrits fins ara, en cap cas es considera la limitació en el recompte que realitza el comptador. En aquest sentit, quan el comptador supera el recompte màxim que pot realitzar, es reinicia, fet que pot conduir a resultats de mesura incorrectes. El sistema de conversió que es presenta tot seguit introdueix un mètode d'autocalibració per evitar l'excés. Donat que l'aplicació per la que es va dissenyar, la freqüència lenta és la del sensor, s'aplica el mètode de conversió indirecte.

Les primeres versions del sistema de conversió es van desenvolupar utilitzant la tecnologia Cypress PSOCTM[37]. Aquest dispositiu programable permet la integració de circuiteria digital i analògica en un mateix circuit integrat [38,39], incorporant alhora un microcontrolador, memòria RAM, memòria flash i interfícies per a diferents busos (I2C, SPI, USB, IRDA, etc).

Realitzades les proves sobre PSOC, posteriorment el circuit analògic del disseny es va integrar en l'ASIC ROIC 1.0, fabricat amb tecnologia AMS 0,35 μ m i dissenyat per l'autor d'aquesta tesi. La secció digital, s'ha implementat sobre FPGA emprant el microprocessador software MicroBlaze.

3.4.1.1 Principi de funcionament

La figura 3.11 replica el diagrama de funcionament del mètode indirecte. Durant el semicicle positiu del període T_A es capturen els polsos d'alta freqüència que provenen del rellotge base del sistema F_B i se n'obté el nombre N_A de polsos, que equival al valor convertit. Aquest procés, repetit n vegades, dóna que el valor N_A de l'equació 3.4.1.

$$N_A = n \cdot \frac{T_A}{T_B} \quad \text{Eq. 3.4.1}$$

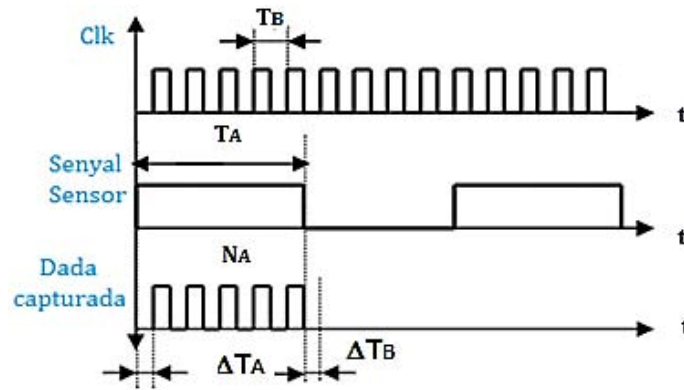


Figura 3.11: Cronograma del mètode indirecte simplificat.

El circuit inicia el recompte en el flanc de pujada del període T_A del sensor i para el recompte en el flanc de baixada del mateix senyal. En aquest període es captura N_A en un comptador de m bits, on m representa el valor equivalent binari de la freqüència del sensor freqüencial.

Per a optimitzar la circuiteria es calcula el nombre d'etapes que calen per obtenir una determinada precisió en l'adquisició. Aleshores, si el senyal de sortida freqüencial del sensor té un semicicle positiu més llarg de l'establert en l'expressió 3.4.2 (que determina el nombre màxim de polsos (precalculat per a ser emmagatzemat) és produeix un *sobreeiximent* o *excés* (*overflow*) del valor del comptador i es perd la informació emmagatzemada.

$$2^m_{counter} < \frac{T_A}{T_B} \quad \text{Eq. 3.4.2}$$

Per evitar la pèrdua del valor de conversió adquirit es proposen dues solucions:

- Fer que el número de bits m del comptador sigui suficientment gran per tal que el període més gran T_A del sensor no provoqui un excés. S'ha d'acomplir, aleshores, que:

$$m > \log_2 N_A \quad \text{Eq. 3.4.3}$$

- Fer que la freqüència de referència del rellotge del sistema f_0 sigui inferior a la màxima permesa per a un valor de període del sensor màxim, i un valor d'amplada del comptador m donat per:

$$F_A 2^m_{counter} > F_B \quad \text{Eq. 3.4.4}$$

Donat el gran ventall de sensors que fan servir freqüències diferents de conversió, la primera solució no permet establir una mida concreta del comptador. Es decideix, per tant, aplicar la segona solució.

L'error de quantificació relatiu que s'introdueix ve donat, aleshores, per l'expressió 3.4.5.

$$\delta_q = \frac{F_A}{n * F_B} * 100 \quad \text{Eq. 3.4.5}$$

L'error de quantificació pot ser reduït fàcilment incrementant la freqüència de referència del circuit F_B , o repetint més vegades la mesura F_A del sensor. Donat que la primera opció augmentaria la possibilitat d'error de sobrecàrrega del comptador; s'aplica la segona opció en el procés de conversió. Com que aquesta tècnica busca evitar el desbordament del comptador, s'ha anomenat *conversió indirecta autoadaptativa*, ja que adapta F_B en funció de la dada a mesurar.

El procés de calibratge s'efectua en dos passos:

- Primerament es calibra el convertidor freqüencial. En aquesta etapa s'injecta al convertidor una freqüència F_A tal que contingui el període màxim del senyal del sensor T_A a mesurar (aquell període que normalment generaria una sobrecàrrega en el comptador).
- Acte seguit el circuit calcula la nova freqüència F_A que permet mesurar aquest nou període màxim de T_A sense que el comptador tingui una sobrecàrrega o *overflow*.

3.4.1.2 Arquitectura interna del circuit autoadaptatiu

Per fer aquest calibratge cal introduir un nou circuit en el convertidor. D'acord amb la figura 3.12, el circuit d'autocalibració està format pels següents blocs:

- *Freq_cont*. Està constituït per un comptador de 16 bits, encarregat de comptar cicles de F_B dins del període T_A màxim.
- *Counter_modulation*. És l'encarregat de fer l'autocalibració i controlar el multiplexor de freqüències sub- F_B .
- Un comptador de 8bits, que s'encarrega de generar les divisions en freqüència en base 2^n a partir de F_B .
- Un multiplexor de freqüències en base a F_B .

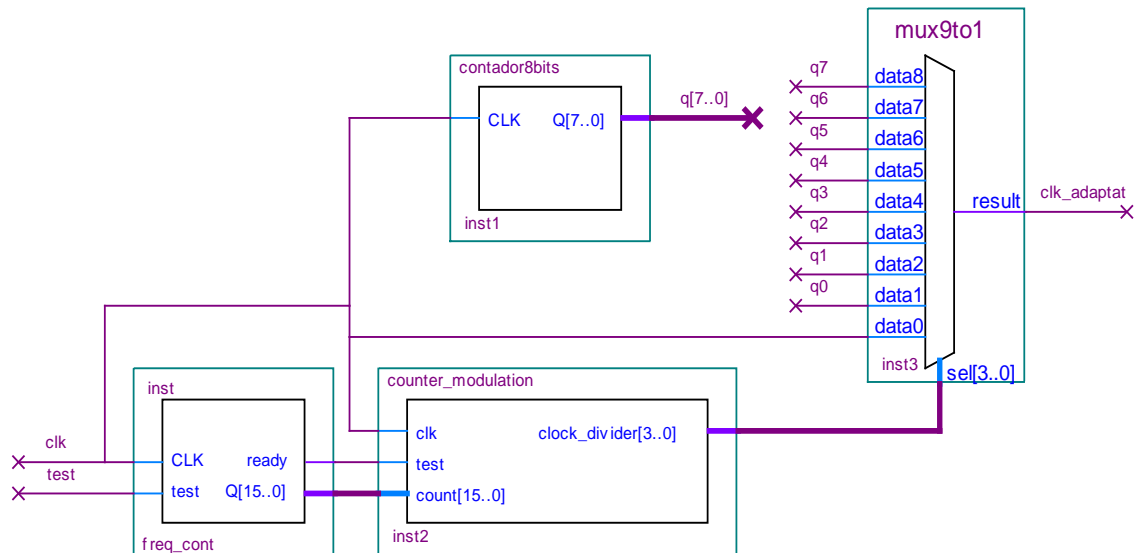


Figura 3.12: Circuit d'autocalibració freqüencial pel convertidor ICM.

El procediment que efectua el procés de calibració és el següent:

1. S'injecta el senyal de calibratge a l'entrada *Test* del circuit. El flanc de pujada d'aquest senyal inicia el recompte en el comptador de 16 bits.
2. El flanc de baixada d'aquest senyal *Test*, atura el comptador. El senyal *Ready*, indica al bloc *counter_modulation* que ja té disponible el valor comptat per tal que determini la freqüència de sortida òptima, i així seleccionar el canal més òptim del multiplexor.
3. En paral·lel, el divisor de freqüència genera 8 freqüències diferents en base 2^n , partint de F_B , que van a parar a l'entrada del multiplexor.
4. El bloc *count_modulation* selecciona el canal pertinent del multiplexor i entrega a la sortida *clk_adaptat* el valor de freqüència f_B òptim per no generar una sobrecàrrega del comptador.

3.4.1.3 Resultats

La figura 3.13 mostra el procés seguit pel circuit autoadaptatiu. Tot primer, s'introdueix un senyal de calibratge pel bit d'entrada de *Test*. El valor d'aquest senyal T_A es perllonga durant 32768 cicles de rellotge, produint un autoajustament del rellotge F_B , i necessitant d'una reducció del mateix de 2^3 vegades (passa dels 100MHz als 12.5MHz).

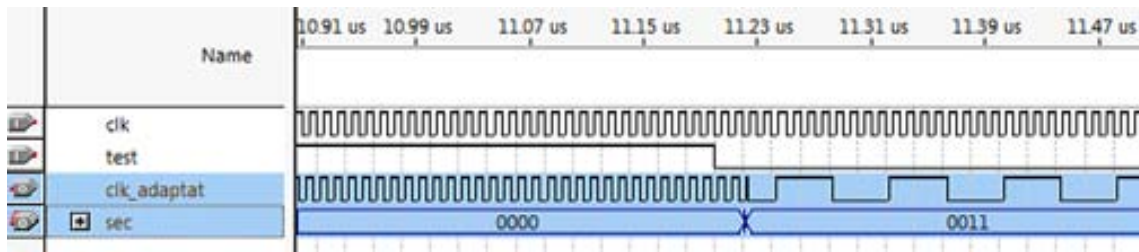


Figura 3.13: Exemple d'autoadaptació del senyal de rellotge.

La figura 3.14 correspon a una captura completa d'un senyal freqüencial (a la gràfica consta *quasi_digital_input*), al que se li realitza una adaptació del rellotge del sistema F_B (a la gràfica consta com a *clk*). Pel valor de calibratge inicial, s'estableix que la freqüència del sistema de mesura és massa elevada podent generar una sobrecàrrega del comptador. D'aquesta forma es procedeix automàticament a calibrar el convertidor. De fet, la màquina d'estats finits que incorpora determina, en l'exemple, que ha de baixar la F_B a la meitat.

Així el valor de mesura del sensor quasidigital, que inicialment donava 12, ara passa a ser de 6, una vegada s'ha efectuat l'autoajustament; exactament la meitat. Es pot observar que el senyal de CLK no ha variat el seu període ja que s'està monitoritzant el Clk de sistema. No es monitoritza el clk del comptador, perquè la seva freqüència ha baixat a la meitat.

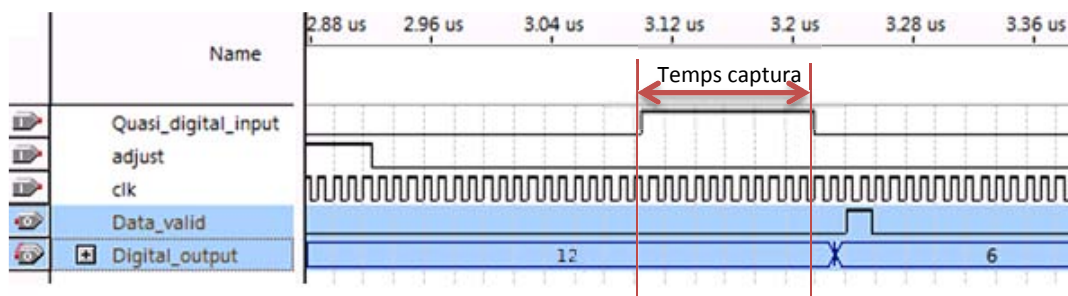


Figura 3.14: Adquisició completa.

El mètode aconseguix així evitar l'error per excés del comptador que generava, en aquest tipus de convertidor, la pèrdua de la dada.

Aquest sistema és compatible a qualsevol convertidor indirecte de qualsevol ample de bus del comptador, ja que es tracta d'un mòdul que s'encarrega d'autoadaptar la freqüència de rellotge F_B .

3.4.2 Optimització arquitectural al DCM per la millora del temps d'adquisició

3.4.2.1 Principi de funcionament

El mètode del recompte dependent (DCM) s'ha introduït en l'apartat 3.3.6. El DCM garanteix un error constant de quantificació relatiu en tot el rang de freqüències,

permet mesurar freqüències absolutes i relatives, així com desviacions de freqüència, i permet mesurar tant la freqüència F_A així com la F_B , essent indiferent quina és major o menor.

El procés de conversió relatiu implementat i simplificat comprèn els següents passos:

- Determinació de la freqüència més petita.
- Establiment del valor N_1 , que és el nombre de períodes a comptar per a un error δ establert.
- Es procedeix al recompte de F_B i F_A .
- Quan s'arriba al valor de N_1 es dona per finalitzat el recompte.

El procés estàndard d'adquisició de senyal en un convertidor DCM s'efectua en dues fases. La primera determina la freqüència inferior (de les dues introduïdes), mentre que en la segona es mesura el nombre total de cicles de la freqüència inferior que entra en la finestra formada per N_1 , tot respectant l'error de quantificació establert.

3.4.2.2 Arquitectura interna del DCM optimitzat

El mètode proposat [36] permet millorar principalment el temps de conversió així com el hardware emprat i el nombre de senyals de rellotge necessàries per poder efectuar la mesura.

Donat un valor inicial d'error de quantificació a través de N_1 , un únic procés en determina la freqüència més petita de les dues, i fa el recompte de F_{A1} i de F_{A2} .

El disseny (figura 3.15) està format per dues unitats comptadores, realimentades entre elles i basades en un comptador de 12bits.

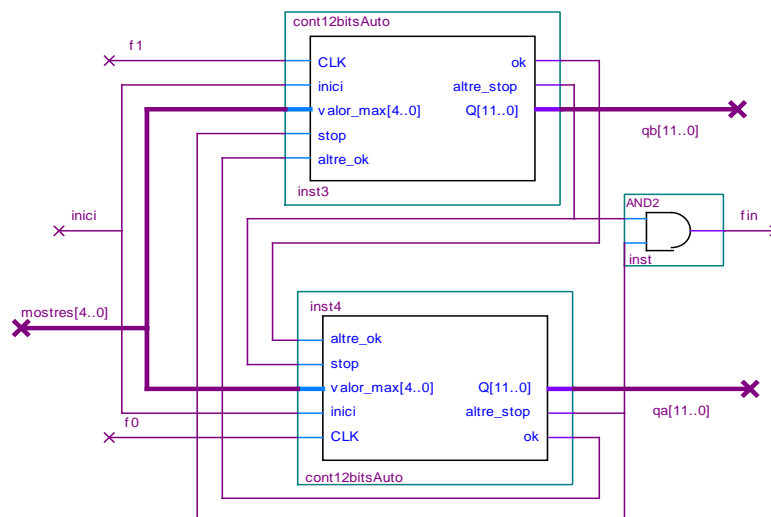


Figura 3.15: Circuit DCM millorat.

El funcionament que s'estableix és el següent:

- El bit *Inici* indica al sistema de mesura que pot iniciar el procés d'adquisició.
- Els dos comptadors comencen a comptar el número de cicles que especifica el bus *mostres[3..0]*, que en determina l'error δ màxim establert.
- Quan el comptador més ràpid arriba a comptar el valor establert per *mostres[3..0]*, informa a l'altre comptador (que és el més lent) que pot efectuar l'aturada final tant bon punt arribi al valor establert per aquest bus *mostres[3..0]*.
- Per tant, identificats els comptadors ràpid (recompte de F) i lent (recompte de f), els dos comptadors segueixen comptant.
- Quan el comptador més lent arriba a comptar el valor establert per *mostres[3..0]*, s'atura, ordenant al comptador més ràpid que s'aturi immediatament.
- Quan els dos comptadors s'han aturat, el bit *fin* indica al sistema de supervisió posterior que la mesura ja s'ha fet i que les dades estan disponibles.

Les principals característiques d'aquesta modificació són:

- Reducció del temps de mesura a la meitat. En el model de referència del DCM s'empra tot un cicle d'adquisició per comparar quin dels dos rellotges té la freqüència més petita, en el segon cicle d'adquisició, es procedeix a fer veritablement la mesura. Això implica fer servir dos cicles d'adquisició. El sistema presentat en aquest apartat fa la comparació i la mesura en un únic cicle d'adquisició.
- Tot el procés de mesura està controlat pels dos comptadors, fet que evita que faci falta una màquina d'estats finits per fer el control de la mesura.
- El processador posterior, només ha de calcular el quocient entre F i f . En conseqüència:
 - La mida del processador es redueix.
 - Es redueix significativament el temps d'execució.
 - Té un menor consum d'energia donat que no cal tanta computació.

3.4.2.3 Mesura d'errors

Els canvis introduïts en el mètode milloren el procediment. Per tant, els errors que s'introdueixen en la mesura són els inherents al DCM.

Així doncs, l'error absolut ve donat per l'expressió pròpia del DCM:

$$\Delta q = \frac{\Delta t_2 - \Delta t_1}{T} \quad \text{Eq. 3.4.6}$$

L'error de quantificació relatiu es calcula d'acord a l'expressió:

$$\delta_q = \delta \frac{1}{1 + \frac{\Delta N}{N_\delta}} \quad \text{Eq. 3.4.7}$$

3.4.2.4 Procés de mesura i resultats

La figura 3.16, mostra dos exemples de funcionament realitzats emprant dues freqüències i diferents valors de *mostres[3..0]* (bus anomenat *samples* en la gràfica), que especifica l'error δ . Es pot observar que es segueixen els passos de funcionament establerts pel mètode:

- En el primer cas, s'observa que es dona l'*inici* i s'estableix un $N_\delta = \text{samples} = 4$. Es veu que F_0 és exactament la freqüència meitat respecte a F_1 . Quan la freqüència més lenta (en aquest cas F_0) arriba al valor de 3, atura els dos comptadors i genera el senyal de *fin* (*end* en la figura). Es pot observar que el valor obtingut a q_a és 4, just la meitat de q_b , que és 8.
- El segon cas tracta el cas d'una freqüència F_1 lleugerament inferior a la freqüència F_0 . Ara, en acabar el recompte, q_a val 4, i q_b val 3. La diferència entre ambdós senyals és d'un 25%, però donat que l'error δ establert és significativament gran (en aquest exemple el valor de *samples* és de 3) no es pot obtenir un millor resultat a la mesura.

Queda clar que quan s'augmenta el valor de *samples*, es redueix l'error i la diferència entre les dues freqüències esdevé més precís. Per altra banda, cal un temps major per fer la mesura.

Fent un anàlisi per a les mateixes freqüències del cas 2, però amb un valor de *samples* de 25, s'obté que q_b val 25 i q_a val 21, obtenint la relació exacta (0,01% d'error absolut) que hi ha entre les dues freqüències d'entrada. Però cal 8 vegades més temps per a efectuar l'adquisició.

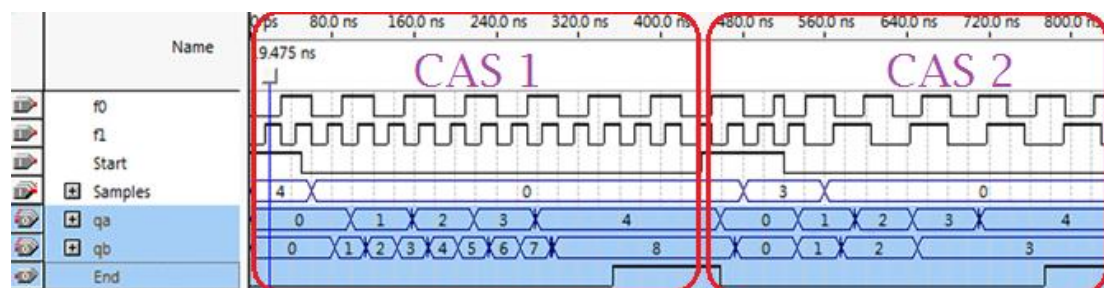


Figura 3.16: Simulació del DMC millorat.

Com s'observa en d'exemple, en un únic cicle d'adquisició s'efectua tant la determinació de la freqüència més petita com la mesura dels dos senyals, demostrant l'efectivitat del sistema.

L'establiment d'errors δ molt baixos en la mesura, determina tenir valors de *samples* elevats. Quan més gran és el valor de *samples*, més es triga en fer la mesura, però l'error final és menor i la precisió relativa és més elevada.

3.4.3 Conversió pel mètode indirecte amb error de rellotge de sistema

Aquest convertidor freqüencial està basat en el model de convertidor indirecte [18] i permet reduir els errors relatius de la mesura.

Aquest convertidor *Fto#* conforma el canal de captura del senyal que arriba des del *CtoF* que està controlat a través del BGR (*Bandgap reference*).

Es parteix del fet que tot el *front-end* del sistema de captura està acoblat, (capítols 4 i 5) amb l'objectiu d'obtenir un senyal freqüencial estable i compensat que evita els errors propis del pre-tractament del senyal. La responsabilitat del *Fto#* és aleshores, donar amb la màxima precisió possible la freqüència del senyal que arriba des del sensor.

El perifèric *Fto#* està descrit en VHDL i s'acobla com a un perifèric més en el sistema embegut de la tecnologia Spartan 3E de Xilinx. S'ha desenvolupat per a fer el test del sistema tenint en compte que el senyal freqüencial que arriba al sistema prové d'un *array* de sensors llurs resposta és funció de la capacitat equivalent que es troba associada al sensor.

S'està prenent com a base, per tant, que d'acord amb la descripció del sistema *CtoF* realitzada en el capítol 4, s'estarà mesurant una freqüència d'entrada que es troba entre els MHz i els pocs KHz. El sistema de mesura més adequat per a aquest tipus de freqüència de sortida és del tipus indirecte.

3.4.3.1 Principis de funcionament

La conversió *Fto#* consta de tres etapes fonamentals:

- Sincronisme amb el senyal del sensor.
- Conversió *Fto#* durant la finestra temporal.
- Finestra d'ajust de precisió.

La Figura 3.17 mostra el principi de funcionament del convertidor. El funcionament del mateix és el següent:

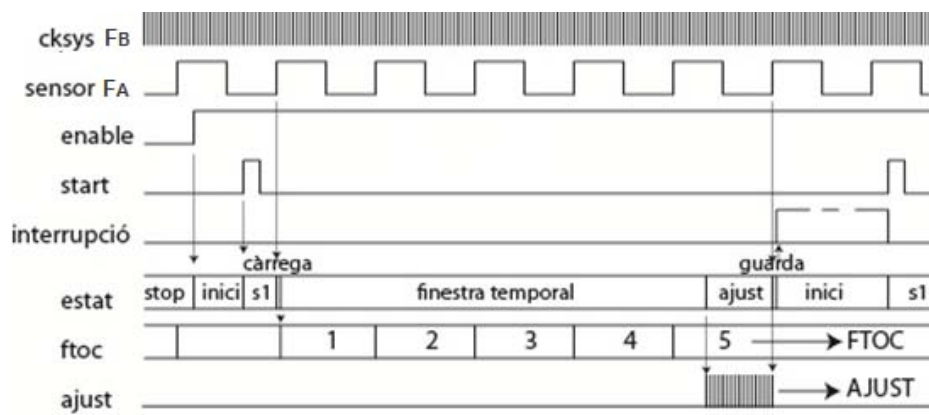


Figura 3.17: Diagrama temporal del convertidor indirecte millorat.

- El rellotge base del sistema és $cksys$ o F_B . Correspon a la freqüència precisa que s'obté de la placa d'adquisició amb la que es treballa.
- La freqüència desconeguda i que es vol mesurar és *sensor* o F_A .
- El circuit de conversió es troba aturat fins que s'activa el senyal *enable*, moment en què es passa a l'estat d'*inici*.
- La fase de mesura s'inicia amb el senyal *start*, que pot durar tan sols un cicle de rellotge base. Es passa a l'estat de *sincronisme* o *s1*.
- A partir d'aquest moment el convertidor queda en estat s'espera fins que es detecta un *flanc* de pujada del sensor, moment en què es carrega en el comptador (fase *càrrega*) la finestra temporal, de mesura que inicia el recompte de cicles (fase *finestra temporal*) del senyal sensor. La finestra temporal s'especifica en termes de cicles de rellotge base.
- Quan s'acaba la finestra temporal el convertidor entra en la fase d'*ajust*. Això és, queda comptant el número de cicles de rellotge que passen fins que arriba el proper flanc de pujada del senyal sensor.
- En aquest moment (fase de *guarda*) es guarda el valor $FTO\#$, que correspon al nombre de cicles de sensor que hi ha hagut durant la finestra temporal, i el valor $AJUST$, que permet ajustar la mesura realitzada a la precisió d'un cicle de rellotge base. En aquest mateix cicle s'activa el senyal d'*interrupció* que avisa al processador de la captura d'una nova mesura.
- Es passa altre cop a la fase d'*inici*. Correspon al processador iniciar una nova mesura activant el senyal *start*.

El cicle de conversió $fto\#$ ve controlat per una màquina d'estats finits (figura 3.18), fet que garanteix la precisió de la mesura.

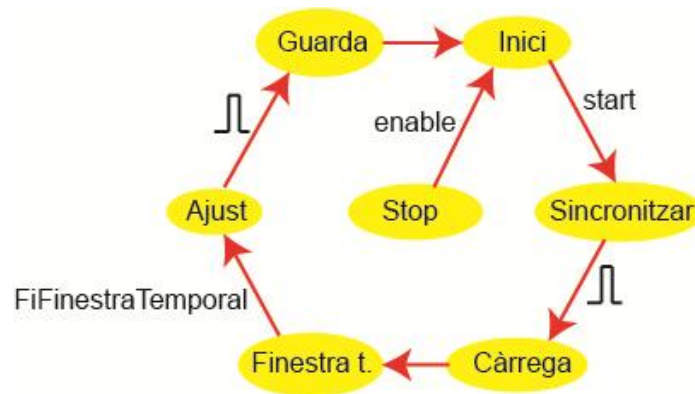


Figura 3.18: Mesura i precisió.

Com s'observa a partir de la figura 3.17, la precisió del mètode ve donada per la precisió del rellotge base del sistema de mesura. Concretament:

- La duració de la finestra temporal queda establerta per un nombre enter n_c de cicles F_B .
- Sincronitzat el sistema amb el flanc de pujada del sensor, es realitza un recompte de n cicles. $FTO\#$ val, per tant, n .
- El sistema espera l'arribada d'un nou flanc del sensor per donar per acabada la mesura. $AJUST$ val, per tant, m cicles de F_B .

Donant el valor T_A al període del senyal del sensor, es té que la durada efectiva dels n cicles $FTO\#$ és de:

$$n \cdot T_A = (n_c + m) \cdot F_B \quad \text{Eq. 3.4.8}$$

D'on es troba que la freqüència de funcionament del sensor és:

$$F_A = \frac{n}{n_c + m} \cdot F_B \quad \text{Eq. 3.4.9}$$

La resolució de la mesura és d'1 cicle de rellotge F_B i la precisió de la mesura ve donada per:

$$\text{Precisió} = \frac{F_A}{F_B} = \frac{n}{n_c + m} \quad \text{Eq. 3.4.10}$$

S'observa que la precisió del sistema d'adquisició està directament relacionada amb la finestra temporal, fet que va en contra de la rapidesa en la mesura. En conseqüència, per sensors ràpids s'exigeix un rellotge base de freqüència alta.

La mesura de la freqüència del sensor F_A ve donada en funció del número de cicles del sensor n que entren en la finestra temporal en què es realitza el mostreig t_c i del número de cicles m de la freqüència del rellotge base F_B , anomenant $F_c = 1/T_c$, aleshores es compleix que:

$$n = \left\lfloor \frac{F_A}{F_C} \right\rfloor \quad \text{Eq. 3.4.11}$$

Per tant, el número de cicles de rellotge base en excés que hi ha en la mesura ve donat per:

$$m = \left(\frac{F_A}{F_C} - \left\lfloor \frac{F_A}{F_C} \right\rfloor \right) \cdot \frac{F_B}{F_A} = [0 \dots 1) \cdot \frac{F_B}{F_A} \quad \text{Eq. 3.4.12}$$

Per variacions petites de la freqüència del sensor, la representació de m en funció de F_A ve donada per una figura en dent de serra (figura 3.19).

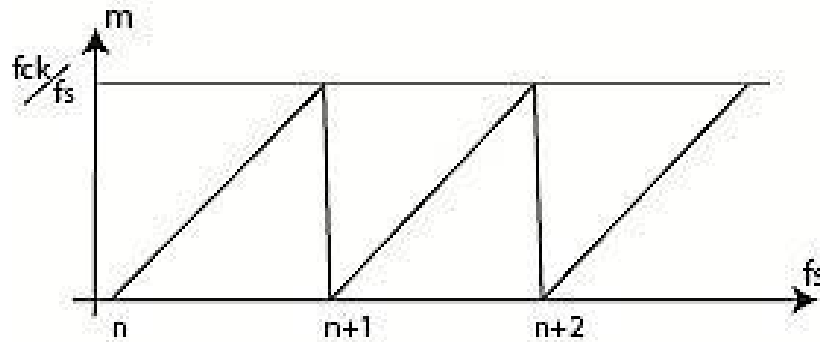


Figura 3.19: Resposta de la variació del sensor ($F_B = F_{CLK}$ i $F_A = F_S$)

Quan el rang de freqüències del sensor és significatiu respecte al temps de mostreig i a la freqüència de rellotge base, es produeix un doble efecte que produeix una no linealitat en la mesura de m :

- Conforme augmenta la freqüència del sensor, el terme $\frac{F_A}{F_C}$ es fa gran de manera lineal.
- Conforme augmenta la freqüència del sensor, el terme $\frac{F_B}{F_A}$ disminueix en proporció inversa a la freqüència del sensor.

Com a conseqüència de l'evolució dels dos termes, es produeix un augment de la precisió del sistema de mesura conforme augmenta la freqüència del sensor, mentre que disminueix el número de valors m que porten el valor de l'ajust de la mesura.

La figura 3.20 mostra el resultat que s'obté, quan es fa un escombrat de F_A des de 100 KHz a 500 KHz, suposant una finestra temporal de mostreig de $f_c = 17$ KHz i amb una freqüència de rellotge de $F_B = 50$ Mhz.

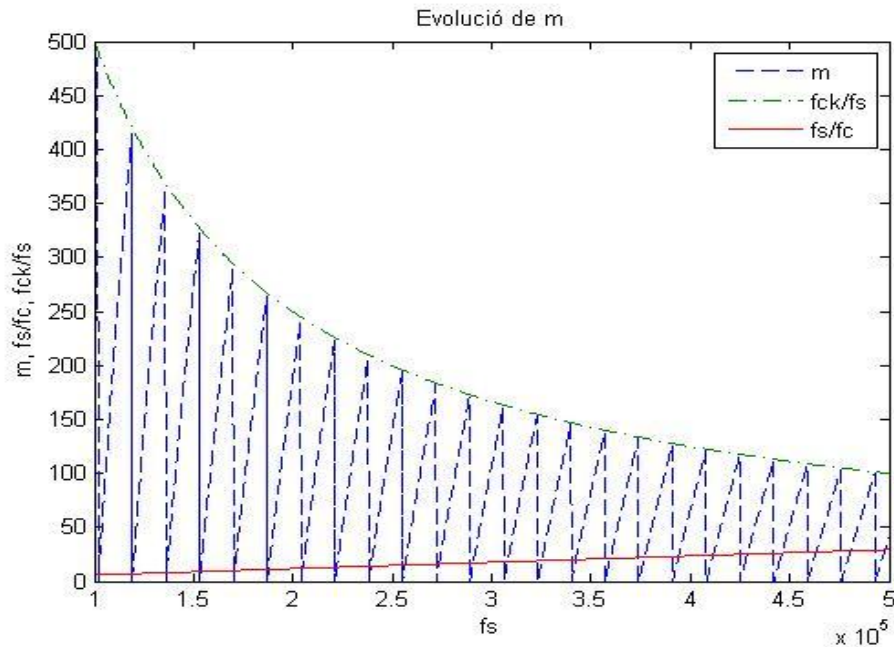


Figura 3.20: Resultat per a un escobrat de 100KHz a 500KHz.

3.4.3.2 Mesura d'errors

Els errors d'arrodoniment es produeixen en tot sistema real en el moment de digitalitzar la mesura realitzada. En conseqüència s'estableix el dilema de si les dades a enviar al host han de ser les dades *raw*, tal com s'adquireixen (és a dir, n i m), o s'ha d'efectuar el pre-procés. Els errors d'arrodoniment poden arribar a ser molt diferents, com passa amb el sistema de mesura realitzat sobre Xilinx.

El SoC s'ha implementat en la placa de Xilinx Spartan3E que treballa amb un rellotge base a 50 MHz. La resolució que es té de la mesura és, per tant, de $2 \cdot 10^{-8}$.

El sistema d'adquisició ha de mesurar capacitats amb valors que oscil·len entre 1pF – 100µF, donat que són els límits reals que ha demostrar el sistema de mesura del convertidor CtoF.

La conversió realitzada amb el CtoF dona uns valors freqüencials que oscil·len entre 1 MHz i 50KHz, el que dona un rang molt ampli a tenir present, però adequat per fer una adquisició indirecta controlada pel processador². Agafant, aleshores, una finestra temporal d'1ms per fer la captura dona que la precisió en la mesura *raw* va des de 1/50 a 1/1000.

Quan es realitza el pre-procés de dades en el propi sistema de captura, com és aquest el cas, s'ha de ser conscient que els errors d'arrodoniment poden limitar en certa mesura la precisió del sistema d'adquisició de senyal.

² De fet una adquisició directa no donaria temps al processador per a fer cap més tasca.

En el sistema construït sobre Spartan3E el programa de control del sistema treballa amb dades de 32 bits, fet que limita en certa manera la precisió final del procés. Els errors que es poden introduir poden ser:

- Errors de precisió, normalment provocats per la divisió entre enters.
- D'excés de representació. És un error greu que malbarata el resultat, ja que el resultat resulta erroni. Cal evitar-lo en la mesura de lo possible.

En tots dos casos l'error es pot evitar o reduir realitzant les operacions de tal manera que es minimitzin aquests errors. Per exemple en (3.4.9) hi ha una multiplicació entre la freqüència del rellotge base, alta de per sí i el valor n . En freqüències altes aquesta multiplicació pot provocar error d'excés. Per evitar l'error d'excés és convenient primer fer la divisió i després multiplicar.

Si el sistema de mesura treballa amb nombres enters, l'error absolut que es produeix ve donat per:

$$\varepsilon = \left(\frac{F_B}{n_c+m} - \left\lfloor \frac{F_B}{n_c+m} \right\rfloor \right) < [0..1) \cdot \left\lfloor \frac{F_B}{n_c} \right\rfloor \quad \text{Eq. 3.4.13}$$

3.5 Conclusions

En aquest capítol s'han introduït es conceptes de l'adquisició de senyal a nivell freqüencial, presentant els avantatges que ofereixen les tècniques Fto# enfront de les tècniques d'adquisició de senyal basades en ADC. S'ha focalitzat l'estudi en les tècniques de conversió que han servit de base a les tècniques de procés freqüencial que s'apliquen, fent especial èmfasis al mètode de recompte indirecte i al mètode de recompte dependent. És notable com, el processat digital del senyal, permet adequar i concretar les especificacions i requeriments que es poden imposar en l'aplicació particular de cadascuna d'aquestes tècniques.

Aquests mètodes i la seva fàcil aplicació al processament de senyal en sensors van focalitzar l'interès de l'autor pels mètodes d'adquisició freqüencial. Aquest fet va conduir a la proposta d'adequacions i millores dels mètodes per ser implementats en sistemes d'arrays de sensors. En aquest aspecte, el capítol ha presentat tres dissenys que milloren les prestacions d'aquestes tècniques de mesura [31], essent el darrer el mètode del recompte indirecte amb precisió de rellotge sistema. Aquest mètode s'ha provat en el sistema embegut d'adquisició de senyal basat en un array de sensors amb la interfície d'altres prestacions CtoF i el circuit *bandgap* dissenyats en els capítols 4 i 5. Els resultats detallats es troben al capítol 6.

3.6. Referències

- [1] Ménini Ph., Dondon Ph., Blasquez G. Pons P., “Modeling of a Capacitance –to-Period Converter Dedicated to Capacitive Sensors”, *in proc. of 13th European Conference on Solid-State transducers*, pp. 549-552, The Hague, The Netherlands, Sept. 1999.
- [2] Nowinski M., “New Architectures of Integrating Analog-to-Digital Converters”, *in proc of PDS'96 International Conference*, pp. 176-184, Ostrava, Czech Republic, 26-28 Nov. 1996.
- [3] Sergey Y. Yurish, “Data Acquisition for Smart Sensors and Transducer”, *in International Frequency Sensor Association (IFSA)*, pp. 11-12, 2001.
- [4] Linsmeier, Klaus-Dieter, “Sensor Systems for the Automobile”, *Verlag Moderne Industrie*, 1999.
- [5] Electronic Components, “Car Systems Integrate more Functions”, pp. 186-226, June 1997.
- [6] Yurish S.Y., Kirianaki N.V., Shepak N.O., “Novel Rotation Speed Measurement Concept for ABS Appropriated for Microsystem Creation”, *in Advanced Microsystems for Automotive Applications 99*, pp., 215-223. Edited by Detlef E. Ricken and Wolfgang Gessner, Springer, 1999.
- [7] Automotive Sensors, “European Sensor News and Technology”, pp. 11-12, september, 1998,
- [8] Chizhov V.V., “ Method of Channeling for Multichannel Frequency-to-code Converters”, *Patent 530261*, USSR, 1971.
- [9] Kirianaki N.V., Yurish S.Y., Shpak N.O., “Noise Resistent Method of Signal Transmission Without Enhancement of Code Distance”, *in proc. of the Krajowwe Sympozjum Telekomunikacji*, pp. 291-296, Poland, Sept1999.
- [10] Sensors web Portal. Secció llistat de sensors [En línia]. <http://sensorsportal.com/HTML/Sensor.htm>
- [11] S. Middelhoek, P.J. French, J.H. Huijsing, W.J. Lian, “Sensors with digital or frequency output”, *In proc. of theFourth International Conference on Solid-State Sensors and Actuators (Transducers '87)*, Tokyo, Japan, June 1987.
- [12] LibersonK.Sh, “Voltage-to-Frequency Converter”, *Patent 493914*, 1984.

- [13] Kirianaki N.V. Dudykevych V.B., "Methods and devices of Digital Measurement of Low and Infralow Frequencies", *Vyshcha Shkola*, Lviv, 1975.
- [14] Kirianaki N.V., Berezyuk B.M., "Method of Measurement of Frequency and Period of Harmonic Signal and Device for its Realization", *Patent 788018 (USRR)*, 1980.
- [15] Yurish S.Y., "Program-Oriented Methods and Measuring Instruments for Frequency-Time Parameters of Electric Signals", *Ph.D. thesis, State University Lviv Polytechnic*, 1997.
- [16] Kasatkin A.S., "Automatic Processing of Signals of Frequency Sensors", *Energiya*, Moscow, 1966.
- [17] Shliandin V.M., "Digital Electrical Measuring Instruments", *Energija*, Moscow, 1972.
- [18] Burr-Brown Applications Handbook, USA, pp. 409-412.
- [19] Sergey Y. Yurish. "Data Acquisition for Smart Sensors and Transducers", *In International Frequency Sensor Association (IFSA)*, pp. 52-58, 2001.
- [20] Nikolay V. Kirianaki, Nestor O. Shpak, Vadim P. Deynega, "Data Acquisition and Signal Processing for Smart Sensors", *Wiley* pp. 72-73, 2002.
- [21] Sergey Y. Yurish. "Data acquisition for Smart Sensors and Transducers", *International Frequency Sensor Association (IFSA)*, pp. 58-69, 2001.
- [22] Nikolay V. Kirianaki, Nestor O. Shpak, Vadim P. Deynega, "Data Acquisition and Signal Processing for Smart Sensors", *Wiley* pp. 75-78, 2002.
- [23] Mirskiy G. Y., *Electronic Measurements, Radio i Svyaz*, Moscou, 1986.
- [24] Nikolay V. Kirianaki, Nestor O. Shpak, Vadim P. Deynega, "Data Acquisition and Signal Processing for Smart Sensors", *Wiley* pp. 91-92, 2002.
- [25] Sergey Y. Yurish. "Data Acquisition for Smart Sensors and Transducers", *International Frequency Sensor Association (IFSA)*, pp. 70, 2001.
- [26] Berezyuk B.M, Kirianaki N.V., "Method of Measurement of Frequency and Period of Harmonic Signal and Device for its Realization". *Pat. 788018 (USSR)*. 1980.
- [27] Shvetskiy B.I., "Electronic Digital Measuring Instruments", *Tekhnika*, Kiev, 1991.
- [28] Berezyuk B.M, Kirianaki N.V., "Method of the Ratio of Two Frequencies of Signals and Device for its Realisation". *Pat. 883776 (USSR)*. 1981.

- [29] Kirianaki N.V, Yurish S.Y, “Frequency to Code Converters Based on Method of Depending Count”, *In proc. of the 14th IMEKO World Congress*, Vol 4.B, pp.276-281, Tampere, Finland, 1997.
- [30] Nikolay V. Kirianaki, Nestor O. Shpak, Vadim P. Deynega, “Data Acquisition and Signal Processing for Smart Sensors”, *Wiley*,pp. 72-78, 2002.
- [31] Kirianaki N.V., Yurish S.Y. Shapk N.O.,“Precise Methods for Measurement of Frequency Ratio”, *In proc. of the 2nd International Conference on Mesasurement (Measurement’99)*, pp. 312-315, Smolenice, Slovak Republic, April 26-29, 1990.
- [32] Kirianaki N.V., Yurish S.Y.,“Program Methods of Measurements for Microcontrollers Based Measuring Instruments”, *In proc of the International Conference Programmable Devices and Systems*”, pp. 103-110, Gliwice, Poland, 1995.
- [33] Nikolay V. Kirianaki, Nestor O. Shpak, Vadim P. Deynega, “Data Acquisition and Signal Processing for Smart Sensors”, *Wiley*,pp. 94, 2002.
- [34] Nikolay V. Kirianaki, Nestor O. Shpak, Vadim P. Deynega, “Data Acquisition and Signal Processing for Smart Sensors”, *Wiley*,pp. 104, 2002.
- [35] Carles Ferrer, Joan Oliver, Mercè Rullan, Octavian Mocanu, Raúl Aragonés, Bibiana Lorente. “Arquitectura y Diseño de un Nodo para Instrumentación Distribuida Basada en Redes de Sensores Inteligentes”. *Projecte Europeu amb entitat financadora CICYT TIC2002-01048*, 2005.
- [36] R. Aragonés, J. Oliver, C. Ferrer, “ Self-adaptive A/D Converter Base on a Frequency Based Acquisition Nethod for Smart Sensor Applications”, *In Proceedings of the IEEE industrial Symposium on Industrial Electronics*, vol. 3, pp 1055-1060, Duvrovnik, 2005.
- [37] “Official datasheet of CY8C29XX”, *CYPRESS MICROSYSTEMS*,pp.13, 2008.
- [38] Dave Van Ess, “Referenced Application Note AN2041” *CYPRESS MICROSYSTEMS*, [en línia] <http://www.cypress.com/?rID=2899>.
- [39] Victor Kremin, “Referenced Application Note AN2161”, *CYPRESS MICROSYSTEMS*, [en línia] <http://www.cypress.com/?rID=2623>.
- [40] Raúl Aragonés, Paula Álvarez, Joan Oliver, Carles Ferrer. “Readout Circuitry for Raw Sensors Monitoring Systems”, *In proc of DCIS Conferece 2010*, Lanzarote, Nov, pag 272-277.

-
- [41] R. Aragones, J. Oliver, C. Ferrer, "A 23ppm/°C Readout Circuitry Improvement for Capacitive Sensor Acquisition Platforms", *In proc. Of Sensing Technology (ICST)*, pp. 628-634, Palmerston North, New Zealand, Nov. 2011.
- [42] R. Aragones, J. Oliver, C. Ferrer. "Use of PSoC Component in a Frequency Frequency Based Acquisition Method for Smart Sensor Applications", *in proc. of IEEE ICIT Conference*, Vol. 3, pp. 1357-1362, Hammamed, 2004.

4. Oscil·lador de molt baix consum per a la conversió CtoF

El número alt de sensors que actualment s'inclouen en els aparells electrònics obliga a pensar en la implementació de circuits d'adaptació de senyal de baix consum. Aquest requeriment és un dels factors claus que es tindrà present en cadascuna de les etapes de procés del senyal que s'introdueixen des d'aquest capítol.

Per altra part, i com s'ha introduït en el capítol 2, atenent a la construcció interna que presenten i el tipus de sortida que donen, existeixen en el mercat diferents tipus de sensors. S'ha vist que els sensors amb sortida freqüencial proporcionen directament la sortida amb freqüència, mentre que d'altres necessiten de conversió a freqüència, normalment des d'una sortida en voltatge [1,2]. Si ara es considera també

el principi de funcionament del sensor, entre els més comuns hi ha els sensors que basen el seu funcionament en la variació de la capacitat interna. En aquest cas, una etapa principal del sistema d'adquisició la constitueix el circuit que realitza la conversió de la capacitat del sensor a un domini temporal o freqüencial, el que facilita de forma clara el procés posterior del senyal.

Amb aquest enfocament, l'objectiu d'aquest capítol és presentar l'etapa de conversió capacitat a freqüència, necessària en els sensors amb sortida capacitiva. El capítol també presenta un oscil·lador capacitat a freqüència de consum molt baix, per sota dels $100\mu\text{W}$, i d'àrea força reduïda que permet ser integrat en cada sensor en un *array* de sensors heterogenis dins d'un circuit integrat. Es finalitza amb el disseny, integració i caracterització d'un oscil·lador que redueix de manera significativa el consum de l'etapa convertidora capacitat a freqüència o CtoF.

4.1 Conceptes previs

En sistemes d'adquisició de senyal provinents d'*arrays* de sensors heterogenis es considera que cada sensor pot ser tractat de forma individual de manera que no existeixen lligams entre ells en la freqüència de funcionament. Es parteix del fet que es tracta amb sistemes d'adquisició que no imposen, per tant, excessives restriccions de mostreig. Es tracta de dispositius que solen ser mostrejats en un rang de freqüències que va des de pocs megahertz fins als pocs kilohertz. Donada la seva latència, aquests sensors són molt precisos fins i tot a freqüències de mostreigs de només 1000 mostres per segon. Per exemple, el sensor d'humitat d'*Humirel HTF1101LF* té un temps de resposta davant d'un canvi d'humitat relativa d'un 5,5% per segon. És evident que un sistema no crític basat en aquests sensor, només necessita una freqüència de mostreig d'entre 5 a 10 mostres per segon per donar un valor precís de mesura.

Es treballa, per tant, tenint present que el requeriment imposat als oscil·ladors que es tractaran està acotat per un rang freqüencial de baixa freqüència que va des de pocs MHz fins als pocs KHz; rang suficientment ampli per a un conjunt heterogeni de sensors independents³.

També s'imposen les següents restriccions del disseny:

³Es considerarà sempre que es tracta amb un conjunt discret de sensors independents.

- Consum baix del sistema d'adquisició per a la tensió de treball. Ha de ser inferior a $100\mu\text{W}$.
- Àrea de disseny petita. Com a mòdul repetible en un sistema multi-sensorial s'imposen mides petites per a l'oscil·lador.
- Un rang de freqüències d'oscil·lació de fins a 1MHz. Per descomptat que aquesta restricció lliga molt el consum final del circuit.

Molts dels sistemes d'adquisició de senyal de sensors capacitius que es troben en la literatura [3-4] fan servir convertidors analògic-digital externs (capítol 2). Aquestes aproximacions compliquen el disseny de la interfície de mesura. Sovint es fa servir directament el sensor dins de l'estructura de modulació del convertidor delta-sigma implementant posteriorment el filtrat digital a través d'un microcontrolador o un DSP [5]. El fet de fer servir el nucli del convertidor delta-sigma com a element d'adquisició de la magnitud física del sensor capacitiu sol implicar principalment una despesa energètica força elevada donada la seva freqüència de commutació. A més, aquest tipus d'ADC és molt sensible a capacitats paràsites perquè funcionen a freqüència de commutació alta (amb sobremostreig del rellotge).

En sistemes d'adquisició de senyal on s'exigeix àrea reduïda i consum baix, cal modificar l'estructura del convertidor. Això és possible introduint els sensors capacitius com a nucli de l'oscil·lador. En el capítol 3 s'ha introduït que el domini freqüencial permet reduir el número de circuits necessaris en la implementació del disseny. Seguint aquest esquema, l'ús d'aquest convertidor permet adequar fàcilment el senyal de sortida del sensor a les etapes de procés de dades posteriors del sistema, on normalment s'utilitza la conversió a freqüència a través d'oscil·ladors [6],[7], [8], [9].

La literatura mostra múltiples i diferents circuits basats en oscil·ladors i tècniques d'integració de sensors capacitius emprats en aplicacions molt diverses: en sistemes autònoms d'interfícies de sensors capacitius [10], en interfícies programables per a sensors biomèdics [11], circuits de senyal mixt per a aplicacions de baix consum [12], oscil·ladors amb poques dependències tèrmiques i de baix consum [13], i d'altres similars [14-17]. En aplicacions amb sensors tots ells empen com a element comú oscil·ladors de baix consum.

Els diferents mètodes de conversió capacitiva a domini freqüencial, en primera aproximació, es poden classificar segons el mètode de conversió que utilitzen:

- Oscil·ladors sinusoidals. Basats principalment en cel·les LC i per desplaçament de fase. Estan pensats principalment per a altes freqüències oscil·lació.

- Messier.
- Hartley.
- Colpits.
- Armstrong.
- Oscil·ladors no sinusoidals. Basats principalment en cel·les RC, i pensats generalment per a mitjanes i baixes freqüències. És el cas usual dels oscil·ladors de relaxació.

Centrats en la primera etapa d'adequació del senyal del sensor capacitiu, formada per un convertidor CtoF, el capítol primer analitza la interfície capacitiva i seguidament introdueix els oscil·ladors més utilitzats en interfícies capacitives, centrant l'atenció en els oscil·ladors de relaxació, que formaran el nucli dels sensors CtoF integrats i que es presenten en el capítol.

4.2 Interfície capacitiva

4.2.1 Introducció

Els sensors que es basen en el principi de transducció de variació de la capacitat són, avui en dia, de fàcil integració. Aquests tipus de sensors, capaços de mesurar diferents magnituds físiques com ara humitat, acceleració, pressió, posició, entre altres magnituds físiques, es fan servir en aplicacions autònomes de sensors donat que no dissipen potència alguna i tenen bona sensibilitat [18].

4.2.2 Adquisició de senyal en sensors capacitius

Un sistema de mesura per a sensors capacitius presenta les següents característiques típiques:

- Sol tenir impedància de sortida molt elevada (vàries centenes de $M\Omega$) a freqüències baixes.
- És susceptible al soroll de l'entorn, fet que ha motivat que les seves aplicacions hagin estat restringides durant molt de temps a entorns protegits de sorolls.
- Els sensors capacitius no condicionats (que no tenen cap mena de compensació ni de linearització) són altament no lineals.

4.2.3 Parametrització de les capacitats paràsites al sistema de mesura

A més, un sistema de mesura que tingui en compte aquestes limitacions ha de tenir present que les capacitats paràsites influeixen fortament a la mesura.

Sigui, com a exemple, un sistema de mesura que té com a element sensitiu una capacitat C_x dependent de la pressió. La seva resposta pot ser expressada mitjançant l'equació 4.2.1 [19].

$$C_X = \iint_A \frac{\epsilon_0 dx dy}{d_0 - w(x,y)} \quad \text{Eq. 4.2.1}$$

On:

A és l'àrea de les plaques del sensor.

d_0 és la separació de les plaques a pressió 0.

$w(x,y)$ és el plegament de la membrana.

Donada la relació de proporcionalitat inversa, la relació entre la capacitat de sortida del sensor i la pressió mesurada mostra una resposta en forma d'hipèrbola, (figura 4.1).

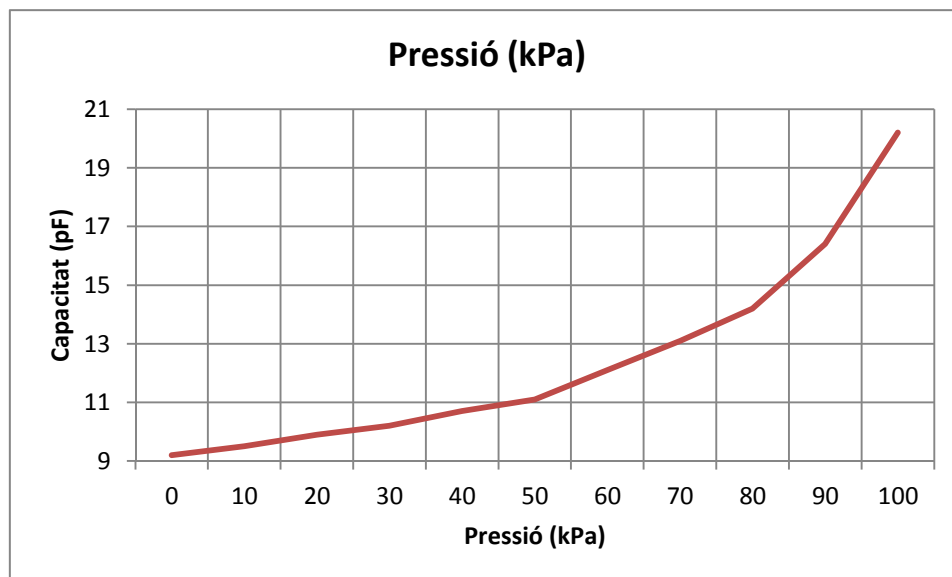


Figura 4.1: Resposta estàndard en un sensor de pressió diferencial [19].

Emprant tècniques de processat digital del senyal, i coneixent la resposta del sensor es calcula la sortida del mateix. En aquesta conversió, però, encara queden factors no lineals com el fons d'escala. Estan principalment ocasionats per la presència

de les capacitats paràsites en el sistema de mesura. Això comporta que la capacitat total vingui donada per la suma de dues capacitats (figura 4.2).

$$C_{tot} = C_x + C_p \quad \text{Eq. 4.2.2}$$

Aquestes capacitats introdueixen errors en la mesura. Ambdues capacitats esdevenen rellevants quan el valor de capacitat C_x és realment petit (inferior a les desenes de picofarads).

Quan la tecnologia d'integració del sensor no és la mateixa que la del circuit de procés, també apareixen capacitats paràsites associades a la interfície del sensor capacitiu [20]. Són degudes a:

- Les capacitats inherents a la pròpia tecnologia microelectrònica.
- Pads de connexió (de l'ASIC).
- Lligam o *bonding* en l'encapsulat. Tant en els filaments com a les soldadures amb el pad i al pin, es generen capacitats paràsites.
- Pins de l'encapsulat amb el propi sensor capacitiu. Aquesta capacitat depèn en bona part de les soldadures dels pins del circuit integrat amb les pistes de coure del circuit imprès.

Tenint en compte els factors anteriors i la tecnologia escollida, la capacitat paràsitica associada és de 560fF. Aquest valor s'ha extret experimentalment mesurant la freqüència de sortida de l'oscil·lació tenint el node en buit.

Tenint en compte aquestes condicions, la figura 4.2 mostra el model equivalent que observarà el sistema de mesura d'un sensor capacitiu. Aquest model incorpora els efectes d'una conductància de derivació (*shunt conductance*) G_p i dues capacitats paràsites C_{p1} i C_{p2} .

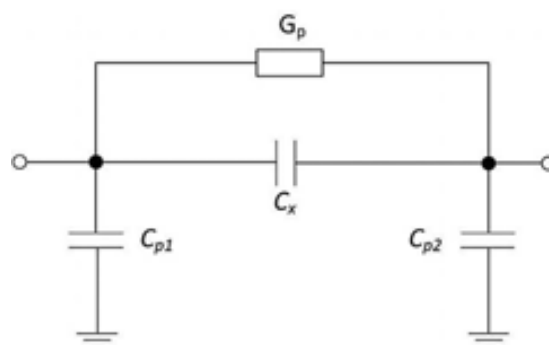


Figura 4.2: Model elèctric d'un sistema de mesura capacitiu.

Per veure com afecten aquestes capacitats paràsites, i partint del model anterior, s'extreu el valor mig de la capacitat a mesurar denominada C_S i la desviació respecte el fons d'escala anomenada β . Es defineixen com:

$$C_S = \frac{C_{Xmax} + C_{Xmin}}{2} \quad \text{Eq. 4.2.3}$$

$$\beta = \frac{C_{Xmax} - C_{Xmin}}{C_0} \quad \text{Eq. 4.2.4}$$

On C_{Xmax} i C_{Xmin} són els valors màxim i mínim i C_0 el valor nominal en un sensor capacitiu. En el disseny d'una interfície genèrica per a sensors capacitius s'ha de tenir present:

- Evitar tenir els valors C_S i β molt elevats com a conseqüència de voler mesurar amb les mateixes condicions diferents tipus de sensors capacitius (acceleròmetres, sensors d'humitat, sensors de pressió, etc.). Aquests valors depenen del valor físic d'entrada a mesurar, de la mecanització interna del sensor i finalment del tipus de dielèctric, de membranes i de portadors elèctrics que permeten fer la mesura).
- S'han de reduir els efectes no desitjats dels elements paràsits que incorpora el sistema de mesura.

Aquest treball tracta en tot moment de l'adquisició de senyal que es realitza al sensor. Tot i que es treballa concretament amb sensors capacitius, aquest fet no introdueix condicions ni restriccions concretes al sistema de mesura. Això implica que, tant en el cas com en el cas que el sensor sigui extern, el sistema d'adquisició de senyal que s'ha integrat continua sent totalment vàlid i aplicable com a interfície entre els elements sensor i processador.

En el cas del disseny dels dos ASICs ROIC integrats fruits d'aquesta tesis no s'acompleix la primera condició anterior donat que s'ha dissenyat un sistema d'adquisició amb un rang de capacitats molt ampli i genèric (des del 1pF fins a fins als 100 μ F). Així doncs, s'opta per fer servir tècniques de processat digital (capítol 6).

4.3 Parametrització de l'oscil·lador sinusoidal com a convertidor freqüencial

En aquesta secció s'analitza el funcionament dels oscil·ladors sinusoidals com a possibles candidats a ser integrats dins de l'ASIC per a ser usats com a convertidors freqüencials.

D'acord amb la literatura d'oscil·ladors es donen els criteris perquè una xarxa realimentada oscil·li, utilitzant el concepte de lloc d'arrels de la funció de transferència.

4.3.1 Introducció

Un sistema realimentat pot oscil·lar com a conseqüència d'una inestabilitat, que en el context d'un convertidor CtoF esdevé un avantatge. El seu estudi parteix de l'estructura bàsica d'un oscil·lador (figura 4.3), a on:

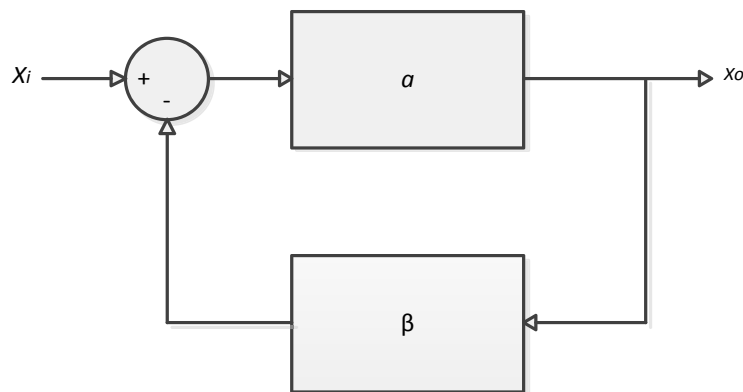


Figura 4.3: Estructura bàsica d'un oscil·lador.

On:

a , representa el guany de l'amplificador, format habitualment per un transistor bipolar o MOS que produeix un desfasament de 180° .

β , és el circuit de realimentació, format per components reactius (capacitat o inductància) que ha d'induir un altre desfasament de 180° .

Suposant que existeix una freqüència per la qual s'obre el llaç i s'injecta un senyal d'entrada correspon a aquesta freqüència X_i , s'obté a la sortida $X_r = -X_i$ (figura 4.4a). Consideri, ara, que es reemplaça $-X_i$ per X_r sense que el circuit modifiqui el seu comportament (figura 4.4b). El circuit seguirà oscil·lant sense la necessitat d'aquesta entrada.

Per a què la condició anterior sigui certa cal que es compleixi el següent requeriment:

$$x_i \cdot a \cdot \beta = -x_i \quad \text{Eq. 4.3.1a}$$

És a dir, que

$$a \cdot \beta = -1 \quad \text{Eq. 4.3.1b}$$

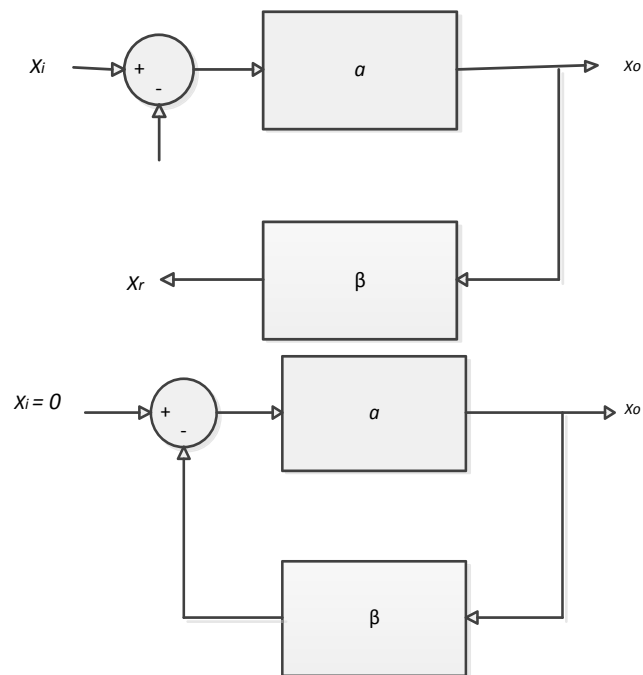


Figura 4.4: a) Entrada no nul·la i llaç obert. b) S'elimina l'entrada i es tanca el llaç.

Donat que es vol tenir una sortida sinusoidal pura sense entrada, es necessita que el pols del mateix estigui sobre l'eix imaginari.

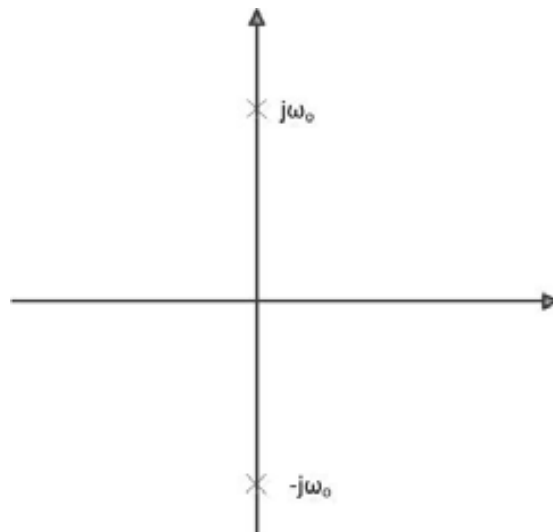


Figura 4.5: Posició dels pols per a un oscil·lador idea.

És a dir, que $1 + a \cdot \beta$ tingui zeros imaginaris a $\pm j\omega_0$:

$$A(j\omega_0) \cdot \beta(j\omega_0) = -1 \quad \text{Eq. 4.3.2}$$

D'acord amb el criteri d'oscil·lació clàssic de Barkhausen [21], 4.3.2 es pot expressar com:

$$\text{Arg}(A(j\omega_0) \cdot \beta(j\omega_0)) = 180^\circ \quad \text{Eq. 4.3.3}$$

$$|A(j\omega_0) \cdot \beta(j\omega_0)| = 1 \quad \text{Eq. 4.3.4}$$

L'aplicació del criteri de Barkhausen pot deixar de complir-se quan hi ha derives tèrmiques, envelliment o dispersió del paràmetres, ja que els pols es desplacen al semi pla real.

Si el desplaçament va cap al pla negatiu s'aconseguirà que les oscil·lacions desapareguin (figura 4.6a). En el cas contrari (desplaçament cap al pla positiu) l'amplitud de sortida augmentarà (figura 4.6b) fins que se saturi el senyal de sortida de l'oscil·lador.

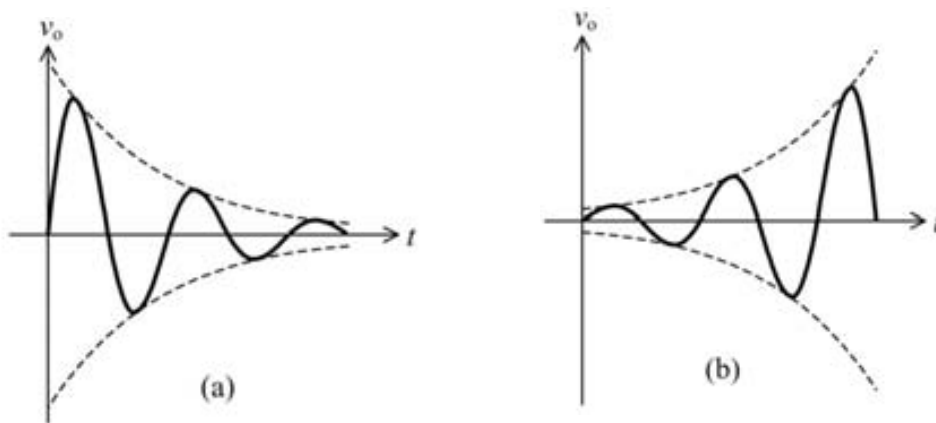


Figura 4.6: Desplaçament dels pols al pla real negatiu (a) o positiu (b).

Aquest efecte es pot explicar considerant a la saturació com una variació del guany (figura 4.7). En variar el guany varia la posició dels pols, de forma que si el guany comença a disminuir els pols es desplaçaran de l'eix real cap a l'eix imaginari.

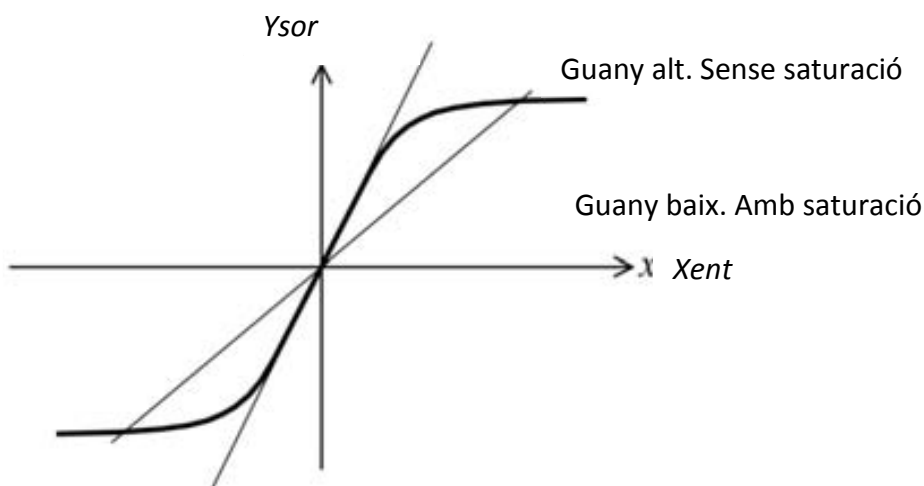


Figura 4.7: Guany i saturació d'un oscil·lador.

Així doncs, és preferible que els pols estiguin a la part real positiva, donat que amb un procés de realimentació negativa d'amplada-guany es pot controlar aquesta amplitud fent que no creixi indefinidament. Un dels mètodes més típics d'aconseguir aquest efecte és fent servir el mètode d'*obertura del bucle*.

Definicions: Ampla de banda i factor de qualitat

Es defineix l'*ampla de banda* com l'interval de freqüències $[f_1, f_2]$ tal que entre f_1 i f_2 , la part reactiva de l'oscil·lador és idèntica a la part resistiva en valor òhmic. És a dir:

$$X(j\omega) = \pm R \quad \text{Eq. 4.3.5}$$

També es sol anomenar *ampla de banda a la meitat de la potència* donat que:

$$|Z(j\omega_1)| = |Z(j\omega_2)| = \sqrt{2}Z(j\omega_0) = \sqrt{2}R \quad \text{Eq. 4.3.6}$$

El factor de qualitat d'un oscil·lador pot venir expressat per la següent relació d'energies:

$$Q = \frac{2\pi E_i}{E_p} \quad \text{Eq. 4.3.7}$$

On:

E_i és l'energia màxima emmagatzemada a un instant de temps.

E_p és l'energia dissipada en un període de temps.

4.3.2 Oscil·ladors LC

Els oscil·ladors LC més coneguts segueixen un esquema essencialment similar al de la figura 4.8. Estan formats per tres impedàncies posades, respectivament, en paral·lel a l'entrada, en paral·lel a la sortida i en el circuit de realimentació. El dispositiu actiu pot ser un transistor bipolar o MOS, o un amplificador operacional.

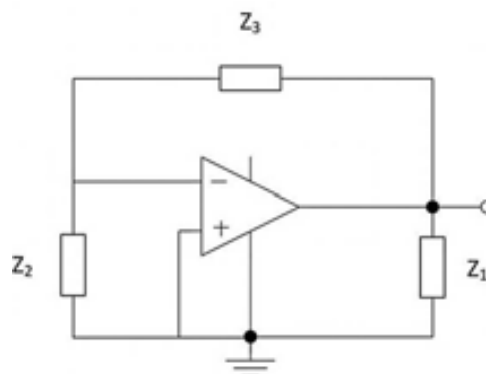


Figura 4.8: Circuit típic d'un oscil·lador sinusoidal.

La figura 4.9 mostra el model en petit senyal d'aquest circuit.

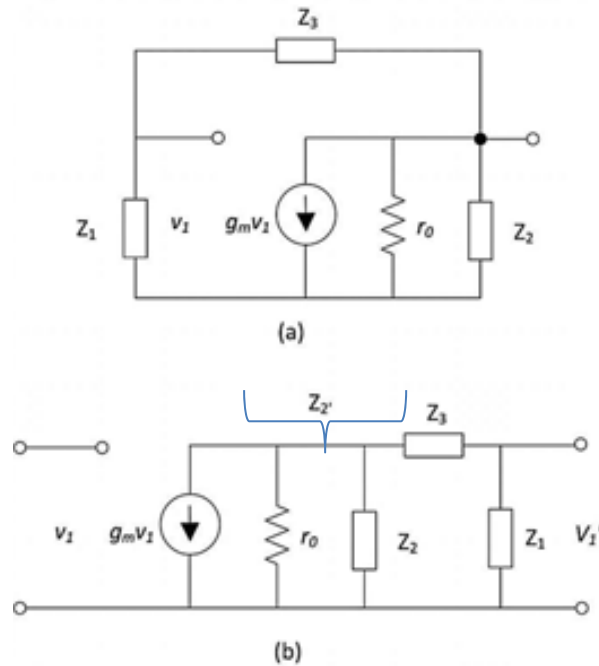


Figura 4.9: Model petit senyal de l'oscil·lador (a), i amb el bucle obert (b).

Si s'anomena Z_2' a l'agrupament de r_0 i Z_2 , i s'observa que Z_1 , Z_2' i Z_3 formen un divisor de corrent, s'obté que:

$$\frac{v_1'}{v_1} = -g_m v_1 \frac{Z_2'}{Z_1 + Z_2' + Z_3} Z_1 \tag{Eq. 4.3.8}$$

Si es considera que les impedàncies són reactàncies pures (sense part resistiva), aleshores:

$$\frac{v_1'}{v_1} = \frac{g_m r_0 X_1 X_2}{-X_2(X_1 + X_3) + j r_0 (X_2 + X_1 + X_3)} \tag{Eq. 4.3.9}$$

Per a què el quocient sigui real, cal que:

$$X_1 + X_2 + X_3 = 0 \tag{Eq. 4.3.10}$$

Si se substitueix en 4.3.9, s'obté l'expressió 4.3.11, llur magnitud ha de ser major d'1:

$$\frac{v_1'}{v_1} = \frac{g_m r_0 X_1}{X_2} > 1 \tag{Eq. 4.3.11}$$

Suposant que hi ha tres reactàncies (és el cas normal), i que aquestes són dues capacitives i una inductiva o bé dues inductives i una capacitiva, s'obtenen els diferents tipus d'oscil·ladors sinusoïdals (taula 4.1).

Taula 4.1: Tipus d'oscil·lador segons la ubicació de la reactància i tipus.

Guany	Reactàncies	Tipus d'oscil·lador
Gm>0	L ₁ , L ₂ , C ₃	Hartley
	C ₁ , C ₂ , L ₃	Colpitts
Gm<0	L ₁ , C ₂ , C ₃	Colpitts
	L ₁ , C ₂ , L ₃	Hartley
	C ₁ , L ₂ , L ₃	

En la majoria de casos es pensa en aquest tipus d'oscil·ladors per treballar a freqüències elevades. També requereixen de la integració d'almenys una reactància inductiva dins del circuit integrat [27] que sol requerir una àrea de silici gens menyspreable, apart del baix factor de qualitat intrínsec que porten associat aquest tipus de d'inductàncies.

Per altra part no totes les tecnologies d'integració basades en cel·les estàndard incorporen la possibilitat d'integrar inductàncies, fent que el seu disseny estigui exclusivament lligat al disseny *full custom*.

4.4 Parametrització de l'oscil·lador no sinusoïdal com a convertidor freqüencial

4.4.1 Introducció

Els oscil·ladors no sinusoïdals per les seves característiques són circuits potencialment candidats a ser emprats en la conversió capacitat a freqüència. El fet que a freqüències per sota del megahertz les inductàncies que s'empren tinguin un factor de qualitat molt baix, produeix que la freqüència de sortida sigui molt inestable.

En principi aquesta classe d'oscil·ladors estan pensats per a senyals de sortida inferiors al MHz, tot i que actualment es fan servir fins a freqüències properes als 100MHz amb resultats força òptims [22].

Una possible alternativa és l'ús d'oscil·ladors construïts a partir de cel·les RC. Aquests eviten l'ús d'inductàncies que, donat que solen tenir una mida gran, les incapacita per a ser integrades en un ASIC.

En contra de les complicacions d'integració que presenten les bobines, es té que la integració de capacitats és senzilla. Així tecnologia AMS de $0,35\mu\text{m}$ (utilitzada en les ASIC ROICS dissenyats en aquesta tesi) utilitza una capa de polisilici, la *Poly2*, en la construcció de les capacitats.

Segons el mecanisme establert per a l'oscil·lació, existeixen diferents tipus base d'oscil·ladors no sinusoidals basats en capacitats. Cal esmentar especialment:

- Oscil·ladors per rotació de fase [28].
- Oscil·ladors en pont de Wien [29].
- Oscil·ladors RC CMOS [30].
- Oscil·ladors de relaxació. [32].

4.4.2 Oscil·lador per rotació de fase [28]

Consisteix en fer servir un element actiu inversor i un conjunt de cel·les RC en cascada, que produeixen rotacions de fase que, sumades, proporcionen els 180° requerits pel criteri de Barkhausen.

Atès que una cel·la RC produeix un màxim desfasament de 90° , es requereixen almenys tres cel·les per tal de garantir que en alguna freqüència s'assoleixi un desfasament de 180° .

La figura 4.10 presenta l'estructura genèrica d'un oscil·lador per rotació de fase.

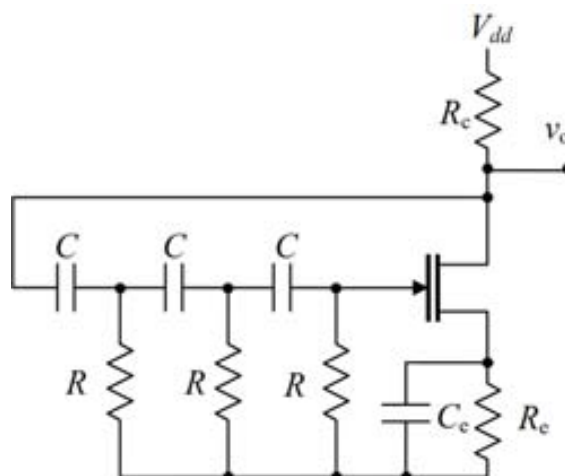


Figura 4.10: Esquema de l'oscil·lador per rotació de fase.

Per a què el circuit oscil·li cal que s'acompleixi la següent expressió:

$$6(\omega RC)^2 - 1 = 0 \quad \text{Eq. 4.4.1}$$

En aquest circuit, imposant $R_c || R_e = R$, es té que la freqüència d'oscil·lació ve definida per la següent expressió:

$$\omega_0 = \frac{1}{\sqrt{6}RC} \quad \text{Eq. 4.4.2}$$

Com s'ha indicat prèviament, si la capacitat que s'utilitza com a principi de funcionament és el propi sensor, en un circuit CtoF basat en aquest model caldrien tres sensors capacitius idèntics per poder realitzar la conversió, fet que pot suposar un problema. Apart té problemes de cost, els greus problemes d'estabilitat en freqüència, fet que el fan poc útil en aplicacions on cal precisió en la mesura.

4.4.3 Oscil·lador en pont de Wien [29]

Per millorar l'estabilitat del circuit anterior, s'introdueix un circuit anomenat pont de Wien. La figura 4.11 mostra una de les implementacions clàssiques fent servir un amplificador operacional.

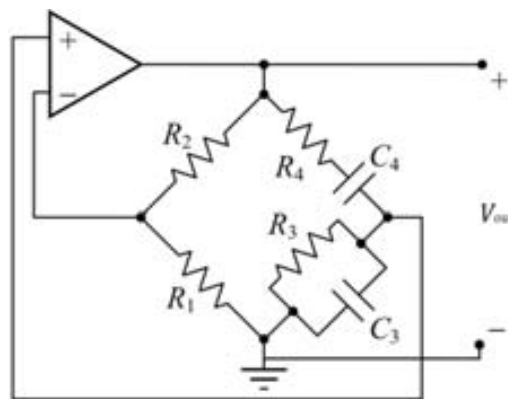


Figura 4.11: Esquema de l'oscil·lador en pont Wien.

La freqüència d'oscil·lació ve donada per l'expressió:

$$\omega_0 = \frac{1}{\sqrt{R_3 R_4 C_3 C_4}} \quad \text{Eq. 4.4.3}$$

On s'ha de complir la relació de càrregues 4.4.4 per garantir que la realimentació positiva sigui més gran que la realimentació negativa:

$$\frac{R_3}{2R_4 + R_3} - \frac{R_1}{R_2 + R_1} > 0 \quad \text{Eq. 4.4.4}$$

Per a què el circuit oscil·li es prenen les següents relacions de proporcionalitat:

$$R_3 = R_4$$

$$C_3 = C_4$$

$$R_2 > 2 R_1$$

Eq. 4.4.5 a,b,c

L'ús de més d'una capacitat torna a implicar la necessitat d'integrar més d'un sensor en cas que es vulgui aprofitar la capacitat interna en la construcció del CtoF. A més, aquest oscil·lador presenta els mateixos inconvenients que l'oscil·lador per rotació de fase.

4.4.3 Oscil·ladors RC-CMOS i oscil·ladors de relaxació [26]

Donat que els oscil·ladors RC i els oscil·ladors de relaxació, formen part del nucli d'aquest treball es descriuen en apartats diferents.

4.5 Oscil·lador RC CMOS

En moltes aplicacions d'adquisició de senyal i per la realització de circuits ressonadors integrats, existeixen circuits simples que proporcionen els resultats i la precisió necessàries que es requereix en la mesura d'un sensor capacitiu.

Aquest apartat presenta el primer circuit que es va integrar a l'ASIC 1.0, com a convertidor freqüencial basat en un oscil·lador RC amb tecnologia CMOS, i emprant el model de buffer realimentat.

4.5.1 Introducció

Els circuits oscil·ladors RC formen una classe d'oscil·ladors de baix cost, essent molt utilitzats en diversos dispositius microelectrònics perquè, malgrat la seva simplicitat, proporcionen unes prestacions que no desmereixen gens d'altres oscil·ladors molt més complexes. Aquests oscil·ladors permeten reduir significativament el nombre de transistors així com la lògica del mateix [33]. Es fan servir habitualment en circuits de rellotge per a microprocessadors i microcontroladors donat el seu baix soroll de fase i el seu baix cost.

Respecte a la mida i al nombre de transistors total, cal constatar que necessita fins a un 60% menys de components respecte a l'oscil·lador de relaxació CMOS que s'analitza en l'apartat 4.6, tot i que no repercuteix en el mateix percentatge en àrea de silici, ja que el dimensionament dels transistors fa que al final les àrees siguin similars.

Aquest fet es deu a què, per aconseguir freqüències de sortida similars, s'han de calcular corrents de polarització força elevades que implica l'ús de transistors grans. A

més, també hi influeix l'àrea que ocupa l'etapa final de *buffer*, que està pensada per comandar una capacitat de càrrega de fins a 18pF.

4.5.2 Principi de funcionament

La figura 4.12 mostra l'esquema de l'oscil·lador RC CMOS. Està format per l'etapa d'oscil·lació (MP_0 , MP_1 , MN_0 , MN_3) i l'etapa d'amplificació (MP_2 , MN_1).

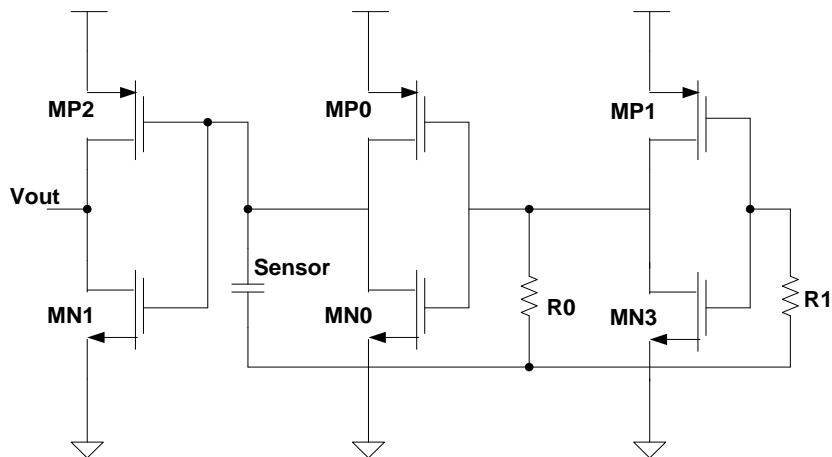


Figura 4.12: Esquema de l'oscil·lador RC CMOS.

La freqüència de sortida en funció de les resistències R_0 i R_1 , i del valor del condensador, llur valor és la capacitat de càrrega aportada pel sensor. En particular, la dependència de l'oscil·lador de les dues resistències és un dels aspectes a tenir presents en aquest oscil·lador. En cas d'integrar-les en el circuit implica destinar un àrea gens menyspreable de POLY2 fent servir tecnologia AMS 35 μ m.

Per altra banda, l'ús de resistències externes implica haver de considerar les capacitats paràsites associades als *pads* i a les connexions externes (560fF per parell de *pads* i connexions) que afectaran notablement a la precisió i sensibilitat de mesura de la freqüència de sortida.

4.5.3 Funcionament bàsic de l'oscil·lador

El funcionament de l'oscil·lador es basa en carregar i descarregar el condensador a través de les parelles de transistors M_{P0} - M_{N0} i M_{P1} - M_{N3} , fent servir les resistències R_0 i R_1 per controlar el temps de càrrega i descàrrega (a l'estil d'un multivibrador astable).

Per construcció es pot establir que el circuit es carrega mitjançant la resistència R_0 i es descarrega per la resistència R_1 , tot i que tant R_1 com R_0 contribueixen en els dos processos.

S'aprofitaran els marges de soroll en els nivells alt i baix de l'inversor CMOS per generar un efecte de balanceig i així commutar de l'estat de càrrega a descàrrega i a l'inrevés. Cal recordar que es considera que el sensor està plenament carregat o descarregat a V_{OH} o V_{OL} en un temps de 5τ (definint τ com $R \cdot C$). La figura 4.13 mostra la definició normalment elegida de nivells lògics de l'inversor CMOS.

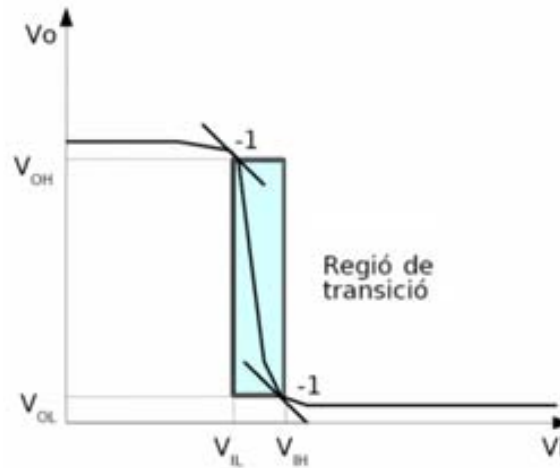


Figura 4.13: Funció de transferència amb els marges de soroll de l'inversor CMOS.

On:

V_{IH} = voltatge d'entrada de nivell alt.

V_{IL} = voltatge d'entrada de nivell baix.

V_{OH} = voltatge de sortida de nivell alt.

V_{OL} = voltatge de sortida de nivell baix.

La freqüència de sortida de l'oscil·lador en funció dels paràmetres elèctrics del circuit, ve donada per l'expressió 4.5.1.

$$f = \frac{1}{2 * R_0 * C_{sensor} * \left(\frac{0.405 * R_1}{R_0 + R_1} + 0.693 \right)} \quad \text{Eq. 4.5.1}$$

L'expressió mostra com la freqüència és funció dels components del circuit, entre ells de la capacitat del sensor. Per mostrar de manera simple la dependència de la funció amb la capacitat del sensor, es poden fer les següents consideracions sense cap pèrdua de generalitat:

- S'estableix un *duty cycle* del 50%. S'aconsegueix fent que R_0 i R_1 tinguin el mateix valor nominal.

- S'ajusten els valors de R_0 i R_1 a $1\text{K}\Omega$ per obtenir una freqüència de referència equivalent a la del convertidor de relaxació (apartat 4.6). Aquesta consideració es fa amb la finalitat de comparar resultats.
- Aleshores es realitza un escombrat en capacitat que va des dels 10nF fins als $1,82\mu\text{F}$ i es mesura la freqüència de sortida.

La figura 4.14 mostra la freqüència de sortida en funció de la capacitat. S'observa que la freqüència de sortida té una resposta del tipus hipèrbola (funció $1/x$) respecte al valor del condensador.

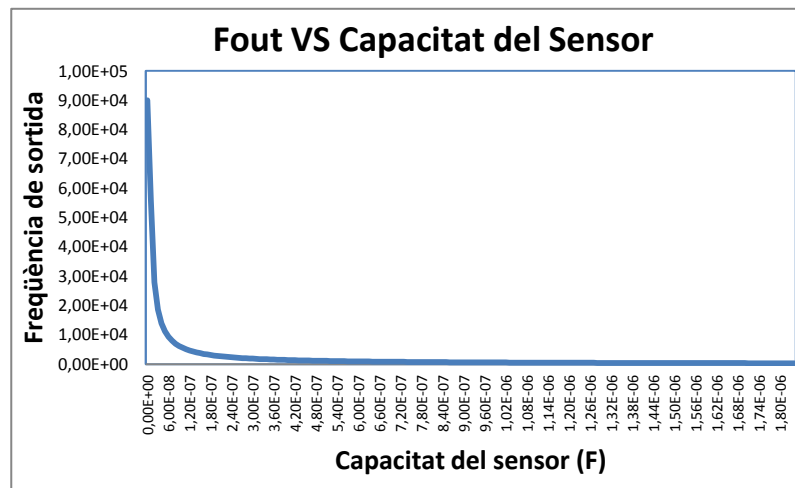


Figura 4.14: Resposta de l'oscil·lador RC CMOS.

4.5.4 Resultats

Aquest oscil·lador es va integrar al Juliol-2010, fent servir la tecnologia CMOS $0,35\mu\text{m}$ del fabricant Austriamicrosystems (AMS), amb el kit de disseny anomenat *Hit Kit 3.6*. Aquesta tecnologia permet fer servir fins a un total de 4 capes de metall i 2 capes de polisilici, i és adequada per a la integració de resistències i capacitats.

La figura 4.15 mostra el *layout* d'aquest oscil·lador, dissenyat fent servir l'eina *Cadence Layout XL Virtuoso*. Es pot observar clarament la mida i proporció dels transistors.

En el disseny dels transistors PMOS i NMOS grans, s'han aplicat tècniques de *matching*. Aquestes tècniques consisteixen en dividir els transistors grans en seccions més petites, i anar alterant els drenadors i les fonts dels transistors per fer que els degradats de portadors en l'oblea afectin per igual a tots els transistors.

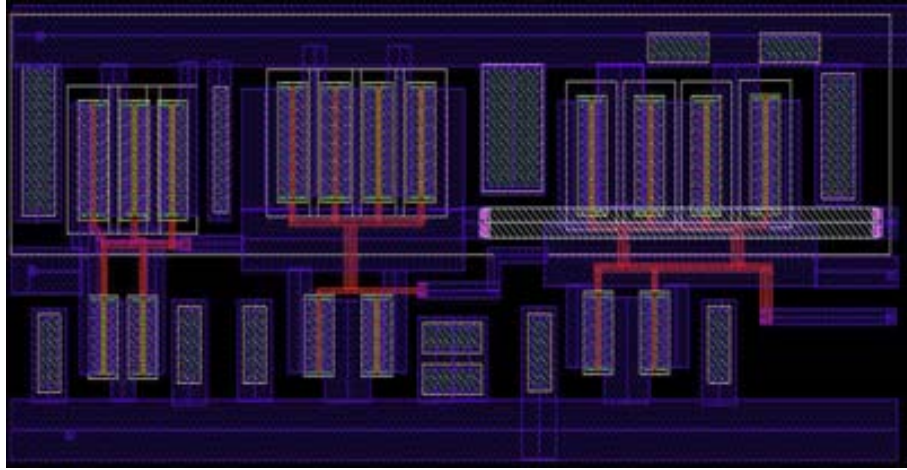


Figura 4.15: Layout de l'oscil·lador RC CMOS.

Les resistències R_0 i R_1 no han estat integrades dins de l'ASIC amb l'objectiu de minimitzar les dimensions (àrea) del mateix. Aquesta decisió afecta significativament en l'augment de les capacitats paràsites.

La figura 4.16 correspon a la fotografia amb microscopi de la secció de l'ASIC 1.0 que integra aquest convertidor CtoF RC CMOS. La mida real de tot el circuit és de $78,2\mu\text{m} \times 30\mu\text{m}$.

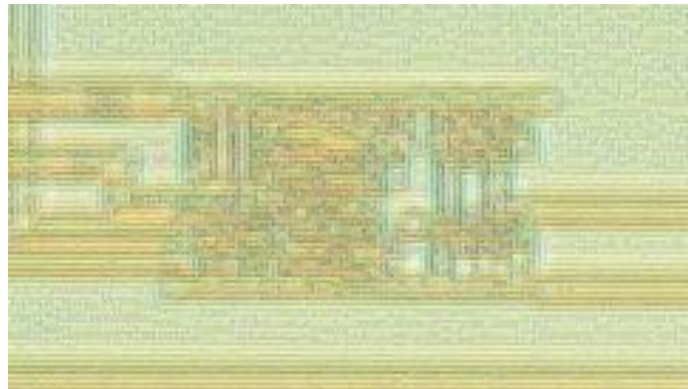


Figura 4.16: Fotografia amb microscopi de l'oscil·lador RC CMOS.

La figura 4.17 mostra la resposta temporal de l'oscil·lador per a un sensor de valor capacitiu de 50pF . Els valors escollits per a R_0 i R_1 ha estat de $1\text{k}\Omega$, amb l'objectiu de garantir temps de càrrega i descàrrega simètrics. El *duty cycle* és del 50%. La figura mostra una bona estabilitat freqüencial. L'estabilitat s'ha mantingut durant tot el procés de caracterització del convertidor CtoF.

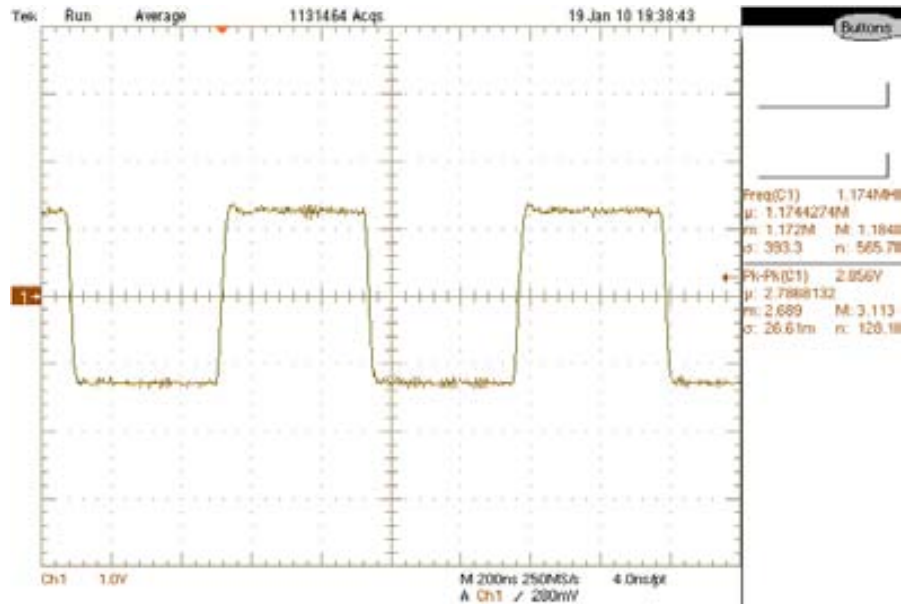


Figura 4.17: Resposta temporal de l'oscil·lador RC CMOS, amb una càrrega de 50pF.

La figura 4.18 correspon al diagrama del soroll de fase del convertidor. La freqüència fonamental està a 1.17MHz. A 10KHz de la portadora mostra un soroll de fase de -98,28dBc/Hz. És remarcable que, essent un convertidor molt elemental, ofereixi un bon soroll de fase.

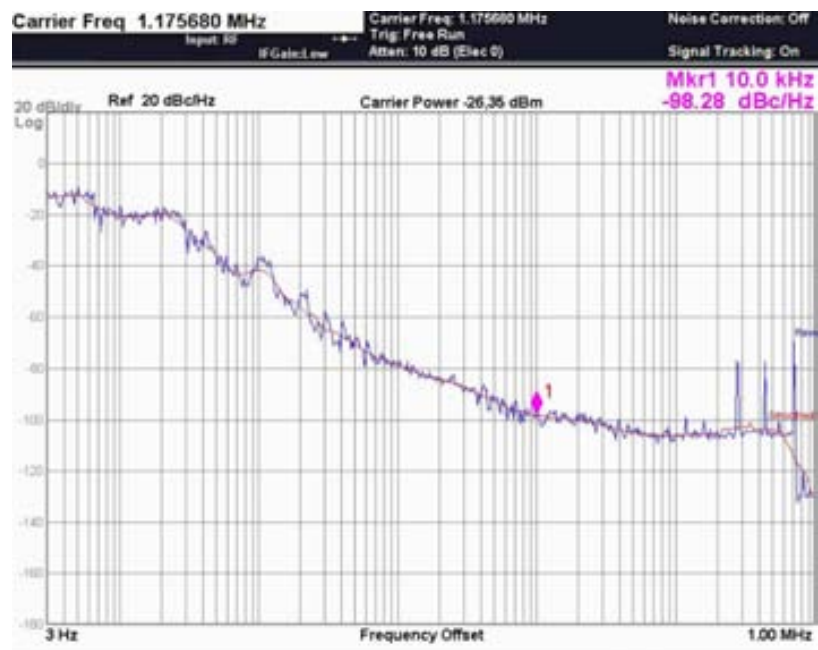


Figura 4.18: Soroll de fase de l'oscil·lador RC CMOS per a un sensor de 50pF.

La figura 4.19 presenta la dependència de la freqüència de sortida davant d'un escombrat de la capacitat de 260pF a 380pF. Es pot observar una lleugera no linealitat de tipus hipèrbola, d'acord amb el que s'ha discutit en l'apartat 4.5.3.

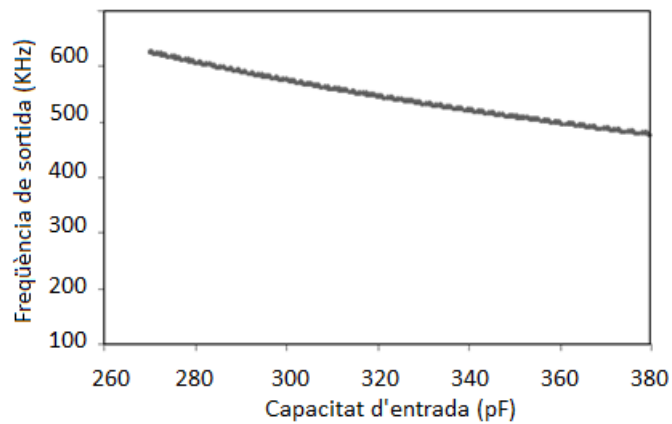


Figura 4.19: Resposta de sortida freqüencial per a un escombrat capacitiu.

S'ha trobat que el consum d'aquest oscil·lador és força elevat, essent de 1,36mA. Donat que no disposa de referència en voltatge la freqüència de sortida també presenta una alta dependència a la variació de la tensió d'alimentació.

En conseqüència, el consum elevat conjuntament amb la necessitat d'haver d'incorporar dues resistències externes, així com un error de fons d'escala de prop del 5%, no el fan recomanat com a CtoF en el *front-end* del sistema d'adquisició escollit.

4.5.4 Consideracions addicionals sobre l'oscil·lador RC

En tot moment s'ha considerat que l'oscil·lador RC és un circuit per a funcionar com a convertidor CtoF en sensors de tipus capacitiu.

Per pròpia construcció, aquest circuit oscil·lador també es pot dissenyar pensant en una dependència resistiva. En aquest sentit, i en sensors llur dependència és resistiva (veure capítol 2), establint una capacitat de treball fixa, també pot funcionar com a convertidor resistiu a freqüència, o RtoF, fixant el valor de R_1 i fent que R_0 sigui el valor del sensor a mesurar. Aquesta funcionalitat ha estat explotada i es descriu en l'article [31].

Donat que el circuit oscil·lador està basat en inversors CMOS en cascada, és difícil emprar un circuit de referència en voltatge sense alterar l'estructura innata de l'oscil·lador. En conseqüència, i donat que la tensió de sortida de l'oscil·lador és funció directa de la tensió d'alimentació, l'oscil·lador RC presenta un molt pobre PSRR (rebuig a la variació de la tensió d'alimentació, o *Power Supply Rejection Ratio*).

4.6 Oscil·lador de relaxació

4.6.1 Introducció al model genèric

La secció anterior ha introduït que l'oscil·lador RC CMOS presenta certes mancances que es milloren quan s'utilitzen oscil·ladors de relaxació com a convertidors freqüència a codi.

Les principals característiques que presenten els oscil·ladors de relaxació (en endavant es parla d'ells com a CtoF, o *capacitance to frequency*) són:

- Tenen millors capacitats d'integració. Només es necessiten transistors MOS en el seu disseny. Les resistències es construeixen mitjançant transistors polaritzats en mode resistiu.
- Presenten bona robustesa enfront a les interferències donat que tots els components estan integrats i no necessiten de components externs.
- Operen amb baix nivell de soroll.
- Tenen un consum moderat.
- Són fàcils de sintonitzar. Es poden aconseguir oscil·lacions per sobre dels 150MHz amb factors de qualitat acceptables.
- Fan servir un únic condensador per a l'oscil·lació.
- Com que no es necessiten inductàncies, es redueix molt l'àrea final del convertidor CtoF.
- Incorporant un *buffer* de sortida tenen un rang dinàmic de sortida elevat.
- El nucli està basat en el comparador d'histèresis astable. És tracta d'un oscil·lador biestable.
- I tenen bona estabilitat freqüencial.

4.6.2 Oscil·lador de relaxació. Principi de funcionament

La figura 4.20 mostra el circuit de referència que es fa servir per desenvolupar l'oscil·lador. Com es veurà, correspon a un oscil·lador de baix consum.

S'assumeix que el circuit de la figura està en un dels dos estats estables possibles. Es suposa que el transistor M_1 està en saturació. Complementàriament, el transistor M_2 està en tall.

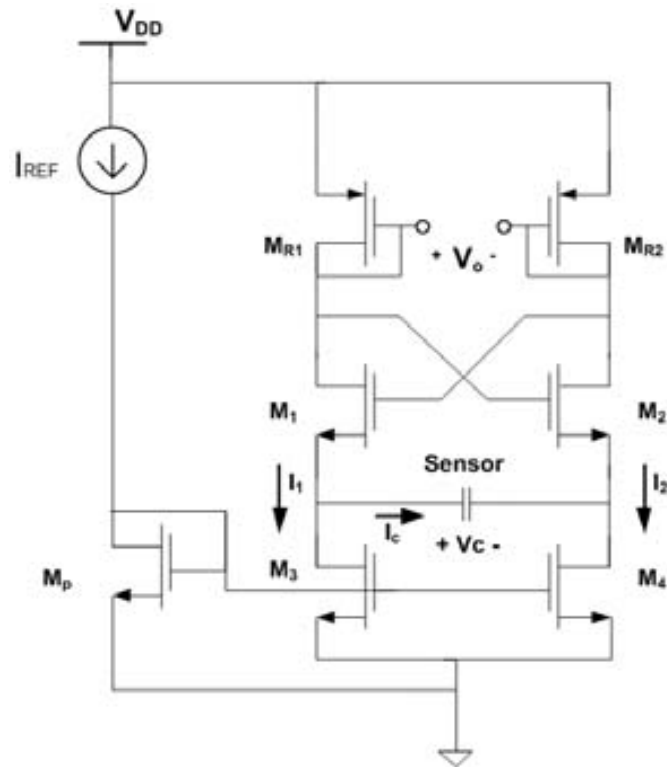


Figura 4.20: Esquema de l'oscil·lador de relaxació.

Així doncs, el corrent I_1 carrega directament el condensador fent decreïxer la tensió del node V_{c-} al mateix temps que la tensió del node V_{c+} està fixada pel transistor M_{R1} que està configurat en mode resistiu, tenint present que la tensió que cau en el transistor M_{R1} és proporcional al seu valor resistiu equivalent.

Es fan servir els transistors M_{R1} i M_{R2} en mode de resistència activa, reduint d'aquesta manera l'àrea d'integració enfront d'un disseny que implementi les resistències sobre polisilici. En contrapartida, s'assumeix que la seva resposta no és lineal.

Pel bon funcionament de l'oscil·lador s'ha de garantir que els transistors M_{R1} i M_{R2} arribin sempre al nivell de saturació. Per això és necessari curtcircuitar la porta i el drenador de forma que es compleixi la següent expressió:

$$V_{GS} - V_{TH} < V_{DS} \quad \text{Eq. 4.6.1}$$

Donat que en curtcircuitar la porta amb el drenador es satisfà que $V_{GS} = V_{DS}$, la condició es compleix directament.

El valor de la resistència equivalent en funció de les tensions de polarització, ve donada per l'expressió 4.6.2:

$$R_{MR1,2} = \frac{1}{g_m} = \frac{1}{\mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad \text{Eq. 4.6.2}$$

Que, considerant els corrents de font a drenador del transistors es pot reescriure en la forma 4.6.3:

$$R_{MR1,2} = \frac{1}{\sqrt{2\mu C_{ox} \frac{W}{L} I_{DS}}} \quad \text{Eq. 4.6.3}$$

Per a un valor fix d' I_{DS} s'entén que la resistència activa depèn de les dimensions del transistor i dels paràmetres tecnològics. Per tant, les dimensions del transistor seran un factor a tenir present en el moment de polaritzar-lo en aquest mode.

En l'actualitat existeixen tècniques que permeten millorar la linealitat de la resposta dels transistors en mode resistiu fent servir estructures de transistors MOS amb porta flotant, amb una connexió anti-paral·lela [23]. Degut a què en l'aplicació es fa servir un corrent constant a través d'aquestes resistències M_{R1} i M_{R2} , no s'introdueix aquesta tècnica de linealització, ja que el valor de corrent roman constant i en conseqüència el valor obtingut de resistència activa equivalent serà constant.

El transistor M_2 es mantindrà en el seu estat de tall fins que la tensió V_{GS2} sigui suficientment gran i aquest passi a l'estat de saturació.

Per tant, la porta del transistor M_1 , que inicialment estava en saturació, connectada a V_{DD} (com a resultat del corrent que circulava pel transistor M_{R2}) anirà canviant a una tensió inferior que farà que el circuit commuti el seu estat. Aleshores, el transistor M_1 passarà a mode de tall i el procés es repetirà de nou.

Per garantir que el senyal de sortida del convertidor és perfectament quadrat (*duty-cycle* del 50%) cal forçar que els corrent I_1 i I_2 siguin idèntics. De no ser-ho es produirien diferents corrents de carrega / descàrrega del sensor que donarien lloc a un senyal no simètric. Per això s'ha d'imposar que els transistors de cadascuna de les branques estiguin completament equilibrats.

L'equilibri de corrent en les branques s'aconsegueix fent servir tècniques de *matching* de transistors, intercalant entre sí braços dels diversos transistors. Així les imperfeccions del substrat i les diferents densitats de dopants es compensen entre elles, equilibrant els errors per la similitud entre transistors.

Considerant l'estat inicial en el què M_1 està saturat i M_2 està en tall, i considerant V_{D1} com la tensió V_{DS} que cau sobre el transistor M_{R1} (que està en configuració resistiva), es pot obtenir la següent expressió de la tensió de sortida del convertidor CtoF:

$$V_o^+ = V_{DD} - V_{D1}, \quad V_o^- = V_{DD}, \quad V_o = -V_{D1} \quad \text{Eq. 4.6.4}$$

El corrent que passarà a través del sensor capacitiu ve definit per I_2 , corrent que alhora, ve imposat pel mirall de corrent de M_4 .

El transistor M_2 es mantindrà en el seu estat de tall mentre la seva tensió de porta a font estigui per sota de la seva tensió llindar V_{TH2} . Aquesta tensió és, justament, la tensió que necessita el transistor M_2 per poder conduir el corrent I_2 .

Així, doncs, si s'assumeix que el transistor M_1 es comporta idealment com un interruptor en el seu estat de saturació i, si alhora es considera que la tensió de porta de M_2 és V_o^+ , es pot arribar a la següent expressió:

$$V_o^+ = V_{g2}, \quad V_{s2} = -V_c + V_{DS3}, \quad V_{DS3} \cong V_o^+ \quad \text{Eq. 4.5.5}$$

Per altra banda es pot considerar que $I_c = I_2$ mentre M_2 estigui en l'estat de tall, el que implica:

$$V_{g2} < V_{TH2} \Rightarrow V_{g2} - V_{s2} < V_{TH2} \Rightarrow V_c < V_{T2} \quad \text{Eq. 4.6.6}$$

Es poden fer les mateixes consideracions en el cas complementari, quan el transistor M_1 està en tall i el transistor M_2 en saturació. Les expressions obtingudes serien anàlogues a les anteriors. En aquest cas particular, $I_c = -I_1$, i es manté en aquest estat mentre que $V_c > -V_{TH1}$, donant com a resultat aquest efecte d'histèresi tant conegut dels oscil·ladors estables o oscil·ladors de relaxació.

Considerant el model de càrrega d'un condensador, es pot d'establir la freqüència de sortida de l'oscil·lador dissenyat. El seu valor ve donat, de forma genèrica, per l'expressió 4.6.7:

$$V_c(t) = V_{max}(1 - e^{-\frac{t}{RC}}) \quad \text{Eq. 4.6.7}$$

La resposta de la tensió de càrrega del condensador és exponencial. De la mateixa manera, el corrent de descàrrega del condensador també ho és, i es comporta d'acord amb la següent expressió:

$$I_c(t) = \frac{V_{max}}{R} e^{-\frac{t}{RC}} \quad \text{Eq. 4.6.8}$$

La figura 4.21 mostra la resposta de les dues magnituds característiques del condensador. La gràfica s'ha obtingut fent servir uns valors genèrics de resistència i capacitat (per a un valor de tau donat), en particular una resistència de 100 Ohm i un valor capacitiu de 10 μ F que donen una constant de temps (τ) d'1ms.

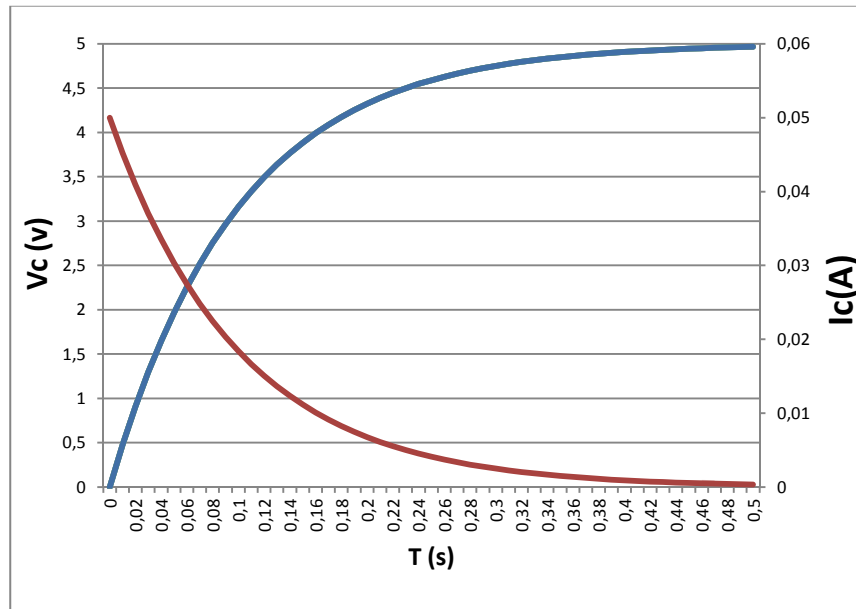


Figura 4.21: Característica I/V d'un condensador.

Per altra banda, quan el corrent de càrrega del condensador és constant (forçant-li un corrent fix i definit) es pot demostrar que la seva tensió de càrrega és lineal (no exponencial). Sigui $i(t)$ el corrent de càrrega, es pot considerar:

$$i(t) = I \quad \text{Eq. 4.6.9}$$

Tot seguit, es troba que la tensió del condensador ve donada per la següent expressió:

$$V_c(t) = \frac{1}{C} \int_0^t i(t) dt + V_c(0) = \frac{1}{C} \int_0^t I dt + V_c(0) \quad \text{Eq. 4.6.10}$$

Donat que I és constant es pot concloure que:

$$V_c(t) = \frac{I}{C} \int_0^t i(t) dt + V_c(0) = \frac{I}{C} T + V_c(0) \quad \text{Eq. 4.6.11}$$

Aquesta equació és vàlida en el procés de càrrega del condensador.

En el procés de descàrrega es compleix que:

$$V_c(t) = V_c(0) - \frac{I}{C} T \quad \text{Eq. 4.6.12}$$

La raó de càrrega/descàrrega depèn, principalment, de la magnitud del condensador així com de la tensió màxima de càrrega del condensador. Si es considera que el corrent de càrrega del sensor és idèntic al corrent de descàrrega (es pot aconseguir aparellant correctament els transistors), i es defineix com a I , s'obté que la freqüència de sortida de l'oscil·lador és:

$$F = \frac{I}{2CV_{max}} \quad \text{Eq. 4.6.13}$$

Si es considera que la tensió a la que es pot carregar el condensador, és la definida per la tensió V_{DS1} (anomenada V_{D1}), i que el corrent que circula pel condensador, és I_1 (o I_2) es troba la següent expressió de freqüència de sortida de l'oscil·lador:

$$F_{FtoC} = \frac{I_1}{2C_{sensor}V_{D1}} \quad \text{Eq. 4.6.14}$$

Si, per altra banda, es considera que la V_{D1} és la tensió que cau sobre el transistor M_{R1} , i que el corrent I_1 és el corrent I_{DS} del mateix transistor que té com a valor resistiu el donat per l'expressió 4.6.3 s'obté 4.6.15.

$$F_{FtoC} = \frac{1}{C_{sensor}} \sqrt{\frac{\mu C_{ox} \frac{W}{L} M_{R1} I_1}{2}} = \frac{K}{C_{sensor}} \quad \text{Eq. 4.6.15}$$

S'observa, així, que la resposta de la sortida freqüencial de l'oscil·lador dissenyat no és lineal, i que la seva resposta correspon a la d'una funció tipus hipèrbola equilàtera $\propto 1/x$.

En l'aplicació de l'oscil·lador per a l'adquisició de valors capacitius del sensor, aquesta resposta permet les següents consideracions:

Per intervals petits de valors capacitius (variacions de menys de 200 pF) si es considera que el valor de K està fixat per a una tecnologia, considerant establertes les dimensions del transistor i el corrent, el comportament del sistema es pot suposar quasi-lineal. La no linealitat està acotada a l'1%.

Analitzant diferents fulls d'especificacions de sensors capacitius de diferents fabricants, com ara el HCH-1000 de Honeywell [24] s'observa que el rang de valors capacitius rarament superen les desenes de picofarads entre els intervals de mesura màxims i mínims de la magnitud a física a mesurar. Per a aquests valors capacitius dels sensors es dona com a vàlida la resposta lineal del Fto# comentada anteriorment.

Per valors capacitius grans (més d'1nanofarad) s'ha de considerar la resposta tipus hipèrbola, pel que és necessari fer una linealització.

Finalment, considerant que el corrent I_1 està emmirallat i és proporcional a I_{ref} (en la branca de la font de corrent), es pot reescriure l'expressió 4.6.15 en funció del corrent de referència.

$$F_{CtoF} = \sqrt{\frac{\mu C_{ox} \frac{W}{L} M_{R1} \frac{W}{L} M_{3,4} I_{ref}}{2 \frac{W}{L} M_P C_{sensor}^2} \frac{1 + \lambda V_{DS3,4}}{1 + \lambda V_{DSMP}}} \quad \text{Eq. 4.6.16}$$

4.6.3 Resultats del convertidor CtoF

Tot i ser un tipus d'oscil·lador força conegut, no és un model pensat per a la integració donat que està pensat per ser utilitzat en freqüències no massa altes (per sota dels 150MHz), tot i que treballs actuals han fet que aquests oscil·ladors arribin fins als 920MHz [34].

En el cas d'aplicació en aquest treball, on es necessita un sistema per a l'adquisició de senyal de sensors capacitius en el que es generi un rang de freqüències relativament baix (per sota dels 10MHz), aquest tipus d'oscil·lador s'adequa en gran mesura als requeriments desitjats. Donat que va ésser el primer convertidor dissenyat, i integrat en l'ASIC 1.0, mostra prestacions que cal millorar, com ara la dependència amb la tensió d'alimentació i el seu consum elevat.

Per poder oferir una sortida del convertidor CtoF compatible amb altres tecnologies CMOS (necessària per poder atacar les etapes posteriors del sistema d'adquisició, en particular dels convertidors de freqüència a codi o Fto#), s'ha optat per integrar una etapa de *buffer* a la sortida del CtoF. A aquesta etapa se li han exigit prestacions de temps de pujada i de baixada suficients per garantir que la seva introducció no afecti ni al *duty cycle* del senyal ni al període del mateix. També s'han escollit unes dimensions significativament elevades dels transistors del buffer ($W_p = 10\mu\text{m}$ i $W_n = 4\mu\text{m}$) per poder garantir un *fan out* elevat, ja que es preveuen càrregues a la sortida de fins a 18pF.

La figura 4.22 correspon a la fotografia amb microscopi de la secció de l'ASIC fabricat amb la tecnologia AMS 0,35 μm que integra tant el convertidor CtoF com el buffer de sortida. La mida de tot el circuit és de 106 μm · 47 μm .

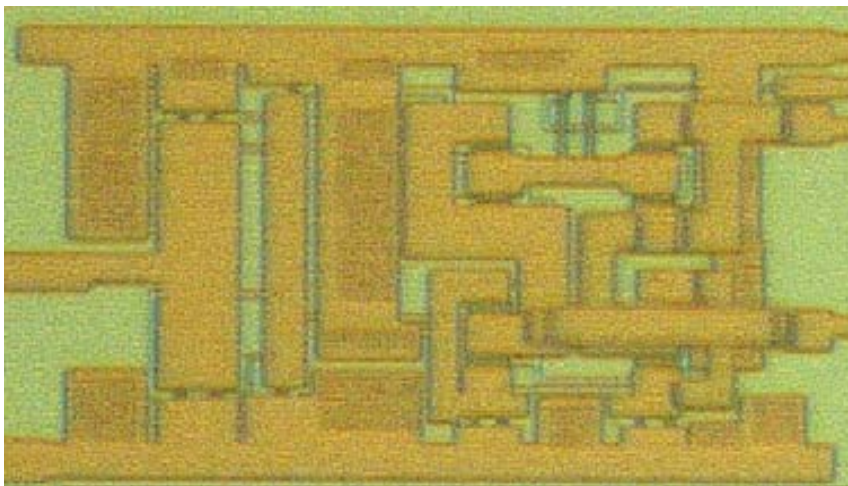


Figura 4.22: Fotografia amb microscopi.

La taula 4.1 detalla les prestacions de l'oscil·lador de relaxació integrat

Taula 4.2: Resultats del test sobre el convertidor CtoF de relaxació.

Tecnologia	CMOS 0.35 μ m
Rang de capacitat d'entrada	2pF – 7,8nF
Freqüència màxima	23,6 MHz
Àrea del xip	0.173 mm ²
Consum d'energia	759 μ A (267 μ A a1.8V)
Soroll de fase màxim	-101,9 dBC/Hz

4.6.4 Introducció al convertidor CtoF de baix consum

L'estructura d'un oscil·lador de relaxació és molt similar al multivibrador astable. Tots dos tenen la freqüència d'oscil·lació proporcional al corrent de càrrega i inversament proporcional a la capacitat. Així, quan la capacitat és substituïda pel sensor, la freqüència de sortida depèn exclusivament de la càrrega i descàrrega del sensor capacitiu.

En el model d'oscil·lador de relaxació de l'apartat 4.6.1, el corrent total subministrat per l'oscil·lador és I_1 o I_2 , però només la meitat del mateix contribueix a la càrrega del sensor capacitiu. La resta del corrent no contribueix a la freqüència d'oscil·lació, suposant una pèrdua d'energia molt significativa.

L'oscil·lador de relaxació de baix consum proposat en aquesta secció [25] elimina aquesta ineficiència en consum afegint una nova fase de commutació entre el sensor i el mirall de corrent.

4.6.5 Principis de funcionament del convertidor CtoF de baix consum

El principi de funcionament del convertidor CtoF de baix consum (figura 4.23) és una variació de l'oscil·lador de relaxació introduït en l'apartat 4.6.1.

Així, els transistors M_1 i M_2 (figura 4.23) fan la funció d'etapa de guany. El creuament entre aquests dos transistors garanteix que només un dels dos transistors està actiu. Aquesta etapa també controla l'operativitat del parell diferencial format

pels transistors M_3 i M_4 , que determinen la direcció del corrent de càrrega de la capacitat.

Aquesta etapa de guany, té les mateixes càrregues, donades per les resistències equivalents dels transistors M_{P1} i M_{P2} , ambdós configurats en la regió de funcionament en mode resistiu.

El transistor M_5 substitueix als dos transistors M_3 i M_4 del circuit anterior, que estaven emmirallats, fent de mirall de corrent de I_{ref} .

Per tant, el mode de funcionament és el següent:

- S'assumeix que el transistor M_1 està en saturació i el transistor M_2 està en tall.
- V_{out+} rep el valor de V_{DD} i V_{out-} rep el valor de $(V_{DD} - 2 \cdot I \cdot R_{MP1-2})$ on $2 \cdot I$ és el valor del corrent de càrrega del condensador. I el valor R_{MP1-2} és el valor equivalent resistiu del transistor M_{P1-2} .
- Donat que la tensió de porta de M_4 és més elevada que la mateixa tensió de porta del transistor M_3 , el corrent de càrrega del transistor circula pel transistor M_4 .
- Aquest efecte fa que la tensió V_{c-} caigui amb un valor constant de $2 \cdot I / C$ fins que el transistor M_2 es posa en saturació i el M_{N1} passa a estar en tall.
- En aquest moment, V_{out} baixa fins a $(V_{DD} - 2 \cdot I \cdot R_{MP1-2})$ i V_{out-} puja fins a V_{DD} . En conseqüència, el corrent de càrrega del sensor ha canviat de sentit i el circuit roman en aquest estat mig cicle.
- L'estat es manté fins que el valor del node V_{c+} baixa i arriba al nivell en el què M_1 es torna a activar. En aquest punt, els transistors M_1 i M_4 tornen a posar-se en conducció i s'inicia un nou cicle.

Comparant els dos oscil·ladors de relaxació s'observa que l'oscil·lador de relaxació de baix consum duplica la freqüència de funcionament emprant el mateix corrent. En conseqüència, per a una mateixa freqüència de funcionament el consum d'energia és la meitat en aquest nou oscil·lador.

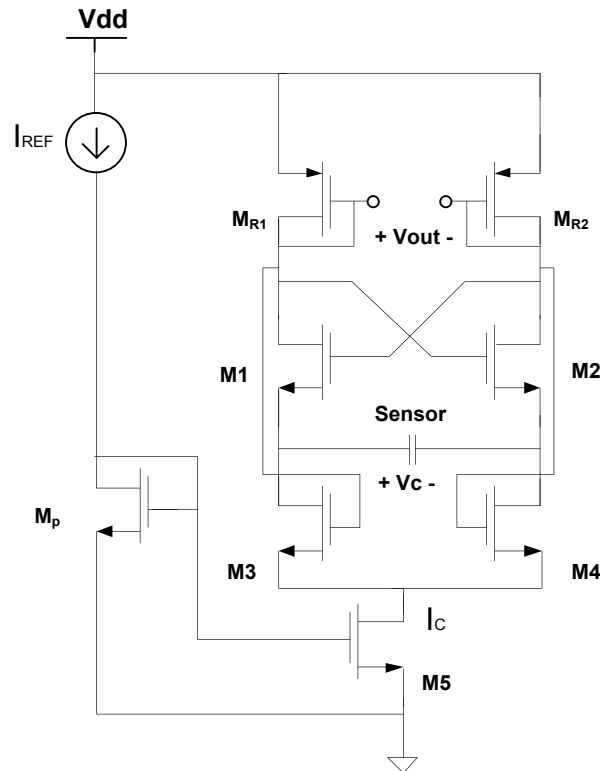


Figura 4.23: Oscil·lador de relaxació de baix consum.

4.6.6 Optimització del consum

En aquests oscil·ladors de relaxació, hi ha dues formes d'optimitzar el consum:

- Reduint el valor de la resistència equivalent dels transistors M_{P1} i M_{P2} que estan polaritzats en mode resistiu. Segons l'expressió 4.6.3, per a un corrent I_{DS} fixat, es pot reduir el valor resistiu augmentant el valor de l'amplada del canal del transistor.
- Reduir el corrent de càrrega/descàrrega del condensador, fins a garantir un corrent mínim que per doni una freqüència de sortida adequada per a un rang de capacitats desitjat. Donat que el corrent està emmirallat amb el corrent del circuit de referència en voltatge, es pot controlar el corrent de càrrega del condensador (i la freqüència de sortida). Ve determinat segons la següent expressió:

$$I_c = \frac{1 + \lambda V_{DS5}}{1 + \lambda V_{DSMP}} I_{ref} \quad \text{Eq.4.6.17}$$

Considerant que els transistors M_3 i M_4 estan en tall/saturació la freqüència de sortida del convertidor, ve donada per l'expressió 4.6.18:

$$F_{CtoFlowpower} = \sqrt{\frac{\mu C_{ox} \frac{W}{L} M_{R1} \frac{W}{L} M_5 I_{ref}}{2 \frac{W}{L} M_P C_{sensor}^2} \frac{1 + \lambda V_{DS5}}{1 + \lambda V_{DSMP}}} \quad \text{Eq.4.6.18}$$

4.6.7 Estudi del soroll de fase en l'oscil·lador de relaxació

En aquesta secció s'analitza com afecta el soroll de fase a les mesures freqüencials de l'oscil·lador de relaxació dissenyat.

La resposta d'un oscil·lador ideal que treballa a una freqüència ω_0 respon a un impuls ideal amb una funció *delta de Dirac* o *impuls*. Els oscil·ladors no ideals mostren un eixamplament de la resposta centrada en la freqüència ω_0 , introduint tons secundaris al voltant de la freqüència fonamental (figura 4.24).

Per quantificar el soroll de fase es considera un desplaçament $\Delta\omega$ respecte la freqüència fonamental ω_0 i, a continuació, es calcula la potència del soroll de l'ample de banda $\Delta\omega$. Acte seguit, es divideix el resultat del soroll per la potència que té el to principal a ω_0 .

Inicialment es considera que el senyal en els terminals font dels transistors M_1 i M_2 són plenament diferencials. Es redibuixa el circuit d'acord amb la figura 4.25. Es pot identificar en el mateix un circuit format per un anell de dues etapes amb degeneració capacitiva on ($C_A = 2C$).

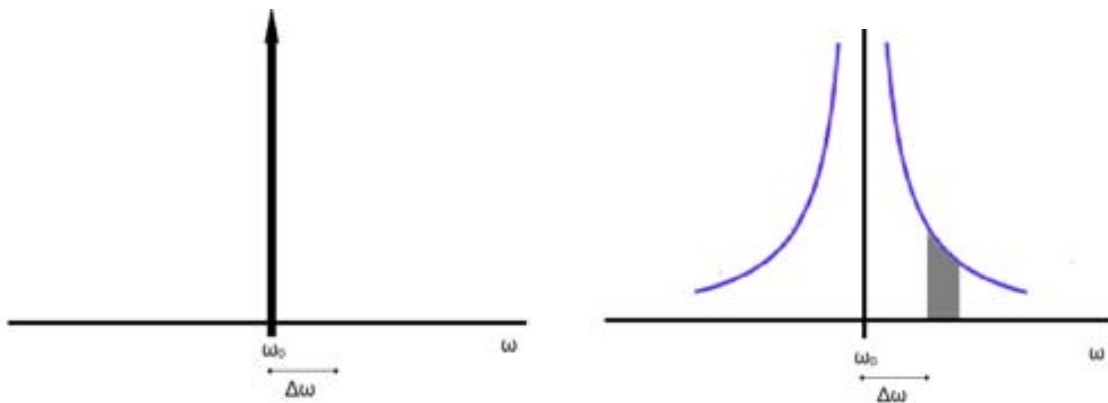


Figura 4.24: Resposta ideal i resposta real d'un oscil·lador de relaxació.

D'acord amb [26], es justifica descomponer el condensador C en dues sèries de condensadors, cadascun d'ells de valor $2C$, i monitoritzant el valor mig de la seva tensió. El mode comú de l'oscil·lació es troba aproximadament a 18dB per sota del màxim valor d'oscil·lació diferencial en el terminal font dels transistors M_1 i M_2 .

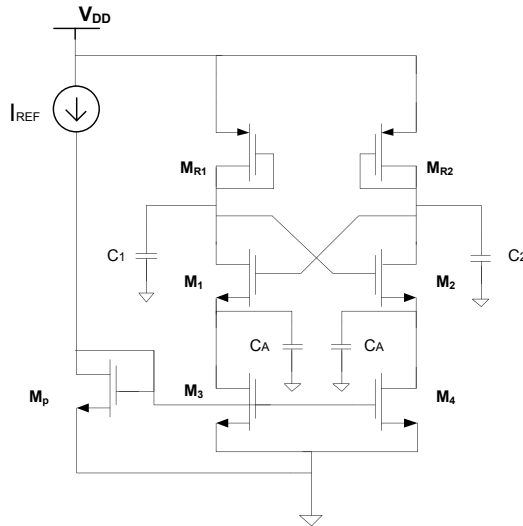


Figura 4.25: Oscil·lador de relaxació amb el model capacitiu per l'estudi del soroll de fase.

La capacitat total que s'observa en el drenador de M_1 i M_2 es modela amb els valors de C_1 i C_2 , respectivament⁴.

Així, la funció de transferència en llaç obert de l'oscil·lador ve donada per:

$$H(s) = \left[\frac{-g_m R_{MR1} C_A s}{(1 + R_{MR1} C_D s)(C_A s + g_m)} \right]^2 \quad \text{Eq. 4.6.19}$$

On $C_1 = C_2 = C_D$, i g_m és la transconductància de cada transistor.

Per fer oscil·lar el circuit a la freqüència ω_0 s'ha de complir que la funció de transferència $H(j\omega_0) = 1$, i que cadascuna de les fases aporti un desfasament de 180° .

Aquest desfasament es produeix per la contribució de 90° per cada zero i de 90° pels dos pols que estan situats a $-g_m/C_A$, i $-1/(R_{MR1}C_D)$.

D'aquesta forma la freqüència d'oscil·lació es troba a la freqüència:

$$\omega_0^2 = \frac{g_m}{R_{MR1} C_D C_A} \quad \text{Eq. 4.6.20}$$

Si es considera que la freqüència ω_0 és la mitjana geomètrica dels pols, combinant les dues expressions anteriors s'obté l'equació 4.6.21:

$$g_m R_{MR1} = \frac{C_A}{C_A - C_D} \quad \text{Eq. 4.6.21}$$

De les expressions anteriors s'extreu que el factor de qualitat del convertidor CtoF de relaxació ve donat per:

$$Q = 2 \sqrt{\frac{C_D}{C_A} \left(1 - \frac{C_D}{C_A}\right)} \quad \text{Eq. 4.6.22}$$

⁴ Donat que la part resistiva de la impedància no és significativa davant la capacitiva, no es té en compte.

D'acord amb aquesta expressió, el factor de qualitat màxim es troba fent $C_D = C_A/2$. És a dir, quan el valor del condensador és igual a la capacitat de càrrega.

Nogensmenys, aquesta expressió encara és poc útil perquè l'interès de l'oscil·lador està en la realització d'una conversió freqüencial en la què, a priori, el valor capacitiu del sensor no ve donat. Per tant, s'expressa la figura del soroll en funció de:

$$\left(\frac{\omega_0}{2 \Delta \omega}\right)^2 \tag{Eq. 4.6.23}$$

De les equacions anteriors, i tenint en compte el circuit de la figura 4.26, s'arriba a:

$$\left|\frac{dH}{d\omega}\right| = \frac{4}{\omega_0^2 R_{MR1} C_A} \tag{Eq. 4.6.24}$$

Es pot considerar que el corrent del soroll de drenador a font dels transistors M_1 i M_2 apareix entre dos nodes interns del circuit tal i com s'observa a la figura 4.26a. La figura 4.26b mostra el circuit equivalent.

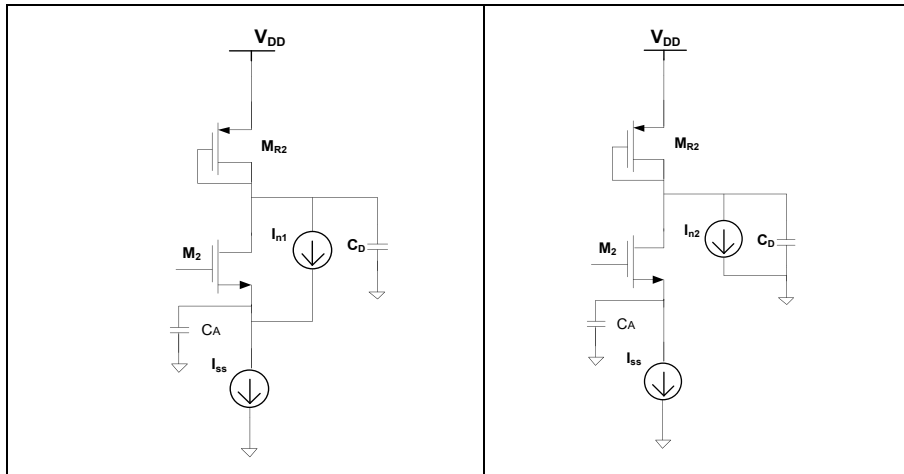


Figura 4.26: a) Redisseny de transistor M2 considerant el corrent de soroll de drenador a font. b) Redisseny del model equivalent del corrent del soroll.

Aplicant les consideracions fetes finalment s'arriba a la següent equació:

$$I_{n2} = \frac{C_A s}{C_A s + g_m} I_{n1} \tag{Eq. 4.6.25}$$

I el soroll tèrmic total additiu a cada drenador de cada transistor ve donat finalment per la següent equació:

$$\overline{V_n^2} = 3,33 \left(\frac{\omega_0}{\Delta \omega}\right)^2 KTR_{MR1} \tag{Eq. 4.6.26}$$

Així doncs, es pot concloure fent la següent afirmació:

$$\text{Soroll de fase} \propto \left(\frac{\omega_0}{\Delta \omega}\right)^2 \frac{1}{I_{DD} V_{Cswing}} \tag{Eq. 4.6.27}$$

On:

V_{Cswing} és el rang de tensió intern de l'oscil·lador.

I_{DD} és el consum total de l'oscil·lador.

4.6.8 Compensació del CtoF respecte a variacions de la tensió d'alimentació

S'ha vist anteriorment, que la tensió a la que es carrega el condensador, depèn en bona part de la tensió d'alimentació.

Per altra banda, el corrent de càrrega d'aquest sensor capacitiu ve en part controlat per la tensió de referència (o el corrent emmirallat I_{ref}) que genera el circuit de referència en voltatge que s'explicarà en el capítol 5.

Aquest corrent és l'encarregat de carregar i descarregar el sensor capacitiu, que és l'element a mesurar. Donat que fins ara el CtoF no té cap compensació per a les variacions de V_{DD} , qualsevol variació de V_{DD} afectarà el valor de la freqüència de sortida de l'oscil·lador.

Partint de la següent equació de l'oscil·lador de relaxació que representa la resposta d'un condensador amb control de corrent constant:

$$F = \frac{I}{2CV_{max}} \quad \text{Eq. 4.6.28}$$

Partint de la hipòtesis que el corrent de càrrega i descàrrega és constant i que la capacitat del sensor capacitiu també ho és, es poden donar dos casos:

Si la tensió de càrrega màxima del condensador creix, és a dir, la V_{DD} , el condensador necessitarà més temps per carregar-se i, per tant, serà més petita la freqüència de sortida del convertidor CtoF.

Si la tensió de càrrega màxima del condensador decreix (V_{DD}), amb les mateixes condicions del cas anterior, es necessita menys temps per carregar o descarregar el sensor, i per tant més gran serà la freqüència de sortida del convertidor CtoF.

Aquest efecte provoca que la freqüència de sortida depengui del valor de la tensió d'alimentació V_{DD} , tal com es veu en la gràfica de la figura 4.27.

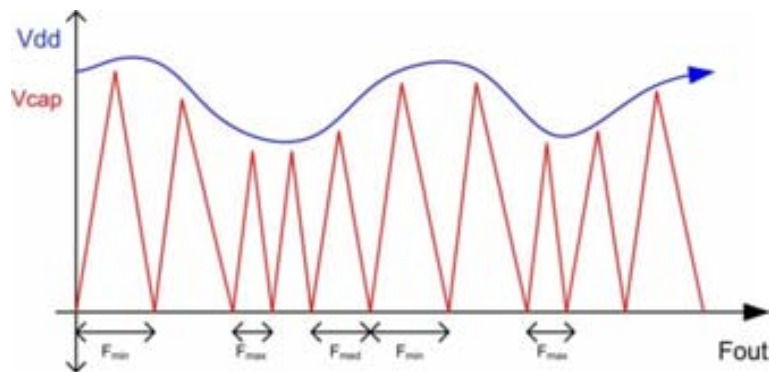


Figura 4.27: Resposta real del convertidor CtoF sense compensació.

Aquesta dependència important i proporcional de la freqüència de sortida amb la tensió d'alimentació imposa la necessitat d'introduir un circuit de referència en voltatge per controlar i ajustar el corrent de càrrega del sensor, compensant així les variacions de V_{DD} . Així, si el corrent I_c varia proporcionalment a V_{DD} es podrà compensar aquesta variació i fer que la freqüència de sortida sigui constant (sempre donat un mateix valor de capacitat).

La figura 4.28 mostra el resultat que s'esperaria en un CtoF compensat. S'exigiria que el pendent de càrrega / descàrrega del condensador (lligat íntimament amb I_c) anés variant en funció de la V_{DD} , donant com a resultat una conversió CtoF independent de la tensió d'alimentació.

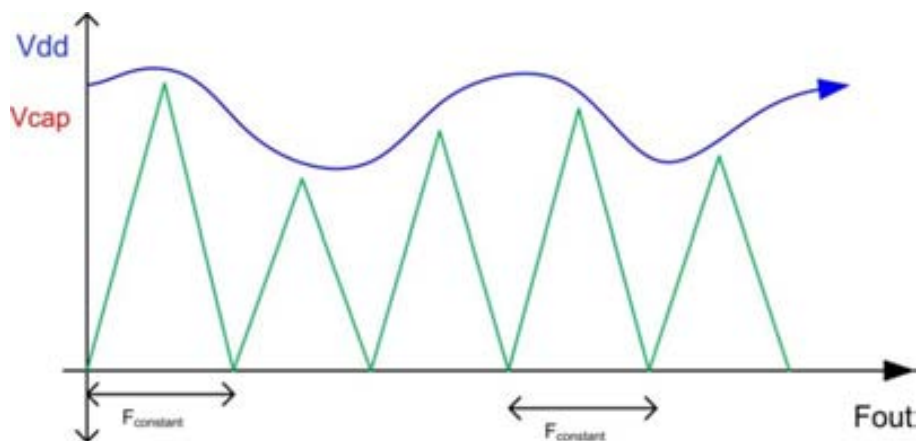


Figura 4.28: Resposta del CtoF compensat.

L'encarregat d'ajustar aquest pendent és el circuit de referència en voltatge o *bandgap reference*, BGR, que s'introdueix en el capítol 5. El BGR, juntament amb l'oscil·lador de relaxació, constituïran el convertidor CtoF de baix consum compensat.

Una vegada caracteritzat el pendent que permet mantenir una freqüència de sortida constant per a un mateix valor de condensador, s'amplifica el senyal del condensador mitjançant un *buffer* de sortida per poder connectar un circuit extern de conversió de freqüència a codi binari (en endavant Fto#). El conjunt CtoF més Fto# implementat en una FPGA (capítol 6) permet construir un sistema complet de tractament de senyal per a *arrays* de sensors, o canal d'adquisició.

4.6.9 Resultats del convertidor CtoF de relaxació de baix consum

4.6.9.1 Disseny i integració

El convertidor CtoF de relaxació de baix consum ha estat dissenyat i integrat fent servir la tecnologia CMOS 0,35 μ m del fabricant AMS, amb el *hitkit* 3.6. La mida final del

CtoF de baix consum ha estat de $120,2\mu\text{m} * 56,2\mu\text{m}$. La figura 4.29 mostra el disseny (fet amb *XL Virtuoso de Cadence*).

La fotografia de la figura 4.30 correspon a la fotografia amb microscopi d'aquest convertidor.

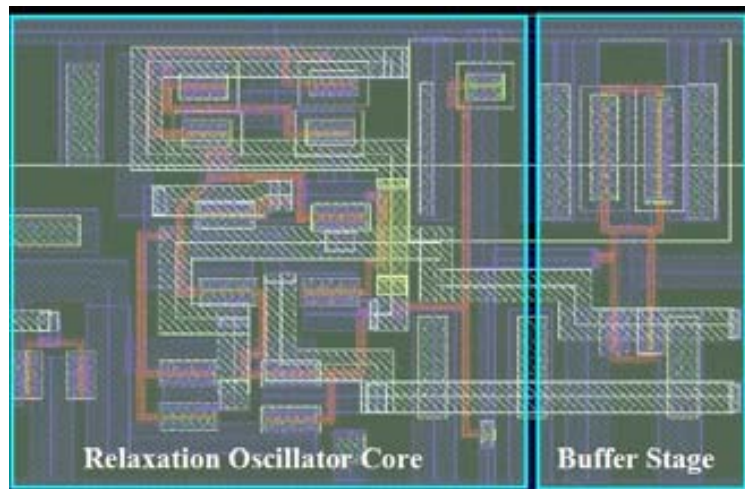


Figura 4.29: Layout de l'oscil·lador del convertidor CtoF de baix consum.

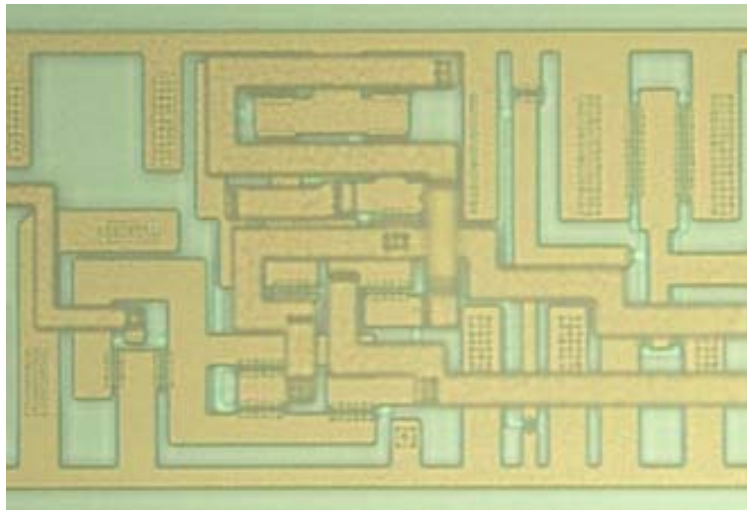


Figura 4.30: Fotografia del convertidor CtoF de baix consum.

4.6.9.2 Resposta del convertidor de relaxació de baix consum.

La figura 4.31 mostra la resposta del convertidor CtoF o oscil·lador de relaxació de baix consum per a un valor de càrrega de 180pF . El rang dinàmic de la tensió de sortida és de $3,38\text{V}$ mostrant una freqüència d'oscil·lació equivalent (a aquesta capacitat) de $156,51\text{kHz}$. La conversió a senyal de sortida amb oscil·lació no sinusoidal es fa a través d'un *buffer* CMOS de doble etapa inversora.



Figura 4.31: Resposta de sortida del convertidor CtoF de baix consum.

La gràfica de la figura 4.32 mostra la resposta del convertidor complert CtoF. Està realitzada amb el mateix valor de capacitat de 180pF. El circuit s'alimenta amb un escombrat a través d'una rampa de tensió que va de 0V a 3.3V. Aquesta rampa alimenta dos circuits independents:

- El circuit de referència en voltatge que genera el corrent de càrrega del sensor capacitiu i que permet compensar les variacions de V_{DD} , com ja s'ha comentat en l'apartat 4.6.7.
- El convertidor CtoF de baix consum (l'oscil·lador de relaxació).

La gràfica mostra que el circuit té una bona immunitat davant variacions en la tensió d'alimentació. Concretament:

- El circuit té bona resposta davant un elevat rang de la tensió d'alimentació, de 2.7V a 3.3V de la gràfica, tot i que mostra el mateix comportament fins als 3.8V.
- La variació de la tensió d'alimentació durant aquest rang és del 29% en canvi la variació de la freqüència de sortida del convertidor CtoF en tot aquest rang és de només un 0,8%.
- La resposta del circuit compost *bandgap*-CtoF es deu gràcies al disseny del nou *bandgap* compensat que es tractarà al capítol 5.



Figura 4.32: Resposta de sortida del convertidor CtoF de baix consum per a una rampa d'alimentació.

La gràfica 4.33 mostra la variació de la freqüència de sortida en funció de l'alimentació i de la capacitat:

- En l'eix X hi ha la variació que es fa sobre V_{DD} d'1,6V a 3.3V. S'ha escollit aquest rang donat que és el tram d'alimentació on s'ha aconseguit més linealitat del convertidor CtoF.
- A l'eix Y hi ha la freqüència de sortida del convertidor CtoF, en KHz. Aquesta s'aconsegueix per a un valor de capacitat determinat.
- L'eix Z mostra les mesures de diferents valors capacitius, en un rang que passa de 100pF a 300pF, en fraccions de 50pF. Per fer l'ajust dels valors, s'ha fet servir una capacitat variable o *varicap*.

En la gràfica també s'observa el bon aïllament aconseguit de la freqüència de sortida per a una variació de V_{DD} a partir dels 2.7V. Aquest aïllament es manté fins a una tensió d'alimentació de 3.8V (no mostrat en la gràfica).

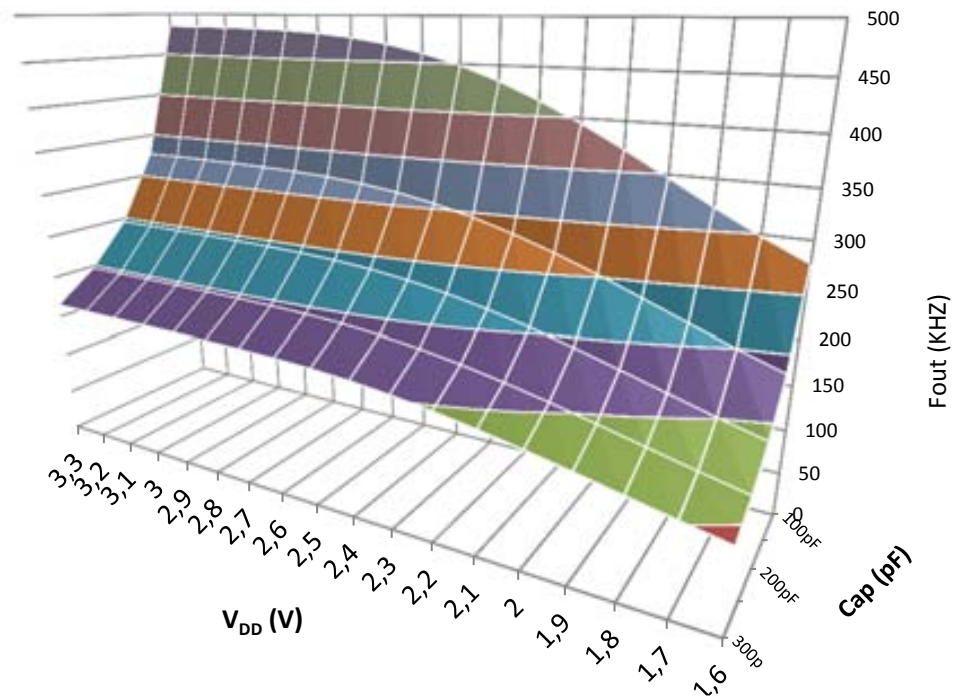
Fout VS V_{DD} VS Capacitat

Figura 4.33: Resposta de sortida del convertidor CtoF per a la variació de V_{DD} i de la capacitat.

La figura 4.34 és un estudi estadístic realitzat sobre el circuit CtoF de baix consum, agafant un seguit de 17 mostres sobre el circuit CtoF de baix consum. S'han fet amb una tensió d'alimentació de 3.3V, i a una temperatura del laboratori de 22°C. Es pot observar una bona repetibilitat de totes les mesures obtenint una mitjana $\mu = 155,29\text{kHz}$ i una desviació $\sigma = 2,33\text{kHz}$.

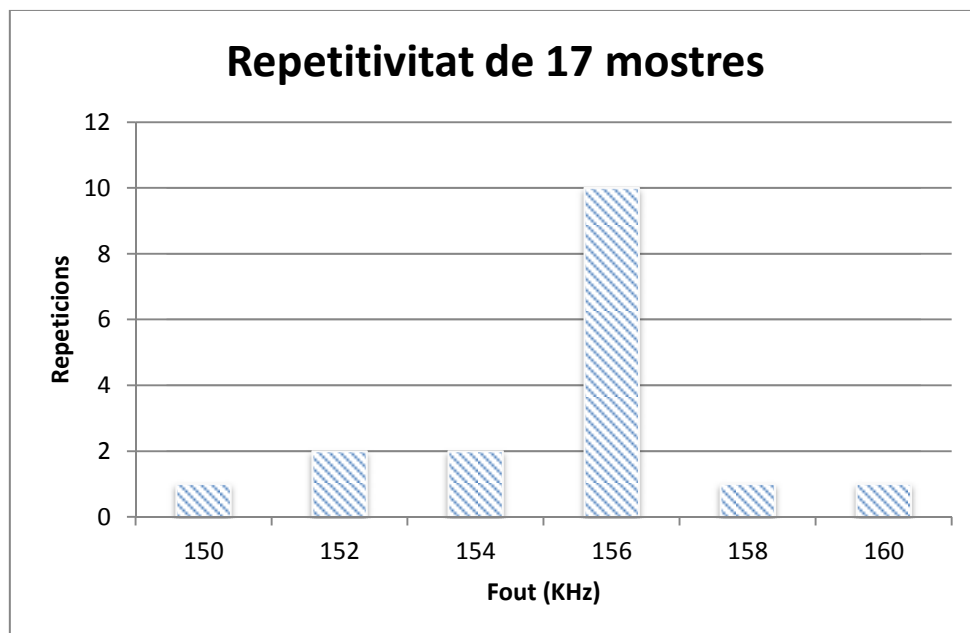


Figura 4.34: Freqüència de sortida del CtoF per a 17 mostres sobre el mateix ASIC.

4.6.9.3 Millora en el consum del circuit Fto#

L'oscil·lador de relaxació de molt baix consum (integrat en l'ASIC 2.0) presenta una millora significativa en el consum respecte a la primera versió presentada a l'apartat 4.6 (integrada a l'ASIC 1.0). S'ha passat de 267 μ A (a 1,8V de V_{DD}) del model integrat a l'ASIC 1.0 a 22 μ A (a la mateixa tensió) en el model integrat a l'ASIC 2.0. Es deu a les següents modificacions:

- Reducció de la mida dels transistors del *buffer* a una quarta part.
- Reducció del corrent de càrrega de condensador I_c . Alhora, s'ha reduït la dimensió dels transistors en commutació, així com la mida dels transistors en zona resistiva M_{R1} i M_{R2} . Com és evident, aquest efecte també repercuteix en la freqüència màxima d'oscil·lació del circuit, però el rang de freqüències que genera el CtoF és suficientment alt com per mantenir una freqüència de mostreig elevada (per sobre de 10Ksps i fins a un màxim d'un 1Msps).

La gràfica de la figura 4.35 mostra la resposta de soroll de fase del CtoF de relaxació. El CtoF mostra un resultat molt bo, obtenint -21,2 dBc/Hz prop de la portadora, i un valor màxim de -103,3 dBc/Hz a 612KHz de la portada.

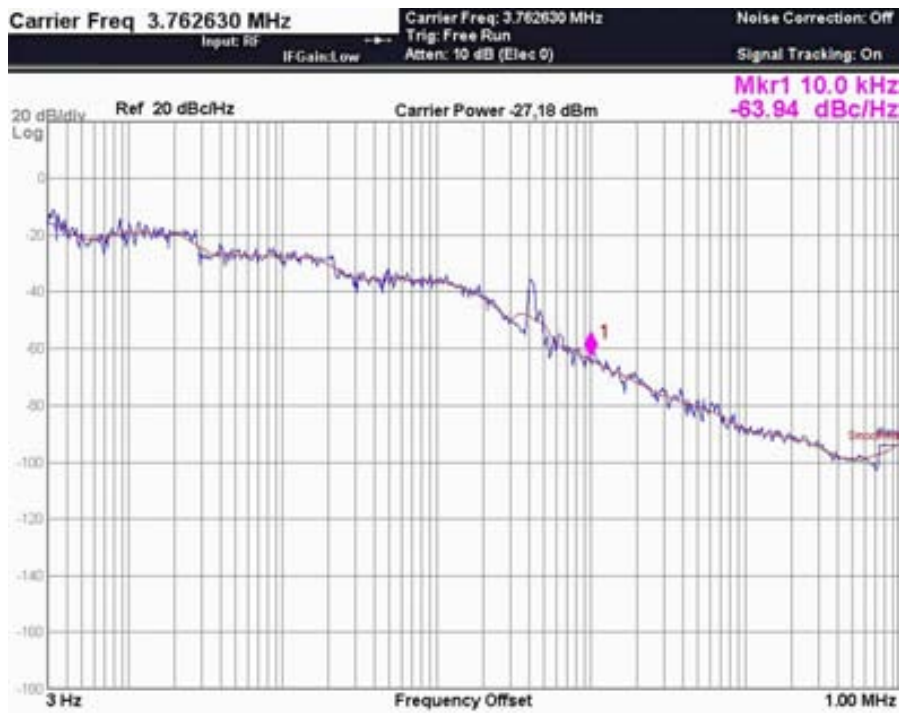


Figura 4.35: Anàlisi del soroll de fase del convertidor CtoF de baix consum.

La taula 4.3 mostra una comparació del convertidor CtoF de molt baix consum integrat a l'ASIC 2.0, amb la versió integrada a l'ASIC 1.0 i amb dos CtoF més que s'han presentat al capítol i estan referenciats a la bibliografia⁵.

S'observa que aquest convertidor és sens dubte el que ofereix un consum inferior, té una mida d'àrea de silici inferior, i incorpora compensació a la variació del V_{DD} , i té el rang d'entrada de capacitats més ampli.

Taula 4.3: Comparativa de diferents oscil·ladors de la bibliografia.

Model	[33]	[36]	[25]	Aquest treball
Tecnologia(μM)	CMOS 0,18	CMOS 0.35	CMOS 0.35	CMOS 0.35
Rang de capacitat d'entrada	2-20pF	4-24pF	2pF – 7,8nF	1pF – 100 μF
Freqüència màxima (KHz)	1	500	23.600	18.200
Chip Area (mm^2)	1.1	1.01	0.173	0.142
Consum d'energia (μA)	N.A.	168	759 (267 a1.8V)	22 (a 1.8V)
Max PNoise (dBc/Hz)	N.A.	N.A.	-101,9	-103,3
Senyal compensada V_{ref}(V)	No C.	No C.	No C.	0,95-1,19
Escombrat de V_{DD} (2.7V-3.3V)	N.Disp.	N.Disp.	5,4%	0,67%

4.6.10 Convertidor CtoF de baix consum multi-canal

Aquest apartat presenta una modificació del disseny del convertidor freqüencial de baix consum.

Donat que s'està treballant amb una plataforma d'adquisició de sensors capacitius es pot donar el cas de voler mesurar un sensor capacitiu de valor molt elevat (de desenes de microfarads), el que donarà una freqüència de sortida força baixa (de l'ordre de pocs Hertz). La freqüència d'adquisició reduïda que necessita de ben segur provocarà un desbordament del comptador que forma part del convertidor de freqüència a codi. És per això que convé incorporar algun mecanisme de regulació del corrent que carrega / descarrega al sensor capacitiu, de forma que sigui possible controlar el corrent del convertidor CtoF per poder ajustar la freqüència de sortida del convertidor Fto# dins d'uns rangs que evitin el desbordament que produiria pèrdua de les dades o resultats erronis.

⁵La comparació amb oscil·ladors sinusoidals construïts amb inductàncies no s'ha realitzat per tractar-se de rangs d'oscil·lació i requeriments diferents.

D'acord amb l'apartat 4.5.6, l'expressió del convertidor Fto# ve donada per l'expressió:

$$F_{CtoF_lowpower} = \sqrt{\frac{\mu C_{ox} \frac{W}{L} M_{R1} \frac{W}{L} M_5 I_{ref}}{2 \frac{W}{L} M_{MP} C_{sensor}^2} \frac{1 + \lambda V_{DS5}}{1 + \lambda V_{DSMP}}} \quad \text{Eq. 4.6.29}$$

En el circuit, el corrent de càrrega del condensador és directament proporcional a la freqüència de sortida del convertidor CtoF. Ve donat directament pel mirall de corrent que forma el transistor M_5 amb I_{ref} .

El nou disseny incorpora dos blocs principals:

- Un bloc digital (figura 4.36) que permet escollir el mode de funcionament del convertidor CtoF.
- Un bloc analògic (figura 4.37) que està basat en el convertidor CtoF vist en seccions anteriors, però ara amb una versió multicanal.

El bloc digital (també integrat en el segon ASIC), està format bàsicament per un descodificador binari de dos bits i. Aquest primer bloc ocupa $101\mu\text{m} * 67\mu\text{m}$.

Aquest descodificador permet escollir entre quatre modes de funcionament del convertidor CtoF, o pel cas particular d'aquesta l'aplicació, permet escollir quatre corrents diferents de càrrega del condensador.

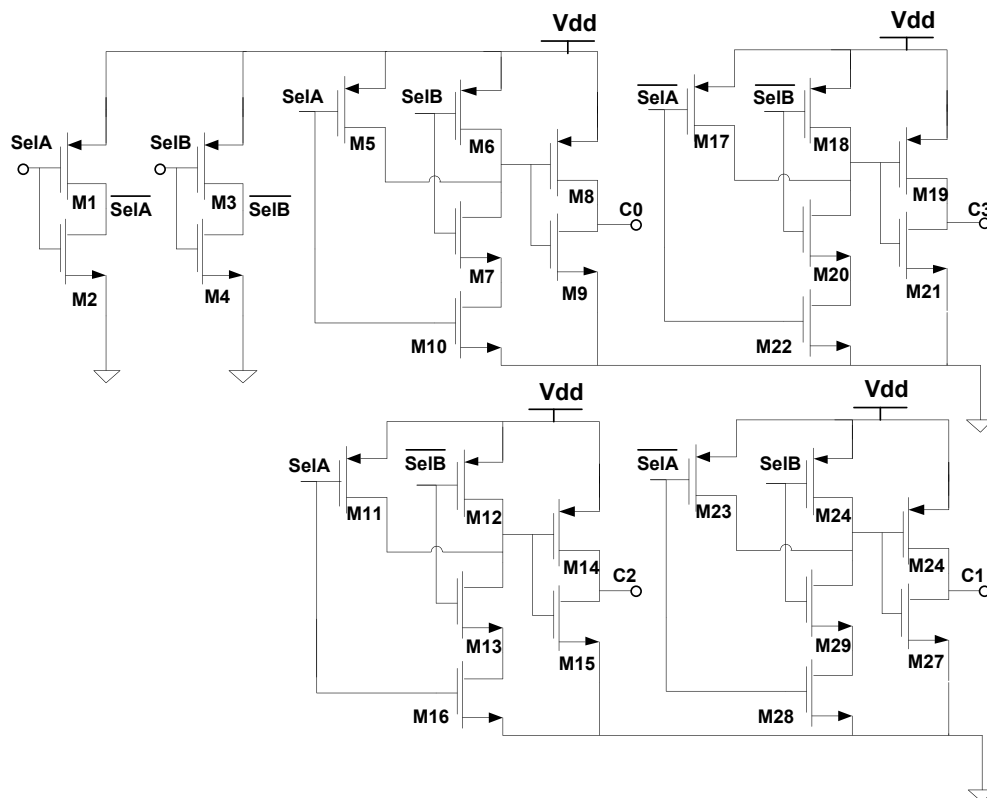


Figura 4.36: Circuit digital de selecció de canal.

El segon circuit és el convertidor CtoF de baix consum però en aquest nou model tenim quatre corrents diferents emmirallats de I_{ref} , cadascun d'ells amb un factor de proporcionalitat diferent.

Aquesta distribució de corrents permet fer circular pel sensor capacitiu un total de fins a quatre corrents diferents en funció del canal seleccionat.

El canal l'escollirem a través de les parelles de transistors $M6_{a-d}$. Són transistors polaritzats en règim de saturació i tall, i una vegada seleccionat el corrent que interressi d'acord amb l'etapa anterior de descodificació, es fa passar el corrent per un dels transistors emmirallats $M5_{a-d}$.

Per altra banda, si també es té en compte el corrent injectat per la capacitat a mesurar, l'etapa encara consumirà més. Cal ser, doncs, molt curosos i escollir el corrent (canal) adequat per evitar un excés de consum.

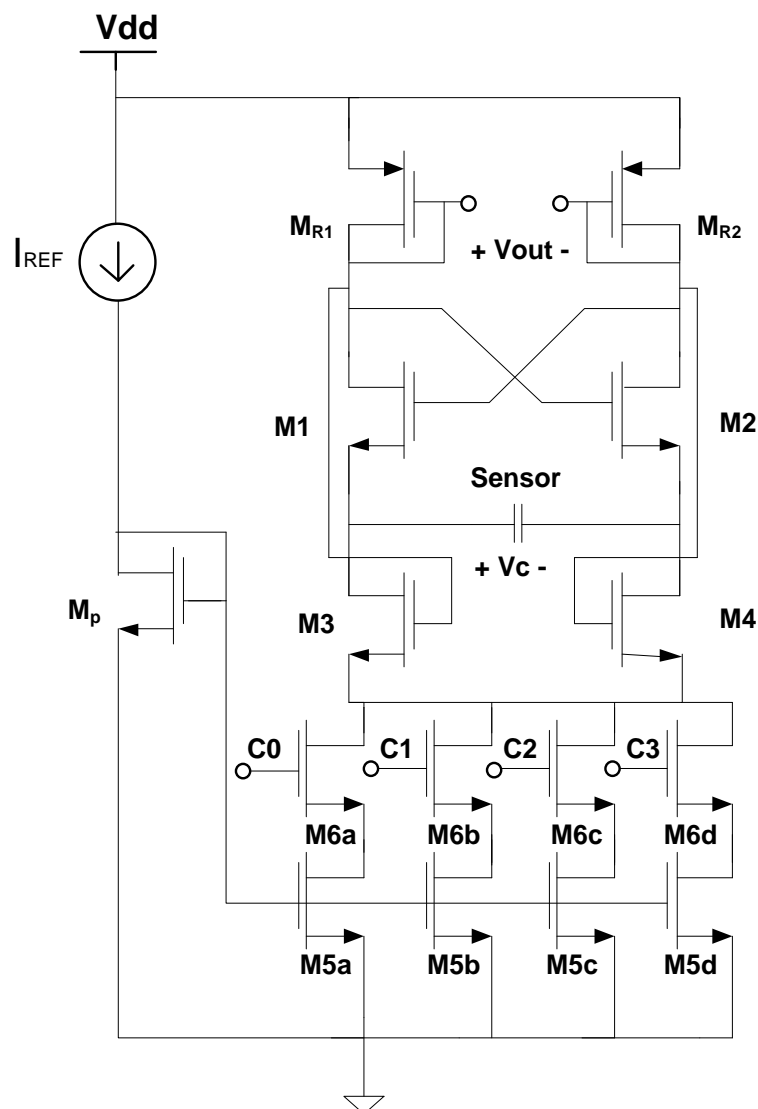


Figura 4.37: Convertidor CtoF multicanal.

La figura 4.38, mostra la fotografia amb microscopi del convertidor CtoF multicanal. El bloc superior fa la funció del convertidor CtoF multicanal, i el bloc inferior fa la funció de descodificador.

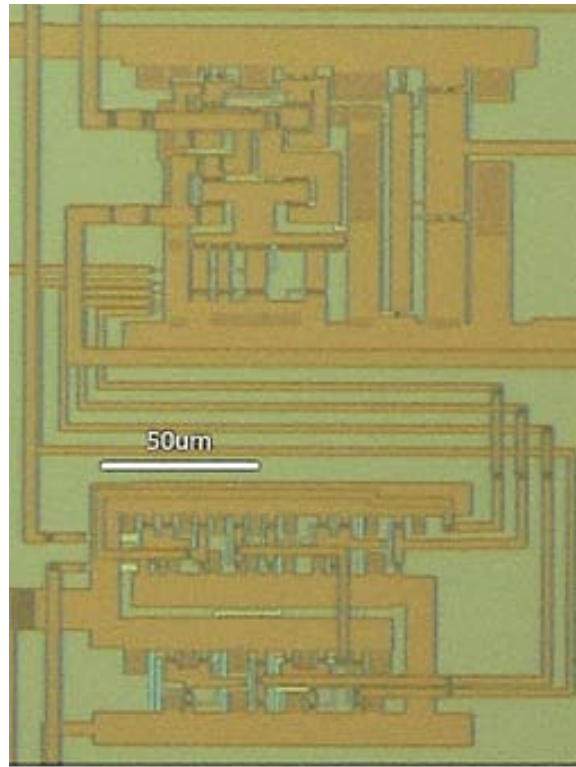


Figura 4.38: Fotografia feta amb microscopi amb els dos blocs.

El circuit s'ha emprat per verificar el comportament de l'oscil·lador en un gran rang de capacitats. La metodologia emprada per fer la mesura és la següent:

1. Es fa la mesura fent servir el primer canal que hi ha per defecte (que injecta el mateix corrent que el model de baix consum presentat en la secció anterior).
2. Es mesura, per a la finestra de temps especificada, la freqüència de sortida del convertidor.
3. Si la freqüència de sortida està dins del rang establert, la mesura ja estarà feta.
4. Si la freqüència de sortida està fora dels rangs establerts, es commuta al següent canal (corrent $2 \cdot I_{ref}$) i es torna a repetir el pas 2. D'aquesta forma s'anirà repetint el procés d'ajustament de canal fins a trobar el valor adequat pels paràmetres establerts de freqüència de sortida i consum de corrent.

Així, la freqüència de sortida del convertidor, en funció del canal seleccionat, ve donada per la següent expressió:

$$F_{CtoF} = C_0 \sqrt{\frac{\mu C_{ox} \frac{W}{L} M_{R1} \frac{W}{L} M_{5a} I_{ref}}{2 \frac{W}{L} C_{sensor}^2} \frac{1 + \lambda V_{DS5}}{1 + \lambda V_{DSMP}}} + C_1 \sqrt{\frac{\mu C_{ox} \frac{W}{L} M_{R1} \frac{W}{L} M_{5b} I_{ref}}{2 \frac{W}{L} C_{sensor}^2} \frac{1 + \lambda V_{DS5}}{1 + \lambda V_{DSMP}}} +$$

Eq. 4.6.30

$$+ C_2 \sqrt{\frac{\mu C_{ox} \frac{W}{L} M_{R1} \frac{W}{L} M_{5c} I_{ref}}{2 \frac{W}{L} C_{sensor}^2} \frac{1 + \lambda V_{DS5}}{1 + \lambda V_{DSMP}}} + C_3 \sqrt{\frac{\mu C_{ox} \frac{W}{L} M_{R1} \frac{W}{L} M_{5d} I_{ref}}{2 \frac{W}{L} C_{sensor}^2} \frac{1 + \lambda V_{DS5}}{1 + \lambda V_{DSMP}}}$$

On:

C_0, C_1, C_2, C_3 , prenen el valors 0 o 1 en funció del valor binari a l'entrada del descodificador.

La figura 4.39 mostra la resposta de sortida del convertidor. Per fer-ho s'ha escollit el canal 1, que genera exactament el mateix corrent que el convertidor CtoF de baix consum presentat en la secció anterior.

Per caracteritzar el convertidor s'ha agafat un rang de condensadors des dels 15pF fins als 100nF (en un total de 10 *steps*).

Les freqüències de sortida associades a aquestes capacitats han estat de 1,98MHz fins als 581Hz respectivament. En la figura 4.39, la capacitat es representa en l'eix ordenat i la freqüència en l'eix de les abscisses, en KHz. Com es pot observar, la resposta del convertidor és una hipèrbola.

Posteriorment, s'ha utilitzat Matlab (apèndix 1) per trobar l'equació de la hipèrbola equivalent (en la gràfica es representa com a *corba ajustada*). L'equació 4.6.31 mostra el resultat.

$$F(KHz) = \frac{51,5681}{c(nF)+0,0107}$$

Eq. 4.6.31

L'error relatiu del model extret amb Matlab ha estat del 0,11%.

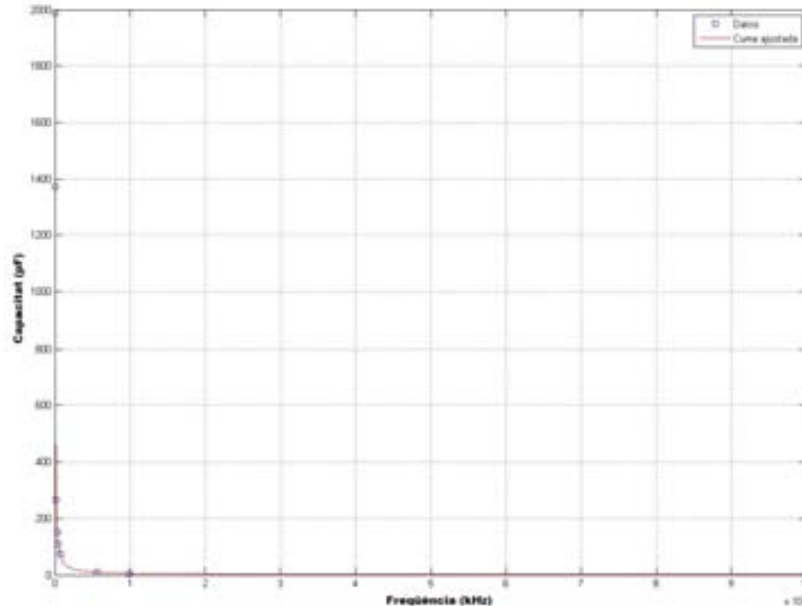


Figura 4.39: Funció hipèrbola, resposta del convertidor CtoF de baix consum.

4.7 Conclusions

Aquest capítol ha analitzat en profunditat 6 tipologies d'oscil·ladors de baix consum, que són adequats per treballar com a conversors CtoF en l'etapa d'adequació de senyal en sensors capacitius.

Fruit d'aquest estudi s'han integrat fins a 3 oscil·ladors que s'han caracteritzat. Són:

- Un Oscil·lador RC CMOS, a l'ASIC ROIC 1.0.
- Un Oscil·lador de relaxació de doble canal a l'ASIC ROIC 1.0.
- Un Oscil·lador de relaxació de simple canal de baix consum a l'ASIC ROIC 1.0. i de molt baix consum a l'ASIC ROIC 2.0.

Els resultats obtinguts amb la integració de l'oscil·lador de relaxació en l'ASIC ROIC 1.0 van deixar entreveure deficiències en la dependència en temperatura, en consum, i la dependència de la tensió d'alimentació. Analitzat l'oscil·lador model de relaxació, es va realitzar un nou redisseny per millorar el seu consum, la seva freqüència de sortida així com el seu soroll de fase. El nou oscil·lador es va integrar al ROIC 2.0, mostrant bones prestacions. Es va obtenir:

- Un rang molt ampli d'adquisició de valors capacitius (des de 1pF fins als 100µF).
- Un consum molt reduït d'energia (22µA).
- Un bon soroll de fase (-103dBc/Hz).

- Un tamany molt reduït de $120,2\mu\text{m} * 56,2\mu\text{m}$.
- Un model multicanal que permet evitar la sobrecàrrega de l'etapa Fto#.
- La no necessitat d'integrar ni capacitats ni induccions al disseny.

Per altra banda gràcies al circuit de referència en voltatge de l'etapa anterior i la seva compensació amb V_{DD} se n'obté un bon aïllament elèctric a possibles variacions de la tensió d'alimentació. Per a una variació del 20% a la tensió d'alimentació, només s'obté una variació a la freqüència de sortida de 0,67%.

4.8 Referències

- [1] W. Claes, M. De Cooman, W. Sansen, R. Puers, "A 136- μ W/channel Autonomous Strain-gauge Data Logger", in *IEEE JSSC*, vol. 38, pp. 2280–2287, 2003.
- [2] R. Puers, M. Catrysse, G. Vandevoorde, R.J. Collier, E. Louridas, F. Burny, M. Monkerwolcke, F. Moulart, "A Telemetrysystem for the Detection of Hipprothesis Thesis Loosening by Vibration Analysis", in *Sens. Actuators A*, vol. 85, pp. 42–47, 2000.
- [3] Y. Ohgi, "Micro computer based acceleration sensor device for sports biomechanics, stroke evaluation by using swimmer's acceleration", in *proc. of the IEEE Sensors*, pp. 699–704, Orlando, June 2002.
- [4] M. Hassoun, R. Weber, R. Willham, T. Greenfield, "A VLSI prototype for a remote livestock record System", in *proc. of the 38th Midwest Symposium on Circuits and Systems*, Rio De Janeiro, pp. 501–504, august 1995.
- [5] Bo wang, TetsuyaKajita, Tao Sun, Temes G, "High-accuracy circuits for on-chip capacitive ratio testing sensor readout", in *IEEE Transactions on instrumentation and Measurement*, vol. 47, pp. 16-20, February 1998.
- [6] Krummenacher, F, "A High-Resolution Capacitance-to-Frequency Converter", in *IEEE Journal of Solid-State Circuits*, Vol. 20, pp. 666-670, June 1985.
- [7] A. Ashrafiand H. Golnabi, "A high Precision Method for Measuring Very Small Capacitance Changes," in *Rev. Sci. Instrum.*, vol. 70, no. 8, pp 3483-3487, Aug. 1999.
- [8] Cheng-Ta Chiang; Yu-Chung Huang, "A Low-Cost CMOS Integrated Sensor Transducer Implemented as a Capacitance-to-Frequency Converter for Capacitive Measuring", in *Instrumentation and Measurement Technology Conference Proceedings*, 2007. IMTC 2007, pp. 1-4, May 2007.
- [9] Ogawa, S., "A switched-capacitor differential-capacitance-to-time converter for capacitive sensors", in *Circuits and Systems (MWSCAS), 2011 IEEE 54th International Midwest Symposium*, pp. 1 - 4, 7-10 Aug. 2011.
- [10] W. Bracke, P. Merken, R. Puers, and C. V. Hoof, "Ultra-low-power interface chip for autonomous capacitive sensor systems," in *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 54, no. 1, pp. 130–140, Jan. 2007.

- [11] X. Zou, X. Xu, L. Yao, and Y. Lian, "A 1-V 450-nW fully integrated programmable biomedical sensor interface chip," in *IEEE J. Solid-State Circuits*, vol. 44, no. 4, pp. 1067–1077, Apr. 2009.
- [12] R. Forsyth, "Mixed-signal integrated circuits for low power, battery driven applications," in *Austrochip*, Oct. 7–8, 2004 [En línia] http://www.austriamicrosystems.com/eng/content/download/1830/13270/file/Austrochip2004_Villach_RForsyth.pdf
- [13] G. De Vita, F. Marraccini, and G. Iannaccone, "Low-voltage low-power CMOS oscillator with low temperature and process sensitivity," in *proc IEEE Int. Symp. Circuits Syst.*, May 27–30, 2007, pp. 2152–2155.
- [14] K. Lasanen and J. Kostamovaara, "A 1.2-V CMOS RC Oscillator for Capacitive and Resistive Sensor Applications," in *IEEE Trans. Instrum. Meas.*, vol. 57, no. 12, pp. 2792–2800, Dec. 2008.
- [15] C. Kim, B. Kong, C. Lee, and Y. Jun, "CMOS Temperature Sensor with Ring Oscillator for Mobile DRAM Self-refresh Control," in *proc IEEE Int. Symp. Circuits Syst.*, May 18–21, 2008, pp. 3094–3097.
- [16] C. Hwang, S. Bibyk, M. Ismail, and B. Lohiser, "A very low frequency, Micropower, Low voltage CMOS Oscillator for non Cardiac Pace Makers," in *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 42, iss. 11, pp. 962 – 966. Nov. 95.
- [17] Z. Shenghua and W. Nanjian, "A Novel Ultra Low Power Temperature Sensor for UHF RFID Tag Chip," in *proc IEEE Asian Solid-State Circuits Conf.*, pp. 464–467. Nov. 2007.
- [18] R. Puers, "Capacitive Sensors: When and How to Use Them", in *Sensors and actuators*, Vol. 37, pp. 93-105, 1993.
- [19] S. Chatzandroulis, S. Koliopoulou, D. Goustouridis, D. Tsoukalas, "Capacitive Pressure Sensors and Switches Fabricated Using Strain Compensated SiGeB", in *proc. of the 31st International Conference on Micro- and Nano-Engineering*, vol. 83, pp. 1209-1211, 2006.
- [20] Xiujun Li, Gerard M. Meijer, "An Accurate Interface for Capacitive Sensors", in *IEEE transactions on instrumentation and Measurement*, Vol 51. No 5, pp. 935-939, 2002.
- [21] Barkhausen Stability Criterion. [En línia] <http://web.mit.edu/klund/www/weblatex/node4.html>.

- [22] Jack G. Snee, Chris J.M. Verhoeven, "A New Low-Noise 100-MHz Balanced Relaxation Oscillator", in *IEEE Journal of Solid-State Circuits*, Vol 25, no. 3, June 2000.
- [23] Cosmin Popa, "Improved Linearity Active Resistors Using MOS and Floating-Gate MOS Transistors", in *proc. Of Eurocon the International conference on computer as tool*, pp. 224-230, sep. 2007.
- [24] Honeywell, "Installation Instructions for the HCH-1000 Series Capacitive Humidity Sensors" [En línia] http://www.honeywell-sensor.com.cn/prodinfo/sensor_humidity_moisture/datasheet/HCH-1000.pdf [Consulta: 14/11/2009].
- [25] Raúl Aragonés, Paula Álvarez, Joan Oliver, Carles Ferrer, "A Capacitance-to-Frequency acquisition Platform", in *proc. of the IEEE Sensors 2010 Conference*, pp. 1431-1436, Nov. 2010.
- [26] A. A. Abidi and R. G. Meyer, "Noise in relaxation Oscillators," in *IEEE J. Solid-State Circuits*, vol. SC-18, pp. 794–802, Dec. 1983.
- [27] Ahn, C.H.; Allen, M.G., "Micromachined Planar Inductors on Silicon Wafers for MEMS Applications", in *IEEE Transactions on Industrial Electronics*, vol 45, issue 6, pp. 866-876, 1998.
- [28] James L. West, Concord, Mass, "Phase Shift Oscillators", *Rotek Instruments Corp*, US Patent 3.717.822, 1943.
- [29] Kenneth Irwin Roulston, Cyril Frank Pizzey, "Wien Bridge Oscillator", *Eliot Brothers limited*, US Patent 2.820.903, 1958.
- [30] O'Shaughnessy, T. , "A CMOS, self calibrating, 100 MHz RC-oscillator for ASIC Applications", in *proc. of ASIC Conference and Exhibit*, Pocatello, 1995.
- [31] Aragonés, R.; Álvarez, P.; Oliver, J.; Ferrer, C., " Comparison of Readout Circuitry Techniques for Data Acquisition in Raw Sensor Systems", In *proc. of IECON 2010*, Phoenix, 7-10, pp. 1252 – 1257, Nov. 2010.
- [32] ByungJoon Song, Hwicheol Kim, Youngdon Choi, Wonchan Kim , " A 50% Power Reduction Scheme for CMOS relaxation Oscillator", in *proc. of the First IEEE Asia Pacific Conference on ASICs AP-ASIC '99*, pp. 154-157, 1999.
- [33] FalguniBala, TapasNandi, "Programmable high frequency RC oscillator " in *IEEE proc. of the 18th international conference on VLSI design*, 05. 511-515, 2005.
- [34] BehzadRazavi, "A Study of Phase Noise in CMOS Oscillators", in *IEEE journal of solid-state circuits*, vol 31, nº 3, pp. 331-343, 1996.

-
- [35] Z. Ignjatovic and M. F. Bocko, "An Interface for Measuring Capacitance Changes Based upon Capacitance-to-duty Cycle (CDC) Converter," in *IEEE Sensors Journal*, vol. 5, no. 3, pp. 403-410, June 2005.
- [36] Cheng-Ta Chiang, Chi-Shen Wang, and Yu-Chung Huang "A CMOS Integrated Capacitance-to-Frequency Converter with Digital Compensation Circuit Designed for Sensor Interface Applications", in *proc of IEEE Sensors 2007*, pp 954-957, 2007.

5. Referència en voltatge en circuits MOS: disseny d'un *bandgap* de baix consum, compensat en temperatura i adaptatiu a l'etapa de càrrega.

Els circuits analògics necessiten incorporar circuits que garanteixin una tensió de referència completament estable. Aquests circuits tenen habitualment desviacions en la seva tensió de sortida que són degudes a la dependència amb els paràmetres tecnològics, així com a la temperatura a la que treballa el circuit. En aquest sentit, els circuits de referència en voltatge, donada l'estabilitat de tensió d'alimentació que proporcionen, són molt utilitzats en els circuits analògics i, en particular, en els sistemes d'adquisició de senyal.

Els circuits de referència en voltatge [1] tenen com a principal propietat el ser independents de la tensió d'alimentació amb un valor de tensió de sortida predeterminat. Poden ser fabricats fàcilment amb tecnologia MOS i ofereixen una tensió de sortida molt estable.

Quan es treballa amb tecnologies CMOS, una manera de dissenyar un circuit de referència en voltatge és emprant dos tipus diferents de transistors amb una tensió llindar diferent en cadascun d'ells. Això es pot aconseguir dopant de forma diferent el polisilici de porta [2] o fent implants selectius a la porta del transistor [3,4]. També hi ha la possibilitat de trobar la tensió de referència a partir de la diferència ponderada de les tensions de porta de dos transistors [5,7]. Aquests tipus de circuits de referència típicament tenen una dependència important amb la temperatura. Solen compensar aquesta dependència amb la temperatura actuant sobre la mobilitat, el que implica que en aplicacions amb temperatures de treball diferents a les de calibratge el seu comportament es comenci a degradar [5,6].

Aquest capítol presenta el disseny i posterior caracterització de circuits de *bandgap* per a ser utilitzats en el *front-end* de sistemes d'adquisició de senyal i que són especialment indicats en aplicacions de processat de senyal a nivell freqüencial. Dintre del capítol, primerament es presenten les tècniques de disseny de circuits d'alimentació independents que serveixen per introduir els conceptes bàsics de disseny de circuits de referència en voltatge i la seva dependència tèrmica. A continuació s'introdueixen els dos dissenys que s'han integrat i que contenen els ROICs (*Readout Integrated Circuit*) on s'aprofita per explicar la problemàtica que suposa l'arrancada del circuit en termes d'estabilitat. Després es proposen modificacions que milloren significativament la independència tèrmica del *bandgap reference circuit BGR*.

Treballant amb el transistor MOS en les regions de saturació i llindar es determina el rendiment òptim del circuit per obtenir la millor resposta del *BRG* respecte a la seva dependència amb la temperatura. Un darrer canvi en el disseny final permet compensar la dependència del convertidor CtoF (etapa que ve controlada pel *BRG*) respecte a variacions en la tensió d'alimentació.

De l'anàlisi fet de quatre models de *BRG* n'han sortit dues implementacions que s'han acabat integrant en dos ASICs diferents, integrats el Juliol/2009 i el Juliol/2011, a través d'Europractice.

En els models finals de *BGR* s'ha aconseguit reduir molt el consum, s'ha disminuït la dependència tèrmica, i s'ha millorat el grau de rebuig a la variació de la tensió d'alimentació o *Power Supply Rejection Ratio (PSRR)*.

5.1 Miralls de corrent

Per a l'estudi del comportament dels circuits en referència del voltatge, és convenient fer una breu introducció als miralls de corrent [22], analitzant especialment la dependència que tenen amb l'alimentació del circuit, amb els processos tecnològics que hi intervenen en la fabricació del mateix i amb la temperatura de treball.

Es parteix del model bàsic de polarització del MOSFET, que utilitza el circuit de polarització clàssic del transistor (figura 5.1).

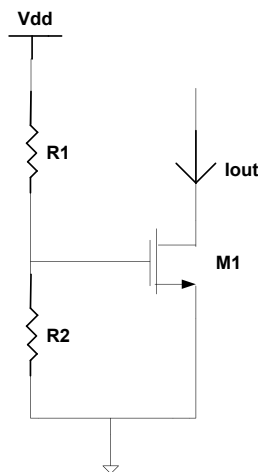


Figura 5.1: Circuit bàsic de polarització MOSFET.

Si es considera que el transistor M1 treballa en la regió de saturació, l'equació 5.1.1 dóna la tensió referència de sortida. S'observa la dependència que existeix del corrent de sortida del transistor amb la tensió d'alimentació (V_{DD}), amb la temperatura (introduïda a través dels paràmetres V_{TH} i μ), i amb les dimensions del transistor (W i L).

$$I_{OUT} \approx \frac{1}{2} \mu C_{ox} \frac{W}{L} \left(\frac{R_2}{R_1 + R_2} V_{DD} - V_{TH} \right)^2 \quad \text{Eq. 5.1.1}$$

Valgui en aquest punt remarcar, especialment, la dependència del circuit amb la temperatura, com es veu més endavant aquest és un paràmetre decisiu de disseny.

Es suposa, per ara, que el mirall de corrent replica fidedignament els corrents de la font de referència, tot considerant que aquesta font està perfectament caracteritzada i és independent de les variacions de V_{DD} i temperatura. D'aquesta forma, si els dos transistors són exactament iguals, tenen la mateixa tensió porta-

font. Com que tots dos operen en saturació, els dos condueixen el mateix corrent (figura 5.2).

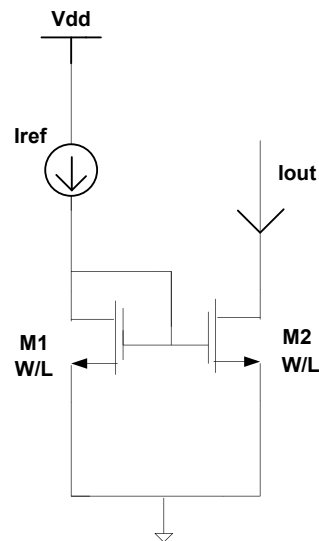


Figura 5.2: Mirall de corrent.

No tenint en compta la modulació de la llargada de canal, s'obté un circuit prou independent de V_{DD} i de la temperatura en el que es compleix que:

$$I_{OUT} = I_{REF} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad \text{Eq. 5.1.2}$$

$$I_{OUT} = \frac{(W/L)_2}{(W/L)_1} I_{REF} \quad \text{Eq. 5.1.3}$$

Si es considera l'efecte de modulació de llargada del canal, el corrent de sortida del transistor ve donat per:

$$I_{OUT} = I_{REF} = \frac{1}{2} \mu C_{ox} \left(\frac{W}{L}\right)_1 (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS1}) \quad \text{Eq. 5.1.4}$$

Aquest efecte esdevé important quan es treballa amb transistors de canal curt.

L'efecte de modulació de la llargada de canal es pot suprimir construint el mirall de corrent tipus *cascade*. Aquesta configuració permet fer que I_{OUT} sigui proper a I_{REF}

donat que el transistor M_3 (en configuració cascode) aïlla al transistor M_2 de les variacions del potencial V_B .

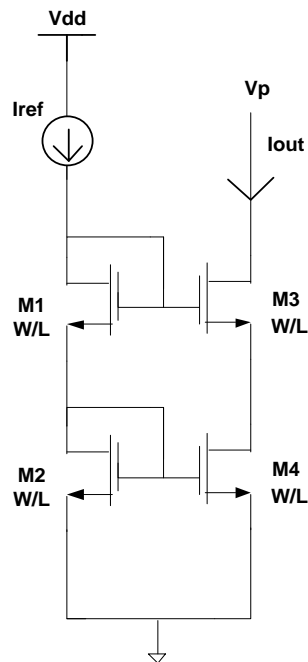


Figura 5.3: Mirall de corrent en configuració càscode.

D'aquesta forma, fent que el factor de forma entre M_1 i M_3 sigui igual al factor de forma entre M_2 i M_4 , s'aconsegueix que les tensions V_{DS4} i V_{DS2} siguin idèntiques. Aleshores $I_{REF} = I_{OUT}$.

Aquestes assumpcions serveixen de fonament per introduir les fonts de tensió de referència en voltatge BRG.

5.1 Referències en voltatge: fonaments

D'acord amb l'apartat 5.1, una tensió de referència constant es pot obtenir per construcció d'una font de corrent constant [8]. En el moment de dissenyar un sistema de referència en voltatge s'ha de buscar una unitat estable de voltatge, com pot ser la tensió de ruptura d'un Zener o la tensió de *bandgap* que es fa servir en circuits de referència bipolar [9].

Per altra banda, s'ha de tenir present que la tensió llindar (*threshold*) del transistor, inclou components que són altament sensibles a les variacions de la temperatura i dels processos tecnològics, com s'extreu de l'equació llindar del transistor MOS [10]:

$$V_{TH} = V_{FB} - \frac{Q_{SS}}{C_{ox}} + V_S + 2 |\Phi_p| + \frac{|Q_D|}{C_{ox}} \quad \text{Eq. 5.2.1}$$

On:

V_{FB} és la tensió de bandes planes (caracteritza les càrregues atrapades a l'òxid i altres imperfeccions).

Q_{SS} és la càrrega superficial per unitat d'àrea.

C_{ox} és la capacitat de l'òxid de porta.

$2 |\Phi_p|$ és la tensió requerida per a forta inversió.

$|Q_D|$ és la càrrega per unitat d'àrea a la zona d'inversió.

La tensió de bandes planes i la tensió de forta inversió depenen directament de la temperatura. La resta de paràmetres, excepte V_S , depenen del procés tecnològic.

Tenint en compte que els processos d'implantació iònica permeten disminuir la dependència tèrmica en el transistor, es pot realitzar la següent aproximació:

$$V_{TH} - V_{TD} = \frac{|Q_i|}{C} + 2 |\Phi_p| - \Phi_{bi} + |Q_d| \left(\frac{1}{C_{ox}} - \frac{1}{C} \right) \quad \text{Eq. 5.2.2}$$

On:

C és la capacitat del canal implantat.

Φ_{bi} és el potencial entre el canal i el substrat.

V_{TD} és la tensió llindar de drenador.

Si es considera que C_{ox} és molt semblant a C , i que $2 |\Phi_p|$ s'aproxima a Φ_{bi} , en simplificar l'expressió es produeix una disminució de la dependència tèrmica del transistor. La problemàtica d'aquest disseny, és que obliga a dissenyar un circuit que ha de proporcionar una tensió de referència que sigui proporcional a la diferència de les tensions de polarització. Per altra banda, obliga a fer servir transistors no suportats per les llibreries estàndard de la tecnologia AMS 0,35 μ m.

Tot i això, un primer circuit convencional de referència en voltatge es pot obtenir utilitzant la diferència de la tensió de porta a sortidor entre dos transistors MOS (figura 5.4) en una estructura basada en mirall de corrent.

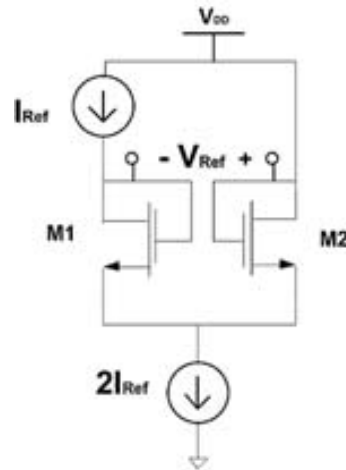


Figura 5.4: Circuit simplificat de referència de voltatge.

L'anàlisi parteix del supòsit que els dos transistors es troben en la regió de saturació, de manera que s'agafa la característica I-V d'un transistor MOS (equació 5.2.3):

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad \text{Eq. 5.2.3}$$

No tenint en compte l'efecte de modulació de llargada de canal ($\lambda = 0$) es té que la tensió de sortida V_{REF} ve donada per 5.2.4

$$V_{REF} = V_{GS1} - V_{GS2} = V_{TH2} - V_{TH1} + \left(\sqrt{\frac{1}{K_2}} - \sqrt{\frac{1}{K_1}} \right) \sqrt{2I_{Ref}} \quad \text{Eq. 5.2.4}$$

en la que K_1 i K_2 inclouen els paràmetres tecnològics i els factors de forma dels transistors.

En contra d'aquest mecanisme d'obtenció del voltatge de referència a partir de la diferència dels voltatges de porta a font de dos transistors (referenciat per diferents autors [6][7][21]), hi ha el fet que no s'aconsegueix una supressió perfecta de la dependència de la tensió de referència amb la temperatura.

Una solució consisteix en introduir un (petit) corrent de polarització de manera que el coeficient de temperatura del circuit de referència en voltatge quedi controlat per les tensions llindars dels transistors MOS. Amb aquesta aproximació, la tensió de referència de sortida és equivalent a la diferència de tensions llindars dels dos transistors MOS. De totes maneres, per a emprar aquest circuit com a circuit de referència en voltatge, a més cal:

- Introduir processos de fabricació addicionals per poder fabricar transistors MOS amb diferents tensions llindars que generin una tensió de referència diferent a 0 volts. Una tècnica usual consisteix en fer servir transistors de la

mateixa tecnologia, però desenvolupats per a diferents tensions d'alimentació (MOS alimentats a 3.3V i MOS alimentats a 5V).

- Tenir un procés tecnològic estabilitzat que minimitzi les diferències entre els coeficients de temperatura dels dos transistors. El coeficient de temperatura està afectat per la seva dependència amb la mobilitat que, tot i no quedar totalment cancel·lada, si que està força atenuada pel fet de fer servir un corrent de polarització baixa.

K.N. Leung [6] proposa un disseny basat en aquesta proposta. Com mostra la figura 5.5, es fan servir resistències configurades com a divisor de tensió.

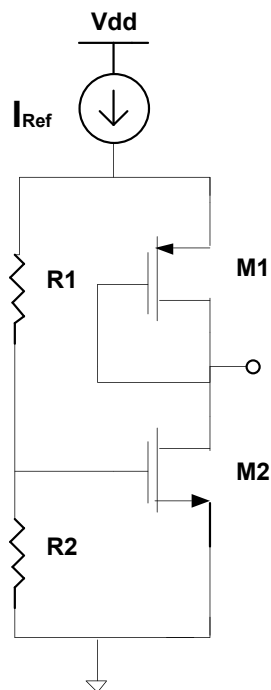


Figura 5.5: Circuit simplificat de generació de voltatge.

En aquest cas I_{REF} és un corrent de tipus PTAT (*Proportional to Absolute Temperature*). Fent servir l'equació 5.2.3 s'obté que el voltatge de referència ve donat per l'expressió 5.2.5.

$$V_{REF} = V_{GS2} \left(1 - \frac{R_1}{R_2} \right) - |V_{GS1}| \quad \text{Eq. 5.2.5}$$

L'avantatge d'aquesta proposta és que es pot fer servir el procés estàndard CMOS en el disseny. Les dues tensions porta-font diferencials i ponderades s'obtenen a través de les resistències R_1 i R_2 . La raó de proporcionalitat de les resistències s'escull adequadament [13] per tal de compensar la dependència en temperatura de la tensió llindar del transistor.

També s'escull de manera adequada la raó de proporcionalitat de les llargades del canal dels dos transistors per poder compensar la dependència amb la temperatura deguda a la mobilitat.

Tot i això, la dependència amb la temperatura de la tensió de sortida no s'aconsegueix cancel·lar totalment, degradant el coeficient de temperatura quan es treballa fora dels llindars de la temperatura establerta com a referència. Emprant aquesta aproximació s'aconsegueix un coeficient de 36,9 ppm/°C, amb una tensió d'alimentació mínima de 1,4V[6].

5.2 Circuit de referència en voltatge simple

Presentats els fonaments de disseny de circuits de referència en voltatge, es procedeix a fer un primer disseny basat en [11]. El circuit de referència en voltatge que es presenta en aquest apartat correspon al primer model dissenyat en el marc d'aquest treball i que es va integrar en el circuit integrat del Juliol/2009.

5.3.1 Conceptes teòrics

Es parteix d'una font de corrent constant I_{REF} , i es descarta la modulació de la llargada de canal. Els corrents I_1 i I_2 es poden considerar constants.

Amb aquesta suposició s'agafa com a primer circuit el model de la figura 5.6.

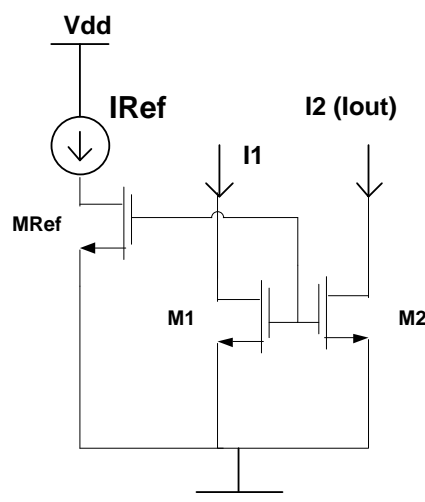


Figura 5.6: Mirall de corrent fent servir una font de corrent ideal.

Pel càlcul del corrent de sortida, es pot fer l'analogia que I_{REF} correspon al corrent que passaria si es connectés una resistència (anomenada R_1) entre V_{DD} i M_{REF} . El corrent que en resulta, equació 5.3.1, mostra que té una (certa) dependència amb la variació de V_{DD} .

$$\Delta I_2 = \frac{\Delta V_{DD}}{R_1 + \frac{1}{g_{MREF}}} * \frac{\left(\frac{W}{L}\right)_{M2}}{\left(\frac{W}{L}\right)_{MREF}} \quad \text{Eq. 5.3.1}$$

Per a una resposta més independent de la tensió d'alimentació, s'ha de fer un balanceig dels corrents, fent que la font de referència I_{REF} depengui del corrent de sortida o, fins i tot, que I_{REF} sigui una rèplica exacta de I_{OUT} . Així, de la figura 5.7 s'obté que el corrent de sortida ve donat per $I_{OUT} = K * I_{REF}$ (on K és la raó de proporcionalitat de les dimensions dels transistors de les dues branques).

Es dona per suposat que els transistors PMOS tenen les mateixes dimensions entre ells, així com els NMOS. També s'ha menyspreat l'efecte de modulació de llargada de canal. Per altra banda K és un factor de proporcionalitat entre la branca de l'esquerra i la branca de la dreta.

Donat que els transistors M_3 i M_{REF} , que estan configurats en mode díode conductiu (mode resistiu), s'alimenten de les fonts de corrent, es pot dir que I_{OUT} i I_{REF} són relativament independents de la tensió d'alimentació V_{DD} .

Per garantir un corrent inicial, s'introdueix la resistència R_s , que força que el corrent de sortida decreixi.

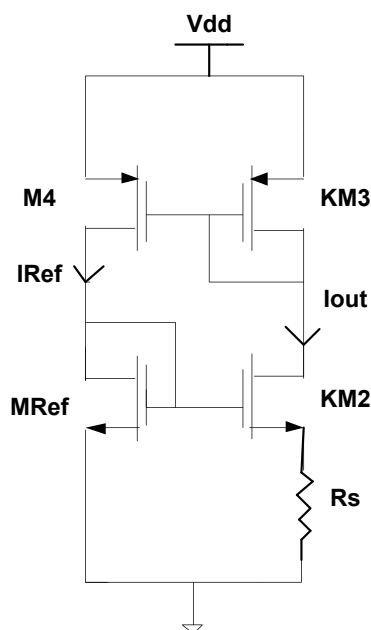


Figura 5.7: Circuit de corrent referenciat.

Donat que I_{REF} i I_{OUT} han de ser idèntiques (ja que les dimensions dels transistors ho són), es pot definir el corrent de sortida d'acord amb l'equació 5.3.2. D'aquesta manera, la font de corrent esdevé independent de la tensió d'alimentació.

$$I_{out} = \frac{2L_n}{R_s^2 \mu C_{ox} W_n} \left(1 - \frac{1}{\sqrt{K}}\right)^2 \quad \text{Eq. 5.3.2}$$

Tot seguit, per simplificar el càlcul, es menysprea l'efecte de modulació de llargada de canal, i s'estima la variació d' I_{OUT} , respecte a variacions petites de V_{DD} . Es simplifica el circuit de la següent manera (figura 5.8):

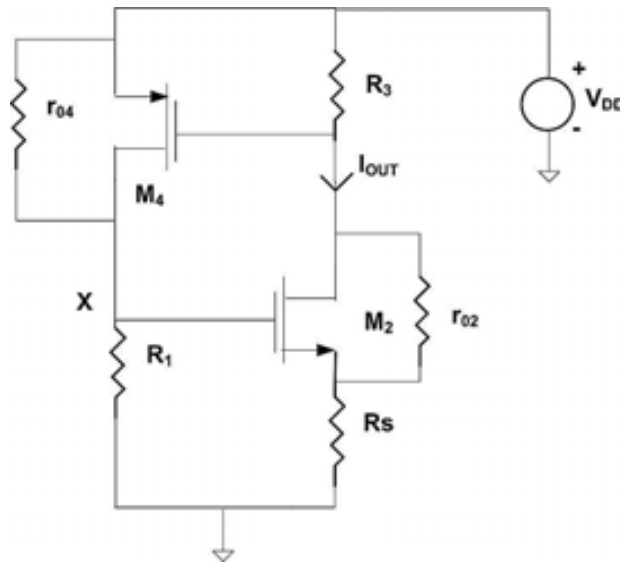


Figura 5.8: Circuit per l'anàlisi de I_{OUT} considerant variacions petites de V_{DD} .

En el circuit anterior es té en compte que:

$$R_1 = r_{O1} \parallel \frac{1}{g_{m1}} \quad i \quad R_3 = r_{O3} \parallel \frac{1}{g_{m3}} \quad \text{Eq.5.3.3}$$

Amb aquesta simplificació es calcula el guany de V_{DD} sobre I_{OUT} .

La tensió V_{GS} de petit senyal del transistor M_4 equival a $-I_{OUT} \cdot R_3$ i el corrent a través de r_{O4} és:

$$I_{r_{O4}} = \frac{V_{DD} - V_X}{r_{O4}} \quad \text{Eq.5.3.4}$$

Així podem arribar a la següent relació:

$$\frac{V_{DD} - V_X}{r_{O4}} + I_{OUT} R_3 G_{m4} = \frac{V_X}{R_1} \quad \text{Eq.5.3.5}$$

Si es considera la mateixa transconductància en M_2 i R_s , s'obté que

$$G_{m2} = \frac{I_{OUT}}{V_X} \quad \text{Eq.5.3.6}$$

D'on s'obté l'equació 5.3.7

$$\frac{I_{out}}{V_{DD}} = \frac{G_{m2}(r_{O4}/R_{ref})}{r_{O4}} - \frac{1}{r_{O4}g_{m4}R_3} \quad \text{Eq.5.3.7}$$

Introduint G_{m2} (equació 5.3.8), es té que la transconducància del transistor M_2 , ve donada per:

$$G_{m2} = \frac{r_{O2}g_{m2}}{R_S(1+r_{O2}(g_{mb2}+g_{m2}))+r_{O2}} \quad \text{Eq.5.3.8}$$

Circuit d'arrencada.

Les fonts de referència en tensió polaritza despoden presentar una degeneració del punt de treball. En particular, en el circuit de la figura 5.7, si tots els transistors es posen en marxa sense conduir corrent, romandran en aquest estat indefinidament, ja que en el circuit el corrent pot circular en un bucle de forma permanent. Donat que aquesta situació no es pot predir, el circuit pot quedar bloquejat, tant en aquest estat, com en estat de conducció normal.

El circuit necessita, per tant, d'una etapa d'arrencada o *start-up* (figura 5.9). Aquesta etapa està formada pel transistor M_{start} configurat en mode díode. Quan el circuit engegui, aquest transistor fa circular un corrent de M_3 cap a M_{REF} fins a terra, forçant un corrent d'arranc que garanteix un corrent inicial d'acord amb l'equació 5.3.2. D'aquesta manera, M_2 i M_4 també passaran a l'estat de conducció garantint que el circuit s'estabilitzi, sempre que es compleixi que la suma de les tensions llindars de M_{REF} , M_{start} i M_3 sigui més petita que V_{DD} .

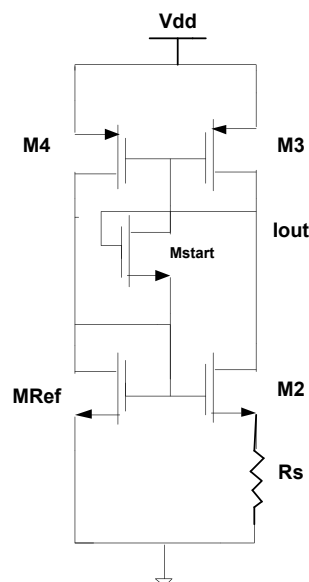


Figura 5.9: Circuit de referència amb start-up.

L'etapa d'arrencada garanteix un correcte funcionament del circuit en l'inici. Però ho fa a costa del consum del circuit que generar l'arrencada més el corrent que força R_S [12].

Quan no es consideren els efectes tèrmics, es pot simplificar l'equació de sortida del circuit de referència en voltatge a l'expressió 5.3.9.

$$V_{Ref} = \sqrt{\frac{2 * I_{out}}{\mu_n C_{ox} (W/L)_{M2}}} + V_{TH2} + I_{out} * R_s \quad \text{Eq. 5.3.9}$$

Arribats a aquest punt el circuit encara mostra dependències amb l'alimentació donat que s'ha menyspreat l'efecte de la modulació de la llargada de canal. Per minimitzar aquest efecte, en la integració del circuit s'han fet servir transistors de canal llarg.

Apart d'aquestes consideracions, la integració d'aquest primer circuit va mostrar tenir una sèrie de mancances que es van millorant en els models posteriors:

- El circuit encara té consum elevat.
- Depèn, en un factor massa important, de la temperatura. De fet no es va introduir cap tècnica compensatòria.
- La tensió de sortida es considera elevada per polaritzar de forma correcta etapes posteriors. A més, la tensió d'alimentació mínima, que també es considera massa elevada, no permet utilitzar el circuit en entorns de baix consum.

5.3.2 Resultats Experimentals

El circuit de referència en voltatge proposat ha estat implementat fent servir la tecnologia CMOS AMS 0,35 μ m. La figura 5.10a correspon a una fotografia feta amb el microscopi òptic on es mostra el disseny del circuit de referència de voltatge introduït en el primer ASIC ROIC que s'ha fabricat per a aquesta aplicació.

La plataforma de desenvolupament emprada en el seu disseny ha estat el *Hit Kit3.6* de Cadence. La figura 5.10b mostra el corresponent *layout* desenvolupat amb l'eina *Layout XL* de Cadence. El disseny total del circuit de referència en voltatge té una àrea final de 0,013mm² (28,15 μ m* 47,35 μ m).

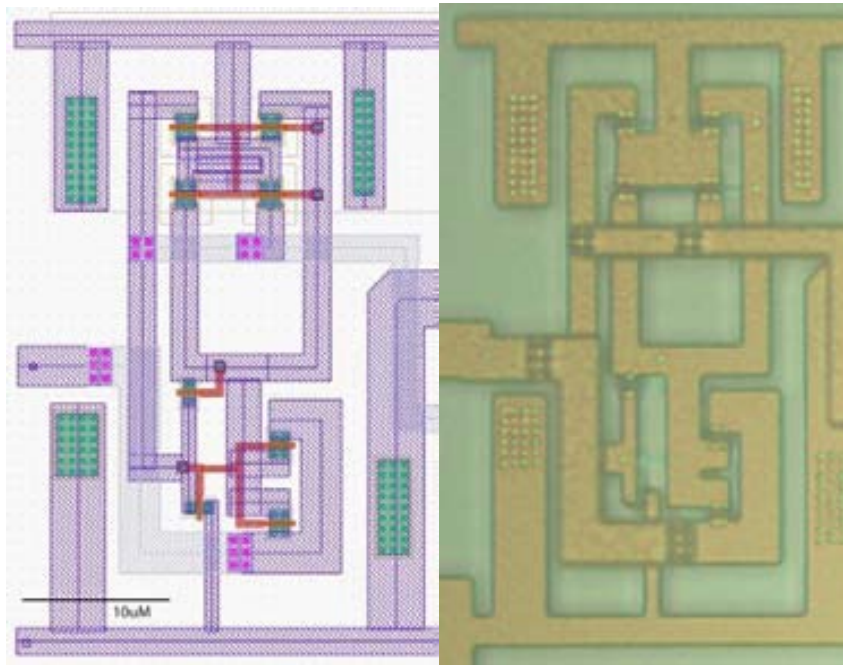


Figura 5.10: Layout i fotografia del circuit de referència en voltatge.

El consum total del circuit de referència en voltatge és de $122\mu\text{A}$ per a una tensió d'alimentació de 3.3V . Es considera força elevat per aquest tipus de circuit de referència en tensió. El corrent que passa per la resistència externa i la incorporació del circuit d'arrencada són responsables de bona part d'aquest excés en consum.

Les mesures fetes sobre el circuit, mostren una tensió de referència en voltatge de 1.071V (a 3.5V), amb una variació de $\pm 141\text{mV}$ de la tensió de referència per a un escombrat de V_{DD} entre 2.5V i 3.5V .

Tot i no tractar-se d'un aïllament excel·lent, el percentatge d'immunitat a la variació de V_{DD} que, per altra banda, serà força útil per compensar la variació de V_{DD} aconseguit és important.

La figura 5.11 mostra la resposta de sortida del circuit de referència en voltatge. S'observa que els valors experimentals, en vermell, són molt semblants als valors simulats, en verd. En blau es representa la tensió d'alimentació.

La figura també mostra una dependència important del valor de sortida del circuit amb la variació de la tensió d'alimentació. El circuit que es proposa en l'apartat 5.5 corregeix aquesta dependència.

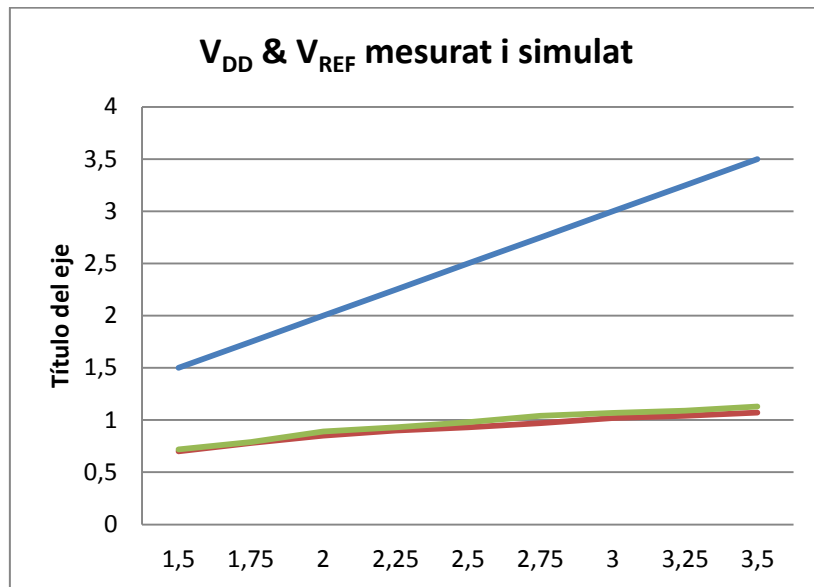


Figura 5.11: Tensió de sortida mesurada (en vermell) i simulada (en verd), comparada amb V_{DD} .

La figura 5.12 mostra el PSRR del BGR en qüestió. Es considera que el valor obtingut és força acceptable donada la simplicitat d'aquest model de circuit de referència en voltatge.

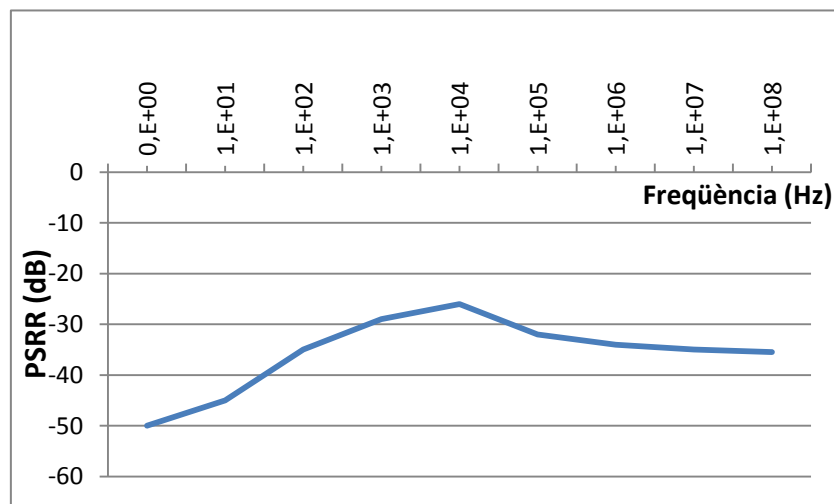


Figura 5.12: PSRR per al una temperatura de 24°C i una V_{DD} de 2v.

La figura 5.13 mostra la resposta de la variació de V_{REF} en funció de la temperatura i de la tensió d'alimentació V_{DD} . La dependència que mostra el circuit respecte a aquests dos paràmetres és deguda, en bona mesura, a la dependència que hi ha amb la modulació de la llargada de canal i a la no incorporació de cap sistema de compensació en temperatura.

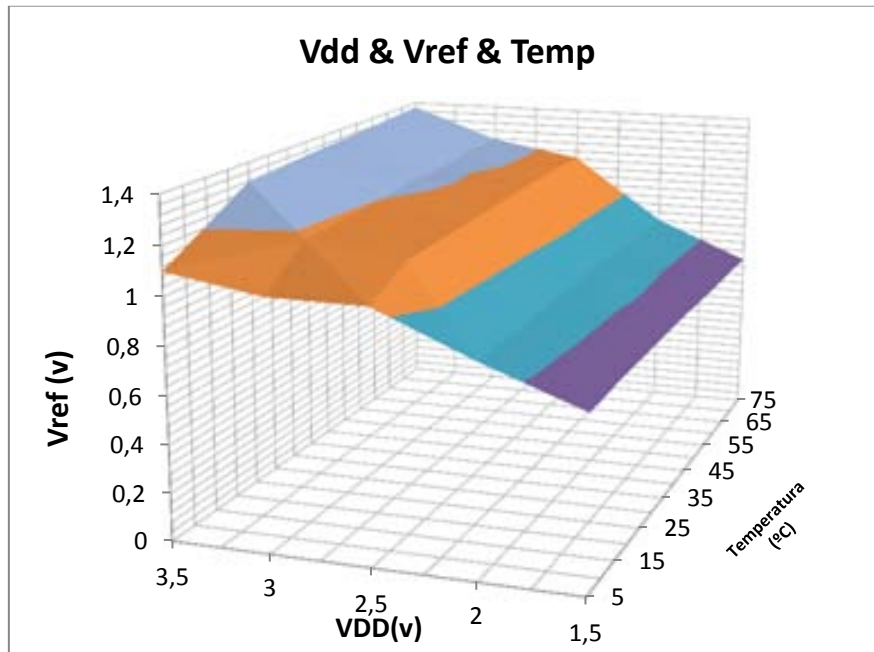


Figura 5.13: Tensió de sortida per a diferents V_{DD} i diferents temperatures de funcionament.

Partint d'aquest model elemental, i de cara a proposar diferents millores sobre aquest circuit, es tenen presents les següents mancances:

- Encara no s'ha considerat l'efecte de cos o *Body Effect*.
- I que el circuit encara no implementa cap compensació en temperatura.

5.4 Circuit de referència en voltatge compensat

El circuit de referència en voltatge simple mostra unes prestacions encara poc òptimes. Per a ser emprat en circuits d'adquisició de senyal d'altas prestacions cal tenir en compte i millorar els següents paràmetres:

- El consum.
- La dependència a variacions de la temperatura.
- Poder alimentar el circuit amb tensions d'alimentació baixes.
- Cal millorar el PSRR.
- S'han d'eliminar els components externs (com la resistència R_S).

Aquest apartat presenta un nou circuit de referència en voltatge integrat en tecnologia CMOS AMS 0,35 μ m, que elimina els elements externs, i que presenta un bon coeficient de temperatura, donat que se suprimeix la dependència en temperatura deguda a la mobilitat i es compensa la seva dependència deguda a efectes de segon ordre.

Aquest circuit constitueix la base sobre la que es dissenya el circuit final.

5.4.1 Descripció del circuit

La figura 5.14 presenta un nou circuit que millora les prestacions del *bandgap*. Està basat en la diferència de les tensions porta-font d'una parella de transistors NMOS balancejats. L'objectiu principal és obtenir una bona cancel·lació de la dependència en temperatura deguda a la mobilitat dels portadors i, per altra banda compensar els efectes no desitjats de segon ordre. Comparant amb el circuit de l'apartat 5.3, presenta l'avantatge que no necessita cap resistència externa ni interna. Aquest fet es tradueix en una reducció d'àrea i una reducció del consum global molt significatius.

Tenint present que el principi de funcionament és semblant al circuit anterior, i assumint que els transistors de la càrrega activa treballen en la zona de saturació, es troba que la tensió de sortida ve donada per 5.4.1.

$$V_{REF} = \left[\left(\frac{1}{\sqrt{K_8}} + \sqrt{\frac{(W/L)_{10}}{K_8(W/L)_9}} \right) - \frac{1}{\sqrt{K_7}} \right] \sqrt{2I_{out}} + V_{TH} \quad \text{Eq.5.4.1}$$

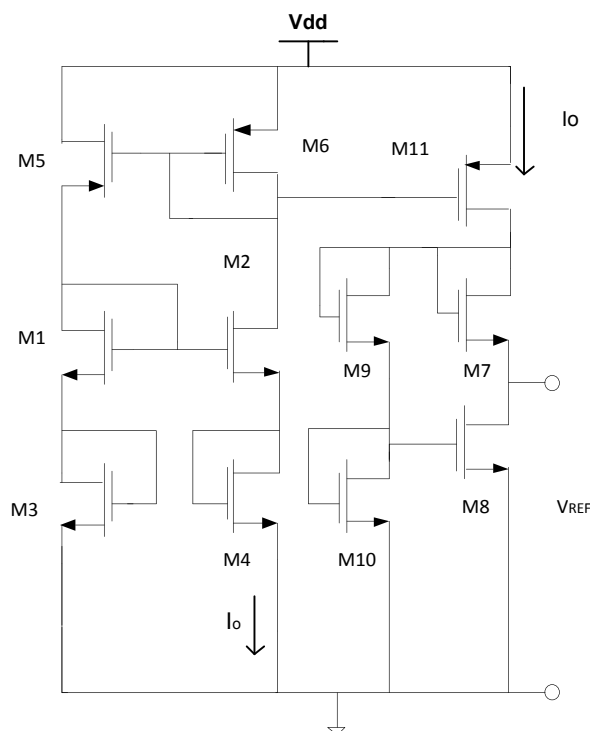


Figura 5.14: Evolució del circuit de referència en voltatge.

S'observa que la dependència en temperatura del circuit de referència en voltatge és funció de la tensió llindar i de la mobilitat del corrent de polarització. Donat que K_7 i K_8 són proporcionals a la mobilitat dels electrons, un corrent de polarització

proporcional a aquesta mobilitat permetria eliminar la dependència en temperatura deguda a aquesta mobilitat de la tensió de sortida del BGR. Una vegada suprimida la dependència en temperatura deguda a la mobilitat, es necessita que el corrent de polarització tingui una dependència quadràtica amb la temperatura per tal de compensar la dependència en temperatura de la tensió llindar (V_{TH}).

Respecte al *BGR* de l'apartat 5.3, s'ha modificat el circuit de càrrega que es fa servir per tal de generar una nova tensió de referència de sortida. Aquest circuit de càrrega consisteix en dos transistors NMOS polaritzats per emmirallament del corrent I_0 i divisor actiu de voltatge format per M_9 i M_{10} (figura 5.14). Els transistors de l'etapa de càrrega estan polaritzats en la zona de saturació. La tensió de sortida queda descrita d'acord amb l'equació 5.4.2.

$$V_{Ref} = \left(1 + \sqrt{\frac{(W/L)_{10}}{(W/L)_9}}\right) V_{GS8} + \left(1 - \sqrt{\frac{(W/L)_{10}}{(W/L)_9}}\right) V_{TH} - V_{GS7} \quad \text{Eq.5.4.2}$$

Tenint en compte que M_7 i M_8 estan en saturació, partint de l'equació (5.2.3) s'obté l'equació 5.4.3.

$$V_{GS8} = \sqrt{\frac{2I_0}{K_8}} + V_{TH} \quad \text{Eq.5.4.3}$$

La tensió de V_{GS7} és idèntica a V_{GS8} però amb la seva K .

Partint de (5.4.3) es pot reescriure (5.4.2) en la forma de (5.4.4):

$$V_{Ref} = \left(1 + \sqrt{\frac{(W/L)_{10}}{(W/L)_9}}\right) \left(\sqrt{\frac{2I_0}{K_8}} + V_{TH}\right) + \left(1 - \sqrt{\frac{(W/L)_{10}}{(W/L)_9}}\right) V_{TH} - \sqrt{\frac{2I_0}{K_7}} + V_{TH} \quad \text{Eq.5.4.4}$$

Considerant que la variació d' I_0 és linealment dependent de la mobilitat, i que les K també són linealment dependents de la mobilitat, la tensió de sortida del circuit de referència en voltatge i el seu coeficient de temperatura esdevenen independents de la mobilitat dels electrons.

Per garantir una correcta compensació en temperatura és necessari que la majoria del corrent de polarització I_0 circuli per la parella de transistors M_7 i M_8 enlloc de per M_9 i M_{10} . S'aconsegueix fent que el corrent que passa per M_8 sigui molt més gran que el que passa per M_{10} . S'ha de complir la relació 5.4.5:

$$\frac{k_8}{2}(V_{GS8} - V_{TH})^2 \gg \frac{k_{10}}{2}(V_{GS10} - V_{TH})^2 \quad \text{Eq.5.4.5}$$

Pel que cal que:

$$\frac{W_8}{L_8} \gg \frac{W_{10}}{L_{10}} \quad \text{Eq.5.4.6}$$

Aquest divisor de tensió actiu permet la reducció de l'àrea total del circuit i i del corrent de polarització, així com el consum final, fet que el corrent de polarització flueixi casi exclusivament per la parella M₇-M₈.

5.4.2 Compensació en temperatura

En el circuit de generació de corrent un mirall de corrent imposa que passi el mateix corrent per les dues branques del circuit. El mirall de corrent CMOS utilitzat permet obtenir un rang dinàmic més gran. Amb dimensions suficientment grans, s'aconsegueix també reduir l'efecte de modulació longitud de canal dels transistors M₆ i M₅, que fan d'acoblament entre els corrents de les dues branques.

Els transistors M₁ i M₂ es polaritzen en la regió sub-llindar mentre que M₃ i M₄ estan polaritzats en la regió de saturació. Aquest comportament s'aconsegueix escollint amb cura el corrent de polarització, fent que la tensió porta-sortidor dels transistors M₃ i M₄ sigui més gran que la tensió porta-sortidor dels transistors M₁ i M₂.

Donat que els transistors tenen el mateix corrent de drenador, el factor de forma de M₁ i M₂ ha de ser més gran que el de M₃ i M₄.

La funció característica V-I d'un transistor en la regió sub-llindar ve donada per 5.4.7, on V_{TH} representa la tensió llindar:

$$I_D = \frac{1}{2} \mu C_{ox} V_{TH}^2 \frac{W}{L} \exp\left(\frac{V_{GS} - V_{TH}}{mV_T}\right) \left[1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right] \quad \text{Eq. 5.4.7}$$

La tensió de porta de M₁ i M₂ (5.4.8) es troba seguint el camí del corrent de porta a terra a través de M₂ i M₄. Per M₁ i M₃ es compleix el mateix. Igualant les dues expressions es troba 5.4.8:

$$V_{GS1} + V_{GS3} = V_{GS2} + V_{GS4} \quad \text{Eq. 5.4.8}$$

Si es fa servir l'equació 5.1.4 per extraure V_{GS} i se substitueixen 5.4.8, en el cas que la tensió de drenador a sortidor sigui més gran que la V_T, i considerant que el corrent de les dues branques és exactament igual, s'obté:

$$\sqrt{\frac{2I_0}{K_3}} + V_{TH1} + V_{TH3} + mV_T \ln\left(\frac{L_1 I_0}{\mu C_{ox} V_T^2 W_1}\right) = \sqrt{\frac{2I_0}{K_4}} + V_{TH2} + V_{TH4} + mV_T \ln\left(\frac{L_2 I_0}{\mu C_{ox} V_T^2 W_2}\right) \quad \text{Eq. 5.4.9}$$

Considerant que V_{TH3} i V_{TH4} són iguals, que la tensió de sobrecarrega (*overdrive voltatge*) de M_3 i M_4 és molt petita (fent que la V_{GS3} i V_{GS4} difereixin en una diferència de potencial molt petita, de pocs milivolts) i que les tensions llindars de M_1 i M_2 s'incrementin per pràcticament la mateixa diferència de potencial com a conseqüència de l'efecte cos, es pot considerar que V_{TH1} i V_{TH2} són iguals. Aïllant aleshores I_0 de l'expressió s'obté 5.4.10.

$$I_0 = \frac{m^2 V_T^2 K_4}{2} \ln\left(\frac{N}{N-1}\right)^2 \ln^2\left(\frac{W_2 L_1}{W_1 L_2}\right) \quad \text{Eq. 5.4.10}$$

A on es té que $N = (K_3/K_4)^{1/2}$. Es pot observar que el corrent de sortida és linealment dependent de la mobilitat (a través de K_4) i amb una dependència quadràtica de la temperatura a través de V_T . Com s'ha introduït, treballant amb aquest corrent es realitzarà la compensació tèrmica que cancel·larà la dependència en temperatura deguda a la mobilitat.

Partint doncs d'aquesta expressió d' I_0 (equació 5.4.10), que és el corrent de drenador de M_7 i M_8 (figura 5.14), i considerant que es compleix la condició de l'equació 5.4.5, emprant l'equació 5.4.3 s'obté que les tensions de porta a font de M_7 i M_8 vénen donades per 5.4.11.

$$V_{GS8} = V_{TH} + \sqrt{\frac{hL_8}{W_8}} V_T; V_{GS7} = V_{TH} + \sqrt{\frac{hL_7}{W_7}} V_T \quad \text{Eq. 5.4.11}$$

a on s'ha introduït l'expressió 5.4.12 amb l'objectiu de simplificar l'equació.

$$h = m^2 \frac{W_4}{L_4} \left(\frac{N}{N-1}\right)^2 \ln^2\left(\frac{W_2 L_1}{W_1 L_2}\right) \quad \text{Eq. 5.4.12}$$

De 5.4.2 i 5.4.11 es pot obtenir l'equació 5.4.13 per a la tensió de sortida del circuit de referència en voltatge:

$$V_{REF} = V_{TH} + \left[\left(1 + \sqrt{\frac{(W/L)_{10}}{(W/L)_9}} \right) \sqrt{\frac{h}{(W/L)_8}} V_T - \sqrt{\frac{h}{(W/L)_7}} V_T \right] \quad \text{Eq. 5.4.13}$$

Per a simplificar els càlculs, s'aproxima que la tensió llindar d'un transistor NMOS decreix linealment amb la temperatura, de manera que es pot expressar d'acord a 5.4.14. Aquesta aproximació introdueix un error en termes de compensació de temperatura.

$$V_{TH}(T) = V_{TH}(T_0) - K_{T1}(T - T_0) \quad \text{Eq. 5.4.14}$$

On

K_{T1} és un coeficient de BSIM3v3 que modela la dependència en temperatura de la tensió llindar.

T és la temperatura absoluta.

T_0 és la temperatura absoluta a la que es calcula el coeficient K_{T1} .

Tenint en compte 5.4.14 i diferenciant 5.4.13 respecte a la temperatura es troba la dependència en temperatura de la sortida del circuit de referència en voltatge:

$$\frac{\partial V_{Ref}}{\partial T} = K_{T1} + \left[\left(1 + \sqrt{\frac{(W/L)_{10}}{(W/L)_9}} \right) \sqrt{\frac{h}{(W/L)_8}} \frac{k_B}{q} - \sqrt{\frac{h}{(W/L)_7}} \frac{k_B}{q} \right] \quad \text{Eq. 5.4.15}$$

Per a obtenir la condició d'immunitat a la variació de temperatura cal igualar a 0 l'expressió anterior. S'obté que la relació que han de complir els transistors és:

$$\sqrt{\frac{(W/L)_{10}}{(W/L)_9}} = \frac{q \sqrt{(W/L)_8} \left[K_{T1} + \sqrt{h} \frac{k_B}{q} \left(\frac{1}{\sqrt{(W/L)_7}} - \frac{1}{\sqrt{(W/L)_8}} \right) \right]}{k_B \sqrt{h}} \quad \text{Eq. 5.4.16}$$

Amb aquesta relació de transistors i aplicant del model de dependència lineal de la temperatura amb la tensió llindar del transistor (equació 5.4.14) el circuit esdevé independent respecte a les variacions de temperatura.

5.4.3 Efecte de la modulació de la llargada del canal

En el càlcul d' I_0 (equació 5.4.10) no s'ha tingut en compte l'efecte de la modulació de la llargada de canal. Per considerar-lo s'ha d'agafar la característica V-I del transistor MOS en la regió de saturació, tot considerant una λ diferent de 0.

Si es considera que els transistors M_1 i M_2 treballen en la regió sub-llindar, el corrent de drenador depèn exponencialment de la tensió de drenador-font. Donat que aquesta tensió sol ser més gran (en un factor de 3 a 4) respecte a la tensió llindar, aleshores l'efecte de la modulació de la llargada de canal es pot menystenir. Pels transistors M_3 i M_4 , s'empra l'expressió de la tensió llindar donada en 5.2.1.

Realitzant el mateix procediment que s'ha fet servir per calcular I_0 en 5.4.10, es troba que:

$$I_0 = \frac{m^2 V_T^2 k_4}{2} \left(\frac{N}{\frac{N}{\sqrt{1 + \lambda V_{DS4}}} - \frac{1}{\sqrt{1 + \lambda V_{DS3}}}} \right)^2 \ln^2 \left(\frac{W_2 L_1}{W_1 L_2} \right) \quad \text{Eq. 5.4.17}$$

Dimensionant la llargada de canal dels transistors M_3 i M_4 suficientment gran, es pot suposar que $\lambda V_{DS3} \ll 1$ i que $\lambda V_{DS4} \ll 1$.

Com que el corrent I_0 té una contribució directa en el consum final del circuit de referència de voltatge, convé minimitzar-lo al màxim. Per això cal fer gran el factor N . Aleshores considerant que $V_{DS4} = V_{GS4} > V_{DS3}$, que $\lambda V_{DS3} \ll 1$ i $\lambda V_{DS4} \ll 1$, i emprant les expressions 5.4.2 i 5.4.3, es pot reescriure la tensió de referència en voltatge com:

$$V_{REF} = V_{REF0} + (V_{REF0} - V_{TH}) \frac{\lambda}{2} V_{GS4} \quad \text{Eq. 5.4.18}$$

Aquí la V_{REF0} és la tensió de referència per a $\lambda = 0$ que s'ha obtingut directament de l'equació 5.4.13. Assumint que es compleix 5.4.13, es fa la derivada de 5.4.18 respecte a la temperatura i es considera, tal i com s'ha indicat anteriorment, que V_{GS4} és molt propera a la tensió llindar. Aleshores, per assegurar un rang dinàmic gran, s'obté a què el coeficient de temperatura ha de complir 5.4.19:

$$\frac{\partial V_{Ref}}{\partial T} \cong V_{REF0} + (2V_{TH} - V_{REF0}) \frac{\lambda}{2} K_{T1} \quad \text{Eq. 5.4.19}$$

Finalment, imposant que $2V_{TH} = V_{REF0} \cong 0,9V$ és podrà aconseguir una correcta eliminació de l'efecte de modulació de la llargada canal per a un determinat coeficient de temperatura.

5.4.4 Consideració sobre l'efecte cos

L'efecte cos en l'etapa generadora de corrent, es pot menystenir perquè els transistors M_3 i M_4 tenen el terminal de font a terra. Per altra banda les tensions font-substrat dels transistors M_1 i M_2 són molt semblants una de l'altra, donat que són idèntiques a les tensions de porta a font del transistor M_3 i M_4 . Com que, a més, són properes a les de la tensió llindar, s'aconsegueix un rang dinàmic gran.

Així doncs, l'efecte cos és igual per M_1 i M_2 , per tant, en el càlcul d' I_0 no hi té cap efecte donat que les dues tensions llindars estan restades.

Per calcular la contribució a l'efecte cos dels transistors M_7 i M_9 , es parteix de la dependència que té la tensió llindar amb el substrat, i que ve donada per l'equació 5.4.20.

$$V_{TH} = V_{TH0} + K_1 \left(\sqrt{2\phi_s - V_{BS}} - \sqrt{2\phi_s} \right) \quad \text{Eq. 5.4.20}$$

On:

- V_{TH0} es V_{TH} quan es compleix $V_{BS}=0$.
- Φ_s és el potencial de superfície del transistor.
- V_{BS} és la tensió del substrat a la font.

Aleshores s'obté que la sortida de referència en voltatge ve donada per 5.4.21:

$$V_{REF} = V_{REF0} + (V_{TH9} - V_{TH0}) - (V_{TH7} - V_{TH0}) \quad \text{Eq. 5.4.21}$$

Fent servir 5.4.20 per definir V_{TH7} i V_{TH9} , i complint la condició definida a l'equació 5.4.16 respecte al factor de forma dels transistors, es troba que el coeficient de temperatura ve donat per:

$$\frac{\partial V_{REF}}{\partial T} = K_1 \frac{\partial \phi_s}{\partial T} \left(\frac{1}{\sqrt{2\phi_s - V_{BS9}}} - \frac{1}{\sqrt{2\phi_s - V_{BS7}}} \right) \quad \text{Eq. 5.4.22}$$

Es veu així que la relació que s'ha de complir per optimitzar la dependència del coeficient de temperatura de l'efecte cos és fent $V_{BS9} = V_{BS7}$.

Gràcies a la compensació de la dependència en temperatura de la mobilitat i dels efectes de segon ordre, el coeficient de temperatura d'aquest circuit de referència en voltatge s'ha reduït en 89% respecte als disseny del capítol 5.3. També és inferior respecte als que es troben referenciats en la bibliografia, i que utilitzen com a principi de funcionament la diferència entre les tensions porta-font de dos transistors [21],[14].

5.5. Circuit de referència sense dependència en temperatura

Tot i les importants millores introduïdes en el segon model encara s'observa que:

- La tensió d'alimentació mínima està limitada a 1.5V. En circuits de baix consum és convenient rebaixar-la fins a prop d'un volt.

- Cal millorar encara més la dependència del circuit respecte a la temperatura i el PSRR.

El circuit que és planteja a continuació és la base del disseny que s'ha integrat en el circuit de conversió freqüència a l'ASIC ROIC 2.0. El canvis que s'introdueixen són:

- Es millora significativament la dependència del circuit respecte a la temperatura gràcies a la supressió de la seva dependència deguda a efectes de mobilitat i altres efectes de segon ordre.
- El circuit rebaixa la tensió de treball a una tensió d'alimentació propera als 0,9 V.

5.5.1 Descripció del circuit

El circuit proposat en la figura 5.15 constitueix el nucli del circuit de BGR final. Està basat en els mateixos principis que el circuit de referència en voltatge de l'apartat 5.4.

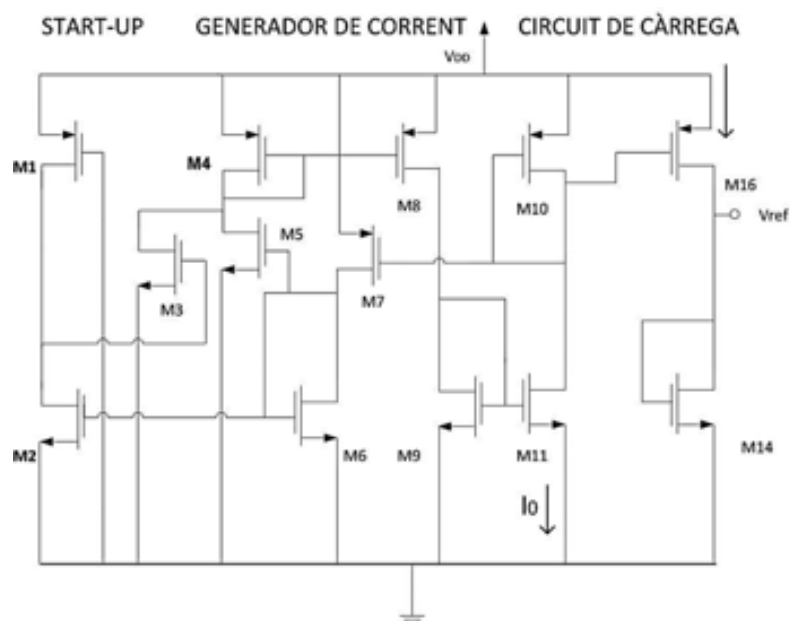


Figura 5.15: Circuit de referència en voltatge.

En primer lloc es considera que en l'etapa de càrrega activa tots els transistors treballen en la regió de saturació. S'obté que l'equació de la tensió de referència de sortida ve governada per l'expressió 5.5.1, en la que I_0 correspon al corrent de polarització del transistor M_{14} .

$$V_{REF} = V_{TH10} + \left(\sqrt{\frac{2I_0}{K_{14}}} \right) \quad \text{Eq. 5.5.1}$$

D'acord amb aquesta expressió, el coeficient de temperatura de la tensió de sortida depèn de la dependència en temperatura de la tensió llindar, de la dependència en temperatura de la mobilitat i del corrent de referència.

Donat que K_{14} és proporcional a la mobilitat, un corrent de polarització proporcional a la mobilitat permet la supressió completa de la dependència amb la temperatura deguda a la mobilitat de l'etapa de sortida del BGR.

Eliminada la dependència amb la temperatura deguda a la mobilitat, per compensar la dependència en temperatura de la tensió llindar, aplicant l'equació 5.5.1, cal que el corrent de polarització tingui una dependència quadràtica amb la temperatura. Així doncs es necessita que $I_0 \propto \mu(T)T^2$

Aquest requeriment s'ha aconseguit dissenyant un circuit de generació de corrent, que està format pels transistors M_5 fins al M_{11} . Aquest circuit també és immune a les variacions de V_{DD} . A aquest circuit se li connecta el transistor M_{14} configurat en mode díode. Per tant, la dependència en temperatura d' I_0 es compensa amb la dependència en temperatura de la tensió porta-font del díode M_{14} , generant una tensió de referència V_{REF} compensada en temperatura.

5.5.2 Circuit de generació de corrent

El nucli del generador de corrent el formen els transistors M_5 , M_6 , M_9 i M_{11} , que són els que determinen el valor del corrent de polarització I_0 . Els transistors M_4 i M_8 imposen un corrent idèntic, anomenat I_1 , a M_5 i M_9 . Per la seva part, els transistors M_7 i M_{10} imposen el mateix corrent idèntic I_0 als transistors M_6 i M_{11} .

Com s'ha comentat en l'apartat 5.4, una tècnica per generar una tensió de referència independent de la temperatura consisteix en fer servir un (petit) corrent de polarització que controli el coeficient de temperatura del circuit de referència en voltatge a través de les tensions llindars dels transistors MOS. Fent aquesta aproximació es pot dir que la tensió de referència de sortida és equivalent a la diferència de tensions llindars dels dos transistors MOS.

Per fer-ho, caldran processos de fabricació addicionals per poder fabricar transistors MOS amb diferents tensions llindars i no generar, d'aquesta manera, una tensió de referència de nul·la. En particular es faran servir transistors de la mateixa tecnologia però desenvolupats per a diferents tensions d'alimentació (MOS alimentats a 3.3V i MOS alimentats a 5V).

Així, els transistors M_5 i M_9 són transistors dissenyats per ser alimentats a 5 V i a una tensió llindar de 0,7 V (transistor NMOS), mentre que tota la resta de transistors del circuit estan dissenyats per a ser alimentats a 3,3 V i amb tensions llindars de 0,45 V i -0,75 V pels transistors NMOS i PMOS, respectivament.

Les dues tensions llindars diferents permeten polaritzar els transistors M_5 i M_9 per a treballar en la regió sub-llindar mentre que, al mateix temps, es permet que els transistors M_6 i M_{11} treballin en la regió de saturació. Aquest comportament es pot assolir fixant les tensions de porta a font dels transistors M_5 , M_6 i M_9 i M_{11} amb valors de tensió que van des dels 0,45 V fins als 0,7 V. Es recorda que les característiques I-V dels transistors MOS que operen en les regions sub-llindar i de saturació vénen donades per les equacions 5.2.1 i 5.4.7, respectivament.

Amb aquestes consideracions, si s'extreuen les tensions porta-font de les equacions anteriors, es troba que aquestes tensions en els transistors M_5 i M_6 (també en M_9 i M_{11}) són idèntiques.

Aleshores, i amb aquestes assumpcions, es té que:

- Els transistors M_5 i M_9 estan polaritzats en la regió sub-llindar amb un corrent I_1 .
- M_6 i M_{11} estan polaritzats en la regió de saturació amb un corrent I_0 .
- No es considera l'efecte de la modulació de la llargada canal, per emprar transistors suficientment grans.
- El terme que està entre claudàtors en 5.4.7 té un valor unitari.
- I, finalment, es força que $V_{GS5} = V_{GS6}$ i $V_{GS9} = V_{GS11}$.

Aleshores s'obtenen les equacions 5.5.2 i 5.5.3:

$$V_{TH5} + mV_T \ln \left(\frac{I_1 L_5}{\mu C_{ox} V_T^2 W_5} \right) = V_{TH6} + \sqrt{\left(\frac{2I_0 L_6}{\mu C_{ox} W_6} \right)} \quad \text{Eq. 5.5.2}$$

$$V_{TH9} + mV_T \ln \left(\frac{I_1 L_9}{\mu C_{ox} V_T^2 W_9} \right) = V_{TH11} + \sqrt{\left(\frac{2I_0 L_{11}}{\mu C_{ox} W_{11}} \right)} \quad \text{Eq. 5.5.3}$$

Donat que les fonts dels transistors NMOS estan connectades a massa, l'efecte cos no hi intervé. Com a conseqüència, $V_{TH5} = V_{TH9}$ i $V_{TH6} = V_{TH11}$. Aleshores, restant les dues equacions (5.5.2 i 5.5.3) entre si, es troba el corrent I_0 :

$$I_0 = \frac{\mu C_{ox} W_{11}}{2L_{11}(N-1)^2} m^2 V_T^2 \ln^2 \left(\frac{W_9 L_5}{W_5 L_9} \right) \quad \text{Eq. 5.5.4}$$

On es defineix N com:

$$N = \sqrt{\frac{W_{11}L_6}{L_{11}W_6}} \quad \text{Eq. 5.5.5}$$

5.5.2 Circuit de càrrega activa

El circuit de càrrega activa consisteix bàsicament en la utilització del transistor M_{14} configurat en mode díode conductiu. El corrent I_0 (5.5.4) generat en l'etapa anterior és injectat en aquest transistor per generar una tensió de referència compensada en temperatura. Aquest transistor treballa en la regió de saturació.

Partint de les equacions 5.1.4 i 5.5.4 es troba la tensió de sortida de referència (equació 5.5.6):

$$V_{REF} = V_{TH14} + \frac{mV_T}{N-1} \sqrt{\frac{W_{11}L_{14}}{W_{14}L_{11}}} \ln\left(\frac{W_9L_5}{W_5L_9}\right) \quad \text{Eq. 5.5-6}$$

El circuit proposat genera la tensió de referència sense necessitat de fer servir cap resistència externa. Aquest és un canvi important respecte a altres circuits presentats en la literatura ([13], [14]) en els que hi són necessàries. Aquesta consideració guanya en importància quan es vol dissenyar un circuit de referència en voltatge de molt baix consum. En aquest sentit cal remarcar que els baixos consums (de desenes de nanoampers) obtinguts en els dissenys esmentats s'obtenen emprant resistències externes grans en els BGR.

Com a resum, aquest nou circuit ha permès reduir dràsticament l'àrea ocupada pel circuit integrat. Aquest aspecte s'explica amb més detall en l'apartat de resultats on es comparen els diferents circuits integrats i amb els resultats presentats per circuits descrits en la literatura.

Finalment, comentar que el circuit de referència de voltatge que es proposa té definits dos estats estables:

- L'estat corresponent al corrent que controla el BGR. És el mode desitjat pel correcte funcionament del circuit.
- L'estat que genera un corrent nul, que és l'estat no desitjat i que s'ha d'evitar.

Per assegurar el correcte funcionament del circuit s'incorpora un circuit d'arrencada, com s'ha fet en l'apartat 5.3.1 (figura 5.9). El circuit d'arrencada està constituït pels transistors M_1 - M_3 i té un funcionament similar al presentat en l'apartat 5.3.1. Aquest circuit permet garantir i assegurar que l'únic estat possible en el circuit de referència en voltatge és el que permet generar el corrent definit en 5.5.4.

5.5.3 Consideracions de disseny

Analitzant el circuit de la figura 5.15, s'observa que els transistors M_5 , M_6 , M_9 , M_{10} i M_{14} estan configurats en mode díode. Per altra banda, quasi totes les variacions de tensió de la font d'alimentació repercuteixen sobre les tensions drenador-font dels transistors M_8 , M_{16} i M_7 dels miralls de corrent i, per tant, també en les tensions drenador-font dels transistors M_5 i M_{11} .

Així doncs, per minimitzar l'efecte de la modulació de la llargada de canal en els transistors afectats, serà necessari fer que les llargades dels canals dels transistors dels miralls de corrent, així com del transistor M_{11} , siguin força grans.

Una altra consideració a tenir en compte és que la tensió de drenador-font del transistor M_5 , que opera a la regió sub-llindar, ha de ser força més gran que la V_T per minimitzar la dependència de V_{DS} al corrent (definida a l'equació 5.4.7).

5.5.4 Dimensionament per minimitzar el consum de corrent

Per minimitzar el consum de circuit, s'ha de considerar quin és el mínim corrent I_0 acceptable i quin és el mínim consum del circuit de referència en voltatge. Aquests consums vénen establerts principalment pels transistors M_6 , M_{11} i M_{14} que operen en la regió de saturació. Com que $W_{11}/L_{11} > W_6/L_6$, i com que $V_{GS11} > V_{TH11}$, es troba que el transistor M_6 també estarà saturat (té el mateix corrent de drenador que el transistor M_{11}). D'aquesta forma, per aconseguir que el corrent I_0 sigui el menor possible, s'ha d'igualar $V_{GS11} = V_{TH11}$ en el transistor M_{11} . Així, els corrents mínims acceptables per I_0 i per I_1 , vénen donats per les següents expressions:

$$I_{0\min} = \frac{\mu C_{ox} W_6}{2L_6} m^2 V_T^2 \ln^2 \left(\frac{W_9 L_5}{W_5 L_9} \right) \quad \text{Eq. 5.5.7}$$

$$I_{1\min} = \frac{\mu C_{ox} W_9}{L_9} V_T^2 l \exp \left(\frac{V_{TH11} - V_{TH9}}{m V_T} \right) \quad \text{Eq. 5.5.8}$$

Com es pot extraure de les equacions anteriors, per tal de garantir un corrent mínim per I_0 i I_1 , s'han escollit valors petits de K_9 i K_6 .

Per altra banda, per garantir la saturació del transistor M_{14} amb $I_{0\min}$, cal fer que el valor de K_{14} sigui més petit que el de K_{11} .

5.5.5 Estudi de la sensibilitat a variacions del procés tecnològic

L'equació 5.5.6 mostra que la tensió de sortida del circuit de referència en voltatge depèn dels paràmetres tecnològics.

Si es considera que els errors d'aparellament de transistors (*matching errors*) estan minimitzats per disseny, la sensibilitat del circuit de referència en voltatge depèn bàsicament de la precisió de la tensió llindar del transistor M_{14} que, es recorda, està en configuració *díode conductiu* (mode resistiu).

Així, per aconseguir una baixa sensibilitat a les variacions del procés tecnològic, tal i com és habitual en aquests tipus de circuits, s'han de minimitzar les variacions de la tensió llindar del transistor M_{14} . Donat que les variacions d'aquesta tensió llindar són inversament proporcionals a \sqrt{WL} , convé que la llargada i amplada del canal d'aquest transistor sigui suficientment gran. En qualsevol cas, és d'esperar que la desviació estàndard de la tensió de referència generada pel circuit proposat sigui major que en el cas d'un circuit *BGR* construït amb amplificadors operacionals ([13], [15]).

Quan es comparen ambdós tipus de referències de voltatge es té que els *BGR* construïts amb amplificadors operacionals, tenen unes dimensions molt superiors al nostre disseny, ja que en el disseny d'un amplificador operacional hi intervé un nombre major de transistors i de capacitats. A més:

- Tenen un consum molt superior perquè han de garantir un guany en llaç obert molt superior a la unitat.
- Normalment necessiten integrar resistències, fet que encara els engrandeix més.

Per altra part, el circuit de referència en voltatge que s'ha dissenyat:

- És més simple conceptualment.
- La seva construcció requereix 10 transistors per funcionar.
- No necessita cap amplificador operacional ni cap resistència.
- El consum del mateix és molt inferior, així com la mida en àrea del circuit integrat.

5.5.6 Efecte de modulació de la llargada de canal.

En els càlculs del corrent I_0 de l'equació (5.5.4 i 5.5.5) no s'ha tingut en compte l'efecte de modulació llargada de canal. Per considerar-lo, s'ha de tenir en compte que inicialment els transistors M_5 i M_6 treballen en la regió sub-llindar. Així, el corrent de drenador d'aquests dos transistors depèn exponencialment de la seva tensió drenador-font. Si aquesta tensió és de 3 a 4 vegades més gran que la tensió tèrmica,

l'efecte de modulació de llargada del canal es pot menysprear. Considerant els transistors M_9 i M_{11} , es pot fer servir l'equació 5.1.4, i emprar pel càlcul el mateix procediment que a 5.5.4 i 5.5.5, fent que $V_{GS5} = V_{GS6}$ i $V_{GS9} = V_{GS11}$. Acte seguit es poden calcular les tensions de porta a font. Restant-les entre elles, s'obté el corrent de polarització:

$$I_0 = \left(\frac{1}{N - \frac{1}{\sqrt{1 + \lambda V_{DS11}}}} \right)^2 \ln^2 \left(\frac{W_9 L_5}{W_5 L_9} \right) \frac{m^2 V_T^2 K_{11}}{2} \quad \text{Eq. 5.5.9}$$

Amb l'objectiu de simplificar l'equació, es considera nul l'efecte de modulació de la llargada de canal ($\lambda = 0$). Es defineix així I_{0NOM} com:

$$I_{0NOM} = \left(\frac{1}{N-1} \right)^2 \ln^2 \left(\frac{W_9 L_5}{W_5 L_9} \right) \frac{m^2 V_T^2 k_{11}}{2} \quad \text{Eq. 5.5.10}$$

Tot seguit, en l'expressió 5.5.9 es considera el canal del transistor M_{11} és suficientment llarg de manera que $\lambda V_{DS11} \ll 1$. Expandint per Taylor i agafant els dos primers termes es té que:

$$\frac{1}{\sqrt{1+x}} \cong 1 - \frac{x}{2} \Rightarrow \frac{1}{(1+x)^2} \cong 1 - 2x \quad \text{Eq. 5.5.11}$$

Que aplicant-ho a l'expressió 5.5.9 queda:

$$I_0 \cong \left(1 - \frac{\lambda V_{DS11}}{N-1} \right) \left(\frac{1}{N-1} \right)^2 \ln^2 \left(\frac{W_9 L_5}{W_5 L_9} \right) \frac{m^2 V_T^2 k_{11}}{2} \quad \text{Eq. 5.5.12}$$

I utilitzant 5.5.10 s'obté que:

$$I_0 \cong I_{0NOM} \left(1 - \frac{\lambda V_{DS11}}{N-1} \right) \quad \text{Eq. 5.5.13}$$

Tot seguit es calcula la tensió de referència fent servir una altra vegada la simplificació de primer ordre de Taylor:

$$\sqrt{1-x} \cong 1 - \frac{x}{2} \quad \text{Eq. 5.5.14}$$

De les expressions 5.5.1 i de 5.5.15, s'obté:

$$V_{REF} \cong V_{REF0} - (V_{REF0} - V_{th14}) \left(\frac{\lambda V_{DS11}}{2(N-1)} \right) \quad \text{Eq. 5.5.15}$$

Es pot escriure la tensió drenador font del transistor M_{11} com:

$$V_{DS11} = V_{DD} - |V_{GS10}| \quad \text{Eq. 5.5.16}$$

Partint de la tensió de referència descrita a 5.5.6 amb $\lambda = 0$ i fent servir altra vegada Taylor per aproximar en primer ordre

$$\frac{1}{(1-x)} \cong 1+x \quad \text{Eq. 5.5.17}$$

es pot descriure V_{DS11} com:

$$V_{DS11} = \left(1 + \frac{\lambda}{2} \sqrt{\frac{W_{14}L_{10}}{W_{10}L_{14}}} \frac{V_{REF0} - V_{th}}{N-1} \right) \left(V_{DD} - (V_{REF0} - V_{th}) \sqrt{\frac{W_{14}L_{10}}{W_{10}L_{14}}} - |V_{thp}| \right) \quad \text{Eq. 5.5.18}$$

A on V_{thp} és la tensió llindar dels transistors PMOS.

5.5.7 Compensació en temperatura

Per trobar l'equació 5.4.14 de l'apartat 5.4.2, s'ha considerat que la tensió llindar d'un transistor NMOS decreix linealment amb la temperatura. Si es té en compte aquesta aproximació, i es diferencia l'equació 5.5.6 respecte a la temperatura, s'obté l'equació 5.5.19:

$$\frac{\partial V_{Ref}}{\partial T} = -K_m + \frac{m}{N-1} \frac{K_B}{q} \sqrt{\frac{W_{11}L_{14}}{W_{14}L_{11}}} \ln\left(\frac{W_9L_5}{W_5L_9}\right) \quad \text{Eq. 5.5.19}$$

Aquesta equació mostra una perfecta supressió de la dependència en temperatura deguda a la mobilitat ja que el coeficient de temperatura és independent de la mobilitat dels portadors.

S'obté així un comportament millor del circuit en quant a la dependència en temperatura respecte als resultats publicats en la literatura [6]. Per altra part, en aquests casos el coeficient de temperatura es degrada molt significativament quan el circuit s'allunya de la temperatura de referència estipulada.

Agafant l'equació 5.5.19, i igualant a zero per eliminar la dependència del circuit amb la temperatura, s'obté la relació de forma dels transistors, equació 5.5.20.

$$\sqrt{\frac{W_{11}L_{14}}{W_{14}L_{11}}} = \frac{K_m(N-1)}{m \frac{K_B}{q} \ln\left(\frac{W_9L_5}{W_5L_9}\right)} \quad \text{Eq. 5.5.20}$$

Una vegada satisfeta l'equació 5.5.20, es minimitza la dependència del circuit respecte a variacions de la temperatura. Cal recordar que s'ha partit de l'aproximació de disminució lineal de la tensió llindar amb la temperatura (equació 5.4.14).

La condició 5.5.20 establerta per a un coeficient de temperatura de zero, no té en compte els efectes de segon ordre.

Si ara es consideren tots els factors de dependència tèrmica, i s'introdueix l'equació 5.5.18 en l'equació 5.5.15, s'obté el coeficient de temperatura de la tensió de sortida del circuit de referència en voltatge:

$$\frac{\partial V_{REF}}{\partial T} = \frac{-\lambda K_m}{N-1} \left[V_{DD} - (V_{REF0} - V_{TH14}) \left(2 \sqrt{\frac{W_{14}L_{10}}{W_{10}L_{14}}} - \frac{K_p}{K_m} \right) - |V_{TH10}| \right] \quad \text{Eq. 5.5.21}$$

On K_p és el coeficient de temperatura de la tensió llindar dels transistors PMOS.

Aleshores, per aconseguir que la dependència en temperatura sigui zero cal complir la condició 5.5.22:

$$\sqrt{\frac{W_{14}L_{10}}{W_{10}L_{14}}} = \frac{K_p}{2K_m} + \frac{(V_{DD} - |V_{TH10}|)}{2(V_{REF0} - V_{TH14})} \quad \text{Eq. 5.5.22}$$

5.5.8 Efecte cos

Donat que els terminals del substrat dels transistors NMOS estan connectats a massa i els terminals del substrat dels transistors PMOS estan connectats a V_{DD} , el circuit de referència en voltatge no té efecte substrat.

5.5.9 Resum

En aquest apartat 5.5 s'ha introduït un circuit BRG que millora la dependència en temperatura i el consum, respecte al model inicial integrat a l'ASIC 1.0. Aquest disseny no ha estat integrat a cap ASIC. Però tots els resultats que s'han obtingut, constitueixen la base de disseny del circuit de referència que es presenta en el següent apartat.

5.6 Circuit de referència adaptatiu de baix consum, compensat en temperatura i en tensió d'alimentació.

Introduïts els aspectes teòrics en l'apartat 5.4, a continuació es presenta el disseny realitzat d'un BGR de molt baix consum, que elimina la dependència en temperatura, i amb un bon comportament respecte a les variacions de V_{DD} . A més, aquest circuit permet compensar les variacions de la tensió d'alimentació que poden afectar significativament a l'etapa de conversió freqüencial posterior.

Per altra banda aquest BGR està dissenyat de manera que permet treballar amb una tensió d'alimentació propera a la tensió llindar (0,9 V), estant enfocat a aplicacions de molt baix consum. Es va integrar en el segon ASIC ROIC, fabricat el juliol/2011.

Aquest apartat presenta els canvis introduïts en el BRG per tal d'aconseguir millors prestacions en:

- Consum.
- Dependència en temperatura.
- Dependència en V_{DD} .
- PSRR.
- Tensió mínima de funcionament.
- Compensació de l'etapa posterior (CtoF)

5.6.1 Descripció del circuit

La figura 5.16 mostra el disseny del BGR final. Es basa en els mateixos principis que el circuit de referència en voltatge dels dos apartats anteriors.

Si s'assumeix que els transistors de l'etapa de càrrega activa estan tots treballant en la zona de saturació, la tensió de sortida del circuit de referència en voltatge ve donada per l'expressió 5.6.1.

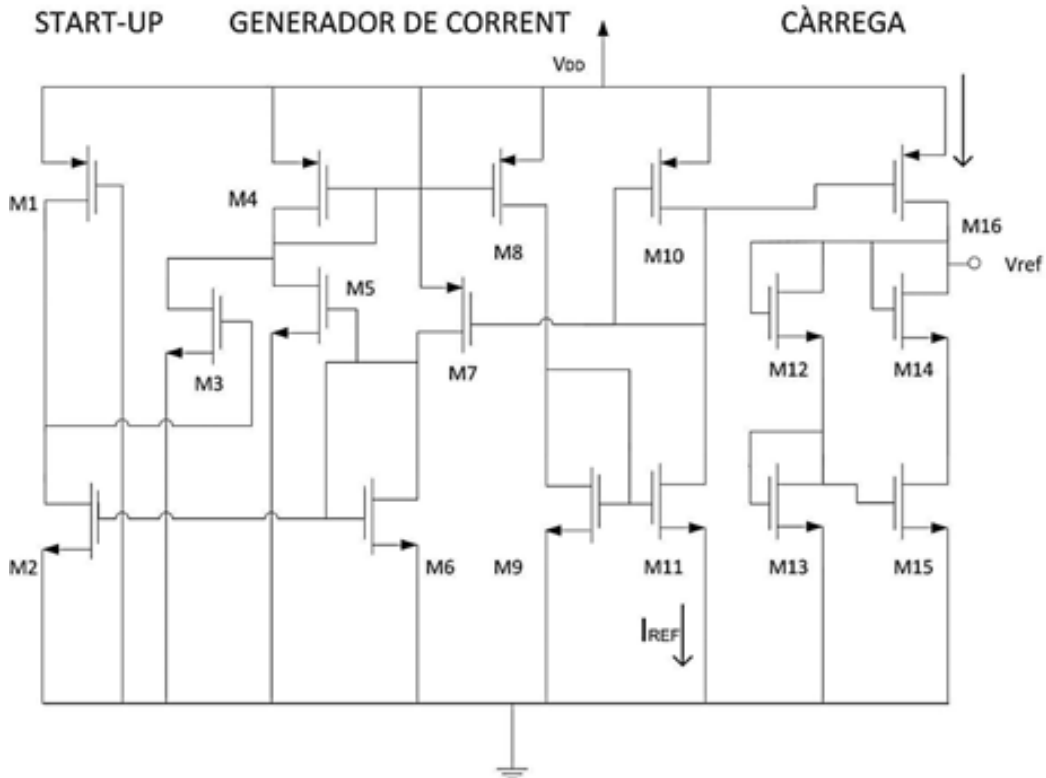


Figura 5.16: Circuit de referència en voltatge de l'ASIC ROIC 2.0.

$$V_{Ref} = \left[\frac{1}{\sqrt{K_{15}}} \left(1 + \sqrt{\frac{(W/L)_{13}}{(W/L)_{12}}} \right) \right] \sqrt{2I_{out}} + 2V_{TH} \quad \text{Eq. 5.6.1}$$

Com s'ha introduït en els apartats anteriors, K_{14} i K_{15} són proporcionals a la mobilitat dels electrons. Per tant, un mecanisme de supressió de la dependència en temperatura deguda a la mobilitat, passa per subministrar un corrent de polarització amb dependència quadràtica respecte a la mobilitat ja que així es compensa la dependència en temperatura de la tensió llindar (V_{TH}).

D'acord amb la figura 5.16, el circuit de càrrega utilitzat està format per un divisor de tensió actiu que consta de dos transistors, M_{12} i M_{13} , ambdós polaritzats en la zona de saturació. La tensió de sortida queda descrita per l'equació 5.6.2.

$$V_{Ref} = \left(1 + \sqrt{\frac{(W/L)_{13}}{(W/L)_{12}}} \right) V_{GS15} + \left(1 - \sqrt{\frac{(W/L)_{13}}{(W/L)_{12}}} \right) V_{TH} \quad \text{Eq. 5.6.2}$$

Com s'ha comentat anteriorment, M_{12} i M_{13} estan saturats, fet que permet expressar la tensió porta-font com a:

$$V_{GS15} = \sqrt{\frac{2I_o}{K_{15}}} + V_{TH} \quad \text{Eq. 5.6.3}$$

D'on queda que:

$$V_{Ref} = \left(1 + \sqrt{\frac{(W/L)_{13}}{(W/L)_{12}}} \right) \left(\sqrt{\frac{2I_0}{K_{15}}} + V_{TH} \right) + \left(1 - \sqrt{\frac{(W/L)_{13}}{(W/L)_{12}}} \right) V_{TH} \quad \text{Eq. 5.6.4}$$

Si es vol garantir una correcta compensació en temperatura caldrà que la major part del corrent I_0 circuli per la parella de transistors M_{14} i M_{15} , forçant que el corrent que passa per M_{15} sigui molt més gran que el que passa per M_{13} . Per tant, el factor de forma del transistor M_{15} ha de ser molt més gran que el factor de forma del transistor M_{13} .

$$\frac{k_{15}}{2} (V_{GS15} - V_{TH})^2 \gg \frac{k_{13}}{2} (V_{GS13} - V_{TH})^2 \quad \text{Eq. 5.6.5}$$

Finalment cal recordar que, com en el segon model presentat, el corrent I_0 ve expressat per l'equació 5.6.6:

$$I_0 = \frac{K_{11}}{2(N-1)^2} m^2 V_T^2 \ln^2 \left(\frac{W_9 L_5}{W_5 L_9} \right) \quad \text{Eq. 5.6.6}$$

5.6.2 Rang dinàmic

El rang dinàmic màxim ve donat per la diferència de tensió existent entre la tensió d'alimentació mínima i la màxima que garanteixi el correcte funcionament del circuit de referència en voltatge.

La tensió d'alimentació màxima ve limitada per la tecnologia que es fa servir i està acotada per la màxima tensió drenador-font que suporten els transistors MOS desenvolupats amb aquesta tecnologia. Donat que la tensió màxima de drenador a font dels transistors MOS és de 3,3 V i que, per altra banda, la branca del disseny més crítica és la formada per la parella de transistors M_9 - M_{10} es pot considerar que:

$$V_{DDmax} < |V_{DS16max}| + V_{REF} = 4,4 \text{ V} \quad \text{Eq. 5.6.7}$$

La tensió mínima d'alimentació ve imposada pel circuit de generació de corrent. Així doncs s'ha d'assegurar que el transistor M_4 treballa en la regió de saturació, que $V_{GS4} < V_{TH4}$ (es recorda que $V_{TH4} = -0,75\text{V}$) i que, per altra banda, el transistor M_5 té una tensió drenador-font d'almenys 100mV de forma que la dependència amb V_{DS} del corrent en M_5 pot ser menyspreada. Així doncs s'ha de complir la següent equació:

$$V_{DDmin} > |V_{GS4}| + V_{DS5MIN} \cong 0,9 \text{ V} \quad \text{Eq. 5.6.8}$$

5.6.3 Compensació en temperatura

Si es parteix de l'expressió d' I_0 donada per l'equació 5.6.6 (corresponent al corrent de drenador de M_{14} i M_{15}) i considerant l'expressió 5.6.4 (que és la tensió de referència del circuit) s'obté que la tensió de referència és:

$$V_{REF} = \left(1 + \sqrt{\frac{(W/L)_{13}}{(W/L)_{12}}} \right) \left(\frac{mV_T \ln\left(\frac{W_9L_5}{W_5L_9}\right)}{N-1} \sqrt{\frac{K_{11}}{K_{15}}} + V_{TH} \right) + \left(1 - \sqrt{\frac{(W/L)_{13}}{(W/L)_{12}}} \right) V_{TH} \quad \text{Eq. 5.6.9}$$

Si es diferencia l'expressió anterior respecte a la temperatura, i es considera que la tensió llindar decreix linealment amb la temperatura (d'acord amb l'expressió 5.4.14), s'obté l'equació 5.6.10.

$$\frac{\partial V_{REF}}{\partial T} = \left(1 + \sqrt{\frac{(W/L)_{13}}{(W/L)_{12}}} \right) \left(\frac{mK_B \ln\left(\frac{W_9L_5}{W_5L_9}\right)}{q(N-1)} \sqrt{\frac{K_{11}}{K_{15}}} + K_{t1} \right) + \left(1 - \sqrt{\frac{(W/L)_{13}}{(W/L)_{12}}} \right) \frac{K_B}{q} \quad \text{Eq. 5.6.10}$$

Igualant a 0 l'equació anterior, es troba la condició que anul·la la dependència en temperatura del circuit:

$$\left(1 - \sqrt{\frac{(W/L)_{13}}{(W/L)_{12}}} \right) \frac{K_B}{q} = \left(1 + \sqrt{\frac{(W/L)_{13}}{(W/L)_{12}}} \right) \left(\frac{mK_B \ln\left(\frac{W_9L_5}{W_5L_9}\right)}{q(N-1)} \sqrt{\frac{K_{11}}{K_{15}}} + K_{t1} \right) \quad \text{Eq. 5.6.11}$$

De l'equació anterior s'aïllen els factors de forma dels transistors M_{13} , M_{12} , M_9 i M_5 que satisfan la condició.

5.6.4 Efecte de la modulació de la llargada del canal

En l'anàlisi dels efectes de la modulació de la llargada del canal en el circuit BGR són vàlides totes les consideracions fetes a l'apartat 5.4.3, que tracta sobre els efectes de modulació de la llargada del canal en la segona proposta de BGR. En aquest cas, i donat que es tracta del mateix circuit de càrrega, es poden fer servir les expressions 5.4.18 i 5.4.19.

5.6.5 Raó de rebuig a la tensió d'alimentació (PSRR).

Donat el baix consum del circuit dissenyat de referència el voltatge, el PSRR (*Power Supply Rejection Ratio*) o *raó de rebuig a la tensió d'alimentació*, esdevé crític.

De fet, per a corrents de drenador molt petits la transconductància g_m esdevé molt petita, degradant considerablement el PSRR.

Per millorar el PSRR, la resistència de drenador a font r_o dels transistors MOS ha de ser ajustada al valor més gran possible per permetre l'obtenció d'un gran guany $g_m r_o$. Així doncs podem partir dels següent supòsits:

- Si es considera el cas del transistor MOS en la regió sub-llindar i donat $V_{DS} \gg V_T$, en virtut de la dependència exponencial de la tensió drenador-font, la resistència drenador-font agafa un valor molt gran.
- En el cas del transistor MOS en la regió de saturació, s'obté que $r_d = \lambda I_d$. Treballant amb un transistor de canal llarg s'aconsegueix una resistència molt gran amb un corrent petit de drenador.

Per calcular el PSRR en corrent continu, es fa servir el circuit equivalent en petit senyal (figura 5.17) per a alta freqüència. Aleshores, i a partir del circuit equivalent s'obté que:

$$\frac{i_{OUT}}{v_{DD}} \cong \frac{1}{r_{07}} \left(\frac{g_{m10} - g_{m11} g_{m09} g_{m7}}{g_{m11} g_{m09} g_{m10}} \right)^{-1} \quad \text{Eq. 5.6.12}$$

on g_{mi} és la transconductància del transistor M_i i r_{07} és la resistència drenador – font del transistor M_5 .

Per aconseguir una variació molt petita del corrent generat quan la tensió d'alimentació varia, el transistor M_{07} ha de ser suficientment llarg de canal i el terme entre parèntesis també ha de ser el més gran possible.

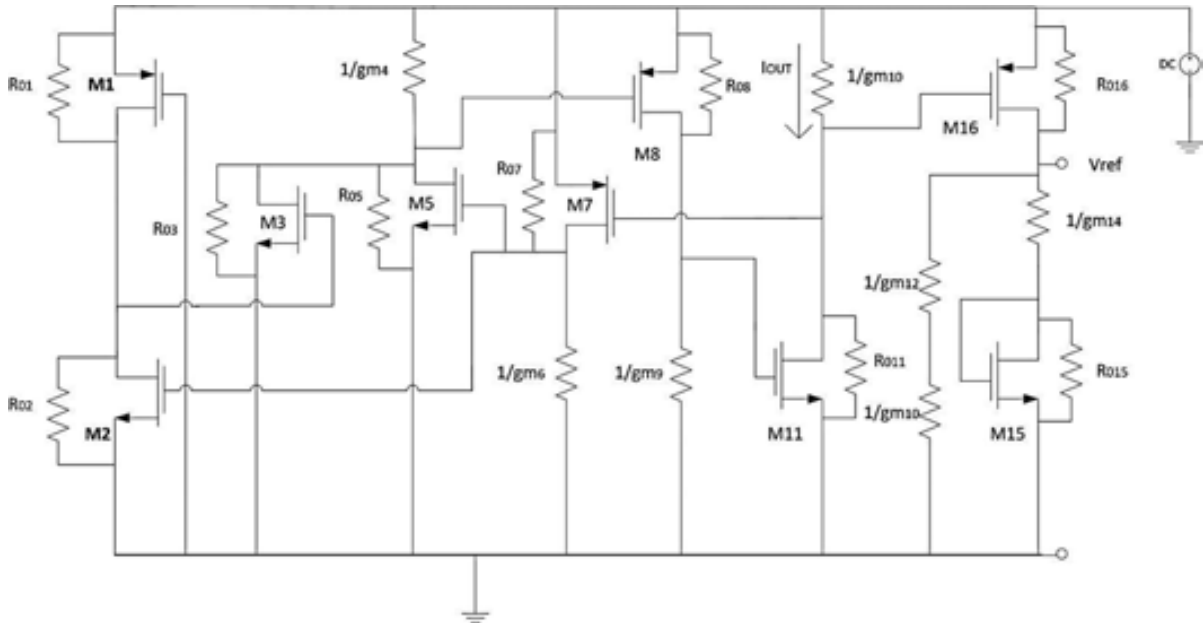


Figura 5.17: Circuit de referència en voltatge pel càlcul del PSRR en corrent continu.

A partir del circuit anterior es té que la relació entre la tensió de sortida i la tensió d'alimentació i ve donat per:

$$\frac{v_{REF}}{v_{DD}} \cong \left(\frac{1}{r_{016}} + \frac{g_{m16} i_{OUT}}{g_{m10} v_{DD}} \right) \left(\frac{g_{m12} + g_{m10}}{g_{m15} g_{m12}} \right) \left(1 - \frac{g_{m15} + g_{m14}}{g_{m15} g_{m14}} \frac{g_{m10}}{g_{m15} g_{m10}} \right) \quad \text{Eq. 5.6.13}$$

En conseqüència, per aconseguir un PSRR petit, el canal del transistor M_{16} ha de ser lo suficientment llarg com per garantir una resistència de drenador a font el més gran possible.

D'acord amb 5.6.12 i 5.6.13, el PSRR depèn tant dels valors de les transconductàncies, com de la relació entre elles, que pot ser tan gran com faci falta per d'aconseguir un PSRR el més petit possible, fins i tot per a corrents I_{OUT} molt petites.

Per a calcular el PSRR a alta freqüència, es pot fer servir el circuit de la figura 5.18. A alta freqüència, les resistències de drenador-font i els generadors de corrent controlats per tensió dels transistors MOS es poden no tenir presents i, d'aquesta forma, el circuit per l'anàlisi en petit senyal a alta freqüència pot quedar reduït a una xarxa de capacitats sèrie - paral·lel.

Si es té en compte l'efecte Miller de la capacitat porta-drenador del transistor M_{16} , la capacitat des de la porta d'aquest transistor fins a massa és molt més gran que la capacitat de la porta del mateix fins al terminal d'alimentació. En conseqüència, per a l'anàlisi en petit senyal a alta freqüència es pot dir que aquest transistor M_{16} està connectat a massa.

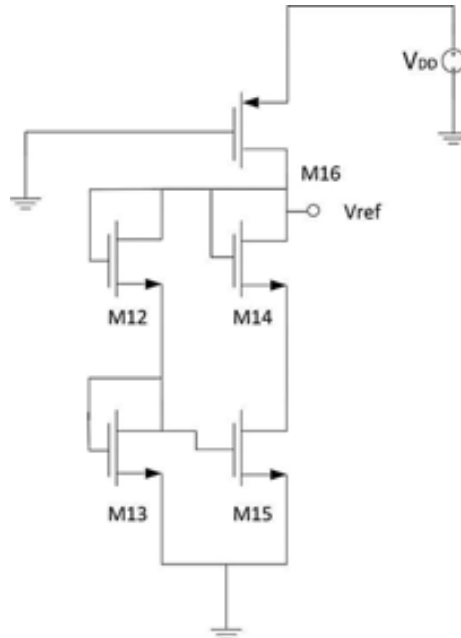


Figura 5.18: Circuit per al càlcul del PSRR alta freqüència.

La figura 5.19 mostra el correspon circuit equivalent en capacitats per a altra freqüència.

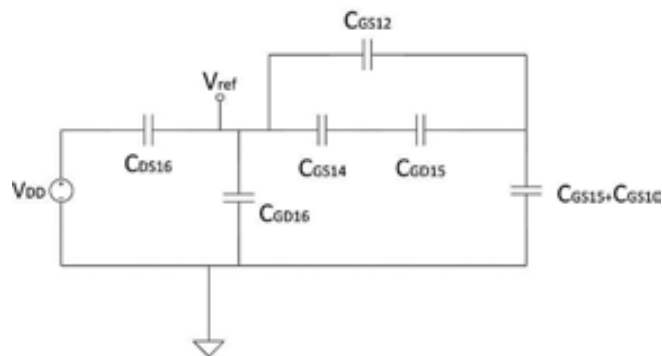


Figura 5.19: Circuit pel càlcul del PSRR a alta freqüència. Model capacitiu.

$$\frac{v_{REF}}{v_{DD}} = \frac{C_{ds16} \cdot C_{ref}}{C_{ref} (C_{ref} + C_{ds16})} \quad \text{Eq. 5.6.14 i Eq. 5.6.15}$$

Amb:

$$C_{ref} = C_{GD16} + \left(\frac{(C_{GS15} + C_{GS10})(C_{GS14} \cdot C_{GD15} + C_{GS12} \cdot C_{GS14} + C_{GD15} \cdot C_{GS12}) + C_{GS14} \cdot C_{GD15}}{(C_{GS14} \cdot C_{GD15})(C_{GS15} + C_{GS10})} \right)^{-1}$$

On C_{GDi} , C_{GSi} , C_{DSi} són les capacitats de porta a drenador, de porta a font i de drenador a font del transistor M_i .

Partint de la base que la capacitat de drenador a font és molt més petita que la resta de capacitats, el PSRR a alta freqüència serà molt petit, com es veurà en la secció de resultats d'aquest capítol.

5.6.6 Efecte cos

L'efecte cos en l'etapa de generació de corrent, no es dona ja que els terminals del substrat dels transistors NMOS estan connectats a massa i els terminals del substrat dels transistors PMOS estan connectats a V_{DD} .

L'efecte cos dels transistors del circuit de càrrega, en particular de M_{12} , es modela a partir de la dependència de la tensió llindar amb el substrat (equació 5.6.16).

$$V_{TH} = V_{TH0} + K_1 \left(\sqrt{2\phi_s - V_{BS}} - \sqrt{2\phi_s} \right) \quad \text{Eq. 5.6.16}$$

Si es consideren aquestes condicions, la sortida de referència en voltatge pot ser reescrita en la forma 5.6.17.

$$V_{REF} = V_{REF0} + (V_{th12} - V_{th0}) \quad \text{Eq. 5.6.17}$$

A partir de les expressions anteriors es troba que el coeficient de dependència amb la temperatura ve donat per l'equació 5.6.18.

$$\frac{\partial V_{Ref}}{\partial T} = K_1 \frac{\partial 2\phi_s}{\partial T} \left(\frac{1}{\sqrt{2\phi_s - V_{BS12}}} \right) \quad \text{Eq. 5.6.18}$$

5.6.7 Compensació del pendent de la tensió de referència

Com s'ha introduït en el capítol 4, l'etapa d'atac en el convertidor freqüencial està formada per un oscil·lador de relaxació CMOS de baix consum.

El corrent de càrrega d'aquest oscil·lador és controlat, en part, per la tensió de referència que genera el nostre circuit de referència en voltatge. Aquest corrent de càrrega actua sobre el sensor capacitiu, que és l'element a mesurar.

Donat que l'etapa posterior no introdueix mesures de compensació per a les variacions de V_{DD} , qualsevol variació de la tensió d'alimentació afectarà al valor de la freqüència de sortida de l'oscil·lador segons mostra la següent equació:

$$Cdv = Idt \quad \text{Eq. 5.6.19}$$

D'on s'extreu:

$$f = \frac{1}{\int \frac{C}{I} dv} \quad \text{Eq. 5.6.20}$$

Considerant els valors de C (valor capacitiu del sensor) i I (corrent de càrrega del sensor) com a constants, s'observa que si la tensió de càrrega del condensador varia (degut a variacions de la tensió d'alimentació), el canvi afectarà directament a la freqüència de sortida del convertidor. Així doncs, tota variació de VDD afecta, amb la mateixa proporció, la freqüència de sortida del convertidor, creant un error que pot ser important en la mesura.

Donat que la utilització del BGR es troba en aplicacions de pre-procés de senyal per a sensors capacitius, tota compensació que s'introdueixi ha de ser proporcional a la variació de la tensió d'alimentació del convertidor. Ajustant el corrent de càrrega del condensador es permet independitzar la freqüència de sortida de les variacions de la tensió d'alimentació, de manera que la freqüència de sortida del BRG serà exclusivament funció del valor del sensor capacitiu.

Aquest corrent de càrrega del condensador del circuit oscil·lador de relaxació, ve controlat per la tensió de referència generada en el BGR que, com s'ha vist inicialment, és completament independent de variacions en la tensió d'alimentació. Per tant, és necessari variar la resposta del circuit de referència en voltatge per fer-ho mínimament dependent de la tensió d'alimentació i així aconseguir aquesta compensació desitjada en l'etapa posterior.

D'acord amb l'anàlisi fet en l'apartat 5.6.5, l'ajust del pendent de la tensió de referència es pot fer ajustant la mida del canal del transistor M_{16} . D'acord amb l'expressió 5.6.13, quan el canal del transistor M_{16} no és excessivament gran, s'obté un valor mig de resistència drenador – font que depèn de manera controlada de la tensió de sortida amb la tensió d'alimentació.

Ajustant adequadament aquesta dependència, s'aconsegueix que el corrent de càrrega/descàrrega del sensor capacitiu inclòs dins el circuit oscil·lador de relaxació (introduït en la secció 4.6.7), compensi la variació de la tensió d'alimentació en la mateixa proporció, de manera que s'obté una freqüència de sortida del convertidor capacitat a freqüència totalment independent de la variació de V_{DD} , i de la temperatura.

5.6.8 Resultats

El circuit de referència en voltatge de baix consum, compensat en temperatura i adaptatiu a les variacions de corrent de l'etapa de càrrega ha estat implementat fent servir la tecnologia (de 4 capes de metall i 2 de polisilici) CMOS 0,35 μ m del fabricant AMS, amb el *hitkit* 3.7.

La figura 5.20 mostra el *layout* del circuit dissenyat emprant l'eina *Layout XL* de Cadence. Per minimitzar l'efecte de modulació de la llargada de canal, de la temperatura i de la variació de la tensió d'alimentació s'han emprat transistors de canal llarg.

La figura 5.21 mostra la fotografia feta amb microscopi de la part del circuit integrat que conté el circuit de referència en voltatge. Les dimensions grans dels transistors PMOS, aconsegueixen el doble objectiu de reduir el PSRR i la dependència en la temperatura. En el disseny s'han emprat tècniques d'aparellament en els transistors per evitar que les possibles diferents densitats de dopants de l'oblea introdueixin desequilibris en els corrents en els miralls de corrent.

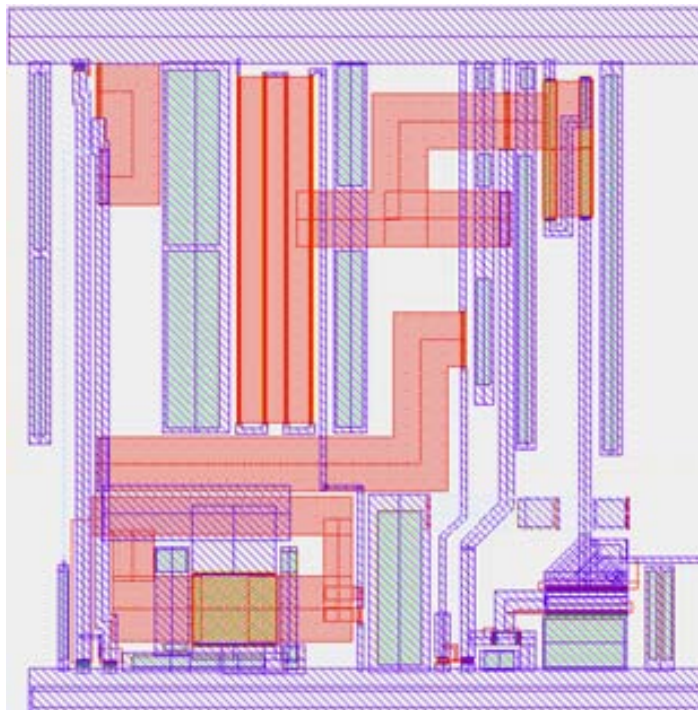


Figura 5.20: Layout del circuit de referència en voltatge (extret de *Virtuoso*).

Les figures 5.22 i 5.23 mostren la resposta de la sortida del circuit de referència en voltatge per a una tensió d'alimentació en rampa de 0 V a 3.3 V.

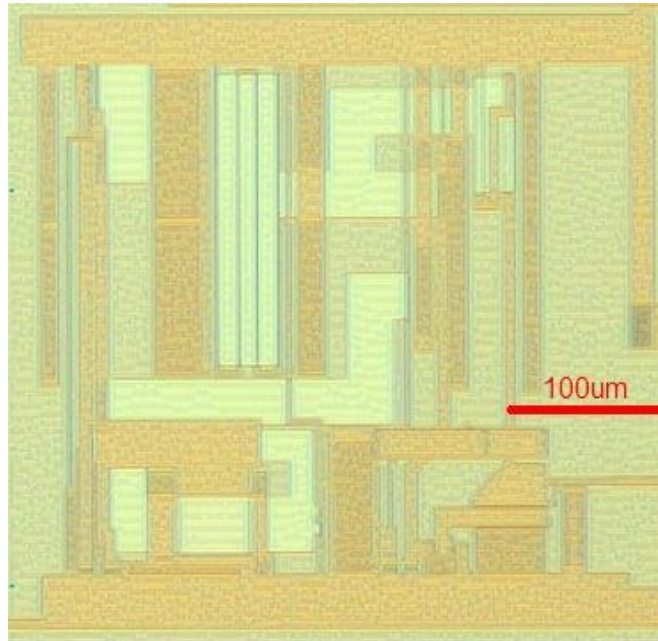


Figura 5.21: Fotografia del circuit de referència en voltatge feta amb microscopi.

Les gràfiques corresponen a la sortida de simulació i a la caracterització feta del circuit integrat, respectivament. En la figura de 5.22, els dos senyals que s'observen són la tensió d'alimentació (la figura rampa) i la sortida del circuit de referència (senyal inferior). Es pot observar que aquesta tensió de sortida mostra dues pendents, que són:

- La V_{REF} compensada, que és la tensió de sortida que implementa la compensació en temperatura i la millora en PSRR, i que també compensa la variació de V_{DD} de l'etapa posterior del circuit de referència (etapa que converteix de capacitat a freqüència formada per un oscil·lador de relaxació de baix consum).
- La V_{REF} no compensada. Com en el cas anterior es tracta de la compensació en temperatura i PSRR, però que no té en compte cap compensació per a l'etapa posterior.

Detallant més la gràfica, s'observa que el circuit de referència comença a funcionar quan la tensió d'alimentació creua els 840mV, nivell que està una mica per sota respecte a la figura que s'havia obtingut per simulació emprant *Spice*. Aquest és el punt on el circuit de referència comença la rampa que permetrà compensar la variació de V_{DD} , i que compensa les variacions en tensió d'alimentació que pot patir el circuit de conversió de capacitat a freqüència.

En la mateixa gràfica la simulació mostra el valor real del circuit de referència que s'obtidria de no fer-se la compensació de la sortida per a l'etapa posterior. Aquest comportament simulat, mostra la linealitat del circuit de referència en voltatge. Aquesta simulació s'utilitza per comparar la resposta del *BGR* dissenyat amb la resta de circuits de *bandgap* presentats en la literatura.

La tensió de referència generada pel BGR va des dels 720mV per al cas d'una V_{DD} de 0,92V, fins als 1,243V per al cas dels 3,8V de tensió d'alimentació.

La figura 5.24 mostra un escombrat en freqüència que va des dels 0Hz fins als 100MHz per analitzar la raó de rebuig del circuit a la tensió d'alimentació (PSRR).

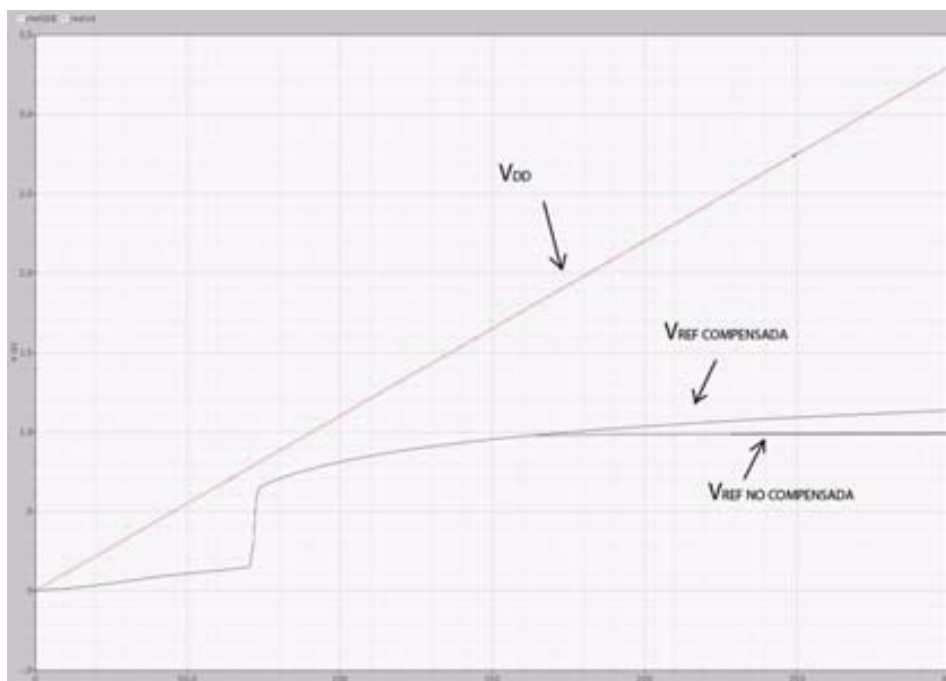


Figura 5.22: Simulació de la sortida del VRG amb compensació i sense.

Les mesures s'han realitzat a una temperatura de 22°C (temperatura del laboratori) i amb una tensió de 2V en el que respecta a la tensió d'alimentació.

S'ha obtingut un PSRR (sense la incorporació de cap filtre capacitiu que modificaria lleugerament el resultat) de -53dB a 100Hz i -49dB a 10MHz en la línia dels càlculs teòrics.

estat de 16ppm/°C. La mesura feta amb una tensió d'alimentació de 3 V ha estat de 17ppm/°C, que s'ha vist augmentada a 20ppm/°C i 21ppm/°C per a 4V i 1V respectivament.

La gràfica mostra que la variació de la tensió de referència en un rang de variació de la temperatura de 80°C, és mínim. Les mesures confirmen la millora introduïda en el nou disseny en el que respecte a la dependència de la tensió de referència davant de variacions de la temperatura. Els resultats obtinguts corresponen amb els resultats teòrics.

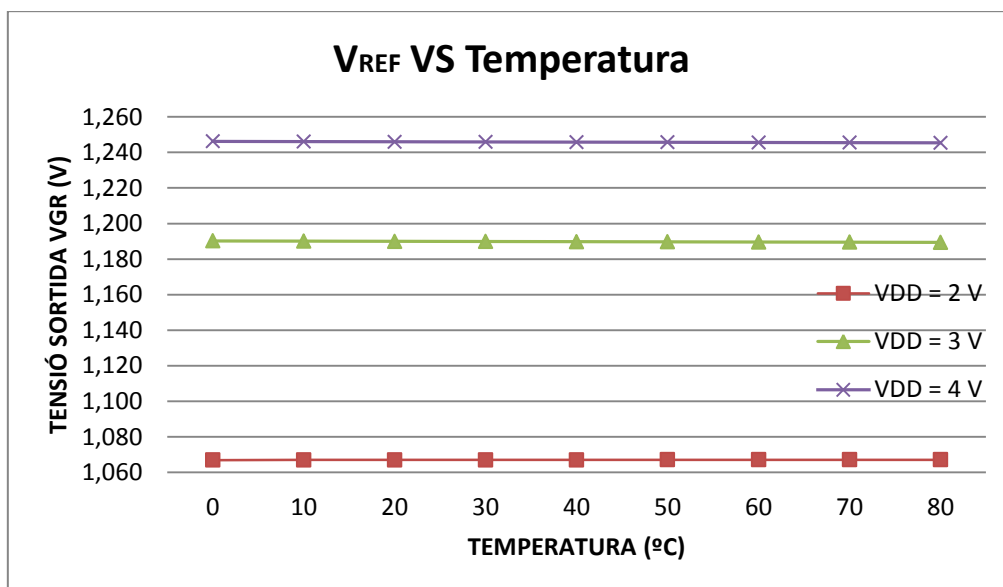


Figura 5.25: Variació de la tensió de sortida del circuit de referència en voltatge per a diferents temperatures.

S'ha realitzat un estudi estadístic sobre la tensió de sortida del circuit de referència en voltatge amb una mostra de 8 circuits integrats diferents (cada color representa un ASIC diferent). Per fer la prova, s'ha efectuat un escombrat en temperatura (0°C – 80°C) sobre cadascun dels BRG, i s'ha pres una mostra de les tensions de sortida generades. La tensió d'alimentació ha estat fixada a 3V. La figura 5.26 mostra els resultats. D'acord amb els resultats presentats en la gràfica anterior (figura 5.25), s'observa que el coeficient de temperatura resta controlat sense variacions significatives.

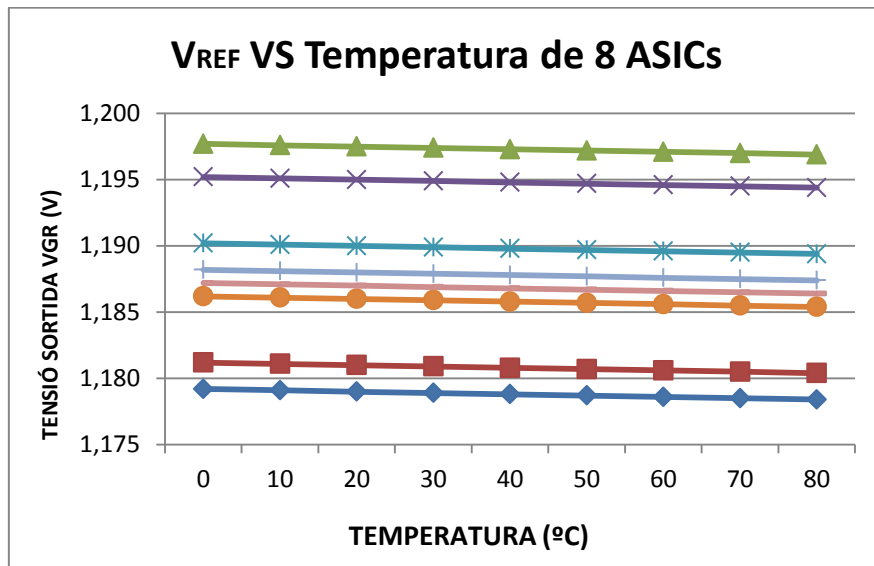


Figura 5.26: Tensió de sortida del circuit de referència en voltatge per a 8 mostres de ASIC.

També s'observa que les mesures realitzades amb diferents mostres no tenen diferències significatives (la màxima diferència entre mostres és de 17 mV obtenint un 1,4% d'error màxim entre els casos més extrems).

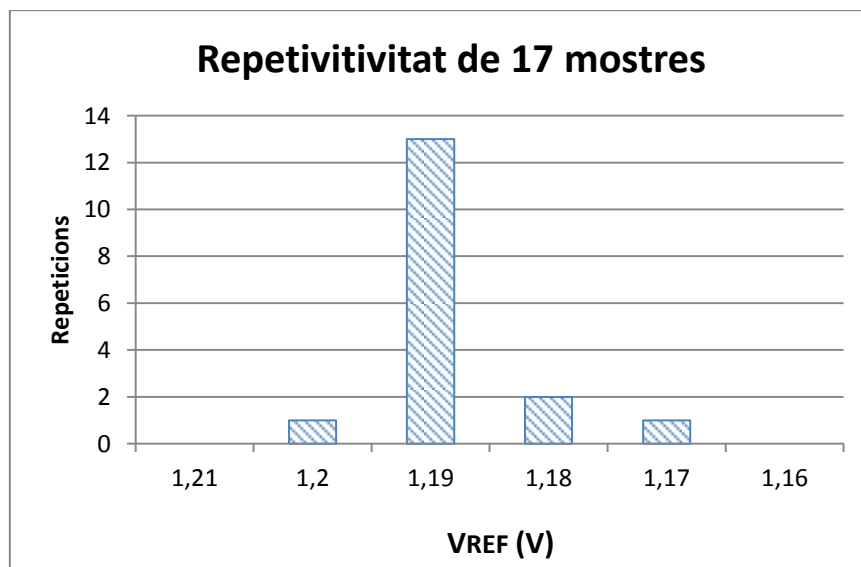


Figura 5.27: Histograma de tensió de sortida del circuit de referència en voltatge.

També s'ha fet un test de repetibilitat aplicant un seguit de 17 mesures sobre el circuit integrat de referència, a una tensió d'alimentació de 3V, i a una temperatura del laboratori de 22°C.

Es pot observar una bona concordança en totes les mesures. S'ha obtingut un valor mig de $\mu = 1,185\text{V}$ amb una desviació $\sigma = 2,83\text{mV}$, francament petita.

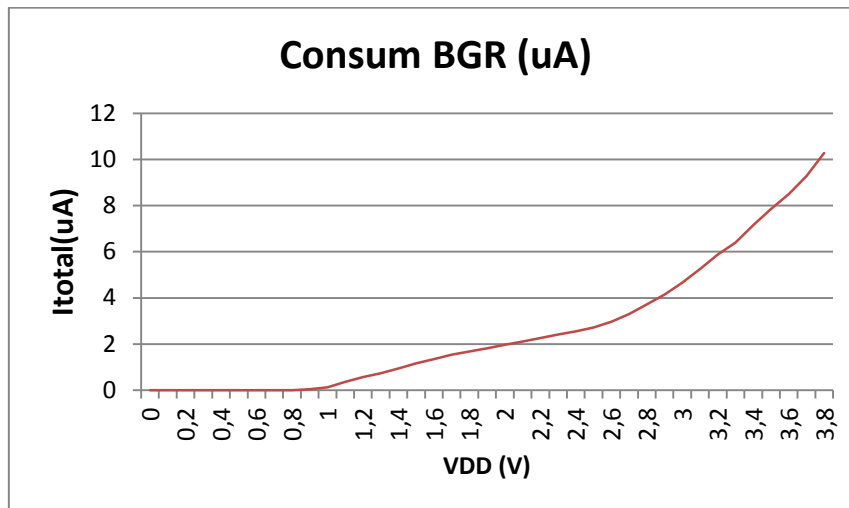


Figura 5.28: Consum total del circuit de referència

La gràfica 5.28 mostra el consum del circuit de referència en voltatge en funció de la tensió d'alimentació. Fent la comparació amb el primer circuit integrat (l'ASIC ROIC 1.0) s'observa que el consum ha disminuït en una proporció de 20 vegades, gràcies a totes les millores que s'han introduït en el nou disseny. La taula 5.1 especifica alguns dels resultats de consum obtinguts per a diferents tensions d'alimentació i diferents temperatures. Es pot comprovar que els resultats obtinguts són molt bons. En el millor dels casos s'ha obtingut un consum de tant sols 125nA. El consum típic (a 3,3 V i 22°C) és molt reduït, tant sols 6,4µA.

Taula 5.1: Test de consum per a diferents valors d'alimentació i temperatura

Tensió d'alimentació (V)	Temperatura (°C)	Consum
3.3	22	6,4µA
3,8	22	10,28 µA
1	22	125 nA
3,8	80	10,86 µA
1	80	142 nA

La taula 5.2 compara el circuit de referència en voltatge dissenyat amb els BGR de la bibliografia. S'observa que la tecnologia feta servir en la majoria de circuits BRG ha estat la d'AMS 0,35µm, fet que facilita la comprovació.

El circuit presenta un rang dinàmic elevat, permetent obtenir una tensió de referència estable a la sortida del circuit per a un valor ampli de tensions

d'alimentació. Alhora el nou BGR també permet la menor tensió d'alimentació en la comparativa.

El circuit dissenyat també utilitza la menor àrea de tots. Aquest fet repercuteix directament en el consum final del disseny, fet que, indirectament, podria suposar una major dependència amb la temperatura donada la mida dels transistors. Aquest efecte s'ha pogut corregir, tal com s'ha anat explicant en cadascun dels models de BRGpresentats.

L'àrea d'aquest disseny és de $0,013\text{mm}^2$, presentant la bibliografia versions que necessiten fins a 10 vegades més amb prestacions similars i/o inferiors [17][12].

En quant al consum, el BGR dissenyat és el tercer que menys consumeix de la comparativa. Té un consum de 125nA a una tensió d'alimentació d' 1V , i de $6,4\mu\text{A}$ a la tensió de $3,3\text{V}$.

Respecte a la prova de rebuig a la variació de V_{DD} cal comentar que per poder fer la comparativa amb la resta de BGR de la bibliografia (i comparar amb igualtat de condicions), s'ha reflectit a la taula el valor simular del BGR no compensat (el que té la resposta totalment lineal, que és la resposta típica d'un BGR),mostrat en la figura 5.22.

Cal recordar que el darrer model de BGR presentat en aquest capítol se li ha aplicat una modificació de la seva resposta per aconseguir la sensibilitat desitjada respecte a la tensió d'alimentació i així poder compensar la dependència que té l'etapa posterior (CtoF) amb la tensió d'alimentació V_{DD} .

Tenint en compte el model compensat integrat en el segon ASIC, s'aconsegueix una sensibilitat del 26% de V_{DD} al rang que va des dels $2,3\text{V}$ als $3,3\text{V}$ de la tensió d'alimentació. Si es fa la comparativa tenint en compte el model no compensat, el valor de PSRR obtingut és similar a la resta de BGR presentats en la bibliografia [14,16-20].

Finalment el circuit presenta un bon coeficient de dependència en temperatura, en línia amb els valors mostrats en la bibliografia. S'obté un coeficient de $16\text{ppm}/^\circ\text{C}$, alimentant a 2V i de $17\text{ppm}/^\circ\text{C}$ quan s'alimenta a 3V .

Taula 5.2: Comparació amb els BGR disponibles a la bibliografia.

Model	[14]	[16]	[17]	[18]	[19]	[20]	Aquest treball [23,24]
Tecnologia CMOS(μm)	0,6	0.35	0.35	0.35	0.35	0.35	0.35
Tensió V_{DD} (V)	1,4 a 3	1,5 a 4,3	1,4 a 3	0.9 a 4	1,4 a 3	2,5	0.92 a 4,3
V_{REF} (mV)	309,3	891,1	579	670	745	600	Lineal de 0,92V a 1,243V
Area Asic (mm^2)	0.055	0,015	0,126	0,045	0,055	0,1019	0,013
Consum (μA)	<9,7	0,08 a 1,5V	2,3 a 2V	0,04 a 0,9V	0,214 a 1,4V	38 a 2,5V	0,125 a 1V
Sensibilitat línia (%/V)	0,08	0,46	0,67	0,27	0,02	-	0,071 (cas no compensat) 26 (cas compensat)
PSRR (dB)	$V_{DD}=1,4V$	$V_{DD}=1,5V$	-84 a 1KHz	$V_{DD}=0,9V$	-45 a 100Hz	-	$V_{DD}=1,5V$
A 100Hz	-47	-59		-47			-53
A 10MHz	-20	-52		-40			-49
Dependència temperatura (ppm/ $^{\circ}\text{C}$)	36,9	12	62	10	7	0,08	16

5.7 Conclusions

En aquest capítol s'han presentat els circuits de referència en voltatge integrats els ASICs fabricats el juliol/2009 i el juliol / 2011, fent servir la tecnologia 0, 35 μm d'AMS amb els kits de disseny *HitKit* 3.6 i 3.7, respectivament.

La comprovació dels circuits de referència en voltatge que s'han integrat ha permès comprovar el seu correcte funcionament, que està d'acord amb els càlculs teòrics realitzats. Els circuits que s'han integrat constitueixen la interfície en l'adquisició de senyal en circuits Fto# (convertidors de freqüència a codi). En el capítol s'han descrit en profunditat les condicions de disseny necessàries per minimitzar el consum de

corrent i la dependència en temperatura que afecta a aquest tipus de circuits analògics.

Per aconseguir un valor baix del coeficient de dependència en temperatura (16ppm/°C) ha estat necessari plantejar la completa supressió de la dependència en temperatura en la mobilitat, la compensació de l'efecte de modulació de llargada de canal del transistor i l'eliminació de l'efecte substrat. També s'ha rebaixat fins a 0,92V la tensió mínima de funcionament, obtenint un consum de corrent de pocs microampers. Aquestes prestacions fan que aquest circuit sigui molt atractiu per a aplicacions de molt baixa potència, donat que el consum del mateix és aproximadament de 125nW (per a una tensió de V_{DD} de 1V).

5.8 Referències

- [1] Hilbiber, D.F., "A New Semiconductor Voltage Standard", in *1964 International Solid-State Circuits Conference: Digest of Technical Papers*, pp. 32–33, 1964.
- [2] H.J. Oguey, B. Gerber, "MOS Voltage Reference based on Polysilicon Gate Work Function Difference," in *IEEE Journal of Solid State Circuit*, vol. SC-15, pp. 264-269, June 1980.
- [3] R.A. Blauschild, P.A. Tucci, R.S. Muller, R.G. Meyer, "A New NMOS Temperature Stable Voltage Reference," in *IEEE Journal of Solid State Circuits*, vol. SC-13, pp. 767-774, December 1978.
- [4] H. Tanaka, Y. Nakagome, J. Etoh, E. Yamasaki, M. Aoki, K. Miyazawa, "Sub-1 μ A Dynamic Reference Voltage Generator for Battery-operated DRAMs," in *IEEE Journal of Solid State Circuits*, vol. 29, pp. 448-453, April 1994.
- [5] K.N. Leung, P.K.T. Mok, K.C. Kwok, "CMOS Voltage Reference," in *US Patent 6 441 680*, August 2002.
- [6] K.N. Leung, P.K.T. Mok, "A CMOS Voltage Reference Based on Weighted ΔV_{GS} for CMOS Low-Dropout Linear Regulators," in *IEEE Journal of Solid State Circuits*, vol. 38, pp. 146-150, January 2003.
- [7] B.-S. Song and P. R. Gray, "Threshold-Voltage Temperature Drift in Ion-Implanted MOS Transistors," in *IEEE Journal of Solid State Circuits*, SC-17, pp. 291-298, 1982.
- [8] Tsvividis, Y. P., and R. W. Ulmer, "A CMOS Voltage Reference", in *IEEE Journal of Solid-State Circuits*, Vol. 13, iss. 6, pp. 774-778, 1978.
- [9] Wildar R.J, "New Developments in IC Voltage Regulators", in *Journal of IEEE Solid-State Circuits*, Vol. 6, pp. 2-7, 1971.
- [10] "CMOS Analog circuit design. CMOS Technology", *AICDesign.org*. [En línia] [http://www.aicdesign.org/scnotes/2002notes/Chapter02-2UP\(8_13_02\)29.pdf](http://www.aicdesign.org/scnotes/2002notes/Chapter02-2UP(8_13_02)29.pdf)
- [11] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", in *Book of University of California*, pp. 377-308, 2001.
- [12] Aragonés, R.; Álvarez, P.; Oliver, J.; Ferrer, C., "Comparison of Readout Circuitry Techniques for Data Acquisition in Raw sensor Systems", in *proc. of IECON 2010*, Phoenix, pp. 1252 – 1257, 7-10 Nov. 2010.

- [13] K.N. Leung, P.K.T. Mok, "A sub-1 V 15 ppm/°C CMOS Bandgap Voltage Reference without requiring Low Threshold Voltage Device," in *IEEE Journal of Solid State Circuits*, vol. 37, pp. 526-530, April 2002.
- [14] K.N. Leung, P.K.T. Mok, "A CMOS Voltage Reference Based on Weighted ΔV for CMOS Low-Dropout Linear Regulators," in *IEEE Journal of Solid State Circuits*, vol. 38, pp. 146-150, January 2003.
- [15] B.S. Song, P.R. Gray, "A Precision Curvature-compensated CMOS Bandgap Reference," in *IEEE Journal of Solid State Circuits*, vol. DC-18, pp. 634-643, December 1983.
- [16] G. De Vita, G. Iannaccone, and P. Andreani, "A 300 nW, 12 ppm/C Voltage Reference in a Digital 0.35 μ m CMOS Process," in *Symp. VLSI Circuits Dig. Tech. Papers*, Honolulu, HI, 2006, pp. 81–82.
- [17] M.-H. Cheng and Z.-W. Wu, "Low-power low-voltage Reference Using Peaking Current Mirror Circuit" in *Electronic Letters*, vol. 41, no. 10, pp. 572–573, 2005.
- [18] G. De Vita, G. Iannaccone, "A Sub-1-V, 10 ppm/ C, Nanopower Voltage Reference Generator", in *IEEE Journal of Solid-State Circuits*, vol 42, no. 7, pp 1536-1542, 2007.
- [19] Ken Ueno, Tetsuya Hirose, Tetsua Asai, Yoshihito Amemiya, "A 300 nW, 15 ppm/ C, 20 ppm/V CMOS Voltage Reference Circuit Consisting of Sub threshold MOSFETs", in *IEEE Journal of Solid-State Circuits*, vol 44, no. 7, pp 2047-2054, 2009.
- [20] Savvas Koudounas, Charalambos M. Andreou and Julius Georgiou, "A Novel CMOS Bandgap Reference Circuit with Improved High-Order Temperature Compensation", in *proc. of 2010 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp 4073 – 4076, 2010.
- [21] H.-J. Song and C. Kim, "A Temperature-Stabilized SOI Voltage Reference Based on Threshold Voltage Difference Between Enhancement and Depletion NMOSFET's", in *IEEE Journal of Solid State Circuits*, vol. 28, iss. 16, pp. 671-677, 1993.
- [22] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", in *Book of University of California*, pp. 135-140, 2001.
- [23] R. Aragonés, J. Oliver, C. Ferrer, "A 23ppm/°C readout Circuitry Improvement for Capacitive Sensor Acquisition Platforms" in *proc. of Sensing Technology (ICST)*,

pp. 628-634, Palmerston North, New Zealand, Nov. 2011, ISBN 978-1-4577-0166-5.

- [24] Raul Aragones, Joan Oliver, Carles Ferrer, "Ultra-low Temperature Dependent ROIC for Capacitive Sensing Platforms", *in proc. of IEEE IECON 2012*, Accepted. Oct. 2012.

6. Etapa de processament digital del senyal per a sensors intel·ligents i integració dels ASICs ROIC

6.1 Introducció

Un sensor intel·ligent conté tota la interfície electrònica capaç de proporcionar al processador les dades adquirides en el format adequat perquè puguin ser interpretades de manera eficient i amb pocs recursos addicionals per part del processador.

En aquest sentit, aquest capítol presenta dues plataformes per a sensors intel·ligents sobre sensors *raw* que s'han construït durant la realització d'aquesta tesi com a demostradors de les interfícies dissenyades i amb l'objectiu de verificar el correcte funcionament de tota la interfície.

La primera plataforma es va realitzar amb l'objectiu de verificar el correcte funcionament del primer ROIC ASIC que va integrar els VCO's, CtoFs, RtoFs i *bandgap* inicials. Donat que va servir de base per a la construcció de la plataforma final, es presenta la seva arquitectura.

La segona plataforma s'ha construït com a demostrador dels circuits *bandgap* més Oscil·lador. Com s'ha introduït en el capítol 5, en el circuit del juliol/2011 es van integrar en un mateix xip fins a 8 convertidors CtoF amb els corresponent *bandgap* amb l'objectiu de servir d'interfície en *arrays* de sensors heterogenis. Aquesta interfície, s'ha desenvolupat amb l'objectiu de verificar, tant el correcte funcionament de la circuiteria integrada, com també per mostrar les possibilitats que ofereixen els sistemes d'adquisició de dades freqüencials en sistemes embeguts basats en processadors software.

6.2 Arquitectura de la plataforma d'adquisició de senyal i tractament a nivell freqüencial I

La primera plataforma completa d'adquisició i processament va ser integrada el juliol del 2009. L'objectiu era comprovar que els primers CtoF específics (oscil·ladors de relaxació) per a l'adquisició freqüencial i el *bandgap* es comportaven de forma coherent, al mateix temps que veure que eren adequats per a l'adquisició de dades a nivell freqüencial. També es volia assegurar que la metodologia de disseny era correcte i que la tecnologia oferia el rendiment esperat d'acord amb les simulacions.

La figura 6.1 presenta un esquema de la interfície genèrica d'adquisició de senyal a nivell freqüencial preparada per ser implementada emprant els mòduls integrats. En consonància amb aquest esquema, la fotografia de la figura 6.2 mostra tot el sistema d'adquisició que s'ha utilitzat per a comprovar el correcte funcionament de tots els mòduls integrats. A l'apèndix 2, figura.a2.2 i a2.3, es presenta la captura esquemàtica de la placa dels sensors i la placa de l'ASIC ROIC 1.0, que es va construir per a la comprovació i test tant de la tecnologia com dels circuits inicials.

Observant la figura 6.1 es pot comprovar que el sistema d'adquisició de senyal per a *arrays* de sensors heterogenis admet un conjunt molt ampli de sensors, tant en el que es refereix a tipologia com a rangs.

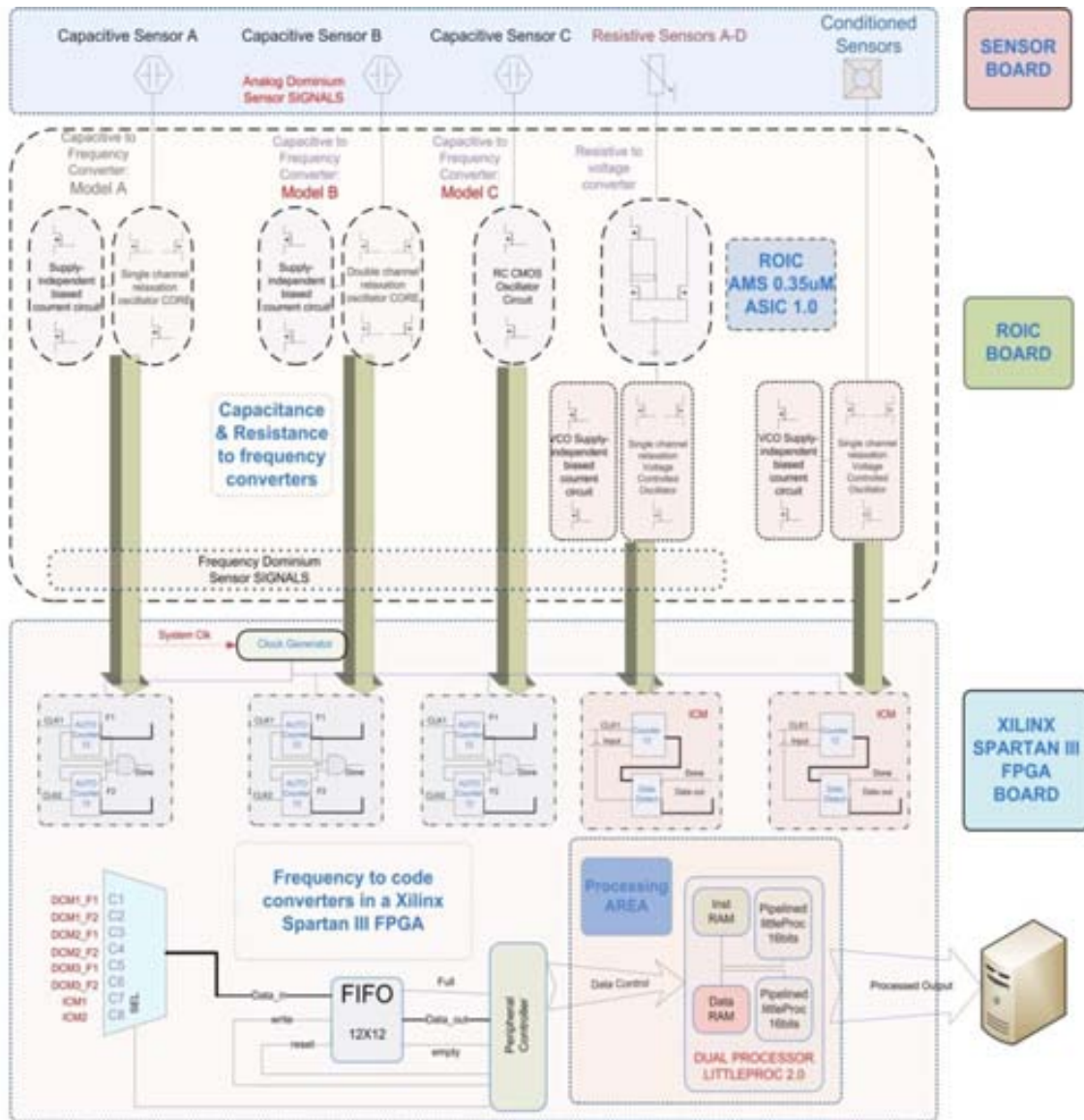


Figura 6.1: Diagrama de blocs de la primera arquitectura d'adquisició i processament.

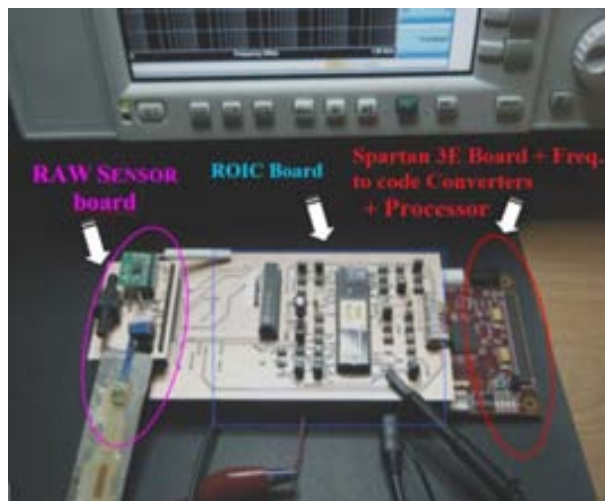


Figura 6.2: Plataforma d'adquisició basat en tres plaques.

En concret, es pot observar que la interfície d'adquisició de senyal consta dels següents blocs:

- La placa de sensors, que constitueix el conjunt d'elements dels què es vol processar les dades. La placa amb la que es van realitzar les mesures contenia el següent conjunt de sensors discrets:
 - Sensors capacitius no condicionats:
 - Sensors d'humitat.
 - Condensadors variables o varicaps.
 - Sensors resistius no condicionats:
 - Galga extensiomètrica.
 - Sensor de pressió diferencial.
 - Potenciòmetre multivolta.
 - Acceleròmetre biaxial.
- La placa central incorpora l'ASIC ROIC 1.0 (fabricat el juliol/2009) amb tecnologia AMS 0,35 μ m (figura 6.3), presentat a [1] i [2]. Conté els següents circuits:
 - Circuit de *bandgap reference* bàsic, per a calibrar i controlar el convertidor CtoF (s'ha especificat en el apartat 5.3).
 - Convertidor CtoF basat en l'oscil·lador RC CMOS (apartat 4.5).
 - Convertidor CtoF basat en l'oscil·lador de relaxació clàssic (apartat 4.6.1).
 - Convertidor CtoF basat en l'oscil·lador de relaxació d'un canal de baix consum (apartat 4.6.4).
 - Convertidor RtoF basat en una font de corrent més un VCO, no tractat en aquesta tesi. La tècnica consisteix en injectar un corrent constant sobre el sensor resistiu, per tal d'aconseguir una tensió proporcional al valor òhmic de la resistència. Acte seguit amb un VCO es fa la conversió al domini freqüencial
- Finalment, la placa de processament és la responsable de realitzar l'adquisició a nivell freqüencial i realitzar el procés, si s'escau. Està basada en la FPGA Xilinx Spartan 3E i s'hi ha incorporat [3].
 - Circuits Fto# basats en la millora sobre el convertidor indirecte (apartat 3.4.1).
 - Circuits Fto# basats en la millora sobre el convertidor dependent (apartat 3.4.2).
 - Lògica de control d'una memòria FIFO i una FIFO de 12 bits.

- Processador de dades (CPU) de doble nucli basat en la variant del Littleproc [4] de 16 bits.

La figura 6.3 mostra la fotografia amb microscopi del circuit integrat ROIC 1.0. En la fotografia s'observen els sis sub-circuits que s'han integrat i que s'han utilitzat en la plataforma d'adquisició.

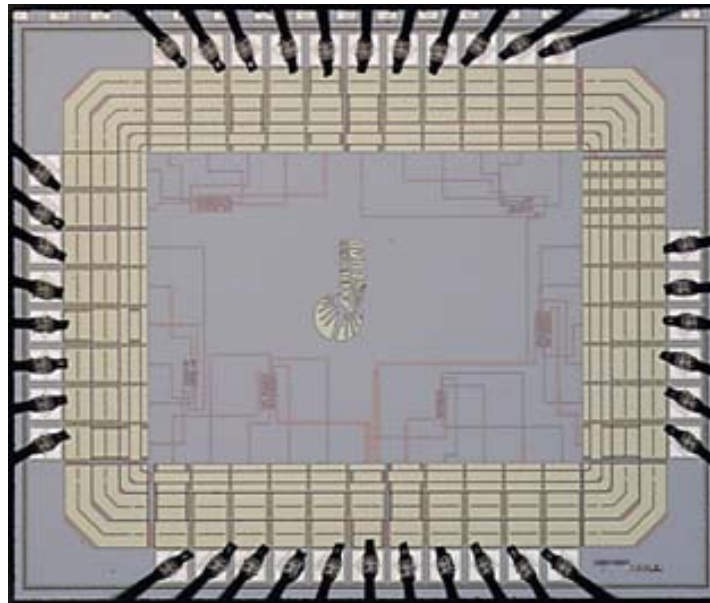


Figura 6.3: ASIC ROIC 1.0.

Amb el test es va aconseguir l'objectiu d'aquest disseny, que era dissenyar un primer ROIC i comprovar i veure la viabilitat de la tecnologia. Es van integrar uns primers oscil·ladors simples que permetien fer una adaptació del senyal de sensors capacitius i comprovar que el *bandgap* bàsic (apartat 5.3) es comportava d'acord a les especificacions establertes. Els resultats específics dels components s'han detallat en els capítols 4 i 5. Els esquemes i layouts d'aquest ASIC ROIC es troben en l'apèndix 3, figures a3.7-8.

Els resultats del test van ser satisfactoris. Amb ells es va treballar amb els oscil·ladors i els *bandgaps* per a millorar-ne les seves prestacions. Aquests resultats van conduir al disseny d'un segon circuit integrat ROIC amb la circuiteria de conversió freqüencial millorada en prestacions que s'ha presentat en els capítols 4 i 5.

6.3 Arquitectura de la plataforma d'adquisició II

La plataforma d'adquisició II verifica el comportament dels circuits dissenyats i integrats en el segon ROIC, pensada per a una estructura de plataforma d'adquisició de senyal freqüencial per a un *array* de sensors. El ROIC inclou el nou circuit de referència en voltatge, el convertidor de relaxació CtoF amb millora en el consum i un nou convertidor CtoF multifreqüència. Donat que es cercava l'adquisició i tractament freqüencial de senyals provinent de múltiples sensors, en el nou ROIC es van incloure fins a 8 convertidors.

La figura 6.4 mostra la segona arquitectura d'adquisició, conversió i processament realitzada per a verificar el comportament dels components integrats en el segon ROIC [5]. La plataforma consta dels següents mòduls:

- Placa de test de l'ASIC ROIC 2.0 amb els següents elements:
 - Sensors capacitius sense condicionament.
 - ASIC ROIC 2.0 analògic fabricat amb tecnologia AMS 0,35 μ M que es mostra a la figura 6.5, amb els següents components:
 - Circuit *bandgap* de baix consum i baixa dependència tèrmica per calibrar i controlar el convertidor CtoF (introduït en la secció 5.6).
 - Convertidor CtoF basat en l'oscil·lador de relaxació d'un canal de molt baix consum (secció 4.5). Integra un total de 8 convertidors, un d'ells amb 4 modes de funcionament.
- Placa de processament, basat en la FPGA Xilinx Spartan3E amb:
 - Circuits Fto# basats en l'evolució del convertidor de recompte indirecte amb un canal de conversió per a cada sensor. El conjunt format pel sensor, més el CtoF, més el Fto#, configura un canal d'adquisició o sensor intel·ligent.

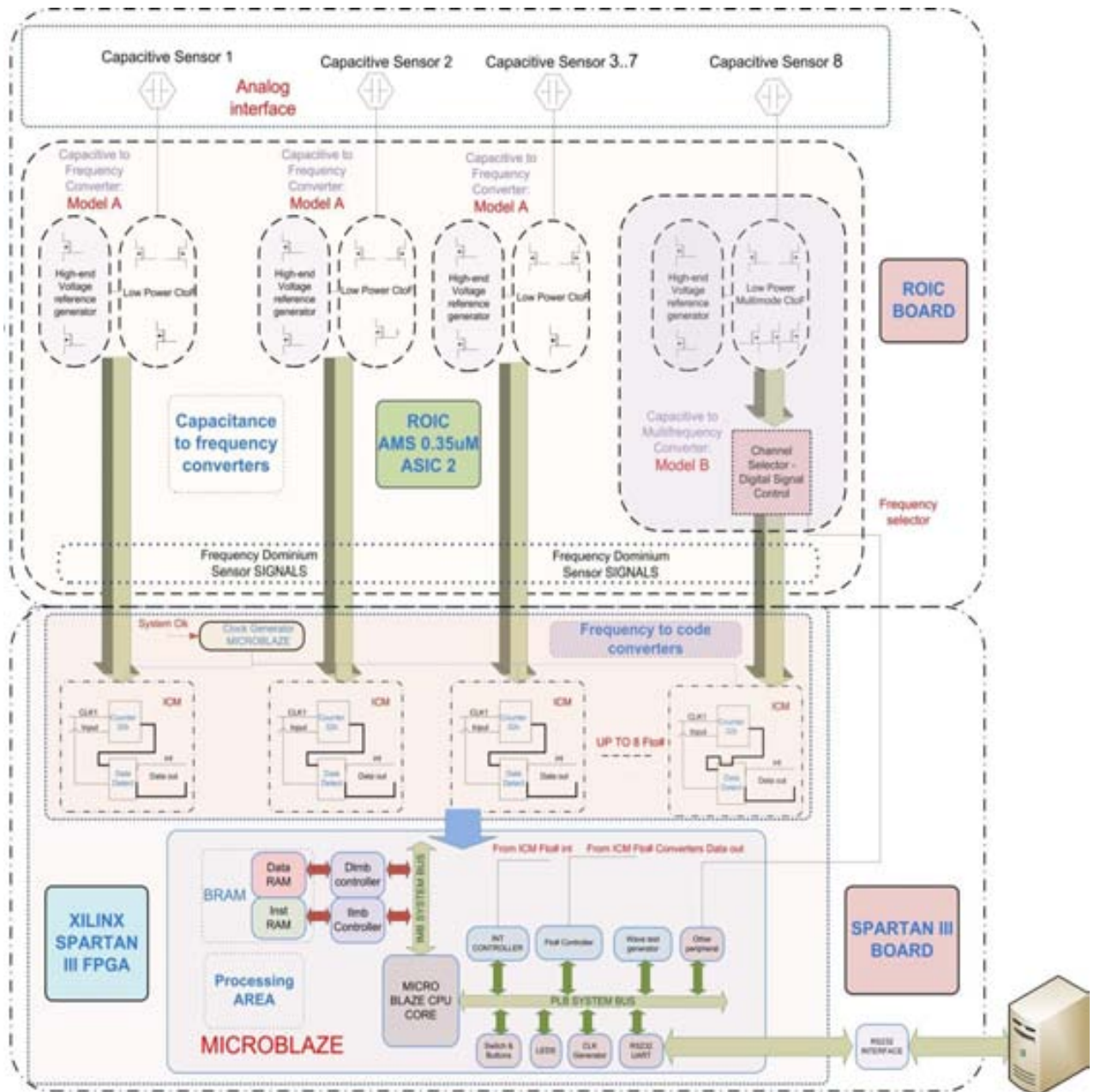


Figura 6.4: Diagrama de blocs de la segona arquitectura d'adquisició i processament.

- En el que respecta al procés, s'ha desenvolupat un sistema sobre xip basat en el processador Microblaze. És un processador software de 32bits del fabricant Xilinx [7]. Les funcions d'alt nivell que realitza el sistema sobre xip són:
 - Ordenar l'adquisició de les dades.
 - Controlar els convertidors Fto#.
 - Fer el corresponent processat dels resultats adquirits pels canals.
 - Enviar-los cap a un host a través d'un bus de comunicació estàndard.

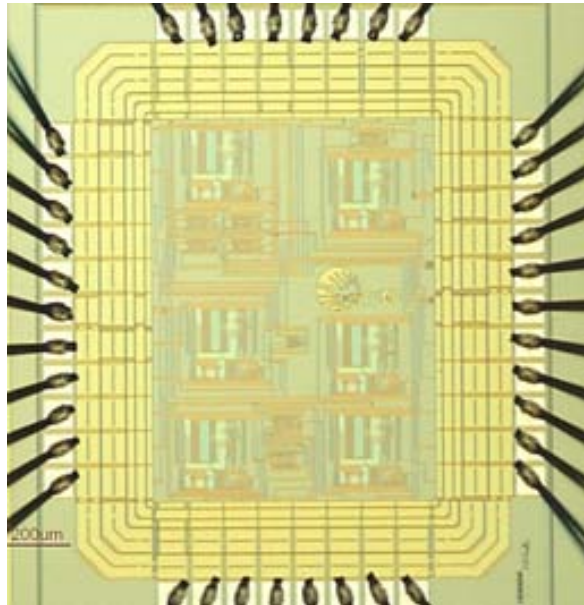


Figura 6.5: ASIC ROIC 2.0.

La figura 6.6 mostra l'estructura de la plataforma d'adquisició, amb la placa de l'ASIC ROIC 2.0, i la placa de la FPGA d'Spartan3E. La connexió entre les dues plaques s'efectua a través del port d'expansió d'entrada/sortida de la FPGA. La placa que conté el ROIC s'alimenta a través d'una tensió d'alimentació independent per poder-la sotmetre a variacions de V_{DD} . Es fa així per a comprovar el correcte funcionament del *bandgap*.

La figura 2.4 de l'apèndix 2 es presenta la captura esquemàtica de la placa desenvolupament per a comprovar l'ASIC ROIC 2.0.

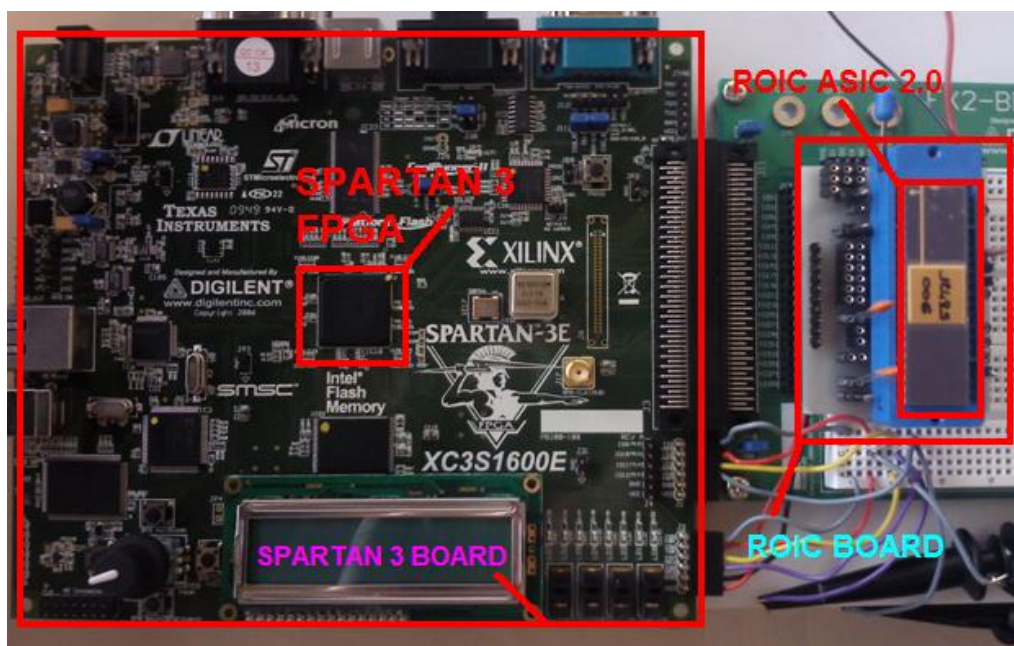


Figura 6.6: Plataforma d'adquisició basat en dues plaques per a l'ASIC ROIC 2.0.

6.4 Processat amb l'ASIC ROIC 2.0

6.4.1 Introducció

L'apartat anterior ha presentat l'arquitectura dissenyada per a utilitzar el circuit ROIC 2.0 com a interfície entre sensors i sistema de processament de dades. En aquest apartat es presenta la implementació de la part de procés del sistema de mesura. És a dir, utilitzant l'esquema presentat en la figura 6.4, s'exposa el procediment que realitza el processador per capturar dels dades del sensor a través dels canals d'adquisició i enviar-les pel bus de comunicacions totalment tractades. En aquest cas, les dades corresponen a la mesura de la capacitat dels sensors.

Amb aquesta implementació es vol comprovar el correcte funcionament de tota la plataforma. D'acord amb l'arquitectura i després de ser personalitzada pel test del ASIC ROIC 2.0, la plataforma queda constituïda pels següents elements:

- La placa de l'ASIC ROIC 2.0, on es fa l'adquisició del senyal. Conté els següents mòduls:
 - Un *array* de fins a 8 sensors capacitius sense condicionament. En la prova realitzada s'han emprat un total de 4 sensors.
 - El convertidor CtoF de baix consum (apartat 4.6.7) dissenyat i integrat en el ROIC 2.0 per a cada sensor.
 - El circuit de referència en voltatge (*bandgap reference circuit*) amb compensació de temperatura i compensació de la tensió d'alimentació (capítol 5).
- Una placa de conversió de freqüència i processament. Aquesta placa, basada en una FPGA Spartan3E de Xilinx permet incorporar al sistema tot el pre-processat de senyal. En concret, consta dels següents elements:
 - S'incorpora un convertidor Fto#, un per cada canal d'entrada. Aquests convertidors són introduïts en la FPGA com a circuiteria o IP (*Intellectual Property*). El conjunt format pels sensors, més el CtoF, més el Fto# configura el canal d'adquisició d'entrada. Els convertidors Fto# que s'utilitzen estan descrits a l'apartat 3.4.3.
 - Processador *Microblaze softcore* de 32bits, per processar els senyals adquirits dels canals d'adquisició i enviar els resultats cap a un sistema extern. El propi processador s'encarrega de realitzar la transformació de la freqüència (que correspon a la transformació de senyal adquirit del sensor) a un valor numèric

capacitiu, valor que equival a la capacitat que presenta el sensor en aquest moment. Aquest valor és enviat pel processador cap al sistema extern.

Donat que la caracterització de cadascun un dels components que s'han introduït en el ROIC 2.0 (convertidors $F_{to\#}$ i *bandgap*) ja s'ha realitzat en els capítols 4 i 5 respectivament, aquest apartat es centra directament a mostrar el correcte funcionament de tota la plataforma d'adquisició i processament, que simula, en aquest cas, diferents canals on cadascun correspon a un sensor intel·ligent.

Així a continuació, s'exposa:

- L'arquitectura externa del sistema processador creada entorn del processador per software *Microblaze*, que realitza el pre-processament del senyal en el domini freqüencial ($C_{toF} + F_{to\#}$).
- El processat de senyal realitzat emprant *Microblaze*, així com la corresponent comunicació amb un sistema extern.
- I finalment es presenten els resultats obtinguts.

La figura a2.1 de l'apèndix 2, mostra el disseny intern de la FPGA Spartan3E que incorpora aquests dos blocs (convertidors i processament). L'entorn de desenvolupament utilitzat és el de Xilinx. Per muntar el nucli amb el processador s'ha utilitzat el *Xilinx Platform Studio (XPS)* i el software de procés escrit en C s'ha realitzat emprant el *Software Development Kit (SDK)*.

6.4.2 Arquitectura del sistema processador

El sistema format pel processador és el de més alt nivell en l'adquisició de senyal. És el responsable de tractar els senyals freqüencials (digitalitzats) que arriben del sistema de captura de senyal i realitzar el tractament precís que proporciona informació exacta de la mesura realitzada. La figura 6.7 mostra l'estructura del processador muntat al voltant del *Microblaze*. Està format pels següents components:

- El processador. S'empra en aquest cas el *Microblaze*. El *Microblaze* és un processador RISC de 32 bits basat en una arquitectura *Harvard* que s'integra com a *softcore* en la majoria de components de Xilinx.
- Els busos de sistema *lmb* i *plb*. *lmb* és el bus local que uneix el processador amb la memòria principal *lmb_bram*. El *plb* és el bus de sistema on s'interconnecten tots els perifèrics. La interconnexió de la

memòria i els perifèrics ve explicitada en el connexionat que el mostra en la part esquerra de la figura 6.7.

- El fet que l'arquitectura del processador sigui *Harvard*, implica que hi ha d'haver dues memòries, la d'instruccions i la de dades. A efectes reals, però, *Microblaze* empra una única memòria *lmb_bram* que divideix a part iguals entre la part d'instruccions i la de dades. Per a gestionar la memòria necessita, però, un controlador per a cada part. El *ilmb_ctrl* és el controlador responsable de connectar la memòria d'instruccions al processador, mentre que *dlmb_ctrl* hi connecta la memòria de dades. Ambdós controladors estan connectats al *Microblaze* a través del bus específic *lmb*.
- Tots els altres components són vistos pel processador com a perifèrics. Aquests són:
 - El controlador d'interrupcions *xps_intc_0*. Donat que es vol controlar de forma precisa la conversió *fto#*, és necessari connectar la sortida de cadascun d'aquests mòduls a una línia d'interrupció. Per altra part, i com que *Microblaze* només admet una línia d'interrupció, és necessari posar un controlador que atengui a les interrupcions. *Xps_intc_0* és el mòdul que se n'encarrega.
 - *Fto#0* a *Fto#3* són els perifèrics creats específicament per a l'adquisició del senyal dels sensors i s'encarreguen de fer la conversió *fto#*. Tot i que en aquesta configuració només se n'empren quatre, expandir a més línies de conversió només implica afegir més mòduls *fto#* en el bus de perifèrics de *Microblaze*.
 - El perifèric *RS232_DCE* és el terminal de comunicació sèrie (protocol RS232) que s'utilitza per enviar les dades adquirides (la conversió *fto#*) cap al sistema extern (que en aquest cas és l'ordinador que representa gràficament les dades).
 - Tots els altres perifèrics posats en el sistema embegut creat són mòduls de verificació i comprovació del funcionament del sistema. En concret s'hi ha posat el mòdul *mdm_0* propi de Xilinx i *gen_wave_0*, creat a propòsit per aquest sistema, per fer la depuració durant la posta en funcionament del sistema; *Buttons_4Bit*, *DIP_Switches_4Bit* que corresponen a ports d'entrada per a comprovacions de funcionament; i *LEDs_8Bit* que és el port connectat als leds de la placa que serveix per veure de

forma fàcil el funcionament del sistema. Finalment, *clock_generator_0* i *proc_sys_reset_0* són mòduls interns del sistema responsables de la generació de rellotge i senyals d'inicialització de tot el sistema.

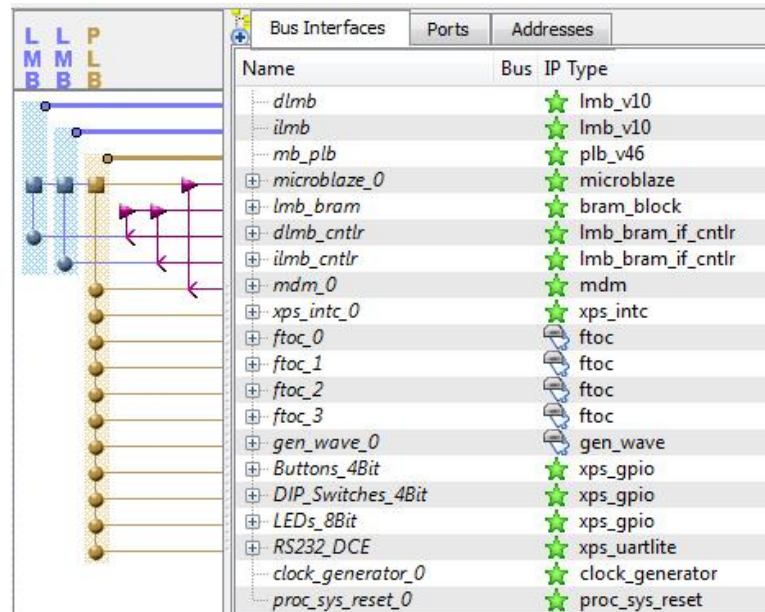


Figura 6.7: Estructura interna modular del Microblaze.

6.5 Processat del senyal

Els processos que treballen sobre les dades que arriben al processador són dos:

- Primer es converteix la dada freqüencial a codi emprant el *convertidor Fto# de mètode indirecte amb precisió de rellotge sistema*. Aquest convertidor freqüencial està explicat a l'apartat 3.4.3.
- En segon lloc s'utilitza el model empíric trobat per experimentació del convertidor Fto# per a trobar la capacitat mesurada del sensor.

Els dos processos que es duen a terme en el sistema de processament de senyal són complementaris.

La conversió de la dada freqüencial a codi la realitza el circuit específic Fto# que s'ha introduït com a perifèric i connectat amb el bus de perifèrics del processador. El perifèric implementa el convertidor Fto# descrit a l'apartat 3.4.3. El funcionament precís es deu a dos components hardware que inclou el perifèric:

- El rellotge del perifèric, que és el rellotge base del sistema. L'error que es produeix és l'error del cristall de quarts en el que es basa l'oscil·lador del

sistema. La placa Spatan3-1600E emprada en el test inclou un oscil·lador a 50 MHz, amb precisió de ± 50 ppm [7].

- El mecanisme d'interrupció introduït en el perifèric és el mecanisme fonamental de sincronisme de la finestra temporal durant la que es realitza el càlcul de la freqüència del sensor. Quan es produeix la interrupció del perifèric al processador, indicant que s'ha realitzat la captura de la nova dada, el processador agafa la nova dada i la processa. Donat que la pròpia interrupció també és responsable d'aturar el recompte, l'error que es produeix en la captura de la dada és d'un cicle de rellotge.

Per tant, l'error dominant del convertidor Fto# implementat correspon a l'error introduït pel propi oscil·lador del sistema, que és de 50 parts per milió.

La dada que es rep del convertidor Fto# és la mesura directa del sensor sense cap tractament.

D'acord amb el disseny d'aquest perifèric consta de dues parts: la mesura indirecta de la freqüència d'oscil·lació del sensor més l'ajust en cicles del rellotge sistema, fet que proporciona una precisió de la mesura de:

$$\frac{1}{\text{freqüència rellotge sistema}} = \frac{1}{50 \text{ MHz}} \quad \text{Eq. 6.5.1}$$

Aquesta dada es pot enviar directament al sistema principal. Nogensmenys, donada la capacitat de procés de *Microblaze*, i amb l'objectiu de reduir l'enviament de dades amb el sistema principal, sovint el sensor intel·ligent realitza un pre-procés de les dades. En aquest cas, es vol que el sensor intel·ligent doni la mesura exacta de la capacitat mesurada.

En l'apartat 4.6.2 s'ha deduït que la dependència de la freqüència del convertidor Fto# amb la capacitat és del tipus hipèrbola equilàtera. Per altra part, i donat que no es coneix el model exacte del sensor, aquest es troba experimentalment a través de la corba de mesures capacitat-Fto#.

D'acord amb l'apèndix 1 es troba que la relació capacitat sensor – freqüència ve donada per l'equació 6.5.2:

$$C(nF) = \frac{51.5681}{f(KHz)} - 0.0107 \quad \text{Eq. 6.5.2}$$

Per tant, els càlculs que ha de realitzar *Microblaze* per calcular la capacitat que presenta el sensor són els següents.

- De l'expressió 6.5.2 s'obté que la freqüència de sortida del convertidor $F_{to\#}$ ve donada per l'equació 6.5.3:

$$F_{sensor} = F_A = \frac{n}{n_c+m} \cdot F_B = \frac{\text{mesura } F_{to\#}}{\text{cicles finestra temporal} + \text{ajust}} \cdot F_{cksys} \quad \text{Eq. 6.5.3}$$

- Aplicant ara el model experimental (equació 6.a.3, apèndix 1) queda que la capacitat mesurada del sensor ve donada per l'equació següent:

$$C(pF) = \frac{a}{F_{sensor}(KHz)} - b \quad \text{Eq. 6.5.4}$$

6.6 Resultats del sistema de mesura 2.0

L'objectiu d'aquesta secció és comprovar el correcte funcionament de tot el sistema de mesura, unint totes les parts del disseny. Així es connectarà la placa de l'ASIC 2.0 amb la placa de la FPGA de Xilinx Spartan3E, d'acord amb la figura 6.6.

Per fer el test final, s'ha configurat cadascuna de les plaques (tant en la de l'ASIC 2.0 com la placa de la FPGA) per tal que es pugui efectuar la mesura, configurant els interruptors de manera que permetin escollir el mode de funcionament desitjat.

Tot i que en les proves realitzades s'ha fet servir un número limitat de sensors, el sistema és totalment obert a l'ampliació de fins a 8 canals que admet el ROIC. S'han implementat en aquesta prova tres canals d'adquisició sobre la FPGA.

Per a realitzar el test del circuit s'han substituït els sensors capacitius per un ampli ventall de capacitats comercials de valor conegut per tal d'ampliar el rang de valors capacitius del test.

També s'ha millorat la repetibilitat de la mesura, ja que s'han evitat les fluctuacions que sofreixen aquests sensors per motius de variació de les condicions ambientals (temperatura, pressió i humitat, essencialment).

S'ha treballat amb tensions d'alimentació de 3.3V, i la temperatura escollida ha estat la temperatura ambient (sobre el 22°C).

6.6.1 Resultats parcials, comprovats en seccions anteriors

En els capítols 3, 4 i 5 s'han descrit a fons els circuits que conformen el ROIC de la plataforma de mesura i processament de sensors capacitius. També s'ha presentat, en cada cas, el test de cada mòdul. L'objectiu d'aquests tests ha estat caracteritzar completament a nivell elèctric i funcional cadascun d'ells per tal de poder-los comparar amb la resta de circuits de la bibliografia. Així, s'ha comprovat i caracteritzat:

- Totes les variants de *BandGap*. Integrades tant a l'ASIC 1.0 com a l'ASIC 2.0 (capítol 5).
- Totes les variants de convertidors CtoF (el model d'oscil·lador RC CMOS, el de relaxació i relaxació de baix consum). Tots aquests integrades tant a l'ASIC 1.0 com a l'ASIC 2.0 (capítol 4).
- Totes les variants de convertidors Fto# (capítol 3) implementats inicialment amb:
 - La FPGA de XILINX Spartan3E, amb les variants del *recompte indirecte autoadaptatiu* (apartat 3.4.1), la millora del *recompte dependent* (apartat 3.4.2) i convertidor Fto# de mètode indirecte amb precisió de rellotge sistema (apartat 3.4.3).

6.6.2 Mesures i resultats del sistema de mesura de l'ASIC ROIC 2.0

Un cop comprovat que tots els circuits individuals funcionen correctament, només queda comprovar que tota l'arquitectura de la plataforma d'adquisició 2.0 funciona de manera correcta. Conseqüentment, es tracta ara de realitzar el procés software que mostra directament les mesures de les capacitats dels sensors per pantalla. Per tant, un cop implementat tot el sistema sobre la FPGA, i programada per a processar les dades del sistema, només queda fer córrer l'aplicació sobre la FPGA i connectar directament la UART del processador *MicroBlaze* a l'ordinador. L'ordinador rep, per tant, les dades processades del sensor intel·ligent.

La gràfica 6.8 mostra la sortida del convertidor CtoF corresponent a la mesura adquirida pel ROIC 2.0 de cadascuna de les capacitats.

La gràfica mostra els valors dels tres canals que s'han connectat. Els valors de les tres capacitats escollides (amb toleràncies del 10%) per a realitzar el test són:

- Canal superior (etiquetat amb 1) capacitat de 680pF.
- Canal del mig (etiquetat amb 2) capacitat de 180pF.
- Canal inferior (etiquetat amb 3) capacitat de 5,6nF.

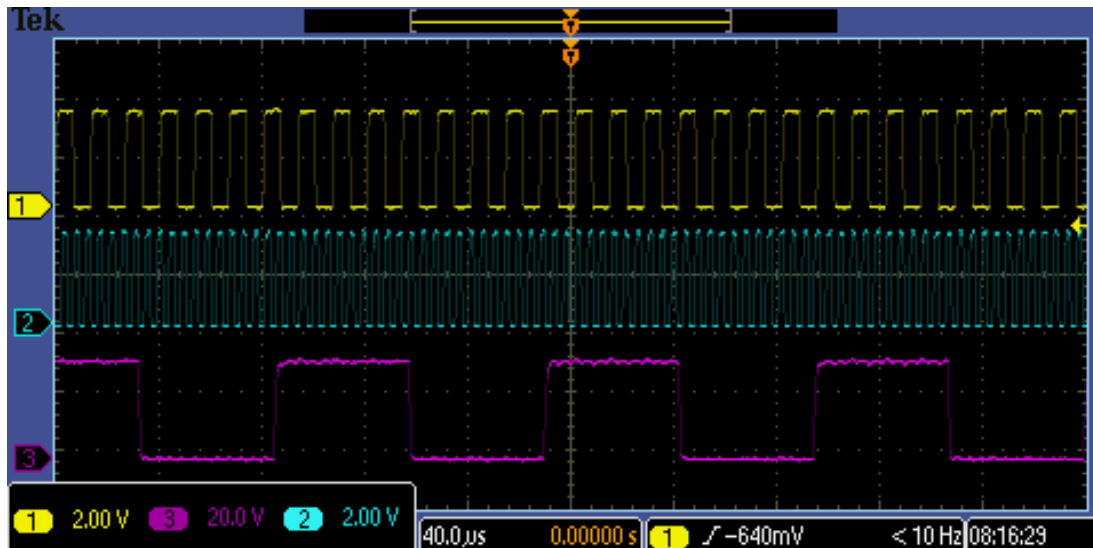


Figura 6.8: Sortida del convertidor Fto# integrat en el ROIC 2.0.

La figura 6.9 mostra les dades resultants del procés realitzat per Microblaze i enviat a l'ordinador emprant el port sèrie. Els resultats es mostren a través de l'*hyperterminal* de Windows.

La figura mostra els resultats de la conversió de freqüència a codi de cadascuna de les sortides freqüencials de cada sensor (F_A), juntament amb el càlcul realitzat en el processador del valor de la capacitat mesurada.

La figura 6.9 mostra que cadascun dels canals oscil·la a freqüències diferents, obtenint les següents freqüències:

- Canal 1 amb una freqüència 76,75KHz.
- Canal 2 amb una freqüència 273,5KHz.
- Canal 3 amb una freqüència 9,324KHz.

S'observa que la dependència de la capacitat amb la freqüència és hipèrbola equilàtera, d'acord amb la resposta del convertidor CtoF.

Sensor nº			F_A (Fsensor)	Capacitat
3	37	2156	9324Hz	5566pF
1	307	601	76750Hz	666pF
2	1094	90	273500Hz	179pF
3	37	2156	9324Hz	5566pF
1	307	601	76750Hz	666pF
2	1094	93	273500Hz	179pF
3	37	2236	9324Hz	5566pF
1	307	601	76750Hz	666pF
2	1094	90	273500Hz	179pF
3	36	2212	9324Hz	5566pF
1	304	603	76000Hz	673pF
2	1096	84	274000Hz	178pF
3	37	2046	9324Hz	5566pF
1	307	601	76750Hz	666pF
2	1096	84	274000Hz	178pF

Figura 6.9: Valors obtinguts de l'*hyperterminal* de Windows.

La columna *Capacitat* mostra el càlcul realitzat pel processador de la capacitat mesurada, emprant la freqüència F_A i emprant el model experimental freqüència-capacitat. S'observa que la repetibilitat entres mostres és molt elevada.

6.7 Conclusions

Aquest capítol ha verificat el correcte funcionament dels circuits oscil·ladors i *bandgap* presentats en els capítols 3 i 4 i que són la base de la tesis presentada.

Per a veure tota l'arquitectura s'ha construït un sistema d'adquisició de senyal a nivell freqüencial.

En la realització del processat del senyal amb el processador, s'han emprat els circuits Fto# introduïts en el capítol 3, que s'han integrat com a perifèrics en un sistema sobre xip basat en *Microblaze*.

El sistema sobre xip ha permès verificar tots els circuits finals i implementats en aquesta tesi:

- El funcionament del *bandgap* de baix consum i independent de la temperatura.
- El funcionament de l'oscil·lador de relaxació de molt baix cost, baixa dependència tèrmica i amb compensació de la tensió d'alimentació aportada pel *bandgap*.
- El funcionament del convertidor Fto# indirecte amb precisió de rellotge de sistema.
- I finalment el sistema global d'adquisició del senyal de sensors que implementa un sistema de procés per un número definit de canals o sensors intel·ligents.

6.8 Referències

- [1] Aragonés, R.; Álvarez, P.; Oliver, J.; Ferrer, C.: “A Capacitance-to-Frequency Converters Comparison for a Frequency Acquisition Platform”, *in proc of IEEE Sensors Conference 2010*, pag 1431-1436, Hawaii, novembre 2010.
- [2] Aragonés, R.; Álvarez, P.; Oliver, J.; Ferrer, C.”Comparison of readout circuitry techniques for data acquisition in raw sensor systems”. *Proc of IEEE IECON 2010*, pp. 1252 – 1257, Phoenix, , Nov. 2010.
- [3] R. Aragonés, J.Oliver, C. Ferrer: “A generic Signal Processor for Frequency Sensor Data Acquisition”, *in proc. of the XXII Conference on Design of Circuits and Integrated Systems (DCIS 2007)*, pp.345-350, Sevilla, Nov. 2007,
- [4] Joaquín Saiz, Toni Portero, Raúl Aragonés, Mercè Rullán y Jordi Aguiló: “Máquinas algorítmicas: una metodología para su aprendizaje práctico a través de LittleProc”,*Revista IEEE-RITA (Revista Iberoamericana de Tecnologías del Aprendizaje)*, Vol. 4, Num. 2, pp. 83-94, May. 2009.
- [5] R. Aragonés, J. Oliver, C. Ferrer, “A 23ppm/°C readout circuitry improvement for capacitive sensor acquisition platforms” *in proc. Of Sensing Technology (ICST)*, pp. 628-634, Palmerston North, New Zealand, Nov. 2011.
- [6] Sergey Y. Yurish. “Data acquisition for Smart Sensors and Transducers” *International Frequency Sensor Association (IFSA)*,pp. 52-58, 2001.
- [7] UG257. “Microblaze Development Kit Spartan3E 1600E Edition User Guide”, *Xilinx FGA Reference note*. [en línia] http://www.xilinx.com/support/documentation/boards_and_kits/ug257.pdf
- [8] “Austriamicrosystems (AMS) 0,35um 2-poly, 4-metal standard CMOS technology.” 2009.
- [9] AMS, “0,35um CMOS C35 Process Parameters”, eng182_rev5.pdf, 2007.
- [10] AMS, “0,35um CMOS C35 Design Rules”, eng183_rev6.pdf, 2007.

7. Conclusions

Els ROICs són interfícies d'adquisició i pre-processat de senyal provinent de sensors, que adapten i pre-processen el senyal que proporciona el sensor abans de ser enviat cap al processador. La manera com es pre-processa el senyal del sensor dóna lloc a diferents tipus d'interfícies entre les que s'hi troben les interfícies de tractament del senyal a nivell freqüencial.

Les interfícies de tractament del senyal a nivell freqüencial, tot i que poden ser emprades en tot tipus de sensors, són especialment indicades en els sensors llur mecanisme de transducció proporciona una sortida directament en freqüència o en aquells sensors llur mecanisme de transducció és fàcilment transportable a un senyal freqüencial, com pot ser el cas de sensors amb sortida capacitiva. Aquests sensors són fàcilment integrables i formen part de la família més nombrosa de sensors que existeix en el mercat.

La capacitat que presenta un sensor capacitiu pot ser utilitzada com a etapa activa en un convertidor capacitat a freqüència. Un simple circuit és, així, suficient per

transformar la magnitud convertida del sensor en un senyal recognoscible per a un processador. Els circuits que realitzen aquesta conversió, però, són circuits que normalment tenen una alta dependència de la temperatura de treball i de la tensió d'alimentació.

Centrat el tema, aquesta tesis té com a contribució principal la creació d'un circuit convertidor capacitat a freqüència que porta acoblat una referència en tensió o *bandgap* que elimina els efectes de les variacions de temperatura i de les variacions de la tensió d'alimentació durant la conversió. Les prestacions aconseguides amb aquest circuit són:

- El circuit de conversió de capacitat a freqüència dissenyat es basa en l'estructura d'un oscil·lador de relaxació. Té un rang molt ampli d'adquisició de valors capacitius, així com un consum molt reduït d'energia i un bon soroll de fase. L'àrea que ocupa el disseny final és reduïda, fet que permet pensar en què és fàcilment integrable al costat de cada sensor en un *array* de sensors. Gràcies a les prestacions del circuit de referència en voltatge dissenyat es altament immune a les variacions que pugui produir la tensió d'alimentació.
- El circuit de referència en voltatge té un baix consum, i té una baixa dependència tèrmica, utilitza poca àrea silici, i compensa l'etapa d'oscil·lació de les variacions de la tensió de d'alimentació. Té, a més, un gran rang dinàmic, presentant una sortida constant d'oscil·lació en pràcticament tot el rang. En comparació amb diferents circuits de referència de la literatura, s'han millorat en pràcticament tots els paràmetres.

El comportament dels diferents circuits convertidors capacitat a freqüència i *bandgaps* s'ha comprovat experimentalment amb els circuits que s'han integrat dins de dos ASICs ROIC. El disseny s'ha fet emprant l'eina de CAD Cadence Virtuoso i la tecnologia d'AMS de 0,35 μ m, utilitzant el procés C35B4C3. Els dos circuits es van integrar el juliol/2009 i el juliol/2011.

Els components que es van integrar i que després s'han caracteritzat i comprovat el correcte funcionament són:

- En el primer ASIC ROIC es van integrar els primers circuits de referència en voltatge o *bangaps*, els oscil·ladors de relaxació i l'oscil·lador RC-CMOS. També es va integrar un oscil·lador controlat per tensió (VCO) que permetia fer la conversió al domini freqüencial del senyal de sensors amb sortida en voltatge. Tot i que el resultat de les proves va ser satisfactori (capítols 4 i 5), els circuits van posar de manifest la seva dependència de la temperatura i de la tensió d'alimentació.

- En el segon ASIC ROIC es va integrar el *bandgap de baix consum compensat en temperatura, i amb resposta adaptativa a la variació de tensió d'alimentació per al control dels oscil·ladors de relaxació*. Donat que el circuit havia de servir com a demostrador per a l'adquisició de senyal en *arrays* de sensors heterogenis es va integrar també un total de set oscil·ladors de relaxació de molt baix consum, així com una variant d'aquest oscil·lador que introdueix un control de càrrega/descàrrega del sensor capacitiu per evitar la sobrecàrrega en l'etapa de conversió Fto#.

Durant la realització d'aquest treball que s'ha focalitzat en el disseny de tècniques pel pre-procés de senyal a nivell freqüencial, també s'ha treballat en l'adaptació i millora de tècniques de conversió freqüència a codi o Fto#. Les principals accions que s'han realitzat en aquest camp són:

- Treballant amb tècniques de recompte indirecte s'ha dissenyat un sistema que permet calibrar el convertidor Fto#, fent que la freqüència del sistema pugui disminuir automàticament fins aconseguir que un senyal de sensor de referència no quedi desbordat. S'evita així la conseqüent pèrdua de dades de la conversió que el desbordament significaria. L'aplicació que s'ha realitzat permet arribar a reduir la freqüència d'adquisició fins a 2^8 del total de la freqüència de referència del sistema. De fet, per un sistema que treballi amb n bits, la reducció pot arribar a ser de 2^n . És una tècnica especialment aplicable al procés de senyal freqüencial per a sensors lents.
- S'ha optimitzat el temps d'adquisició i el hardware de conversió en sistemes de mesura relatius emprant un convertidor basat en el mètode de conversió dependent. La tècnica de conversió introduïda permet realitzar la mesura de les freqüència de dos sensors al mateix temps. Predefinint l'error de mesura, s'ha aconseguir fer que la determinació de la freqüència ràpida i lenta, així com la mesura de les dues freqüències es pugui efectuar en el mateix cicle de mesura. Per altra banda, també s'ha reduït el número de comptadors necessaris a un total de dos comptadors. Aquesta simplificació també redueix el temps de computació del processador donat que el sistema pot efectuar la mesura sense supervisió per part del processador.
- Finalment, s'ha implementat un nou sistema de recompte indirecte amb precisió de rellotge sistema amb l'objectiu de reduir els errors relatius de la conversió. Aquest sistema de conversió sincronitza la finestra temporal en la que es realitza la mesura amb el sensor. Quan la finestra temporal finalitza, espera la nova dada del sensor per finalitzar la mesura. Així, la durada total del

temps de mesura, que ve donada per la mesura del codi Fto# més l'ajust corrector, li correspon un nombre exacte de cicles de sensor. La resolució ve donada, per tant, per la freqüència del rellotge sistema.

Finalment, l'autor ha comprovat el correcte funcionament dels circuits integrats i dels mètodes de conversió freqüència a codi desenvolupats en un sistema sobre xip en FPGA que integra diversos canals d'adquisició de senyal. Aquest sistema de conversió i processament, permet fer el tractament de les dades adquirides pels convertidors freqüencials tenint en compte la resposta en hipèrbola dels convertidors CtoF (obtinguda experimentalment) per a ser enviada cap a un sistema central. En l'aplicació desenvolupada s'hi ha posat quatre dels vuit canals que admet el circuit integrat. Cada canal està format per un *bandgap* i un oscil·lador de relaxació (conformant un CtoF integrat en el ROIC), més un convertidor Fto# (implementat sobre la FPGA). El canal és tractat pel processador com a un perifèric.

Els resultats finals que s'han obtingut amb el sistema d'adquisició freqüencial han estat contrastats amb els valors nominals que s'havien obtingut prèviament de les capacitats. La comparació entre els resultats mostra un error entre mesures del 2.78% en el cas de treballar amb capacitats que estan fora del rang mesurable (per sobre dels 100 μ F) i del 0.13% en el cas de capacitats que es troben dintre del rang mesurable (per sota d'aquest valor). L'error obtingut és deu al petit error que introdueix la funció de linealització implementada sobre la FPGA i als errors d'arrodoniment del punt fix emprat en el processador.

Per concloure valgui resumir les principals característiques que s'han obtingut de la *referència de tensió compensada en temperatura i de resposta adaptativa a la variació de la tensió d'alimentació per a interfícies de sensors capacitius en sistemes de conversió freqüencial*, que s'ha dissenyat, integrat i utilitzat en conjunció amb l'oscil·lador de relaxació de baix consum com a canal en un sensor intel·ligent:

- S'ha aconseguit una molt bon aïllament tèrmic del CtoF.
- També s'ha aconseguit una alta immunitat a les variacions de la tensió d'alimentació gràcies a la resposta adaptativa del *bandgap*.
- El sistema també presenta un bon soroll de fase.
- El consum d'energia del sistema d'adquisició CtoF és molt baix en comparació amb resultats publicats en altres articles.

- Les dimensions del canal d'adquisició són prou petites com per a formar parella en el disseny de circuits per a processat freqüencial en circuits d'alta capacitat d'integració.

Les prestacions de la parella d'oscil·lador de relaxació de molt baix consum + *bandgap*, que conformen el *CtoF*, es troben entre les millors dels sistema d'adquisició a nivell freqüencial de la literatura.

Finalment comentar que s'han introduït vuit canals de mesura *CtoF* dins del segon ASIC ROIC, integrat en un mini@sic de 2mm^2 a través d'Europractice fent servir la tecnologia d'AMS $0,35\mu\text{m}$, amb el procés tecnològic C35B4C3. Amb les mateixes dimensions, es podria triplicar el número de canals integrats si es reutilitzen recursos com el *bandgap reference*.

Millores i treball futur

Tot treball té un inici i un final. Sovint, però, passa que el final és un impàs en el temps perquè te'n adones que allò que acabes de construir té mancances que, amb una mica de temps i imaginació, poden portar a millorar encara més el producte.

Ha passat en la història, i passa actualment, i passa amb aquest treball. En aquest aspecte, analitzant l'àrea en la que s'enfoca aquest treball, un se'n adona que han quedat pendents millores i temes que caldrien d'un estudi addicional.

Mirant els diferents camps que s'han tractat en aquest treball, es pot pensar en introduir millores en cadascun d'ells:

La tasca de reducció de la dependència en temperatura i de la tensió d'alimentació que s'ha realitzat en el circuit *bandgap* desenvolupat és enorme. Però ajustant encara més els paràmetres de disseny es podria rebaixar encara una mica més la dependència tèrmica del *CtoF* per sota de les $16\text{ppm}/^\circ\text{C}$.

També es podria millorar l'aïllament de la variació de la tensió d'alimentació del *CtoF*, aconseguint un major rang de d'immutat (actualment amb una variació del 20% de V_{DD} , s'obté que la sortida en freqüència només varia un 0,67%).

Cal pensar també en introduir els convertidors *Fto#* dins el propi ASIC ROIC, el que conduiria directament a la integració de canals de processat intel·ligents per a sensors. Actualment els codis fonts dels *Fto#* estan implementats en VHDL i s'utilitzen les FPGAs Spartan3E de Xilinx, com a canals de procés. Es podria integrar tot en un ROIC mitjançant el disseny d'un circuit integrat mixt analògic-digital, en el que la lògica

digital vindria descrita a alt nivell en VHDL i la interfície analògica estarien conformats pels oscil·ladors i *bandgaps*.

Finalment, i a nivell sistema, es podrien optimitzar els recursos destinats al processat a alt nivell. La introducció de *softcores* com Microblaze proporcionen una potència de càlcul enorme en la construcció de sensors intel·ligents.

Nogensmenys, la introducció d'aquest processador implica una necessitat de recursos molt gran per a un relatiu nivell de procés. El disseny de processadors específics que realitzessin les operacions necessàries de conversió dels diferents mètodes Fto# permetria alleugerir la càrrega del processador.

Aleshores seria fàcil introduir també el processador en el propi ROIC creant el sensor intel·ligent amb adquisició i procés per a un *array* heterogeni de sensors capacitius.

En l'actualitat hi ha un gran ventall de processadors per software que poden ésser accessibles a la integració, donat que tenen el seu codi obert, per tal de poder ser implementats tant en FPGAs com en ASICs.

Llistat de publicacions i contribucions a congressos

- [1] Raul Aragonés, Joan Oliver, Carles Ferrer, “Ultra-low Temperature Dependent ROIC for Capacitive Sensing Platforms”, *in proc. of IEEE IECON 2012*, Accepted. Oct. 2012.
- [2] R. Aragonés, J. Oliver, C. Ferrer, “A 23ppm/°C readout circuitry improvement for capacitive sensor acquisition platforms” *in proc. of Sensing Technology (ICST)*, pp. 628-634, Palmerston North, New Zealand, Nov. 2011, ISBN 978-1-4577-0166-5.
- [3] Aragonés, R., Álvarez, P., Oliver, J., Ferrer, C., “ACapacitance-to-Frequency Converters Comparison for a Frequency Acquisition Platform”, *in proc. of Sensors Conference 2010*, pp. 1431-1436, Hawaii, nov. 2010, ISBN: 978-1-4244-8168-2.
- [4] Raúl Aragonés, Paula Álvarez, Joan Oliver, Carles Ferrer, “Readout Circuitry for Raw Sensors Monitoring Systems”, *In proc. of the XXV Conference on Design of Circuits and Integrated Systems (DCIS 2010)*, pp. 272-277, Lanzarote, Nov. 2010, ISBN:978- 84-693-7393-4.
- [5] Aragonés, R.; Álvarez, P.; Oliver, J.; Ferrer, C.,” Comparison of Readout Circuitry Techniques for Data Acquisition in Raw Sensor Systems”, *In proc of IECON 2010*, Phoenix, pag 1252 – 1257, nov. 2010, , ISBN: 978-1-4244-5225-5.
- [6] Raúl Aragonés Ortiz, Joan Oliver i Malagelada, Carles Ferrer i Ramis, “Multichannel Voltage to Frequency to Code Converter for Sensors Applications”, *in proc. of the XXIII Conference on Design of Circuits and Integrated Systems (DCIS 2010)*, Grenoble, Nov. 2008, ISBN: 978-2-84813-124-5.
- [7] R. Aragonés, J.Oliver, C. Ferrer: “A generic Signal Processor for Frequency Sensor Data Acquisition”, *in proc. of the XXII Conference on Design of Circuits and Integrated Systems (DCIS 2007)*, pp.345-350, Sevilla, Nov. 2007, ISBN-13 : 978-84690-8629-2.
- [8] Raúl Aragonés, Joan Oliver, Carles Ferrer, “Self-Adaptive A/D Converter Based on a Frequency Based Acquisition Method for Smart Sensors Applications”, *in proc. Of IEEE Internacional Symposium on industrial Electronics 2005*, pp 1055-1060, Dubrovnik, Jun. 2005. ISBN: 0-7803-8738-4 .

- [9] Raúl Aragonés, Joan Oliver, Carles Ferrer, “Use of PSoC Component in a Frequency Based Acquisition Method for Smart Sensors Applications”, *in proc. IEEE International Conference on Industrial Technology 2004*, pp 1357 - 1362, Hammamet, Dec. 2004, ISBN: 0-7803-8663-9.
- [10] Raúl Aragonés, Joan Oliver, Carles Ferrer. “A PsoC Component for Frequency Based Acquisition Applications”, *In proc. of JCRA’04 conference, Computación y aplicaciones*. pp 661- 665, Barcelona, Sep. 2004, ISBN: 84-688-7667-4.
- [11] Paula L. Álvarez, Raúl Aragonés , Joan Oliver, Carles Ferrer: “Modeling and Simulation of Heterogeneous Electronic System base on Smart Sensors for Aerospace Structures Health Monitoring”, *in proc. of SPIE 2010 conference*, Vol. 7647, pp. 76472N-76472N-11 .
- [12] B. Lorente, R. Aragonés, J. Oliver, C. Ferrer: “Behavioral modeling and Simulation for Heterogeneous Design Applied to Aerospacial Inertial Microinstrumentation Development”, *In proc. of 2007 Summer Simulation Multiconference (SCSC’07)*, San Diego, Jul. 2007.
- [13] Raúl Aragonés Ortiz, Joaquim Saiz Alcaine, Antoni Portero Trujillo, Mercedes Rullán Ayza, Jordi Aguiló Llobet. “Experiencia de Innovación Docente siguiendo las directrices del EEES en la enseñanza del diseño digital”, *Journal, Revista Latinoamericana de Tecnología Educativa (RELATEC)*, vol. 5, nº 2, pag. 203-222. ISSN: 1695-288X.
- [14] Joaquín Saiz, Toni Portero, Raúl Aragonés, Mercè Rullán y Jordi Aguiló: “Máquinas Algorítmicas: Una Metodología para su Aprendizaje Práctico a Través de LittleProc”, *Revista IEEE-RITA (Revista Iberoamericana de Tecnologías del Aprendizaje)*, Vol. 4, Num. 2, pp. 83-94, May. 2009, ISSN 1932-8540.

Apèndix 1: Model Matlab equivalent

Tal i com s'ha introduït en els apartats 4.4.3 i 4.6.10, la resposta freqüencial dels convertidors de capacitat a freqüència té una dependència de tipus hipèrbola equilàtera (del tipus $1/X$) respecte a la capacitat.

Per obtenir el model exacte del convertidor, s'ha optat per automatitzar el sistema de mesura fent un escombrat capacitiu (des de 5pF fins a 10nF) i obtenir la freqüència que en representa la capacitat mesurada.

Acte seguit es fa el pre-processat agafant les mostres capacitat-freqüència. Es busca la corba capacitat-freqüència que correspon al Fto# incorporat en el sistema de mesura.

El procediment que s'ha seguit per a realitzar la mesura és el següent:

- Es realitza un conjunt de mesures experimentals per trobar la relació freqüència – capacitat del convertidor Fto#.
- De les dades experimentals s'observa que la resposta té una corba del tipus $1/x$. Es decideix cercar, emprant Matlab, els paràmetres que aproximem la corba. Així es realitza un càlcul d'aproximació no lineal per menors quadràtics per trobar els valors a i b que ajusten la corba a l'expressió:

$$f = \frac{a}{C+b} \quad \text{Eq. a1.1}$$

Es troben els valors $a = 51.5681$ i $b = 0.0107$, amb un error relatiu del 0.11% (figura a1.1). En l'expressió la freqüència f està expressada en KHz i la capacitat C en nF.

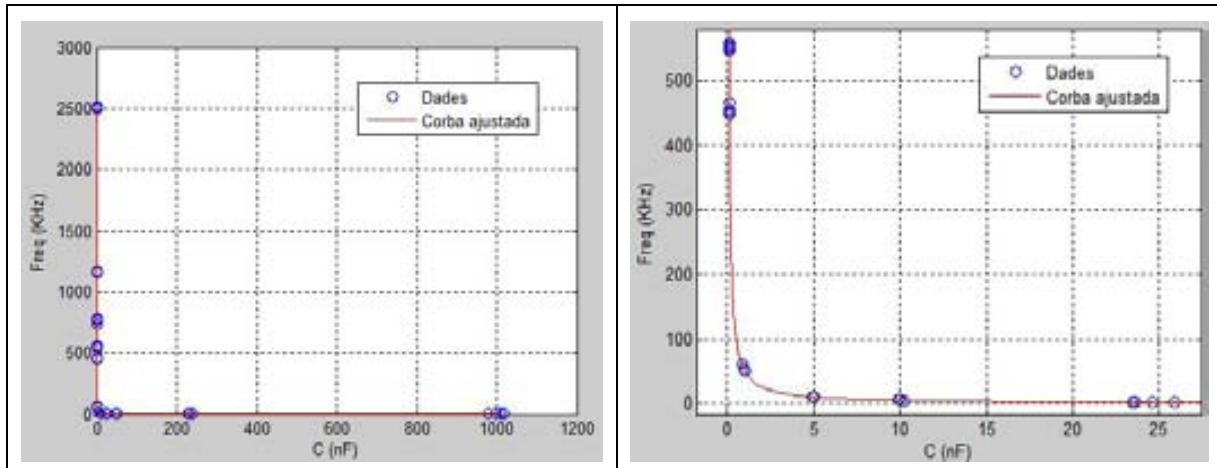


Figura a1.1: a) Resposta de l'escombrat capacitiu versus freqüència de sortida. La figura b) mostra un zoom en la part més hiperbòlica de la corba.

Així doncs el processador MicroBlaze, personalitzat sobre la placa FPGA SPARTAN3E, aplicarà en temps real l'equació trobada per donar, directament, la mesura de la capacitat del sensor a la què correspon la mesura (equació a1.3).

$$C(nF) = \frac{51.5681}{f(KHz)} - 0.0107 \quad \text{Eq. a1.3}$$

Apèndix 2: Figures i plaques

En aquest apèndix es mostraran els dissenys que s'han implementat fent servir les eines de CAD de disseny de ASICS, FPGAs i circuits impresos.

En particular, pel disseny de tot el sistema d'adquisició s'ha fet servir les següents plataformes:

- La plataforma d'adquisició freqüencial de l'ASIC ROIC 1.0 s'ha desenvolupat amb les següents eines:
 - Disseny dels Fto#, amb Altera Quartus II.
 - Disseny del processador Littleproc de 16bits, amb Altera Quartus II.
 - Disseny de l'ASIC ROIC 1.0, amb Cadence Virtuoso amb el Hitkit 3.6.
 - Disseny del circuit imprès de l'ASIC ROIC i de la placa de sensors, amb el Cadence Layout.
- La plataforma d'adquisició freqüencial de l'ASIC ROIC 2.0 s'ha dissenyat amb les següents eines:
 - Disseny dels Fto#, amb Xilinx ISE WebPACK.
 - Disseny del processador MicroBlaze, amb Xilinx EDK.
 - Disseny de l'ASIC ROIC 2.0, amb Cadence Virtuoso amb el Hitkit 3.7.
 - Disseny del circuit imprès de l'ASIC amb l'eina Edwin.

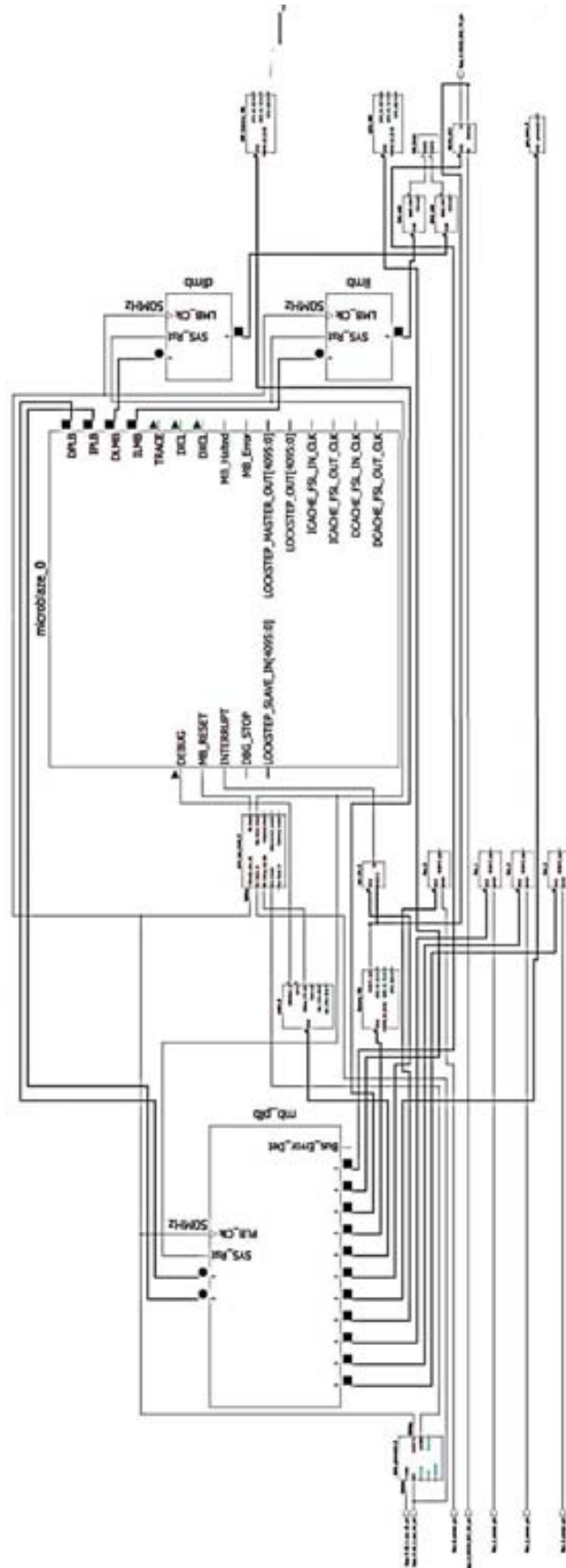


Figura a2.1: Circuit intern que incorpora el MicroBlaze i els convertidorsFto# i la lògica de control.

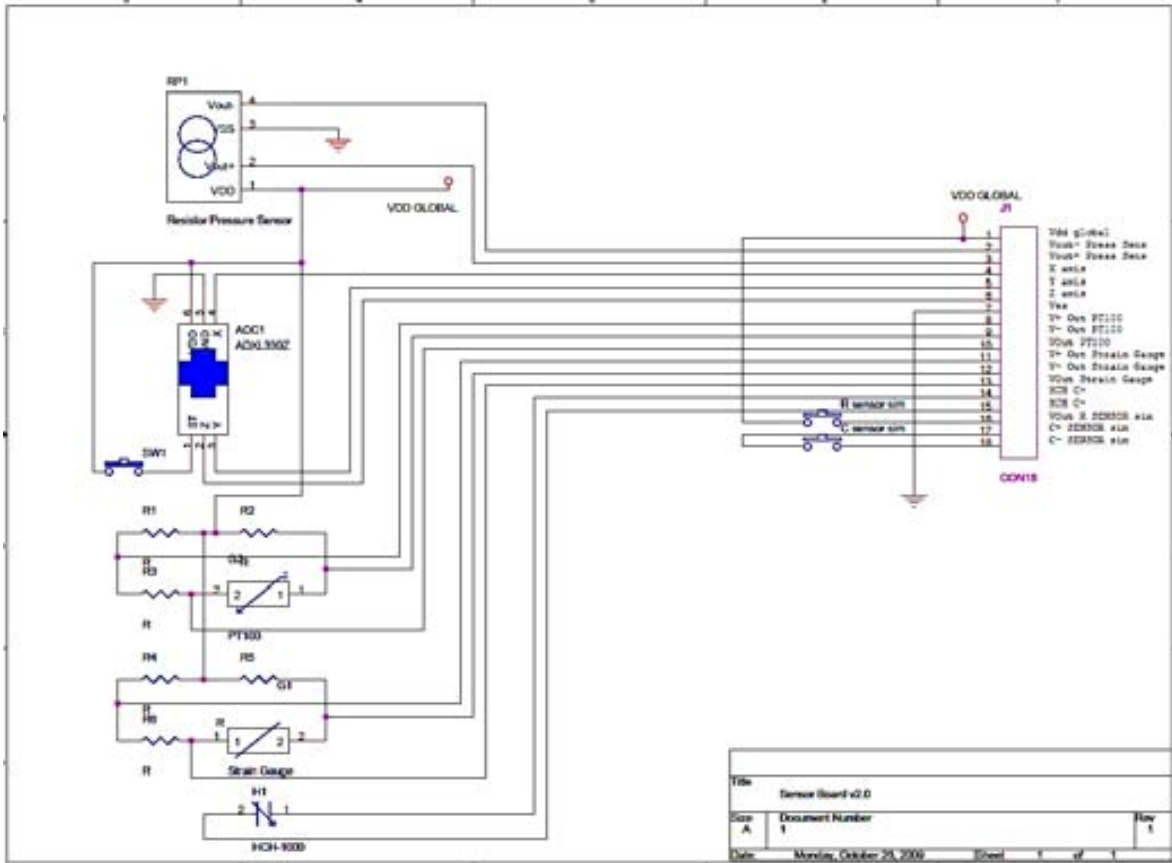


Figura a2.3: Placa dels sensors per l'ASIC ROIC 1.0

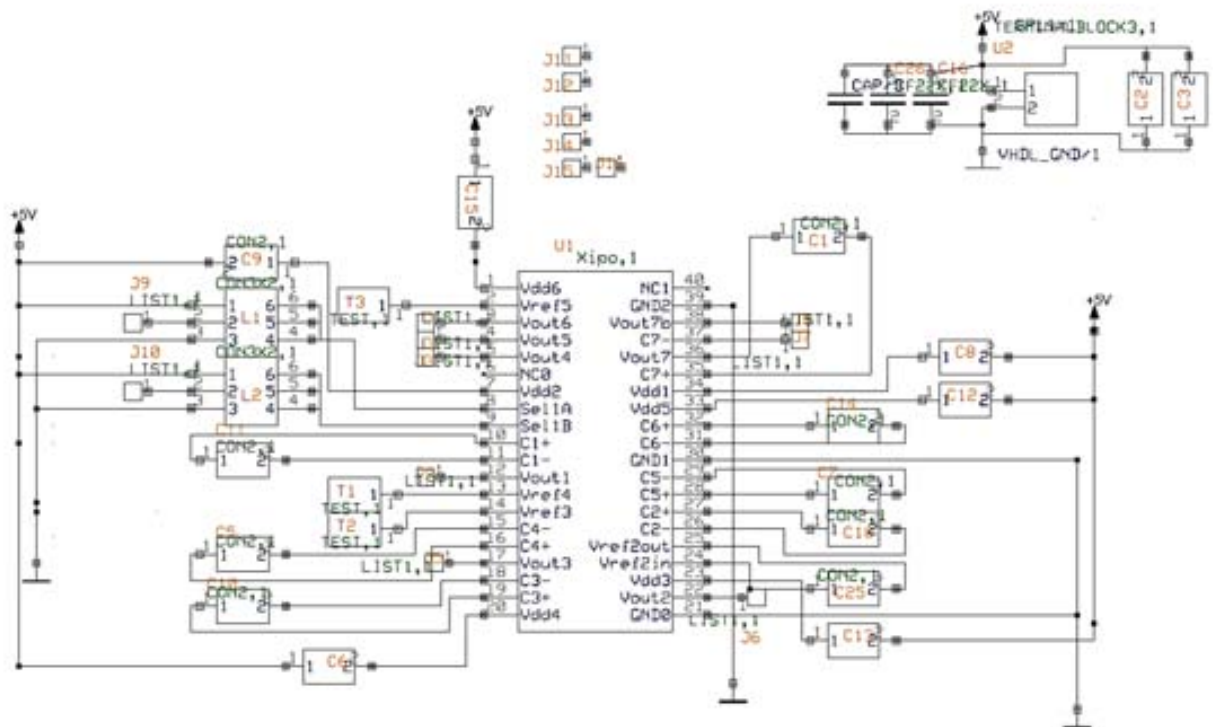


Figura a2.4: Placa d'adquisició i sensors de l'ASIC ROIC 2.0.

Apèndix 3: Integració dels ASIC ROICs

A3.1 introducció

L'objectiu d'aquest capítol es presentar breument la tecnologia que s'ha fet servir durant el disseny dels dos ASIC ROICs, així com les eines de disseny emprades i les seves restriccions.

També es vol detallar l'estructura interna dels dos ASICS ROICs dissenyats, centre principal del treball d'aquesta tesi, i fabricats a través d'EUROPRACTICE.

A3.2 Flux de disseny

Per tal de poder fabricar un circuit integrat amb garantia d'acompliment amb les especificacions funcionals i elèctriques inicialment desitjades, s'han de tenir present un seguit d'etapes i processos, totes ells necessaris per tal de garantir el correcte de funcionament final.

En el següent diagrama de flux, es mostren les passes a seguir, fent servir amb l'eina CADENCE, fent servir la tecnologia AMS 0,35 μ M.

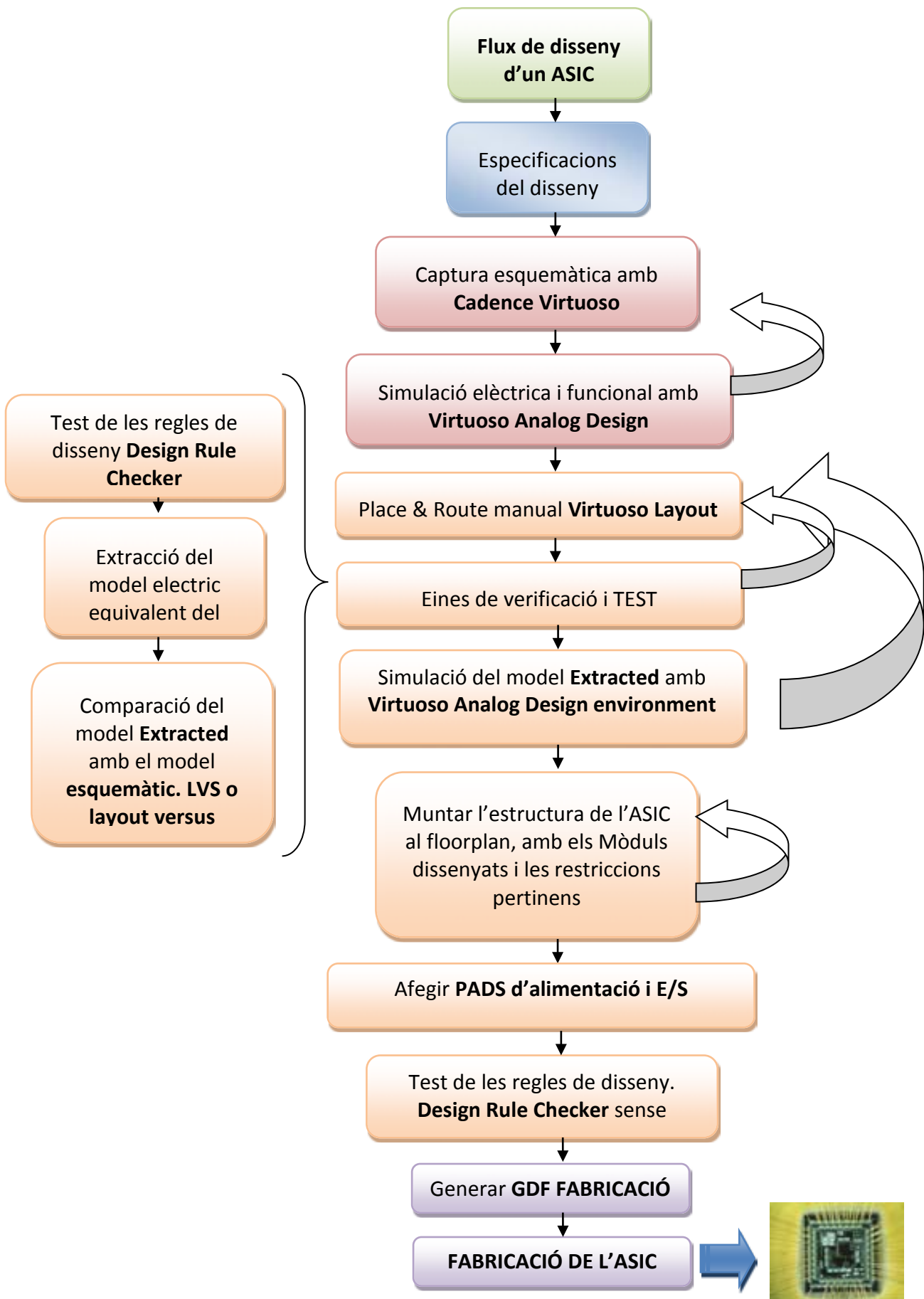


Figura a3.1: Flux de disseny.

Les fases de test permetran assegurar que el circuit aconpleix les regles de disseny (DRC) i garantir que el comportament elèctric i funcional del circuit final és fidedigne al desitjat.

El *layout* extret anomenat *extracted* és una versió real del disseny *layout* però tenint en compte resistències equivalents, capacitats paràsites i de substrat i unions P-N. Així, té en compte [1]:

- Fonts de corrent.
- Díodes.
- C_{GS} , C_{BG} , C_{GD} , C_{BS} , C_{BD} , $C_{GS,OV}$, $C_{GD,OV}$.
- Resistències.

A la següent figura veiem un del model real d'un transistor. La comparació del model teòric (captura esquemàtica) i el model "casi real" o *extracted*, s'anomena "*layout versus schematic*", i permet garantir que el circuit es comporta idènticament dins d'uns paràmetres definits a priori.

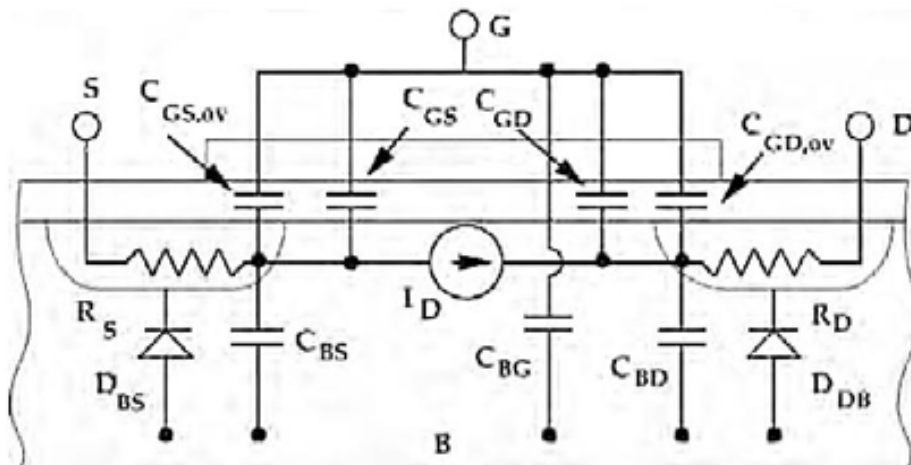


Figura a3.2: Model equivalent del transistor

Per altra banda, per tal d'evitar deformacions dels òxids que cobreixen els metalls i no afegir estres mecànic sobre l'ASIC, es obligatori cobrir de metall 3 i/o metall 4, un % elevat de tot l'ASIC. La fase de DRC final té en compte aquesta cobertura

A3.3 Overview de la tecnologia AMS 0,35µm

El procés de fabricació que es va escollir és del fabricant Austriamicrosystems. La figura a3.3 mostra el tall lateral de com es distribueixen les capes de metall, policilici, òxids i difusions.

Aquesta tecnologia fa servir 4 capes de metall i 2 capes de policilici que permeten una fàcil interconnexió dels dispositius. A la figura a3.4 es veu un tall lateral d'exemple amb 3 metalls [2].

Per altra banda, fent servir metalls i polisilicis es poden fabricar components passius com resistències i condensadors.

Per construir resistències es fa servir la capa de poly2. Per altra banda, fent servir estructures conductor- aillant- conductor es poden desenvolupar petites capacitats combinant la següent estructura interna:

- Poly1 i poly2 per desenvolupar capacitats, també anomenades PIP.
- Metall2 i MetallC per desenvolupar capacitats anomenades MIM.

Només la capacitat desenvolupada mitjançant PIP es suportada pel procés que fem servir anomenat C35B4C3.

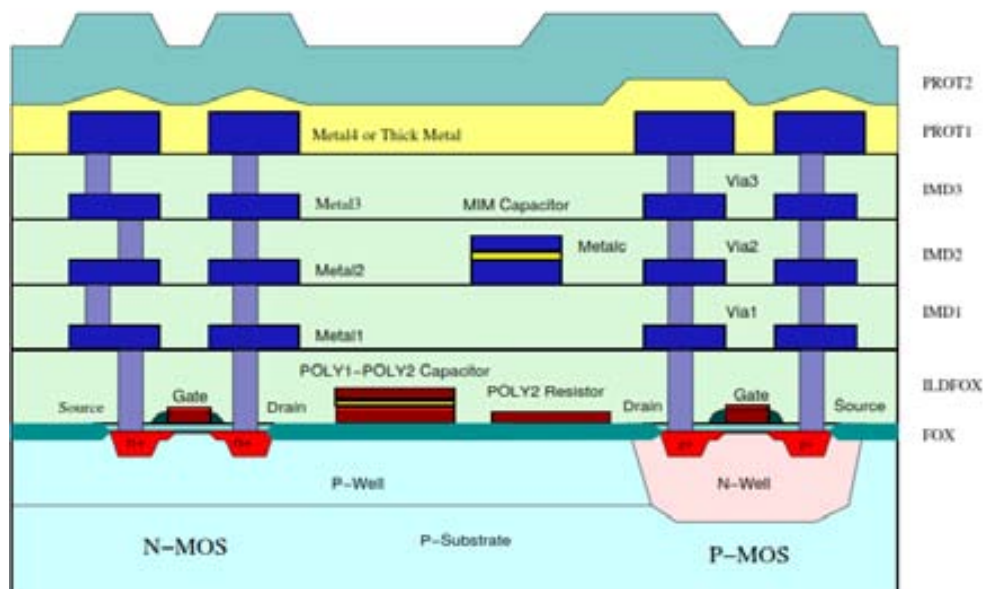


Figura a3.3 :Mostra el tall lateral de la tecnologia AMS 0,35µm.

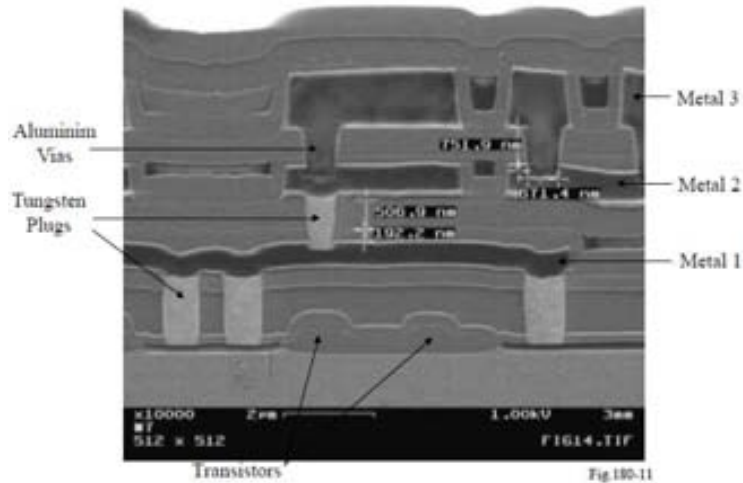


Figura a3.4: Secció lateral d'un disseny implementat amb 3 metalls.

La mateixa tecnologia ofereix la possibilitat de construir els propis components fent *full custom* alternant components ja creats i parametritzar-los fent servir *Standard Cells*. En el disseny d'aquest sistema d'adquisició s'han alternat aquestes dues metodologies segons les necessitats del disseny.

Una vegada fet el disseny cal fer la interconnexió dels transistors i/o components que s'han integrat al disseny.

Per tal de fer aquesta interconnexió cal tindre molt present que els metalls que ens permeten fer la connexió entre dispositius tenen una densitat de corrent màxima. Si és superada es produeix el no desitjat efecte de la electromigració.

Es pot observar a la taula a3.1 següent que els corrents màxim per μm són diferents per a cada tipus de metall. Per exemple, el metall 1 i 2 tenen un corrent màxim de $1\text{mA}/\mu\text{m}$ i en canvi el metall 3 té corrent màxim de $1,6\text{mA}/\mu\text{m}$.

La informació detallada sobre la tecnologia es troba en [3] i [4].

Taula a3.1: Densitats màximes de corrent per a la tecnologia C35B4C3 de AMS $0,35\ \mu\text{m}$.

Parameter	Symbol	Min	Typ	Max	Unit
POLY1 current density	JPOLY			0.5	$\text{mA}/\mu\text{m}$
POLY2 current density	JPOLY2			0.3	$\text{mA}/\mu\text{m}$
high resistive poly current density	JPOLYH			0.1	$\text{mA}/\mu\text{m}$
MET1 current density	JMET			1.0	$\text{mA}/\mu\text{m}$
MET2 current density	JMET2			1.0	$\text{mA}/\mu\text{m}$
MET3 current density valid for triple metal process	JMET3T			1.6	$\text{mA}/\mu\text{m}$
MET3 current density valid for quadruple metal process	JMET3			1.0	$\text{mA}/\mu\text{m}$
MET4 current density	JMET4			1.6	$\text{mA}/\mu\text{m}$

També cal tenir present a l'hora de fer el *place&route* les regles de disseny de les tecnologies. En el nostre cas s'ha decidit fer un *place&route* manual per tal aprofitar al màxim la poca àrea de què disposem (2mm^2 contant l'anell de PADS).

Aquestes regles de disseny permetran evitar un mal funcionament del circuit en el cas que es produeixin desalineament de les màscares en el procés de fabricació de l'ASIC. Aquestes regles estableixen (figura a3.5) unes restriccions com poden ser sobre:

- Dimensió mínima de pistes i components (*width*).
- Separació entre components (*spacing*).
- Separació entre extensions de components (*notch*).
- Superposicions, extensions ...

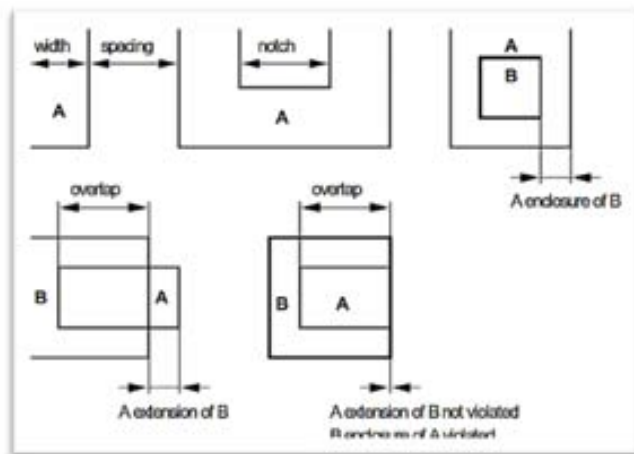


Figura a3.5: Definició de les restriccions del disseny segons regles de disseny.

Una vegada definides les restriccions, es personalitza cadascuna d'elles per a cada tipus de material (difusions, *polys*, metalls, ...). A la figura a3.6 s'observen les regles de disseny que fan referència a les difusions amb els seus corresponents valors a la taula a3.2.

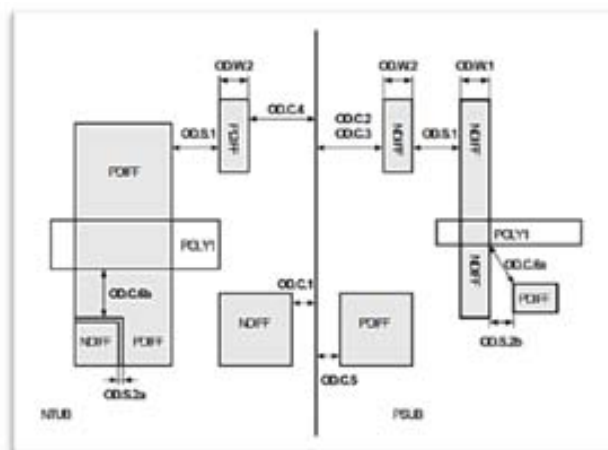


Figura a3.6: Regles de disseny per a les difusions.

Taula a3.2: Valors per a les restriccions de les regles de disseny de les difusions.

Rule	Description	Value [μm]
OD.W.1	Minimum DIFF width to define the width of NMOS / PMOS	0.4
OD.W.2	Minimum DIFF width for interconnection (NDIFF or PDIFF)	0.3
OD.S.1	Minimum DIFF spacing	0.6
OD.C.1	Minimum NTUB enclosure of NDIFF	0.2
OD.C.2	Minimum NDIFF to NTUB spacing	1.2
OD.C.3	Minimum NDIFF to HOT_NTUB spacing (without PTAP in between)	2.6
OD.C.4	Minimum NTUB enclosure of PDIFF	1.2
OD.C.5	Minimum PDIFF to NTUB spacing	0.2
OD.C.6a	Minimum PDIFF to NGATE spacing	0.45
OD.C.6b	Minimum NDIFF to PGATE spacing	0.45
OD.S.2a	Minimum NDIFF to butting PDIFF spacing	0
OD.S.2b	Minimum NDIFF to non-butting PDIFF spacing	0.6
AAR001	DIFF overlapping KEPOUT is not allowed	
S1AAKO	Minimum DIFF spacing to KEPOUT or SFCDEF (not shown)	0.6

A3.4 Disseny de l'ASIC ROIC 1 i 2.

Tal i com s'ha anat detallant durant el transcurs de la memòria, durant el desenvolupament de la tesi, s'han dissenyat i fabricat dos circuits integrats.

Es va dissenyar un primer ASIC ROIC per a comprovar i conèixer la viabilitat de la tecnologia i, alhora, integrar uns primers oscil·ladors simples que ens permetessin fer una adquisició de sensors capacitius i comprovar que el *bandgap* bàsic (apartat 5.3) es comportava d'acord a les especificacions establertes. Els resultats específics dels components s'han detallat en els capítols 4 i 5.

En les figures a3.7-8 s'observen els esquemes elèctrics i els *layouts* del primer ASIC ROIC dissenyat i fabricant el 2009.

S'ha emprat la tecnologia AMS 0,35 μM , amb dos kits de disseny diferents: el *hitkit* 3.6 i el 3.7.

La figura a3.9 mostra la fotografia amb microscopi del circuit integrat ROIC 1.0. En la fotografia s'observen els sis sub-circuits que s'han integrat i que s'han utilitzat en la plataforma d'adquisició.

La figura a3.10-11, presenta la captura esquemàtica i *layout* intern de l'ASIC ROIC 2.0. Es pot observar que aquest circuit integrat incorpora dues masses comunes, i sis

alimentacions independents per poder fer les proves pertinents de PSRR i de compensació amb la tensió d'alimentació de cada canal o grup de canals.

Els *pads* que s'han fet servir són *pads* bidireccionals, de $50\mu\text{M} \times 200\mu\text{M}$, dissenyats durant el projecte CANARIO de IMB-CNM. Incorporen un buffer de sortida, i protecció elèctrica contra descàrregues.

L'anell que formen els *pads* I/O permet transmetre a través d'ells la massa i l'alimentació a cada *pad* mitjançant una de les seves capes de metall. A més entre *pad* i *pad*, es fan servir uns *spacers* que permeten separar els *pads* una distància mínima de $10\mu\text{M}$, transmetent alhora la alimentació i massa. La separació mínima i màxima entre *pads* està acotada pels pous de difusió que contenen cadascun dels *pads*.

Per finalitzar el disseny de l'anell de *pads*, es poden fer servir corners a les cantonades, per fer la mateixa funció que els *spacers*. La separació entre *pad*-corner-*pad* també està definida per les alimentacions de seus pous corresponents, sempre complint amb les regles de disseny [5]. La ubicació de tota la anella de *pads*, així com tots els mòduls de l'ASIC ROIC, així com les pistes de metall que connecten els mòduls i els *pads*, es fan de forma manual per garantir els requeriments funcionals i de dimensions del conjunt.

Per altra banda a la figura a3.12 es mostra la fotografia amb microscopi del circuit integrat ROIC 2.0, dissenyat entre el 2010 i el 2011, i enviat a fabricar al Juliol del 2011.

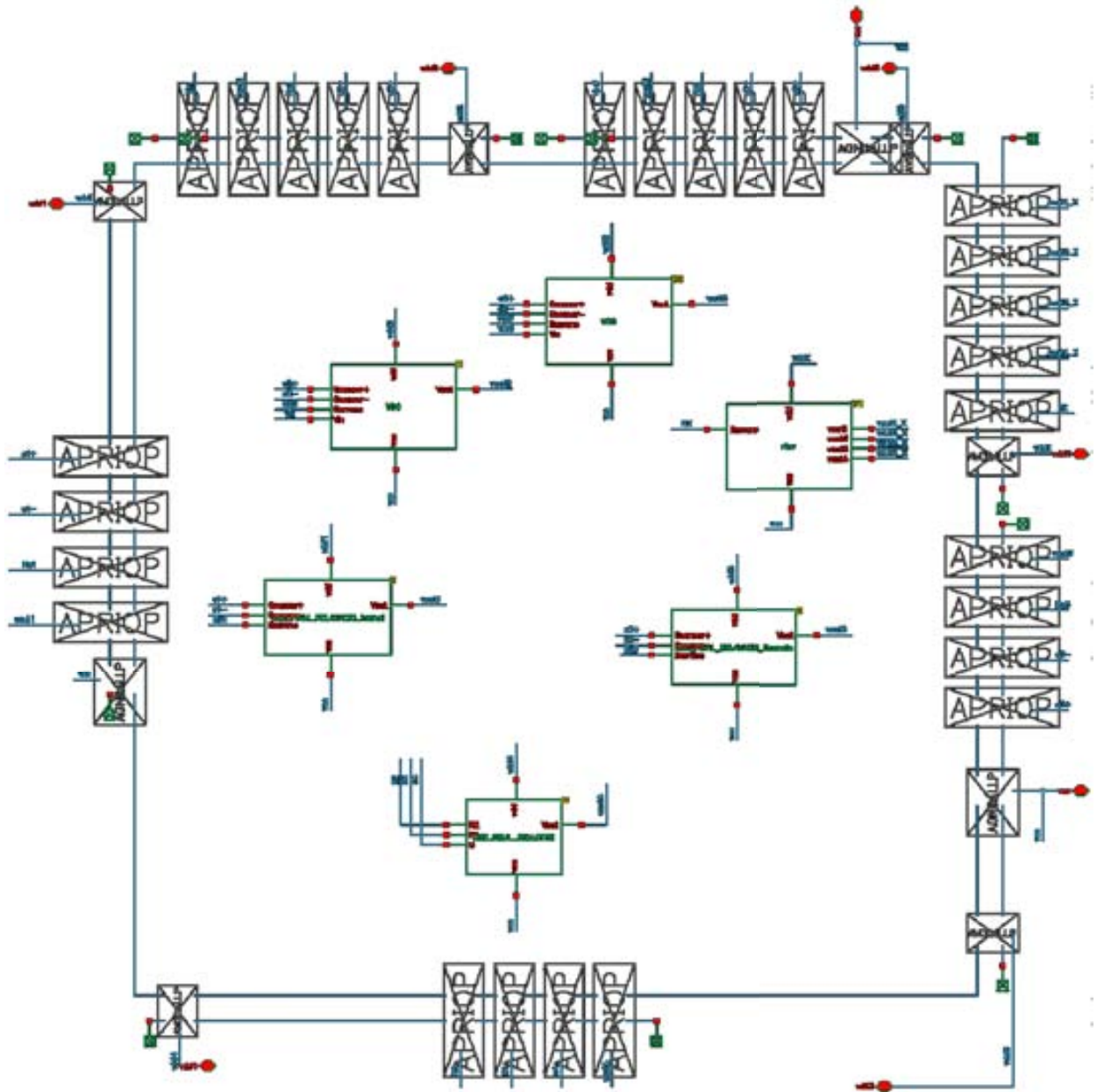


Figura a3.7: Esquemàtic intern de l'ASIC ROIC 1.0.

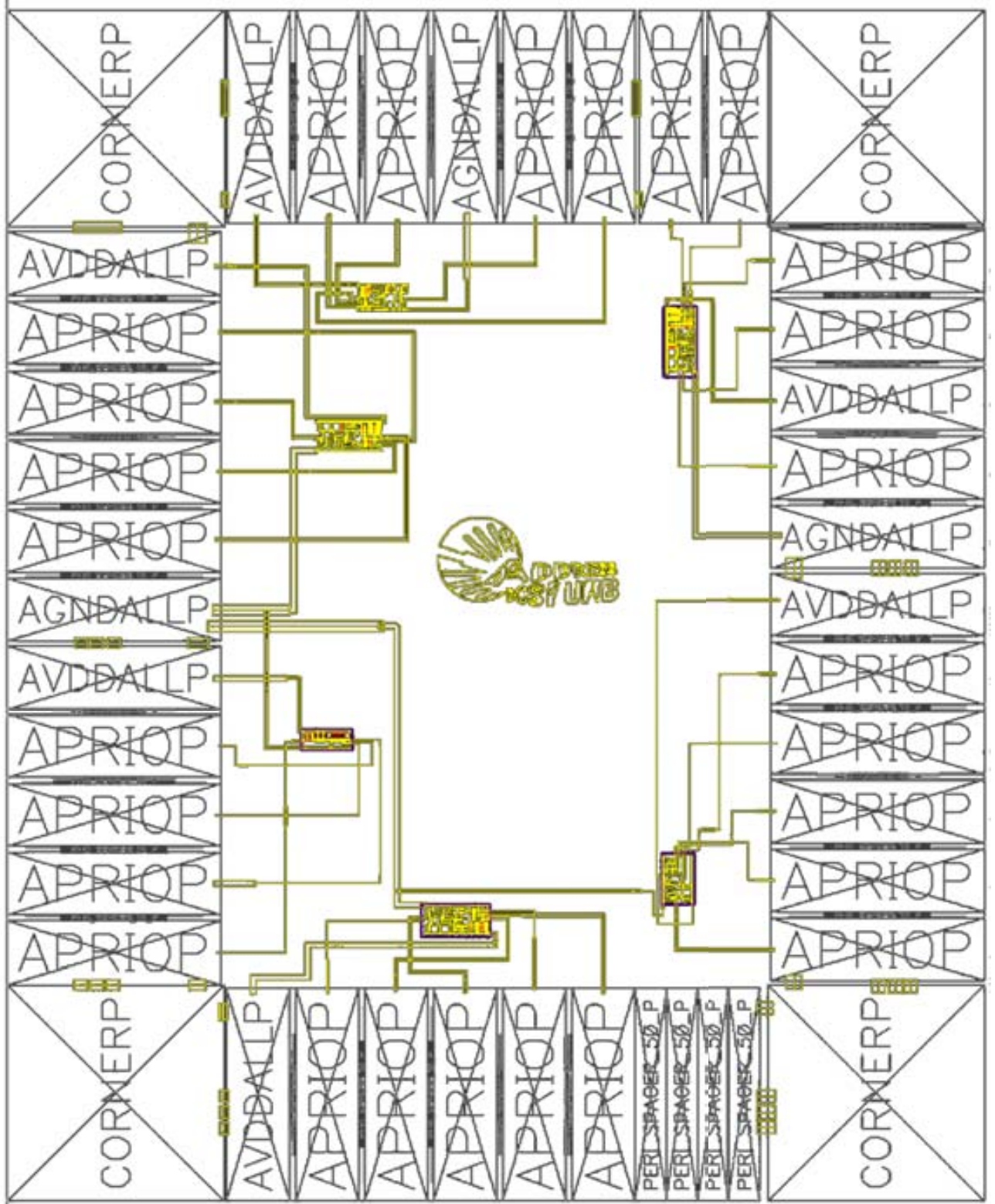


Figura a3.8: Layout intern de l'ASIC ROIC 1.0.

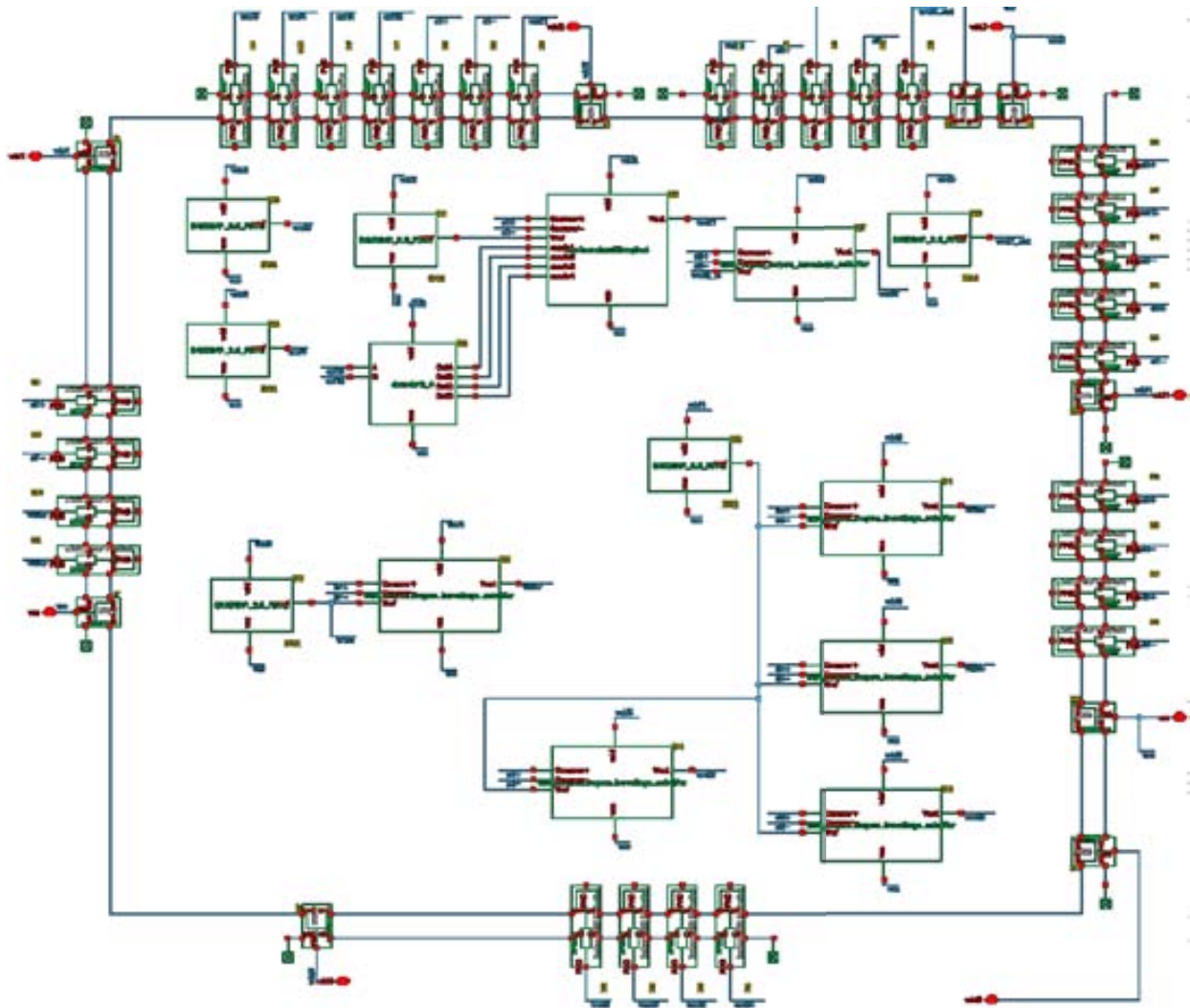


Figura a3.10: Esquemàtic intern de l'ASIC ROIC 2.0.

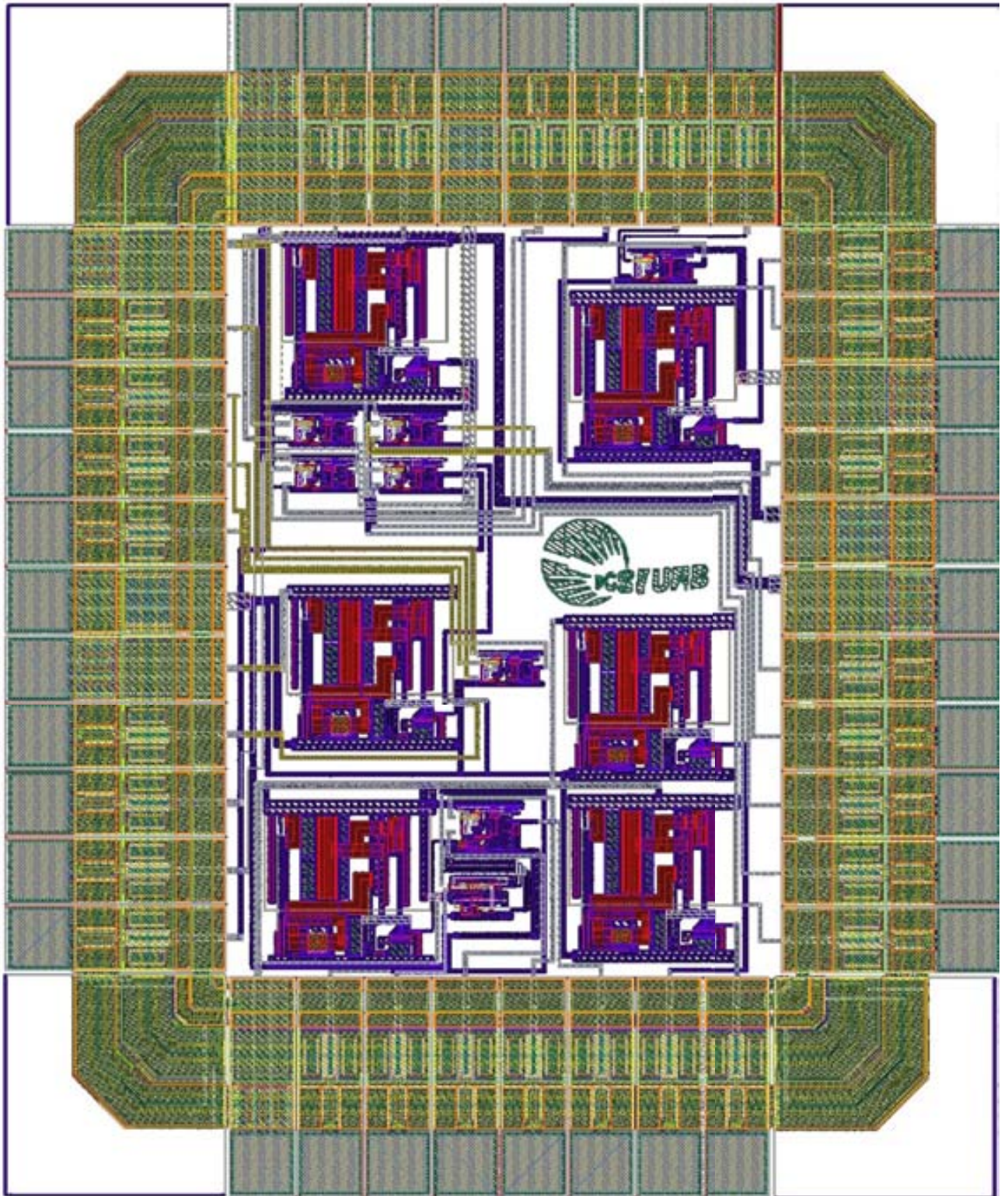


Figura a3.11: Layout intern de l'ASIC ROIC 2.0.

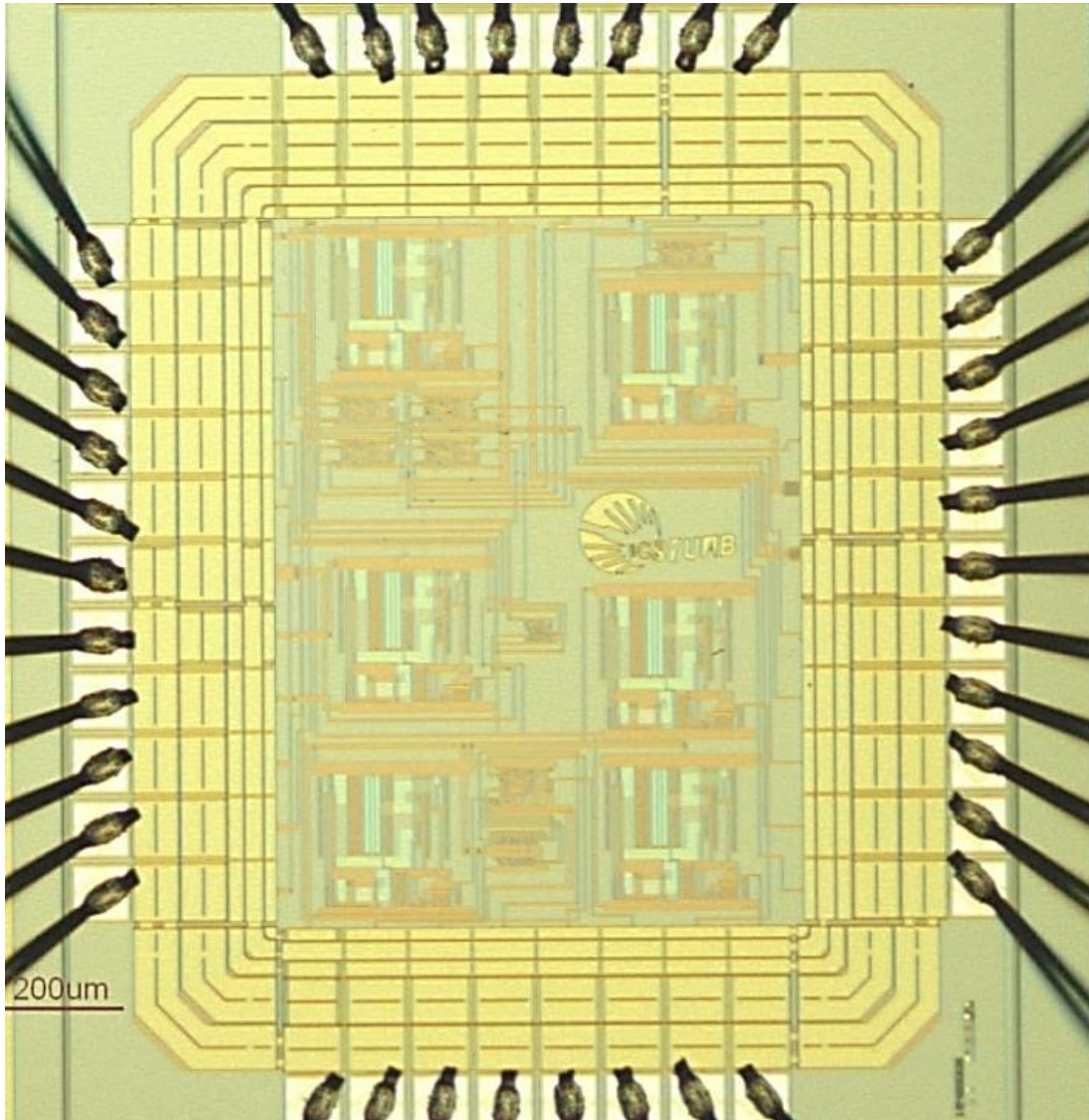


Figura a3.12: Microfotografia de l'ASIC ROIC 2.0.

A3.6 Referències

- [1] Mos Field-Effect Transistor. [En línia] <http://qucs.sourceforge.net/tech/node71.html>
- [2] CMOS Analog circuit design. CMOS Technology. AICDesign.org. [En línia][http://www.aicdesign.org/scnotes/2002notes/Chapter02-2UP\(288_13_02\)29.pdf](http://www.aicdesign.org/scnotes/2002notes/Chapter02-2UP(288_13_02)29.pdf)
- [3] “Austriamicrosystems (AMS) 0,35um 2-poly, 4-metal standard CMOS technology”,2009.
- [4] AMS, “0,35um CMOS C35 Process Parameters”, eng182_rev5.pdf document, 2007.
- [5] AMS, “0,35um CMOS C35 Design Rules”, eng183_rev6.pdf document, 2007.