



Design and Implementation of a Dynamic Partial Reconfigurable Demodulation System for Satellite Receivers

著者	Mohamed Elhady Magdy Mohamed Gad Keshk
発行年	2018-09-21
その他のタイトル	衛星受信機のための動的部分再構成型復調器の設計と実装
学位授与番号	17104甲工第461号
URL	http://hdl.handle.net/10228/00006987

氏名	Mohamed Elhady Magdy Mohamed Gad Keshk (エジプト)
学位の種類	博士 (工学)
学位記番号	工博甲第461号
学位授与の日付	平成30年9月21日
学位授与の条件	学位規則第4条第1項該当
学位論文題目	Design and Implementation of a Dynamic Partial Reconfigurable Demodulation System for Satellite Receivers (衛星受信機のための動的部分再構成型復調器の設計と実装)
論文審査委員	主査 教授 浅海 賢一 " 趙 孟佑 " 奥山 圭一 准教授 三浦 元喜 " 豊田 和弘

学 位 論 文 内 容 の 要 旨

衛星受信機に搭載される変調器・復調器は地上局との運用を想定した設計と実装が必要である。国際協力に基づく宇宙開発では、衛星受信機の小型化、低消費電力化、低コスト化を実現するとともに、複数の通信方式に自動的に対応する適応型衛星通信技術の確立が求められている。本研究では、地上民生品として容易に入手可能な再構成可能な集積回路である FPGA (Field Programmable Gate Array) を用いて、自動デジタル変調分類器 (Automatic Digital Modulation Classifier) と動的部分再構成型復調器 (Dynamic Partial Reconfigurable Demodulator) を構築し、複数の通信方式に対する信号認識率、実行処理性能、及び耐故障性能の評価を行った。

本論文は全6章で構成されている。

第1章は、衛星受信機を取り巻く社会環境、その通信方式に求められる要件定義と再プログラミング可能デバイスの柔軟性を生かした具体的な研究方針について述べている。

第2章では、本研究の背景を説明している。ソフトウェア無線 (Software Defined Radio) の構成と原理をまとめるとともに、FPGA、DSP (Digital Signal Processor)、GPP (General Purpose Processor)、ASIC (Application Specific Integrated Circuit) による実装を比較し、衛星受信機における自動変調認識機能を説明している。また既存の衛星受信機に関する研究では明確に示されていなかった動的部分再構成型復調器の FPGA 実装の可能性と運用面における性能の優位について述べている。

さらに、衛星通信で用いられる代表的なデジタル変調方式をまとめている。位相偏移変調による通信方式である BPSK (Binary Phase Shift Keying) と QPSK (Quadrature Phase Shift Keying) における有限個の特有な位相の表現と信号処理を説明している。それぞれの位相偏移変調における理論上のビットレート、シンボルレート、帯域幅を示し、数値制御型発振器 (NCO, Numerically Controlled Oscillators) を用いた変調器・復調器の構成を示している。

第3章は、自動デジタル変調分類器における特徴抽出とサポートベクターマシンのアルゴリズムと FPGA を用いたその実装方法を述べている。ハードウェア・デジタル回路による離散ウェーブレット変換 (DWT, Discrete Wavelet Transform) の信号処理の方法と実現、機械学習による信号の学習方法とリアルタイム分類の方法を提示し、複数の FPGA ボードを利用した通信信号の分類結果を示すとともに、従来の研究との比較結果について考察し、提案手法が適切な認識率を持つことを明らかにしている。また、信号認識のハードウェア実装によるリアルタイム分類が効果的に動作することを結論付けている。

第4章は、動的部分再構成型復調器の設計と実装についてまとめている。最新の FPGA が備えている自己再構成手法の利用と複数の復調器の実装方法、及び動的領域への部分回路の書換え方法、復調器の切替え時間を説明している。その結果、本手法が衛星受信機として、適切な実行速度と低消費電力性能を持つことを示している。

第5章では、FPGA 内の動的部分再構成型回路におけるシングルイベント効果によるソフトウェアを軽減するための回路構成法とシミュレーション結果を考察している。動的部分再構成型復調器に対してエラー訂正ビットを付与した検出ファイルを利用し、回路エラーの検出、訂正、分類を実行し、そのシミュレーション結果から、動的部分再構成型復調器の対故障性が効果的であることを示している。

第6章では、本研究で得られた主要な結論をまとめるとともに、本研究の更なる発展を目指し、FPGA ベースの動的部分再構成型復調システムに対する将来を展望している。

学位論文審査の結果の要旨

本論文は、民生品 FPGA を用いた衛星通信のための動的部分再構成型復調器の設計と実装を提案し、デバイス間のシミュレーションと地上局で受信した信号認識試験の結果から、低コストかつ高信頼性を有する適応型衛星通信技術の有用性を示す研究であり、宇宙開発へ応用可能な情報通信システム工学分野の発展に寄与するところが大きいと考えられる。

また、本論文に関する公聴会において、審査委員および出席者から、動的部分再構成型分類器の利点、他のソフトウェア無線手法との比較評価、復調器切替え時間などに関して質問がなされたが、いずれも著者からの確かな回答がなされ質問者の理解が得られた。

以上により，論文調査及び最終試験の結果に基づき，審査委員会において慎重に審査した結果，本論文が，博士（工学）の学位に十分値するものであると判断した。