

ENDIEL 93

SISTEMA MODULAR PARA O TESTE DE CARTAS DE CIRCUITO IMPRESSO COM BST

Gustavo R. Alves², Manuel G. Gericota², José L. Ramalho², José M. M. Ferreira^{1,2}

1 Faculdade de Engenharia

Departamento de Engenharia Electrotécnica e de Computadores

Rua dos Bragas

4000 Porto

2 INESC

Largo Mompilher, 22

4000 Porto

SUMÁRIO

Esta comunicação apresenta a arquitectura física de um sistema modular para o teste e validação de Cartas de Circuito Impresso (CCI) que disponham de uma infraestrutura compatível com a norma IEEE 1149.1, vulgarmente designada por *Boundary Scan Test* (BST).

A arquitectura global do sistema compreende ainda um nível lógico constituído por um pacote de apoio informático para a geração automática de programas de teste.

O desenvolvimento deste sistema foi parcialmente subsidiado pela Junta Nacional de Investigação Científica e Tecnológica (JNICT) ao abrigo do contracto PMCT/C/TIT/937/90 (Sistema de Validação e Teste de Cartas de Circuito Impresso com BST).

1. Introdução

Os recentes avanços nas áreas da miniaturização dos componentes e do aumento da complexidade e densidade de integração, quer pelo aparecimento de meios mais sofisticados de projecto (ferramentas de CAD para microelectrónica), quer pelas novas tecnologias emergentes (montagem superficial, *tape automated bonding*, encapsulamentos com centenas de pinos), deram origem a novos desafios no domínio do teste e validação de cartas de circuito impresso. Das várias metodologias de teste propostas pela comunidade científica, o BST emergiu como uma resposta promissora e fiável, tendo sido adoptado como norma internacional em 1990 (IEEE Std 1149.1, 90). Componentes que suportam esta norma são cada vez mais frequentes, existindo já alguns equipamentos especialmente vocacionados para cartas que contenham esta infraestrutura de teste. Porém, estes equipamentos comportam normalmente avultados investimentos, não dispondo alguns de canais analógicos, necessários quando se testam placas mistas.

Figura 1: Sistema de teste de cartas de circuito impresso com BST.

O sistema de teste de cartas de circuito impresso com BST apresentado na figura1, tem por base um PC 486, e é constituído por um equipamento exterior e por um pacote informático para geração automática de programas de teste (Tavares et al., 98). Esta comunicação descreve o equipamento exterior que constitui o nível físico do sistema, sendo as três cartas que o constituem apresentadas na secção 2. A secção 3 relata os resultados obtidos no teste de uma carta modelo, na qual é possível forçar um conjunto de faltas pré-estabelecidas. Finalmente a secção 4 apresenta algumas conclusões e possíveis caminhos a adoptar em desenvolvimentos futuros.

2. Arquitectura do Sistema de Teste

Esta secção descreve a arquitectura global do sistema cujo diagrama de blocos é apresentado na figura 2. Funcionalmente pode-se dividir este sistema nos seguintes quatro blocos:

- Bloco de controlo de actividades e processador de comunicações.
- Bloco do processador BST e memória com o programa de teste.
- Bloco de deserialização, memória das respostas aos estímulos de teste e Entradas/Saídas (E/S) digitais.
- Bloco de E/S analógicas.

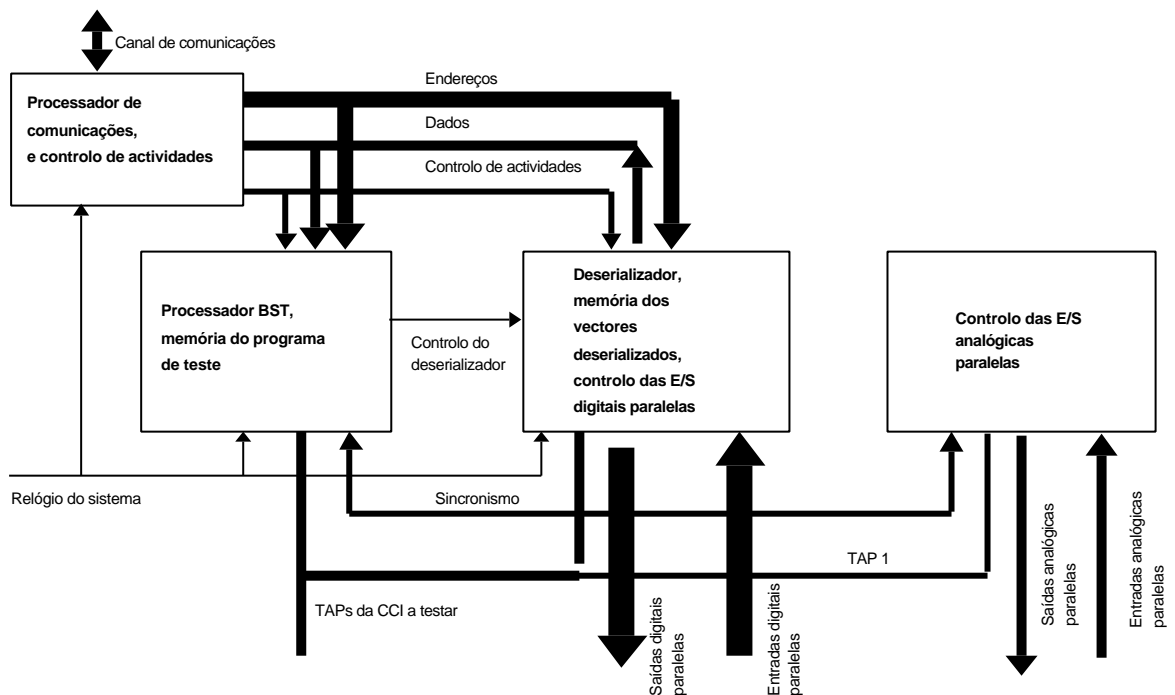


Figura 2 : Arquitectura global do sistema de teste de cartas de circuito impresso com BST.

Em termos de implementação, optou-se por um sistema modular de cartas com 10x16 cm (formato EUROCARD) constituído por três unidades e uma fonte de alimentação. A carta que a seguir se designará por carta do processador BST, implementa os blocos de controlo de actividades e processador de comunicações, o processador BST e memória com o programa de teste, e um componente que suporta o interface com as E/S digitais. A carta seguinte possui o bloco de deserialização e memória das respostas aos estímulos de teste, e dois componentes de E/S digitais. Finalmente a terceira carta implementa o bloco de E/S analógicas.

2.1. Carta do processador BST

A carta do processador BST é composta por três blocos principais, ilustrados na figura 3. O processador BST é descrito pormenorizadamente em (Ferreira, 92) O bloco de controlo de actividades é constituído por um microControlador (μC), que corre um programa monitor responsável por:

- Implementar a comunicação série de e para o PC.
- Controlar o modo de execução pretendido para o processador BST:
 - modo passo a passo.
 - modo paragem (*breakpoint*) por endereço.
 - modo paragem (*breakpoint*) por dados.
 - modo fornecimento de n impulsos de relógio.
 - modo relógio contínuo.
- Seleccionar a frequência do relógio que alimenta o processador BST.
- Examinar/substituir o conteúdo da memória com o programa de teste.
- Inicializar os blocos responsáveis pelo interface com a infraestrutura BST da CCI a testar.

Todas estas opções podem ser seleccionadas e visualizadas através de um interface constituído por um teclado de 24 teclas e um visor de cristais líquidos com 2 linhas de 16 caracteres cada (fig.1). Este bloco contém ainda toda a lógica de descodificação do sistema global.

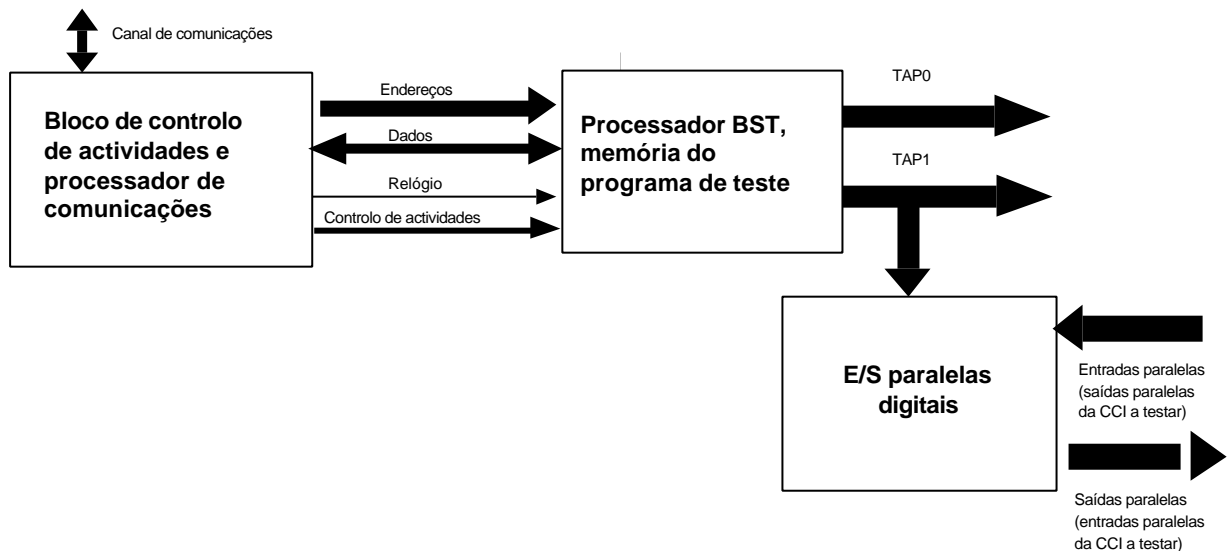


Figura 3 : Diagrama de blocos da carta do processador BST.

O bloco do processador BST, engloba o processador propriamente dito, a memória com o programa de teste e um conjunto de *buffers* de acesso e leitura dos barramentos de dados e endereços. O processador de teste, baseado numa arquitectura dedicada, possui um conjunto de instruções que permite comandar duas cadeias BST e um protocolo de sincronismo que pode ser utilizado com equipamentos de teste exteriores ou com o bloco de E/S analógicas. A sua capacidade de endereçamento atinge 1 *MByte* de memória, justificável pelo facto de os programas que implementam um teste exaustivo de blocos de lógica não BST poderem facilmente assumir dimensões alargadas (Hansen, 91).

2.2. Carta de Deserialização e E/S Digitais

Esta placa, apresentada na figura 4, é composta por um dispositivo lógico programável (DLP), responsável pela deserialização, a memória das respostas ao teste, um conjunto de *buffers* que permitem o acesso e leitura dos barramentos de endereços e dados, e dois componentes de E/S digitais. O sincronismo com o processador BST, para guardar as respostas é estabelecido por uma linha de controlo. Esta linha encontra-se activa sempre que existe uma comparação entre os valores esperados, armazenados no programa de teste, e os valores deslocados do interior da infraestrutura de teste para o processador BST, que constituem a resposta ao último vector deslocado para o interior dessa mesma infraestrutura. As respostas guardadas podem ser posteriormente enviadas para o PC, para uma análise mais detalhada dos resultados obtidos.

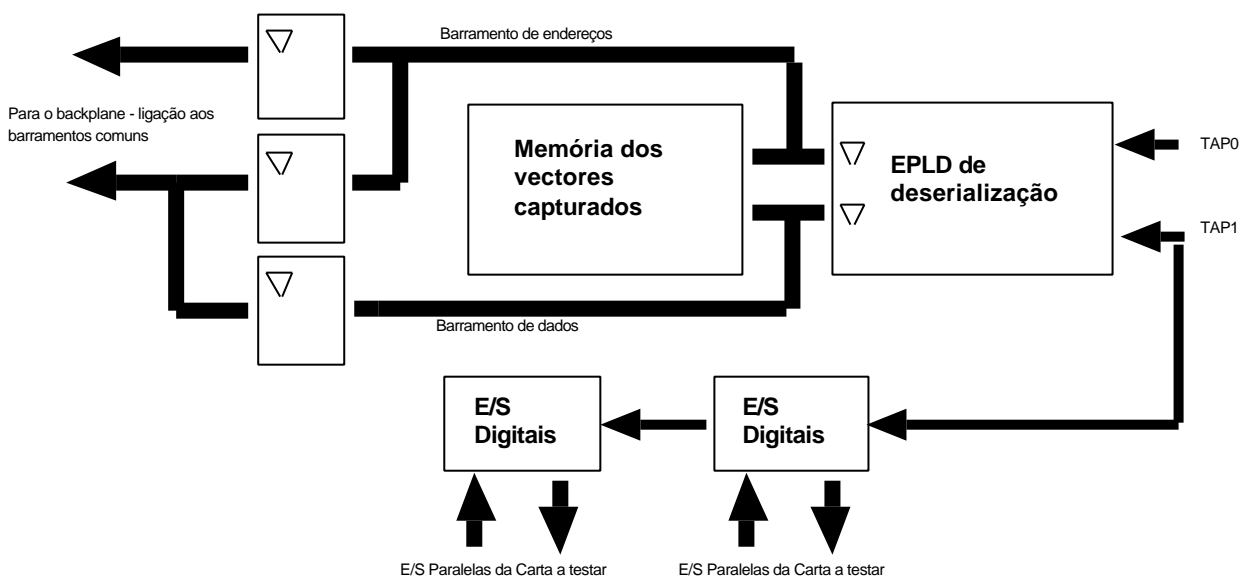


Figura 4 : Diagrama da organização da carta de deserialização e E/S digitais.

Os componentes de E/S digitais foram implementados em dois DLPs de média complexidade. Possuem 26 pinos bidireccionais com controlo de estado individual e 10 pinos de entrada. São controlados através de uma infraestrutura BST ligada ao TAP1 (*Test Access Port*) do processador de teste. No caso de se pretender um número maior de E/S digitais basta colocar em série mais componentes deste tipo.

2.3. Carta das E/S Analógicas

Esta carta contém o bloco de E/S analógicas, que na realidade se encontra sub-dividido em três blocos mais pequenos. Podem identificar-se os blocos de controlo, do interface analógico/digital e o bloco do interface digital/analógico. As tensões de entrada e saída variam num intervalo de limites entre +10 e -10 Volts, sendo usada uma resolução de 8 bits. Estão disponíveis 16 canais de entrada e 16 canais de saída, agrupados em dois conjuntos funcionais de 8 + 8 canais. O diagrama de blocos da placa está ilustrado na figura 5.

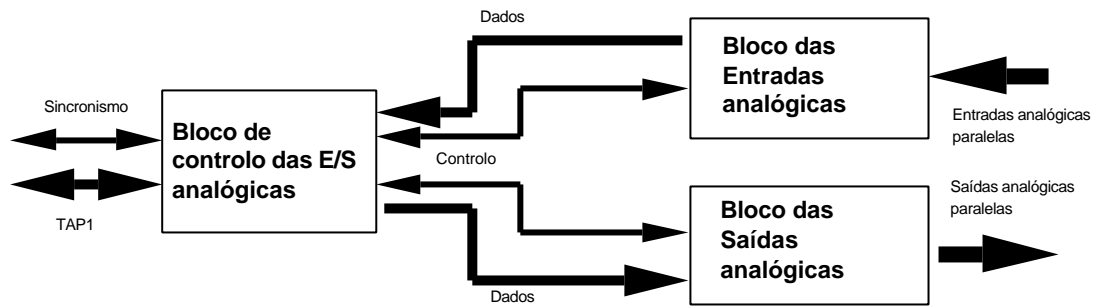


Figura 5 : Diagrama de blocos da carta das E/S analógicas.

O bloco de controlo foi implementado num DLP, controlado por uma infraestrutura BST ligada ao TAP1 do processador BST, sendo utilizado um dos canais de sincronismo deste para implementar o interface com os conversores analógico/digitais. Os resultados de uma conversão A/D são convertidos de código binário puro para código Gray, em virtude de este último apresentar vantagens para a geração de máscaras usadas na comparação entre o valor lido e o valor esperado.

3. Um exemplo de utilização

Para se testar o sistema foi desenvolvida uma placa modelo, cujo diagrama funcional se apresenta na figura 6, e na qual se pode forçar um conjunto de faltas através de *jumbers*. Esta placa contém duas cadeias BST (TAP_0 e TAP_1), oito entradas e oito saídas primárias e dois blocos de lógica não BST. O programa para o teste desta carta foi obtido através da ferramenta de geração automática de programas de teste já referida na introdução (Tavares et al.,93b). Esta ferramenta lê um conjunto de ficheiros que descrevem as ligações na carta, o tipo de componentes BST presentes e os vectores gerados externamente para o teste de blocos de lógica não BST e gera automaticamente o programa de teste.

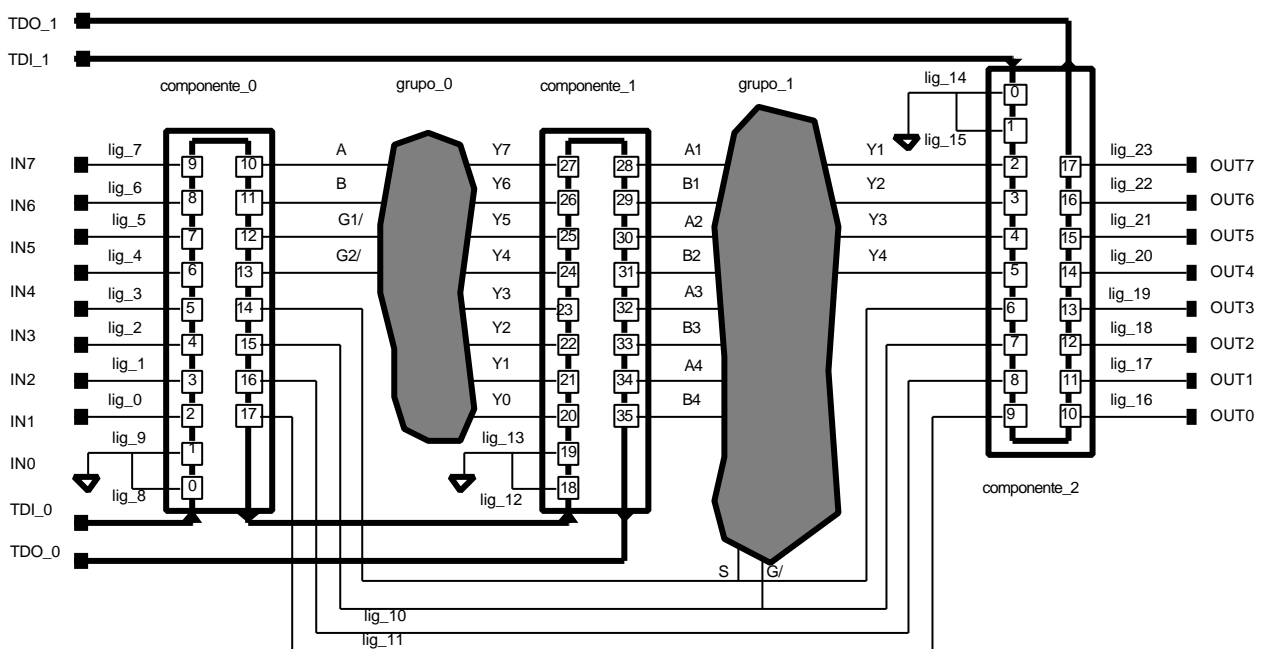


Figura 6 : Diagrama funcional da carta modelo usada para o teste do sistema.

Em seguida transcreve-se um segmento do programa que testa a infraestrutura BST presente na carta, assumindo que existe um componente de E/S digitais ligado às E/S primárias da carta a testar.

```
0039 00010           ; Sequence to test the BST infrastructure
0040 00010
0041 00010
0042 00010 1A           seltap0           ; (switch to) TAP 0
0043 00011
0044 00011 01           tms1             ; >> Select DR Scan
0045 00012 01           tms1             ; >> Select IR Scan
0046 00013 00           tms0             ; >> Capture IR
0047 00014 00           tms0             ; >> Shift IR
0048 00015 02 00 22     ld      c16,34 ; Length of Infrastructure Test Pattern (TAP0)
0049 00018 05           nshfcp          ; Shift in the SAMPLE/PRELOAD opcode
0050 00019 FD FD 03     .db    $fd,$fd,$03
0051 0001C 03 FD 03     .db    $03,$fd,$03
0052 0001F 08 FD FF     .db    $08,$fd,$ff
0053 00022 0A 03 FF     .db    $0a,$03,$ff
0054 00025 02 00 03     .db    $02,$00,$03
0055 00028 06 00 05 A7  jpe     theend ; stop the test if a fault is found
0056 0002C 01           tms1             ; >> Update IR
0058 0002D 01           tms1             ; >> Select DR Scan
0059 0002E 00           tms0             ; >> Capture DR
0060 0002F 01           tms1             ; >> Exit1 DR
0061 00030 01           tms1             ; >> Update DR
0062 00031
0063 00031 1B           seltap1          ; (switch to) TAP 1
0064 00032
0065 00032 01           tms1             ; >> Select DR Scan
0066 00033 01           tms1             ; >> Select IR Scan
0067 00034 00           tms0             ; >> Capture IR
0068 00035 00           tms0             ; >> Shift IR
0069 00036 02 00 20     ld      c16,32 ; Length of Infrastructure Test Pattern (TAP1)
0070 00039 05           nshfcp          ; Shift in the SAMPLE/PRELOAD opcode
0071 0003A FD 55 FF     .db    $fd,$55,$ff
0072 0003D 03 7F C0     .db    $03,$7f,$c0
0073 00040 A8 FF FF     .db    $a8,$ff,$ff
0074 00043 82 00 FF     .db    $82,$00,$ff
0075 00046 06 00 05 A7  jpe     theend ; stop the test if a fault is found
0076 0004A 01           tms1             ; >> Update IR
0078 0004B 01           tms1             ; >> Select DR Scan
0079 0004C 00           tms0             ; >> Capture DR
0080 0004D 01           tms1             ; >> Exit1 DR
0081 0004E 01           tms1             ; >> Update DR
0082 0004F
```

4. Conclusão

As tendências actuais no domínio do teste electrónico apontam para o aparecimento de um maior número de componentes da gama comercial com uma infraestrutura BST disponível. Este facto origina por sua vez a existência de uma infraestrutura de teste em CCIs que disponham deste tipo de componentes. O sistema desenvolvido permite o teste de cartas deste tipo, acrescentando ainda a possibilidade de se testar as E/S paralelas (digitais ou analógicas) da carta. Existem três configurações possíveis para o sistema: mínima, base e expandida. A configuração mínima consiste apenas na placa 1. A configuração base acrescenta à anterior a

carta 2 e a carta 3. Finalmente a configuração expandida consiste no aumento do número de E/S analógicas (por inclusão de mais cartas semelhantes à nº3) e/ou do número de E/S digitais (por inclusão de cartas que só contenham componentes deste tipo).

Referências

Ferreira, J. M. 1992. *O Teste de Cartas de Circuito Impresso com BST: Arquitectura de um Controlador Residente, e Geração Automática do Programa de Teste*. Dissertação de Doutoramento, Universidade do Porto, Abril de 1992.

Hansen, P. 1991. *Assessing Fault Coverage in Virtual In-Circuit Testing of Partial Boundary-Scan Boards*. European Test Conference Proceedings, 1991, pp. 393-396.

IEEE Std 1149.1 1990. *IEEE Standard Test Access Port and Boundary Scan Architecture*. IEEE Standards Board, May 1990

Tavares, J. A., Alves, G. R., Gericota, M.G., Ramalho, J. L., Pinto, F. S. e Ferreira, J. M. 1993a. *Software: Implementação e Verificação*. Relatório nº 4, Projecto JNICT PMCT/C/TIT/937/90 (Sistema de Validação e Teste de Cartas de Circuito Impresso com BST), Janeiro 1993.

Tavares, J. A., Ferreira, J. M. 1993b. *Geração Automática do Programa de Teste para Cartas de Circuito Impresso*. Endiel, Abril 1993.