

DM

# Sensor de Temperatura Digital para Aplicação em Sensores de Imagem

DISSERTAÇÃO DE MESTRADO

**Rúben Daniel Gouveia Gomes**

MESTRADO EM ENGENHARIA ELETROTÉCNICA - TELECOMUNICAÇÕES



UNIVERSIDADE da MADEIRA

*A Nossa Universidade*

[www.uma.pt](http://www.uma.pt)

fevereiro | 2018

# Sensor de Temperatura Digital para Aplicação em Sensores de Imagem

DISSERTAÇÃO DE MESTRADO

**Rúben Daniel Gouveia Gomes**

MESTRADO EM ENGENHARIA ELETROTÉCNICA - TELECOMUNICAÇÕES

ORIENTADOR

Fernando Manuel Rosmaninho Morgado Ferrão Dias

CO-ORIENTADOR

Martin Waeny

## Resumo

Nesta dissertação de mestrado foi desenvolvido um sensor de temperatura com saída digital implementado em circuito integrado, para utilização em sensores de imagem CMOS. O projeto foi executado utilizando a tecnologia DongBu 130nm. Este projeto permite obter uma saída digital relacionada com a temperatura de uma forma linear sendo possível saber a temperatura na qual o sistema se encontra inserido.

O sensor de temperatura digital assenta em duas partes principais: o sensor de temperatura com saída analógica e um conversor de analógico para digital. Assim foi iniciado o projeto com o estudo do princípio de funcionamento de detetores de temperatura (sensor de temperatura), e o efeito que ocorre nos dispositivos com a variação da mesma. Após o estudo foi implementado o esquemático e o *layout* referente ao sensor de temperatura analógico, fazendo as simulações e testando assim o seu correto funcionamento.

Na segunda parte foram analisadas quais os ADC que melhor se adaptavam ao pretendido. Novamente foi implementado o esquemático implementando circuitos de referência de tensão e de corrente necessários ao correto funcionamento do mesmo, e finalmente procedeu-se à implementação do *layout* referente à ADC.

Numa última fase juntou-se o sensor de temperatura analógico à ADC formando assim o sensor de temperatura digital. Nesta última fase foram feitas verificações ao *layout*, nomeadamente, DRC, LVS e PEX garantindo que todo o sistema funciona como esperado.

Os resultados obtidos na prática mostram que a solução implementada compre os requisitos impostos nos objetivos, garantindo uma boa linearidade do sensor de temperatura que juntamente com a ADC garantem um erro máximo de 0.5°C ocupando uma área de 0.016mm<sup>2</sup>.

### Palavras-Chave:

Sensor de temperatura, conversor analógico digital, circuito BandGap, conversor tensão-corrente, CMOS, *layout*.



## **Abstract**

In this master thesis, an on chip digital temperature sensor for CMOS image sensors is developed. The project was implemented using DongBu 130nm technology. This project allows us to obtain a digital output linearly related with the temperature in which the system is placed.

The digital temperature sensor relies on two main parts: the temperature sensor with an analog output and an analog-to-digital converter. Thus, the project was started with the study of different temperature sensing principles (temperature sensor), and the effect that occurs in devices with temperature variation. After that study, the schematic and layout of the analogue temperature sensor were implemented and simulated using a spice level simulator.

In the second part, the ADCs were analysed, choosing which ones were better adapted for this project. Again, the schematic was implemented joining the current and voltage reference circuits necessary for the correct operation, and finally the ADC layout was implemented.

In the last phase the analogue temperature sensor was added to the ADC, forming the digital temperature sensor. In this last phase we made some layout verification, and post layout simulation (DRC, LVS and PEX) ensuring that the whole system works as expected.

The results obtained in practice show that the implemented solution fulfils the requirements imposed in the objectives, guaranteeing a good linearity of the temperature sensor that together with the ADC guarantee a maximum error of 0.5°C, occupying an area of 0.016mm<sup>2</sup> for the whole system, including the reference circuits.

### **Keywords:**

Temperature sensor, analog-to-digital converter, BandGap circuit, voltage-current converter, CMOS, layout.



## **Agradecimentos**

Em primeiro lugar quero agradecer à minha família, em particular aos meus pais, pelo apoio que prestaram e pela oportunidade concedida em ter um curso superior, tornando real o sonho deles e o meu.

Ao professor Morgado Dias pela disponibilidade e apoio prestado ao longo da execução deste projeto, e que pela sua contribuição permitiu melhorar a qualidade do mesmo.

Ao Doutor Martin Waeny, coorientador desta dissertação, pelo desafio proposto e pela oportunidade de realizar este trabalho num ambiente profissional, elevando o valor do mesmo, bem como pelo apoio e experiência transmitidos, sempre disponível para dar o seu parecer e ponto de vista.

A todos os profissionais da Awaiba Lda, e de uma forma especial aos Engenheiros Paulo Franco e Rodolfo Rodrigues, por toda a paciência, disponibilidade e atenção prestada com opiniões e ideias que foram relevantes para o desenvolvimento e conclusão desta dissertação.

Um agradecimento especial à minha namorada, Alexandra Vieira, por todo o apoio, motivação e carinho prestado durante a realização deste trabalho bem como durante a execução de todo o Mestrado.

A todas as pessoas que direta ou indiretamente contribuíram para que este trabalho fosse concluído com sucesso e que ao longo da minha vida participaram e apoiaram os meus projetos pessoais.

A todas estas pessoas o meu muito obrigado e um bem-haja.





## Lista de Abreviaturas

ADC	-	Analog to Digital Converter
BJT	-	Bipolar Junction Transistor
CLK	-	Clock
CMOS	-	Complementary Metal-Oxide Semiconductor
CTAT	-	Complementary To Absolute Temperature
DAC	-	Digital to Analogue Converter
DN	-	Digital Number
DRC	-	Design Rule Checking
FFD	-	Flip-Flop Data (D)
FFJK	-	Flip-Flop J-K
FPGA	-	Field Programmable <i>gate</i> Array
$I_{DS}$	-	<i>drain-source</i> Current
LSB	-	Least Significant Bit
LVS	-	Layout Versus Schematic
MOSFET	-	Metal Oxide Semiconductor Field Effect Transistor
MSB	-	Most Significant Bit
NMOS	-	N-channel Metal Oxide Semiconductor
OTA	-	Operational Transconductance Amplifier
PCB	-	Printed Circuit Board
PEX	-	Parasitic Extraction
PMOS	-	P-channel Metal Oxide Semiconductor
PTAT	-	Proporcional To Absolute Temperature
SAR	-	Successive Approximation Register
SHA	-	Sample And Hold
SPI	-	Serial Peripheral Interface
TDC	-	Time to Digital Converter
$V_{GS}$	-	<i>Gate-Source</i> Voltage
$V_{DS}$	-	<i>Drain-Source</i> Voltage

$V_{TH}$  - Threshold Voltage  
 $V_{BG}$  - BandGap Voltage



# Índice

<b>RESUMO.....</b>	<b>I</b>
<b>ABSTRACT .....</b>	<b>III</b>
<b>AGRADECIMENTOS .....</b>	<b>V</b>
<b>LISTA DE ABREVIATURAS.....</b>	<b>VII</b>
<b>1 INTRODUÇÃO.....</b>	<b>1</b>
1.1 MOTIVAÇÃO .....	1
1.2 OBJETIVOS.....	1
1.3 ORGANIZAÇÃO E CONTEÚDOS.....	2
1.4 CONTRIBUIÇÕES ORIGINAIS .....	3
<b>2 ESTADO DA ARTE .....</b>	<b>4</b>
2.1 MOSFET.....	4
2.1.1 <i>Fenómeno Físico</i> .....	5
2.1.2 <i>MOSFET Perspetiva Teórica</i> .....	7
2.1.2.1 Operação na região linear .....	7
2.1.2.2 Operação na região de saturação .....	9
2.1.2.3 Operação em <i>Subthreshold</i> .....	10
2.1.3 <i>Dependência com a Temperatura</i> .....	12
2.2 SENSORES DE TEMPERATURA .....	13
2.2.1 <i>Introdução</i> .....	13
2.2.2 <i>Arquitetura com BJT's</i> .....	13
2.2.3 <i>Sensor de Temperatura com Osciladores</i> .....	16
2.2.4 <i>Sensor de Temperatura utilizado MOS</i> .....	17
2.3 CONVERSOR ANALÓGICO DIGITAL .....	19
2.3.1 <i>ADC em Rampa</i> .....	19
2.3.2 <i>ADC de Aproximações sucessivas</i> .....	20
2.3.3 <i>Flash ADC</i> .....	21
2.3.4 <i>ADC em Dupla Rampa</i> .....	22
<b>3 SENSOR DE TEMPERATURA.....</b>	<b>24</b>
3.1 INTRODUÇÃO .....	24
3.2 ARQUITETURA COM BIPOLARES .....	25
3.3 ARQUITETURA APENAS COM MOSFET .....	28
3.3.1 <i>Estudo do Comportamento dos MOSFETs</i> .....	28
3.3.1.1 Circuito sem fonte de corrente ideal .....	31
3.3.2 <i>Configuração Final para o Sensor de Temperatura</i> .....	33
3.3.2.1 Comparação das três melhores configurações .....	37
3.4 CRIAÇÃO DA TENSÃO $V_{BIAS}$ PARA O SENSOR DE TEMPERATURA .....	43
3.5 <i>LAYOUT</i> DO SENSOR DE TEMPERATURA FINAL.....	46
<b>4 CONVERSOR ANALÓGICO-DIGITAL .....</b>	<b>50</b>
4.1 CONTADOR DE 10 BITS .....	50
4.2 COMPARADOR .....	54

4.3	ADC EM DUPLA RAMPA .....	56
4.4	RAMPA .....	65
<b>5</b>	<b>TENSÕES DE REFERÊNCIA .....</b>	<b>78</b>
5.1	TENSÃO BANDGAP.....	78
5.2	LEVEL SHIFTER.....	82
5.3	TENSÃO BIAS .....	83
<b>6</b>	<b>RESULTADOS.....</b>	<b>84</b>
<b>7</b>	<b>CONCLUSÕES .....</b>	<b>93</b>
7.1	CONCLUSÕES GERAIS .....	93
7.2	TRABALHOS FUTUROS .....	94
	<b>REFERÊNCIAS.....</b>	<b>95</b>
	<b>ANEXO A - LAYOUT.....</b>	<b>97</b>
	<b>ANEXO B – CONFIGURAÇÃO DA SIMULAÇÃO .....</b>	<b>104</b>

# 1 Introdução

Neste capítulo, são apresentadas as motivações para a realização do projeto intitulado sensor digital de temperatura para sensor de imagem. São definidos os objetivos propostos para o trabalho, a organização dos conteúdos e as contribuições originais.

## 1.1 Motivação

Este projeto foi proposto pela empresa *AWAIBA Lda.*, que é um dos três maiores fornecedores de sensores de linha ultrarrápidos (*Line Scan*), para o mercado de inspeção industrial. Estes produtos são utilizados, entre outros, nas tarefas de inspeção durante a produção de monitores planos ou na inspeção de equipamentos de PCB. Além dos requisitos de alta sensibilidade e de alta resolução, característicos dos sensores *AWAIBA*, o conhecimento de parâmetros ambientais em tempo real, como a temperatura do sensor, é desejável para monitorizar a condição geral do sistema. Tais dados adicionais são tipicamente tornados acessíveis de forma assíncrona à aquisição de imagem, por meio da leitura de dados através da interface de configuração SPI para o sensor.

Conhecendo certos parâmetros é possível correlacionar os dados da imagem de forma a ter uma maior certeza de que o sensor se encontra a funcionar corretamente e ainda prevenir estragos de maior dimensão devido ao sobreaquecimento do sensor, protegendo assim todo o processo que dependa do mesmo.

Tendo em conta que alguns parâmetros do próprio sensor de imagem variam com a temperatura, sabendo a temperatura à qual o mesmo está a funcionar é possível calibrar externamente na *Field-Programmable Gate Array* (FPGA).

## 1.2 Objetivos

O objetivo do projeto foi criar um sensor de temperatura *CMOS* com saída digital para um sensor de imagem, envolvendo todos os blocos de circuito necessários para o correto funcionamento do mesmo. Este sensor de temperatura futuramente poderá integrar os sensores de imagem desenvolvidos pela *AWAIBA*, quer sejam sensores de linha ou sensores de área e para que a implementação seja possível é preferível que as dimensões do sensor de temperatura sejam reduzidas, uma vez que o menor sensor da *AWAIBA* tem  $1\text{mm}^2$  de área.

Assim os objetivos do projeto foram os seguintes:

1. Estudar diferentes arquiteturas e possíveis implementações de sensores de temperatura.

2. Implementar os circuitos estudados no primeiro ponto em esquemático simulando os mesmos em software *spice*.
3. Numa segunda fase, foi feito um estudo de Conversores Analógico Digital (ADC), e seguidamente combinado o sensor de temperatura com a ADC.
4. Finalmente, todo o sistema foi transposto para *layout* e feitas todas as simulações pós *layout*.

Em suma, no que respeita às características, pretendeu-se:

- Realização de um sensor digital de temperatura *CMOS* com dimensões reduzidas, tendo em conta o tamanho do menor sensor de imagem que é de  $1\text{mm}^2$ .
- ADC com uma resolução mínima de 8 bits.
- Consumo de Potência baixo, na ordem das dezenas de mW.
- Detecção das temperaturas entre  $-20^{\circ}\text{C}$  e  $120^{\circ}\text{C}$ .
- Erro máximo de  $2^{\circ}\text{C}$ .
- Sinais externos reduzidos, alimentação 3.3V, 1.5V e frequência de 20MHz.

### 1.3 Organização e conteúdos

Esta dissertação encontra-se organizada em sete capítulos (Introdução, Estado da arte, Sensor de temperatura, Conversor analógico-digital, Tensões de referência, Resultados e Conclusão), Referências e Anexos.

No Capítulo 1, Introdução, foram apresentadas as motivações que levaram à realização deste projeto bem como os objetivos pretendidos. É também apresentada a organização do documento.

No Capítulo 2, Estado da arte, foi apresentado o estudo realizado durante o desenvolvimento desta tese, introduzindo as diversas arquiteturas disponíveis para o sensor de temperatura e para os conversores analógico-digital. Foram também apresentados os efeitos que ocorrem nos diversos dispositivos com a variação da temperatura.

No Capítulo 3, Sensor de temperatura, é descrito o desenvolvimento do sensor de temperatura com saída analógica dependente da temperatura, apresentando as arquiteturas e os vários passos sucedidos até à obtenção do circuito final. Ainda neste capítulo é apresentada uma pequena introdução ao *layout* seguido da implementação do sensor de temperatura em *layout*.

No Capítulo 4, Conversor analógico-digital, é apresentada a arquitetura final utilizada para o conversor, um conversor analógico-digital em rampa, bem como o

processo efetuado com problemas e soluções. É apresentado ainda o conversor tensão-corrente.

No Capítulo 5, Tensões de referência, são apresentados os circuitos auxiliares necessários para o correto funcionamento do restante projeto. Estes foram intitulados de circuitos auxiliares por poderem ser definidos externamente.

No Capítulo 6, Resultados, são avaliados os resultados obtidos no final deste projeto e comparados com outros sensores de temperatura presentes na bibliografia.

No Capítulo 7, Conclusão, são realçadas as principais conclusões e sugeridos trabalhos futuros, que consistem essencialmente na otimização dos circuitos desenvolvidos.

## **1.4 Contribuições originais**

As contribuições originais desta tese de mestrado sobre o desenvolvimento de um sensor de temperatura digital *on-chip* para um sensor de imagem são, na opinião do autor, as seguintes:

1. Desenvolvimento de um sensor de temperatura com saída analógica de dimensões e consumo reduzido, utilizando apenas MOSFET, reduzindo assim a área mantendo a linearidade.
2. Desenvolvimento de uma ADC capaz de converter o sinal analógico, obtido no sensor de temperatura, para um sinal digital implementando os circuitos auxiliares necessários para o correto funcionamento.



## 2 Estado da arte

Neste capítulo são apresentados os conceitos teóricos investigados e estudados para a melhor compreensão deste projeto de realização de um sensor digital de temperatura para um sensor de imagem. Desta forma é importante compreender o funcionamento dos *Metal Oxide Semiconductor Field Effect Transistor* (MOSFET) nos diferentes modos de funcionamento (corte, linear e saturação). Num segundo ponto deste capítulo, serão apresentados os diversos tipos de sensores de temperatura utilizados na tecnologia *Complementary Metal Oxide Semiconductor* (CMOS) e, uma vez que os sensores têm saída analógica existe a necessidade da utilização de um Conversor Analógico-Digital (ADC), apresentando algumas tipologias e as suas principais características. Num último ponto, será apresentada uma introdução aos circuitos de Tensão de Referência (*BandGap*).

### 2.1 MOSFET

A Figura 2.1 mostra como são definidas as diferentes tensões, correntes, e a designação dos terminais para os MOSFET tipo N e tipo P (NMOS e PMOS respetivamente). Quando o *bulk* do NMOS é ligado à massa (VSS) e o do PMOS é ligado a VDD utilizam-se os símbolos simplificados apresentados na parte inferior da imagem. [1]

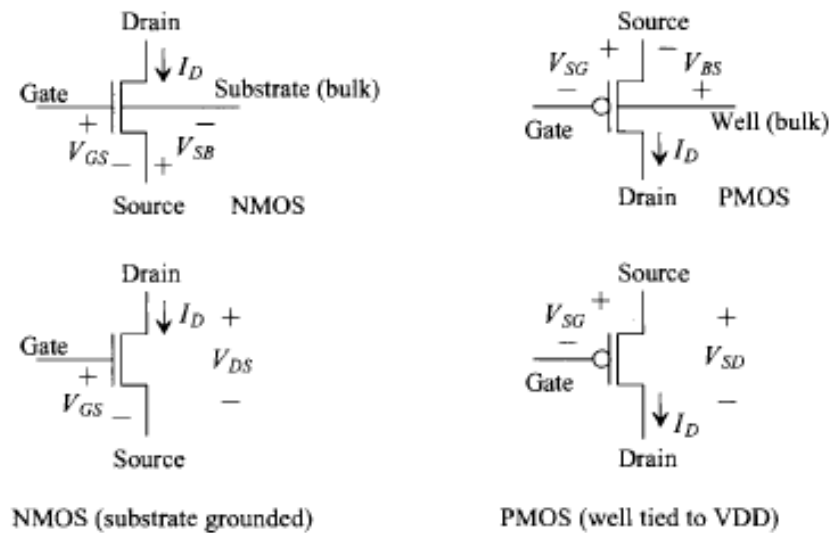


Figura 2.1 – Símbolo para NMOS e PMOS [1].

É importante ter em conta que todas as tensões e correntes são positivas quando usadas as designações acima apresentadas e as correntes fluem todas no mesmo sentido. No *NMOS* flui do *Drain* para a *Source*, enquanto no *PMOS* flui da *Source* para o *Drain* [1].

Os MOSFET podem operar em 3 principais modos de funcionamento:

Corte  $V_{GS} < V_{TH}$  ( $V_{SG} < V_{TH}$  para o PMOS);

Linear,  $V_{GS} > V_{TH}$  ( $V_{SG} > V_{TH}$  para o PMOS);

Saturação, em que como no caso anterior  $V_{SG}$  ou  $V_{GS} > V_{TH}$  mas com  $V_{DS}$  ( $V_{SD}$ )  $\geq V_{GS} - V_{TH}$ .

Nos próximos pontos será discutido o fenômeno físico que acontece nos extremos (corte e saturação), e seguidamente é feita uma dedução dos cálculos matemáticos para cada um dos três modos de funcionamento.

### 2.1.1 Fenômeno Físico

Os MOSFET são dispositivos onde a corrente que flui por um canal entre o *drain* (D) e a *source* (S) é controlada pela tensão aplicada no terminal *gate* (G). Nos MOSFET tipo N, NMOS, o canal é maioritariamente formado por elétrons livres, nos PMOS o canal é formado por lacunas. Na Figura 2.2 é apresentada a estrutura simplificada do NMOS sem o *drain* nem a *source* para uma melhor e mais simples compreensão do comportamento das cargas dentro das diferentes camadas de silício dopadas com cargas negativas ou positivas [2].

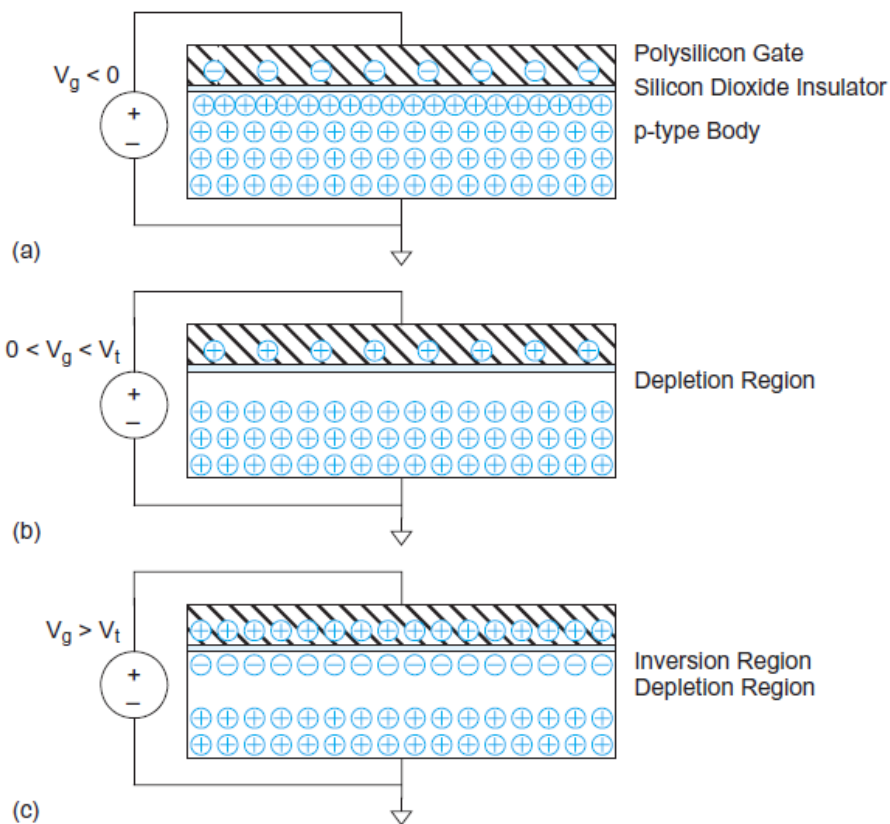


Figura 2.2 - Estrutura do NMOS para diversos valores de  $V_G$  [2].

Na Figura 2.2 (a) uma tensão negativa é aplicada à *gate* e assim existem cargas negativas na *gate*. Estas cargas atraem as lacunas carregadas positivamente para a área por baixo da *gate*. Na Figura 2.2 (b) observa-se que aplicando uma tensão maior que zero na *gate* começam a aparecer cargas positivas na *gate* fazendo assim com que as cargas positivas por baixo da *gate*, onde será criado o canal, sejam repelidas. Assim, na Figura 2.2 (c) quando  $V_G$  é maior que a tensão de *threshold* ( $V_{TH}$ ) são atraídas cargas positivas (lacunas) para a *gate* e por sua vez cargas negativas (elétrões) para a região por baixo da *gate* formando assim um canal entre o *drain* e a *source*. A tensão de *threshold* depende da dopagem do canal e da espessura do isolante entre a *gate* e o canal. Para o caso da figura anterior foi considerado um NMOS, no entanto no caso dos PMOS acontece o processo inverso, isto é, em vez do canal ser formado por lacunas é formado por elétrões. [2]

Na Figura 2.3 pode ser analisado um esquema mais completo de um NMOS, formado por 4 terminais (se o *bulk* estiver ligado à massa, poderão ser considerados apenas 3 terminais *drain*, *source* e *gate*). O *drain* e a *source* são do tipo *n* enquanto o canal (*body*) é do tipo *p* [2].

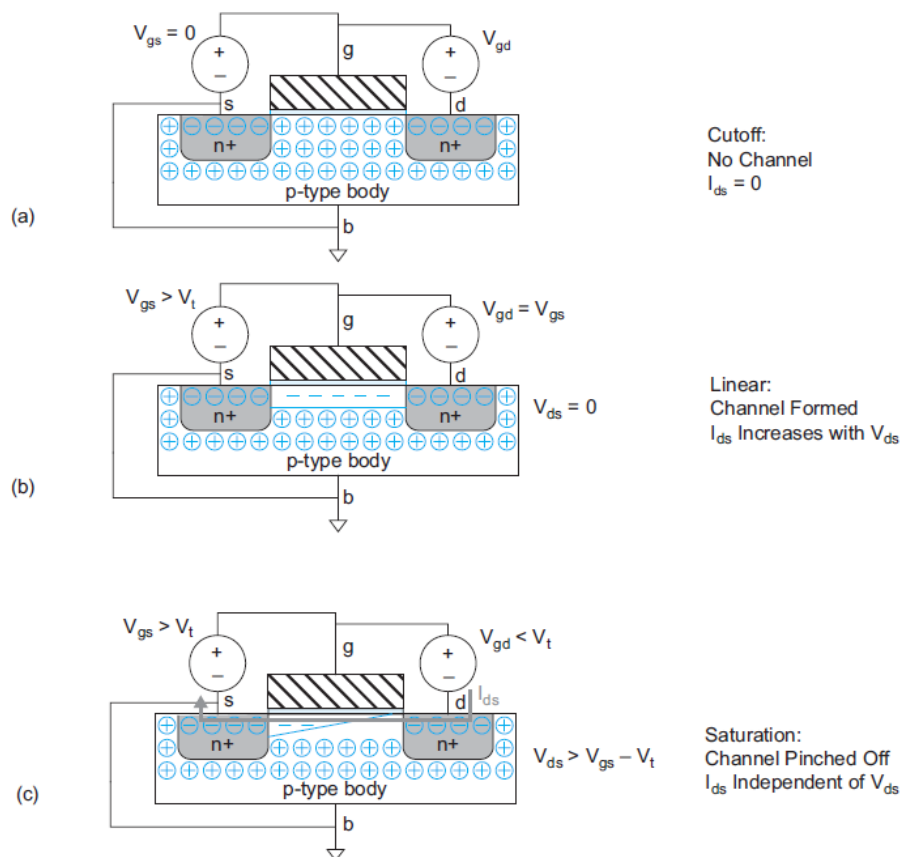


Figura 2.3 - NMOS nos três modos de funcionamento [2].

Figura 2.3 (a) representa o modo de funcionamento em corte. Quando é aplicada uma tensão inferior à  $V_{TH}$ , não existe canal, logo não existe corrente a fluir de um terminal para o outro,  $I_{DS} = 0$ . Na figura 2.3 (b) a tensão  $V_{GS}$  é superior a  $V_{TH}$  e assim começam a surgir cargas negativas por baixo da *gate* formando o canal entre o *drain* e a *source*. Nesta situação o transístor está no modo linear. Por fim a Figura 2.3 (c) mostra o último modo de funcionamento do NMOS, a saturação, e como no caso anterior (Figura 2.3 (b)),  $V_{GS} > V_{TH}$ , e ainda  $V_{DS} > V_{GS} - V_{TH}$ . Desta forma o canal entre o *drain* e a *source* começa a estar saturado de eletrões, desta forma a corrente  $I_{DS}$  não sofre variação com o aumento de  $V_{DS}$  (na verdade ocorre uma pequena variação que pode ser desprezada quando comparada com a variação no modo linear).  $I_{DS}$  varia apenas com a variação da tensão na *gate* [1] [2].

### 2.1.2 MOSFET Perspetiva Teórica

Nesta secção será abordada a parte teórica, mais especificamente as principais fórmulas, no que diz respeito aos MOSFET. Um dos parâmetros mais importantes para conseguir compreender o funcionamento quer do NMOS quer do PMOS é a tensão de *Threshold*,  $V_{TH}$ . Este parâmetro permite saber qual a tensão que deve ser aplicada na *gate*,  $V_G$ , para que o dispositivo funcione na zona pretendida. Por exemplo, para o MOSFET funcionar em modo linear  $V_{GS}$  tem que ser maior que  $V_{TH}$ .

A tensão de threshold é dada pela expressão,

$$V_{TH} = -V_{ms} - 2V_{fp} + \frac{Q_{bo} - Q_{ss}}{C_{ox}} + \frac{\sqrt{2q\epsilon_{si}N_A}}{C_{ox}} \left[ \sqrt{|2V_{fp}| + V_{SB}} - \sqrt{|2V_{fp}|} \right] \quad (2.1)$$

onde  $V_{fp}$  é o potencial electrostático no substrato/canal,  $V_{ms}$  é o potencial no contato entre o *bulk* e a *gate*,  $V_{SB}$  a diferença de potencial entre a *source* e o *bulk*,  $N_A$  é a densidade de átomos por  $\text{cm}^3$ ,  $C_{ox}$  é a capacidade no isolante entre a *gate* e o canal e  $Q_{bo}$  é a carga no silício da *gate*, sendo  $Q_{ss}$  uma carga adicional usada para representar os eletrões presos à superfície. Ainda na equação 2.1 existem duas constantes  $q$  e  $\epsilon_{si}$  que representam a carga do eletrão e a constante dielétrica do silício, respetivamente [1] [2] [3].

#### 2.1.2.1 Operação na região linear

Considerando a Figura 2.4, onde  $V_{GS} > V_{TH}$ , a carga por baixo da *gate* está invertida (acumulação de eletrões criando o canal), e  $V_{DS} > 0$ , causando uma diferença de potencial entre *drain* e *source*, e assim fluindo uma corrente  $I_D$ .

Em primeiro lugar é necessário saber a carga armazenada na capacidade  $C_{ox}$  por baixo da *gate*. A tensão no canal, em relação à *source*, a uma distância  $y$  é  $V(y)$ . Assim a diferença entre a *gate* e o canal é  $V_{GS} - V(y)$ . A carga é a multiplicação da capacidade pelo potencial aos seus terminais, logo a carga do canal é dada por:

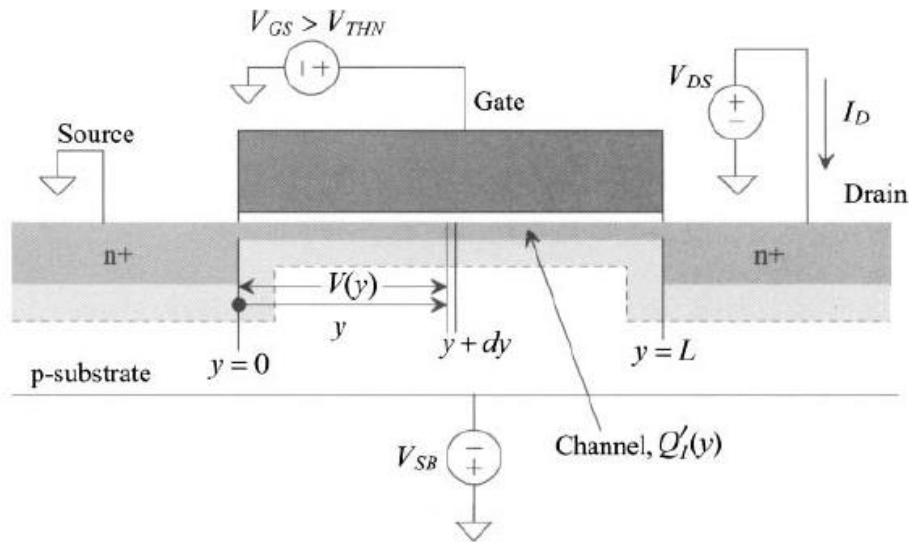
$$Q_{ch} = C_{ox} \cdot [V_{GS} - V(y)] \quad (2.2)$$

$Q_b$  é a carga na *gate* e pode ser calculada através de:

$$Q_b = C_{ox} \cdot V_{TH} \quad (2.3)$$

A carga total disponível no canal ( $Q_I$ ), para a condução entre o *drain* e a *source* é dada pela diferença entre as equações (2.2) e (2.3).

$$Q_I = C_{ox} \cdot [V_{GS} - V(y) - V_{TH}] \quad (2.4)$$



**Figura 2.4** - Ilustração do MOSFET quando em zona linear [1].

A resistência diferencial do canal na região linear com um comprimento  $dy$  e uma largura  $W$  é,

$$dR = \frac{1}{\mu_n Q_I(y)} \cdot \frac{dy}{W} \quad (2.5)$$

onde,  $\mu_n$  é a mobilidade média dos elétrons através do canal em  $\text{cm}^2/\text{V}\cdot\text{s}$ . A mobilidade é a relação entre a velocidade dos elétrons ou lacunas ( $\text{cm/s}$ ) e o campo elétrico ( $\text{V/cm}$ ).

A queda de tensão através da resistência diferencial é dada por,

$$dV(y) = I_D \cdot dR (=) I_D \cdot dy = W \mu_n C_{ox} (V_{GS} - V(y) - V_{TH}) \cdot dV(y) \quad (2.6)$$

e a transcondutância ( $KP$ ), pode ser escrita como sendo a mobilidade média através do canal multiplicada pela capacidade  $C_{ox}$ .  $KP$  depende do tipo de MOSFET, devido ao fato de a mobilidade nos NMOS ser diferente da mobilidade nos PMOS.

Desta forma a corrente no *drain* pode ser obtida desenvolvendo a Equação (2.6). Resolvendo os integrais obtém-se:

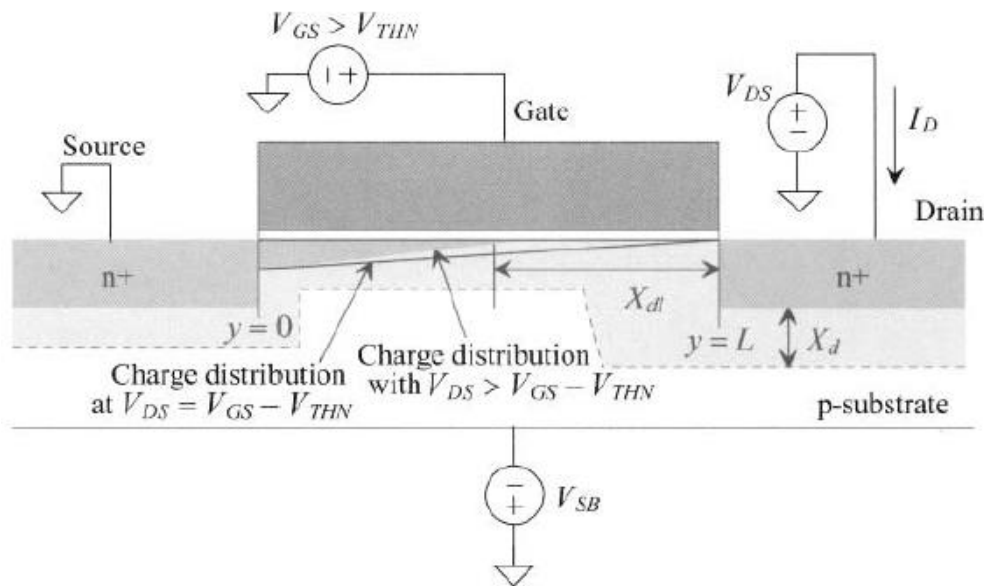
$$I_D = KP \cdot \frac{W}{L} \cdot \left[ (V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.7)$$

para  $V_{GS} \geq V_{TH}$  e  $V_{DS} \leq V_{GS} - V_{TH}$ .

É muito importante ter em conta que esta equação só pode ser usada quando o MOSFET se encontra a funcionar na região linear.

### 2.1.2.2 Operação na região de saturação

Na secção anterior foi assumido que  $V_{DS}$  era sempre inferior a  $V_{GS} - V_{TH}$ , portanto ao longo de todo o canal nenhum ponto tem carga nula. Quando  $V_{DS} = V_{GS} - V_{TH}$ , a carga por baixo da *gate* a uma distância  $y = L$  é zero, como pode ser demonstrado pela Equação (2.4). A tensão  $V_{DS}$  para esta situação é chamada  $V_{DS,sat}$  e indica quando a carga do canal começa a ficar comprimida, como ilustrado na Figura 2.5.



**Figura 2.5** - MOSFET em saturação, com canal comprimido [1].

Sabendo que o transístor entra em saturação a partir do momento que  $V_{DS,sat}$  é atingida pode-se utilizar esta variável como o pior caso para deduzir a fórmula para a corrente. Substituindo  $V_{DS}$  por  $V_{DS,sat}$  na equação (2.7) obtém-se a equação da corrente de saturação, equação (2.8):

$$I_{D,sat} = KP \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})^2 \quad (2.8)$$

Na Figura 2.6, é apresentado um gráfico da corrente  $I_D$  em função da tensão  $V_{DS}$ , tendo em conta o parâmetro  $V_{GS}$ , com as duas regiões de funcionamento até aqui apresentadas, região linear e região de saturação, (*triode region* e *active region*, respetivamente). A parábola a tracejado existente no gráfico representa a transição da região linear (à esquerda da linha), para a saturação (à direita da linha). Embora

seja assumido que na saturação a corrente que flui entre o *drain* e a *source* não sofre alteração, mesmo que se aumente a tensão  $V_{DS}$ , é possível observar que na realidade existe uma pequena variação, que para efeito de cálculos pode ser desprezada.

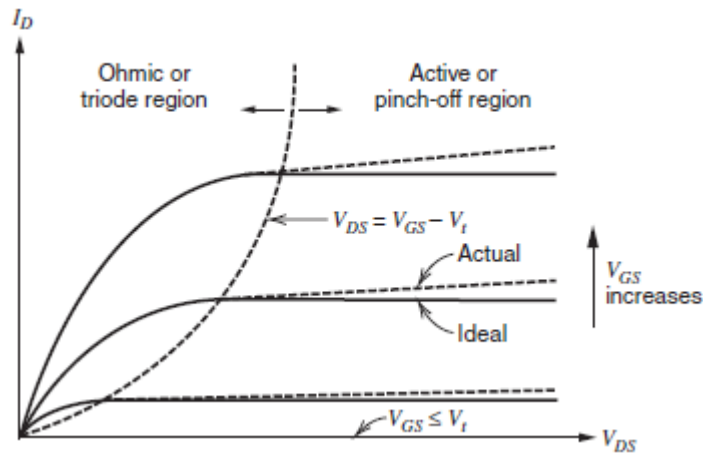


Figura 2.6 - Gráfico com as características do NMOS. [3]

### 2.1.2.3 Operação em *Subthreshold*

Nesta secção será feita uma introdução sobre a zona de funcionamento dos MOSFET designada por *subthreshold*, muitas vezes desprezada (assumido-se que nessa situação o mesmo se encontra em corte). No entanto esta é uma funcionalidade cada vez mais utilizada em aplicações de baixa potência. Diz-se que o MOSFET está a funcionar na zona de operação *Subthreshold* quando a tensão  $V_{GS}$  é inferior à tensão de Threshold,  $V_{TH}$ . Neste ponto de funcionamento a corrente cresce exponencialmente à medida que a tensão  $V_{GS}$  se aproxima de  $V_{TH}$ . Quando a tensão  $V_{GS} = V_{TH}$  o MOSFET entra no modo de funcionamento linear (secção 2.1.2.1) [3].

Na Figura 2.7 é apresentado um gráfico ilustrativo do comportamento da corrente  $I_D$  passando pelos três modos de funcionamento, *Subthreshold*, linear e saturação (*weak inversion*, *moderate inversion* e *strong inversion*), em escala logarítmica [1].

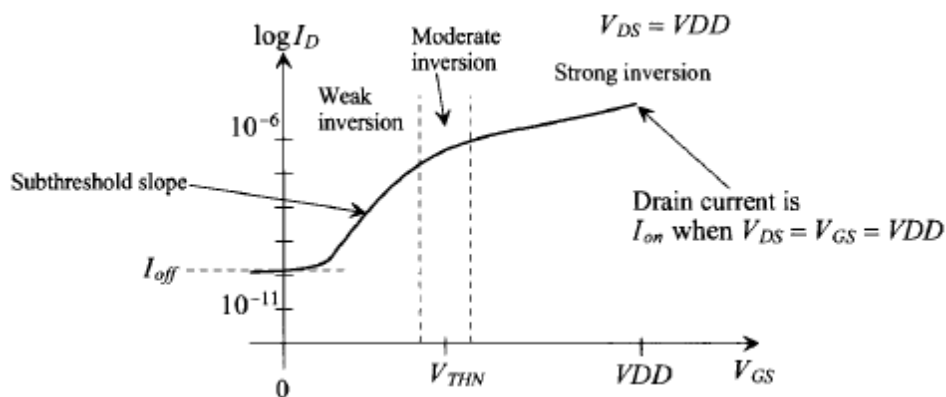


Figura 2.7 - Corrente  $I_D$  nos três modos de funcionamento [3].

Pode-se ainda observar que, para uma tensão  $V_{GS}$  inferior a  $V_{TH}$  há uma pequena corrente que flui entre o *drain* e a *source*. À medida que  $V_{GS}$  aumenta, e para pequenas variações de  $V_{GS}$  a corrente aumenta exponencialmente.

Pode-se escrever a equação para a corrente quando na região de *subthreshold* como:

$$I_D = I_{D0} \frac{W}{L} e^{V_{GS}/(nV_t)} (1 - e^{-V_{DS}/V_t}) \quad (2.9)$$

onde  $V_t$  é a tensão térmica e é dada por:

$$V_t = \frac{kT}{q} \quad (2.10)$$

sendo  $k$  a constante de Boltzmann,  $T$  a temperatura em kelvin, e  $q$  a carga do elétron. Ainda na Equação (2.9)  $n$  depende da capacidade  $C_{ox}$  e da capacidade do silício na *gate*, sendo aproximadamente 1.5. Finalmente  $I_{D0}$  é definido por

$$I_{D0} = Kp(n - 1)e^{-V_{TH}/(nV_t)} \quad (2.11)$$

A Figura 2.8 representa da variação que a corrente  $I_D$  em função da tensão  $V_{GS}$  e da tensão  $V_{DS}$ . São apresentadas as curvas para três valores de  $V_{GS}$  sendo que existe uma variação de apenas 20mV entre cada uma dessas tensões. No entanto é possível observar que a variação da corrente  $I_D$  não é linear, como seria de esperar pela interpretação das equações, e que para uma pequena variação em  $V_{GS}$  a corrente passa a ser muito maior. Como última observação, a corrente  $I_D$  não depende da tensão  $V_{DS}$  desde que esta seja superior a poucas dezenas de mV.

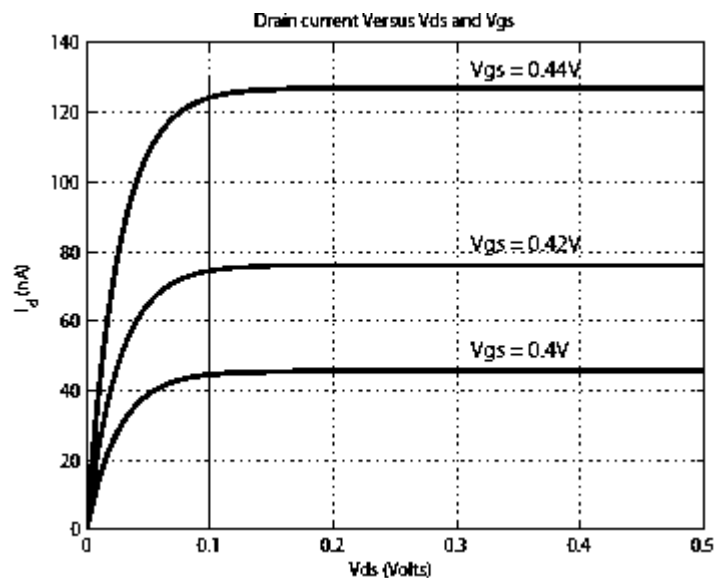


Figura 2.8 - Corrente do *drain* versus  $V_{DS}$  e  $V_{GS}$  [2].



### 2.1.3 Dependência com a Temperatura

Nesta secção vamos analisar o comportamento da corrente do *drain* do MOSFET na região de saturação com a variação da temperatura, considerando que a largura e o comprimento do MOSFET são invariantes e  $V_{GS}$  pode ser assumido como um valor externo independente da temperatura. As únicas variáveis que dependem da temperatura são o  $KP$ , devido à variação da mobilidade, e  $V_{TH}$ .

Analisando a Equação (2.1) e assumindo que as diferentes cargas são invariantes com a temperatura, restam as tensões  $V_{fp}$  e  $V_{ms}$ . A variação da tensão de *Threshold* com a temperatura pode ser aproximada a

$$\frac{\partial V_{TH}}{\partial T} = -\frac{k}{q} \cdot \ln \frac{N_{D,poly}}{N_A} \quad (2.12)$$

sabendo que  $k/q$  tem uma variação de  $0.085\text{mV}/\text{C}^\circ$  e para valores típicos de  $N_{D,poly}$  e  $N_A$  obtém-se uma variação de  $V_{TH}$  de aproximadamente  $-0.6\text{mv}/\text{C}^\circ$ .

A tensão de *Threshold* pode ser escrita em função da temperatura como

$$V_{TH}(T) = V_{TH}(T_0) \cdot (1 + TCV_{TH} \cdot (T - T_0)) \quad (2.13)$$

onde  $TCV_{TH}$  é o coeficiente de temperatura da tensão de *Threshold* e é escrito como

$$TCV_{TH} = \frac{1}{V_{TH}} \cdot \frac{\partial V_{TH}}{\partial T} \quad (2.14)$$

Outro parâmetro que sofre uma variação com a temperatura é  $KP$ , isto devido à variação que a mobilidade dos eletrões sofre numa temperatura diferente. Assim, a equação que define o valor da mobilidade para uma temperatura  $T$  é feita em referência à mobilidade a uma temperatura  $T_0$ , já bem definida, ficando

$$\mu(T) = \mu(T_0) \cdot \left(\frac{T_0}{T}\right)^{1.5} \quad (2.15)$$

e por sua vez  $Kp$  é dado por

$$KP(T) = KP(T_0) \cdot \left(\frac{T_0}{T}\right)^{1.5} \quad (2.16)$$

## 2.2 Sensores de Temperatura

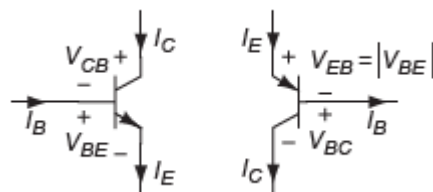
### 2.2.1 Introdução

Nesta secção será apresentado o trabalho feito relativamente ao estudo das arquiteturas de sensores de temperatura em CMOS, nomeadamente os dois principais tipos, que consistem na utilização de transístores bipolares conectados como díodos e de osciladores de frequência, através da medição do desvio sofrido na frequência. Em qualquer dos casos, é necessário ter em conta uma referência que assim permite saber qual a temperatura a que o sistema se encontra.

### 2.2.2 Arquitetura com BJT

Como iniciação a esta secção serão apresentadas as características ideais dos BJT (Transístor bipolar de junção), que embora possam ser do tipo *npn* ou *pnp*, vamos focar a atenção no *pnp* sendo este o tipo predominante, especialmente no circuito em questão. Numa segunda parte será apresentada e discutida uma arquitetura de um sensor de temperatura utilizando transístores *pnp*.

Na Figura 2.9 são apresentadas as principais tensões e correntes que se encontram nos transístores bipolares de junção. O BJT é composto por três terminais: coletor, emissor e base. A corrente flui do coletor para o emissor no caso do *npn* e do emissor para o coletor no caso do *pnp*. Essa corrente é controlada pela corrente injetada na base. A corrente no coletor,  $I_C$ , é diretamente proporcional a  $I_B$  (corrente na base), multiplicada por  $\beta$ , que corresponde ao ganho em corrente do transístor. [4]



**Figura 2.9** – Sinais de tensão e corrente para transístores *npn* e *pnp* respetivamente.

No símbolo do *pnp* a tensão entre o emissor e a base é  $V_{EB}$  sendo uma tensão positiva, no entanto na literatura, esta tensão é normalmente escrita como  $V_{BE}$  assumindo-se o módulo da mesma. Assim, na tecnologia CMOS  $V_{BE}$  ou  $\Delta V_{BE}$  refere-se a  $V_{EB}$ .

A corrente no coletor, em termos físicos, pode ser escrita como

$$I_C = I_S \exp\left(\frac{qV_{BE}}{kT}\right) \quad (2.17)$$

onde a corrente de saturação  $I_S$  é dada por:

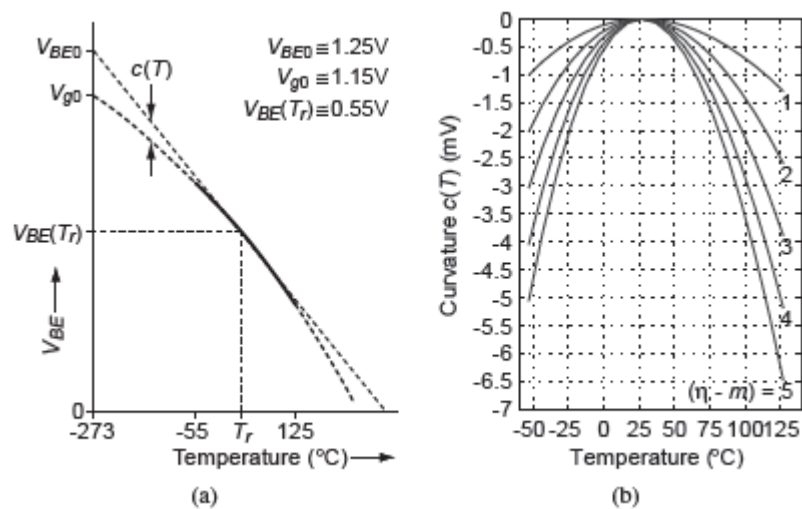
$$I_S = \frac{qAD_p p_{n,em}}{W_B} \quad (2.18)$$

$$p_{n,em} = \frac{n_i^2}{N_d} \quad (2.19)$$

tendo em conta que  $A$  é a área do transistor,  $\overline{D_p}$  a média de lacunas presentes na base e  $W_B$  a largura da base.

No que respeita à variação com a temperatura existe já um estudo exaustivo da mesma, e concluiu-se que a tensão  $V_{BE}$  possui um coeficiente negativo em relação à temperatura de aproximadamente  $2\text{mV}/^\circ\text{C}$  [4] [5] [6].

Com uma análise mais profunda é possível concluir que o coeficiente de temperatura não é perfeitamente linear sofrendo uma pequena curvatura. Na Figura 2.10 são apresentados dois gráficos onde é possível observar a não linearidade dos BJT.

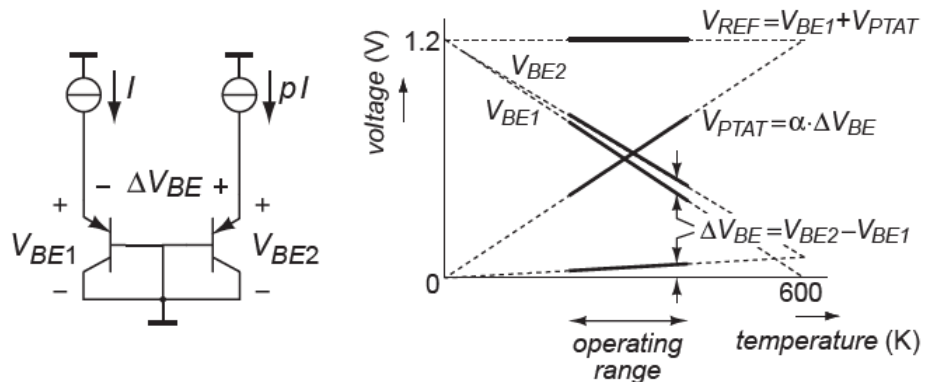


**Figura 2.10** - (a) Variação de  $V_{BE}$  com a temperatura; (b) curvatura detalhada [4].

Na Figura 2.10  $V_{g0}$  é a tensão de bandgap do silício a  $-273^\circ\text{C}$  e  $c(T)$  é a diferença entre  $V_g$  e  $V_{BE}$ . Ainda na Figura 2.10 (b) é apresentada com maior detalhe a curvatura existente em  $c(T)$ , o que torna mais visível a não linearidade da mesma. Com uma pequena análise facilmente se verifica que apenas devido à não linearidade se pode ter uma variação de até  $6\text{mV}$  para temperaturas compreendidas entre os  $-55^\circ\text{C}$  e os  $125^\circ\text{C}$ , podendo esta ser uma grande contribuição para o erro nos sensores de temperatura.

Os Transístores Bipolares de Junção podem ser utilizados como sensores de temperatura combinando a tensão base-emissor de dois transístores do tipo *pnp*. A diferença entre essas tensões é denominada como  $\Delta V_{BE}$  e normalmente gera uma tensão proporcional à temperatura absoluta (*Proportional To Absolute Temperature* PTAT), ou seja, tem uma variação proporcional à temperatura.  $V_{BE}$  gera uma tensão Complementar à temperatura absoluta (CTAT), o que significa que varia de forma inversa à temperatura (se a temperatura aumenta  $V_{BE}$  baixa). Combinando estas duas tensões é possível gerar uma tensão *Bandgap* de referência (Tensão pouco

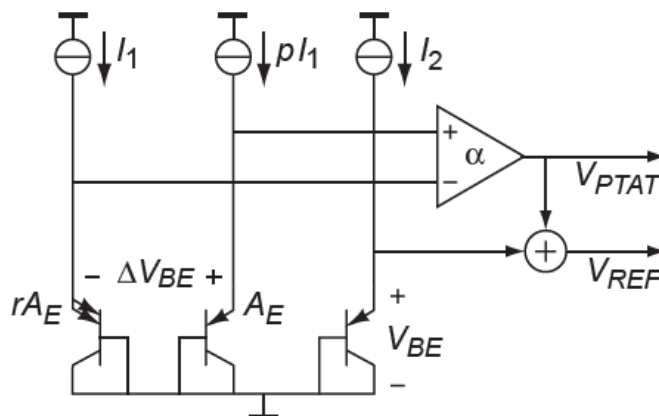
influenciada pela temperatura). Na Figura 2.11 é apresentada uma ilustração para melhor compreensão do processo.



**Figura 2.11** - Princípio de operação do BJT como tensão de referência [2].

Na Figura 2.11 é apresentado um simples circuito com dois transístores *pn*p conectados como díodos, com ambas as bases e coletores ligados à massa. Ambos os transístores são injetados com correntes  $I$  e  $pI$ , onde o fator  $p$  permite que exista uma diferença entre  $V_{BE1}$  e  $V_{BE2}$ .  $\Delta V_{BE}$ , como se pode visualizar no gráfico, é bastante baixo e por isso tem que ser multiplicado por um ganho  $\alpha$  suficiente para que, quando somado a  $V_{BE}$  seja obtida uma tensão o mais invariante com a temperatura possível.

Utilizando como base o circuito da Figura 2.11, é possível comparar a tensão *Bandgap* de referência e a tensão PTAT podendo desta forma obter-se uma relação entre elas que pode ser convertida em temperatura. Uma configuração é apresentada na Figura 2.12. O parâmetro *alpha* tem que ser calculado de forma que  $V_{REF}$  dependa o mínimo possível da temperatura quando somado  $V_{PTAT}$  e  $V_{BE}$ . Com as tensões  $V_{PTAT}$  e  $V_{REF}$  pode-se obter um valor analógico ou digital (através de uma ADC), dependendo da aplicação, para a temperatura uma vez que  $V_{REF}$  é constante com a variação da mesma.



**Figura 2.12** - Circuito para aquisição da tensão de referência e da tensão PTAT [2].

Como resultado dessas relações, a diferença nas tensões base-emissor pode ser escrita

$$\Delta V_{BE} = \frac{kT}{q} \ln\left(\frac{pI_1}{I_S}\right) - \frac{kT}{q} \ln\left(\frac{I_1}{rI_S}\right) = \frac{kT}{q} \ln(pr) \quad (2.20)$$

onde  $I_S$  é a corrente de saturação do transistor mais pequeno em área. Esta equação mostra ainda que  $\Delta V_{BE}$  apenas depende das relações  $p$  e  $r$  e é independente das correntes de *Bias* e de saturação  $I$  e  $I_S$ . Ainda no mesmo circuito existe um terceiro ramo que é usado para gerar a tensão  $V_{BE}$  que depende de ambas as correntes sendo,

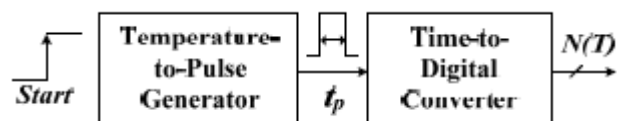
$$V_{BE} = \frac{kT}{q} \ln\left(\frac{I_2}{I_S}\right) \quad (2.21)$$

à temperatura de  $-273^\circ\text{C}$   $V_{BE}$  situa-se em torno dos 1.2V (devido à energia de Bandgap do silício), e desde esse valor decresce quase linearmente com um valor típico de  $2\text{mV}/^\circ\text{C}$ .

### 2.2.3 Sensor de Temperatura com Osciladores

Um sensor de temperatura pode ser obtido utilizando um circuito que garante uma variação da frequência em função da temperatura. Esta arquitetura é conhecida por *time-to-digital converter*, e consiste em obter um desvio numa frequência conhecida, sendo a diferença entre ambos os sinais relacionada com a temperatura.

Na Figura 2.13 é apresentado o esquema básico de um sensor de temperatura utilizando o atraso proveniente da temperatura, onde é gerado um impulso *START* que através de uma TDC (*Time to Digital Converter*) permite obter uma saída digital correlacionada com a temperatura.



**Figura 2.13** - Esquema básico de um sensor de temperatura utilizando um oscilador.

O bloco que cria o atraso no pulso (*Temperature-to-Pulse Generator*), é geralmente constituído por inversores CMOS (portas lógicas *not*), que devido à sua configuração são fortemente dependentes da temperatura no que diz respeito ao ponto de funcionamento do inversor e à velocidade de transição de um estado para o outro. Esta arquitetura garante uma área reduzida quando comparada com outras arquiteturas, embora tenha como desvantagem a necessidade da utilização de

componentes com grande precisão. Para esta arquitetura o valor típico do erro na saída digital é aproximadamente  $\pm 1^\circ\text{C}$  [7] [8].

Na Figura 2.14 é apresentado o esquema mais detalhado. Uma vez que o atraso produzido pelo oscilador é relativamente pequeno existe a necessidade de amplificar esse mesmo atraso através do bloco TA (*Time Amplifier*). Este sinal é então conectado a uma porta lógica AND com um sinal de referência, sem atraso devido à temperatura, e este controla o contador que permite assim ter uma saída digital proporcional ao tempo de atraso provocado pela temperatura no oscilador. A saída digital não depende do bloco TA, tendo em conta que este deve ter sempre o mesmo ganho e deve ser constante para a gama de temperatura pretendida.

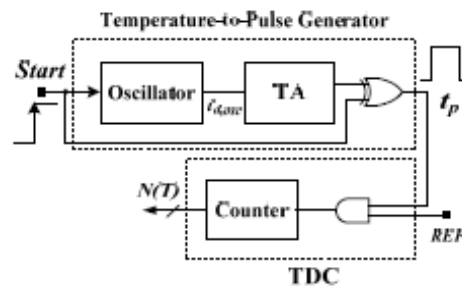
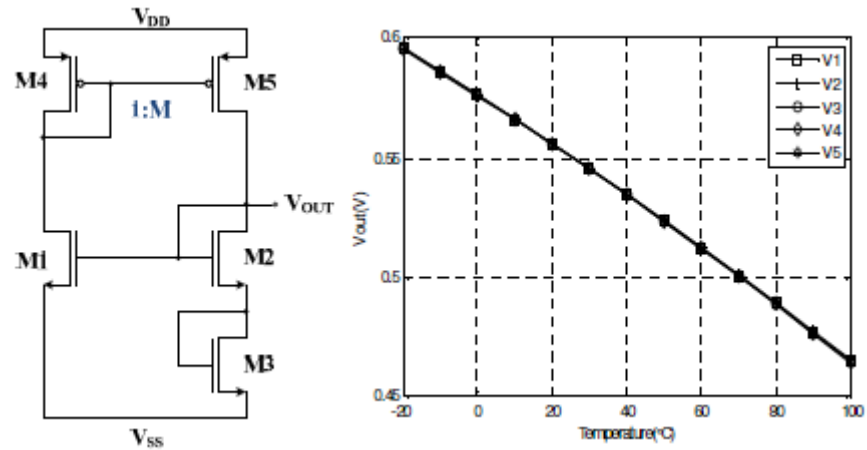


Figura 2.14 - Arquitetura Temperatura-Pulso.

#### 2.2.4 Sensor de Temperatura utilizado MOS

Este tipo de sensor utiliza apenas dispositivos NMOS e PMOS como principais componentes para a criação do circuito dependente da temperatura. Assim sendo, e sem a necessidade de utilizar transístores bipolares de junção, esta arquitetura ocupa uma área menor e tem baixo consumo, quando comparada com as outras arquiteturas. Esta arquitetura tem como base a variação de  $V_{TH}$  com a temperatura que, como foi discutida em 2.1.3 (principais causas pelas quais o MOS depende da temperatura), e tende a ser perfeitamente linear, sendo esta uma grande vantagem para um sensor de temperatura.

Na Figura 2.15 é apresentada uma das muitas configurações possíveis. Esta configuração é baseada num *Wildar* invertido e é composta por 5 transístores [9].



**Figura 2.15** - Sensor de temperatura baseado em  $V_{TH}$  apenas com MOS [9].

Na Figura 2.15, juntamente com o circuito sensível à temperatura, é apresentada também a tensão à saída do mesmo em relação à temperatura. Analisando o gráfico conclui-se que para temperaturas entre os  $-20^{\circ}\text{C}$  e os  $100^{\circ}\text{C}$  a tensão  $V_{OUT}$  é complementar à temperatura absoluta (CTAT), iniciando aproximadamente nos 600mV e diminuindo até aos 470mV para uma temperatura de  $100^{\circ}\text{C}$ .

## 2.3 Conversor Analógico Digital

Conversores Analógico-Digital (ADC do inglês *Analog-to-Digital converters*), são circuitos que convertem um valor analógico numa sequência de zeros e uns, formando uma palavra binária com  $n$  bits. Neste caso o ADC irá converter um valor de tensão para um valor digital binário, que assim, pode ser traduzido para um valor decimal. O número de bits existente na saída do ADC determina a resolução do mesmo, ou seja, num ADC com 10bits existe uma resolução de uma parte em  $2^{10}$  que dá 1024 possíveis níveis de sinal. Desta forma, se considerar um *swing* analógico de 1V isto dá uma resolução de  $1V/1024 = 0.977mV$ . De forma similar se o ADC tiver 12 bits com o mesmo *swing* tem-se uma resolução de  $1V/4096 = 0.244mV$  [10].

Existe um elevado leque de ADC que, dependendo da aplicação a que se destinam, e da resolução de bits pretendida, podem garantir um bom funcionamento com mais ou menos vantagens. É então importante conseguir realizar uma boa escolha do ADC que melhor se adapte ao problema em questão. Das muitas configurações do ADC será feita nesta secção uma introdução sobre as mais importantes, que são a base de muitas outras configurações.

### 2.3.1 ADC em Rampa

A Figura 2.16 apresenta o diagrama de blocos referente a um ADC em Rampa que, como o próprio nome indica utiliza uma rampa para obtenção do valor digital ao qual corresponde a entrada analógica. Esta arquitetura é composta por quatro blocos principais.

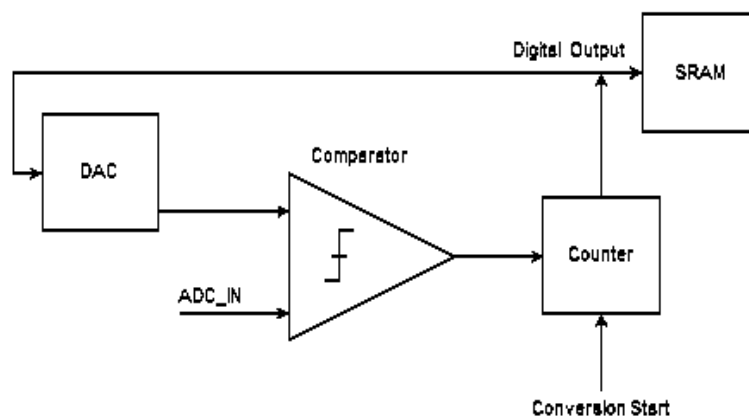


Figura 2.16 - Diagrama de blocos da ADC em Rampa.

Após o sinal de início de conversão ser ativado, o contador começa a sua contagem ao mesmo tempo que o DAC (conversor Digital-Analógico), faz a conversão do valor digital para o correspondente sinal analógico. Para cada contagem do contador é feita uma conversão no DAC e uma comparação onde é comparado o sinal analógico à saída do DAC com o sinal ADC\_IN que se pretende converter. O



contador continua a sua contagem até a saída do DAC atingir o valor de ADC\_IN, e, nesse momento a contagem é interrompida mantendo-se o valor digital à saída que será guardado na SRAM.

O DAC presente na Figura 2.16 pode ser substituída por uma capacidade na qual é injetada corrente, fazendo com que a tensão na mesma seja crescente. No caso da utilização da capacidade é importante ter em conta que o tempo no qual a rampa atinge a amplitude máxima deve corresponder ao tempo que o contador leva a contar toda a escala.

A desvantagem desta arquitetura é o longo tempo necessário para realizar uma conversão.

### 2.3.2 ADC de Aproximações sucessivas

Um conversor de aproximações sucessivas é apresentado abaixo, na Figura 2.17. Este conversor é composto por um SHA (*sample-and-hold*), um comparador, um DAC (Conversor Digital-Analógico), e um bloco lógico de controlo para todo o sistema, que inclui os registos binários para a saída (SAR, Registo de aproximações sucessivas).

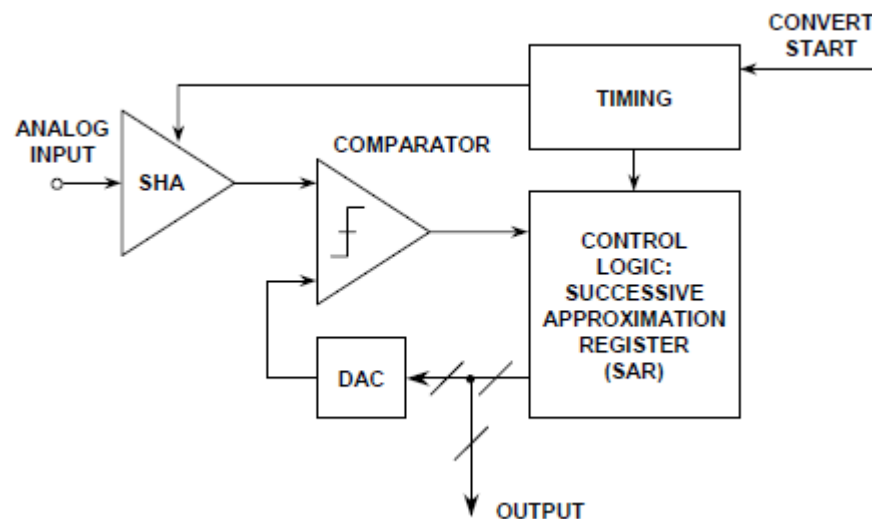


Figura 2.17 - Esquema básico da ADC de aproximações sucessivas [10].

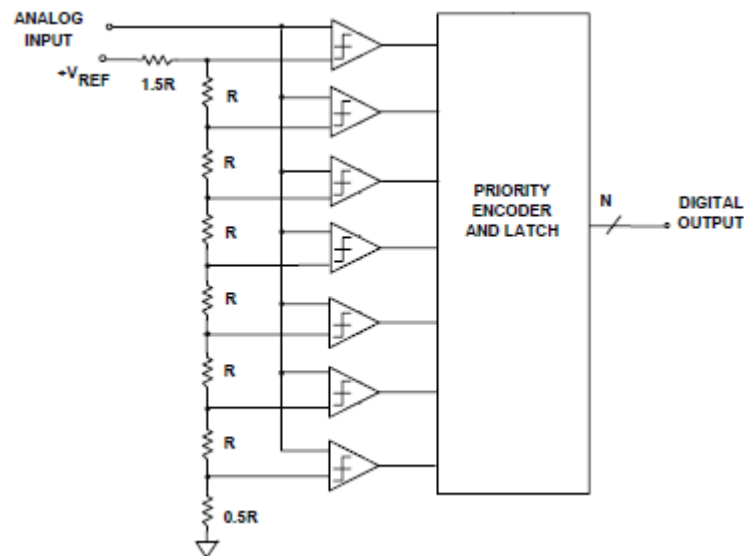
Quando a conversão tem início, dado pelo sinal CONVERT START, o SHA faz o armazenamento do sinal analógico a ser convertido e ao mesmo tempo todos os bits do SAR são colocados para o nível lógico '0' à exceção do MSB (Bit mais significativo), que está no nível lógico '1'. Desta forma, quando o DAC converte o sinal proveniente do registo, o valor analógico de saída deve ser metade da escala do ADC (se o *swing* é de 1V à saída do SAR deve-se ter uma tensão referente a metade do *swing*). O Comparador compara então a tensão à saída do SAR e do DAC. Se o sinal do DAC é inferior, significa que o sinal de *INPUT* é superior a metade da escala e o

MSB mantém o valor lógico '1' caso contrário muda para '0'. De seguida o bit seguinte é colocado a '1' lógico (independentemente do resultado do anterior), e segue-se o mesmo processo até ao bit menos significativo (LSB) [11] [10].

Esta arquitetura, embora seja rápida para conversões com poucos bits, torna-se mais lenta para configurações com necessidade de elevados valores de resolução. Isto devido o DAC precisar de tempos mais longos para a conversão do valor digital e a decisão do comparador só ser válida após essa conversão. No entanto, e dependendo da aplicação, pode ser ideal visto ser uma arquitetura com um baixo custo.

### 2.3.3 Flash ADC

Este tipo de ADC, também chamado de *parallel* ADC, é o tipo de ADC mais rápido mas usa um grande número de componentes e de comparadores. Um *Flash* ADC com  $n$  bits necessita de  $2^n$  resistências e de  $2^{n-1}$  comparadores o que implica uma grande área para a implementação de uma arquitetura deste tipo. Na Figura 2.18 é apresentado o esquema básico para um Flash ADC de apenas 3 bits [10].



**Figura 2.18** - Esquema básico de uma Flash ADC de 3bits [10].

Cada comparador tem uma tensão de referência que é 1 LSB menor que o comparador acima. Quando é aplicada uma tensão analógica para conversão todos os comparadores fazem a comparação dessa tensão com a tensão de referência que têm na sua segunda entrada, e a partir de um certo ponto na cadeia de comparadores, todos os comparadores terão valores de referência inferiores à tensão de *input* e assim, desde esse comparador a saída será o valor lógico '1'. Nos comparadores acima desse nível a saída será um '0' lógico. Com esta arquitetura é obtida uma palavra binária com  $2^n$  bits o que obriga a ter um descodificador para converter a saída para uma palavra de  $n$  bits.

### 2.3.4 ADC em Dupla Rampa

A arquitetura dos ADC de dupla rampa foi revolucionária nos ADC devido à grande capacidade para funcionamento com resoluções elevadas com baixo ruído. Um exemplo de uma aplicação para este tipo de ADC são os voltímetros digitais que têm uma grande resolução para uma grande escala de valores. O diagrama simplificado desta arquitetura é apresentado na Figura 2.19 [12].

Como o próprio nome indica, este ADC tem a particularidade de criar duas rampas cujo tempo para cada função é controlado pelo controlo lógico. Este conversor divide-se em duas partes, integração do valor analógico  $V_{in}$  e integração da tensão  $V_{ref}$ . No instante inicial  $S_2$  é aberto e  $S_1$  é ligado ao sinal de entrada  $V_{in}$ , assim é integrado o valor da tensão  $V_{in}$ .

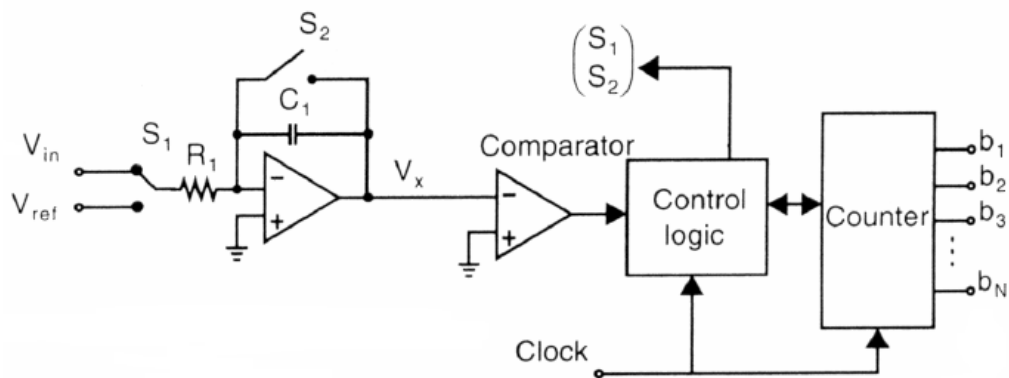


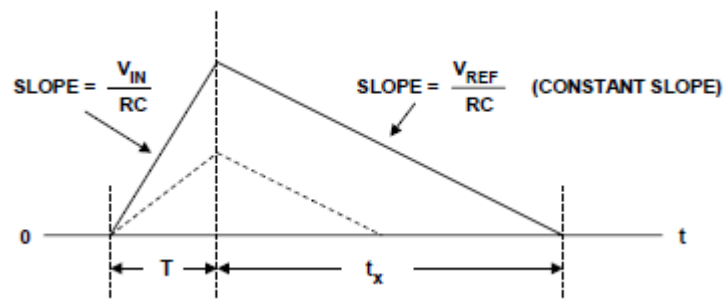
Figura 2.19 - Esquema básico ADC de dupla rampa [12].

O tempo,  $T$ , em que  $S_1$  se encontra ligado a  $V_{in}$  deve ser constante para todas as conversões de forma que a tensão  $V_x$  dependa apenas da tensão  $V_{in}$ . Na segunda fase da conversão  $S_1$  é ligado a  $V_{ref}$ , e em simultâneo é feito *reset* no contador de forma a começar uma nova contagem. Uma vez que  $V_{ref}$  é sempre o mesmo o declive da reta na integração é sempre a mesma e assim o tempo que  $V_x$  demora a chegar a 0V depende apenas da tensão  $V_x$  após a integração de  $V_{in}$ . Quando  $V_x=0$  o comparador dá a informação ao bloco do controlo lógico e este faz parar o contador. A saída digital é o valor do contador quando interrompido pelo controlo lógico.

Na Figura 2.20 pode observar-se um gráfico com os sinais de saída do integrador  $V_x$  para os diferentes estágios desta arquitetura:

1ª Fase integração de  $V_{in}$ .

2ª Fase integração de  $V_{ref}$ .



**Figura 2.20** - Sinais de saída, ADC dupla rampa [12].

Como mostra a Figura 2.20 o declive da reta na primeira fase depende diretamente de  $V_{in}$ , obtendo-se assim um valor  $V_x$  diferente para diferentes valores de  $V_{in}$ . Quanto mais elevado o  $V_{in}$  maior será o declive e mais elevado será  $V_x$ , visto que o tempo  $T$  é constante. Na segunda fase, o declive é constante e assim o tempo  $t_x$  irá depender do valor de  $V_x$ , quanto mais elevado for esse valor maior será  $t_x$ .

## 3 Sensor de Temperatura

Neste capítulo será apresentado o procedimento seguido no estudo, implementação e simulação das diversas arquiteturas, focando mais detalhadamente a arquitetura escolhida, acompanhada pela justificação para a utilização da mesma. Numa primeira fase é analisado o problema em questão e os efeitos da temperatura em alguns dispositivos tais como resistências, MOSFET e BJT. É importante ter em conta que este trabalho e os resultados apresentados foram obtidos utilizando a tecnologia *Dongbu 130nm* (DBH1533il11sj), com a tensão de alimentação analógica de 3.3V e a digital de 1.5V.

### 3.1 Introdução

Numa primeira fase foi estudada e implementada a arquitetura com maior histórico de utilização como sensor de temperatura, facilitando assim a aprendizagem e familiarização com o *CADENCE*<sup>1</sup> e com a ferramenta de simulação *SPICE*<sup>2</sup>. Desta forma, começou-se o estudo pelos sensores de temperatura que utilizam transístores bipolares de junção. Porém, sendo um dos objetivos a obtenção de um sensor de temperatura com área e consumo reduzido, optou-se por efetuar testes para arquiteturas que utilizassem apenas MOSFET.

Após a análise dos dois circuitos foi implementada a melhor solução (arquitetura com MOSFET). A implementação do *layout* deve respeitar as regras da tecnologia e deve ser coerente com o circuito correspondente em esquemático. Foram por isso realizados 3 verificações ao *layout*:

- DRC (*Design Rule Check*), em que são verificadas as regras básicas como por exemplo a distância entre materiais, ou áreas mínimas dos materiais.
- LVS (*Layout Vs Schematic*), na qual são verificados os dispositivos e ligações de forma a garantir que o *layout* corresponde exactamente ao esquemático.
- PEX (*Parasitic Extraction*), esta é a última verificação em que é criada uma *netlist* com todos os dispositivos, capacidades parasíticas e resistências existentes no *layout*, que podem ser utilizados para efectuar simulações mais precisas.

---

<sup>1</sup> CADENCE – É um *software* de desenho e simulação de circuitos eletrónicos para a criação de circuitos integrados, sistemas *on-chip* e placas de circuito impresso.

<sup>2</sup> SPICE – Programa de Simulação com Ênfase em Circuitos Integrados, é uma poderosa ferramenta usada para testar e antever o comportamento de circuitos.

### 3.2 Arquitetura com Transístores Bipolares

Foi referido anteriormente no estado de arte, capítulo 2 secção 2.2.2, que os transístores bipolares têm uma dependência complementar à temperatura, ou seja respondem de forma inversa à temperatura (CTAT), mas que através da combinação de dois ramos com transístores bipolares, como foi mostrado na Figura 2.11 e Figura 2.12, é possível obter uma variação proporcional à temperatura (PTAT). No entanto, nada impede a utilização de uma tensão CTAT, apenas implica ter que construir a ADC tendo em conta esse pormenor. O importante é que o sensor de temperatura seja o mais linear e com a maior amplitude possível, para que a tensão tenha uma maior variação para pequenas variações de temperatura, tornando assim mais fácil a sua qualificação.

Na figura seguinte, Figura 3.1 apresenta-se um circuito deste tipo que foi implementado como exemplo para teste, e sobre o qual foi feito um estudo aprofundado em termos de linearidade, variação com a temperatura, entre outros parâmetros.

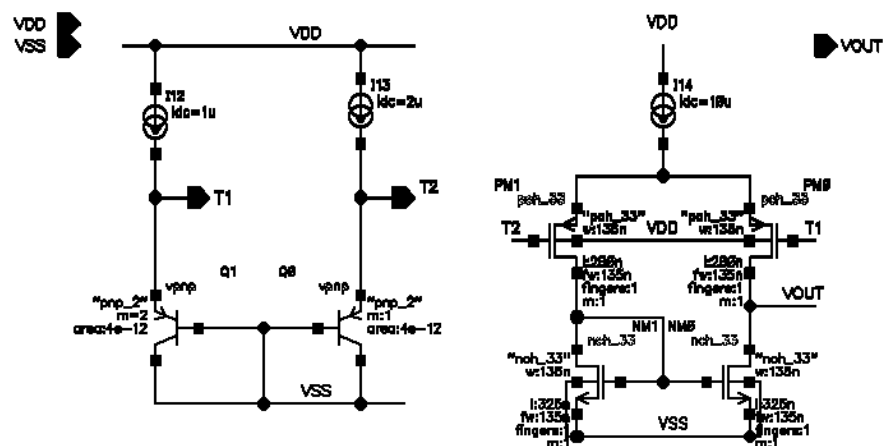


Figura 3.1 - Circuito com BJT para testes.

Na Figura 3.1 é apresentado um circuito para deteção da temperatura semelhante ao circuito da Figura 2.12, embora neste não exista o terceiro ramo com um BJT uma vez que neste caso era pretendido um circuito com dependência da temperatura e não uma tensão de referência. O circuito pode ser dividido em duas partes importantes: do lado esquerdo o circuito com os BJT em que os ramos têm fontes de corrente relacionadas através da equação (2.20), onde  $p$  e  $r$  foram escolhidos através de vários testes de forma a obter o melhor resultado em termos de linearidade; na parte direita do circuito encontra-se o amplificador com ganho  $\alpha$  que varia com a temperatura, pelo fato de esta influenciar tanto o par diferencial como o espelho de corrente com NMOS.

O amplificador escolhido foi o 5T, uma configuração simples, em que o par diferencial é constituído por PMOS. Esta configuração foi escolhida devido às saídas T1 e T2 no circuito da esquerda terem valores inferiores a 1V, e se fossem utilizados NMOS no par diferencial os mesmos não estariam a operar no modo da saturação.

A Figura 3.2 mostra os resultados da simulação da Figura 3.1. Os parâmetros da simulação são definidos através de um ficheiro de texto com linhas de comandos, no entanto podem também ser configurados na janela de simulação ADE L. Para esta simulação foi utilizado o comando .tran, que efetua uma simulação *Transient*, com uma duração de 10µs. Definiu-se o valor da alimentação, vpower VDD VSS 3.3, que criava uma tensão de 3.3V entre VDD e VSS e com o comando, .step temp -30 150 10 foram feitas simulações com diversas temperaturas entre os -30°C e os 150°C, com variação de 10°C entre cada simulação. Para a saída da simulação foi feita a extração das tensões nos pontos T1, T2 e VOUT, permitindo assim visualizar a variação destas tensões em relação à temperatura e não ao tempo da simulação. Nos anexos é apresentado um exemplo do ficheiro de texto com todas as linhas de comando utilizadas na realização desta tese, bem como a explicação da função de cada uma delas.

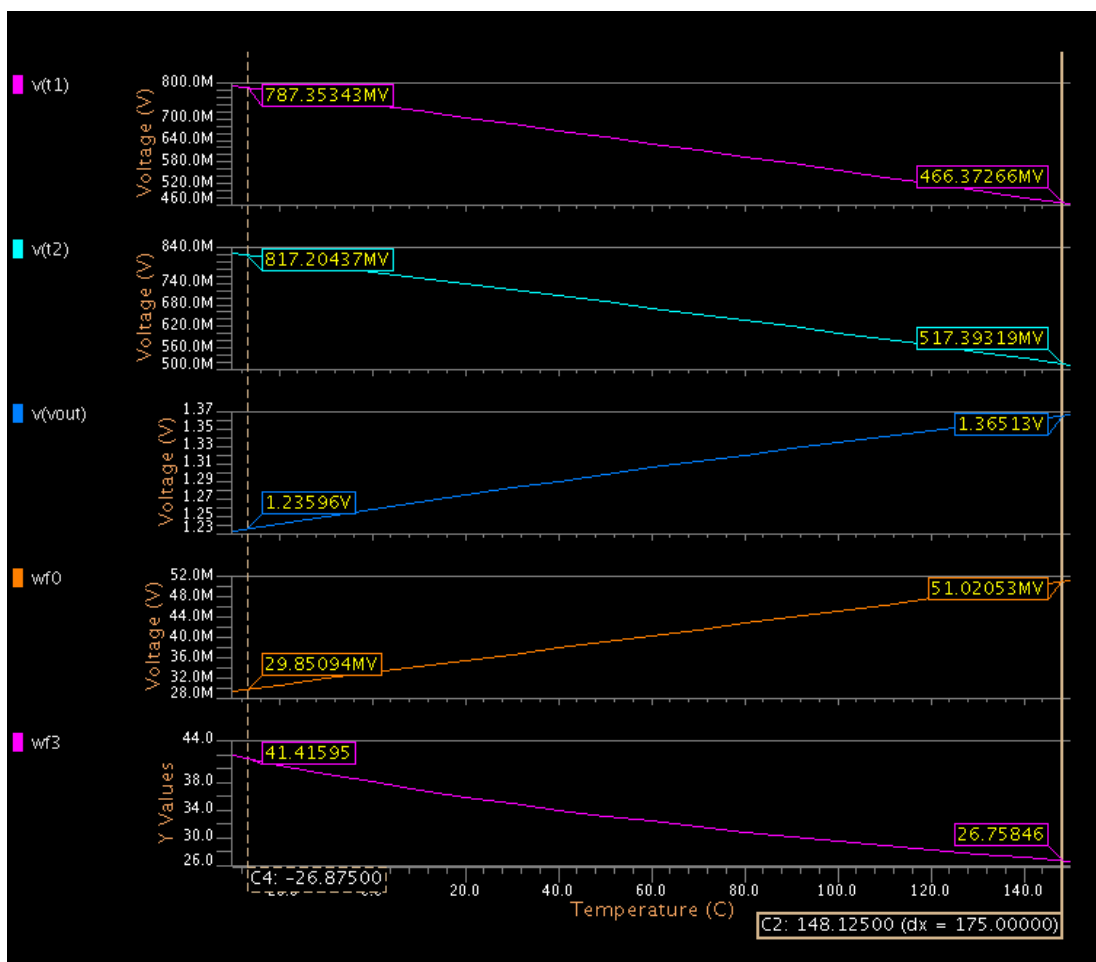


Figura 3.2 - Simulação do circuito da Figura 3.1.

Como esperado, as tensões nos pontos T1 e T2 são complementares à temperatura, CTAT. O sinal wf0 (laranja) apresenta a diferença entre o ponto T2 e T1, que varia no mesmo sentido que varia a temperatura embora com uma variação bastante baixa (cerca de 21mV). O sinal VOUT é a diferença entre as tensões T1 e T2 amplificada pelo ganho  $\alpha$ . No sinal wf3 é apresentado o valor do ganho do amplificador para toda a escala de temperatura onde o ideal seria ter um ganho fixo, no entanto existe uma grande variação, provocando uma não linearidade à saída do sensor de temperatura.

Uma das questões mais importantes num sensor de temperatura é a linearidade do sinal de saída do mesmo. Na Figura 3.3 é apresentado o gráfico que mostra o estudo da linearidade do sinal VOUT à saída do amplificador em função da temperatura.

Juntamente com o gráfico da tensão VOUT foi adicionada uma reta para facilitar a análise da linearidade: em azul a tensão de saída e a amarelo a reta com a qual é comparada essa tensão. Como é visível, o gráfico a azul tem uma ligeira curvatura, não podendo ser aproximado a uma reta. A variação total de VOUT entre os  $-30^{\circ}\text{C}$  e os  $150^{\circ}\text{C}$  é de cerca de 130mV, no entanto, existe uma variação de  $\pm 3\text{mV}$  em média devido à não linearidade. Tendo em conta uma variação de  $180^{\circ}\text{C}$  e uma razão de  $0.722\text{mV}/^{\circ}\text{C}$  representa aproximadamente  $\pm 4^{\circ}\text{C}$ . Fazendo o análogo para a gama de temperaturas de interesse foi obtida uma variação de  $\pm 1\text{mV}$  que representa assim aproximadamente  $\pm 1.4^{\circ}\text{C}$ .

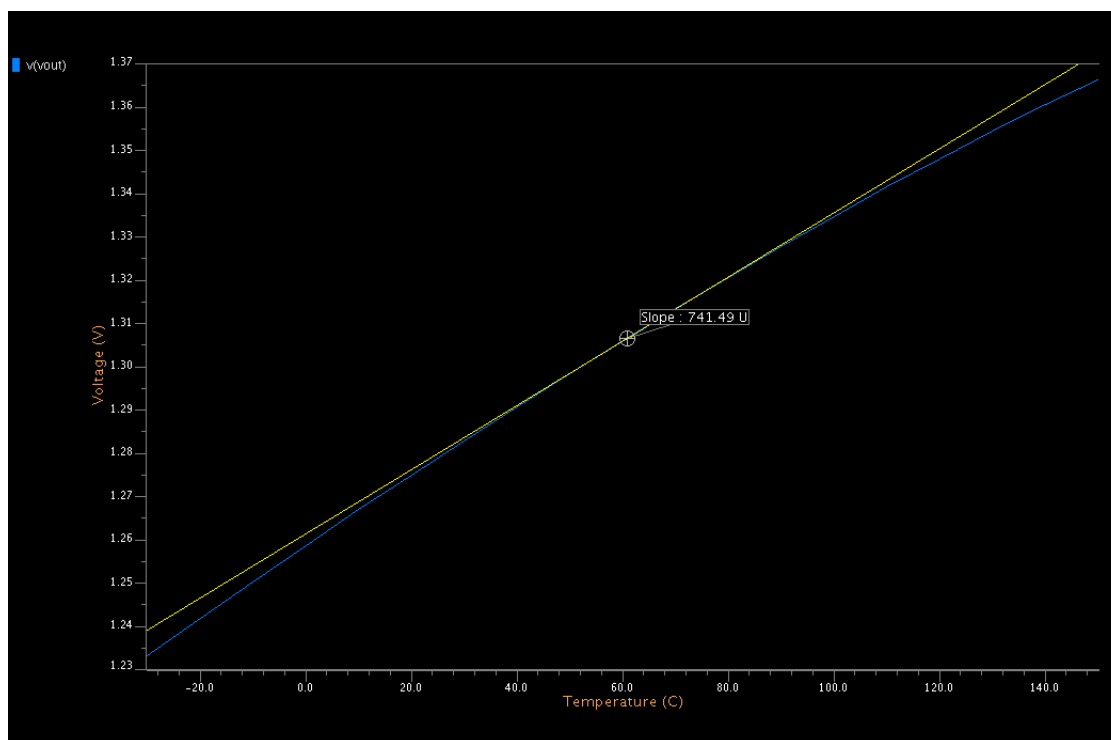


Figura 3.3 - Estudo da linearidade de VOUT.



### 3.3 Arquitetura apenas com MOSFET

Este tipo de arquitetura permite obter circuitos com dimensões reduzidas, facilitando ainda o processo de fabrico. O circuito dependente da temperatura pode tomar qualquer forma, ao contrário do que acontece com a arquitetura que utiliza transístores Bipolares, pois neste caso como todos os dispositivos dependem da temperatura, uma correta combinação pode originar uma boa dependência e uma grande variação, dependendo do pretendido.

Como referido nas secções 2.1 e 2.2.4, estes dispositivos têm uma forte dependência em relação à temperatura, sendo esta variação aproximadamente linear. Os parâmetros que têm uma dependência com a temperatura são, a Tensão de *Threshold* e a mobilidade dos eletrões. Assim pode ser utilizada esta dependência conhecida para realizar o circuito.

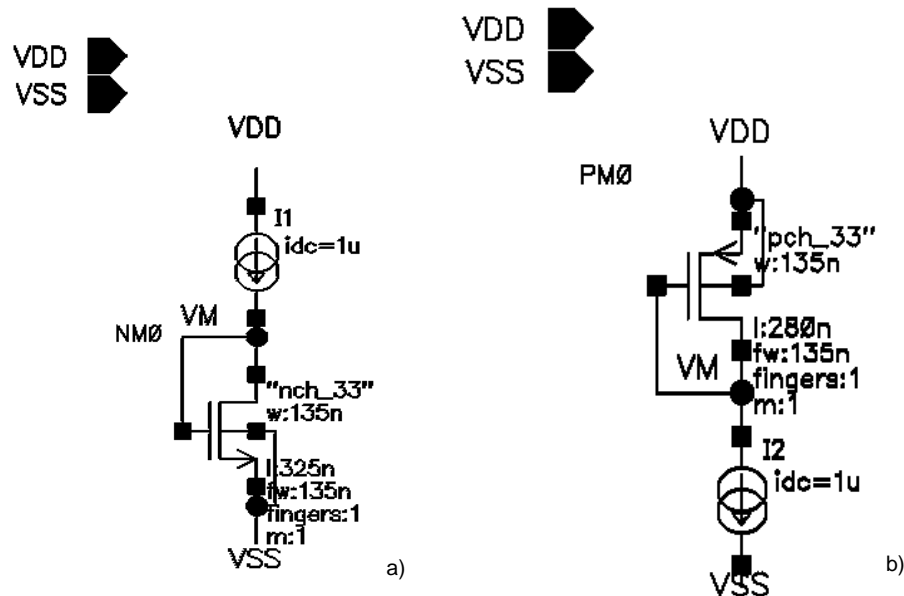
Outra característica estudada no estado de arte foram os modos de funcionamento dos MOSFET e, comparando as equações para a corrente  $I_D$  nos três modos: linear, saturação e *Subthreshold*, equações (2.7), (2.8) e (2.9) respetivamente, é visível que no funcionamento em modo *Subthreshold* a corrente  $I_D$  mostra uma maior dependência com a temperatura, sendo que a sua equação inclui o parâmetro  $V_t$ , que é diretamente proporcional à temperatura. Com base nestas comparações, e visto ainda que o consumo do MOSFET é bastante baixo quando operados no modo *Subthreshold*, optou-se por começar a realizar testes em circuitos com os dispositivos a operar nesse modo de funcionamento.

#### 3.3.1 Estudo do Comportamento dos MOSFET

Inicialmente foram testadas variações simples com poucos MOSFET com o objetivo de tirar partido da variação da tensão de *Threshold* de forma a se obter, uma tensão dependente da temperatura o mais linear possível e com um consumo baixo. Na Figura 3.4, é apresentado um esquema utilizado para o estudo da dependência com a temperatura dos MOSFET tipo P e N (PMOS e NMOS). Neste pequeno circuito, ambos os dispositivos estão ligados em modo dígodo, isto é, no caso do PMOS a *gate* deve estar ligada ao *drain*, que para esse dispositivo tem uma tensão mais baixa que a *source*, e no caso dos NMOS a *gate* é ligada ao *drain* e a *source* é ligada à massa (VSS, *Ground*). Neste tipo de ligação é garantido que a tensão na *gate* é sempre superior a  $V_{TH}$  e que  $V_{DS} \geq V_{GS} - V_{TH}$ . Garante-se então que os dispositivos estão a funcionar na zona da Saturação. No entanto, se a corrente for demasiado baixa a tensão na *gate* vai ser automaticamente reajustada. Se a corrente for baixa o suficiente  $V_{GS} - V_{TH}$  é inferior a zero e diz-se que o dispositivo funciona na zona *Subthreshold*.

Em relação aos tamanhos dos dispositivos, foram mantidos os tamanhos mínimos, sendo a largura (*Width*), de ambos os tipos igual a 135nm e o comprimento

(*Length*), no caso do PMOS de 280nm e no NMOS de 325nm. Estes parâmetros dizem respeito ao tamanho de cada dispositivo, sendo a *Width* a largura do canal da zona ativa e o *Length* o comprimento entre os dois metais de contato do *drain* e da *source* como ilustrado e discutido na secção 2.1.



**Figura 3.4** – Circuito para o estudo do efeito da variação da temperatura. a) NMOS b) PMOS.

O circuito da Figura 3.4 tem por objetivo estudar o efeito da variação das tensões nos MOSFET (tipo P ou N), tendo em conta a variação da temperatura. Assim, foram feitos testes para os diferentes modos de funcionamento dos MOSFETs onde, por aproximações sucessivas, foi ajustado o valor na fonte de corrente para que o dispositivo operasse na *Saturação* ou em *Subthreshold* e assim poder observar-se onde ocorria maior variação. O mesmo processo foi efetuado para o PMOS e NMOS.

Nas duas figuras que se seguem, Figura 3.5 e Figura 3.6 são apresentados os resultados dessas simulações, sendo a primeira figura relativa ao circuito da Figura 3.4 a).

Ambos os gráficos da Figura 3.5 são referentes ao circuito com NMOS e para uma gama de temperatura entre os  $-30^{\circ}\text{C}$  e os  $150^{\circ}\text{C}$ . O gráfico verde foi obtido utilizando uma corrente de  $1\mu\text{A}$  encontrando-se o NMOS em *Saturação* ao passo que no gráfico a amarelo foi estabelecida uma corrente de  $10\text{nA}$  garantindo assim a operação do NMOS em *Subthreshold*.

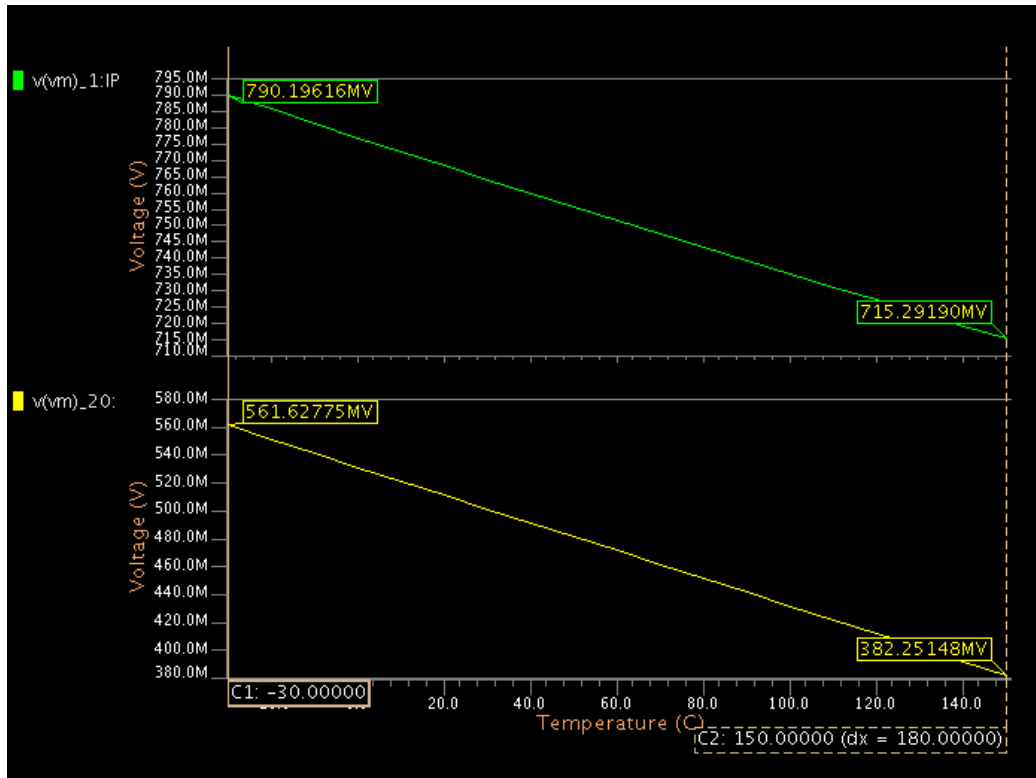


Figura 3.5 - Resultados da simulação para o circuito com NMOS.

As variações medidas em função da temperatura foram de 75mV e 180mV (aproximadamente), para a operação em Saturação e *Subthreshold*, respetivamente, considerando uma gama de temperatura entre -30°C e 150°C. Reduzindo para a gama de temperaturas de interesse (-20°C a 120°C), as variações são de apenas 58mV e 139mV, para a operação em Saturação e *Subthreshold*, respetivamente.

Para a simulação do circuito da Figura 3.4 b) foi executado o mesmo procedimento e os respetivos resultados são mostrados na Figura 3.6. Desta forma, e como na figura anterior, a verde representa-se o PMOS em Saturação e a amarelo em *Subthreshold* com variação de 86,7mV e de 208mV. Para a gama de temperaturas de interesse obtiveram-se uma variação de 67mV e 162mV respetivamente.

Com estes testes é possível concluir, como mostra a equação (2.9), que ambos os tipos de MOSFETs têm uma maior variação com a temperatura quando se encontram no modo de funcionamento *Subthreshold*, sendo o baixo consumo desta zona de funcionamento (como é possível verificar pela corrente imposta na fonte de corrente) mais uma vantagem para a utilização de um circuito com apenas MOSFET.

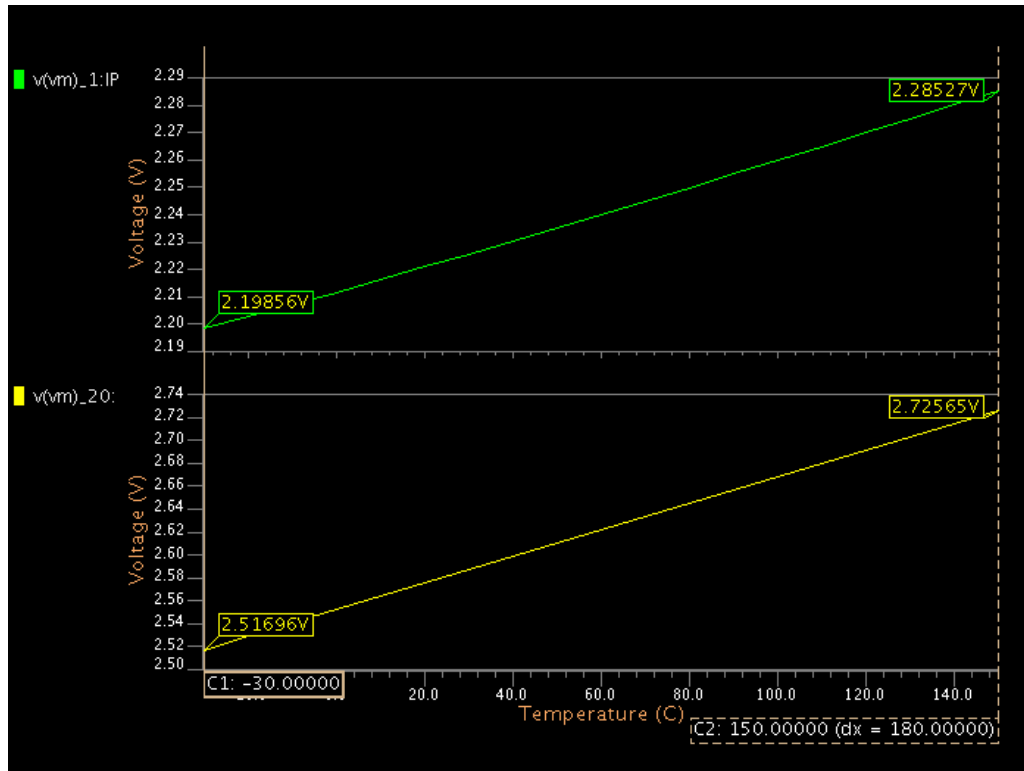


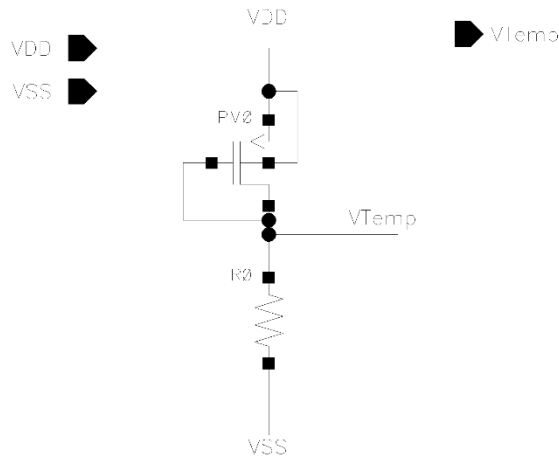
Figura 3.6 - Resultados da simulação para o circuito com PMOS.

### 3.3.1.1 Circuito sem fonte de corrente ideal

Uma vez que não existem fontes de corrente ideais, existe a necessidade de criar uma corrente com uma ordem de grandeza semelhante à anterior, na ordem das dezenas de nA. Para tal foi utilizado o circuito da Figura 3.7, com uma resistência de 100MΩ e um PMOS com as dimensões mínimas desta tecnologia.<sup>3</sup> Com este circuito, e tendo em conta que as resistências têm uma dependência com a temperatura diferente dos MOSFET, foi possível estudar o efeito da variação da tensão no circuito, sem a fonte ideal de corrente.

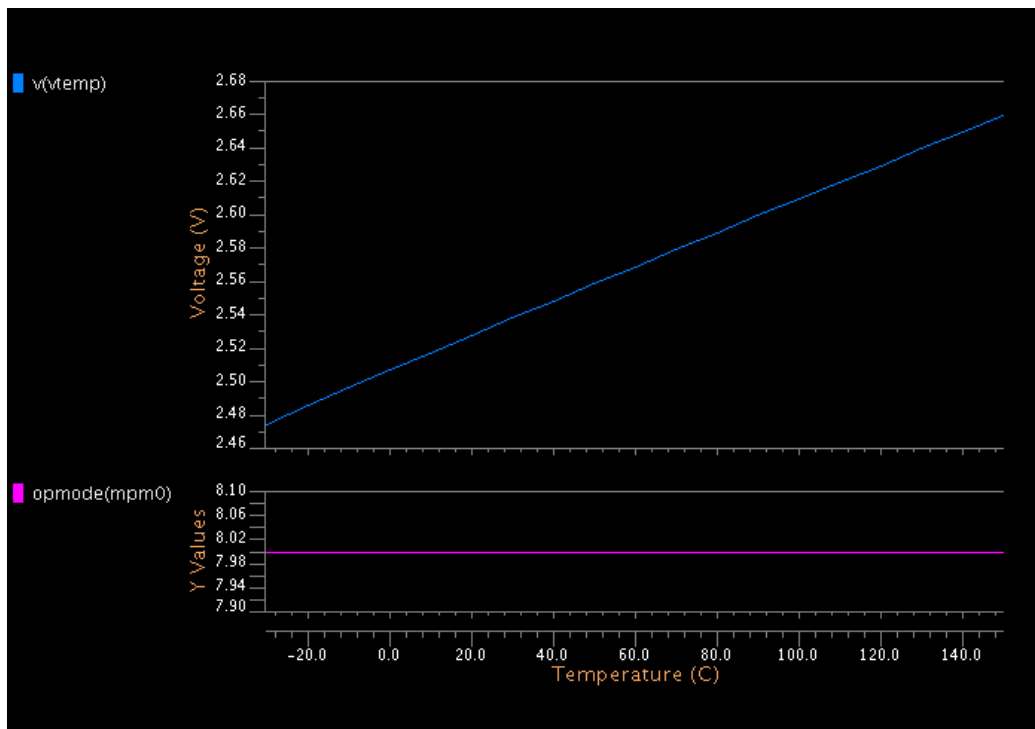
Mais uma vez é importante que o MOSFET se encontre em *Subthreshold* de forma a obter a maior variação embora este fosse apenas um circuito de estudo, visto que uma resistência de 100MΩ ocupa uma área demasiado grande no *layout* (tendo em conta a tecnologia DongBu, para uma resistência de 100MΩ seria necessário uma área de 0,042mm<sup>2</sup>), e devido a essa razão é necessário encontrar uma outra solução para a criação dessa mesma corrente.

<sup>3</sup> Dimensões mínimas para PMOS na tecnologia DBH1533il11sj: width(W) = 135nm; length (L) = 280nm.



**Figura 3.7** - Circuito com resistência para geração da corrente.

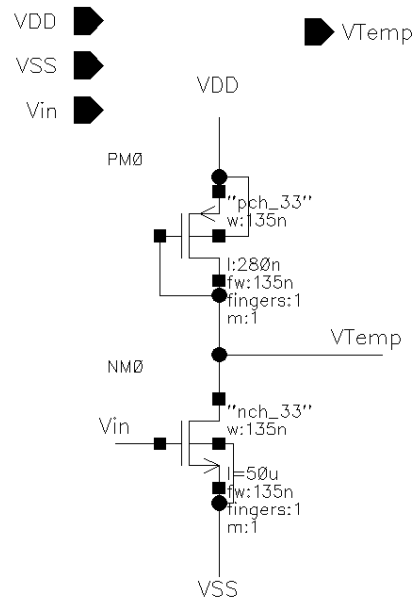
Na Figura 3.8 é exibido o resultado da simulação do circuito anterior. O sinal `opmode (mpm0)` representa o modo de funcionamento do dispositivo PM0 que se refere ao PMOS presente no circuito da Figura 3.7. O valor desse sinal, neste caso é 8, isto é, o dispositivo encontra-se em modo *Subthreshold* (se o mesmo estivesse em Saturação o sinal tomaria o valor 1). Caso ocorra uma transição no modo de funcionamento do dispositivo devido à temperatura tal pode ser visto nesse mesmo sinal (sinal a roxo).



**Figura 3.8** - Simulação do circuito da Figura 3.7.

A azul está representada a tensão  $V_{Temp}$  que apresenta uma variação de aproximadamente 200mV.

Evoluindo para um circuito equivalente dentro dos requisitos propostos (área reduzida na ordem dos  $\mu\text{m}^2$ ), substituiu-se a resistência do circuito anterior por uma NMOS com uma tensão de bias à na *gate*,  $V_{in}$ . O tamanho deste dispositivo foi ajustado de forma a que funcionasse como resistência (fonte de corrente), assim, manteve-se o *width* no mínimo e o *length* foi o máximo,  $50\mu\text{m}$ . (0.135/50). Este circuito é apresentado na Figura 3.9.



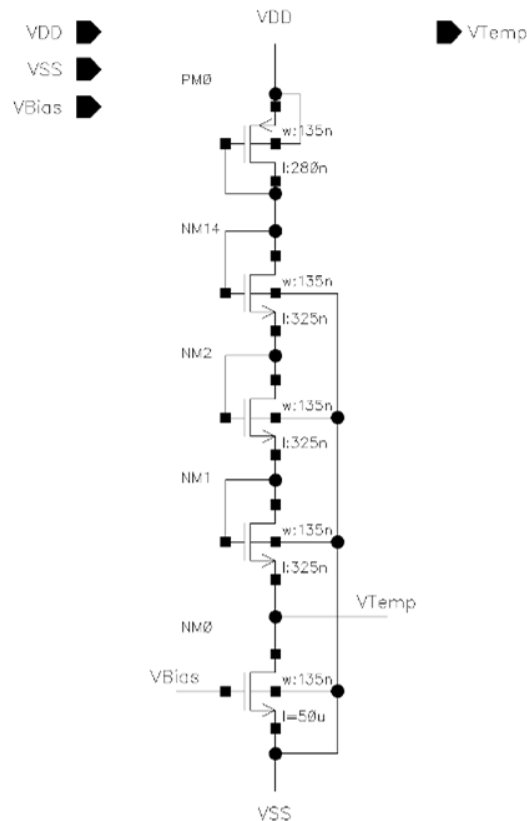
**Figura 3.9** - Circuito com um NMOS a funcionar como resistência.

O valor de  $V_{in}$  foi definido para que a corrente a passar pelo PM0 fosse semelhante à corrente que passava no circuito com resistência da Figura 3.7 (cerca de  $20\text{nA}$ ), assim entre os vários testes viu-se que o melhor valor para o  $V_{in}$  seria de  $1\text{V}$  e desta forma viu-se que a tensão em  $V_{Temp}$  era bastante semelhante à observada no circuito com a resistência, podendo-se assim utilizar o NMOS (NM0), para tal efeito. Em termos de linearidade, através da simulação e com auxílio das ferramentas do *Excel*, representou-se o valor da tensão para cada temperatura para a qual foi feita a simulação ( $-30^\circ\text{C}$  e os  $150^\circ\text{C}$ , com intervalo de  $10^\circ\text{C}$ ), e obteve-se um gráfico e respetiva linha de tendência com a equação da mesma. Desta forma, comparando a equação com o obtido na simulação obteve-se um erro máximo de  $\pm 0.66\text{mV}$ .

### 3.3.2 Configuração Final para o Sensor de Temperatura

Visto que os circuitos apenas com MOSFETs têm uma grande dependência da temperatura e boa linearidade, foi focado o trabalho neste tipo de configuração. Nesta secção será mostrada a configuração, bem como as três melhores variações da mesma, obtidas a nível geral, embora o parâmetro de decisão tenha sido a linearidade do sensor e a variação da tensão de saída (diferença entre a tensão mínima ( $-20^\circ\text{C}$ ), e a tensão máxima ( $120^\circ\text{C}$ )).

Tendo em consideração os bons resultados a nível da linearidade e da variação total da tensão  $V_{Temp}$  na Figura 3.9 optou-se por continuar com essa configuração como base das restantes sobre as quais foram feitos diversos estudos. Assim sendo na Figura 3.10 é apresentada a configuração estudada e utilizada para a realização do sensor de temperatura com saída analógica.<sup>4</sup>



**Figura 3.10** - Configuração base para o sensor de temperatura analógico. Exemplo com 3NMOS e 1PMOS.

Este circuito é composto por um NMOS, com dimensões  $0.135\mu\text{m}/50\mu\text{m}$  funcionando como fonte de corrente para limitar a corrente que flui pelo circuito e assim fazendo com que os restantes MOSFET estejam em *Subthreshold*. O restante circuito é composto por MOSFETs tipo P na parte superior e do tipo N na parte inferior, ambos os tipos com a *gate* ligada ao dreno em modo diodo. O número de MOSFET foi variado, mas sempre com a mesma configuração. O NMOS como resistência (NM0) encontra-se presente em todas as variações sendo então a única alteração o número de NMOS e PMOS.

Para cada variação do circuito anterior foi criada uma tabela como a apresentada em seguida, Tabela 1. A simulação foi realizada para temperaturas compreendidas entre os  $-30^{\circ}\text{C}$  e os  $150^{\circ}\text{C}$  com intervalo de  $5^{\circ}\text{C}$  entre simulações e foi calculada a diferença sofrida na saída entre cada intervalo de  $5^{\circ}\text{C}$  nas simulações.

<sup>4</sup> A conversão analógica/digital será estudada no capítulo 4.

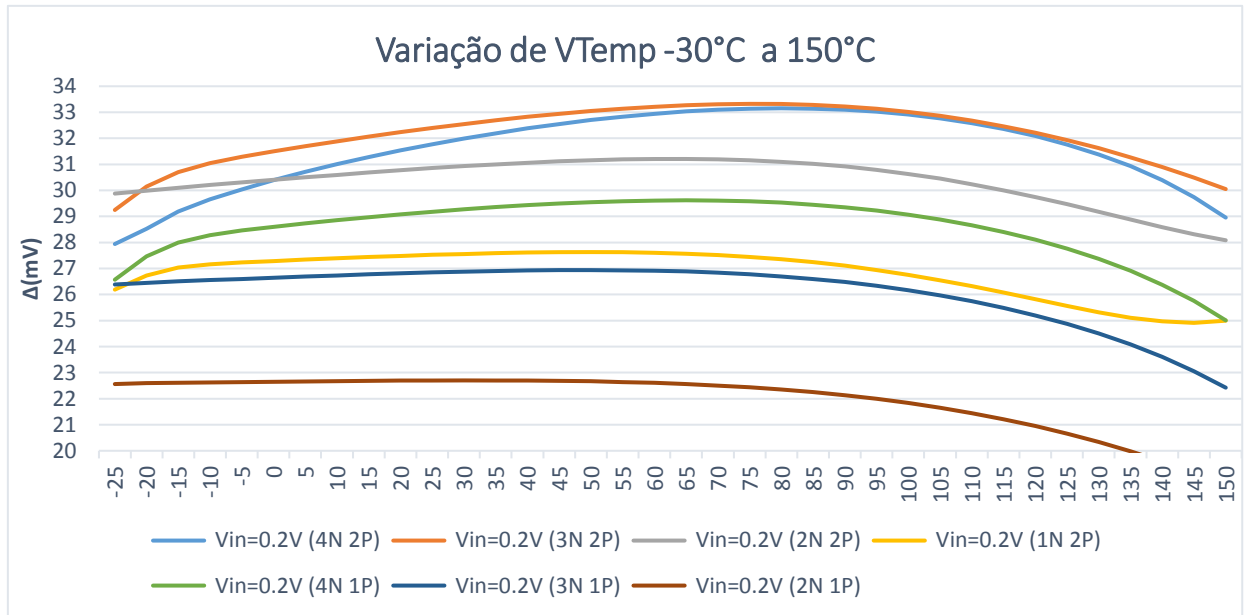
Para o exemplo mostrado na tabela foi usada a configuração mostrada na Figura 3.10 e mostra o valor da tensão  $V_{Temp}$  para as diversas temperaturas. A diferença entre cada  $V_{Temp}$  em relação ao  $V_{Temp}$  na temperatura anterior é apresentado em mV, na coluna 3. Na última coluna são resumidas as conclusões, a diferença máxima e mínima para as temperaturas anteriores, a amplitude do  $V_{Temp}$ , a relação entre a tensão e a temperatura (mV/°C) e a estimativa de erro em °C tendo em conta a variação média para cada grau e a relação mV/°C.

**Tabela 3.1** - Exemplo da tabela criada para cada variação de circuito.

Temp (°C)	$V_{Temp}$ (V)	Dif Ant (mV)	Valores -20°C a 120°C
-30	0,9556835	0.0000	<b>Dif Ant max (5°C) (mV)</b>
-25	0,9820680	26,3845	<b>26,939</b>
-20	1,0085187	26,4507	<b>Dif Ant min (5°C) (mV)</b>
-15	1,0350232	26,5045	<b>25,1994</b>
-10	1,0615770	26,5538	<b>Variação dif (5°C) (mV)</b>
-5	1,0881785	26,6015	<b>1,7396</b>
0	1,1148265	26,6480	
5	1,1415193	26,6928	
10	1,1682553	26,7360	
15	1,1950321	26,7768	
20	1,2218475	26,8154	
25	1,2486970	26,8495	
30	1,2755768	26,8798	
35	1,3024817	26,9049	
40	1,3294058	26,9241	
45	1,3563416	26,9358	
50	1,3832806	26,9390	
55	1,4102134	26,9328	<b>Amplitude Total (mV)</b>
60	1,4371285	26,9151	<b>939,1799</b>
65	1,4640130	26,8845	
70	1,4908526	26,8396	
75	1,5176310	26,7784	
80	1,5443302	26,6992	
85	1,5709307	26,6005	
90	1,5974107	26,4800	
95	1,6237469	26,3362	<b>DADOS -20°C a 120°C</b>
100	1,6499143	26,1674	<b>mV/°C</b>
105	1,6758853	25,9710	<b>5,312872857</b>
110	1,7016316	25,7463	<b>Erro (°C)</b>
115	1,7271215	25,4899	<b>0,065486227</b>
120	1,7523209	25,1994	
125	1,7771923	24,8714	<b>DADOS -30°C a 150°C</b>
130	1,8016933	24,5010	<b>mV/°C</b>
135	1,8257752	24,0819	<b>5,217666111</b>
140	1,8493803	23,6051	<b>Erro (°C)</b>
145	1,8724385	23,0582	<b>0,173031386</b>
150	1,8948634	22,4249	



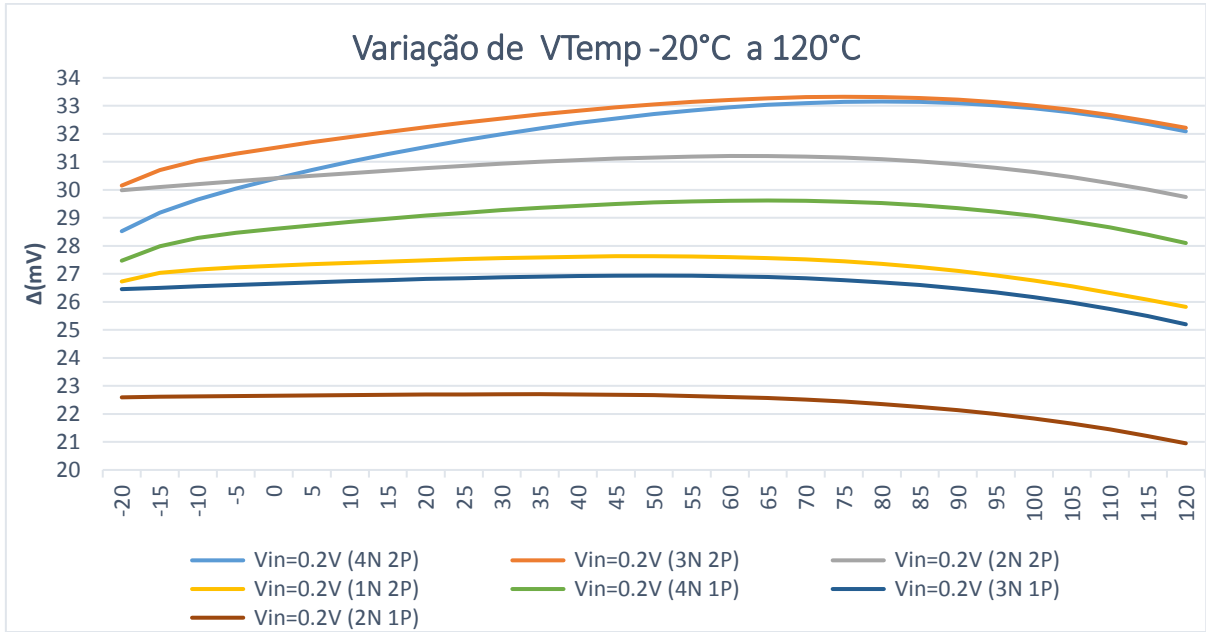
Após a criação de todas as tabelas para as diferentes configurações de circuito foram criados dois gráficos para comparação entre elas, um gráfico para temperaturas compreendidas entre os  $-30^{\circ}\text{C}$  e os  $150^{\circ}\text{C}$ , de forma a saber quais os limites de funcionamento e outro entre os  $-20^{\circ}\text{C}$  e os  $120^{\circ}\text{C}$  que é a gama de temperatura de interesse. Nas duas figuras que se seguem (Figura 3.11 e Figura 3.12), são apresentados esses mesmos gráficos.



**Figura 3.11** - Gráfico para comparação da linearidade entre configurações.

Tendo em conta uma gama de temperaturas a variar entre os  $-30^{\circ}\text{C}$  e os  $150^{\circ}\text{C}$  e através da análise do gráfico acima pode-se visualizar que as configuração 2N2P e 1N2P, são as melhores opções, apresentando uma melhor linearidade. No entanto, como é possível concluir através do gráfico da Figura 3.12 existem outros potenciais sinais com boa linearidade na região de interesse.

Analisando então o gráfico da Figura 3.12, para a gama de temperaturas de interesse existem quatro configurações com bons resultados: 2N2P (cinzento), 1N2P (amarelo), 2N1P (castanho), e 3N1P (roxo). No entanto, nos testes seguintes foi descartada a configuração 1N2P devido a piores resultados quando foi testada a dependência com o  $V_{in}$  (também denominado de  $V_{Bias}$ ).

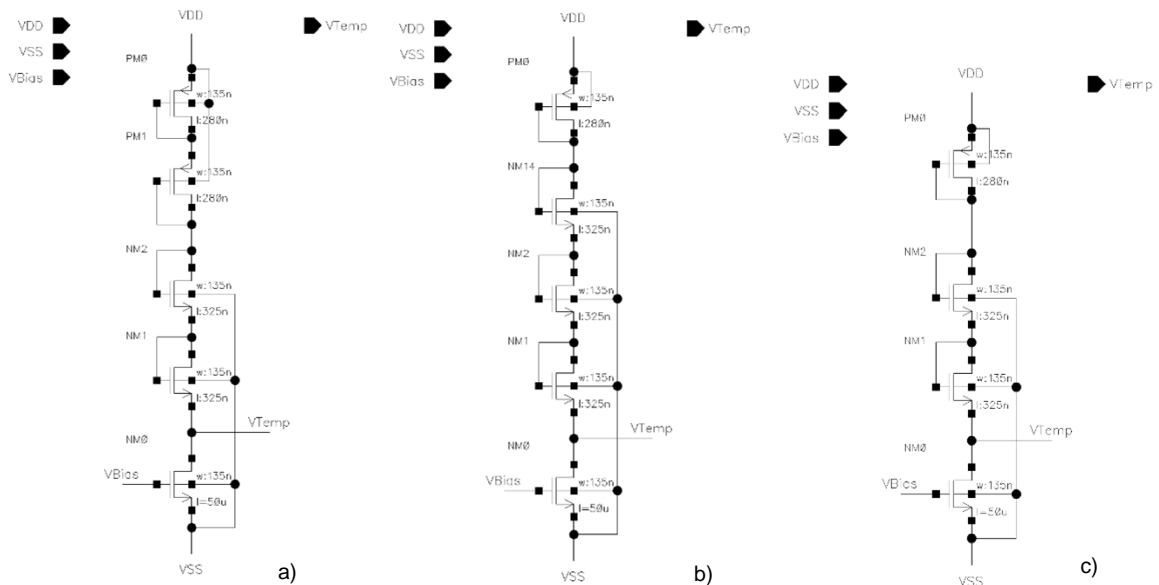


**Figura 3.12** - Gráfico para comparação da linearidade entre configurações para temperaturas entre -20°C e os 120°C.

Com estas conclusões foram então descartadas as configurações que apresentavam pior resultado continuando os testes com apenas três configurações.

### 3.3.2.1 Comparação das três melhores configurações

Na Figura 3.13 são apresentadas as três configurações finais para o sensor de temperatura, das quais será escolhida uma para a realização do trabalho.



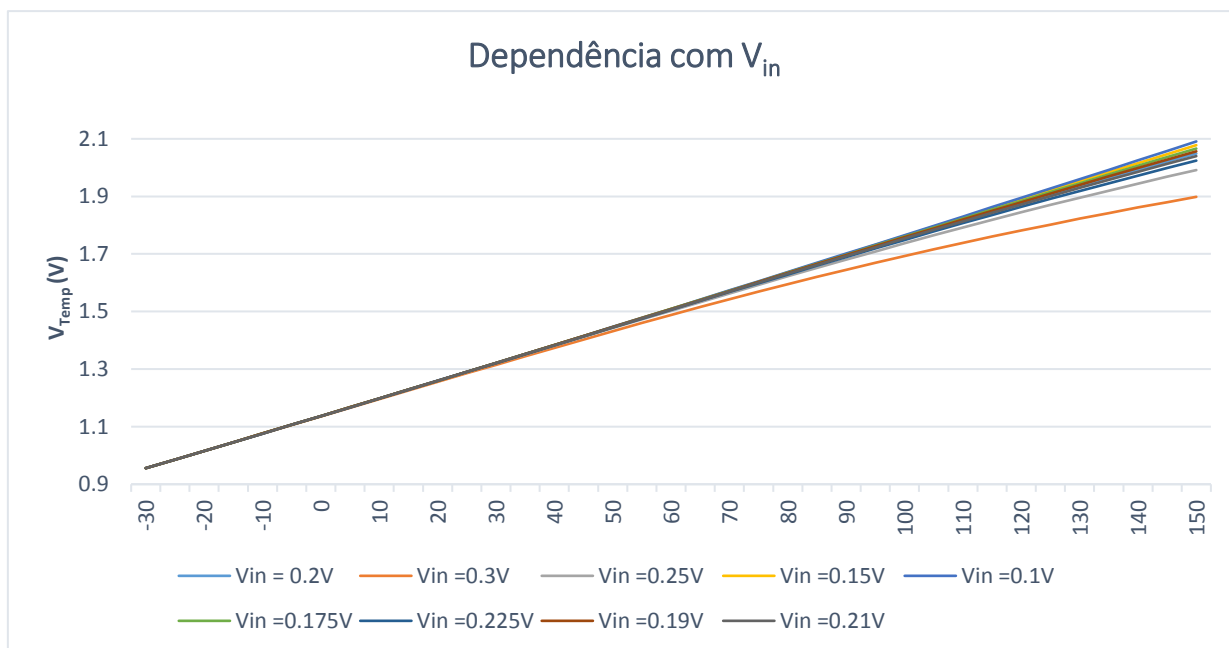
**Figura 3.13** - Circuito sensor de temperatura com saída analógica. a) 2N2P b) 3N1P c) 2N1P

Todas estas configurações partem do mesmo princípio, utilizar um NMOS como uma resistência controlada por uma tensão  $V_{Bias}$  que limita a corrente máxima

a passar pelo circuito, fazendo assim com que todos os MOSFET estejam em *Subthreshold*, de forma a criar uma tensão  $V_{Temp}$  dependente da temperatura o mais linear possível. Na Figura 3.13 são assim apresentadas as três melhores configurações, a) circuito com dois NMOS e dois PMOS, b) três NMOS e um PMOS, c) dois NMOS e um PMOS. Em todas as configurações a tensão de saída é vista no Dreno do NMOS que tem o comportamento de uma resistência.

### 3.3.2.1.1 2N2P

Fazendo o estudo de cada configuração em separado, será seguida a ordem presente na Figura 3.13 e assim discutida em primeiro lugar a configuração 2N2P em termos de linearidade e variação da tensão  $V_{in}$ . Através destes estudos, serão comparadas as diferentes configurações de forma a escolher a que apresenta melhores resultados. Desta forma, na Figura 3.14 é apresentado o gráfico correspondente ao estudo em que a tensão  $V_{in}$  foi variada em torno de um valor central (0.2V). Para cada valor de  $V_{in}$  foi anotado o valor da tensão  $V_{Temp}$ , e, como anteriormente, foram realizadas diversas tabelas.

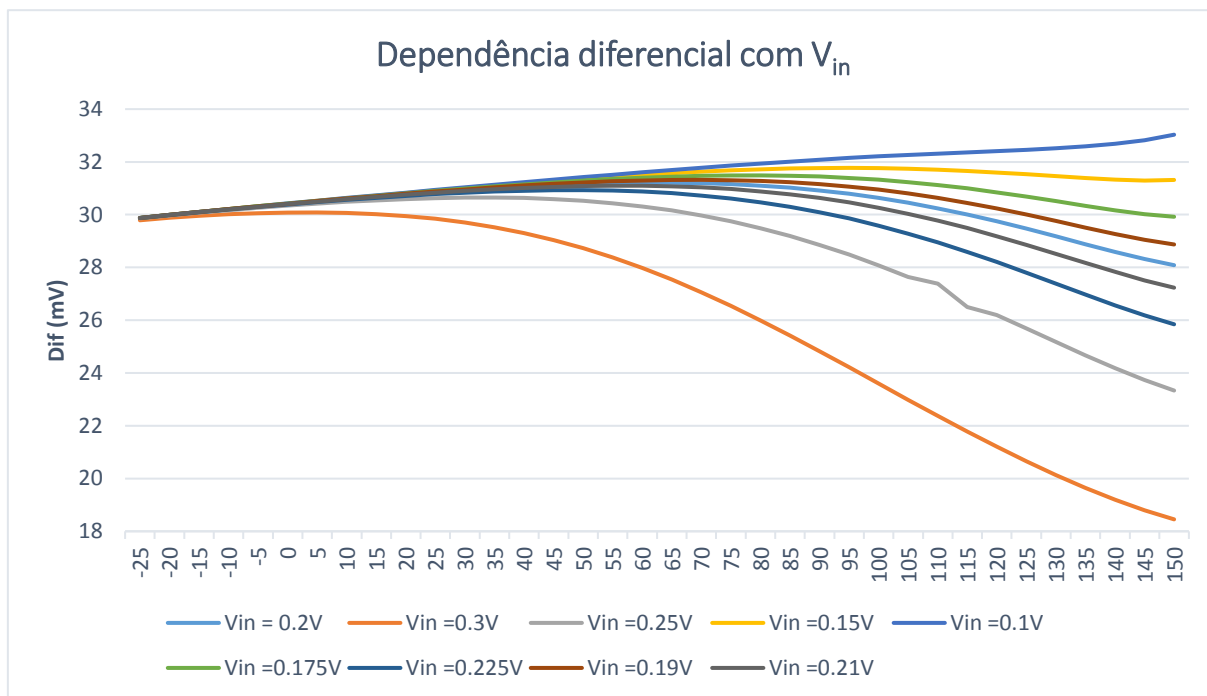


**Figura 3.14** – Comparação de  $V_{Temp}$  com a variação de  $V_{in}$ .

Como mostra a figura acima, para alguns valores de  $V_{in}$  é perceptível uma não linearidade. Dependendo da tensão de  $V_{in}$  verifica-se uma afetação da linearidade para temperaturas superiores a  $40^{\circ}C$ , ao passo que abaixo dessa temperatura a linearidade não é afetada pela tensão  $V_{in}$ . Para um melhor estudo foi criado o gráfico da Figura 3.15 onde fica mais fácil a análise da linearidade.

É apresentado o gráfico que diz respeito à variação que existe na tensão  $V_{Temp}$  ao longo das temperaturas, mais uma vez foi calculada a variação entre a temperatura atual e a anterior e assim criado o gráfico para comparação, sendo possível fazer

uma melhor análise e escolher a melhor tensão  $V_{in}$ . Quanto mais horizontal for a linha do gráfico, mais linear.



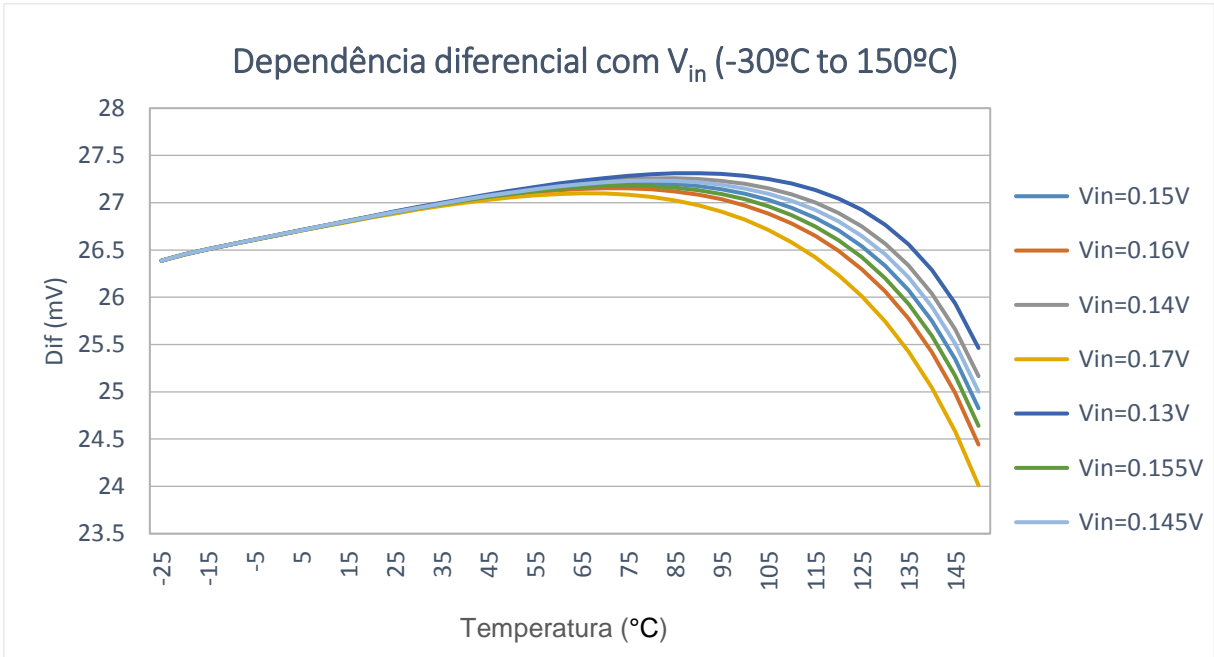
**Figura 3.15** - Gráfico para comparação da linearidade do 2N2P com diferentes valores de  $V_{in}$ .

As cores que representam cada um dos valores de  $V_{in}$  foram mantidas as mesmas que as da Figura 3.14 para que seja mais fácil analisar ambos. Tendo em conta o pior sinal a laranja, que na Figura 3.14 tinha uma ligeira curvatura, na Figura 3.15 essa curvatura é mais visível, o mesmo acontece com os outros sinais que pareciam lineares, no entanto, olhando mais ao pormenor nota-se que têm alguma não linearidade.

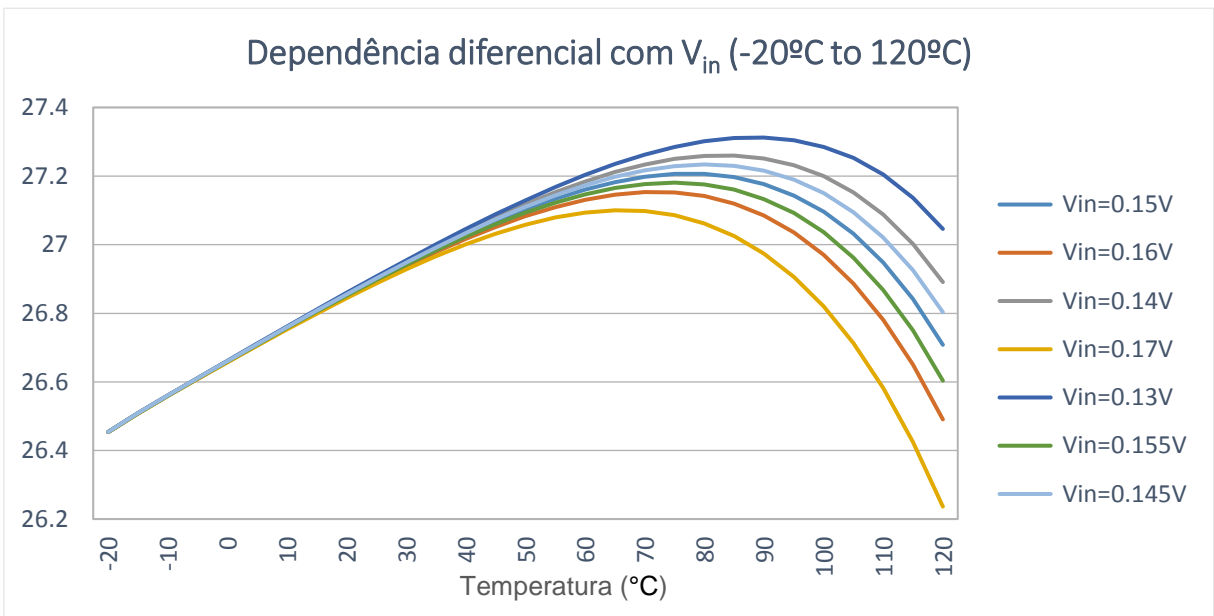
Tendo em conta estas duas figuras foi possível afirmar que a tensão  $V_{in}$  para a qual a tensão de saída  $V_{Temp}$  é mais linear foi  $V_{in} = 0.19V$ . Este foi então o caso que será utilizado mais a frente para comparação com as restantes configurações.

### 3.3.2.1.2 3N1P

Passando para a segunda configuração, em que são utilizados três NMOS e um PMOS, o valor de  $V_{Temp}$  para esta configuração oscilou entre 0.955V e 1.918V para temperaturas entre  $-30^{\circ}C$  e  $150^{\circ}C$ . Esta configuração apresentava assim uma grande variação da tensão, cerca de 963mV. Nas Figuras 3.16 e 3.17 são apresentados os diversos sinais relacionados com o estudo da linearidade desta configuração, em primeiro lugar para uma maior gama de temperaturas e depois para as temperaturas de interesse.



**Figura 3.16** - Gráfico para comparação da linearidade do 3N1P,  $\Delta T = -30^\circ\text{C}$  a  $150^\circ\text{C}$ .



**Figura 3.17** - Gráfico para comparação da linearidade do 3N1P,  $\Delta T = -20^\circ\text{C}$  a  $120^\circ\text{C}$ .

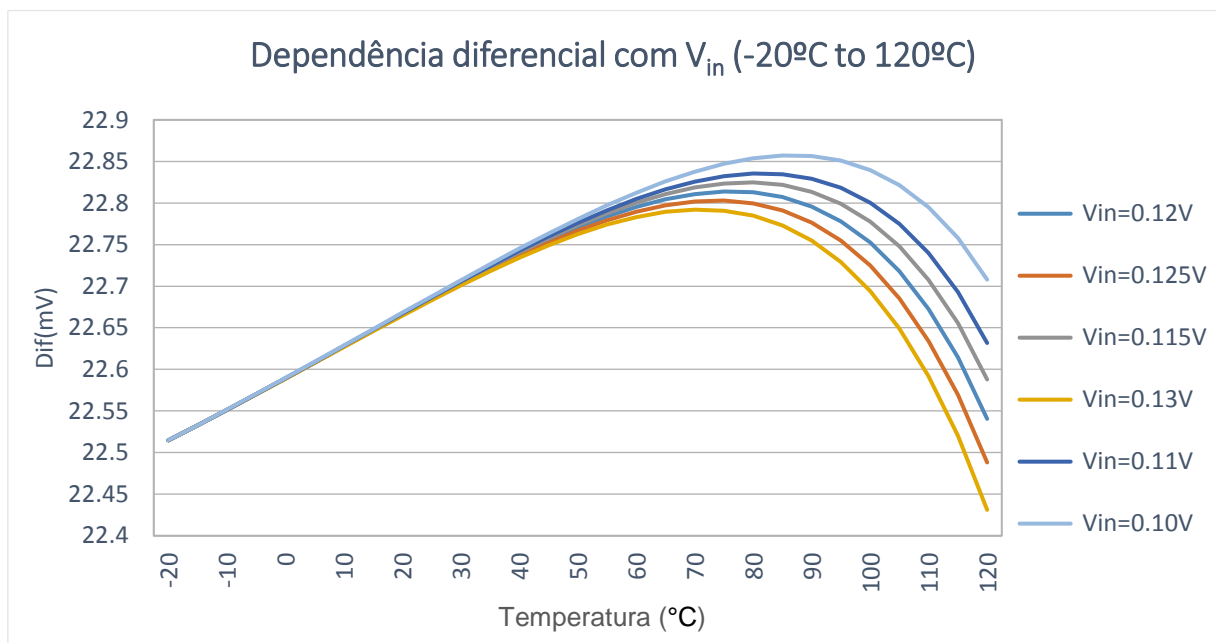
Esta configuração, em comparação com a configuração 2N2P, apresentava uma grande melhoria a nível da linearidade, sendo a variação máxima inferior a 1mV devido a não linearidades. Para esta configuração foi escolhida a tensão  $V_{in}$  igual a 160mV.

### 3.3.2.1.3 2N1P

Serão agora apresentados os valores obtidos para a última configuração. Esta configuração conta com dois MOSFET do tipo N e um do tipo P e a tensão de saída  $V_{Temp}$  apresentou uma variação de 813mV entre  $-30^\circ\text{C}$  e  $150^\circ\text{C}$  (1.488V para  $-30^\circ\text{C}$  e

2.301 para 150°C). Em termos de linearidade, como acontece em ambas as configurações anteriores existia uma não linearidade mais acentuada acima dos 120°C sendo que por esse motivo irá ser apenas apresentado o gráfico do estudo da linearidade para temperaturas entre os -20°C e os 120°C, Figura 3.18.

Para esta configuração, tendo em conta 6 diferentes valores de  $V_{in}$ , em termos de linearidade, obteve-se uma variação máxima de aproximadamente 0,5mV. Para o  $V_{in}$  escolhido, 120mV, essa variação fica reduzida a 0.3mV. Estes valores podem ser visualizados no gráfico da Figura 3.18 e de forma mais assertiva na Tabela 3.2 que será apresentada mais a frente quando for feita a comparação final entre as três configurações apresentadas.



**Figura 3.18** - Gráfico para comparação da linearidade do 2N1P.  $\Delta T = -20^\circ\text{C}$  a  $120^\circ\text{C}$ .

#### 3.3.2.1.4 Comparação final entre configurações.

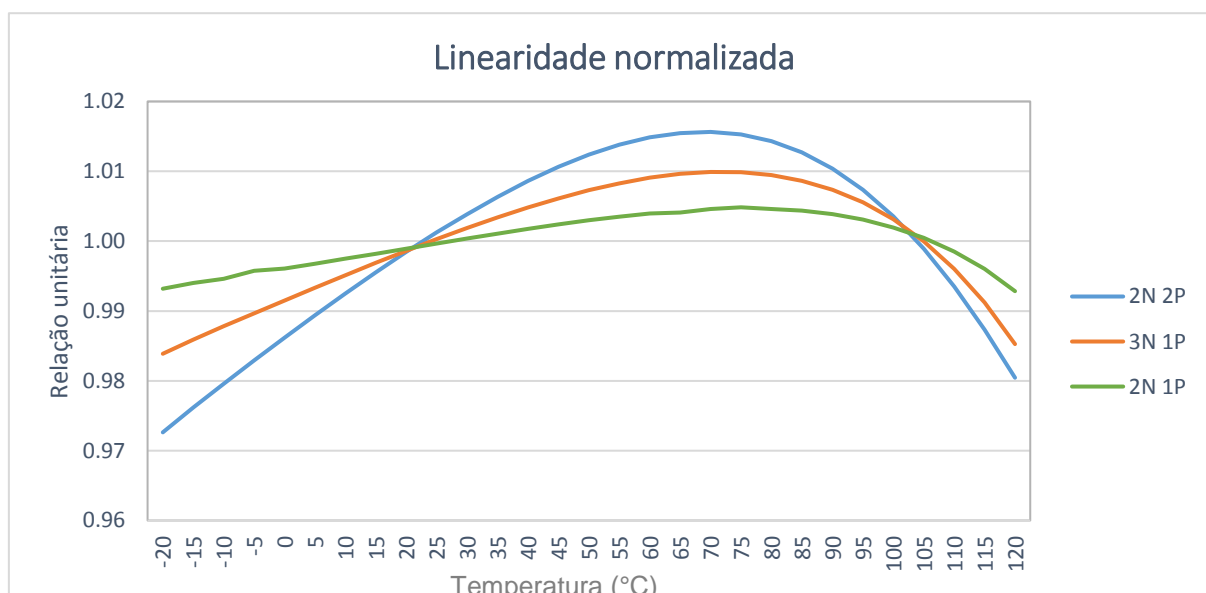
Uma vez escolhida a melhor tensão de  $V_{in}$  para as diversas configurações é tempo de fazer uma análise comparativa em termos da amplitude da reta, relação entre a tensão  $V_{Temp}$  e a temperatura, linearidade e erro máximo.

Na Tabela 3.2 são mostrados os resumos referentes às tabelas finais de cada configuração. Nestas tabelas encontram-se dados de grande relevância, diferença máxima em relação à temperatura anterior num intervalo de 5°C entre temperaturas, variação total obtida pela diferença entre  $V_{Temp}$  120°C e  $V_{Temp}$  -20°C, relação tensão/temperatura (mV/°C) e por último o erro associado às não linearidades.

**Tabela 3.2** - Tabela com resumo dos resultados finais para as três configurações.

2N 2P	3N 1P	2N 1P
<b>DADOS -20°C a 120°C</b>	<b>DADOS -20°C a 120°C</b>	<b>DADOS -20°C a 120°C</b>
Diff Máx Temp ant (mV)	Diff Máx Temp ant (mV)	Diff Máx Temp ant (mV)
1.3266	0.6999	0.2733
Variação Total (mV)	Variação Total (mV)	Variação Total (mV)
864.301	753.269	637.2137
mV/°C	mV/°C	mV/°C
6.173578571	5.380492857	4.551526429
<b>Erro (°C)</b>	<b>Erro (°C)</b>	<b>Erro (°C)</b>
0.042976694	0.026016204	0.012009158

Pela análise das três tabelas apresentadas é possível observar que, embora a amplitude da configuração 2N2P seja maior que as das restantes, resultando numa maior relação mV/°C, não é suficiente para se obter um baixo erro em °C. No caso da configuração 2N2P as não linearidades sobrepõem-se ao fato de se ter uma amplitude mais elevada. Este efeito pode ser melhor compreendido na Figura 3.19 em que é apresentado um gráfico com a normalização da diferença de  $V_{Temp}$  em relação à temperatura anterior. A normalização de cada configuração teve em conta o valor médio do mesmo dividindo a diferença de  $V_{Temp}$  pela média obtida.



**Figura 3.19** - Gráfico para comparação com linearidade normalizada,  $\Delta T = -20^\circ\text{C}$  a  $120^\circ\text{C}$ .

Este gráfico com a linearidade normalizada permite uma melhor e mais simples análise da linearidade entre as três configurações. Assim, e sem margem para dúvidas, quer através da Tabela 3.2 quer do gráfico da Figura 3.19 foi possível

concluir que a melhor configuração a nível geral de todos os parâmetros era a configuração 2N1P, que é apresentada na Figura 3.13 c).

### 3.4 Criação da Tensão $V_{Bias}$ para o Sensor de Temperatura

Para as simulações anteriores foram usados valores de  $V_{in}/V_{Bias}$  gerados por fontes de tensão ideais. No entanto, essas fontes de tensão não podem ser utilizadas (o sensor deverá ter apenas alimentação 3,3V e *Ground* como entradas), por este motivo foi necessário criar uma tensão  $V_{Bias}$  através de um pequeno circuito com baixa potência e com área reduzida.

Na Figura 3.20 é apresentado o esquema do circuito utilizado para a geração da tensão  $V_{Bias}$ . Este circuito é composto por resistências e dois MOSFET tipo P. Tipicamente os divisores resistivos são independentes da temperatura, assim com o intuito da tensão  $V_{Bias}$  ser o mais independente da temperatura possível foi utilizado um divisor resistivo [1].

Para uma saída de 0.12V e uma entrada de 3.3V, aplicando a equação do divisor resistivo, seriam necessárias duas resistências, assumindo uma de 100k $\Omega$  e outra de 2,65M $\Omega$  o que resultaria numa área excessivamente grande, sendo alternadamente limitada a corrente no divisor resistivo através de um espelho de corrente com PMOS.

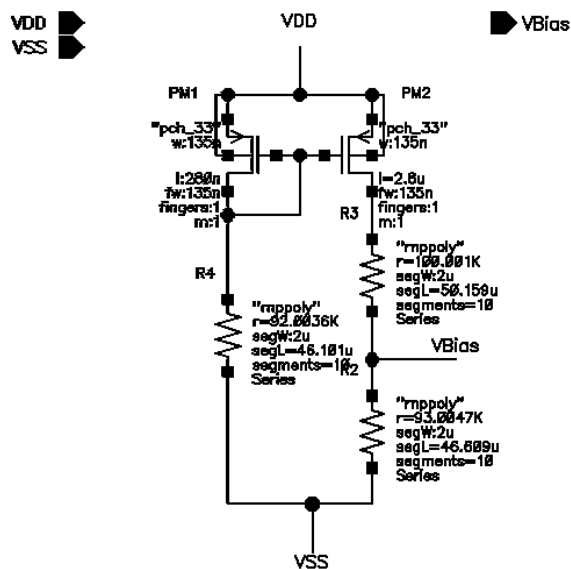


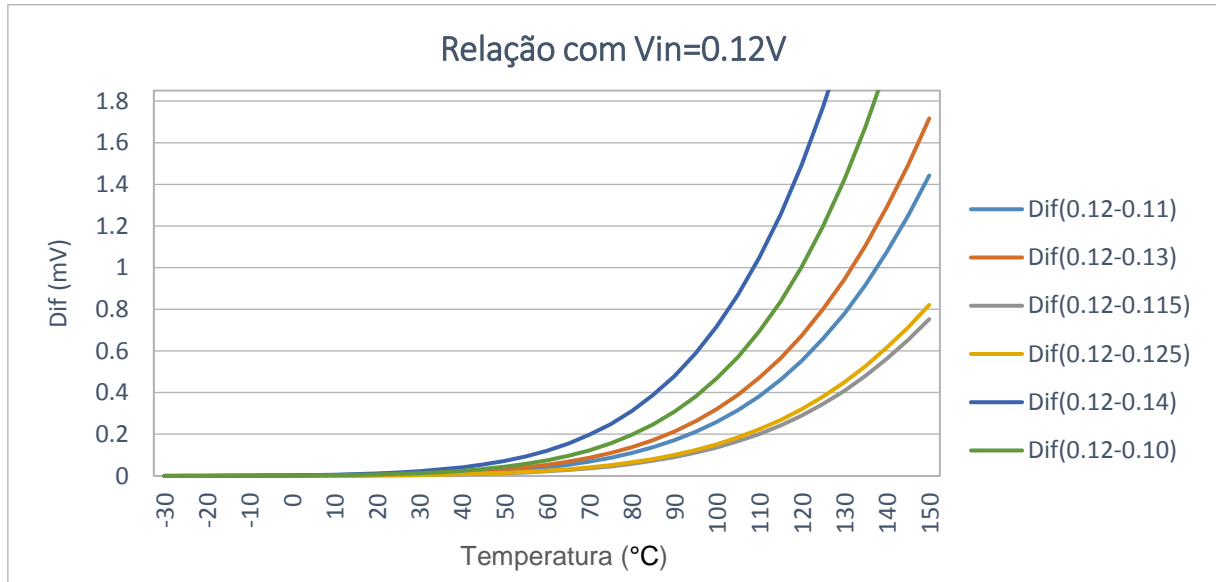
Figura 3.20 - Circuito utilizado para geração do  $V_{Bias}$ .

Ainda em relação à Figura 3.20, o ramo da esquerda permite a geração de uma corrente de referência para o ramo da direita. A corrente do ramo da direita era 1.3  $\mu$ A e correspondia a uma corrente dez vezes inferior à do ramo da esquerda,



permitindo assim que todas as resistências deste circuito fossem relativamente pequenas.

Na Figura 3.21 é mostrado um gráfico referente à comparação entre as várias tensões  $V_{in}$  ideais, utilizadas nos pré-testes da configuração final do sensor de temperatura.



**Figura 3.21** - Relação entre os diversos  $V_{in}$  testados e o  $V_{in}$  com melhores resultados.

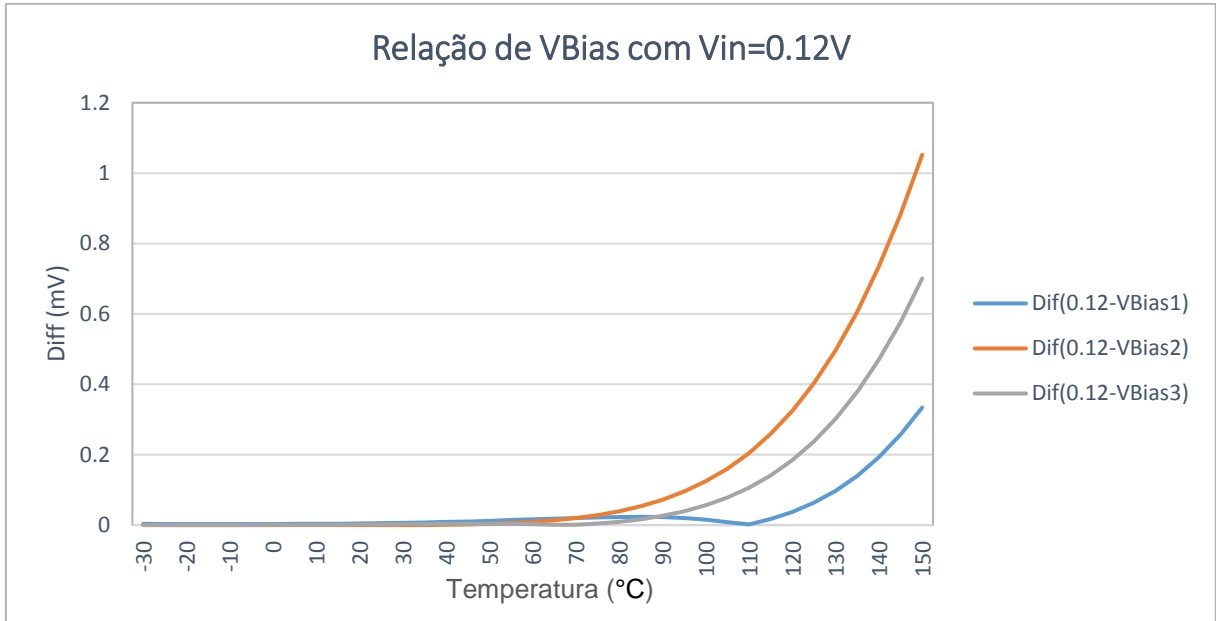
Tendo sido visto que os melhores resultados em termos de linearidade foram obtidos com um  $V_{in} = 120\text{mV}$  foi então comparada a diferença entre cada uma das restantes tensões e essa mesma tensão. O resultado é apresentado na Figura 3.21 e pode-se concluir que para temperaturas até aos  $40^\circ\text{C}$  a diferença pode ser desprezada. No entanto, para temperaturas mais altas a variação da tensão  $V_{in}$  é mais crítica, tendo uma variação exponencial.

Sabendo que tanto os PMOS como as resistências (embora o divisor resistivo seja independente da temperatura, o restante circuito não), são CTAT, e assim a corrente baixa com o aumento da temperatura baixando também a tensão. Foram feitas simulações alterando os valores das resistências para que a tensão  $V_{Bias}$  fosse o mais próxima dos  $120\text{mV}$  para as temperaturas mais altas. As resistências R3 e R4 mantiveram valores fixos, sendo R2 a resistência que foi variada.

Dos diversos valores que foram atribuídos a R2 os que apresentaram melhores resultados para serem comparados entre si foram:

- $R2=90\text{k}\Omega$ ,  $V_{Bias3}=[135\text{mV}-115\text{mV}]$
- $R2=92\text{k}\Omega$ ,  $V_{Bias2}=[138\text{mV}-117\text{mV}]$
- $R2=93\text{k}\Omega$ ,  $V_{Bias1}=[139\text{mV}-118\text{mV}]$

Estes resultados foram então comparados com o resultado obtido com a tensão ideal e podem ser observados na Figura 3.22.



**Figura 3.22** - Relação entre  $V_{Bias}$  gerado e  $V_{in}$  ideal de 120mV.

Como mostra a Figura 3.22 a configuração com melhores resultados quando comparada com a tensão ideal de 120mV é a configuração  $V_{Bias1}$  em que a diferença na saída do sensor de temperatura,  $V_{Temp}$ , foi de apenas 0,3mV. No que diz respeito a linearidade desta configuração final, foi feito um estudo análogo ao anterior e da mesma forma na Tabela 3.3 é apresentado o resultado no sensor de temperatura analógico final com o circuito de *Bias* incluído.

**Tabela 3.3** - Comparação da configuração Final 2N1P com  $V_{Bias}$  ideal e  $V_{Bias}$  gerado.

2N 1P	Final
<b>DADOS -20°C a 120°C</b>	<b>DADOS -20°C a 120°C</b>
<b>Diff Máx Temp ant (mV)</b>	<b>Diff Máx Temp ant (mV)</b>
0.2733	0.2658
<b>Varição Total (mV)</b>	<b>Varição Total (mV)</b>
637.2137	635.7374
mV/°C	mV/°C
4.551526429	4.540981429
<b>Erro (°C)</b>	<b>Erro (°C)</b>
0.012009158	0.01170672

Para concluir esta parte do trabalho foram criados blocos para o sensor de temperatura e para o circuito de geração do  $V_{Bias}$ , desta forma opteu-se um desenho simples com dois blocos interligados entre si por  $V_{Bias}$ , e alimentados por VDD e VSS. A única saída deste sistema era o  $V_{Temp}$ , que fornecia uma tensão proporcional à temperatura que posteriormente será convertido em um código digital de 10bits pela ADC. Todo este sistema tinha um consumo de aproximadamente 15 $\mu$ A de corrente fornecida pela fonte de tensão VDD.

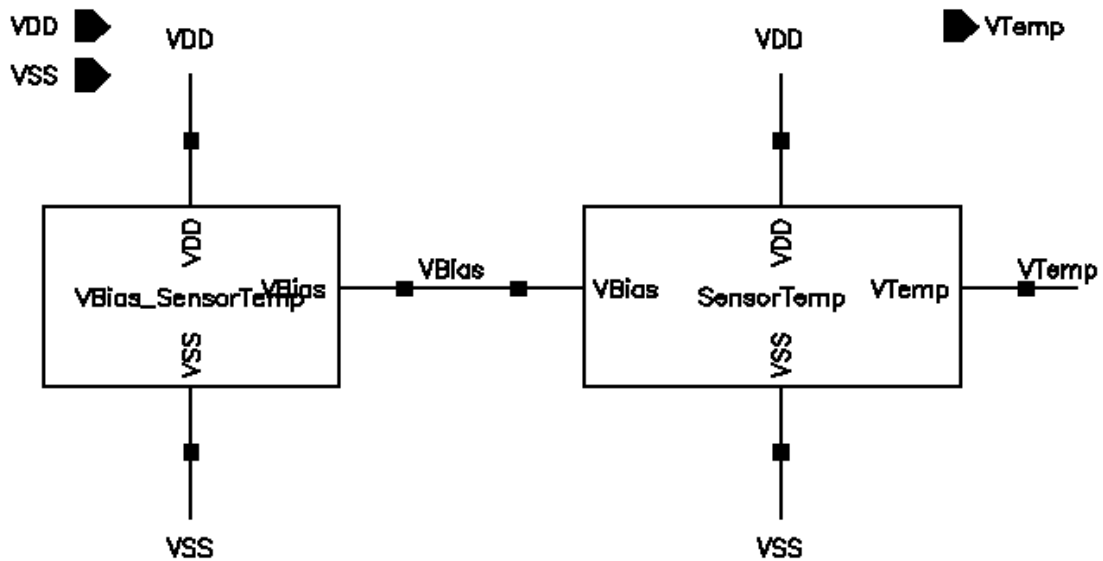


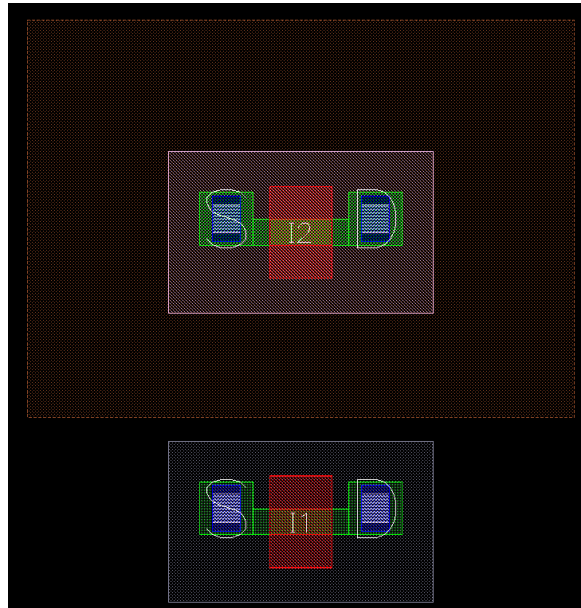
Figura 3.23 - Sensor de temperatura analógico final. Bloco da geração do *Bias* e bloco do sensor.

### 3.5 Layout do Sensor de Temperatura Final

Para realizar o *layout* houve a necessidade de compreender o funcionamento do mesmo, começando por circuitos simples como portas lógicas, INV e AND, e só posteriormente passar ao circuito pretendido. Dessa mesma forma serão apresentados esquemas de *layout* simples, começando com apenas um dispositivo, NMOS/PMOS, passando então para a porta lógica INV e AND.

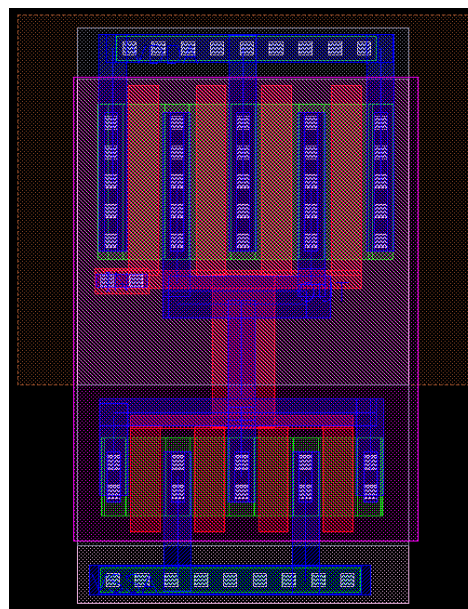
Na Figura 3.24 é mostrado o *layout* de um MOSFET tipo N e outro tipo P com todas as camadas (*Layers*), necessárias para o seu funcionamento. O desenho do PMOS encontra-se na parte superior da figura e o NMOS na parte inferior. Todos os dispositivos necessitam de uma área ativa (AA a verde), que define o *width* do canal e uma POLY que sobreposto à área ativa define o a *Length*. Para que seja criada uma ligação para essas camadas é necessário ter contactos (riscos brancos), entre o Metal1 (M1 a azul), e a camada que pode ser tanto AA ou POLY.

Para a construção do NMOS falta apenas o implante tipo N. No caso do PMOS existe a necessidade de, para além do implante tipo P, colocar uma camada de *N-well*. Todos os dispositivos precisam de uma ligação do *Bulk* (nos NMOS ligado a VSS e nos PMOS ligado a VDD), e o *Bulk* é constituído por uma camada de área ativa (AA) com contacto para M1 e tudo envolvido numa camada de implante do tipo contrário ao utilizado no dispositivo (no caso do NMOS o Bulk leva PSD e para o PMOS NSD). Uma vez que a tecnologia em questão permite a utilização de MOSFET para circuitos com alimentação de 3.3V ou de 1.5V, a diferenciação é feita através de uma camada LA aplicada aos dispositivos 3.3V, que define a espessura do óxido.



**Figura 3.24** - Layout NMOS e PMOS.

Sendo esta a base de construção dos MOSFET pode-se construir qualquer circuito, tendo sempre em atenção as distâncias e áreas mínimas para cada camada utilizada. Na Figura 3.25 é apresentado um circuito algo mais complexo, de forma a familiarizar com a ferramenta de desenho do *layout*. O circuito deste *layout* é o circuito inversor, com um PMOS e um NMOS em que a *gate* de ambos se encontra ligada à entrada.



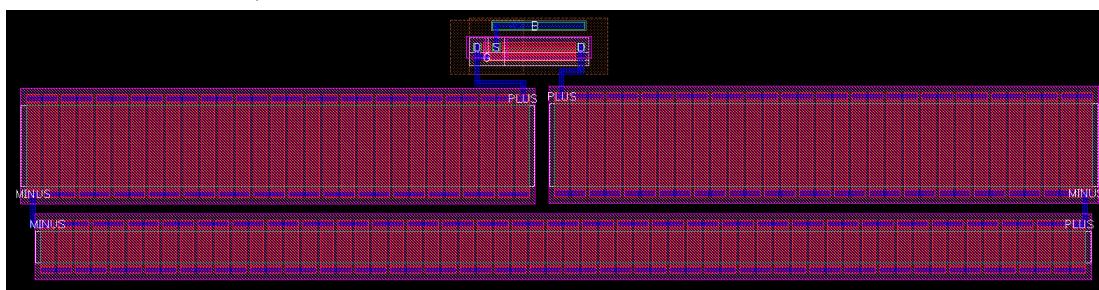
**Figura 3.25** - Layout de um inversor.

Ainda na Figura 3.25 com a NW a castanho na metade superior da figura, significa que nesse espaço se encontra o PMOS e na parte inferior o NMOS. No caso deste *layout* o PMOS foi dividido em 4 PMOS mais pequenos, ou seja, cada um dos PMOS tem na realidade apenas  $\frac{1}{4}$  da *width*, o que permite um melhor aproveitamento

da área. A camada POLY está ligada entre si pois representa a *gate* dos MOSFET e encontra-se ligada a M1. O NMOS, tal como os PMOS foi também dividido em quatro partes.

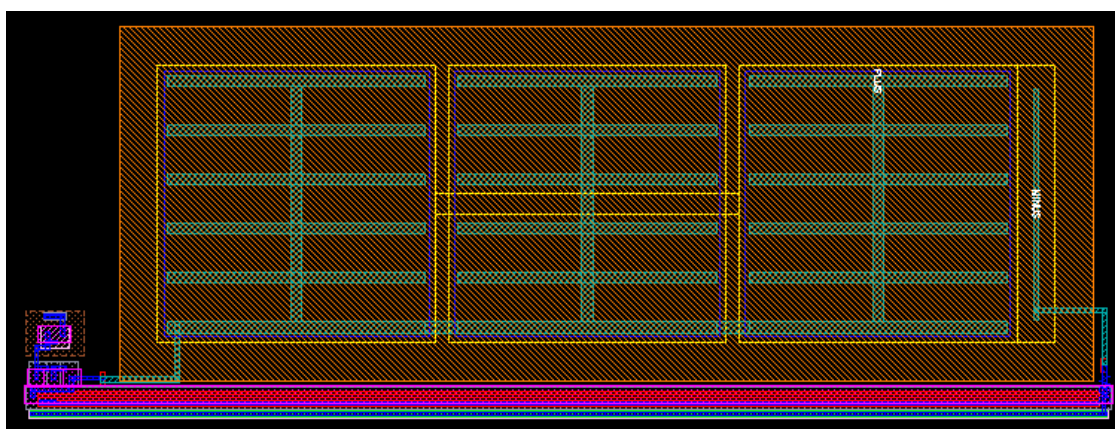
Na parte superior e na parte inferior encontram-se dois retângulos que são o *Bulk* dos MOSFET. Na parte superior, ligado a VDD para o PMOS, e na parte inferior, ligado a VSS para o NMOS.

Será agora apresentado o *layout* do Sensor de temperatura analógico, começando com o *layout* do circuito de geração do  $V_{Bias}$  e por último o *layout* referente ao circuito que gera o  $V_{Temp}$  proporcional à temperatura. Desta forma na Figura 3.26 é mostrado o *layout* do circuito da Figura 3.20 constituído por dois PMOS e três resistências. A construção da resistência consiste na utilização da POLY combinada com um implante do tipo P ou do tipo N, dependendo dos valores desejados, e leva ainda duas camadas, LDDDMY e RESIST.



**Figura 3.26** – *Layout* do circuito da Figura 3.20, circuito Bias do sensor.

Por fim, na Figura 3.27, é apresentado o *layout* do circuito da Figura 3.13 c). Na figura do circuito são apenas apresentados os MOSFETs, mas devido às interferências do restante circuito (referente ao ADC) existiu a necessidade de ser acrescentado um condensador. O condensador na Figura 3.27 é toda a área coberta pela cor laranja, sendo constituído por metal 2 (M2), e metal 3 (M3) com dielétrico entre os dois metais.



**Figura 3.27** - *Layout* do circuito da Figura 3.13 c), sensor de temperatura analógico sem *Bias*.

No canto inferior esquerdo e ao longo da parte inferior da Figura 3.27 encontram-se os MOSFET do circuito da Figura 3.13. O mais comprido ao longo da parte inferior é o NMOS com uma relação de  $0.135\mu\text{m}/50\mu\text{m}$ , e na sua *gate* será ligado o  $V_{\text{Bias}}$ .

Em termos de área, o circuito completo para deteção de temperatura com saída analógica (circuito sensor de temperatura com circuito de geração de  $V_{\text{Bias}}$ ), representa um espaço de  $1400\mu\text{m}^2$  e um consumo de potência de aproximadamente  $50\mu\text{W}$ .

## 4 Conversor Analógico-Digital

Neste capítulo será descrita a implementação do conversor Analógico-Digital, tendo em conta os passos seguidos e as opções tomadas, juntamente com a justificação para as mesmas.

No capítulo 2, secção 2.3, foram apresentadas diversas configurações de ADC. No entanto, algumas dessas configurações foram descartadas imediatamente devido às suas características não corresponderem ao que era pretendido para um sensor de temperatura. Assim, foi focada a atenção nas configurações de aproximações sucessivas, em rampa, substituindo a DAC por uma rampa.

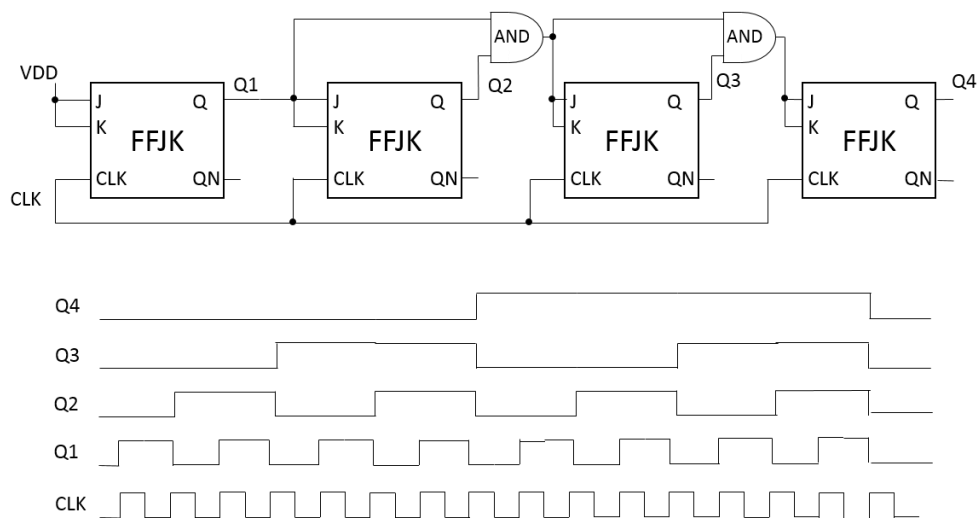
Foi também testada uma outra arquitetura, uma ADC em dupla rampa, no entanto com piores resultados. Essa arquitetura é apresentada no ponto 4.3 onde é apresentado o esquemático criado e as simulações efetuadas para a mesma, e que permitiram assim fazer a escolha acertada entre as duas arquiteturas.

Serão primeiramente apresentados aspetos comuns a ambas as configurações, como o desenvolvimento de um contador de 10 bits e de um amplificador 5T, que servirão de base para o comparador, e também para o seguidor de tensão (*Buffer*), caso exista necessidade de utilização do mesmo.

### 4.1 Contador de 10 Bits

Uma configuração simples e viável para um contador é através da utilização de Flip Flop do tipo JK (FFJK), em que será necessário utilizar um número de FFJK igual ao número de bits desejados.

Na Figura 4.1 é apresentado um esquema simples de um contador de 4bits, o que resulta em 16 níveis.



**Figura 4.1** - Esquema de um contador de 4 bits com diagrama temporal.

Como apresentado na Figura 4.2 cada FFJK tem uma saída, Q, e a respetiva saída negada, QN. Segundo a tabela de verdade dos FFJK, quando as entradas J e K se encontram com o valor lógico '1' o valor da saída, Q, troca o valor lógico presente na saída no ciclo anterior, permitindo assim a saída do primeiro FFJK estar constantemente a variar entre o '0' e o '1'. A saída de cada FFJK é representada também na Figura 4.2 em que Q1 é o bit menos significativo, LSB (Least Significant Bit), e o Q4 o bit mais significativo, MSB.

Caso seja pretendido que a contagem atinga um limite definido e de seguida seja reiniciada é necessário conectar a saída de cada FFJK numa única porta lógica AND com a combinação de bits desejado e utilizar a saída da porta lógica para efectuar o reset de todos os FFJK.

Para a tecnologia em questão, DongBu 130n, não existe disponível o FFJK, no entanto existe o FF tipo D que permite através de um pequeno circuito obter o FFJK pretendido. A Figura 4.2 apresenta o circuito referente ao FFJK utilizando como base o FFD.

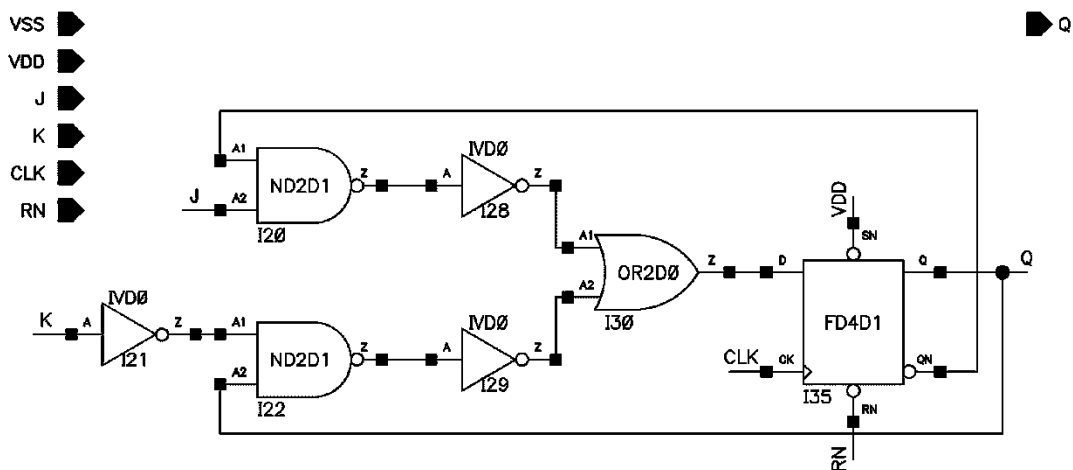


Figura 4.2 - Circuito do FFJK utilizando FFD.

Tendo em conta o circuito da figura 4.2, a equação de entrada do FFD é  $Q.N.J + \bar{K}.Q$ . Assim, através da criação de um bloco com o circuito da Figura 4.3 foi possível construir o contador de 10 bits, o que corresponde à utilização de 10 FFJK.

Desta forma, na Figura 4.3, é apresentada a configuração do contador, em que cada bloco FFJK representa o circuito da Figura 4.2.



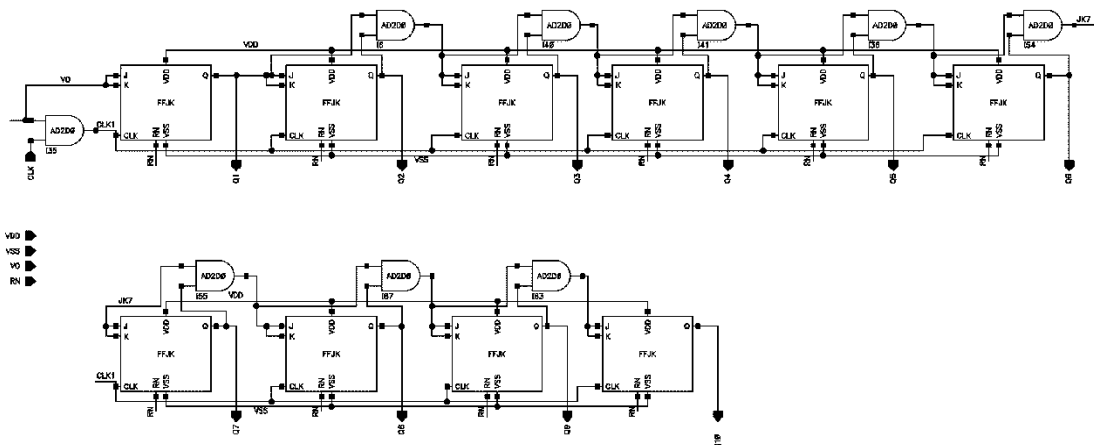


Figura 4.3 - Contador de 10 bits com FFJK.

Sendo Q1 o LSB e Q10 o MSB foi assim possível obter um contador que efectua a contagem entre 0 e 1023, ou seja, um contador de 1024 níveis ( $2^{10}$ ). O *reset* funcionava em lógica negada (quando o RESET era levado a '0' fazia o reset ao contador), e enquanto fosse '0' o contador permanecia parado independentemente dos restantes sinais. Quando o RESET transitava para '1' dá-se início à contagem de forma sequencial sempre que o CLK se encontra numa transição ascendente. Em relação a este bloco houve ainda a necessidade de adicionar uma porta lógica AND antes do CLK dos FFJK, tendo como objetivo parar a contagem, devido à falta de CLK, quando  $V_o$  transitava para '0' significando que ambas as entradas do comparador apresentavam o mesmo valor.

A Figura 4.4 mostra o símbolo que contém o esquemático resultante deste contador de 10 bits, este apresenta a alimentação, VDD e VSS, 3 entradas e 10 bits de saída.

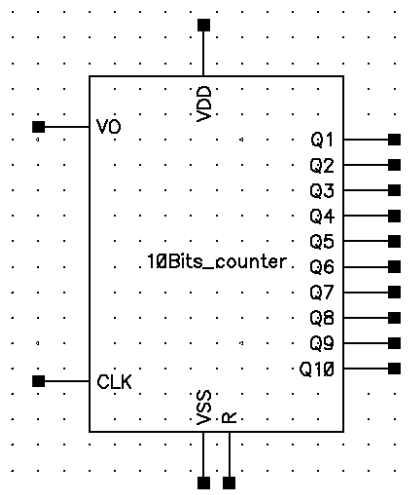
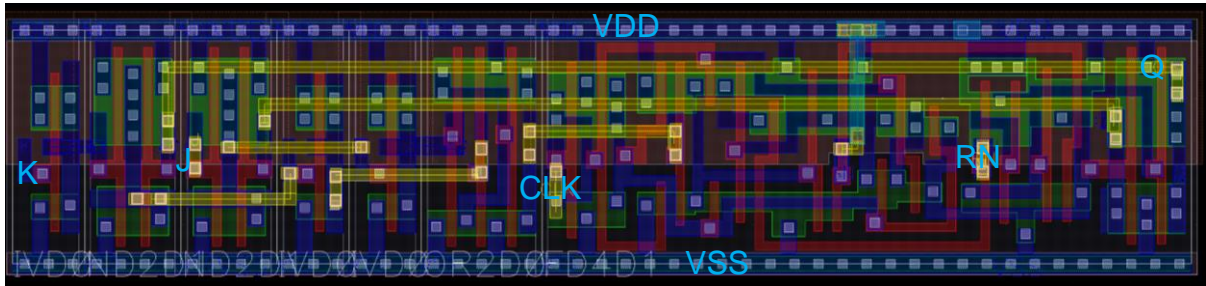


Figura 4.4 - Símbolo do contador de 10 bits.

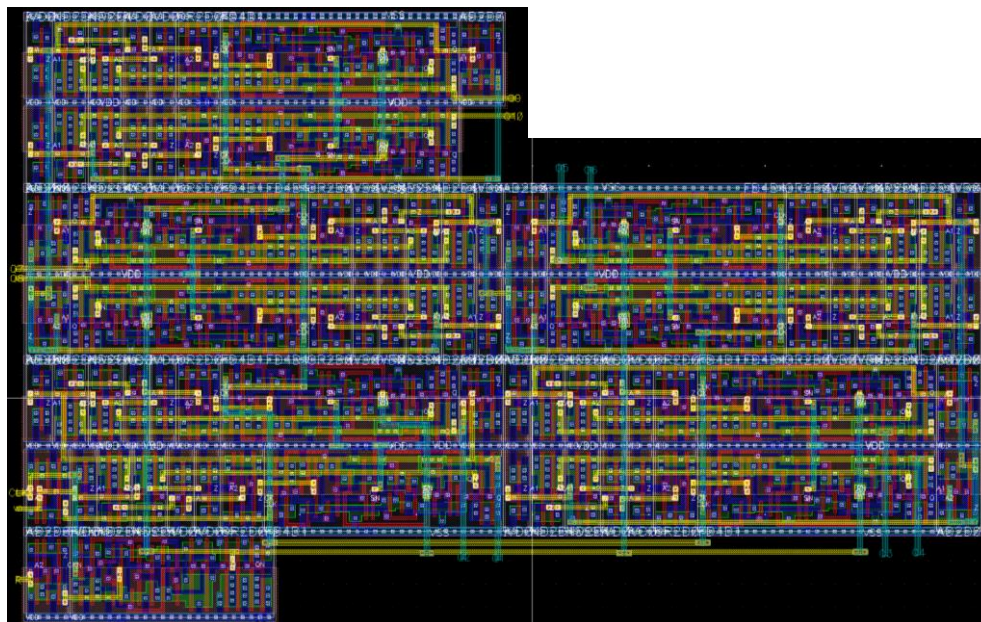
Na Figura 4.5, abaixo, é apresentada a representação do circuito da Figura 4.2, um FFJK usando um FFD, implementado no *layout*. Uma vez que os sinais de entrada e de saída não eram vivíveis foram acrescentados a azul na posição correspondente.



**Figura 4.5** - *Layout* do circuito apresentado na Figura 4.3.

Ainda na figura acima, a parte superior representa o *Bulk* dos PMOS, ligado a VDD, e a parte inferior representa o *Bulk* dos NMOS, ligado a VSS. Todos os blocos apresentados na Figura 4.2 são também aqui apresentados, estando ligados no *layout* de forma a criar um bloco de *layout* fácil de reutilizar e permite a ligação entre os diversos FFJK.

Na Figura 4.6 é apresentado o conjunto dos 10 FFJK utilizados para criar um contador de 10bits, que consistiu na união de 10 blocos do *layout* apresentado na Figura 4.5 com o acréscimo das portas lógicas AND, como mostra a Figura 4.3.



**Figura 4.6** - *Layout* do contador de 10 bits apresentado na Figura 4.3.

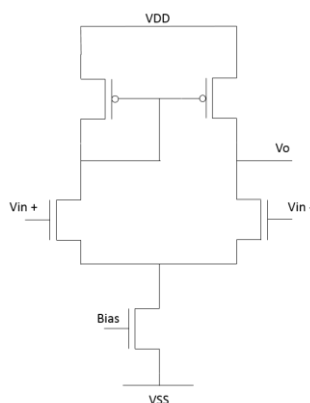
Uma vez que o *layout* deste circuito apresenta alguma complexidade as saídas e entradas do mesmo foram colocadas nas extremidades deste bloco de *Layout*. No canto inferior esquerdo encontram-se as entradas CLK, R, e VOUT, sendo estes os sinais que controlam o contador, nomeadamente o instante de início e de paragem e

o Reset do valor do contador, dado pelo sinal R. As saídas desde Q1 a Q10 estão distribuídas à volta do bloco, permitindo numa fase seguinte o acesso as mesmas.

## 4.2 Comparador

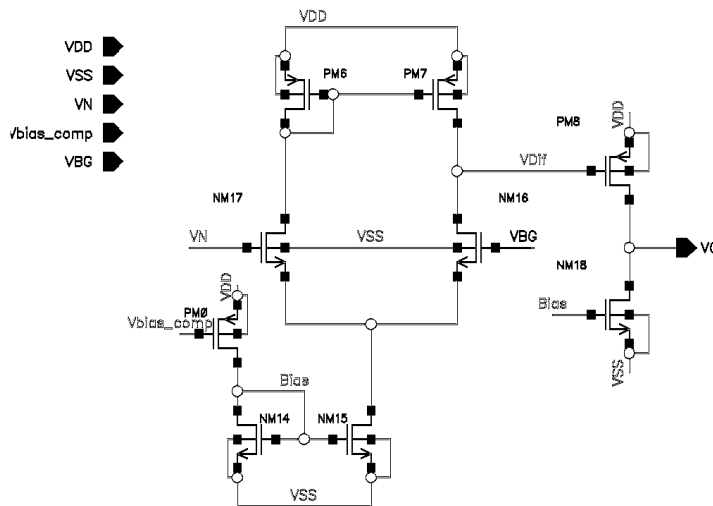
Uma configuração básica de um comparador pode ser obtida utilizando o amplificador 5T. A Figura 4.7 apresenta o esquema do amplificador 5T que pode ser utilizado como comparador básico.

Pode-se notar que o nome 5T deriva do facto de serem utilizados apenas 5 transístores e ainda assim se obter um amplificador com um ganho máximo até aos 50 dB. Na parte superior do circuito visualizam-se dois transístores PMOS ligados na configuração espelho de corrente, de forma a replicar a corrente existente no ramo da esquerda para o ramo da direita. O par diferencial é composto por dois transístores NMOS, sendo a *gate* do NMOS da esquerda a entrada positiva do amplificador e a *gate* do NMOS da direita a entrada negativa. Ambas as *source* do par diferencial são ligadas a um último NMOS que limita a corrente no restante circuito, permitindo que todos os transístores se mantenham na saturação, dentro dos parâmetros pretendidos (uma vez que as tensões de alimentação são 3.3V e 0V a tensão de entrada do par diferencial do amplificador vai estar limitada inferiormente pela tensão na *source* a somar com a tensão de *Threshold* sendo este um requerimento para que o mesmo se mantenha na saturação).



**Figura 4.7** - Esquema do amplificador 5T.

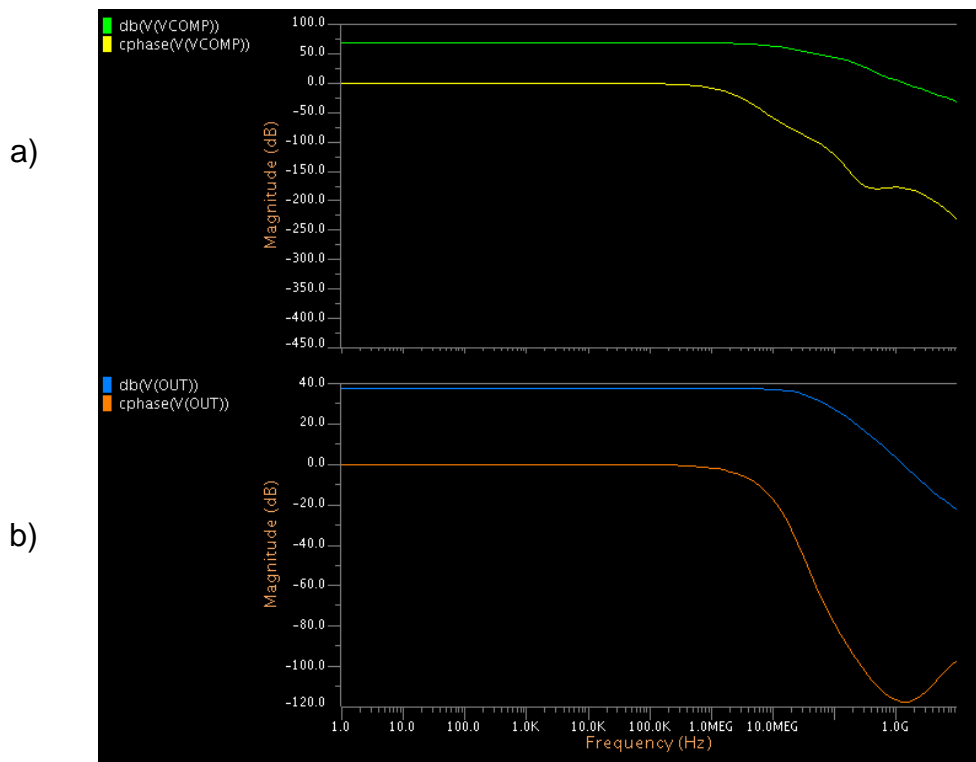
Uma vez que na funcionalidade de comparador o amplificador deve ter um ganho elevado, foi optado pela utilização de um amplificador de duplo estágio. A Figura 4.8 apresenta assim o esquema do circuito amplificador de duplo estágio utilizado para o comparador da ADC.



**Figura 4.8** - Circuito amplificador de duplo estágio.

Tendo como base o amplificador 5T, esta configuração apresenta um segundo estágio que aumentava consideravelmente o ganho do amplificador, sendo composto por um PMOS e um NMOS.

De forma a facilitar a escolha entre a utilização do amplificador 5T e o amplificador de duplo estágio foram feitas simulações AC, para se poder determinar o ganho e a margem de fase para cada um dos amplificadores. A Figura 4.9 apresenta o resultado dessas simulações contendo o ganho e a fase para ambas as configurações.



**Figura 4.9** - Simulação AC do amplificador de duplo estágio (a) e do amplificador 5T (b).

Pela análise da Figura 4.9 é possível concluir que embora semelhantes no que diz respeito à fase, estas duas configurações tinham valores de ganho bem distintos: aproximadamente 40dB para o 5T e aproximadamente 75dB para o amplificador de duplo estágio.

De forma a se obter uma saída com variações bem definidas entre 0V e 3.3V (digital), foram adicionados dois inversores, Figura 4.10, obtendo-se uma resposta mais rápida na saída, e permitindo assim desativar o contador logo após as duas entradas do comparador se situarem ao mesmo potencial.

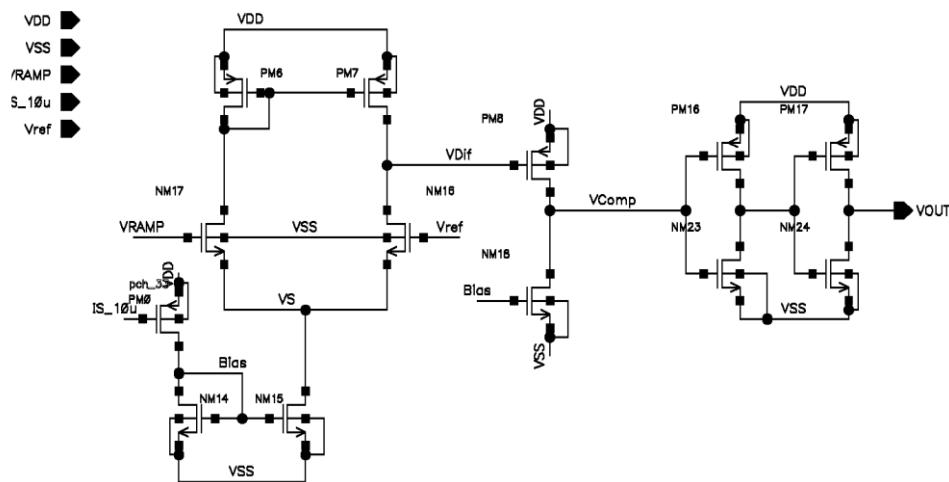


Figura 4.10 - Esquema final para o comparador utilizado na ADC.

### 4.3 ADC em Dupla Rampa

Em paralelo à ADC em Rampa foi feito o estudo da ADC em Dupla Rampa, capítulo 2.3.4, e uma vez que apresentava vantagens, nomeadamente em termos de resolução e precisão, tendo sido feita a implementação em simulação.

A Figura 4.11 mostra o esquema básico da ADC em Dupla Rampa, igual ao apresentado na Figura 2.19.

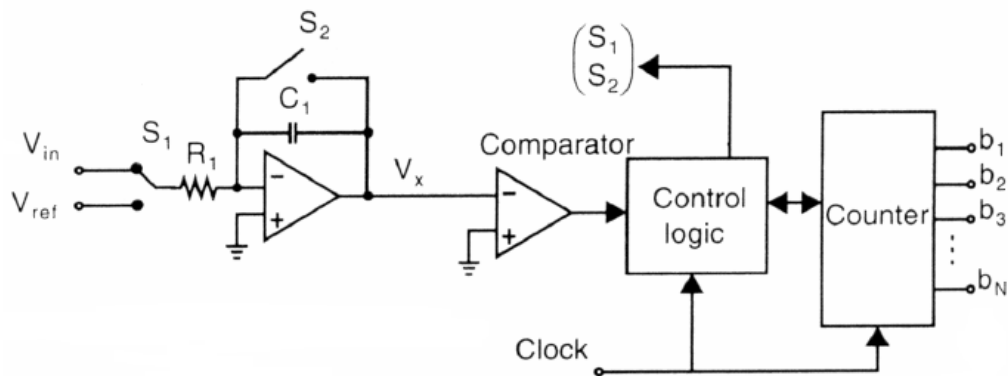


Figura 4.11 - ADC de dupla rampa, esquema básico [12].

Como esta arquitetura necessita de um comparador e de um contador, à semelhança da ADC em Rampa foram utilizados os mesmos blocos das Figura 4.10 e Figura 4.3, respetivamente.

No que respeita ao bloco do integrador, este pode ser construído através de um amplificador operacional como a configuração apresentada na Figura 4.10, pelo que foi adaptado um amplificador operacional da Figura 4.12.

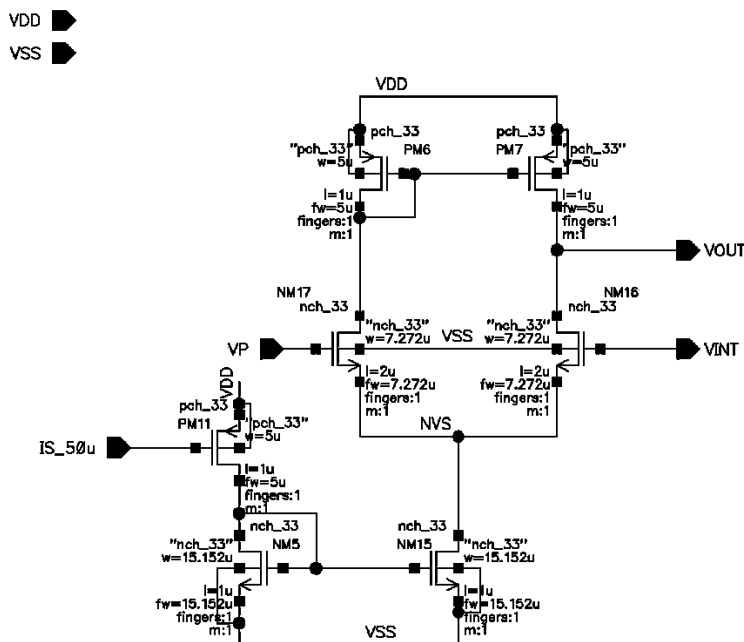


Figura 4.12 - Amplificador operacional utilizado para o integrador.

A Figura 4.13 apresenta o circuito integrador.

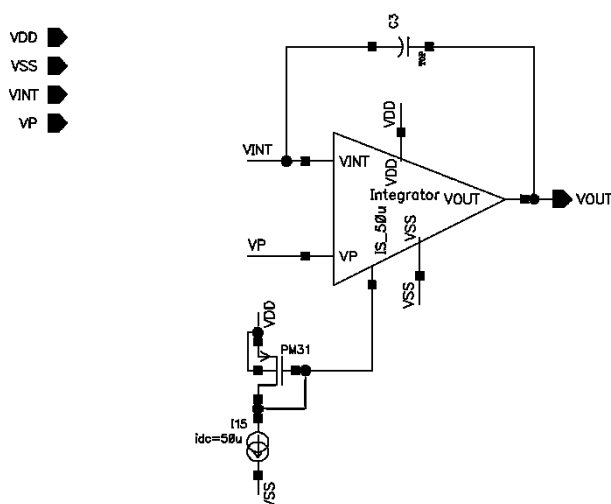


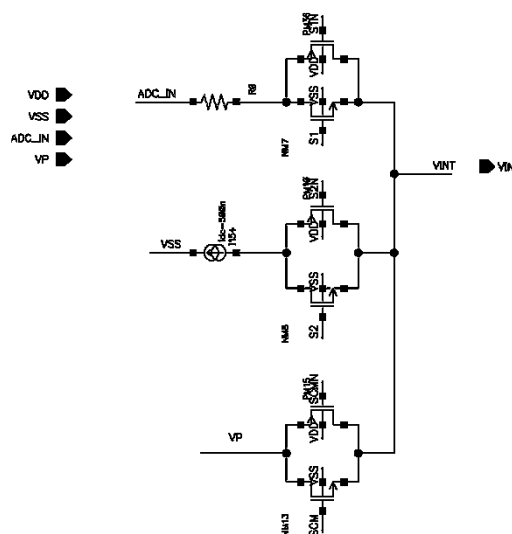
Figura 4.13 - Integrador utilizado na ADC em Dupla Rampa.

A alimentação dos circuitos, era de 0V e 3.3V. Na Figura 4.11, o esquema básico apresenta as ligações com utilização da alimentação com valor médio 0V. Desta forma, e com o intuito de obter o valor médio à saída do integrador para fazer o armazenamento dessa tensão numa capacidade e numa segunda fase da conversão poder ser utilizada.

Para obter essa tensão média à saída do integrador, e visto que os amplificadores operacionais possuem um *offset*, foi colocado o mesmo sinal em ambas as entradas do integrador, VP, que após um tempo definido era desligado por um interruptor.

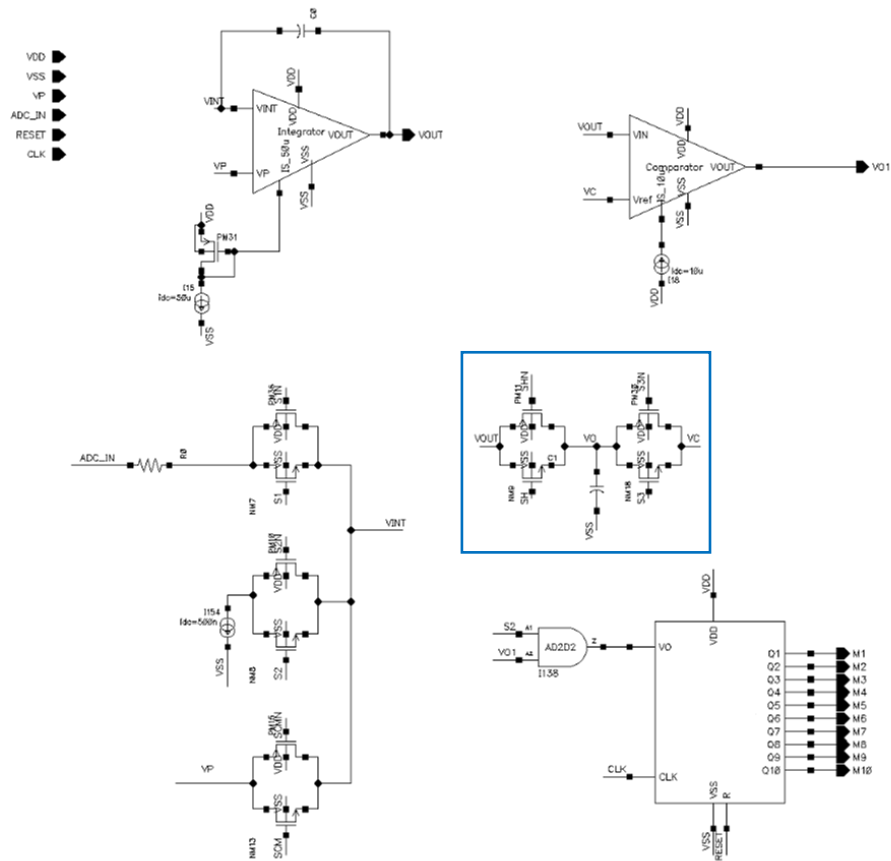
Uma das entradas do integrador (entrada positiva) foi ligada a uma tensão de referência  $V_P$  e a outra entrada (entrada negativa), era variável entre 3 casos. O primeiro caso para garantir o valor médio com *offset* do integrador quando ambas entradas se encontram ligadas a  $V_P$ . No Segundo caso é dado início à primeira fase em que o valor analógico é colocado na entrada do integrador, criando uma rampa cujo declive é dependente do valor a converter. Na segunda fase é ligada uma tensão de referência à entrada do integrador, e como esta tensão será igual para todos os casos, ao contrário do que acontece com o valor analógico, o declive da segunda rampa será constante para todas as conversões, variando o tempo que a mesma demora a chegar ao valor guardado na capacidade.

A Figura 4.14 mostra estas ligações para o controlo da segunda entrada do integrador. No caso da tensão ADC\_IN foi utilizada uma resistência para criar uma corrente proporcional à tensão. Já para a segunda fase da conversão, em modo ideal, foi utilizada uma fonte de corrente de forma a obter-se o declive constante. A terceira tensão é  $V_P$  que iguala ambas as entradas do integrador obtendo assim o valor médio do mesmo.



**Figura 4.14** - Três sinais ligados à segunda entrada do integrador.

Na Figura 4.15 é apresentado o esquemático obtido até ao momento: o integrador, o comparador, o contador (no canto inferior direito), os interruptores para seleção da tensão  $V_{INT}$  (segunda entrada do integrador), e por fim no retângulo azul, são apresentados os interruptores para o *sample and hold* da tensão média à saída do integrador quando as entradas do mesmo são iguais.



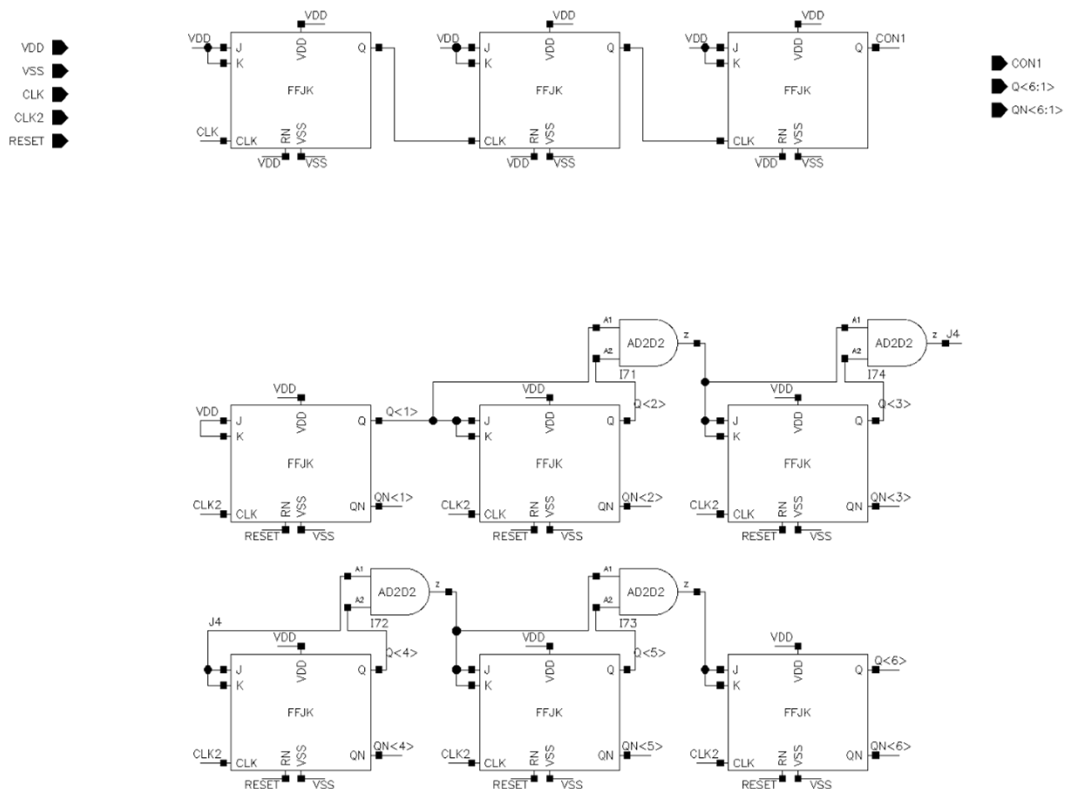
**Figura 4.15** - ADC em Dupla Rampa, esquemático.

Uma das desvantagens desta arquitetura é a complexidade da mesma, sendo necessário um bloco de controlo de forma a conseguir que a mesma funcione corretamente. Desta forma, e visto que o esquemático apresentado em 4.15 necessita de pelo menos 5 sinais de controlo para os interruptores, foi implementado esse mesmo circuito.

De forma a facilitar a compreensão será feita a divisão da conversão desta arquitetura em duas fases: a primeira fase corresponde à obtenção da primeira rampa sendo que o tempo dado a essa rampa é fixo, permitindo dessa forma que a tensão final após a mesma seja dependente do valor de  $ADC\_IN$ ; a segunda fase consiste em obter a segunda rampa, em sentido oposto à primeira, com declive constante, medindo-se o tempo necessário para que a segunda rampa atinja o valor no qual a primeira rampa começou.



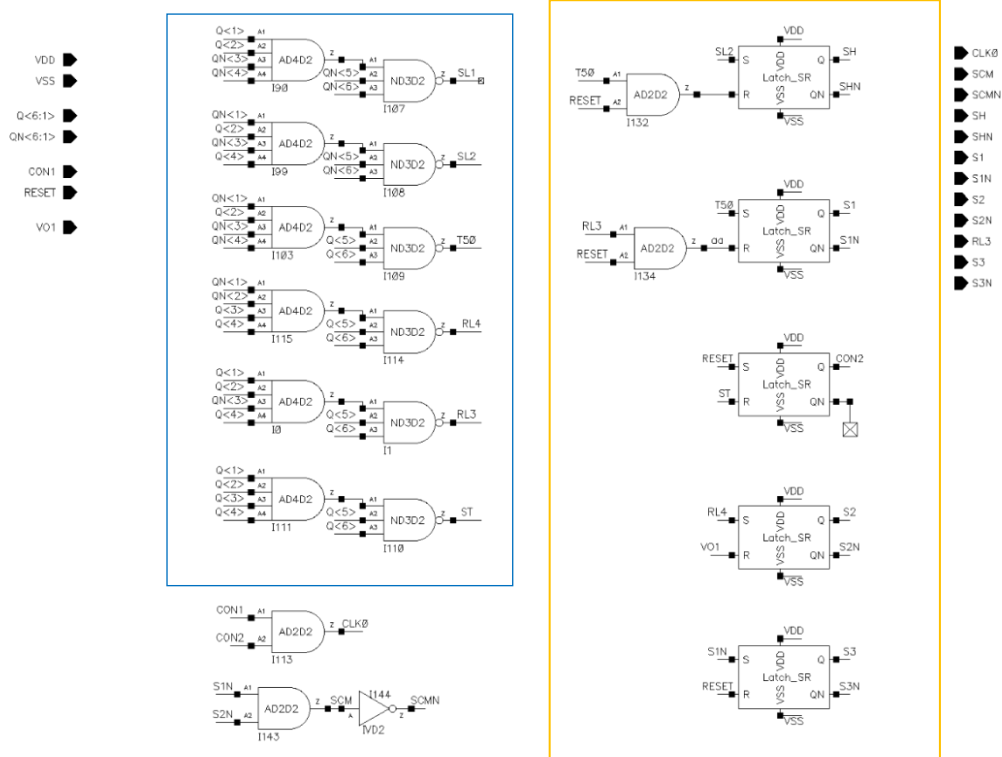
A primeira fase da conversão é mais lenta que a segunda, e por isso optou-se por dividir o sinal de relógio principal por oito, obtendo-se um sinal de relógio oito vezes mais lento. Construiu-se um novo contador para serem controlados os tempos em que os interruptores estavam ativos, sendo este contador de 6bits, apenas contando até 63. A divisão do sinal de relógio e o contador extra podem ser visualizados na Figura 4.16.



**Figura 4.16** - Divisor de relógio e contador para controlo da primeira fase.

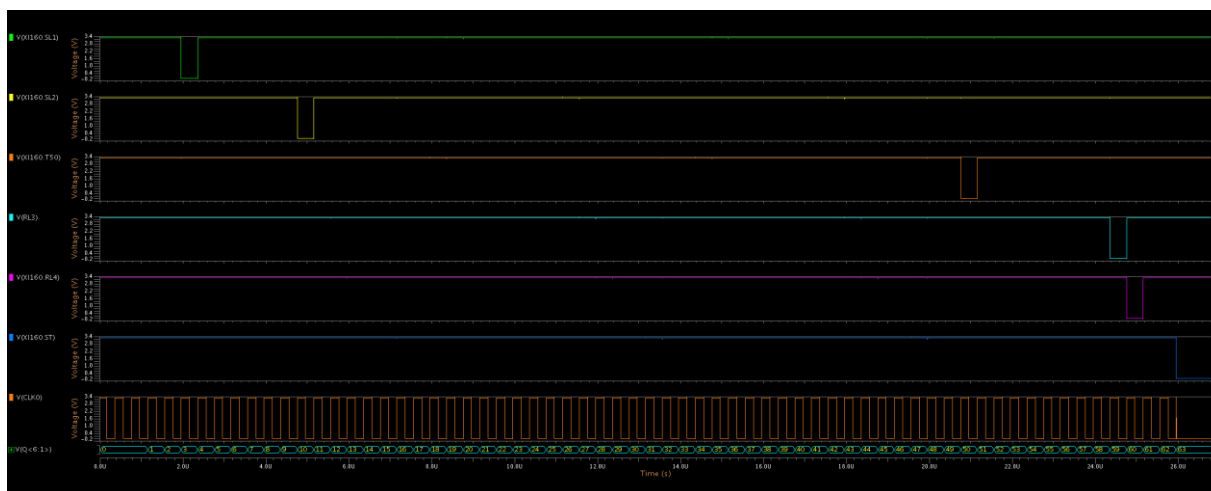
Com os sinais Q <6:1> e QN <6:1> à saída do contador (sendo o Q6 o MSB), procedeu-se à implementação do bloco de controlo. Esse bloco é apresentado na Figura 4.17.

No retângulo azul são apresentadas as portas lógicas responsáveis pelo controlo temporal. As entradas destas portas são as saídas do contador apresentado na Figura 4.16, e dependendo do valor à saída do contador serão ativados ou desativados os sinais SL1, SL2, T50, RL4 e RL3. Quando o contador atinge o valor 63 o sinal ST é desativado.



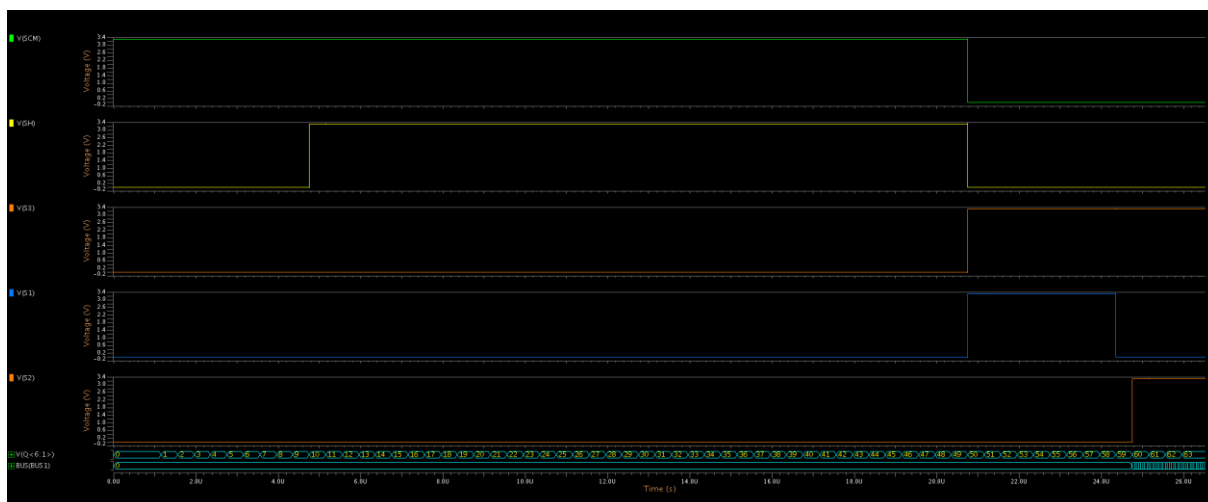
**Figura 4.17** - Controlo da ADC em Dupla Rampa.

A Figura 4.18 mostra os sinais acima descritos e a respetiva variação com o valor do contador. De referir que estes sinais são utilizados para ativar ou desativar os interruptores da ADC em Dupla Rampa.



**Figura 4.18** - Simulação do bloco de controlo. Diagrama temporal dependendo do valor do contador.

Com os sinais acima, Figura 4.18, e utilizando *Latches* SR, foram obtidos os sinais de controlo dos interruptores. Essas *Latches* SR e as respetivas ligações encontram-se dentro do retângulo laranja da Figura 4.17. Na Figura 4.19 são apresentados os sinais de controlo.



**Figura 4.19** - Diagrama temporal dos sinais de controlo.

Começando pelo sinal SCM, este é o responsável pelo interruptor que liga a entrada negativa do integrador ao mesmo potencial que o primeiro, garantindo assim o valor médio com *offset* à saída deste. Este processo ocorre no início da conversão sendo o primeiro passo, e é importante que todos os restantes interruptores se encontrem desligados. O sinal SH, que controla a passagem do valor médio com *offset* à saída do integrador para a capacidade, fazendo o *sample and hold*, liga após o sinal SL2 transitar para '0', isto ocorre quando o contador atinge ao valor 9, desligando quando o contador atinge o valor 50 (sinal T50, sinal a laranja na Figura 4.18 transitando a zero), fazendo *reset* à *Latch* (SH a nível zero).

Mantendo o sinal SCM ligado durante algum tempo, permitindo que a saída do integrador estabilize, e uma vez armazenada essa tensão na capacidade passamos ao passo seguinte. Esse passo consiste em desligar ambos os sinais anteriores, SCM e SH, e liga S1 e S3 que são responsáveis por ativar a passagem do sinal ADC\_IN para a entrada do integrador, permitindo a passagem da tensão na capacidade de *sample and hold* para o comparador, respetivamente.

Desta forma inicia-se a primeira fase da conversão, onde é criada a primeira rampa durante um tempo definido, iniciando com T50 (valor decimal 50), terminando com o sinal RL3, correspondendo ao valor decimal 59 no contador. Como o tempo é fixo, o valor final da primeira rampa irá depender do valor de ADC\_IN.

Finalmente S1 é desativado, fazendo a primeira rampa parar após um ciclo de relógio, ativado o sinal S2, ligando a fonte de corrente ideal à entrada do integrador, criando assim, a segunda rampa com um declive fixo e uma duração indeterminada. S2 só é desligado quando o valor da segunda rampa atinge o valor que foi armazenado na capacidade de *sample and hold* ( $V_0$ ), terminado então a conversão. O contador da ADC, com 10 bits, inicia a sua contagem quando S2 é ativado terminando quando o mesmo sinal passa a zero, significando que a segunda rampa atingiu o valor de  $V_0$ . O valor digital final encontra-se assim no contador da ADC.

Na Figura 4.20 é apresentado o esquemático final referente à ADC em Dupla Rampa, contendo todos os componentes descritos neste capítulo.

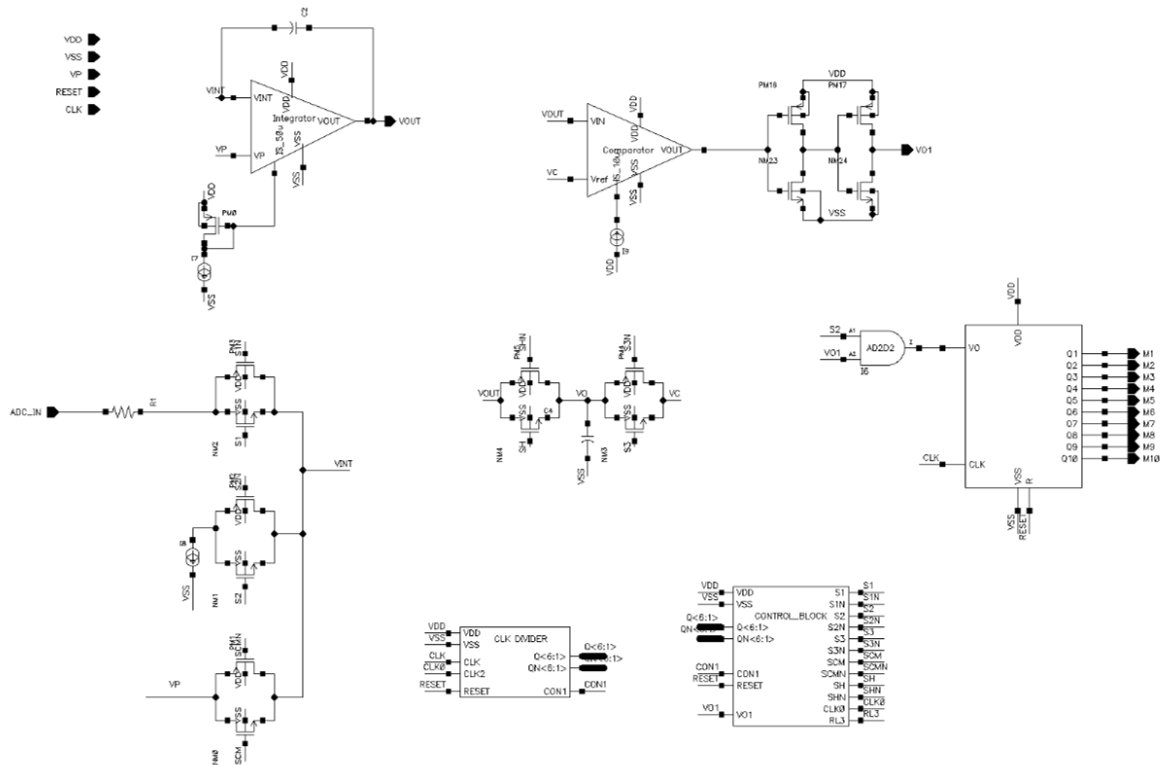
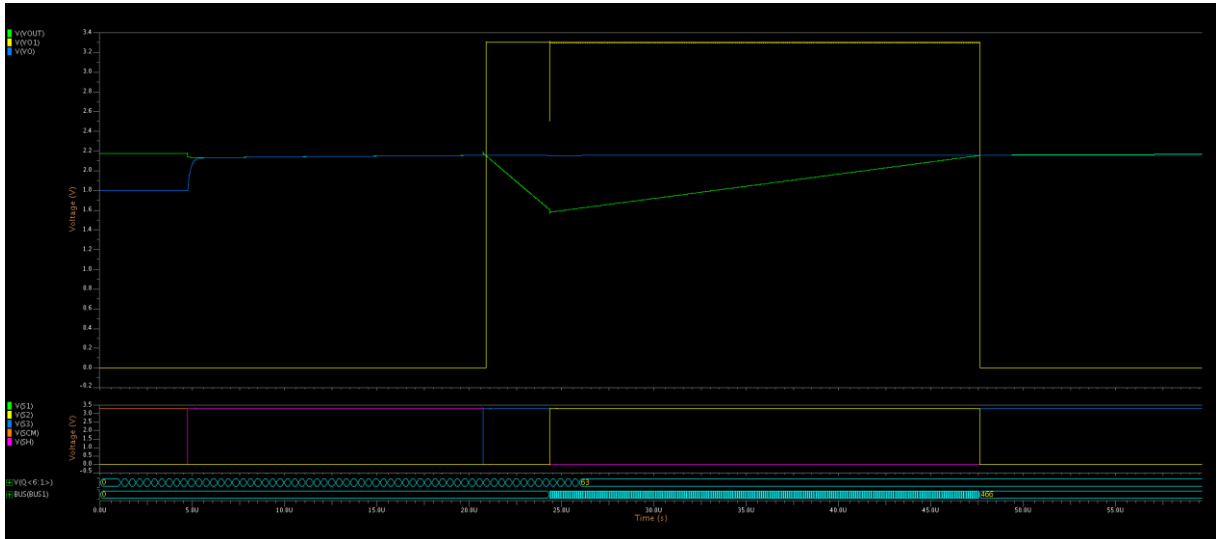


Figura 4.20 - Esquemático final da ADC em Dupla Rampa.

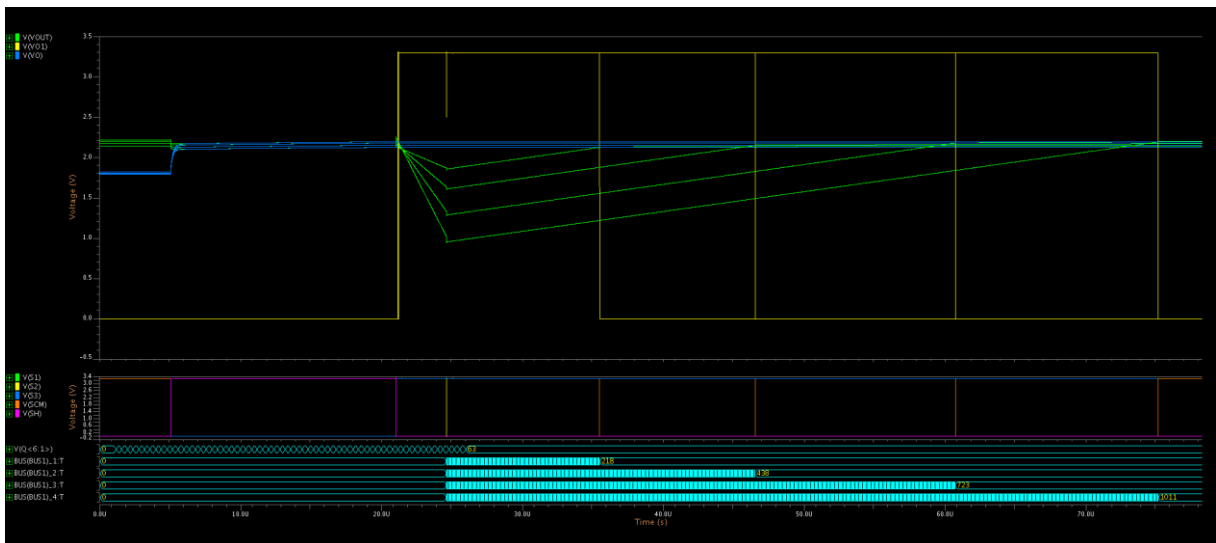
De forma a comprovar o correto funcionamento desta arquitetura a Figura 4.21 mostra os valores da simulação para apenas uma temperatura, mostrando as fases da conversão e o modo de operação. Na Figura 4.22 é apresentada a mesma simulação para várias temperaturas ( $-20^{\circ}C$ ,  $20^{\circ}C$ ,  $70^{\circ}C$  e  $120^{\circ}C$ ).

Em ambas as figuras que se seguem são apresentados os sinais mais relevantes desta arquitetura: a azul no gráfico superior é apresentado o valor da tensão na capacidade de *sample and hold*, servindo de referência para o comparador; o sinal amarelo representa a decisão do comparador quando a saída do integrador atinge o valor da tensão na capacidade; a verde é representada a tensão à saída do integrador, sendo possível observar ambas as retas por este criadas. Na parte inferior das figuras são mostrados os sinais de controlo e as saídas digitais representadas em valor decimal ( $M<10:1>$  e  $Q<6:1>$ ).



**Figura 4.21** - Simulação da ADC em Dupla Rampa (Temperatura de simulação 25°C).

Na Figura 4.22 foi utilizado o sensor de temperatura apresentado no capítulo 3, obtendo assim uma tensão diferente para cada temperatura simulando a -20°C, 20°C, 70°C e 120°C.



**Figura 4.22** - Simulação da ADC em Dupla Rampa (temperatura -20°C, 20°C, 70°C e 120°C).

Uma das vantagens na utilização desta arquitetura é o fato de que mesmo que a tensão de referência apresentasse variações estas eram minimizadas, uma vez que o integrador no estado inicial contém a mesma tensão em ambas as entradas, sendo o *common mode* a tensão de maior relevância.

A desvantagem que acabou por ditar a utilização da ADC em Rampa ao invés desta arquitetura, foi o fato de esta arquitetura apresentar uma maior complexidade. No caso deste trabalho, havia o requisito de área reduzida e com esta arquitetura isso não era possível, pois além de toda a eletrônica necessária para o controle do sistema era necessário o uso de capacidades elevadas, na ordem dos 20pF, ao passo que

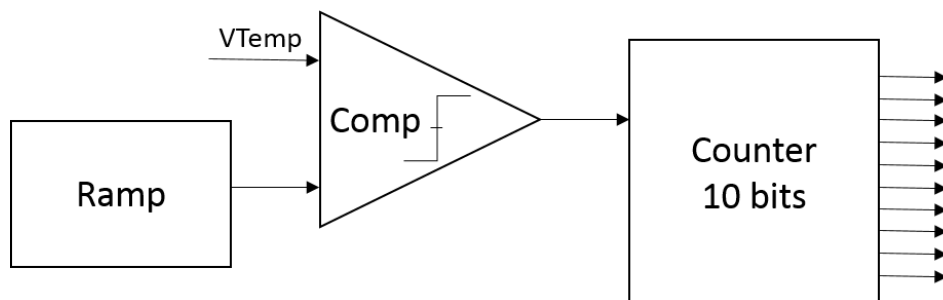
na ADC em Rampa, como será mostrado mais a frente, a capacidade da rampa era de apenas 3pF.

Para além das desvantagens já referidas, existe ainda a necessidade de gerar uma corrente de referência e para gerar essa corrente com o conversor Tensão-Corrente seria necessário construir um circuito de tensão de referência, não apresentando vantagens em relação à ADC em Rampa.

## 4.4 Rampa

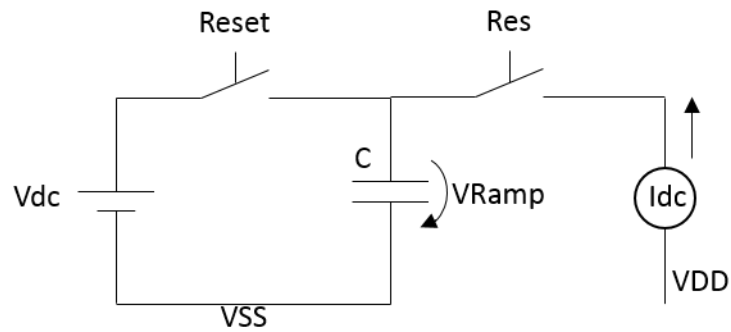
Na Figura 4.23 é apresentado o esquema básico de uma ADC em Rampa, que é constituído por três principais blocos:

- O contador, faz a contagem do número de ciclos do sinal de relógio (CLK), entre o início da rampa e o momento em que o valor da rampa atinge o valor  $V_{Temp}$  (sinal analógico que se pretende converter).
- Rampa, responsável pela geração de uma rampa com as características pretendidas (valor inicial, final e declive).
- Comparador, faz a comparação constante entre o valor proveniente do bloco da rampa e o valor  $V_{Temp}$  a converter.



**Figura 4.23** - Esquema de blocos da ADC em rampa.

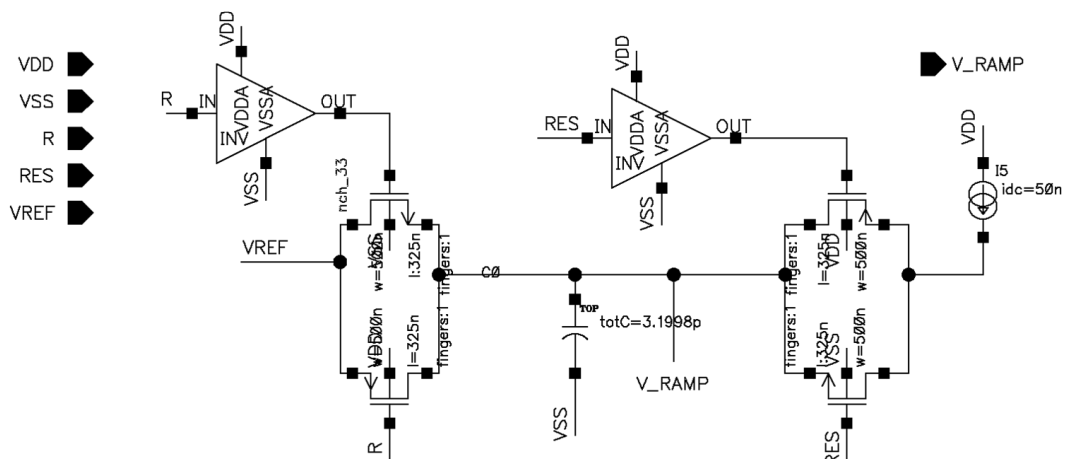
Tendo já sido apresentados o contador e o comparador, e utilizando o esquema da Figura 4.23, falta apenas o bloco responsável pela criação da rampa. Uma forma de se obter uma tensão que varia linearmente com o tempo é apresentada na Figura 4.24. Desta forma o valor de  $V_{Ramp}$  varia de forma crescente.



**Figura 4.24** - Esquema básico para criação de uma rampa linear.

No lado esquerdo do esquema é utilizada uma fonte de tensão com a tensão desejada para o valor inicial da rampa. Quando o Reset está ativo a fonte de tensão carrega o condensador, C, para que o valor de  $V_{Ramp}$  seja o mesmo que a tensão da fonte. O sinal de controle Res serve para carregar a capacidade com a corrente  $I_{dc}$ .

Para a implementação do circuito gerador da rampa, foi utilizado o circuito apresentado na Figura 4.25. Utilizando uma fonte de corrente ideal foram feitas simulações *transient* para se observar se o resultado obtido correspondia ao pretendido.



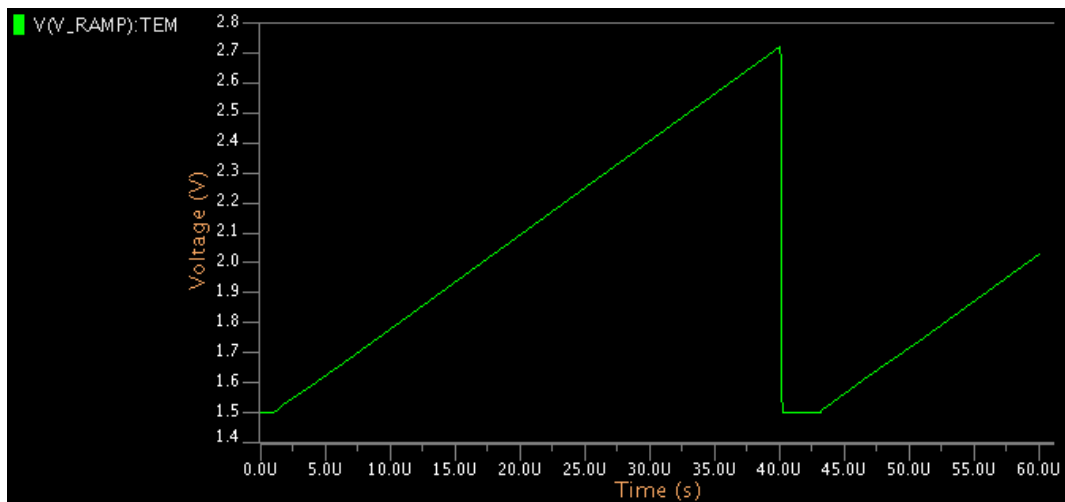
**Figura 4.25** - Circuito de geração da rampa com uma fonte de corrente ideal.

No circuito acima foram utilizados dois sinais de controle, R (*Reset*) e RES, para fazer o *reset* da rampa para o valor da tensão de referência VREF e para permitir a passagem da corrente da fonte de corrente para a capacidade gerando uma rampa. É importante ter em conta que enquanto o sinal R estiver a 0V (estando os interruptores a funcionar em lógica negada), a rampa estará à tensão VREF, independentemente do valor no sinal de controle RES.

Os interruptores utilizados neste circuito foram complementares, o que significa que cada interruptor era composto por um NMOS e um PMOS de forma que a queda

de tensão aos terminais do mesmo fosse o mais baixo possível para não alterar o valor da rampa.

Com este circuito era pretendida a geração de uma rampa linear entre VREF e uma tensão máxima controlada pelo tempo que a fonte de corrente demorava a carregar a capacidade. Na Figura 4.26 é apresentado o resultado desta simulação para um VREF de 1.5V e o sinal de controlo RES ativado durante cerca de 40  $\mu$ s.



**Figura 4.26** - Simulação do circuito da Figura 4.13.

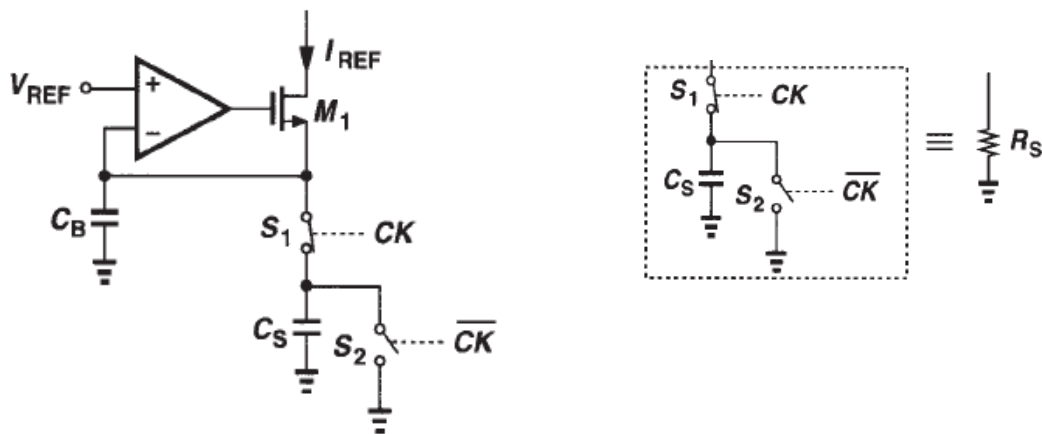
Desta forma foi possível concluir que este circuito tinha o funcionamento previsto. Quando ativado o sinal de *reset*, R, a tensão V\_RAMP retornava ao valor de VREF e quando ativado o sinal RES, V\_RAMP crescia de forma linear até o sinal RES ser desativado.

Após este estudo houve a necessidade de proceder ao estudo de um circuito capaz de gerar a corrente desejada, de forma estável, com uma boa resposta com a temperatura (baixa variação da corrente para uma grande variação da temperatura). Desta forma optou-se por utilizar um circuito para gerar uma corrente de referência com base numa tensão de referência, utilizando capacidades comutadas, semelhante à apresentada na Figura 4.27.

Para o correto funcionamento deste circuito foi necessária a implementação de um circuito de tensão de referência, tensão *BandGap* (VBG), que será apresentado no capítulo 5.

A Figura 4.27 apresenta um circuito responsável pela geração de uma corrente de referência utilizando uma tensão de referência (conversor tensão-corrente). Este é um circuito com um amplificador realimentado de forma negativa em que controla a corrente que flui pelo MOSFET M<sub>1</sub>. Este circuito pode usar uma resistência R<sub>S</sub>, no entanto, pode também ser utilizada uma capacidade comutada com dois interruptores, S<sub>1</sub> e S<sub>2</sub>, controlados por um sinal de relógio CK [13].



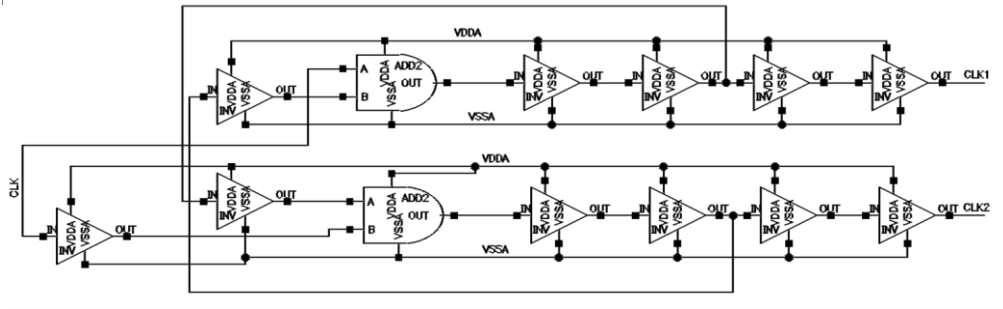


**Figura 4.27** – Conversor tensão-corrente utilizando capacidades comutadas [16].

Quando CK está ativo,  $S_1$  está fechado, e assim, a capacidade  $C_S$  carrega com a corrente  $I_{REF}$ , fechando o circuito para essa mesma corrente.  $S_2$  é controlado pelo CK negado, o que significa que quando  $S_1$  conduz  $S_2$  se encontra em corte. Assim, quando CK negado está ativo  $S_2$  conduz e a capacidade  $C_S$  descarrega para a massa.

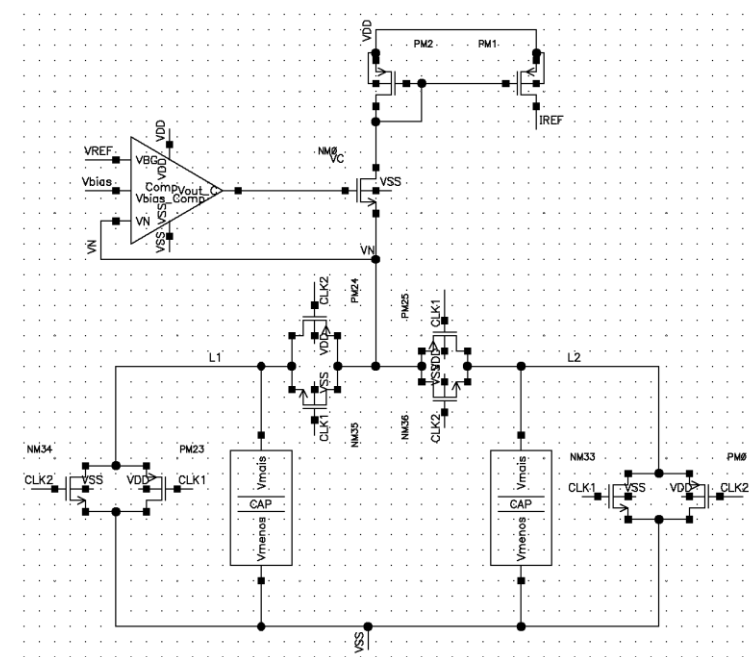
Como apresentado na Figura 4.26 o pretendido é uma rampa crescente, uma vez que a tensão à saída do sensor de temperatura também é crescente com o aumento da temperatura. Tendo como base o circuito da Figura 4.15, foi implementado o circuito inicial para o estudo deste conversor tensão-corrente, utilizando duas capacidades ao invés de uma, para desta forma se obter uma corrente aproximadamente constante, sendo que para CK (CLK1 no circuito implementado), uma capacidade é carregada, e para CK negado (CLK2 no circuito implementado), a primeira capacidade fica ligada à massa enquanto a segunda carrega com a corrente  $I_D$  de  $M_1$ .

Foram utilizados dois sinais de relógio, CLK1 e CLK2, sendo que a geração desses sinais poderia ser feita através de um sinal de relógio e desse mesmo sinal negado. No entanto, ficavam durante pequenos espaços de tempo ambas as capacidades no mesmo modo de funcionamento (carga ou descarga). Assim, utilizou-se o circuito da Figura 4.28 no qual são obtidos esses dois sinais de relógio (CLK1 e CLK2 sendo CLK2 igual ao CLK1 negado). A simulação desse circuito prova que assim são obtidos dois sinais e que não existe sobreposição dos mesmos, permitindo uma capacidade deixar de carregar antes da outra começar a carregar, garantindo assim uma maior estabilidade ao circuito de geração de corrente.

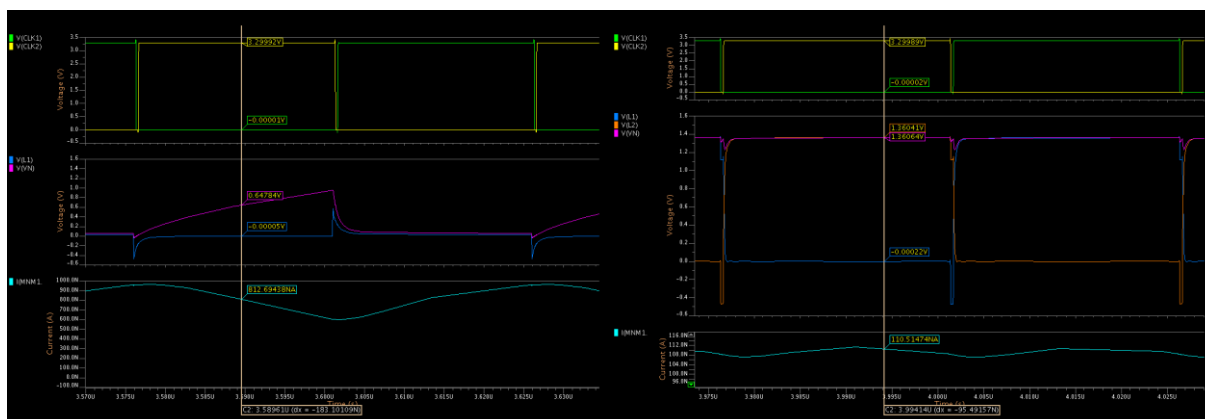


**Figura 4.28** - Divisão do CLK principal para obtenção de dois sinais de relógio, CLK1 e CLK2.

Sendo o pretendido uma rampa crescente, existiu a necessidade de colocar um espelho de corrente para espelhar a corrente de  $M_1$  e gerar assim a corrente  $I_{REF}$ . No circuito da Figura 4.29 foi utilizado um amplificador 5T com duplo estágio, semelhante ao apresentado na Figura 4.8, sendo este amplificador responsável pelo ajuste da tensão  $V_C$  (tensão na *gate* do NM0), em função da tensão  $V_N$  na *source* do mesmo transistor. O ajuste da tensão  $V_C$  permite que a corrente  $I_D$  seja controlada, mantendo um valor constante. Caso fosse utilizado apenas uma capacidade, a corrente  $I_D$  não seria constante (como mostra a Figura 4.30 a), estando esta capacidade a conduzir apenas durante 50% do tempo (correspondente a meio período do CK), uma vez que no restante a capacidade estaria em modo *reset*, ligada à massa em ambos os terminais.



**Figura 4.29** - Circuito para estudo do conversor tensão-corrente.

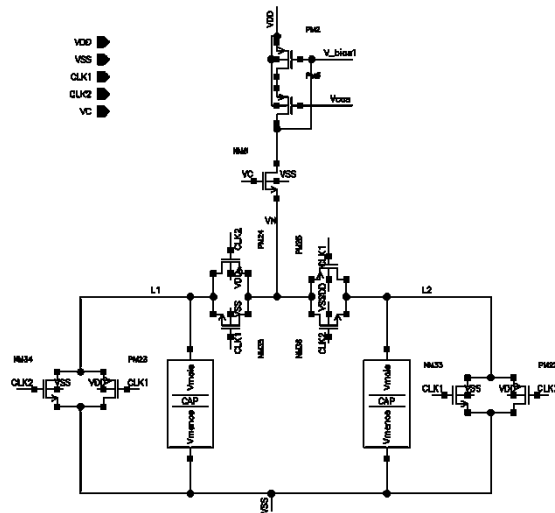


**Figura 4.30** - Simulação do circuito conversor Tensão-Corrente. a) Uma capacidade, b) Duas capacidades comutadas.

Como se pode visualizar através da Figura 4.30, o circuito com apenas uma capacidade gera uma corrente com uma maior variação do que a mesma configuração utilizando duas capacidades. É possível observar (Figura 4.30 a)), de acordo com o esperado, que quando a capacidade está a ser carregada ( $CLK1=3.3V$ ), a tensão  $V_n$  aumenta, no entanto, quando  $CLK1=0V$  a capacidade é descarregada para a massa e a tensão  $V_n$  baixa para aproximadamente  $0V$ . Na Figura 4.30 b) nota-se uma grande melhoria nestes dois casos, sendo que a corrente  $I_{REF}$  é muito mais estável do que anteriormente e a tensão  $V_n$  mantém um valor quase constante, transpondo essa estabilidade para a corrente.

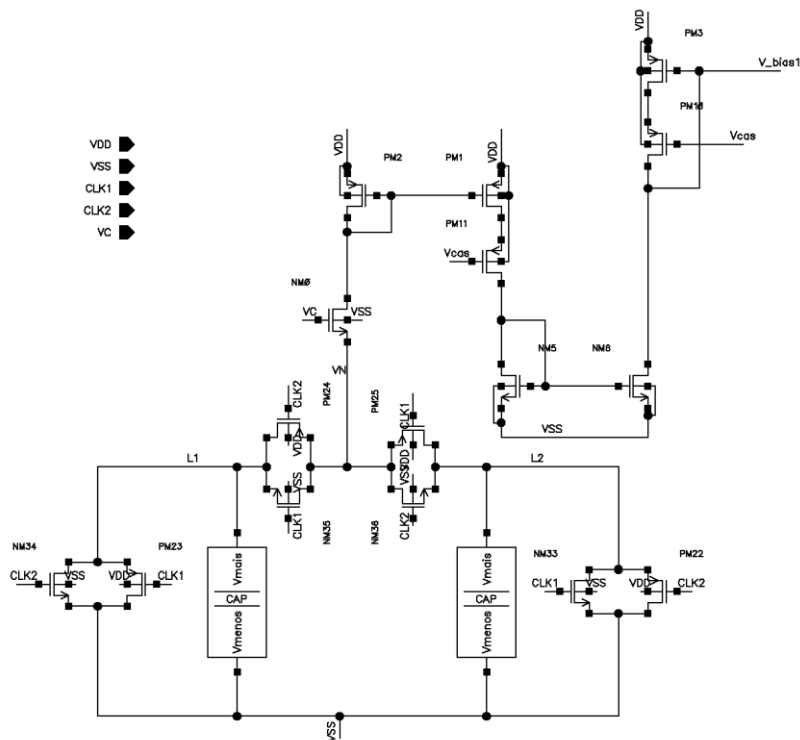
Através do circuito da Figura 4.29, foi possível concluir que a linearidade da rampa era afetada pelo modo de operação dos MOSFET, que deviam operar em modo de saturação. Para os valores mais elevados da rampa (acima de  $1.8V$  aproximadamente), o MOSFET PM1 comuta do modo de saturação para linear, originando a perda da linearidade da rampa dentro das tensões de interesse. A solução encontrada foi a utilização de dois PMOS em cascata, no lugar de PM1, obrigando assim a que a tensão no *dreno* do segundo PMOS,  $V_{bias1}$ , fosse superior.

A Figura 4.31 apresenta as alterações efetuadas ao circuito onde são utilizados dois PMOS em cascata. Esta configuração visava resolver o problema da não linearidade da rampa para valores acima de  $1.8V$ , desde que no circuito de geração da rampa fossem utilizados PMOS iguais com tensões de *bias* adequadas. No entanto, foi criado um problema na estabilidade do amplificador 5T de duplo estágio visto este estar realimentado por  $V_n$  e ambos os PMOS afetavam o correto funcionamento do mesmo.



**Figura 4.31** - Segunda configuração do conversor de Tensão-Corrente.

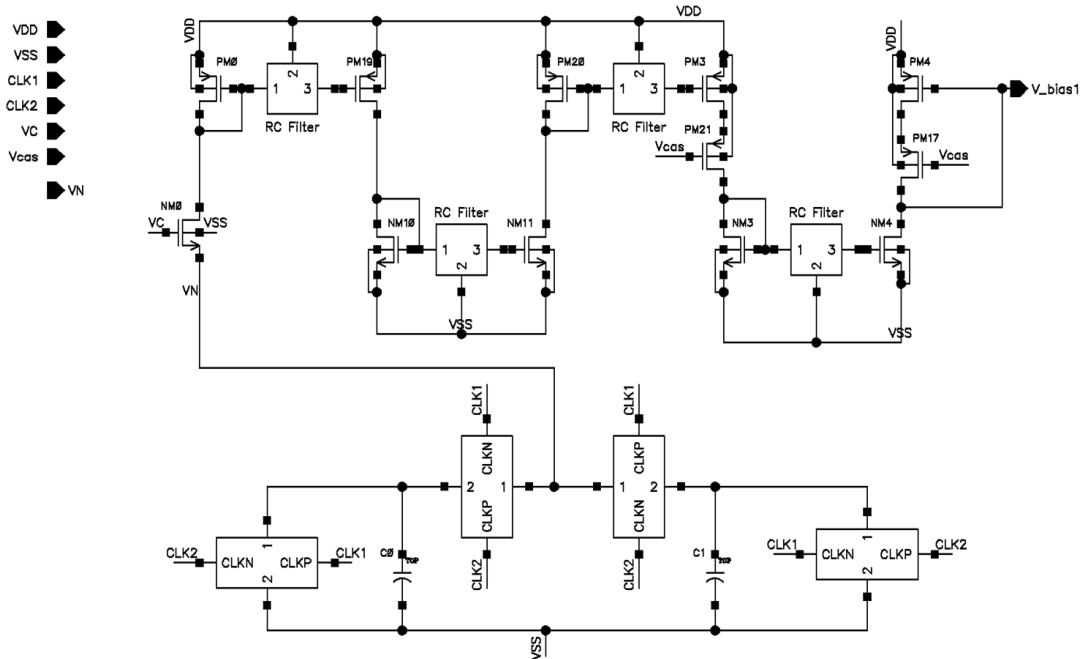
A solução para este problema de estabilidade do amplificador consistiu em espelhar a corrente no MN0, como foi feito na Figura 4.29, mas desta vez utilizando PMOS em cascata, possibilitando assim o correto funcionamento do amplificador e ainda obter a correção desejada para a não linearidade da rampa. Na Figura 4.32, é apresentado o circuito contendo essas alterações.



**Figura 4.32** - Conversor Tensão-Corrente com correção da não linearidade.

Após diversas simulações, concluiu-se que o PMOS11 (contendo também a tensão Vcas na *gate*), garantia um melhor funcionamento do circuito, encontrando-se assim mais estável com as variações da temperatura.

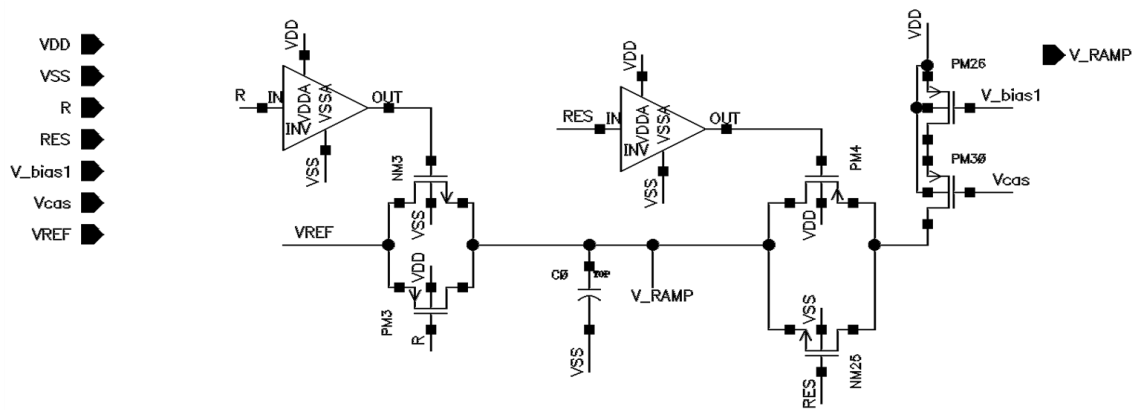
Na Figura 4.33 é apresentado o circuito do conversor Tensão-Corrente final. Neste circuito foram incluídos mais espelhos de corrente, pelo simples fato de que com a introdução de cada espelho de corrente o ruído na tensão e na corrente (devido aos picos de tensão produzidos pela comutação das capacidades) é atenuado em relação ao anterior. Ainda para melhorar o efeito descrito foi acrescentada uma resistência e uma pequena capacidade (filtro passa baixo), em cada espelho.



**Figura 4.33** - Conversor tensão-Corrente final.

O objetivo deste circuito, utilizando capacidades comutadas, era obter uma corrente de referência dependente da frequência do sinal de relógio, no entanto, o parâmetro mais importante seria a estabilidade temporal e em relação à temperatura (uma pequena variação na corrente de referência à saída deste circuito iria originar uma grande variação do declive da rampa).

Após unir o conversor de tensão-Corrente ao circuito da Figura 4.34, com PM28 e PM30 de dimensões iguais a PM4 e PM17, respectivamente, foram efetuados testes para a variação da frequência (entre os 10MHz e os 100MHz).



**Figura 4.34** - Circuito de geração da rampa com a corrente proveniente do conversor Tensão-Corrente.

Com estas simulações foram obtidos os resultados apresentados na tabela 4.1, contendo a frequência de relógio, o tempo ideal de subida da rampa e o tempo simulado e a corrente gerada no conversor correspondente a cada frequência. Durante as simulações as dimensões dos MOSFET foram ajustadas de forma a maximizar a performance do circuito, sendo assim obtidos os resultados apresentados na Tabela 4.1. No entanto, o erro em DN (*Digital Number*), tem um *offset* médio de 6DN. Para corrigir esse *offset* a forma mais simples seria ajustar a capacidade do condensador da rampa responsável pela tensão  $V_{Ramp}$ . O erro em DN foi obtido fazendo a diferença entre o tempo de rampa ideal é simulado (tempo necessário para que o amplitude da rampa atingisse 1V), tendo em conta o período do sinal de relógio para cada frequência.

**Tabela 4.1** – Valores simulados para variação da frequência do sinal de relógio.

Frequência (MHz)	Tempo da Rampa ( $\mu$ s) (Ideal)	Tempo da Rampa ( $\mu$ s) (Simulação)	Corrente (nA)	Erro DN
100	10.24	10.172	247	7
50	20.48	20.368	123	5
33.3	30.72	30.504	82	7
25	40.96	40.706	61	6
20	51.2	50.888	49	6
16.66	61.44	61.036	41	6
10	102.40	101.62	24.5	7

Desta forma foi demonstrado que o circuito conversor Tensão-Corrente era eficaz para diversas frequências de relógio, obtendo-se uma corrente proporcional à frequência utilizada. Repetindo os testes para diferentes temperaturas foram obtidos valores de erro elevados. Novos ajustes nas dimensões dos MOSFET foram realizados de forma a que a corrente de referência fosse o mais estável para todas as temperaturas de interesse.

Com os devidos ajustes nos MOSFET foram repetidas as simulações com variações de temperatura obtendo-se os resultados apresentados na Tabela 4.2. De notar que desta forma o conversor Tensão-Corrente funcionava corretamente apenas para a frequência predefinida, neste caso 20MHz.

**Tabela 4.2** - Valores simulados para a variação da temperatura à fequência de 20MHz.

Temperatura (°C)	Tempo da Rampa (µs) (Ideal)	Tempo da Rampa (µs) (Simulação)	Corrente (nA)	Erro DN
-20	51.20	51.24784	122.464	0.96
25	51.20	51.16487	122.699	-0.7
60	51.20	51.19697	122.654	-0.06
90	51.20	51.21042	122.676	0.21
120	51.20	51.20799	122.604	0.16

Estes valores foram obtidos assumindo que a rampa,  $V_{Ramp}$ , percorria toda a escala, desde a tensão  $V_{REF}$ , na Figura 4.13, até ao valor máximo igual para todas estas simulações (*swing* de 1V).

Através da análise destas duas tabelas, Tabela 4.1 e Tabela 4.2, foi concluído que para um circuito conversor Tensão-Corrente e respetivo circuito de geração de rampa funcionar corretamente para a gama de temperaturas pretendida era necessária a compensação ao nível das dimensões dos MOSFET de forma que a variação com a temperatura num dos MOSFET fosse compensada de forma contrária em outro MOSFET. Desta forma, o tamanho do MOSFET foi otimizado para um dado valor de corrente a fluir nos seus terminais, ou seja, se a frequência de relógio for diferente dos 20MHz o valor da corrente gerada pode não corresponder ao esperado, e por consequente, a rampa terá uma inclinação diferente da pretendida.

Uma das formas de ultrapassar este problema seria utilizando um detetor de frequência e um conversor Tensão-Corrente para cada gama de frequência pretendida. Para além da complexidade existiria um incremento da área utilizada por todo o circuito necessário para a implementação desta solução. Assim, em conjunto com o coorientador deste trabalho foi concluído que seria mais apropriado definir uma frequência fixa e obter uma boa estabilidade em termos da temperatura.

Na Figura 4.35 é apresentado o circuito final de geração da rampa, semelhante ao circuito da Figura 4.34, apenas substituindo a fonte de tensão ideal  $V_{REF}$  por duas tensões diferentes com as quais pode ser feito o início da rampa. Estas tensões são baseadas na tensão proveniente do circuito de *Bandgap*, VBG, que será apresentado no capítulo 5. Uma das tensões ( $Sel\_Ramp = '1'$ ), é diretamente a tensão de *Bandgap*, tendo uma variação de aproximadamente 3mV para a gama de temperaturas de interesse. A outra tensão deriva de um circuito também baseado na tensão VBG ( $Sel\_ramp = '0'$ ), mas com a variação da tensão de referência a baixar

para os 0,7mV, mas apenas para temperaturas entre 0°C e 120°C. Desta forma, e dependendo da zona e condição climática pode ser selecionado um destes dois valores de referência, conseguindo melhores resultados quando utilizado Sel\_ramp = '0'.

Ainda em relação à Figura 4.35, na parte esquerda são apresentados três inversores que negam os sinais de controlo para os interruptores complementares, fazendo o correto controlo e possibilitando o correto funcionamento do circuito.

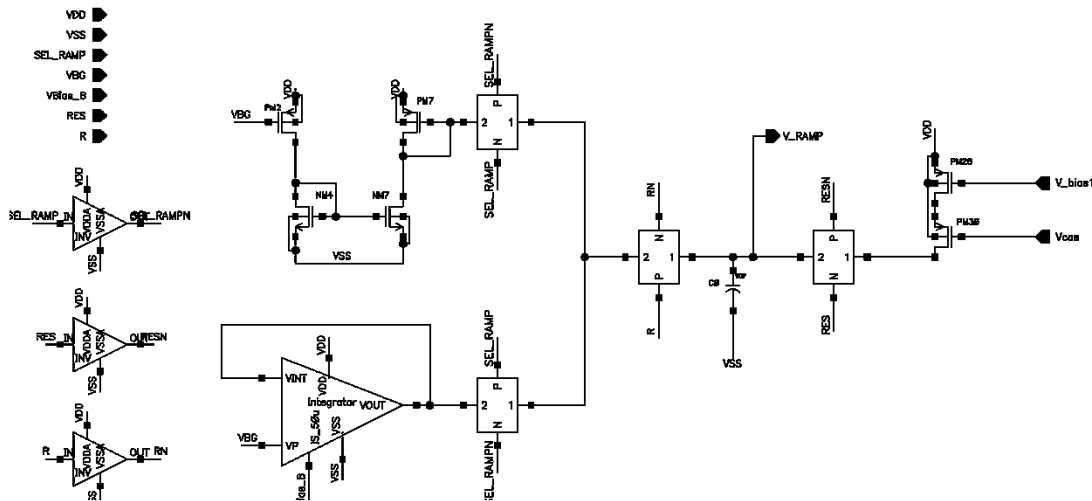


Figura 4.35 - Circuito de geração da rampa completo com os circuitos de tensão de referência.

De forma a juntar todo o circuito referente à criação da rampa foram criados símbolos para representar cada um dos sub circuitos, assim, na Figura 4.36 são apresentados os símbolos que dizem respeito ao circuito conversor Tensão-Corrente (Figura 4.36 a) e circuito de geração da rampa (Figura 4.36 b)).

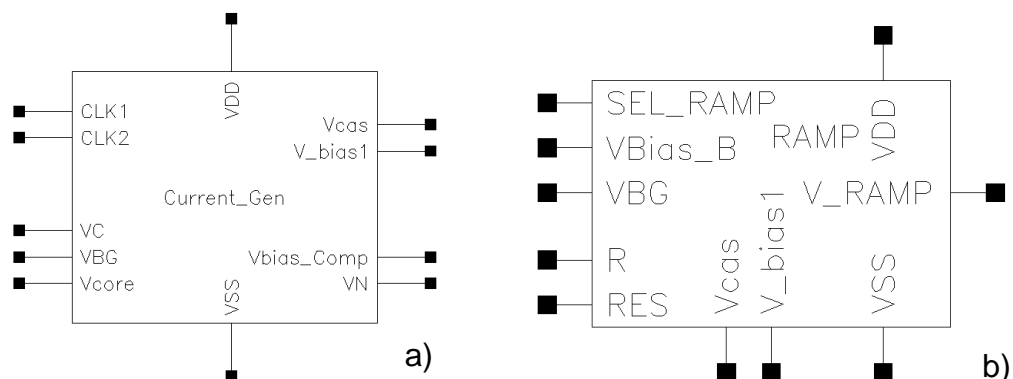
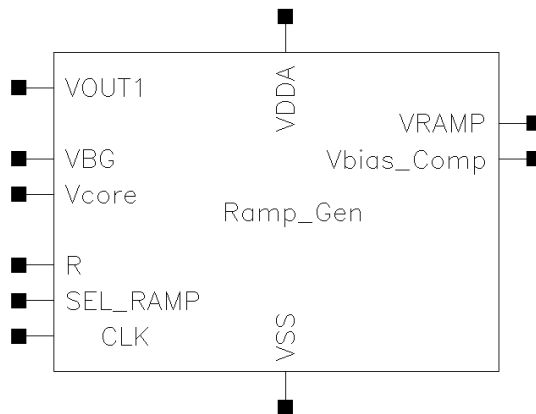


Figura 4.36 - Blocos referentes aos circuitos de geração de corrente a) e geração da rampa b).

Visto ambos os blocos fazerem parte da geração da rampa faltam ainda o bloco que divide o sinal de relógio e o comparador utilizado no conversor Tensão-Corrente (*Current\_Gen*), pelo que foi criado outro esquemático que representasse a rampa na sua totalidade. Esse símbolo é apresentado na Figura 4.37 e representa a

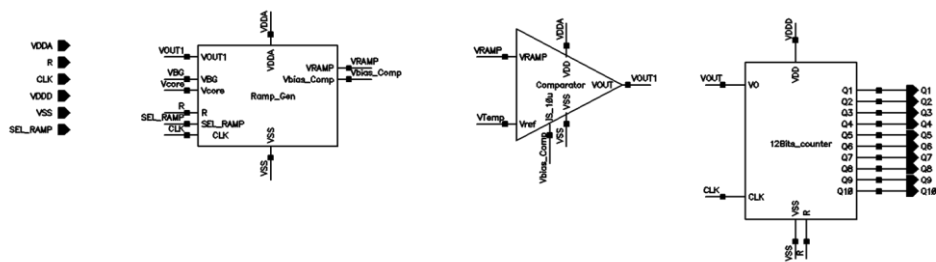


geração da rampa, sendo constituído pelo amplificador de duplo estágio da Figura 4.8, o circuito responsável pela criação de dois sinais periódicos derivados do sinal de relógio, Figura 4.28, pelo circuito conversor Tensão-Corrente, contendo a versão final implementada, Figura 4.33, e finalmente o circuito onde era gerada a tensão  $V_{Ramp}$  apresentado na Figura 4.35. Assim, a Figura 4.37 mostra o circuito da rampa na totalidade, tendo como sinais externos a alimentação, o sinal de *reset*, o sinal de decisão do comparador da ADC, que permite a paragem da rampa, um bit de seleção do valor inicial da rampa dependendo da gama de temperaturas de interesse e por último uma tensão de referência.



**Figura 4.37** - Bloco final para todo o circuito referente à geração da rampa.

Tendo estes circuitos foram implementados e testados para comprovar o seu correto funcionamento chegou-se ao ponto final da construção da ADC. Como mostra a Figura 4.23, a arquitetura de uma ADC em Rampa é composta por três principais blocos sendo que cada um desses blocos foi introduzido e apresentado durante este mesmo capítulo. Juntando todas essas partes obteve-se o circuito apresentado na Figura 4.38.



**Figura 4.38** - Representação final da ADC em Rampa, contendo o circuito de geração da rampa, o comparador e o contador.

Uma vez que a saída do comparador era um sinal que assumia os valores 0 e 3.3V, e visto que o contador era um bloco digital que funcionava com uma alimentação de 1.5V, enquanto os circuitos analógicos eram alimentados a 3.3V,

houve a necessidade de realizar um circuito *Level\_Shifter*, permitindo assim o correto funcionamento entre o comparador e o contador. Este circuito acima descrito é apresentado no capítulo 5.

## 5 Tensões de Referência

Neste capítulo serão apresentados os circuitos auxiliares necessários para o correto funcionamento de todo o trabalho. Estes circuitos são chamados auxiliares pois existe a possibilidade desses sinais serem externos ao restante circuito, podendo ser provenientes de outro circuito utilizado em paralelo com o sensor de temperatura. No caso dos sensores de imagem, a utilização de um circuito de *Bandgap* é comum, pelo que a tensão de *Bandgap* pode ser compartilhada para a geração de referências em múltiplos circuitos.

### 5.1 Tensão *BandGap*

A Tensão de *BandGap* (VBG) é uma tensão de referência estável com a temperatura, ou seja, é uma tensão que apresenta um valor pouco dependente da temperatura. Como foi referido em 2.2, existem diversas formas de obter VBG. A forma apresentada nesta secção utiliza transístores bipolares de junção e combina uma tensão proporcional à temperatura e outra inversamente proporcional. Ao juntar essas duas tensões com determinado ganho é obtida a tensão VBG desejada. Esta tensão pode situar-se entre os 1.2V e os 1.4V, dependendo da configuração utilizada.

Para este trabalho foi escolhida outra arquitetura, constituída apenas por MOSFET permitindo assim a realização de todo o projeto apenas com transístores deste tipo, reduzindo a área utilizada e o consumo.

Uma das importantes características destas fontes é o seu baixo consumo de corrente. Foi encontrada uma configuração que permitia combinar todas essas vantagens [14]. Na Figura 5.1 é apresentado o princípio básico para o circuito de referência, constituído por um subcircuito de controlo de corrente e um segundo circuito que controla a tensão de saída.

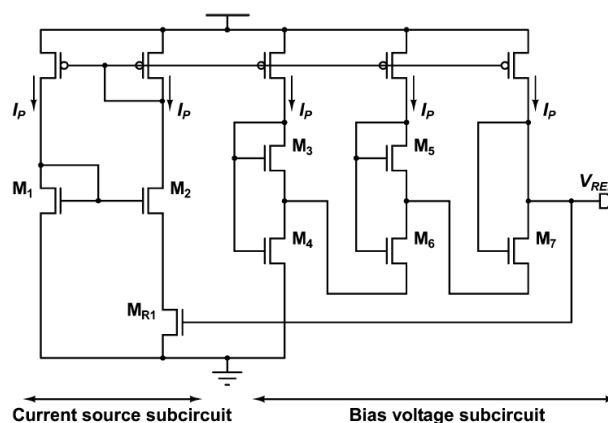
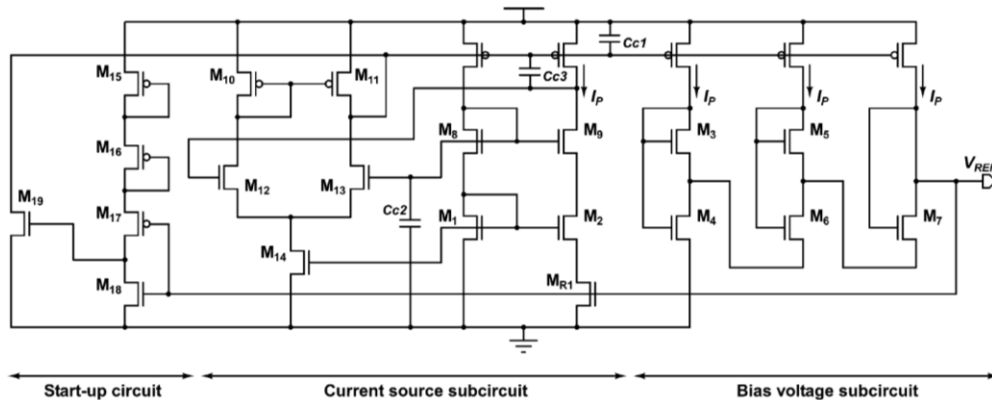


Figura 5.1 - Esquemático do circuito de tensão de referência [14].

No subcircuito de controlo de corrente o objetivo é controlar a corrente que passa em ambos os ramos permitindo essa mesma corrente no subcircuito da tensão

de referência. Assim, e através do espelho de corrente PMOS, o subcircuito da tensão de referência produz uma tensão estável face as variações quer da temperatura quer da alimentação.

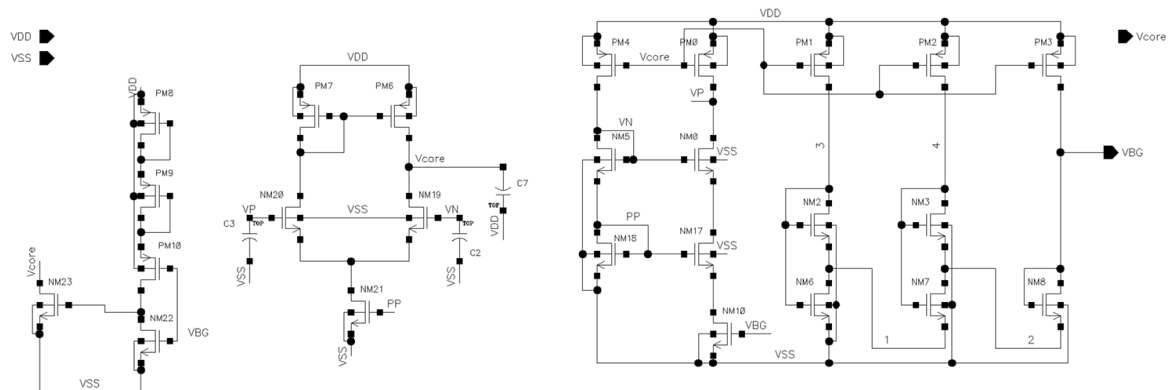
Para o correto funcionamento deste circuito existiu a necessidade de adicionar outro subcircuito responsável pelo arranque inicial, e modificar o subcircuito de controlo de corrente, adicionando a este um amplificador 5T realimentado. O circuito completo é assim apresentado na Figura 5.2.



**Figura 5.2** - Circuito proposto para obtenção da tensão de referência [14].

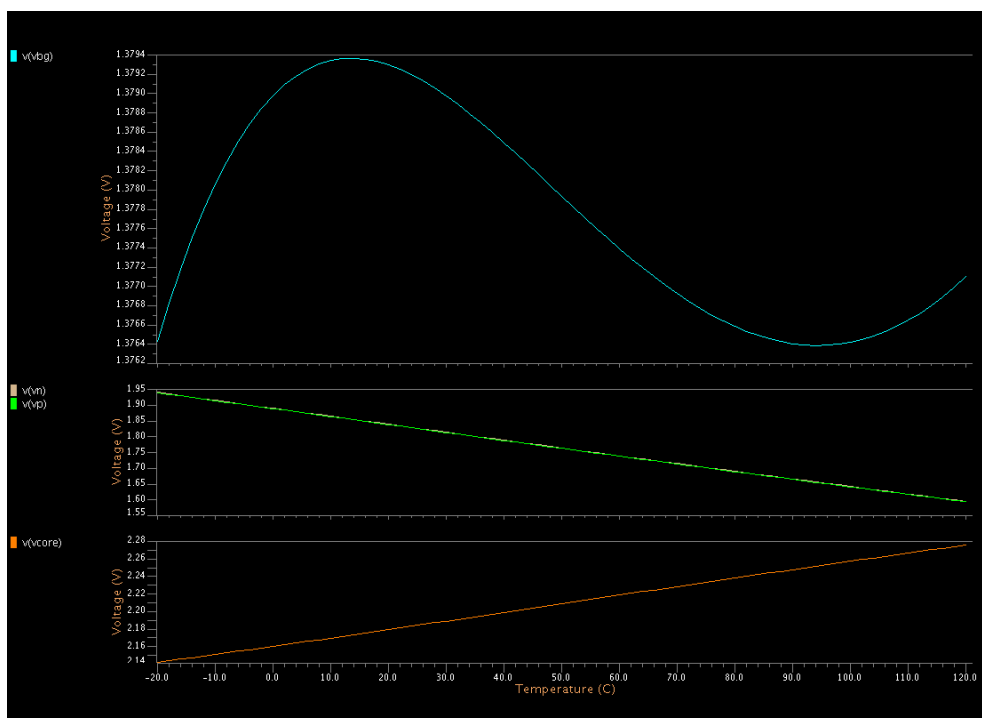
Foi então implementado este circuito com o objetivo de testar a sua funcionalidade e a área ocupada pelo mesmo para, em comparação com a arquitetura com BJT, se poder concluir qual dos dois apresentava mais vantagens para este trabalho.

A Figura 5.3 mostra a implementação deste circuito, sendo que foram feitas diversas simulações e ajustes aos tamanhos para se obter o melhor resultado possível. O subcircuito de arranque inicial, como o próprio nome indica, servia apenas para o instante inicial de arranque do circuito, pois uma vez que  $V_{REF}$  (VBG), não estava no seu valor habitual era necessário polarizar os MOSFET de uma forma alternativa.



**Figura 5.3** - Implementação do circuito de *BandGap*, com tensão de referência VBG.

Com o ajuste de alguns transístores, visto esta ser uma tecnologia diferente da apresentada em [14], e com o cuidado para que todos os MOSFET se encontrem a funcionar em modo *Subthreshold*, efectuaram-se simulações em termos da estabilidade com a temperatura mas também uma análise AC para garantir a estabilidade do circuito em termos temporais. Com a colocação das capacidades garantiu-se essa mesma estabilidade do sistema. A Figura 5.4 mostra a simulação do resultado final desta configuração, e pode-se observar a variação de  $V_{Core}$ , proporcional à temperatura,  $V_n$  e  $V_p$  com um quociente inversamente proporcional. Note-se que as tensões  $V_n$  e  $V_p$  tomam valores muito próximos, estando sobrepostos nessa mesma figura. Com estes resultados é possível observar o efeito na tensão de *BandGap*, VBG, onde se observa que a variação não é linear, no entanto é inferior a 3mV para toda a gama de temperaturas de interesse.



**Figura 5.4** - Simulação do circuito de *BandGap* VBG,  $V_n$ ,  $V_p$  e  $V_{Core}$ .

Embora os resultados apresentados por esta arquitetura tenham sido relativamente bons, foi ainda implementado o circuito com os BJT, circuito esse que pode ser observado na Figura 5.5 (esta arquitetura foi a estudada no capítulo 2.2). Neste circuito foi trabalhado o multiplicador de cada BJT e ainda as correntes em cada um destes, com mostrado no ponto 2.2.2.

Desta forma o melhor resultado foi obtido com a configuração apresentada abaixo, em que no ramo à esquerda o multiplicador escolhido foi de 8 enquanto nos restantes o multiplicador foi de 1. No que diz respeito à corrente no ramo à direita a corrente foi o dobro que nos dois restantes ramos. A resistência no ramo à esquerda

é metade da resistência do ramo à direita. O amplificador operacional, OTA, foi constituído por um amplificador 5T.

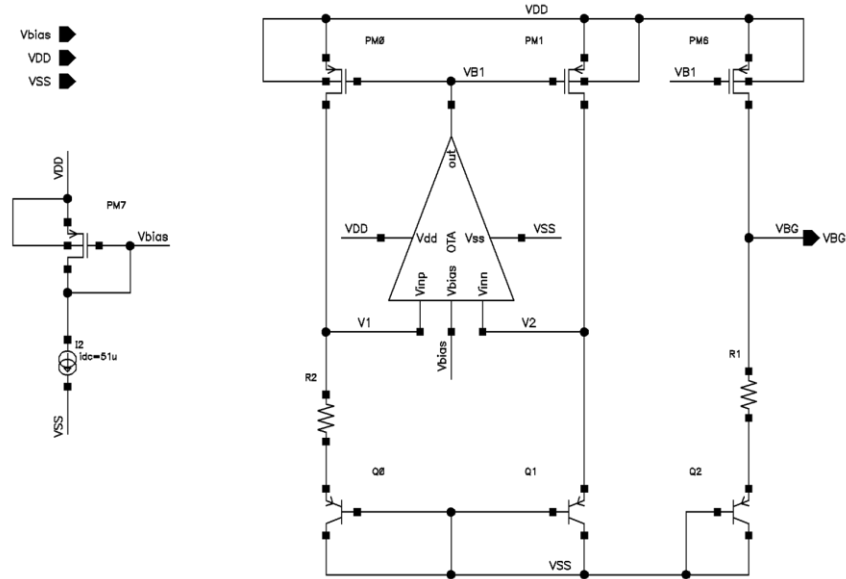


Figura 5.5 - Circuito de tensão de referência com BJT.

O melhor resultado conseguido com esta arquitetura é apresentado na Figura 5.6, com a visualização de VBG e VB1 em relação à variação da temperatura, com valores entre os -20°C e os 120°C.

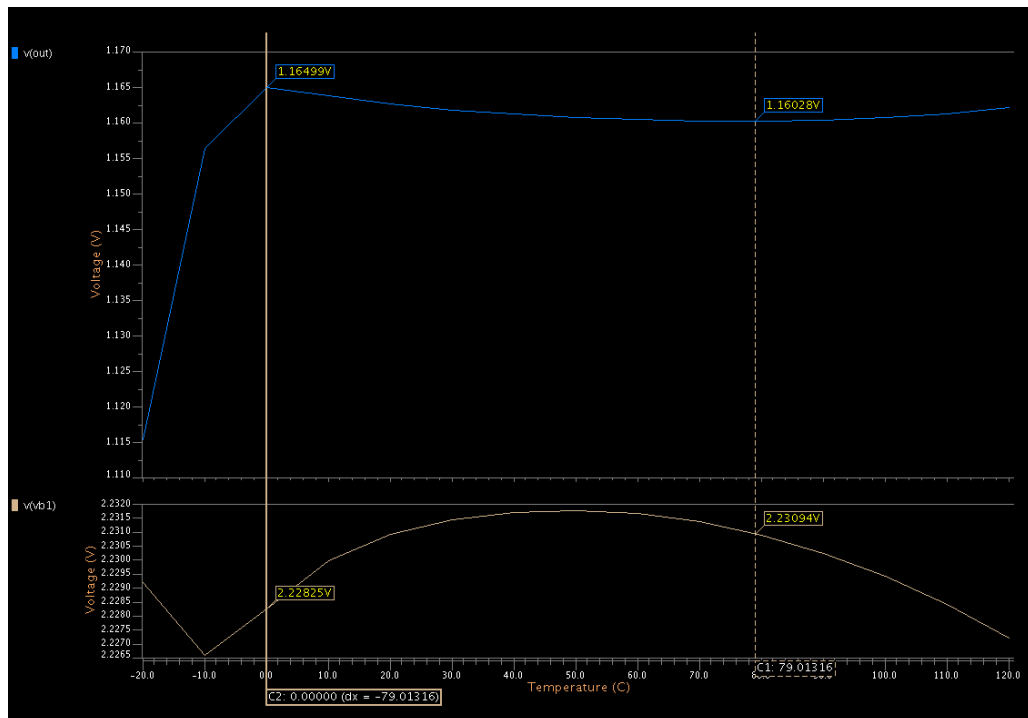


Figura 5.6 - Resultados da simulação da arquitetura com BJT.

Analisando estes resultados pode-se observar que a variação de VBG para esta arquitetura é muito superior à arquitetura apresentada na Figura 5.3,

aproximadamente 50mV, no entanto entre os 0 °C e os 120 °C esta variação é de apenas 5mV.

Visto que o valor de VBG é mais estável para a arquitetura com MOSFET apenas falta saber a potência consumida e a área ocupada por cada uma destas arquiteturas. Para saber qual a área ocupada por cada arquitetura foi necessário fazer o *layout* para ambas. Foi concluído que mesmo contendo três capacidades a arquitetura com apenas MOSFET necessitava aproximadamente da mesma área de Layout que a arquitetura com BJT, devendo-se esse facto à grande área ocupada pelos BJT em *layout* quando comparado com MOSFET.

Finalmente no que diz respeito à corrente consumida por ambas as arquiteturas foi observado através das simulações que a corrente consumida na arquitetura com BJT era aproximadamente 500uA enquanto a arquitetura com MOSFET apenas consumia aproximadamente 5uA.

Com estes parâmetros foi fácil concluir que seria uma grande vantagem utilizar a arquitetura com apenas MOSFET, que para além de apresentar melhores resultados em termos de estabilidade com a temperatura tinha ainda um consumo menor.

## 5.2 Level Shifter

Como foi referido no capítulo 4.3 existe a necessidade de se utilizar um circuito auxiliar que permita passar um sinal variável entre os 0V e os 3.3V para um sinal que possa ser detetado pelo contador de forma digital entre os 0V e os 1.5V. Foi então implementado o circuito apresentado na Figura 5.7.

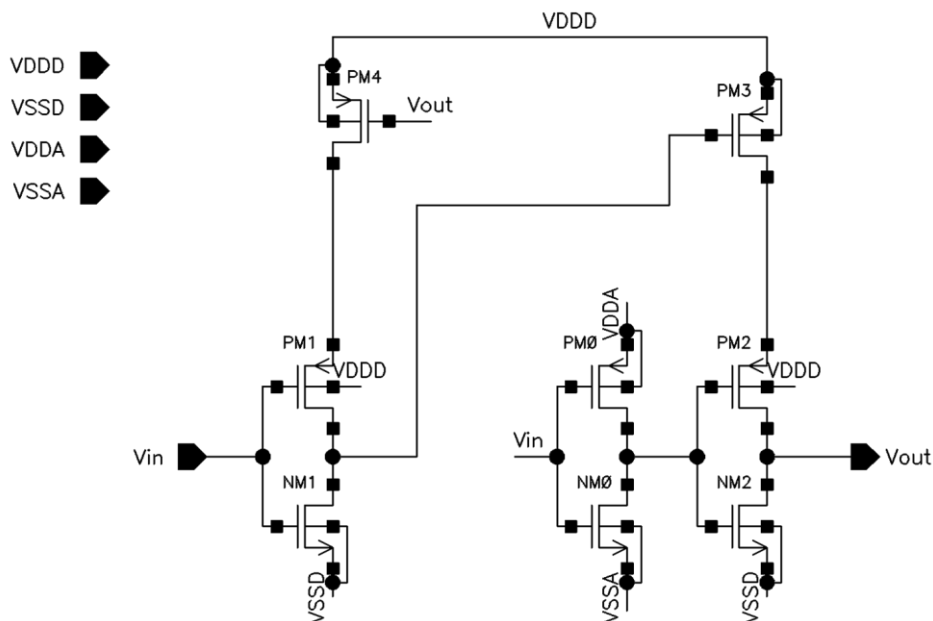


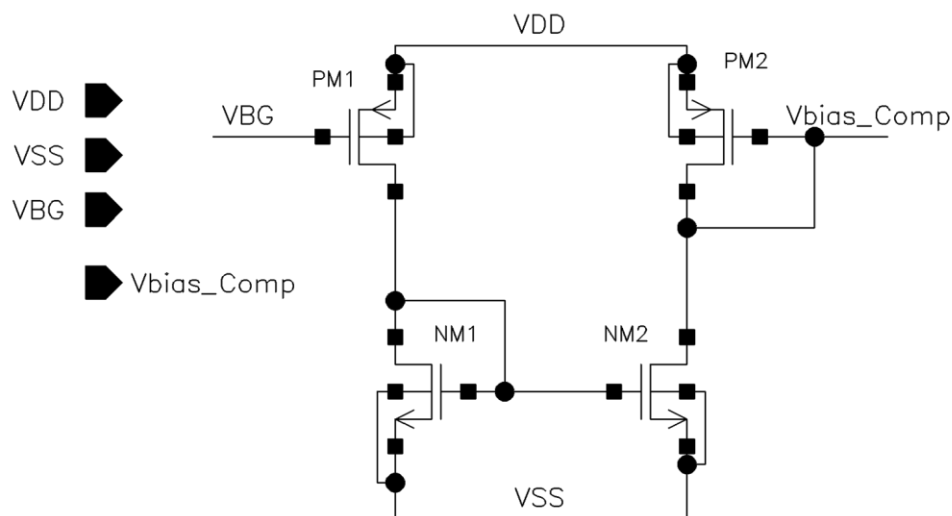
Figura 5.7 - Level Shifter implementado entre a saída do comparador da ADC e o contador.

Como é visível na Figura 5.7 este é um circuito simples que possibilita a ligação entre o comparador da ADC e o contador, contendo o sinal de comando que inicia a contagem e que indica quando chegou ao fim. Este circuito é constituído por apenas uma entrada, uma saída e as alimentações, sendo necessária a alimentação analógica (VDDA, 0-3.3V) e a alimentação digital (VDDD, 0-1.5V) fazendo a transferência do sinal para um nível mais baixo (quando a entrada é 3.3V o circuito faz com que a saída seja 1.5V). Através deste circuito foi realizada com sucesso a ligação entre a parte analógica e a parte digital.

### 5.3 Tensão *Bias*

Com o intuito de criar um projeto que possuísse como entrada apenas as alimentações (3.3V e 1.5V), o sinal de *Reset* e por último o sinal de seleção do valor inicial da rampa, houve a necessidade de criar duas tensões de *Bias*,  $V_{Bias\_Comp}$  para controlar a passagem da corrente nos amplificadores operacionais utilizados, e  $V_{Cas}$  para fazer a polarização dos MOSFET nos circuitos da Figura 4.21 e 4.22.

A arquitetura utilizada para ambos os *bias* é apresentada na Figura 5.8, sendo este circuito constituído por 2 NMOS e 2 PMOS ligados em modo espelho de corrente.



**Figura 5.8** - Arquitetura utilizada para criação de  $V_{Bias\_Comp}$  e  $V_{Cas}$ .

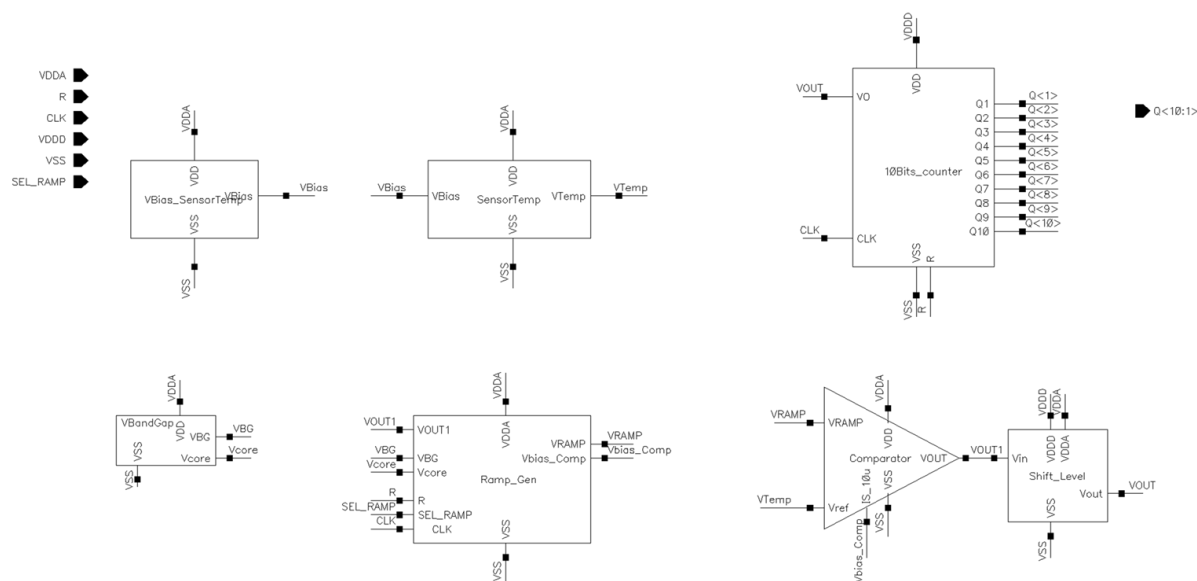
Num dos PMOS é inserida a tensão VBG na *gate* e a *drain* ligado a um NMOS em modo espelho que irá espelhar a corrente que passa neste ramo para o ramo seguinte. No segundo ramo o NMOS controla a passagem de corrente, dependendo da corrente que passa no NMOS do primeiro ramo. Com o PMOS forçado a operar em saturação é gerada uma tensão que depende assim da corrente. Ajustando os parâmetros do PMOS, nomeadamente o *length* e o *width*, é possível obter a tensão desejada para o caso em questão. Com isto obteve-se  $V_{Cas} = 1.636V$  o que garantia o correto funcionamento do circuito conversor Tensão-Corrente gerando a tensão correta.



## 6 Resultados

Neste capítulo serão apresentados os resultados finais do circuito completo: sensor de temperatura analógico e conversor analógico para digital. Nas simulações sinais foram consideradas todas as capacidades e resistências parasíticas resultantes do *layout* e *routing* realizado. A inclusão destes elementos parasíticos permite a obtenção de resultados mais fidedignos.

A Figura 6.1 apresenta o esquemático final do conjunto sensor de temperatura-ADC com os restantes circuitos necessários para o correto funcionamento do mesmo.



**Figura 6.1** - Esquemático global do sensor de temperatura digital.

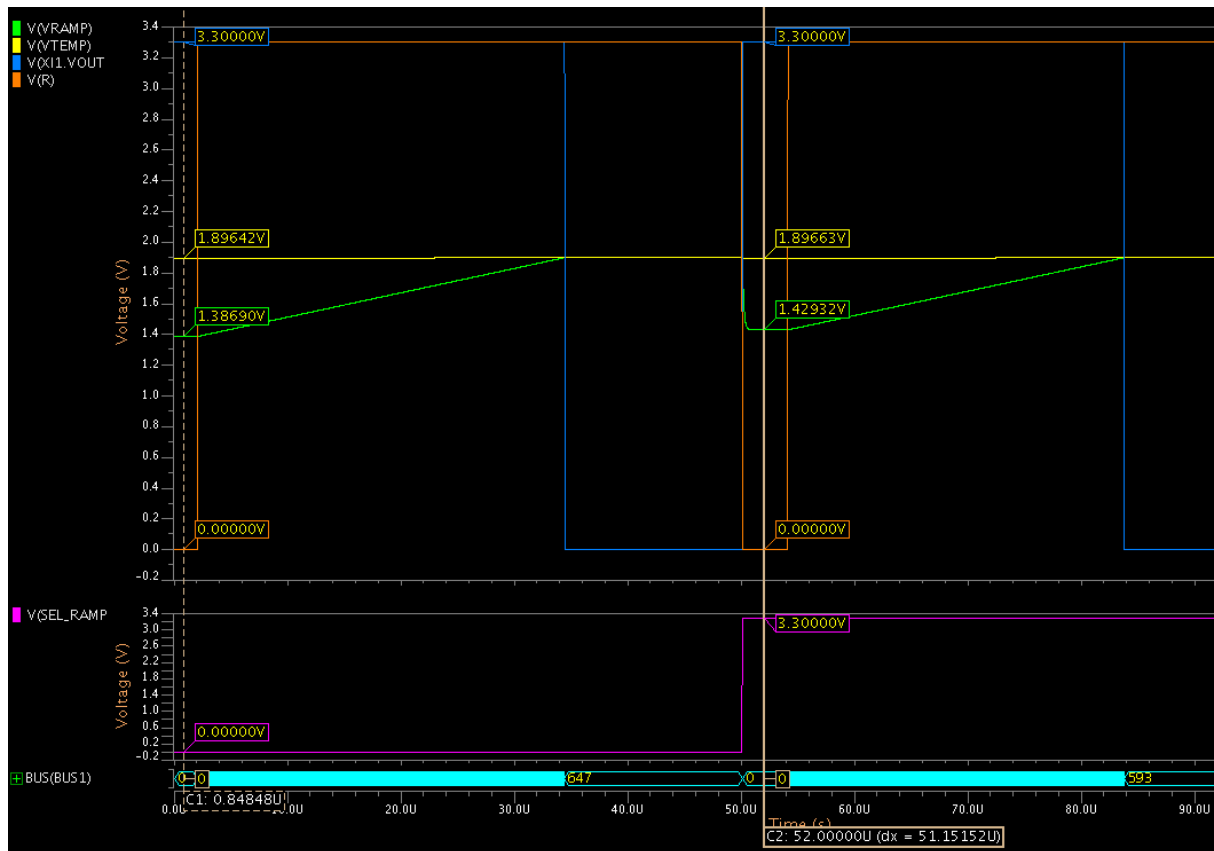
Na Figura 6.1 é possível observar todos os blocos construídos e descritos anteriormente neste relatório, contendo o bloco do sensor de temperatura analógico juntamente com o *bias* do mesmo, os blocos correspondentes à ADC, Ramp\_Gen, comparador com o *level shifter*, e contador, e finalmente mas não menos importante o circuito de *BandGap* responsável pela obtenção de uma tensão de referência.

Este circuito apresenta uma saída digital de 10 bits (Q10 a Q1), que representa o valor da temperatura à qual o circuito se encontra submetido, e neste caso, apenas para fim de teste e simulação, alguns sinais internos do mesmo, podendo assim ajudar a resolver problemas no caso do mau funcionamento do mesmo.

Para o correto funcionamento do circuito além da alimentação são necessários: sinal de *Reset*; um sinal de relógio (frequência de 20MHz); sinal de seleção para o início da rampa, escolhendo entre dois modos, MOD1 para temperaturas entre os 0-120 °C e MOD2 para -20 a 120 °C.

Na Figura 6.2 é apresentada uma simulação para a totalidade do sensor, onde são apresentados diversos sinais, sendo os mais importantes  $V_{Temp}$ ,  $V_{RAMP}$ ,  $V_{OUT}$  e o

valor existente nas saídas digitais Q10 a Q1. Para a simulação em questão foi usada uma temperatura de 60°C. Foram realizadas duas conversões, variando o sinal SEL\_RAMP, permitindo assim a comparação.



**Figura 6.2** - Exemplo de simulação com a totalidade do sensor de temperatura digital. Esquemático.

Através da Figura 6.2 é possível analisar o comportamento do sistema. O sinal de *reset* (laranja) é o responsável por preparar a rampa e o contador para a próxima conversão. Quando se encontra no nível lógico baixo o contador é reposto a zero e a rampa re-assume o valor inicial, de modo a que quando o sinal de *reset* retoma o nível lógico alto se inicia a conversão.

A roxo o SEL\_RAMP escolhe qual o valor inicial para o  $V_{RAMP}$  ( $MOD2 \approx 1.3869V$  e  $MOD1 \approx 1.4293$ ), e como na primeira conversão este valor é 0V, é escolhido o MOD2. A tensão  $V_{RAMP}$  aumenta até que atinja o valor  $V_{Temp}$  proveniente do sensor de temperatura analógico, quando o  $V_{RAMP}$  atinge esse valor a saída do comparador ( $V_{OUT}$ ) passa a 0V e nesse mesmo momento o contador é parado e deixa de ser injetada corrente no condensador. Após o novo *Reset* e novamente quando este sinal passa a 3.3V é iniciada uma nova conversão, em que neste caso é selecionando o MOD1, apenas mudando o valor inicial de  $V_{RAMP}$ , o restante processo é o mesmo. Em qualquer uma destas conversões o sinal digital encontra-se no BUS1 que é a combinação das saídas de Q10 a Q1, passando essa palavra de 10 bits para um valor decimal.

Nas duas tabelas que se seguem, Tabela 6.1 e Tabela 6.2, são apresentados os resultados obtidos através de diversas simulações com uma variação de temperatura entre -20°C e 120°C. As Tabelas 6.1 e 6.2 apresentam os resultados para o MOD1 e MOD2, respetivamente.

Nestas tabelas encontram-se disponíveis: a temperatura da simulação, DN ideal tendo em conta a temperatura de simulação, DN correspondente à saída digital do sensor de temperatura, Com o DN calculou-se a temperatura através de uma equação da reta que representa a rampa.

**Tabela 6.1** – Resultados da simulação para o esquemático com MOD1.

Simulação Final (esquemático)				
MOD1 (°C = (DN-363) * 0.1737 + 20°C)				
Temperatura (°C)	DN ideal	DN	Calculo Temperatura (°C)	Erro (°C)
-20	133	140	-18.724	1.276
-10	190	194	-9.347	0.653
0	248	249	0.204	0.204
10	305	305	9.928	0.072
20	363	362	19.826	0.174
30	421	419	29.724	0.276
40	478	477	39.796	0.204
50	536	535	49.868	0.132
60	593	594	60.113	0.113
70	651	652	70.185	0.185
80	709	710	80.257	0.257
90	766	768	90.328	0.328
100	824	825	100.226	0.226
110	881	881	109.951	0.049
120	939	937	119.675	0.325

**Tabela 6.2** - Resultados da simulação para o esquemático com MOD2.

Simulação Final (esquemático)				
MOD2 (°C = (DN-417) * 0.1739 + 20°C)				
Temperatura (°C)	DN ideal	DN	Cálculo Temperatura (°C)	Erro (°C)
-20	186	190	-19.473	0.527
-10	244	245	-9.909	0.091
0	302	301	-0.171	0.171
10	359	357	9.567	0.433
20	417	415	19.652	0.348
30	475	472	29.564	0.436
40	532	530	39.650	0.350
50	590	589	49.909	0.091
60	647	647	59.995	0.005
70	705	706	70.254	0.254
80	762	764	80.340	0.340
90	820	821	90.252	0.252
100	877	878	100.163	0.163
110	935	934	109.901	0.099
120	992	989	119.465	0.535

Em resumo nas Tabelas 6.3 e 6.4 é apresentado o erro máximo para ambos os modos de funcionamento bem como a gama de temperaturas a que esse erro corresponde.

**Tabela 6.4** - Erro máximo no esquemático com o modo MOD1.

-20 a 120 °C	
Erro DN	Erro °C
7.35	1.27605
-1.87	
0 a 120 °C	
Erro DN	Erro °C
1.89	0.32825
-1.87	

**Tabela 6.3** - Erro máximo no esquemático com o modo MOD2.

-20 a 120 °C	
Erro DN	Erro °C
3.03	0.53492
-3.08	
0 a 120 °C	
Erro DN	Erro °C
1.95	0.53492
-3.08	

Analisando estas tabelas torna-se evidente a diferença no erro em cada um dos modos disponíveis. Assim, utilizando o MOD1, para temperaturas entre os 0 e os 120°C o sensor apresenta um erro de 1,9DN equivalente a 0,32825 °C. No entanto, este modo para temperaturas abaixo de 0 °C apresenta um erro elevado, cerca de 1.27°C. No caso do MOD2 o erro apresentado é de 3DN para toda a gama de temperatura pretendida, 0 a 120°C, equivalente a 0,53°C. Esta diferença de erro entre os dois modos acontece devido à diferença no valor de tensão inicial da rampa e a dependência dessa tensão inicial com a temperatura.

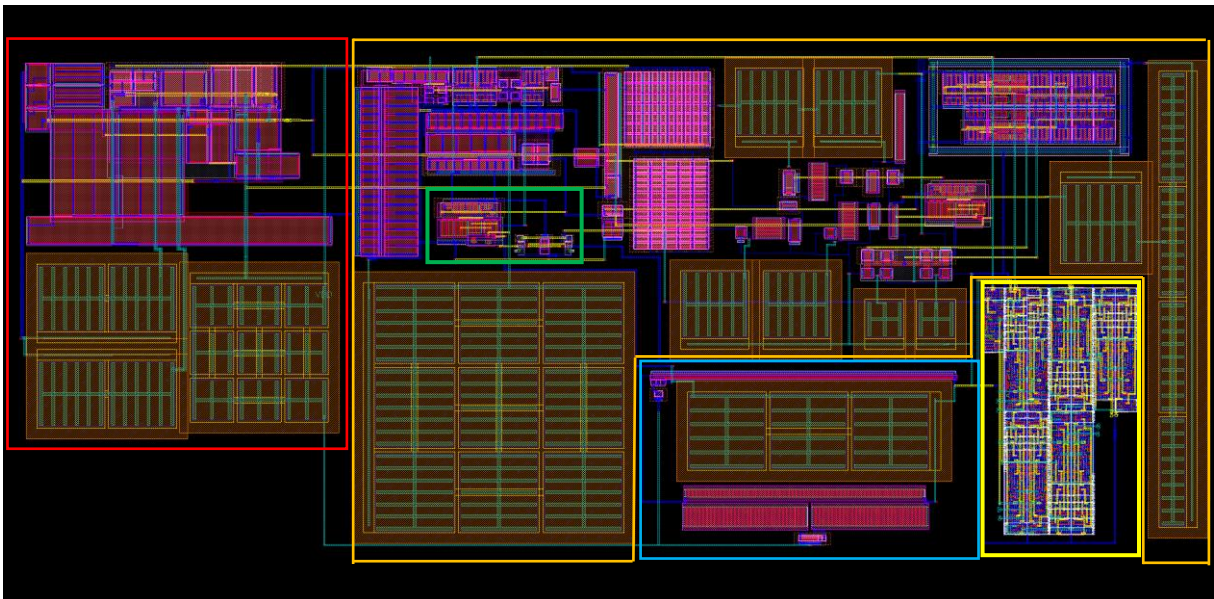
O erro apresentado nas Tabelas 6.3 e 6.4, deve-se à variação existente na tensão inicial da rampa, principalmente no caso do MOD2 (maior gama de

temperatura). Na tabela 6.5 é apresentado o erro máximo obtido utilizando uma fonte de tensão ideal de forma a mostrar a principal origem do erro.

**Tabela 6.5** - Erro usando uma fonte de tensão ideal para o início da rampa.

-20 a 120 °C	
Erro DN	Erro °C
1.50	0.259
-1.44	
0 a 120 °C	
Erro DN	Erro °C
1.50	0.259
-1.44	

No que respeita ao *layout* implementado para o circuito da Figura 6.1 houve a necessidade de juntar os sub-blocos e despondo os mesmos de forma que as suas ligações fossem o mais pequenas possível, evitando assim perdas e reduzindo o acoplamento entre os diversos sinais (*Coupling*). Assim, o *layout* final é apresentado na Figura 6.3 ocupando um área total de de 16000µm<sup>2</sup> o que corresponde a 0.016mm<sup>2</sup>.



**Figura 6.3** - *Layout* final para o sensor de temperatura com saída digital.

Na Figura 6.3 existem vários retângulos coloridos assinalados no *layout*. Cada retângulo corresponde a um dos sub-blocos apresentados na Figura 6.1: a vermelho é apresentado o circuito de *BandGap*, tensão de referência; a amarelo o contador de 10bits; a verde, na parte central da figura, é apresentado o comparador da ADC juntamente com o *Level Shifter*; a azul o sensor de temperatura juntamente com o respetivo circuito de *bias*; a laranja, ocupando grande parte da totalidade do *Layout*,

é apresentada a geração da rampa com geração de rampa, geração de corrente, e as capacidades inerentes ao funcionamento de todo o projeto.

Uma vez tendo sido passados os testes de DRC e LVS com sucesso, cumprindo todas as regras, passou-se a fazer a extração do PEX, extração de capacidades e resistências parasíticas. Após esta extração, foi criado automaticamente um esquemático representante de todas essas capacidades e resistências, utilizando-se esse ficheiro esquemático para fazer uma nova simulação em conjunto com o esquemático do circuito permitindo ao utilizador ter um valor mais aproximado ao real após a impressão.

Por fim, foram repetidas as simulações considerando os elementos parasíticos, com uma variação da temperatura entre os -20 °C e os 120 °C tendo em conta as capacidades e as resistências parasíticas extraídas, desta forma foram obtidos os resultados apresentados nas Tabelas 6.6 e 6.7.

**Tabela 6.6** - Resultados da simulação com PEX (MOD1).

Simulação Final (PEX)				
MOD1 (°C = (DN-389) * 0.176 + 20°C)				
Temperatura (°C)	DN ideal	DN	Cálculo Temperatura (°C)	Erro (°C)
-20	158	165	-18.852	1.148
-10	215	219	-9.359	0.641
0	272	273	0.135	0.135
10	329	329	9.979	0.021
20	386	385	19.824	0.176
30	443	442	29.845	0.155
40	500	499	39.865	0.135
50	557	557	50.062	0.062
60	614	615	60.258	0.258
70	670	672	70.279	0.279
80	727	729	80.299	0.299
90	784	786	90.320	0.320
100	841	842	100.165	0.165
110	898	898	100.165	0.010
120	955	953	119.679	0.321

**Tabela 6.7** - Resultados da simulação com PEX (MOD2).

Simulação Final (PEX)				
MOD2 (°C = (DN-189) * 0.176 - 20°C)				
Temperatura (°C)	DN ideal	DN	Cálculo Temperatura (°C)	Erro (°C)
-20	186	188	-19.648	0.352
-10	243	242	-10.144	0.144
0	300	301	0.240	0.240
10	356	354	9.568	0.432
20	413	414	20.128	0.128
30	470	469	29.808	0.192
40	527	526	39.840	0.160
50	584	584	50.048	0.048
60	641	642	60.256	0.256
70	697	697	69.936	0.064
80	754	757	80.496	0.496
90	811	814	90.528	0.528
100	868	870	100.384	0.384
110	925	926	110.240	0.240
120	981	981	119.920	0.080

Em suma, os resultados apresentados nas tabelas 6.8 e 6.9 apresentam o erro máximo deste trabalho. Desta forma o erro máximo esperado para o sensor de temperatura com saída digital, depende do modo escolhido, sendo que para o MOD1 o erro máximo é de 1.8DN que equivale a 0.3214 °C isto para temperaturas entre os 0 °C e os 120 °C enquanto que utilizando o MOD2 o erro máximo é de 3DN, o equivalente a 0.528 °C para toda a gama de temperatura de interesse (-20 °C a 120 °C).

**Tabela 6.9** - Erro máximo com PEX MOD2.

-20 a 120 °C	
Erro DN	Erro °C
3.00	0.528
-2.45	
0 a 120 °C	
Erro DN	Erro °C
3.00	0.528
-1.09	

**Tabela 6.8** – Erro máximo com PEX MOD1.

-20 a 120 °C	
Erro DN	Erro °C
6.53	1.148
-1.83	
0 a 120 °C	
Erro DN	Erro °C
1.82	0.3214
-1.83	

Na Tabela 6.10 é apresentada uma comparação entre os resultados obtidos com esta arquitetura neste trabalho e com outros trabalhos efetuados e apresentados em patentes. Esta comparação deve ser feita com cuidado pois os resultados podem variar para diferentes tecnologias.

Os parâmetros mais importantes, no que diz respeito ao pretendido neste trabalho, são a área utilizada e o consumo do circuito. No que diz respeito à área, utilizaram-se apenas 0.016mm<sup>2</sup>, e como se pode observar esta apresenta a menor área consumida em comparação com os restantes trabalhos. Em termos de consumo, não sendo a topologia com menor consumo, mas de qualquer forma apresenta um baixo consumo por conversão.

A tensão de alimentação depende evidentemente da tecnologia e dos dispositivos utilizados, sendo que no caso deste trabalho, foi utilizada uma tensão de 3.3V.

O erro apresentado neste trabalho, embora não seja o mais baixo apresentado na tabela 6.10, continua a ser melhor que o pretendido (erro máximo de 2°C). se for utilizada a escala de 0°C até 120°C o erro obtido reduz-se de 0.53°C para 0.32°C e em qualquer um desses casos situa-se abaixo do erro máximo pretendido e com valores semelhantes aos obtidos nos outros trabalhos.

Neste trabalho a ADC utilizada era constituída por 10 bits ao invés dos 8 bits mínimos pretendidos nos objetivos permitindo assim uma melhor resolução Se fossem utilizados os 8 bits, o erro mínimo seria de 1 LSB, o que corresponde a 0.55°C, apresentando igualmente um erro inferior ao erro máximo estipulado (2°C).

**Tabela 6.10** - Principais resultados e comparação com outros trabalhos.

	<b>Este trabalho</b>		[5]	[13]	[15]
Tipo de Sensor	<b>MOSFET</b>		BJT	MOSFET	BJT
Tecnologia	<b>0.130µm</b>		0.160µm	0.180µm	0.160µm
Área	<b>0.016mm<sup>2</sup></b>		0.12mm <sup>2</sup>	0.032mm <sup>2</sup>	0.08mm <sup>2</sup>
Alimentção	<b>3.3V</b>		1.5V to 2V	1.1V	2V
Resolução	<b>0.175°C</b>		0.015°C	0.3°C	0.02°C
Tempo conversão	<b>50µs</b>		100ms	1ms	5.3ms
Erro (°C)	<b>MOD1</b>	<b>MOD2</b>	±0.2°C	±1°C	±0.2°C
	<b>±0.32°C</b>	<b>±0.53°C</b>			
Temperaturas	<b>0°C to 120°C</b>	<b>-20°C to 120°C</b>	-30°C to 125°C	0°C to 100°C	-30°C to 125°C
Energia TS	<b>2.4 nJ</b>		920 nJ	0.44 nJ	36 nJ
Energia TS+ADC	<b>28 nJ</b>				
Energia TOTAL	<b>48 nJ</b>				



No fim da Tabela 6.10 é apresentada a energia necessária para cada conversão, referente a cada trabalho. No caso deste trabalho são apresentados três valores de energia diferentes: TS (energia consumida apenas pelo sensor de temperatura); TS+ADC (energia consumida pelo sensor de temperatura mais ADC) e TOTAL, (energia necessária por conversão para todo o sistema sendo incluídas a geração das tensões de referência). É assim possível verificar que grande parte do consumo do sensor digital se deve aos circuitos auxiliares que geram as tensões de referência.

O fato da alimentação do trabalho ser realizada a 3.3V contribui para que a energia consumida seja mais elevada (assumindo a mesma corrente, o consumo é três vezes superior a [13]).

Em termos gerais, sendo a área utilizada um dos fatores mais relevante para o produto final deste trabalho, verifica-se que em comparação com os restantes trabalhos este é o que apresenta menor área (metade da área utilizada pelo trabalho [13]). No que respeita ao erro foi conseguido um erro muito inferior comparativamente ao proposto nos objetivos, sendo semelhante ao erro apresentado nos restantes trabalhos.

## 7 Conclusões

Neste capítulo são apresentadas as conclusões gerais sobre o trabalho realizado no âmbito desta dissertação. São comentados os resultados finais, tendo em conta o pretendido nos objetivos e as arquiteturas utilizadas. Num segundo ponto são referidos possíveis trabalhos futuros de forma a melhorar e enriquecer o trabalho realizado nesta tese.

### 7.1 Conclusões gerais

Nesta dissertação foi implementado com sucesso um sensor de temperatura digital num circuito integrado, com área reduzida e compatível com a utilização em sensores de imagem, permitindo assim um melhor conhecimento da temperatura à qual o mesmo se encontra submetido.

Foi demonstrada a possibilidade de obtenção de um sensor de temperatura digital sem a utilização de BJT, reduzindo assim a área consumida por estes dispositivos, apresentando uma alternativa com MOSFET.

Todo o sistema implementado foi testado em simulação, tendo sido feitas também simulações pós-*layout*, comprovando assim o desempenho da arquitetura apresentada e os resultados obtidos nas simulações do esquemático.

O sensor de temperatura (parte analógica do sistema), apresentou uma boa linearidade e uma boa resposta em relação à temperatura, provocando uma grande variação da tensão à sua saída, aumentando a variação típica de  $2\text{mV}/^\circ\text{C}$  para um valor superior a  $5\text{mV}/^\circ\text{C}$ .

No que diz respeito ao conversor analógico-digital, foram implementados em esquemático duas arquiteturas diferentes, ADC em rampa e ADC em dupla rampa, o que após o estudo e simulação de ambas permitiu a escolha da que melhor se adaptava ao pretendido. Assim foi implementada a ADC em rampa em *layout* sendo esta a arquitetura final referente à ADC. A ADC em dupla rampa eliminava o problema da variação da tensão inicial existente na ADC em rampa. No entanto foi escolhida a ADC em rampa por ter uma arquitetura mais simples, sem necessidade de um bloco lógico de controlo, e por apresentar um baixo erro com uma área muito inferior à ADC em dupla rampa, devido a esta utilizar capacidades muito superiores. Desta forma a ADC utilizada foi uma ADC em rampa com 10bits (ao invés dos 8bits pretendidos nos objetivos), assim foi conseguida uma melhor resolução, otimizando o sistema. Se utilizados 8bits a resolução da ADC seria menor e o menor erro possível seria igual ao erro de quantização (aproximadamente  $0.55^\circ\text{C}$ ).

Em termos de resultados finais, e embora estes testes tenham sido feitos apenas por via de simulação, o sistema na sua globalidade apresentava um erro de  $0.53^\circ\text{C}$  para toda a gama de temperaturas de interesse ( $-20^\circ\text{C}$  a  $120^\circ\text{C}$ ), que podia

ser reduzido para  $0.32^{\circ}\text{C}$  se utilizado apenas em temperaturas acima dos  $0^{\circ}\text{C}$ . Este erro devia-se maioritariamente à tensão utilizada com referência para o início da rampa. Fazendo a simulação assumindo esse valor com o externo, ou seja, dado por uma fonte ideal, o erro para toda a gama de temperaturas reduzia-se para  $0.25^{\circ}\text{C}$  (equivalente a 1.5 DN). No entanto, assumindo o erro máximo obtido ( $-20^{\circ}\text{C}$  a  $120^{\circ}\text{C}$  sem fonte de tensão ideal), é possível concluir que este encontra-se muito abaixo do erro máximo de  $2^{\circ}\text{C}$  como definido nos objetivos.

Em termos de consumo, o objetivo era a obtenção de um sistema com um consumo de corrente na ordem dos mA e com este projeto foi conseguido um consumo médio de  $290\mu\text{A}$ , podendo ainda ser otimizado desligando partes do circuito que não se encontrem em utilização, por exemplo, quando selecionado um início de rampa seria possível desligar internamente a alimentação da outra não utilizada.

Em termos de área, e tendo em conta o limitado espaço disponível nos sensores de imagem, foi implementado da forma mais compacta possível finalizando-se o *layout* com uma área de  $16000\mu\text{m}^2$ , o que corresponde a  $0.016\text{mm}^2$ , obtendo-se assim um sensor de temperatura digital numa área reduzida de acordo com os objetivos.

## 7.2 Trabalhos futuros

Como o projeto desenvolvido foi um sensor de temperatura digital *ON-Chip*, e uma vez que nesta dissertação foram apenas feitos testes em simulação, futuramente será possível proceder à implementação do mesmo no silício podendo assim efetuar testes práticos, e analisando os resultados, comparar os mesmos com os obtidos em simulação.

Como trabalho futuro poderá ainda ser otimizada a geração da corrente no conversor tensão-corrente, tornando este mais imune à variação da temperatura e, se possível, obter uma geração de corrente auto ajustável à frequência utilizada tornando o sistema mais genérico do que o atual (que utilizava frequência fixa de 20MHz).

Finalmente, sendo o mais importante, futuramente é fundamental trabalhar na geração da tensão de referência utilizada como início de rampa, permitindo assim obter uma tensão menos dependente da temperatura, e eliminando grande parte do erro existente no sistema.

## Referências

- [1] R. J. Baker, CMOS Circuit Design, Layout and Simulation, IEEE press, 2010.
- [2] H. H. E. e D. M. H. Weste, CMOS VLSI Design, 2009.
- [3] P. R. G. e R. G. Meyer, Analysis and Design of Analog Integrated Circuits, Wiley , 2009.
- [4] M. A. Pertijs e J. H. Huijsing, Precision Temperature sensor in CMOS Technology, Ohio state: Springer, 2006.
- [5] K. Souri e K. A. A. Makinwa , “A 0.12 mm<sup>2</sup> 7.4uW Micropower Temperature Sensor With an Inaccuracy of 0.2°C From -30°C to 125°C,” *IEEE Journal of Solid-State Circuits*, vol. 46, nº *Temperature Sensor*, pp. 1693-1701, Julho 2011.
- [6] K. A. A. Makinwa, J. H. Huijsing e M. A. P. Pertijs, “A CMOS Smart Temperature Sensor With a Inaccuracy of 0.1°C From -55°C to 125°C,” *IEEE Journal of Solid-State Circuits* , vol. 40, nº *Temperature Sensor*, pp. 2805-2816, 2005.
- [7] P. Chen, C.-C. Chen e C.-C. Tsai, “A time-to-digital-converter-based CMOS smart temperature sensor,” *IEEE Journal of Solid-State Circuits*, pp. 1642-1648, 2005.
- [8] C.-C. Chen, C.-L. Chen e Y. Lin, “All-Digital Time-Domain CMOS Smart Temperature Sensor with On-Chip Linearity Enhancement” 2016.
- [9] C. Zhao, Y.-T. Wang, D. Genzer, D. Chen e R. Geiger, “A CMOS On-Chip Temperature Sensor with -0.21°C/0.17°C Inaccuracy from -20°C to 100°C,” *IEEE Journal of Solid State Circuit*, pp. 2621-2626, 2013.
- [10] H. Zumbahlen, “Basic Linear Design,” 2007. [Online]. Available: <http://www.analog.com/media/en/training-seminars/design-handbooks/Basic-Linear-Design/Chapter6.pdf>. [Acedido em Junho 2016].
- [11] “Analog to Digital Conversion,” [Online]. Available: <https://www.mccdaq.com/PDFs/specs/Analog-to-Digital.pdf>. [Acedido em Junho 2016].
- [12] D. Zhu, T. Sifleet, T. Nunnally e Y. Huang, “Analog to Digital Converters,” [Online]. Available:

[http://ume.gatech.edu/mechatronics\\_course/ADC\\_F08.pdf](http://ume.gatech.edu/mechatronics_course/ADC_F08.pdf). [Acedido em Maio 2016].

- [13] M. K. Law, "A 405-nW CMOS Temperature Sensor Based on Linear MOS Operation," *IEEE Transaction on Circuits and Systems*, December 2009.
- [14] K. Ueno, T. Hirose, T. Asai e Y. Amemiya, "A 300nW, 15ppm/C, 20 ppm/V CMOS Voltage Reference Circuit Consisting of *Subthreshold* MOSFETs," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 44, pp. 2047-2054, July 2009.
- [15] K. Souri, Y. Chae e K. Makinwa, "A CMOS Temperature Sensor With a Voltage-Calibrated Inaccuracy of 0.15°C," *IEEE Journal of Solid-State Circuits* , vol. 48, January 2013.
- [16] B. Razavi, *Design of Analog CMOS Integrated Circuits*, Los Angeles: McGraw-Hill Higher Education, 2001.

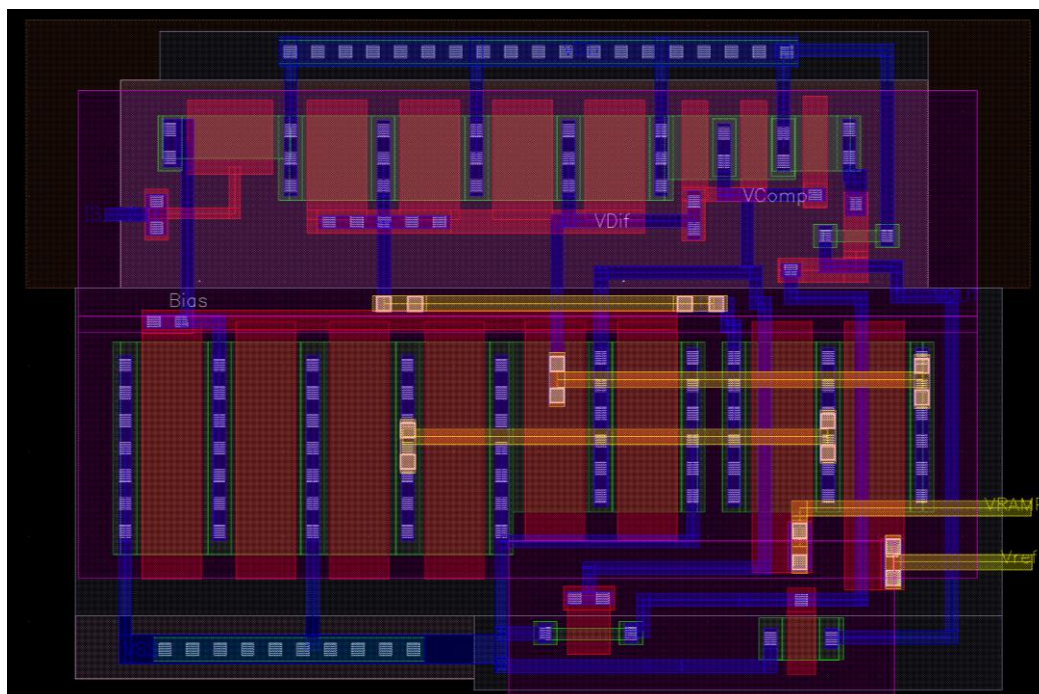
## Anexo A - Layout

Nesta secção dos anexos será apresentado o *layout* feito para cada bloco, permitindo uma melhor compreensão de todo o processo até se chegar ao *layout* final apresentado na Figura 6.4.

Uma vez que já foram apresentados alguns blocos, como por exemplo o sensor de temperatura com saída analógica, e uma introdução ao princípio básico de desenho de *layout*, passa-se a apresentar os restantes blocos, referentes à ADC em Rampa, utilizada neste trabalho e mais à frente o *layout* referente aos blocos da tensão de referência.

Na Figura A.1 é apresentado o *layout* utilizado para implementação do comparador da ADC em Rampa, da Figura 4.11. Este *Layout* representa o comparador. Na parte superior da figura encontram-se todos os PMOS utilizados neste circuito, sendo possível encontrar o PM0 que faz o *Bias* da corrente em NM14, em espelho com o NM15.

Os quatro PMOS que se seguem fazem parte de dois PMOS que foram divididos a metade do *width*, ocupando uma menor área, e representam o PM6 e PM7 (espelho de corrente do amplificador). Continuando nos PMOS existe o PM8, que faz parte do segundo estágio de amplificação, e dois PMOS com dimensões reduzidas referentes aos dois inversores.

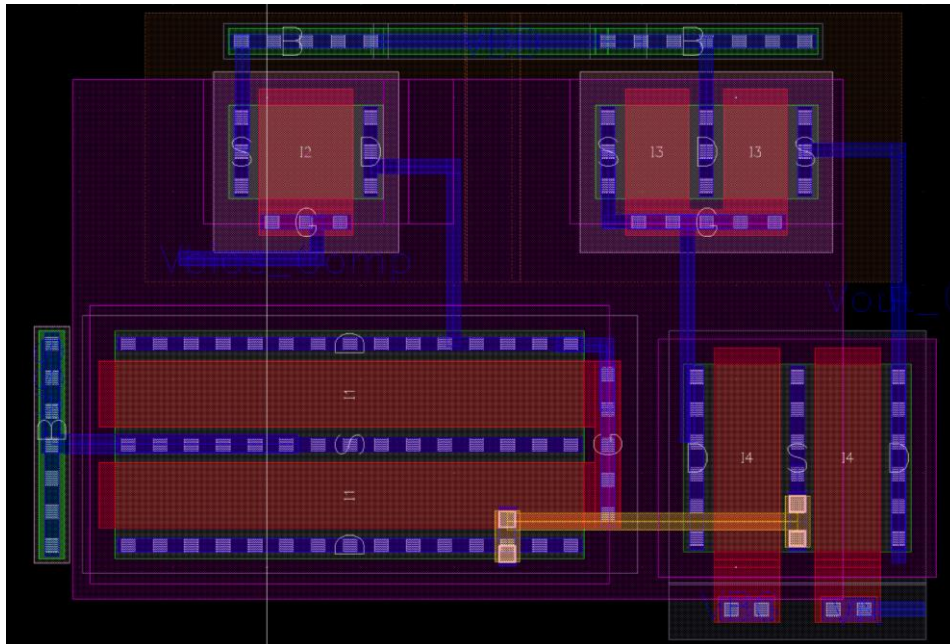


A.1 - *Layout* do Comparador da ADC em Rampa.

No que diz respeito aos NMOS, estes encontram-se na parte inferior da figura. Os primeiros quatro representam NM14 e NM 15, seguidos pelo NM16 e NM17 (par

diferencial) e finalmente NM18, que representa o NMOS existente no segundo estágio do amplificador. Os dois pequenos NMOS apresentados na parte mais inferior da figura representam os NMOS dos inversores.

No que respeita ao *layout* referente à geração da Rampa, incluindo comparador do conversor Tensão-Corrente, o próprio conversor, o bloco de divisão do relógio, e o circuito de geração da Rampa, a Figura A.2 começa por mostrar o comparador utilizado.



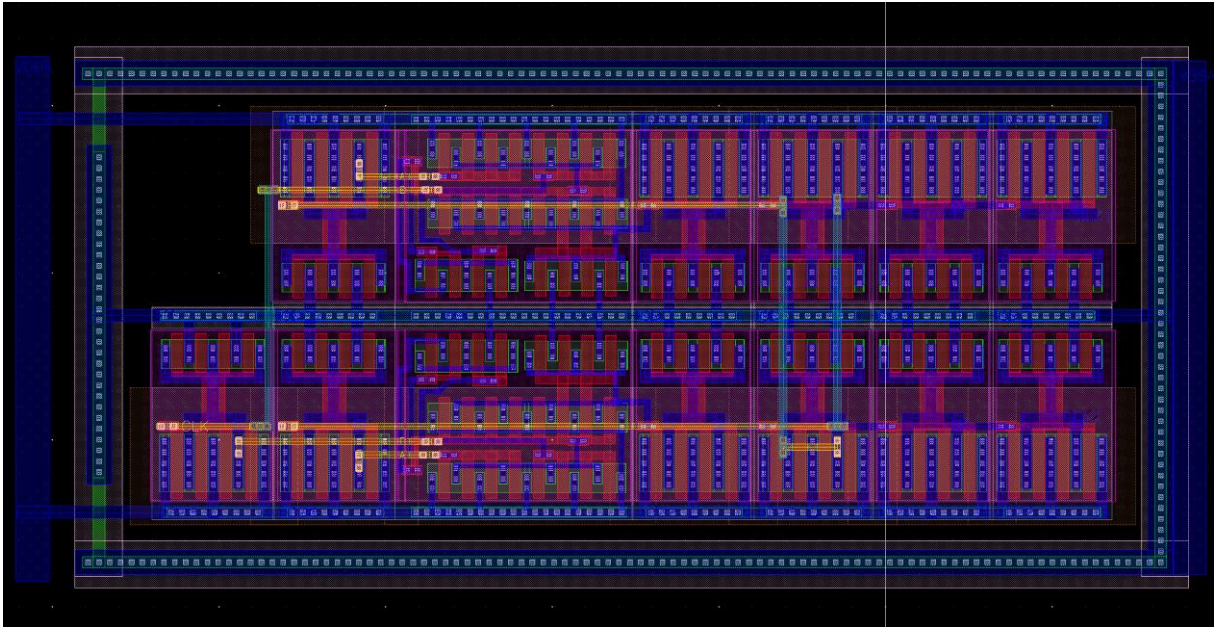
**A.2** - Comparador utilizado no conversor Tensão-Corrente realimentado por  $V_N$ .

Na figura acima podem ser visualizados novamente os PMOS na parte superior da figura, contendo uma camada N-well (isto significa que são MOSFET do tipo P). Na parte inferior da figura encontram-se os NMOS em que os maiores são os responsáveis pelo controlo da corrente no amplificador e os dois NMOS no canto inferior direito dizem respeito ao par diferencial NMOS.

Como referido no ponto 4.3, para o correto funcionamento do conversor Tensão-Corrente existiu a necessidade de utilizar um circuito capaz de gerar dois sinais de relógio, partindo do relógio principal. Uma vez que os blocos digitais da tecnologia DongBu necessitam de uma alimentação de 1.5V, o que corresponde a ter uma saída de 0V para o valor lógico '0' e 1.5V para o '1' houve a necessidade de criar os blocos referentes a este circuito (alimentados por 3.3V), permitindo assim a ligação direta entre este circuito e o conversor sem existir um *Level Shifter*. A Figura A.3 apresenta o *layout* deste circuito, sendo todos os blocos feitos de raiz, e de forma uniforme, e o mais reduzido possível.

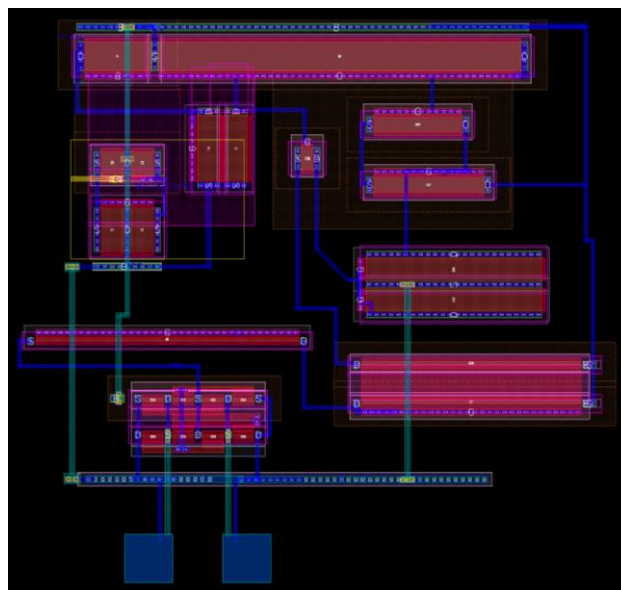
Este circuito é assim constituído por duas portas lógicas AND e diversos inversores. Uma vez que as portas lógicas AND apresentam uma maior área utilizada,

foi ajustado o tamanho dos inversores para que tivessem as mesmas dimensões no que diz respeito à altura, permitindo assim obter um *layout* retangular. Visto este ser um circuito digital, mas com alimentação de 3.3V, igual à do circuito analógico, existiu a necessidade de isolar o mesmo, evitando assim, grande parte do ruído entre este circuito e os restantes.



A.3 - *Layout* do circuito divisor de relógio. Representa o circuito apresentado na Figura 4.16.

Numa primeira abordagem foi desenhado o *layout* do conversor Tensão-Corrente, gerador de corrente, Figura A.4 (referente ao esquemático apresentado na Figura 4.20). Este *layout* embora mais simples, sem os filtros RC, tornou-se inútil quando simulado com os valores das capacidades parasíticas, pois como eram utilizadas correntes baixas este sofria acoplamento dentro do próprio circuito.

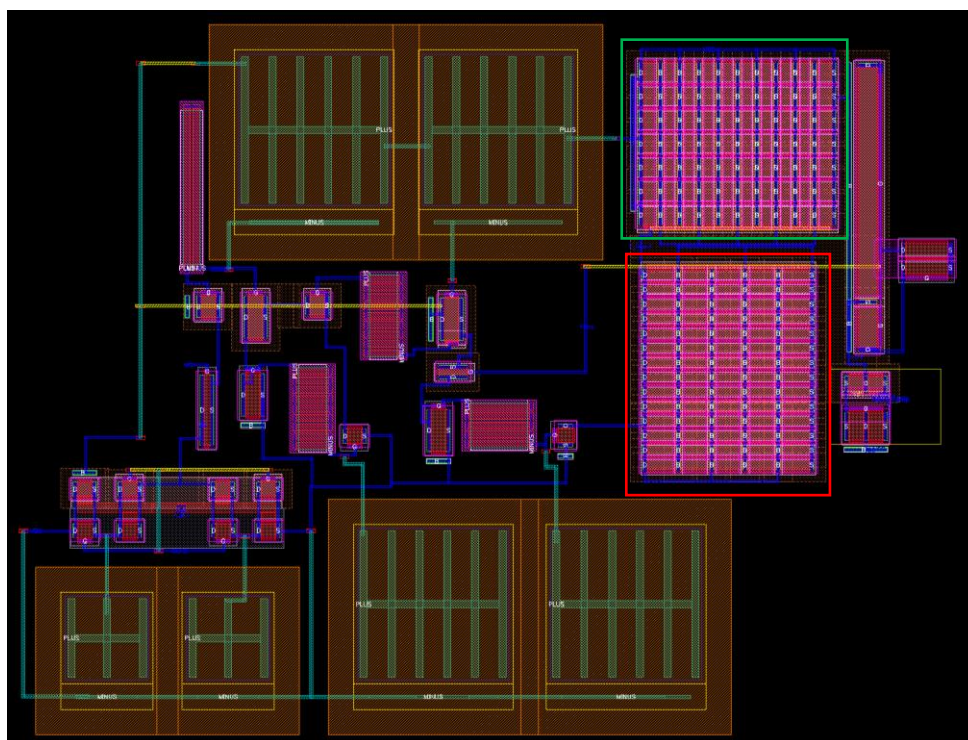


A.4 - Primeira versão do *layout* do conversor Tensão-Corrente.



Na parte inferior da Figura A.4 existem dois quadrados azuis, referentes a duas capacidades construídas com metal 3 e metal 2, de forma a compensar o acoplamento existente. Mesmo com os ajustes implementados, o circuito gerador de corrente, utilizando a extração das capacidades parasíticas na simulação, apresentava uma grande variação da corrente gerada não correspondendo ao simulado no esquemático.

Assim, procedeu-se à alteração do esquemático para o apresentado na Figura 4.21, contendo filtros RC nos espelhos e uma geração de uma corrente superior, sendo reduzida para a corrente pretendida no último espelho. O *layout* final do gerador de corrente é apresentado na Figura A.5.



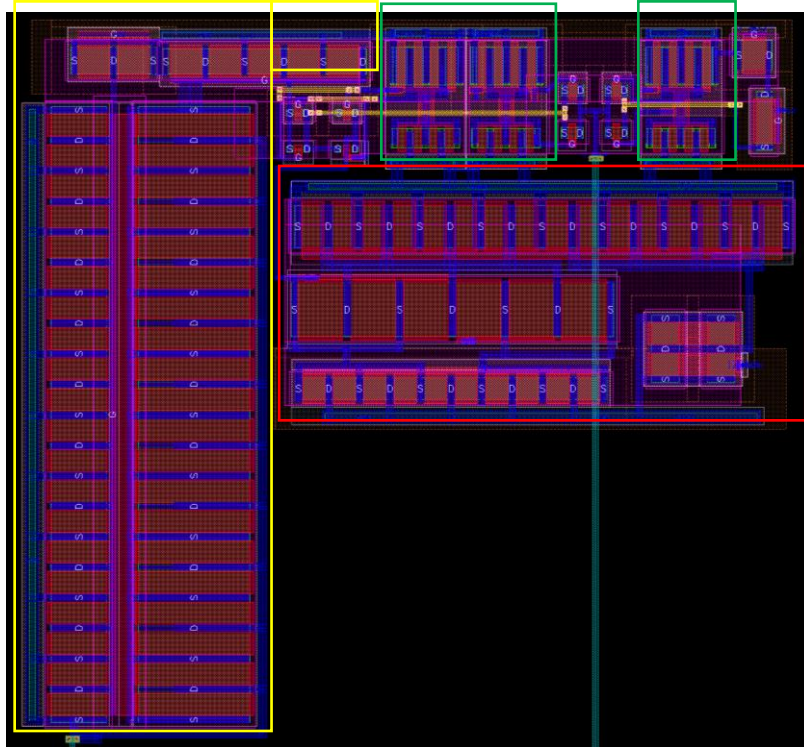
**A.5** - Versão final do *layout* do gerador de corrente correspondendo à Figura 2.21.

Neste *layout* é então apresentada a versão final do conversor Tensão-Corrente contendo todas as capacidades e resistências referentes aos filtros RC utilizados nos espelhos de corrente de forma e obter tensões mais estáveis (menos ruidosas). No canto inferior esquerdo encontram-se as duas capacidades comutadas, C0 e C1 da Figura 2.21, juntamente com os interruptores que controlam o funcionamento das mesmas.

Ainda referente à Figura A.5 na parte direita da imagem são visíveis dois retângulos, um verde e um vermelho. Estes representam os PMOS4 e PMOS17 da Figura 2.21, responsáveis pela relação de corrente para a geração da rampa.

Passando assim ao circuito da rampa da Figura 4.23, é apresentado o *layout* respetivo ao mesmo na Figura A.6. Nesta figura estão realçadas algumas partes com

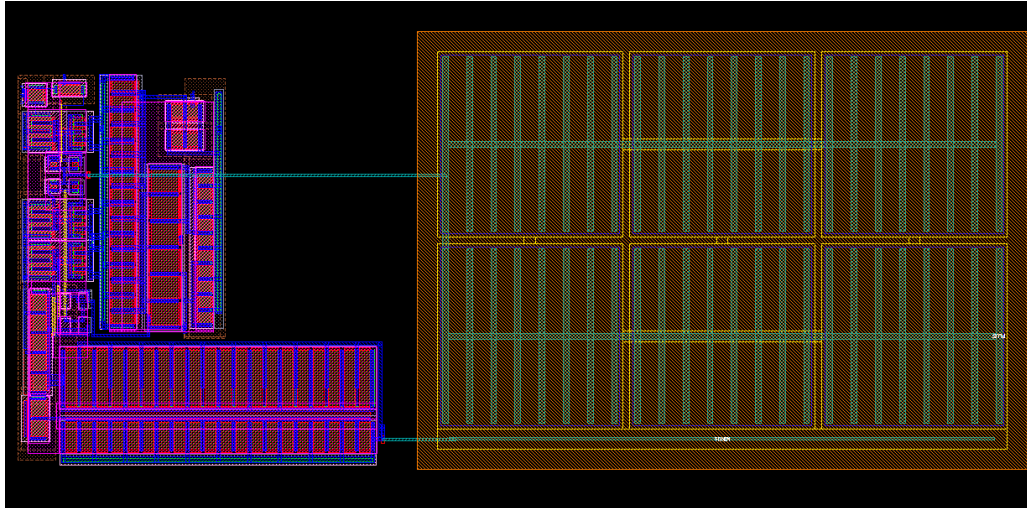
retângulos. A verde é apresentada a localização dos inversores, sendo estes iguais aos utilizados na Figura A.3, responsáveis pela negação dos sinais de controlo.



**A.6** - *Layout* do esquemático da Figura 2.23 (Sem capacidade).

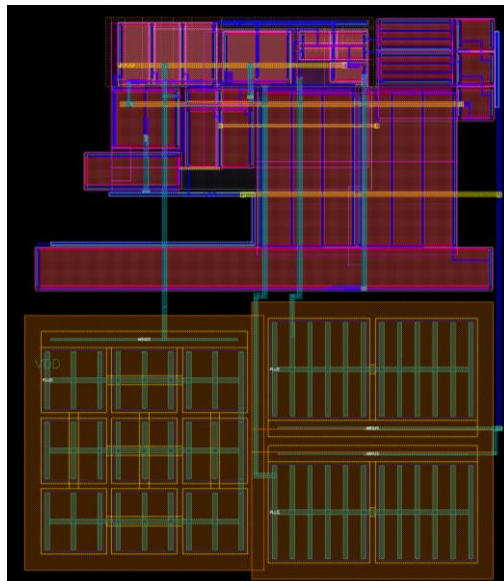
A vermelho é apresentado o *layout* do *buffer*. As secções a vermelho e a amarelo são responsáveis pela tensão de referência para o início da Rampa. O restante *layout* é constituído por interruptores para o controlo dos sinais e no canto superior direito encontram-se os PMOS PM26 e PM30, fazendo espelho com os PM4 e PM17 apresentados no conversor Tensão-Corrente (Figura A.5).

Na Figura A.7 é apresentado o mesmo *layout* que na Figura A.6 mas agora incluindo a capacidade da Rampa, permitindo assim ter uma maior noção do tamanho ocupado pela capacidade.



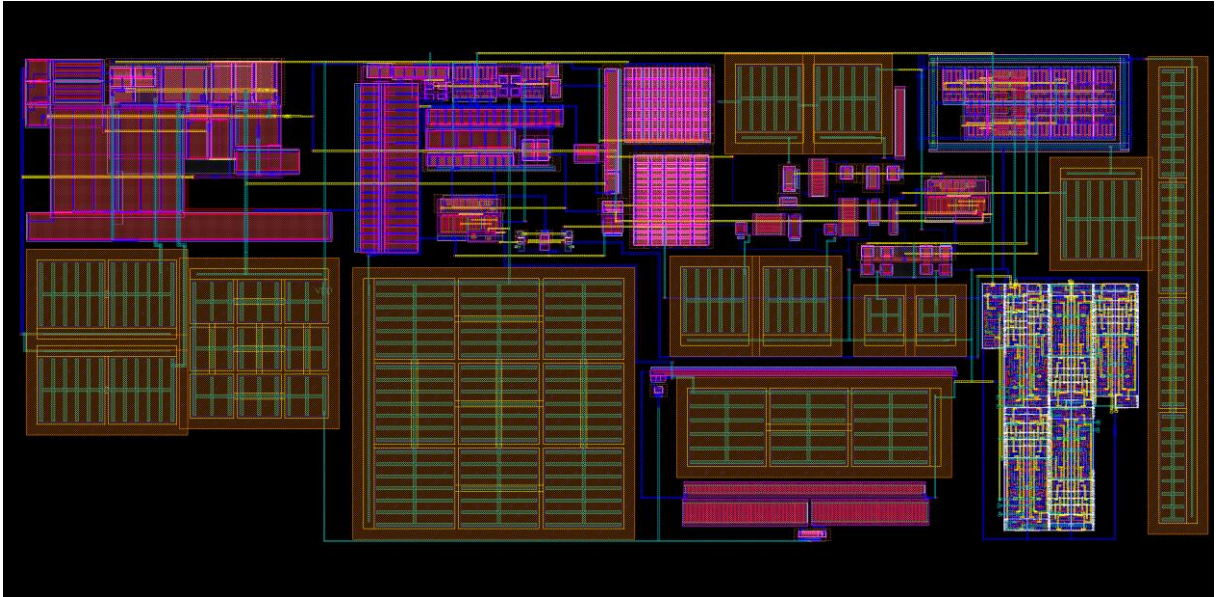
**A.7** - *Layout* completo com capacidade referente ao esquemático da Figura 2.23.

Por fim, no que diz respeito aos *layouts* individuais, é apresentado o *layout* referente ao circuito de *BandGap*, cujo esquemático foi apresentado na Figura 5.3. Assim a Figura A.8 mostra esse *layout* responsável pela criação de uma tensão de referência.



**A.8** - *Layout* do circuito de *BandGap* (Figura 5.3).

Em suma, na figura abaixo, Figura A.9, é apresentado o *layout* final deste trabalho, contendo todos os blocos de *layout* apresentados neste anexo bem como os apresentados no corpo do relatório. Como referido no capítulo 6, este trabalho representa uma área de 0.016mm<sup>2</sup>, tendo uma área reduzida como era pretendido nos objetivos.



**A.9** - *Layout* final para o sensor de temperatura com saída digital com uma área de 0.016mm<sup>2</sup>.

## Anexo B – Configuração da Simulação

Neste ponto dos anexos é apresentado um exemplo do ficheiro de configuração com os parâmetros para a simulação, sendo apenas um excerto com funções, tipo de simulação (transient ou ac), definição de fontes de alimentação (do tipo DC e AC), definição de sinais de diversos tipos, definição de parâmetros variáveis, como a temperatura.

Na última parte deste excerto encontram-se as funções para criação de gráficos e extração de valores referentes aos sinais dos circuitos bem como o modo de funcionamento dos dispositivos. É apresentada ainda a definição de um barramento com 10bits (M10 a M1), definindo a tensão de decisão entre '0' ou '1'. A saída deste barramento é um valor decimal.

```
*****
***                               TEST                               ***
*****
***                               ***
***   Date : 03/03/2017         ***
***   Author : Rúben Gomes     ***
***                               ***
*****
***   Comments:                ***
***   Testing eldo models      ***
***   Simulation tests         ***
*****
***                               INCLUDE FILES & OPTIONS          ***
*****
.OPTION MSGNODE = 0
.connect VSS 0                  *Ligação de VSS a massa

.temp 25                        *Definição da temperatura
.probe I                         *Visualização das correntes
*****
***                               END                               ***
*****
***                               SIMULATION                       ***
*****
*** SIM
.tran 10n 70u                   *simulação Tran
.ac dec 10 1 10e9              *simulação AC
*****
***                               END                               ***
*****
***                               INPUTS                           ***
*****

*** POWER
vpower VDD VSS 3.3             * Alimentação
```

```

vp in_n vss dc 1.1 ac 1
VN VN VSS 2
Vreset RESET VSS PWL (1u 0 1.01u 3.3)
VV CLK VSS pattern 0 3.3 1n 0.1n 0.1n 25n 0101 R
VR SH VSS pulse (0 3.3 500u 10n 10n 450u 5.8m)

```

```

* Fonte AC
* Fonte DC

```

```

*Sinal PWL
*Sinal periódico
*Sinal pulso

```

```

*** Criação de um parâmetro variável
.param VN = 2.2
.step param VN LIST 1.71449 1.94202 2.16945

```

```

Co VO Vss 5p
Ro OUT IN 1e3

```

```

* Capacidade
* Resistência

```

```

.step temp List -20 70 120
.step temp List -20 120 10
com intervalo de 10

```

```

* Variação da temperatura com três casos
* Variação da temperatura contra -20 e 120

```

```

*****
***                               END                               ***
*****
***                               PLOT BIAS                          ***
*****

```

```

*** Defenição de um barramento
.SETBUS BUS1 M10 M9 M8 M7 M6 M5 M4 M3 M2 M1
.PLOTBUS BUS1 VTH = 0.75

```

```

.plot tran V(VOUT, VIN)
.extract MAX(V(VOUT))
.extract YVAL(V(VOUT), 300n)

```

```

* Gráfico de VOUT em relação a VIN
* Extração de VOUT no ponto máximo
* Extração de VOUT apos 300n de simulação

```

```

.extract mode(MNM1)
.extract opmode(XI3.MNM1)

```

```

* Extração do modo de funcionamento de NM1, no instante inicial
*Extração do modo de funcionamento de NM1 dentro do bloco I3

```

```

***                               END                               ***
*****

```