

XV Международная научно-практическая конференция студентов аспирантов и молодых учёных  
«Молодёжь и современные информационные технологии»

## РАЗРАБОТКА ФУНКЦИОНАЛЬНОЙ СХЕМЫ МЕЖИНТЕРФЕЙСНОГО АДАПТЕРА AXI-TO-SPI НА ПЛИС

Старшинов В.С.

Научный руководитель: Мальчуков А.Н., доцент каф. ИСТ ТПУ

Томский политехнический университет

E-mail: vss21@tpu.ru

### Введение

Одной из самых острых и актуальных проблем в области систем связи на сегодняшний день является проблема совместимости различных видов устройств. Для решения задачи совместимости интерфейсов используются межинтерфейсные адаптеры. В данном случае стояла задача совмещения персонального компьютера и цифро-аналогового преобразователя через программируемые логические интегральные схемы (ПЛИС).

Данный преобразователь можно использовать в качестве радиопередатчика сигналов, для воспроизведения звука и видеопроигрывания [1].

### Описания блоков адаптера

Блок AXI\_SLAVE является устройством, обеспечивающим прием данных с ПК (рис. 1).

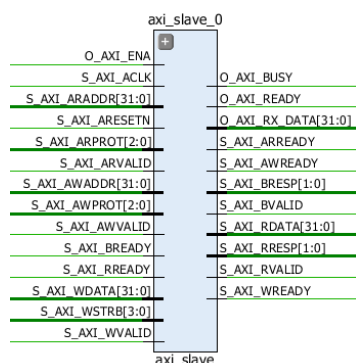


Рис. 1. Блок AXI\_SLAVE

### Входы:

S\_AXI\_ACLK – глобальный сигнал тактирования частотой 100MHz, S\_AXI\_ARESETN – глобальный сигнал сброса, активный уровень – низкий, S\_AXI\_ARADDR [31..0] – входной синхросигнал 250МГц, S\_AXI\_AWPROT [2..0] – адрес, по которому будут записываться данные, S\_AXI\_AWVALID – сигнал подтверждает, что на AWADDR выставлен актуальный адрес, S\_AXI\_WDATA [31..0] – данные для записи, S\_AXI\_WSTRB [2..0] – сигнал показывает, какие из байтов на WDATA будут записаны, S\_AXI\_WVALID – сигнал подтверждает, что на WDATA находятся актуальные данные, S\_AXI\_BREADY – сигнал отражает готовность устройства принять статус записи, S\_AXI\_ARADDR [31..0] – адрес, по которому будут прочитаны данные, S\_AXI\_ARPROT [2..0] – сигнал устанавливает тип привилегий и уровень безопасности для транзакций, S\_AXI\_ARVALID – сигнал подтверждает, что на ARADDR выставлен актуальный адрес, S\_AXI\_RREADY – сигнал отражает готовность устройства принять статус

записи, O\_AXI\_ENA [31..0] – сигнал, который дает разрешение на передачу данных в следующий блок.

### Выходы:

S\_AXI\_AWREADY – сигнал отражает готовность устройства принять адрес записи и соответствующие сигналы управления, S\_AXI\_WREADY – сигнал отражает готовность устройства принять данные и соответствующие сигналы управления, S\_AXI\_BRESP [1..0] – сигнал отражает готовность устройства, S\_AXI\_BVALID – сигнал подтверждает, что на BRESP находятся актуальные данные, S\_AXI\_ARREADY – сигнал отражает готовность устройства принять адрес чтения и соответствующие сигналы управления, S\_AXI\_RDATA [31..0] – прочитанные данные, S\_AXI\_RRESP [1..0] – статус произведенной операции чтения, S\_AXI\_RVALID – сигнал актуальности данных на RRESP, O\_AXI\_BUSY – сигнал, который показывает, идет ли передача данных, O\_AXI\_RX\_DATA [31..0] – данные, передаваемые на блок AXI\_TO\_SPI, O\_AXI\_READY – сигнал, который сообщает о завершении передачи данных.

### Принцип работы блока AXI\_SLAVE:

Блок AXI\_SLAVE принимает команды и адрес и с помощью многочисленных настроек осуществляет взаимодействие с ПК. Данный блок является ведомым устройством, который принимает данные от ведущего устройства, которым выступает в данной ситуации ПК Частота входящих команд на данный блок равно 250 МГц [2].

Блок DIVIDER\_FREQ является делителем входной частоты (уменьшает входную частоту до 25 МГц) (рис. 2).

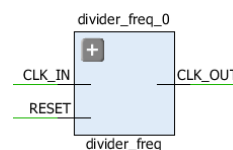


Рис. 2. Блок SPI\_MASTER

### Выходы:

CLK\_IN – входной синхросигнал 250МГц, RESET – глобальный сброс.

### Выход:

CLK\_OUT – выходной синхросигнал 25МГц.

Блок AXI\_TO\_SPI является устройством, обеспечивающим передачу сигнала с блока AXI\_SLAVE в блок SPI\_MASTER, то есть фактически является межинтерфейсным адаптером (рис. 3) [2, 3].

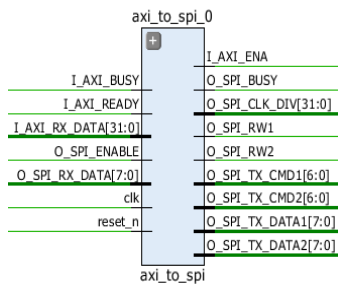


Рис. 3. Блок AXI\_TO\_SPI

**Входы:**

clk – входной синхросигнал 250МГц, reset\_n – глобальный сигнал сброса, I\_AXI\_BUSY – сигнал, передачи данных, I\_AXI\_READY – сигнал, который сообщает о завершении передачи данных, I\_AXI\_RX\_DATA [31..0] – данные, получаемые с блока AXI\_SLAVE, O\_SPI\_ENABLE – настройка адреса для транзакции, O\_SPI\_RX\_DATA [7..0] – данные, получаемые блоком SPI\_MASTER.

**Выходы:**

I\_AXI\_ENA – сигнал, который дает разрешение на передачу данных в следующий блок, O\_SPI\_BUSY – показывает, передаются ли данные в данный момент, O\_SPI\_CLK\_DIV [31..0] – установка скорости, O\_SPI\_RW1 – чтение/запись 1 команды, O\_SPI\_RW2 – чтение/запись 2 команды, O\_SPI\_TX\_CMD1 [6..0] – 1 порция передаваемых команд, O\_SPI\_TX\_CMD2 [6..0] – 2 порция передаваемых команд, O\_SPI\_TX\_DATA1 [7..0] – 1 порция передаваемых данных, O\_SPI\_TX\_DATA2 [7..0] – 2 порция передаваемых данных.

Принцип работы блока AXI\_TO\_SPI:

Блок AXI\_TO\_SPI выполняет роль преобразователя данных из параллельного вида в последовательный. Данный блок разделяет подаваемое с блока AXI\_SLAVE 32-разрядное слово на 4 порции данных по 8 бит каждая, из которых 2 порции являются командами, выполняющие роль адресов необходимых для использования регистров, остальные 2 порции являются названиями этих регистров (рис. 4).

Bit Description:	MSB				LSB	
	RW	Commands	Data	RW	Commands	Data
Bits:	31	30-24	23-16	15	14-8	7-0

Рис. 4. Формат транзакций блока AXI\_TO\_SPI

Блок SPI\_MASTER выводит данные побитово на ЦАП (рис. 5).

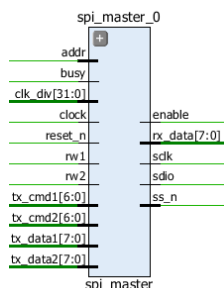


Рис. 5. Блок SPI\_MASTER

**Входы:**

clock – входной синхросигнал 25МГц, reset\_n – глобальный сигнал сброса, addr – установка адреса, busy – занятость сигнала, clk\_div [31..0] – установка скорости, rw1 – 1 команда чтения/записи, rw2 – 2 команда чтения/записи, tx\_cmd1 [6..0] – 1 порция передаваемых команд, tx\_cmd2 [6..0] – 2 порция передаваемых команд, tx\_data1 [7..0] – 1 порция передаваемых данных, tx\_data2 [7..0] – 2 порция передаваемых данных.

**Выходы:**

enable – разрешение на передачу данных, rx\_data [7..0] – считываемые данные, sclk – тактовая частота передаваемых сигналов 25 МГц, sdio – последовательная выдача инструкций и данных, ss\_n – выбор ведомого устройства.

**Принцип работы SPI\_MASTER:**

После передачи данных на блок SPI\_MASTER они записываются в сдвиговый регистр, после чего выдача данных побитово. В качестве последовательности выдаваемых данных выступает бит инструкции и бит данных. Эта последовательность данных передается на блок передатчика ЦАП [3].

**Заключение**

В работе представлена реализация блоков, а также описан принцип работы блоков AXI\_SLAVE и DIVIDER\_FREQ. Совместная работа данных блоков позволяет принять данные и адреса регистров с ПК с частотой передачи 250МГц для передачи данных в остальные блоки.

**Список использованных источников**

1. Архитектура ПЛИС (FPGA) // Марсход – open source hardware project [Электронный ресурс]. – URL: <http://micro-proger.ru/2016/03/17/plis-fpga-i-mikrokontroller-v-chem-raznica/> (дата обращения 12.04.2017).
2. AXI4-Lite IP Interface (IPIF) // Xilinx All Programmable [Электронный ресурс]. – URL: [https://www.xilinx.com/products/intellectual-property/axi\\_lite\\_ipif.html](https://www.xilinx.com/products/intellectual-property/axi_lite_ipif.html) (дата обращения 12.04.2017).
3. Ключев А.О., Ковязина Д.Р., Петров Е.В., Платунов А.Е. Интерфейсы периферийных устройств. – СПб.: СПбГУ ИТМО, 2010. – 123 с.