

ИССЛЕДОВАНИЕ ПРОПУСКНОЙ СПОСОБНОСТИ МЕЖДУ DDR3 ПАМЯТИ И ПЛИС С ИСПОЛЬЗОВАНИЕМ SOFT КОНТРОЛЛЕРА ДЛЯ ALTERA CYCLONE V

И.В. Зоев, Т.А. Ягунов, А.П. Береснев
Томский политехнический университет
Ivz3@tpu.ru

Введение

На сегодняшний день является актуальной тематика аппаратной реализации нейронных сетей на ПЛИС. Одна из работ, на прямую связанная с ней, представлена в [1]. Однако описанное в ней устройство имеет ряд недостатков. Самый значимый из них – плохая масштабируемость на различные архитектуры нейросетей. Данную проблему можно решить модифицировав функциональную схему вычислителей для нейросети. Но такого рода модификации упираются в проблему ограниченной пропускной способности памяти, взаимодействие с которой происходит по средствам центрального процессора (CPU). Выходом из данной ситуации является обеспечение взаимодействия с внешней памятью, без использования CPU. На плате Terasic SoCkit присутствует внешняя память DDR3 объемом 1 Гб, которая подключенная на прямую к ПЛИС. Используя контроллер памяти можно получить доступ ко всему адресному пространству данной памяти без лишних промежуточных устройств.

Целью данной работы является исследование пропускной способности между ПЛИС и этой памяти с учётом ограничений, которые накладывает данная ПЛИС Altera Cyclone V.

Описание оборудования для проведения эксперимента

Как уже писалось выше, тестирование будет происходить на плате Terasic SoCkit, в составе которой имеется ПЛИС Cyclone V. Данная ПЛИС находится в сегменте low-cost поэтому ее использование накладывает ограничения в тактовой частоте. Это касается и DDR3 памяти. Максимальная эффективная частота, с которой может происходить взаимодействие ПЛИС с памятью – 800 МГц [2]. Ширина канала данных на плате равняется 32 битам, что в сумме с частотой 800 МГц дают максимальную пропускную способность памяти в $800 \text{ МГц} * 32 \text{ бита} = 25,6 \text{ Гб/с}$.

В качестве контроллера памяти компанией Altera предлагается использовать либо Soft контроллер, который полностью писан на языке описания аппаратуры (HDL), либо использовать встроенный в ПЛИС – Hard контроллер, с оберткой из HDL. Согласно документации данные контроллеры работают на рабочих частотах: Soft – 300 МГц, Hard – 400 МГц[2]. Таким образом, теоретическая для этих контроллеров будет 19,2 Гб/с и 25,6 Гб/с соответственно.

Однако частота в 400 МГц требует трудозатратой разработки логики взаимодействия, поэтому в данное исследование не включает в себя исследование с использованием Hard контроллера.

Особенности Soft контроллера

Взаимодействие контроллера с логикой ПЛИС происходит через интерфейс Avalon MM[3].

Примечательно, что для памяти DDR3 с шиной данных в 32 бита внутренняя шина данных будет равняется 256 битам, поскольку третье поколение такой памяти имеет предвыборку данных равную $8n$, где n – разрядность шины данных[4]. Однако, для контроллеров Cyclone V, значение внутренней шины равно 128 бит. Что теоретически ограничивает их пропускную способность в два раза. Однако для сохранения работоспособности необходимо соблюдение стандарта JEDEC DDR3[6]. Это означает, что при транзакции все-таки передается 256 бит данных. Согласно документации на данные контроллеры при выставлении параметра пакетного чтения интерфейса Avalon равного 2 получим совпадение внутренних шин памяти и контроллера[2].

Отсюда можно предположить, что структура данного взаимодействия будет выглядеть как на рис 1. Возможно, что такая структура сделана из-за ограничений по рабочей частоте.

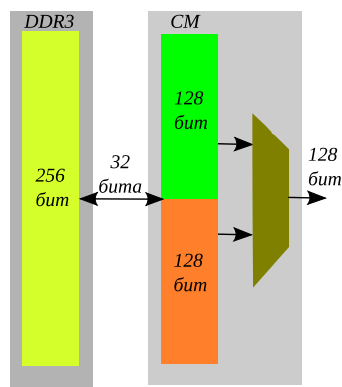


Рис. 1. Схема взаимодействия DDR3 памяти и Soft контроллера памяти Cyclone V.

Стоит также отметить, что и сам стандарт DDR3 режимы пакетного чтения[5]. Однако в рамках данного исследования они и использоваться не будут.

Описание эксперимента для подсчета пропускной способности

Для проведения данного эксперимента необходимо создание установки, при помощи которой будет происходить измерение.

Исходя из описанного ранее, для измерения пропускной способности будут использованы два варианта установок.

Первый - с Soft контроллером, значение пакетного чтения/записи равно 1, частота работы, частота работы внешней логики равна половине частоты работы контроллера (SCM1). Второй - с Soft контроллером, значение пакетного чтения/записи равно 2, частота работы, частота работы внешней логики равна половине частоты работы контроллера (SCM2).

Измерение будет происходить при помощи двух 128 битных таймеров, которые будут отсчитывать время записи и чтения соответственно. Сами же процессы записи и чтения и чтения производятся последовательно. Псевдоданные для записи генерируются отдельным 128 битным счетчиком. При чтении счетчик псевдоданных запускается заново. Значения считанных данных сравниваются со значениями счетчика. Если они совпали на протяжении всего теста (чтение и запись 1 ГБ данных), то тест считается пройденным, иначе в одном из процессов произошел сбой. Результаты измерения пропускной приведены только для установок прошедших тест чтения записи.

Результаты эксперимента

Стоит также сразу сказать, что установки SCM2 не прошла тест чтения записи. Порядок чтение был нарушен, что говорит о том, что такой режим не доработан производителем контроллера и в реальных проектах его использовать не стоит. По всей видимости, другие режимы пакетного чтения работать корректно так же не будут.

В таблице 1 приведены результаты измерений пропускной способности работоспособной установки при записи и чтении соответственно. Относительная погрешность находится в пределах 3%.

Таблица 1. Значения пропускной способности, полученные в ходе эксперимента.

	SCM1	
	Практическая	Теоретическая
Чтение, Мб/с	8697	9600
Запись, Мб/с	6981	

Результаты для установки SCM1 близки к теоретическим. Кроме того, эффективность пропускной способности находится в пределах 70 %, что сходится со значениями эффективности DDR3 контроллеров[6].

Как видим из значений таблицы 1, есть существенная разница в значениях пропускной способности для чтения и записи. Можно предположить, что такое явление происходит из-за особенностей SDRAM памяти, а именно

необходимость перезаряжать ячейки памяти, при чтении и простое[5].

Однако, ожидаемой пропускной способности в 19,2 Gb/s, получить не удалось. Для достижения такой частоты, по всей видимости, необходимо реализовать собственный контроллер DDR3 памяти или исследовать возможности встроенного Hard контроллера.

Тем не менее, полученные значения пропускной способности в десятки раз превосходят значения пропускной способности с использованием CPU [7].

Заключение

В ходе данного исследования была измерена пропускная способность памяти DDR3 и ПЛИС Cyclone V при помощи Soft контроллера представляемого компанией Altera. Стоит отметить, что данный контроллер довольно плох в своей реализации из-за чего не удалось получить значения для всех тестируемых установок. Также получить значений пропускной способности к максимально возможным заявленным производителем так же не удалось. Однако, полученные значения, которые удалось получить, значительно превосходят значения используемые в проекте реализации нейросетей на ПЛИС[1]. Благодаря этому, появляется возможность для дальнейшего развития работы в области создания аппаратной нейросети на ПЛИС позволяющей исполнять различные архитектуры.

Список использованных источников

1. Зоев И. В. Разработка аппаратной нейросети для реализации компьютерного зрения на ПЛИС / И. В. Зоев, С. Е. Рыжова, А. П. Береснев // Молодёжь и современные информационные технологии : сборник трудов XIV Международной научно-практической конференции студентов, аспирантов и молодых ученых, г. Томск, 7-11 ноября 2016 г. : в 2 т. — Томск : Изд-во ТПУ, 2016. — Т. 1. — [С. 45-46].
2. CV-51002. Cyclone V Device Datasheet - 2016.12.09. Altera 2016. pp 96.
3. MNL-AVABUSREF. Avalon® Interface Specifications - 2017.05.08 Intel 2017 pp 59.
4. IS43/46TR16256A. Datasheet DDR3 SDRAM – 05.2017. ISSI 2017 pp.88
5. JESD79-3C. JEDEC Standard DDR3 SDRAM 11.2008. JEDEC 2008 pp 211.
6. WP-01188-1.1. Increasing Efficiency with Hard Memory Controllers in Low-Cost 28 nm FPGAs. 11.2012. Altera 2012 pp 9.
7. Габуллулин Д. Поднимаем SOC: ARM + FPGA [Электронный ресурс] / Habrhabr. – URL: <https://habrhabr.ru/company/metrotek/blog/235707/> (дата обращения 11.09.2017).