

Integração Monolítica de Conversores Comutados CC-CC de Comutação Suave: Soluções de Projecto e Simulações

Vitor Costa^{1,2}, Pedro M. Santos², Beatriz Borges²,

¹Instituto Superior de Engenharia de Lisboa / DEETC

²Instituto de Telecomunicações, Av. Rovisco Pais 1, 1049-001 Lisboa, Portugal

Telefone: +351-218418387, Fax: +351-218418472, e-mail: vsc@isel.ipl.pt

A inclusão de circuitos de gestão de energia dentro dos SoC ainda se encontra em pleno desenvolvimento. Neste contexto é apresentado um primeiro estudo sobre topologias de conversores ressonantes tendo como objectivo a sua integração monolítica em tecnologia CMOS. Um novo método de projecto para conversores Quasi-Square-Wave de alta frequência para integração em tecnologia CMOS é apresentado. O Trabalho de simulação baseado em modelos da tecnologia CMOS 0,35 μ m revelou problemas distintos para esta topologia de comutação suave em relação à implementação discreta. Dois Conversores QSW de comutação no zero de tensão foram projectados e simulados, um para uma frequência de comutação na ordem da centena de MHz e outro na ordem das dezenas de MHz, utilizando o método apresentado. Os resultados de simulação são analisados, novas direcções para trabalho futuro e melhoramentos para o novo método de projecto são propostos, tendo em conta os problemas identificados.

I. Introdução

A tecnologia CMOS tornou-se numa das opções mais viáveis para a implementação da maioria dos circuitos e sistemas electrónicos complexos, fundamentalmente devido à sua acessibilidade e custo. Melhoramentos na litografia e nos processos de fabrico tornaram esta tecnologia muito competitiva para aplicações de alta-frequência como são exemplo os circuitos para comunicações móveis, processamento de sinal, etc.

Tem sido realizado trabalho de investigação no sentido de se obterem soluções monolíticas de gestão de potência em tecnologia CMOS, especialmente na área de equipamentos electrónicos portáteis alimentados a bateria. A maioria das soluções são baseadas em circuitos de bombeamento de cargas ou reguladores lineares do tipo Low-DropOut (LDO). No entanto, a baixa eficiência destes circuitos conduziu à procura de novas soluções tendo como referência as topologias de circuitos de Electrónica de Potência. Algumas soluções baseadas em conversores comutados têm sido objecto de estudo [1], [2], mas as exigências de consumo dos equipamentos portáteis obrigam a um aumento da frequência de comutação dos dispositivos, conduzindo a maiores perdas.

Nas topologias de conversores cc-cc da Electrónica de Potência, as topologias de comutação suave [4]-[6] destacam-se pela sua eficiência e a sua baixa Interferência Electromagnética (EMI), pelo que a utilização de técnicas de comutação suave poderá ser a solução para minimizar o ruído e as perdas por comutação [3].

Neste trabalho são investigadas duas topologias de comutação ressonantes, no zero de tensão, tendo como objectivo a integração monolítica em tecnologia CMOS: um Conversor Quase-Ressonante e um Conversor Quasi-Square-Wave. Como iremos mostrar na secção II, a utilização da topologia Quase-Ressonante é restrictiva devido à tensão imposta aos terminais do dispositivo de comutação.

Por outro lado, a corrente na bobine na topologia Quase-Square-Wave apresenta uma grande variação, o que implica o alargamento da área de implementação em silício dos dispositivos de comutação.

Na secção III apresenta-se um novo método para projecto de conversores Quase-Square-Wave. Alguns resultados de simulação baseados no processo CMOS de 0,35µm são apresentados na secção IV, no sentido de verificar a viabilidade da aproximação teórica. Por fim apresentam-se as conclusões indicando-se novas direcções para trabalho futuro.

II. Topologias Quase-Ressonantes

A. Conversores Quase-Ressonantes

Os Conversores Quase-Ressonantes são obtidos a partir dos conversores de Modulação de Largura de Impulso (MLI) convencionais, através da inclusão de uma bobine e um condensador, como se pode ver nos conversores redutores apresentados na fig.1.

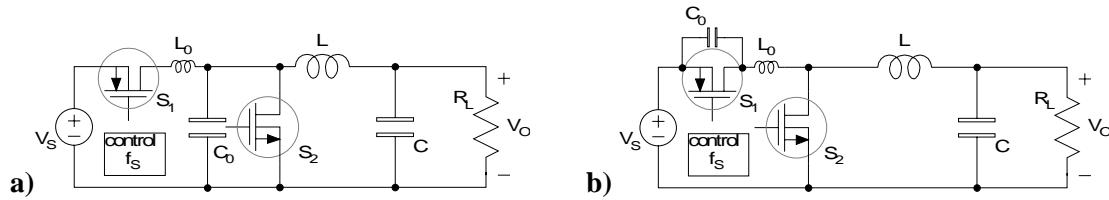


Figura 1. a) Conversor QR Redutor CZC; b) Conversor QR Redutor CZT.

Nestas circunstâncias (com perdas de comutação reduzidas), a frequência de comutação pode ser aumentada obtendo-se alta densidade de potência, o que é uma vantagem, tendo como objectivo a integração.

O controlo dos conversores Quase-Ressonantes é conseguido através da variação da frequência de comutação (f_s), que associado à existência de duas malhas ressonantes de dinâmicas diferentes implica uma maior complexidade, quando se compara com o controlo dos conversores MLI convencionais.

Considere-se que $M_{min}=V_o/V_{Smax}$ e $M_{max}=V_o/V_{Smin}$. A relação aproximada entre as frequências de comutação máxima e mínima, para o conversor redutor CZT da Fig.1 b), vem dada por:

$$\frac{f_{S_{máx}}}{f_{S_{mín}}} \cong \left(\frac{1 - M_{mín}}{1 - M_{máx}} \right) \left[\frac{\pi + \frac{R_{L_{mín}} M_{mín}}{2R_{L_{máx}} M_{máx}} + \frac{2R_{L_{máx}} M_{máx}}{R_{L_{mín}} M_{mín}}}{\frac{3}{2}(1 + \pi)} \right] \quad (1)$$

onde $R_{L_{máx}}$ e $R_{L_{mín}}$ representam as resistências de carga máxima e mínima. A frequência de ressonância poder ser obtida como uma função aproximada da frequência máxima de comutação,

$$f_0 \cong \frac{f_{S_{máx}}}{1 - M_{mín}} \quad (2)$$

A condição crítica para que exista comutação no zero de tensão ocorre para os valores máximos da tensão de entrada e da resistência de carga ($V_{S_{máx}}$, $R_{L_{máx}}$). Sendo esta condição para CZT dada por

$I_o Z_0 \geq V_s$, a impedância característica Z_0 vem como sendo,

$$Z_0 = \frac{R_{L_{m\acute{a}x}}}{M_{\min}} \quad (3)$$

correspondendo à condição fronteira.

A corrente e a tensão no interruptor activo são dadas por:

$$V_{DS_{m\acute{a}x}} = \left(1 + \frac{R_{L_{m\acute{a}x}}}{R_{L_{\min}}} \right) V_{S_{m\acute{a}x}} \quad (4a)$$

$$I_{D_{m\acute{a}x}} = I_{O_{m\acute{a}x}} \quad (4b)$$

e a corrente e a tensão no interruptor passivo são:

$$V_{R_{m\acute{a}x}} \cong V_{S_{m\acute{a}x}} \quad (5a)$$

$$I_{R_{m\acute{a}x}} = 2I_{O_{m\acute{a}x}} \quad (5b)$$

Considerando as equações (4) e (5) para uma carga fixa, pode-se concluir que a tensão máxima no interruptor activo é o dobro da tensão máxima de entrada do conversor. Isto pode representar uma desvantagem se as tensões de entrada máximas forem próximas da tensão máxima do processo CMOS (tipicamente 3,3-5 V), ou para grandes variações de carga. Neste caso a solução poderá passar pela utilização de transístores de alta-tensão compatíveis com o processo CMOS (entenda-se alta-tensão aqui como dezenas de volts). A limitação na utilização destes dispositivos poderá estar na sua máxima frequência de operação, que poderá trazer algumas limitações aquando da integração do conversor.

B. Conversores Quase-Square-Wave

Nos conversores QSW CZT os dispositivos de comutação estão sujeitos a tensões mais baixas e a correntes mais elevadas do que os conversores QR. Por outro lado, os conversores QSW CZC sujeitam o dispositivo a uma corrente menor e a maior tensão [7]. Neste sentido, a utilização de conversores QSW CZT, como primeira abordagem, aparece como uma alternativa à utilização de transístores de alta-tensão necessários para os conversores QR CZT. No entanto é necessário ter em conta que existe um custo: a maior variação da corrente na bobine, que provoca um aumento na Interferência Electromagnética (EMI) quando comparado com os conversores QR.

Para obter um conversor QSW é necessário manipular os elementos armazenadores de energia de baixa frequência na topologia MLI correspondente, seguindo-se a inserção de um elemento de armazenamento para a ressonância. Certos conversores MLI não podem ser transformados nos seus correspondentes QSW sem adicionar novos elementos de armazenamento de energia de baixa frequência à configuração MLI (ex. o conversor redutor CZC) [7]. Sendo assim, esta solução só poderá ser vantajosa para configurações que não necessitem de elementos adicionais de baixa frequência, como o conversor redutor CZT apresentado na Fig.2.

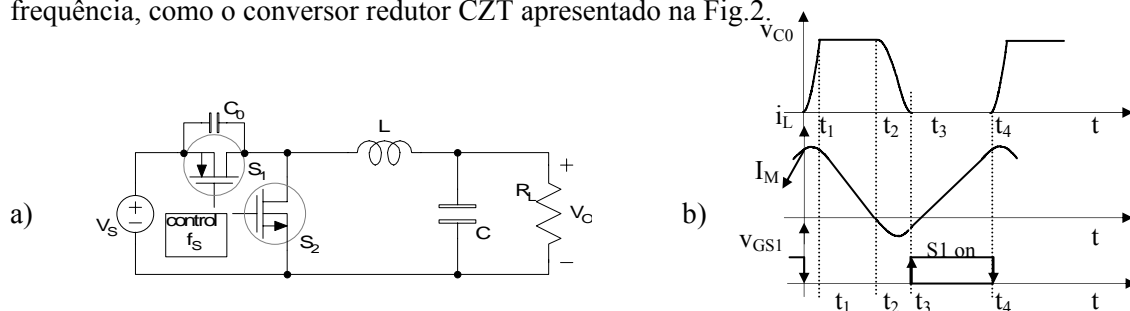


Figura 2. a) Conversor Redutor QSW CZT; b) Diagrama de Formas de Onda do circuito.

Neste conversor a bobine do filtro de saída é também utilizada como bobine de ressonância. Esta é outra das vantagens em relação ao conversor QR equivalente apresentado na Fig.1 b), porque contém apenas uma bobine. A análise em regime estacionário do conversor redutor QSW CZT é realizada considerando os diagramas de forma de onda apresentados na Fig.2 b). Existem quatro intervalos de tempo correspondendo às quatro fases diferentes de operação do circuito, dentro de um único período de comutação T_s . Em cada intervalo de tempo o circuito assume uma configuração particular, donde resulta para cada intervalo um par de equações em $i_L(t)$ e $v_c(t)$, deduzidas em [10]. Considerando que a corrente média na carga é igual à corrente média na bobine, uma vez que a corrente média no condensador de baixa frequência é nula, temos que:

$$I_o = \frac{1}{T_s} \int_{t_0}^{t_s} i_L(t) dt \quad (6)$$

Para obter a equação da relação de conversão, considere-se que $M = \frac{V_o}{V_s}$, $Q = \frac{R_L}{Z_0}$ e $\theta_n = \omega_0(t_n - t_{n-1})$.

Manipulando as equações deduzidas em [10] e a equação (6) é possível obter um sistema de cinco equações de resolução iterativa. Como esta resolução não é trivial, na secção seguinte propomos um método de resolução semi-fechado para a obtenção da relação de conversão para o projecto de conversor redutor QSW CZT.

III. Método de Projecto para um Conversor Quase-Square-Wave

O método de projecto proposto nesta secção consiste na manipulação das equações deduzidas em [13] considerando a aproximação linear utilizada no primeiro intervalo de operação conjuntamente com a equação (6). Resolvendo a equação (6), a relação de conversão da frequência vem dada por:

$$\frac{f_s}{f_0} = \frac{4\pi M(1-M)}{Q \left[\frac{M}{Q^2} \frac{i_L^2(t_0)}{I_o^2} - (2M-1) \right]} \quad (7)$$

Assumindo que M é conhecido e que o parâmetro Q é função da carga e de L_0 , a única variável desconhecida será $i_L(t_0)$ (este valor de corrente corresponde à corrente no interruptor activo). A relação entre a corrente no interruptor activo e a corrente média na carga, resulta da solução de (8),

$$a\alpha^3 + b\alpha^2 + c\alpha + d = 0 \quad (8)$$

$$\text{com } \alpha = \frac{i_L(t_0)}{I_o} \quad \text{e: } a = -\frac{1}{2Q(1-M)} \quad ; \quad b = \left[\frac{1}{Q} + \frac{M}{Q(1-M)} \right] \quad ;$$

$$c = \left[\arccos\left(\frac{M-1}{M}\right) + \frac{1}{1-M} \sqrt{2M-1} + \frac{(2M-1)Q}{2M(1-M)} \right] \quad \text{e} \quad d = MQ$$

Substituindo α em (7), a relação entre a frequência de comutação e a frequência de ressonância é obtida.

A integração monolítica em CMOS de um conversor QSW CZT implica especial atenção na definição dos parâmetros do circuito. Alguns aspectos são necessários ter em conta:

- A aproximação linear referida só é válida se a relação entre as frequências de comutação e de ressonância for pequena (tipicamente inferior a 0,5), pelo que Q deve ter o valor mais pequeno possível (tipicamente inferior a 2).
- A definição do tamanho do transistor depende da corrente na carga e dos parâmetros tecnológicos do processo CMOS utilizado.
- A frequência máxima de comutação vai depender do tamanho do transistor devido à capacidade intrínseca deste.
- Q é função da carga e da impedância característica Z_0 ; sendo C_0 a capacidade intrínseca do transistor, esta depende directamente do seu tamanho, pelo que L_0 é o parâmetro crítico na definição de Q e da frequência de ressonância.

Tendo estes aspectos em consideração propõe-se o seguinte método de projecto:

1. Determina-se a dimensão do transistor, função da corrente na carga (considere α entre 3 e 4 para a corrente máxima no transistor); deste modo define-se C_0 e a máxima frequência de operação.
2. Escolha-se a frequência de ressonância superior ao limite superior da frequência de operação, assumindo uma relação máxima aceitável entre a frequência de operação e a frequência de ressonância.
3. Com a escolha feita em 2, calcule-se Q que deve ser inferior a 2; caso contrário, volta-se ao passo 2 para baixar a frequência de ressonância escolhida.
4. Finalmente, determine-se α utilizando (8) e a relação entre as frequências utilizando (7).

IV. Resultados de Simulação

Utilizando o método proposto, projectou-se um conversor redutor QSW CZT com as seguintes características: $V_S=5V$, $V_O=3.3V$, $R_L=66\Omega$, $L_0=12.2nH$, $C_0=23pF$, $f_s=210MHz$.

Os resultados da simulação em *Spectre* são apresentados na fig. 3. Como pode ser observado o circuito opera de acordo com o esperado. No entanto, é possível identificar alguns picos de tensão no condensador. Isto deve-se aos tempos de subida e descida do sinal de controlo. Com efeito, a utilização de fontes ideais, conjuntamente com as capacidades parasitas nas *gates* dos transístores, para os impulsos de controlo nas simulações, podem ser a principal razão para a existência destes picos. A limitação da corrente nas *gates* dos transístores e das suas capacidades deve por si só reduzir estes picos. De notar que a corrente de saída do conversor nestas simulações é de 50mA, o que implica a utilização de transístores com dimensão considerável e com capacidades associadas de valor significativo.

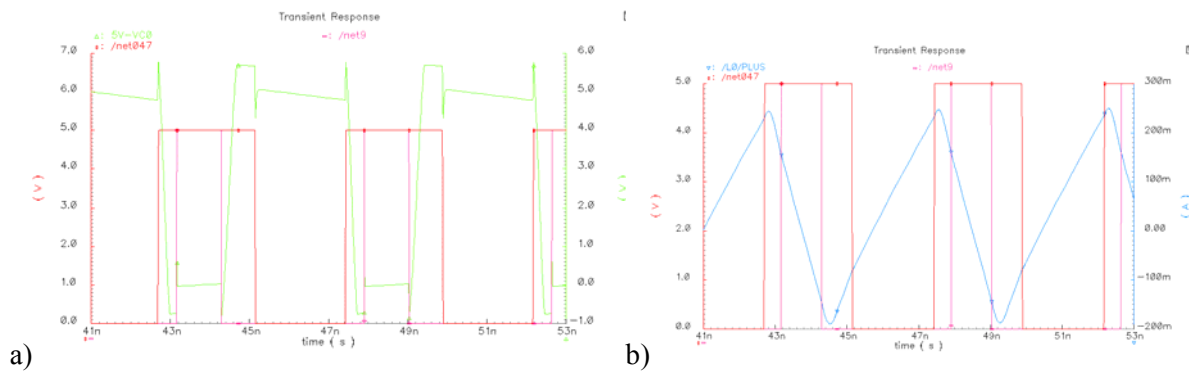


Figura 3. a) Tensão V_S-V_C e sinais de controlo dos transístores (vermelho para o PMOS, e cor de rosa para o NMOS); b) Corrente na bobine e os sinais de controlo dos transístores.

Na tentativa de reduzir os referidos picos de tensão, um novo circuito foi projectado para uma frequência de comutação mais baixa. Isto permitiu variar os tempos de subida e descida do sinal de controlo. Este segundo conversor redutor QSW CZT apresenta as seguintes características: $V_S=5V$, $V_O=3.3V$, $R_L=66\Omega$, $L_0=125nH$, $C_0=9pF$, $f_s=50MHz$.

Os resultados de simulação mostram-se na figura 4, com tempos de subida e descida de 50ps.

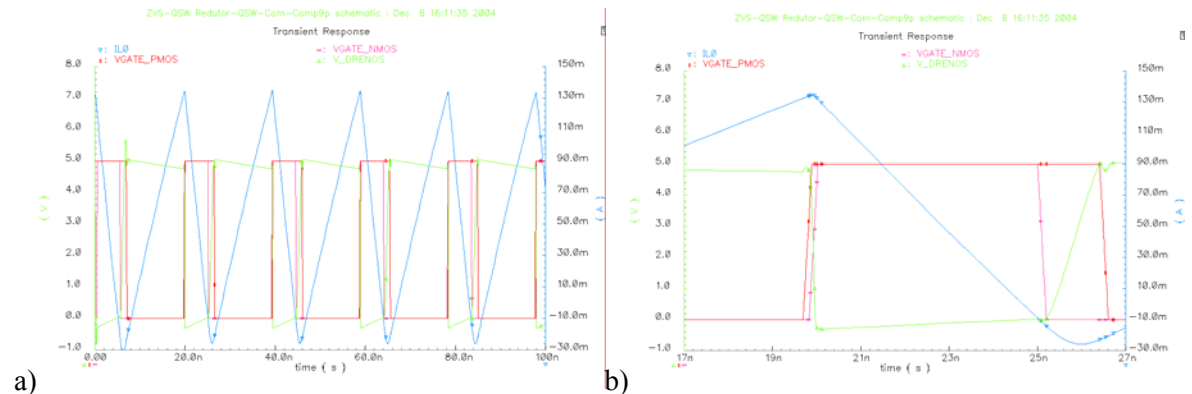


Figura 4. a) Tensão V_S-V_C , corrente na bobine e sinais de controlo dos transístores (vermelho para o PMOS, e cor de rosa para o NMOS); b) Pormenor do diagrama anterior.

Como se pode observar para tempos de subida e descida um pouco superiores os picos são imperceptíveis para os valores de trabalho. A tensão no condensador tem uma variação associada que é função do valor de R_{DSon} e da variação de corrente na bobine. O pico de tensão inicial no condensador deve-se ao transitório inicial antes do circuito atingir o regime estacionário.

V. Conclusões e Trabalho Futuro

Um novo método de projecto para conversores redutores QSW CZT com o objectivo de integração em tecnologia CMOS foi proposto e avaliado. Com o objectivo de validar o estudo teórico, foram efectuadas simulações em *Spectre* utilizando modelos detalhados dos transístores.

Como primeira aproximação os resultados obtidos estão de acordo com o desenvolvimento teórico. Foram identificados alguns problemas relacionados com a sobre elevação de tensão na comutação dos transístores. Encontra-se em desenvolvimento trabalho relacionado com o projecto dos transístores para integração em tecnologia CMOS no sentido de obter um compromisso entre as dimensões do

transistor e a sua frequência de comutação. A implementação de outras topologias de comutação suave e a sua utilização para integração em tecnologia CMOS será também considerada, bem como a avaliação dos respectivos rendimentos.

Referências

- [1] Dongsheng Ma, Wing-Hung Ki and Chi-Ying Tsui, “An Integrated One-Cycle Control Buck Converter With Adaptive Output and Dual Loops for Output Error Correction”, *IEEE Journal of Solid-State Circuits*, Vol. 39, nº1, January 2004, p.p. 140-149.
- [2] Cheung Fai Lee and Philip K. T. Mok, “A Monolithic Current-Mode CMOS DC-DC Converter With On-Chip Current-Sensing Technique”, *IEEE Journal of Solid-State Circuits*, Vol. 39, nº1, January 2004, p.p. 3-14.
- [3] Olivier Trescases and Wai Tung Ng, “Variable Output, Soft-Switching DC/DC Converter for VLSI Dynamic Voltage Scaling Power Supply Applications”, *IEEE Power Electronics Specialists Conf.*, Vol. 39, nº1, June 2004, p.p. 4149-4155.
- [4] Vatché Vorpérian, Richard Tymerski and Fred C. Y. Lee, “Equivalent Circuit Models for Resonant PWM Switches”, *IEEE Transactions on Power Electronics*, Vol. 4, nº2, April 1989.
- [5] Dores Costa J.M., “Design of linear quadratic regulators for quasi-resonant DC-DC converters”, *IEEE Power Electronics Specialists Conf.*, June 2001, Vol. 1, p.p. 422-426.
- [6] Rudy Severns and Hal Wittlinger, “High Frequency Power Converters”, Intersil Application Note, April 1994.
- [7] Vatché Vorpérian, “Quasi-Square-Wave Converters: Topologies and Analysis”, *IEEE Transactions on Power Electronics*, Vol. 3, nº2, April 1988.
- [8] Dores Costa J.M., “Controlo e Modelos Incrementais de Conversores de Potência com Interruptores Ressonantes”, Instituto Superior Técnico, Lisboa, Ph. D. Thesis, 1999.
- [9] P.M. Santos, H. Quaresma, A. P. Silva, M. Lança, “High-voltage NMOS design in fully implanted twin-well CMOS”, *Microelectronics Journal*, vol. 35, pp. 723-730, July 2004.
- [10] V. Costa, P. M. Santos, B. Borges, “Integration of Soft-Switching DC-DC Converters for SoC”, in *Proc. of ConfTele2005 – 5th Conference on Telecommunications*, Tomar, Portugal, Abril 2005.