

Kochi University of Technology Academic Resource Repository

Title	BGRのための1段増幅オペアンプの検討
Author(s)	清水, 大輔
Citation	
Date of issue	2018-03
URL	http://hdl.handle.net/10173/1962
Rights	
Text version	author



Kochi, JAPAN

<http://kutarr.lib.kochi-tech.ac.jp/dspace/>

卒業研究報告書

題目

BGR のための 1 段増幅オペアンプの検討

報告者

学籍番号: 1180081

氏名: 清水 大輔

指導教員

橘 昌良 教授

平成 30 年 2 月 13 日

高知工科大学 システム工学群 光・エレクトロニクス専攻

目次

第 1 章	はじめに.....	1
1.1	研究背景.....	1
1.2	研究目的.....	1
1.3	論文の構成.....	1
第 2 章	BGR 回路について.....	2
2.1	BGR 回路.....	2
2.2	温度に依存しない電圧.....	2
2.3	BGR 回路内で動作するオペアンプの特性.....	4
2.3.1	理想的なオペアンプ.....	4
2.3.2	オペアンプの入力電圧範囲.....	4
第 3 章	オペアンプの設計.....	6
3.1	オペアンプの回路構成.....	6
3.1.1	n チャンネル入力のオペアンプ.....	6
3.1.2	p チャンネル入力のオペアンプ.....	8
3.2	シミュレーション方法.....	9
3.2.1	入力電圧範囲.....	9
3.2.2	出力電圧範囲.....	10
3.2.3	位相余裕・帯域幅・電圧利得.....	10
第 4 章	オペアンプのシミュレーション結果.....	11
4.1	入力電圧範囲.....	11
4.1.1	n チャンネル入力オペアンプ.....	11
4.1.2	p チャンネル入力オペアンプ.....	12
4.2	出力電圧範囲.....	13
4.2.1	n チャンネル入力オペアンプ.....	13
4.2.2	p チャンネル入力オペアンプ.....	14
4.3	位相余裕・帯域幅・電圧利得.....	15
4.3.1	n チャンネル入力オペアンプ.....	15
4.3.2	p チャンネル入力オペアンプ.....	16
4.4	考察.....	17
第 5 章	BGR の設計およびシミュレーション結果.....	18
5.1	設計した BGR.....	18
5.1.1	BGR 回路の構成.....	18
5.1.2	回路 1.....	19
5.1.3	回路 2.....	20
5.2	BGR の仕様.....	21
5.2.1	設計目標.....	21

5.2.2	シミュレーション方法.....	21
5.3	回路1シミュレーション結果.....	22
5.3.1	nチャンネル入力オペアンプ.....	22
5.3.2	pチャンネル入力オペアンプ.....	23
5.4	回路2シミュレーション結果.....	25
5.4.1	nチャンネル入力オペアンプ.....	25
5.4.2	pチャンネル入力オペアンプ.....	26
5.5	考察.....	28
第6章	まとめ.....	29
謝辞	30
参考文献	31

第 1 章 はじめに

1.1 研究背景

近年、集積回路(LSI: Large-Scale Integration)の集積化と高機能化に伴い、それらに電圧、電流を供給する基準電源回路にも高精度なものが求められている。

先行研究[1][2]では、基準電源回路の一つである BGR(Band-Gap-Reference)回路の設計を行ってきた。BGR 回路とは、一般的にダイオードにより温度に依存しない基準電圧を生成する回路である。本研究では、1 段増幅オペアンプを使用した BGR 回路に着目した。先行研究[1]の BGR 回路において、1 段増幅オペアンプが素子ばらつきなどにより正しく動いていない可能性があった。そこで、オペアンプ単体のシミュレーションを行い動作電圧範囲等の測定及び評価をすることで、設計の改善を行おうと考えた。

1.2 研究目的

本研究では、BGR 回路内で正しく動作する 1 段増幅オペアンプの設計を目的とする。オペアンプ単体のシミュレーションおよび BGR にオペアンプを接続してシミュレーションをおこない評価する。

1.3 論文の構成

本論文は全 6 章で構成されている。本章では研究の背景と目的について述べた。2 章では BGR 回路およびオペアンプの特性について述べる。3 章ではオペアンプの設計とシミュレーション方法について述べる。4 章ではオペアンプのシミュレーション結果について述べる。5 章では BGR 回路の構成とシミュレーション、シミュレーション結果について述べる。6 章で論文の結論を述べる。

第 2 章 BGR 回路について

本章では、BGR 回路についての説明を行う。

2.1 BGR 回路

BGR 回路とは集積回路において用いられるダイオードの温度特性を利用した電源回路である。BGR 回路の特徴として、温度・電源電圧に対する依存性が小さいということが挙げられる。

2.2 温度に依存しない電圧

温度に依存しない電圧を生成する方法として、一般的なもの、負の温度係数と、正の温度係数を有する電圧を組み合わせるという手法である[3]。負の温度係数を有する電圧を、CTAT(Complementary To Absolute Temperature)電圧と呼び、正の温度係数を有する電圧を、PTAT(Proportional To Absolute Temperature)電圧と呼ぶ。これらの CTAT 電圧、PTAT 電圧を生成する手法として、ダイオードの pn 接合による順方向特性を利用している。ダイオードに順方向電圧 V_d を印加すると電流 I が流れる。半導体物性の理論により、電圧 V_d と電流 I との間には式 2.1 のような関係が成り立つ[3]。

$$V_d = \frac{k_B T}{e} \ln \left[\frac{I}{I_s} \right] \quad (\text{式 2.1})$$

k_B はボルツマン定数、 T は絶対温度、 I_s は飽和電流である。

ここで、飽和電流 I_s がシリコンのバンドギャップ ε_g の関数であることを考慮して、 V_d との関係を図示したものが図 2.1 である[3]。

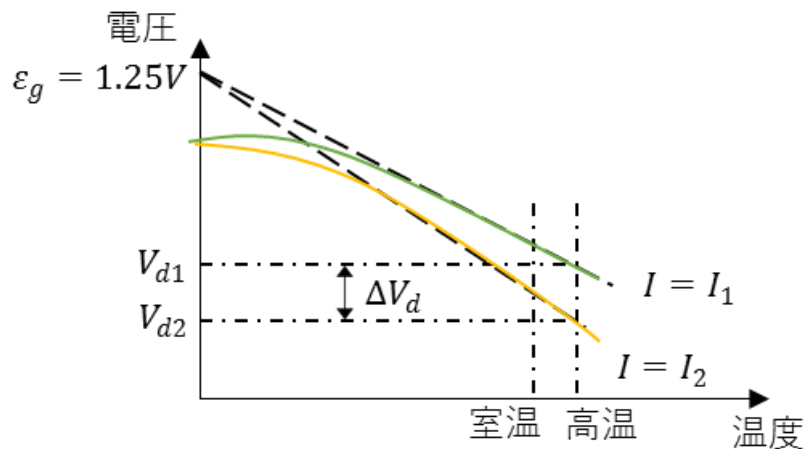


図 2.1 ダイオードの温度特性

PTAT を生成する手法として、図 2.2 にダイオード D_1 とそれを K 個並列に配置した D_2 を示す。ダイオード D_1 とダイオード D_2 に同じ電流を流すと、1 個あたりのダイオードに流れる電流の比が $1:1/K$ となるため、ダイオード D_1 、 D_2 の両端にかかる電圧 V_{d1} 、 V_{d2} は違ってくる。ダイオード D_1 の両端にかかる電圧 V_{d1} は

$$V_{d1} = \frac{k_B T}{e} \ln \left[\frac{I}{I_s} \right] \quad (\text{式 2.2})$$

となる。次にダイオード D_2 の両端にかかる電圧 V_{d2} は

$$V_{d2} = \frac{k_B T}{e} \ln \left[\frac{I}{KI_s} \right] \quad (\text{式 2.3})$$

となる。ダイオード D_2 に直列に接続された抵抗 R に生じる電圧 ΔV_d は、オームの法則により、抵抗 R の両端の電位差となり

$$\Delta V_d = V_{d1} - V_{d2} = \frac{k_B T}{e} \ln \left[\frac{I}{I_s} \right] - \frac{k_B T}{e} \ln \left[\frac{I}{KI_s} \right] = \frac{k_B T}{e} \ln[K] \quad (\text{式 2.4})$$

となる。この ΔV_d が PTAT 電圧であり、 ΔV_d は製造プロセスや電流値が変わってもいつも安定した値を得ることができる。その温度係数は式 2.5 で与えられる。

$$\frac{\partial \Delta V_d}{\partial T} = \frac{k_B}{e} \ln[K] \quad (\text{式 2.5})$$

係数の大きさはダイオードの面積比 K だけの関数となり、これより温度に依存しない電圧を得ることができる[3]。

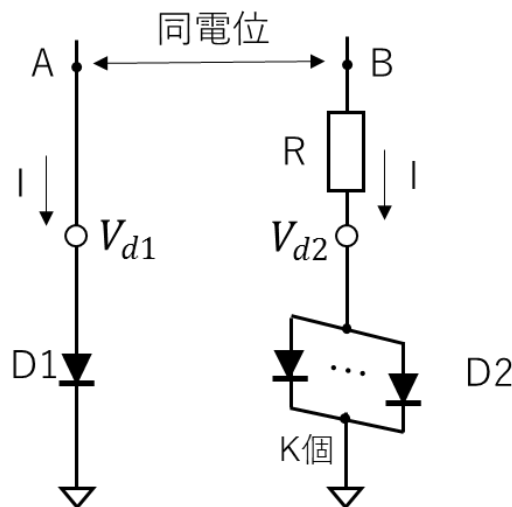


図 2.2 PTAT 電圧生成回路

2.3 BGR 回路内で動作するオペアンプの特性

今回使用する BGR 回路では低電圧でも動作可能とするためにオペアンプ (Operational amplifier) を採用している。本節では BGR 回路内に設計したオペアンプの特性について説明する。

2.3.1 理想的なオペアンプ

理想的なオペアンプとは、電圧利得や入力インピーダンス、信号を増幅できる周波数帯域が無限大で出力インピーダンスや入出力時の位相遅れ、入力オフセット電圧がゼロであるオペアンプのことを指す。しかし実際に使用するオペアンプには、数多くの誤差や、周波数に限りが存在する。そのため、回路の目的に適したオペアンプを選択する必要がある[5]。

2.3.2 オペアンプの入力電圧範囲

本研究ではオペアンプの入力電圧範囲の測定をおこなう際に同相入力回路を用いる。同相入力電圧範囲はオペアンプの入力段が、一定の電圧利得で入力電圧を増幅し続けることができる入力電圧範囲のことである。同相入力範囲外の入力電圧に対しては、入力段で所望の電圧利得を得られなくなる。所望の電圧利得を得るためには、すべての MOS トランジスタが飽和領域で動作する必要がある[4]。

1 段オペアンプの同相入力電圧範囲は、差動増幅段における同相入力電圧範囲で決定される。このことについて図 2.3 に示す n チャネル入力の 1 段オペアンプを用いて説明する。

まず、差動対である MOS トランジスタ M1 と M2 に入力される同相入力電圧を V_{in} とし、最小値 V_{inmin} は以下の式 2.6 で求められる。

$$V_{inmin} = V_{GND} + V_{DSsat5} + V_{GS1} = V_{GND} + V_{DSsat5} + V_{DSsat1} + V_{TN} \quad (\text{式 2.6})$$

最大値 V_{inmax} は以下の式 2.7 で求められる。

$$V_{inmax} = V_{GND} - V_{SG3} - V_{DSsat1} + V_{GS1} = V_{GND} - V_{SDsat3} - |V_{TP}| + V_{TN} \quad (\text{式 2.7})$$

図 2.4 に n チャネル入力オペアンプの同相入力範囲を示す。図 2.4 に示すとおり、n チャネル入力オペアンプの同相入力範囲は電源電圧 V_{DD} 側に寄っている。一方 p チャネル入力オペアンプの場合 n チャネル入力オペアンプのときとは逆にグラウンド V_{GND} 側に寄る[4]。

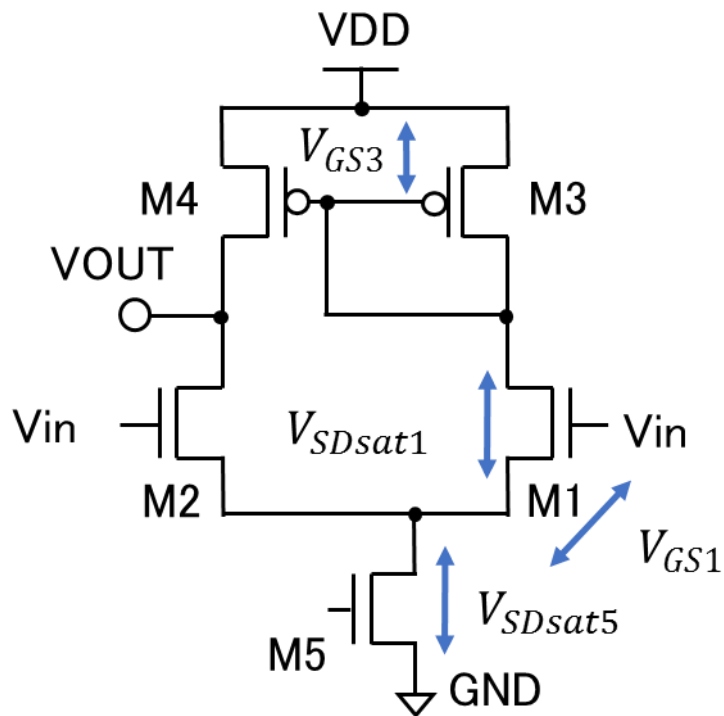


図 2.3 n チャンネル入力オペアンプ

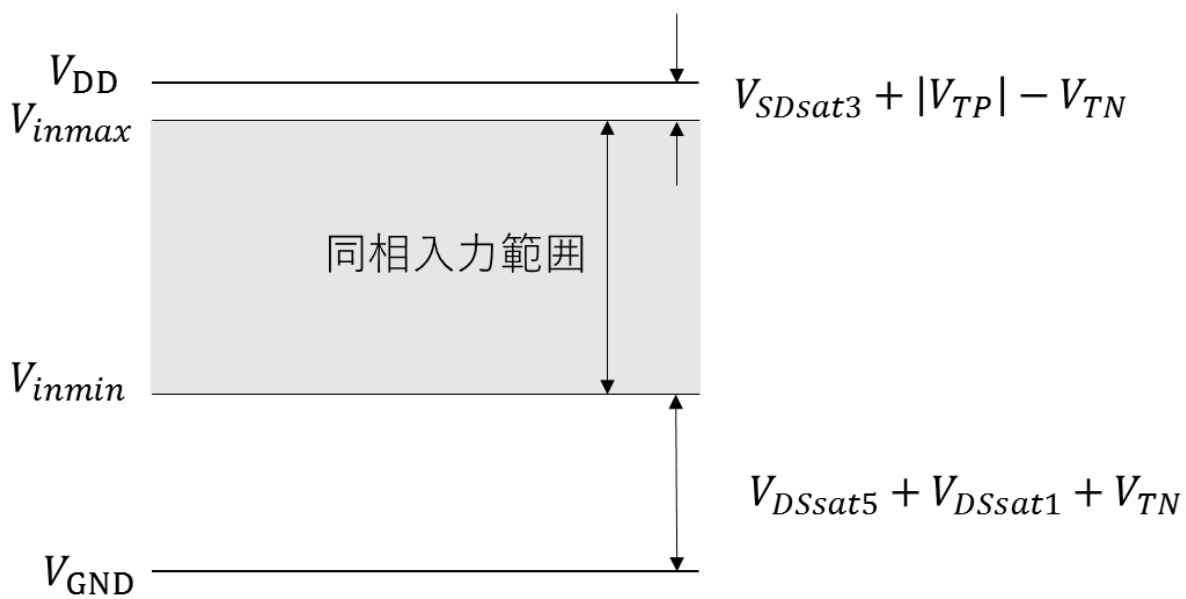


図 2.4 同相入力範囲

表 3.2 デバイスパラメータ

トランジスタ	ゲート長[μm]	ゲート幅[μm]	並列数
M1, M2	4.8	1.44	1
M3, M4	14.4	1.44	1
M5	9.6	1.44	1

図 3.2 に n チャネル入力オペアンプのレイアウトパターンを示す。レイアウトのサイズは、縦が $60.3\ \mu\text{m}$ 、横が $58.1\ \mu\text{m}$ である。外部からの配線等の影響を軽減するため、MOSFET の周りを VSS と共通のメタルで囲う仕様とした。

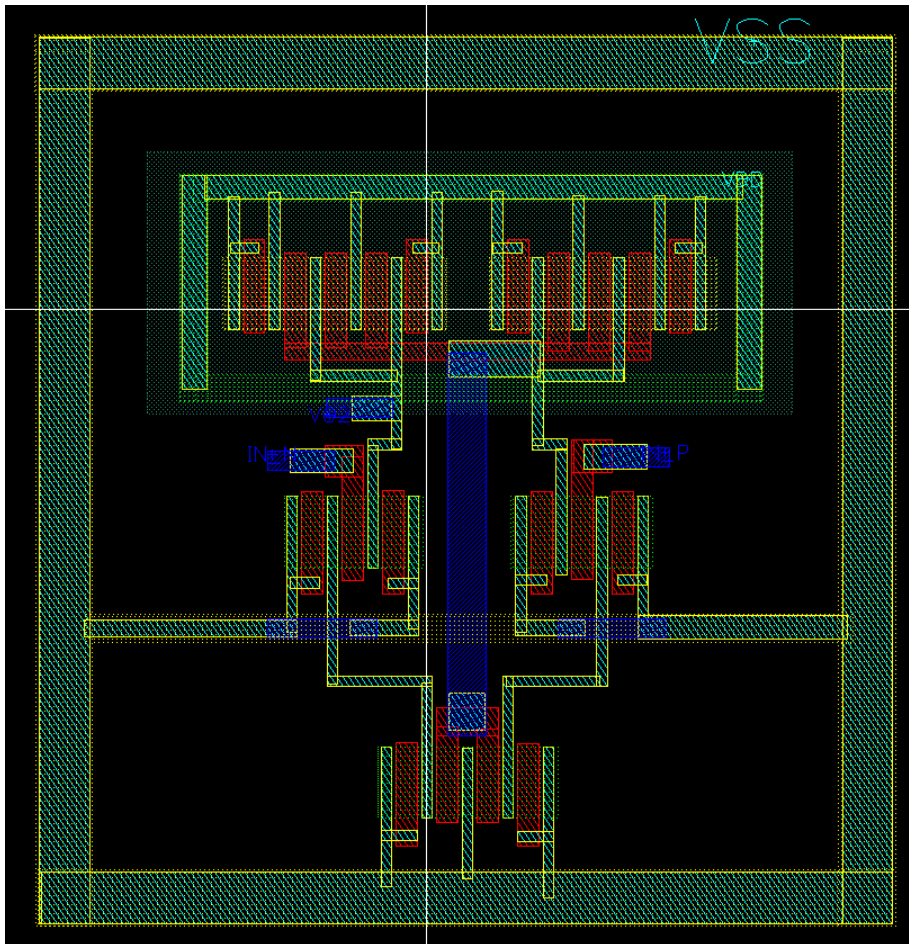


図 3.2 n チャネル入力オペアンプのレイアウト

3.1.2 pチャネル入力オペアンプ

図 3.3 に p チャネル入力オペアンプの回路構成を示す。デバイスパラメータは表 3.3 に記述した通りである。本研究で設計した p チャネル入力オペアンプは、n チャネル入力オペアンプと同様に差動増幅段のみの 1 段構成とした。また、回路の構成としては n チャネル入力オペアンプの差動対の M1 と M2 を p チャネルに変更し、上下反転させた形とした。

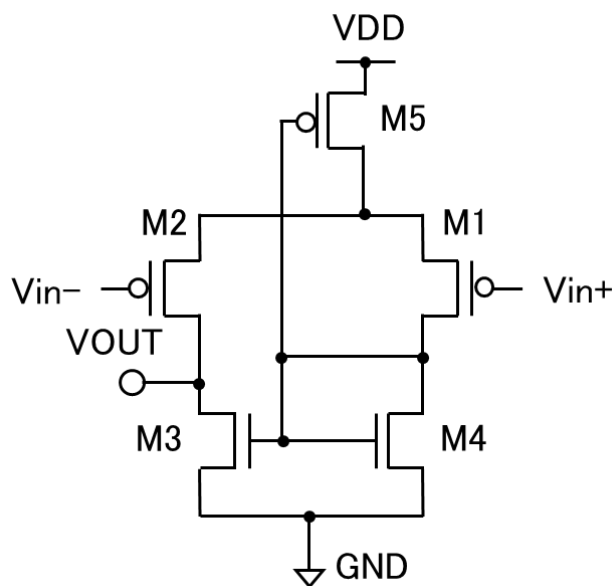


図 3.3 p チャネル入力オペアンプ

表 3.3 デバイスパラメータ

トランジスタ	ゲート長[μm]	ゲート幅[μm]	並列数
M1, M2	4.8	1.44	1
M3, M4	14.4	1.44	1
M5	9.6	1.44	1

図 3.4 に p チャネル入力オペアンプのレイアウトパターンを示す。レイアウトのサイズは、n チャネル入力オペアンプと同サイズで縦が $60.3 \mu\text{m}$ 、横が $58.1 \mu\text{m}$ である。外部からの配線等の影響を軽減するため、MOSFET の周りを VSS と共通のメタルで囲う仕様とした。

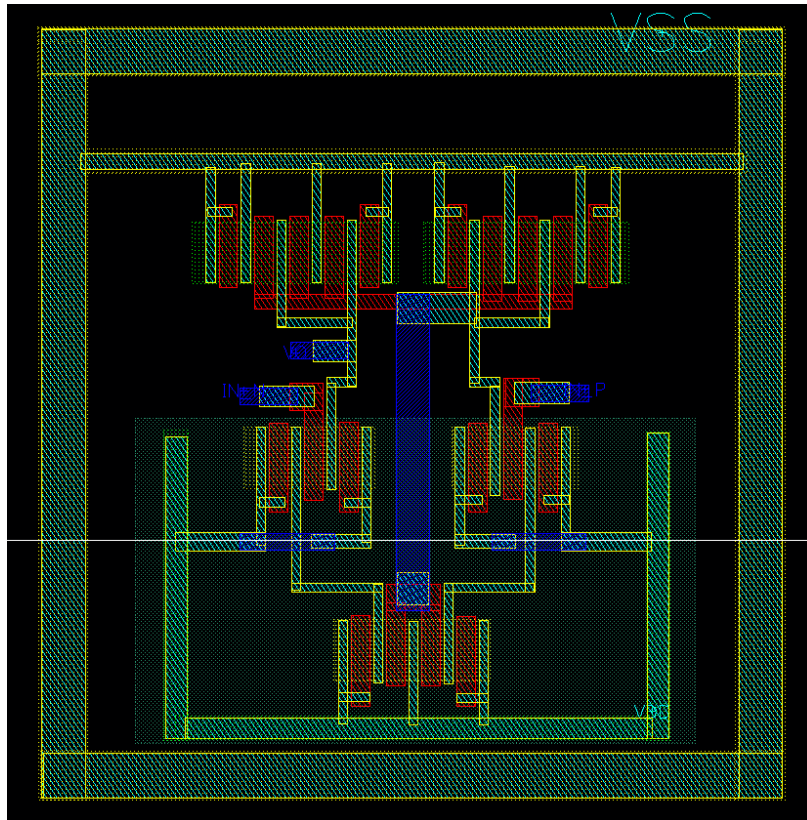


図 3.4 p チャネル入力オペアンプのレイアウト

3.2 シミュレーション方法

3.2.1 入力電圧範囲

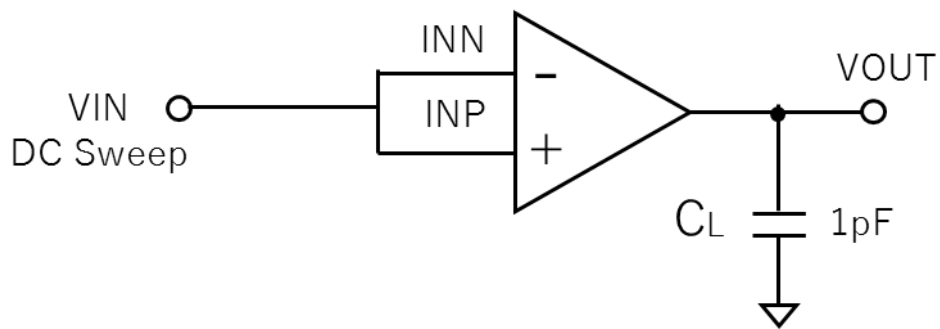


図 3.5 同相入力

入力電圧範囲の測定をおこなう際に図 3.5 に示す回路を用いた。入力電圧範囲は、この回路は OP アンプの入力段が、一定の電圧利得で入力電圧を増幅し続けることができる範囲のことである。同相入力範囲外の入力電圧に対しては、入力段で所望の電圧利得が得られなくなることで、入力電圧の範囲が検証できる[5]。電源電圧を 1.8V として、入力電圧を 0~2.5V まで 0.01V 刻みで変化させ、入力電圧が出力電圧に追従する波形を示す範囲を測定した。なお、負荷容量として 1pF のキャパシタを接続した。

3.2.2 出力電圧範囲

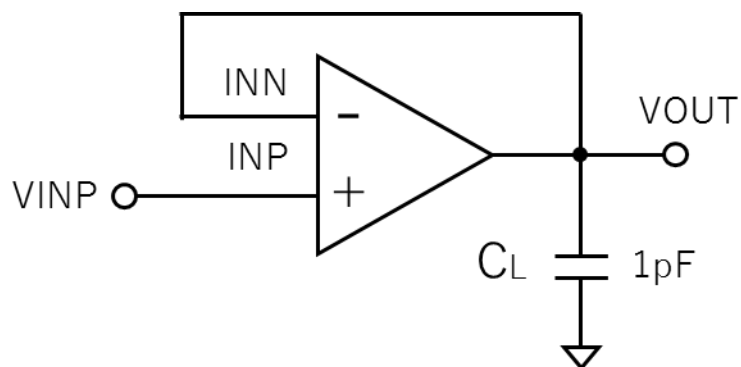


図 3.6 出力電圧範囲検証回路

出力電圧範囲の測定をおこなう際に図 3.6 に示す回路を用いた。

この回路はボルテージフォロアであり、電源電圧を 1.8V として、入力電圧を 0~2.5V まで 0.01V 刻みで変化させ、入力電圧が出力電圧に追従する波形を示す範囲を測定した。なお、負荷容量として 1pF のキャパシタを接続した。

3.2.3 位相余裕・帯域幅・電圧利得

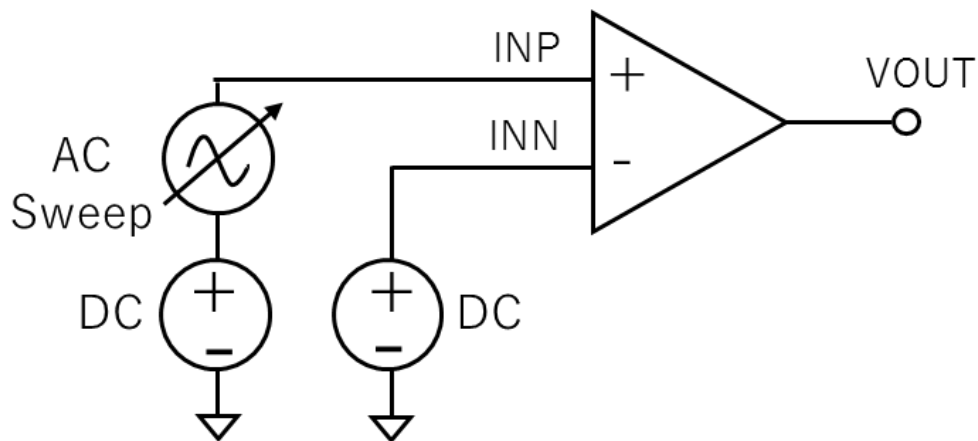


図 3.7 位相余裕・帯域幅・電圧利得検証回路

本研究で設計したオペアンプの位相余裕、帯域幅および電圧利得を検証するため図 3.7 に示す回路を用いてシミュレーションをおこなった。解析は AC 解析をおこない、それぞれの値を測定した。

第4章 オペアンプのシミュレーション結果

本章では、前章の3.2節で述べたシミュレーション方法を用いて評価した結果を記述する。

今回検証したオペアンプの特性は以下に示す5項目である。

- ①入力範囲
- ②出力範囲
- ③位相余裕
- ④帯域幅
- ⑤電圧利得

この他にもオフセット電圧とスルーレートもオペアンプの特性検証の項目として存在する。しかし、この2項目は入力デジタル信号である場合のみの特性であるため、入力出力ともにアナログ信号を測定する本研究では検証しないことにする。

以下に本研究で設計したオペアンプの設計目標を示す。なお、入力電圧範囲においてはオペアンプが正確に動作するかを確認するためにシミュレーションをおこなったため、明確な設計目標は設定しなかった。

表 4.1 設計目標

項目	設計目標
出力範囲	0.00V~1.80V
電圧利得	30dB~60dB
位相余裕	90度以下
帯域幅	—

4.1 入力電圧範囲

4.1.1 nチャンネル入力オペアンプ

図 4.1 に n チャンネルオペアンプでの入力電圧範囲を示す。出力電圧は入力電圧 0V のとき電源電圧と同じ 1.8V を示し、徐々に低下し、入力電圧 1.17V 程度となったときから 2.5V まで 0.85V で一定となった。本来であれば 0.9V で一定となるところを今回は 0.05V 低い 0.85V で一定となったが、オペアンプが動作する上で許容範囲と考えられる。このため、n チャンネル入力オペアンプの入力電圧範囲は 1.17V から 2.5V であると分かった。また、この出力波形は n チャンネル入力オペアンプの入力を同相とした場合のオペアンプの特性を満たしているため正しい動作をしていることが分かった。

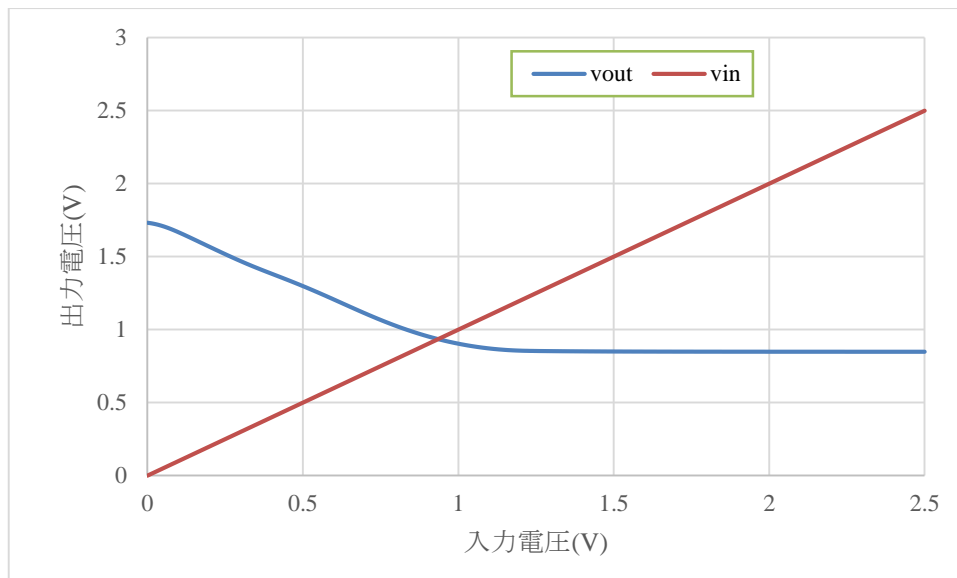


図 4.1 n チャンネル入力オペアンプでの入力電圧範囲

4.1.2 p チャンネル入力オペアンプ

図 4.2 に p チャンネル入力オペアンプでの入力電圧範囲を示す。出力電圧は入力電圧 0V のとき 0.62V を示し、徐々に少しずつ減衰し 1.18V で 0.45V になった後、1.72V から 2.5V まで 0V となった。このため、p チャンネル入力オペアンプの入力電圧範囲は 0V から 1.18V であると分かった。しかし、この出力波形は p チャンネル入力オペアンプの入力を同相とした場合のオペアンプの特性を満たしているが、出力電圧が所望の 0.9V よりも低いため、実用上は問題があると分かった。

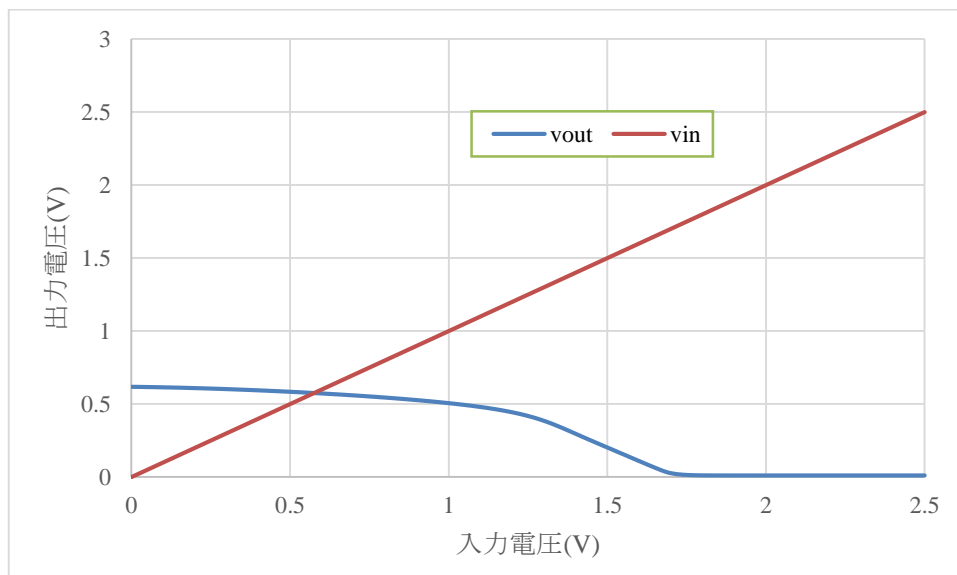


図 4.2 p チャンネル入力オペアンプでの入力電圧範囲

4.2 出力電圧範囲

4.2.1 nチャンネル入力オペアンプ

nチャンネル入力オペアンプでの出力電圧範囲の出力波形を図4.3に示す。シミュレーション結果は、表4.2に示した通りである。出力は入力電圧が0Vであるときは0Vとならず、0.05Vから入力電圧に追従し始めた。そして、1.19Vを上回った段階から出力電圧の値が一定となり、入力電圧に追従しなくなった。つまり、入力電圧に出力電圧が追従している範囲は0.05Vから1.19Vであった。結果から設計目標を満たすことはできなかった。

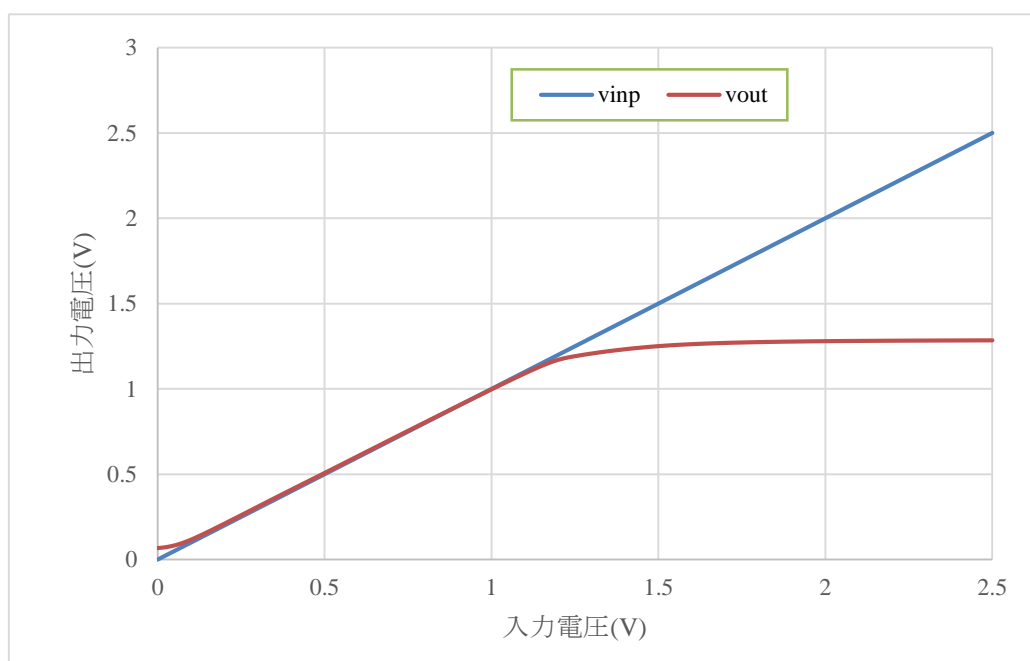


図 4.3 nチャンネル入力オペアンプでの出力電圧範囲

表 4.2 シミュレーション値

項目	目標値	シミュレーション値
出力電圧範囲	0.00V~1.80V	0.05V~1.19V

4.2.2 p チャンネル入力オペアンプ

p チャンネル入力オペアンプでの出力電圧範囲の出力波形を図 4.4 に示す。シミュレーション結果は、表 4.3 に示した通りである。N チャンネル入力オペアンプと同様に出力は入力電圧が 0V であるときは 0V とならず、0.3V を上回った時点から入力電圧に追従し始めた。そして、1.67V を上回った段階から出力電圧の値が一定となり、入力電圧に追従しなくなった。つまり、入力電圧に出力電圧が追従している範囲は 0.3V から 1.67V であった。しかし、出力電圧範囲において常に入力電圧に対して出力電圧の値が 0.02V 程度低くなったため、問題がある可能性が考えられる。結果から設計目標を満たさないことが分かった。

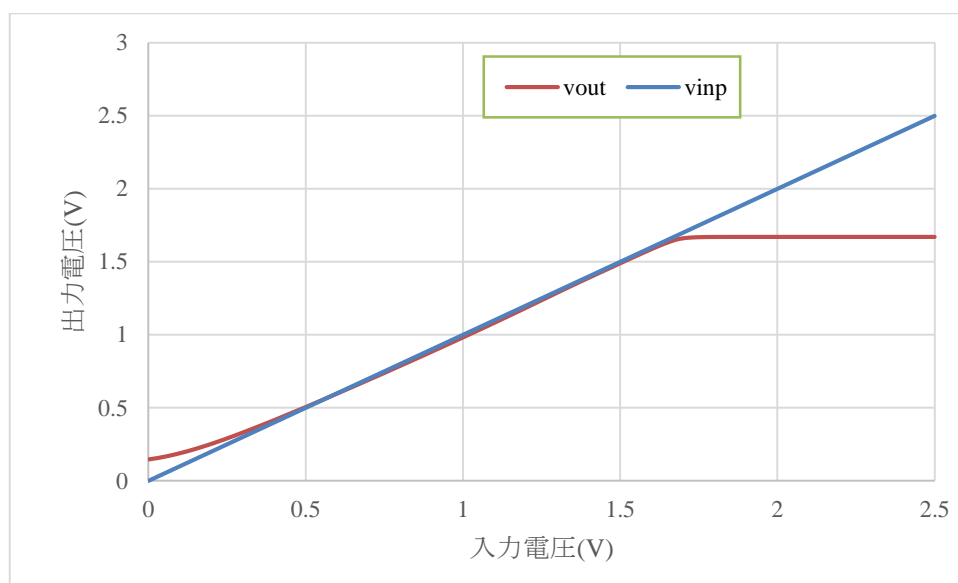


図 4.4 p チャンネル入力オペアンプでの出力電圧範囲

表 4.3 シミュレーション値

項目	目標値	シミュレーション値
出力電圧範囲	0.00V~1.80V	0.3V~1.67V

4.3 位相余裕・帯域幅・電圧利得

4.3.1 nチャンネル入力オペアンプ

nチャンネル入力オペアンプの位相余裕、帯域幅及び電圧利得の出力波形を図4.5に示します。シミュレーション結果は表4.4に示した通りである。電圧利得は40dB、位相余裕は69度、帯域幅は587.4MHzとなった。結果から、設計目標を満たしていた。

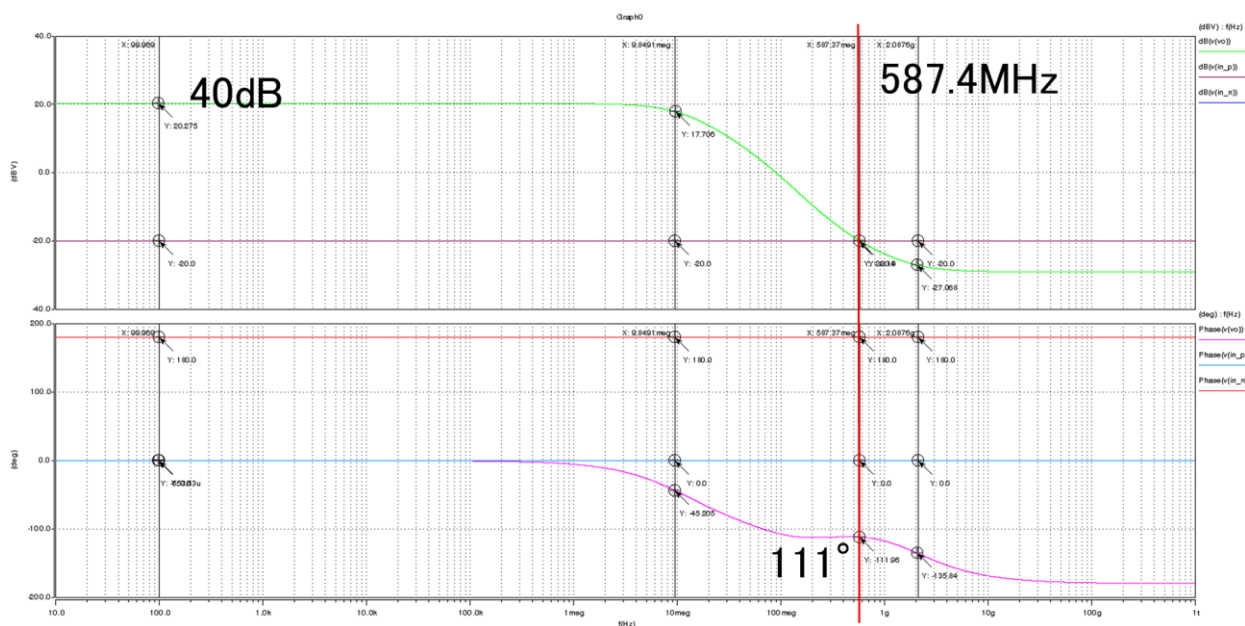


図 4.5 nチャンネル入力オペアンプでの位相余裕・帯域幅・電圧利得

表 4.4 シミュレーション結果

項目	目標値	シミュレーション値
電圧利得	30dB~40dB	40dB
位相余裕	90度以下	69度
帯域幅	—	587.4MHz

4.3.2 p チャンネル入力オペアンプ

p チャンネル入力オペアンプの位相余裕、帯域幅及び電圧利得の出力波形を図 4.6 にします。シミュレーション結果は表 4.5 に示した通りである。電圧利得は 33dB、位相余裕は 63 度、帯域幅は 157.2MHz となった。結果から、設計目標を満たしていた。

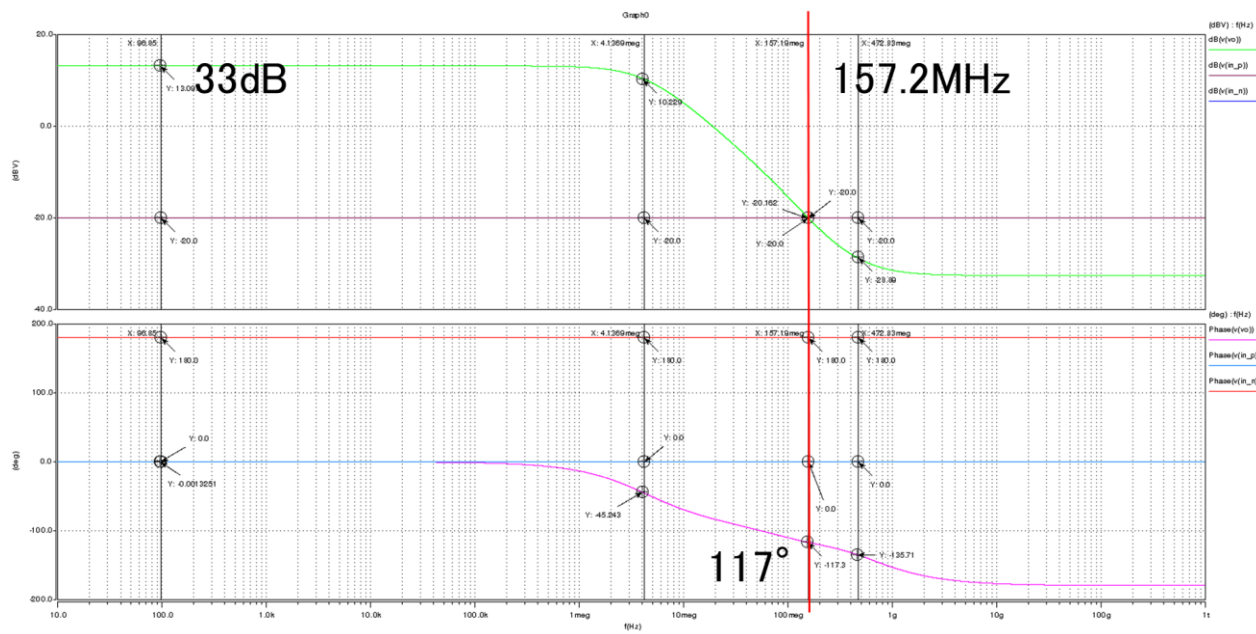


図 4.5 p チャンネル入力オペアンプでの位相余裕・帯域幅・電圧利得

表 4.5 シミュレーション結果

項目	目標値	シミュレーション値
電圧利得	30dB~40dB	33dB
位相余裕	90 度以下	63 度
帯域幅	—	157.2MHz

4.4 考察

p チャネル入力オペアンプの入力電圧範囲の検証において、オペアンプが望みどおりの動作をしなかったことについて考察する。まず、出力電圧が所望の 0.9V に満たなかったことについては p チャネル入力オペアンプの特性もしくは、MOS トランジスタのデバイスパラメータが影響したことが考えられる。また、入力電圧範囲が n チャネル入力オペアンプと p チャネル入力オペアンプとの場合で異なった理由については、n チャネル入力と p チャネル入力の特性の違いによることが分かっているが、互いの入力電圧範囲の大きさが違うことについては原因が不明である。そのため、今後原因の究明が必要であると考えられる。

第 5 章 BGR の設計およびシミュレーション結果

本章では、2 種類のオペアンプを接続した BGR について説明する。

5.1 設計した BGR

本研究で設計した BGR 回路を図 5.1 および図 5.2 に示す。なお、BGR 回路は先行研究[1][2]で設計されたものと同様の回路構成とした。

5.1.1 BGR 回路の構成

本研究で設計した BGR 回路は、図 5.1 に示すようにスタートアップ回路と BGR 回路で構成されている。BGR 回路などの基準電源回路では、回路自体に電流が流れていない状態であっても回路が安定してしまうため、スタートアップ回路を付加する。

スタートアップ回路の動作は、電源電圧 VDD が上がることにより p チャネルトランジスタ MS4 が ON 状態となり電流が流れ始める。これにより p チャネルトランジスタ M1 にも電流が流れることで ON 状態となり、BGR 回路が起動する。そして、電源電圧 VDD がさらに上昇することで、p チャネルトランジスタ MS4 が OFF 状態となり、スタートアップ回路は BGR 回路への電流の供給が止まり、スタートアップ回路は BGR 回路から切り離される。

BGR 回路ではバイポーラトランジスタを 8 個並列にダイオード接続することによって温度に依存しない基準電圧を生成する。

5.1.2 回路 1

図 5.1 に示す回路 1 は先行研究[1]で設計された回路である。表 5.2 に回路 1 のデバイスパラメータを示す。先行研究[1]では出力電流を測定し、評価を行っていたが、設計に問題があることが報告されている。よって、本研究では出力電圧に着目し、測定をおこなうことで再検討した。2 種類のアンプを接続した 2 通りの回路で測定をおこなった。

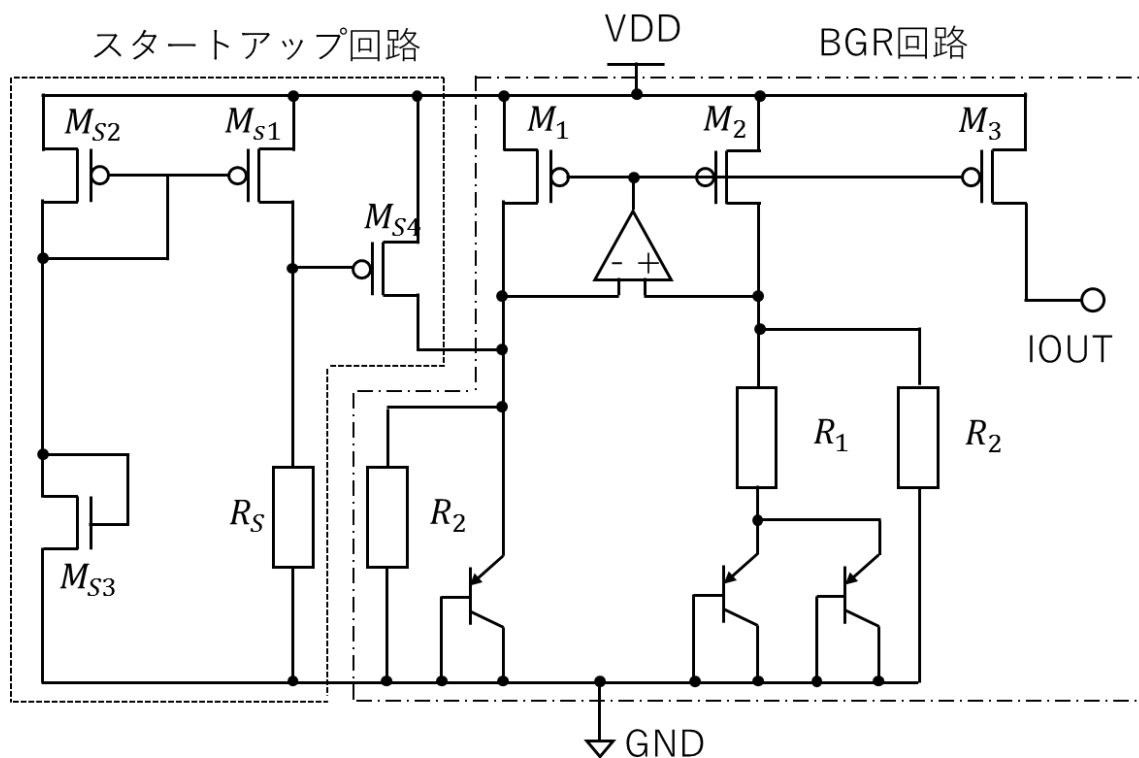


図 5.1 回路 1

表 5.1 デバイスパラメータ

トランジスタ	ゲート長[μm]	ゲート幅[μm]	並列数
MS1, MS2	11.1	1.44	1
MS3,	6	9	1
MS4	4	1.44	1
M1, M2, M3	11.1	1.44	1
抵抗		値[k Ω]	
RS		110	
R1		12	
R2		123	

5.1.3 回路 2

図 5.2 に示す回路 2 は先行研究[2]で設計された回路である。表 5.3 に回路 2 のデバイスパラメータを示す。回路 2 は先行研究[2]で 2 段構成オペアンプを接続した場合のみの検証を行っていたが、目標を満たす結果が得られていないことが報告されている。そこで本研究では検証が行われていない 1 段構成オペアンプを接続することで問題点を改善できるのではないかと考え、検証をおこなった。

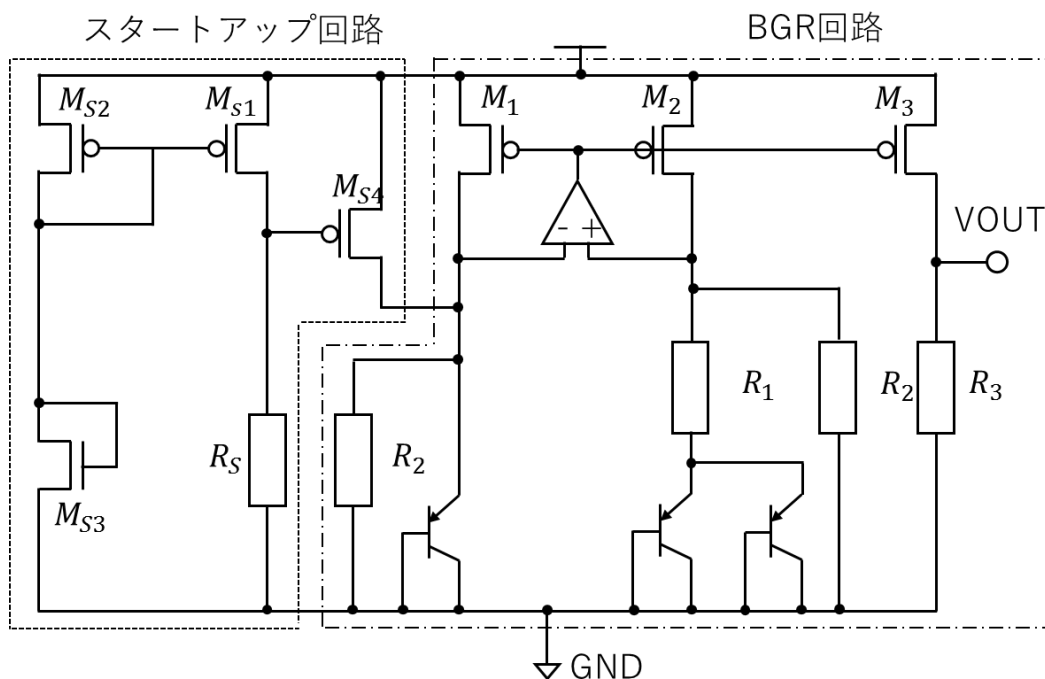


図 5.2 回路 2

表 5.2 デバイスパラメータ

トランジスタ	ゲート長[μm]	ゲート幅[μm]	並列数
MS1	2.7	0.54	2
MS2,MS3	2.7	0.54	1
M1,M2,M3,MS4	2.7	1.08	2
抵抗		値[k Ω]	
RS		200	
R1		11	
R2		110	
R3		100	

5.2 BGR の仕様

5.2.1 設計目標

表 5.3 に設計目標を示す。前述の通り、回路 1 の先行研究[1]では、出力電流を測定し検証をおこなっていた。そのため、本研究では設計目標を回路 2 の先行研究[2]での実測結果から設定した。動作電源範囲は 1.6V から 2.5V、出力電圧は入力電圧が 1.8V のときに 1.00V、出力電圧変動は±0.010V 以内とした。温度範囲を 0°C~100°Cにし、目標値は 100ppm/°C以下とした。温度係数 TC(Temperature Coefficient)は、以下の式 5.1 によって求められる。温度係数 TC は温度変化に対する強さを表し、値が小さいほど温度への依存性が低い。

$$TC = 10^6 \times \left(\frac{V_{\max|T} - V_{\min|T}}{V_{|25^\circ\text{C}}} \right) \times \left(\frac{1}{T_{\max} - T_{\min}} \right) \quad (\text{式} 5.1)$$

表 5.3 設計目標

項目	先行研究	設計目標
動作電源範囲	1.6V~2.0V	1.6V~2.5V
出力電圧 (@VDD=1.8V)	1.09V	1.00V
出力電圧変動	±0.007V	±0.010V 以内
温度係数 TC(0°C~100°C)	154ppm/°C	100ppm/°C以下

5.2.2 シミュレーション方法

電源電圧特性では、電源電圧を 0V~2.5V まで 0.01V 刻みで変化させたときの出力電圧を観測した。評価項目は上に述べたとおり電源電圧が 1.8V のときの出力電圧および動作電源範囲における出力電圧の変動である。

温度特性では、電源電圧を 1.8V に設定し、温度を 0~100°Cまで 1°C刻みで変化させたときの出力電圧を観測した。評価項目は上に述べたとおり温度係数 TC である。

5.3 回路 1 シミュレーション結果

5.3.1 n チャンネル入力オペアンプ

n チャンネル入力オペアンプを接続した回路 1 の電源電圧特性における出力電圧の波形を図 5.3.1 に示す。シミュレーション結果は、表 5.4 に示した通りである。出力電圧は電源電圧と全く同じ値を示し、0V から 2.5V まで比例的に増加した。よって、電源電圧が 1.8V のとき出力電圧は 1.8V となった。この結果から電源電圧特性においては設計目標を満たすことはできず、回路が正しく動作していないということが分かった。

一方、温度特性における出力電圧を図 5.3.2 に示す。温度が変化しても常に電源電圧と同じ 1.8V が出力された。そのため、温度係数は 0ppm/°C となったが出力電圧が目標値とは異なっているため設計目標は満たさないことが分かった。また、電源電圧がそのまま出力電圧として出力されているため回路自体が動作していないことが分かった。

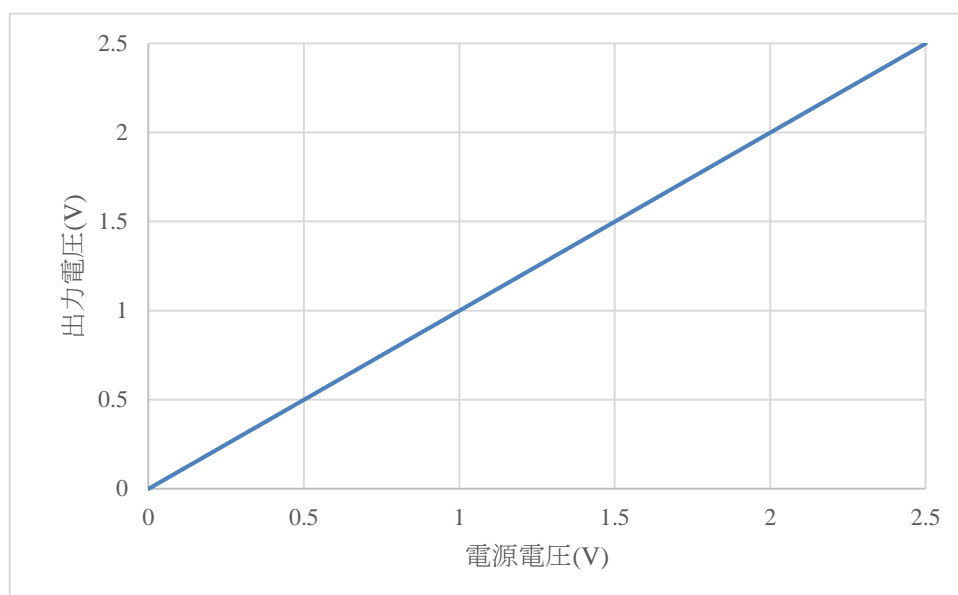


図 5.3.1 n チャンネル入力オペアンプを接続した回路 1 の出力電圧

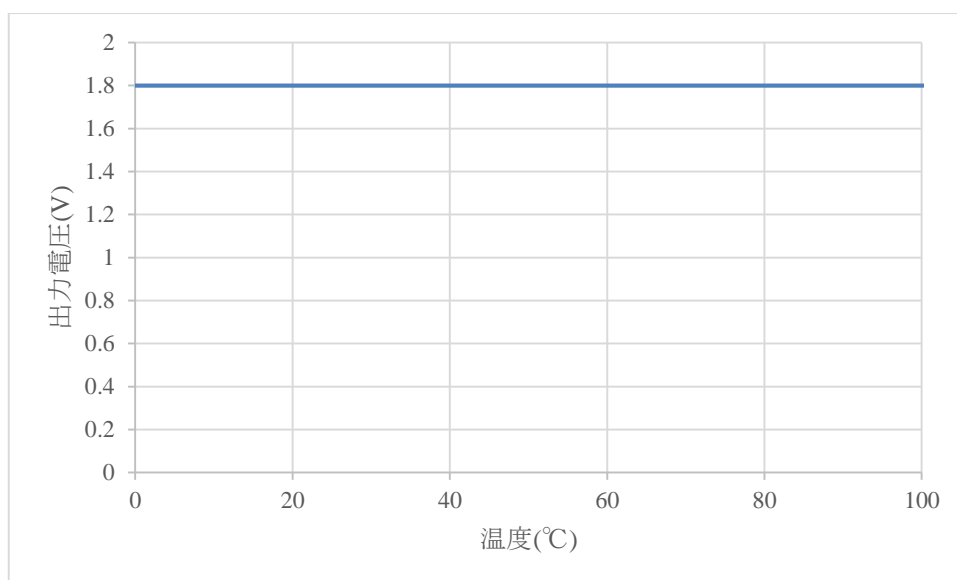


図 5.3.2 n チャネル入力オペアンプを接続した回路 1 の温度特性

表 5.4 シミュレーション結果

項目	設計目標	シミュレーション値
動作電源範囲	1.6V~2.5V	1.6~2.5V
出力電圧 (@VDD=1.8V)	1.00V	1.80V
出力電圧変動	±0.010V 以内	0.7V
温度係数 TC(0°C~100°C)	100ppm/°C以下	0 ppm/°C

5.3.2 p チャネル入力オペアンプ

p チャネル入力オペアンプを接続した回路 1 の電源電圧特性における出力電圧の波形を図 5.4.1 に示す。シミュレーション結果は、表 5.4 に示した通りである。出力電圧は電源電圧と全く同じ値を示し、0V から 2.5V まで比例的に増加した。よって、電源電圧が 1.8V のとき出力電圧は 1.8V となった。この結果から電源電圧特性においては設計目標を満たすことはできず、回路が正しく動作していないということが分かった。

また、温度特性における出力電圧を図 5.4.2 に示す。温度が変化しても常に電源電圧と同じ 1.8V が出力された。そのため、温度係数は 0ppm/°Cとなったが出力電圧が目標値とは異なっているため設計目標は満たさないことが分かった。また、電源電圧がそのまま出力電圧として出力されているため回路自体が動作していないことが分かった。

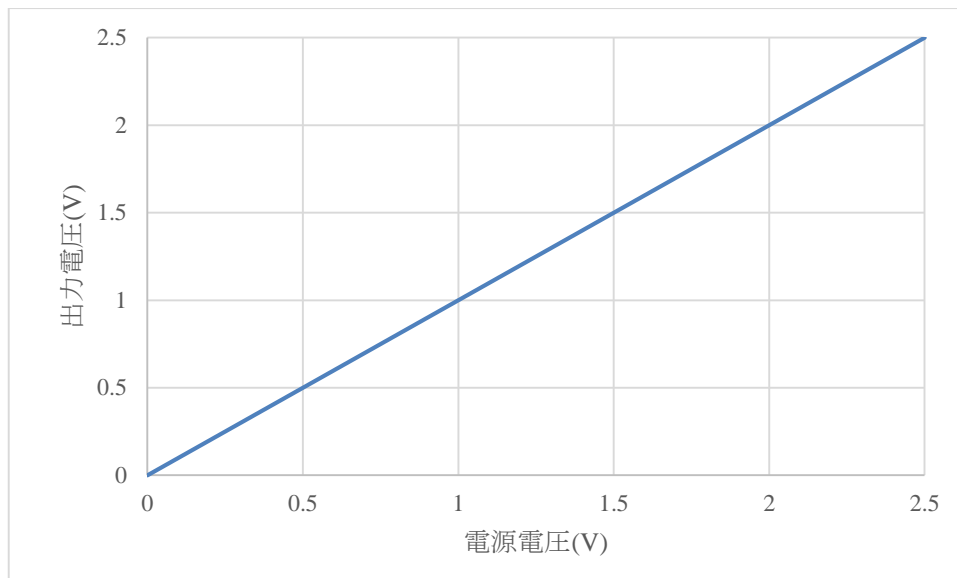


図 5.4.1 p チャネル入力オペアンプを接続した回路 1 の出力電圧

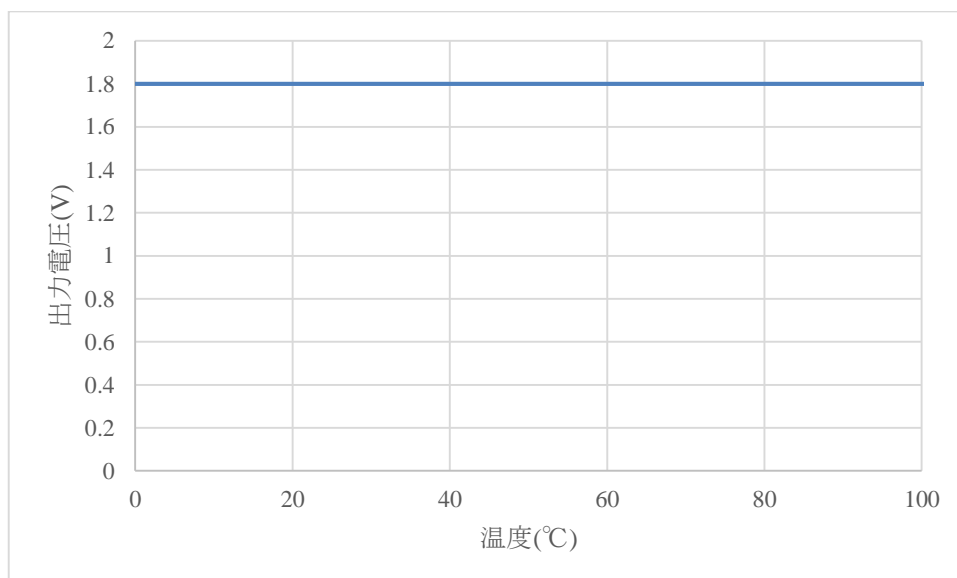


図 5.4.2 p チャネル入力オペアンプを接続した回路 1 の温度特性

表 5.5 シミュレーション結果

項目	設計目標	シミュレーション値
動作電源範囲	1.6V~2.5V	1.6~2.5V
出力電圧 (@VDD=1.8V)	1.00V	1.80V
出力電圧変動	±0.010V 以内	0.7V
温度係数 TC(0°C~100°C)	100ppm/°C以下	100ppm/°C以下

5.4 回路 2 シミュレーション結果

5.4.1 n チャンネル入力オペアンプ

n チャンネル入力オペアンプを接続した回路 2 の電源電圧特性における出力電圧の波形を図 5.5.1 に示す。シミュレーション結果は表 5.6 に示した通りである。動作電源範囲は 1.6V から 2.5V となり、出力電圧は電源電圧 1.8V のとき、1.12V となった。出力電圧変動は±0.007V となった。この結果から電源電圧特性におけるシミュレーション値は設計目標を満たすことはできなかったが、実用上は、許容範囲であると考えられる。しかし、チップに実装する際には素子ばらつき等の影響も考えられるため、より出力電圧が設計目標に近づくように設計する必要があることが分かった。

また、図 5.5.2 に温度特性における出力波形を示す。電源電圧特性における出力電圧が 1.12V であるのに対して、温度特性では 0V に近い微小な電圧しか得られなかった。温度係数は $168 \times 10^3 \text{ppm}^\circ\text{C}$ となったため、設計目標を満たすことはできなかった。

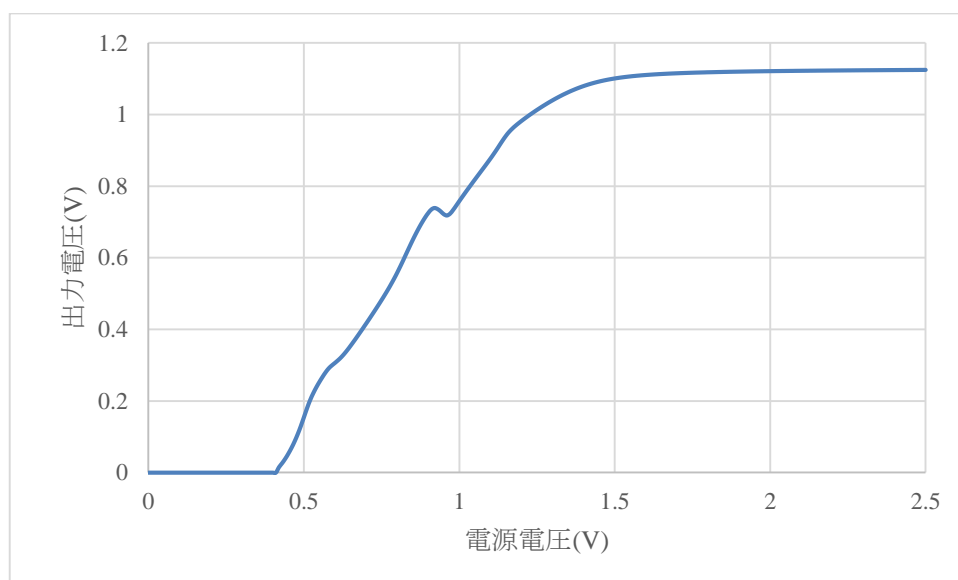


図 5.5.1 n チャンネル入力オペアンプを接続した回路 2 の出力電圧

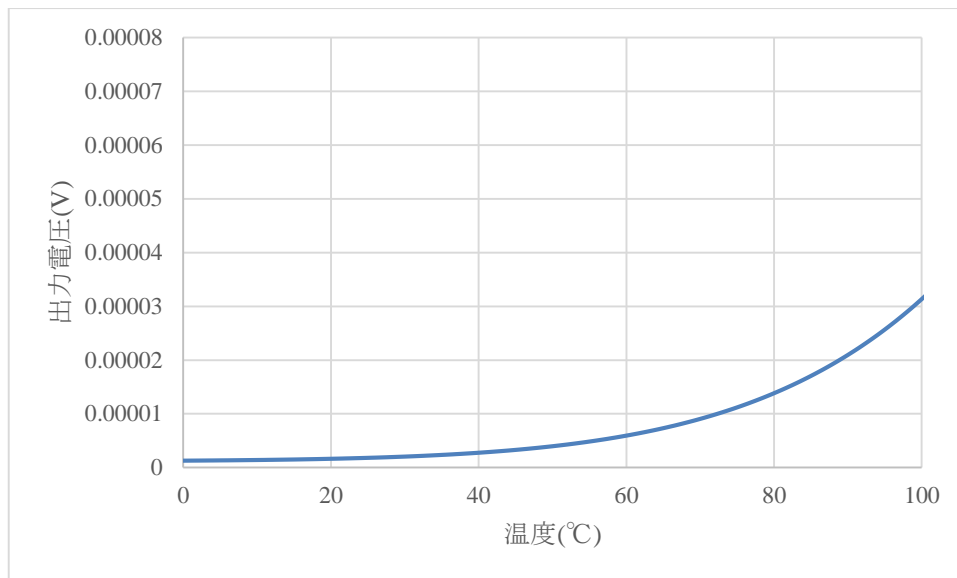


図 5.5.2 n チャネル入力オペアンプを接続した回路 2 の温度特性

表 5.6 シミュレーション結果

項目	設計目標	シミュレーション値
動作電源範囲	1.6V~2.5V	1.6V~2.5V
出力電圧 (@VDD=1.8V)	1.00V	1.12V
出力電圧変動	±0.010V 以内	±0.007V
温度係数 TC(0°C~100°C)	100ppm/°C以下	168×10 ³ ppm/°C

5.4.2 p チャネル入力オペアンプ

p チャネル入力オペアンプを接続した回路 2 の電源電圧特性における出力電圧の波形を図 5.6.1 に示す。シミュレーション結果は表 5.7 に示した通りである。設計目標とする動作電源範囲の 1.6V から 2.5V では出力波形は一定とならず、電源電圧が増加するに従って増加した。出力電圧は電源電圧 1.8V のとき、1.39V となった。出力電圧変動は±0.826V となった。この結果から電源電圧特性におけるシミュレーション値は設計目標を満たすことはできなかった。

また、図 5.6.2 に温度特性における出力波形を示す。温度が 27°C での出力電圧は 1.39V となったことから、電源電圧特性における電源電圧 1.8V のときの出力電圧と同じ値となった。温度係数 TC は 690ppm/°C となり設計目標を満たすことはできなかった。

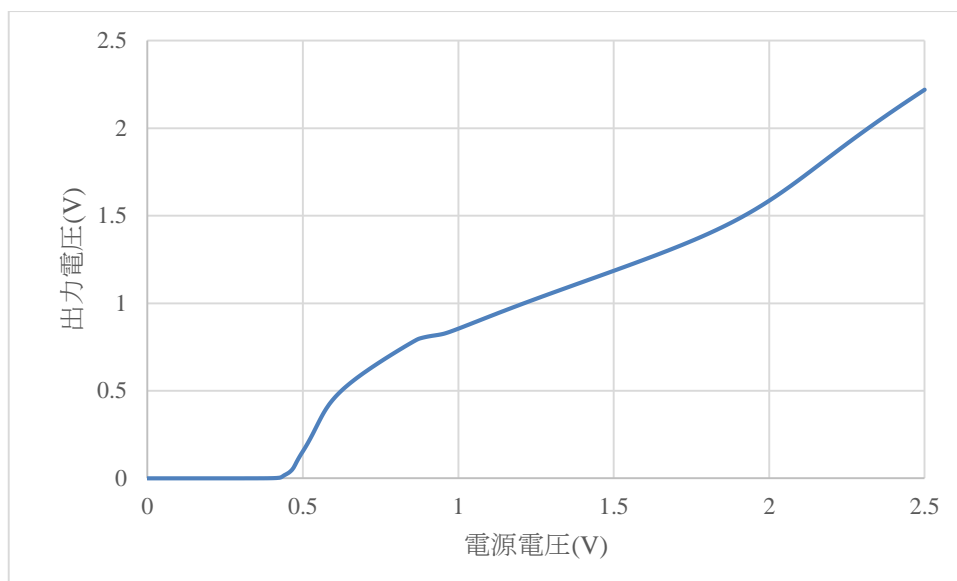


図 5.6.1 p チャネル入力オペアンプを接続した回路 2 の出力電圧

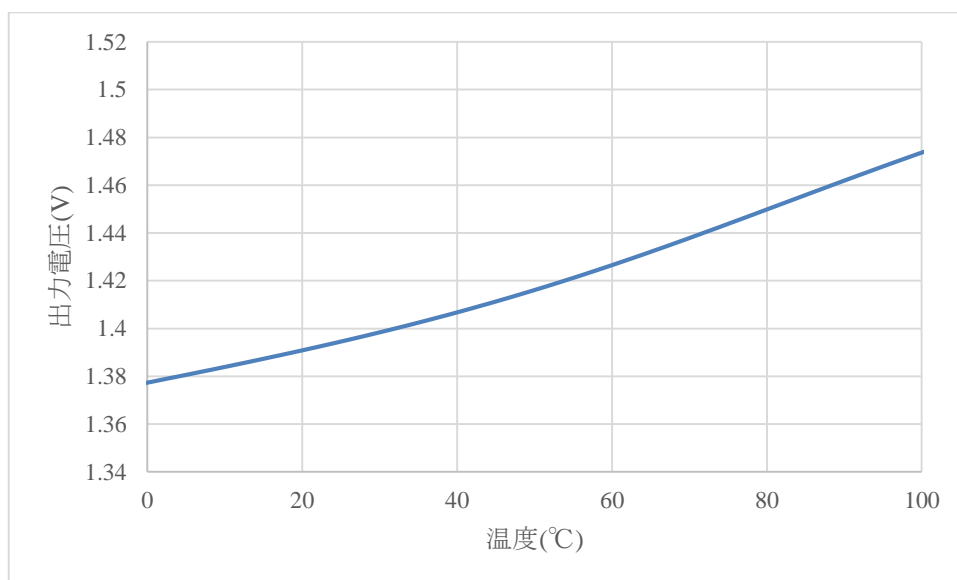


図 5.6.2 p チャネル入力オペアンプを接続した回路 2 の温度特性

表 5.7 シミュレーション結果

項目	設計目標	シミュレーション値
動作電源範囲	1.6V~2.5V	1.6V~2.5V
出力電圧 (@VDD=1.8V)	1.00V	1.39V
出力電圧変動	±0.010V 以内	±0.826V
温度係数 TC(0°C~100°C)	100ppm/°C以下	690ppm/°C

5.5 考察

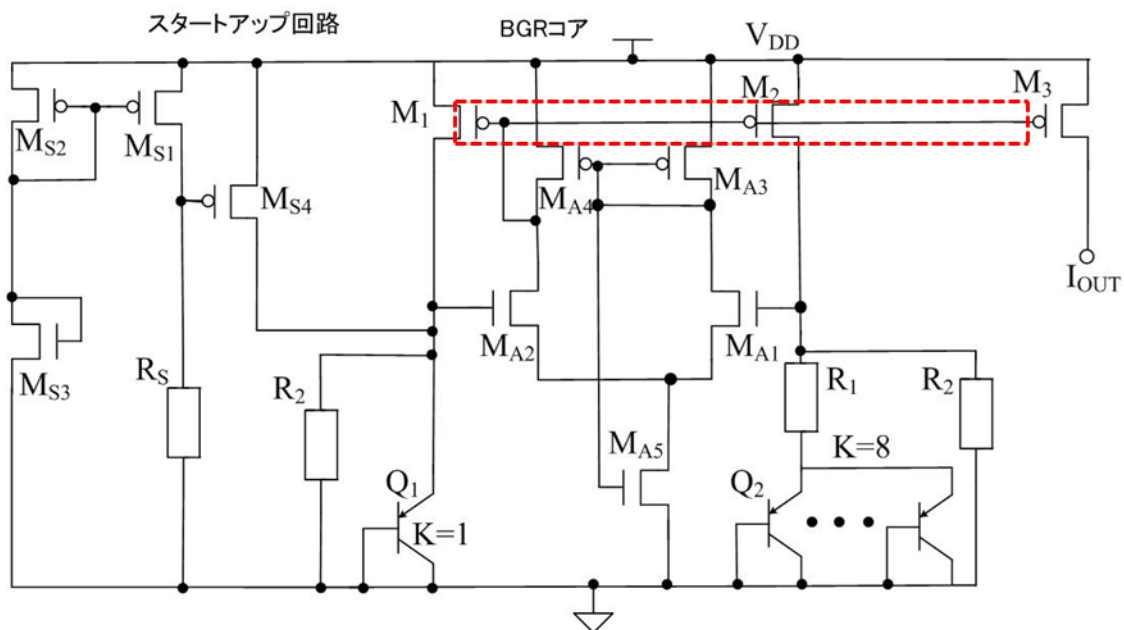


図 5.7 n チャネル入力 オペアンプを接続した回路 1

回路 1 の BGR にオペアンプを接続した場合、電源電圧特性における出力電圧が目標とは異なる波形となったことについて図 5.7 の回路を用いて考察する。回路 2 に n チャネル入力オペアンプを接続したときは、目標値に近い結果が得られた。一方で回路 1 の場合は変化させた電源電圧に追従するような出力波形となった。このことから、n チャネル入力 オペアンプ自体に問題はないと考えられる。BGR 回路 1 が正しく動作しなかった原因は、設計の際のデバイスパラメータの値が影響した可能性が考えられる。M1, M2, M3 のゲート電圧が十分得られず、これらの p チャネルトランジスタが常に ON となってしまったことも原因であるだろう。

回路 2 の BGR に p チャネル入力オペアンプを接続した場合、動作電源範囲内で目標とする出力波形とならなかったことについて考察する。これは、n チャネル入力 オペアンプを接続した場合の回路に問題がないため、オペアンプ自体に問題があることが考えられる。また、p チャネル入力の場合の特性があると考えられる。よって、p チャネル入力オペアンプの再検討をおこなったうえで、考えうる影響を考慮した設計をする必要があるだろう。

第 6 章 まとめ

本研究では、BGR 回路内で正しく動作する 1 段増幅オペアンプの設計を目的とし、 n チャンネル入力オペアンプおよび p チャンネル入力オペアンプのシミュレーションを行った。オペアンプにおける評価項目は、入力電圧範囲、出力電圧範囲、位相余裕・帯域幅・電圧利得に設定した。その結果、入力電圧範囲では n チャンネル入力オペアンプのみが正しい動作をし、出力電圧範囲は n チャンネル入力と p チャンネル入力ともに設計目標を満たさなかった。電圧利得・位相余裕については n チャンネル入力と p チャンネル入力のどちらのオペアンプも設計目標を満たすことができた。設計目標を満たさなかったものについては、入力に用いたチャンネルの特性や MOS トランジスタのデバイスパラメータが影響したことが考えられるため、再度オペアンプの設計について検討が必要である。

次に BGR に接続してシミュレーションを行った。BGR については 2 つのパターンの回路 1、回路 2 を用いて電源電圧特性および温度特性について評価した。回路 2 に n チャンネル入力オペアンプを接続した場合の電源電圧特性のみが正しい動作をし、その他のパターンは設計目標を満たさず、正しい動作をしなかった。これらの結果から回路 1 は BGR 回路自体に問題があると考えられる。回路 2 においては p チャンネル入力オペアンプを接続した場合にのみ正しい動作をしなかったことから、 p チャンネル入力オペアンプに問題があることが分かった。これらのことから、回路 1 の BGR におけるデバイスパラメータ等の改善また、 p チャンネル入力オペアンプの再設計が必要であるだろう。

謝辞

本研究を進めるにあたり、的確なご指導とご協力を賜りました高知工科大学システム工学群の橘昌良教授と密山幸男准教授に心から感謝いたします。また、オペアンプの設計やシミュレーションをおこなうにあたってご助力いただいた橘研究室の岡崎泰士様、武内智哉様に心から感謝致します。最後に、日頃からお世話になった高知工科大学システム工学群の教職員の皆様、橘研究室の皆様、密山研究室の皆様に心から感謝致します。

参考文献

- [1] 板東拓弥, 橋昌良, “バンドギャップリファレンスの設計と BIST 手法の検討,” 高知工科大学工学科基盤工学専攻電子・光システム工学コース 修士論文, 2015
- [2] 山田健太, 橋昌良, “2 段オペアンプを用いたバンドギャップリファレンスの設計と評価,” 高知工科大学工学科基盤工学専攻電子・光システム工学コース 修士論文, 2016
- [3] 谷口研二 著, 「CMOS アナログ回路入門」, CQ 出版, 2005
- [4] 吉澤浩和 著, 「CMOS OP アンプ回路 実務設計の基礎」, CQ 出版社, 2007
- [5] 湯ノ口希, 橋昌良, “CMOS オペアンプ回路の設計および評価,” 高知工科大学工学科基盤工学専攻電子・光システム工学コース 修士論文, 2011