



Trabajo de Fin de Máster
”Máster Universitario en Microelectrónica:
Diseño y Aplicaciones de Sistemas
Micro/Nanométricos”

**Estudio de convertidor ADC para
aplicaciones de espectrometría de
bioimpedancias**

Diego Lozano Fernández

13/11/2017

Índice

1. Introducción	3
1.1. Objetivos del trabajo	4
1.2. Organización de la memoria	4
2. Convertidores A/D	5
2.1. Características	6
2.1.1. Especificaciones estáticas	7
2.1.2. Especificaciones dinámicas	8
2.2. Arquitecturas	9
2.2.1. Flash	9
2.2.2. SAR	10
2.2.3. Sigma Delta	11
2.2.4. Resumen	12
2.3. Estado del arte	12
2.4. Selección de arquitectura	13
3. Convertidores VF	14
3.1. Parámetros	14
3.2. Arquitecturas	15
3.2.1. Multivibrador	15
3.2.2. Balanza de carga	15
3.3. Métodos de medida	17
3.3.1. Método de cuenta indirecta	17
3.3.2. Método de cuenta directa	18
4. Diseño de VFC	18
4.1. Sistema completo	19
4.2. Transconductor	19
4.2.1. High swing current mirror	25
4.2.2. Integrador bidireccional	27
4.2.3. OTA	28
4.3. Circuito de control	31
4.3.1. Comparador	31
4.3.2. Biestable RS	34
4.4. Generador de pulsos	37
4.4.1. Sincronizador	37
4.4.2. Generación de pulsos	38
4.5. Funcionamiento del sistema	38
5. Resultados	41
6. Conclusiones	43
7. Bibliografía	44

1. Introducción

A día de hoy la medida de la bioimpedancia es una práctica establecida en varios campos de la medicina [1], como por ejemplo la ICG (Impedance Cardiography), basada en la medida de la bioimpedancia eléctrica torácica (TEB), la EIM (Electrical Impedance Myography), que permite identificar diferentes problemas en los músculos, o el estudio de la composición del cuerpo, que determina ciertos parámetros de interés como son el TBW (Total Body Water), el balance entre el fluido intracelular e intercelular, masa muscular y grasa. Además su uso se extiende cada vez más a otros campos no relacionados con la medicina: detección de huella dactilar, monitorización de fermentación de cerveza o incluso calidad de productos cárnicos.

En varios casos esta tecnología es capaz de ofrecer una alternativa a los métodos ya establecidos para realizar los diferentes análisis mencionados, que en numerosas ocasiones tienen la desventaja de usar maquinaria voluminosa y de elevado coste, por lo que pocas instituciones tienen la capacidad para realizarlos. Por otro lado hay situaciones en las que dichas instituciones incurren en elevados costes para realizar análisis que son excesivamente precisos a falta de una alternativa más simple, que les permitiera realizar pruebas con suficiente precisión para su aplicación concreta, pero de forma más rápida, posibilitando la realización de muchas más medidas.

Por tanto, se puede determinar que hay dos ramas evidentes de trabajo: la primera de ellas es la industrial, con el objetivo de llevar al extremo esa mejora de los tiempos de medida a cambio de una reducción de la precisión de la misma, lo que permite incrementar la fiabilidad de algunos marcadores de calidad: se pasa de hacer un estudio estadístico en base de una población muy pequeña, a costa de un precio económico y temporal elevado, a medir incluso la totalidad de la población, haciendo la medida in-situ dentro de la cadena productiva. La segunda rama de trabajo es crear nuevos tipos de WSN (Wireless Sensor Networks, Figura 1), como por ejemplo sensores de bioimpedancia “wearables” que determinen parámetros que hasta ahora solo son posibles de obtener usando instrumental médico localizado en hospitales o centros de salud. Este tipo de WSN presenta la ventaja de permitir una monitorización continua de dichos parámetros, en lugar de hacer que el paciente se desplace al lugar adecuado para que se realicen las medias necesarias, lo que muchas veces no es suficiente y debe ir varias veces, alterando el ritmo de vida de la persona.

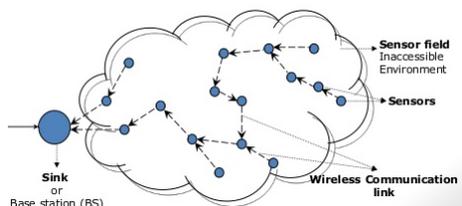


Figura 1: Ejemplo de WSN.

Ambas líneas tienen en común que requieren del uso de un sensor de bioimpedancia de bajo tamaño y coste, además de tener bajo consumo en caso de las WSN formadas por sensores alimentados por batería, cuyos datos deben ser procesados y transmitidos a un usuario final que los interprete. La estructura general de este sistema se muestra en la Figura 2.



Figura 2: Elementos básicos en la medición de variables físicas.

En ella se ve que si se tiene una variable del dominio físico, en este caso la bioimpedancia, que se pretende leer y procesar en el dominio electrónico, es necesario un sensor capaz de convertir dicha magnitud física en una magnitud electrónica. No obstante, la señal obtenida suele ser de pequeña magnitud y ruidosa, por lo que hace falta realizar un procesamiento de amplificación y acondicionamiento de la señal, que posteriormente pasa a un convertidor analógico digital que la convierte en una palabra digital, para que el microcontrolador pueda realizar su procesamiento en el dominio digital, siendo dicho convertidor el bloque de interés en este documento.

1.1. Objetivos del trabajo

El marco en que se desarrolla este trabajo es el de un proyecto de investigación en que están implicados grupos de investigación tanto de la US como de la UEx. Concretamente lo que se pretende conseguir es realizar un diseño de un convertidor analógico-digital full custom para un AFE (Analog Front End) ya existente, cuya función es medir el módulo y fase de bioimpedancias mediante la técnica de cuatro hilos. Sus señales de salida presentan las siguientes características:

- Dos salidas de tensión DC, cuyo valor oscila entre 1.3V y 1.5V.
- Es posible que en lugar de DC se tengan señales con componentes frecuenciales de 100Hz.
- En base a un estudio de la respuesta del chip, se ha determinado que un convertidor de 10 bits es suficiente como para que la medida de la magnitud y la fase tenga la precisión deseada en la aplicación.

Para realizar este diseño, primero se hace un análisis de los tipos de convertidores que existen así como del estado del arte, para decidir qué arquitectura utilizar, tras ello se estudian, diseñan y simulan los bloques que componen la arquitectura seleccionada y, por último, se simula el sistema completo y se estudian sus características, para determinar si cumplen con las especificaciones requeridas por la aplicación.

1.2. Organización de la memoria

En el primer capítulo se ha dado una visión general de los usos y utilidad de la bioimpedancia, así como de las diferentes partes que tiene un sistema que

pretende adquirirla y procesarla. También se ha explicado el por qué de este trabajo y los diferentes objetivos que pretende cumplir.

En el segundo capítulo se realiza un repaso de los convertidores analógico - digital, explicando el por qué de la variedad de arquitecturas que existen. Se definen los parámetros principales que establece las especificaciones de un convertidor, de forma que cuando posteriormente se analizan algunas de las arquitecturas existentes se tenga un mayor entendimiento de las diferencias entre ellas. Tras ello, se analiza el estado del arte y se explica el por qué de la selección de la arquitectura de este trabajo.

En el tercer capítulo se estudian los diferentes tipos de convertidores de convertidores de tensión a frecuencia, definiendo algunos parámetros propios de este tipo de convertidores así como las sub-arquitecturas que existen. Tras ello, se explican las dos principales formas de convertir el dato de frecuencia obtenido en una palabra digital, para su uso en un microcontrolador.

En el cuarto capítulo se detalla el proceso de diseño realizado, comienza explicando la arquitectura seleccionada y los bloques que la componen, para después analizar y simular cada uno de ellos. En este capítulo se utilizan variantes de circuitos comunes (como los espejos de corriente) orientados a la operación en baja tensión, que se explican dentro del apartado del bloque en que se usan. Al finalizar, una vez conocido el funcionamiento de los bloques, se da una explicación del convertidor a nivel de sistema.

En el quinto capítulo se hace un resumen de los diferentes resultados obtenidos de la simulación del sistema completo, centrándose en el consumo, la linealidad y el mínimo incremento de tensión de entrada detectable, además se calcula el número de bits que requeriría un convertidor convencional para tener unas especificaciones similares al desarrollado.

Finalmente, en el sexto capítulo se enumeran las diferentes conclusiones obtenidas a partir de los resultados de simulación, resumiendo las especificaciones del convertidor y evaluando su validez para la aplicación que ocupa a este documento.

2. Convertidores A/D

En este apartado se realiza un estudio de los diferentes tipos de convertidores A/D (Analógico a Digital) que existen, ya que debido a la gran cantidad de tipos de sensores que hay y de aplicaciones en que se pueden usar, el rango de especificaciones que se requieren de ellos es muy amplio. Esto provoca que haya numerosas arquitecturas que se centran en diferentes partes del rango, tal y como se muestra en la Figura 3. En ella se consideran exclusivamente los parámetros de frecuencia de trabajo y resolución, y se aprecia uno de los principales compromisos que existen en este tipo de circuito: un incremento de la resolución se hace a costa de perder frecuencia de trabajo y, normalmente, de incrementar el consumo.

Es decir, conocidas las especificaciones necesarias para una aplicación con-

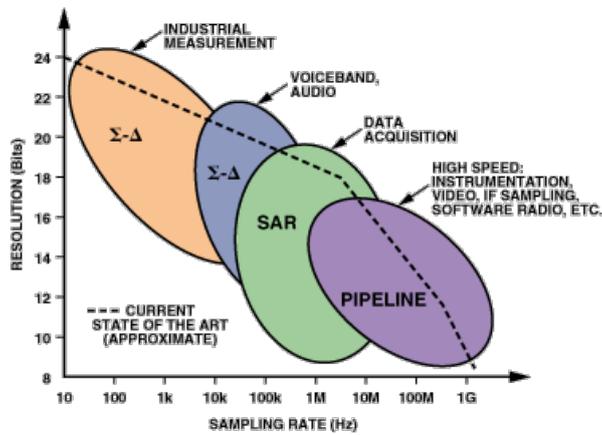


Figura 3: Arquitecturas de convertidores.

creta, es necesario buscar qué estructura de convertidor es la que mejor se ajusta a sus necesidades, suponiendo que sean unas especificaciones factibles.

2.1. Características

Si bien se ha determinado que la frecuencia de trabajo y la resolución son parámetros importantes, no son los únicos que determinan las especificaciones de un convertidor A/D y, por tanto, la factibilidad de su uso en una aplicación concreta. Es por tanto necesaria una sección que explique el resto de parámetros principales y el cómo afectan al comportamiento del convertidor. Se comienza mostrando la curva de transferencia ideal de un convertidor de 3 bits en la Figura 4, y se irá explicando la forma en que los diferentes parámetros distancian la curva de transferencia real de la ideal.

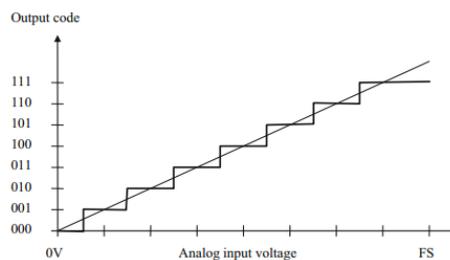


Figura 4: Curva de transferencia de convertidor A/D ideal.

La función de un convertidor es hacer un “mapeado” lineal de una tensión analógica de entrada a una palabra digital de salida, por lo que la curva de transferencia ideal tiene una forma de escalera con todos los escalones iguales alineados en una línea recta. Estos escalones hacen que exista un error de cuantización, tal y como se muestra en la Figura 5, ya que cada palabra de salida representa un rango continuo de valores de tensión de entrada. En dicha figura

se muestra el error computado como la diferencia entre la tensión de entrada V_i y la asociada a una palabra determinada: $V_{word} = word \cdot LSB$.

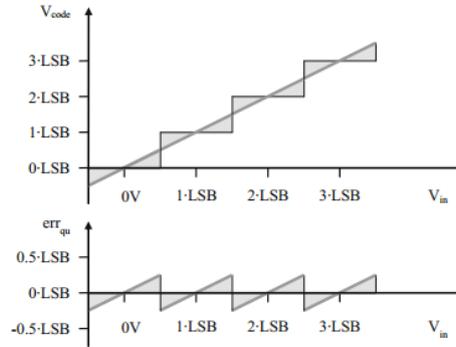


Figura 5: Error de cuantización.

Varios parámetros pueden expresarse en función del LSB (Least Significant Bit) del convertidor, que se define como el rango de entrada del convertidor entre el número de códigos total. Por ejemplo si se tiene un convertidor de 10 bits, se tienen $2^{10} = 1024$ códigos, y si se tiene un rango de entrada de 1.024 V entonces el LSB es 1 mV.

2.1.1. Especificaciones estáticas

Estas especificaciones describen la precisión de la función de transferencia del convertidor sin tener en cuenta los efectos dinámicos. Dos de ellas son el *error de ganancia*, que cuantifica la desviación de la pendiente de la curva de transferencia real con respecto a la ideal, tal y como se muestra en la Figura 6, y el *error de offset*, que cuantifica la cantidad por la que la curva de transferencia es desplazada linealmente de su posición ideal, tal y como se muestra en la Figura 7.

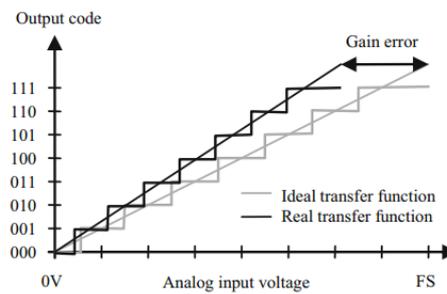


Figura 6: Error de ganancia.

El inconveniente de estos dos parámetros es que no aportan información acerca de la diferencia entre el tamaño de los escalones de la curva de transferencia ideal y los de la curva de transferencia real, por lo que se definen otras dos especificaciones para ello: la *DNL* (Differential NonLinearity) y la *INL* (Integral NonLinearity), que se pueden observar en la Figura 8. La DNL cuantifica la

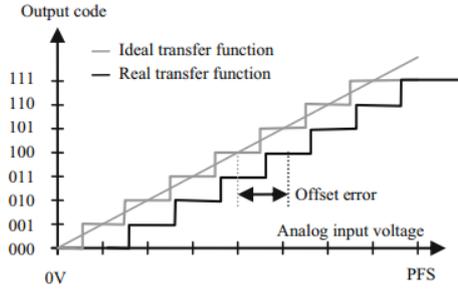


Figura 7: Error de offset.

diferencia entre el tamaño de cada escalón de la curva real del de la curva ideal, por lo que el valor mínimo posible es -1, que significa que “falta” un escalón, y el valor máximo no tiene limites, puede ser mayor que 1. Dado que el DNL en cada paso no tiene memoria del DNL existente de los pasos anteriores, en cada escalón se va teniendo un error acumulado debido a los DNL de todos los escalones anteriores que van desviando la curva de transferencia real de la ideal, por lo que se genera un error integral que viene dado por el INL.

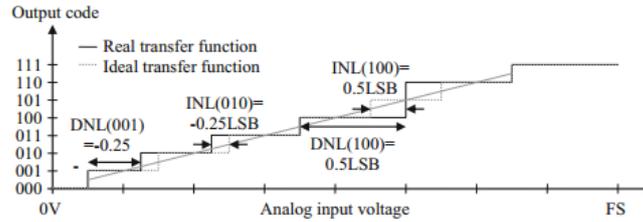


Figura 8: INL y DNL.

2.1.2. Especificaciones dinámicas

La respuesta dinámica del convertidor puede ser caracterizada tanto en el dominio del tiempo como en el de la frecuencia, obteniendo diferentes parámetros en cada uno de ellos. Por ejemplo, en el dominio del tiempo es común usar señales cuadradas para obtener algunos parámetros comunes en el estudio de la respuesta de un sistema a una entrada de tipo escalón: *tiempo de establecimiento*, *sobreimpulso*, *slew rate*....

Por otro lado, en el dominio de la frecuencia se suelen usar señales sinusoidales, y los parámetros son obtenidos bajo unas condiciones de amplitud y frecuencia de la señal de test determinados. Algunas de las especificaciones obtenidas son el SNR (Signal to Noise Ratio) y el THD (Total Harmonic Distortion). Sean P_s la potencia de la señal de entrada, P_{ruido} la potencia del ruido y P_h la potencia de los armónicos, se tiene que el SNR es:

$$SNR = \frac{P_s}{P_{ruido}} \quad (1)$$

Y que el THD es:

$$THD = \frac{P_h}{P_s} \quad (2)$$

Hay otras métricas comunes usadas, relacionadas con estas dos, como por ejemplo el SNDR (Signal to Noise and Distortion Ratio):

$$SNDR = \frac{P_s}{P_{ruido} + P_h} \quad (3)$$

También puede ser de interés determinar la distorsión causada por armónicos concretos, por lo que si se tiene que la potencia del armónico n es P_n , entonces la HD_n (Harmonic Distortion causada por el armónico n) es:

$$HD_n = \frac{P_n}{P_s} \quad (4)$$

2.2. Arquitecturas

Conocidos los diferentes parámetros que caracterizan a un convertidor analógico-digital, es posible estudiar con un mejor criterio las diferentes arquitecturas [2] que son comúnmente utilizadas, sabiendo como se comparan unas con otra en base a sus diferentes especificaciones, lo que permitirá posteriormente elegir el mejor convertidor para la aplicación que concierne a este trabajo.

2.2.1. Flash

Este tipo de convertidores se caracterizan por ser los que tienen una mayor velocidad de trabajo, ya que son capaces de hacer una conversión en un ciclo de reloj. Su estructura se muestra en la Figura 9 y, como se puede observar, está formado por una serie de resistencias en serie del mismo valor, colocadas entre una tensión igual al rango de entrada deseado, que es la tensión de referencia. Estas resistencias dividen la tensión de referencia en una serie de valores intermedios equidistantes, y los comparadores se encargan de comparar cada uno de estos valores intermedios con la tensión de entrada de forma paralela.

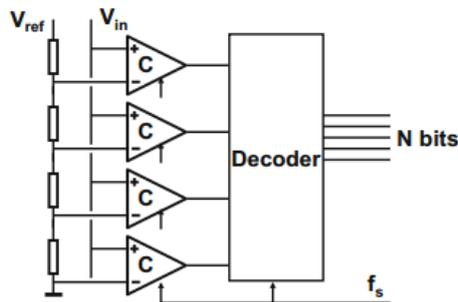


Figura 9: Convertidor flash.

Se tiene entonces una salida en forma de código de termómetro: para una dada tensión de entrada, todos los comparadores que tengan asociada una tensión mayor a la de entrada pondrán a su salida un 0, y el resto de comparadores

un 1 y, a medida que suba la tensión de entrada, incrementarán los comparadores que den un 1 y disminuirán los que den un 0 (suponiendo que se sigue una lógica como la de la figura). La salida de estos comparadores se lleva a un decodificador que hace la conversión a un formato más conveniente. Como se puede observar si se desea realizar un convertidor de m bits, es necesario usar 2^m resistencias y 2^m comparadores, que además deben ser muy rápidos. Por tanto estas estructuras suelen ser usadas para aplicaciones que necesitan resolución de en torno a 6 bits, por motivos tanto de tamaño como de consumo.

2.2.2. SAR

La estructura de este tipo de convertidores se encuentra en la Figura 10, en ella se puede observar que consta de un comparador, un convertidor D/A (Digital a Analógico) y de un registro que contiene la palabra de entrada a dicho convertidor.

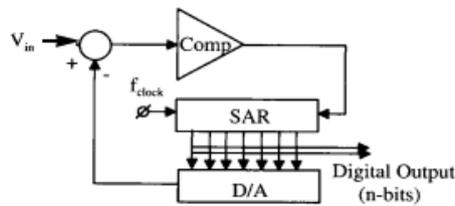


Figura 10: Convertidor SAR.

El funcionamiento de este tipo de estructuras es el siguiente: al comenzar la conversión se activa el MSB (Most Significant Bit) del convertidor D/A y se compara la tensión a su salida con la de entrada, cuando la tensión de entrada es mayor, se mantiene el bit y se conmuta el siguiente bit más significativo, tal y como se muestra en la Figura 11, repitiéndose el proceso por cada uno de los bits del SAR (Successive Approximation Register). Por tanto es necesario que para una frecuencia de muestreo f_s la frecuencia del reloj interno sea N veces mayor, donde N es el número de bits del convertidor, ya que por cada muestra son necesarios N ciclos del reloj interno.

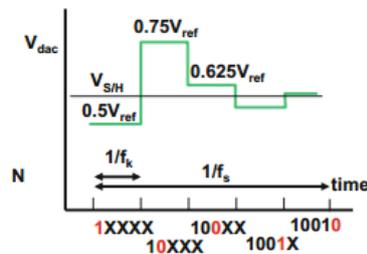


Figura 11: Secuencia de aproximación.

Como se puede observar, este convertidor es notablemente más lento que el flash, sin embargo es capaz de trabajar con resoluciones mucho mayores, por lo

que para aplicaciones que requieran una precisión superior a la que puede dar un flash pero no tanta velocidad, este tipo de convertidor es una opción muy viable.

2.2.3. Sigma Delta

Los convertidores $\Sigma\Delta$ (Figura 12) son un tipo de convertidor que consisten de un modulador con sobremuestreo seguido por un filtro de decimación digital, que produce como salida un flujo de datos de alta resolución [3].

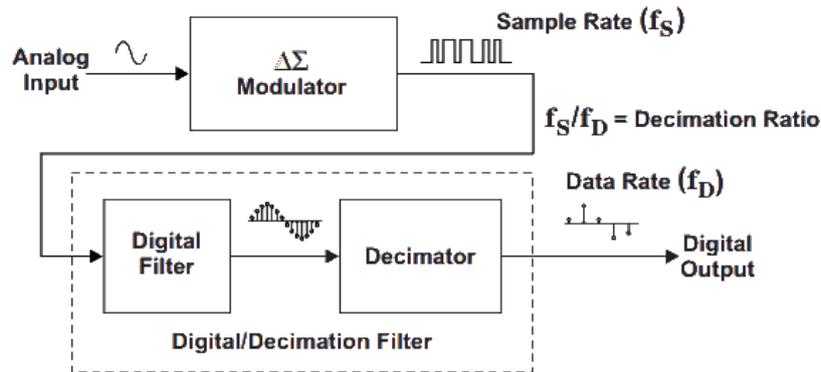


Figura 12: Estructura convertidor Sigma-Delta.

Como se puede observar está formado por un modulador $\Sigma\Delta$, cuya estructura se muestra en la Figura 13, que se encarga de convertir la señal analógica de entrada en un tren de pulsos modulado de alta frecuencia. Es decir, el modulador adquiere muchas muestras de la tensión de entrada para producir el flujo de códigos de 1 bit, de forma que el ratio de bits de valor 1 con respecto al de bits de valor 0 representa el valor de la tensión de entrada.

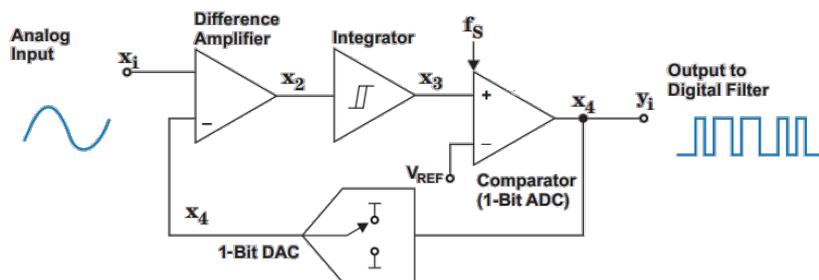


Figura 13: Modulador Sigma-Delta.

Al incluir un integrador modifica la forma del error de cuantización, moviéndolo a altas frecuencias fuera de la banda de frecuencias de interés. Esto hace que este tipo de convertidores consigan una resolución particularmente elevada, a cambio de no poder trabajar a frecuencias muy altas, ya que deben ser capaces de sobremuestrear la señal de entrada.

2.2.4. Resumen

Existen numerosas otras arquitecturas [4], cuyas ventajas e inconvenientes se ven resumidas en la Tabla 1. En ella se observa el compromiso entre la resolución, el consumo y la velocidad de trabajo existente entre las diferentes arquitecturas, del que se hablaba al principio del apartado.

Topología	Flash	Doble rampa	SAR	Sigma Delta	Pipeline
Muestras/sec	1G-10G	100-1000	100k-10M	10k-1M	10M - 100M
Resolucion (Bits)	6-8	12-18	12-18	16-24	12-18
Consumo	Alto	Bajo	Muy bajo	Bajo	Alto
Area	Alto	Bajo	Bajo	Bajo	Alto

Tabla 1: Comparación de diferentes arquitecturas.

Conocidas las diferentes especificaciones de las arquitecturas y las necesidades de la aplicación concreta en la que se quiere usar el convertidor, es relativamente simple la elección de un tipo u otro. Si se toman las tres arquitecturas estudiadas previamente como ejemplo, se sabe que si la aplicación requiere alta velocidad se debe usar el flash, si requiere alta resolución el sigma-delta y, si no tiene unas necesidades muy fuertes de resolución o de velocidad, se puede usar el SAR.

2.3. Estado del arte

Se han estudiado las diferentes propiedades que caracterizan a un convertidor A/D, tanto estáticas como dinámicas y, tras ello, se han estudiado algunas de las arquitecturas de convertidores usados comúnmente. Para completar se estudia ahora el estado del arte de los convertidores A/D en base a los últimos convertidores reportados en las conferencias ISSCC y VLSI [5], para lo cual es necesario definir una figura de mérito que permita compararlos correctamente.

Una posible definición de figura de mérito (FoM) es la siguiente: “Cantidad numérica basada en una o más características de un sistema que representa una medida de su eficiencia o efectividad”. Para el caso de los convertidores A/D ya se ha visto que hay una gran cantidad de características que se pueden usar para construir esta FoM, sin embargo es necesario que sea una expresión sencilla para mejorar la comprensión de las diferencias entre diferentes convertidores, por lo que se decide dar la principal importancia a la resolución, la tasa de conversión y el consumo de potencia. Se decide usar la de Walden, que es la más comúnmente usada:

$$FoM_W = \frac{P}{f_s \cdot 2^{ENOB}} \quad (5)$$

Como se puede observar, conforme menor sea su valor mejor será la arquitectura. En base a ella, para dos circuitos de mismo consumo se considera que el duplicar la frecuencia de trabajo tiene el mismo mérito que el de incrementar el número de bits del convertidor en 1.

Definida la figura de mérito a usar, se muestran en la Figura 14 los diferentes convertidores reportados en las conferencias ISSCC y VLSI que dan las suficientes características como para elaborar esta figura de mérito. Como se puede observar son pocos, ya que muchos de ellos no dan un dato del que se pueda obtener el ENOB, por norma general debido a que no se ha fabricado el chip.

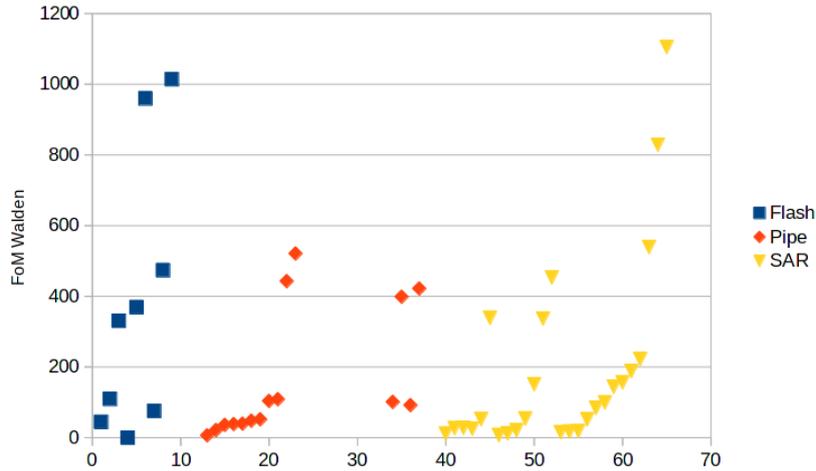


Figura 14: Comparativa de diferentes arquitecturas según FoM_W .

Como se puede observar, los convertidores flash son los que salen peor parados en general, ya que pese a tener frecuencias de muestreo extremadamente altas, tienen un consumo elevado y un número de bits bajo, mientras que los pipelined y los SAR están a la par.

2.4. Selección de arquitectura

Se tienen todos los elementos necesarios para realizar una selección de la arquitectura: se conocen que parámetros las definen, que arquitectura está asociada a que rango de especificaciones de la aplicación, y cuál es el estado del arte actual. Se recuerda que las especificaciones de la aplicación que compete a este trabajo son las siguientes:

- Se medirán tensiones de DC, o señales con componentes frecuenciales de hasta 100 Hz.
- El rango de la tensión de entrada es de 1.3 V a 1.5 V.
- Se usará en un sistema alimentado por batería.

Por lo tanto, la velocidad de muestreo no es un objetivo principal, sino que son más importantes la resolución y el consumo, de forma que el convertidor flash no es una elección eficiente, ya que se desaprovecha su principal ventaja. Se pueden considerar tanto el sigma delta como el SAR, dentro de los convertidores estudiados anteriormente, sin embargo se ha decidido estudiar la posibilidad de usar otro tipo de convertidores, que son menos comunes (desde 1997 hasta 2017

han sido reportados menos de cinco convertidores de este tipo en total al ISSCC y VLSI), ya que se usan en aplicaciones muy específicas, y la que ocupa a este documento es una de ellas: los convertidores de tensión a frecuencia.

Este tipo de convertidores se caracterizan por tener un consumo bajo y una resolución entre los 10 y los 14 bits [6], además su salida no es una palabra digital, sino un tren de pulsos cuyo período es proporcional a la tensión de entrada.

3. Convertidores VF

Los convertidores de tensión a frecuencia no dejan de ser un oscilador controlado por tensión, por lo que pueden ser confundidos por VCOs (Voltage Controlled Oscillator), sin embargo las características de los VFC (Voltage to Frequency Converter) son diferentes: suelen tener exigencias más estrictas en cuanto a la linealidad, así como mayor estabilidad frente a variaciones en la temperatura y en la fuente de alimentación.

Algunas de las ventajas que presentan este tipo de convertidor frente a los tradicionales, como el SAR, el flash o el pipelined, es que está libre de ausencias de códigos (que es lo que sucede con un convertidor convencional cuando su DNL es -1), integra el ruido, su salida es monótonica independientemente de las condiciones de temperatura y alimentación [7] y, en general, son de muy bajo consumo. Además, dado que su salida es una señal de pulsos modulada por frecuencia, presenta una gran inmunidad al ruido y es fácil de comunicar con un microcontrolador usando exclusivamente un pin digital del mismo. No obstante, es importante hacer notar que la conversión de frecuencia a tensión se realiza mediante un algoritmo en el microcontrolador, generalmente usando un periférico de tipo temporizador/contador, y tienen fuertes compromisos entre la velocidad y la resolución, lo que hace que en muchos casos sean más lentos que los convertidores explicados anteriormente.

3.1. Parámetros

Este tipo de convertidores tiene una serie de parámetros de interés que no han sido estudiados en las secciones anteriores, ya que son propios de esta arquitectura, así como otros que sí lo han sido, por lo que se enumeran todos en esta sección:

- Rango de entrada: conjunto de valores de entrada para los que la frecuencia de salida es lineal.
- Rango de salida: conjunto de valores de la frecuencia de salida asociados al rango de tensiones de entrada.
- “Frequency Span” (FS): diferencia entre la frecuencia de salida asociada a la máxima tensión de entrada y la asociada a la mínima tensión de entrada, es decir $FS = f_{o,max} - f_{o,min}$.
- Sensibilidad: variación en la frecuencia de salida para una determinada variación en la tensión de entrada, se suele expresar en Hz/V.

- Error de linealidad: la curva de transferencia ideal de este convertidor es una línea recta, sin embargo la curva real se desvía de la ideal, y este parámetro cuantifica esa desviación. Usualmente se suele usar la medida: $(1 - R^2)$, donde R^2 es el cociente de determinación de la regresión lineal realizada a la curva de transferencia real.
- Error de offset: es una frecuencia constante que se añade a la frecuencia de salida en todo el rango de trabajo del convertidor, que se entiende como una desviación de la mínima frecuencia de salida en la curva de transferencia.

3.2. Arquitecturas

Para realizar este tipo de convertidores se pueden utilizar varias arquitecturas diferentes [8], que se estudian en esta sección, analizando sus características principales, así como sus ventajas e inconvenientes. Es importante hacer notar que, pese a existir una gran cantidad de arquitecturas osciladores controlados por tensión, los requisitos de linealidad que se tienen en los VFC hacen que la mayoría no sean válidos.

3.2.1. Multivibrador

La primera arquitectura a estudiar es la de tipo multivibrador, cuya estructura se muestra en la Figura 15. En ella una corriente proporcional a la tensión de entrada carga y descarga un condensador. La ventana de tensiones dentro de la que oscila la tensión del condensador viene dada por una referencia, y su salida son pulsos cuya frecuencia es igual a la de la de la señal triangular que se genera en el condensador.

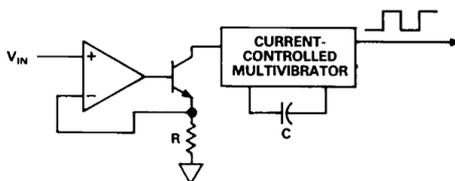


Figura 15: VFC de tipo multivibrador.

Como se puede observar esta estructura es realmente un convertidor corriente - frecuencia precedido de un convertidor tensión - corriente, y está formado por un integrador bidireccional, generalmente realizado con un condensador y dos espejos de corriente complementarios, dos comparadores que monitorizan la tensión en el convertidor y controlan la dirección de integración, y un circuito que genera los pulsos de salida. Este tipo de convertidores suele tener linealidades en torno a los 14 bits y tiene la ventaja de ser una estructura conceptualmente sencilla de entender, además de tener un consumo bajo.

3.2.2. Balanza de carga

Si en el VFC de tipo multivibrador el circuito de control determina la amplitud de la tensión en el condensador, en el VFC de tipo balanza de carga el

circuito de control determina el tiempo de carga (o descarga) del condensador. Estas estructuras consiguen una mejor resolución (en torno a 16 bits) a costa de incrementar el consumo y la complejidad del diseño.

Hay dos tipos principales, el primero de ellos es el asíncrono, cuya estructura se muestra en la Figura 16, su funcionamiento es el siguiente: se integra una corriente proporcional a la tensión de entrada en el condensador hasta que alcanza una tensión límite determinada por una referencia, esto hace que se genere un pulso que hace que la fuente de corriente de precisión descargue parte de la carga del condensador, durante un tiempo fijo igual al ancho del pulso. Dicho pulso es la salida de este tipo de convertidor, y su frecuencia es linealmente dependiente de la tensión de entrada.

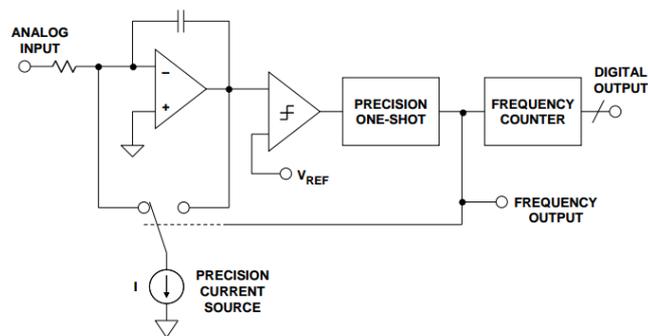


Figura 16: VFC de tipo balanza de carga asíncrono.

Esta arquitectura presenta algunos problemas de linealidad debido a la estabilidad y el estado transitorio del monoestable que implementa el generador de pulsos, que se evitan utilizando un biestable síncrono en lugar de un monoestable, tal y como se muestra en la Figura 17: es la arquitectura de VFC de balance de carga síncrono, que de nuevo consigue mejorar la linealidad obtenida (en torno a los 18 bits) a cambio de incrementar la complejidad del sistema.

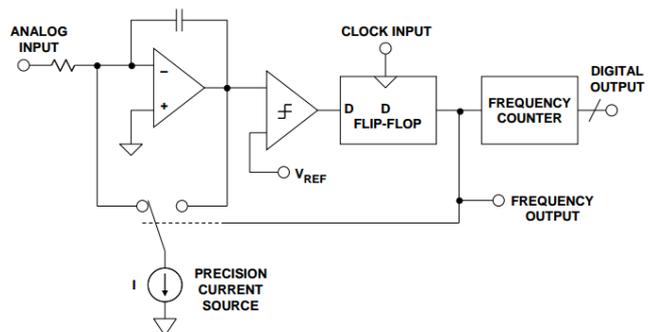


Figura 17: VFC de tipo balanza de carga síncrono.

La principal diferencia de este circuito con respecto al anterior es que la fase de descarga no comienza cuando el comparador detecta que se ha sobrepasado

la tensión de referencia en el condensador, sino en el ciclo de reloj siguiente, por lo que la salida esta sincronizada con un reloj y es más fácil realizar la comunicación con un microcontrolador externo. Sin embargo presenta un inconveniente importante, y es que dado que los pulsos están sincronizados con el reloj, para una determinada tensión de entrada los pulsos de salida no tienen una frecuencia constante, sino que tiene componentes frecuenciales asociadas al reloj.

3.3. Métodos de medida

Dado que la salida de estos convertidores no es una palabra digital, es necesario implementar en el sistema que recibe la información un algoritmo para leer la frecuencia y, por tanto, la tensión de entrada. En este apartado se explican los dos métodos más comunes: el *método de cuenta indirecta* (ICM) y el *método de cuenta directa* (DCM).

3.3.1. Método de cuenta indirecta

Este método es usado cuando la frecuencia que se pretende medir es baja, y consiste en usar un reloj del sistema que va a medir la frecuencia (normalmente el microcontrolador) para contar el período de la señal de la que se pretende extraer la frecuencia, por tanto el reloj debe ser de una frecuencia mucho mayor que la que se pretende medir para poder medir con precisión. Una particularidad de este método es que el tiempo de muestreo del sistema completo depende de la tensión de entrada, ya que para tensiones mayores la frecuencia es mayor y por tanto el tiempo que tarda en medir el período es menor.

Se hace a continuación un análisis del error que se comete usando un VFC con este método de medida comparativamente con un convertidor común (como por ejemplo un SAR), en el que se considera el error de cuantización. Para ello se calcula el error cometido por este método en μV para varias medidas puntuales en el rango de entrada y se comparan con el error cometido por un convertidor convencional que use una referencia de $2V$.

El error cometido por el VFC usando el DCM se obtiene para cada frecuencia de reloj del microcontrolador de la siguiente forma: a partir de una frecuencia determinada, se obtiene su período, tras ello se redondea ese tiempo a un número entero de ciclos de reloj del microcontrolador, y se obtiene la frecuencia asociada a ese período, tras lo que se hace la diferencia las tensiones asociadas a ambas frecuencias. El error cometido por el convertidor común se hace redondeando la tensión de entrada al múltiplo del LSB más próximo, y los resultados se muestran en la Figura 18.

Como se puede observar el error cometido por el VFC a $4Mhz$ es más o menos similar al cometido por un convertidor de 10 bits, sin embargo a medida que se aumenta la frecuencia de reloj la disminución del error es menor comparada con la disminución al aumentar los bits del comparador, por lo que está claro que este método de medida no es válido para resoluciones elevadas.

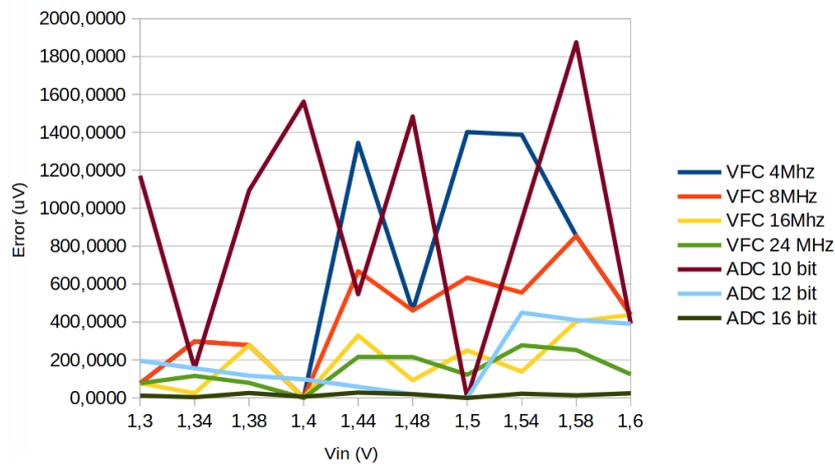


Figura 18: Error de cuantización frente a error en el método de cuenta indirecta.

3.3.2. Método de cuenta directa

Este método se diferencia del anterior en que en lugar de contar el período de los pulsos directamente para calcular la frecuencia, define una ventana temporal concreta y cuenta el número de pulsos que ocurren en ella, ya que conocido el número de pulsos por tiempo de ventana es fácil obtener la frecuencia de trabajo. Este método tiene la ventaja de que es válido para señales de frecuencias elevadas, siempre y cuando de tiempo al contador que se esté usando a actualizar el valor: en el peor de los casos, haciendo “polling” de un pin digital e incrementando una variable por software, se tendrá una frecuencia máxima muy inferior a que si se usa un contador asíncrono hardware.

El inconveniente de este método es que hay un compromiso muy fuerte entre la resolución de la medida y la longitud de la ventana, por lo que la velocidad de toma de datos se ve reducida notablemente con respecto al método anterior. Se ilustran los resultados de usar este método en la Figura 19, en la que de nuevo se compara el error cometido al usar un convertidor convencional con el cometido al usar el DCM.

Como se puede observar, se tienen tasas de muestreo inferiores a 1 KHz, lo que en muchas ocasiones no es suficiente, aunque si el tiempo de muestreo no es un problema es posible elevar el tiempo de ventana lo suficiente como para conseguir resoluciones muy altas, siempre y cuando el contador sea capaz de almacenar la cantidad de pulsos ocurridos durante ese tiempo.

4. Diseño de VFC

En este apartado se describe el proceso seguido para realizar el diseño del convertidor de voltaje a frecuencia, explicando tanto el sistema completo como cada una de los bloques que lo forman. La arquitectura utilizada es la de VFC de tipo monoestable, ya que es la estructura más sencilla que cumple con las

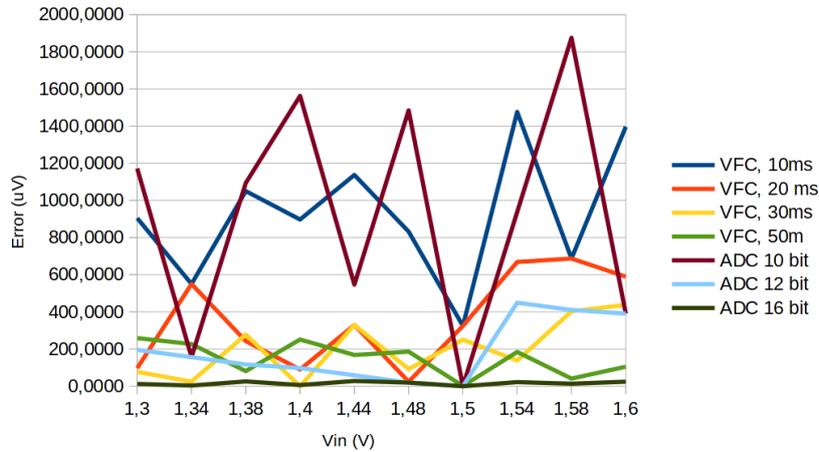


Figura 19: Error de cuantización frente a error en el método de cuenta directa.

especificaciones requeridas por la aplicación objetivo. Se alimentará con 2V y se usará una tecnología de $0.35 \mu m$, que si bien tiene ventajas como la robustez del proceso de fabricación y el precio, tiene el inconveniente de que las tensiones umbral de los transistores son relativamente elevadas, lo que supondrá un problema al alimentar con una tensión baja, por lo que se usarán algunas técnicas de baja tensión en el diseño.

4.1. Sistema completo

En la Figura 20 se muestra el esquemático del diseño completo realizado en Virtuoso, como se puede observar tiene los bloques explicados en el apartado que describe los VFC de tipo multivibrador: un transconductor que convierte la tensión de entrada en una corriente, un condensador en el que se integra dicha corriente, dos comparadores que manejan un biestable RS (nótese que en la estructura mostrada las entradas son R y S negadas, cosa que se detallará posteriormente), y las salidas del biestable manejan la dirección de integración de la corriente en el condensador. Además, una de estas señales (la que pasa de nivel bajo a alto cuando la señal triangular alcanza el límite superior) maneja el circuito generador de pulsos, que es la salida del convertidor.

En esta etapa del diseño no se han realizado ni los circuitos de bias ni los relojes, para los que se han usado fuentes ideales y fuentes de pulsos, respectivamente. Además, las tensiones que definen la ventana en la que se va a mover la señal triangular se han realizado también con fuentes de tensión.

4.2. Transconductor

La etapa de entrada del convertidor es un transconductor, en el que se realiza la conversión de tensión a corriente, y por tanto es necesario que tenga una alta linealidad y que su rango de entrada sea el necesario para la aplicación. En el caso que concierne al documento se tiene la ventaja de usar un rango de tensiones intermedias en el rango de alimentación (1.3V a 1.5V), por lo que no

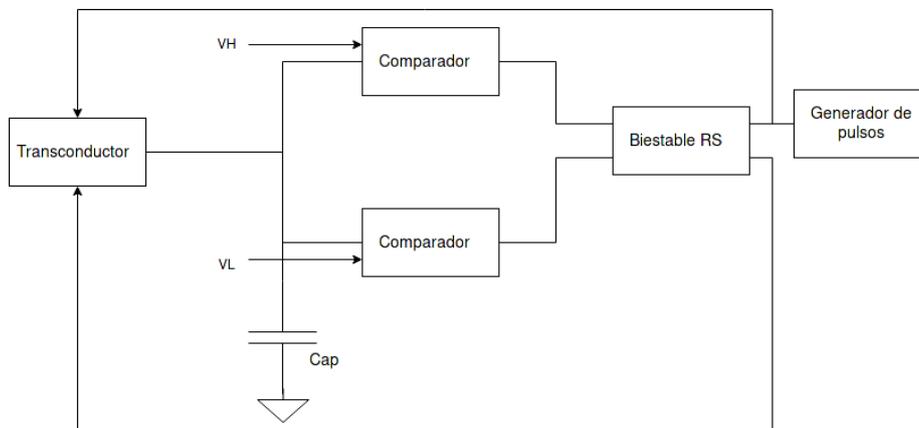


Figura 20: VFC diseñado.

es necesario recurrir a diseños rail to rail.

Esta conversión se realiza mediante el circuito de la Figura 21: en él se usa un OTA (Operational Transconductance Amplifier) para, mediante el uso de la realimentación, conseguir que la tensión en el nudo superior de la resistencia sea igual a la tensión de entrada, por lo que la corriente que circula por la resistencia y el transistor MP0 es:

$$i_o = \frac{v_{in}}{R} \quad (6)$$

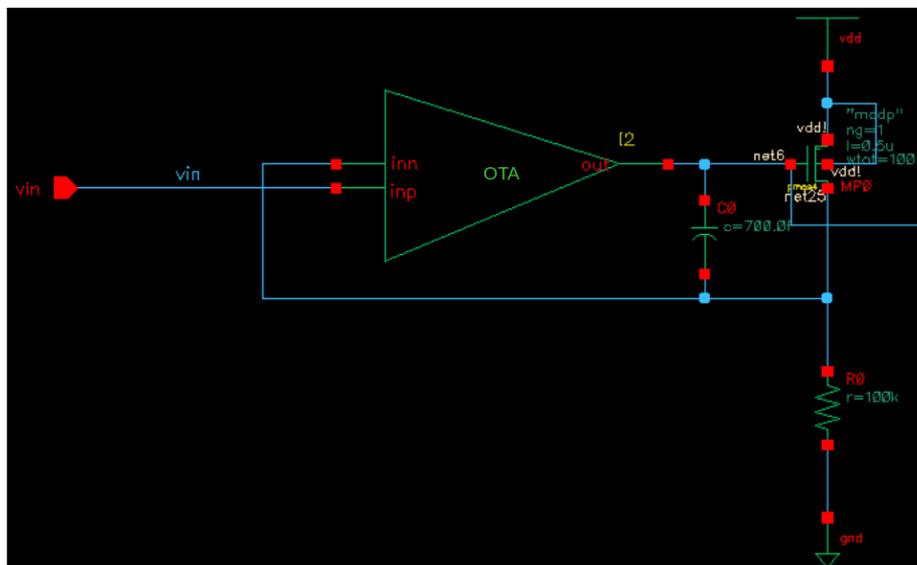


Figura 21: Etapa de conversión V - I.

Debido a los requisitos de linealidad, se usa una resistencia pasiva en lugar

de una activa, pese al consumo de espacio que ello supone. Además se tiene un transistor de elevado tamaño debido a que se hará un escalado de esta corriente en las siguientes etapas.

Al realizar simulaciones temporales se ha observado que la respuesta a un escalón es cercana a la de un sistema críticamente estable, por lo que es necesario realizar compensación, colocando un condensador entre la salida del OTA y la salida del transconductor, que muestra ciertas similitudes con un OA (Operational Amplifier) en el que la etapa de salida está formada por un transistor PMOS y una resistencia a masa. Para ello, se ha realizado una simulación de la respuesta en frecuencia del circuito, que se muestra en la Figura 22.

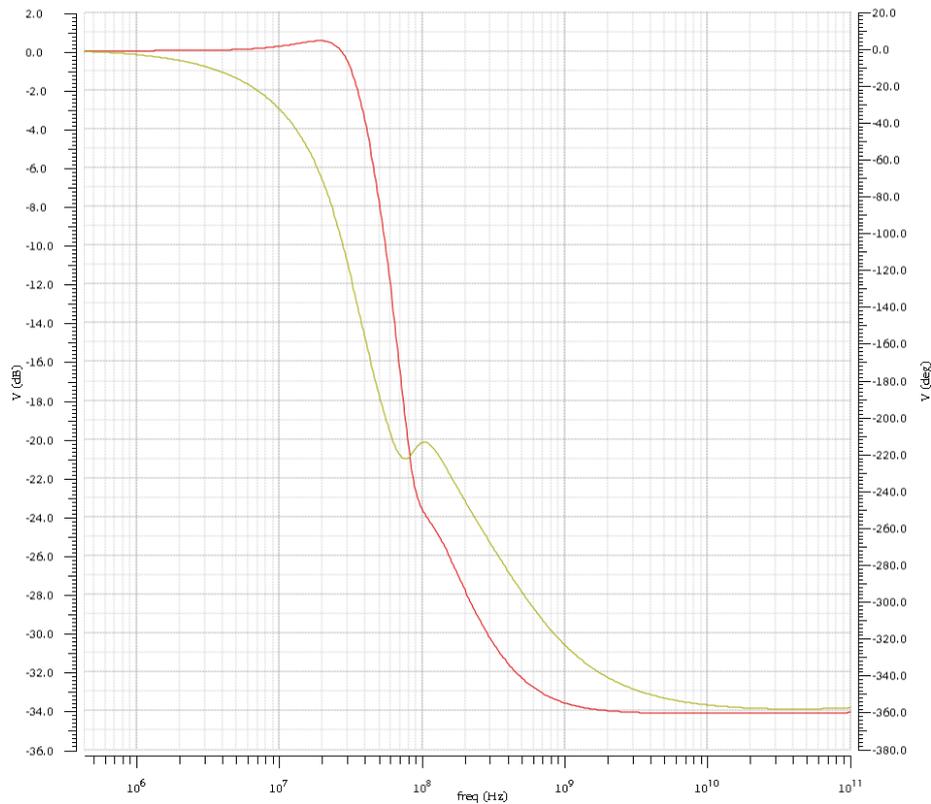


Figura 22: Respuesta en frecuencia del transconductor.

Como se puede observar en un amplio rango de frecuencia el circuito tiene ganancia unitaria, sin embargo a altas frecuencias tiene un pequeño pico de ganancia (línea de color rojo), con el problema de que justo cuando vuelve a tener ganancia unitaria la fase (línea amarilla) es prácticamente 180° , lo que provoca la inestabilidad observada en la respuesta al escalón. Una vez determinada la causa de la oscilación, se hace un barrido de valores de la capacidad para determinar cual es su valor óptimo, tal y como se muestra en la Figura 23.

En dicha figura, se representan las capacidades de 0.3 pF, 0.5 pF, 0.7 pF

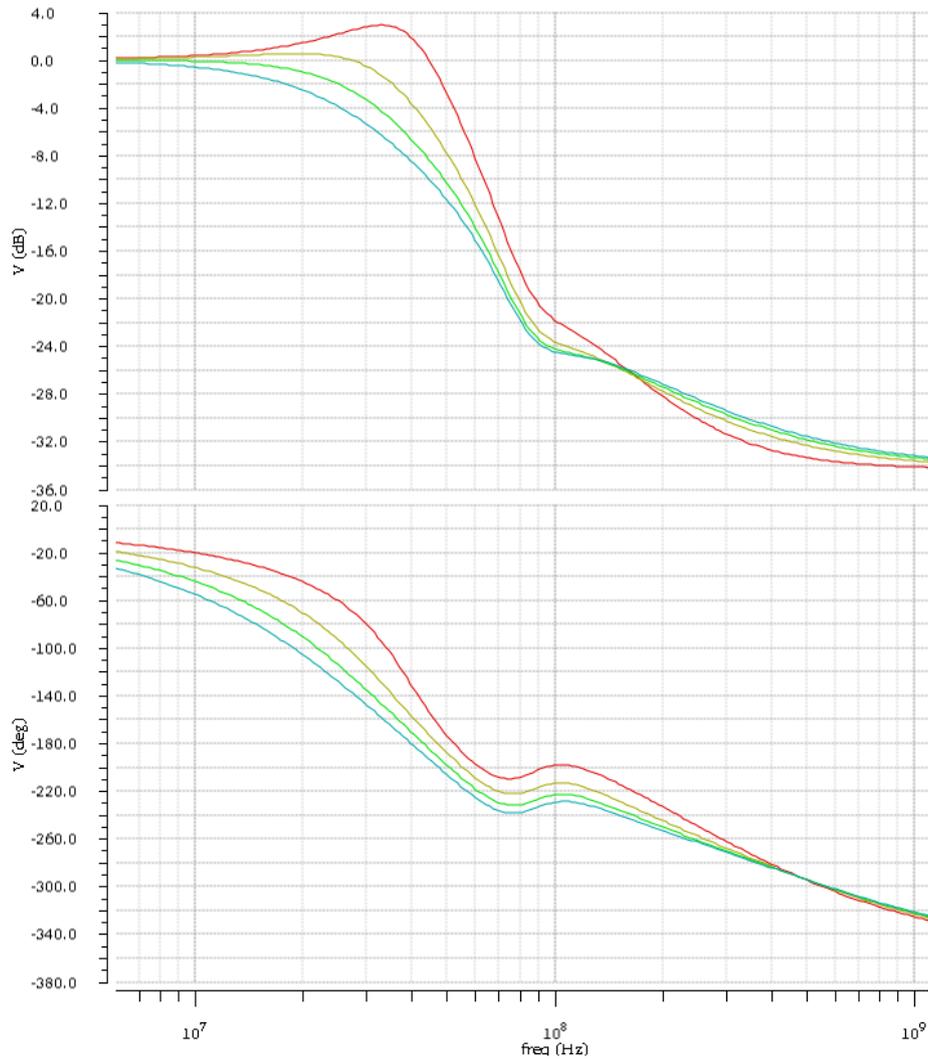


Figura 23: Barrido de valores de capacidad de estabilización.

y 0.9 pF en los colores rojo, amarillo, verde y azul, respectivamente. Como se puede observar la capacidad más pequeña que no presenta el pico de ganancia es la de 0.7 pF, por lo que es la que se decide usar en el diseño.

Si bien se tiene que el transconductor funciona correctamente, es necesario comprobar que el diseño es robusto a los errores de fabricación, debido a los cuales los tamaños de los transistores variarán, creando mismatch, y los valores de la capacidad y de la resistencia también, por lo que es necesario realizar un estudio estadístico para estudiar como afectan estos factores al comportamiento del circuito. Se realiza por tanto un análisis de Monte Carlo, en el que se consideran variaciones tanto “intradie” como “interdie” de los transistores, condensador y resistencia del circuito, en el que se observa la variación de la caída

de tensión en la resistencia V_r y la tensión en la puerta del transistor PMOS V_g . Los resultados se muestran respectivamente en las Figuras 24 y 25.

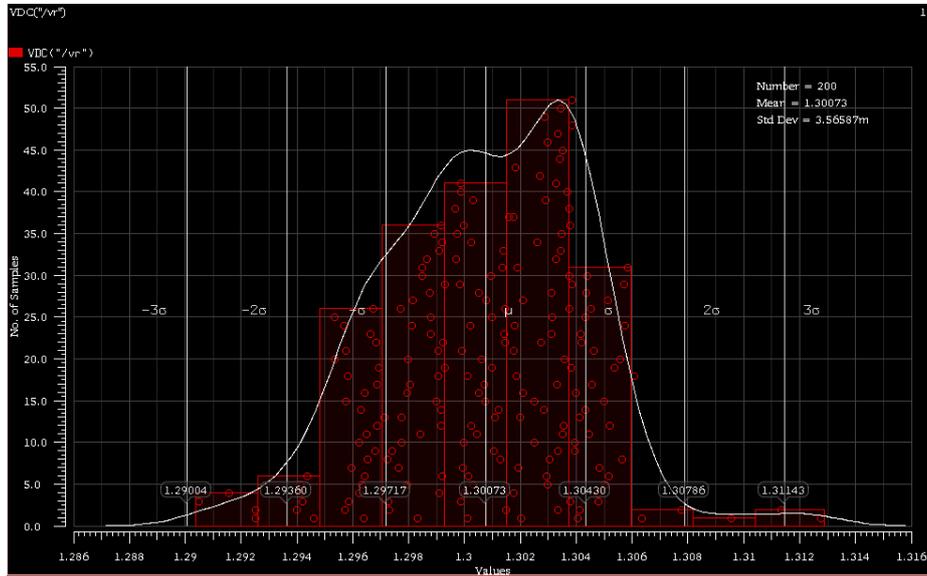


Figura 24: Variación de V_r debido al proceso de fabricación.

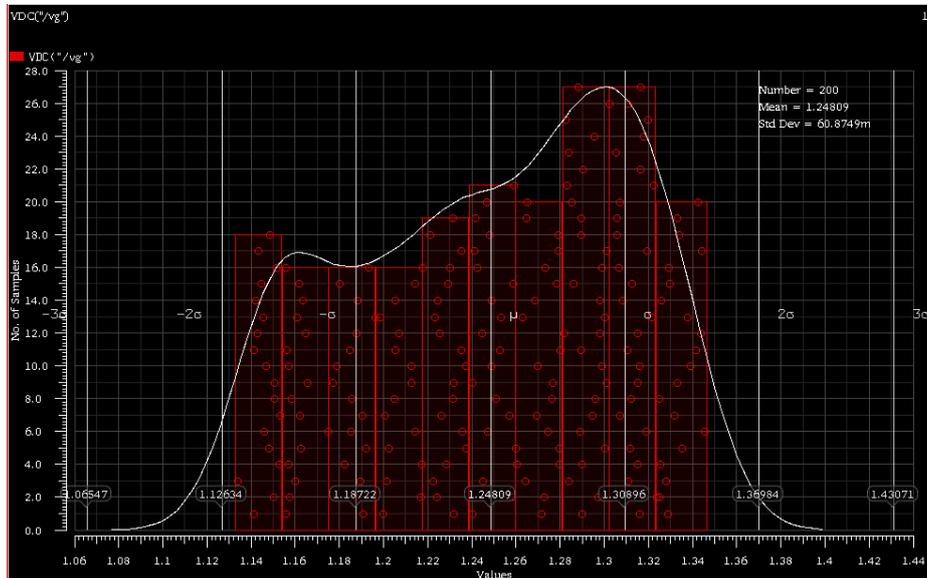


Figura 25: Variación de V_g debido al proceso de fabricación.

Los resultados de estas simulaciones se resumen en la Tabla 2, de donde se puede obtener la conclusión de que las variaciones son aceptables, la tensión de la puerta se adapta a las diferentes corrientes que se generan en la resistencia

debido al cambio en su valor de resistencia, y se consigue mantener la caída de tensión en la resistencia dentro de unos niveles de error aceptables para la aplicación.

Variable	Mínimo (V)	Máximo (V)	Media (V)	Desviación Estándar (V)
V_r	1.29	1.313	1.301	3.566 m
V_g	1.134	1.345	1.248	60.87m

Tabla 2: Resumen de resultados del análisis de Monte Carlo del transconductor.

El bloque llamado “transconductor” del circuito general mostrado previamente en la Figura 20 contiene también el integrador bidireccional, ya que está fuertemente relacionado con el transconductor. El circuito completo se muestra en la Figura 26, donde se observa que la corriente que circula por la resistencia se copia con un determinado factor de escala, que se detallará más adelante, al integrador, donde mediante dos señales de control: “up” y “down” se decide el sentido de integración.

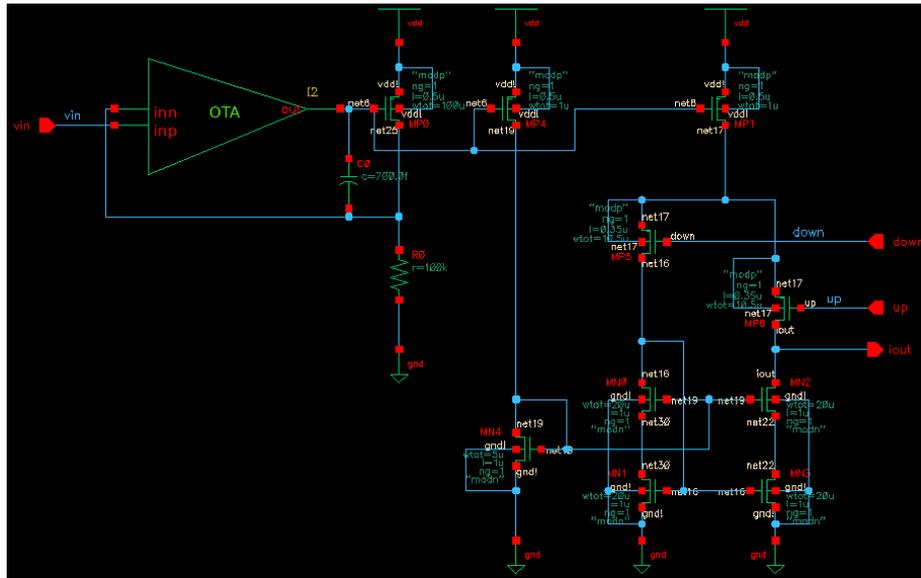


Figura 26: Transconductor con integrador bidireccional.

En este circuito se usa la primera técnica para baja tensión de alimentación: se podría usar un espejo de corriente PMOS como el de la Figura 27, en la que la fuente de corriente I_{REF} representaría el transistor manejado por la OTA. sin embargo en este caso la tensión de entrada del transconductor debería cumplir la restricción $V_{in} < V_{DD} - V_{D,sat1} - |V_{th1}|$, lo que no es válido para este diseño.

En lugar de ello se usa una estructura basada en el OTA y amplificadores de fuente común, tal y como se muestra en la Figura 28, que presenta la ventaja con respecto al anterior de que la tensión de entrada del transconductor debe cumplir: $V_{in} < V_{DD} - V_{D,sat3}$, ganando mucho rango de entrada, teniendo en cuenta las elevadas que son las tensiones umbral en tecnología de $0.35 \mu m$.

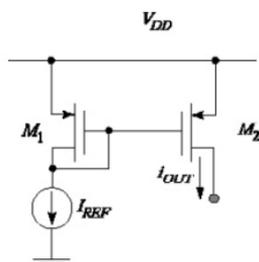


Figura 27: Espejo de corriente PMOS.

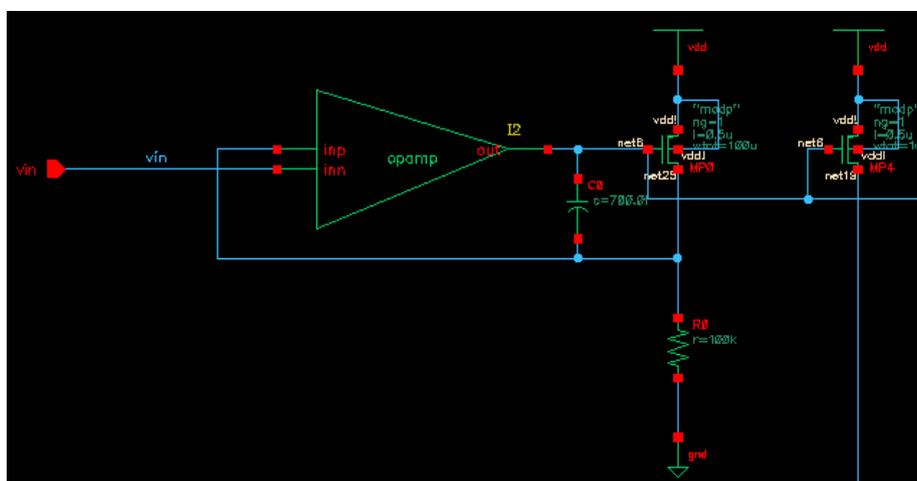


Figura 28: Estructura usada para la copia de corriente.

4.2.1. High swing current mirror

Antes de comenzar a explicar el integrador, se va a comentar un circuito que se puede observar en la Figura 26 y forma parte del integrador, que se explicará posteriormente: el espejo de corriente “high swing”, mostrado en la Figura 29, que tiene la ventaja frente a un espejo de corriente convencional de que requiere en su nudo de salida una tensión $V_{out} > 2V_{DS,Q1}$, comparada con $V_{out} > V_{th}$ en el caso del espejo de corriente convencional NMOS.

En este caso se trabaja con $n = 1$, que es el caso común representado en la Figura 29. Para comenzar su diseño es necesario definir la tensión de salida mínima que se desea, que viene dada por:

$$V_{out,min} = 2V_{eff} \quad (7)$$

Donde V_{eff} viene dada por:

$$V_{eff} = V_{eff,2} = V_{eff,3} = \sqrt{\frac{2I_{in}}{\mu_n C_{ox} W/L}} \quad (8)$$

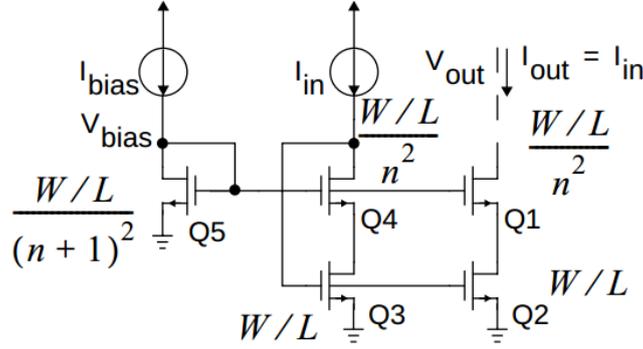


Figura 29: Espejo de corriente “high swing”.

Por lo que conocida la corriente que se va a copiar I_{in} , es posible dimensionar los transistores para obtener una V_{eff} y, por tanto, una tensión de salida mínima concreta. Continuando con el análisis, se calcula ahora la tensión en la puerta de Q5, que es igual a la tensión en la puerta de Q4 y Q1. Para ello se tiene en cuenta que:

$$V_{DS} = V_{GS} - V_{th} \quad (9)$$

$$V_{GS} = V_{DS} + V_{th} \quad (10)$$

Y, por tanto:

$$V_{GS,5} = V_{G,5} = V_{eff,5} + V_{th} = \sqrt{\frac{2I_{in}}{\mu_n C_{ox} \frac{W/L}{4}}} + V_{th} = 2V_{eff} + V_{th} \quad (11)$$

En base a este resultado, se puede calcular la tensión en el nudo de salida como. Para ello se parte del siguiente razonamiento:

$$V_{DS} = V_{GS} - V_{th} \quad (12)$$

Por tanto:

$$V_D = V_G - V_{th} \quad (13)$$

Y, sustituyendo en el caso concreto que se está estudiando:

$$V_{out} = 2V_{eff} + V_{th} - V_{th} = 2V_{eff} \quad (14)$$

Como se puede observar, es necesario que la fuente de corriente de polarización sea igual a la corriente nominal máxima de la corriente que se pretende copiar, aunque es posible usar una corriente más pequeña y modificar el tamaño de Q5 para obtener el mismo $V_{eff,5}$ pero con menos consumo.

4.2.3. OTA

Un amplificador de transconductancia es un circuito que convierte una diferencia de tensión en una corriente de salida, con una determinada ganancia. Generalmente este tipo de circuitos se implementan con un par diferencial como el de la Figura 31, cuya carga es un espejo de corriente.

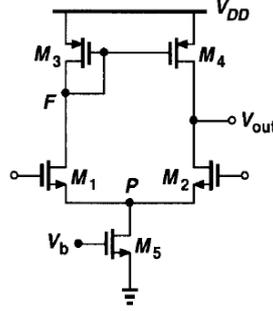


Figura 31: Par diferencial con carga de tipo espejo de corriente.

No obstante, es posible usar este tipo de circuitos teniendo como salida una tensión en lugar de una corriente, cuando se conecta la salida a un nudo de alta impedancia. En estos casos la ganancia del circuito se calcula como el producto entre la transconductancia y la resistencia de salida. La transconductancia es la de los transistores M1-M2, y se calcula como:

$$gm = \frac{\partial I_D}{\partial V_{GS}} = \frac{\partial}{\partial V_{GS}} \left(\frac{1}{2} K_n \frac{W}{L} (V_{GS} - V_{th})^2 \right) = K_n \frac{W}{L} (V_{GS} - V_{th}) \quad (15)$$

Dado que

$$(V_{GS} - V_{th}) = \sqrt{\frac{2I_D}{K_n \frac{W}{L}}} \quad (16)$$

Se tiene que la transconductancia es:

$$gm = K_n \frac{W}{L} \sqrt{\frac{2I_D}{K_n \frac{W}{L}}} = \sqrt{2I_D K_n \frac{W}{L}} \quad (17)$$

Por inspección, se observa que la resistencia de salida del par diferencial es $r_{ds,2} || r_{ds,4}$, o lo que es lo mismo: $(g_{ds,2} + g_{ds,4})^{-1}$. Dado que:

$$g_{ds} = \frac{\partial}{\partial V_{DS}} \left(\frac{1}{2} K_n \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \right) \quad (18)$$

$$g_{ds} = \frac{1}{2} K_n \frac{W}{L} (V_{GS} - V_{th})^2 \lambda = \lambda I_D \quad (19)$$

La resistencia de salida es:

$$r_{out} = \frac{1}{(\lambda_n + \lambda_p) I_D} \quad (20)$$

En base a estos dos datos se puede calcular la ganancia de la estructura:

$$A_d = \frac{\sqrt{2K_n \frac{W}{L}}}{(\lambda_n + \lambda_p)\sqrt{I_D}} \quad (21)$$

Como se puede observar, la ganancia es fuertemente dependiente de los parámetros del proceso, por lo que es difícil obtener un valor determinado con precisión, sin embargo en el diseño actual no se desea un valor concreto de ganancia, sino que sea suficientemente alta como para que el transistor funcione correctamente, por lo que es un problema aceptable. En base a este resultado, se puede ver también que el diseñador tiene dos grados de libertad para definir la ganancia: los tamaños de los transistores M1-M2 y la corriente de polarización.

Por otro lado, es necesario calcular el ICMR (Input Common Mode Range), que debido a la estructura del transistor y la aplicación en que se usa, se debe encontrar en el rango 1.3 V - 1.5 V. Primero se calcula el límite superior del ICMR siguiendo la ruta desde la puerta de los transistores M1-M2 hasta V_{DD} y estableciendo el límite en base a la más restrictiva.

- Desde G1 a Vdd pasando por M1 y M3:1

$$V_{IC,max} = V_{DD} - V_{SG,3} - V_{DS,1,sat} + V_{GS,1} \quad (22)$$

$$V_{IC,max} = V_{DD} - V_{SG,3} + V_{th,1} \quad (23)$$

- Desde G2 a Vdd pasando por M2 y M4:

$$V_{IC,max} = V_{DD} - V_{SD,4,sat} - V_{SD,2,sat} + V_{GS,2} \quad (24)$$

$$V_{IC,max} = V_{DD} - V_{SD,4,sat} + V_{th,2} \quad (25)$$

Dado que la tensión $V_{SG,3}$ es mayor a $V_{SD,4,sat}$, se tiene que el caso más restrictivo es el primero, por lo que el límite superior del ICMR viene dado por:

$$V_{IC,max} = V_{DD} - V_{SG,3} + V_{th,1} \quad (26)$$

El límite inferior es más sencillo de calcular, ya que solo hay un camino desde las puertas de M1-M2 hasta masa y es idéntico en ambos casos, por lo que el límite inferior, teniendo en cuenta que $V_{GS,1} = V_{GS,2}$ viene dado por:

$$V_{IC,min} = V_{DS,5} + V_{GS,1} \quad (27)$$

El diseño de este circuito conlleva la toma de varias decisiones: la de los tamaños de los transistores M1-M2 y M3-M4, que deben ser iguales a pares, así como la de la magnitud de la corriente que circula por M5. Estas diferentes decisiones han seguido los siguientes criterios:

- La corriente circula por M5 es de 5 μA para conseguir un bajo consumo y tener alta ganancia.
- El dimensionado de M3-M4 debe ser tal que el límite superior del ICMR llegue hasta 1.5V.

- Las dimensiones de M1-M2 deben hacer que el OTA tenga una ganancia suficiente como para que el lazo de realimentación sea capaz de fijar con suficiente precisión la caída de tensión en la resistencia del transconductor, estudiado previamente.
- Las dimensiones de M5 vienen dadas por el límite inferior del ICMR.

Teniendo en cuenta que la tensión umbral de los transistores en esta tecnología es elevada, y la de los PMOS es superior a la de los NMOS, se ha detectado el problema de que la estructura no funciona correctamente cerca de la máxima tensión de entrada debido a que límite superior del ICMR era demasiado bajo. Para solventarlo, se ha hecho uso del espejo de corriente “high swing” explicado anteriormente (Figura 32), y se ha conseguido elevar este rango hasta cerca de los 1.8V.

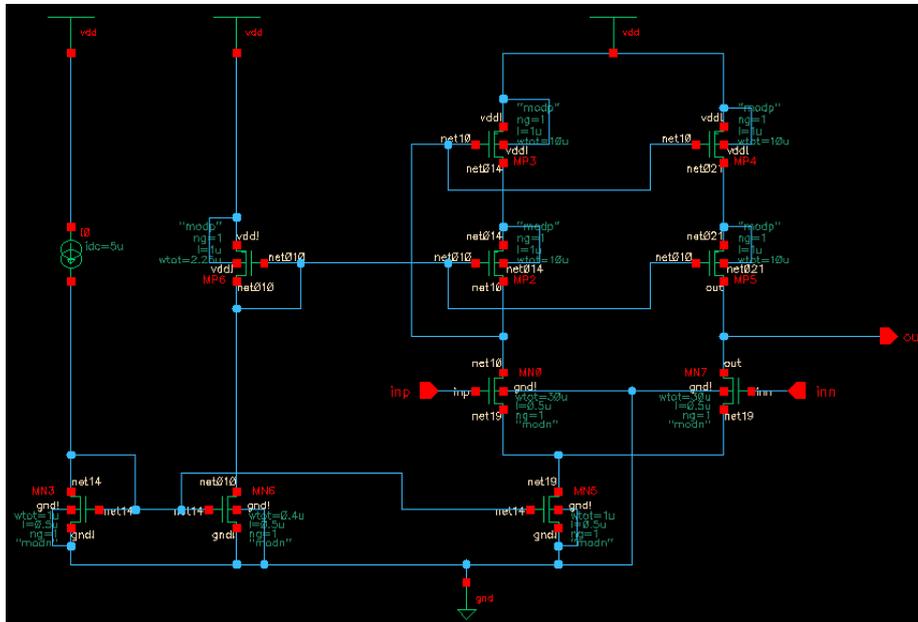


Figura 32: Etapa de conversión V - I.

Es posible plantearse el uso de otro para el espejo de corriente inferior, de tipo NMOS, sin embargo dado que en la aplicación concreta la tensión mínima de trabajo es elevada, no ha sido necesario.

La respuesta en frecuencia obtenida mediante simulación se encuentra en la Figura 33, de la que se extraen los parámetros de interés de la estructura: una ganancia de unos 42dB y un ancho de banda de 22 KHz.

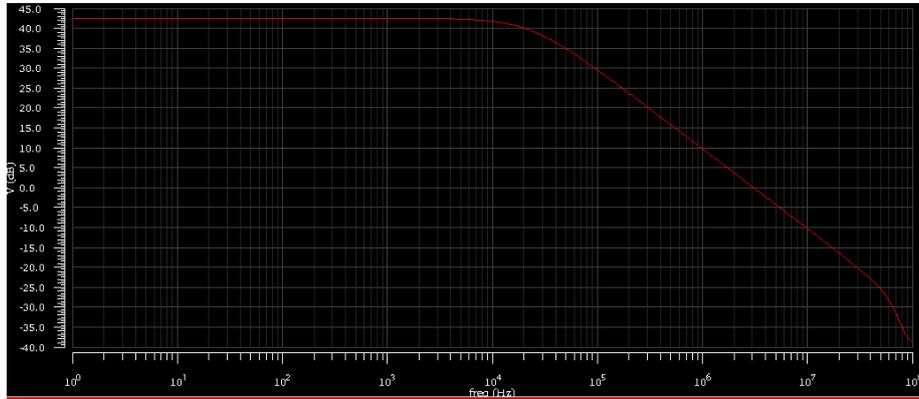


Figura 33: Respuesta en frecuencia del OTA.

4.3. Circuito de control

En este apartado se describe el circuito de control utilizado, su propósito es el de monitorizar la tensión en el condensador y en base a ella manejar las señales “up” y “down” del transconductor, de forma que la dirección de integración se actualice correctamente. En este tipo de circuitos es común usar comparadores con histéresis, como es el de Schmitt, sin embargo tienen el inconveniente de que los límites de comparación varían fuertemente con la temperatura, por lo que se ha usado un comparador de ventana, formado por dos comparadores y por un biestable RS con entradas negadas, tal y como se observa en la Figura 20.

4.3.1. Comparador

El comparador usado en este diseño es el “StrongARM Latch” [9], cuyo nombre viene del procesador en el que se usó por primera vez. Este comparador tiene varias ventajas, de las que se resaltan principalmente las siguientes: no tiene consumo estático, por lo que es adecuado para su uso en dispositivos con batería, y produce a su salida una señal rail-to-rail directamente, que permite manejar el biestable que controla el transconductor directamente.

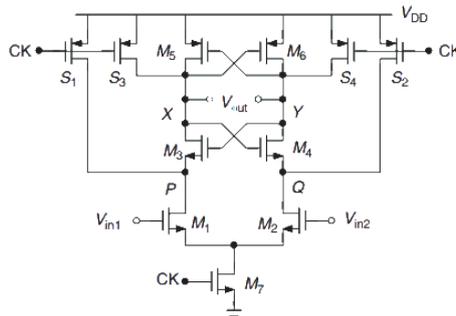


Figura 34: StrongARM latch.

La estructura se muestra en la Figura 34, como se puede observar esta for-

mado por un par diferencial M1-M2, dos pares cruzados y acoplados entre ellos M3-M4 y M5-M6 y cuatro switches de precarga. Su operación puede ser descrita en cuatro fases:

1. **Fase de reset:** en esta fase los switches están activos y los nodos X, Y, P y Q se precargan a una tensión igual a V_{DD} .
2. **Fase de muestreo:** se activa el transistor M7 y desactivan los switches de precarga, por lo que comienza a circular corriente de modo común I a través de M7 y, dado que al comienzo de esta fase todos los demás transistores están desactivados, esta corriente proviene de las capacidades $C_P = C_Q$ hasta que se descargan lo suficiente como para que la diferencia de tensión entre los nudos X y P (y, por tanto, Y y Q), sea de V_{th} . Por tanto la duración de esta fase viene dada por:

$$T_{smp} = \frac{V_{th,nmos} C_P}{I} \quad (28)$$

También circula una corriente diferencial, que hace que se genere una diferencia de potencial V_{PQ} proporcional a la tensión diferencial de entrada, por lo que esta fase puede proporcionar ganancia, dada por la expresión:

$$a_{smp} = \frac{V_{PQ}}{V_{i,d}} = \frac{T_{smp} \cdot gm_1}{1/2C_P} \quad (29)$$

3. **Fase de propagación :** A medida que la tensión en P y Q pasa a ser $V_{DD} - V_{th}$ se empiezan a activar los transistores M3 y M4, por lo que la corriente de modo común también comienza a descargar las capacidades C_X y C_Y , por lo que el tiempo que dura esta fase viene dado por la expresión:

$$T_{prp} = \frac{V_{th,pmos}(C_P + C_Q)}{I} \quad (30)$$

Analizando esta fase en modo diferencial, es importante hacer notar que solo habrá regeneración si la ganancia de bucle es mayor que 1 [10], y esto no se cumple si $C_P < C_X$, cosa que ocurrirá prácticamente en todos los casos, ya que los nodos X e Y van conectados a la siguiente etapa y por tanto se une la capacidad de entrada de dicha etapa. En la situación en que $C_P < C_X$ el par M3-M4 cruzado y acoplado se portará como un amplificador, creando una tensión diferencial V_{XY} proporcional a V_{PQ} .

Transcurrido dicho tiempo, los nudos X e Y pasan a estar a $V_{DD} - V_{th}$, por lo que se activan también los transistores M5 y M6, dando lugar a la siguiente fase.

4. **Fase de regeneración:** En esta fase están activos los transistores M5 y M6, por lo que se regenera la tensión diferencial que hay en los nodos de salida, que crece hasta controlar todos los transistores del latch, teniendo en un nodo de salida masa y en el otro V_{DD} , por lo que no hay paso de corriente por ninguna de las dos ramas.

Es importante hacer notar que hasta que suceden todas las fases la salida del comparador es errónea, por lo que es necesario conectar la salida a un biestable que mantenga las salidas fijas hasta que se hace la comparación completa.

Antes de continuar, es importante hacer una pausa y estudiar de qué forma afecta que el comparador tenga reloj en el circuito completo. El inconveniente es el siguiente: si se tiene un reloj con un período T , se realiza una comparación cada T segundos, por lo que normalmente la tensión del condensador superará la del límite superior (o pasará a ser inferior que el límite inferior) en otro instante de tiempo, es decir, habrá una diferencia temporal entre el momento en que se cruzan las dos tensiones y el momento en que el comparador lo detecta. Esto equivale a tener un error en el tamaño de la ventana de comparación dependiente de la tensión de entrada, por tanto es necesario hacer que este error sea lo más pequeño posible incrementando la frecuencia de reloj del comparador.

La implementación del comparador puede observarse en la Figura 35, en la que se puede observar que para conseguir la máxima frecuencia de reloj posible se han usado transistores de tamaño mínimo (de forma que C_P, C_Q, C_X, C_Y sean lo menores posibles) y se usa una corriente de $50 \mu A$ que proviene de un espejo de corriente controlado por el reloj (en este caso simulado con una fuente de pulsos de corriente sincronizada con el reloj).

El comportamiento del comparador se muestra en la Figura 36, donde se muestran todas las etapas excepto la de precarga.

Dado que se quiere ajustar la frecuencia de reloj lo máximo posible, es importante asegurar que los errores de fabricación no van a hacer que el tiempo que tarda en comparar sea mayor que la mitad del período del reloj, por lo que se hace un análisis de Monte Carlo para ver en qué momento la tensión de salida que va a masa, que es la que más tardará, llega a $0.2V$ (Figura 37), valor suficiente como para que el biestable a la salida se actualice correctamente. También es importante conocer el offset referido a la entrada del comparador (Figura 38), ya que cambia el valor de la ventana de comparación.

Los resultados se muestran en la Tabla 3, y de ellos se pueden extraer las siguientes conclusiones: el error cometido en la ventana de comparación debido al offset puede llegar a ser relativamente elevado, sin embargo es aceptable para esta aplicación. En cuanto al tiempo de establecimiento del comparador, se observa que el valor máximo es de 9.8 ns , por lo que se usará un reloj de 10 ns de período.

Variable	Mínimo	Máximo	Media	Desviación Estándar
t_{vo}	8.149 ns	9.816 ns	8.7739 ns	303.4 ps
V_{offset}	-22.14 mV	22.84 mV	137.5 μV	7.997 mV

Tabla 3: Estudio estadístico del comparador StrongARM.

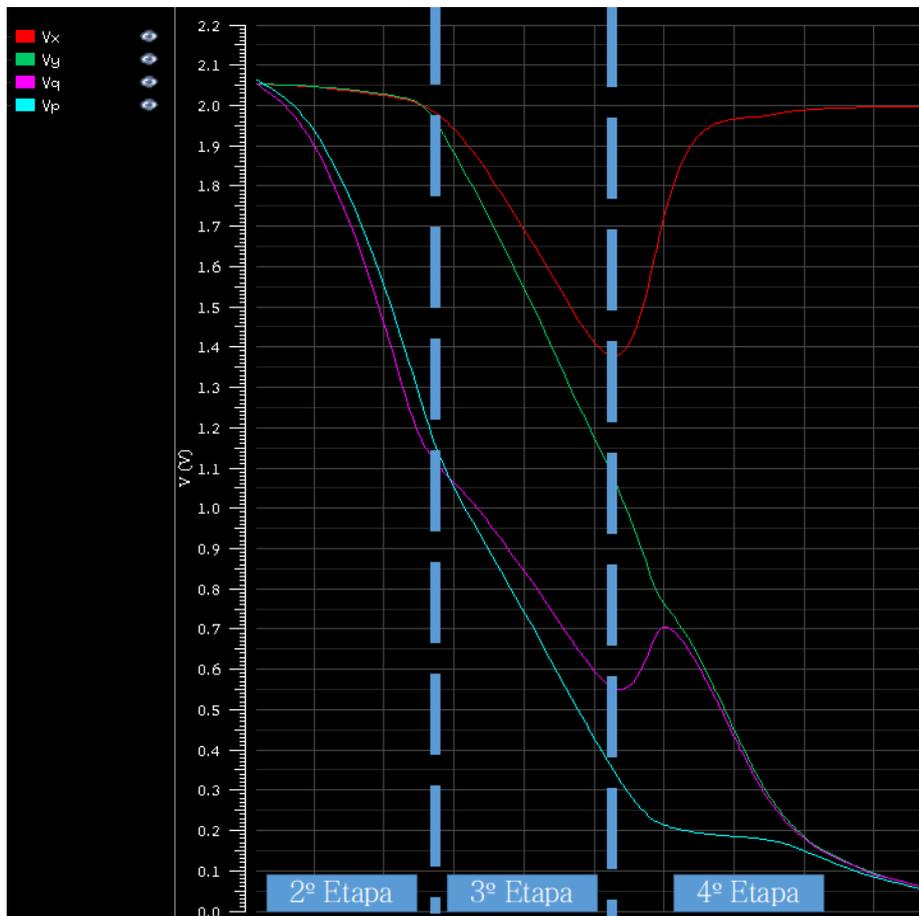


Figura 36: Fases por las que pasa el comparador.

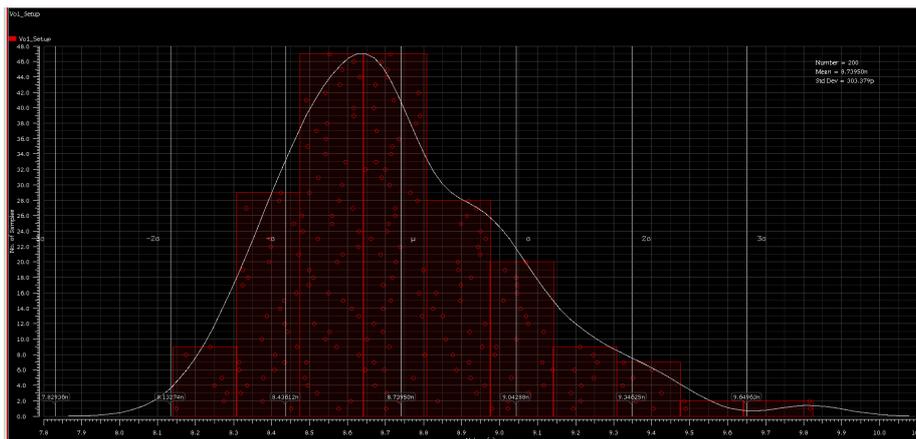


Figura 37: Estudio de Monte Carlo de la velocidad del comparador.

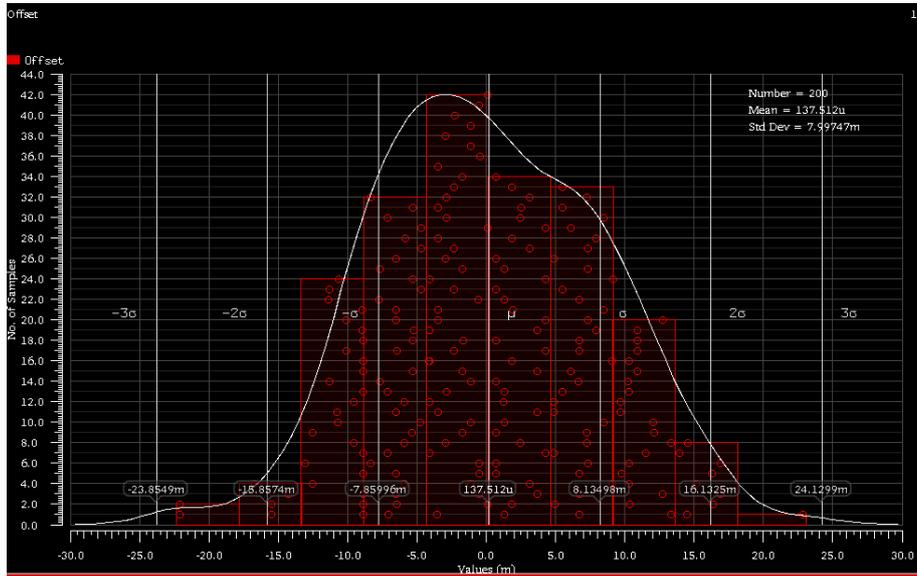


Figura 38: Estudio de Monte Carlo del offset referido a la entrada del comparador.

Es decir, que las señales de control mantengan su estado anterior siempre que se encuentre la tensión del condensador dentro de la ventana de comparación y que solo cambien al llegar a los límites, con la característica de que en el estado inicial se integre positivamente y esto no cambie al llegar al límite inferior por primera vez.

Centrando la atención en el circuito realizado, se desea entonces que, siendo V_H el límite superior de comparación, V_L el inferior y V_C la tensión en el condensador:

- Si $V_C < V_L$: se quiere que la señal up sea 0 y la señal down 1.
- Si $V_C > V_H$: se quiere que la señal up sea 1 y la señal down 0.
- Si $V_L < V_C < V_H$: se quiere que las señales se mantengan.

En base a estas condiciones, se puede construir la Tabla 4, que es la tabla de verdad del biestable. Como se puede observar se desea que en caso de que se de la situación $V_L < V_C < V_H$ las dos entradas estén a 1 lógico, ya que así mantienen su estado anterior. La ventaja de usar el biestable de entradas negadas es que nunca se va a dar el caso de que ambas entradas tengan un valor nulo, situación en que el biestable evoluciona a un estado indeterminado.

Por último, se decide de forma arbitraria que la situación $V_C < V_L$ corresponda a que #R valga 1 y #S valga 0, situación en la que Q vale 1 y #Q vale 0 y, dado que se desea que en este caso la integración tenga sentido positivo, (la señal up sea 0 y la señal down 1) se hace que Q maneje la señal down y #Q la señal up. Se comprueba que en el caso complementario el control funciona

correctamente, ya que la señal Q vale 0 y la señal #Q vale 1, por lo que la señal down vale 0 (activa) y up vale 1 (inactiva), provocando que la integración tenga signo negativo, decreciendo el valor de tensión en el condensador.

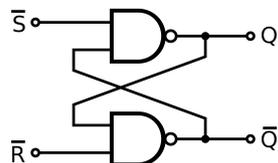


Figura 39: Biestable RS con entradas negadas.

Condición	# S	# R	Q	# Q
$V_C < V_L$	0	1	1	0
$V_C > V_H$	1	0	0	1
$V_L < V_C < V_H$	1	1	Q^{-1}	$\#Q^{-1}$
—	1	1	—	—

Tabla 4: Tabla de verdad del biestable.

4.4. Generador de pulsos

Se desea que cada vez que la tensión del condensador alcance un valor igual al límite superior de comparación se genere un pulso, para después leerlo con un microcontrolador. Para ello se ha desarrollado el circuito de la Figura 40, que consta de dos partes diferenciadas. La primera de ellas es un sincronizador, ya que la señal de control del transconductor a partir de la cual se generan los pulsos no es una señal síncrona, por lo que es necesario llevarla al dominio de reloj. La siguiente etapa se encarga de detectar flancos ascendentes y generar un pulso cada vez que sucede uno.

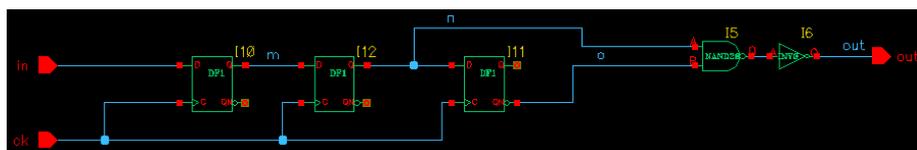


Figura 40: Circuito de generación de pulsos.

4.4.1. Sincronizador

Cuando se tiene una señal asíncrona, se puede usar un biestable para llevar esta señal al dominio del reloj, tal y como se muestra en la Figura 41. No obstante hay que tener en cuenta que los biestables no tienen solo dos estados, sino tres, uno de ellos metaestable, que puede darse cuando no se cumplen los tiempos de “setup” y de “hold” del biestable y desde el que, una vez alcanzado, el ruido interno del circuito hará que se desplace a uno de los estados estables aleatoriamente. Este estado es especialmente problemático en esta situación, ya

que con una señal asíncrona no hay garantía de que se vayan a cumplir estos tiempos.

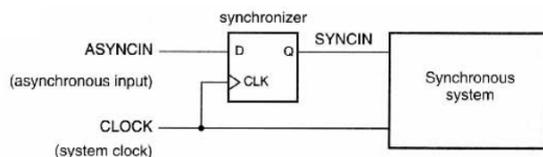


Figura 41: Sincronización con un biestable.

Si bien es cierto que la probabilidad es baja, existe y es necesario tomar precauciones para que no suceda. Teniendo en cuenta de que la probabilidad de que un biestable se mantenga en estado metaestable disminuye exponencialmente en el tiempo, una solución común y simple es la de usar un delay, tal y como se muestra en la Figura 42. De esta forma si el biestable de entrada entra en estado metaestable hay tiempo suficiente como para que la probabilidad de que se mantenga en ese estado cuando el segundo biestable vaya a actualizar su salida sea muy pequeña.

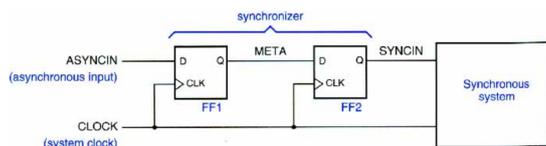


Figura 42: Sincronización con dos biestables.

4.4.2. Generación de pulsos

La segunda parte del circuito es sencillamente un biestable con una puerta lógica que realiza una operación AND con su entrada y su salida negada. De esta forma cuando hay un flanco ascendente tanto la entrada del biestable como su salida negada tendrán como valor un 1 lógico durante un ciclo de reloj, ya que cuando se actualice la salida del biestable la salida negada tendrá un valor de 0 y la salida del circuito será 0. Para entender mejor el funcionamiento se muestran las señales en la Figura 43, en ella la señal naranja es el reloj, la amarilla es la entrada asíncrona, la magenta es la salida del primer biestable, la cian es la salida del segundo biestable, la violeta es la salida del tercer biestable y la roja es la señal de salida del circuito.

4.5. Funcionamiento del sistema

Se ha explicado previamente que el convertidor diseñado es de tipo VFC monoestable, sin embargo no se ha dado una visión clara del dimensionado de cada uno de los bloques, ya que se ha estimado conveniente dar primero una explicación detallada de cada uno de los bloques que componen el sistema para facilitar la comprensión del propio sistema completo.

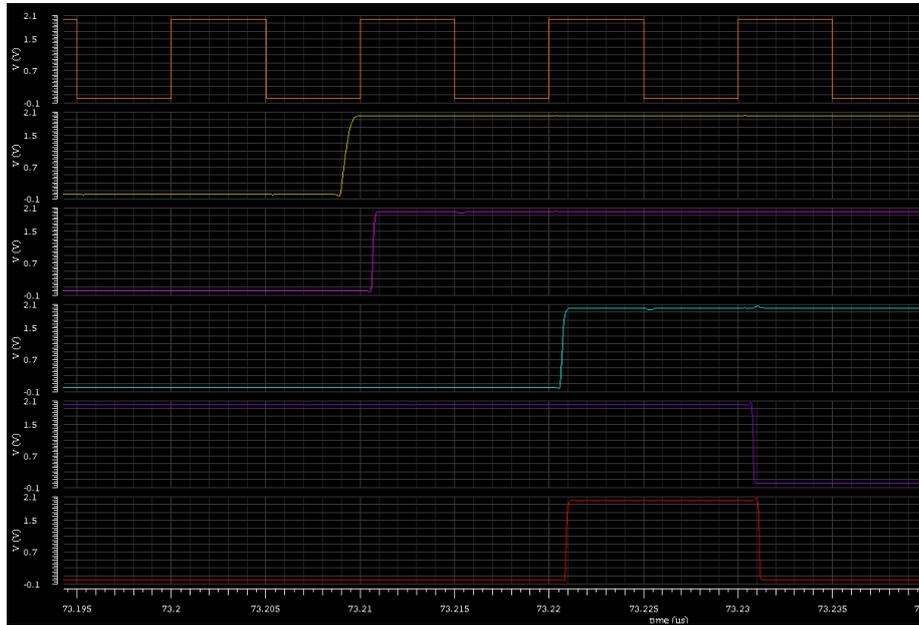


Figura 43: Señales del circuito generador de pulsos.

Esta sección comienza obteniendo la expresión de la frecuencia de salida del convertidor en función de la tensión de entrada. Para ello se calcula el tiempo que tarda un condensador por el que circula una corriente constante en incrementar su tensión una determinada cantidad:

$$i = C \frac{dV}{dt} \quad (31)$$

$$t = V \frac{C}{i} \quad (32)$$

Dado que en este circuito se pretende que la señal triangular se mueva dentro de una ventana de tensión concreta, definida por los límites inferior y superior de comparación, se tiene que la V de la expresión obtenida es $V = AV = V_H - V_L$, donde V_H es el límite superior de comparación y V_L el inferior.

La corriente que carga el condensador viene dada por la tensión de entrada multiplicada por la gm del transconductor, que en este caso es:

$$gm = \frac{1}{R} \quad (33)$$

Y, teniendo en cuenta que se hace una escala de factor K entre la corriente que circula por la resistencia y la que se usa en el integrador bidireccional, que es la que circula al final por el condensador:

$$i = V_{in} \frac{1}{R} \frac{1}{K} \quad (34)$$

Uniendo todo:

$$t = AV \frac{C}{V_{in} \frac{1}{R} \frac{1}{K}} \quad (35)$$

Dado que esto es un semiperiodo, la frecuencia de salida será:

$$f_o = \frac{1}{2t} = \frac{V_{in}}{2K \cdot R \cdot AV \cdot C} \quad (36)$$

Una vez que se conoce la expresión de salida, se pasa a hablar de algunos de criterios de diseño que se han usado a la hora del dimensionamiento del circuito. El primero de ellos tiene que ver con el transconductor, que si bien tiene una linealidad elevada y eso es de máximo interés para este circuito, es importante hacer notar que la resistencia pretende ser integrada en el chip, por lo que su valor no puede ser extremadamente grande.

Sin embargo esto tiene el inconveniente de que mientras menor sea la resistencia mayor será el consumo del bloque, ya que por la resistencia circula una corriente $i = V_{in}/R$. Además esta corriente solo se usa como referencia, por lo que se “desperdicia” completamente. Debido a esto se ha usado una resistencia de $100K\Omega$, que ya es un valor elevado para ser integrado, pero factible. Esto hace que el bloque tiene un consumo máximo de unos $16\mu A$, que es tres veces superior a la corriente de polarización usada en el OTA. Dado que esta corriente debe copiarse tres veces, una para el integrador bidireccional y otra para la rama de polarización del espejo de corriente “high swing” del mismo, se hace una escala $K = 100$ de forma que se trabaje con corriente de nanoamperios, reduciendo el consumo prácticamente a un tercio del original.

Por otro lado se ha hablado anteriormente del error que se comete debido a que el comparador usa un reloj, y que es necesario que su frecuencia de trabajo sea lo mayor posible. Estudiando sus ecuaciones se ha visto que los tiempos en los que está en cada una de las fases de conversión (en las de de muestreo y de propagación, concretamente) son inversamente proporcionales a la corriente, por lo que hay un compromiso muy fuerte entre el consumo del circuito y la resolución que puede alcanzar. En este caso se ha decidido usar una fuente de corriente de $50 \mu A$, aunque hay que hacer notar que estas fuentes no están activas constantemente, sino solo durante medio ciclo de reloj, y debido al propio funcionamiento del biestable la corriente comienza a disminuir en la fase de regeneración hasta llegar a cero, por lo que el consumo medio de un comparador es inferior a $25 \mu A$. No obstante, otra vía para aumentar la resolución es hacer que la frecuencia de salida sea menor, a base de sacrificar la cantidad de muestras por segundo, ya que para un mismo error en el tiempo de comparación, el error cometido es menor cuanto menor sea lo que la tensión del condensador ha sobrepasado el límite de comparación y, dado que en esta aplicación no se necesita una capacidad de muestreo elevada, se puede permitir, por lo que se ha elegido un condensador de 20 pF , y una ventana de comparación de 0.4 V .

Ciertamente tanto la resistencia como el condensador tienen unos valores muy elevados, sin embargo el objetivo del documento es plantear un circuito inicial que consiga la máxima resolución posible, a partir del cual ir optimizando las partes más problemáticas. Además, pese a que un condensador de ese tamaño es extremadamente grande, existen técnicas que permiten simular condensadores

de un valor determinado a partir de un condensador de menor tamaño que podrían usarse [11].

5. Resultados

En este apartado se detallan los resultados obtenidos a partir de la simulación del sistema completo y las diferencias especificaciones que presenta el convertidor. Primeramente se muestran dos simulaciones del sistema, en la Figura 44 se tiene una tensión de entrada de 1.3V y en la Figura 45 una tensión de entrada de 1.5V, en las que de color rojo se muestra la tensión del condensador y en verde los pulsos de salida del sistema. Debido a que el tiempo necesario para hacer una simulación es extremadamente grande, se han realizado con un período de reloj de 200 ns, en lugar de los 10 ns a los que es capaz de funcionar el circuito, por lo que se observa un pequeño error en la posición del pulso con respecto al pico de la señal triangular.



Figura 44: Funcionamiento del sistema con $V_{in} = 1,3V$.

Debido al problema del tiempo de simulación, la curva de transferencia se ha obtenido midiendo solamente el tramo de subida de la señal triangular definiendo como condición inicial del condensador una tensión $V_C = V_L$. Tras ello se ha hecho un barrido de tensiones de entrada y se han obtenido los datos de la Tabla 5.

Tras hacer una regresión lineal de estos resultados, se tiene un coeficiente de regresión $r^2 = 0,9997255$, que pese a haberse realizado con pocos puntos debido al tiempo de simulación requerido por cada uno de ellos, da una buena idea de la linealidad del convertidor en todo su rango de trabajo.

Para poder comparar este resultado con el de un convertidor convencional, se calcula el error de linealidad, que viene dado como la mayor diferencia entre la tensión de entrada real y la obtenida por la curva ideal, obtenida como una regresión lineal, del convertidor. En este caso el máximo error cometido en toda la curva es de 1.71mV, por lo que el número de bits equivalente cuando se tiene una tensión de referencia de:

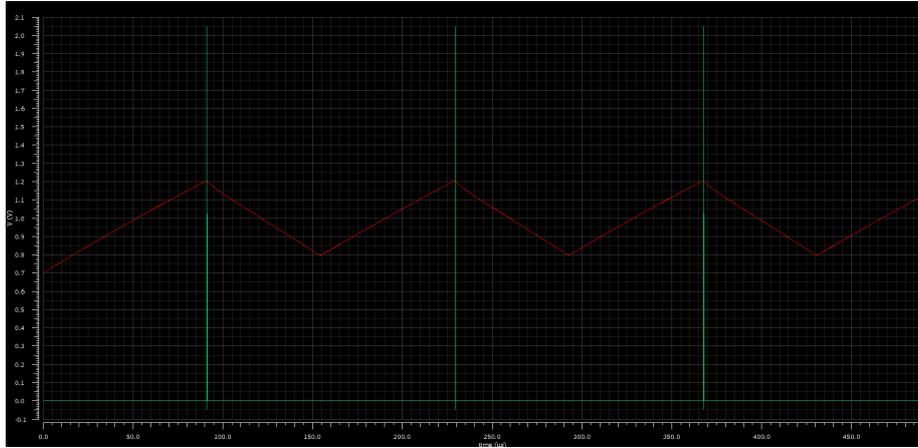


Figura 45: Funcionamiento del sistema con $V_{in} = 1,5V$.

Vin (V)	F_o (Khz)
1,3	5,59409263817409
1,325	5,75237867654711
1,35	5,90940379321911
1,375	6,07012906376037
1,4	6,23278955402421
1,425	6,3954536408467
1,45	6,56418537921181
1,475	6,73667843353352
1,5	6,90694109730242

Tabla 5: Curva de transferencia.

$$1,71 \cdot 10^3 = \frac{1,5}{2^N} \quad (37)$$

$$N = \log_2 \left(\frac{1,5V}{1,71 \cdot 10^3} \right) = 9,77 \quad (38)$$

Como se puede observar no se alcanzan los 10 bits deseados, aunque es importante hacer notar que el haber obtenido la curva de regresión midiendo de forma manual los tiempos que tarda en subir la tensión del condensador desde V_L hasta V_H , no se tiene una medida exacta, ya que lo propio sería dejar que se realizaran varios ciclos y medir directamente la frecuencia en la simulación. Independientemente de esto, se considera que es un resultado suficientemente cercano al buscado de 10 bits, por lo que se acepta como válido.

Para terminar este apartado se hace un estudio del consumo del circuito, que es altamente irregular, ya que viene dado principalmente por el consumo de los comparadores, que va variando en base a la fase en que se encuentran, por tanto se ha hecho una media y se obtiene como resultado un consumo de corriente de $120,7\mu A$, por lo que el convertidor consume una potencia de $241,4\mu W$.

6. Conclusiones

En este documento se ha realizado el diseño de un convertidor de tensión a frecuencia optimizado para su uso con un AFE ya existente y caracterizado por tener señales de salida en DC en un rango de 1.3 V a 1.5 V. Para ello primero se han estudiado diferentes arquitecturas de convertidores analógico-digital, así como el estado del arte de los convertidores en base a las publicaciones realizadas en las conferencias ISSCC y VLSI. También se han estudiado qué parámetros determinan las especificaciones de un convertidor, de forma que se pueda tener un mejor criterio a la hora de seleccionar arquitectura. Tras elegirla, se han estudiado los diferentes bloques que los componen, se han simulado y se ha estudiado de qué forma pueden afectar los errores de fabricación en su funcionamiento, determinando que el diseño actual es suficientemente robusto como para ser usado en esta aplicación concreta.

Finalmente se ha simulado el sistema completo, obteniendo su curva de transferencia a lo largo del rango de operación, a la que se ha realizado una regresión lineal obteniendo un coeficiente $r^2 = 0,9997255$. A partir de la curva de transferencia se ha obtenido el número de bits que un convertidor convencional que cometiera el mismo error tendría, y se ha determinado que es 9.77 bits. Por último, se ha estudiado el consumo del circuito, que se caracteriza por ser altamente irregular a lo largo del período del reloj del comparador, ya que es el bloque que más consume con diferencia, sin embargo su consumo no es constante, sino que cambia a lo largo de las diferentes fases necesarias para realizar la comparación, haciendo la media se determina que tiene un consumo de $120,7\mu A$, por lo que al estar alimentado a $2V$, se tiene que para trabajar requiere de $241,4\mu W$.

7. Bibliografía

- [1] S. Grimmes and O. G. Martinsen, *Bioimpedance and Bioelectricity Basics*, 2nd Ed, Academic Press, 2008.
- [2] B. Razavi, *Principles of Data Conversion System Design*, 1st Ed, Wiley-IEEE Press, 1994.
- [3] B. Baker, *How delta-sigma ADCs work, Part 1*, 2011.
- [4] S. Bashir, S. Ali, S. Ahmed, V. Kakkar, *Analog-to-digital converters: A comparative study and performance analysis*, 2016.
- [5] B. Murmann, *ADC Performance Survey 1997-2017*, [Online]. Available: <https://web.stanford.edu/~murmman/adcsurvey.html>.
- [6] C. Azcona, C. Belen, N. Mendrano, S. Celma, *A Programmable Voltage-to-Frequency Converter for Low-Power Sensor Interfaces*, 2010.
- [7] P. Klonowski, *Analog Devices application note AN-276*.
- [8] J. Bryant, *Analog Devices application note AN-361*.
- [9] J. Montanaro, R. Witek, K. Anne, A. Black, *A 160-Mhz 32-n 0.5-W CMOS RISC microprocessor*, IEEE J. Solid-State Circuits, vol.31, pp. 1703-1714, Nov. 1996.
- [10] A. Abidi, H. Xu, *Understanding the regenerative comparator circuit*, 2014.
- [11] J. Choi, J. Park, W. Kim, K. Lim, J. Laskar *High multiplication factor capacitor multiplier for an on-chip PLL loop filter*, 2009.