



**Tiago José
Cadima Borges**

Circuitos Digitais Dinâmicos em Modo de Corrente



**Tiago José
Cadima Borges**

Circuitos Digitais Dinâmicos em Modo de Corrente

Dissertação apresentada à Universidade de Aveiro para cumprimento dos requisitos necessários à obtenção do grau de Mestre em Engenharia Eletrónica e Telecomunicações, realizada sob a orientação científica do Doutor Luís Filipe Mesquita Nero Moreira Alves, Professor Auxiliar do Departamento de Eletrónica, Telecomunicações e Informática da Universidade de Aveiro e do Doutor Ernesto Ventura Martins, Professor Auxiliar do Departamento de Eletrónica, Telecomunicações e Informática da Universidade de Aveiro

o júri

presidente

Prof. Doutor Dinis Gomes de Magalhães dos Santos

Professor Catedrático do Departamento de Eletrónica, Telecomunicações e Informática da Universidade de Aveiro

Prof. Doutora Mónica Jorge Carvalho Figueiredo

Professor Adjunto da Escola Superior de Tecnologia e Gestão do Instituto Politécnico de Leiria

Prof. Doutor Luís Filipe Mesquita Nero Moreira Alves

Professor Auxiliar do Departamento de Eletrónica, Telecomunicações e Informática da Universidade de Aveiro

Prof. Doutor Ernesto Fernando Ventura Martins

Professor Auxiliar do Departamento de Eletrónica, Telecomunicações e Informática da Universidade de Aveiro

Agradecimentos

Aos meus pais por acreditarem em mim e me apoiarem durante todo este tempo. Sem eles nada disto seria possível e com eles deixo uma dívida que nunca conseguirei repor.

Aos meus amigos e família, que tiveram de me aturar, principalmente durante esta fase da minha vida. Sei que não foi fácil.

Aos meus orientadores e à Universidade de Aveiro muito obrigado por esta oportunidade e orientação.

E finalmente a todos os que tornaram possível estar aqui, são muitos e como tal, não posso enumerar todos. Muito obrigado por tudo!

Tiago José Cadima Borges

palavras-chave

Circuitos Digitais, Lógica MOS em modo de corrente dinâmica (DyCML), Tecnologia CMOS.

resumo

A lógica digital dinâmica em modo de corrente (DyCML) presente neste trabalho apresenta vantagens relativamente à lógica CMOS convencional em termos de consumo, imunidade ao ruído e velocidade. Características que atualmente têm vindo a ganhar uma maior relevância.

Nesta dissertação procede-se a uma análise cuidada do projeto, construção e caracterização de circuitos digitais na lógica DyCML. São descritas as principais métricas e efeitos presentes em lógica a esta escala.

São também implementadas algumas portas lógicas básicas em DyCML em Cadence na tecnologia CMOS 350 nm da AMS de modo a analisar as suas características e facilitar a sua comparação com outras tecnologias.

Finalmente são expostas as vantagens da tecnologia relativamente há seu percutora MCML relativamente à sua velocidade, consumos, área e EDP.

keywords

Digital Circuit, Dynamic Current Mode Logic (DyCML), CMOS Tecnology.

abstract

The dynamic current mode logic described in this work brings various advantages when compared with conventional CMOS logic in terms of consumption, switching noise and speed. This characteristics are starting to get more relevant in present times

This dissertation presents a careful analysis of the design layout, construction and characterization of digital DyCML logic. It describes the main metrics and effects present in logic at this scale.

Some basic logic gates are implemented in DyCML, using Cadence with CMOS technology at 350 nm of AMS, in order to analyze their characteristics and facilitate the comparison with other technologies.

In the end a comparison is made with MCML regarding the speed of operation, area and EDP.

Índice

Índice.....	i
Índice de Figuras	iii
Índice de Tabelas	iv
Índice de Acrónimos e Abreviaturas	v
Índice de Símbolos	vii
1 Introdução	1
1.1 Enquadramento	1
1.2 Motivação.....	2
1.3 Objetivos	2
1.4 Estrutura da dissertação	3
2 Lógica MOS em DyCML	5
2.1 Génese dos circuitos digitais dinâmicos em modo de corrente	5
2.2 DyCML: Funcionamento	8
2.3 Excursão de sinal.....	9
2.4 Dimensionamento da fonte de corrente dinâmica	10
2.5 Implementação da lógica binária	11
2.5.1 Diagramas de decisão binária (DDB)	11
2.5.2 Estrutura diferencial e simétrica (EDS).....	12
2.5.3 Estrutura não diferencial (END).....	12
2.5.4 Comparação das implementações lógicas	13
2.6 Ligação entre circuitos DyCML.....	14
2.6.1 Atraso de relógio (CD)	14
2.6.2 Circuito auto-temporizado (ST).....	14
2.6.3 Comparação entre CD e ST	15
2.7 Interligação entre DyCML e CMOS	16
2.8 Comentário final.....	16
3 Implementação de portas lógicas DyCML	19
3.1 O inversor DyCML	20
3.2 Equivalente do circuito de saída na fase de pré-carga	21
3.3 Equivalente do circuito na fase de cálculo	24
3.3.1 Alta excursão de saída	25
3.3.2 Baixa excursão de saída	27

3.3.3	Funcionamento da <i>latch</i> (transístores M2 e M3)	28
3.4	Dimensionamento do inversor para uma excursão típica	29
3.5	Tempos de subida e descida	32
3.6	Capacidades parasita	36
3.7	Efeito de corpo	37
3.8	Impacto do <i>fan-out</i>	38
3.9	Correntes de fuga	39
3.10	Potência dissipada e produto energia-atraso	41
3.11	Conclusão	42
4	Caracterização das portas lógicas DyCML	43
4.1	Ferramenta de desenho e simulação	44
4.2	Caracterização do inversor	45
4.2.1	Layout	45
4.2.2	Frequência de funcionamento versus tensão de alimentação	46
4.3	Parâmetros de desenho	48
4.4	Implementação lógica pelo método DDB	49
4.4.1	Implementação e consumos	50
4.5	Implementação lógica pelo método EDS	53
4.5.1	Implementação e consumos	55
4.5.2	Caracterização da porta lógica XOR3	57
4.6	Comparação de resultados	61
4.7	Comparação entre o DyCML e o MCML	63
4.8	Conclusão	65
5	Conclusões	67
5.1	Conclusões	67
5.2	Linhas de investigação futuras	68
Anexos	69	
Anexo A	70	
Anexo B	71	
Anexo C	72	
Referências	73	

Índice de Figuras

Figura 2.1 - Estrutura de uma porta lógica MCML	6
Figura 2.2 - Lógica Dinâmica.....	7
Figura 2.3 - Lógica SABL.....	7
Figura 2.4 - Estrutura de uma porta lógica DyCML.....	8
Figura 2.5 - Condensador nMOS.....	10
Figura 2.6 - Tabela de verdade e árvore binária correspondente	11
Figura 2.7 - Correspondência em entradas e níveis lógicos	12
Figura 2.8 - Estrutura Não Diferencial	12
Figura 2.9 - Comparação entre DDB, EDS e END.....	13
Figura 2.10 - Lógica dinâmica com Atraso de Relógio (CD)	14
Figura 2.11 - Implementação do circuito auto-temporizado (ST)	15
Figura 2.12 - Buffer auto-temporizado (ST).....	15
Figura 2.13 - <i>Differential-single ended buffer</i>	16
Figura 3.1 - Inversor DyCML	20
Figura 3.2 - Circuito pré-carga.....	21
Figura 3.3- Capacidades de um nMOS	21
Figura 3.4 - Variação de tensão e corrente durante a pré-carga	22
Figura 3.5 - Circuito de cálculo	24
Figura 3.6 - Excursão de saída.....	25
Figura 3.7 - Alta excursão de saída	26
Figura 3.8 - Leituras de alta excursão	26
Figura 3.9 - Baixa excursão de saída	27
Figura 3.10 - Leituras de baixa excursão	28
Figura 3.11 - Corrente no dreno dos pMOS M2 e M3	28
Figura 3.12 - Análise temporal da tensão durante a fase de calculo	29
Figura 3.13 - Análise temporal da corrente durante a fase de cálculo.....	30
Figura 3.14 - Relação de C1 com a excursão de sinal	31
Figura 3.15 - Variação de excursão de sinal com C_L	31
Figura 3.16 - Análise do nMOS M5	33
Figura 3.17 - Comparação dos nMOS M5 e Mi1	34
Figura 3.18 - Relação de VDS entre M5 e Mi1.....	34
Figura 3.19 - Variação da excursão de saída causado pela redistribuição de cargas.....	36
Figura 3.20 - Efeito do <i>fan-out</i>	38
Figura 3.21 - Efeito da corrente de fuga.....	39

Figura 3.22 - Corte lateral de um nMOS	39
Figura 4.1 - Diagrama da criação de circuito integrados.....	44
Figura 4.2 - <i>Layout</i> do inversor DyCML.....	45
Figura 4.3 - Circuito <i>Divide by two</i> (oscilador em anel)	46
Figura 4.4 - Relação tensão de alimentação com a frequência para o DyCML.....	47
Figura 4.5 - Esquemático obtido pelo método DDB	49
Figura 4.6 - <i>Layout</i> da lógica obtida por DDB	50
Figura 4.7 - Esquerda -Porta lógica OR/NOR; Direita - Porta lógica AND/NAND	51
Figura 4.8 - Consumos da porta lógica em DDB.....	51
Figura 4.9 - Tempos de propagação na porta lógica DDB.....	52
Figura 4.10 - EDP da porta lógica em DDB.....	53
Figura 4.11 - Esquemático obtido pelo método EDS	54
Figura 4.12 - <i>Layout</i> da lógica obtida por EDS.....	54
Figura 4.13 - a) Porta lógica AND/NAND; b) Porta lógica OR/NOR; c) Porta lógica MUX 2-1; d) Porta lógica XNOR/XOR.....	55
Figura 4.14 - Consumo pelo método EDS.....	56
Figura 4.15 - Tempos de propagação das portas lógicas em EDS de dois estágios	56
Figura 4.16 - EDP da porta lógica EDS com dois estágios.....	57
Figura 4.17 - Esquema elétrico da XOR3.....	58
Figura 4.18 - <i>Layout</i> da Porta Lógica XOR3	58
Figura 4.19 - Consumos da porta XOR3	59
Figura 4.20 - Tempos de propagação da porta lógica XOR3.....	59
Figura 4.21 - EDP da porta lógica XOR3	60
Figura 4.22 - Comparação de consumos	61
Figura 4.23 - Comparação de EDP entre portas lógicas.....	62

Índice de Tabelas

Tabela 4.1 - Parâmetros de desenho	48
Tabela 4.2 - Consumos do MCML e DyCML.....	63
Tabela 4.3 - Área ocupada de silício por MCML e DyCML	64
Tabela 4.4 - Relação Potencia/Área de MCML e DyCML.....	64
Tabela 4.5 - Tempos de propagação do MCML e DyCML.....	64
Tabela 4.6 - EDP do MCML e DyCML	65

Índice de Acrónimos e Abreviaturas

ADE	<i>Ambiente do desenho analógico</i>
AMS	<i>Austria Microsystem</i>
DDB	<i>Diagrama de decisão binária</i>
CAD	<i>Desenho auxiliado por computador</i>
CD	<i>Atraso de relógio</i>
CI	<i>Circuito integrado</i>
CLA	<i>Somador com antecipação do bit de transporte</i>
CLK	<i>Relógio</i>
CML	<i>Lógica em modo de corrente</i>
CMOS	<i>Semicondutor metal-óxido complementar</i>
DCVSL	<i>Differential cascode voltage switch logic</i>
DRC	<i>Regras de verificação</i>
DSL	<i>Differential split-level logic</i>
DTSCL	<i>Lógica de fonte acoplada de limiar dinâmico</i>
DyCML	<i>Circuitos digitais dinâmicos em modo de corrente</i>
ECL	<i>Lógica de emissores acoplados</i>
EDP	<i>Produto energia-atraso</i>
EDS	<i>Estrutura diferencial e simétrica</i>
END	<i>Estrutura não diferencial</i>
EOE	<i>Fim de avaliação</i>
FET	<i>Transístor de efeito de campo</i>
LVS	<i>Comparação desenho com esquemático</i>
MCML	<i>Lógica em modo de corrente em MOS</i>

MOS	<i>Semicondutor metal-óxido</i>
MOSFET	<i>Transístor de efeito de campo em semicondutor metal-óxido</i>
MUX	<i>Multiplexer</i>
nMOS	<i>nFET semicondutor metal-óxido</i>
PDN	<i>Pull-Down Network</i>
PUN	<i>Pull-Up Network</i>
pMOS	<i>pFET semicondutor metal-óxido</i>
RCX	<i>Resistance/Capacitance and Inductance Extration</i>
SCL	<i>Lógica de fonte acoplada</i>
ST	<i>Circuito auto-temporizado</i>
STSCL	<i>Lógica de fonte acoplada de limiar inferior</i>
TSMC	<i>Taiwan Semiconductor Manufacturing Company Limited</i>
VDD	<i>Fonte de tensão</i>
TG	<i>Porta de transmissão</i>
VLSI	<i>Circuito integrado com escala de integração muito alta</i>
WiSCL	<i>Lógica com fonte acoplada com baixa inversão</i>
XOR	<i>Ou exclusivo</i>

Índice de Símbolos

C_{GS}	<i>Capacidade Dreno-Fonte</i>
C_{GD}	<i>Capacidade Porta-Dreno</i>
C_j	<i>Capacidade da junção da base</i>
C_{jsw}	<i>Capacidade da junção lateral</i>
C_L	<i>Capacidade de carga</i>
C_{ox}	<i>Capacidade porta-substrato por unidade de área</i>
C_n	<i>Capacidade interna total</i>
$f_{comutação}$	<i>Frequência de funcionamento</i>
GND	<i>Tensão de referência (massa)</i>
k	<i>Transcondutância do MOSFET</i>
K_B	<i>Constante de Boltzman</i>
L	<i>Comprimento de canal</i>
m	<i>Coeficiente de graduação da junção</i>
MP	<i>MOSFET de carga tipo P</i>
$P_{comutação}$	<i>Potência de comutação</i>
q	<i>Carga do eletrão</i>
R	<i>Resistência</i>
S_w	<i>Tamanho da parede lateral</i>
T	<i>Temperatura</i>
t_f	<i>Tempo de descida</i>
t_{ox}	<i>Espessura do óxido da porta (óxido fino)</i>
t_{pd}	<i>Tempo de propagação</i>
tp_{HL}	<i>Tempo de propagação de high-to-low</i>

t_{pLH}	<i>Tempo de propagação de low-to-high</i>
t_r	<i>Tempo de subida</i>
x_d	<i>Difusão lateral</i>
V_{DD}	<i>Tensão de alimentação positiva</i>
V_{DS}	<i>Tensão Dreno-Fonte</i>
V_{GD}	<i>Tensão Porta-Dreno</i>
V_{GS}	<i>Tensão Porta-Fonte</i>
V_i	<i>Tensão de entrada</i>
V_o	<i>Tensão de saída</i>
V_{TH}	<i>Tensão de limiar</i>
V_{swing}	<i>Diferença de potencial entre estados lógicos</i>
W	<i>Largura do canal de um transístor</i>
μ	<i>Mobilidade dos portadores de carga</i>
τ	<i>Constante de tempo</i>
Φ	<i>Potencial da junção</i>
γ	<i>Potencial de Fermi</i>

1 Introdução

1.1 Enquadramento

Numa sociedade onde dispositivos digitais continuam a sua proliferação a um ritmo exponencial, confirma-se o advento da era digital. São dispositivos eletrônicos como os computadores portáteis, telemóveis, tablets, leitores de mp3 e GPS que têm vindo a alterar o quotidiano do Homem. No coração de todos estes produtos, impreterivelmente encontramos vários circuitos integrados responsáveis pelo seu funcionamento.

Desde os anos 60 que a evolução dos circuitos integrados tem vindo a obedecer à lei de Moore que afirma: "O numero de transístores aumenta para o dobro, pelo mesmo custo, a cada 18 meses" o que embora não se traduza no dobro do poder de processamento, certamente se traduz num novo dispositivo no mercado. Numa sociedade cada vez mais consumista, existe uma procura incessante por novos dispositivos, que por sua vez implica um maior investimento em pesquisa e desenvolvimento de novas tecnologias.

A acompanhar a omnipresença dos dispositivos de eletrónica, surgem novos desafios no campo da criação de circuitos que consigam responder à exigência de maior poder de processamento aliado a um menor consumo. Rapidamente se verifica, que o aumento da performance é uma filosofia invariavelmente contrária à redução de consumos. Cabe aos desenhadores, a tarefa de conciliar estas duas faces da mesma moeda, numa implementação lógica que consiga satisfazer todos os requisitos impostos pelos fabricantes.

1.2 Motivação

A tecnologia em semicondutor metal-óxido complementar (CMOS) encontra-se atualmente no núcleo de quase toda a eletrónica digital. A proliferação dos circuitos integrados em CMOS não mostra sinais de abrandar e encontram expressão em todos os dispositivos, desde o mais cobiçado ao mais trivial.

O motivo principal que levou à escolha da lógica MOS em modo de corrente na vertente dinâmica (DyCML) é a promessa de ser uma das mais eficientes até à data. O facto de capitalizar sobre os desenvolvimentos no campo da redução energética mantendo as características de velocidade, torna-a muito atrativa para o desenvolvimento de novos dispositivos. A constante busca para melhorar a eficiência, de modo a aumentar o poder de processamento é uma das principais demandas no mundo da eletrónica digital.

Seria de esperar que uma tecnologia que promete uma das melhores relações potência-atraso rapidamente se tornasse alvo de estudo e desenvolvimento mais aprofundado. No entanto, com exceção de alguns somadores e outros circuitos relativamente simples, pouco se tem explorado nesta tecnologia.

Isto é o suficiente para estimular a mente científica a querer aprofundar mais, e a estudar atentamente a lógica digital dinâmica em modo de corrente.

1.3 Objetivos

Nesta dissertação serão estudadas um conjunto de funções lógicas empregando conceitos de lógica em modo de corrente, usando estratégias de desenho DyCML. O desenho e simulação dos circuitos serão executados dentro do ambiente integrado do Cadence, utilizando como simulador o SpectreS. A tecnologia alvo consiste no processo CMOS de 350 nm da Austria Microsystems (AMS), ao abrigo do protocolo Europractice.

O trabalho foi dividido nas seguintes fases:

- Enquadramento bibliográfico e estudo da lógica DyCML;
- Estudo de técnicas de implementação para portas lógicas em modo de corrente e de consumo dinâmico;
- Especificação e análise dos aspetos mais relevantes da lógica DyCML;
- Projeto, desenho e validação (por simulação pós design) das portas lógicas em DyCML.

1.4 Estrutura da dissertação

Esta dissertação encontra-se dividida em cinco capítulos. É neste primeiro capítulo que são expostos os objetivos e é feito um enquadramento com o panorama atual que levou à escolha deste tema.

No segundo capítulo é feita uma abordagem teórica da tecnologia DyCML. Recorrendo a referências bibliográficas, é explicada a sua origem, são abordados aspetos de dimensionamento e como proceder à interligação das diversas partes que compõem esta tecnologia.

O terceiro capítulo aborda uma vertente mais prática da implementação. Partindo da teoria das referências bibliográficas, exposta no capítulo anterior, é feito o estudo de modo a facilitar a implementação e a melhor perceber o funcionamento dos circuitos.

No capítulo quatro é analisada a criação e implementação do *layout* das diversas portas lógicas e é feita uma caracterização das mesmas. São realizadas simulações e procede-se à interpretação dos resultados obtidos.

No quinto e último capítulo, são retiradas as conclusões do estudo feito e são sugeridas futuras linhas de estudo.

2 Lógica MOS em DyCML

Até recentemente, a tecnologia CMOS convencional tem servido bem um mercado onde a velocidade de processamento a baixo custo era o mais importante. Atualmente o consumo energético tem vindo a ganhar maior destaque, dando origem à procura por uma melhor eficiência energética. É neste contexto que a tecnologia DyCML aparece, numa tentativa de preservar todas as características de velocidade anteriores, mas adotando novos avanços no campo da redução de consumo energético.

2.1 Génese dos circuitos digitais dinâmicos em modo de corrente

Com a evolução e miniaturização da tecnologia CMOS, novos desafios têm surgido no campo da velocidade e do ruído parasita. Embora os programas CAD muito assistam na prevenção destes problemas, eventualmente deparamo-nos com a barreira tecnológica do próprio desenho.

Ao longo das últimas décadas, varias soluções foram propostas que visam colmatar problemas como as interferências na transmissão e ruído gerado no ambiente circundante. Tecnologias como a lógica de fonte acoplada (SCL) e a lógica em modo de corrente (CML) [1] baseiam-se em dois princípios fundamentais. Primeiro, utilizam o princípio do par diferencial para maior imunidade ao ruído. Segundo, a diferença de tensão entre patamares lógicos, a excursão de sinal, é reduzida, por forma a diminuir as interferências com a eletrónica na sua periferia. Quando aplicadas no desenho de circuitos digitais, possibilitam velocidades acima do Gb/s e por norma, apresentam uma boa relação entre consumo e velocidade (EDP).

A lógica digital em modo de corrente MOS (MCML) faz parte da lógica CML, cumprindo os requisitos afirmados no parágrafo anterior. Como pode ser visto pela figura 2.1 conclui-se de imediato que a fonte de corrente formada por M_3 e V_{ref} impõe um consumo constante.

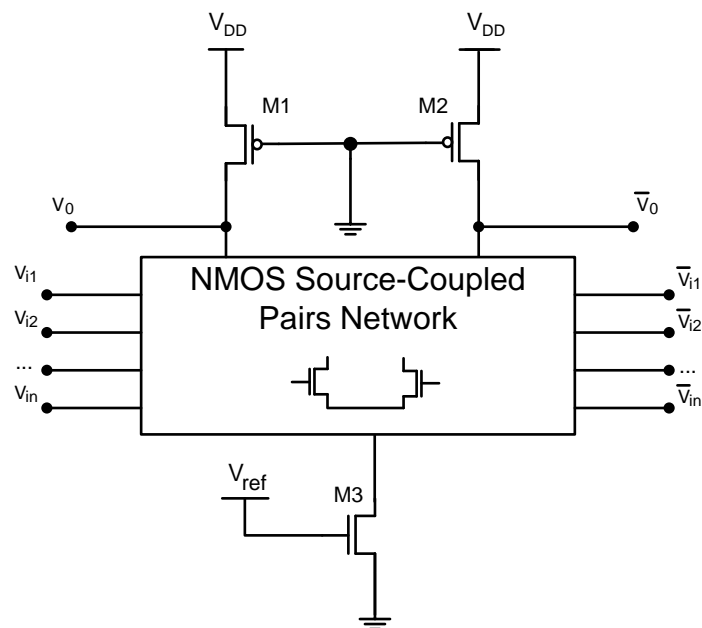


Figura 2.1 - Estrutura de uma porta lógica MCML

Como a preocupação atual é a redução de consumos, a abordagem mais imediata tem sido a de reduzir ao mínimo a tensão de alimentação. Tecnologias como a lógica de fonte acoplada de threshold dinâmico (DTSCl) [2], lógica de fonte acoplada de subthreshold (STSCl) [3], lógica com fonte acoplada de baixa inversão (WiSCl) [4] utilizam esta abordagem com sucesso. Todas estas tecnologias visam a diminuição dos consumos, melhorando a relação potencia atraso. Analisando o consumo das tecnologias referidas, verifica-se que o mais predominante é o consumo estático. Importa portanto, estudar implementações que permitam reduzir o consumo predominante e, se possível, adaptar as suas características de redução de consumo às tecnologias aqui mencionadas.

As soluções dinâmicas são as que mais se adequam à diminuição de consumo no geral. Introduzindo um relógio que divide a operação do circuito em duas fases (cálculo e pré-carga), as soluções dinâmicas conseguem deste modo eliminar o consumo estático. Esta implementação lógica, representada na figura 2.2, teve bastante projeção nos anos 70, e mais recentemente com o advento dos dispositivos eletrônicos portáteis, leitores de MP3, telemóveis e processadores (VLSI). Uma das tecnologias que faz uso da lógica dinâmica é a lógica dominó, conhecida por atingir velocidades de relógio muito elevadas. A lógica dominó foi empregue com sucesso no processador dos Pentium 4, CELL e em ARM mais recentes [5].

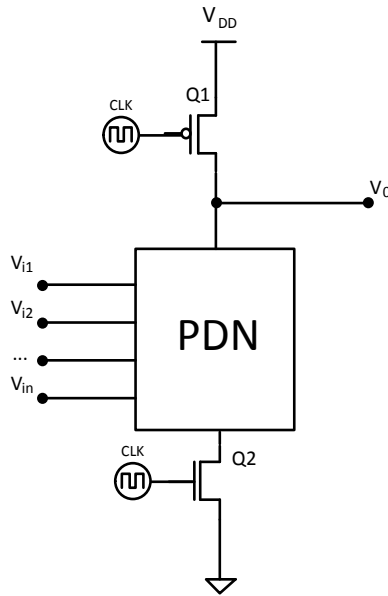


Figura 2.2 - Lógica Dinâmica

Da reunião das duas famílias CMOS, lógica dinâmicas e em modo de corrente, surgem duas implementações lógicas, entre eles o SABL [6] da figura 2.3, e o DyCML, também conhecido por lógica dinâmica de fonte acoplada (Dynamic SCL [7]). Podem ver-se algumas aplicações do DyCML em somadores e multiplicadores mais recentes, onde as suas vantagens, como por exemplo o tamanho dos transístores ser o mínimo e o seu consumo ser baixo, tornam a sua implementação extremamente atrativa [8].

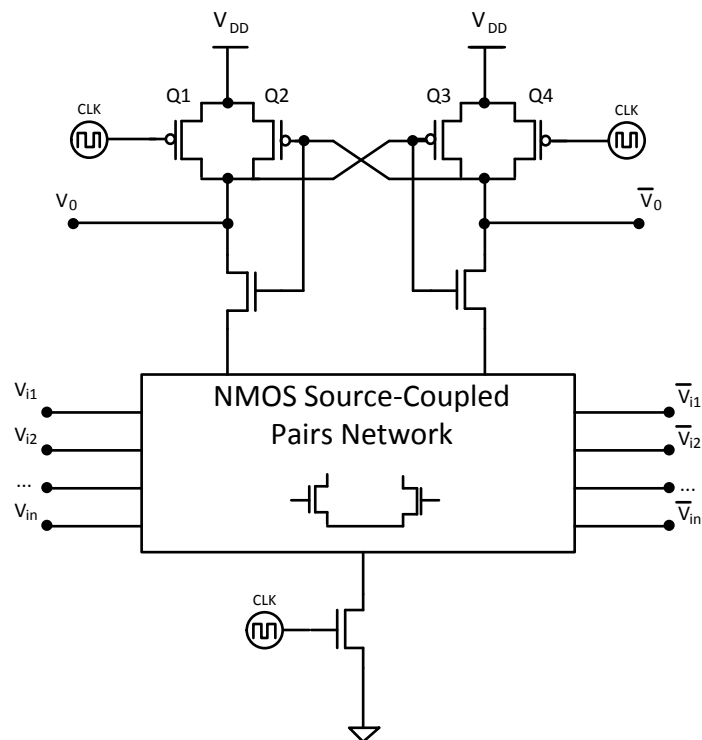


Figura 2.3 - Lógica SABL

O DyCML foi inicialmente proposto por Mohamed W. Allam [9] como uma alternativa eficiente ao MCML, uma implementação que, por si só, já traz imensas vantagens, tanto em termos de consumo como de velocidade. O objetivo é aproveitar todas as vantagens do MCML e remover a sua principal desvantagem, o consumo estático (que ocorre quando os transístores do PDN estão a conduzir).

2.2 DyCML: Funcionamento

Como já foi referido, a tecnologia DyCML apareceu com um refinar da tecnologia MCML. No entanto, toda a lógica de cálculo é implementada de maneira idêntica em ambas as tecnologias.

Esta é uma tecnologia adequada a frequências de funcionamento na ordem dos GHz, apresentando uma boa imunidade ao ruído e com consumo baixo. Como as dimensões dos transístores são as menores possíveis, ocupa uma reduzida área de silício. O seu complexo ciclo de desenho torna mais difícil a implementação em circuitos integrados de grande escala devido à sua dependência entre C_1 e C_L que será explorada mais adiante.

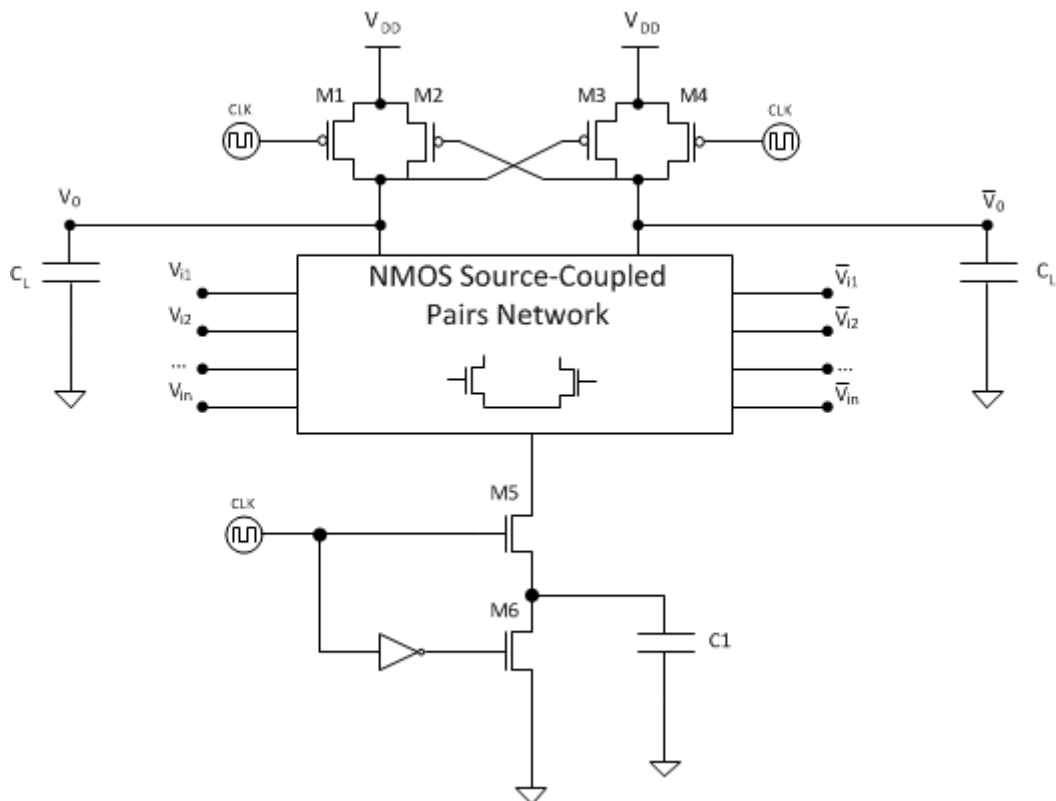


Figura 2.4 - Estrutura de uma porta lógica DyCML

A parte lógica empregada no DyCML, representada na figura 2.4 por um retângulo, é composta por pares diferenciais nMOS, de modo que a tensão aplicada à entrada controla o fluxo de corrente que passa por cada ramo, formando o *Pull-Down Network* (PDN). Deste modo a corrente irá favorecer apenas um dos ramos criando uma queda de tensão à saída que indica o valor lógico “1” ou “0” [10].

De modo a eliminar o consumo estático presente na tecnologia MCML aproveita-se a sua parte da lógica composta por pares diferenciais, cria-se um estágio de carga composto por M6, M1, M4 e um de descarga composto por M5 e C1. Neste caso C1 é uma capacidade realizada com um transistor MOS.

Relativamente a M2 e M3, a sua função é manter o valor lógico na saída a V_{DD} . O seu funcionamento é o seguinte: se um das saídas diminui de V_{DD} a gate do pMOS que lhe está associada vai começar a conduzir de modo garantir V_{DD} na saída oposta.

Quando o relógio (CLK) está a “0”, M6 descarrega C1 enquanto M5 impede uma ligação entre V_{DD} e a terra. Entretanto M1 e M4 ficam com potencial V_{DD} iniciando a fase de pré-carga. Quando CLK passa a “1” M5 deixa passar a carga armazenada por C_L que vai fluir pelo circuito de decisão para C1. Sendo o circuito de decisão diferencial apenas a carga em V_0 ou seu complementar, que é transferida para C1. Este desequilíbrio é amplificado por M2 e M3 que estabelecem o valor lógico à saída. Neste caso C1 atua como uma terra virtual [9].

2.2.1 Excursão de sinal

Um dos aspetos fundamentais desta tecnologia, que precisa de ser bem apreendido é a excursão de sinal lógico e o V_{swing} .

Na lógica binária CMOS convencional, a variação entre patamares lógicos varia de zero a V_{DD} , representando um V_{swing} igual a V_{DD} . No caso do DyCML existe um V_{swing} que é uma fração de V_{DD} . Enquanto o “1” lógico permanece a V_{DD} , o “0” lógico passa a ser $V_{DD}-V_{swing}$. Esta redução na variação entre patamares lógicos é um dos aspetos fundamentais do DyCML.

Por sua vez, a excursão de sinal lógico é definido como a relação entre V_{swing} relativamente a V_{DD} e é representado em percentagem. Enquanto na lógica convencional a excursão de sinal lógico tem o valor de 100%, no caso do DyCML a excursão de sinal é inferior andando normalmente na ordem dos 20%.

2.2.2 Dimensionamento da fonte de corrente dinâmica

Na implementação DyCML da figura 2.4, encontra-se um condensador denominado de C1. O dimensionamento do condensador C1 é um dos passos mais importantes da implementação, pois vai definir o V_{swing} [11] e por conseguinte o correto funcionamento do circuito.

Existem muitas maneiras de implementar este condensador no circuito. Neste caso, como é preciso implementar esta tecnologia em CMOS, o que se faz na prática é ligar um transístor, com dreno e fonte em curto-circuito como na figura 2.5.

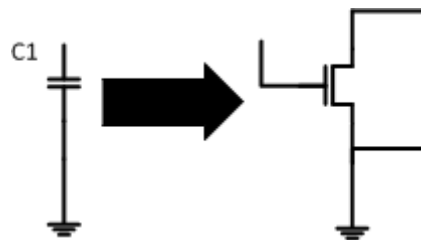


Figura 2.5 - Condensador nMOS

O valor desta capacidade C1 vai ter de ser suficiente para armazenar a carga que vem da saída e que depende de V_{swing} e da capacidade de saída C_L . Para efeitos de simulação C1 é representado por um condensador, no entanto a conversão para nMOS pode ser facilmente obtida através da equação 2.1.

$$C_1 = W_{C1} \times L_{C1} \times C_{ox} \quad (2.1)$$

O parâmetro C_{ox} é a capacidade existente entre a porta e o substrato por unidade de área. O L representa o comprimento do canal e o W a largura do canal do transístor.

Admitindo que se tem um W com as mesmas dimensões de L pode simplificar-se um pouco mais a equação anterior, obtendo a equação 2.2.

$$W_{C1} = L_{C1} = \sqrt{\frac{C_1}{C_{ox}}} \quad (2.2)$$

O valor de C_{ox} é um parâmetro da própria tecnologia empregue no fabrico dos transístores, que no caso da tecnologia AMS 350 nm aqui implementada, tem o valor de $4.6 \text{ fF}/\mu\text{m}^2$.

Na prática esta capacidade vai ser muito baixa e como tal esta técnica de implementação é a recomendada. Recorrendo a observações em *layout* conclui-se que em média ocupa 20% da área total de silício usado na implementação da porta lógica [12].

2.3 Implementação da lógica binária

A implementação da lógica binária presente em implementações como o SABL, MCML, *Differential Cascode Vage Switch Logic* (DCVSL) e *Differential Split-level Logic* (DSL) mantem-se inalterada no DyCML e já se encontra bem documentada [1], [10].

A lógica binária é composta por transístores nMOS emparelhados em modo diferencial, formando o PDN da lógica DyCML. Vendo à figura 2.4 encontra-se representado por um retângulo denominado “nMOS Source-Coupled Pairs Network”. Muito resumidamente é possível dividir em três métodos principais, sendo eles o diagramas de decisão binária (DDB), a estrutura diferencial e simétrica (EDS) e a estrutura não diferencial (END).

2.3.1 Diagramas de decisão binária (DDB)

Este método permite-nos obter facilmente a topologia nMOS de uma forma otimizada. Recorrendo a uma tabela de verdade obtém-se uma árvore binária, em que os pares diferenciais correspondem aos nós e os arcos correspondem à ligação entre dreno e fonte a outro par diferencial. Na figura 2.6 mostra-se um pequeno exemplo da obtenção de uma árvore binária simples.

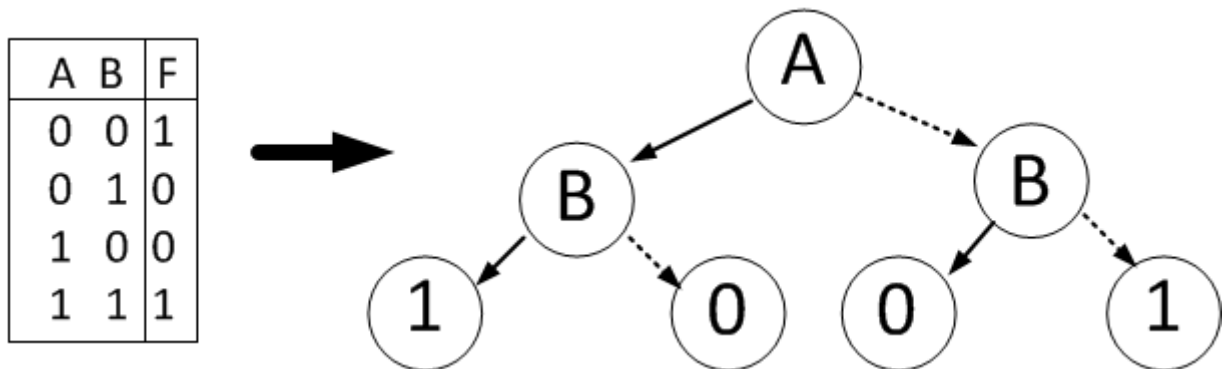


Figura 2.6 - Tabela de verdade e árvore binária correspondente

Através de regras de simplificação como a remoção de nós redundantes e resultados duplicados [13], obtém-se uma árvore binária mais simplificada. Finalmente substituem-se os nós da árvore, por pares diferenciais cuja entrada desse par é a variável do nó. Com isto obtém-se uma topologia do tipo PDN bastante eficiente. O único problema é que para determinadas funções podem originar uma topologia assimétrica, o que provoca uma discrepância nos tempos de propagação nas suas saídas [14].

2.3.2 Estrutura diferencial e simétrica (EDS)

O princípio de implementação deste método é obter uma cascata de vários andares. Cada andar representa um estágio diferente, e por cada andar temos 2^{n-1} pares diferenciais, sendo n o andar do estágio, como representado na figura 2.7.

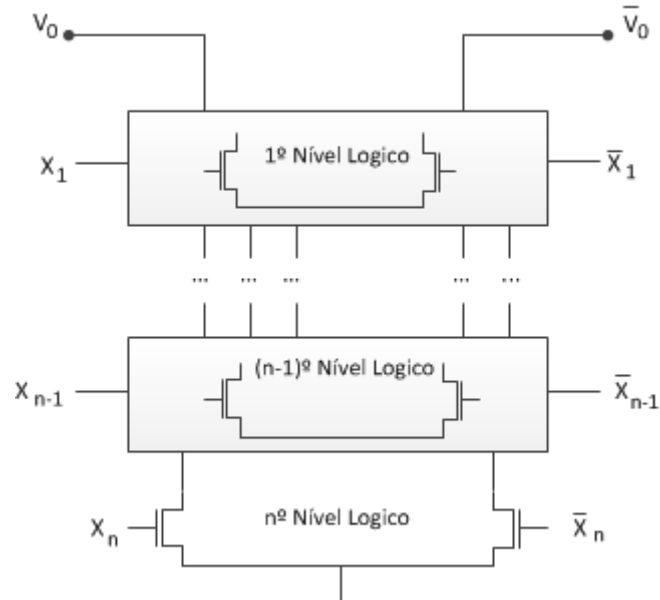


Figura 2.7 - Correspondência em entradas e níveis lógicos

Em estruturas EDS, é aplicada a teoria de associar transístores em série para obter um NAND, ou paralelo para obter uma NOR. Este método é um pouco mais difícil de implementar que o DDB [1],[10].

2.3.3 Estrutura não diferencial (END)

Este último método difere bastante dos dois anteriores. Parte de duas estruturas PDN complementares, cada uma ligada a uma saída diferente como na figura 2.8.

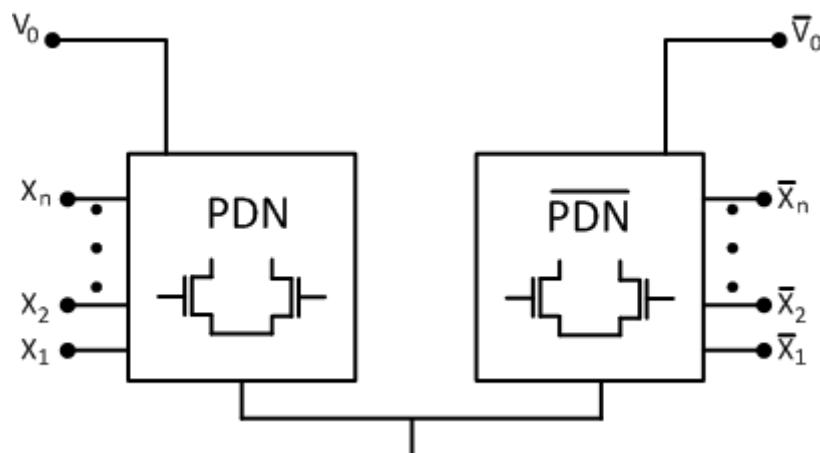


Figura 2.8 - Estrutura Não Diferencial

A regra de implementação de cada ramo é a de ligar em série, para obter uma AND, ou ligar em paralelo para obter OR. Infelizmente como têm de se incluir todas as entradas, acaba por ficar-se com muitos transístores interligados, o que leva a uma maior área ocupada o que implica uma menor eficiência [1],[10].

2.3.4 Comparação das implementações lógicas

De modo a ilustrar e comparar os diferentes modos de implementação lógica, admite-se que se pretende implementar uma função lógica $F = XY + YZ + \overline{X}YZ$. A saída é representada por F enquanto X,Y,Z são as entradas do bloco lógico. A figura abaixo ilustra os circuitos obtidos com cada um dos métodos referidos.

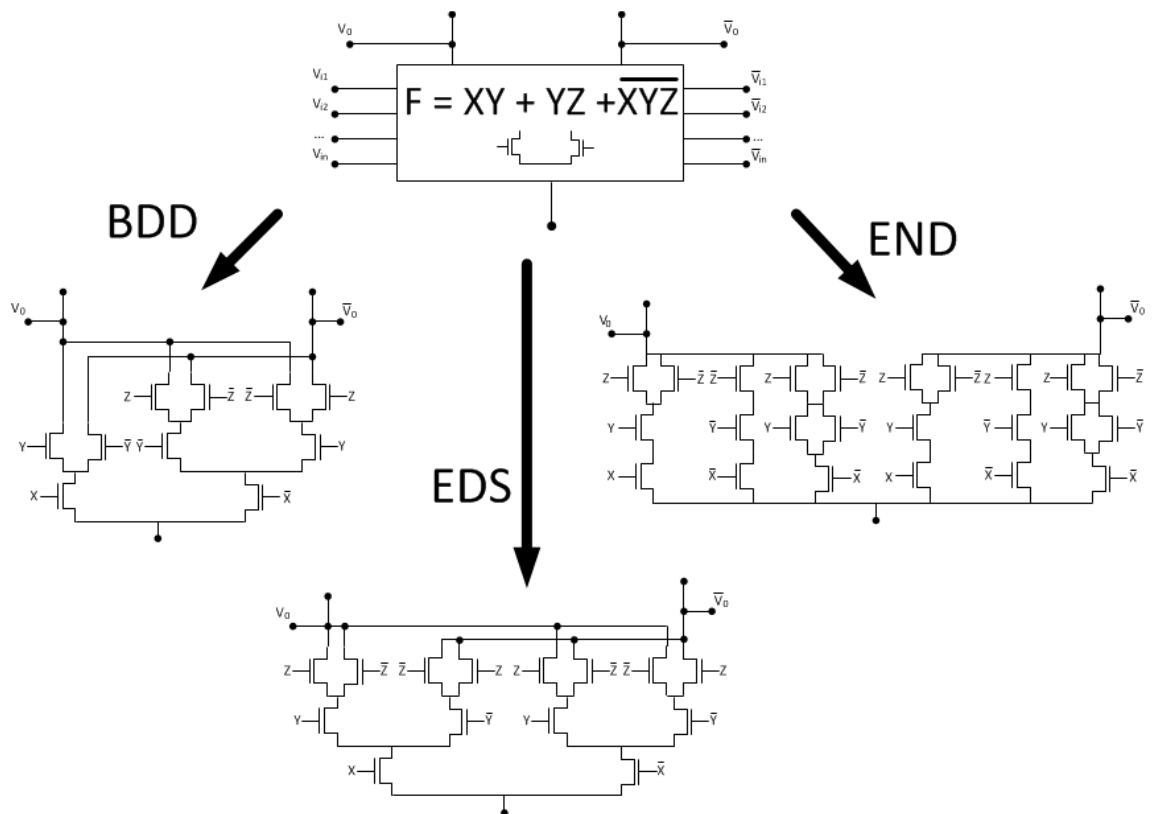


Figura 2.9 - Comparação entre DDB, EDS e END

Analisando a figura acima, observa-se que para uma mesma função, cada uma das implementações obtém um circuito diferente. Sendo o DDB o que ocupa menos área, o EDS ocupa um pouco mais de área, no entanto é simétrico, levando a tempos de propagação iguais na saída. Finalmente o método END que ocupa uma área bastante maior que os anteriores, não apresentando vantagens significativas.

2.4 Ligação entre circuitos DyCML

No caso de circuitos mais complexos, surge a necessidade de implementar vários circuitos DyCML em cascata, mantendo os consumos ao mínimo. Existem duas maneiras simples de fazer isto, conhecidas como atraso de relógio (CD) [15] e circuito auto-temporizado (ST).

2.4.1 Atraso de relógio (CD)

Nesta situação, um simples *buffer*, atrasa o sinal de relógio entre as implementações lógicas. O atraso de relógio tem de ser ligeiramente superior ao tempo de propagação da porta lógica, isto é, tem de se dimensionar o *buffer* admitindo o pior tempo de propagação do DyCML. Caso contrário existe a possibilidade da perda de valores lógicos entre portas lógicas invalidando o valor do Sinal de saída.

Na figura 2.10 encontra-se representado o método CD. O atraso de relógio pode ser ajustado através da tensão V_{ctl} e o seu valor, vai depender do tempo de propagação da porta lógica em paralelo.

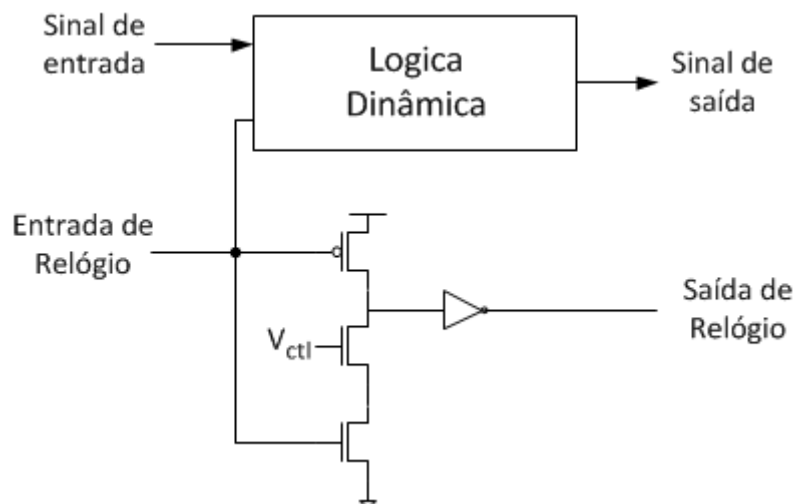


Figura 2.10 - Lógica dinâmica com Atraso de Relógio (CD)

2.4.2 Circuito auto-temporizado (ST)

No ST, a finalização do cálculo lógico despoleta o início da lógica seguinte. Na figura 2.11 essa sinalização é feita com recurso à tensão em C1, o que implica um reajustamento do seu valor. No entanto outro ponto do circuito pode ser usado e a sua escolha é deixada ao critério do projetista.

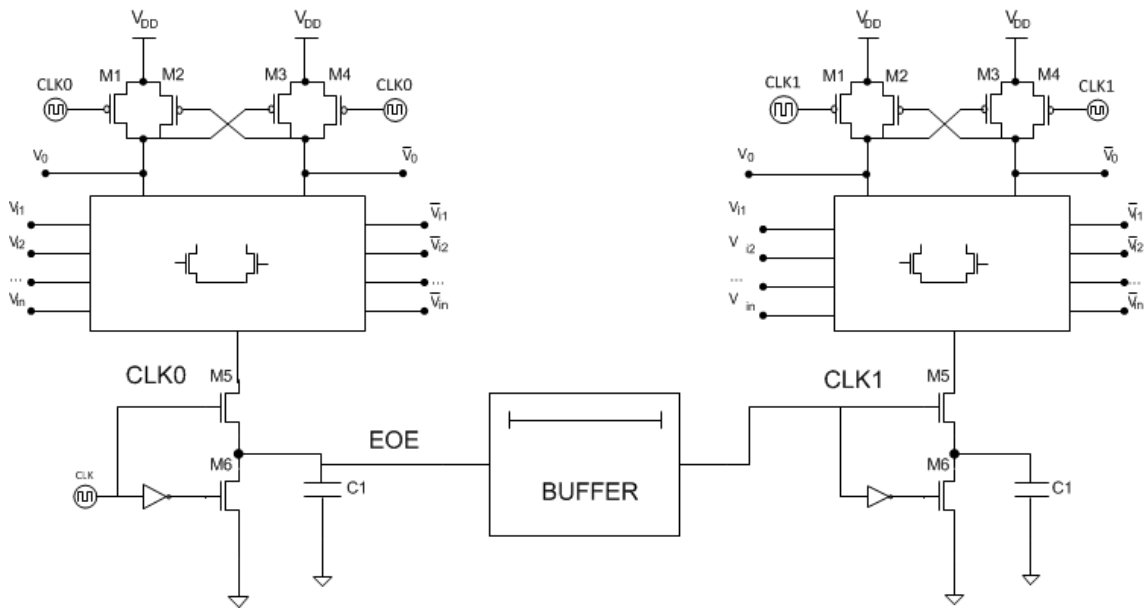


Figura 2.11 - Implementação do circuito auto-temporizado (ST)

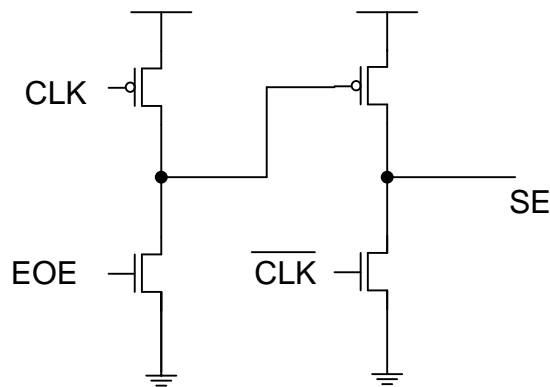


Figura 2.12 - Buffer auto-temporizado (ST)

Caso o EOE (fim de avaliação) seja ligado a C1, que sinaliza a conclusão do cálculo da lógica do DyCML, é necessário aumentar a excursão do sinal de modo a ser usado como sinal de relógio na lógica seguinte. Para isso recorre-se ao *buffer* da figura 2.12 que funciona do seguinte modo: quando EOE e o relógio estão ativos obtém-se V_{DD} à saída. Caso o sinal de relógio e o EOE estejam desativos o sinal fica a zero. SE por sua vez é ligado de modo a ser usado como relógio na lógica seguinte como observado na figura 2.11.

2.4.3 Comparação entre CD e ST

Relativamente às implementações anteriores, ambas são implementadas num somador com antecipação do bit de transporte (CLA) de 16 bit em $0,6\mu m$ CMOS [12] e verifica-se que o método do CD é mais rápido e consome menos quando comparado com o ST. Por conseguinte é o CD que se apresenta como o método mais recomendado para interligar as portas lógicas.

No entanto, como o ST apenas funciona quando a lógica interna e o relógio se encontram ativos, isto torna uma opção mais robusta a variações de temperatura e da fonte de alimentação que o CD.

2.5 Interligação entre DyCML e CMOS

De modo a facilitar o interface entre a saída do DyCML e a entrada da lógica CMOS é necessário um circuito adicional. Como a tecnologia DyCML faz uso de uma excursão de sinal lógico que é por norma inferior a cem por cento, é necessário um *buffer* que aumente a excursão (V_{swing}) [10].

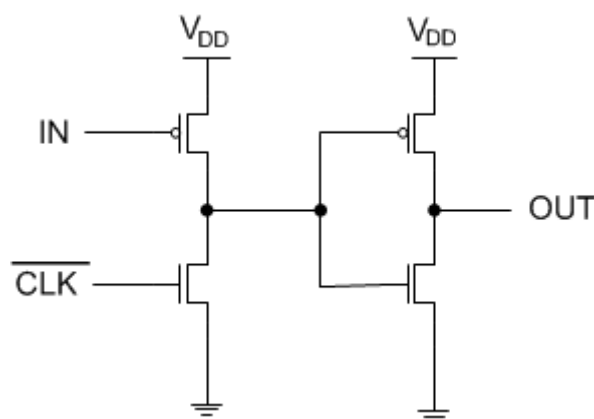


Figura 2.13 - *Differential-single ended buffer*

Para tal, basta fazer uso do sinal de relógio que já se encontra presente no circuito e ligar a um inversor CMOS como representado na figura 2.13.

Para conectar lógica CMOS para DyCML é relativamente simples, dado que as entradas desta tecnologia funcionam corretamente com valores diferenciais maiores que V_{swing} . Basta ligar todas as entradas aos seus equivalentes em CMOS, não havendo necessidade de recorrer a *buffers* ou qualquer outro tipo de circuito extra.

2.6 Comentário final

Neste capítulo é apresentado a origem da tecnologia DyCML e a lógica que culminou no seu desenvolvimento. É feita uma descrição do seu princípio de funcionamento e da sua implementação lógica. Refere-se também como implementar um pequeno condensador empregando a tecnologia CMOS. Ainda relativamente ao seu funcionamento são descritas algumas técnicas de implementação de funções lógicas, focando as suas vantagens e desvantagens.

São referenciados os métodos mais comuns empregues na interligação dos diversos blocos lógicos. Um dos aspetos mais importantes é garantir a coexistência da implementação DyCML com a lógica CMOS, como tal neste capítulo, é apresentado um método que permite a sua compatibilidade.

No capítulo seguinte, serão abordados os principais aspetos da implementação da tecnologia DyCML partindo do inversor e analisando as suas propriedades.

3 Implementação de portas lógicas DyCML

De modo a fazer uso de portas lógicas na lógica DyCML é importante estudar previamente todos os parâmetros de modo a auxiliar o projetista. Como um dos objetivos desta dissertação é o desenvolvimento de várias portas lógicas, é preciso analisar com grande detalhe todos os aspetos desta tecnologia com auxílio de ferramentas CAD e comparar com os respetivos modelos matemáticos.

Acima de tudo é importante identificar os parâmetros mais relevantes e analisar o seu comportamento. O objetivo final deste capítulo, é equipar os projetistas com ferramentas que permitam dimensionar circuitos em DyCML de uma forma simples e clara e prever o seu funcionamento.

3.1 O inversor DyCML

Um dos pontos de partida para a análise das características de uma nova tecnologia em CMOS é o inversor. Só após examinadas as suas características, é que se recomenda a análise de circuitos mais complexos. Na figura 3.1 está representado o inversor DyCML.

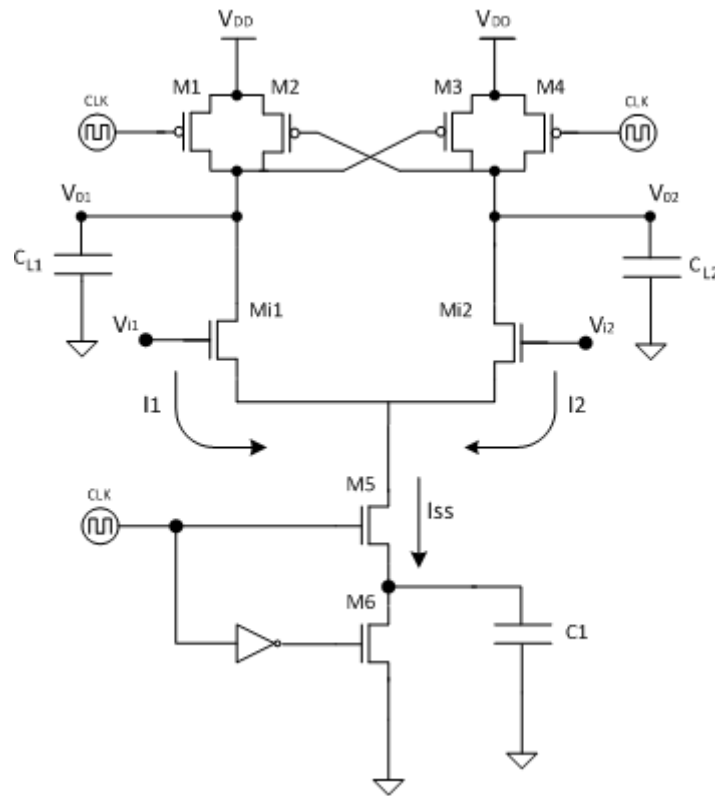


Figura 3.1 - Inversor DyCML

O princípio de funcionamento do inversor acima pode ser dividido em duas fases:

Pré-carga: (CLK=0) Nesta fase M1 e M4 estão a conduzir e M5 está ao corte de modo que as saídas C_{L1} e C_{L2} são carregadas a V_{DD} . Ao mesmo tempo M6 descarrega $C1$ sem interferir com o resto do circuito;

Cálculo: (CLK=1) Nesta fase é imposta uma discrepância nas tensões à entrada do inversor de modo que um dos ramos vai contribuir com uma corrente em $C1$. Os pMOS M2 e M3 servem para estabelecer o valor lógico da saída;

Durante a fase de cálculo a tensão nas gates dos transístores M_i será tal que $|V_{i1} - V_{i2}| > 0$. E devido à natureza diferencial do circuito, uma das correntes, I_1 ou I_2 , será quase nula. Ter-se-á assim uma saída V_0 a descer de V_{DD} para $V_{DD} - V_{swing}$ enquanto que a outra se mantém no valor de V_{DD} . Este efeito é auxiliado por M2 e M3.

3.2 Equivalente do circuito de saída na fase de pré-carga

Para o funcionamento do inversor, tem de se assumir que na fase anterior uma das saídas manteve o valor V_{DD} e a outra desceu até $V_{DD}-V_{swing}$. No final da fase de pré-carga tanto V_{01} como V_{02} deverão ficar a V_{DD} . O circuito equivalente de pré-carga encontra-se representado na figura 3.2.

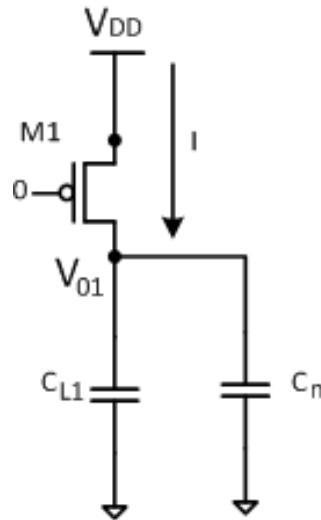


Figura 3.2 - Circuito pré-carga

O valor de C_n representa todas as capacidades internas do próprio inversor. Os seus valores dependem da tecnologia e da dimensão dos transístores e do valor de V_{GS} e V_{DS} de cada transístor. Isto implica que C_n não é um valor constante.

Analisar o corte lateral do nMOS da figura 3.3, permite perceber melhor de onde surge C_n . As capacidades representadas na figura, estão presentes nos transístores e são relevantes para os cálculos do tempo de propagação.

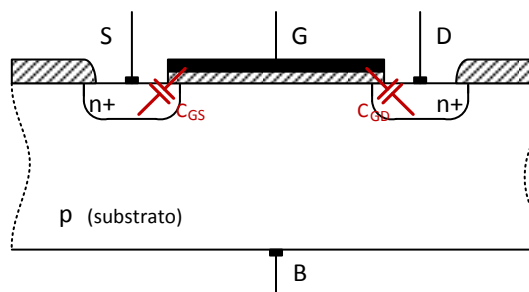


Figura 3.3- Capacidades de um nMOS

A impedância de Mi1 entre dreno e fonte é desconhecida, dado que a tensão na gate de Mi1 é um valor indefinido durante a fase de pré-carga. No entanto, essa tensão deverá encontrar-se entre V_{DD} e $V_{DD}-V_{swing}$ o que implica um V_{DS} relativamente baixo e consequentemente fornece corrente ao resto do circuito lógico. Isto é importante na pré-carga pois implica o fornecimento de corrente às capacidades internas do inversor que inflaciona o tempo de carga do circuito (tp_{LH}).

Através de uma simulação no Cadence é possível obter a variação da tensão em V_{01} e da corrente em Mi1, observável na figura 3.4.

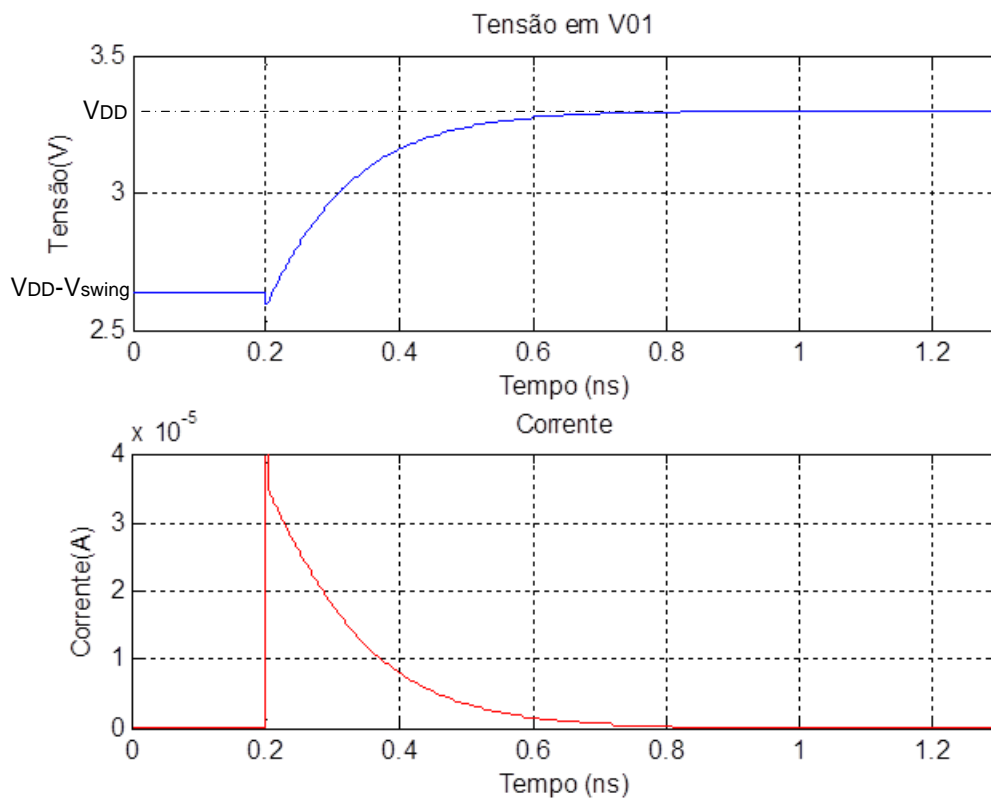


Figura 3.4 - Variação de tensão e corrente durante a pré-carga

Na figura acima pode observar-se a tensão V_{01} a aumentar, e no gráfico inferior, a corrente do circuito a diminuir. Este é o comportamento normal modelado por um circuito RC e é análogo ao comportamento do circuito na figura 3.2.

Como o pMOS M1 se encontra na região linear, o cálculo para a corrente do circuito de pré-carga é obtido pela equação 3.1

$$I = K [(V_{GS} - |V_T|) V_{DS} - \frac{1}{2} V_{DS}^2]; \quad V_{DS} < V_{GS} - |V_T| \quad (3.1)$$

A transcondutância de um MOSFET é representada pelo fator K e pode ser obtida com a equação 3.2. Os fatores W_p e L_p são respetivamente a largura e comprimento do canal do transístor M1. Cox é um parâmetro da própria tecnologia empregue no fabrico dos transístores e representa a capacidade porta-substrato por unidade de área. O μ é a mobilidade dos portadores de carga.

$$K = \frac{1}{2} \mu_p C_{OX} \frac{W_p}{L_p} \quad (3.2)$$

Sabendo que o relógio encontra-se no potencial zero, a impedância do pMOS M1 é obtida pela equação 3.3.

$$R_{M1} = \frac{V_{DS}}{I} \approx \frac{1}{K (V_{GS} - |V_T|)} ; \quad V_{GS} = V_{DD} \quad (3.3)$$

O valor de C_n é um parâmetro do inversor DyCML dependente de vários fatores que precisam de ser analisados individualmente. O valor de C_n é obtido pelo somatório das capacidades nos drenos de Mi1 e M1 que se encontram nas seguintes equações [16]

$$C_n = C_{GD,Mi1} + C_{DB,Mi1} + C_{GD,M1} + C_{DB,M1} \quad (3.4)$$

A capacidade entre a porta e dreno para Mi1 é dada por 3.5 em que x_d é denominada por difusão lateral e é um parâmetro da tecnologia utilizada. O x_d representa a distância da sobreposição que ocorre na fonte e no dreno com o óxido da porta.

$$C_{GD,Mi1} = C_{ox} x_d W_n \quad (3.5)$$

A capacidade entre o dreno e o substrato de Mi1 é calculado por 3.6 em que L_D é o comprimento do dreno. A grandeza C_j representa a capacidade de área da junção sob condições de polarização nula e C_{jsw} é a capacidade por unidade de perímetro da junção lateral da região de depleção do MOSFET.

$$C_{DB,Mi1} = K_{j,n} C_{j,n} (2L_{D,n} + 2W_n) + K_{j,sw,n} C_{jsw,n} (W_n L_{D,n}) \quad (3.6)$$

Como M1 está linear, a capacidade entre a porta e dreno do pMOS M1 é deduzido por 3.7 em que $A_{bulk,max}$ é uma constante e dependente apenas da tecnologia implementada [17].

$$C_{GD,M1} = C_{ox} x_d W_p + \frac{3}{4} A_{bulk,max} W_p L_p C_{ox} \quad (3.7)$$

A capacidade entre dreno e substrato do pMOS M1 é obtido pela equação 3.8 em que se soma as contribuições da junção da base e da junção lateral.

$$C_{DB,M1} = K_{j,p} C_{j,p} (2L_{D,p} + 2W_p) + K_{j,sw,p} C_{jsw,p} (W_{D,p} L_{D,p}) \quad (3.8)$$

Os valores obtidos nas equações acima, são linearizados pelo coeficiente K_j que é definido na equação 3.9.

$$K_j = \frac{\phi^m}{V_1 - V_2} \left[\frac{(\phi - V_1)^{1-m}}{1-m} - \frac{(\phi - V_2)^{1-m}}{1-m} \right] \quad (3.9)$$

Os parâmetros da equação 3.9 são o ϕ que representa o potencial da junção e m o coeficiente que classifica o tipo de junção quanto à dependência com a tensão aplicada. V_1 é a tensão mínima aplicada à junção e V_2 a tensão máxima aplicada à junção [18],[19]. Isto implica uma dependência da capacidade C_n com V_{GS} e V_{DS} .

Na fase de pré-carga, o valor da tensão na saída V_{01} pode ser obtido por 3.10 em que $C = C_L + C_n$ e o R é calculado pela equação 3.3.

$$V(t) = V_{DD} - V_{swing} e^{-\frac{t}{RC}} \quad (3.10)$$

A condição de funcionamento inicial para obter a curva de carga da figura 3.4 é que a fase de cálculo impõe $V_{DD} - V_{swing}$ na saída V_{01} algo que será abordado de seguida no subcapítulo 3.3.

3.3 Equivalente do circuito na fase de cálculo

Nesta fase ambas as saídas estão a V_{DD} devido à fase anterior de pré-carga. A entrada V_{i1} tem o valor V_{DD} e a entrada V_{i2} tem $V_{DD} - V_{swing}$ representando o “1” e o “0” lógico de cada entrada do inversor. O equivalente do circuito inversor DyCML para a fase de cálculo encontra-se representado abaixo:

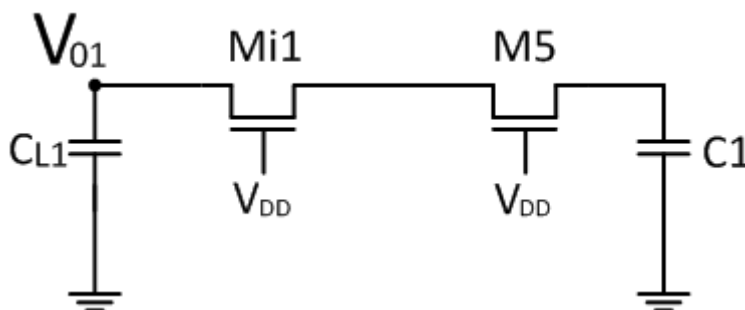


Figura 3.5 - Circuito de cálculo

No início da fase de cálculo, o nMOS M_{i1} encontra-se na região de saturação de modo que uma parte da carga de C_{L1} é transferida para $C1$ passando a tensão em C_{L1} a tender para a

tensão de C1. Como o V_{DS} de M5 tende para zero no infinito, Mi1 permanece saturado caso $V_{swing} < V_{TN}$.

Para valores de excursão de sinal mais elevados, na ordem do V_{Tp} , o nMOS Mi1 pode transitar para a região linear ficando com um V_{DS} muito pequeno. No caso da tecnologia AMS de 350 nm com um V_{DD} de 3.3 V o valor de $|V_{Tp}|$ é de 0.86V.

Partindo do princípio de conservação de carga e sabendo que $Q_{C1} = C1 \times \Delta V_{C1}$ tem-se a seguinte expressão:

$$C_L \times V_{swing} = C1 \times V_{C1} \quad (3.11)$$

Na fase de cálculo a tensão em C1 varia de zero até V_{C1} . Reorganizando a expressão anterior obtém-se a equação 3.12 que relaciona as capacidades com as tensões.

$$\frac{C1}{C_L} = \frac{V_{swing}}{V_{C1}} \quad (3.12)$$

O valor da tensão V_{C1} no final da fase de cálculo pode tomar um de dois valores que implicam dois comportamentos distintos da excursão de saída V_{swing} .

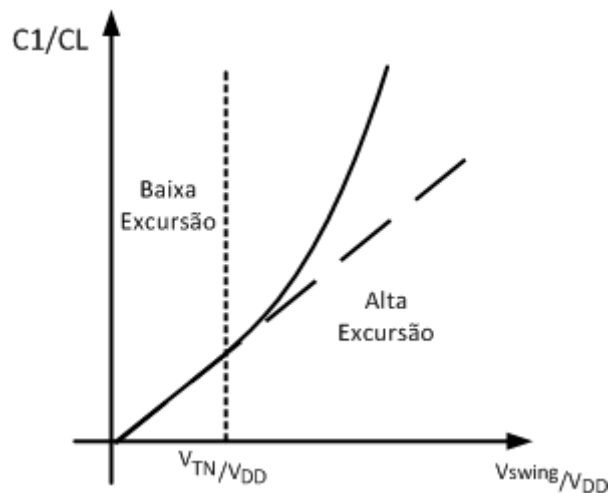


Figura 3.6 - Excursão de saída

Para valores de excursão de saída baixos existe um comportamento linear, no entanto, ao entrar na zona de alta excursão do lado direito, esse comportamento altera-se adquirindo a forma exponencial observada na figura 3.6.

3.3.1 Alta excursão de saída

Admitindo que se obtém $V_{swing} > V_{TN}$, encontramos-nos nas condições em que se tem uma saída com excursão elevada, situada no lado direito do gráfico da fig. 3.6. Para chegar a esta condição é necessário impor uma relação $C1/C_L$ próxima da unidade (>10%).

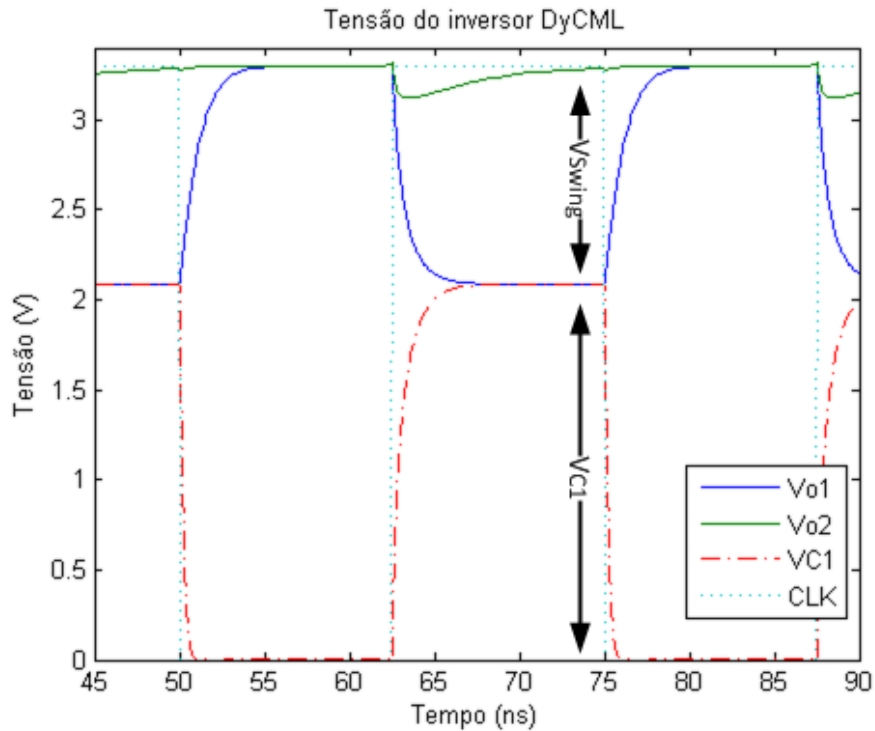


Figura 3.7 - Alta excursão de saída

Para obter o V_{swing} de 1.2V, patente na figura 3.7, é escolhido um $C1$ de 35 fF e um C_L de 50 fF. Como o V_{TN} é de 0.96 V a condição de alta excursão é garantida. Nesta situação V_{01} parte de V_{DD} para $V_{DD}-V_{swing}$. No final da fase de cálculo $V_{swing} \approx V_{C1}$ e o V_{DS} de M5 é aproximadamente nulo. Nestas condições $V_{C1} = V_{DD} - V_{swing}$ que substituindo na equação 3.12 obtém-se a relação de alta excursão:

$$\frac{C1}{C_L} = \frac{V_{swing}}{V_{DD}-V_{swing}} = \frac{V_{swing}/V_{DD}}{1-V_{swing}/V_{DD}} \quad (3.13)$$

A equação anterior permite calcular o valor da capacidade $C1$ de modo a impor o valor da excursão de saída nas condições de alta excursão.

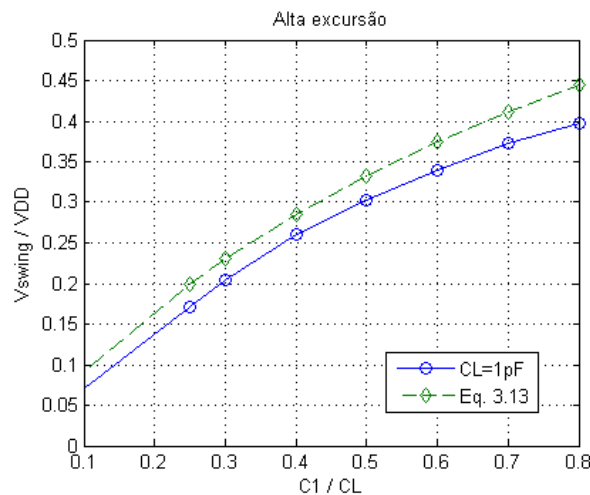


Figura 3.8 - Leituras de alta excursão

De modo a verificar a validade da equação 3.13 foi comparado em simulador, usando um C_L de 1 pF e um V_{DD} a 3.3 V, com o valor esperado pela equação. Existe uma pequena disparidade entre os valores simulados e a equação de alta excursão. Isto acontece por não ter sido considerada a corrente I_2 que surge no ramo oposto no início da fase de cálculo que precisa de ser acomodada em C_1 [9]. Usando esta equação é necessário proceder a um aumento de C_1 de modo a acomodar esta corrente extra.

Se for necessário obter valores de excursão de saída reduzidos é preciso adaptar a equação como visto de seguida.

3.3.2 Baixa excursão de saída

Para um $V_{swing} < V_{TN}$, encontramos-nos nas condições de saída com excursão reduzida, situada no lado esquerdo do gráfico da figura 3.6. Para chegar a esta condição é preciso impor uma relação C_1/C_L reduzida (<10%).

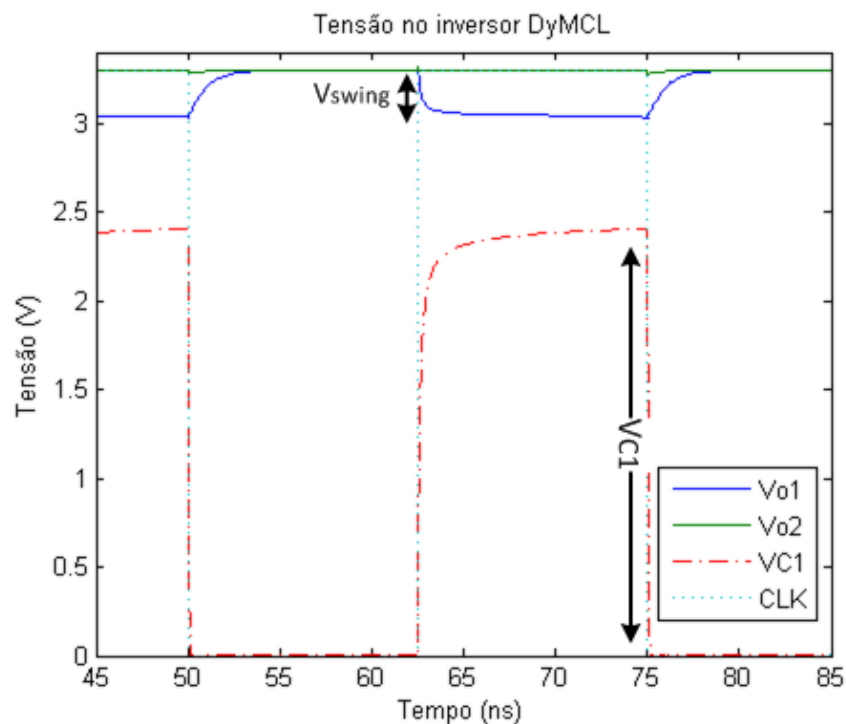


Figura 3.9 - Baixa excursão de saída

Para obter o V_{swing} de 0.26V da figura anterior é escolhido um C_1 de 5fF e um C_L de 50fF. O valor de V_{TN} é 0.96V garantindo a condição de baixa excursão. Nesta situação dado que o transistor M_5 tem de estar no mínimo condutor implica um $V_{GS5} \approx V_{TN}$ e no final da fase de cálculo C_1 fica carregado a $V_{DD} - V_{TN}$, logo:

$$\frac{C_1}{C_L} = \frac{V_{swing}}{V_{DD} - V_{TN}} = \frac{V_{swing}/V_{DD}}{1 - V_{TN}/V_{DD}} \quad (3.14)$$

A equação 3.14 permite concluir que C_1 depende linearmente de V_{swing} . Para obter o valor da capacidade C_1 para baixas excursões de sinal é empregue a equação anterior.

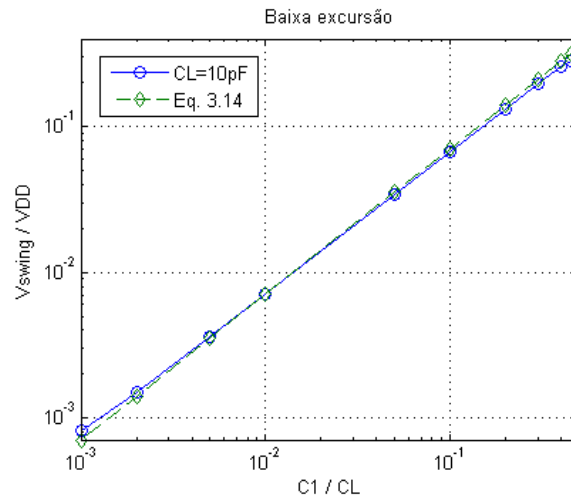


Figura 3.10 - Leituras de baixa excursão

De modo a facilitar a comparação entre a equação 3.14 e os valores obtidos no simulador, o gráfico da figura 3.10 recorre a uma escala logarítmica em que C_L implementado é 10pF e o V_{DD} mantém-se a 3.3 V. Para valores baixos na excursão de saída a equação 3.14 permite estimar adequadamente o valor de C_1 necessário para realizar o V_{swing} pretendido.

3.3.3 Funcionamento da *latch* (transístores M2 e M3)

Estes transístores garantem o valor correto de V_{DD} numa das saídas durante a fase de cálculo. Logo que uma das saídas tome o valor de $V_{\text{DD}} - |V_{\text{TP}}|$ um dos transístores M2 ou M3 (que forma uma *latch* regenerativa) força a outra saída a tomar o valor de V_{DD} ficando a primeira livre para assumir o valor $V_{\text{DD}} - V_{\text{swing}}$.

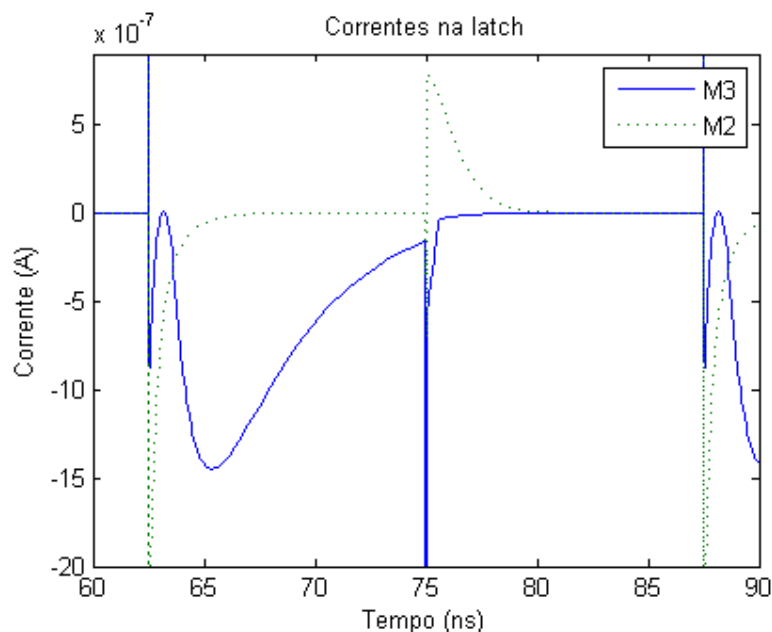


Figura 3.11 - Corrente no dreno dos pMOS M2 e M3

De modo a compreender melhor o funcionamento dos pMOS M2 e M3 voltemos ao exemplo da alta excursão de saída da figura 3.7. Nessa figura observa-se a tensão V_{02} a diminuir no início da fase de cálculo ($CLK=1$) e depois a subir para o valor de V_{DD} . A razão pela qual o valor de V_{02} sobe deve-se à corrente que passa no dreno de M3 patente na figura 3.11, garantido assim o valor correto na saída V_{02} .

Na figura anterior é possível observar picos de corrente aos 62.5, 75 e 87.5 ns. Estes picos ocorrem durante as transições de relógio devido a ocorrer um curto-circuito entre V_{DD} e a terra no momento da transição. Isto acontece devido aos transístores M1, M2, M5 e M6 ficarem todos a conduzir durante a transição de relógio [20]. Os efeitos desta corrente refletem-se no consumo do circuito [21] e podem ser reduzidos diminuindo os tempos de subida e descida do sinal de relógio (10 ps nesta simulação). Uma maneira de erradicar completamente este efeito é modificar o sinal ligado à porta de M6 de modo a este ficar ativo durante períodos de tempo mais curtos efetuando a descarga de C1 durante a fase de pré-carga, como de costume, mas usando um sinal de relógio com períodos de *ON* (V_{DD}) mais curtos que a *OFF* (zero). Isto implica ter um relógio com *duty-cycle* diferente que o usado na lógica do circuito (usando *non-overlapping clocks*).

3.4 Dimensionamento do inversor para uma excursão típica

Pode ver-se de seguida o gráfico da tensão no circuito com os parâmetros V_{DD} de 3.3 V e com uma excursão de sinal típico de 20% [12] em maior detalhe. A variação de tensão que se observa na figura 3.12 é a que ocorre no início da fase de cálculo do inversor DyCML.

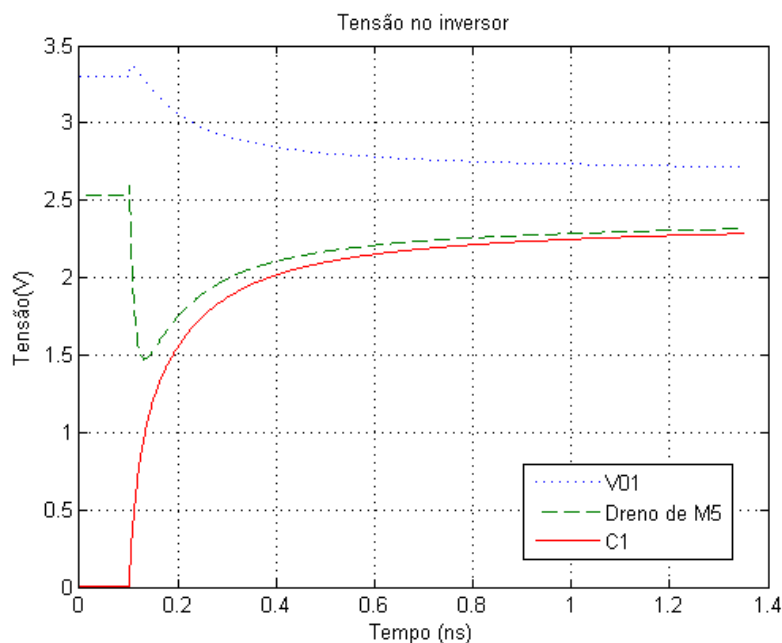


Figura 3.12 - Análise temporal da tensão durante a fase de cálculo

Na figura anterior verifica-se que a tensão V_{01} , inicialmente a $V_{DD} = 3.3 \text{ V}$, decresce até $V_{DD} - V_{\text{swing}}$. Entretanto a tensão no dreno de M5 diminui até à tensão do condensador C1 e acompanha-a até perto de anular $V_{DS,M5}$.

A partir da figura 3.12 confirma-se que M5 se encontra na região linear e o nMOS de entrada Mi1 permanece saturado. A figura 3.13 permite observar a variação de corrente que ocorre no inversor durante o mesmo intervalo de tempo do gráfico da figura 3.12. Mais um vez refere-se ao início da fase de cálculo.

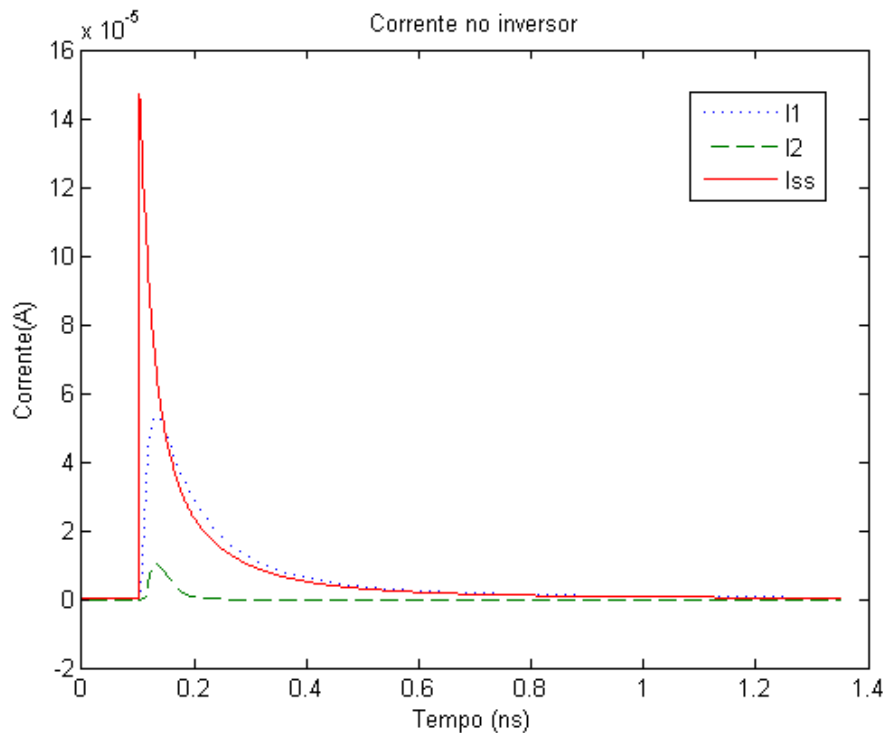


Figura 3.13 - Análise temporal da corrente durante a fase de cálculo

No início da fase de cálculo, pode observar-se I_{SS} no dreno de M5 o que implica a descarga da capacidade C_n do circuito e da capacidade de saída C_L . Pode ver-se a variação de I_1 que implica a descarga do C_L . Observa-se também uma pequena corrente I_2 que tem origem no ramo oposto.

De reparar que a corrente I_{SS} inicial é mais alta que o somatório de I_1 com I_2 . Este efeito é causado pela descarga das capacidades do circuito. Este valor depende da capacidade interna do circuito e varia com o tamanho, a tecnologia e com a tensão à entrada da porta do nMOS.

Agora que o comportamento do circuito encontra-se bem definido é necessário analisar o comportamento da saída para um C_L típico [10] de 10 fF . O gráfico seguinte compara os valores estimados matematicamente pela equação 3.13, com os valores obtidos por simulação

em Cadence no Spectre. Para isso mantem-se constante a capacidade de saída C_L enquanto se varia o valor de C_1 com uma tensão de alimentação de 3.3 V.

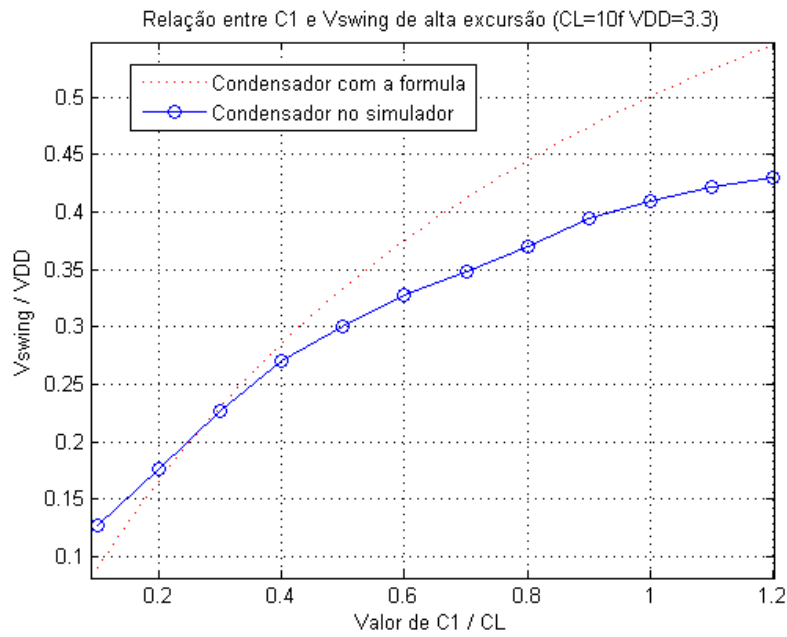


Figura 3.14 - Relação de C_1 com a excursão de sinal

Pelo gráfico obtido acima observa-se uma concordância entre a fórmula e o simulador, para uma excursão de sinal de 20%. Esta excursão de sinal é a usada comumente nas tecnologias de baixa excursão de sinal lógico [22] e referido como o valor ótimo a usar no caso da implementação DyCML.

Fixando o valor da excursão de sinal à saída nos 20% na equação 3.13 e obtendo o valor de C_1 para um dado C_L , obtém-se o seguinte gráfico no Cadence para um V_{DD} de 3.3 V:

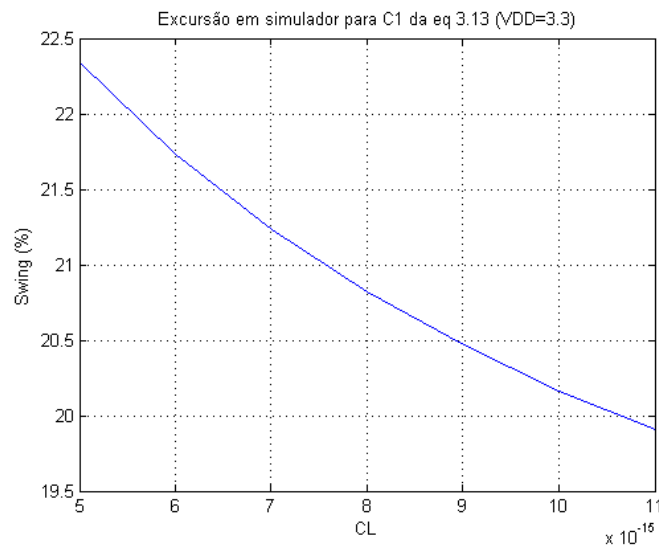


Figura 3.15 - Variação de excursão de sinal com C_L

Embora os valores não sejam exatamente a 20%, verifica-se que a equação 3.13 é uma boa aproximação para a obtenção do valor de C_1 . Isto permite-nos simplificar ainda mais a fórmula, dado que 20% é a excursão de sinal desejado, obtém-se finalmente a relação da equação 3.15 que permite o cálculo rápido de C_1 :

$$C_1 = 0,25 \times C_L \quad (3.15)$$

A equação acima é uma excelente regra de bolso para implementação de circuitos em DyCML e será usada para estimar o valor de C_1 para excursões de sinal de 20%.

3.5 Tempos de subida e descida

Agora que se tem uma aproximação válida da relação entre V_{swing} e C_1 , pode obter-se uma aproximação para o tempo de carga e descarga de C_L à saída do inversor. Enquanto o tempo de descida t_f pode ser obtido na fase de cálculo o tempo de subida t_r obtém-se na fase de pré-carga. Esta métrica é importante pois permite estimar a máxima frequência de funcionamento do circuito calculando $1/(t_f+t_r)$. Como tal é necessário definir as impedâncias e capacidades presentes no circuito.

Na fase de pré-carga, o valor de $C = C_L + C_n$ e R_S é calculado pela equação 3.3. O valor percentual x representa o valor que se pretende atingir da curva de carga, por norma possui os valores 0.1 ou 0.9.

$$t_{subida,x\%} = -R_S C \times \ln \frac{((V_{DD} - (1-x)V_{swing}) - V_{DD})}{(V_{DD} - V_{swing}) - V_{DD}} \quad (3.16)$$

De seguida temos a fase de cálculo situação em que é um pouco mais difícil obter a função do tempo de descarga pois o valor encontra-se dependente de mais fatores. Numa primeira aproximação considera-se o valor da resistência R_d igual à soma das resistências de dreno de M_{i1} e M_5 em serie:

$$R_d = R_{M_{i1}} + R_{M_5} \quad (3.17)$$

Para calcular R_{M_5} vai considerar-se o início da descarga com M_5 linear e como tal, a resistência entre dreno e fonte deste transistor é

$$R_{M5} = \frac{1}{k} \frac{1}{(V_{GS} - V_T)} \quad (3.18)$$

A transcondutância de um MOSFET é dada por:

$$K = \frac{1}{2} \mu_n C_{OX} \frac{W_n}{L_n} \quad (3.19)$$

O comportamento do nMOS M5 durante a fase de cálculo, encontra-se representado na figura 3.16.

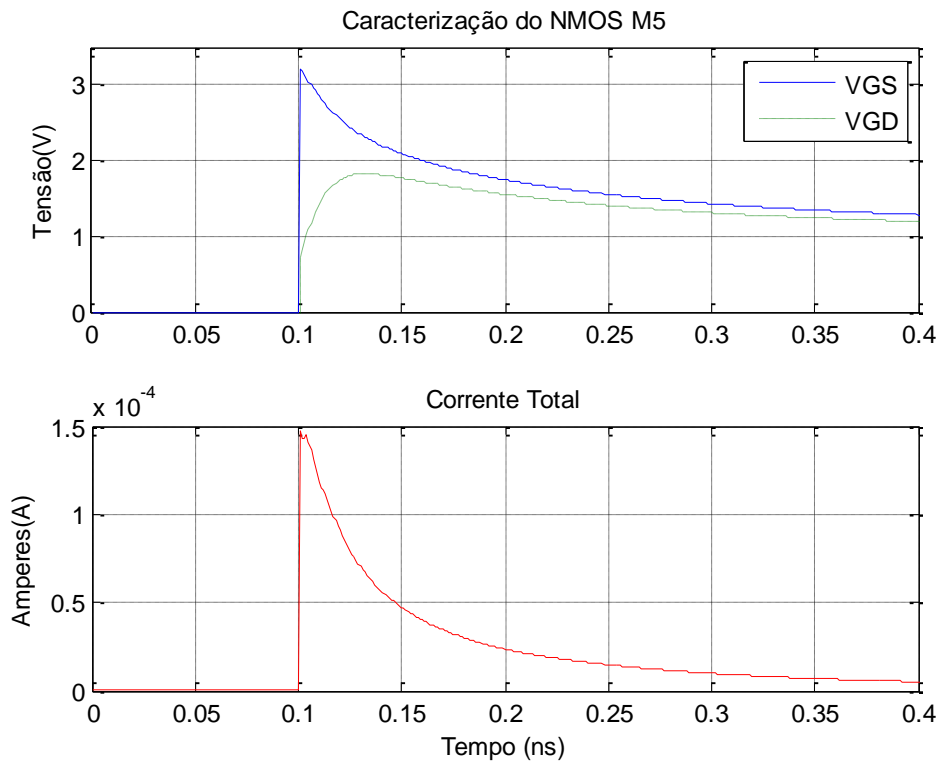


Figura 3.16 - Análise do nMOS M5

A região de interesse é durante a descarga da corrente, e a sua relevância é diretamente proporcional ao seu valor. Pode verificar-se que $V_{GD,M5} > V_{Tn}$ (com $V_{TN} = 0.96$ V) deste modo iremos considerar M_5 como estando na região linear durante toda a descarga, para efeitos de simplicidade. Após algumas simulações obtém-se a média V_{GS} para a região de interesse, de modo a substituir na equação 3.18 de forma a obter a equação 3.20.

$$R_{M5} = \frac{1}{k} \frac{1}{\left(V_{DD} - \frac{V_{swing}}{2} - V_T \right)} \quad (3.20)$$

Falta agora definir R_{Mi1} o que pode ser um pouco difícil, dado a variação de tensão tanto no seu dreno como na sua fonte. Mais uma vez usando o simulador Cadence pode observar-se a relação entre a queda de tensão em $RMi1$ e $RM5$.

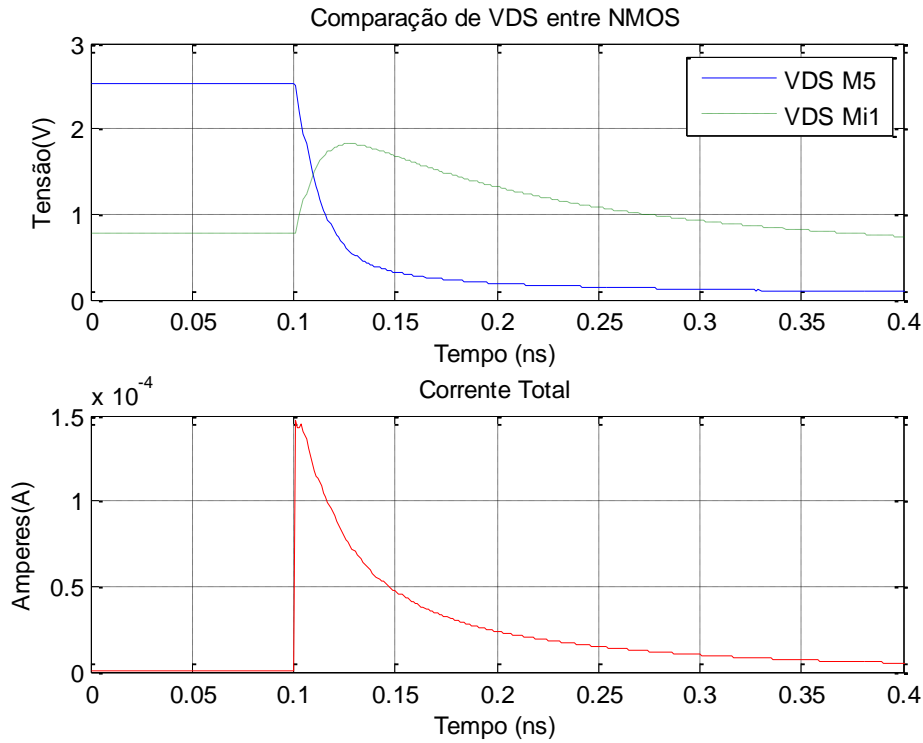


Figura 3.17 - Comparação dos nMOS M5 e Mi1

Embora V_{DS} de M5 seja superior a V_{DS} de Mi1 no início da descarga, rapidamente a situação se inverte, ficando o V_{DS} de Mi1 muito superior a M5. Deve ter-se em atenção, que a relevância destes valores é diretamente proporcional ao valor da corrente, que indica a imposição do valor lógico final. Tendo em conta tudo isto, simulações demonstram que a tensão de V_{DS} de Mi1 é em média o dobro de M5 tendo em conta a predominância da corrente, algo que pode ser observável no gráfico anterior e em maior detalhe no gráfico 3.18.

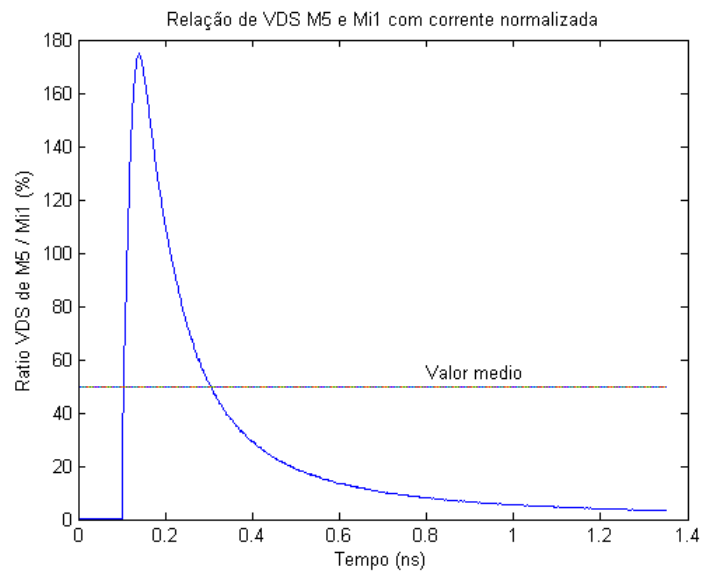


Figura 3.18 - Relação de VDS entre M5 e Mi1

Para a simulação acima tem de se normalizar a corrente total, de zero a cem por cento, de modo a obter uma relação entre M_5/M_{i1} percentil. Sabendo que existe a relação de proporção direta, entre tensão e resistência pode definir-se o valor de $R_{M_{i1}}$:

$$R_{M_{i1}} = 2 \times R_{M_5} \quad (3.21)$$

No estágio de cálculo, inicia-se a descarga para uma terra virtual e tem-se o nMOS de entrada em saturação e o nMOS M_5 linear. Considerando o tempo de descarga final a x percentual do valor final da tensão da excursão de sinal à saída, obtendo-se finalmente a equação 3.22.

$$t_{descida\ x\%} = -R_d C_L \times \ln \frac{(2-x)(V_{DD} - V_{swing}) - (V_{DD} - V_{swing})}{V_{DD} - (V_{DD} - V_{swing})} \quad (3.22)$$

Mais uma vez as expressões 3.16 e 3.22 presentes neste subcapítulo não são livres de erro. Testes em Cadence demonstram que a comparação de $t_{subida,90\%} - t_{subida,10\%}$ com o t_r do simulador apresenta um erro máximo de 6% enquanto $t_{descida,10\%} - t_{descida,90\%}$ com o t_f apresenta um erro máximo de 23%. Em ambas as situações os modelos matemáticos são mais otimistas que os resultados no simulador. Comparativamente, o modelo matemático dos tempos de propagação usado em [16] tem um erro máximo de 30% e de 20% no modelo em [17], embora ambos para um inversor SCL que difere do DyCML.

3.6 Efeitos secundários de interesse

3.6.1 Capacidades parasita

Até agora foi admitido que toda a descarga é feita através de uma terra virtual, fornecida por C1. No entanto seria de esperar alguma influência por parte das capacidades parasitas. Efetivamente subsiste uma excursão de sinal à saída, mesmo quando C1 é nulo e é formado principalmente pelas capacidades entre M5 e M6 como pode ser observado na figura 3.19.

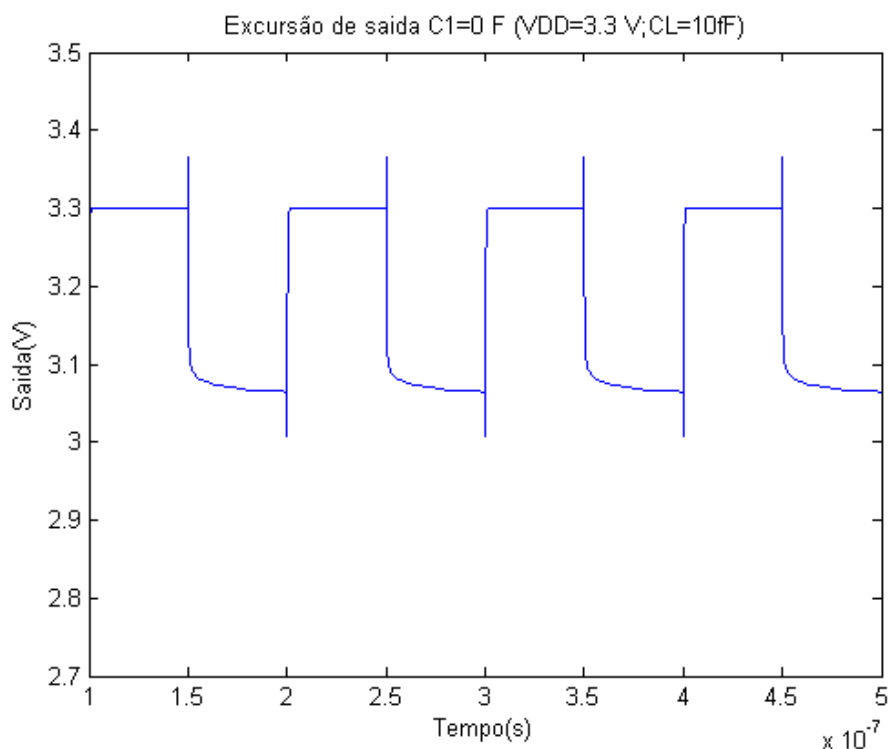


Figura 3.19 - Variação da excursão de saída causado pela redistribuição de cargas

No gráfico da figura 3.19 regista-se uma excursão de sinal de 7% à saída do inversor e isto é demonstrativo da capacidade de carga que se consegue armazenar entre M5 e M6 para um C_L de 10 fF. Embora estes valores pareçam muito altos, trata-se do caso de um simples inversor com uma capacidade de saída na ordem das capacidades parasitas entre dreno e fonte de nMOS. Caso contrário, o seu impacto no circuito é atenuado. Testes em simulador demonstram que ao aumentar C_L para 1 pF com C1 nulo, praticamente anulam este efeito de redistribuição.

Assim, tanto C1 como C_L podem vir aumentadas do efeito das capacidades parasitas. Estas podem resultar das capacidades das interligações, ou do número de transístores que estejam associados. C1 é afetado pelas capacidades intrínsecas de M5 e M6. Por sua vez C_{L1} é afetado por capacidades de interligação, entradas de outras portas e dos transístores Mi1, M1 e M3.

O efeito destas capacidades é mais pronunciado para valores baixos de C_L e C_1 como os da figura 3.19, pelo que será necessário algum cuidado ao dimensionar estas capacidades. As equações anteriores devem vir aumentadas deste efeito da seguinte forma:

$$\frac{C_1 + \Delta C_1}{C_{L1} + \Delta C_{L1}} = \frac{V_{swing}}{V_{C1}} \quad (3.23)$$

$$\frac{C_1}{C_{L2}} \times \frac{1 + \Delta C_1 / C_1}{1 + \Delta C_{L1} / C_{L1}} = \frac{V_{swing}}{V_{C1}} \quad (3.24)$$

Em que $\frac{1 + \Delta C_1 / C_1}{1 + \Delta C_{L1} / C_{L1}}$ na equação 3.24 a que chamaremos fator de conectividade. No caso particular em que $\Delta C_1 / C_1 \approx \Delta C_{L1} / C_{L1}$ o efeito das capacidades parasita é cancelado.

Por outro lado se $\Delta C_1 / C_1$ e $\Delta C_{L1} / C_{L1}$ forem ambas muito menores que um, o seu efeito é negligenciável.

3.6.2 Efeito de corpo

O papel de V_{TN} e de $|V_{TP}|$ no desempenho destes circuitos não é desprezável. Enquanto $|V_{TP}|$ limita a mínima excursão do sinal de saída o V_{TN} pode impor uma variação no seu comportamento.

Os transístores pMOS não são afetados pelo efeito de corpo. Contudo o mesmo não acontece com os transístores nMOS. Em específico Mi1, Mi2 e M5 podem ser afetados pelo efeito de corpo de formas distintas. Enquanto Mi1 e Mi2 podem ser obtidos pela equação 3.25

$$V_{TN} = V_{TN0} + \gamma(\sqrt{\phi_f + V_0} - \sqrt{\phi_f}) \quad (3.25)$$

O valor da tensão limiar do transístor M5 pode ser obtido pela seguinte equação:

$$V_{TN} = V_{TN0} + \gamma(\sqrt{\phi_f + V_{C1}} - \sqrt{\phi_f}) \quad (3.26)$$

Em que ϕ_f é o potencial de Fermi do substrato e γ é o fator de efeito de corpo e V_{TN0} é a tensão de limiar com $V_{SB} = 0$ [23]. No caso da tecnologia AMS 350 nm com nMOS de tamanho mínimo V_{TN0} é de 0.46 V e fator de efeito de corpo γ é 0.58.

3.6.3 Impacto do *fan-out*

As capacidades de carga C_{L1} e C_{L2} dependem das interligações e das capacidades de entrada de portas que sejam ligadas às saídas V_{01} e V_{02} . O aumento ou diminuição de C_L impõe uma variação na excursão do sinal de saída. No caso do cálculo da alta excursão a excursão de sinal pode ser calculada por:

$$\frac{V_{\text{swing}}}{V_{\text{DD}}} = \frac{C_1/C_L}{1 + C_1/C_L} \quad (3.27)$$

Enquanto que no caso da baixa excursão o seu impacto é expresso pela seguinte equação:

$$\frac{V_{\text{swing}}}{V_{\text{DD}}} = \frac{C_1}{C_L} \left(1 - \frac{V_{\text{TN}}}{V_{\text{DD}}} \right) \quad (3.28)$$

De modo a facilitar a interpretação do impacto no *fan-out* na excursão de saída temos o gráfico seguinte.

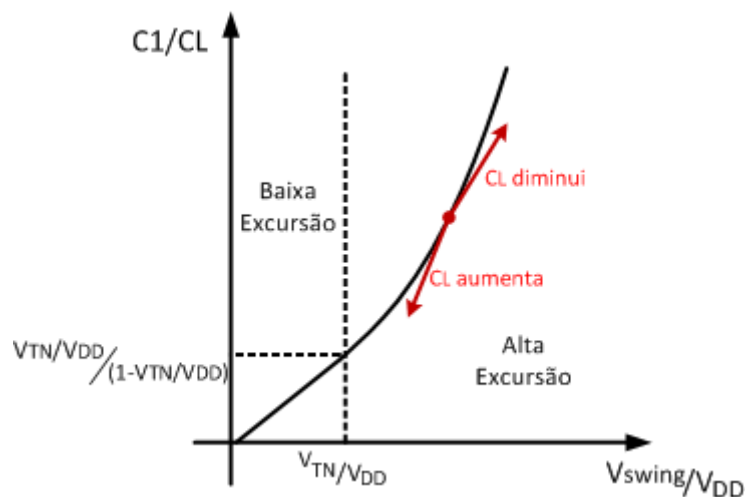


Figura 3.20 - Efeito do *fan-out*

O aumento de C_L implica uma redução da excursão do sinal saída V_{swing} enquanto que a redução de C_L provoca um aumento na excursão como representado no gráfico da figura 3.20.

3.6.4 Correntes de fuga

No gráfico da figura 3.21 observa-se a saída V_{01} e a tensão na capacidade C_1 durante a fase de cálculo. Está dimensionado para um excursão de sinal 13% com uma frequência de funcionamento muito baixa, de modo a permitir o visionamento da influência das correntes de fuga.

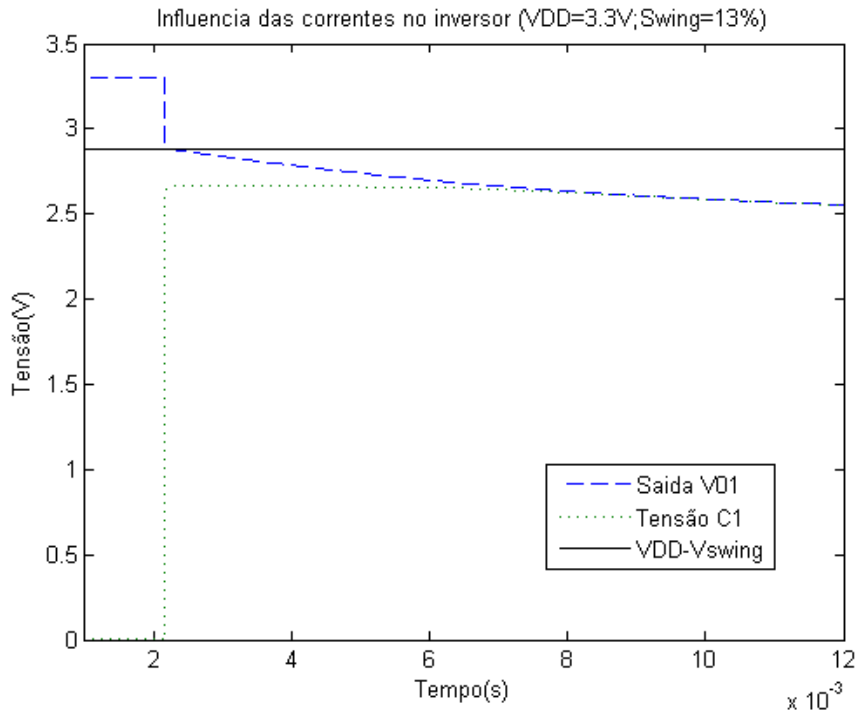


Figura 3.21 - Efeito da corrente de fuga

O declínio do valor de tensão à saída e no condensador deve-se ao efeito da corrente inversa do díodo dreno-substrato e da corrente sublimiar. Este fenómeno é conhecido por correntes de fuga que limita a frequência mínima de funcionamento dos circuitos dinâmicos.

Para compreender melhor estes fenómenos atende-se na a ilustração de um corte lateral do nMOS na figura 3.22

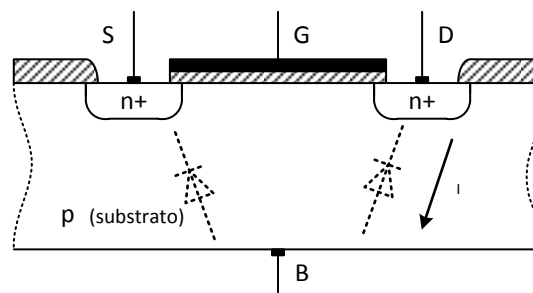


Figura 3.22 - Corte lateral de um nMOS

O díodo constituído pela junção n+ e o substrato P tem uma pequena corrente inversa que vai descarregar as capacidades ligadas no seu dreno. Apesar de até agora se assumir que não existe inversão do canal abaixo da tensão de limiar V_{TH} , na realidade existe um I_{DS} designado de corrente sublimiar e pode ser obtido pela seguinte expressão

$$I_{DS} = I_S e^{\frac{V_{GS}}{nk_B T/q}} \left(1 - e^{-\frac{V_{DS}}{k_B T}} \right) \quad (3.29)$$

Os fatores da equação 3.29 são a carga do eletrão q , K_B que é a constante de Boltzmann, T , a temperatura de funcionamento I_S , a corrente característica e n o fator de inclinação em inversão fraca [24].

No capítulo 4 é registado um agravamento deste fenómeno devido à implementação dos transístores *dummy*. Quanto maior for o número de transístores numa porta lógica, maior será o efeito das correntes de fuga.

Impõe-se assim que, para valores de frequência na ordem dos KHz as correntes de fuga são significativas e como tal é recomendado usar este tipo de lógica em frequências na ordem do MHz e superior. Não quer dizer com isto que exista uma frequência mínima de funcionamento, dado que as entradas da lógica DyCML funcionam corretamente com excursões de sinal na ordem do zero a V_{DD} , apenas vai existir um V_{swing} e um consumo maior que o esperado.

3.7 Potência dissipada e produto energia-atraso

À medida que as tecnologias CMOS têm vindo a reduzir de dimensão, o mesmo acontece com as capacidades intrínsecas dos dispositivos. No entanto, existem capacidades que dependem apenas do tamanho das conexões entre circuitos, as quais não diminuem na mesma proporção.

Embora tenham existido progressos neste campo, como a substituição do alumínio pelo cobre de modo a reduzir o tamanho das próprias ligações, isto apenas adia o problema por mais duas gerações [25]. Implementações lógicas dinâmicas como o DyCML propõem colmatar este problema reduzindo a energia dissipada nestas ligações ($V_{swing} < V_{DD}$).

A potência neste tipo de tecnologia advém principalmente do consumo associado às comutações entre níveis lógicos e pode ser quantificado pela equação 3.30.

$$P_{comutação} = f_{comutação} V_{DD} V_{swing} C_L \quad (3.30)$$

Em que $f_{comutação}$ é a frequência de comutação, V_{DD} é a tensão de alimentação, V_{swing} representa a excursão de sinal lógico e C_L a capacidade de carga.

O $P_{comutação}$ em 3.30 representa o consumo em watt da lógica DyCML e é inferior ao consumo estático de tecnologias como o MCML. No entanto quando a frequência de comutação aumenta, o $P_{comutação}$ aumenta na mesma proporção algo que não acontece com o MCML em que o consumo é independente do $f_{comutação}$.

Embora o consumo de potência seja bastante revelador das potencialidades de uma dada implementação lógica, nem sempre é fácil tirar conclusões usando apenas uma métrica que exclui a velocidade de processamento. Uma métrica mais reveladora do desempenho de uma implementação é o produto energia-atraso (EDP) calculado pela equação 3.31. Esta é uma das métricas mais usadas para comparar implementações lógicas [1].

$$EDP = P_{comutação} t_{pd}^2 \quad (3.31)$$

O tempo de propagação t_{pd} encontra-se presente no cálculo do EDP de uma forma quadrática, o que implica uma forte relevância no valor final. Por norma quando é preciso comparar tecnologias ou implementações relativamente à sua velocidade e consumo, o EDP é a métrica indicada.

3.8 Conclusão

Neste capítulo apresentamos uma análise do funcionamento do inversor e das características relevantes para a compreensão dos métodos de implementação de portas lógicas em DyCML. São deduzidas algumas expressões que permitem a sua caracterização e são apontados alguns efeitos como a redistribuição de carga e correntes de fuga. Finalmente é referido um dos aspetos mais importantes, o consumo considerado como uma das principais vantagens do DyCML face a outras implementações. É também apresentada a métrica produto energia-atraso (EDP), tida hoje em dia como uma das principais maneiras de averiguar o desempenho de uma tecnologia. No próximo capítulo é abordada a criação do *layout* de diversas portas lógicas e a sua implementação.

4 Caracterização das portas lógicas DyCML

Este capítulo aborda uma vertente mais prática da implementação de circuitos integrados usando o Cadence. Aqui apresentamos a realização física de um conjunto básico de portas lógicas juntamente com a sua caracterização de modo a poderem ser usadas e comparadas com os seus próprios modelos. Considerando que um dos objetivos propostos nesta dissertação é o da criação de uma biblioteca elementar de componentes em lógica DyCML e análise das suas principais características, torna-se necessário examinar primeiramente a ferramenta de simulação que será usada neste capítulo na obtenção das portas lógicas.

4.1 Ferramenta de desenho e simulação

A figura 4.1 ilustra os diferentes passos envolvidos na criação das portas lógicas. Partindo do desenho do esquemático obtido com o *Composer Schematic Editor* procede-se à simulação e validação do circuito. Só depois se procede ao desenho da implementação física da porta lógica, denominado de *layout*, com o apoio da ferramenta *Virtuoso Layout Editor*. Neste passo, a verificação é assegurada pelo *Assura* que, quando o esquemático coincide com o *layout*, procede à extração de capacidades e resistências parasitas. Por fim obtém-se o componente representativo da porta lógica que se pretende implementar, que após testado e aprovado, passa a pertencer à biblioteca de componentes de portas lógicas em DyCML que inclui todos os elementos parasitas e possibilita a produção de um circuito integrado.

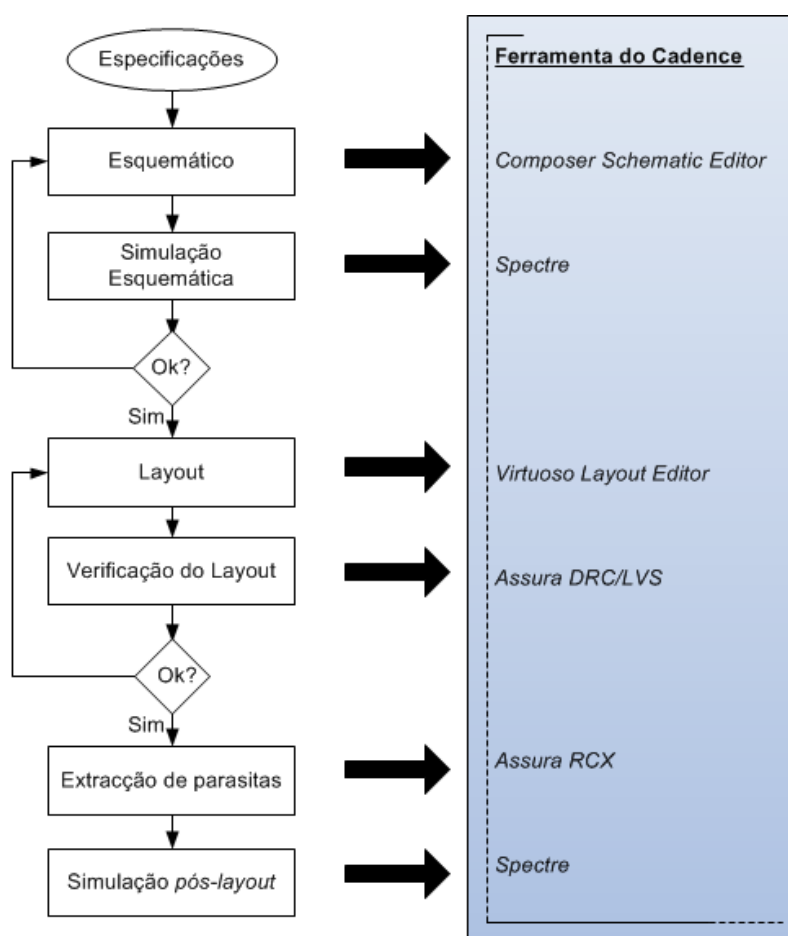


Figura 4.1 - Diagrama da criação de circuito integrados

Todas as portas lógicas presentes neste capítulo são desenhadas em Cadence com recurso à tecnologia AMS (Austria Microsystems) de 350 nm, com quatro camadas. Por sua vez o seu desenho é compatível com a tecnologia de 350 nm da TSMC (Taiwan Semiconductor Manufacturing Company). Embora a área ocupada pelo *layout* nem sempre seja a mais otimizada, o objetivo final é ficar com uma ideia do tamanho relativo das diversas portas lógicas.

4.2 Caracterização do inversor

4.2.1 Layout

Agora que o circuito do inversor em DyCML, representado na figura 3.1, se encontra devidamente explorado, dá-se início ao desenho do seu *layout* [26] [27]. Com auxílio da ferramenta *Virtuoso* do Cadence começa-se por planear a disposição das diversas camadas que representam a estrutura do esquema físico que pode ser impresso em silício. Após a criação de um modelo válido e confirmado pelo *Layout Versus Schematic* (LVS), é extraída uma representação do modelo, que pode ser vista na figura 4.2

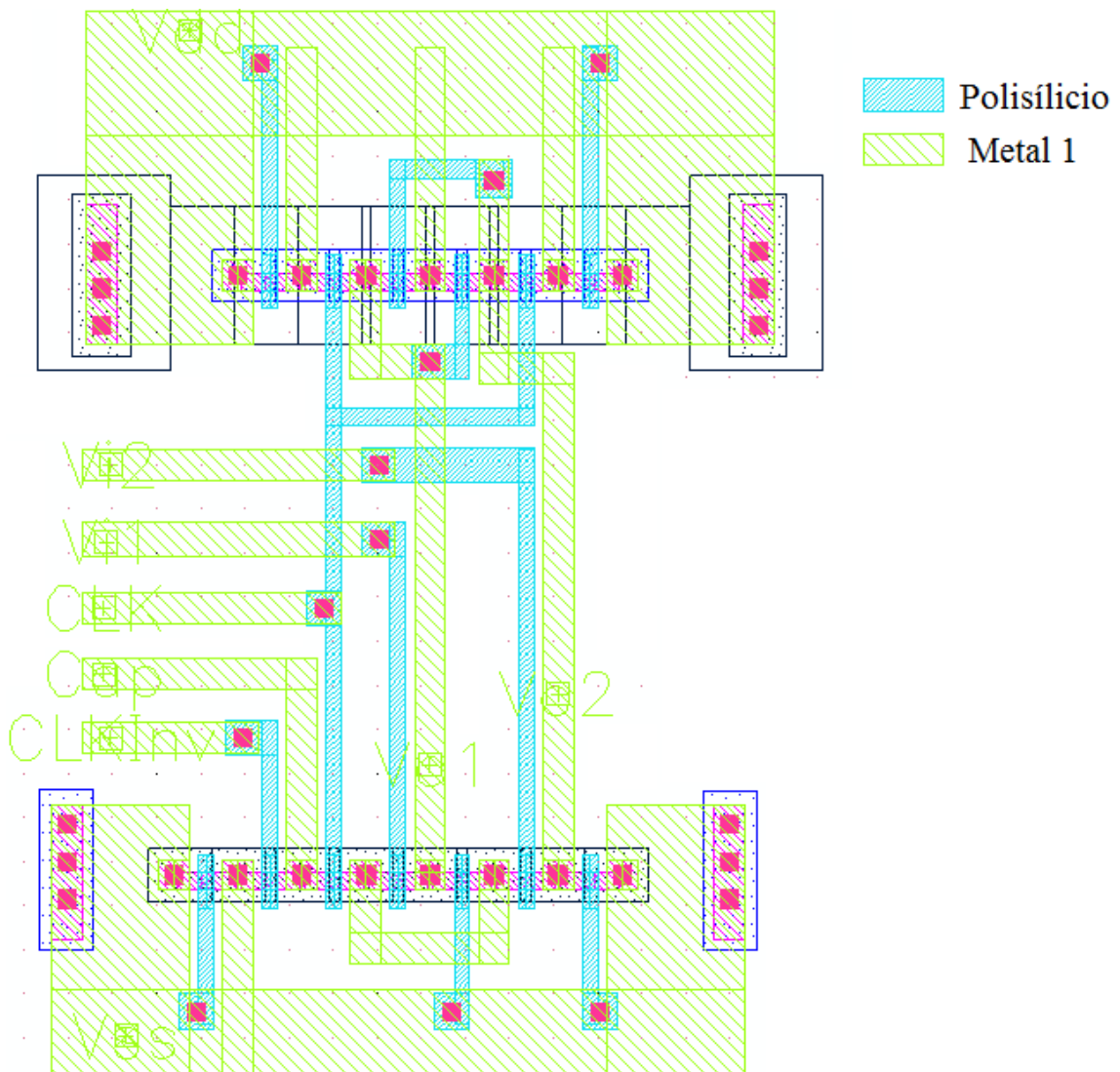


Figura 4.2 - Layout do inversor DyCML

Com este circuito, obtêm-se os parâmetros parasitas do esquema do inversor sendo preciso correr simulações pós-layout de modo a confirmar que o circuito permanece a funcionar

dentro dos parâmetros estabelecidos como referido no início do capítulo 4. No anexo A pode-se observar a caracterização do circuito.

Ainda relativamente à figura 4.2 é de notar que já inclui transístores *dummy* de modo a garantir uma uniformidade da estrutura que conduz a um melhor emparelhamento dos transístores e conseqüentemente a melhorias no funcionamento do circuito. Os transístores *dummy* podem ser facilmente identificados no *layout* por possuírem a porta ligada a V_{dd} no caso do PUN ou a V_{ss} se pertencerem ao PDN.

Ainda mais importante, é a parte superior composta apenas por pMOS, que se mantém inalterada independentemente da porta lógica usada. Isto porque, na implementação DyCML, o PUN é sempre igual (zona superior do *layout*), de modo que a atenção do desenhador apenas se foca na parte inferior do desenho relativa aos nMOS do PDN.

4.2.2 Freqüência de funcionamento versus tensão de alimentação

O circuito da figura 4.3 é usado para medir a relação entre a máxima freqüência de funcionamento e a alimentação V_{DD} [28-32]. É bastante usada como métrica de performance de uma dada tecnologia [12] e permite tirar conclusões relativamente à ligação entre portas lógicas.

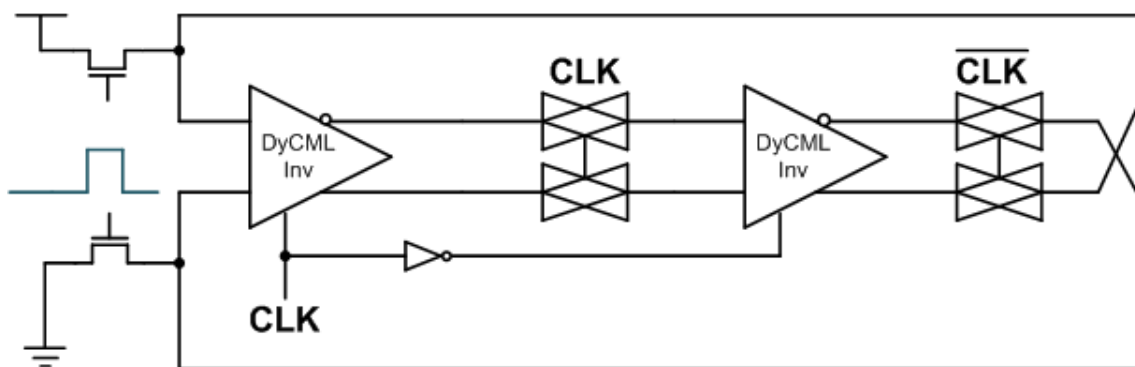


Figura 4.3 - Circuito *Divide by two* (oscilador em anel)

O princípio de funcionamento do circuito acima é impor um valor lógico entre inversores por cada ciclo de relógio. Como a saída do inversor da direita inverte relativamente à entrada do inversor da esquerda, o valor lógico encontra-se sempre a alternar (caso contrário seria um flip-flop tipo D). Os dois nMOS à esquerda servem apenas para forçar o início do circuito, forçando um desequilíbrio à entrada do primeiro inversor.

Para o correto funcionamento do circuito é importante forçar os tempos de subida e descida do relógio ao valor mínimo (10 ps no simulador). Todas as ligações presentes na figura

4.3 têm uma pequena capacidade C_L que depende das suas dimensões de modo a possibilitar a permanência do valor lógico.

O funcionamento individual dos inversores DyCML pode ser descrito do seguinte modo:

- Inversor DyCML carrega as suas saídas C_L até V_{DD} enquanto $CLK = 0$ (fase de pré-carga). Neste ponto a saída do inversor é apenas a entrada das portas de transmissão (TG's) e capacidades das ligações.
- Inversor DyCML descarrega uma das saídas C_L quando $CLK = 1$ (fase de cálculo). A velocidade da descarga de cada saída, varia com as entradas do inversor (e com C_L). Devido ao modo como este circuito funciona, no instante em que o relógio transita de 0 para 1, a carga em C_L pode diminuir porque se redistribui para a capacidade de saída da TG que entretanto fica *ON*. Neste caso C_L é o somatório composto pela capacidade das ligações, pelas capacidades nos TG's e a capacidade de entrada do inversor seguinte.

Resumindo, durante a fase de cálculo dos inversores, as saídas que estavam anteriormente no nível lógico 0 passaram a 1 e vice-versa. As fases de cálculo de cada inversor são complementares e ocorrem de forma alternada.

Nesta simulação faz-se uso do modelo extraído do *layout* do inversor com a tecnologia de fabrico da AMS c35b4 e inclui as capacidades parasitas.

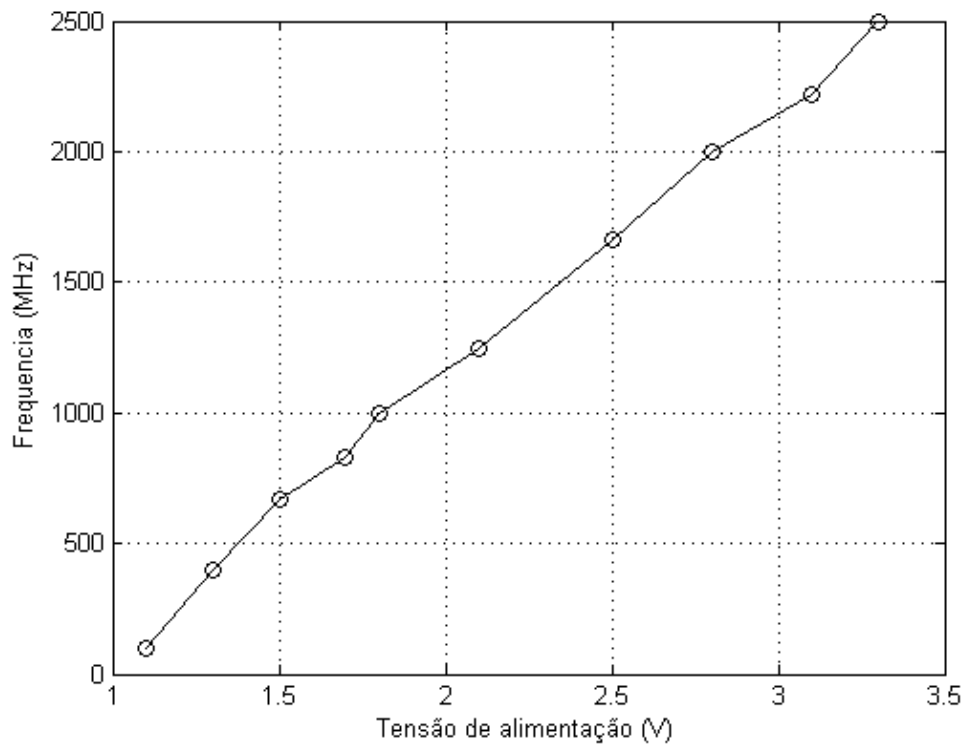


Figura 4.4 - Relação tensão de alimentação com a frequência para o DyCML

Como o objetivo é dimensionar este circuito para funcionar a uma frequência muito alta, convém optar por um C_1 ligeiramente superior ao obtido com a equação 3.13. Isto implica aumentar um pouco o consumo do circuito no entanto possibilita atingir frequências de funcionamento na ordem dos 2.5 GHz.

O gráfico da figura 4.4 permite obter uma ideia concreta da relação entre a tensão de alimentação e frequência máxima de funcionamento. Esta é uma métrica imposta pela tecnologia empregue, neste caso a AMS de 350 nm, e permite estimar as frequências alcançadas com as portas lógicas em DyCML.

4.3 Parâmetros de desenho

No caso de circuitos dinâmicos é bastante importante definir adequadamente os parâmetros de performance de modo a permitir aos desenhadoreis uma correta implementação da tecnologia. A seguinte tabela enumera os parâmetros mais relevantes e os seus valores correspondem aos valores típicos encontrados em [1], [22], [33], [34] e [35].

Tabela 4.1 - Parâmetros de desenho

Parâmetro	Descrição	Parâmetros de referência
V_{DD}	Tensão de alimentação	2.5 V, 3.3 V
f	Frequência de relógio	400 MHz
Excursão do sinal de saída	Varição entre valores lógicos 0 e 1	20%
W_n, L_n	Comprimento e Largura dos canais dos transístores nMOS	0.40 μm
W_p, L_p	Comprimento e Largura dos canais dos transístores pMOS	0.35 μm
C_L	Capacidade de saída	5 fF \leftrightarrow 30 fF

A dimensão dos transístores em DyCML é a mínima permitida pela tecnologia, que no caso da tecnologia CMOS de 350 nm da AMS permite as dimensões $W_{\min} = 0,4 \mu\text{m}$ e $L_{\min} = 0,35 \mu\text{m}$ com uma tensão de 3.3 V. A razão pela qual os transístores usados são de dimensões reduzidas prende-se com o facto destes serem responsáveis apenas pelo encaminhamento da corrente, não precisando de carregar ou descarregar completamente a capacidade de saída C_L .

Analisando a relação entre tensão e frequência da figura 4.4 verifica-se que para um V_{DD} de 2.5 V o circuito funciona adequadamente uma frequência de 400 MHz. Logo, mesmo para um V_{DD} de 3.3 V, o circuito lógico funciona também corretamente.

A capacidade mínima empregue C_L é de 5 fF que corresponde a ter a saída da porta lógica ligado apenas à entrada de uma outra porta lógica. A capacidade máxima escolhida é de 30 fF de modo a simular a saída ligada a várias entradas de portas lógicas, mas ao mesmo tempo, não suficiente alta de modo a impedir o circuito funcionar adequadamente a 400 MHz.

A escolha destes parâmetros oculta o valor de C_1 , que de acordo com a equação 3.13 é um parâmetro que varia com C_L portanto tem uma dependência fixa que foi empregue durante todos os testes. Como tal o valor final da excursão de saída depende da relação entre C_1 e C_L que se encontra sujeita a uma pequena variação, como já foi observado na figura 3.8. Esta variação no valor da excursão de saída das diversas portas lógicas, pode ser observada nos anexos A, B e D desta dissertação.

4.4 Implementação lógica pelo método DDB

Empregando o método dos diagramas de decisão binária (DDB) referido no subcapítulo 2.5.1, podemos obter as portas lógicas AND e OR a partir apenas de um esquemático (figura 4.5), tudo depende do modo como se ligam as entradas a,b,c e d. Devido às saídas serem diferenciais, por cada saída AND ou OR obtém-se o simétrico NAND ou NOR na saída oposta.

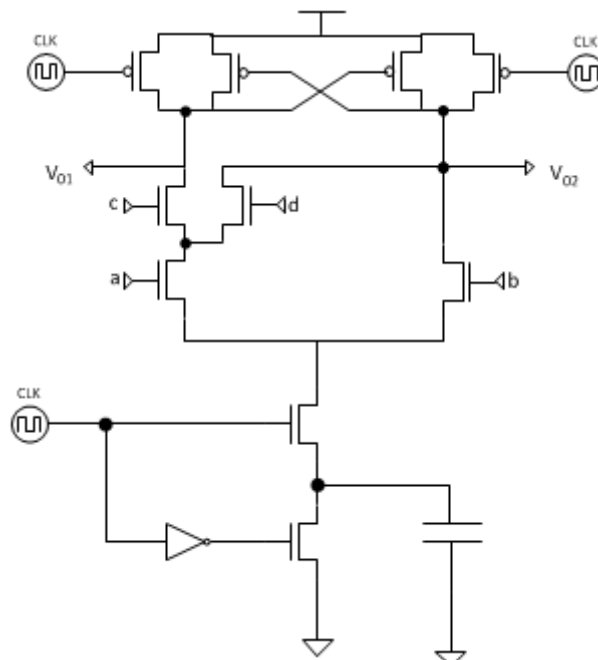


Figura 4.5 - Esquemático obtido pelo método DDB

Pode verificar-se uma assimetria nos ramos do PDN produz uma dependência entre o consumo e a saída, isto é, o consumo não é independente do valor obtido à saída, algo que

acontece com o inversor e outros circuitos de ramos simétricos. Observando a figura 4.5 facilmente se verifica que os tempos de propagação são diferentes para V_{01} e V_{02} . Isto implica que a lógica tem dois consumos e tempos de cálculo distintos consoante a saída que varie. A análise individual de cada saída pode ser encontrada no anexo B.

O modelo do *layout* do circuito da figura 4.5 pode ser visto na figura seguinte.

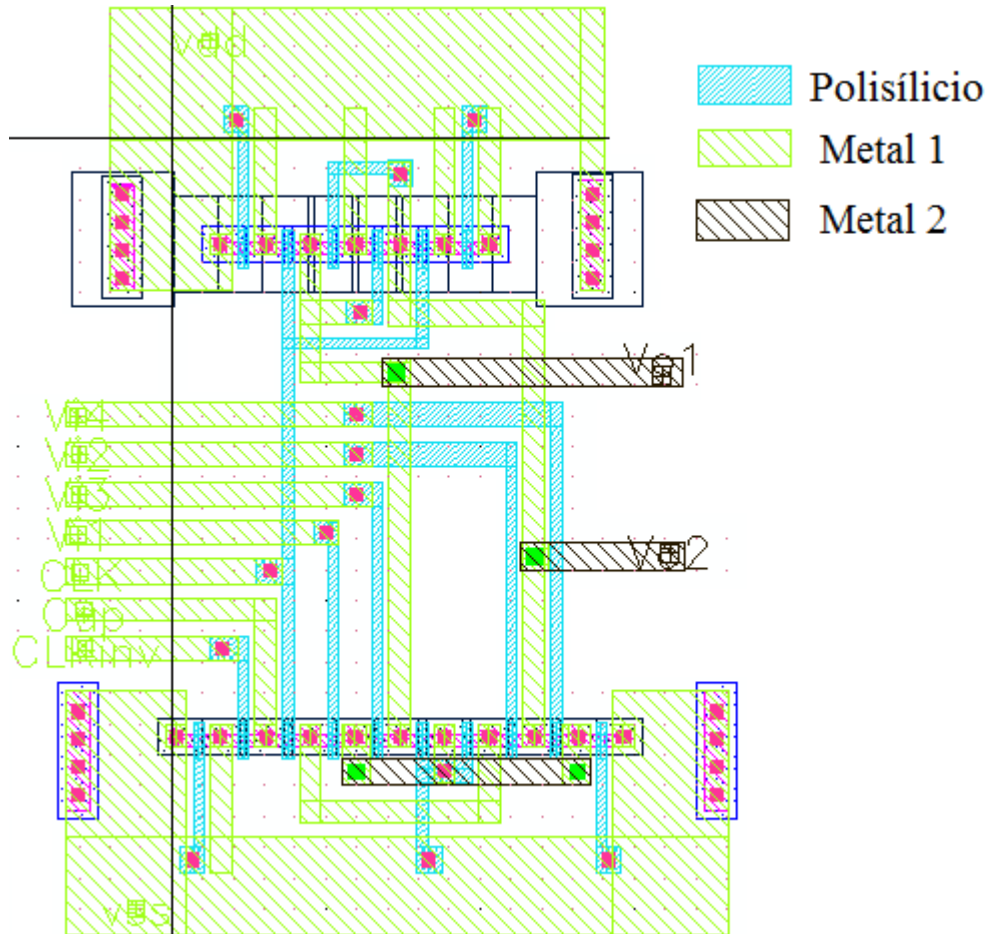


Figura 4.6 - *Layout* da lógica obtida por DDB

A parte superior da figura 4.6 apresenta a mesma disposição de pMOS que na figura 4.2 relativa ao inversor DyCML variando apenas os pontos de ligação entre as saídas V_0 e o PDN. Na parte inferior o número de nMOS aumentou e com eles a complexidade e área de implementação. O valor da área ocupada pelo *layout* da lógica obtida por DDB encontra-se no anexo B

4.4.1 Implementação e consumos

O esquema elétrico da ligação das entradas para a obtenção das portas lógicas correspondentes ao *layout* da figura 4.6 é apresentado na figura 4.7.

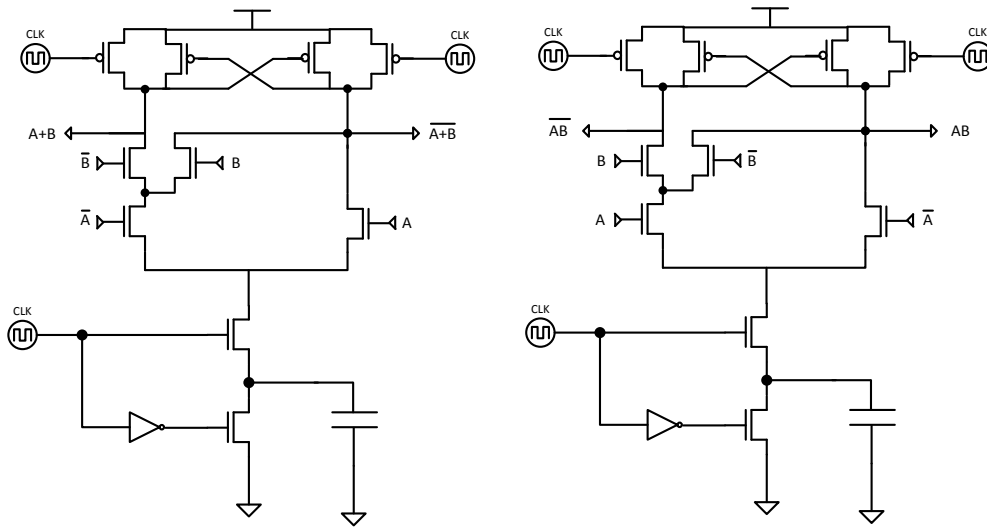


Figura 4.7 - Esquerda -Porta lógica OR/NOR; Direita - Porta lógica AND/NAND

Com um PDN de 3 nMOS pode obter-se algumas das portas lógicas básicas o que neste caso implicará a assimetria no desempenho, de acordo com o resultado do valor lógico. No entanto se for possível estimar a probabilidade de ocorrência associada a cada sinal de entrada é possível reorganizar a lógica ou as entradas de modo a favorecer ou a saída V_{01} para obter um menor consumo ou a saída V_{02} para um melhor EDP.

O consumo em potência é uma das métricas mais importantes na implementação da lógica dinâmica. Na figura 4.8 encontra-se quantificada a potência consumida medida no Cadence e a correspondente estimativa teórica.

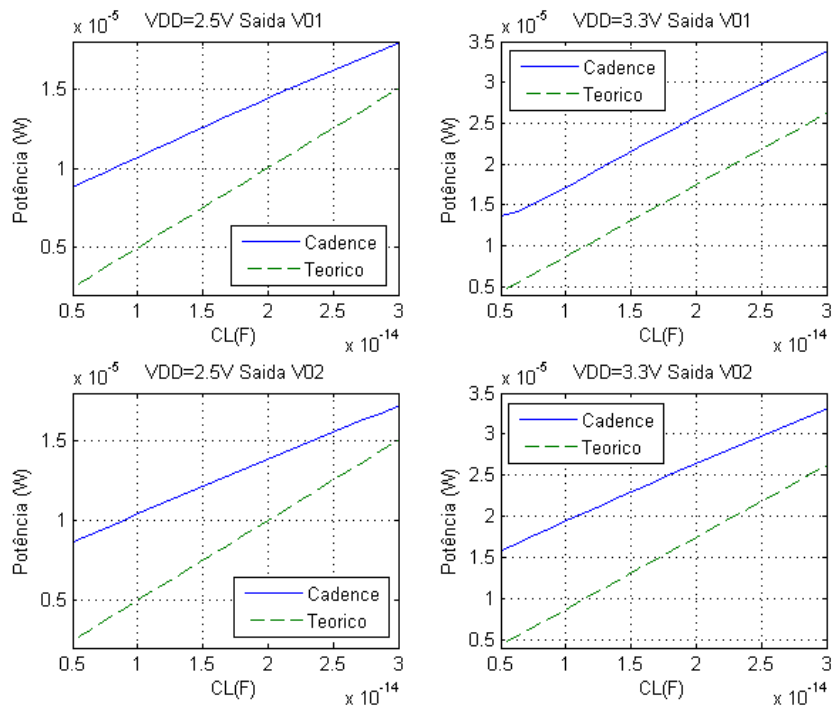


Figura 4.8 - Consumos da porta lógica em DDB

Os valores teóricos da figura 4.8 podem ser obtidos, aplicando diretamente a equação 3.30. Os gráficos na parte superior da figura representam os consumos quando ocorre variação na excursão de na saída V_{01} enquanto os gráficos em baixo representam o caso da variação em V_{02} . Os consumos, embora assimétricos, são bastante próximos uns dos outros.

Relativamente à discrepância entre os valores teóricos e os obtidos por simulação, a principal razão para o consumo por simulação ser superior, é a existência de um consumo causado pelo atraso na comutação no flanco de relógio entre o zero e V_{DD} . Como as transições de relógio não são instantâneas, existe um estado em que, tanto os nMOS como os pMOS estão em condução criando uma ligação entre V_{DD} e a terra. Embora este consumo extra pareça constante, isso não acontece quando a frequência aumenta, sendo que nesta situação surge um aumento na disparidade entre o valor teórico e o simulado.

Testes no simulador mostram que existem duas maneiras de diminuir o consumo que advém das mudanças de flanco do relógio: ou é implementado um relógio com tempo de transição mais curto; ou faz-se uso de portas lógicas mais complexas que leva a um aumento de impedância entre V_{DD} e a terra; ou implementa-se a solução referida na página 29.

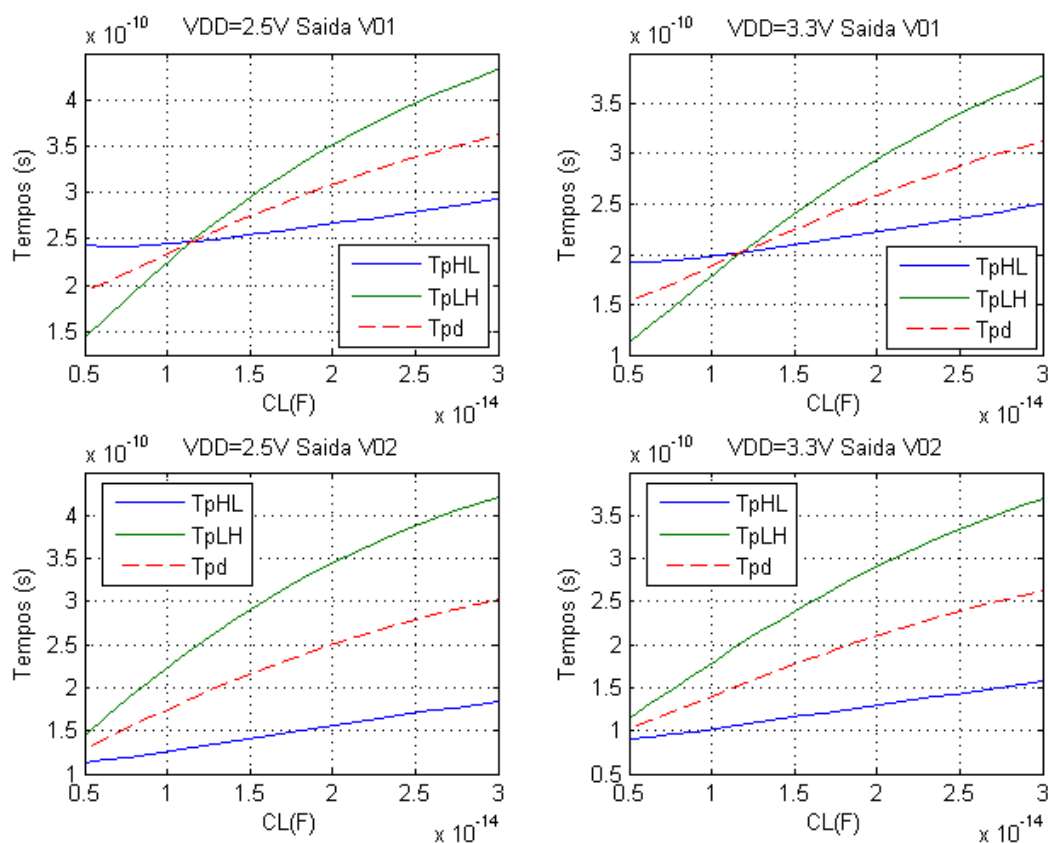


Figura 4.9 - Tempos de propagação na porta lógica DDB

Na figura 4.9 encontram-se os tempos de propagação para cada uma das saídas da porta lógica implementada em DDB. Para ambas as saídas denota-se uma melhoria nos tempos de propagação com o aumento da tensão de alimentação. Quando a saída V_{02} comuta, apresenta melhores tempos de propagação que V_{01} , nomeadamente um t_{pHL} mais reduzido. Isto acontece porque a descarga de C_L encontra uma menor impedância para a terra virtual, formada por C_1 , quando comparada com a saída V_{01} . Resumindo, a saída V_{01} comuta mais lentamente que a saída V_{02} e ambas beneficiam do aumento na tensão de alimentação.

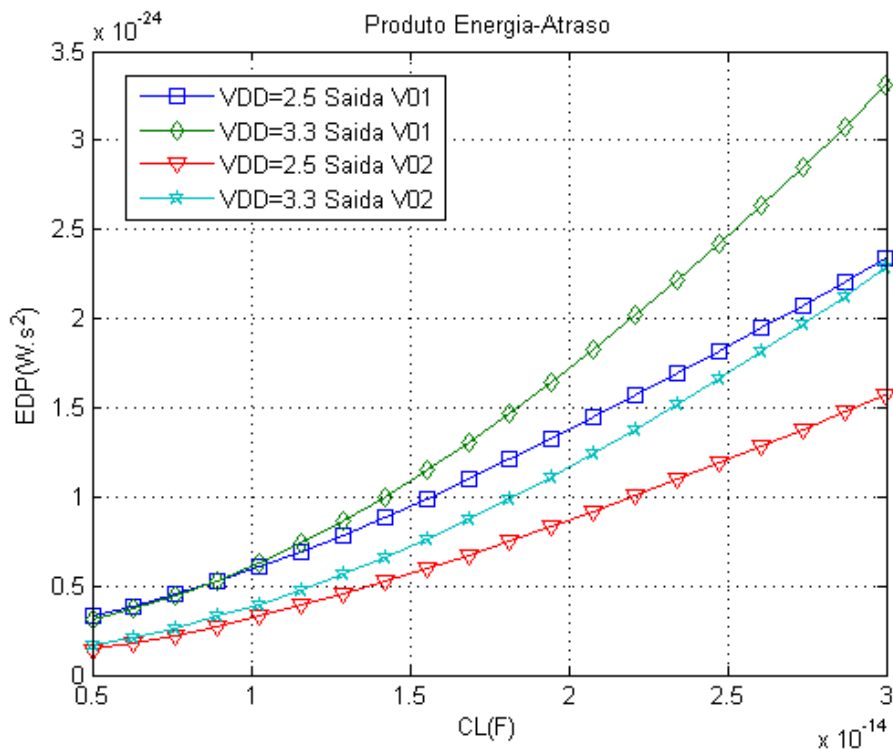


Figura 4.10 - EDP da porta lógica em DDB

Como seria de esperar uma menor tensão de alimentação oferece um melhor produto energia-atraso, no entanto o tempo de propagação da saída V_{02} com 3.3 V (fig. 4.10), é de tal modo reduzido que compensa esse facto. Efetivamente a saída V_{02} a 3.3 V apresenta um EDP mais reduzido que a saída V_{01} a 2.5 V. No entanto a sua saída oposta, V_{01} , com 3.3 V, apresenta o pior EDP de todos, e esta assimetria precisa de ser tida em conta na altura de implementar uma porta lógica com esta configuração.

4.5 Implementação lógica pelo método EDS

Aplicando o método dos diagramas de decisão binária (subcapítulo 2.5.2) com dois estágios de andares de entrada, pode obter-se as portas lógicas AND, NAND, OR, NOR, MUX 2:1 e XOR-2, a partir apenas de um esquemático (figura 4.9), tudo depende das variáveis que se encontram ligadas às entradas a, b, c, d, e, f.

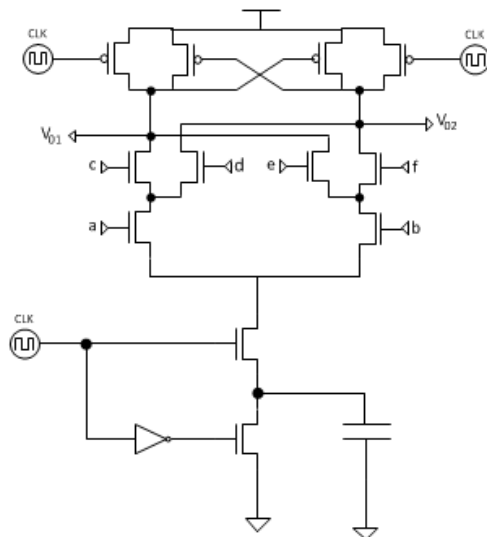


Figura 4.11 - Esquemático obtido pelo método EDS

Neste caso o PDN é de entradas simétricas o que implica consumos e tempos de propagação, independente do valor lógico da saída (admitindo C_L iguais em ambas as saídas). Quer isto dizer que basta analisar o comportamento da excursão de sinal na saída V_{01} pois os seus valores são semelhantes aos resultados obtidos com a saída V_{02} . A análise da saída pode ser encontrada no anexo C tal como a área ocupada em silício.

O desenho do *layout* da figura 4.11 pode ser encontrado na figura abaixo

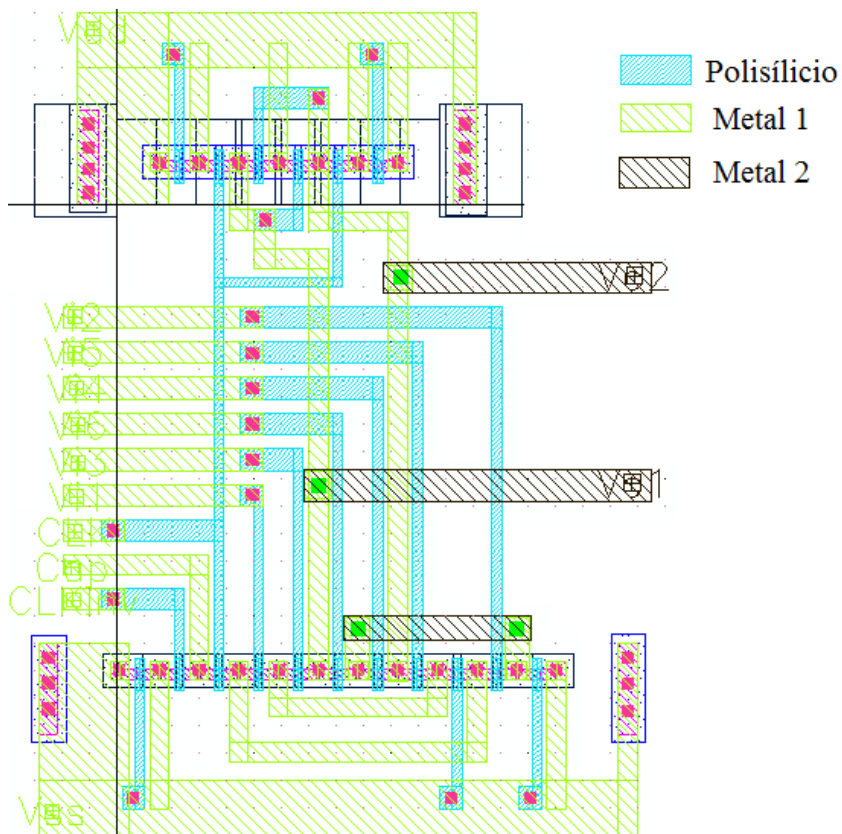


Figura 4.12 - Layout da lógica obtida por EDS

Mais uma vez pode constatar-se que a parte superior do *layout* apresenta a mesma disposição de pMOS já encontrado no *layout* da figura 4.2. Na parte inferior o número de nMOS aumentou mesmo relativamente à implementação anterior. A tendência no desenho do PDN, é manter a estrutura inferior do lado esquerdo inalterada, e aumentar o número de ligações no canto inferior direito do esquemático de acordo com a complexidade do circuito.

4.5.1 Implementação e consumos

As portas lógicas que se podem obter com o *layout* da figura 4.12 implementados pelo método EDS podem ver-se nas figuras abaixo.

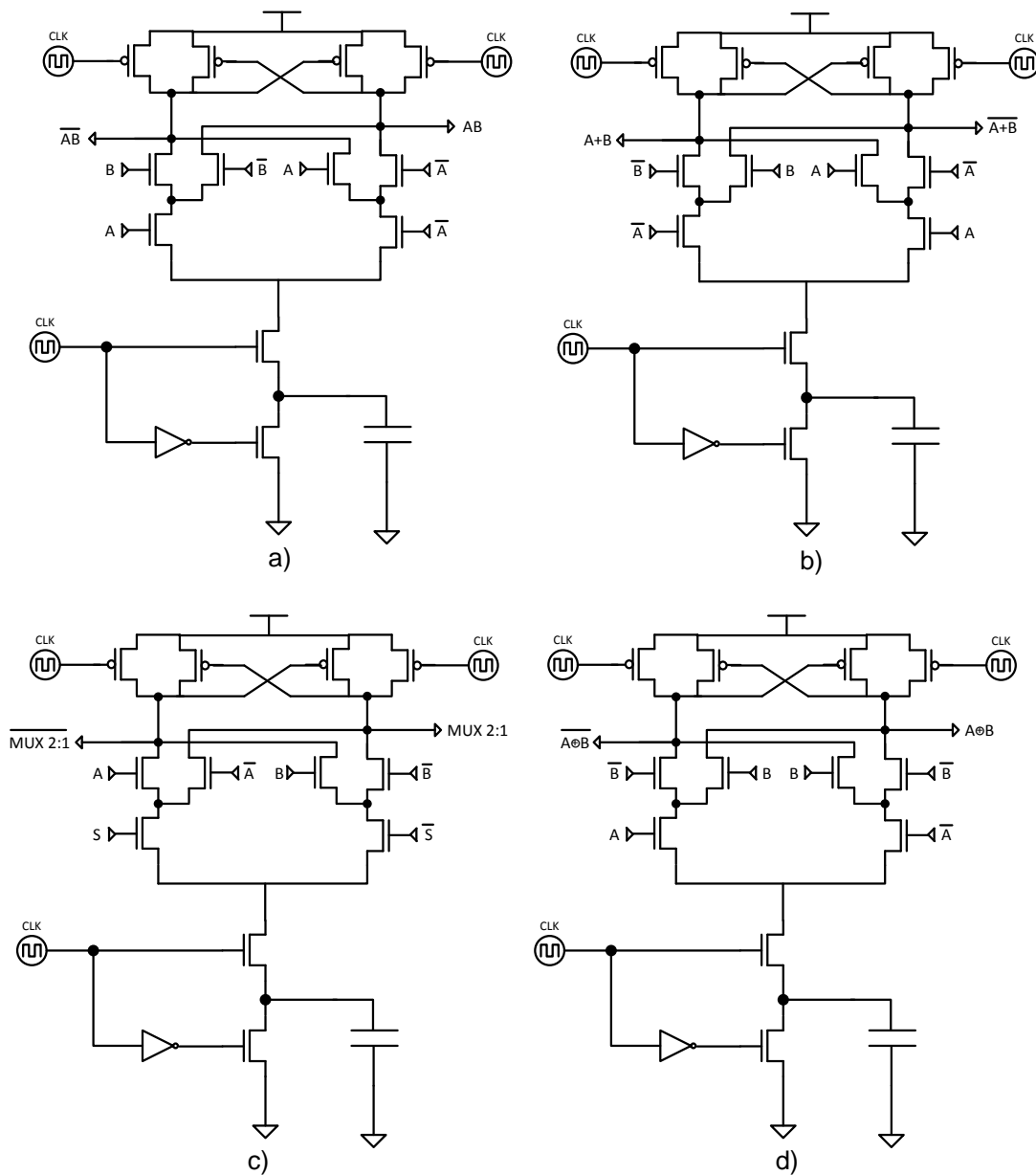


Figura 4.13 - a) Porta lógica AND/NAND; b) Porta lógica OR/NOR; c) Porta lógica MUX 2-1; d) Porta lógica XNOR/XOR

Com um PDN de 4 nMOS existe um maior número de ligações e como tal obtemos um maior número portas lógicas quando comparado com o DDB. O preço a pagar é um aumento de área de silício comparativamente a implementações anteriores. A área total ocupada pelo *layout* em silício pode ser encontrada no anexo C.

O consumo em potência das portas lógicas obtidas pelo método EDS pode ser visto nos gráficos da seguinte figura.

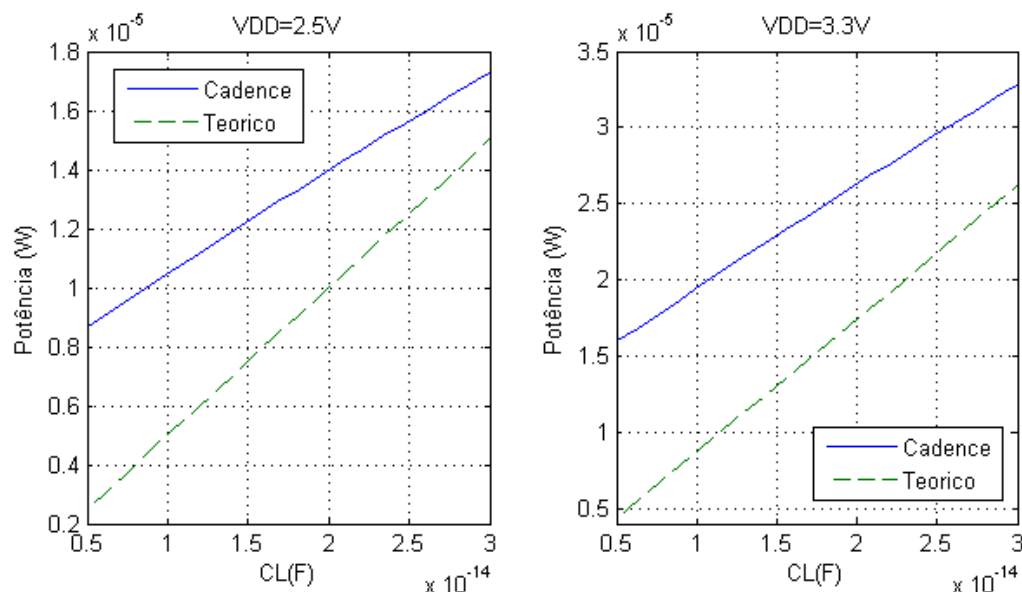


Figura 4.14 - Consumo pelo método EDS

Mais uma vez na figura 4.12 apresentam-se os valores de potência consumida e estimada. De notar que o modelo em Cadence contém as capacidades parasitas. Mais uma vez a estimativa teórica foi obtida com recurso à equação 3.30 e como tal, não entra em conta com o fator de transição de relógio, já referido no ponto 4.3.1.

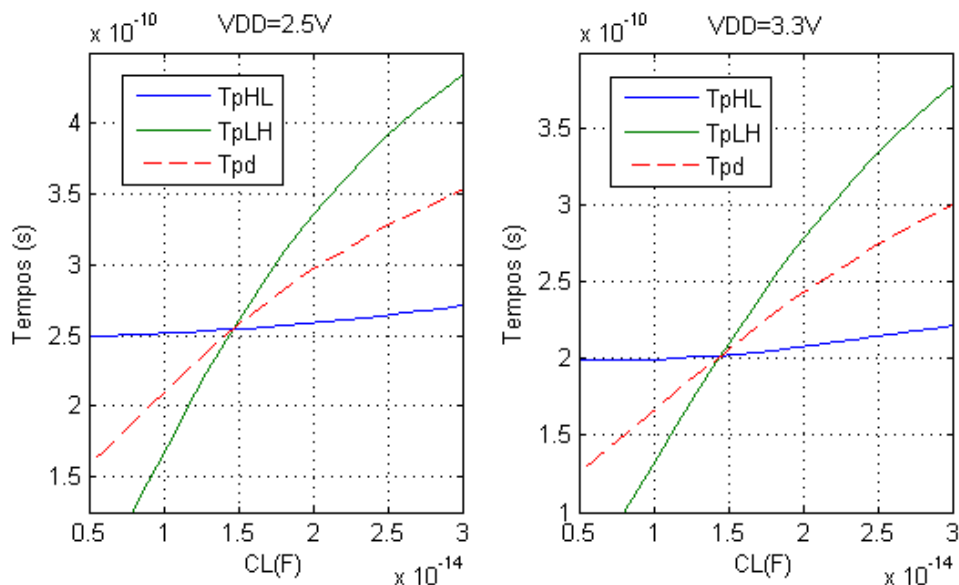


Figura 4.15 - Tempos de propagação das portas lógicas em EDS de dois estágios

Na figura 4.15 tem-se os tempos de propagação obtidos com a implementação EDS. O tempo de propagação tp_{LH} iguala o tp_{HL} para uma capacidade de saída na ordem dos 15fF. Para valores de capacidade de saída superiores a 15fF a frequência máxima de funcionamento desta porta lógica será afetada pelo tempo que demora a carregar a capacidade C_L e não pelo tempo de descarga imposto na fase de cálculo. O aumento da tensão de alimentação reduz o tempo de propagação da porta lógica.

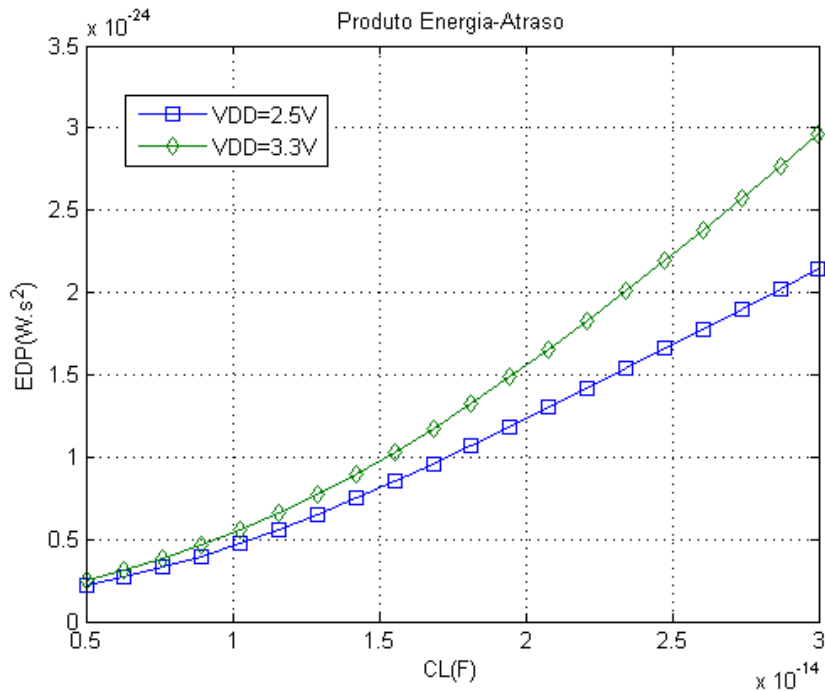


Figura 4.16 - EDP da porta lógica EDS com dois estágios

Na figura 4.16 encontra-se o gráfico demonstrativo do EDP. Como o tempo de propagação é relativamente baixo os seus valores são igualmente baixos. Aliado ao facto de existir uma melhoria no comportamento dos tempos de propagação com o aumento da tensão de alimentação, ambas as curvas encontram-se relativamente próximas mesmo com o aumento de potência que advém do aumento de V_{DD} .

4.5.2 Caracterização da porta lógica XOR3

Como ultima porta lógica estudada encontra-se a XOR3 obtida pelo método EDS. O objetivo é identificar o desempenho típico de uma XOR3 que é considerada de universal para funções lógicas que necessitem de três estágios diferenciais. A sua implementação serve também de comparação com as lógicas de número inferior de estágios, pois o aumento de complexidade pode implicar a escolha de duas portas lógicas mais simples que realizem a mesma função lógica. O seu esquema elétrico pode ser observado na figura seguinte.

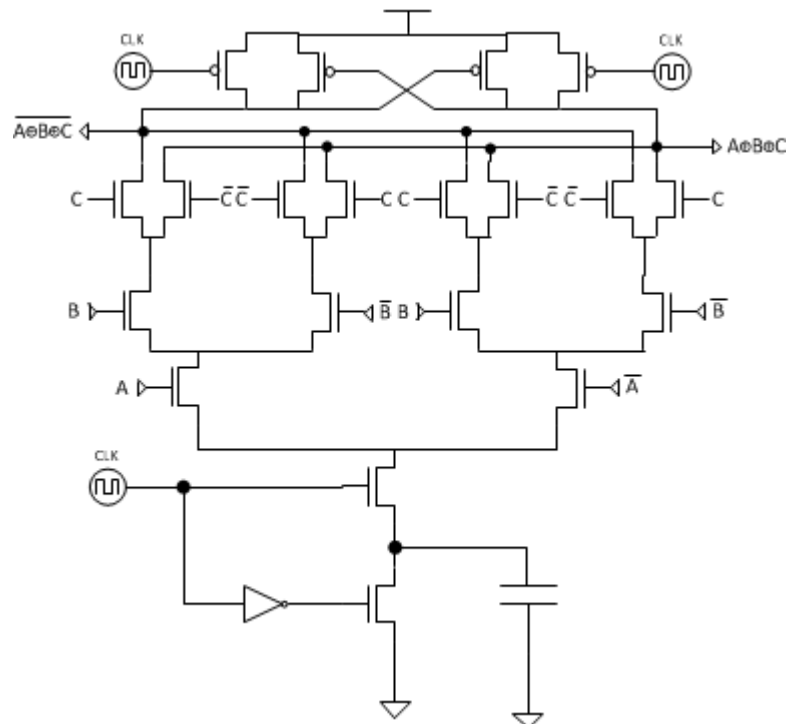


Figura 4.17 - Esquema elétrico da XOR3

Tal como todos os esquemas elétricos obtidos com recurso ao método EDS, o da figura 4.17 apresenta tempos de propagação iguais para ambas as saídas devido à simetria entre as saídas. O *layout* obtido pelo esquema elétrico encontra-se na figura seguinte e convém notar que o terceiro estágio implica mais 2^3 transístores no PDN, aumentando não só a área em silício mas também as capacidades parasitas do circuito.

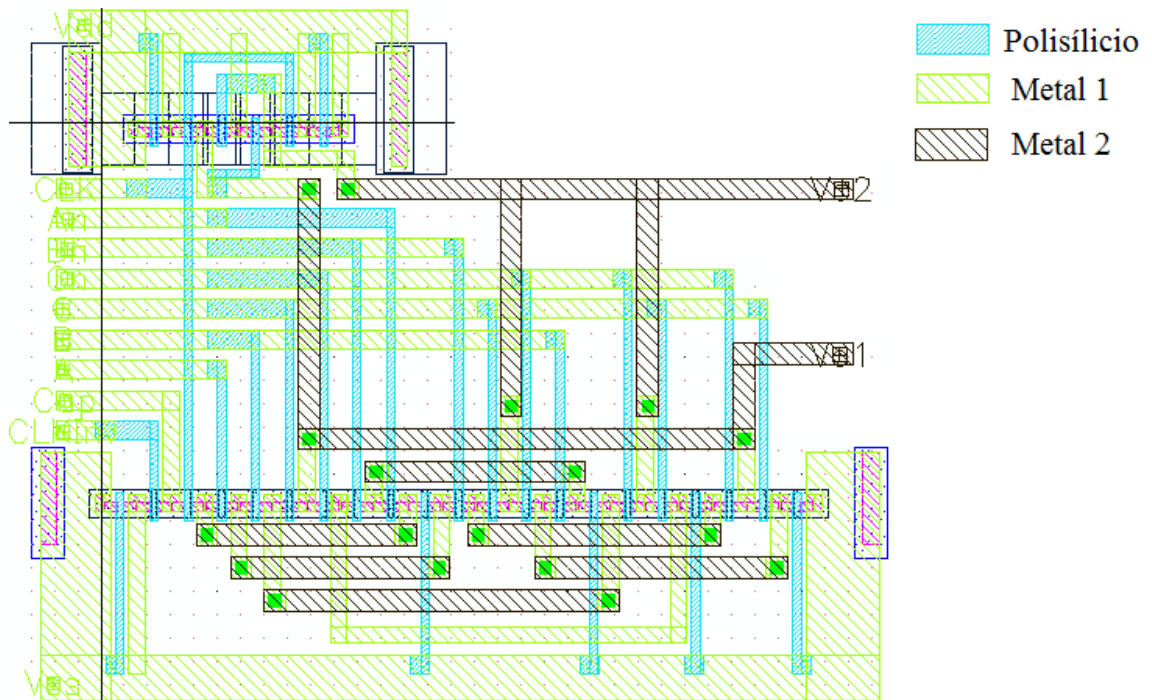


Figura 4.18 - Layout da Porta Lógica XOR3

Relativamente a todos os *layouts* anteriores denota-se logo um aumento no número de ligações tanto em metal como em polisílicio. Observando o PUN na parte inferior da figura anterior verifica-se um aumento no número de transístores *dummy* que leva a um aumento da área e consumo estático.

Na figura 4.19 verifica-se que o consumo não aumenta muito com o aumento de complexidade da porta lógica. Existe um aumento de consumo em watt para quase o dobro quando se passa de 2.5 V para 3.3 V isto porque não só existe um aumento da tensão V_{DD} como também de corrente.

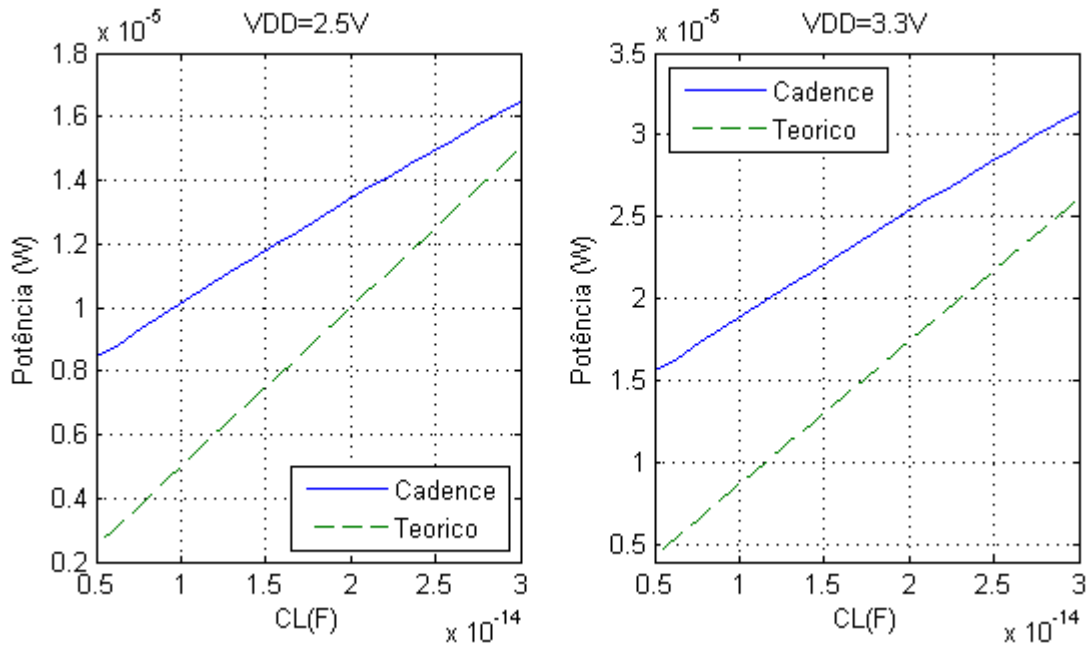


Figura 4.19 - Consumos da porta XOR3

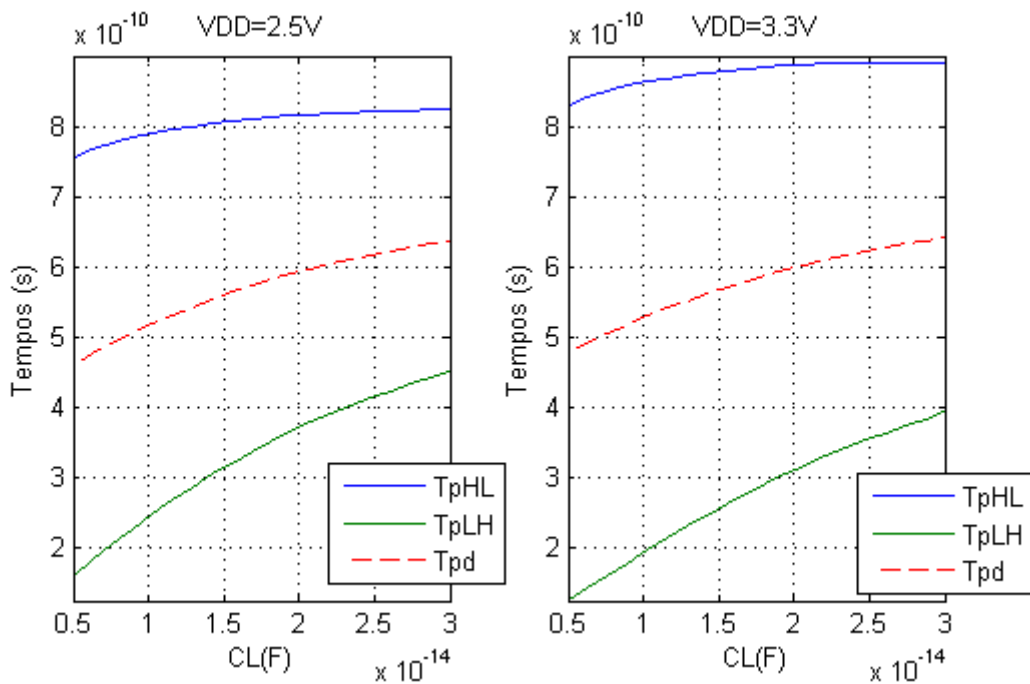


Figura 4.20 - Tempos de propagação da porta lógica XOR3

Na figura anterior facilmente se observa que o tempo de propagação t_{pHL} é bastante elevado. O número de transístores entre a saída e a terra virtual aumenta e com ele a impedância entre os dois pontos, levando a uma degradação do tempo de descarga de C_L para C1. Neste caso o aumento da tensão de alimentação embora melhore o t_{pLH} acaba por piorar o t_{pHL} cancelando os benefícios que o aumento de tensão confere ao tempo de propagação.

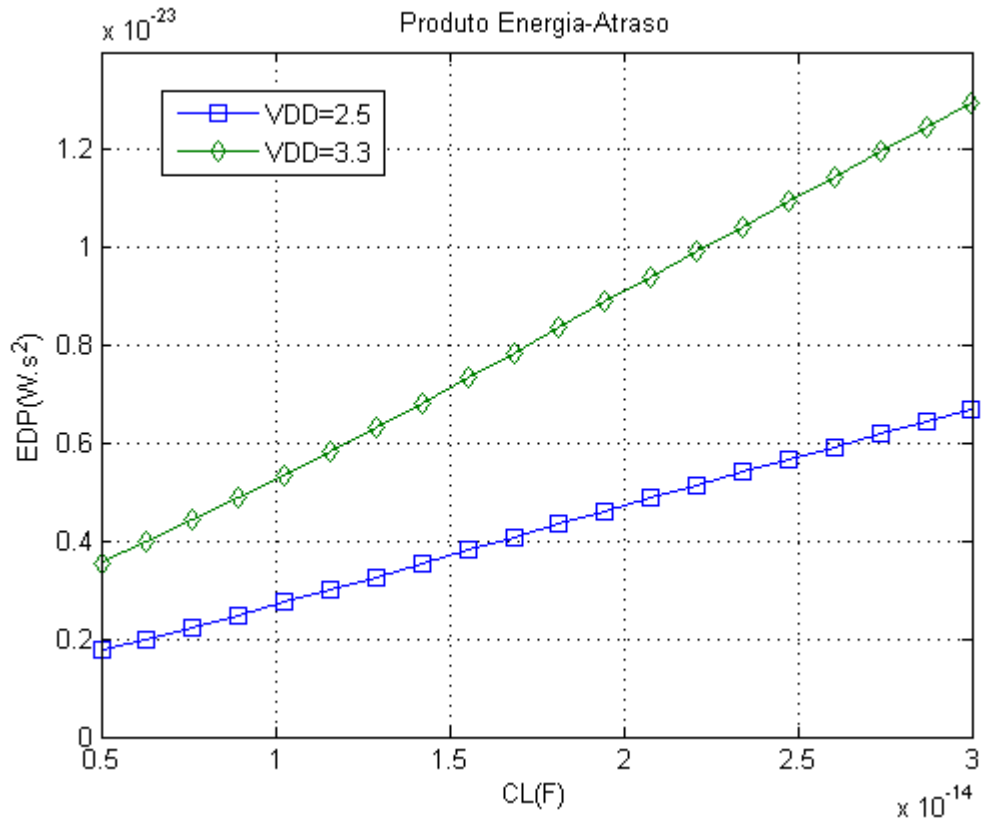


Figura 4.21 - EDP da porta lógica XOR3

O resultado mais imediato da degradação do tempo de propagação é um piorar do produto energia-atraso observado na figura 4.21. E como a tensão de alimentação de 3.3 V apresenta um consumo superior o seu EDP é também mais elevado.

4.6 Comparação de resultados

Nos gráficos da figura 4.22 apresentamos os consumos em potência das diferentes portas lógicas de modo a facilitar a comparação.

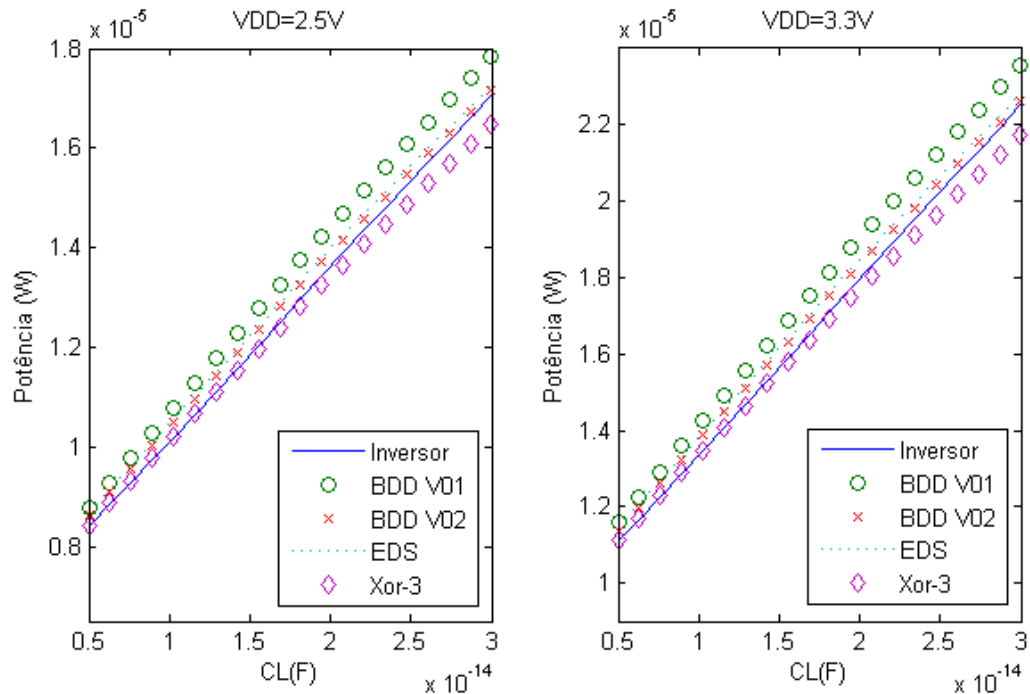


Figura 4.22 - Comparação de consumos

Pelos gráficos da figura 4.22 verifica-se um consumo muito próximo entre todas as implementações lógicas. Existe uma relação linear entre a potência e C_L como previsto pela equação 3.30. A tensão de alimentação é o fator mais relevante para o consumo. No entanto convém ter em mente que é a alimentação que impõe a frequência máxima de funcionamento, e como tal a sua redução implica uma menor velocidade de processamento, o que por sua vez implica uma pior relação energia-atraso.

Como já foi referido, o consumo que advém das transições de relógio é constante para um dada frequência. Como todos os dados obtidos em simulação são adquiridos com a mesma frequência de funcionamento, este consumo extra é também constante em todas as implementações, como se pode observar pela proximidade de valores no gráfico.

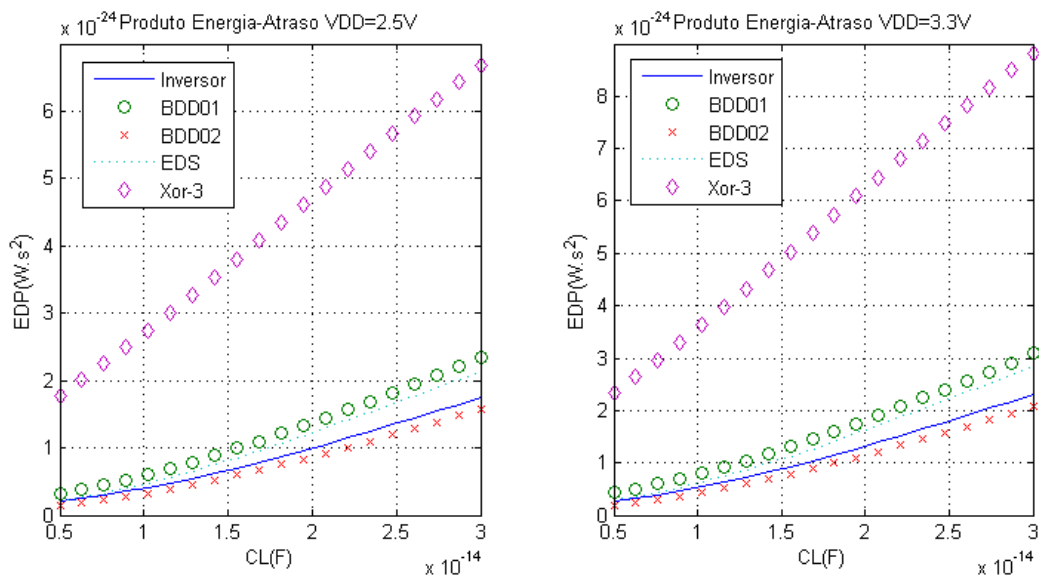


Figura 4.23 - Comparação de EDP entre portas lógicas

A figura 4.23 permite averiguar qual das portas lógicas apresenta um melhor EDP e embora todas apresentem um comportamento semelhante, excetuando a XOR3, isto permite tirar algumas conclusões. Com o EDP mais baixo temos a saída V_{02} da porta lógica implementada pelo método DDB dado que tem impedância para a terra virtual semelhante à do inversor no entanto tem um C_n superior ao inversor, que contribui como capacidade por onde C_L descarrega durante a fase de cálculo.

O comportamento da lógica em EDS e a saída V_{01} da lógica em DDB com o mesmo número de estágios é muito semelhante dado que a estrutura entre as suas saídas e terra virtual é também ela semelhante.

Na figura 4.23, o comportamento da porta lógica XOR3 é inferior às restantes portas lógicas, isto deve-se ao seu elevado t_{pHL} que tem uma dependência quadrática com a métrica EDP. O seu valor só piora com o aumento da tensão de alimentação sendo em média três vezes superior às restantes portas lógicas. Convém ter em mente que todos os valores estão numa ordem de grandeza bastante reduzida que é demonstrativo do potencial da lógica em DyCML.

4.7 Comparação entre o DyCML e o MCML

Como já foi referido no capítulo dois, o DyCML foi proposto por Mohamed W. Allam, como um refinamento da tecnologia MCML, de modo que se torna interessante comparar estas duas tecnologias.

Uma questão que se levanta à partida é a validade da comparação de duas tecnologias tão distintas. Enquanto a tecnologia MCML tem um consumo independente da frequência de funcionamento, o mesmo não se passa com o DyCML. Deveria então existir uma frequência onde o DyCML consome o mesmo que o equivalente MCML, para uma dada implementação tecnológica.

Infelizmente, o fator limitativo do DyCML em frequência é a tensão de alimentação, como pode ser facilmente observado no gráfico da figura 4.4. Simulações em Cadence demonstram que mantendo os valores da tabela 4.1 e aumentando apenas a frequência, o consumo nunca chega próximo dos valores obtidos com o MCML. Note-se que no caso do MCML cujo consumo é independente da frequência [10], existe sempre um consumo estático.

Fazendo uso dos dados recolhidos na dissertação de mestrado [10] sobre MCML e mantendo a mesma excursão de sinal lógico à saída, facilitado pela equação 3.13, uma alimentação $V_{DD} = 2.5$ V, uma frequência de funcionamento $f = 400$ MHz, capacidade de saída $C_L = 10$ fF, e transístores com a mesma dimensão e usando a AMS 350 nm, obtemos as seguintes tabelas.

Tabela 4.2 - Consumos do MCML e DyCML

	MCML	DyCML	Relação
Inversor	202241 nW	10182 nW	20x
AND (DDB) V_{01}	198606 nW	10798 nW	18x
AND (DDB) V_{02}	200573 nW	10500 nW	19x
AND (EDS)	174992 nW	10552 nW	17x
XOR-3 (EDS)	221312 nW	10212 nW	22x

O consumo estático presente no MCML encontra-se bem patente nos valores da tabela 4.2 e apresenta-se como uma das principais desvantagens do MCML quando comparado com a lógica dinâmica DyCML que apresenta vantagens nos consumos de potência vinte vezes inferiores.

Para o cálculo dos consumos da tabela 4.2 está incluído os consumos que advêm da implementação de um sinal de relógio com tempos de subida e descida de 10 ps.

Tabela 4.3 - Área ocupada de silício por MCML e DyCML

	MCML	DyCML	Relação
Inversor	348 μm^2	429 μm^2	0.8x
AND (DDB)	476 μm^2	661 μm^2	0.7x
AND (EDS)	611 μm^2	672 μm^2	0.9x
XOR-3 (EDS)	771 μm^2	1083 μm^2	0.7x

Todas as vantagens do DyCML relativamente aos consumos vêm com um custo. A área ocupada em silício é por norma sempre superior à ocupada pelo equivalente em MCML. Na tabela 4.3 apresenta-se apenas a área ocupada porta lógica. No caso do DyCML a área expressa na tabela, não inclui o espaço ocupado pelo condensador C1, que representa em média um aumento de 4% na área total ocupada pela lógica [9].

Este valor de 4% é relativamente baixo pois a excursão de sinal de saída é na ordem dos 20% e o valor de C_L é pequeno (por norma são apenas portas de transístores).

Tabela 4.4 - Relação Potencia/Área de MCML e DyCML

	MCML	DyCML	Relação
Inversor	518 m W/m ²	24 m W/m ²	22x
AND (DDB) V₀₁	417 m W/m ²	16 m W/m ²	26x
AND (DDB) V₀₂	421 m W/m ²	16 m W/m ²	26x
AND (EDS)	286 m W/m ²	16 m W/m ²	18x
XOR-3 (EDS)	287 m W/m ²	9 m W/m ²	32x

Uma métrica importante em VLSI é o potência/área [9]. Quanto maior este valor, maior o calor gerado numa dada superfície de silício. Na tabela 4.4 observa-se que a tecnologia DyCML é muito superior, o que implica uma maior eficiência energética, dada a mesma área.

Tabela 4.5 - Tempos de propagação do MCML e DyCML

	MCML	DyCML	Relação
Inversor	40 ps	199 ps	0.2x
AND (DDB) V₀₁	75 ps	234 ps	0.3x
AND (DDB) V₀₂	45 ps	175 ps	0.3x
AND (EDS)	75 ps	210 ps	0.4x
XOR-3 (EDS)	70 ps	516 ps	0.1x

Os tempos de propagação observados na tabela 4.5 permitem concluir que o MCML é uma tecnologia mais rápida que o DyCML. A fonte de corrente que se encontra presente no MCML permite obter t_{pHL} bastante baixos de forma que o DyCML não consegue rivalizar.

Tabela 4.6 - EDP do MCML e DyCML

	MCML	DyCML	Relação
Inversor	$323.59 \times 10^{-27} \text{ w.s}^2$	$403 \times 10^{-27} \text{ w.s}^2$	+ 1.25
AND (DDB) V_{01}	$1117.2 \times 10^{-27} \text{ w.s}^2$	$591 \times 10^{-27} \text{ w.s}^2$	- 1.89
AND (DDB) V_{02}	$506.16 \times 10^{-27} \text{ w.s}^2$	$322 \times 10^{-27} \text{ w.s}^2$	- 1.57
AND (EDS)	$984.33 \times 10^{-27} \text{ w.s}^2$	$465 \times 10^{-27} \text{ w.s}^2$	- 2.12
XOR-3 (EDS)	$1084.4 \times 10^{-27} \text{ w.s}^2$	$2719 \times 10^{-27} \text{ w.s}^2$	+ 2.5

O produto energia atraso tem um valor bastante próximo para ambas as tecnologias, no entanto, em portas lógicas com dois estágios de entrada o DyCML revela-se ligeiramente superior. Para tecnologias com um ou três estágios o MCML revela-se superior. Como métrica o EDP penalizada fortemente o tempo de propagação do DyCML, no entanto as suas vantagens em termos de consumo permitem ao DyCML rivalizar com o MCML.

4.8 Conclusão

Neste capítulo é feita uma análise da implementação da lógica em DyCML na tecnologia AMS 350 μm onde se abordam aspetos relativos ao *layout*. Um dos aspetos mais relevantes é o facto, do PUN permanecer inalterado independentemente da lógica implementada. O aumento na complexidade lógica, só interfere com o número de transístores no PDN.

A descrição de como implementar portas lógicas mais comuns é apresentada e são comparados os seus consumos e tempos de propagação. Regista-se uma pequena diminuição de consumos para portas lógicas mais complexas. Esta diminuição para portas lógicas mais complexas, é devido a existir uma maior impedância entre V_{DD} e a terra no momento de transição relógio. Um dos efeitos mais imediatos desta impedância é um aumento nos tempos de propagação deteriorando a frequência máxima de funcionamento de portas lógicas mais complexas.

Comparando a implementação lógica DyCML com a MCML relativamente à potência consumida por área ocupada conclui-se que o DyCML é superior. Nunca é demais referir que a implementação em DyCML tem o consumo dependente da sua frequência de funcionamento.

No entanto o MCML apresenta vantagens em termos de velocidade que se refletem no EDP trazendo ambas as tecnologias para o mesmo patamar de desempenho.

O objetivo de Mohamed W. Allam [9] ao propor a lógica DyCML seria capitalizar sobre as vantagens inerentes do MCML, de imunidade ao ruído e de velocidade, e diminuir o seu consumo. O estudo abordado neste capítulo permite concluir que a implementação da componente dinâmica acarreta uma grande redução dos consumos, mantendo uma área de silício comparável ao MCML.

5 Conclusões

5.1 Conclusões

Esta dissertação apresenta a técnica de desenho em circuitos digitais DyCML, que procura resolver alguns dos novos desafios que advêm da miniaturização dos circuitos integrados.

A lógica DyCML recorre a uma terra virtual, constituída por C1 que armazena parte da carga de C_L de modo a assegurar uma correta implementação da lógica. A razão entre C1 e a capacidade de saída desempenha um papel preponderante no funcionamento deste circuito que estabelece a excursão do sinal de saída.

A lógica CMOS convencional pode coexistir com a lógica DyCML na mesma lâmina de silício, pois a integração de ambas é facilmente realizada. Isto possibilita a diminuição de consumos ou a redução dos tempos de propagação e diminuição de ruído em pontos do circuito onde estes fatores sejam críticos.

O estudo feito em simulador com o *Spectre* com as portas lógicas permite uma análise mais próxima da camada física. A elaboração e validação do *layout* das diversas portas lógicas e subsequente análise do seu desempenho permitem a comparação com outras implementações tecnológicas e facilita a inclusão da lógica DyCML em CMOS convencional.

No caso da tecnologia AMS 350 nm, dado uma tensão de alimentação de 3.3 V é possível atingir uma frequência máxima de funcionamento de 2.5 GHz que permite implementações extremamente rápidas. No entanto o consumo é muito dependente do valor da tensão de alimentação e encontra-se muito dependente da frequência de funcionamento

Quando se comparam as portas lógicas em DyCML com as suas perceptoras MCML registam-se diminuições de consumo na ordem das décadas. No entanto a área e os tempos de propagação são piores, relevando um EDP semelhante para ambas as implementações. Analisando a potência gerada por área o DyCML permite concluir que esta é uma tecnologia mais orientada para implementações como o VLSI onde o fator potencia/área é de grande relevância.

5.2 Linhas de investigação futuras

O estudo de implementações dinâmicas teve um ressurgimento recentemente com advento dos dispositivos portáteis. No entanto o estudo da sua implementação encontra-se muito desatualizado e, com exceção da Lógica Dominó, encontra-se completamente desadequado com os problemas que advém da miniaturização [36]. Como tal é importante aprofundar tecnologias como o DyCML. Deixam-se aqui algumas sugestões de tópicos que penso merecerem uma análise mais aprofundada:

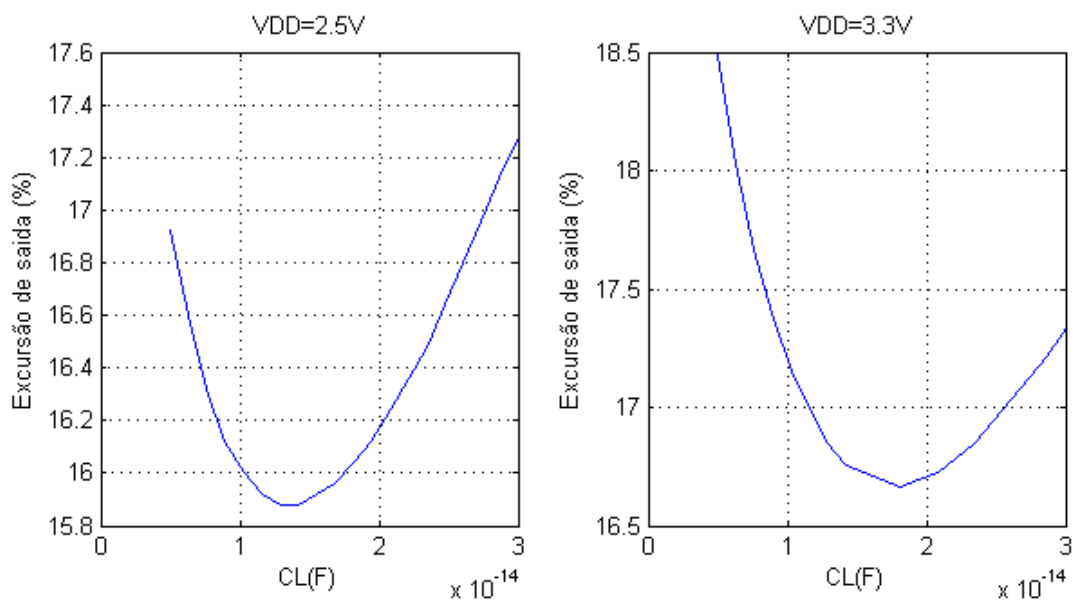
- Uma implementação de portas lógicas mais complexas e de implementação mais prática;
- Adaptar a lógica a uma configuração que torne o V_{swing} independente da capacidade de saída C_L .
- Análise mais aprofundada dos métodos de ligação entre blocos lógicos em DyCML com vista a redução de consumos e tempos de propagação;
- Usar tecnologias que permitam uma maior miniaturização em CMOS e posterior análise do comportamento do circuito
- Estudar o impacto do aumento da relação W/L dos transístores na performance do circuito
- Comparar o DyCML com mais tecnologias dinâmicas em termos de consumos e velocidade.

Anexos

Anexo A

Inversor

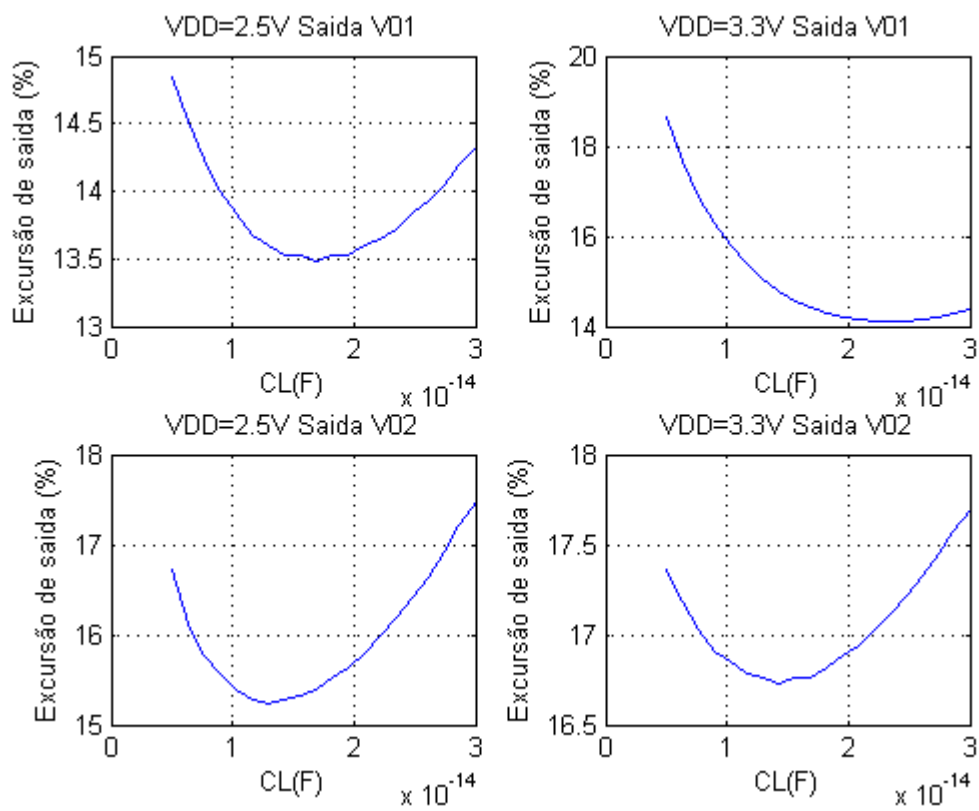
Função: Inversor

Dimensão: 17,80 x 24,15 μm^2 Equação Lógica: $A = \bar{A}$ Excursão de saída com $f=400\text{MHz}$ 

Anexo B

Implementação do método Diagrama de Decisão Binária (DDB)

Função: AND/NAND OR/NOR

Dimensão: 22,00 x 30,05 μm^2 Excursão de saída com $f=400\text{MHz}$ 

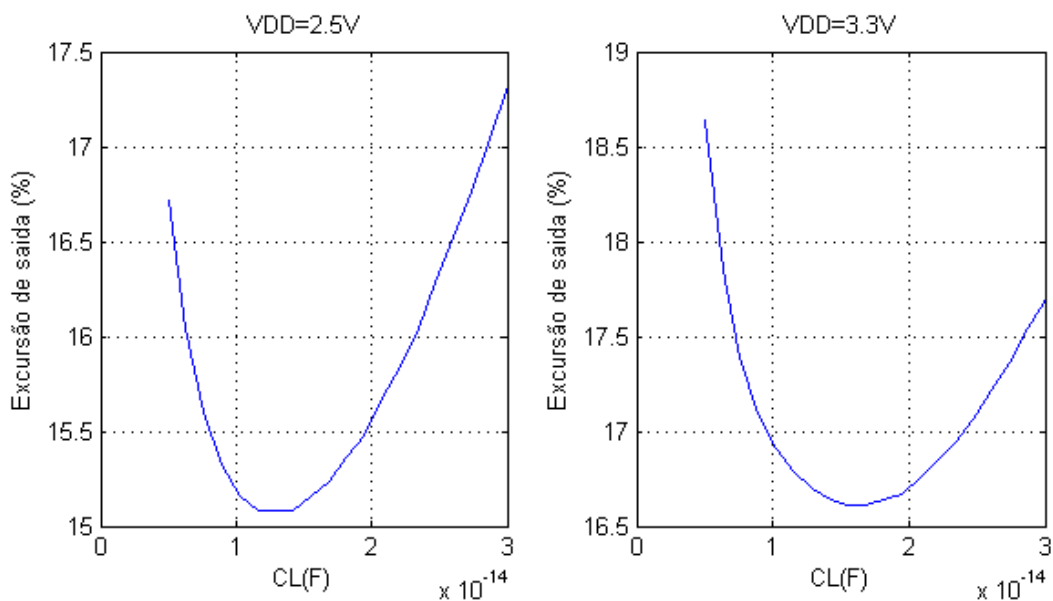
Anexo C

Implementação do método Diferencial Simétrico (EDS)

Função: AND/NAND OR/NOR XOR/XNOR MUX 2:1

Dimensão: 22,40 x 30,00 μm^2

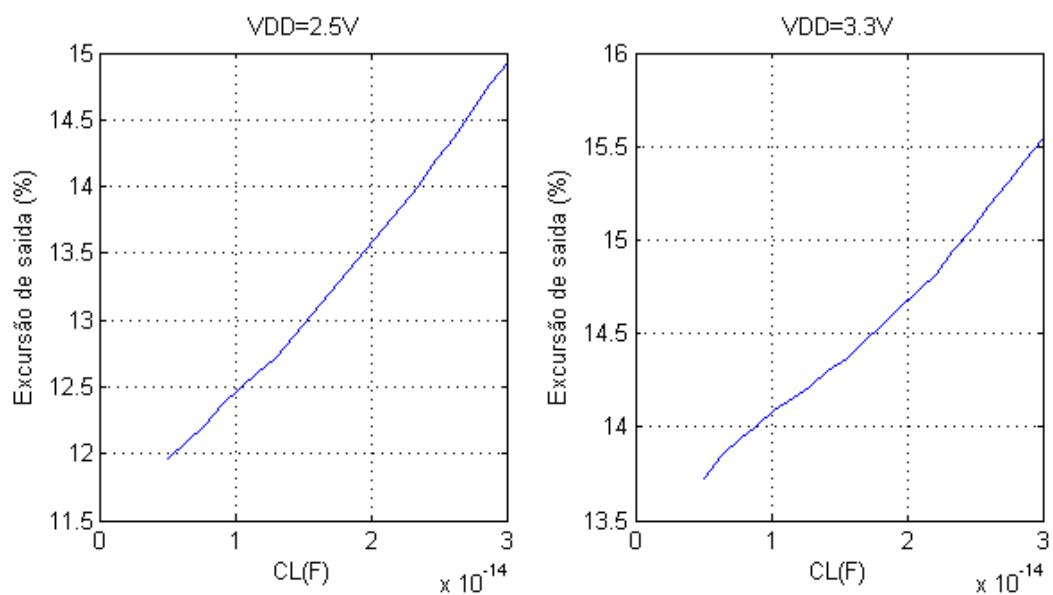
Excursão de saída com $f=400\text{MHz}$



Função: XOR 3

Dimensão: 36,65 x 29,55 μm^2

Excursão de saída com $f=400\text{MHz}$



Referências

- [1] M. Alioto, et al., "Modelling of source-coupled logic gates" International Journal of Circuit Theory and Applications, vol. 30, pp.459-477, 2002 26
- [2] Abhinav; Rai, S.; Tripathi, R.; , "A robust design for ultra low power operation using dynamic threshold SCL logic," Computer and Communication Technology (ICCCT), 2011 2nd International Conference on , vol., no., pp.265-269, 15-17 Sept. 2011
- [3] Tajalli, A.; Leblebici, Y.; , "Design trade-offs in ultra-low-power CMOS and STSCL digital systems," Circuit Theory and Design (ECCTD), 2011 20th European Conference on , vol., no., pp.544-547, 29-31 Aug. 2011
- [4] Tajalli, A.; Alioto, M.; Leblebici, Y.; , "Improving Power-Delay Performance of Ultra-Low-Power Subthreshold SCL Circuits," Circuits and Systems II: Express Briefs, IEEE Transactions on , vol.56, no.2, pp.127-131, Feb. 2009
- [5] Sung, R. J.-H.; Elliott, D. G.; , "Clock-Logic Domino Circuits for High-Speed and Energy-Efficient Microprocessor Pipelines," Circuits and Systems II: Express Briefs, IEEE Transactions on , vol.54, no.5, pp.460-464, May 2007
- [6] Atani, R. E.; Mirzakuchaki, S.; Atani, S. E.; Meier, W.; , "Design and simulation of a DPA resistive circuit for Trivium stream cipher based on SABL logic styles," Mixed Design of Integrated Circuits and Systems, 2008. MIXDES 2008. 15th International Conference on , vol., no., pp.203-207, 19-21 June 2008
- [7] Khabiri, S.; Shams, M.; , "Implementation of MCML universal logic gate for 10 GHz-range in 0.13 μm CMOS technology," Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on , vol.2, no., pp. II-653-6 Vol.2, 23-26 May 2004
- [8] Hanyu, T.; Mochizuki, A.; Kameyama, M.; , "Multiple-valued dynamic source-coupled logic," Multiple-Valued Logic, 2003. Proceedings. 33rd International Symposium on , vol., no., pp. 207- 212, 16-19 May 2003
- [9] Allam, M.W.; Elmasry, M.I.; , "Dynamic current mode logic (DyCML), a new low-power high-performance logic family," Custom Integrated Circuits Conference, 2000. CICC. Proceedings of the IEEE 2000 , vol., no., pp.421-424, 2000

- [10] Paulo Sérgio Nogueira Morais, “Circuitos Digitais em Modo de Corrente”, Dissertação de Mestrado, Universidade de Aveiro, Portugal, 2010
- [11] F. Mace, F.-X. Standaert, J.D. Legat, J.-J. Quisquater, Recommendations for Secure IC's and ASIC's, UCL Crypto Group, DICE,UCL
- [12] Mohamed W. Allam, New Methodologies for Low-Power High-Performance Digital VLSI Design
- [13] M.I.G.M.A.S. Fernandes, “Estudo de algoritmos de minimização de funções booleanas utilizando diagramas de decisão binária”, Porto, 1991.
- [14] Homma, N.; Aoki, T.; Higuchi, T.; , “Algorithm-level interpretation of fast adder structures in binary and multiple-valued logic,” Multiple-Valued Logic, 2006. ISMVL 2006. 36th International Symposium on , vol., no., pp. 2, 17-20 May 2006
- [15] Gin Yee; Sechen, C.; , “Clock-delayed domino for dynamic circuit design,” Very Large Scale Integration (VLSI) Systems, IEEE Transactions on , vol.8, no.4, pp.425-430, Aug. 2000
- [16] Alioto, M.; Palumbo, G.; , “Power-delay trade-offs in SCL gates,” Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on , vol.3, no., pp. III-249- III-252 vol.3, 2002
- [17] M. Alioto, G. Palumbo, S. Pennisi, “Predicting Propagation Delay in SCL gates,” Proc. Of ECCTD 2001, pp. III/209-212
- [18] Thomas A. DeMassa and Zack Ciccone, “Digital Integrated Circuits” John Wiley & Sons, 1996.
- [19] Jan M. Rabaey, Anantha Chandrakasan and Borivoje Nikolic, “Digital Integrated Circuits: A Design Perspective” Second Edition, Internacional Edition, Prentice Hall Electronics and VLSI Series, 2003
- [20] Badaroglu, M.; Tiri, K.; Donnay, S.; Wambacq, P.; Verbauwhede, I.; Gielen, G.; De Man, H.; , “Clock tree optimization in synchronous CMOS digital circuits for substrate noise reduction using folding of supply current transients,” Design Automation Conference, 2002. Proceedings. 39th , vol., no., pp. 399- 404, 2002
- [21] Jianchao Lu; Taskin, B.; , “Reconfigurable clock polarity assignment for peak current reduction of clock-gated circuits,” Circuits and Systems (ISCAS), 2011 IEEE International Symposium on , vol., no., pp.1940-1943, 15-18 May 2011
- [22] M.Yamashina and H. Yamad, MOS current mode logic MCML circuit for low-power GHz processors, NEC Res. Develop, vol 36, no. 1,pp. 54-63, jan. 1995.
- [23] Neil H. E. Weste and Kamran Eshraghian, “Principles of CMOS VLSI Design: A Systems Perspective” Second Edition, Addison-Wesley Publishing Company, 1993.
- [24] Jan M. Rabaey, Anantha Chandrakasan and Borivoje Nikolic, “Digital Integrated Circuits: A Design Perspective” Second Edition, Internacional Edition, Prentice Hall Electronics and VLSI Series, 2003.

-
- [25] Iwai, H.; , "CMOS technology-year 2010 and beyond," Solid-State Circuits, IEEE Journal of , vol.34, no.3, pp.357-366, Mar 1999
- [26] R. Jacob Baker, et al., "CMOS: Circuit Design, Layout, and Simulation" Wiley-IEEE Press, 3rd Edition, 2010.
- [27] J.A.R Oliveira, "Células de referência de tensão CMOS com compensação de temperatura" Dissertação de Mestrado, Universidade de Aveiro, Portugal, 2009
- [28] Weigandt, T.C.; Beomsup Kim; Gray, P.R.; , "Analysis of timing jitter in CMOS ring oscillators," Circuits and Systems, 1994. ISCAS '94., 1994 IEEE International Symposium on , vol.4, no., pp.27-30
- [29] McNeill, J.; , "Jitter in ring oscillators," Circuits and Systems, 1994. ISCAS '94., 1994 IEEE International Symposium on , vol.6, no., pp.201-204 vol.6, 30 May-2 Jun 1994
- [30] Shing-Tak Yan; Luong, H.C.; , "A 3 V 1.3-to-1.8 GHz CMOS Vage-controlled oscillator with 0.3 ps-jitter," Circuits and Systems, 1997. ISCAS '97., Proceedings of 1997 IEEE International Symposium on , vol.1, no., pp.29-32 vol.1, 9-12 Jun 1997
- [31] Hajimiri, A.; Limotyakis, S.; Lee, T.H.; , "Jitter and phase noise in ring oscillators," Solid-State Circuits, IEEE Journal of , vol.34, no.6, pp.790-804, Jun 1999
- [32] Herzel, F.; Razavi, B.; , "A study of oscillator jitter due to supply and substrate noise," Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on , vol.46, no.1, pp.56-62, Jan 1999
- [33] A. P. Martínez, "Design of MOS Current-Mode Logic Standard Cells", Master Semester Project, Microelectronics System Laboratory Ecole Polytechnique Fédérale de Lausanne, Lausanne, 2007
- [34] M. Alioto and G. Palumbo, "Model And Design Of Bipolar And Mos Currente-Mode Logic:CML,ECL and SCL Digital Circuits", Kluwer Academic Publishers, 2005
- [35] H. Hassan, et al., "Design and optimization of MOS current mode logic for parameter variations", presented at the 14th ACM Great Lakes symposium on VLSI, Boston,USA,2004
- [36] João Tiago da Rocha Araújo, "Impacto do scaling da tecnologia CMOS no desenho de circuitos digitais" Dissertação de Mestrado, Universidade de Aveiro, 2008