



**Pedro Renato de
Abrantes Resende**

Fonte para Cadeia Amplificadora de Microondas



**Pedro Renato de
Abrantes Resende**

Fonte para Cadeia Amplificadora de Microondas

Dissertação apresentada à Universidade de Aveiro para cumprimento dos requisitos necessários à obtenção do grau de Mestre em Engenharia Electrónica e Telecomunicações, realizada sob a orientação científica do Prof. Doutor João Nuno Pimentel da Silva Matos, Professor Associado do Departamento de Electrónica, Telecomunicações e Informática da Universidade de Aveiro.

A todos.

o júri

presidente

Professor Doutor José Carlos Esteves Duarte Pedro

Professor Catedrático do Departamento de Electrónica, Telecomunicações e Informática da Universidade de Aveiro

vogais

Professor Doutor João Nuno Pimentel da Silva Matos

Professor Associado do Departamento de Electrónica, Telecomunicações e Informática da Universidade de Aveiro (Orientador)

Professor Doutor José Carlos Meireles Monteiro Metrôlho

Professor Adjunto do Departamento de Engenharia Informática da Escola Superior de Tecnologia do Instituto Politécnico de Castelo Branco (Arguente)

agradecimentos

É com muito gosto que quero agradecer a todos aqueles que me acompanharam e ajudaram neste percurso académico.

Em primeiro lugar um agradecimento muito especial aos meus Pais, família e namorada por todo o apoio e motivação dado ao longo da minha vida.

Ao meu Orientador Professor Doutor João Nuno Matos, por todo o apoio, compreensão e conhecimentos partilhados para a realização deste trabalho.

À Universidade de Aveiro, ao Departamento de Electrónica, Telecomunicações e Informática, e igualmente ao Instituto de Telecomunicações (pólo de Aveiro), por me terem facultado excelentes condições de trabalho, que sem estas a conclusão deste projecto não seria possível.

Aos meus amigos de sempre, que foram sem dúvida muito importantes nesta etapa, tanto em Portugal como na Roménia, por todas as vivências e experiências que tivemos juntos ao longo destes anos.

palavras-chave

Amplificadores de Potência em RF, Classes de Operação, Fonte de alimentação, MESFET.

Resumo

É objectivo principal desta Tese de Mestrado o estudo e execução de uma fonte de alimentação que fornece corrente de dreno constante para amplificadores de potência (MESFETs).

Actualmente, os FETs de RF / Microondas exigem um modo de operação para definir as condições correctas de polarização. A fim de se usar adequadamente qualquer amplificador é necessário fornecer as condições de polarização correctas.

A aplicação sequenciada de tensões no dispositivo é muito importante, garantindo assim que o amplificador não corre o risco de se danificar. Através das curvas I-V, podemos verificar que se V_{DS} for aplicado em primeiro lugar, com V_{GS} igual a 0 V, a corrente obtida no dispositivo será elevada, o que poderá danificar totalmente, ou parcialmente, o dispositivo activo.

Como conclusão, foi projectado, realizado e testado um circuito de controlo de alimentação para um funcionamento consistente do amplificador de potência.

keywords

Mesfet, Operation Classes, Power Supply, RF Power Amplifiers.

Abstract

This project is a simplified representation of a circuit that provides constant drain current bias for MESFET amplifiers.

Nowadays the RF / Microwave FETs require some form of circuit to set the correct bias conditions for a particular RF performance. In order to properly use any amplifier it is necessary to provide the correct operating environment.

Power sequencing is very important in order to assure that the amplifier is not overstressed. From the I-V curves it can be observed that if V_{DS} is applied first, while the V_{GS} remains at 0 V, then the current through the device would damage the Amplifier.

In conclusion, a practical implementation for consistent amplifier operation has been presented. It describes the proper bias sequencing necessary to safely turn on a device.

Conteúdo

Conteúdo	i
Lista de Figuras	iii
Lista de Tabelas	v
1 Introdução	1
1.1 Motivação e Enquadramento	1
1.2 Objectivos	3
1.3 Sumário	4
2 Considerações sobre FET “<i>Biasing</i>”	5
2.1 Introdução	5
2.2 Dispositivo Activo	5
2.3 JFETs e MESFETs	6
2.3.1 JFET	6
2.3.2 Funcionamento	7
2.3.3 MESFETs - Introdução e Características	9
2.3.4 Estrutura Física	11
2.3.5 Princípio de Operação	12
2.3.6 Modelo MESFET	14
2.3.7 Aplicações	15
2.4 DC <i>Biasing</i>	15
2.4.1 Sequências de polarização - Turn-on e Turn-off	16
2.4.2 Fontes de Alimentação e Conexões ao Amplificador	19
2.5 Estado de Arte - O que existe no mercado	20
2.6 Sumário	21
3 Teoria de Amplificadores de Potência	23
3.1 Introdução	23
3.2 Classes de Operação dos Amplificadores de Potência	24
3.2.1 Classe A	25
3.2.2 Classe B	25
3.2.3 Classe AB	26
3.2.4 Classe C	27
3.3 Potência	28
3.4 Ganho	29

3.5	Eficiência	30
3.6	Parâmetros S	31
3.7	Estabilidade	32
3.8	Medidas de não Linearidade	32
3.8.1	Ponto de Compressão de 1dB	33
3.8.2	Distorção de Intermodulação	34
3.8.3	ACPR - <i>Adjacent Channel Power Ratio</i>	35
3.8.4	IP3 - Ponto de Intersecção de 3 ^a Ordem	35
3.9	Sumário	36
4	Projecto e Simulações	37
4.1	Introdução	37
4.2	Dispositivo Activo	37
4.2.1	Sequência de polarização	38
4.3	Análise DC e Ponto de Polarização	38
4.4	Circuitos de Polarização	41
4.4.1	Circuito com espelho de corrente	42
4.5	Placa de Polarização	46
4.5.1	Circuito	47
4.6	Resultados de Simulação	50
4.7	Sumário	54
5	Implementação Prática e Medidas	55
5.1	Desenho do layout e implementação	55
5.2	Resultados Práticos	58
5.3	Sumário	61
6	Conclusão e Trabalho Futuro	63
6.1	Sumário e Conclusão	63
6.2	Trabalho Futuro	64
	Bibliografia	65

Lista de Figuras

1.1	Diagrama de blocos - Circuito de controlo de alimentação de FETs.	1
1.2	Modelo para pequenos sinais de um MESFET.	2
1.3	Sequência das tensões de alimentação.	3
2.1	Estrutura do JFET de canal n.	7
2.2	a) canal n b) canal p c) dupla gate	7
2.3	Princípio de funcionamento de um JFET.	8
2.4	Região de depleção aumenta quando V_{DS} aumenta.	8
2.5	Curvas características I-V de um JFET.	9
2.6	Junção p-n no JFET.	10
2.7	Schottky <i>gate</i> FET.	11
2.8	Estrutura de um dispositivo MESFET.	12
2.9	GaAs MESFET em operação sob diferentes condições de V_{DS} - (a) Linear, (b) V_{DS} no início da saturação, (c) V_{DS} elevado.	13
2.10	Curvas características IV de um dispositivo MESFET para diferentes valores de V_{GS} , a corrente ideal é desenhada em curva sólida.	14
2.11	Origem física de cada elemento do MESFET.	15
2.12	Bias T.	16
2.13	“Zona de trabalho”.	18
2.14	Conexões da Fonte de Alimentação ao Amplificador.	19
2.15	TE1BD é a placa de polarização dual proporcionando fácil controlo de tensões de <i>gate</i> e dreno.	20
2.16	Características das placas de polarização Tecdia.	21
2.17	Diagrama de blocos da placa da série TFV.	21
3.1	Classes de Operação de um Amplificador de Potência baseadas na curva característica de um dispositivo activo genérico.	24
3.2	Representa a relação linearidade - rendimento.	25
3.3	Representa a forma de onda da corrente à saída do amplificador.	26
3.4	Representa a forma de onda da corrente à saída do amplificador.	26
3.5	Representa a forma de onda da corrente à saída do amplificador.	27
3.6	Representa a forma de onda da corrente à saída do amplificador.	28
3.7	Diagrama de Blocos de um circuito de amplificação.	29
3.8	Definição de Ganho de Potência [18].	30
3.9	Constituição de um diporto.	32
3.10	Ponto de 1dB de compressão.	33

3.11	Espectro de frequências de um sinal de dois tons à saída de um amplificador.	34
3.12	Ilustração do ACPR.	35
3.13	Ponto de intercepção de 3ª ordem, retirado de [20].	36
4.1	Esquema utilizado para obter as curvas I-V do transistor NPTB00004.	39
4.2	Curvas de I_{DS} vs V_{DS} do transistor NPTB00004.	39
4.3	Curvas de I_{DS} em função de V_{GS} do transistor NPTB00004.	40
4.4	Curva $I_{DS}(V_{GS})$ para corrente $I_{DQ} = 50$ mA.	40
4.5	Circuito de simulação para dispositivo em teste.	42
4.6	Circuito de simulação para dispositivo em teste.	43
4.7	Espelho de corrente para funcionamento no ponto Q pretendido.	44
4.8	Circuito com espelho de corrente e MAX881.	45
4.9	Diagrama de blocos do circuito.	47
4.10	Circuito base da DC Board.	48
4.11	Circuito esquemático para 2n5486.	49
4.12	Circuito esquemático para IRF510.	49
4.13	Gráfico de V_{GS} e I_{DS} do JFET 2n4416.	50
4.14	Gráfico de V_{DS} e I_{DS} do JFET 2n4416.	51
4.15	Gráfico de V_{GS} e I_{DS} do FET IRF510.	52
4.16	Gráfico de V_{DS} e I_{DS} do FET IRF510.	52
4.17	Gráfico de I_{DS} com vários valores de resistência R_3	53
4.18	Gráfico de V_{GS} com vários valores de resistência R_3	54
5.1	Desenho de <i>layout</i> parte superior.	56
5.2	Desenho de <i>layout</i> parte inferior.	56
5.3	Implementação vista da parte superior.	57
5.4	Implementação vista da parte inferior.	57
5.5	Teste com placa branca.	58
5.6	Montagem final.	60
5.7	Curva $I_{DS}(V_{GS})$	60

Lista de Tabelas

2.1	Propriedades dos Semicondutores [4].	6
3.1	Tabela com as Classes de operação convencionais [13]	28
4.1	Tabela com as características do transistor NPTB00004.	41
4.2	Características DC do transistor NPTB00004.	41
4.3	Tabela com as características do transistor FLM5359-12F.	41
4.4	Características DC do transistor FLM5359-12F.	41
4.5	Valores Simulados.	51
4.6	Valores Simulados.	53
5.1	Valores Deduzidos.	59
5.2	Valores Deduzidos.	59

Acrónimos

AC	Alternating Current
ACPR	Adjacent Channel Power Ratio
ADS	Agilent EEsof Advanced Design System
AP	Amplificador de Potência
BJT	Bipolar Junction Transistor
CMOS	Complementary Metal-Oxide Semiconductor
dB	Decibel
dBm	dB em relação a 1mW
DC	Direct Current
FET	Field-Effect Transistor
GaAs	Arseneto de Gálio
GaN	Nitreto de Gálio
HEMT	High Electron Mobility Transistor
IM3	Intermodulação de 3ª Ordem
IMR	Intermodulation Ratio
IP3	Ponto de intersecção de 3ª Ordem
IV	Current-Voltage
LTSPICE	Linear Technologies Spice
MESFET	Metal Semiconductor Field-Effect Transistor
MOSFET	Metal Oxide Semiconductor Field-Effect Transistor
P1dB	Ponto de compressão de 1dB
PA	Power Amplifier
PAE	Power Added Efficiency
PCB	Printed Circuit Board
P_{in}	Potência de Entrada
P_{out}	Potência de Saída
RF	Rádio Frequência
Si	Sílicio
V_P	Tensão de Pinch-off
V_T	Tensão de Threshold

Capítulo 1

Introdução

1.1 Motivação e Enquadramento

A necessidade de comunicação e conseqüente desenvolvimento tecnológico tem gerado um crescimento relevante nos sistemas de telecomunicações. O avanço nos estudos dos dispositivos semicondutores tem acompanhado esta evolução, tornando real a capacidade de explorar cada vez mais as características dos dispositivos activos presentes em amplificadores de potência.

As exigências básicas para o projecto de amplificadores de potência são a potência de saída, ganho e eficiência. A potência de saída está relacionada com a distância de comunicação, e a eficiência está afectada ao consumo do equipamento. Estas exigências, para serem atendidas, necessitam de cuidados especiais, já que normalmente os dispositivos são não-lineares.

É dentro do universo de sistemas de comunicações por rádio frequência, vocacionados para a transmissão de sinal, que se insere o circuito de controlo de alimentação descrito nesta dissertação.

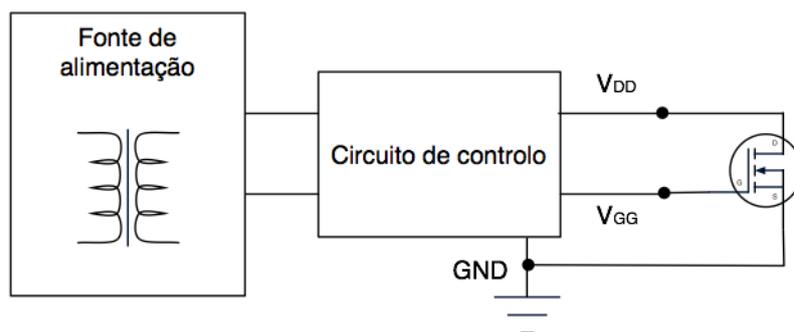


Figura 1.1: Diagrama de blocos - Circuito de controlo de alimentação de FETs.

Inserido na área de Electrónica para Telecomunicações, com este trabalho pretende-se projectar e testar um sistema de controlo adequado à alimentação de amplificadores RF.

O amplificador de potência utilizado é constituído por dois dispositivos activos, sendo um de média potência e outro de alta potência. A alimentação destes, terá que ser feita de

uma forma sequencial e adaptada aos amplificadores em questão, de forma a poderem ser facilmente integrados num sistema emissor. Sabendo que estes necessitam de um cuidado especial, o objectivo principal deste trabalho, baseia-se no desenvolvimento de um módulo de potência para fácil utilização por parte de um utilizador “leigo” ou sem qualquer tipo de conhecimento na área de amplificadores RF.

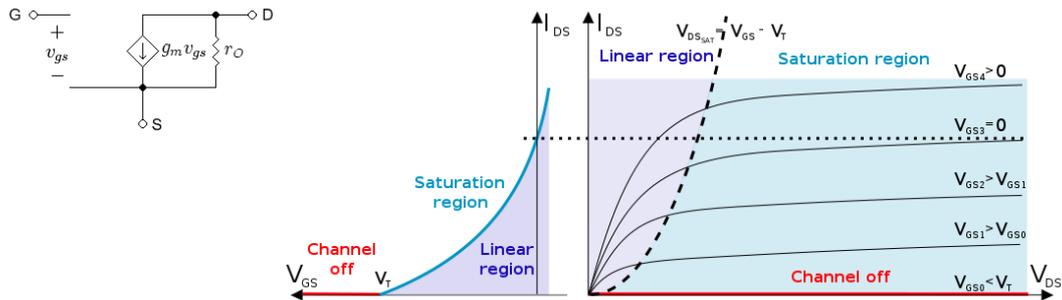


Figura 1.2: Modelo para pequenos sinais de um MESFET.

Por forma a ilustrar a motivação deste trabalho na figura 1.2 temos o modelo para sinal de um MESFET, considerando-o como uma fonte de corrente controlada por tensão. É importante notar que os parâmetros do modelo para pequenos sinais g_m e r_o dependem do ponto de polarização DC.

Estes dispositivos (MESFET) são do tipo depleção, o que significa que I_{DS} tem um valor elevado para um V_{GS} aproximadamente de 0 V. Ao aplicarmos directamente V_{DS} sem termos o cuidado prévio de colocar $V_{GS} < V_T$, irá acontecer que o dispositivo activo terá um valor de I_{DS} máximo. Então, o objectivo principal do circuito de polarização é atribuir uma sequência de tensões prevenindo falhas e ocorrência de danos, e por fim manter I_{DS} constante.

A título de exemplo, a alimentação destes dispositivos é feita do seguinte modo. Coloca-se o dispositivo activo em corte, V_{GS} com cerca de -5 V, e fixa-se V_{DS} nos 28 V. Aumentando ligeiramente V_{GS} e observando o valor de I_{DS} , determina-se a tensão de condução do transistor, V_T - Tensão de *threshold*. Depois de observado esse valor, altera-se V_{GS} até à polarização pretendida, tendo sempre a conta a corrente I_{DS} presente no Transistor.

Para que o amplificador funcione é necessário executar este procedimento, com especial atenção para o valor de V_{GS} do transistor. Com este trabalho pretende-se anular este passo, por forma a que o utilizador apenas escolha a corrente que pretende para a polarização desejada.

Porquê a importância deste sistema num Amplificador de Potência?

A fim de se usar adequadamente qualquer amplificador é necessário fornecer as condições de operação correctas. Neste processo de polarização, requiere-se que não sejam atingidas zonas de oscilação ou potencialmente instáveis.

À medida que V_{GS} se torna mais negativo, a corrente I_{DS} do dispositivo diminui de tal forma que pode chegar a zero caso a tensão de condução, V_T , seja atingida. Então, o

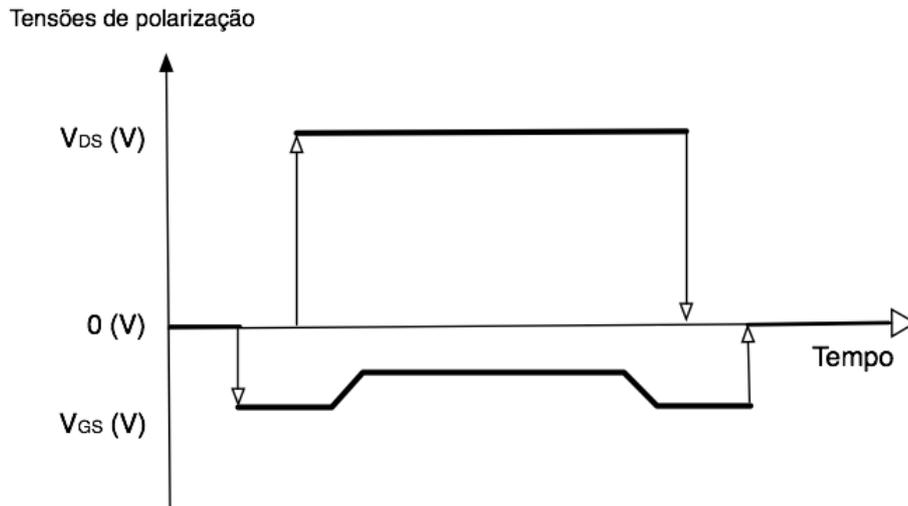


Figura 1.3: Sequência das tensões de alimentação.

objectivo principal do circuito é atribuir uma sequência de polarização e manter a corrente I_{DS} pretendida pelo utilizador, sem que seja necessário ajustar V_{GS} .

Tal como demonstrado na figura 1.3, esta é a sequência de tensões a aplicar no dispositivo activo. Se este procedimento não for cumprido, corre-se o risco de danificar o FET ao aplicar V_{DS} directamente, sem que primeiro se aplique uma tensão negativa de modo a “cortar” o dispositivo.

Um conjunto de conceitos devem ser retidos, tais como a importância de polarização DC em amplificadores de potência, a necessidade de sequência DC, possíveis problemas com a longevidade dos FETs e os danos causados com aplicação de V_{DS} directamente.

Quanto à existência deste tipo de produtos no mercado, neste caso, pouco foi encontrado. Isto deve-se a que normalmente é algo que o utilizador executa no laboratório com conhecimento próprio, sem a necessidade de recorrer a um controlo de alimentação descrito neste trabalho.

1.2 Objectivos

O objectivo desta dissertação é fazer o estudo e projecto de um circuito de polarização de FETs de Potência, capaz de fornecer corrente de dreno constante e toda a sequência activação dos mesmos.

No sentido de se alcançar o objectivo principal deste trabalho, foi dividido nas seguintes etapas:

- Estudo dos princípios de funcionamento.
- Analisar o pré-existente e discutir eventuais melhorias.

- Desenvolver o circuito de alimentação / controlo FET.
- Montagem, teste e validação.
- Observação crítica dos resultados e redacção da dissertação.

1.3 Sumário

Para cumprir os objectivos previamente descritos, esta dissertação está organizada em 6 capítulos organizados da seguinte forma:

No presente, Capítulo 1, é feito a motivação e enquadramento do trabalho com uma pequena introdução.

O Capítulo 2, é essencialmente um capítulo teórico abordando o estudo realizado para o projecto do circuito de controlo da fonte de alimentação. O modo de operação dos dispositivos activos em Amplificadores de Potência é também abordado neste capítulo, sendo um dos motivos mais importantes para a realização deste trabalho.

No Capítulo 3 faz-se uma descrição das principais classes de amplificação de potência e caracterizam-se os amplificadores na presença de sinais fracos (Parâmetros S) e sinais fortes (potência, ganho e rendimento). Estudam-se as classes de amplificadores que dependem do ângulo de condução (A, AB, B e C). Por fim, aborda-se as medidas de não linearidade presentes na amplificação de sinais.

O Capítulo 4 explica o projecto do circuito de alimentação para amplificadores RF, bem como descreve todas as simulações efectuadas referentes ao controlo de alimentação para amplificadores RF.

O Capítulo 5 diz respeito à implementação e respectiva análise de resultados, a que o circuito de controlo de alimentação foi sujeito.

Finalmente, no capítulo 6 são apresentadas as conclusões finais sobre o trabalho que permitem definir indicações do trabalho futuro a realizar.

Capítulo 2

Considerações sobre FET “*Biasing*”

2.1 Introdução

Enquanto um enorme esforço tem sido feito pelos fabricantes de semicondutores em caracterizar os dispositivos RF de alta potência, um pequeno esforço é feito em técnicas de “*Biasing*”, ou polarização. A experiência diz-nos que quem projecta amplificadores gasta um tempo significativo em tentar resolver problemas de estabilidade. Estes, advém do facto de dispositivos de alta potência requererem elevados valores de transcondutância.

Desta forma, muitas dúvidas se levantam, sendo certo que nestas também têm responsabilidade o projecto de circuitos de polarização e o procedimento de *turn-on* e *turn-off* dos dispositivos em questão.

Inicialmente neste capítulo, é feita uma abordagem aos dispositivos activos principais, assim como a descrição do seu método e sequência correcta de polarização.

Finalmente, é feita uma revisão sobre os produtos existentes no mercado para a finalidade a que nos propomos nesta dissertação.

2.2 Dispositivo Activo

A escolha do dispositivo activo a utilizar num amplificador é um factor que influencia directamente o seu desempenho. Em 1960 o BJT (*Bipolar Junction Transistor*), construído em Si (silício), marca o nascimento dos dispositivos activos de estado sólido para aplicações em potência de RF. O BJT é um dispositivo que permite obter uma elevada tensão de *breakdown*¹ com relativa facilidade, tal como elevados valores de potência quando utilizado em RF[1].

A segunda geração de semicondutores, representada pelo GaAs (Arseneto de Gálio), já apresenta dispositivos com uma mobilidade de electrões superior aos de Si sendo, por isso capazes de operar eficientemente a frequências mais altas[2].

Nos anos mais recentes, os requisitos dos dispositivos activos tornaram-se mais exigentes ao requerer alta potência e funcionamento a frequências mais elevadas, tornando-se necessário

¹Tensão de disrupção do transístor

encontrar um melhor semicondutor para substituir o GaAs. Perante este cenário, o nitreto de Gálio (GaN) como um material semicondutor de elevada energia de *bandgap*, zona proibida, constitui a terceira geração de materiais semicondutores utilizados em dispositivos activos. Assim dispositivos com larga zona proibida, permitem a realização de Amplificadores de Potência de microondas com uma capacidade de potência de saída uma ordem de grandeza maior do que com GaAs, podendo também operar a altas temperaturas [3].

Para finalizar, são apresentadas na tabela 2.1 as propriedades dos semicondutores mais comuns.

Tabela 2.1: Propriedades dos Semicondutores [4].

	Si	GaN	GaAs
Mobilidade dos electrões $\times 10^3 (cm^2 V^{-1} s^{-1})$	0.6	1.6	4.5
Velocidade dos electrões ($10^7 cm/s$)	1.0(sat)	2.4(sat)	2.0(sat)
Banda proibida (eV)	1.1	3.4	1.43
Campo de disrupção (MV/cm)	0.6	3.5	0.6

2.3 JFETs e MESFETs

O Transístor de Efeito de Campo (Field Effect Transistor - FET) tem esta designação porque o seu princípio de funcionamento é determinado, em maior ou menor grau, pelo campo eléctrico no seu interior. A designação MOS provém das iniciais de Metal-Óxido-Semicondutor, e tem a ver com a estrutura do dispositivo. Tendo uma visão geral, existem várias famílias de FET's, o transístor de junção (JFET), MOSFET, MESFET (as três primeiras letras provêm de MEtal-Semicondutor), HEMT e PHEMT, sendo os mais comuns os MOSFET.

Estes são dispositivos com três terminais, com uma grande diferença, é que o sinal de saída de um BJT é controlado por uma corrente de entrada, enquanto nos FETs a corrente de saída é controlada por uma tensão aplicada à entrada.

2.3.1 JFET

Do mesmo modo que com os outros tipos de FETs, o JFET pode fabricar-se com duas polaridades: canal n e canal p.

A figura 2.1 mostra uma estrutura simplificada do JFET de canal n. Esta consiste num corpo de silício de tipo n, com duas regiões do tipo p, implantadas em dois lados opostos. Estas duas regiões estão ligadas entre si e correspondem ao terminal *gate* (G). Os outros dois lados correspondem aos terminais dreno (D) e fonte (S). A região do tipo n entre as regiões da *gate*, que liga a fonte ao dreno, é o canal.

O funcionamento do dispositivo é baseado na polarização inversa da junção pn existente entre a *gate* e o canal. É a polarização inversa desta junção que é usada para controlar a largura do canal e, portanto, a corrente que circula do dreno para a fonte. O papel essencial que esta junção desempenha no funcionamento deste FET está na origem do seu nome: FET de junção [5].

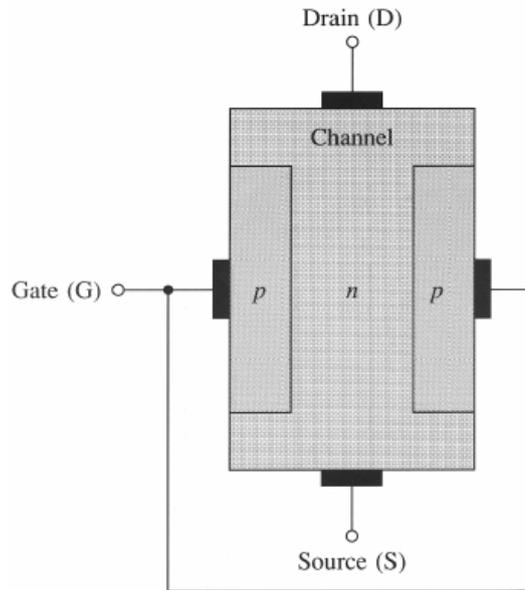


Figura 2.1: Estrutura do JFET de canal n.

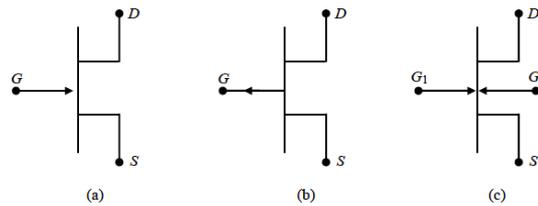


Figura 2.2: a) canal n b) canal p c) dupla gate

Se o dispositivo for fabricado invertendo os tipos de semicondutor, isto é, usando silício do tipo p para o canal e do tipo n para as regiões da *gate*, obtém um transistor canal p.

A figura 2.2 mostra os símbolos de circuito para os JFETs das duas polaridades. A polaridade do transistor de canal n ou canal p, é indicada pelo sentido da seta desenhada na *gate*, que aponta no sentido de p para n.

2.3.2 Funcionamento

Consideremos o JFET de canal n representado na figura 2.3.

Com $V_{GS} = 0$, a aplicação de uma tensão V_{DS} faz com que uma corrente circule do dreno para a fonte. Quando se aplica uma tensão V_{GS} negativa, a região de depleção da junção *gate*-canal alarga-se, estreitando conseqüentemente o canal. Assim, a resistência do canal aumenta pelo que a corrente I_D para um dado valor de V_{DS} diminui.

Sendo V_{DS} pequeno, o canal tem uma largura praticamente uniforme. Desta forma, o JFET funciona como uma resistência cujo o valor é controlado por V_{GS} . Se fizermos

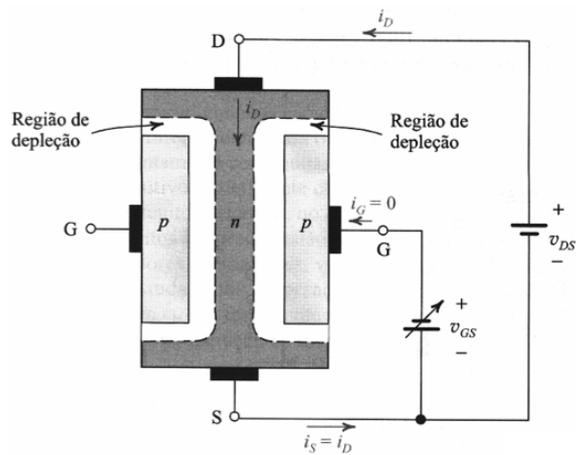


Figura 2.3: Princípio de funcionamento de um JFET.

progressivamente V_{GS} mais negativo, atinge-se um valor para o qual a região de depleção ocupa completamente o canal. Para este valor de V_{GS} , o canal fica completamente esvaziado de portadores de carga, neste caso electrões. Esse valor corresponde à tensão limiar do transistor, que é obviamente negativa para um JFET de canal n. Para JFETs, a tensão limiar costuma chamar-se tensão de estrangulamento, (*pinch-off voltage*), e é representada por V_P .

Consideremos uma situação em que a tensão V_{GS} é constante num valor menos negativo do que V_P enquanto V_{DS} é aumentado. Este aparece com uma queda de tensão ao longo do canal, em que aumenta à medida que nos deslocamos da fonte para o dreno. Em consequência, a tensão inversa entre a *gate* e o canal varia ao longo do mesmo, e é mais elevada do lado do dreno. Assim, pode-se dizer que o canal adquire uma forma afunilada representada na figura 2.4 e a característica I-V torna-se não linear.

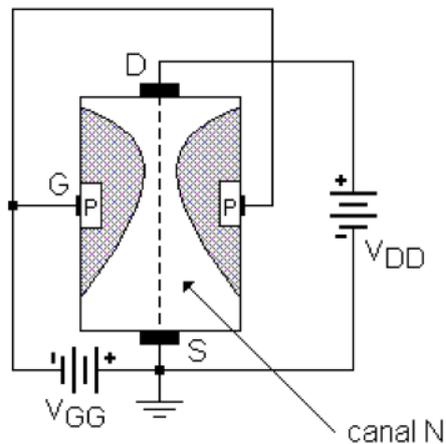


Figura 2.4: Região de depleção aumenta quando V_{DS} aumenta.

Quando a tensão inversa na extremidade do dreno, V_{GD} , se torna inferior a V_P , o canal estrangula-se do lado do dreno e a corrente de dreno satura.

A corrente de saturação representa assim o valor máximo que se pode obter para a corrente, fixando um valor para a tensão V_{GS} . Verifica-se na prática que, para um dado valor de V_{GS} , a corrente aumenta para além do valor de I_{Dsat} . O ponto onde se dá o estrangulamento aproxima-se da *source* à medida que se aumenta V_{DS} .

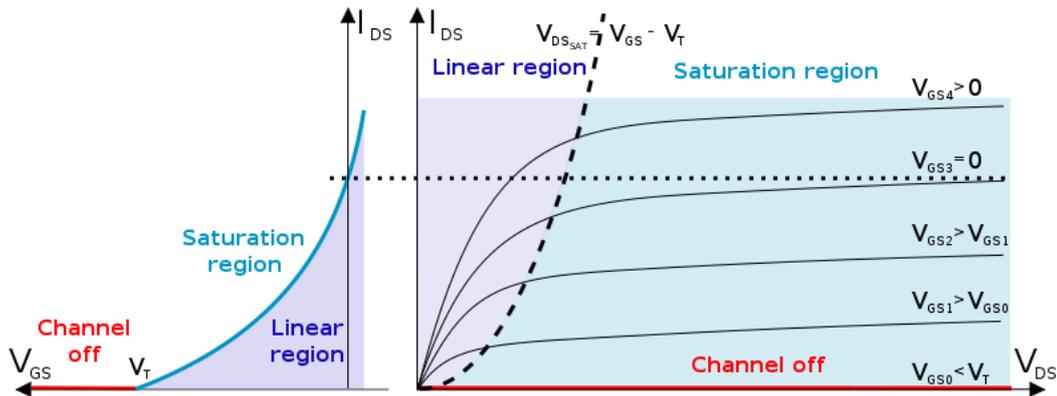


Figura 2.5: Curvas características I-V de um JFET.

No plano (I_{DS}, V_{DS}) da figura 2.5 corresponde à linha a tracejado.

Resultante do aumento do campo eléctrico junto do dreno, que é onde a polarização é mais intensa, observamos na figura 2.4 o aumento da zona de depleção. Dá-se para valores de V_{DS} tanto menores quanto mais negativo for V_{GS} . Na característica pode verificar-se também que para igual variação de V_{GS} entre as curvas características, as variações de I_{Dsat} são tanto maiores quanto menor V_{GS} . Para $V_{DS} < 0$ a junção ao lado do dreno fica cada vez mais positiva, não existindo estrangulamento do dreno.

O que foi dito para um JFET de canal n é válido para um JFET de canal p, se trocarmos os electrões por buracos. As equações do dispositivo serão igualmente válidas, mas é necessário trocar o sentido à corrente e tensões.

2.3.3 MESFETs - Introdução e Características

O MESFET é uma forma de alto desempenho do transistor de efeito de campo, que é usado principalmente para aplicações de microondas em semicondutores e amplificadores de RF. A sua abreviatura em inglês significa MEtal-Semiconductor Field Effect Transistor. O FET de GaAs ou MESFET partilha muitas características com o JFET, embora o MESFET seja capaz de oferecer um desempenho superior na região de RF, em que este opera na gama de microondas especialmente para uso em amplificadores de RF [6].

O modo de operação dos MESFET's de GaAs é muito semelhante ao dos JFET's de Silício, onde a diferença está na junção p-n existente no JFET.

A diferença entre o JFET e o transistor de efeito de campo de metal semiconductor, que origina a sigla em inglês MESFET, é devida ao contacto metálico da *gate* que está directa-

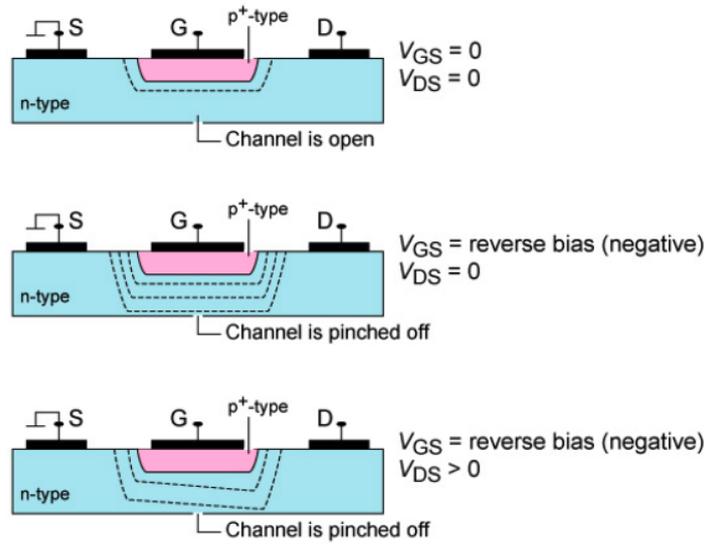


Figura 2.6: Junção p-n no JFET.

mente fixado sobre o semiconductor do canal, o que forma uma junção de Schottky, em vez de uma junção p-n. Como o MESFET é constituído por uma junção de Schottky e nesta não há participação de portadores minoritários, a resposta na variação da espessura do canal devido à variação de tensão na *gate* é mais rápida que nas junções p-n.

Um dispositivo do tipo MESFET é polarizado aplicando duas tensões, V_{GS} e V_{DS} [15]. Estas são usadas com o intuito de controlar I_{DS} , que está presente entre o dreno e a *source*, variando o campo eléctrico dentro canal. As mudanças referentes ao campo eléctrico, devido à diferença de potencial presente aos terminais do dispositivo, oferecem três zonas distintas de operação. Para tal é necessário observar as curvas características I-V do dispositivo, e ao qual passamos a enumerar:

1. Zona Linear
2. Zona de Saturação
3. Zona de Corte

Para simular a dependência de I_{DS} com V_{GS} e V_{DS} , a distribuição do campo eléctrico dentro do canal deve ser previamente conhecida, visto que esta varia com a geometria deste.

Para um dispositivo de canal N, se a tensão aplicada de V_{GS} for positiva, o canal aumenta a sua secção transversal, sendo conhecido como modo de enriquecimento. A mesma operação pode ser feita, invertendo o sinal de V_{GS} aplicado, em que passaremos a operar no modo de depleção.

Para o dispositivo do tipo depleção, surgem duas condições em que, se $V_{GS} = V_T$ então temos uma corrente $I_{DS} = 0$. Se o nosso V_{GS} for igual a 0, temos um $I_{DS} = I_{DSS}$, aproximadamente corrente máxima.

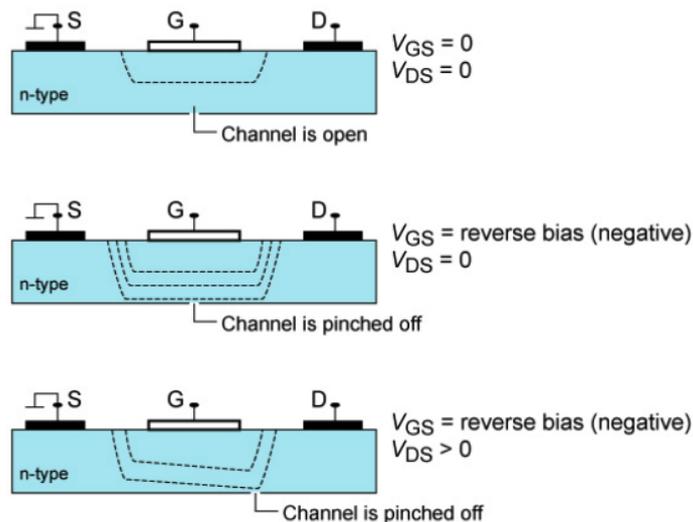


Figura 2.7: Schottky *gate* FET.

A corrente que flui através da barreira de Schottky é chamada de corrente de fuga - I_{GS} . Esta depende da tensão de polarização V_{GS} e de V_{DS} . É importante referir que estes dispositivos activos podem-se degradar, se for aplicada uma tensão V_{DS} com $V_{GS} = 0$ V ou flutuante.

2.3.4 Estrutura Física

Um dispositivo MESFET é um dispositivo de três terminais como qualquer outro transístor. Este possui dreno, *gate* e *source*, como mostrado na figura 2.8. Para frequências na ordem de microondas, os dispositivos MESFET são feitos de GaAs (Arseneto de Gálio). O GaAs tem características atraentes a altas frequências, já que a mobilidade dos electrões é muito maior do que no caso do Silício. Além disso, a sua velocidade de saturação é maior, o que resulta numa maior gama de frequências de operação.

Uma camada muito fina de GaAs do tipo-n é depositada em cima de uma camada de substrato de GaAs semi-isolante, tal como se observa na figura 2.8. Os contactos óhmicos do dreno e da fonte são ambos ligados à camada do tipo-n e podem ser feitos de Au/Ge revestidos com camadas de Ti, Pt, Au. A *gate* é uma fina camada de metal em que os contactos podem ser feitos de uma variedade de materiais, normalmente por Alumínio ou ligas de platina, titânio, tungsténio ou também em camadas de ouro. Este tipo de componentes utilizados, são os mais adequados para formar a barreira de Schottky em GaAs.

A junção de metal semicondutora da *gate* representa uma junção de barreira de Schottky. Essa junção serve controlar a altura da camada de canal activo que se encontra por baixo da *gate* pela aplicação de uma tensão de polarização na mesma. A área que está abaixo da *gate* varia conforme a tensão aplicada.

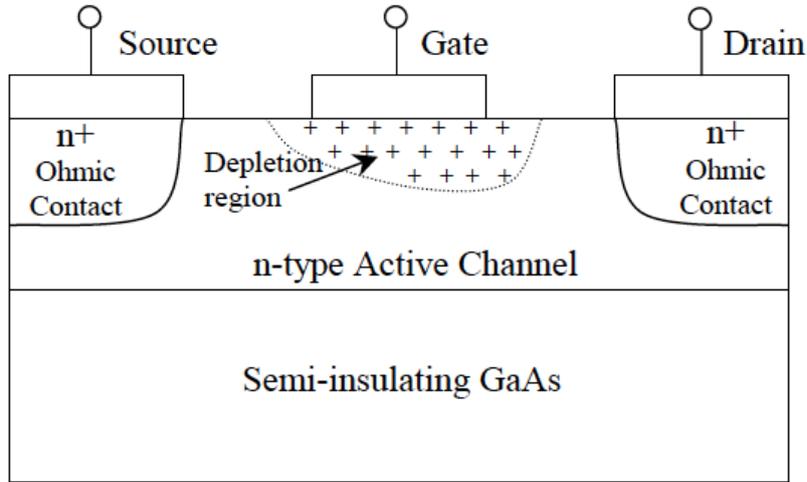


Figura 2.8: Estrutura de um dispositivo MESFET.

2.3.5 Princípio de Operação

Um dispositivo MESFET é polarizado, aplicando duas tensões: V_{GS} entre a *gate* e a fonte e V_{DS} entre dreno e fonte. Estas tensões de controlo do canal de corrente entre o dreno e a fonte, variam a altura da zona de depleção da *gate* e o campo eléctrico longitudinal. A operação pode ser explicada qualitativamente sem entrar em análises muito profundas. Então, três casos distintos podem ser reconhecidos para a curva característica do MESFET caso V_{GS} seja maior que a tensão de condução: baixa tensão de V_{DS} onde I_{DS} é linearmente proporcional a V_{DS} , V_{DS} alto, onde a corrente é praticamente constante e V_{DS} moderado onde I_{DS} tem uma relação não-linear com V_{DS} .

Quando $V_{GS} = 0$, a zona de depleção sob a junção de Schottky é relativamente estreita, e caso V_{DS} aumente, um campo eléctrico longitudinal e uma corrente estabelecem-se no canal. Por causa de V_{DS} , a tensão que atravessa a zona de depleção origina que esta seja mais larga na extremidade do dreno, devido à tensão aplicada.

Um estreitamento do canal e maior V_{DS} , levam ao aumento do campo eléctrico, obrigando os electrões a moverem-se mais rapidamente. Embora a profundidade do canal, seja reduzida, o efeito líquido traduzido é o aumento de corrente. Então, quando V_{DS} é baixo, a corrente é aproximadamente proporcional ao valor de V_{DS} . No entanto, se a polarização inversa de *gate* é aumentada, ou seja valores mais negativos, enquanto a de dreno é mantida constante, a região de depleção aumenta e a secção condutora do canal torna-se mais estreita, reduzindo assim a corrente. Quando $V_{GS} = V_P$, a tensão de pinch-off, o canal está completamente cortado e a corrente de dreno é zero, independentemente do valor de V_{DS} . Assim, tanto V_{GS} como V_{DS} podem ser usados para controlar a corrente de dreno.

Quando o MESFET é operado sob tensões de polarização, onde V_{GS} e V_{DS} têm um forte efeito sobre a corrente de dreno, pode-se dizer que este opera na sua zona linear [6].

Se V_{DS} aumenta ainda mais, tal como mostrado na figura 2.9 (b), e V_{GS} é maior que a tensão de pinch-off, a corrente aumenta, com a região de depleção a tornar-se mais pro-

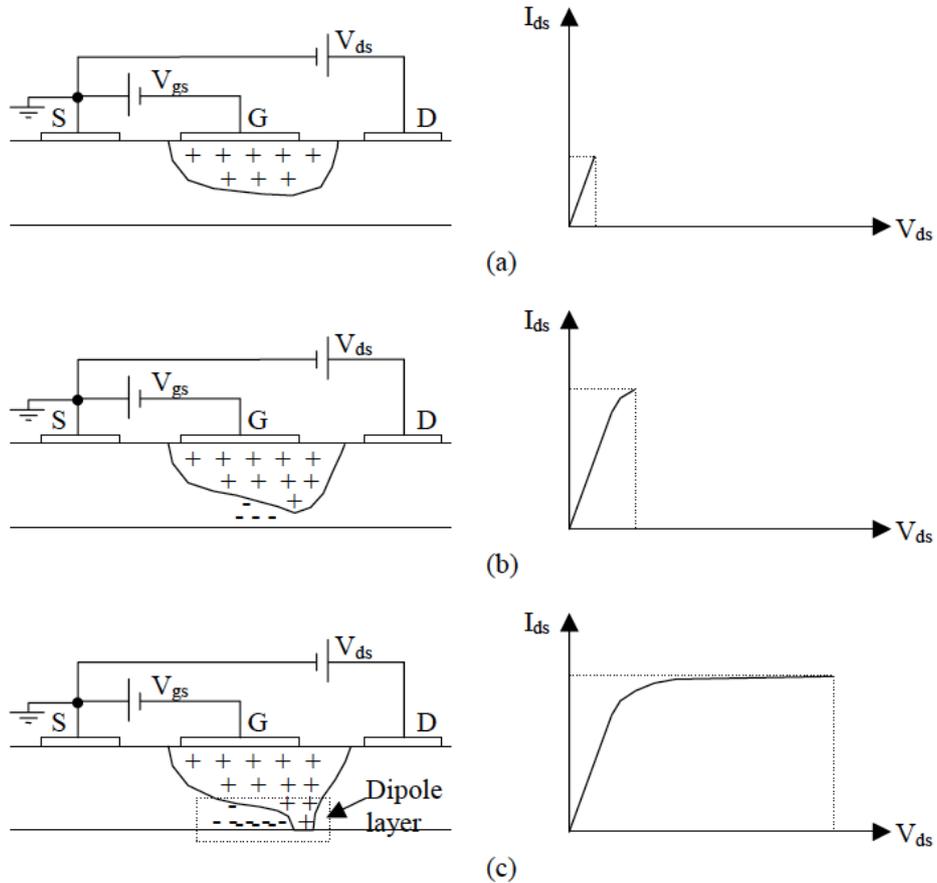


Figura 2.9: GaAs MESFET em operação sob diferentes condições de V_{DS} - (a) Linear, (b) V_{DS} no início da saturação, (c) V_{DS} elevado.

funda no final do dreno e o canal de condução torna-se mais estreito. A corrente deve ser claramente constante ao longo do canal. Como resultado, e enquanto o canal condutor se torna mais estreito perto do dreno, os electrões devem-se deslocar mais rapidamente. No entanto, a velocidade dos electrões não pode aumentar indefinidamente, onde a velocidade média dos electrões em GaAs não pode exceder a velocidade chamada de velocidade de deriva, aproximadamente $1.3 \times 10^7 \text{ cm/s}$.

Se V_{DS} é superior ao valor que provoca a saturação da velocidade (normalmente, apenas algumas dezenas de Volt), a concentração de electrões ao contrário da velocidade deve aumentar a fim de manter a corrente constante.

Assim, uma região de acumulação de electrões ocorre perto do final da *gate*. Por outro lado, uma região de depleção de electrões é formada, após a passagem no canal a uma velocidade de saturação entre a *gate* e o dreno. A zona de depleção é carregada positivamente, devido aos iões dadores positivos. No caso da figura 2.9 (c), em que a tensão de dreno V_{DS} aumenta ainda mais, irá traduzir-se, num aumento de tensão em toda a zona de depleção forçando os electrões a atravessarem esta zona chamada de dipolo. Eventualmente, e quando um novo aumento em V_{DS} é descartado, obtém-se um novo ponto de operação, não aumentando

substancialmente a corrente de dreno. Neste ponto, os electrões movem-se a uma velocidade de deriva saturada sobre uma grande parte do comprimento do canal. Quando o MESFET é operado desta forma, que é o modo normal de operação para dispositivos de pequeno sinal, é dito que se encontra em saturação.

As curvas IV características de um dispositivo MESFET são mostradas na figura 2.10 para um MESFET ideal. As curvas são desenhados para diferentes valores de V_{GS} . É óbvio que um dispositivo real apresenta a curva IV de declive finito positivo na região de saturação devido à condutância de saída finita do modelo MESFET.

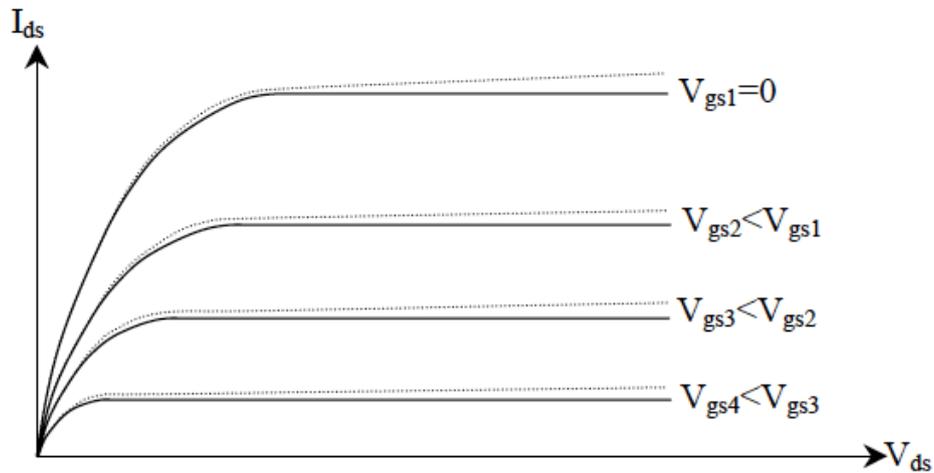


Figura 2.10: Curvas características IV de um dispositivo MESFET para diferentes valores de V_{GS} , a corrente ideal é desenhada em curva sólida.

2.3.6 Modelo MESFET

O modelo para “*large signal*” ou grandes sinais pode ser proposto com base na estrutura física do dispositivo MESFET. A maioria dos modelos propostos são baseados no modelo mostrado na figura 2.11. O modelo de “*small signal*” pode ser obtido directamente do modelo de grandes sinais.

O significado físico de cada elemento é claramente interpretado. R_g é a resistência de *gate* enquanto R_s e R_d é a resistência da fonte e o dreno, respectivamente. L_G é a indutância da *gate* enquanto L_s e L_d são as indutâncias da fonte e do dreno. R_i é a resistência da zona de semicondutores que está sob a *gate*, entre a fonte e o canal. C_{ds} é a capacidade dreno-fonte, que é dominado por capacidade geométrica e é muitas vezes tratada como uma constante. C_{GS} e C_{GD} são as capacidades do canal, que em geral são não-lineares. I_{DS} é a corrente controlada dreno-fonte, onde a transcondutância g_m , tempo de atraso, e R_{DS} resistência de saída podem ser calculados. C_{PG} e C_{PD} são as capacidades formadas de um lado para o outro entre os dois “pads” porta e dreno, respectivamente.

Por outro lado, o modelo de circuito pode ser dividido em dois tipos de parâmetros: os parâmetros extrínsecos e os intrínsecos. Os parâmetros intrínsecos caracterizam a região activa sob a *gate* e são funções de condições de polarização.

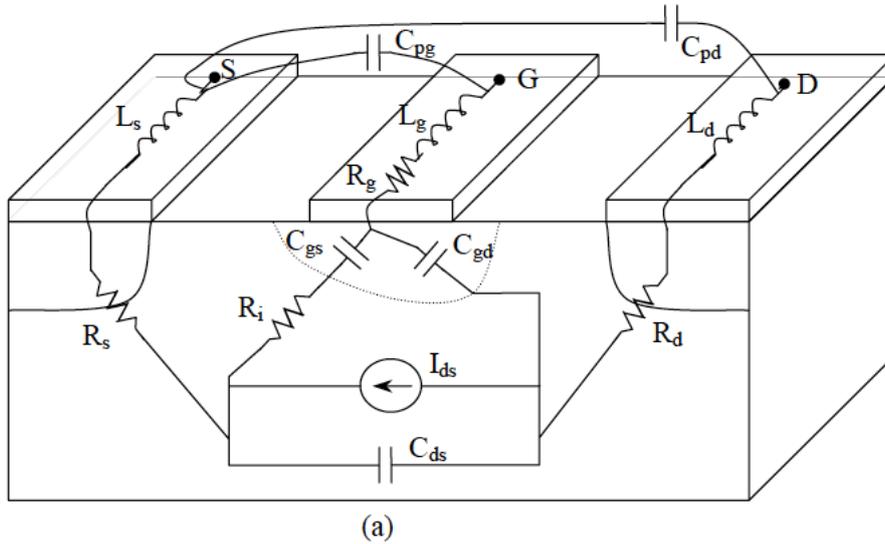


Figura 2.11: Origem física de cada elemento do MEFET.

As características de saída são definidas como I_{DS} , V_{DS} e V_{GS} . Isto define uma função de $I_{DS}(V_{DS}, V_{GS})$. Num MEFET de canal curto, aumentando V_{DS} para além de um certo valor, ocorre a chamada saturação de velocidade no canal, onde I_{DS} se torna independente de V_{DS} e permanece com um valor constante. Nesta condição onde $I_{DS} = I_{DS(SAT)}$ e $V_{DS} = V_{DS(SAT)}$, praticamente temos uma fonte de corrente.

2.3.7 Aplicações

O MEFET é usado em muitas aplicações de amplificadores RF. A tecnologia de semicondutores MEFET permite maior mobilidade de electrões, e para além da camada de semi-isolante, possui níveis menores de capacitância parasita.

Consequentemente a tecnologia de semicondutores tem permitido fazer amplificadores com estes dispositivos, que podem operar até 50 GHz e para alguns casos frequências de 100 GHz.

Isto faz com que o MEFET seja potencialmente um amplificador de RF. Com esse intuito pode ser utilizado como amplificador de potência de microondas, de baixo ruído RF (LNAs), osciladores, misturadores e atenuadores.

Em muitos aspectos, a tecnologia do FET de GaAs é bem menos desenvolvida do que no silício. O enorme investimento contínuo em tecnologia de silício significa que é muito mais barata do que a de GaAs. No entanto a tecnologia de GaAs é capaz de beneficiar de muitos dos últimos desenvolvimentos, e também da facilidade de ser usada nos processos de fabricação de circuitos integrados.

2.4 DC Biasing

A rede ou malha de polarização é uma parte muito importante e fundamental, no desenho de um Amplificador de Potência, pois controla a classe de operação do Amplificador. O seu

objectivo é manter o ponto de polarização escolhido aquando de variações nos parâmetros do transistor e da temperatura. A malha de polarização deverá impedir a passagem de sinal RF para a fonte, bem como deixar passar apenas a componente DC para o restante circuito.

A polarização de dispositivos activos de sinal RF requer um dado valor de corrente DC para o seu funcionamento. Esta normalmente é injectada por uma malha ou rede de polarização, que tem dois componentes principais. De modo a não influenciar o sinal RF, o primeiro componente utilizado é uma bobine entre a fonte DC e o sinal RF denominado por “DC Feed”. O segundo principal componente é um condensador, o “DC Block” que serve para o sinal DC não influenciar o sinal RF adjacente [7].

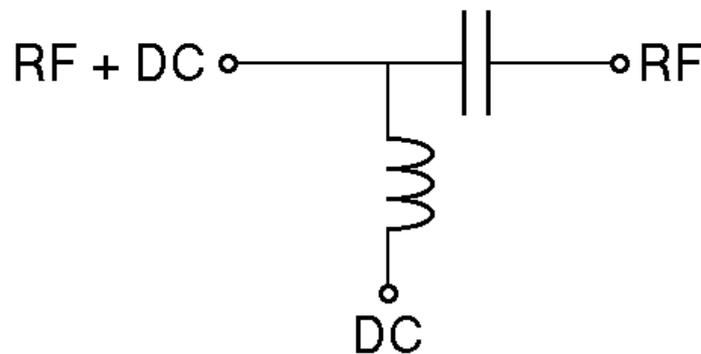


Figura 2.12: Bias T.

Conceptualmente, pode ser visto como um condensador ideal que permite a passagem de sinal AC mas bloqueia o sinal DC. No caso de DC, é colocado uma indutância ideal que bloqueia AC e permite a passagem de DC.

Um amplificador de potência deve possuir um circuito de polarização DC com tensões separadas, para a polarização *dreno-source* e *gate-source*.

Rede de adaptação

As redes de adaptação ou malha de entrada / saída, são parte integrante de um Amplificador e podem ser desenhadas com a ajuda da carta de Smith. Estas permitem otimizar o desempenho do Amplificador, isto é, minimizar os coeficientes de reflexão da entrada e da saída. Transformam a impedância de entrada e de saída do transistor na impedância da fonte e da carga (impedância conjugada). Podem ser baseadas em parâmetros distribuídos, linhas *microstrip*, ou em parâmetros concentrados, condensadores e bobines.

2.4.1 Sequências de polarização - Turn-on e Turn-off

Durante o “ligar” e “desligar” de um dispositivo activo, certas medidas de precaução têm de ser tomadas, pois está em causa o risco de oscilação e destruição do mesmo. Os valores impostos pelo fabricante no *datasheet* têm de ser respeitados. As sequências indicadas, demonstram os cuidados a ter no manuseamento de um dispositivo deste tipo, tendo em conta,

a minimização de possíveis oscilações e o cuidado de não ultrapassar os limites impostos pelo fabricante.

Precauções Gerais [8]:

1) Observar as condições recomendadas de funcionamento e valores máximos absolutos: V_{DS} , I_{DS} , V_{GS} , I_G , T_{CH} .

Absolute Maximum Ratings são os limites que não deve ser excedidos em qualquer circunstância. São recomendadas as seguintes condições para uma vida longa e operação fiável do dispositivo.

- $T_{CH} = \text{máx. } 145 \text{ }^\circ\text{C}$.
- $V_{DS} =$ Ver os dados individuais do datasheet.
- $V_{GS} = V_{GS}$ será definido para o I_{DS} (0.55 a 0.6 de I_{DSS}).
- $I_G =$ Ver os dados individuais do datasheet.

2) Aplicar tensões sequenciadas numa fonte de alimentação DC.

3) Não aplicar potência de RF até que o FET esteja correctamente polarizado. O Turn-off do sinal RF deve ser feito primeiro do que a alimentação DC.

4) Usar somente circuitos de RF e circuitos de desacoplamento para evitar oscilações na polarização. As oscilações são um dos modos mais comuns de falha para FETs de GaAs em microondas. A destruição do FET ocorre muitas vezes numa escala de microssegundos. Consultar os datasheets sempre para a configuração recomendada da polarização.

Precauções de manuseamento [8]:

GaAs FETs são muito sensíveis a descargas electrostáticas. Os FETs de GaAs encontram-se normalmente numa embalagem de protecção electrostática. O utilizador deve prestar muita atenção para as seguintes precauções ao retirar os FETs fora das suas embalagens.

1) O utilizador que manuseia GaAs FETs deve ser devidamente ligado ao *ground* por uma pulseira ou equivalente.

2) Quando montar o FET num circuito, a *gate* do circuito e conexões de dreno devem ser curto-circuitadas ao *ground*.

3) Quando o FET leva solda, é necessário um ferro com uma ponta conectada à terra.

Com esse objectivo, são descritos em baixo os procedimentos correctos a serem tomados, de como deverá ser feita a ligação de um dado dispositivo no Laboratório, por exemplo [9].

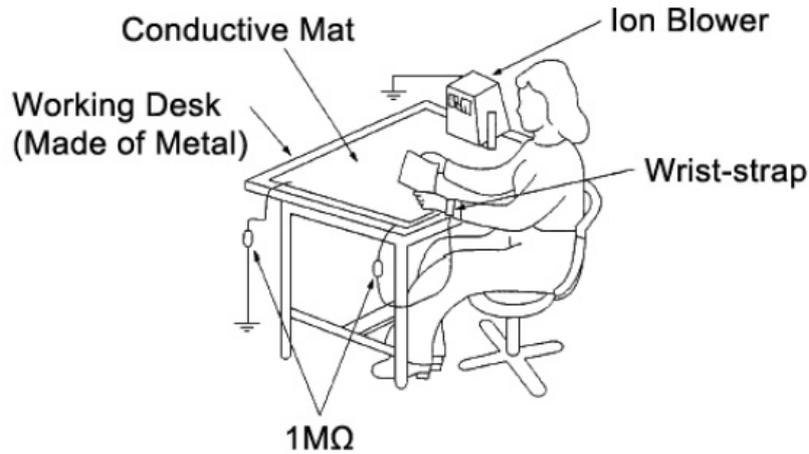


Figura 2.13: “Zona de trabalho”.

Procedimento de *Turn-on*

1. Todos os equipamentos, ferramentas e o operador devem estar correctamente ligados à terra (*grounded*) e as conexões de entrada e saída do amplificador devidamente adaptadas. É mostrado na figura 2.13 um exemplo de uma “zona de trabalho”, por forma a proteger os dispositivos de descargas electrostáticas.

2. É recomendado o uso de fontes de alimentação reguladas e protecção contra picos de tensão.

3. Aplica-se 0 V na porta (*gate*) e no dreno (*drain*). ($V_{GS} = 0$ V e $V_{ds} = 0$ V)

4. Baixa-se a tensão V_{GS} até V_P , tensão de corte.

5. Lentamente sobe-se o valor de V_{DS} para o seu valor recomendado.

6. Aumenta-se também V_{GS} de modo a que se obtenha o valor pretendido de corrente de dreno, I_{DS} .

7. Aplica-se o sinal RF.

Procedimento de *Turn-off*

1. Desliga-se o sinal RF.

2. Baixa-se V_{GS} para o seu valor mínimo V_P , tensão de corte.

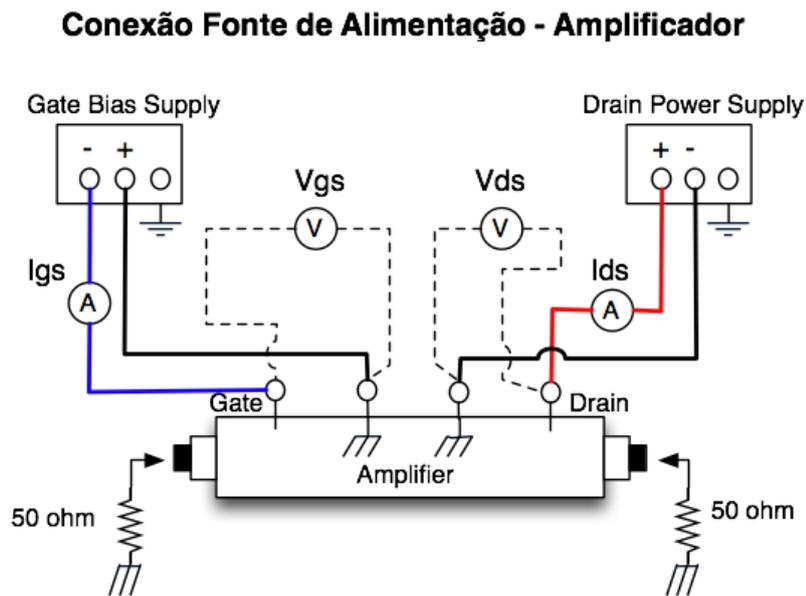
3. Baixa-se V_{DS} até 0 V.

4. Em seguida, aumenta-se o valor de V_{GS} até 0 V.

2.4.2 Fontes de Alimentação e Conexões ao Amplificador

Devido aos altos valores de transcondutância deste tipo de dispositivos, é importante minimizar qualquer tipo de “*coupling*” entre o dreno e a porta, sendo a sua principal causa, os conectores ou fios usados na conexão entre o amplificador e a fonte de alimentação / voltímetros e amperímetros [10].

A figura 2.14, demonstra a conexão típica de um dado amplificador às fonte e alimentação de *gate* e dreno.



A fonte de alimentação da *gate* tem de ser capaz de fornecer tensão negativa e positiva.

Figura 2.14: Conexões da Fonte de Alimentação ao Amplificador.

Com isto, os fios que ligam o *ground* do amplificador ao terminal positivo da *gate* e o terminal negativo do dreno com a fonte, devem ser independentes, tal como é mostrado na figura 2.14. Isto significa que dois fios terão de ser utilizados para o efeito. De modo a minimizar o efeito de “*coupling*” referido anteriormente, estes devem-se encontrar o mais longe possível um do outro.

A resistência interna do amperímetro que está conectado à *gate* e ao dreno deve ser a menor possível.

Circuito de polarização de porta (*gate*) e dreno (*drain*)

O circuito de polarização de *gate* tem várias funções e características, tais como, manter um valor constante de V_{GS} , ser capaz de atribuir corrente I_{DS} , proteger a *gate* limitando I_{GS} quando o dispositivo entra em zona de disrupção ou também quando é polarizado com uma tensão V_{GS} positiva. Serve também para filtrar o sinal sem que afecte o circuito de

adaptação da entrada devido às harmónicas geradas desde as baixas até às altas frequências. O circuito de polarização de dreno tem também várias características, como manter o valor de V_{GS} constante, ao fornecer uma corrente I_{DS} suficiente e de estabilizar o dispositivo para as frequências dentro e fora da banda.

2.5 Estado de Arte - O que existe no mercado

Depois de uma pesquisa sobre produtos relacionados, constatou-se que apenas existem placas para ajuste de polarização.

Como exemplo disso, mostramos as Placas da Centellax [11]. A PCB TE1B é uma placa de polarização que permite o ajuste fino da polarização do dreno e *gate*, para amplificadores de single ou dual stage. Esta placa tem protecção contra baixa tensão e *burnout*, permite o controlo de mili-volts sobre as tensões disponíveis, e também foi construída com a possibilidade de medir tensões e correntes.

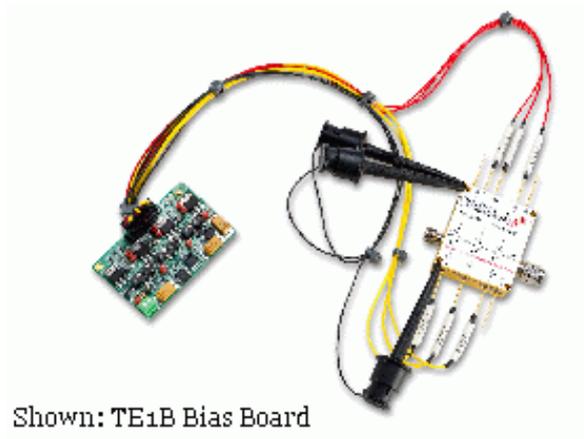


Figura 2.15: TE1BD é a placa de polarização dual proporcionando fácil controlo de tensões de *gate* e dreno.

Consultando o *datasheet* da placa disponibilizado no *site* do fabricante, verifica-se que este não contém dados sobre a mesma, sendo esta placa um acessório que torna mais fácil o manuseamento de tensões num amplificador de potência.

No seguimento desta pesquisa, foram encontradas algumas placas do fabricante TECDIA, apenas para PAs característicos e sem a facilidade de conexão a qualquer tipo de tecnologia [12]. Estas placas possuem tensões de trabalho fixas, sendo possível variar a tensão V_{GS} através de um potenciómetro.

Como indicado na figura 2.16, as placas da série TFV possuem tensões disponíveis para o dreno entre os 7 e 10 V e -5 V ajustáveis para a *gate* dos amplificadores.

Na figura 2.17 é disponibilizado o diagrama de blocos da construção da placa, sendo possível concluir que se trata também de um circuito acessório de manuseamento de tensões para polarização de dispositivos activos.

Board Model	Input Voltage Range	Regulated Output					Max. Pos. Output Ripple (mVp-p)
		For Drain		For Gate			
		Volt. (nom.)	Curr. (max.)	Fixed Volt. (nom.)	Adj. Volt. (0V to:)	Curr. (max.)	
TFV03-A	12-15V	+10V	+3A	-5V	-5V	20mA	10
TFV03-9	11-14V	+9V	+3A	-5V	-5V	20mA	10
TFV03-8	11-14V	+8V	+2A	-5V	-5V	20mA	10
TFV03-6	11-14V	+6V	+2A	-5V	-5V	20mA	10
TFV03-7N3	9-11V	+7V	+2A	-3V	-3V	20mA	10

Figura 2.16: Características das placas de polarização Tecdia.

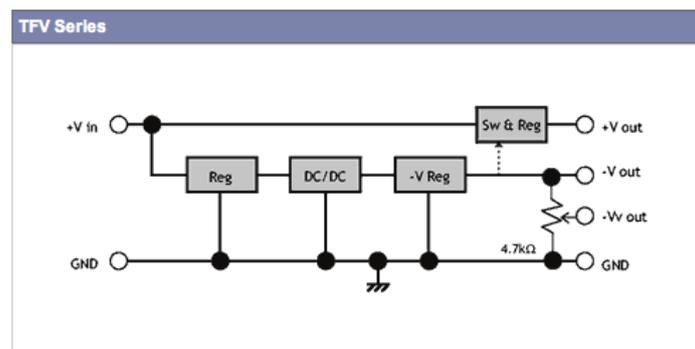


Figura 2.17: Diagrama de blocos da placa da série TFV.

Como conclusão do estado de arte, existem poucas referências no mercado disponíveis, relativamente a placas de polarização de amplificadores de potência.

2.6 Sumário

Com o intuito de preservar as características do amplificador de potência, é necessária a aplicação sequenciada das tensões de alimentação. Através das curvas I-V do FET, podemos observar que se aplicarmos primeiro a tensão de dreno, enquanto a tensão de *gate* permanecer a 0 V, irá fazer com que a corrente do dispositivo se encontre no valor máximo. Obviamente este valor abrupto de corrente irá danificar o MESFET devido ao mau manuseamento por parte do utilizador.

Então para que tal não aconteça, a tensão negativa deve ser aplicada primeiro, por forma a cortar a condução de corrente no FET e manter a dissipação de potência num valor mínimo, até que a tensão de dreno esteja no valor pretendido.

É objectivo desta pesquisa, projectar um circuito de controlo de polarização DC para uma cadeia amplificadora de Microondas.

Os próximos capítulos serão dedicados à análise detalhada de teoria de Amplificadores de Potência e ao projecto, implementação e teste do circuito de polarização de que é objectivo esta dissertação.

Capítulo 3

Teoria de Amplificadores de Potência

Organização do capítulo de Teoria de Amplificadores de Potência

- Introdução
- Classes de Operação
- Potência, Ganho e Rendimento
- Medidas de não linearidade

3.1 Introdução

Ao longo deste capítulo apresenta-se um estudo teórico sobre os principais conceitos necessários para o projecto de amplificadores de potência na área de microondas. Na primeira parte são estudadas as classes dos amplificadores e na segunda é feita uma análise das suas propriedades, tais como, potência, ganho, rendimento e linearidade.

As classes de amplificação apareceram como resultado das várias técnicas usadas, com o objectivo de melhorar o rendimento do dispositivo activo presente nos amplificadores de potência. Um amplificador de potência é um elemento crítico em sistemas de comunicação, em que é esperado que este tenha características como potência de saída, ganho, rendimento e linearidade, normalmente conflituosas.

A escolha do ponto quiescente ¹ é uma parte muito importante no desenho de um Amplificador de Potência, pois define a classe de operação em que este vai funcionar. Se é pretendido um amplificador com maior linearidade, então o seu ângulo de condução deve ser grande, isto é, o transistor conduz durante a totalidade ou maior parte do sinal aplicado à entrada.

No entanto se o amplificador é desenhado para linearidade, perde-se eficiência, ou seja, menos potência disponível pela fonte (P_{AV}) é entregue à carga, sendo dissipada na forma de calor. Diminuindo o ângulo de condução obtém-se mais eficiência, mas logicamente perde-se linearidade. O ideal seria arranjar um compromisso entre linearidade e eficiência, ou seja,

¹Do lat. quiescente, “repousar, descansar”.

já que não se pode ter ambas, desenhar o amplificador de modo a ser razoável nas duas características. No entanto, é um pouco relativo, pois esta escolha depende do tipo para qual a aplicação se pretende o amplificador.

A figura 3.1 ilustra as diferentes classes de amplificação, podendo estas ser alteradas conforme a tensão de polarização de *gate* e dreno escolhidas.

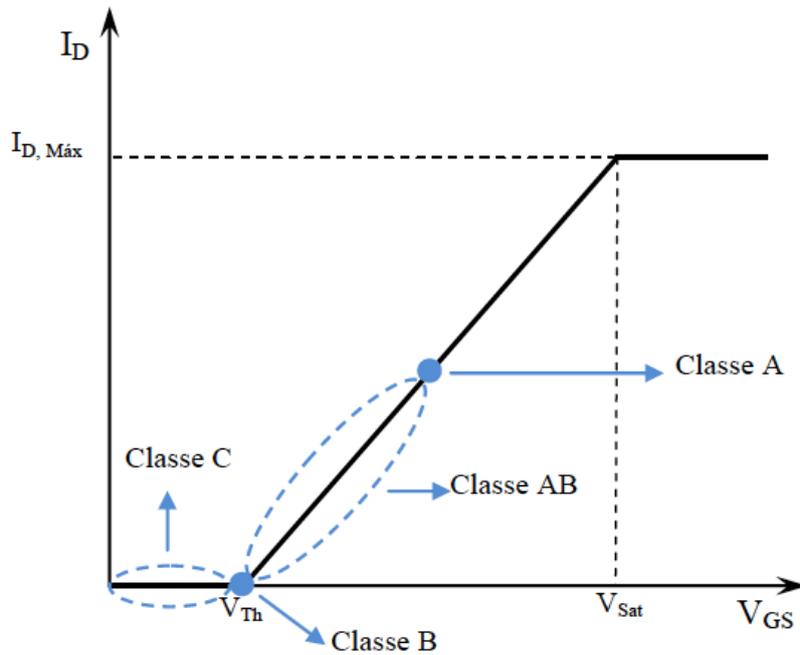


Figura 3.1: Classes de Operação de um Amplificador de Potência baseadas na curva característica de um dispositivo activo genérico.

A potência de saída deste, deve ser a suficiente para que a transmissão seja viável. Alto ganho reduz o número de etapas numa cadeia amplificadora, reduzindo assim o tamanho e o custo de produção final. Alto rendimento melhora o problema do aquecimento, o tempo de vida das baterias e os seus custos operacionais. No entanto estes requisitos podem contrastar quando são exigidas determinadas características ao amplificador.

3.2 Classes de Operação dos Amplificadores de Potência

Os amplificadores de potência são classificados de acordo com o seu modo de operação. Este depende do modo como o transistor é polarizado e da natureza do próprio circuito.

As classes de operação podem ser divididas em dois grupos. Relativamente à figura descrita em baixo, o primeiro grupo refere os Amplificadores Convencionais de Transcondutância. Neste existem quatro modos de operação: Classe A, B, AB e C. Ao segundo grupo, pertencem os amplificadores de comutação, Classe D, E, F e outras, sendo amplificadores altamente eficientes. Estes podem ser utilizados em comunicações, como por exemplo satélites, onde a alta potência é requerida. Contudo, o rendimento deve ser muito elevado de modo a evitar perdas por dissipação de calor.

Relativamente às classes, dependendo dos requerimentos em termos de linearidade e rendimento, na figura seguinte pretende-se demonstrar o clássico compromisso entre os amplificadores de transcondutância e de comutação.

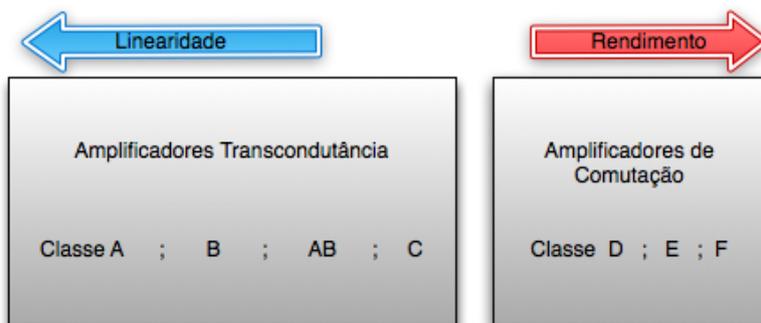


Figura 3.2: Representa a relação linearidade - rendimento.

3.2.1 Classe A

A forma mais simples de distinguir a classe dos amplificadores de transcondutância é através do seu ângulo de condução. A classe A, é um amplificador linear que teoricamente, a uma entrada sinusoidal responde com uma onda sinusoidal de igual frequência. A amplitude de saída será uma função linear da amplitude de entrada e o seu ângulo de condução é igual a 2π radianos ou 360° . O ângulo de condução corresponde ao intervalo de fase do sinal de entrada e em que o dispositivo está a conduzir. Deste modo, o ângulo referido, diz-nos que o dispositivo conduz corrente para todo o ciclo do sinal de entrada.

No entanto, este tipo de amplificadores classe A, revelam um baixo rendimento. Na verdade, pode ser demonstrado que a sua eficiência máxima possível é de 50% [14]. Apesar deste número teórico, na prática o rendimento não passa dos 30%, daí que os amplificadores classe A são utilizados para fins em que o rendimento não é crítico, caso contrário ao da linearidade.

3.2.2 Classe B

A tensão de porta de um amplificador ideal a operar em classe B é ajustada para a tensão do limiar de condução do FET. Consequentemente, isto vai implicar que este não conduza quando está em repouso (ponto de polarização). Assim sendo, não é dissipada nenhuma potência na ausência de excitação, sendo esta, uma das desvantagens do amplificador referido anteriormente, a operar em classe A. Existe uma corrente que flui para a saída do dispositivo apenas quando existe um sinal de entrada. O dispositivo só conduz corrente quando o sinal de entrada é superior ao limiar de condução. Isto ocorre para o semiciclo positivo do sinal de entrada, enquanto que durante o semiciclo negativo este permanece cortado, i.e., não conduz. O ângulo de condução da classe B é de π radianos ou 180° .

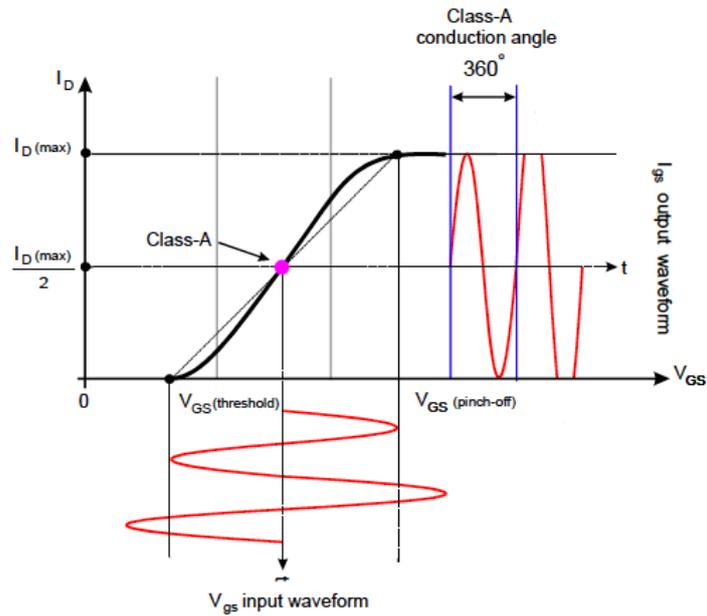


Figura 3.3: Representa a forma de onda da corrente à saída do amplificador [13].

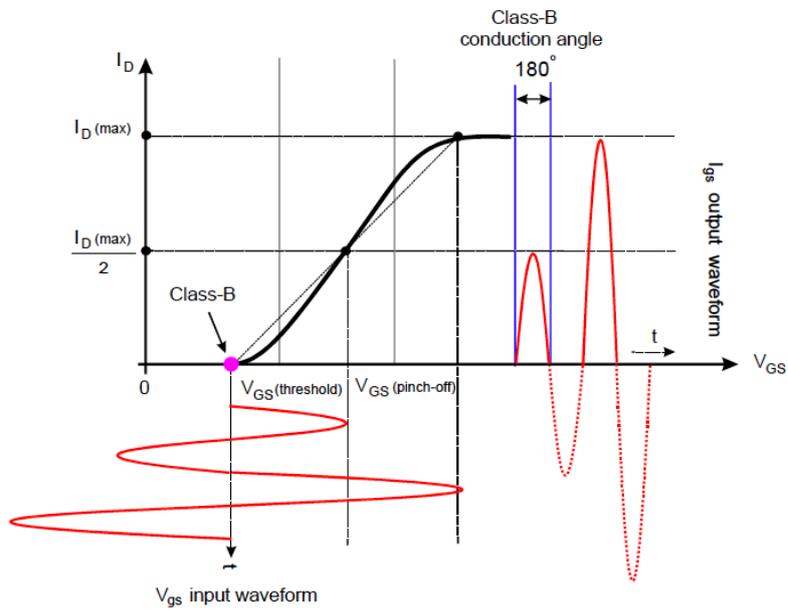


Figura 3.4: Representa a forma de onda da corrente à saída do amplificador [13].

3.2.3 Classe AB

O tipo de amplificadores AB, onde o transistor é polarizado entre a classe A e a classe B, pode ser considerado num compromisso entre o funcionamento da classe A e B, respectiva-

mente. O ângulo de condução da classe AB situa-se entre os 180° e 360° . De facto, a redução do ângulo de condução leva a que não haja condução durante todo o período da onda de tensão de entrada. No entanto, há o inconveniente de gerar harmónicos e, por conseguinte, efeitos não lineares. Esta diminuição do ângulo de condução é conseguida baixando a tensão de porta.

Os amplificadores em classe AB são geralmente uma boa escolha, pois revelam um compromisso entre linearidade e eficiência, isto é, são mais lineares que os classe B e mais eficientes relativamente aos classe A.

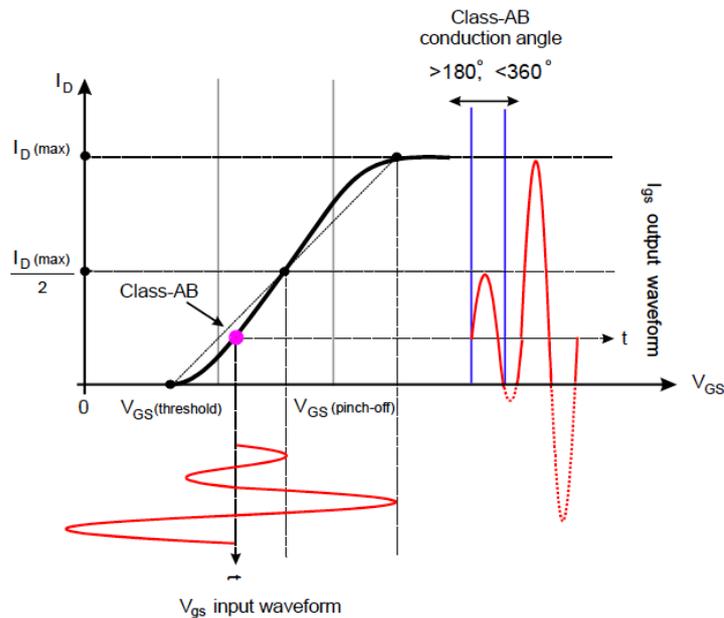


Figura 3.5: Representa a forma de onda da corrente à saída do amplificador [13].

3.2.4 Classe C

O amplificador classe C, o seu ponto de operação é escolhido de modo a que a corrente à saída seja zero para mais de metade do sinal de entrada. A corrente de dreno é composta por impulsos de curta duração aumentando substancialmente o rendimento. Desta forma, o ângulo de condução será menor que 180° . Com isto, resulta um bom rendimento, em que este terá um valor máximo de 100% quando o ângulo de condução se aproximar de zero. Contudo, este rendimento teórico máximo para um amplificador de classe C, só é possível se o ângulo de condução tender para zero, o que significa que não há sinal aplicado, estando perante uma condição sem interesse.

Um aumento na polarização para obtenção de melhor linearidade resulta num menor rendimento e maior dissipação de calor. Inversamente, ao reduzir a polarização para melhorar o rendimento resulta numa redução de linearidade. Algumas das razões desencorajadoras do uso de amplificadores de potência em classe C, tem a ver com o facto de este ser extremamente não linear, devido ao transistor conduzir durante curtos períodos de tempo. Por outro lado,

quando o transistor está polarizado para além do seu ponto de corte, caso da Classe C, verifica-se uma diminuição de ganho.

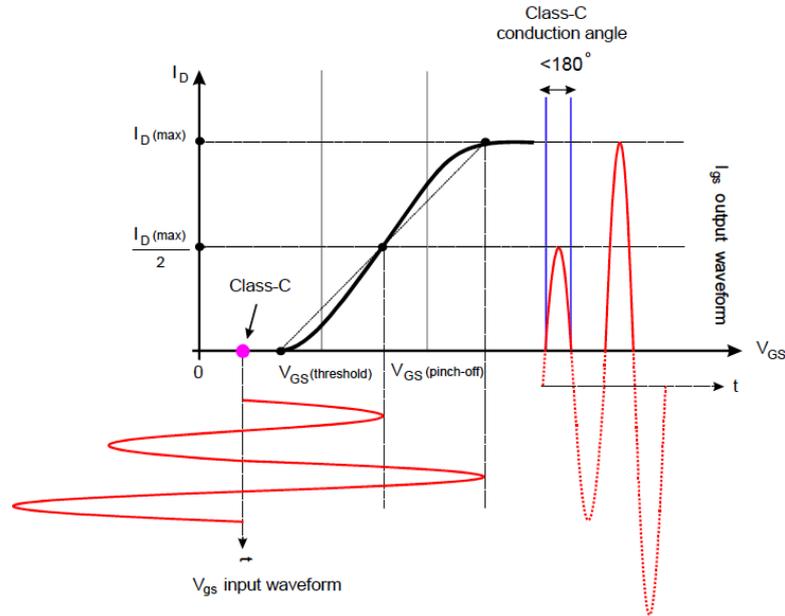


Figura 3.6: Representa a forma de onda da corrente à saída do amplificador [13].

Existe também, uma série de amplificadores não lineares de alta eficiência, tais como D, E, F. No entanto, estes não serão considerados neste trabalho devido às suas fracas características de linearidade. A sua descrição pode ser encontrada em [13]. A tabela em baixo reúne comparações para as diferentes classes em termos de ponto quiescente e ângulo de condução.

Tabela 3.1: Tabela com as Classes de operação convencionais [13]

Classe	Ponto Q (V_{GS})	Corrente Quiescente	Ângulo de condução	Eficiência máxima
A	0.5	0.5	2π	50%
B	0	0	π	78%
AB	0–0.5	0–0.5	$\pi-2\pi$	50%–78%
C	<0	0	0– π	próx. 100%

3.3 Potência

Podem-se distinguir dois tipos de potência, a potência disponível pela fonte e a potência que é transferida para a carga. A primeira diz respeito à capacidade do circuito em fornecer potência. Esta, considerada como potência disponível é a máxima potência que é possível transferir da fonte para o circuito. Para que tal aconteça, tem que estar devidamente adaptada ($Z_{in} = Z_s^*$), em que Z_{in} é a impedância de entrada do transistor e Z_s^* é o conjugado da impedância da fonte [15].

Assim definindo como potência “available” (P_{AV}) a máxima potência disponível pela fonte, tem-se que a expressão desta em função da frequência é dada por:

$$P_{av}(\omega) = \frac{1}{8} \frac{|V_S(\omega)|^2}{Re\{Z_S(\omega)\}} \text{ onde,}$$

$V_S(\omega)$ é o valor de pico da tensão do sinal de entrada e $Re\{Z_s(\omega)\}$ é a parte real da impedância da fonte.

A potência dissipada ou transferida para a carga é dada por [15]:

$$P_L(\omega) = \frac{1}{2} \frac{|V_L(\omega)|^2}{Re\{Z_L(\omega)\}} \text{ onde,}$$

$V_L(\omega)$ é o valor de pico da tensão do sinal de saída e $Re\{Z_L(\omega)\}$ é a parte real da impedância de carga.

3.4 Ganho

São definidos vários tipos de ganho, com o objectivo de melhor caracterizar um amplificador de potência. O ganho de transdução e o ganho de potência são os mais relevantes. No caso de amplificadores RF, o mais relevante é o ganho de potência, pois neste caso o objectivo principal é a emissão de potência.

O ganho de transdução, G_T , é definido como a razão entre a potência P_L entregue à carga e a potência disponível na fonte P_{AV} . É definida como a potência máxima que uma fonte ou gerador pode fornecer a uma carga, em que esta só é fornecida quando o gerador está carregado por uma impedância Z_S^* , complexa conjugada da impedância interna Z_S . Neste caso diz-se que a carga está adaptada.

$$G_T = \frac{P_L}{P_{AV}} = \frac{\text{Potência entregue à carga}}{\text{Potência disponível na fonte}} \quad (3.1)$$

O ganho de transdução é definido através do produto de três factores, nomeadamente a desadaptação de entrada, o ganho do dispositivo e a desadaptação de saída (ver figura 3.7) [16].

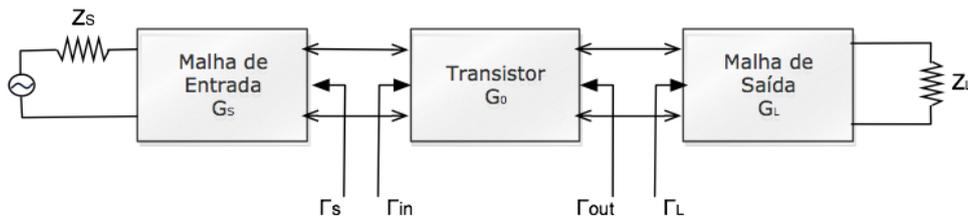


Figura 3.7: Diagrama de Blocos de um circuito de amplificação.

$$G_P = \frac{P_L}{P_{IN}} = \frac{\text{Potência entregue à carga}}{\text{Potência fornecida pela fonte}} \quad (3.2)$$

O ganho de Potência, figura 3.8, G_P [17], é a razão entre a potência entregue à carga, P_L , e a potência na entrada P_{IN} .

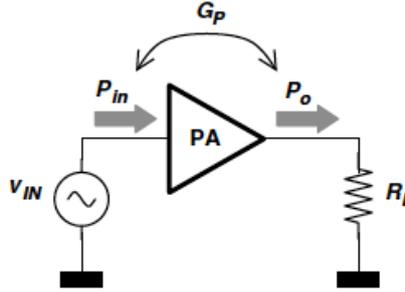


Figura 3.8: Definição de Ganho de Potência [18].

Ganho em Potência, normalmente é expresso em dB, definido por:

$$G_{P,dB} = 10 \log_{10} \frac{P_{OUT}}{P_{IN}} \quad (3.3)$$

3.5 Eficiência

A eficiência é um dos parâmetros mais importantes na concepção de amplificadores de potência. Esta representa a eficácia com que o amplificador transforma potência DC em potência RF. Normalmente as definições mais comuns são a eficiência do dreno e PAE (Power Added Efficiency). A eficiência do dreno é o que quantifica a razão entre a potência de saída e a potência fornecida pela fonte de alimentação [20].

$$\eta = \frac{P_{OUT}}{P_{DC}} \quad (3.4)$$

O PAE é utilizado para a caracterização da performance do amplificador em vez da eficiência do dreno, pois contabiliza a conversão da potência DC em potência RF considerando a potência introduzida na entrada do amplificador, conforme se verifica na seguinte equação [20]:

$$PAE = \frac{P_{OUT} - P_{IN}}{P_{DC}} \quad (3.5)$$

3.6 Parâmetros S

Os parâmetros S, utilizados na caracterização de dipostos e também designados por parâmetros de dispersão, são de grande importância com vista à caracterização de sistemas microondas, devido à sua simplicidade de aquisição e de interpretação. Por outro lado, algumas das variáveis mais determinantes para circuitos de baixa frequência (tensão e corrente), tem uma complexidade acrescida para frequências elevadas, tornando-se por isso menos usadas no estudo de circuitos que funcionem na gama das microondas. Os parâmetros S são relações entre ondas que saem e entram nos portos do dispositivo a caracterizar.

Assim, com o intuito de caracterizar a relação entre os parâmetros de dispersão, obtemos a forma matricial das ondas de entrada e de saída dos portos:

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix}$$

As ondas de potência b_1 e b_2 , respectivamente nos portos de entrada e de saída, são relacionadas com as ondas de potência a_1 e a_2 nos mesmos portos.

Expandindo a matriz em equações temos:

$$b_1 = S_{11}a_1 + S_{12}a_2 \text{ e } b_2 = S_{21}a_1 + S_{22}a_2$$

Onde:

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0}$$

É o coeficiente de reflexão de entrada, com a saída adaptada ($\rho_{IN} = S_{11}$).

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0}$$

Representa o ganho do circuito com a saída adaptada.

$$S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0}$$

É o ganho para-trás (inverso) do circuito com a entrada adaptada.

$$S_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0}$$

Dá o coeficiente de reflexão com a entrada adaptada ($\rho_{OUT} = S_{22}$).

3.7 Estabilidade

A estabilidade é uma propriedade bastante importante no desenho de um amplificador, pois a oscilação é um efeito indesejado. É possível a ocorrência de oscilações em redes de dois portos, sendo considerado incondicionalmente estável, numa dada frequência, se as componentes reais de Z_{IN} e Z_{OUT} forem positivas para quaisquer valores de impedância de carga e de fonte, Z_L e Z_S , respectivamente. Isto é, se $\text{Re}(Z_{IN}) > 0$ e $\text{Re}(Z_{OUT}) > 0$.

Define-se então como condição de estabilidade incondicional [17]:

$$\{|\rho_{IN}|, |\rho_{OUT}|, |\rho_S|, |\rho_L|\} < 1$$

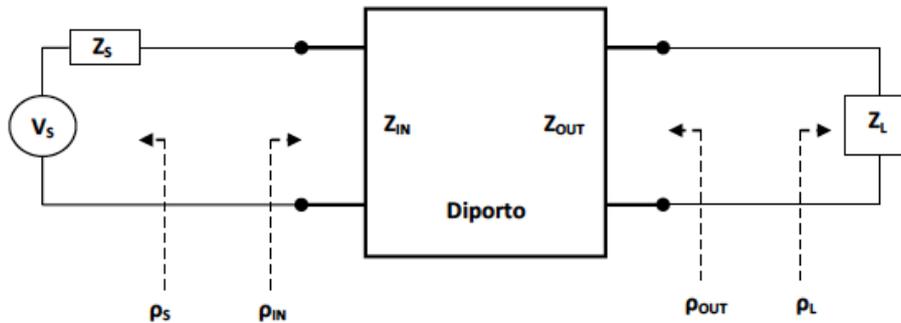


Figura 3.9: Constituição de um diporto.

Entretanto, se para $\text{Re}(Z_{IN}) < 1$ e/ou $\text{Re}(Z_{OUT}) < 1$, existir algum Z_S ou Z_L que torne o dipolo instável então este é considerado potencialmente instável ou mesmo instável.

As duas condições que se seguem, permitem a análise de estabilidade através dos parâmetros S:

$$K = \left(\frac{1 - |S_{11}|^2 - |S_{22}|^2 + \Delta^2}{2|S_{12}S_{21}|} \right) > 1 \quad (3.6)$$

$$|\Delta| = |S_{11}S_{22} - S_{12}S_{21}| < 1 \quad (3.7)$$

Se as duas situações se verificarem, isto é, S_{11} e S_{22} forem menores do que um, $|S_{11}| < 1$ e $|S_{22}| < 1$, então estamos perante estabilidade incondicional - Factor de Stern [19].

3.8 Medidas de não Linearidade

Os amplificadores de potência RF têm como característica a não-linearidade e estes introduzem distorção nos sistemas de telecomunicações, afectando o seu funcionamento. Esta distorção corresponde à adição de frequências no sinal original. Normalmente é causada pelo comportamento de compressão de um amplificador de potência, que ocorre quando o transistor RF opera na sua zona de saturação tendo em conta o nível de sinal à entrada. A

não-linearidade é atribuída ao ganho de compressão e distorção harmónica resultando numa imperfeita reprodução do sinal amplificado.

A caracterização da linearidade de um sistema faz-se segundo a análise de várias figuras de mérito, dependendo da modulação do sinal e da aplicação em questão. Entre estas, destacam-se as seguintes:

- Ponto de Compressão de 1dB
- Distorção de Intermodulação
- ACPR - *Adjacent Channel Power Ratio*
- Ponto de Intersecção de 3ª Ordem (IP3)

Uma investigação profunda sobre a linearidade nos amplificadores de potência pode ser encontrada em [20].

3.8.1 Ponto de Compressão de 1dB

Trata-se de um dos factores de mérito que caracteriza o comportamento não-linear de um amplificador de potência. Quando o sinal da entrada se aproxima do ponto de saturação, o ganho do amplificador começa a diminuir ou a comprimir. Este ponto de 1dB de compressão, pode ser visto como o nível a que o ganho à saída é comprimido em 1dB do seu valor linear. O ganho correspondente para 1dB de compressão é visto como G_{1dB} e pode ser calculado $G_{1dB} = G_O - 1dB$, G_O é o ganho na saída $10\log|S_{21}|^2$. $P_{out,1dB}$ e 1dB de compressão podem ser expressos em dBm, se estiverem relacionados com a potência de entrada $P_{in,1dB}$.

$$P_{out,1db} = G_{1dB} + P_{in} = G_O - 1dB + P_{in,dB} \quad (3.8)$$

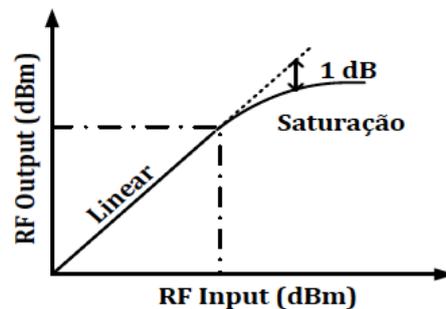


Figura 3.10: Ponto de 1dB de compressão.

Tipicamente, trata-se da potência máxima que o amplificador de potência é capaz de fornecer à carga.

3.8.2 Distorção de Intermodulação

A linearidade de um transístor e, conseqüentemente, de um amplificador de potência é caracterizada com distorção de intermodulação (IMD). Este é um fenômeno de conversão de frequência que tem origem num sistema não linear, quando dois ou mais sinais de diferentes frequências se combinam e resultam no aparecimento de uma nova frequência que não fazia parte da entrada do sistema.

Estes novos sinais possuem frequências iguais à soma e à diferença dos sinais aplicados, ou também múltiplos desses sinais. Então, uma forma de avaliar a linearidade, de um sistema, consiste em disponibilizar na entrada, dois sinais sinusoidais com igual amplitude e frequências muito próximas. A distorção causada devido à não linearidade, gera componentes fora da banda (canal adjacente) e dentro da banda (co-canal). Como se pode ver na figura 3.11 as componentes espectrais resultantes da distorção de intermodulação encontram-se muito próximas do sinal amplificado, não podendo ser eliminados por um simples filtro, como se faz no caso das harmônicas.

Considerando que um sistema é descrito por uma não linearidade de ordem ímpar até à terceira ordem e que o sinal de entrada é uma combinação de dois tons, obtém-se o seguinte sinal de saída.

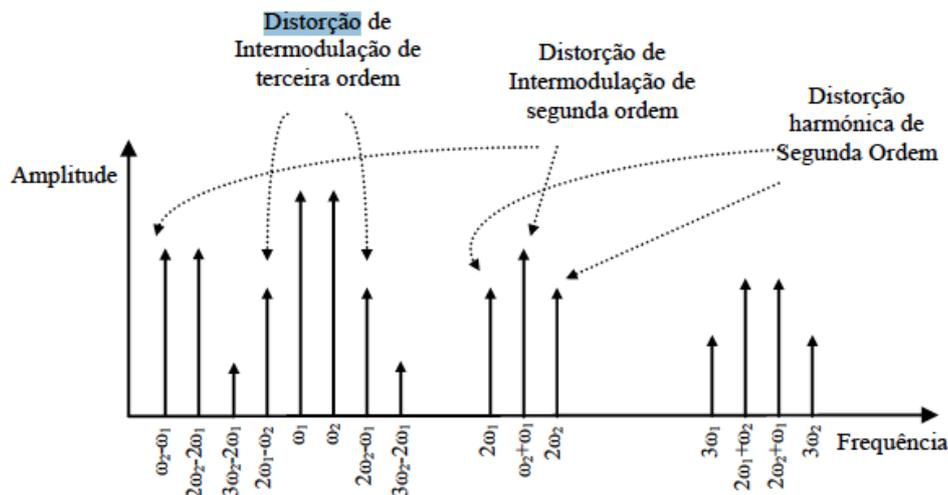


Figura 3.11: Espectro de frequências de um sinal de dois tons à saída de um amplificador.

As componentes de terceira harmônica podem ser eliminadas por filtragem, mas os produtos de intermodulação que caem dentro da banda, não podem ser eliminados. Para minimizar esta interferência deve-se garantir que o produto de intermodulação tenha uma amplitude mínima, o que se consegue para amplificadores com uma boa linearidade. A forma existente de quantificar a linearidade é através do parâmetro IP3. Contudo, existem técnicas de linearização como o feed-forward, realimentação e introdução de um bloco pré-distorsores que atenuam os efeitos da distorção não-linear.

Estes efeitos não-lineares que dão origem a produtos de intermodulação, podem ser facilmente observados através da aplicação de dois tons.

3.8.3 ACPR - *Adjacent Channel Power Ratio*

Os sistemas não lineares, nomeadamente devido à intermodulação, criam componentes do espectro que não existiam no sinal de entrada. Estas novas componentes situam-se principalmente no espectro adjacente ao sinal.

O *Adjacent Channel Power Ratio* (ACPR) é um factor de mérito que permite caracterizar a ocupação dos canais adjacentes ao sinal, relativamente ao próprio sinal, figura 3.12, [21].

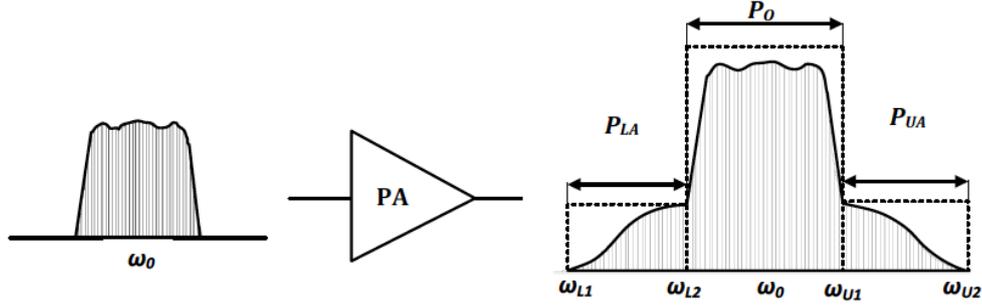


Figura 3.12: Ilustração do ACPR.

A potência existente nos canais adjacentes é vista como interferência, em que o ACPR fornece uma métrica que permite avaliar como é que as não-linearidades do amplificador afectam os canais adjacentes e define-se como sendo a razão entre a densidade espectral de potência do sinal dentro da banda e a densidade espectral de potência do sinal nos canais adjacentes.

$$ACPR = \frac{\text{Potência do sinal de saída do canal}}{\text{Potência Integrada do Canal Adjacente (Up e Lower)}} = \frac{P_O}{P_{LA} + P_{UA}} \quad (3.9)$$

3.8.4 IP3 - Ponto de Intersecção de 3ª Ordem

O Ponto de Intersecção de 3ª Ordem (IP3) caracteriza a distorção de 3ª ordem de um sistema não linear. Trata-se de um parâmetro importante na caracterização da linearidade do amplificador e é o ponto para o qual a curva de intermodulação de 3ª ordem, IM3, intercepta a curva linear da potência de saída. Consiste num factor de mérito muito útil, visto permitir o cálculo da distorção de intermodulação para qualquer potência de entrada, através da expressão:

$$IP3 = \frac{3(G + P_{IN} - P_{IMD})}{2} (dB) \quad (3.10)$$

Onde P_{IMD} é a potência da distorção de intermodulação na saída e G o ganho do amplificador de potência.

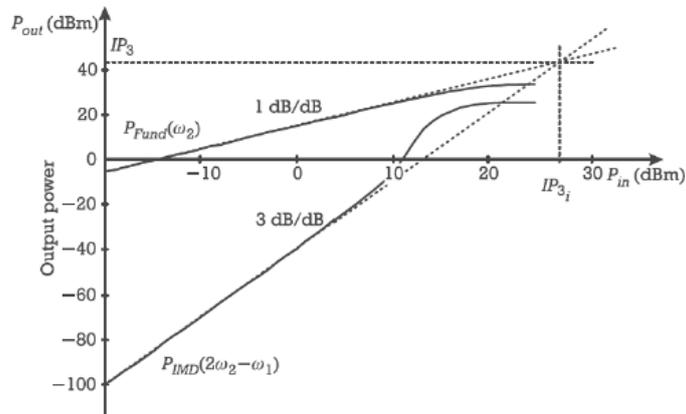


Figura 3.13: Ponto de intercepção de 3ª ordem, retirado de [20].

3.9 Sumário

O desempenho de um transmissor de comunicações móveis, depende principalmente das características do seu amplificador de potência. Um ganho elevado, linearidade elevada, estabilidade e grande eficiência são as características de um amplificador de potência bem projectado. Tais características apenas podem ser alcançadas com a devida polarização do seu dispositivo activo, definindo assim a sua classe de operação.

O objectivo desta pesquisa, é entender todos os conceitos relacionados com amplificadores de potência, com intuito de melhor compreender o Amplificador de Potência nesta dissertação.

Capítulo 4

Projecto e Simulações

4.1 Introdução

Neste trabalho pretende-se construir um circuito ou sistema de controlo de alimentação para amplificadores de potência RF, com o intuito de ser uma aplicação simples e portátil. O amplificador de potência em causa trabalha a uma frequência de 5.9 GHz e é composto por dois andares de ganho, sendo um de média (1W) e outro de alta potência (10W).

Os transístores presentes no amplificador têm uma gama de funcionamento até aos 6 GHz e são respectivamente, NPTB00004 (GaN FET) da Nitronex e FLM5359-12F (GaAs FET) da Eudyna.

O desenho de um Amplificador de Potência é constituído por várias etapas. A primeira, é a escolha do ponto de polarização, definindo assim a sua classe de operação. Segue-se a determinação dos parâmetros S, para a frequência pretendida, no sentido de se avaliar a estabilidade. Finalmente, é necessário desenhar as malhas de adaptação de entrada / saída e testar o sistema completo.

Pretende-se, então obter um sistema que permita ao utilizador seleccionar a corrente de dreno pretendida realizando automaticamente a polarização do amplificador. Quer-se com isto dizer, que o utilizador não terá que fazer ajustes na tensão de *gate*, para obter a corrente pretendida. Deste modo o sistema tem que estar dotado de uma série de características que garantem o funcionamento dos transístores sem por em causa a sua longevidade e funcionamento.

Apresenta-se em seguida uma descrição pormenorizada do sistema desenvolvido para a polarização de Amplificadores de Potência, dividindo-se assim em secções e subsecções mais detalhadas.

4.2 Dispositivo Activo

A polarização de circuitos de alta potência em RF, especialmente dispositivos de Nitreto de Gálio, requer uma atenção especial. Basicamente, esta diz respeito à prevenção de oscilações e instabilidade que poderá ser causada ao amplificador, mantendo a corrente de dreno constante e uma compensação de temperatura adequada, promovendo um melhor desempenho ao amplificador de potência.

Os GaN HEMTs são do modo depleção e requerem uma tensão negativa aplicada na porta (*gate*) do dispositivo. Para a obtenção desta tensão negativa, é necessário referenciar um nó positivo à terra da fonte de alimentação. Neste caso, a ideia base para este trabalho, é de que o utilizador não necessita de conhecer ou definir uma tensão a aplicar na *gate* do amplificador de potência.

Deste modo, tal como em GaAs FETs, também é apresentado a forma como proceder ao seu *turn-on* e *turn-off*. É demonstrada sequência proposta pelo próprio fabricante.

4.2.1 Sequência de polarização

Para os dispositivos GaN HEMT, o primeiro e mais importante ponto, é a forma e como a sequência de polarização é realizada. Desta forma é apresentada a sequência recomendada:

- Definir $V_{GS} = 0$ V (porta) e $V_{DS} = 0$ V (dreno).
- Diminuir V_{GS} até ao ponto de corte, tipicamente -1.8 até -2.2 V para dispositivos da GaN da Nitronex.
- Aumentar V_{DS} até à tensão pretendida.
- Aumentar V_{GS} até ao ponto de quiescente de corrente pretendido.
- Conectar o sinal RF.

De um modo semelhante, é recomendado que se efectua também uma sequência de *turn-off*:

- Desconectar o sinal RF.
- Diminuir V_{GS} até ao ponto de corte.
- Diminuir V_{DS} até 0 V.
- Definir $V_{GS} = 0$ V.

4.3 Análise DC e Ponto de Polarização

A análise DC é o primeiro passo a realizar no desenho de um Amplificador de Potência. Estimando as curvas características I-V dos dispositivos é possível escolher o ponto de polarização, tendo em conta a tensão de Joelho (V_{knee}), a tensão de disrupção (V_{BR}) ou a tensão de dreno máxima ($V_{DS,max}$), e claro a classe em que se pretende operar.

Estas curvas são determinantes para a escolha do ponto de polarização do transístor. Outro aspecto importante, são os valores que são necessários retirar destas curvas e que vão permitir calcular a recta de carga óptima. A figura 4.1 mostra o circuito desenhado para a simulação das curvas características I-V. Este é constituído por duas fontes DC e pelo modelo do transístor, em que V_{GS} varia de -3 V até 2 V e V_{DS} de 0 V até 40 V.

Na figura 4.2 encontram-se as curvas características I_{DS} vs V_{DS} do transístor GaN NPTB00004, correspondente ao amplificador de média potência 1 W. Como se observa, a corrente máxima possível no dispositivo é de 1.1 A, para uma tensão de Joelho, V_{knee} de 6 V. Quanto à tensão

FET DC IV Curves

Drain current versus Drain-Source and Gate-Source voltages

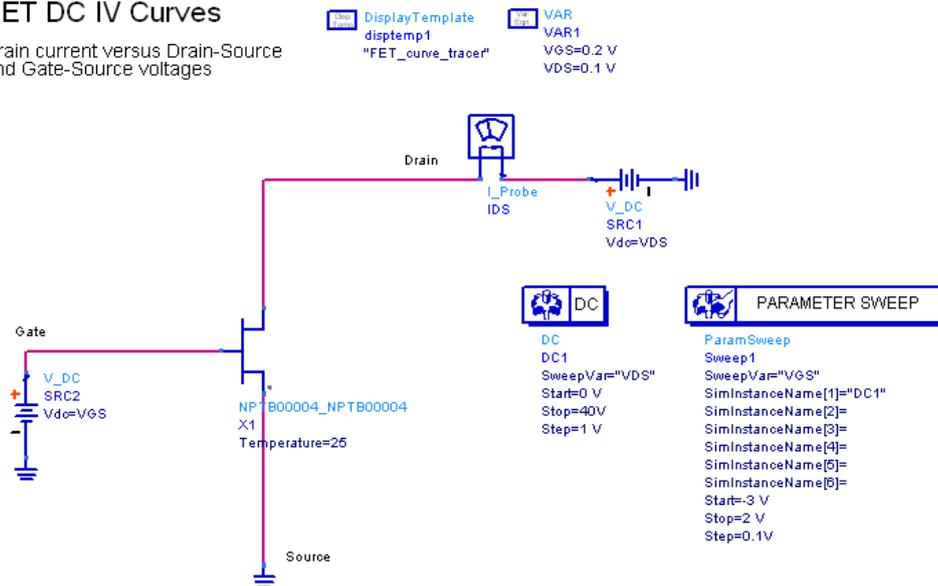


Figura 4.1: Esquema utilizado para obter as curvas I-V do transistor NPTB00004.

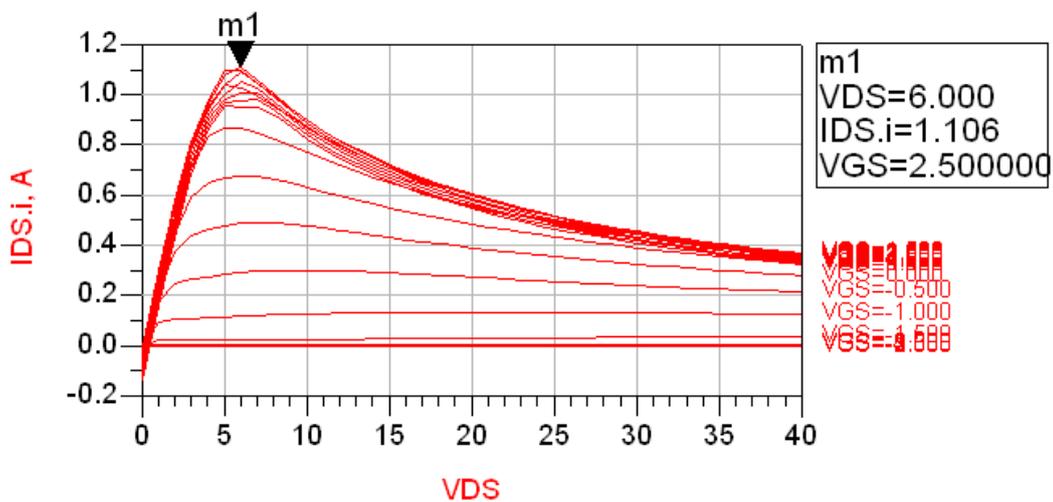


Figura 4.2: Curvas de I_{DS} vs V_{DS} do transistor NPTB00004.

de V_{BR} , tensão de ruptura, o valor escolhido foi de 40 V, sendo certo que não foi escolhido tendo em conta a potência total dissipada pelo dispositivo.

A escolha do ponto de polarização deve ter em conta a potência máxima dissipada pelo transistor, definindo assim uma área segura de funcionamento (SOA), ou seja, dentro desta área a integridade do transistor é assegurada, não correndo assim risco de sofrer danos devido ao aquecimento.

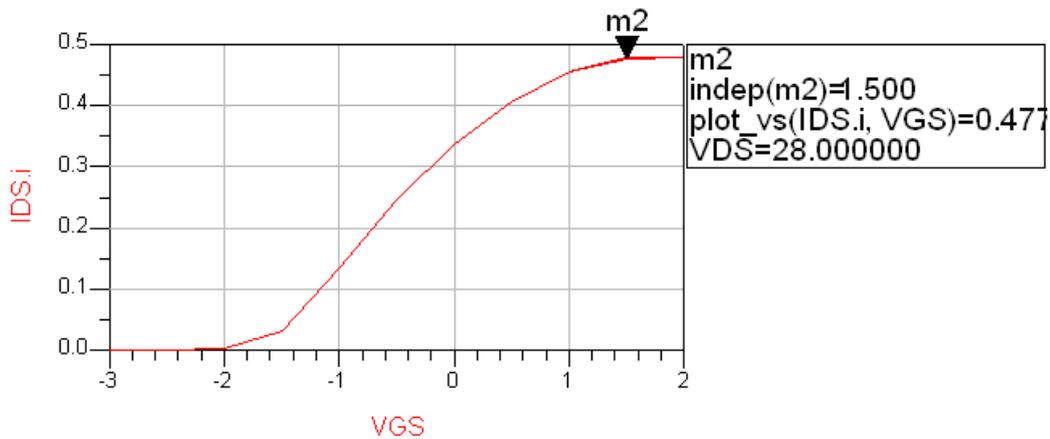


Figura 4.3: Curvas de I_{DS} em função de V_{GS} do transistor NPTB00004.

Tal como mencionado em capítulos anteriores a corrente I_{DS} depende de V_{GS} e de modo a termos conhecimento sobre as regiões de corte e saturação, é feita a seguinte simulação. Pela figura 4.3 pode-se ver que este começa a conduzir para uma tensão de porta (*gate*) de aproximadamente -2 V. Verifica-se também que a partir de $V_{GS} = 1.5$ V, para uma tensão de dreno de 28 V, qualquer tensão na entrada da porta (*gate*) do dispositivo oferece uma corrente máxima de 0.477 A.

Com a curva $I_{DS}(V_{GS})$ da figura 4.3 é possível descobrir qual a tensão de *threshold* e qual o valor de V_{GS} para o qual se obtém um $I_{DQ} = 50$ mA.

Na figura 4.4 pode-se observar com mais pormenor a tensão $V_{GS} = -1.4$ V para um $I_{DQ} = 50$ mA.

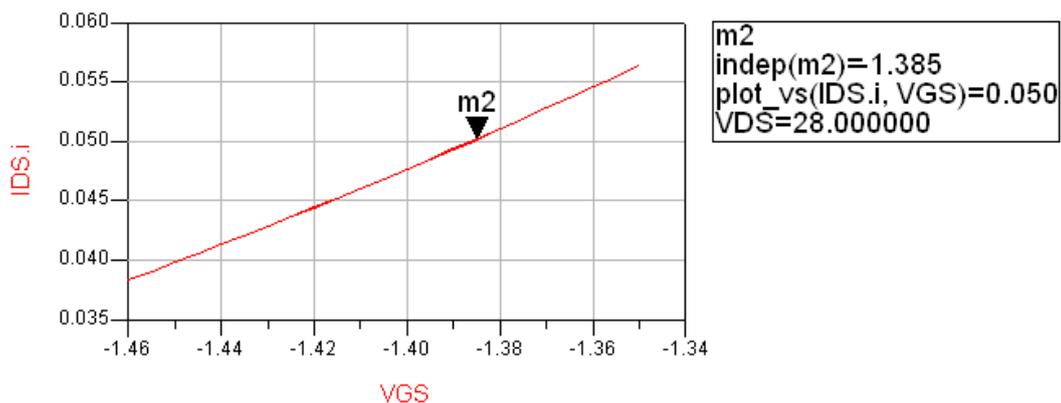


Figura 4.4: Curva $I_{DS}(V_{GS})$ para corrente $I_{DQ} = 50$ mA.

A tabela 4.1 apresenta os valores máximos suportados pelos transístor.

Tabela 4.1: Tabela com as características do transistor NPTB00004.

Parâmetro	Símbolo	Valor
Tensão Drain-Source	V_{DS}	100 V
Tensão Gate-Source	V_{GS}	-10 V a 3 V
Potência Total Dissipada	P_T	7.6 W
Temperatura de canal	T_{CH}	200° C

A tabela 4.2, mostra outras características importantes, medidas à temperatura ambiente (25° C), para a correcta utilização do dispositivo.

Tabela 4.2: Características DC do transistor NPTB00004.

Características DC	Símbolo	Min	Typ.	Max	Condições
$V_{Drain-Source}$ Breakdown Voltage	V_{BDS}	100	-	-	$V_{GS} = -8$ V, $I_D = 2$ mA
Gate Threshold Voltage	V_T	-2.0	-1.5	-1.0	$V_{DS} = 28$ V, $I_D = 2$ mA
Gate Quiescent Voltage	V_{GSQ}	-1.8	-1.3	-0.8	$V_{DS} = 28$ V, $I_D = 50$ mA
Saturated Drain Current	I_D	1.1	1.3	-	$V_{DS} = 7$ V, $V_{GS} = 2$ V

Quanto ao segundo FET da cadeia amplificadora, o FLM5359-12F, encontra-se descrito abaixo pelas tabelas 4.3 e 4.4, devido ao seu fabricante não ter o modelo disponível para simulação.

Tabela 4.3: Tabela com as características do transistor FLM5359-12F.

Parâmetro	Símbolo	Valor
Tensão Drain-Source	V_{DS}	15 V
Tensão Gate-Source	V_{GS}	-5 V a 0 V
Potência Total Dissipada	P_T	57.6 W
Temperatura de canal	T_{CH}	175° C

Tabela 4.4: Características DC do transistor FLM5359-12F.

Características DC	Símbolo	Min	Typ.	Max	Condições
$V_{Gate-Source}$ Breakdown Voltage	V_{GSO}	-5	-	-	$I_{GS} = -300$ uA
Gate Threshold Voltage	V_T	-1.0	-2	-3.5	$V_{DS} = 5$ V, $I_{DS} = 300$ mA
Transconductance	g_m	-	2.9	-	$V_{DS} = 5$ V, $I_{DS} = 3400$ mA
Saturated Drain Current	I_D	-	5.8	8.7	$V_{DS} = 5$ V, $V_{GS} = 0$ V

A partir deste momento e depois de analisadas as características dos FETs, interessa então, atribuir um circuito de polarização para o amplificador.

4.4 Circuitos de Polarização

Com a finalidade de se cumprirem os objectivos propostos, deve-se então proceder ao projecto do circuito que nos proporciona o funcionamento correcto do FET e garanta a sua

longevidade. Deste modo, um dos principais problemas é a concepção de um circuito que providencie todas as características que necessitamos.

Então para a parte prática deste trabalho, estudaram-se dois tipos de configuração de circuito que serão apresentados em seguida.

4.4.1 Circuito com espelho de corrente

O objectivo principal do circuito de polarização é manter a corrente I_{DS} independentemente do FET a polarizar, por forma ao utilizador utilizar o seu amplificador na classe de operação desejada.

Então, a solução adoptada passou pela simulação de um circuito denominado por circuito de polarização por realimentação de Emissor. A função de um circuito com realimentação de emissor, é de provocar uma realimentação negativa na base sempre que a corrente colector / emissor aumentar por causa da temperatura.

A figura apresentada, baseia-se num circuito de realimentação ao qual será aplicado o dispositivo em teste. Este circuito possui várias características das quais serão apresentadas as suas vantagens / desvantagens.

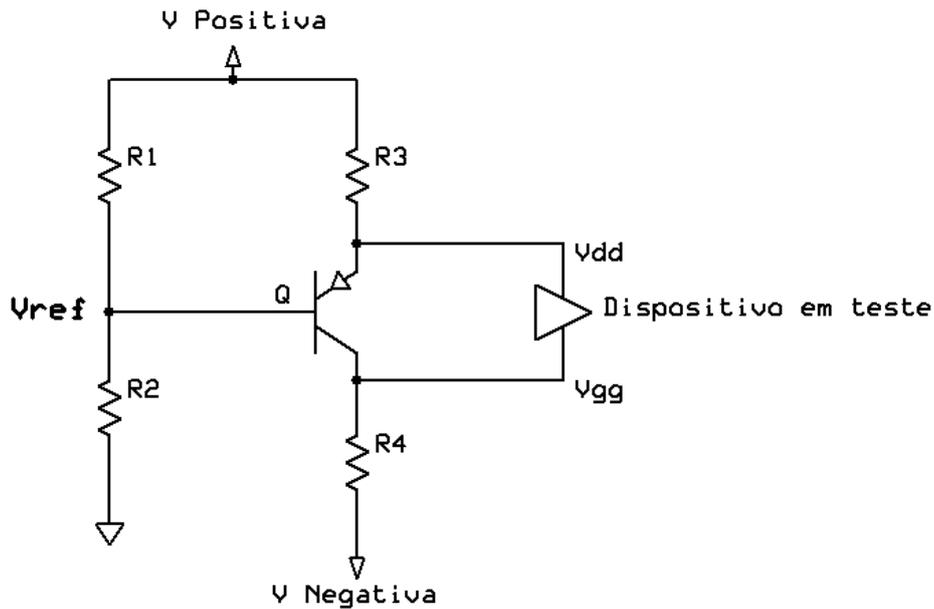


Figura 4.5: Circuito de simulação para dispositivo em teste.

A função deste circuito, é de provocar uma realimentação negativa na base sempre que a corrente colector / emissor aumentar por causa da temperatura.

Neste circuito, se I_E aumenta com a temperatura, I_C e V_{R4} também aumentam. Como é V_{REF} é quase constante, o aumento de V_{R4} / V_{R3} provoca a diminuição de V_{BE} , reduzindo I_B de forma a compensar proporcionalmente a elevação de V_{R4} .

$$V_{ref} = V_{positiva} \left(\frac{R_2}{R_1 + R_2} \right) \quad (4.1)$$

Como consequência, I_C diminui novamente, o mesmo acontecendo a I_E .

Portanto, R_E tem a finalidade de realimentar negativamente a tensão de base, anulando a variação inicial da corrente de colectora I_C .

Um dos problemas do circuito, é que se a variação for muito brusca, a realimentação negativa pode não ser suficiente para reduzir I_B proporcionalmente. Estas variações bruscas de I_C podem acontecer por diversos factores, nomeadamente externos, devido a falhas de ventilação por exemplo.

No caso de querermos compensar as variações de temperatura à qual o transistor PNP está sujeito, então a opção é o uso de um espelho de corrente. Este utiliza uma tensão negativa para polarizar o dispositivo (MESFET) e mantém a corrente de dreno constante independentemente do valor de g_m (ganho de corrente) do MESFET. Este mesmo ganho diminui com o tempo sobre um valor fixo de polarização originando uma queda na corrente de dreno.

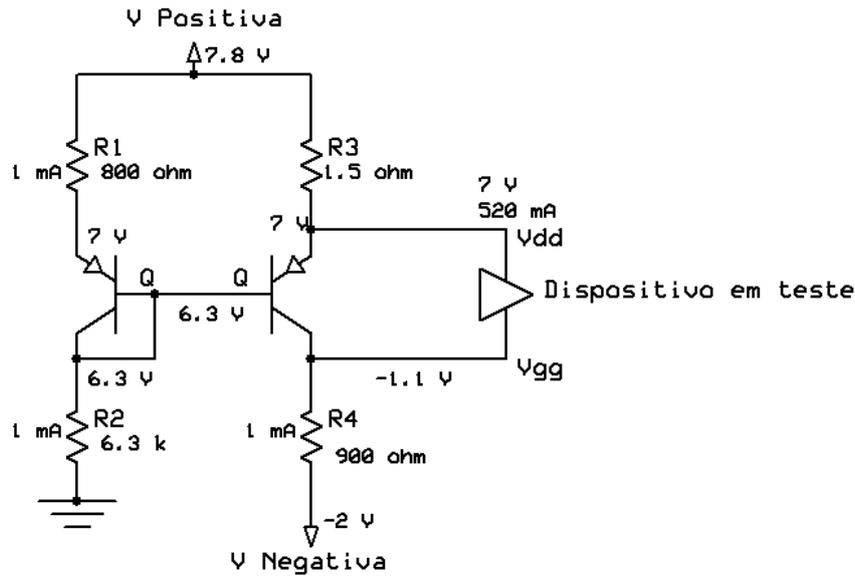


Figura 4.6: Circuito de simulação para dispositivo em teste.

Se a tensão desejada para o funcionamento do amplificador for de $V_{DS}=7\text{ V}$ e uma corrente de dreno de 520 mA então a tensão aplicar à entrada é de 7.8 V para uma resistência de 1.5 Ω . Como este valor irá dissipar alguma potência, é necessário ter em conta os parâmetros da resistência tal como a sua tolerância.

A resistência R_2 irá polarizar o transistor Q1, em que a tensão aos seus terminais será igual à tensão de 7 V menos o valor de V_{BE} , tipicamente, 0.7 V de Q2. Com uma corrente de polarização de 1 mA, sem ter em conta as correntes de base, o valor mais aproximado para a

resistência R_2 é de $6.34\text{K } \Omega$. Escolhendo este valor para 1 mA , determina-se também o valor de R_4 igual a $909\text{ } \Omega$, valor aproximado.

O transistor Q1 faz parte do espelho de corrente / compensação de temperatura. Com a polarização em 1 mA e definida a tensão de base igual nos dois transistores, então a tensão as terminais das resistências R_1 e R_3 será igual, o que implicará R_1 igual a $806\text{ } \Omega$.

Desta forma, foi mostrado um circuito possível, com valores semelhantes ao circuito apresentado na subsecção anterior, que possuirá uma compensação de temperatura ao nível de V_{BE} .

Na fase seguinte foi testado este tipo circuito com o modelo disponível de um dos FETs do amplificador, NPTB00004 da nitronex.

Foram feitos alguns cálculos para que os valores seguintes de $V_{DS}=28\text{ V}$, $V_{GS}=-1.4\text{ V}$ e $I_D=50\text{ mA}$ fossem confirmados.

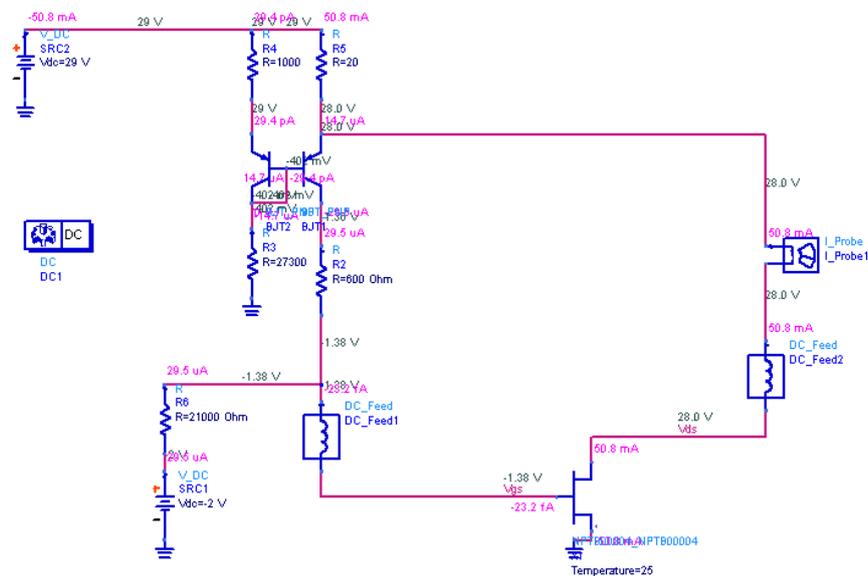


Figura 4.7: Espelho de corrente para funcionamento no ponto Q pretendido.

A figura 4.7 mostra uma simulação no ADS de um circuito de polarização activo. O simulador permite calcular todas as correntes e tensões. Após a simulação, utilizando a opção “Annotate DC Solution” faz com que apareçam todas as correntes e tensões no circuito esquemático, o que vai de acordo aos valores mostrados anteriormente.

Na prática os DC feeds devem ser feitos com indutores ou linhas de transmissão microstrip indutivas, para isolar os sinais RF do MESFET de eventuais perdas de sinal e instabilidade.

O esquema da figura 4.8, representa um circuito mais refinado, que incorpora as características que passo a enunciar:

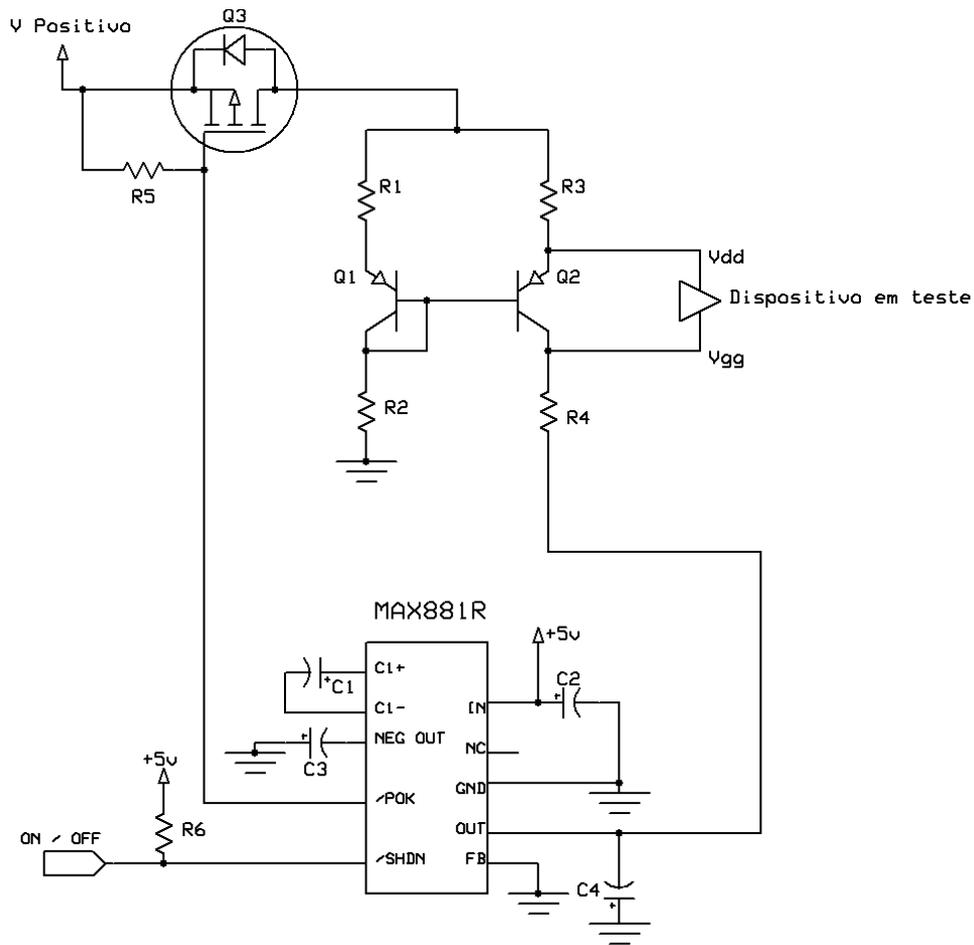


Figura 4.8: Circuito com espelho de corrente e MAX881.

- Corrente de operação constante.
- Compensação de temperatura (V_{BE}).
- Gerador de tensão negativo.
- Aplicação sequenciada das tensões de alimentação (Negativa primeiro; Positiva depois).
- Controlo On / Off.

Para que o circuito estivesse dotado de sequenciamento de tensões, foi feita uma pesquisa a nível de mercado de um produto que fosse de encontro às exigências feitas.

Este monitoriza a tensão de saída para a *gate* durante o power-up, e quando esta tensão atingir cerca de 92.5% do seu valor final, então /POK transita de estado, fazendo o *turn-on* do FET Q_3 , por forma a que o PA esteja protegido de eventuais danos.

Neste segundo circuito, a resistência R_5 , figura 4.8, serve para *pull-up*, isto é, mantém o FET Q_3 desligado quando o circuito está também desligado.

A parte do circuito, controla a tensão de saída durante o power-up, e coloca /POK baixo quando a tensão negativa se encontrar próxima do seu valor final. Tendo este /POK em baixo, faz com que o active o FET Q_3 , que obriga a um power-up seguro do resto do circuito.

Em suma, o circuito de polarização trabalha ajustando a tensão V_{GS} por forma a manter um determinado valor de corrente I_{DS} .

O integrado MAX881r permite:

- Tensão negativa necessária à *gate* do amplificador.
- *Power sequencing*, assegurando a longevidade do amplificador.
- Monitoriza a tensão de saída durante o power-up, sendo /POK responsável pelo turn-on do FET que fornece corrente ao dreno do amplificador.
- Opção de ON / OFF (shutdown).

Depois de demonstradas todas as características deste circuito de polarização, importa referir que não é o esquema ideal para os objectivos principais desta dissertação. Como tal, justifica-se a procura e implementação de um novo circuito de modo a atribuir mais versatilidade para o uso em vários dispositivos activos. A decisão deve-se à limitação de tensões impostas pela configuração utilizada e também por não ser possível fazer uma medição de corrente de modo a atribuir a tensão correcta de V_{GS} ao dispositivo activo.

Concluído este passo, passou-se então para a projecção de um novo circuito de modo a cumprir com todos os objectivos propostos inicialmente.

4.5 Placa de Polarização

A tensão de *threshold* da *gate* de um MESFET varia consideravelmente de dispositivo em dispositivo mesmo que este seja igual. Este comportamento torna mais difícil a polarização do mesmo, sabendo que este efeito provoca mudanças no dispositivo tal como a menor corrente I_{DS} para os mesmos valores de V_{GS} .

Iniciou-se então o projecto de outro circuito para a polarização de amplificadores de potência. Desta forma, terá que se implementar um circuito de controlo versátil ao ponto de se poder utilizar em qualquer amplificador, apenas sabendo a corrente I_{DS} e a tensão V_{DS} necessárias para a Classe de Operação pretendida.

Então, foi idealizado um circuito que combina estas características. Este terá, como característica principal, o poder de atribuir uma dada corrente de dreno-*source* ao Amplificador, e o circuito por si só, definir a tensão de *gate-source* necessária. Para resolver este problema é necessário introduzir um sensor de corrente que monitorize a corrente de *bias* e providencie uma realimentação por forma a atribuir o valor correcto na *gate* do MESFET.

Tendo em conta os objectivos propostos, e o conjunto de necessidades para os poder cumprir, foi idealizada esta estrutura simples de modo a que seja possível o controlo de $I_{DS}(V_{GS})$ por parte do utilizador.

Os três blocos principais são ilustrados a seguir:

- *Sensing* de corrente de dreno.
- Selecção de corrente de dreno.
- Realimentação que permitirá o fornecimento de V_{GS} .

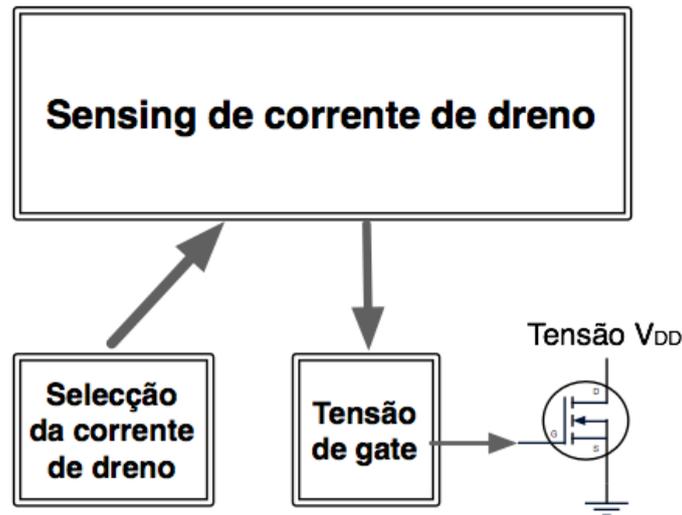


Figura 4.9: Diagrama de blocos do circuito.

4.5.1 Circuito

De acordo com o que foi definido anteriormente, o circuito deverá ser capaz de gerar valor de tensão V_{GS} e atribuir corrente I_{DS} . Devem existir três fontes de tensão controladas para alimentar o circuito, incluindo os opamps. Estas devem conseguir gerar valores positivos ou negativos em relação à massa.

É necessário ao circuito conseguir medir o valor de corrente I_{DS} . A obtenção deste valor é essencial para conseguir cumprir os objectivos deste projecto. A solução natural é usar um circuito que permita medir esse valor e atribuir uma dada tensão V_{GS} consoante o valor de corrente medido.

Para mostrar o funcionamento de cada um dos blocos é feita uma descrição do circuito, figura 4.10.

Este circuito, é composto por uma resistência de *sensing* de corrente que fará a medição da corrente que passará para o dreno do FET. Aos terminais desta resistência, R_{SENSE} , temos um amplificador operacional configurado como amplificador de erro que dará a tensão necessária à *gate* do FET. A tensão de saída deste amplificador de erro, tem uma componente RC, isto é, foi colocado um filtro passa-baixo por forma atribuir uma constante de tempo até a tensão final ser estabelecida. E conectado com estes dois blocos, estará um conversor de tensão para corrente, definindo um valor de corrente a fornecer ao FET.

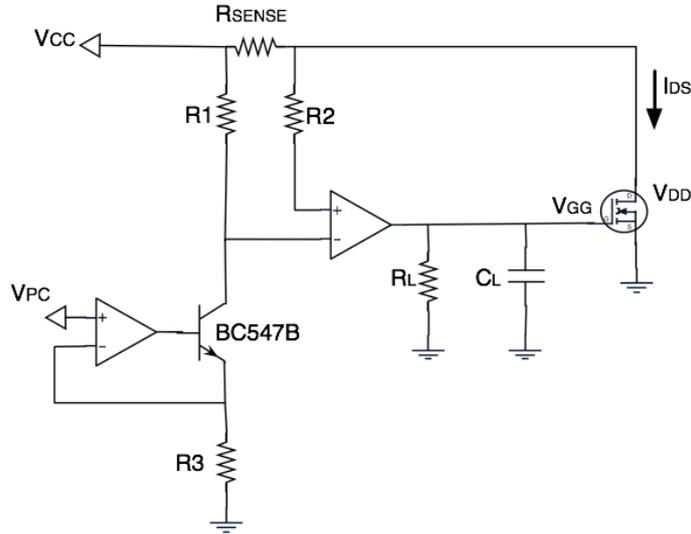


Figura 4.10: Circuito base da DC Board.

Numa pequena descrição do modo de funcionamento, o circuito faz o *sensing* de corrente I_{DS} , compara e atribui a tensão correcta à *gate* do FET. A corrente I_{DS} é imposta por um potenciómetro (R3) em que a sua configuração permite determinar uma maior ou menor corrente. A malha de realimentação ajusta I_{DS} até que as duas tensões, R_1 e R_{sense} sejam iguais, e desta forma será possível definir uma dada corrente I_{DS} sem que seja necessário conhecer os valores ou características de *threshold* do FET.

Para perceber a dependência de R_1 e R_{sense} é necessário recorrer à figura 4.10, de modo a compreender a imposição de corrente feita pelo potenciómetro. Esta deve-se à tensão presente na resistência do emissor do BC547B, que implica uma corrente igual no colector do mesmo. Esta corrente ao passar por uma resistência de $1k\ \Omega$ irá criar um valor de tensão que terá de ser igual ao valor presente em R_{sense} .

Descrição de funcionamento

O circuito da placa de polarização DC, é composto por três blocos principais. Um conversor de tensão para corrente, um amplificador de erro e um *sense* de corrente que permite a programação do circuito para as aplicações desejadas.

O amplificador de erro ajusta a tensão de saída por forma a que a tensão que cai em R_{sense} seja igual à tensão que cai em R_1 , significando que quanto maior a queda de tensão, maior será a corrente fornecida ao amplificador. A tensão que cai em R_1 é definida pelo conversor V-I, constituído pelo opamp com V_{PC} e pelo transistor Q1 (BC547B) que possibilita o ajuste de corrente I_{DS} . O valor da corrente em R_3 define a corrente que passa em R_1 originado uma queda de tensão aos terminais desta resistência, que irá ser igual em tensão em R_{sense} .

A expressão para a corrente de dreno é:

$$I_{R_{sense}} \cdot R_{sense} = \frac{V_{PC}}{R_3} \cdot R_1 \quad (4.2)$$

A corrente em R_1 é igual a V_{PC}/R_3 dependendo sempre da tensão V_{PC} , pois está directamente relacionada com a corrente em R_3 .

$$I_{DS} = \frac{V_{PC} \cdot R_1}{R_3 \cdot R_{sense}} \quad (4.3)$$

Então para estimar o valor de corrente I_{DS} pretendido para um dado amplificador, deve-se recorrer à equação 4.4.

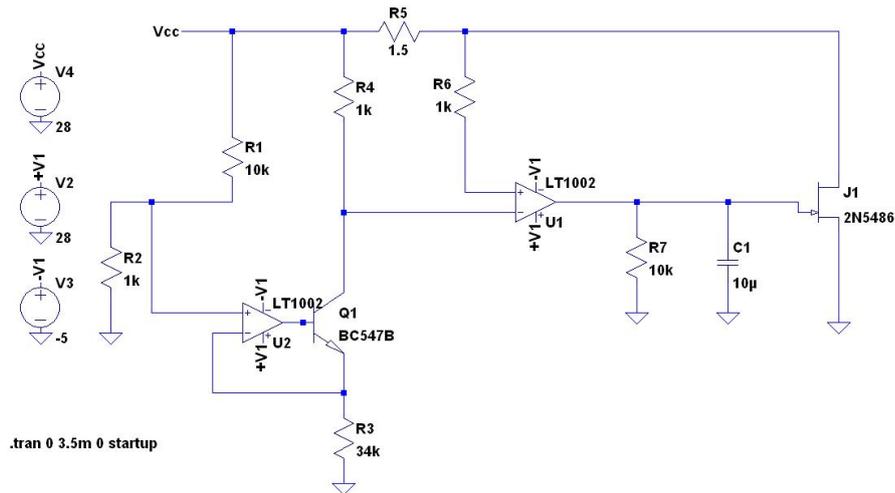


Figura 4.11: Circuito esquemático para 2n5486.

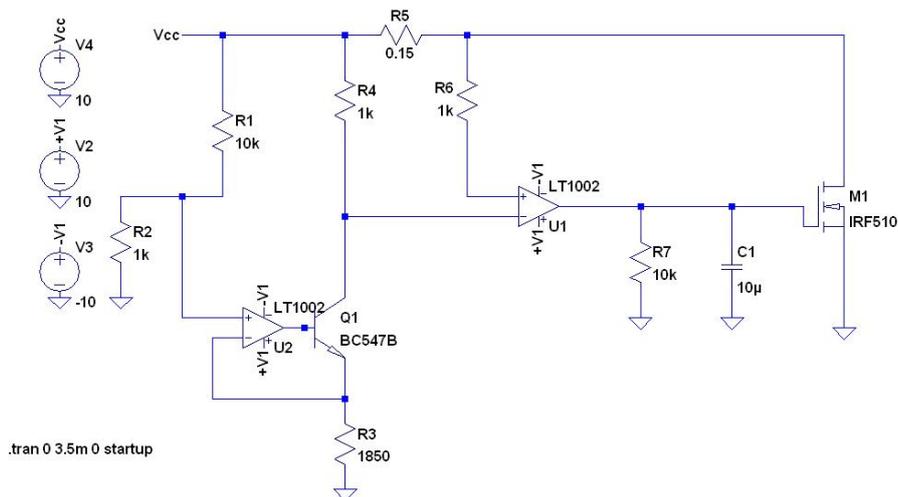


Figura 4.12: Circuito esquemático para IRF510.

Para resultados de simulação são ilustrados os dois circuitos projectados. O circuito 1 foi simulado com um JFET 2n5486, figura 4.11 e funciona com $V_{DS} = 28$ V e $I_{DS} = 50$ mA.

Enquanto o circuito 2 simulado com um IRF510 funciona com $V_{DS}= 10 \text{ V}$ e $I_{DS}= 3250 \text{ mA}$, que estão de acordo com os MESFETs que pretendemos alimentar no amplificador de potência.

4.6 Resultados de Simulação

Para a observação de resultados foram simulados dois circuitos de polarização. Estes têm por base o mesmo circuito, só que com valores diferentes em alguns dos seus componentes para atribuição de tensões e correntes distintas.

De modo a simular o amplificador de potência real, efectuou-se uma simulação com dois FETs que permite observar o comportamento do circuito de polarização.

Na polarização dos dois circuitos temos diferentes correntes de I_{DS} , em que no circuito 1 é necessário 50 mA e no circuito 2 3250 mA.

Como

$$I_{DS} = \frac{V_{PC} \cdot R_1}{R_3 \cdot R_{sense}} \quad (4.4)$$

não basta definir apenas R_3 . Então em cada um dos circuitos de polarização têm de ser definidos os valores para V_{PC} , R_1 e R_{sense} .

Para a simulação do circuito 1, $V_{DS} = 28 \text{ V}$, $R_1 = 1\text{k} \Omega$, $R_{sense}=1.5 \Omega$ e $V_{PC}=2.55 \text{ V}$ o que implica como valor de potenciômetro, $R_3=34\text{k} \Omega$.

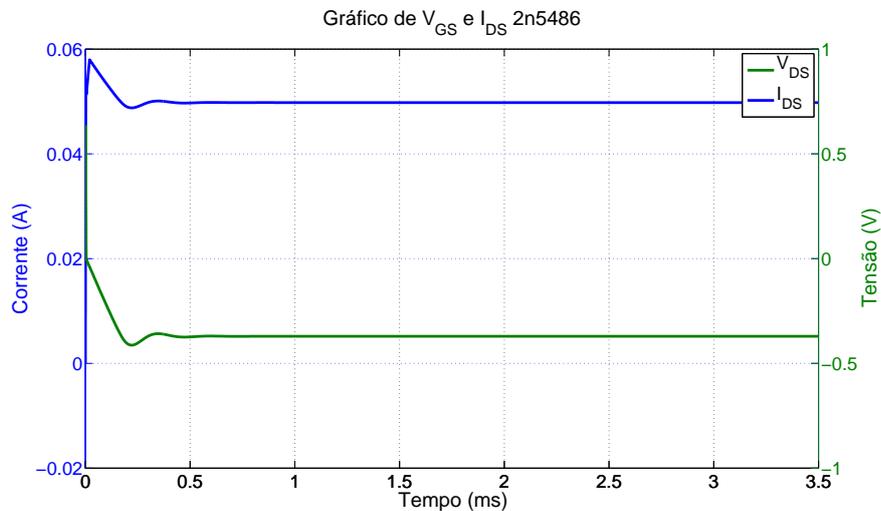


Figura 4.13: Gráfico de V_{GS} e I_{DS} do JFET 2n4416.

Nesta primeira figura 4.13, pode-se observar o valor de V_{GS} que corresponde a 50 mA de corrente I_{DS} , é cerca de -0.4 V. Sendo este um FET de depleção, a corrente diminui à medida que a tensão de *gate-source* se torna mais negativa. Este será o efeito que se pretende observar, utilizando um potenciômetro para que seja possível aplicar maior ou menor corrente I_{DS} no Amplificador. Desta forma, a tensão de *gate-source* terá de variar também consoante a variação de corrente.

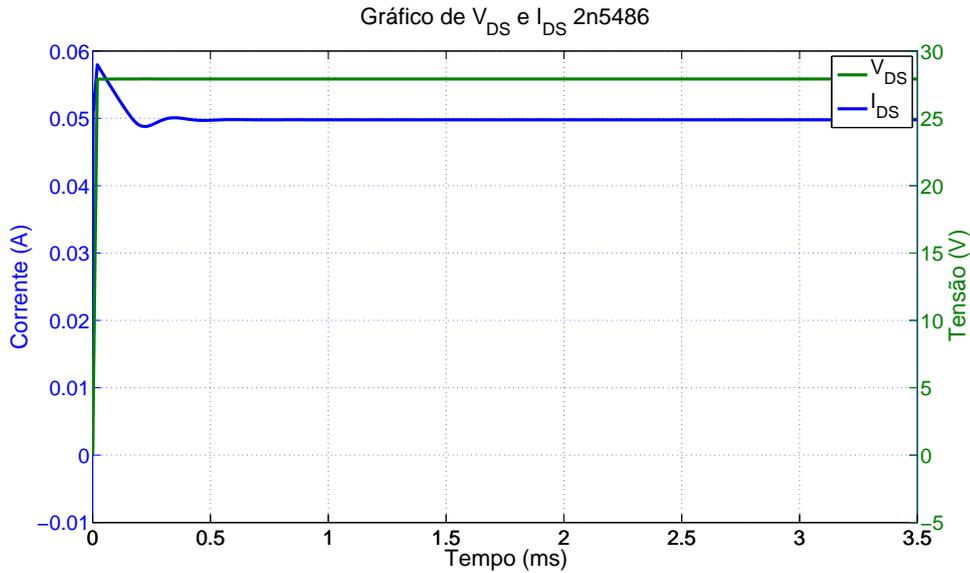


Figura 4.14: Gráfico de V_{DS} e I_{DS} do JFET 2n4416.

Com este primeiro circuito, consegue-se obter uma tensão negativa de V_{GS} correspondente a um dado I_{DS} , 50 mA. A tensão V_{DS} é de 28 V sendo que o parâmetro que varia é a resistência de 34k Ω para atribuir maior ou menor corrente.

No gráfico 4.14, confirma-se a observação da tensão $V_{DS}=28$ V com uma corrente $I_{DS}=50$ mA. Na tabela 4.5 são deduzidos os valores correspondentes para diferentes posições do potenciômetro, que irão provocar diferentes valores de I_{DS} e V_{GS} no amplificador.

Tabela 4.5: Valores Simulados.

Circuito 1	R_3	I_{DS}	V_{GS}
Simulação	34k Ω	50 mA	-0.37 V
	50k Ω	33 mA	-1.08 V
	70k Ω	24 mA	-1.58 V
	100k Ω	17 mA	-2 V

Nesta tabela 4.5, a ideia é observar o comportamento idêntico de V_{GS} relativamente ao MESFET presente na cadeia amplificadora.

Para o caso seguinte, como se quer simular o circuito com correntes mais fortes, e devido à impossibilidade de se usar um MESFET deste género, optou-se pela utilização de um FET de enriquecimento, em que a diferença reside no facto de V_{GS} ser positivo. Será mostrada a dependência do valor corrente I_{DS} e V_{GS} com o valor de resistência presente no potenciômetro.

No caso do circuito 2, $V_{DS} = 10$ V, $R_1 = 1$ k Ω , $R_{sense}=0.15$ Ω e $V_{PC}=0.9$ V e temos como valor de potenciômetro $R_3=1850$ Ω .

Ir  fazer-se variar a resist ncia do potenci metro, o que implicar  um I_{DS} que corresponde a uma determinado V_{GS} . Deste modo, ser  observada essa depend ncia, fazendo-se uma an lise das v rias correntes I_{DS} e da conseq ente varia  o da tens o V_{GS} . Deste modo, pode-se comprovar que se obt m a corrente desejada para um amplificador sem a necessidade de seleccionar uma dada tens o V_{GS} .

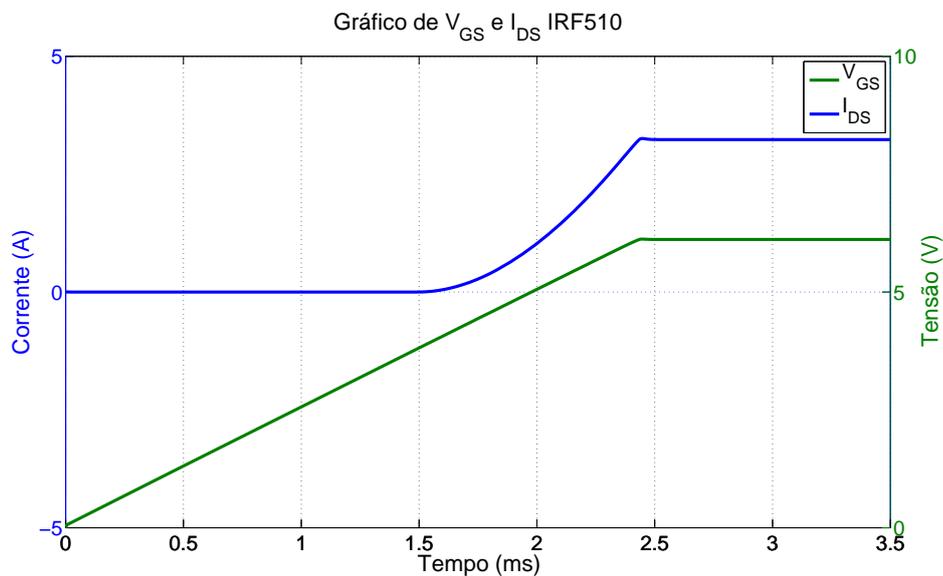


Figura 4.15: Gr fico de V_{GS} e I_{DS} do FET IRF510.

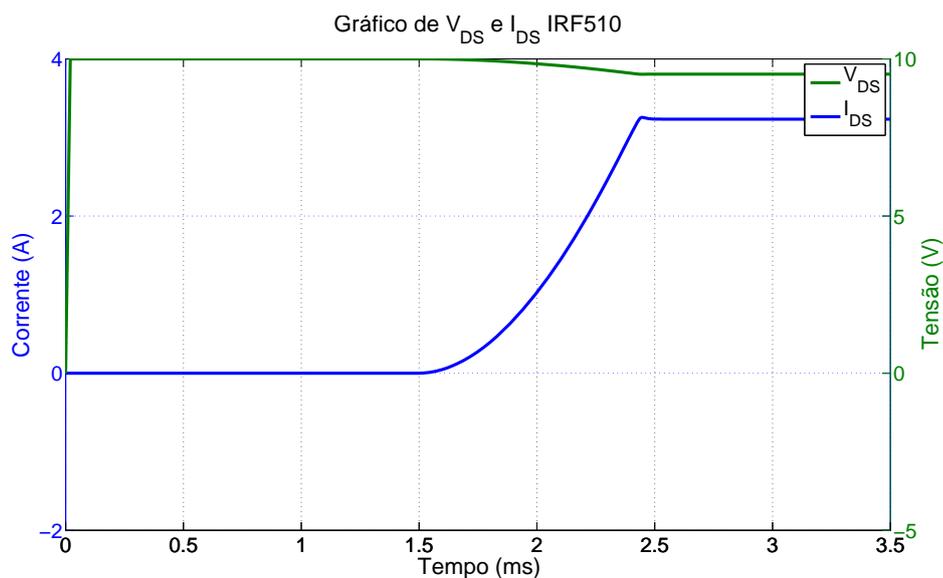


Figura 4.16: Gr fico de V_{DS} e I_{DS} do FET IRF510.

Fazendo a análise às figuras seguintes, 4.15 e 4.16, observa-se na primeira o valor correspondente de V_{GS} para uma corrente de dreno-source igual a 3.3 A no FET IRF510. Como era esperado, a mudança para valores mais baixos de resistência R_3 , trouxe assim valores de corrente mais elevados ao circuito. Considerando estas condições é demonstrada a orientação ascendente de V_{GS} quando se aumenta o valor de corrente de dreno-source I_{DS} . Devido a isso, fizeram-se vários ensaios com diferentes valores de resistência, motivando a confirmação da orientação ascendente de V_{GS} . Por fim voltou a realizar-se a experiência mas para um valor fixo, igual a 1850 Ω do qual se obteve os valores descritos anteriormente.

Na figura 4.16, este gráfico mostra o valor de tensão V_{DS} para o mesmo valor de corrente de dreno. É de notar uma ligeira queda na tensão V_{DS} , pois o valor elevado de corrente presente na resistência origina esse comportamento. Numa análise muito sucinta, para que este valor não fosse tão perceptível, seria necessário colocar uma resistência de *sensing* na ordem dos miliohm ($10^{-3}\Omega$).

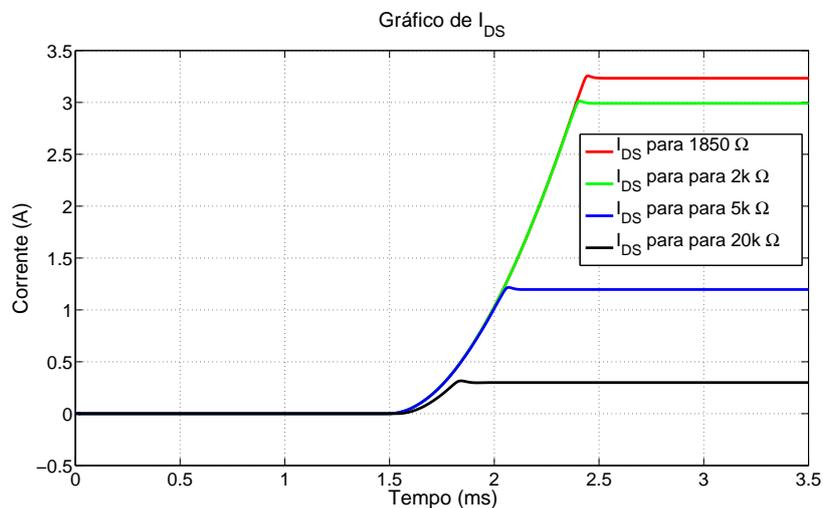


Figura 4.17: Gráfico de I_{DS} com vários valores de resistência R_3 .

Por último nas figuras 4.17 e 4.18, é observada a dependência de I_{DS} e V_{GS} tendo por base valores diferentes no potenciômetro, resistência R_3 . Como era expectável, as figuras apresentam uma relação feita a cores, para os valores obtidos de corrente e tensão consoante o valor de resistência simulada.

Tabela 4.6: Valores Simulados.

Circuito 2	R_3	I_{DS}	V_{GS}
Simulação	1850 Ω	3.3 A	6.11 V
	2k Ω	3 A	6 V
	5k Ω	1.2 A	5.15 V
	20k Ω	0.3 A	4.35 V

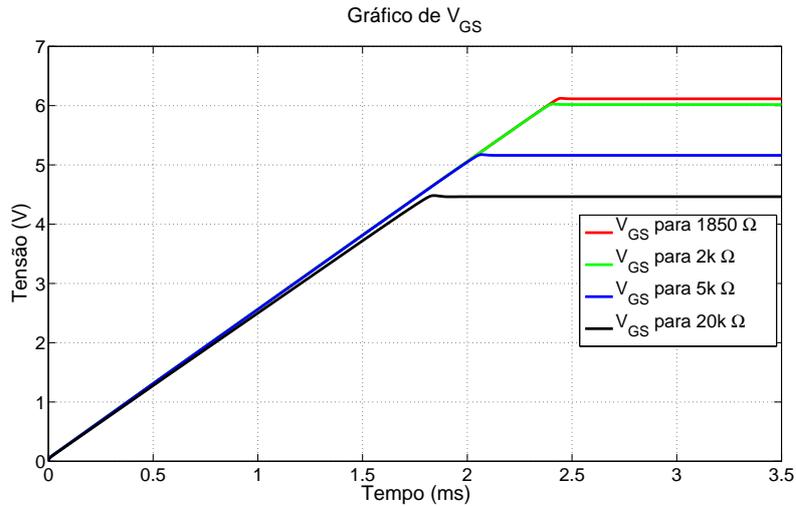


Figura 4.18: Gráfico de V_{GS} com vários valores de resistência R_3 .

Estes valores presentes na tabela 4.5 e 4.6 são valores de tensão na *gate-source* que deverão ser observados com os correspondentes valores de corrente de dreno-*source* I_{DS} .

Os resultados obtidos no segundo circuito vão de encontro ao esperado, sendo possível na prática implementar um selector de corrente de dreno. Este terá de ser feito com recurso aos valores de resistência simulados nos gráficos 4.17 e 4.18 e descritos na tabela 4.6.

O próximo passo será a implementação do circuito e teste na Cadeia Amplificadora do qual é objectivo esta dissertação. No capítulo seguinte são abordados os resultados práticos obtidos.

4.7 Sumário

Neste capítulo realizou-se o projecto do circuito de polarização de Amplificadores de Potência. Como primeiro passo, foi necessário efectuar uma breve pesquisa de mercado da qual se conclui que existe falta de informação sobre a matéria.

Foi efectuada uma simulação em ADS de um dos dispositivos activos presentes no amplificador. Depois de compreendida a importância da Análise DC e o ponto de polarização, passou-se então à proposta de circuito.

Feita uma primeira abordagem com um circuito de corrente constante, conclui-se que é necessário recorrer e dimensionar outro circuito que atribua V_{GS} positivo como negativo e de forma automática.

Ultrapassada a fase de projecto e de acordo com as especificações mencionadas anteriormente, procedeu-se à simulação dos circuitos para o circuito final a implementar.

Por fim foram apresentados os resultados do circuito projectado, tendo estes sido muito satisfatórios cumprindo o objectivo traçado inicialmente.

Capítulo 5

Implementação Prática e Medidas

Durante este capítulo serão apresentados todos os procedimentos na transposição do circuito projectado no capítulo anterior para a prática. Irá ser também apresentada uma análise crítica dos resultados obtidos.

Após a realização das simulações necessárias para garantir o correcto funcionamento do circuito, passou-se à fase do desenho do *layout* para posterior implementação.

5.1 Desenho do layout e implementação

Depois de efectuadas as simulações, é chegada a fase de implementar o circuito o projectado. O programa utilizado, Eagle, é um programa de desenho de placas de circuito impresso.

Em primeiro lugar deve-se desenhar o esquema eléctrico pretendido, e a partir desse esquema, o programa apresenta uma solução para o desenho das pistas. O desenho da placa de circuito impresso, PCI ou PCB, é apresentado em ficheiros de extensão *.brd.

Assim sendo, é muito importante a selecção correcta dos componentes, pois além da sua aplicação básica também servirão de referência as suas características gerais, tais como o tamanho, o encapsulamento, a potência, etc.

Após a elaboração do esquema é possível gerar uma PCB, através de um rascunho fornecido pelo programa. Este rascunho pode e deve ser alterado para a adequação e posicionamento físico dos componentes sobre a placa, de modo a facilitar a passagem das pistas, montagens, fixações mecânicas e outros requisitos.

O primeiro passo da implementação, consiste em fazer uma eventual lista de componentes. Para obtermos previamente todas as dimensões dos componentes que vamos utilizar, a partir dos seus valores, podemos recorrer a um catálogo geral de componentes (por exemplo o catálogo geral da Farnell) ou comprar os componentes e medir as suas dimensões.

É de notar que nas bibliotecas deste programa, nem sempre existem os componentes com as dimensões exactas, tendo por isso de se escolher os que têm valores aproximados. Se um dado componente que é necessário não se encontra em nenhuma biblioteca, poder-se-á criar uma nova biblioteca de componentes.

Uma vez desenhado o esquema, é necessário proceder à verificação eléctrica utilizando o comando “ERC” e posteriormente criar nova PCB, em que automaticamente é criada uma

nova janela apresentando todos os componentes utilizados no esquema eléctrico. A seguir movem-se todos os componentes para dentro da área da placa, ajustando-os por forma a que a disposição dos componentes adoptada, possibilite a finalização das pistas e da própria placa.

Realizadas todas as alterações no esquema, a última etapa consiste na impressão do circuito em papel. Antes de se imprimir, é necessário que se desactivem temporariamente todas as camadas (*layers*) indesejadas. É importante referir que este circuito foi feito com duas camadas, facilitando assim a organização e tamanho do mesmo.

Uma vez desenhado o *layout*, chegou-se à fase de imprimir a película, fazer o circuito impresso (sensibilização do cobre da placa, exposição e revelação, destruição do cobre) e soldar os componentes necessários ao seu funcionamento. O resultado final deste processo pode ser visto na figura 5.1 e 5.2.

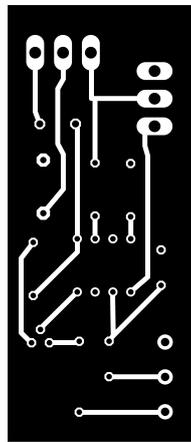


Figura 5.1: Desenho de *layout* parte superior.

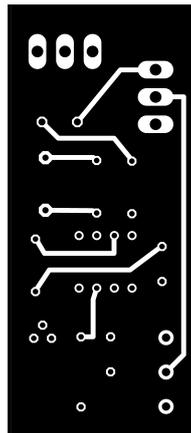


Figura 5.2: Desenho de *layout* parte inferior.

Depois de concluídas as placas, segue-se a solda dos componentes para que possibilite o funcionamento com o amplificador.

Relativamente à implementação das duas placas de polarização na prática, estas têm o seguinte aspecto, com vista superior e inferior.

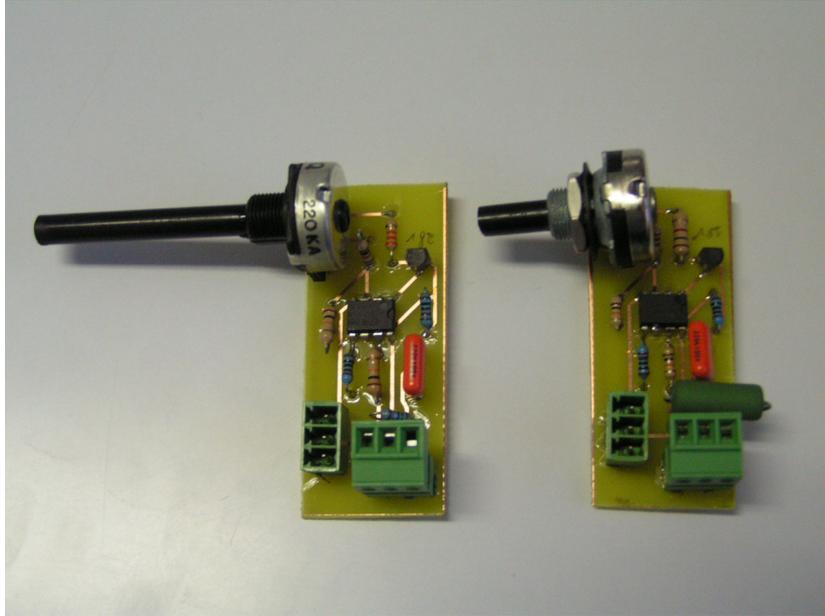


Figura 5.3: Implementação vista da parte superior.

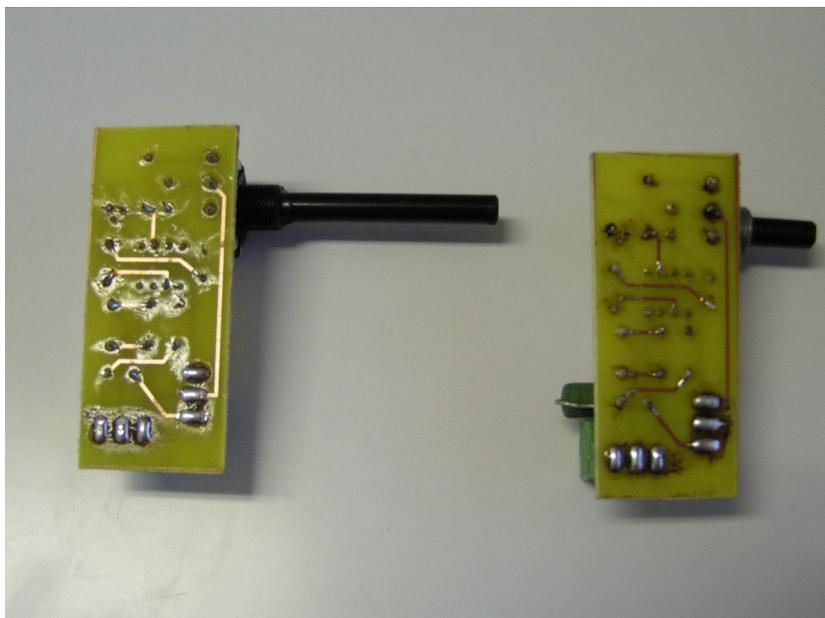


Figura 5.4: Implementação vista da parte inferior.

As figuras 5.3 e 5.4 demonstram os circuitos finais, prontos a serem testados na respectiva

Cadeia Amplificadora. Estes têm uma base de circuito igual, apesar de funcionarem a tensões diferentes e determinados componentes serem de valor diferente.

5.2 Resultados Práticos

Realizado todo o processo de projecto e implementação, chega à altura de testar o sistema e analisar a sua aproximação à realidade. Os testes tiveram como objectivo a polarização dos amplificadores presentes na Cadeia Amplificadora, bem como a verificação do funcionamento global do sistema.

Testou-se o primeiro circuito com um FET para que fosse possível perceber a resposta do circuito. Os valores obtidos foram muito satisfatórios podendo-se concluir que o circuito cumpre os objectivos propostos. Perante este cenário, passou-se ao teste do segundo circuito seguinte com um *Power FET* de modo a perceber o seu comportamento perante correntes mais elevadas.

Para este efeito, o valor do potenciómetro foi colocado por forma atribuir cerca de 50 mA, sendo que na figura 5.5 encontram-se 62 mA valor diferente devido à alimentação dos *opamps*. O teste efectuado, consiste em colocar um voltímetro na *gate* e observar a variação de tensão consoante a alteração em I_{DS} . Isto deve-se directamente à posição do potenciómetro que implica uma determinada corrente I_{DS} no FET .

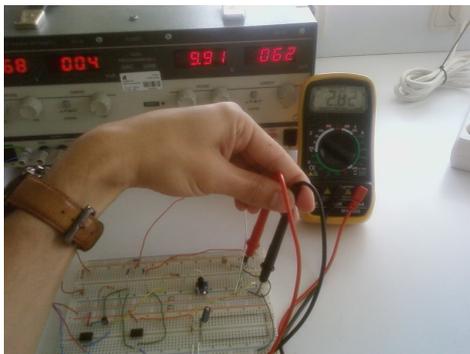


Figura 5.5: Teste com placa branca.

Este teste, tal como mostrado na figura 5.5, permitiu verificar o objectivo prático deste trabalho com a aplicação de FETs e JFET como dispositivo a polarizar.

Antes de passarmos à ilustração da montagem final, é necessário efectuar uma breve dedução. Esta consiste num valor de resistência R_3 , que corresponde a uma dada corrente de dreno-*source* I_{DS} . A ideia principal é do circuito ter um comutador que nos permita escolher a corrente de dreno-*source* que queremos atribuir ao Amplificador.

Nesse sentido, são calculados os valores de Resistência R_3 para os dois circuitos de polarização, com recurso à seguinte equação.

$$I_{DS} = \frac{V_{PC} \cdot R_1}{R_3 \cdot R_{sense}} \quad (5.1)$$

Para o circuito 1, $V_{DS} = 28 \text{ V}$, $R_1 = 1\text{k } \Omega$, $R_{sense}=1.5 \text{ } \Omega$ e V_{PC} aproximadamente 2.55 V, calcularam-se os vários valores de resistências para valores de corrente dentro da gama de funcionamento de cada um dos amplificadores.

Tabela 5.1: Valores Deduzidos.

Circuito 1	I_{DS}	R_3
Dedução	50 mA	34k Ω
	40 mA	42k Ω
	30 mA	57k Ω
	20 mA	85k Ω
	10 mA	170k Ω

Para o circuito 2, $V_{DS} = 10 \text{ V}$, $R_1 = 1\text{k } \Omega$, $R_{sense}=0.15 \text{ } \Omega$ (5W) e V_{PC} aproximadamente 0.9 V, foram também extraídos os diferentes valores de resistência para a corrente pretendida.

Tabela 5.2: Valores Deduzidos.

Circuito 2	I_{DS}	R_3
Dedução	3.3 A	1850 Ω
	3 A	2k Ω
	2 A	3k Ω
	1 A	6k Ω
	0.5 A	12k Ω

Passando ao teste final, primeiro foram testados os dois Amplificadores de Potência sem recurso às duas placas de polarização. Depois de verificadas todas as condições de trabalho, procedeu-se ao teste dos Amplificadores, estando estes em perfeitas condições de funcionamento.

A partir deste ponto, é possível introduzir as duas placas para teste, visto que teremos a possibilidade de verificar se estas atribuem uma polarização correcta aos amplificadores.

Basicamente é introduzido um passo intermédio entre a fonte de alimentação e o amplificador. Se anteriormente no primeiro teste dos amplificadores, a variação da tensão da *gate-source* foi feita manualmente, agora não irá acontecer. O procedimento passa por fixar as tensões de alimentação da placa e utilizar o potenciómetro para modificar duas variáveis, $I_{DS}(V_{GS})$.

Sempre com esta condição, ligaram-se os dois amplificadores para se observar a mudança destes dois parâmetros à medida que se modifica o valor de resistência presente no potenciómetro. Em qualquer um dos amplificadores os testes foram efectuados com sucesso tanto para o circuito 1 ($V_{DS}=28 \text{ V}$, $I_{DS}= 50 \text{ mA}$) como para o circuito 2 ($V_{DS}=10 \text{ V}$, $I_{DS}= 3250 \text{ mA}$).

Uma ilustração do cenário de montagem efectuado, encontra-se na figura seguinte.

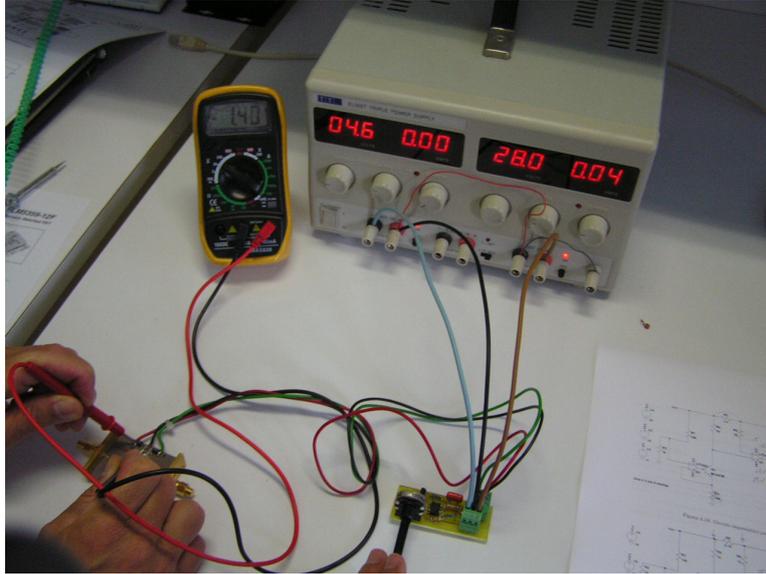


Figura 5.6: Montagem final.

Os circuitos funcionam de modo a que o utilizador apenas tenha de ter em conta V_{DS} e I_{DS} pretendidos para o funcionamento do amplificador. Com isto, não é necessário o ajuste de V_{GS} do amplificador de potência.

O procedimento de teste passa pelo ajuste do potenciómetro R_3 , de modo a que se observe um aumento de I_{DS} e correspondente V_{GS} , tal como é mostrado na figura 5.6.

Neste caso em concreto, circuito 1 ($V_{DS}=28$ V, $I_{DS}= 50$ mA), o amplificador está a polarizado com uma corrente aproximadamente de 40 mA que corresponde a um V_{GS} de -1.40 V. Pode-se observar que o resultado prático encontra-se dentro da gama obtida, em comparação com o valor simulado, figura 5.7.

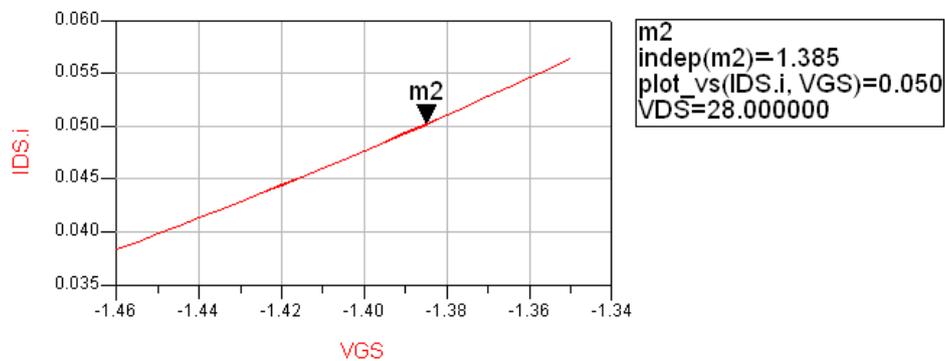


Figura 5.7: Curva $I_{DS}(V_{GS})$.

Relativamente ao circuito 2 este também foi testado e verificado o seu funcionamento correcto. Quanto ao perigo de excesso de corrente no FET será posto de parte, visto este circuito ter uma resistência em série com o potenciómetro que limita superiormente o valor da corrente que poderá fluir no dispositivo.

Pode-se se concluir que os objectivos propostos foram atingidos com sucesso. Qualquer utilizador, com este tipo de circuito de polarização, apenas e só, terá de ter em conta os valores de V_{DS} e I_{DS} pretendidos.

5.3 Sumário

Neste capítulo foi efectuado o desenho do *layout* e respectiva implementação prática do circuito de polarização. Para esse efeito foram expostos e descritos todos os passos realizados com o trabalho de implementação prática.

Para além disso, foram também realizados os testes necessários ao circuito, mostrando qual o esquema usado, bem como a apresentação dos seus resultados e respectiva análise crítica.

Em suma, foram obtidos resultados conclusivos relativamente ao circuito de polarização e o efeito deste em Amplificadores de Potência.

Capítulo 6

Conclusão e Trabalho Futuro

Neste capítulo pretende-se fazer um pequeno sumário e conclusão do trabalho realizado ao longo deste projecto, bem como referir algumas linhas possíveis para continuação e melhoramento do mesmo.

6.1 Sumário e Conclusão

Neste projecto foi desenvolvido um sistema de polarização de FETs, através de um circuito de polarização colocado entre a fonte de alimentação e o amplificador. Este tipo de sistema é um auxílio na ligação ou *start-up* de Amplificadores de Potência, pois previne a ocorrência de falhas no ajuste de V_{GS} . Para esta dissertação, achei interessante assimilar a importância dos amplificadores de potência para comunicações móveis e suas características essenciais, tal como linearidade, ganho e eficiência.

Sempre com estes conceitos presentes, o objectivo deste trabalho foi então conceber um circuito de polarização para uma cadeia amplificadora de microondas. Deste modo passou-se para a compreensão das especificações dos dispositivos activos (MESFETs) e toda a motivação pela qual é necessário uma alimentação sequencial.

Para a realização do circuito de polarização, tornou-se essencial interiorizar vários conceitos, entre eles, as classes de operação dos amplificadores de potência e as suas características fundamentais (factores de mérito). Em relação às classes de operação foi dado mais ênfase às classes de amplificadores lineares como a classe A, B, AB e C, que são as que têm mais importância para este trabalho, não esquecendo de referir, claro, a existência de outras classes. Já para o estudo das características fundamentais dos amplificadores de potência, foi feita referência à linearidade e aos factores de mérito que a caracterizam falando-se também de eficiência, ganho e potência de saída.

Por fim, foram projectados dois circuitos de alimentação, com ajuda das ferramentas ADS da Agilent e LTSpice. Seguiram-se todos os passos necessários e garantidas todas as especificações para o bom funcionamento, pôde-se passar para a implementação na prática.

De destacar que este trabalho abrange o desenho físico do circuito, isto é, desenho de *layout*. É notório que este circuito faz parte da inserção de uma adaptação entre a fonte de

alimentação e o amplificador. Então, produzido o *layout* do circuito e soldados os componentes, foi testado o circuito e observados os resultados práticos do amplificador.

Dos vários testes conclui-se que o sistema tem um funcionamento robusto, não havendo falhas a registar em nenhum dos testes efectuados. Concluiu-se ainda que todos os testes, simulados ou reais, foram correctamente executados confirmando as regras para o manuseamento de Amplificadores de Potência. Os testes finais foram feitos com a Cadeia Amplificadora, polarizando os dois amplificadores presentes.

Conclui-se portanto que os objectivos propostos foram alcançados, sendo esta uma ferramenta útil, que no futuro e com algumas melhorias, poderá ser uma mais valia na polarização de MESFETs.

6.2 Trabalho Futuro

Para continuar a exploração futura deste trabalho, algumas melhorias poderão ser efectuadas por forma a optimizar e melhorar o desempenho da fonte para a cadeia amplificadora de microondas.

Uma das melhorias a fazer, será a adição de uma fonte de alimentação portátil, o que permitirá fazer testes no exterior e com este circuito polarizar o amplificador de uma forma mais simples e fiável. De modo a integrar estes dois circuitos, fonte e circuito de polarização, a escolha pode ser feita com uma fonte projectada para o efeito.

Outra melhoria a fazer, seria a utilização de um amplificador específico incorporando o *sensing* de corrente, o uso de uma ADC para digitalizar o valor de corrente e uma DAC para definir V_{GS} . Assim seria possível a compensação de temperatura vs V_{GS} e a integração de funções de alarme para prevenção de falhas ou danos.

Para finalizar, seria interessante utilizar medidores de painel de corrente e tensão, ou seja, ter uma interface de trabalho com o sistema desenvolvido.

Bibliografia

- [1] Frederick H. Raab et al, *RF and Microwave Power Amplifier and Transmitter Technologies - Part 1*, High Frequency Electronics, pp. 22 -36, May 2003.
- [2] Weijia LI, Yan Wang, and Giovanni Ghione, *A 2.469 2.69GHz AlGa_N/Ga_N HEMT Power Amplifier for IEEE 802.16e WiMAX Application*, pp 1475-1479, November 2008.
- [3] C. E. Weitzel, *Rf Power Devices for Wireless Communications*, Tempe, Motorola.
- [4] A. R. Barnes, A. Boetti, L. Marchand and J. Hopkins, *An overview of microwave component requirements for future space applications*, Gallium Arsenide and Other Semiconductor Application Symposium, 2005.
- [5] A. S. Sedra and K.C. Smith, *Microelectronic circuits (Fifth Edition ed.)*, New York, Oxford, 2004.
- [6] Michael Golio, *Microwave Mesfet and Hemts*, Norwood, Artech House, 1991.
- [7] Michael Hiebel, *Fundamentals of Vector Network Analysis*, Munchen, Rohde Schwarz, 2008.
- [8] Fujitsu, *Electrical Measurements For Microwave Devices*, 2001.
- [9] Nitronex, *GaN Essentials AN-009*, October 2008.
- [10] Raymond Basset, *High-Power GaAs FET Bias Considerations*, Fujitsu Compound Semiconductor, San Jose.
- [11] Placa Centellax, <http://www.centellax.com/products/testmeas/pcb/TE1B.shtml>, 20/05/2010.
- [12] Placa Tecdia, <http://www.tecdia.com/us/product/microwave>, 20/05/2010.
- [13] S. C. Cripps, *RF Power Amplifier for Wireless Communication*, Norwood, Artech House, 1999.
- [14] C. W. Bostian and F. H. Raab H. L. Kraus, *Solid State Radio Engineering*, New York, John Willey & Sons, 1980.
- [15] Stephen A. Maas, *Nonlinear Microwave and RF circuits*, Artech House Microwave Library, Ed., 2003.
- [16] David M. Pozar, *Microwave Engineering*, New York, John Wiley Sons, 1998.

- [17] Guillermo Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*, Prentice-Hall, 1984.
- [18] Michael Steyaert and Patrick Reynaert, *RF Power Amplifiers for Mobile Communications*, Springer, 2006.
- [19] Nuno Borges de Carvalho e José Carlos Pedro, *Electrónica de RF*, Aveiro.
- [20] Nuno Borges de Carvalho, José Carlos Pedro, *Intermodulation Distortion in Microwave and Wireless Circuits*, Artech House microwave library, 2003.
- [21] Nuno Borges de Carvalho, *Sistemas de Rádio Dedicados*, 2008.