



Universidade de Aveiro Departamento de Electrónica,
2010 Telecomunicações e Informática

**Paulo Sérgio
Nogueira Morais**

Circuitos Digitais em Modo de Corrente



**Paulo Sérgio
Nogueira Morais**

Circuitos Digitais em Modo de Corrente

Dissertação apresentada à Universidade de Aveiro para cumprimento dos requisitos necessários à obtenção do grau de Mestre em Engenharia Electrónica e Telecomunicações, realizada sob a orientação científica do Doutor Luís Filipe Mesquita Nero Moreira Alves, Professor Auxiliar do Departamento de Electrónica, Telecomunicações e Informática da Universidade de Aveiro e do Doutor Ernesto Ventura Martins, Professor Auxiliar do Departamento de Electrónica, Telecomunicações e Informática da Universidade de Aveiro

o júri

presidente

Professor Doutor Dinis Gomes de Magalhães dos Santos
Professor Catedrático do Departamento de Electrónica, Telecomunicações e Informática da
Universidade de Aveiro

Professor Doutor Pedro Nuno Mendonça dos Santos
Professor do Instituto dos Pupilos do Exército

Professor Doutor Luís Filipe Mesquita Nero Moreira Alves
Professor Auxiliar do Departamento de Electrónica, Telecomunicações e Informática da
Universidade de Aveiro

Professor Doutor Ernesto Fernando Ventura Martins
Professor Auxiliar do Departamento de Electrónica, Telecomunicações e Informática da
Universidade de Aveiro

Agradecimentos

Embora uma tese de dissertação seja, pela sua finalidade académica, um trabalho individual, há contributos de natureza diversa que não podem e nem devem deixar de ser realçados. Por essa razão e com muita satisfação que expresso aqui o mais profundo agradecimento a todos aqueles que tornaram a realização deste trabalho possível.

Primeiramente aos meus pais Amélia Nogueira e Fernando Morais, o meu profundo agradecimento pelo seu incondicional apoio, encorajamento e pela confiança depositada em mim. Mesmo a custo de um imenso sacrifício pessoal, sempre me proporcionaram as condições necessárias para perseguir o sonho e a realização pessoal, um débito tão elevado que eu jamais serei capaz de compensar. De igual forma, ao meu irmão Filipe Morais e à minha irmã Tânia Morais pela motivação, pelo exemplo e pela paciência demonstrada e apoio incondicional desde a primeira hora; pela paciência e grande amizade com que sempre me ouviram, e sensatez com que sempre me ajudaram.

Gostaria também de agradecer aos meus orientadores, Professor Doutor Luís Nero Alves e ao Professor Doutor Ernesto Martins pela oportunidade apresentada, pela paciência e motivação dispensada compreendendo as dificuldades e sabendo orientar e aconselhar com maestria insuperável em todas as fases que levaram à concretização deste trabalho.

Gostaria ainda de agradecer às seguintes instituições: Universidade de Aveiro, mais particularmente ao Departamento de Electrónica, Telecomunicações e Informática e o Instituto de Telecomunicações - pólo de Aveiro pelas excelentes condições oferecidas ao longo do meu percurso académico.

Um agradecimento especial para os eternos colegas Paulo Cerqueira, Hugo Lourenço e Luís Silva, que “iniciaram” comigo esta “caminhada” agradeço a força, apoio e fundamentalmente a sua amizade.

Como não podia deixar de ser tenho que deixar presente um grande agradecimento ao grande amigo Rafael Lourenço pelo seu apoio incondicional, pela grande ajuda que me deu ao longo do projecto, inclusive nas revisões finais, agradeço por todas as suas valiosas críticas e sugestões ao longo do trabalho. Além disso tenho de agradecer por ter sido um vizinho fantástico, um bom amigo e cúmplice.

Um agradecimento especial a todos os colegas e amigos com quem partilhei o Bloco 13 no qual vivi grande parte da minha vida académica. Foram eles que animaram e enriqueceram de formas diversas o meu percurso académico.

Ao grupo fantástico que encontrei no laboratório de CSI que de forma directa ou indirecta me ajudaram na conclusão desta tese, mais que não fosse com a sua boa disposição e companheirismo. Principalmente ao colega e amigo Jorge Oliveira por toda a disponibilidade, paciência e colaboração indispensável neste trabalho.

Agradecimentos (Continuação)

Por fim, mas não menos importante, agradeço ao meu primeiro leitor, à minha melhor amiga e namorada, Silvana, um agradecimento especial por todo o seu amor, carinho, cumplicidade, apoio incondicional e compreensão nas horas mais difíceis, pela sua presença e incentivo constante, por me fazer acreditar que é possível... foram a base da motivação para continuar e chegar ao fim. Por toda a ajuda prestada durante a realização do trabalho, por todos os seus conselhos e força transmitida.

Há muito mais a quem agradecer... A todos aqueles que, embora não referidos me presentearam com o seu inestimável apoios em distintos momentos e pelas suas presenças afectivas e inesquecíveis ao longo do meu percurso académico, o meu reconhecimento e sincero muito obrigado!

A todos, **MUITO OBRIGADO**.

Paulo Sérgio Nogueira de Morais

palavras-chave

Circuitos Digitais, Lógica MOS em Modo de Corrente (MCML), Técnicas de desenho, Tecnologia CMOS

resumo

Este trabalho de dissertação insere-se na área da electrónica digital, e consiste no projecto, construção e caracterização de circuitos digitais em Modo de Corrente, empregando estratégias de desenho MCML (MOS Current Mode Logic). Circuitos MCML apresentam como principais vantagens um bom compromisso entre o analógico e digital e potência dissipada constante, sendo desta forma uma boa solução para aplicações que exigem altas velocidades de operação.

Neste trabalho são abordadas as principais características da lógica MCML relativas ao projecto de circuitos digitais através de uma análise detalhada do inversor MCML.

É ainda efectuada uma abordagem sobre as metodologias para implementação/desenho das principais funções lógicas, bem como uma análise comparativa das suas características. Posteriormente implementa-se um conjunto de portas lógicas, analisando as diferentes topologias provenientes do método de implementação adoptado.

Para analisar o desempenho de circuitos MCML, projectou-se algumas funções lógicas, em tecnologia CMOS 350nm da AMS, procedendo à sua simulação e caracterização.

keywords

CMOS Tecnology, Design Techniques, Digital Circuits, MOS Current Mode Logic (MCML)

abstract

The present dissertation is inserted in the general subject of digital electronics, and discusses the design, layout and characterization of current-mode digital circuits using MCML design strategies. MCML circuits exhibit major advantages in digital design, like a constant power consumption, and present a good compromise for analog and digital applications.

This work addresses the most important characteristics of MCML logic for the design of digital circuitry through a detailed analysis of the MCML inverter. The basic methodologies used for implementation/layout of the most important logical functions are assessed, and a comparative analysis of their characteristics is performed.

Further on, the set of logic gates designed in the course of this work is presented, allowing for the analysis of different topologies from the chosen implementation methodology.

Finally, in order to analyze the performance of MCML circuits, several logic functions were implemented using the AMS 350nm CMOS technology. The respective characterization and simulation results are presented and discussed.

Dedicatória

Para a Silvana... por tudo.

Para os meus pais, Amélia e Fernando... pela oportunidade e exemplo.

Para os meus irmãos, Filipe e Tânia... pelo encorajamento.

...e para toda a família e amigos que ao longo dos anos me apoiou e ajudou nesta caminhada académica

“A mente que se abre a uma nova ideia jamais voltará ao seu tamanho original.”

(Albert Einstein)

Índice

Índice	i
Índice de Figuras	v
Índice de Tabelas	vii
Índice de Acrónimos	ix
Índice de Símbolos	xi
Capítulo 1	1
Introdução	1
1.1 Contexto.....	1
1.2 Motivação.....	3
1.3 Objectivos.....	4
1.4 Estrutura da Dissertação	4
Capítulo 2	5
Lógica MOS em Modo de Corrente	5
2.1 Génese dos circuitos Digitais em Modo de Corrente	6
2.2 MCML: Conceitos Básicos	8
2.2.1 Princípios de Funcionamento de uma Porta MCML.....	10
2.2.2 Vantagens e Desvantagens	11
2.3 O Inversor MCML.....	12
2.3.1 Característica de Transferência VTC	14
2.3.2 Margens de Ruído	16
2.3.3 Fonte de Corrente	16
2.3.4 Voltage Swing Ratio.....	17
2.3.5 Tempos de Propagação.....	18
2.3.6 Signal Slope Ratio	21
2.3.7 Potência dissipada	23
2.3.8 Conversão de Circuitos.....	25
2.4 Conclusão	26
Capítulo 3	27

Implementação de Portas Lógicas MCML	27
3.1 Métodos para Implementação de Portas MCML.....	27
3.1.1 Diagramas de Decisão Binária	28
3.1.2 Estrutura Diferencial e Simétrica.....	31
3.1.3 Estrutura Não Diferencial.....	33
3.1.4 Análise comparativa dos métodos	34
3.2 Funções Lógicas	35
3.2.1 Porta MUX 2:1.....	37
3.2.2 Porta AND/NAND	39
3.2.3 Porta OR/NOR.....	39
3.2.4 Porta XOR/NXOR.....	40
3.2.5 Latch-D	40
3.2.6 Porta XOR-3/NXOR-3.....	41
3.3 Conclusão.....	41
Capítulo 4	43
Caracterização das Portas Lógicas MCML	43
4.1 Processo de circuitos integrados	43
4.2 Parâmetros de Desenho	45
4.3 Caracterização do Inversor	46
4.3.1 Tensão de Alimentação.....	46
4.3.2 Corrente de Polarização.....	47
4.3.3 Dimensão dos transístores do PDN	50
4.3.4 Dimensão dos transístores PMOS.....	50
4.4 Comparação dos Métodos EDS e BDD	51
4.4.1 Diagrama de Decisão Binária	51
4.4.1 Diferencial e Simétrico	53
4.5 Caracterização da porta OR, XOR-2 e MUX 2:1	54
4.6 Caracterização da porta XOR3	56
4.7 Caracterização da Latch-D.....	58
4.8 Layout	60
4.8.1 Planificação e construção do layout.....	61
4.9 Simulação Pós-Layout.....	63
4.1 Conclusão.....	66
Capítulo 5	69

Considerações Finais	69
5.1 Linhas de Investigação Futura.....	70
Anexos	73
Inversor	73
AND2 (Método Diferencial e Simétrico)	74
AND2 (Método Diagrama de Decisão Binária)	76
Latch - D	77
XOR-3.....	79
Referências.....	81

Índice de Figuras

Figura 1.1 - Tecnologia de Circuitos Integrados	2
Figura 2.1 - Estrutura de uma porta lógica MCML	9
Figura 2.2 - Potência em MCML	11
Figura 2.3 - Inversor MCML.....	12
Figura 2.4 - VTC do inversor MCML	15
Figura 2.5 - Espelho de Corrente.....	16
Figura 2.6 - Inversor MCML.....	18
Figura 2.7 - Carga e descarga do Inversor MCML.....	19
Figura 2.8 - Modelo RC do Inversor MCML para $0^+ < t < \infty$	20
Figura 2.9 - Variação do PDP em função de ISS	24
Figura 2.10 - Produto Energia-Atraso	25
Figura 2.11 - Circuito de Conversão de CMOS para MCML.....	25
Figura 2.12 - Circuito de conversão de MCML para CMOS.....	26
Figura 3.1 - Tabela da Verdade de F e respectivo BDD	29
Figura 3.2 - Remoção de resultados duplos	29
Figura 3.3 - Remoção de testes redundantes.....	30
Figura 3.4 - Remoção de nós não terminais duplicados.....	30
Figura 3.5 - BDD Optimizado de F.....	30
Figura 3.6 - Função F em MCML	31
Figura 3.7 - Estrutura Diferencial e Simétrica	31
Figura 3.8 - Função F através do Método Diferencial e Simétrico	33
Figura 3.9 - Estrutura Não Diferencial.....	33
Figura 3.10 - Função F através do Método Não Diferencial.....	34
Figura 3.11 - Tabela da Verdade e BDD da Função MUX 2:1	37
Figura 3.12 - Equivalente MCML do BDD do MUX 2:1	38
Figura 3.13 - MUX 2:1 - Estrutura Não Diferencial.....	38
Figura 3.14 - Função AND/NAND:.....	39
Figura 3.15 - Função OR/NOR:.....	39
Figura 3.16 - Função XOR/NXOR:	40
Figura 3.17 - Latch-D em MCML.....	40
Figura 3.18 - XOR-3/NXOR3 em MCML.....	41
Figura 4.1 - Diagrama para a criação de circuitos integrados	44
Figura 4.2 - Caracterização de V_{DD}	47
Figura 4.3 - Caracterização da Potência Dissipada em função de I_{SS}	48
Figura 4.4 - Caracterização da excursão do sinal em função de I_{SS}	49
Figura 4.5 - Caracterização do tempo de atraso em função de I_{SS}	49

Figura 4.6 - Caracterização da Potência dissipada e Vswing em função de W_A	50
Figura 4.7 - Porta lógica AND/NAND pelo método BDD	51
Figura 4.8 - Caracterização da Potência dissipada e Excursão de Sinal (Método do BDD).....	52
Figura 4.9 - Caracterização dos tempos de propagação (Método do BDD).....	52
Figura 4.10 - Porta lógica AND/NAND.....	53
Figura 4.11 - Caracterização da Potência dissipada e Excursão de Sinal (Método da EDS).....	53
Figura 4.12 - Caracterização dos tempos de propagação (Método ESD).....	54
Figura 4.13 Portas Lógicas: OR, XOR-2 e MUX 2-1	54
Figura 4.14 - Caracterização da Potência dissipada por portas lógicas de dois estágios diferenciais	55
Figura 4.15 - Caracterização da Excursão do Sinal de portas lógicas de dois estágios diferenciais....	55
Figura 4.16 - Caracterização dos tempos de propagação de portas lógicas de dois estágios diferenciais	56
Figura 4.17 - Porta lógica XOR-3.....	57
Figura 4.18 - Caracterização da Potência dissipada e excursão de sinal pela porta XOR-3.....	57
Figura 4.19 - Caracterização dos tempos de propagação da porta XOR-3	58
Figura 4.20 - Latch-D.....	59
Figura 4.21 - Caracterização da Potência dissipada e Excursão de Sinal Latch-D	59
Figura 4.22 - Caracterização dos tempos de propagação da Latch-D.....	60
Figura 4.23 - Disposição dos Componentes e variáveis de entrada/saída	62
Figura 4.24 - Esquema eléctrico da porta XOR-3	62
Figura 4.25 - <i>Layout</i> da Porta Lógica XOR-3.....	63
Figura 4.26 - Esquema eléctrico do Inversor MCML pós- <i>layout</i>	64
Figura 4.27 - Tempos de propagação em função de C_L	65
Figura 4.28 - Variação Relativa dos tempos de pós e pré <i>layout</i>	65
Figura 4.29 - Potência dissipada e Excursão de sinal pré e pós layout.....	66

Índice de Tabelas

Tabela 3.1- Topologias e algumas funções MCML	37
Tabela 4.1- Parâmetros de Desenho.....	46
Tabela 4.2 - Especificações dos parâmetros de desenho.....	46

Índice de Acrónimos

<i>ADE</i>	Analog Design Environment
<i>AMPOP</i>	Amplificador Operacional
<i>AMS</i>	Austria Microsystem
<i>BDD</i>	Diagrama de Decisão Binária
<i>CAD</i>	Computer Aided Design
<i>CC</i>	Current-Conveyor
<i>CC – I</i>	Primeira geração Current Conveyor
<i>CC – II</i>	Segunda geração Current Conveyor
<i>CI</i>	Circuito Integrado
<i>CML</i>	Lógica Modo de Corrente
<i>CMOS</i>	Complementary Metal Oxide Semiconductor
<i>CMRR</i>	Relação de rejeição em modo comum
<i>DRC</i>	Design Rule Check
<i>ECL</i>	Emitter Coupler Logic
<i>EDP</i>	Produto Energia-Atraso
<i>EDS</i>	Estrutura Diferencial e Simétrica
<i>END</i>	Estrutura Não Diferencial
<i>FET</i>	Field Effect Transistor
<i>GaAS</i>	Arseniato de Gálio
<i>LVS</i>	Layout Versus Schematic
<i>MATLAB</i>	MATrix LABoratory
<i>MCML</i>	Lógica em Modo de Corrente
<i>MOS</i>	Metal Oxide Semiconductor
<i>MOSFET</i>	Metal Oxide Semiconductor Field Effect Transistor

<i>MUX</i>	Multiplexer
<i>NMOS</i>	nFET Metal Oxide Semiconductor
<i>NM</i>	Margem de Ruído de uma porta lógica
<i>NM_L</i>	Margem de Ruído para o nível lógico de entrada “0”
<i>NM_H</i>	Margem de Ruído para o nível lógico de entrada “1”
<i>PDA</i>	Personal Digital Assistant
<i>PDN</i>	Pull Down Network
<i>PDP</i>	Produto Potência-Atraso
<i>PMOS</i>	pFET Metal Oxide Semiconductor
<i>SC</i>	Switched-capacitor
<i>SI</i>	Switched-Current
<i>SSR</i>	Signal slope ratio
<i>TTL</i>	Transistor-Transistor Logic
<i>VCVS</i>	Voltage Controlled Voltage Source
<i>VDC</i>	DC Voltage
<i>VLSI</i>	Circuito integrado com escala de integração muito alta
<i>VSR</i>	Voltage Swing Ratio
<i>VSW</i>	Excursão do sinal de tensão de saída
<i>VTC</i>	Voltage Transfer Characteristic
<i>XOR</i>	OR exclusivo

Índice de Símbolos

A_v	Ganho DC
C_L	Capacidade de Carga
C_{ox}	Capacidade porta por unidade de área
GND	Tensão de referência (massa)
I_{REF}	Corrente de Referência
I_{SS}	Corrente de Polarização
K_B	Constante de Boltzman
K'	Transcondutância de um MOSFET
L	Comprimento de canal
MP	MOSFET de carga tipo P
M_S	Fonte de Corrente (MOSFET tipo N)
P_D	Potência Dissipada
P_{static}	Potência dissipada estática
P_{SC}	Potência de curto-circuito
P_{din}	Potência Dinâmica
R_D	Resistência equivalente de um MOSFET tipo P
t_{OX}	Espessura do óxido
t_{PD}	Tempo de propagação
t_{pHL}	Tempo de propagação de high-to-low
t_{pHL}	Tempo de propagação de low-to-high
t_{rf}	Tempo de descida/subida
μ	Mobilidade dos portadores de carga
V_{DD}	Tensão de alimentação positiva
V_{DS}	Tensão Dreno-Fonte
V_{GD}	Tensão Porta-Dreno

V_{GS}	Tensão Porta-Fonte
V_{in}	Tensão de entrada
V_{out}	Tensão de saída
V_{TH}	Tensão de limiar
W	Largura do canal de um transistor
λ	Factor de modulação de comprimento de canal
τ	Constante de tempo

Capítulo 1

Introdução

1.1 Contexto

Os circuitos digitais estão cada vez mais presentes no dia-a-dia da vida moderna devido ao vasto impacto destes na sociedade. Esse impacto está associado à aplicação directa dos circuitos digitais em diversas áreas e ainda ao auxílio destes noutras áreas de conhecimento, desempenhando um papel preponderante no panorama tecnológico da actualidade. O suporte à criação de dispositivos tão diversos e essenciais, como os relógios digitais, os computadores, os satélites e os sistemas de navegação automática, facilmente denotam a relevância destes circuitos no desenvolvimento de tecnologias indispensáveis à sociedade.

A expressiva aplicação de circuitos digitais em vários campos do conhecimento pode ser ainda atribuída, em grande parte, ao avanço das tecnologias de concepção de circuitos integrados. Este avanço permite a integração de um número cada vez maior de componentes, possibilitando a concepção de circuitos de maior capacidade e dimensão. Contudo, a alta integração e as novas tecnologias de fabricação disponíveis impõem novos limites e desafios.

As duas tecnologias mais populares utilizadas para o projecto de circuitos integrados são as tecnologias Bipolar e MOS (Metal Oxide Semiconductor). Dentro de cada uma dessas tecnologias há diversas variantes como ilustra a figura 1.1.

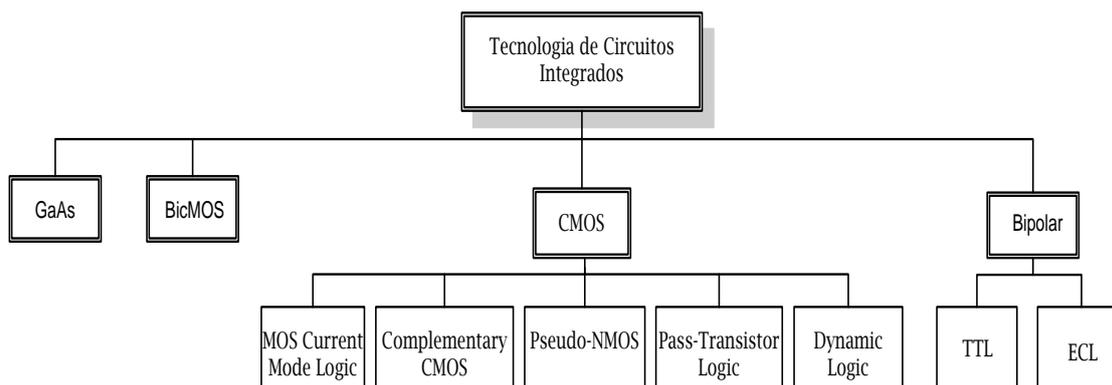


Figura 1.1 - Tecnologia de Circuitos Integrados

A tecnologia CMOS passou, a partir dos anos 80, a ser dominante na fabricação de circuitos integrados devido às vantagens sem igual que ela oferece: baixo consumo de potência, simplicidade de projecto e principalmente alto nível de integração. Nos últimos anos, 75% dos circuitos semicondutores (tanto em quantidade como em valor) foram produzidos em CMOS, facto que adiciona outra vantagem à tecnologia: redução de custo devido à escala de produção.

Apesar das vastas vantagens das tecnologias CMOS estarem relacionadas com circuitos digitais, foram desenvolvidas também em CMOS muitos blocos analógicos. No entanto a capacidade de integração do analógico com o digital era um dos grandes entraves que os projectistas tinham que enfrentar.

Mas com o surgimento de um novo estilo de desenho de circuitos digitais, a Lógica MOS em Modo de Corrente (MCML), a integração do analógico com o digital deixou de ser um problema.

Deste modo, a tecnologia MCML permite a completa integração de sistemas, incluindo a maior parte das interfaces analógicas, para diversos campos de aplicação tais como vídeo, áudio, telecomunicações, implantes biomédicos, etc. Porém as vantagens desta lógica não se resumem apenas a capacidade de integração analógico-digital, existem ainda inúmeras vantagens que tornam esta lógica uma das mais auspiciosas no fabrico de circuitos digitais.

Neste sentido, nesta tese de dissertação discute-se a concepção e caracterização de uma biblioteca de funções lógicas em MCML, fazendo referência aos principais conceitos desta lógica, assim como às técnicas de desenho de portas lógicas MCML, com o intuito de implementar, numa fase posterior, uma biblioteca MCML.

1.2 Motivação

O motivo principal que leva à escolha deste estudo sobre a lógica MOS em Modo Corrente deve-se à importância de obter desenvolvimentos na capacidade de redução do consumo de dispositivos electrónicos, sem afectar a sua velocidade de processamento, no intuito de tornar os equipamentos mais autónomos e mais atractivos para os seus utilizadores.

Estes desenvolvimentos têm assumido crescente importância associada à constante evolução tecnológica, que originou uma maior utilização, e consequente necessidade, de equipamentos electrónicos tais como, telemóveis, computadores portáteis, e outros dispositivos portáteis que têm vindo a crescer de forma bastante acelerada nos últimos anos e que se tornaram indispensáveis na vida quotidiana. Contudo, para além da crescente dependência pelos equipamentos electrónicos, constatou-se também um crescimento da insatisfação e da exigência relativamente a algumas das suas características, nomeadamente, a grande dimensão e peso, a reduzida autonomia e as dificuldades de transporte, que tornam estes dispositivos menos atractivos para seus utilizadores. Um exemplo que reflecte a importância do desenvolvimento de dispositivos de pequena dimensão, leves e capazes de funcionar através de baterias de longa duração são as próteses auditivas, que devem ficar alojadas no ouvido ou até mesmo dentro do canal auditivo. Outro exemplo são os computadores de mão ou PDA's (Personal Digital Assistant) que devem ter uma boa velocidade de processamento, pois muitos deles possuem editores de texto, agendas, jogos, e ao mesmo tempo consumir pouca energia, pois funcionam com baterias.

Por isso, é desejável que os circuitos integrados analógicos e digitais que os compõem dissipem o mínimo de potência possível, para maximizar a autonomia. Dado que o avanço da tecnologia das baterias têm sido pequeno quando comparado com o desenvolvimento da electrónica, as metodologias de projecto visando a redução no consumo de potência têm sido, ao longo dos últimos anos, um dos objectivos dos projectistas de circuitos integrados, que tentam obter elevadas velocidades de processamento com baixo consumo de energia.

Mas não é só através de novas metodologias de projecto, que se podem conseguir melhorias na utilização da energia disponível. Esse aproveitamento também pode ser obtido através de modificações em processos tecnológicos básicos de produção de circuitos integrados, e através de novas famílias lógicas. Com base neste último aspecto surge assim um novo estilo de lógica bastante promissor, a Lógica MOS em Modo de Corrente (MCML) que tem recebido uma atenção crescente nos últimos anos, devido às suas potenciais aplicações em sinal misto, analógico - digital. Além da possibilidade de

integração em circuitos mistos, os circuitos MCML apresentam um desempenho competitivo comparado com a velocidade do CMOS, oferecendo a vantagem de manter o consumo de energia aceitavelmente baixo, especialmente em operações que exigem velocidades de processamento elevadas.

1.3 Objectivos

Neste trabalho será realizado o estudo e o projecto de um conjunto de funções lógicas em modo de corrente. As funções lógicas serão implementadas recorrendo à tecnologia CMOS (Complementary Metal Oxide Semiconductor) de 0,35 μ m da AMS (Austria Microsystems).

O trabalho está dividido nas seguintes partes:

- Enquadramento Bibliográfico e estudo da lógica MCML;
- Estudo das técnicas de desenho de portas em lógica de modo de corrente MCML;
- Especificação do conteúdo das bibliotecas a conceber;
- Projecto, desenho e validação (por simulação pós layout) da biblioteca MCML.

1.4 Estrutura da Dissertação

Esta dissertação encontra-se dividida em cinco capítulos. No primeiro capítulo é efectuada uma contextualização da dissertação, apresentando os motivos que me levaram a optar por este tema e os objectivos do trabalho.

O segundo capítulo contém a base teórica deste trabalho e uma revisão das referências bibliográficas. Inicia com os aspectos gerais da lógica em Modo de Corrente e as suas especificações. A seguir, é efectuada uma análise ao inversor MCML que é tido como ponto de partida para o desenho dos mais diversos circuitos digitais.

O terceiro capítulo mostra os diferentes métodos de implementar portas lógicas em MCML, de seguida é realizada uma análise comparativa entre eles. Por fim, é implementado um conjunto de funções lógicas através dos métodos referidos.

O quarto capítulo é efectuada a caracterização das portas lógicas, através de simulações pré-layouts, o desenho do layout e simulações pós-layout.

O quinto capítulo corresponde às conclusões do trabalho e são feitas várias sugestões de modo a uma possível continuidade do estudo efectuado.

Capítulo 2

Lógica MOS em Modo de Corrente

No passado, as principais preocupações ao nível do projecto de circuitos digitais, era o desempenho do circuito, torna-lo tão rápido quanto possível, de modo a que este fizesse o máximo de operações no menor espaço de tempo possível, e que a área de circuito ocupada fosse a menor possível. O consumo de energia era um requisito secundário. Actualmente, devido principalmente a portabilidade dos equipamentos, a economia do consumo é umas das principais preocupações durante o projecto de um circuito, relegando muitas vezes as anteriores preocupações para segundo plano.

E é neste sentido que os projectistas têm dedicado o seu tempo a estudar alternativas a tecnologia CMOS, que é a tecnologia dominante no fabrico de circuitos digitais. A principal característica que torna a lógica CMOS dominante em relação as restantes tecnologias è o reduzido consumo de potência, no entanto esta vantagem apenas se verifica para baixas frequências de operação, pois o consumo de potência em CMOS varia linearmente com a frequência de operação. Além da potência dissipada, outra desvantagem das portas lógicas CMOS é a sua grande susceptibilidade ao ruído ambiente e ao crosstalk.

Devido às desvantagens apresentadas, para o caso de circuitos digitais, que necessitam de uma velocidade elevada de processamento, como por exemplo aplicações na área das telecomunicações, onde as saídas dos circuitos são influenciadas pelo circuito vizinho, ou pela linha de transmissão (crosstalk) e ainda pelo ruído gerado no ambiente circundante, a lógica CMOS estática não é uma solução viável [1].

Neste contexto surgiu a lógica CML (Current Mode Logic), capaz de explorar a velocidade máxima da tecnologia dos dispositivos. Esta razão tem conduzido a um interesse crescente nesta tecnologia e suas variantes por parte dos projectistas. Outra vantagem dos circuitos CML é o facto de apresentar um consumo de potencia constante e independente da frequência de operação.

O princípio fundamental da lógica CML é a comutação de corrente entre os ramos de saída, onde o fenómeno de comutação é implementado por um amplificador diferencial. As tensões de entrada do amplificador diferencial determinam a quantidade de corrente que irá fluir pelas resistências de carga. A presença da resistência de carga entre a fonte de alimentação e o nó de saída faz com que a operação das funções CML seja mais robusta a qualquer ruído de alimentação. O modo diferencial de funcionamento CML rejeita de forma eficaz o ruído de modo comum induzido por crosstalk presente na entrada da função lógica. Devido a apresentar uma maior imunidade ao ruído esta tecnologia possibilita com maior facilidade uma integração em circuitos analógicos-digitais.

Por estas razões, a lógica CML revelou-se uma alternativa a lógica CMOS tradicional, para a implementação de circuitos digitais e começa a ser vista como uma tecnologia do futuro, devido ao facto de poder operar na região de sub-threshold [2] começa a ser aplicada em circuitos de baixo consumo, podendo vir a tornar-se a tecnologia dominante no fabrico de circuitos digitais.

2.1 Génese dos circuitos Digitais em Modo de Corrente

A primeira referência aos circuitos digitais em modo de corrente surgiu em 1968 quando Sedra e Smith publicaram o Current-Conveyor, CC-I. Este circuito consiste num dispositivo com três terminais que combinado com outros elementos electrónicos em configurações específicas pode realizar variadas funções úteis ao processamento de sinais analógicos. O CC-I permite implementar de forma bastante simples conversores tensão e corrente, amplificadores de tensão e de corrente, seguidores de tensão e de corrente, amplificadores de instrumentação de tensão e de corrente, somadores de sinais em modo de corrente, integradores e diferenciadores de tensão e de corrente, filtros activos, conversores de impedâncias, etc. Pode mesmo dizer-se que CC-I estabelece um paradigma alternativo ao do AmpOp, naturalmente com as suas vantagens e os seus inconvenientes pontuais [3] [1].

Em 1970, os mesmos autores lançaram uma nova versão do current-conveyor o CC-II que apresentava a vantagem de ser mais versátil que o CC-I [1] [4].

Porém nenhum destes elementos se tornou uma alternativa ao convencional AMPOP porque ainda não estavam bem definidas quais as vantagens que o current-conveyor oferecia em relação aos AMPOP, e pelo facto do amplificador operacional estar perfeitamente assimilado e estabilizado, em resultado da sua introdução ter ocorrido umas décadas antes (anos 40). Além disso, nos anos 60 e 70, a tecnologia “integrada” encontrava-se numa fase inicial e pouco desenvolvida, e não disponibilizava os elementos nem a precisão necessária para a implementação dos current-conveyor [5] [3].

Com o decorrer dos anos e com o surgimento de uma série de constrangimentos no desenho de circuitos analógicos que os amplificadores começavam a apresentar, tais como o mau funcionamento a baixas tensões e a pouca largura de banda, entre outros problemas, motivaram os investigadores a procurar novas alternativas ao amplificador operacional.

A alternativa surgiu apenas nos anos 80, com o aparecimento dos transístores PNP, e com o “renascimento” do current-conveyor que começou a merecer algum destaque, surgindo como uma possível solução para os problemas que o amplificador operacional havia apresentado. Apenas nesta década é que os investigadores começaram a identificar as vantagens que os current-conveyor ofereciam sobre os AMPOP. Entre estas destacam-se uma maior funcionalidade, designadamente devido ao facto de disponibilizarem duas fontes controladas, uma de tensão e outra de corrente, e a natureza não re-alimentada da maioria dos circuitos que implementam as funções básicas. Estes dois factos acarretam um grande número de consequências ao nível prático, designadamente um menor número de componentes necessários nas montagens e a extrema simplicidade da análise respectiva [5].

As pesquisas efectuadas acerca do processamento de sinal recorrendo ao current-conveyor, foram de tal modo bem sucedidas que deram origem ao desenvolvimento de um amplificador de instrumentação, o current-feedback operational amplifier [6]. Este foi reconhecido como um elemento universal, tal como o amplificador operacional tinha sido reconhecido no passado. Este amplificador apresenta as seguintes vantagens em relação ao amplificador integrado:

- ♦ Um Slew Rate maior, na ordem dos milhares de Volts por micro-segundo em vez das dezenas de Volts por micro-segundo;
- ♦ Uma maior largura de banda;
- ♦ Níveis de distorção mais baixos, principalmente para sinais de alta frequência.

Com o surgimento do modo de corrente foi necessário implementar novas técnicas de desenho de circuitos digitais, tais como Emitter Coupled Logic (ECL) e Current Mode Logic (CML), o que levou à adopção de diferentes topologias para a implementação de circuitos digitais [7].

Em 1988, o princípio designado por MOS current copier é apresentado usando apenas transístores MOS [5] [6].

No ano seguinte é apresentado o princípio de switched-Current (SI) [6] que consiste na versão em modo de corrente do switched-capacitor (SC). Vários desenvolvimentos têm surgido neste género de circuitos, como por exemplo uma segunda geração do SI-Integrator e S²I-technique [5], tendo como objectivo a redução de erros de memória.

Actualmente a lógica em modo de corrente é usada em uma serie de aplicações devido ao seu potencial de alta velocidade e ao reduzido ruído de comutação. Estas propriedades fazem com que a lógica CML seja a mais adequada do que a lógica CMOS convencional para certas aplicações que vão desde circuitos RF, comunicação por fibra óptica a circuitos integrados de alta resolução para aplicações analógico-digitais [7].

Ao nível de circuitos RF, a lógica CML encontra-se presente num dos blocos fundamentais em aplicações de RF o Phase-Locked Loop (PLL) que permite a regeneração do relógio, a recuperação de dados e sincronização [7].

Em relação a comunicação por fibra óptica, a lógica em modo de corrente tem sido extensivamente usada em circuitos translineares e na realização de multiplexers e demultiplexers para transceivers ópticos [7] [8] [9].

A lógica CML, encontram-se em uma série de aplicações para circuitos analógicos-digitais, tais como processamento do sinal de vídeo e conversores A/D e D/A [7].

2.2 MCML: Conceitos Básicos

A lógica MOS em Modo de Corrente (MCML) é um novo estilo de lógica para desenho de circuitos digitais que tem recebido uma atenção crescente nos últimos anos, em resultado das suas aplicações promissoras em sinal Analógico-Digital [9] [10] [11]. Ultimamente, tem despertado o interesse dos projectistas para o desenho de circuitos digitais que exijam elevadas velocidades de processamento, porque os circuitos MCML apresentam um desempenho competitivo comparado com a velocidade do CMOS, e apresentam ainda a vantagem de manter o consumo de energia aceitavelmente baixo.

O projecto de uma porta lógica em MCML deve incluir as seguintes etapas:

- ♦ Definição da configuração da porta: normalmente ON ou OFF;
- ♦ Optimização das características estáticas da porta: curva de transferência, margem de ruído com o objectivo de garantir a operação correcta da função implementada;
- ♦ Optimização das características dinâmicas: velocidade, potência, dependência de fan-in e fan-out;
- ♦ Minimização da área de layout.

A optimização global do projecto de uma porta lógica depende do compromisso entre todos esses parâmetros. No caso de projecto das portas lógicas em modo de corrente, a optimização é feita quase sempre visando atingir máxima velocidade, ou em alguns casos, minimização do consumo de potência.

A estrutura de uma porta lógica MCML, apresentada na Figura 2.1, consiste em três blocos fundamentais: o transistor de pull-up, M_p , uma fonte de corrente constante M_s e pelo Pull Down Network (PDN) [7] [12].

O PDN consiste em um estágio diferencial de entrada, onde é composta a função lógica com o recurso a pares diferenciais NMOS, perfeitamente emparelhados a funcionar na zona de saturação ou de corte. Os sinais de entrada são aplicados nas portas dos pares de transístores MOS configurados diferencialmente, tornando a operação lógica do circuito menos sensíveis as variações de V_{th} dos transístores. O objectivo dos pares diferenciais NMOS é comutar a corrente proveniente da fonte de corrente de um lado para o outro. Idealmente a corrente irá circular apenas num dos “ramos” do PDN.

O estágio diferencial emprega transístores em cascata para a realização de portas lógicas com múltiplas entradas. No entanto é aconselhável a utilização de dois a três estágios diferenciais, no máximo, de modo a não se degradar excessivamente o atraso intrínseco de propagação [12] [7] e também o numero de andares pode estar condicionado pela alimentação do circuito. Deste modo é possível implementar funções lógicas bastante rápidas e compactas em uma única célula MCML.

A fonte de corrente é implementada com o recurso a transístores NMOS. Das diferentes técnicas existentes para a implementação de fontes de corrente [13], a escolha recai na utilização de um

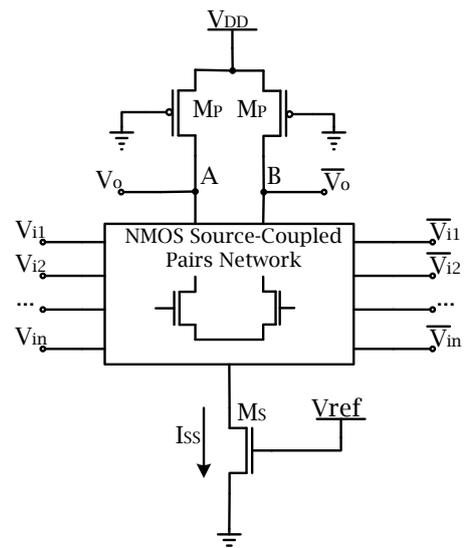


Figura 2.1 - Estrutura de uma porta lógica MCML

espelho de corrente, cuja implementação será explicada em maior detalhe numa fase posterior deste capítulo.

As resistências de pull up são implementadas através de transístores PMOS a trabalhar na região linear, de maneira a obter uma resistência o mais linear possível. Deste modo, é desejável que o tamanho destes transístores seja o menor possível, pois aumentar o comprimento destes dispositivos, provoca uma diminuição da resistência e aumenta a capacidade de carga à saída.

2.2.1 Princípios de Funcionamento de uma Porta MCML

O princípio básico de uma porta lógica implica que a corrente gerada por M_S , Figura 2.1, circule através de um dos ramos do PDN até ao nó de saída. Nesse ponto a corrente é convertida em tensão através do transístor de pull-up. Convém ainda referir que a conversão de corrente em tensão é uma operação com inversão, ou seja, quando a corrente de saída for máxima a tensão de saída é mínima [7].

De modo a funcionar correctamente, a corrente I_{SS} deverá fluir na sua totalidade por apenas um dos ramos do PDN, num único caminho entre a fonte de corrente e o nó de saída para todos os valores de entrada possíveis.

Na saída do ramo pelo qual a corrente circula, teremos a tensão $V_o = V_{DD} - \Delta V$, onde ΔV corresponde a queda de tensão na resistência de carga. No ramo onde não circula qualquer corrente, a tensão à saída será V_{DD} .

Para se garantir o funcionamento correcto de uma porta lógica MCML, as características funcionais e temporais devem ser satisfeitas ao mesmo tempo. Dentro deste contexto é importante atender às especificações de atraso e de potência satisfatoriamente.

Relativamente ao consumo de energia os circuitos MCML apresentam um consumo fixo e independente da frequência de funcionamento, ao contrário dos circuitos CMOS convencionais.

$$P_{consumida} = V_{DD}I_{SS} \quad (\text{eq. 2.1})$$

A constante de tempo no nó de saída da porta MCML é:

$$\tau_{MCML} = R_L C_L \quad (\text{eq. 2.2})$$

Onde R_L é a resistência equivalente de M_P e C_L é a capacidade total à saída[14] [15]. Através da equação 2.2, podemos afirmar que o atraso de uma porta MCML é aproximadamente $\ln(2)R_L C_L$. Logo, o produto potência-atraso, que é um métrica muito importante para avaliar e comparar o desempenho de circuitos lógicos, é calculado por:

$$PDP_{MCML} = Ln(2)V_{DD}I_{SS}R_L C_L \quad (\text{eq. 2.3})$$

Quanto menor o produto potência-atraso mais eficaz é a família lógica.

2.2.2 Vantagens e Desvantagens

A estrutura MCML apresenta várias vantagens sobre as demais famílias lógicas. Primeiro, temos as propriedades intrínsecas da configuração MCML que contribuem para a melhoria dos tempos de resposta [7]. São elas:

- Excursão de Sinal mais baixas (ΔV): ΔV menores implicam redução da potência dinâmica e tempo de carga/descarga das capacidades associadas aos nós do circuito. Reduz também a indução de ruído.
- Lógica mais rápida, devido ao PDN ser implementado só com transístores NMOS, logo não há o limite f_T dos transístores PMOS, a operar na região de saturação.
- Par diferencial: Mais resistente ao ruído em modo comum (CMRR), reduz ruído de comutação, é menos sensível a ruído da alimentação (PSRR). A operação da estrutura MCML é quase independente em relação às variações da tensão de limiar, V_{th} dos MOSFETS do estágio diferencial. Ou seja, é permitida uma maior tolerância na variação de V_{th} devido à boa rejeição de modo comum. O amplificador diferencial pode ser implementado para ter alta taxa de rejeição de modo comum (CMRR) e ganho moderado.
- A operação diferencial proporciona um aumento na margem de ruído, considerando a mesma excursão lógica, V_{SW} . Com isto pode-se reduzir o V_{SW} para metade em portas MCML comparativamente com as famílias não diferenciais, mantendo a mesma margem de ruído. Além disso, sinais diferenciais resultam na realização da função lógica e da sua respectiva negação, proporcionando uma vantagem relativamente às famílias não diferenciais [16].
- Outra vantagem dos circuitos CML é o facto de apresentarem um consumo de potencia constante e independente da frequência de operação, Figura 2.2.

Relativamente às desvantagens da família MCML, destaca-se a baixa densidade de integração devido ao elevado número de transístores empregues na implementação das funções lógicas básicas e a necessidade de interconexões diferenciais, que aumentam a complexidade de mapeamento. Desta forma, a área do circuito integrado resultante é maior que em outras famílias lógicas [17].

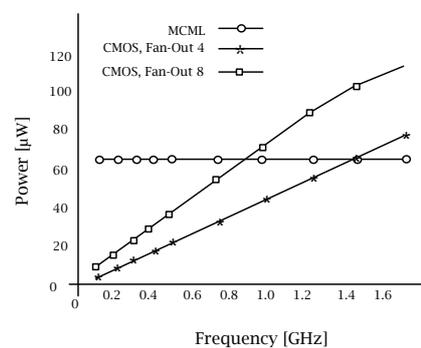


Figura 2.2 - Potência em MCML

A utilização de resistências de carga elevadas juntamente com a fonte de corrente pode implicar áreas de desenho relevantes.

Outra desvantagem é a existência de uma fonte de corrente constante, que provoca tempos de subida e descida diferentes.

O consumo de potência em MCML também se pode tornar uma desvantagem. Como se observa na Figura 2.2 [18], o consumo de potência é constante, tornando a topologia MCML vantajosa apenas para aplicações de alta velocidade. Assim, a topologia MCML é indicada para circuitos integrados de baixa e media escala de integração, cujo principal objectivo seja a operação em alta velocidade.

2.3 O Inversor MCML

Dentro da tecnologia CMOS, o inversor é tido como ponto de partida para o desenho dos mais diversos circuitos digitais. Conhecidas as suas propriedades e analisadas as suas características de operação, é possível efectuar a análise de circuitos mais complexos, que podem ser estudados mediante uma extensão da análise feita para o inversor. Procedendo de igual forma iremos começar por analisar o inversor MCML representado na Figura 2.3, obtendo analiticamente os parâmetros adequados. Esses parâmetros são as tensões características, o atraso do circuito (t_{PD}), o respectivo ganho em DC (A_v), as margens de ruído (NM), o voltage swing ratio (VSR), o signal slope ratio (SSR) e a potência dissipada (P_d) [19] [20].

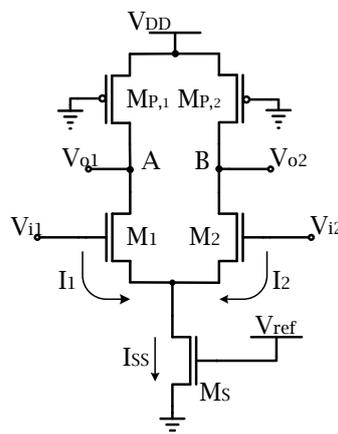


Figura 2.3 - Inversor MCML

Qualitativamente o modo de funcionamento do inversor é o seguinte:

O transístor M_s da Figura 2.3 constitui a fonte de corrente para o estágio diferencial de entrada. Esta fonte de corrente fornece a corrente de polarização constante, I_{SS} , para o par diferencial formado por M_1 e M_2 . As tensões de entrada V_{i1} e V_{i2} determinam a razão entre as correntes que fluem nos ramos A e B . A corrente constante I_{SS} fluirá na sua totalidade pelo ramo A se $V_{i1} = "1"$ e $V_{i2} = "0"$; M_1 estará a conduzir, dando origem a uma queda de tensão no nó A ; concomitantemente, nenhuma corrente flui através do ramo B e a queda de tensão sobre MP_2 será $0V$. Argumento similar se aplica para o caso em que $V_{i2} = "1"$ e $V_{i1} = "0"$, caso em que a corrente I_{SS} estará fluindo inteiramente pelo ramo B . Assim a função de transferência da entrada para o nó A constitui o inversor e para o nó B o seu complemento.

Depois de conhecido o modo de funcionamento básico do inversor, é necessário obter as suas equações com o intuito de compreender o desenho de portas MCML. Da aplicação das leis dos nós e das malhas de Kirchoff ao circuito da Figura 2.3 resulta:

$$I_{SS} = I_1 + I_2 \quad (\text{eq. 2.4})$$

$$V_i = V_{i1} - V_{i2} \quad (\text{eq. 2.5})$$

$$V_{i1} = V_{GS1} + V_S \quad (\text{eq. 2.6})$$

$$V_{i2} = V_{GS2} + V_S \quad (\text{eq. 2.7})$$

$$V_o = V_{o1} - V_{o2} \quad (\text{eq. 2.8})$$

$$V_{o1} = V_{DD} - I_1 R_{D1} \quad (\text{eq. 2.9})$$

$$V_{o2} = V_{DD} - I_2 R_{D2} \quad (\text{eq. 2.10})$$

Em que R_{D1} e R_{D2} são as resistências equivalentes dos transístores PMOS (MP_1 e MP_2) que funcionam sempre na região do linear. Podendo ser obtidas através da equação 2.12, onde $R_D = R_{D1} = R_{D2}$.

$$R_D = \frac{V_{DS}}{I_{DLIN}} \quad (\text{eq. 2.11})$$

$$R_D = \frac{1}{2K(V_{DD} - |V_t|)} \quad (\text{eq. 2.12})$$

Tendo em consideração que os transístores operam na região de saturação, podemos expressar a corrente de dreno como

$$I_1 = I_2 = I_D = K(V_{GS} - V_t)^2 \quad (\text{eq. 2.13})$$

Quando
$$K = \frac{1}{2}k' \frac{W}{L} = \frac{1}{2} \mu C_{ox} \frac{W}{L} \quad (\text{eq. 2.14})$$

Neste circuito observa-se:

$$\begin{cases} I_{SS} = I_1 + I_2 \\ V_i = V_{GS1} - V_{GS2} \\ V_o = R_D(I_2 - I_1) \end{cases} \quad (\text{eq. 2.15})$$

Para determinar a VTC (Voltage Transfer Characteristics) começamos por determinar I_1 e I_2 .

$$\text{Assumindo } M1 = M2 \Rightarrow K_1 = K_2 \text{ e } V_{t1} = V_{t2} = V_t$$

Obtemos a seguinte condição para I_1 e I_2 .

$$I_1(V_i) = \begin{cases} 0, & , V_i < -\sqrt{\frac{2I_{SS}}{K}} \\ \frac{I_{SS}}{2} + \sqrt{\frac{KI_{SS}}{2}} V_i \sqrt{1 - \frac{KV_i^2}{I_{SS}}}, & |V_i| \leq \sqrt{\frac{2I_{SS}}{K}} \\ I_{SS} & , V_i > \sqrt{\frac{2I_{SS}}{K}} \end{cases} \quad (\text{eq. 2.16})$$

$$I_2(V_i) = I_{SS} - I_1(V_i) \quad (\text{eq. 2.17})$$

Onde se ignoraram os efeitos de segunda ordem associados á condução de um transístor MOS.

Das equações anteriores podemos concluir qual a variação da corrente em função da variável de entrada (V_i), ou seja;

- ♦ Se $V_i = 0$, ou seja no ponto de equilíbrio, $\frac{I_{SS}}{2} = I_1 = I_2$.
- ♦ Se $V_i > 0$, irá provocar um aumento de I_1 e um diminuição de I_2 , em quantidades iguais, de modo a satisfazer a equação 2.6. I_{SS} será sempre constante independentemente das variações de V_i . A corrente irá ser máxima no transístor M_1 , ou seja $I_1 = I_{SS}$, quando $V_i = \sqrt{\frac{2I_{SS}}{K}}$.
- ♦ Se $V_i < 0$, a corrente em I_1 vai diminuir, o que vai originar um aumento de I_2 . Esta situação vai originar $I_1 = 0$, ou seja a corrente irá fluir toda pelo transístor M_2 quando $V_i = -\sqrt{\frac{2I_{SS}}{K}}$.

2.3.1 Característica de Transferência VTC

Uma vez obtidas as expressões das correntes I_1 e I_2 , conseguimos obter a expressão da VTC para o inversor MCML. Sabendo que a tensão de saída é dada pela equação

$$V_o = R_D(I_2 - I_1) \quad (\text{eq. 2.18})$$

A corrente I_1 e I_2 são indicadas pelas equações 2.16-2.17, de tal modo que a expressão da VTC será a seguinte:

$$V_0(V_i) = \begin{cases} R_D I_{SS}, & , V_i < -\sqrt{\frac{2I_{SS}}{K}} \\ -2R_D \sqrt{\frac{KI_{SS}}{2}} V_i \sqrt{1 - \frac{KV_i^2}{I_{SS}}}, & |V_i| \leq \sqrt{\frac{2I_{SS}}{K}} \\ -R_D I_{SS} & , V_i > \sqrt{\frac{2I_{SS}}{K}} \end{cases} \quad (\text{eq. 2.19})$$

A Figura 2.4, representa o comportamento típico da característica de um inversor (porta lógica NOT) genérico. Nesta são identificadas as tensões V_{OH} , V_{OL} , V_{IH} e V_{IL} , que

correspondem à definição dos níveis lógicos na saída e na entrada respectivamente. As tensões V_{OH} e V_{OL} correspondem ao valor máximo e mínimo da tensão de saída respectivamente. As tensões V_{IH} e V_{IL} representam o valor da tensão de entrada nos pontos em que a tangente à característica é igual a -1 , e que corresponde ao valor mínimo da tensão de entrada para o qual a saída já pode ser considerada LOW, e ao valor máximo da tensão de entrada para o qual a tensão de saída já pode ser considerada HIGH. Obviamente, é desejável que a zona da característica em que os níveis lógicos de entrada e de saída não estão completamente definidos seja tão estreita quanto possível, o que potencia tempos de propagação reduzidos.

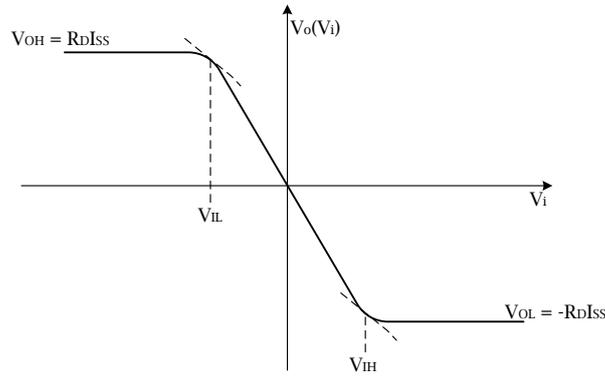


Figura 2.4 - VTC do inversor MCML

Desta forma podemos concluir que as tensões de saída (V_{OH} e V_{OL}) são:

$$V_{OH} = R_D I_{SS} \quad (\text{eq. 2.20})$$

$$V_{OL} = -R_D I_{SS} \quad (\text{eq. 2.21})$$

$$V_{SWING} = V_{OH} - V_{OL} = 2R_D I_{SS} \quad (\text{eq. 2.22})$$

$$V_{LT} = 0 \quad (\text{eq. 2.23})$$

Relativamente às tensões de entrada V_{IL} e V_{IH} sabemos

$$V_{IL}, V_{IH}: R_D \frac{\partial \Delta I}{\partial V_i} = -1 \quad (\text{eq. 2.24})$$

Portanto,

$$V_{IL} = -\sqrt{\frac{I_{SS}}{K} - \frac{I_{SS}}{4k} \frac{1}{A_v^2} (\sqrt{1 + 8A_v^2} + 1)} \quad (\text{eq. 2.25})$$

$$V_{IH} = \sqrt{\frac{I_{SS}}{K} - \frac{I_{SS}}{4k} \frac{1}{A_v^2} (\sqrt{1 + 8A_v^2} + 1)} \quad (\text{eq. 2.26})$$

Onde A_v corresponde ao ganho DC para pequenos sinais e é definido por:

$$A_v = gm R_D = \frac{V_{SWING}}{2} \sqrt{2K \frac{1}{I_{SS}}} \quad (\text{eq. 2.27})$$

É importante assegurar que os transístores não alterem a sua região de funcionamento, ou seja, que não “entrem” na região do linear. Para isso, a excursão $R_D I_{SS}$ deve-se manter suficientemente baixa de modo a evitar tal situação [7].

A forma de garantir que $R_D I_{SS}$ permanece baixo é garantindo uma tensão de porta-dreno, V_{GD} , inferior a tensão de limiar, ou seja:

$$V_{GD} = V_{DD} - [V_{DD} - R_D I_{SS}] = R_D I_{SS} \leq V_{th} \quad (\text{eq. 2.28})$$

2.3.2 Margens de Ruído

As margens de ruído são métricas estreitamente relacionadas com a Característica de Transferência, VTC. O ruído a que estas margens se referem pode derivar de ruído da alimentação, crosstalk, variações do processo de temperatura, interferência, offset, etc. As margens de ruído fornecem uma medida das tensões de ruído admissíveis na entrada da porta, de modo a não afectar a saída. As designações mais comuns para especificar a margem de ruído (ou imunidade ao ruído) são: margem de ruído baixa, NM_L , e margem de ruído alta, NM_H .

Por definição: $NM_H = V_{OH} - V_{IH} \quad (\text{eq. 2.29})$

$$NM_L = V_{IL} - V_{OL} \quad (\text{eq. 2.30})$$

Partindo das expressões anteriores para V_{OH} , V_{IH} , V_{IL} e V_{OL} é possível derivar:

$$NM_H = NM_L = R_D I_{SS} + \sqrt{\frac{I_{SS}}{K} - \frac{I_{SS}}{4K A_p^2} (\sqrt{1 + 8A_p^2} + 1)} \quad (\text{eq. 2.31})$$

Conforme esperado, devido à simetria da VTC, $V_{LT} = 0$, obtêm-se margens de ruído iguais. Naturalmente, se M_1 e M_2 não estiverem devidamente emparelhados a VTC não será simétrica, e as margens de ruído não serão iguais.

2.3.3 Fonte de Corrente

A fonte de corrente é um dos blocos mais importantes na construção de circuitos digitais em modo de corrente, portanto é muito importante que seja projectada adequadamente. Ao longo desta tese a fonte de corrente irá ser apresentada sempre como um único transistor. Porém, a fonte de corrente utilizada deriva de um espelho de corrente simples, Figura 2.5, que permite um melhor controlo da corrente de polarização.

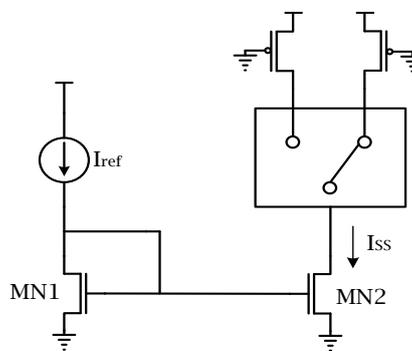


Figura 2.5 - Espelho de Corrente

A não utilização de um único transistor como fonte de corrente, é devido á dificuldade de manter a corrente de polarização constante, pois o valor de V_{DS} do transistor pode alterar significativamente o valor da corrente de polarização. Ao utilizar um espelho de corrente, o valor dessa corrente é muito menos dependente da tensão.

A Figura 2.5 ilustra a configuração utilizada para construir a fonte de corrente utilizada nesta tese.

A corrente, I_{SS} , é controlada por um espelho de corrente que reflecte a corrente de entrada I_{ref} . Uma das considerações que temos de incluir no projecto do espelho de corrente é o facto de $MN1$ e $MN2$ serem similarmente iguais e estarem ambos a funcionar na zona da saturação.

Este circuito é polarizado para ter $I_{SS} = I_{ref}$. Como a corrente da porta dos dois transistores MOS é igual a zero, deste modo toda a corrente I_{ref} flui através do dreno de M_1 , que está a operar na região de saturação, uma vez que $V_{DS1} = V_{GS1}$.

Deste modo, temos:

$$I_{ref} = K_{n1}(V_{GS} - V_{TN})^2(1 + \lambda V_{DS1}) \quad (\text{eq. 2.32})$$

O transistor $MN2$ possui o mesmo V_{GS} que $MN1$, da equação anterior esse valor é:

$$V_{GS1} = V_{TN} + \sqrt{\frac{2I_{ref}}{K_n(1+\lambda V_{DS1})}} \quad (\text{eq. 2.33})$$

Assumindo que $MN2$ também opera na região de saturação, a sua corrente de dreno, (que é a corrente I_{SS} da fonte de corrente), será dada por:

$$I_{SS} = I_{D2} = K_{n2}(V_{GS2} - V_{TN})^2(1 + \lambda V_{DS2}) \quad (\text{eq. 2.34})$$

As equações 2.35 e 2.36, permitem relacionar as correntes I_{SS} e I_{ref} :

$$I_{SS} = \frac{K_{n2}}{K_{n1}} I_{ref} \frac{(1+\lambda V_{DS2})}{(1+\lambda V_{DS1})} \approx I_{ref} \frac{K_{n2}}{K_{n1}}, \text{ se } V_{DS1} = V_{DS2} \quad (\text{eq. 2.35})$$

Como se verifica, I_{SS} é relacionada com I_{ref} pela relação das suas razões geométricas de $MN1$ e $MN2$ [13].

2.3.4 Voltage Swing Ratio

Tal como foi referido anteriormente, num circuito MCML ideal a corrente fornecida pela fonte I_{SS} flui na sua totalidade por apenas um dos ramos do par diferencial, o ramo "ON". Contudo, na realidade isso não acontece, pois há sempre uma parcela da corrente que irá fluir através do ramo oposto, o ramo "OFF", o que provoca uma redução da excursão da tensão na saída do circuito [9]. Este problema agrava-se com o aumento do número de estágios, pois isso provoca uma redução do valor da corrente a comutar e,

como consequência, a excursão da tensão será menor, podendo provocar eventualmente um mau funcionamento do circuito. Para ultrapassar este problema, a corrente no ramo “OFF”, I_{OFF} , deverá ficar limitada a 5% da corrente total I_{SS} .

O Voltage Swing Ratio (VSR) é definido como a razão entre a corrente no ramo “ON”, I_{on} , e a corrente total do circuito I_{SS} tendo em atenção a limitação referida anteriormente.

$$VSR = \frac{I_{on}}{I_{SS}} \geq 95\% \quad (\text{eq. 2.36})$$

Esta limitação garante que a excursão da tensão nos estágios se manterá constante [21] [22].

2.3.5 Tempos de Propagação

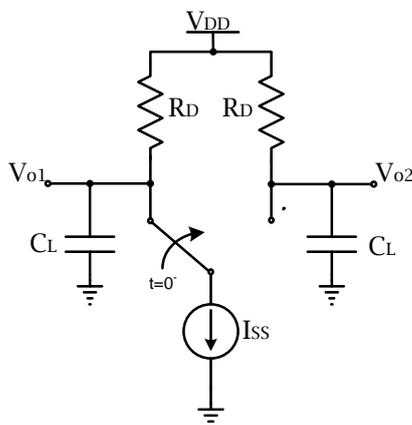


Figura 2.6 - Inversor MCML

Um aspecto que temos de ter em mente está relacionado com o facto de num circuito real, o tempo que este leva a produzir uma resposta a um estímulo adequado, apesar de poder ser relativamente pequeno não é todavia nulo. Por mais simples que seja um circuito integrado, a resposta deste está sempre influenciada por características intrínsecas à tecnologia, como por exemplo, características físicas dos materiais que

influenciam as mobilidade dos electrões, entre outros aspectos. Desta forma torna-se necessário definir os designados tempos de atraso e tempos de transição nos circuitos lógicos.

O atraso de propagação, t_{PD} , de uma porta digital indica a rapidez com que está responde a uma mudança nas suas entradas, i.e., quando um sinal é aplicado a um circuito lógico existe sempre um tempo finito, tempo de propagação, entre o instante em que se aplica o sinal na entrada e o instante no qual ocorre a mudança de sinal na saída. Em MCML, as transições na saída ocorrem quando existe comutação de corrente um ramo para o outro do par diferencial, como se encontra representado na Figura 2.6.

O tempo de propagação de uma porta lógica é calculado através da média aritmética dos tempos de propagação “Low to High” e “High to Low”, ou seja:

$$t_{PD} = \frac{t_{pHL} + t_{pLH}}{2} \quad (\text{eq. 2.37})$$

Através do modelo de análise das correntes nos transístores e na capacidade de carga, Figura 2.7, torna-se mais fácil o estudo das características dos circuitos digitais no domínio do tempo. A resposta transitória do inversor CMOS por sua vez, é dominado pelos tempos de propagação, que definem o atraso que determinado sinal sofre ao passar por uma porta lógica. Os tempos de propagação, numa primeira aproximação, estão relacionados com o tempo que demora a carga e descarga das capacidades de carga C_L , podendo ser determinados através d solução da equação diferencial da corrente I_c através do condensador C_L , no domínio do tempo, é dada por:

$$i_c(t) = C_L \cdot \frac{dV_o}{dt} = i_{D,p} - i_{D,n} \quad (\text{eq. 2.38})$$

Sendo $i_{D,p}$ e $i_{D,n}$ as correntes de dreno do PMOS e do NMOS respectivamente.

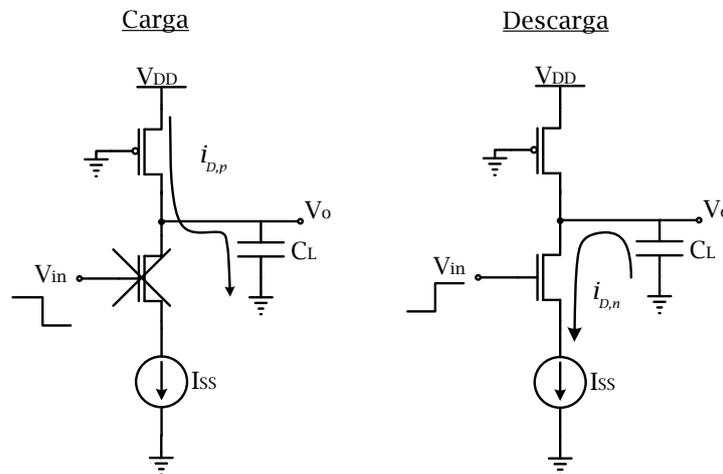


Figura 2.7 - Carga e descarga do Inversor MCML

Através do modelo de análise das correntes nos transístores e na capacidade de carga, Figura 2.8, torna-se mais fácil o estudo das características dos circuitos digitais no domínio do tempo ($0^- < t < \infty$).

O comportamento transitório dos circuitos digitais MOS, é modelado normalmente por uma malha RC [23]. A Figura 2.8. ilustra a aplicação desse modelo ao inversor MCML.

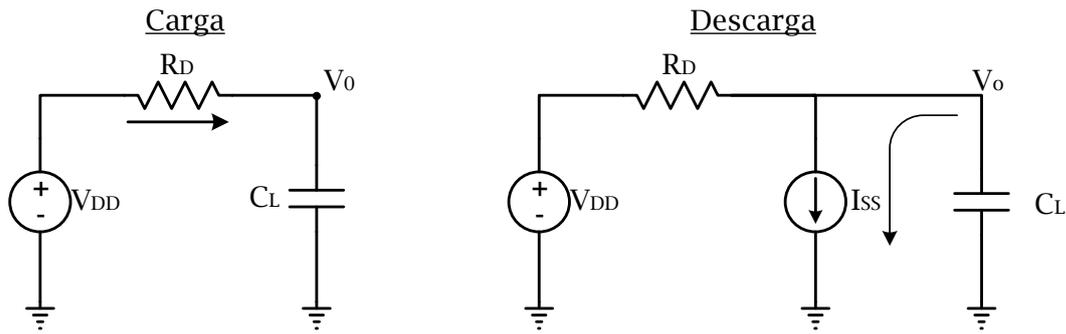


Figura 2.8 - Modelo RC do Inversor MCML para $0^+ < t < \infty$

Realizando uma análise DC aos dois circuitos representados na Figura 2.8, pode-se obter os tempos de atraso, o tempo de subida e descida para o inversor MCML.

Para a transição ascendente na entrada, o transistor NMOS encontra-se no seu estado activo e começa a descarregar a capacidade de carga.

A equação de corrente que descreve o processo de descarga é a seguinte:

$$i_c(t) = C_L \cdot \frac{dv_o}{dt} = i_{D,n} \quad (\text{eq. 2.39})$$

O tempo de propagação t_{pHL} define o tempo de resposta de uma porta lógica para uma transição descendente na saída, que corresponde a uma transição ascendente na entrada. Nesta situação a corrente $i_{D,n} = I_{SS}$, integrando ambos os membros obtêm-se:

$$\Delta t = \frac{C_L}{I_{SS}} \cdot \Delta V_o = \frac{C_L}{I_{SS}} V_{SWING} \quad (\text{eq. 2.40})$$

Logo, o tempo de propagação t_{pHL} é dado por:

$$t_{pHL} = 0.5 \frac{C_L}{I_{SS}} V_{SWING} \quad (\text{eq. 2.41})$$

Onde, $V_{SWING} = 2 R_D I_{SS}$

$$t_{pHL} = R_D C_L \quad (\text{eq. 2.42})$$

Para o tempo de propagação t_{pLH} , no qual tem-se uma transição descendente na entrada o PMOS está activo e inicia o processo de carga da capacidade C_L . O NMOS está ao corte ($i_{D,n} \approx 0$) e desta forma não entra na análise, dando origem ao um circuito RC de primeira ordem, Figura 2.8 (processo de carga). Deste modo, o tempo de propagação t_{pLH} é dado pela seguinte expressão:

$$t_{pLH} = 0.69 R_D C_L \quad (\text{eq. 2.43})$$

O tempo de atraso de propagação t_{pD} pode ser definido como a média dos dois tempos definidos anteriormente, ou seja:

$$t_{pD} = \frac{1}{2} (R_D C_L + 0.69 R_D C_L) \quad (\text{eq. 2.44})$$

$$t_{pD} = 0.845 R_D C_L \quad (\text{eq. 2.45})$$

De forma análoga, podemos obter os tempos de subida e descida do inversor MCML. O tempo de descida, t_f , é obtido pela análise do circuito de descarga, Figura 2.8, e o tempo de subida (t_r) do respectivo processo de carga. Obtendo-se deste modo as seguintes expressões:

$$t_f = 1.6 R_D C_L \quad (\text{eq. 2.46})$$

$$t_r = 2.2 R_D C_L \quad (\text{eq. 2.47})$$

Desta forma, demonstra-se que, para se minimizar os tempos de atraso tp_{LH} e tp_{HL} as seguintes condições devem ser respeitadas dentro do possível [13]:

- As duas componentes do tempo de atraso (tp_{LH} e tp_{HL}), é desejável que sejam iguais dado que o pior destes tempos define a velocidade máxima a que a porta lógica pode operar. Como t_{pD} é proporcional a C_{total} o projectista deve tentar reduzir as capacidades existentes, diminuindo ao mínimo possível o comprimento do canal, a dimensão das ligações e outras capacidades parasitas;
- O uso de razões $\frac{W}{L}$ elevadas pode resultar na diminuição do t_{pD} . Deve contudo ter-se em consideração que ao aumentar o tamanho dos MOSFET aumenta-se igualmente o valor de C_L , e como tal a diminuição de t_{pD} pode não materializar-se;
- Um valor maior de V_{DD} resulta num valor menor de t_{pD} , contudo o V_{DD} máximo é determinado pelo processo tecnológico e assim frequentemente este parâmetro está fora de controlo do designer, no entanto em MCML não é aconselhável aumentar V_{DD} pois ao aumentar V_{DD} está-se a aumentar a potência dissipada.

2.3.6 Signal Slope Ratio

A velocidade é um dos factores com mais relevo em desenho de circuitos MCML, portanto é necessário definir uma métrica que quantifique o tempo de descida e subida t_{rf} , equação 2.48.

$$trf = \frac{1}{2} (t_r + t_f) \quad (\text{eq. 2.48})$$

Este tempo não deve ser muito elevado em relação ao tempo total de atraso. Quando temos circuitos MCML em cascata, o atraso total depende de dois factores principais: o atraso de propagação t_d e a forma de onda de saída de cada estágio.

O Signal Slope Ratio (*SSR*) é definido como a razão entre t_{rf} e t_d , e deve ser mantido tão pequeno quanto possível, de modo a assegurar uma boa forma de onda na saída. Em circuitos MCML, *SSR* é aproximadamente [22]:

$$SSR = \frac{t_{rf}}{t_d} = \frac{1.9 R_D C_L}{0.845 R_D C_L} \quad (\text{eq. 2.49})$$

Para se ter uma forma de onda razoável na saída o SSR é limitado a um máximo de 5 ($SSR \leq 5$) [22].

2.3.7 Potência dissipada

Normalmente, a potência dissipada em circuitos CMOS pode ser dividida em três componentes distintas:

- Dissipação estática de potência devido à corrente de fuga ou outras correntes que fluem continuamente da fonte de alimentação do circuito, P_{static} ;
- O consumo de potência de curto-circuito, que ocorre devido à corrente directa da fonte de alimentação para a terra durante o processo de comutação, P_{sc} ;
- Dissipação dinâmica de potência devido à corrente de comutação durante a carga e descarga das capacidades de saída, P_{din} .

Considerando as componentes acima, o consumo de potência total em circuitos CMOS é dado por [23]:

$$P_{total} = P_{static} + P_{din} + P_{sc} \quad (\text{eq. 2.50})$$

Normalmente a potência dinâmica é a principal componente da potência consumida em circuitos digitais, pois esta potência está associada a corrente necessária para carga e descarga das capacidades associadas a cada porta lógica. No entanto, em MCML, a potência estática é a componente com maior peso no consumo total [8] [12] [14], portanto uma diminuição desta componente provocará uma melhoria considerável no desempenho de circuitos MCML.

A potência estática é dominante em MCML, pois quando os transístores do PDN estão a conduzir existe sempre um caminho directo entre a alimentação (V_{DD}) e a massa (GND), através da resistência de pull-up e dos transístores.

Logo, a potência consumida é dada por:

$$P_d = V_{DD}I_{SS} \quad (\text{eq. 2.51})$$

Deste modo, pode-se concluir que a potência consumida em MCML é independente da frequência [24].

Define-se ainda uma métrica muito importante para avaliar o desempenho de um circuito lógico, o produto potência-atraso (PDP), que, tal como o nome indica consiste no produto entre o tempo de atraso de propagação e a dissipação de potência, permitindo contabilizar a energia que uma porta consome por operação [25].

O produto potência-atraso [12], é assim dado pela, equação 2.55, sendo expresso em Joules (J).

$$PDP = V_{DD} I_{SS} t_{PD} \quad (\text{eq. 2.52})$$

Obviamente, quanto menor o valor de PDP, melhor a tecnologia do ponto de vista de maior velocidade e menor consumo de potência (a tecnologia é mais eficiente energeticamente).

A Figura 2.9 indica-nos a variação do PDP do inversor MCML em função da corrente de polarização. No caso de $I_{SS} = 60\mu A$ podemos concluir que o inversor apresenta um melhor desempenho uma vez que existe um bom relacionamento entre a potência dissipada e o atraso de propagação.

No entanto, a validade do PDP como uma métrica de qualidade para avaliação do desempenho de uma porta é questionável. Isto porque, esta propriedade pode ser manipulada arbitrariamente para ter valores relativamente baixos, que podem ser obtidos pela simples redução da tensão de alimentação, fazendo com que, a partir desta perspectiva, a porta lógica tenha um valor mínimo de tensão que garanta o seu funcionamento, mas em detrimento do seu desempenho [23].

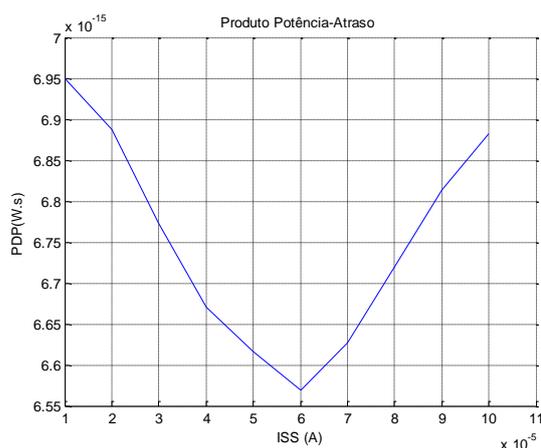


Figura 2.9 - Variação do PDP em função de ISS

No entanto, existe uma métrica mais relevante que a PDP. Essa métrica indica a melhor combinação da performance com a energia, e é conhecida como o produto energia-atraso (EDP). A EDP é expressa pela seguinte equação:

$$EDP = PDP \cdot t_{PD} \quad (\text{eq. 2.53})$$

Uma propriedade interessante desta métrica é que os circuitos MCML não têm um valor mínimo teórico para a EDP ao contrário dos circuitos CMOS [26] que apresentam um valor mínimo.

Em MCML os projectistas podem reduzir arbitrariamente a EDP reduzindo a tensão de alimentação ou a excursão do sinal de tensão e aumentando a corrente. No entanto não é conveniente aumentar muito a corrente pois a robustez do circuito irá

deteriorar-se se outras alterações não fossem efectuadas. A Figura 2.10 indica o comportamento típico da métrica EDP do inversor MCML.

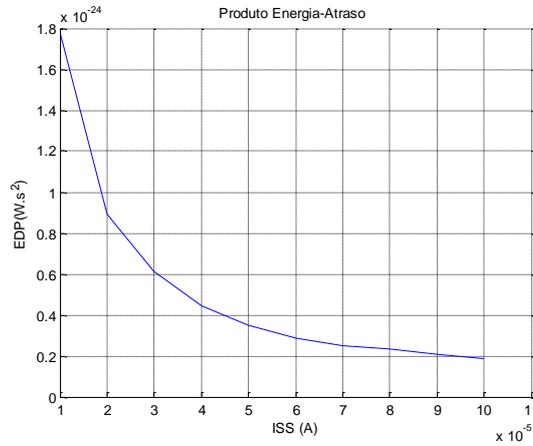


Figura 2.10 - Produto Energia-Atraso

2.3.8 Conversão de Circuitos

Existe ainda a possibilidade de converter os circuitos MCML em CMOS e CMOS em MCML. Esta possibilidade pode ser interessante se quisermos conjugar as vantagens de uma tecnológica com a outra.

A conversão do CMOS para MCML é uma operação trivial. Como todas as portam MCML podem funcionar correctamente com entradas diferenciais maiores que o necessário, um inversor CMOS simples e inversor MCML pode ser usado para gerar o sinal MCML adequado. Para realizar o circuito de conversão, apenas é necessário associar os dois inversores como se encontra representado na Figura 2.11

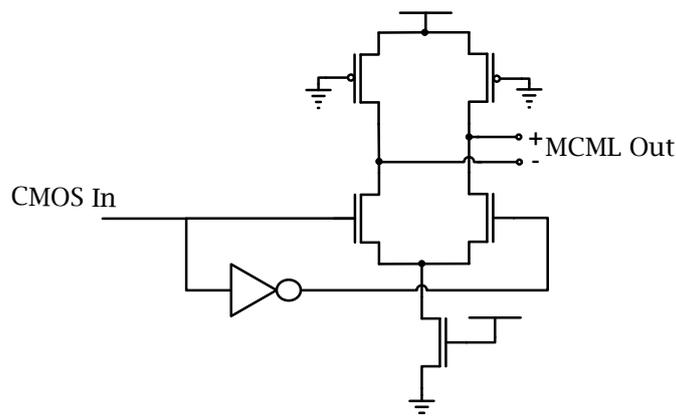


Figura 2.11 - Circuito de Conversão de CMOS para MCML

A conversão de MCML de CMOS é um pouco mais complicado, mas pode ser realizada através de um amplificador diferencial single-ended e um inversor CMOS. O

circuito desta conversão está representado na Figura 2.12. O amplificador apenas tem que ter um ganho suficiente para amplificar o sinal de tensão para além do limiar de comutação do inversor.

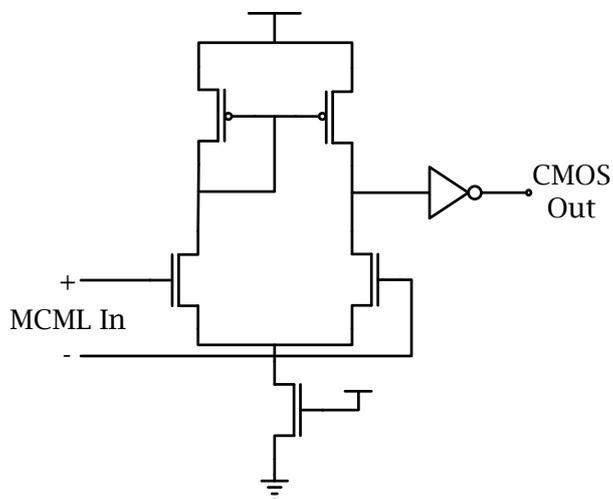


Figura 2.12 - Circuito de conversão de MCML para CMOS

2.4 Conclusão

Neste capítulo, inicialmente foi apresentada a evolução e aplicação dos circuitos digitais em modo de corrente, seguida da exposição teórica sobre os conceitos básicos de circuitos MCML, com referência ao seu modo de funcionamento e respectivas vantagens relativamente aos circuitos CMOS tradicionais.

Por fim foi realizada uma descrição do componente mais importante em circuitos digitais, o Inversor, que é tido como o ponto de partida para o desenho dos mais diversos circuitos digitais, focando algumas das suas principais propriedades.

Além disso foi abordado uma possível forma de transformar circuitos MCML em circuitos CMOS e vice-versa.

No capítulo seguinte, serão abordadas as diferentes metodologias existentes para a implementação de portas lógicas MCML, com referência às principais características de cada método, seguida da implementação de um conjunto de funções lógicas pré-definidas.

Capítulo 3

Implementação de Portas Lógicas MCML

Apesar das técnicas de projecto e ferramentas CAD (Computer-Aided Design) apresentarem uma crescente evolução, acompanhada da redução dos seus preços, a experiência do projectista assume ainda uma forte relevância no desenvolvimento de circuitos de sistemas digitais. Do ponto de vista do projectista, existem aspectos importantes a serem considerados, tais como a caracterização da tecnologia, o a extracção do modelo dos dispositivos e a metodologia do projecto. Deste modo, este capítulo ilustra o processo de análise de várias funções lógicas, assim como as características de cada função em questão, através da implementação de diferentes metodologias de projecto.

Assim, é efectuado ao longo deste capítulo, um estudo de técnicas de projecto e desenho, no intuito de apresentar custos reduzidos de implementação, bom desempenho e o menor tempo na realização do projecto. As funções a serem analisadas são funções lógicas consideradas básicas para construção da maioria dos sistemas digitais usados actualmente. Entre estas, destaca-se neste capítulo a análise das funções lógicas AND, OR, XOR, MUX 2:1 e respectivas funções complementares.

3.1 Métodos para Implementação de Portas MCML

O princípio básico de uma porta lógica consiste em que a corrente de polarização circule através de um dos ramos do PDN até á resistência de carga. Nesse ponto a corrente é convertida em tensão, razão por que a lógica MCML se assemelha a um conversor de corrente para tensão.

Convém referir que a conversão de corrente em tensão é uma operação com inversão, ou seja, quando a corrente de saída for máxima a tensão de saída é mínima.

De modo a funcionar correctamente, a corrente deverá fluir na sua totalidade por apenas um dos ramos do par PDN, num único caminho entre a fonte de corrente e o nó de saída para todos os valores de entrada possíveis.

Para implementar portas lógicas em MCML é possível escolher entre as múltiplas possibilidades existentes [7] [12] [27]. A escolha deve ser feita com base nas características pretendidas para o circuito (complexidade, velocidade, área), no custo de cada implementação e no tempo disponível para o desenvolvimento.

Os métodos que são abordados nas secções seguintes são: Diagrama de Decisão Binária (BDD) [12], Estrutura Diferencial e Simétrica (EDS) [7] e Estrutura Não Diferencial (END) [27]. Estes métodos são apresentados por ordem crescente de custo e, de forma indirecta, por ordem crescente de tempo necessário ao desenvolvimento e complexidade máxima do circuito implementado com cada solução.

3.1.1 Diagramas de Decisão Binária

De todas as estruturas de dados utilizadas para representação de funções lógicas e para implementação de redes, uma é de especial interesse devido a sua capacidade de fornecer redes optimizadas. Esta estrutura é chamada de Diagrama de Decisão Binária, sendo composta por nós, arcos e terminais [28].

A implementação de portas lógicas através de Diagramas de Decisão Binária (BDD) é um método que nos permite obter imediatamente a topologia do Pull Down Network na sua forma mais optimizada [29]. Nestes diagramas, os nós, que são os elementos de decisão, correspondem aos pares diferenciais e cada um dos arcos correspondem à ligação entre um dreno e a fonte de outro par diferencial.

Para a representação de uma dada função lógica através de um BDD deve-se recorrer à sua tabela da verdade. Este procedimento não é obrigatório, existindo a possibilidade de transcrever directamente uma expressão para o seu diagrama. Contudo, é aconselhável efectuar sempre a tabela, de modo a facilitar a obtenção do diagrama, prevenindo eventuais erros associados a interpretações incorrectas da expressão booleana.

Para ilustrar a aplicação deste método, analisamos em seguida a função: $F = XY + YZ + X'Y'Z'$ cuja tabela da verdade e o respectivo diagrama de decisão binária encontram-se representados na Figura 3.1.

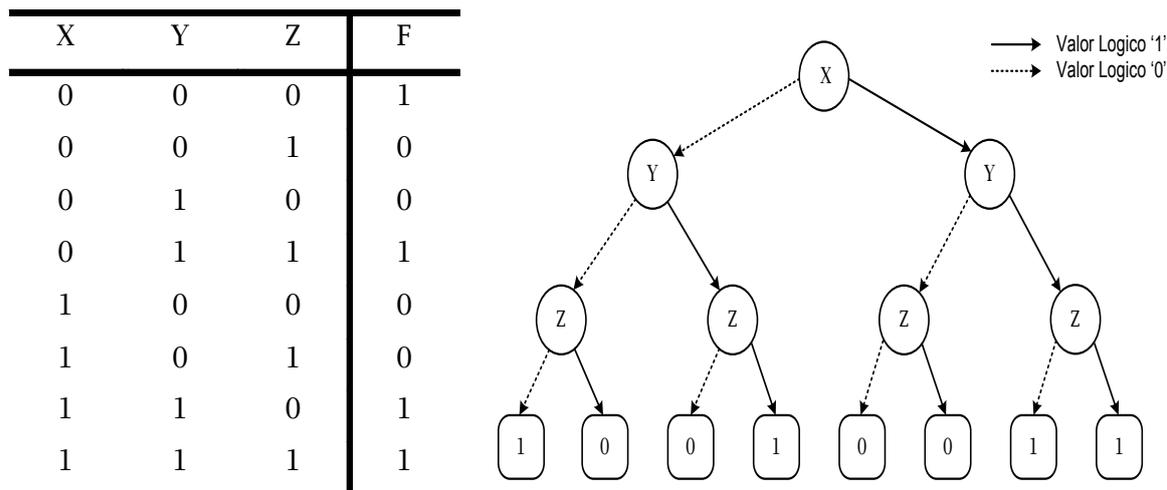


Figura 3.1 - Tabela da Verdade de F e respectivo BDD

A representação de uma dada função booleana pode originar uma árvore binária demasiado extensa, sendo necessário recorrer a um conjunto de regras que permitem simplificar o diagrama, eliminando os nós considerados irrelevantes. Estas regras permitem assim reduzir a complexidade dos diagramas de decisão, tornando-os mais facilmente tratáveis. As principais regras que permitem simplificar o diagrama são as seguintes [30]:

- a) **Remoção de resultados duplos:** Se um BDD contém mais do que um nó 0 como resultado, então redirecciona-se todos os arcos que apontam para o nó 0, para um deles. Faz-se de forma análoga com os nós de resultado 1, Figura 3.2 exemplifica a aplicação desta regra.

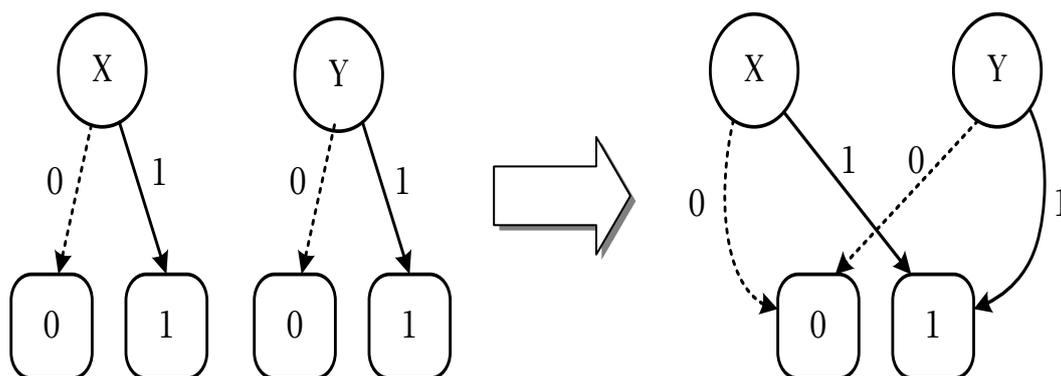


Figura 3.2 - Remoção de resultados duplos

b) Remoção de testes redundantes: Se dois arcos que saem de um nó N apontam para um mesmo nó M, então eliminamos o nó N, enviando todos arcos que chegam a N para M.

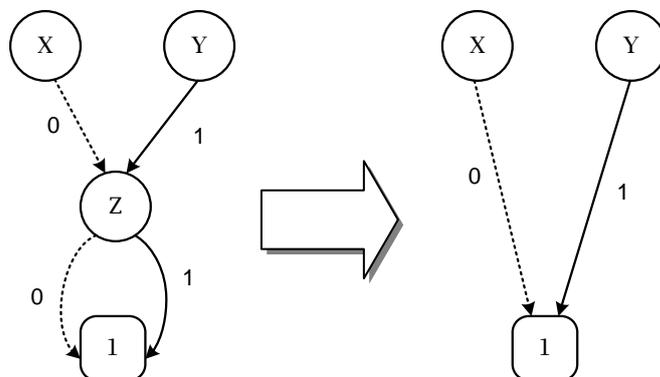


Figura 3.3 - Remoção de testes redundantes

c) Remoção de nós não terminais duplicados: Se dois nós distintos N e M do BDD são as raízes de subBDDs estruturalmente idênticos, então eliminamos um deles, por exemplo M, e redireccionamos todos os arcos de entrada para o outro, neste caso N.

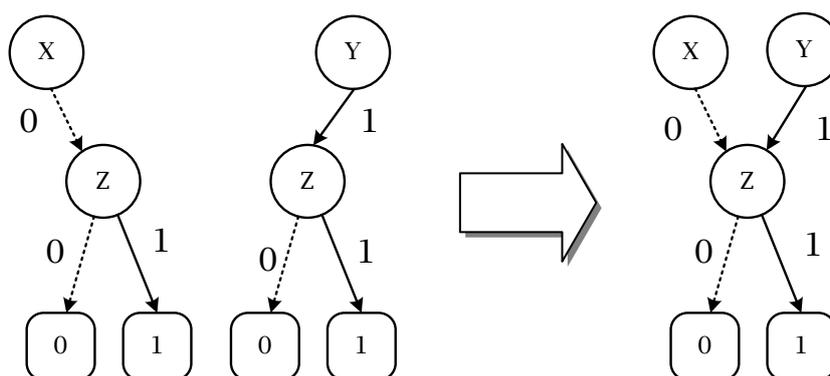


Figura 3.4 - Remoção de nós não terminais duplicados

Aplicando as regras referidas anteriormente ao diagrama de decisão binária de F, obtêm-se o BDD de F na sua forma mais optimizada, Figura 3.5.

Por fim é necessário converter o BDD numa estrutura do tipo MCML, para tal é necessário substituir o BDD pelo seu equivalente eléctrico, ou seja, os nós correspondem a um par diferencial e a variável desse nó corresponde à entrada do par

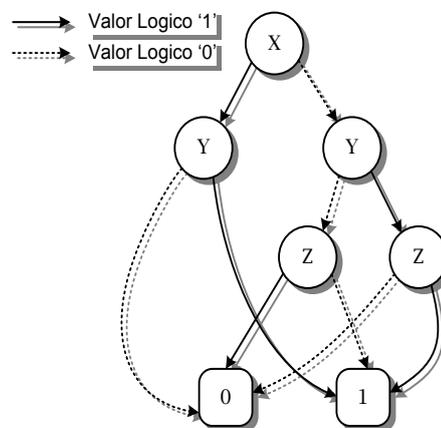


Figura 3.5 - BDD Optimizado de F

diferencial. Os arcos existentes entre os nós do BDD correspondem às ligações que os pares diferenciais devem ter entre si. O nó terminal '0' do BDD corresponderá no circuito à saída F e o nó terminal '1' corresponderá à saída complementar. A Figura 3.6 mostra a topologia em MCML de F.

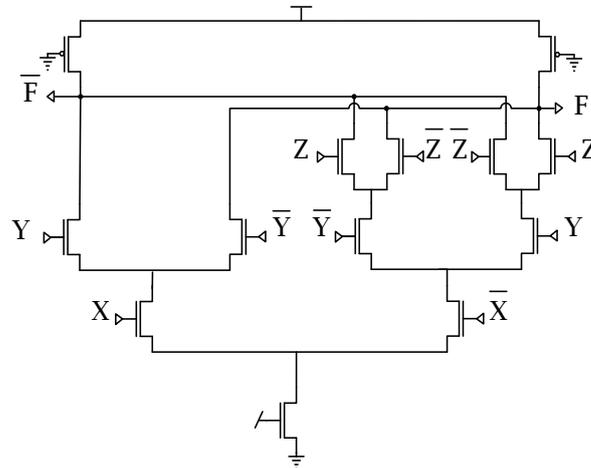


Figura 3.6 - Função F em MCML

3.1.2 Estrutura Diferencial e Simétrica

Este método consiste em empregar uma estrutura diferencial e simétrica (EDS) para a realização de portas lógicas com múltiplas entradas. O PDN é constituído por transístores em cascata, dispostos por diferentes estágios, Figura 3.7 [7].

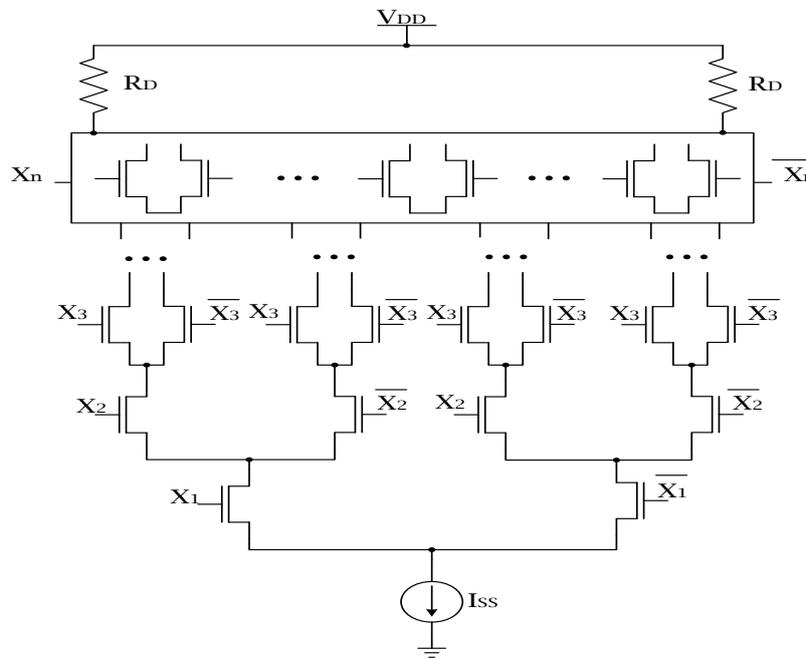


Figura 3.7 - Estrutura Diferencial e Simétrica

Deste modo primeiro estágio temos um par diferencial, no segundo estágio temos dois pares diferenciais acoplados ao primeiro e no estágio n temos 2^{n-1} pares diferenciais. O número de estágios que cada função necessita para a sua implementação está directamente relacionado com o número de variáveis existentes na função lógica.

Onde cada variável e o seu complemento irão corresponder às entradas dos pares diferenciais de cada estágio.

No entanto é importante referir que a função MUX 2:1, que apresenta três variáveis mas apenas dois estágios diferenciais, este facto é devido ao modo de funcionamento da porta MUX 2:1.

Na atribuição das variáveis de entrada aos respectivos pares diferenciais pode-se aplicar a regra básica na construção de redes de transístores no PDN: A ligação de transístores NMOS em série realiza a função NAND, pois só se forma um caminho efectivo caso ambas as entradas apresentem um nível lógico alto. O paralelo de NMOS corresponde a função NOR, uma vez que existe caminho se pelo menos uma das entradas apresente nível lógico alto.

Para facultar uma melhor compreensão deste método iremos analisar a função utilizada anteriormente para o método do BDD. A função $F = XY + YZ + X'Y'Z'$ é definida por três variáveis X, Y, Z e pelos seus respectivos complementos, logo para implementar esta função serão necessários três estágios de pares diferenciais, um por cada variável. Neste caso atribuição das variáveis aos pares diferenciais não é trivial, uma vez que as variáveis (ou seus complementos) não se encontram presentes em todas as parcelas de F . Quando ocorre esta situação, o projectista precisa de manipular a função de modo a conseguir colocar nas parcelas todas as variáveis ou os seus complementos, sem alterar o significado da função. A função F depois de manipulada com o recurso as leis de Morgan apresenta a seguinte expressão: $\bar{F} = XY(Z + \bar{Z}) + YZ(X + \bar{X}) + X'Y'Z'$, que corresponde a expressão F na forma canónica de um somatório de mintermos. O próximo passo a realizar é a obtenção da estrutura MCML, como a expressão F é definida por 3 variáveis de entrada e seus respectivos complementos, a estrutura MCML de F apresenta 3 estágios diferenciais. O próximo passo consiste na atribuição das variáveis de entrada a cada par diferencial, esta atribuição obedece as regras definidas anteriormente. A Figura 3.8 representa a função F em MCML através do método diferencial e simétrico.

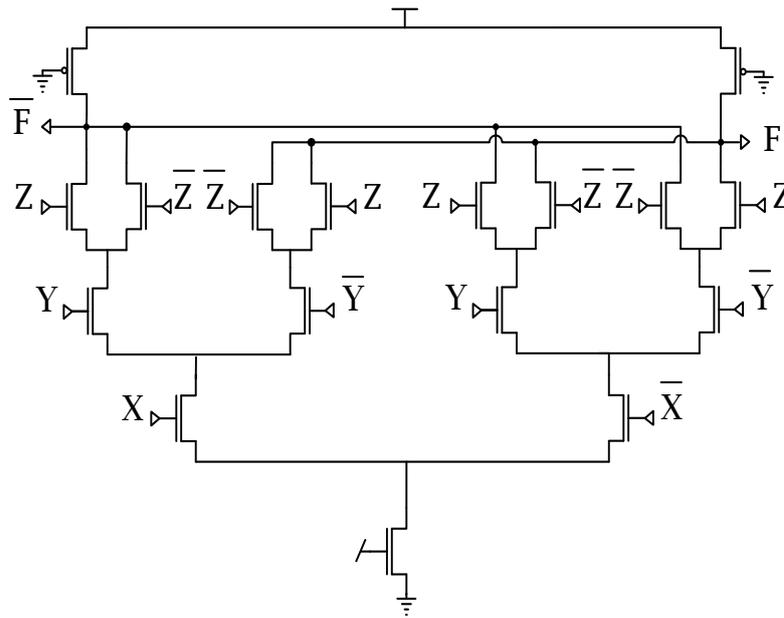


Figura 3.8 - Função F através do Método Diferencial e Simétrico

3.1.3 Estrutura Não Diferencial

Este método é ligeiramente diferente dos outros, pois não exige uma estrutura diferencial. Contudo, como é uma forma alternativa de implementar funções em modo corrente, considerou-se relevante expor a sua metodologia.

Deste modo, a realização deste método consiste na implementação de dois 'PDN', complementares entre si, um para cada saída pretendida, Figura 3.9. Apenas é exigida a inclusão de todas as variáveis e seus complementos na construção dos PDN. A regra para implementar a função em cada ramo é a regra de AND série e OR Paralelo.

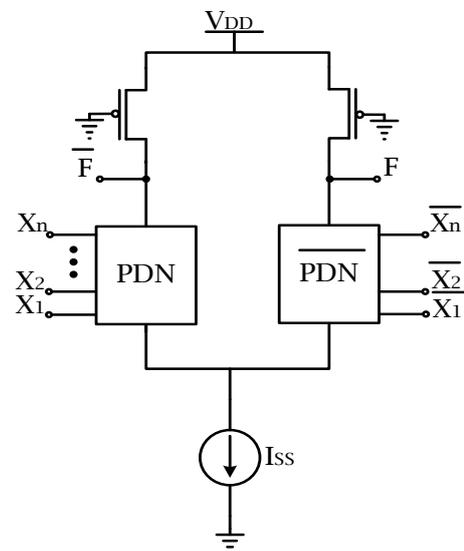


Figura 3.9 - Estrutura Não Diferencial

Como nos casos anteriores, iremos implementar a função $F = XY + YZ + X'Y'Z'$ através do método END. Para implementar este método apenas têm que se ter presente as regras de construção de PDN's e não se pode omitir nenhuma variável nem complemento. Mas tal como no caso do método EDS é necessário ter a expressão F na sua forma canónica do somatório de mintermos, ou seja, $\bar{F} = XY(Z + \bar{Z}) + YZ(X + \bar{X}) + X'Y'Z'$.

A Figura 3.10, representa a função F em modo de corrente mas numa estrutura não diferencial.

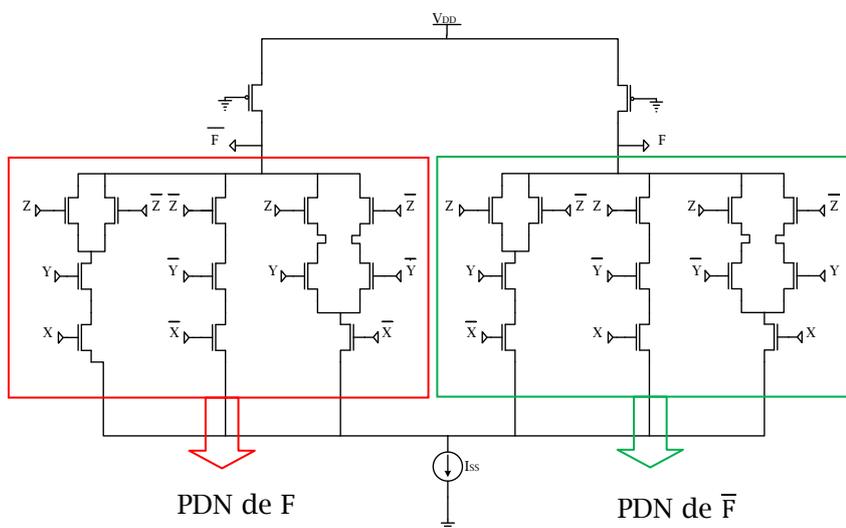


Figura 3.10 - Função F através do Método Não Diferencial

3.1.4 Análise comparativa dos métodos

Conhecidos os diferentes métodos para implementação de portas em modo de corrente, efectua-se uma comparação sobre os principais aspectos de cada um. O primeiro método (Método BDD) apresenta a sua principal vantagem ao nível dos custos e facilidades de implementação, pelo facto de disponibilizar a função na sua forma otimizada. Deste modo, não é necessário efectuar simplificações posteriores ao modelo. Para além desta vantagem, neste método a atribuição das variáveis de entrada é trivial, enquanto no método simétrico exige-se uma manipulação das variáveis. Devido à apresentação da função na sua forma mais otimizada o custo de implementação através dos diagramas de decisão é menor em relação aos restantes métodos, devido à utilização de menos transístores.

O diagrama de decisão binária, devido à optimização, origina, para determinadas funções uma topologia assimétrica, que apresenta alguns problemas [27]. Estes problemas estão directamente relacionados com incompatibilidade nos tempos de propagação entre as duas saídas diferenciais e também causa diferentes níveis de tensão DC. Devido à incompatibilidade entre os tempos de propagação, para altas frequências existe um desfasamento entre os sinais diferenciais, originado um funcionamento menos preciso da função lógica. Por definição sinais diferenciais devem estar desfasados entre si exactamente por 180 graus, pelo que se este ângulo não se preservar, o processamento de sinal não será o mais correcto. Estas são as principais desvantagens do BDD relativamente à estrutura diferencial e simétrica.

O terceiro método não foi considerado no estudo comparativo pelo facto deste não ser o mais adequado para a implementação de portas lógicas, uma vez que é um método não diferencial, e a área de silício ocupada ser maior através deste método do que os dos outros dois, devido ao factor de ter sempre todas as variáveis e seus complementos presentes.

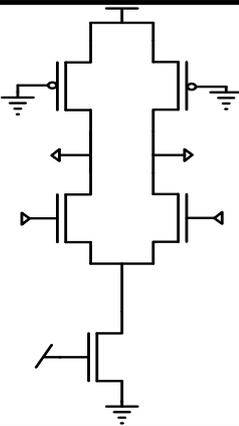
3.2 Funções Lógicas

Uma vez discutidos os métodos de implementação de funções lógicas em MCML, passamos à sua aplicação a alguns casos concretos. As portas implementadas neste estudo são as funções lógicas AND/NAND, OR/NOR, XOR/NXOR e MUX 2:1.

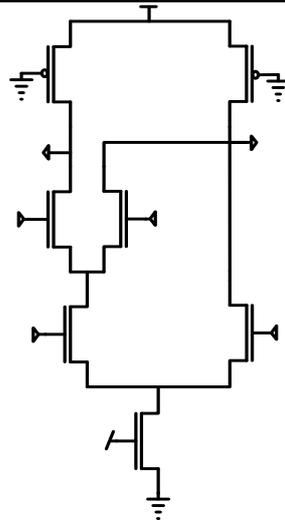
Será discutido com maior destaque à função lógica MUX 2:1, pelo facto da sua estrutura em MCML ser considerada universal. Esta função será implementada pelos três métodos referidos anteriormente, sendo explicado numa fase posterior o seu processo de funcionamento. Para as restantes funções não será efectuada uma exposição tão detalhada da sua implementação, dado que sua construção é análoga à porta MUX.

A principal vantagem na implementação de Portas lógicas MCML é a homogeneidade que existe entre as topologias, ou seja, é possível implementar todas as funções lógicas que apresentem o mesmo número de variáveis de entrada através de uma única estrutura previamente definida. Para tal, existe apenas a necessidade de manipular as variáveis de entrada e saída de modo a obter da função pretendida. Como consequência todas as funções que apresentem a mesma topologia terão o mesmo tamanho (área), o mesmo atraso, potência, etc.

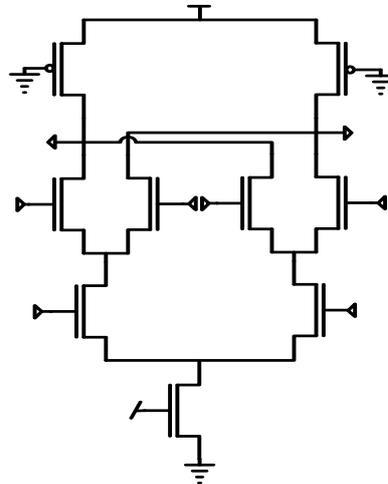
Alguns exemplos de portas lógicas que podem ser implementadas através da mesma topologia encontram-se expostos na Tabela 3.1.

Principais Funções	Topologias
<p>Inversor Buffer</p>	

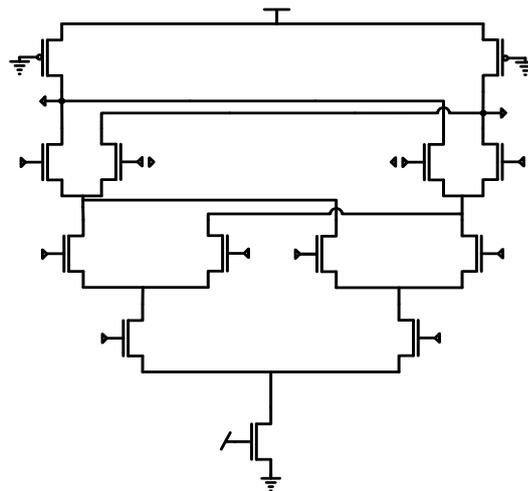
2-AND/NAND
2-OR/NOR



2-AND/NAND
2-OR/NOR
2-XOR/NXOR
2-1 MUX
D-Latch



3-AND/NAND
3-OR/NOR
3-XOR/NXOR
3-AND-OR
3-OR-AND



4:1 MUX
SR-Latch
D-Latch com SET/RESET

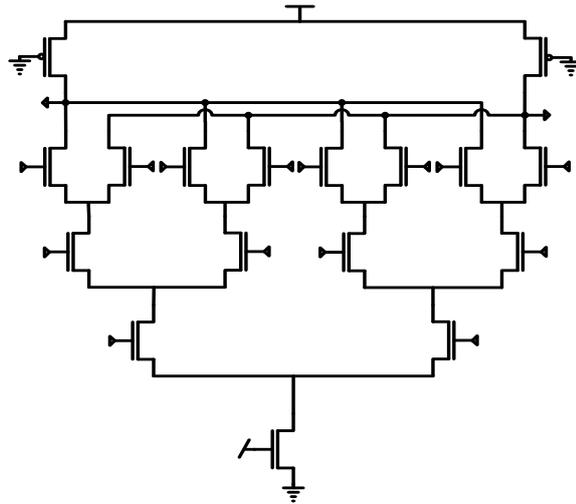


Tabela 3.1- Topologias e algumas funções MCML

3.2.1 Porta MUX 2:1

A porta MUX 2:1 é considerada, para alguns autores, a porta universal em MCML [26], mediante isto vai-se implementar a porta MUX 2:1 de uma forma mais detalhada através dos três métodos descritos acima. As restantes funções lógicas devido a sua implementação ser análoga a esta, vai-se apenas apresentar as suas topologias.

1) Diagrama de Decisão Binária

A aplicação deste método processa-se, como vimos, segundo os seguintes passos:

- 1º Construir a tabela da verdade;
- 2ª Elaborar o Diagrama de Decisão Binária;
- 3ª Converter o BDD para uma estrutura MCML.

Na Figura 3.11 podemos encontrar a tabela da verdade da função MUX 2:1 e o seu respectivo diagrama de decisão binária.

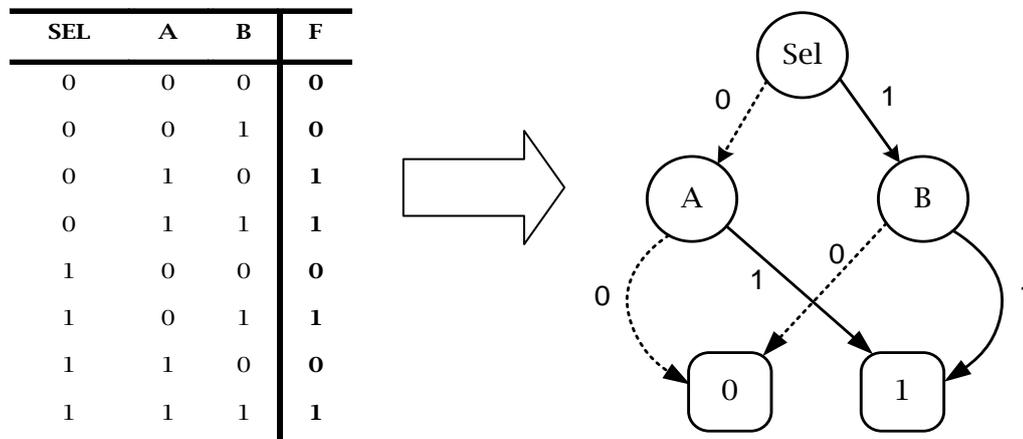


Figura 3.11 - Tabela da Verdade e BDD da Função MUX 2:1

Como o Diagrama já se encontra otimizado, podemos convertê-lo directamente para uma topologia MCML através das regras previamente definidas. O esquema da Figura 3.12, representa a porta MUX 2:1 em MCML.

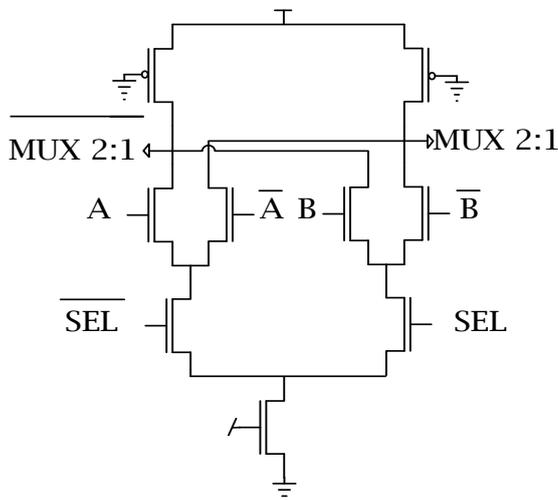


Figura 3.12 - Equivalente MCML do BDD do MUX 2:1

2) Estrutura Diferencial e Simétrica

Este método consiste na definição de uma estrutura diferencial e simétrica, seguida da atribuição das variáveis de entrada a cada par diferencial, no intuito de obter a função lógica pretendida à saída. A função MUX 2:1 é definida por $F = SEL.A + \overline{SEL}.B$, pelo que se exige dois estágios diferenciais, onde o estágio inferior é composto por um par diferencial, sendo a variável de entrada desse par diferencial o sinal SEL, e o estágio superior por dois pares diferenciais com entradas A e B, respectivamente. Normalmente, cada variável de entrada é atribuída a um estágio, com a excepção da porta MUX 2:1, devido ao seu modo de operação. A estrutura da função lógica MUX 2:1, através deste método é a mesma que a do método do BDD, representada na Figura 3.12, pelo que se verifica a universalidade da função lógica MUX, dada a obtenção da mesma topologia independentemente do método utilizado.

3) Estrutura Não Diferencial

Além dos métodos diferenciais explorados, a função lógica MUX pode ser implementada através de um método Não Diferencial. Este método permite implementar directamente as funções pretendidas nos 'PDN's'. Para tal, pretendemos obter $F = SEL.A + \overline{SEL}.B$ e

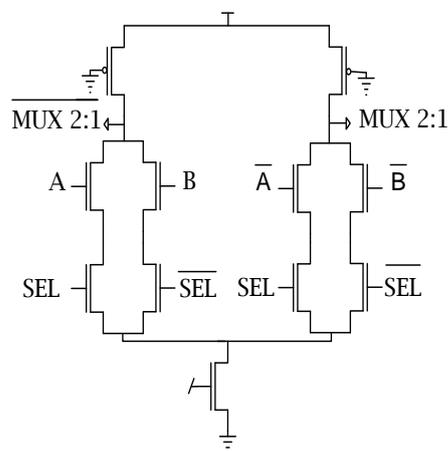


Figura 3.13 - MUX 2:1 - Estrutura Não Diferencial

$\overline{F} = \overline{SEL.A + \overline{SEL}.B}$. Para implementação deste método é necessário ter em atenção que todas as variáveis e seus respectivos complementos devem estar presentes na estruturação dos PDN's. A Figura 3.13 representa a função MUX 2:1 e o seu complementar em modo de corrente numa estrutura Não Diferencial.

3.2.2 Porta AND/NAND

Assim, de acordo com os métodos existentes para implementação de funções lógicas MCML a porta AND/NAND pode ter as seguintes representações, Figura 3.14.

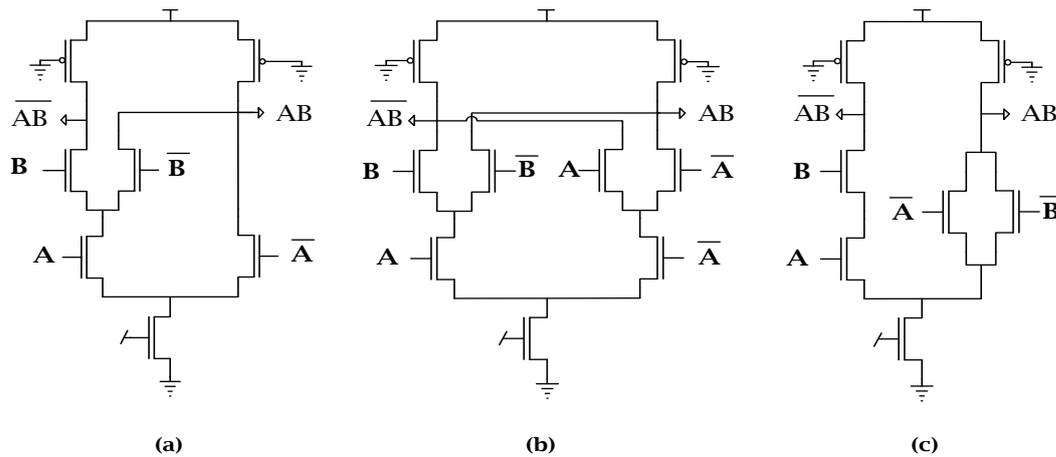


Figura 3.14 - Função AND/NAND:
 (a) Método Diagrama Decisão Binária, (b) Método Simétrico e Diferencial (c) Método Não Diferencial

3.2.3 Porta OR/NOR

Tal como a função lógica AND/NAND a função OR/NOR também pode ser representada de três formas distintas, cada uma de acordo com método de implementação escolhido para a construção da respectiva função. As diferentes topologias desta função estão representadas na Figura 3.15.

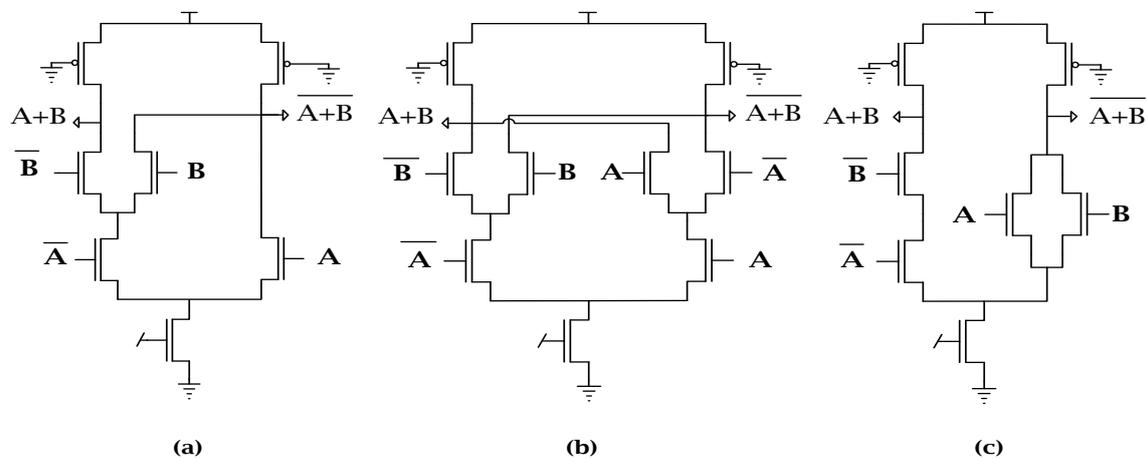


Figura 3.15 - Função OR/NOR:
 (a) Método Diagrama Decisão Binária, (b) Método Simétrico e Diferencial (c) Método Não Diferencial

3.2.4 Porta XOR/NXOR

A porta XOR/NXOR, tal como a porta MUX2:1, também pode ser considerada universal, devido ao facto de a sua implementação ser independente do método escolhido (omitindo o método não diferencial), pois ambos os métodos vão apresentar exactamente a mesma topologia, como se encontra representado na Figura 3.16.

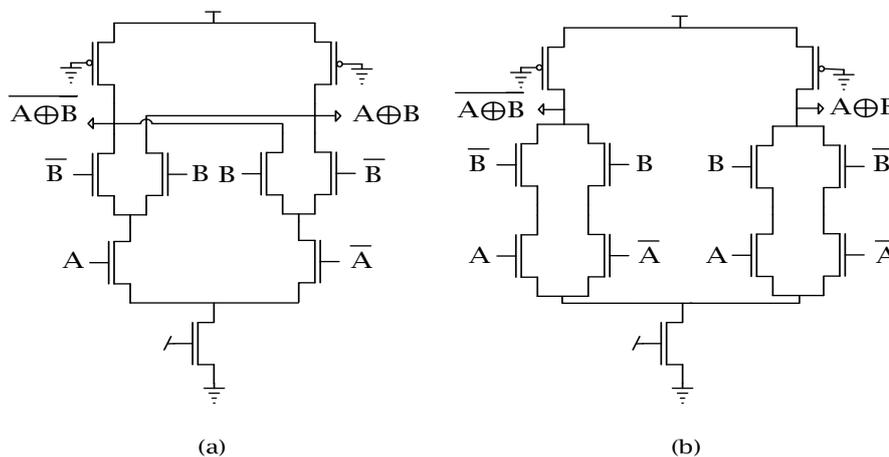


Figura 3.16 - Função XOR/NXOR:
 (a) Método Diagrama Decisão Binária/ Método Simétrico e Diferencial (c) Método Não Diferencial

3.2.5 Latch-D

O elemento básico utilizado para armazenamento de dados em MCML é a Latch-D, representada na Figura 3.17. A Latch-D possui duas entradas (D e CLK) e duas saídas (Q e \bar{Q}). A principal características funcional de uma Latch-D é que o valor lógico da entrada de dados D é transferido para a saída Q toda vez que o $CLK = 1$; Se $CLK = 0$, mantém o mesmo estado.

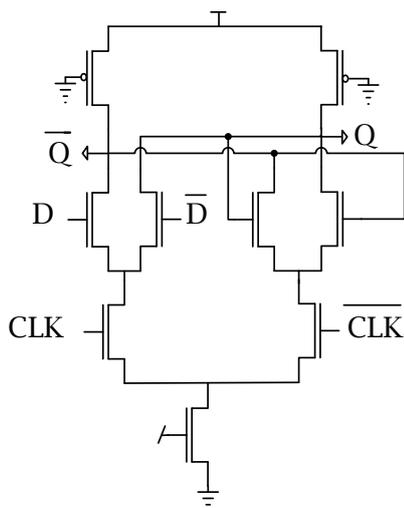


Figura 3.17 - Latch-D em MCML

3.2.6 Porta XOR-3/NXOR-3

Apesar da implementação da porta XOR-3 ser idêntica a porta XOR-2 é apropriado fazer uma breve referência a esta função lógica, pois tal como a sua homônima XOR-2 pode ser considerada uma topologia universal para funções lógicas com dois estágios diferenciais, a topologia da função lógica XOR-3 representada na Figura 3.18 é vista como a topologia universal para portas MCML com três estágios diferenciais.

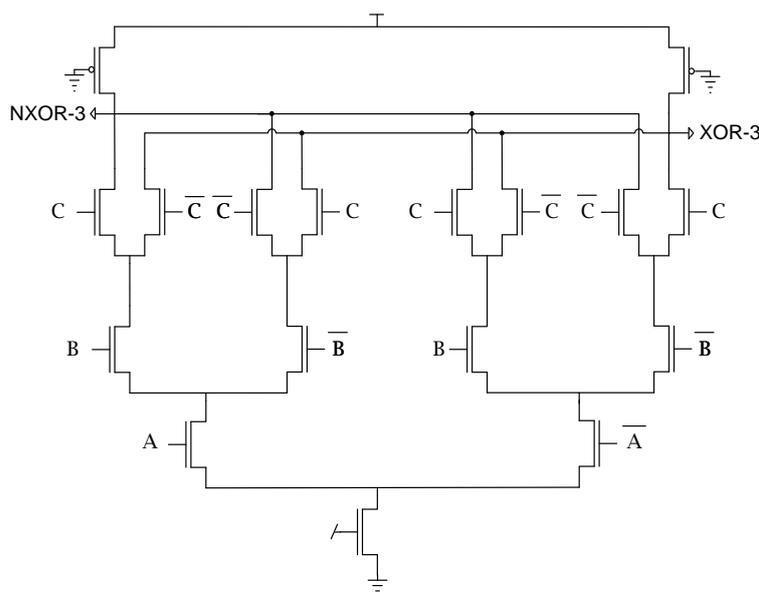


Figura 3.18 - XOR-3/NXOR3 em MCML

3.3 Conclusão

Ao longo deste capítulo foram apresentados os pressupostos considerados relevantes para a melhor compreensão dos métodos de implementação de Portas lógicas em modo de corrente. Através dos diferentes métodos foi possível constatar que existe uma relativa homogeneidade entre as topologias, tendo como consequência, todas as funções terão o mesmo tamanho, o mesmo atraso, potência, entre outras.

Concluiu-se ainda a que existe uma necessidade de preservar o funcionamento DC e as suas propriedades transitórias, sendo, para tal, recomendado, que se reduza o número de estágios do pull down network, e que se implemente apenas funções lógicas com três estágios.

Capítulo 4

Caracterização das Portas Lógicas MCML

O rápido desenvolvimento das tecnologias CMOS tem vindo a causar inúmeros problemas aos projectistas de circuitos digitais. Ao mesmo tempo, tem criado a necessidade de uma melhor avaliação das tendências tecnológicas, proporcionando desafios ao nível do desempenho de circuitos que apenas podem ser estudados mediante a utilização de avançadas ferramentas de CAD (Computer Aided Design). Neste capítulo, numa primeira é descrito todo o trabalho de desenvolvimento das portas lógicas utilizando o ambiente integrado da ferramenta Cadence DFII. São ainda apresentadas as opções tomadas ao longo do trabalho, sendo depois efectuado uma caracterização das portas lógicas implementadas avaliando as seguintes métricas: Potência Dissipada, Excursão de Sinal e Atrasos de Propagação. Para concluir este capítulo passou-se ao desenho do layout das portas lógicas simuladas.

4.1 Processo de circuitos integrados

Sucintamente, diagrama da Figura 4.1 oferece uma visão simplificada da metodologia e a sequência de etapas para o desenvolvimento das portas lógicas [31] [32]. A criação de cada porta lógica passa por duas fases principais: sendo a primeira o desenho esquema eléctrico e posteriormente a implementação do layout. O projectista é responsável por todos estes passos excepto a fabricação.

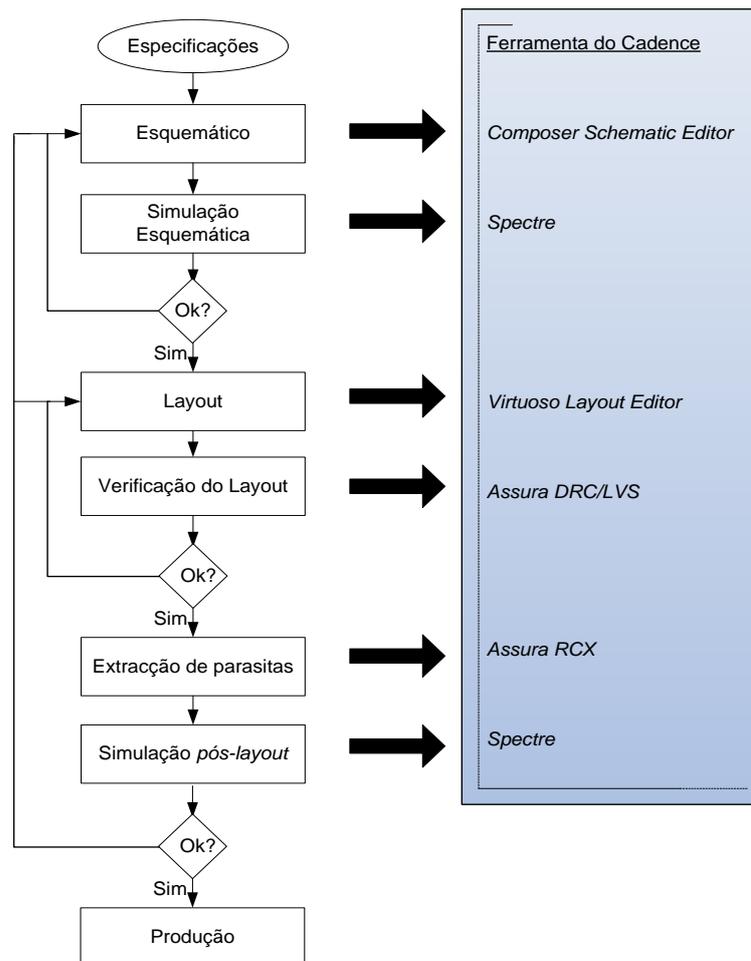


Figura 4.1 - Diagrama para a criação de circuitos integrados

Primeiramente, uma extensa caracterização da tecnologia a ser usada deve ser feita, onde os parâmetros que descrevem as características particulares dos dispositivos são obtidos. Para isto é necessário um estudo extenso sobre o modelo do transistor MOS, assim como o conhecimento de sua tecnologia.

A partir desta caracterização e das especificações requeridas para o circuito é realizado um estudo e análise do mesmo, a fim de se obter a dimensão dos transistores.

Os circuitos preliminares, muitas vezes denominados por esquemas eléctricos são baseados em modelos simples dos dispositivos ou sub-circuitos. A criação do esquema eléctrico é obtida, utilizando o Composer Schematic Editor. De seguida passa-se à simulação do circuito esquema eléctrico, a qual é efectuada através de uma simulação computacional, que utiliza modelos mais precisos para verificar a eficiência do circuito. Para este fim, é utilizado o simulador Spectre, o qual, para além da simulação, permite extrair a netlist do circuito. Bons modelos para os diversos componentes (transistores, resistências, condensadores, etc.) são cruciais. Um modelo é considerado de boa

qualidade se conseguir prever eficazmente o desempenho do circuito após a sua fabricação. Além disso, deve ser suficientemente simples para evitar um tempo excessivo na sua simulação computadorizada. Um tempo considerável é sempre investido nesta fase da simulação do circuito esquema eléctrico.

Quando o desempenho desejado é atingido, é feita a sua descrição geométrica (layout). A criação do layout é conseguida através da ferramenta Virtuoso Layout Editor. Depois do layout completo, é indispensável uma nova simulação. Esta verificação, divide-se em três fases, DRC (Design Rule Check), Extracção de parâmetros e LVS (Layout Vs. Schematic).

Depois de todos estes passos, se os resultados forem satisfatórios, o circuito está pronto para fabricação. Senão, uma nova iteração do projecto deve ser realizada.

Outra importante consideração no projecto de circuitos CMOS diz respeito às técnicas de layout. Para a implementação do layout de blocos básicos analógicos (presentes na maioria dos circuitos), como par diferencial e espelho de corrente, é necessário o uso de técnicas especiais. Por exemplo, para se obter bom emparelhamento no par diferencial, uma solução é a construção do layout com um centróide comum, o que o torna menos sensível a variações de processo da tecnologia. O mesmo vale para os espelhos de corrente.

4.2 Parâmetros de Desenho

O objectivo principal deste capítulo consiste na descrição e análise do desempenho de portas lógicas MCML em função de uma série de parâmetros de desenho. Esses parâmetros encontram-se definidos na Tabela 4.1.

Parâmetro	Descrição
V_{DD}	Tensão de Alimentação
ΔV	Excursão do sinal de entrada e saída
I_{SS}	Corrente de Polarização
W_A, L_A	Comprimento e Largura dos transístores do 1º estágio do PDN
W_B, L_B	Comprimento e Largura dos transístores do 2º estágio do PDN
W_C, L_C	Comprimento e Largura dos transístores do 3º estágio do PDN
W_P, L_P	Comprimento e Largura dos transístores PMOS de carga
W_N, L_N	Comprimento e Largura dos transístores NMOS da fonte de corrente

C_L	Capacidade de saída
-------	---------------------

Tabela 4.1- Parâmetros de Desenho

Ao longo de todo o trabalho, a tecnologia utilizada, a tecnologia CMOS de 350 nm da AMS (Austria Microsystems). Esta tecnologia possibilita a utilização de transístores com as dimensões mínimas de $W_{min} = 0.40 \mu m$ e $L_{min} = 0.35 \mu m$. Os transístores desta tecnologia suportam uma tensão de alimentação de 3.3V.

Nesta dissertação adoptou-se um conjunto de especificações para os parâmetros referidos na Tabela 4.1, de modo a realizar as simulações apresentadas neste capítulo. OS valores especificados na Tabela 4.2, correspondem aos valores típicos encontrados na literatura [17] [33] [22] [34], sendo adoptados como referência nas simulações realizadas.

Parâmetro	Especificação
V_{DD}	2.5 V
ΔV	$200mV < \Delta V < 300mV$
I_{SS}	$10\mu A \leq I_{SS} \leq 100\mu A$
W_A, W_B, W_C	$1.5\mu m$
L_A, L_B, L_C	$0.35\mu m$
W_P, W_N	$2.5\mu m$
L_P, L_N	$0.7\mu m$
C_L	10fF

Tabela 4.2 - Especificações dos parâmetros de desenho

4.3 Caracterização do Inversor

4.3.1 Tensão de Alimentação

A tensão de alimentação encontra-se limitada superiormente pelo limite que a tecnologia CMOS utilizada impõe, ou seja, nesta dissertação o valor máximo para a tensão de alimentação é de 3.3V. No entanto, é aconselhável diminuir a tensão de alimentação o máximo possível, de forma a reduzir a potência dissipada. Pois, em MCML a potência dissipada varia com a tensão de alimentação.

No entanto, é preciso ter atenção para não reduzir em demasiado a tensão de alimentação, porque ao reduzir em excesso V_{DD} pode-se alterar a região de funcionamento dos transístores NMOS na fonte de corrente, provocando uma degradação na razão de corrente, no espelho de corrente, e como consequência desta degradação a corrente de polarização irá diminuir.

De modo a demonstrar os efeitos da tensão de alimentação é necessário fixar os restantes parâmetros presentes na Tabela 4.2. A Figura 4.2 mostra o efeito de V_{DD} em função da potência e razão de correntes do inversor MCML para uma corrente de $20\mu A$, uma capacidade de $10fF$ à saída e transístores com as seguintes dimensões: $W_p = 2.5\mu m$, $L_p = 0.7\mu m$; $W_n = 2.5\mu m$, $L_n = 0.7\mu m$; $W_A = 1.5\mu m$, $L_A = 0.35\mu m$.

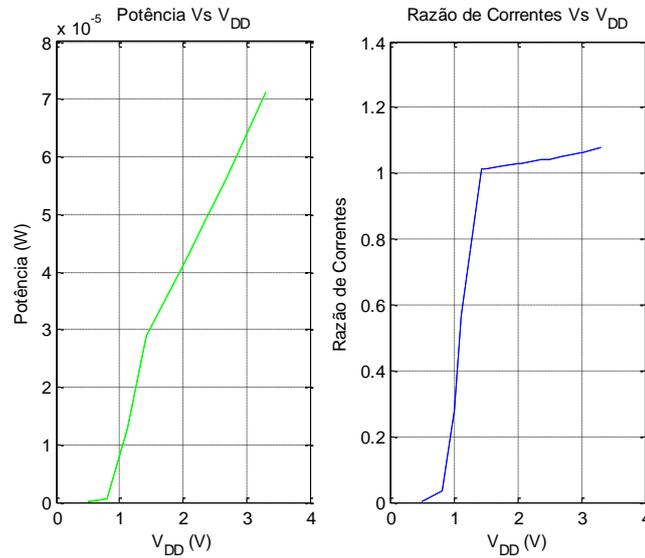


Figura 4.2 - Caracterização de V_{DD}

Através da Figura 4.2 (lado esquerdo) observa-se que a potência varia linearmente com a tensão de alimentação para uma corrente constante ($20\mu A$). No entanto, verifica-se que a partir de um dado V_{DD} (1.6V) a potência consumida apresenta uma variação diferente. Essa diferença é justificada pela diminuição da corrente de polarização, pois ao diminuir a tensão de alimentação abaixo do limiar (1.6V), Figura 4.2 (lado direito), a razão de correntes diminui, sendo inferior a 1, ou seja a corrente de referência nunca vai ser igual à corrente de polarização, originando a diminuição da potência dissipada.

4.3.2 Corrente de Polarização

A corrente de polarização, I_{SS} , é o parâmetro de desenho que mais influência têm em portas lógicas MCML, devido ao facto de ser o parâmetro com mais relevo para avaliação do desempenho. Neste ponto, vamos avaliar três métricas consideradas fundamentais para avaliar o desempenho de circuitos MCML em função da corrente de polarização. Essas métricas são as seguintes: Tempo de propagação, Potência dissipada, e a Excursão do sinal (voltage Swing)

Potência dissipada

Como foi referido no capítulo 2, a potência dissipada é expressa por $P = VI$. Na realização deste estudo manteve-se o valor da tensão de alimentação em 2.5V e variámos

a corrente de acordo com o estipulado na Tabela 4.2. Como podemos verificar, a potência dissipada aumenta linearmente com o aumento da corrente de polarização. No entanto, confrontando estes valores com os valores teóricos observa-se um ténue desfasamento entre o valor teórico e o prático. O motivo dessa divergência está relacionado com a razão de correntes como podemos observar através da Figura 4.2 que encontra-se ligeiramente superior a 1. Desse modo, a corrente I_{SS} prática é ligeiramente superior à corrente I_{SS} teórica, fazendo com que o valor da potência dissipada prática seja superior ao valor teórico.

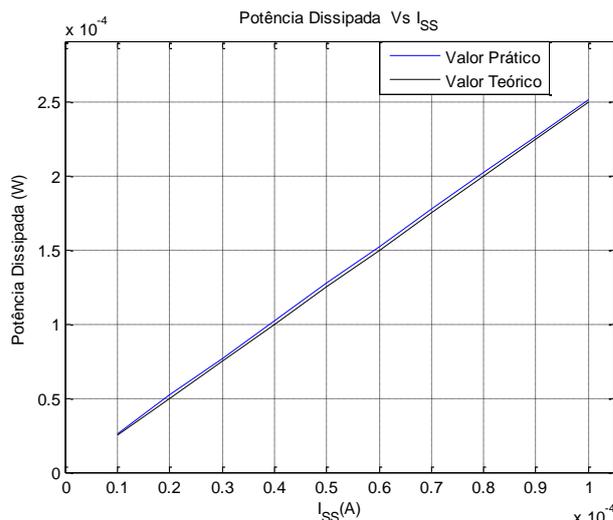


Figura 4.3 - Caracterização da Potência Dissipada em função de I_{SS} .

Excursão do Sinal (VSwing)

A excursão de sinal é uma métrica que nos permite avaliar a velocidade de processamento em circuitos digitais, e quanto menor for esta métrica mais rápido se torna o circuito. Ao contrário da lógica CMOS convencional em que a excursão de sinal geralmente é elevada (GND a V_{DD}), em MCML é relativamente baixa (normalmente inferior a 1V) reduzindo assim os tempos necessários para a carga/descarga das capacidades de carga. A Figura 4.4, ilustra a variação da excursão do sinal em função da corrente, e como podemos verificar esta métrica aumenta linearmente com o aumento da corrente, como é desejado, pois esta métrica é expressa pela seguinte equação: $V_{swing} = 2R_D I_{SS}$. Verifica-se também nesta métrica uma discordância entre valores práticos e teóricos. Esta diferença pode resultar de que na verdade o que acontece para o modelo admitido para os transístores $I_D = K(V_{GS} - V_t)^2$ pode na realidade ser algo incorrecto, ou porque o transístor pode não estar realmente na saturação mas um misto de saturado e linear.

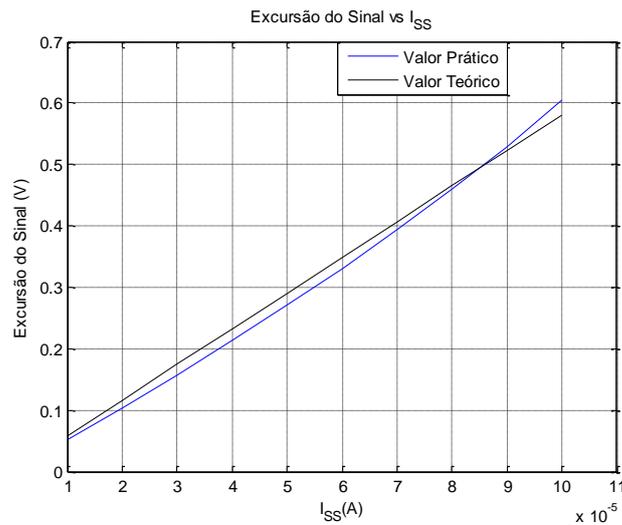


Figura 4.4 - Caracterização da excursão do sinal em função de I_{SS}

Tempos de Propagação

O desempenho dinâmico de uma certa família de circuitos lógicos é caracterizado pelo atraso de propagação do seu inversor lógico. A Figura 4.5 ilustra de atraso de high para low (tp_{HL}) e de low para high (tp_{LH}), tal como o tempo de propagação (t_d).

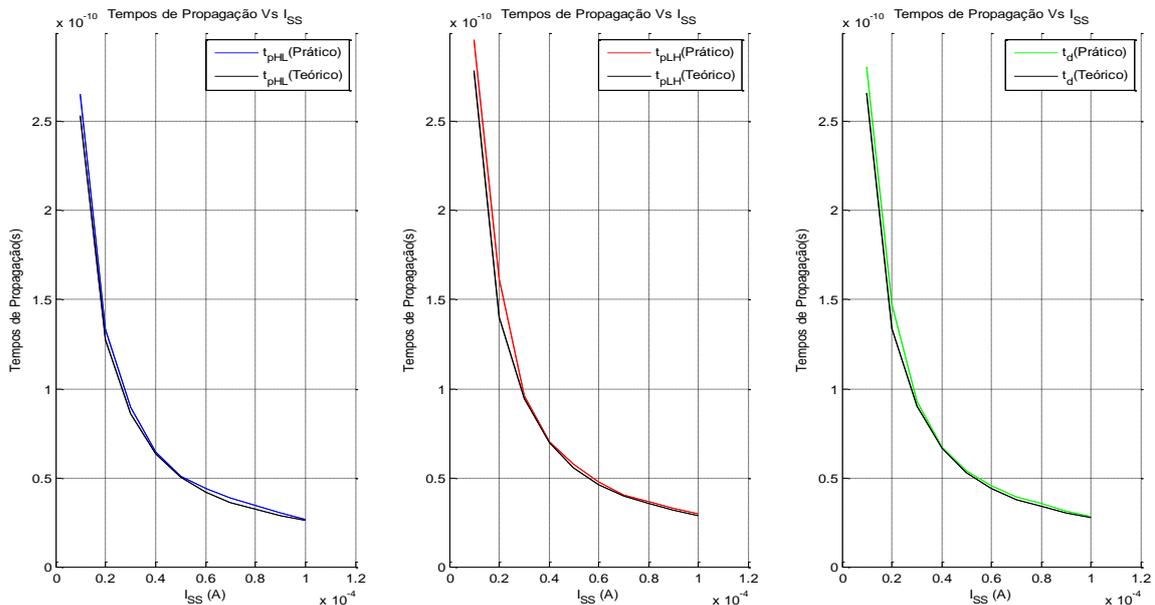


Figura 4.5 - Caracterização do tempo de atraso em função de I_{SS}

Através das expressões para os tempos de propagação, mencionadas no capítulo 2, podemos concluir que para as condições definidas para a simulação o tempo de propagação irá diminuir com o aumento da corrente. No entanto, com o aumento da corrente a capacidade de carga começa a carregar/descarregar cada vez mais rápido, tornando o tempo de propagação quase constante, a Figura 4.5 apresenta o

comportamento típico para os tempos de propagação para portas lógicas MCML. Podemos deste modo afirmar que o comportamento dinâmico do inversor MCML pode aproximar-se por uma carga/descarga de um comportamento exponencial.

4.3.3 Dimensão dos transístores do PDN

Os transístores NMOS do PDN devem apresentar todos a mesma dimensão de modo a ter os transístores dos pares diferenciais emparelhados. É também de conhecimento geral que para obter uma maior velocidade de operação os transístores devem apresentar um tamanho mínimo possível, minimizando deste modo a área ocupada. Tendo em consideração este factor adoptou-se as seguintes dimensões para os transístores NMOS, $L = 0.35\mu\text{m}$ e $W = 1.5\mu\text{m}$.

Este dimensionamento ($W_A, L_A; W_B, L_B; W_C, L_C$), é o parâmetro com maior grau de liberdade de implementação, devido ao facto de este parâmetro não influenciar de forma significativa o cálculo da potência dissipada ou da excursão do sinal, como se pode verificar através da Figura 4.6. Este parâmetro, no entanto influencia a margem de ruído, pois como podemos observar Figura 4.6, o gráfico da excursão de sinal, verificamos que os valores de V_{IH} e V_{IL} divergem.

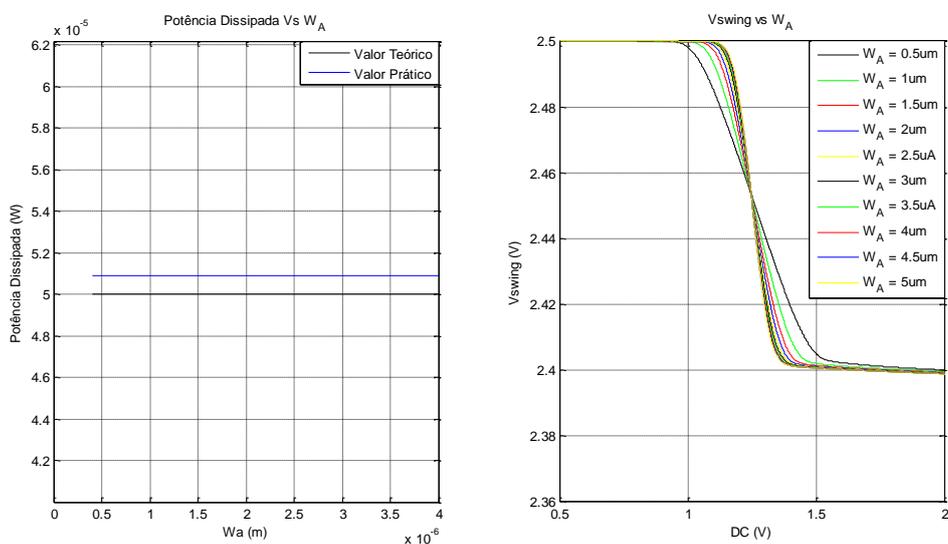


Figura 4.6 - Caracterização da Potência dissipada e Vswing em função de W_A

4.3.4 Dimensão dos transístores PMOS

O dimensionamento dos transístores PMOS de carga é um dos parâmetros mais difíceis de determinar pois o seu dimensionamento não afecta apenas a área, mas também outros parâmetros fundamentais na avaliação de Circuitos MCML. Por exemplo, o VSwing depende claramente deste parâmetro e se pretendemos ter VSwing constante

(como definido nesta dissertação) para uma dada gama de correntes, é necessário efectuar um ajuste constante deste parâmetro em função da corrente pretendida, de modo a obter o V_{swing} desejado.

O dimensionamento dos transístores PMOS também afecta a obtenção do tempo de propagação, pelo facto de ser um dos parâmetros principais no cálculo dos tempos de propagação. Uma vez que o aumento da relação W/L , que pode ocorrer através do aumento de W ou diminuição de L , faz com que a resistência de carga diminua, pelo que, o atraso de propagação irá diminuir conseqüentemente. Contudo ao aumentar W , aumentamos a área do CI e aumentamos também a capacidade da porta, o que provoca um aumento do atraso de propagação, contrariando o efeito anterior. Na avaliação da potência dissipada e do V_{swing} utilizamos W e L conforme a Tabela 4.2. No cálculo dos tempos de propagação a razão de W/L foi sempre ajustada, de modo a obter o V_{swing} relativamente constante, aproximadamente 250mV.

4.4 Comparação dos Métodos EDS e BDD

De modo a analisar o desempenho dos métodos EDS (Estrutura Diferencial e Simétrica) e BDD (Diagramas de Decisão Binária), implementou-se a função lógica AND/NAND. De seguida avaliou-se o desempenho da função lógica caracterizando as seguintes métricas: potência dissipada, excursão de sinal e tempos de propagação. Para todas as simulações efectuadas respeitou-se a especificações dos parâmetros presentes na Tabela 4.2, além disso convém referir que todas as simulações efectuadas foram sempre realizadas em função da corrente I_{SS} .

4.4.1 Diagrama de Decisão Binária

Ao implementar a porta lógica AND/NAND através deste método, verifica-se uma assimetria no PDN, como se pode observar através da Figura 4.7. Esta assimetria faz com que o valor da corrente seja diferente nas saídas do PDN, acarretando desta forma diferentes valores para a Potência dissipada Figura 4.8, a excursão de sinal Figura 4.8 e tempos de propagação Figura 4.9.

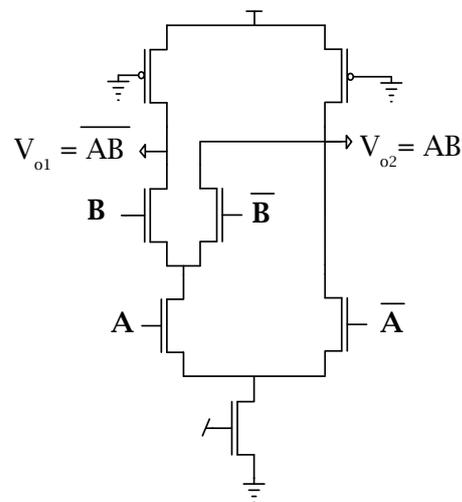


Figura 4.7 - Porta lógica AND/NAND pelo método BDD

Potência dissipada e Excursão do Sinal (VSwing)

Como podemos observar através das Figura 4.8, tanto a potência dissipada como a excursão de sinal apresentam valores diferentes para as saídas diferenciais. Esta diferença é devido assimetria existente no PDN, que origina diferentes valores de corrente nas saídas Vo1 e Vo2.

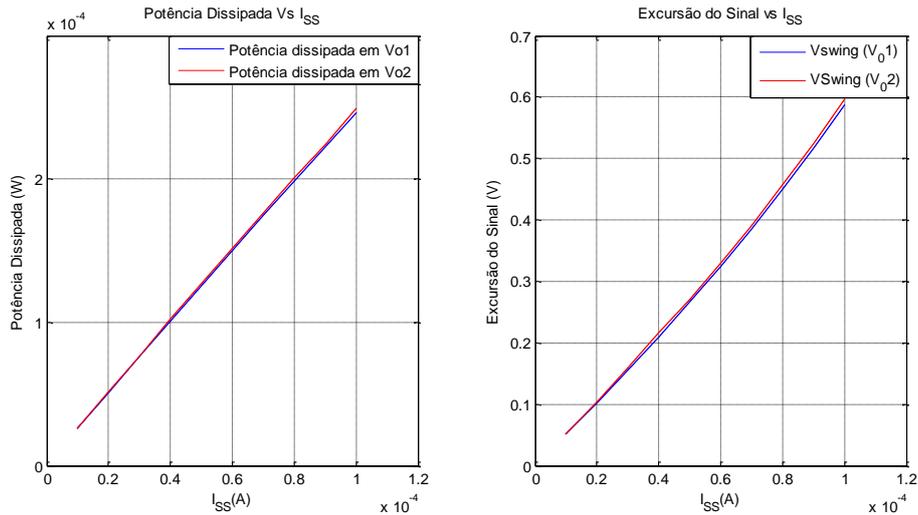


Figura 4.8 - Caracterização da Potência dissipada e Excursão de Sinal (Método do BDD)

Tempos de Propagação

A Figura 4.9 apresenta os tempos de propagação para o método BDD.

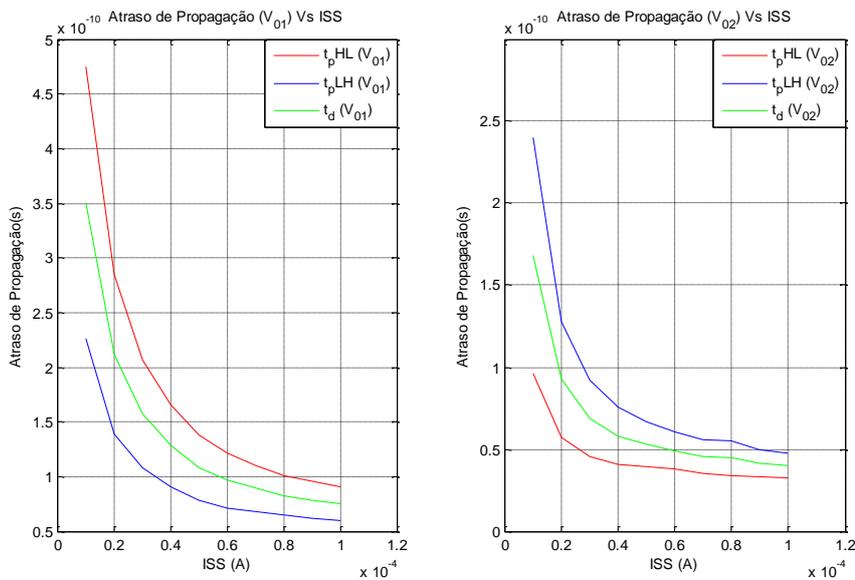


Figura 4.9 - Caracterização dos tempos de propagação (Método do BDD)

Conforme seria de esperar os tempos de propagação em cada uma das saídas diferenciadas também divergem, pois tal como nas métricas anteriores os tempos de propagação também são dependentes do valor da corrente. Como este método apresenta uma assimetria no PDN, originando diferentes valores de corrente, causando diferentes valores para os tempos de propagação.

4.4.1 Diferencial e Simétrico

Neste método, contrariamente ao caso anterior, podemos identificar uma estrutura simétrica no PDN, como se pode verificar através da Figura 4.10. De tal modo que a excursão de sinal, a potência dissipada e os tempos de propagação vão ser iguais em ambas as saídas. De forma a comprovar este argumento, efectuou-se a simulação da porta lógica AND através do método EDS avaliando as métricas referidas.

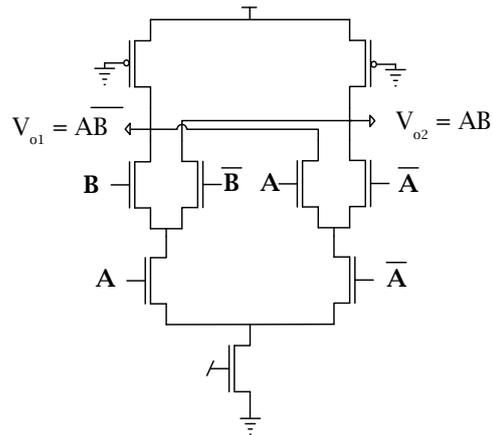


Figura 4.10 - Porta lógica AND/NAND pelo método EDS

Potência dissipada e Excursão de Sinal

A Figura 4.11 apresenta a variação da potência dissipada e a excursão de sinal da porta lógica AND/NAND representada na Figura 4.10.

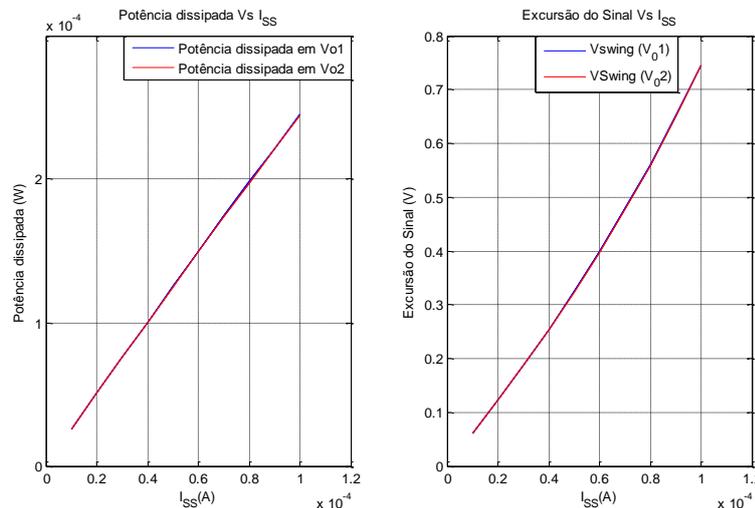


Figura 4.11 - Caracterização da Potência dissipada e Excursão de Sinal (Método da EDS)

Devido a estrutura simétrica do PDN a corrente I_{SS} que circula pelo PDN é igual em ambas as saídas (V_{o1}, V_{o2}). Deste modo, a potência dissipada vai ser idêntica em ambas as saídas. Relativamente, á excursão de sinal também apresentam valores semelhantes para ambas as saídas, pois a corrente que “atravessa” as resistências de carga é a mesma.

Tempos de Propagação

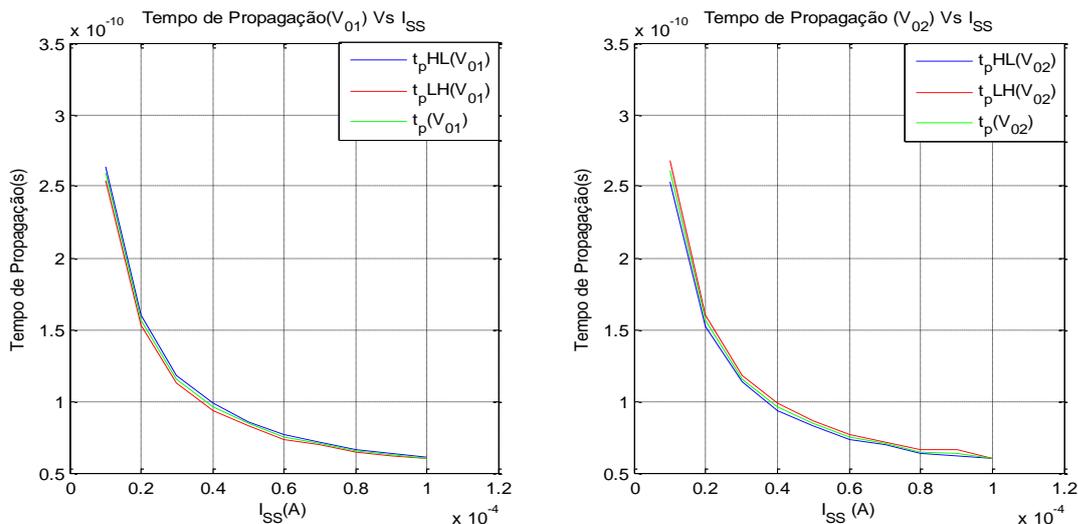


Figura 4.12 - Caracterização dos tempos de propagação (Método ESD)

Tal como nas métricas anteriores o valor da corrente que circula pelo PDN é igual, logo a tempo de carga/descarga das capacidades de carga são iguais. Assim, os tempos de propagação serão idênticos para ambas as saídas, conforme se pode verificar através da Figura 4.12.

4.5 Caracterização da porta OR, XOR-2 e MUX 2:1

Conforme foi exposto no capítulo 3, todas as portas lógicas que fossem implementadas recorrendo a mesma estrutura (topologia) e dimensionamento, apresentam os mesmos tempos de propagação, a potência dissipada, e a excursão de sinal. Por este motivo decidimos avaliar as seguintes portas Lógicas OR/NOR, AND/NAND, MUX 2:1 e XOR2 de modo a confirmar estes pressupostos. Os circuitos utilizados para realizar as simulações seguintes encontram-se representados na Figura 4.13.

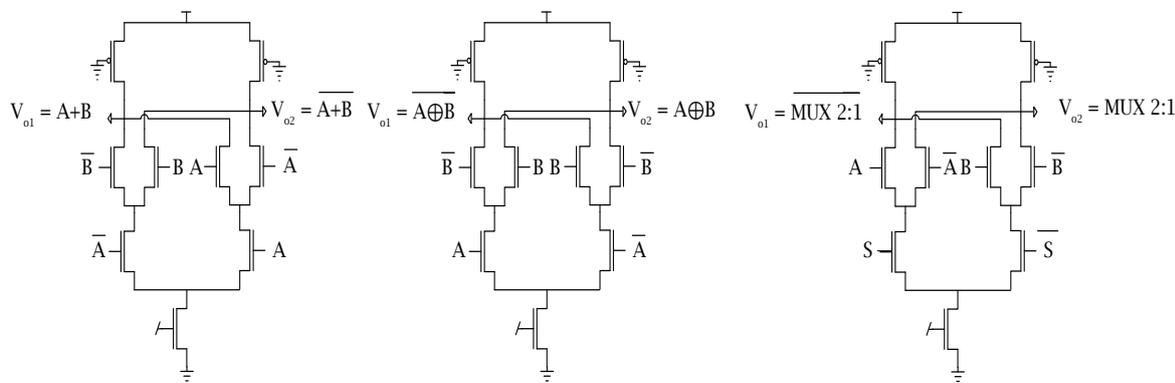


Figura 4.13 Portas Lógicas: OR, XOR-2 e MUX 2-1

Potência dissipada

Começando por analisar a potência dissipada em cada saída podemos verificar que cada função consome aproximadamente a mesma potência, o que é expectável tendo em conta que a corrente à saída do PDN é exactamente a mesma em ambas as saídas.

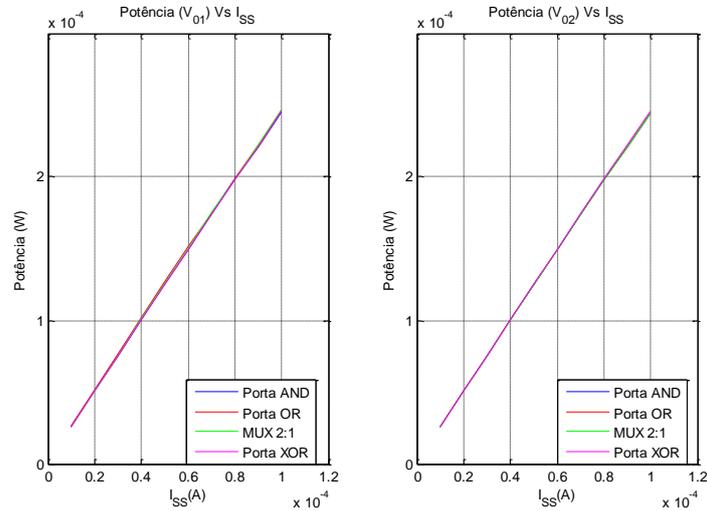


Figura 4.14 - Caracterização da Potência dissipada por portas lógicas de dois estágios diferenciais

Excursão do Sinal (VSwing)

Em relação a excursão de sinal conseguimos comprovar também que ambas as saídas apresentam a mesma excursão, tendo em conta a especificações do modelo simétrico do PDN.

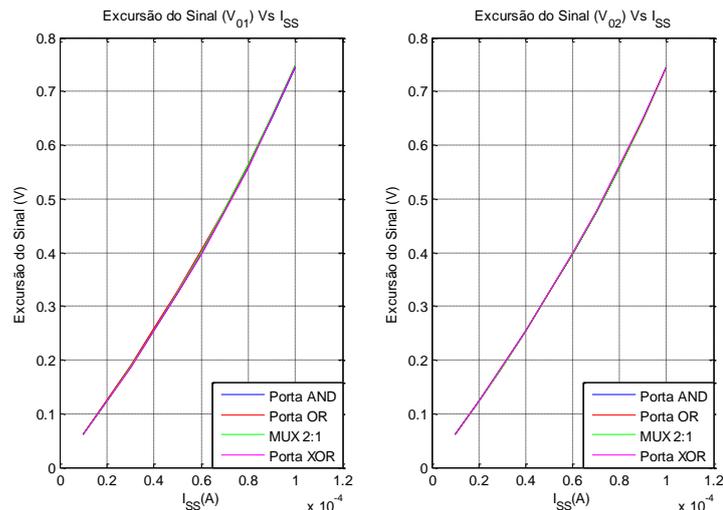


Figura 4.15 - Caracterização da Excursão do Sinal de portas lógicas de dois estágios diferenciais

Tempos de Propagação

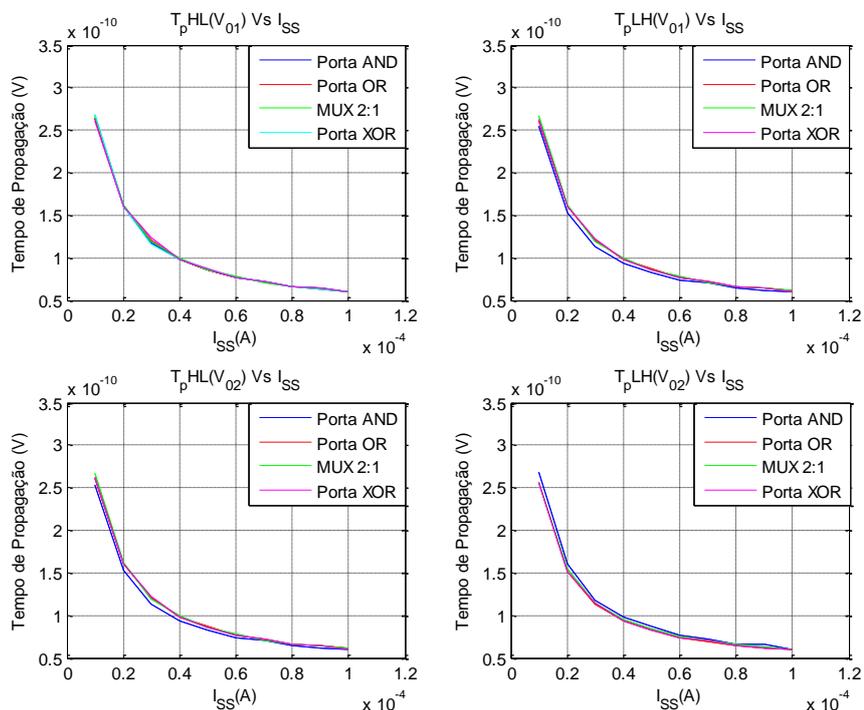


Figura 4.16 - Caracterização dos tempos de propagação de portas lógicas de dois estágios diferenciais

Depois de confirmar que tanto a potência dissipada como a excursão de sinal, apresentam os mesmos valores, independentemente da função lógica implementada, é ainda importante confirmar o desempenho dos tempos de propagação. Recorrendo a Figura 4.16 para observar o comportamento das diferentes portas lógicas em relação aos tempos de propagação, conclui-se que, para qualquer função lógica implementada com a mesma topologia, verificam-se os mesmos tempos de propagação para todas as portas lógicas.

4.6 Caracterização da porta XOR3

Para concluir a caracterização pré-layout de circuitos combinatórios ficou estabelecido que nesta dissertação apenas seriam implementadas portas lógicas que não necessitassem mais de três estágios diferenciais para serem implementadas. Deste modo, na caracterização pré-layout, procedemos à análise da porta lógica XOR-3, pelo facto da estrutura MCML que esta porta lógica apresenta, Figura 4.17, ser considerada universal para funções lógicas que exigem três estágios diferenciais. Da análise desta porta, identificamos qual o desempenho típico de todas as portas lógicas implementadas através desta estrutura MCML. De forma a caracterizar esta porta vamos avaliar o seu

desempenho relativamente à potência dissipada, excursão de sinal e tempos de propagação.

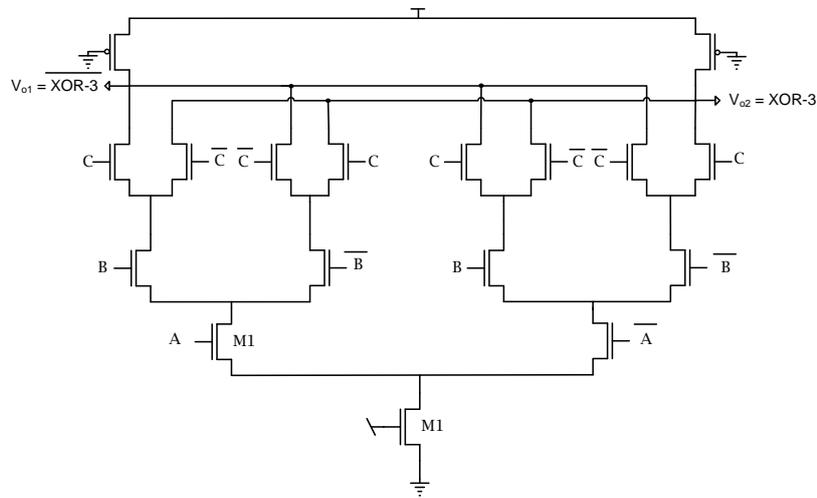


Figura 4.17 - Porta lógica XOR-3

Potência dissipada e Excursão do Sinal (V_{Swing})

A potência dissipada pela porta lógica XOR-3 é a mesma para ambas as saídas diferenciais, pois tal como a porta lógica XOR-2 esta também ostenta uma estrutura simétrica no PDN. A Figura 4.18. mostra-nos a variação da potência dissipada da porta lógica XOR-3 em função da corrente. Na avaliação da métrica da excursão de sinal é conhecida a sua dependência com a corrente do PDN. Como corrente I_{SS} que se obtêm nas saídas do PDN é a mesma, podemos afirmar que a excursão de sinal apresenta o mesmo valor para ambas as saídas diferenciais, como verificado na Figura 4.18, do lado direito.

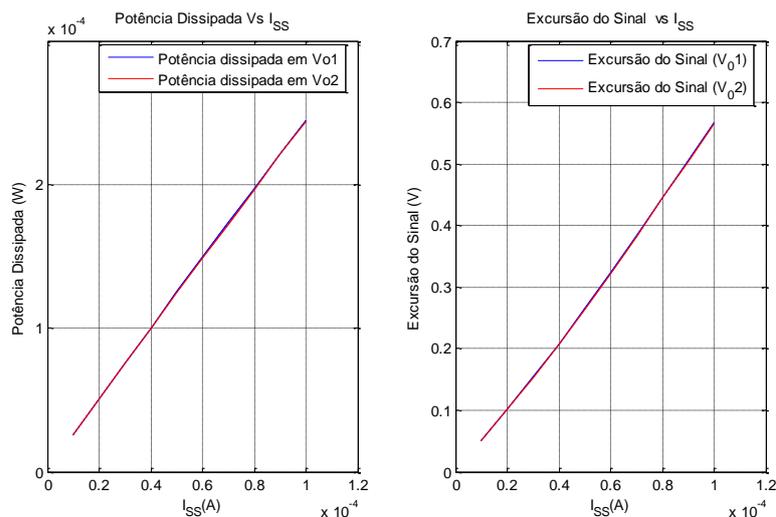


Figura 4.18 - Caracterização da Potência dissipada e excursão de sinal pela porta XOR-3

Tempos de Propagação

Em relação aos tempos de propagação e de encontro ao que foi referido anteriormente em relação as portas simétricas, a porta XOR-3 também apresenta tempos de propagação idênticos em ambas as saídas. Na Figura 4.19 podemos verificar o comportamento exponencial que define o comportamento dinâmico das portas MCML.

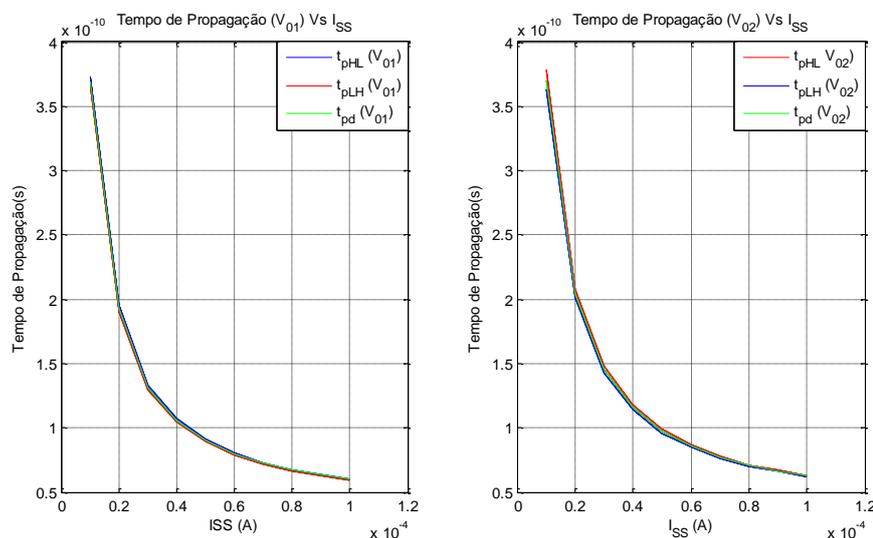


Figura 4.19 - Caracterização dos tempos de propagação da porta XOR-3

4.7 Caracterização da Latch-D

Os circuitos lógicos considerados ate este momento são chamados circuitos combinatórios, pois a saída depende apenas do valor presente na entrada. Portanto, esses circuitos não possuem memória, ou seja, não são capazes de armazenar dados.

Desta forma, para terminar análise prática de circuito MCML abordou-se os circuitos lógicos sequenciais, ou seja, circuitos que possuem memória. Neste género de circuitos a saída não depende apenas do valor presente na entrada mas também de valores prévios da entrada.

Para efectuar a caracterização de um circuito sequencial a escolha recaiu na Latch-D representada na Figura 4.20. Tal como, nas simulações anteriores iremos neste caso caracterizar as mesmas métricas (a potência dissipada, a excursão de sinal e os tempos de propagação) para verificar o desempenho deste tipo de circuitos.

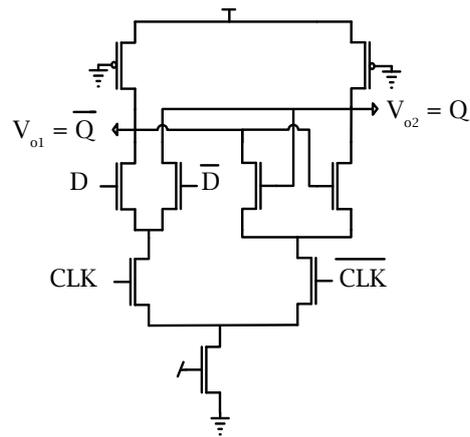


Figura 4.20 - Latch-D

Potência dissipada e Excursão de Sinal

A Figura 4.21 apresenta a variação da potência dissipada e a excursão de sinal da função lógica Latch-D representada na Figura 4.20 em função de corrente de polarização I_{SS} .

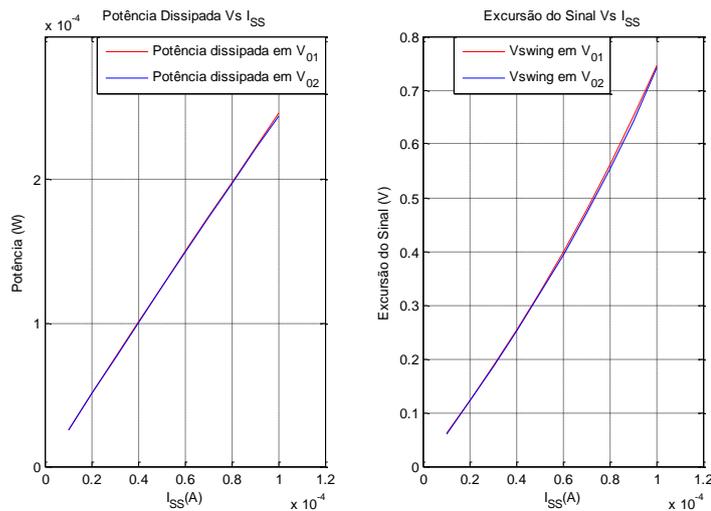


Figura 4.21 - Caracterização da Potência dissipada e Excursão de Sinal Latch-D

Devido a estrutura simétrica do PDN a corrente I_{SS} que circula pelo PDN é igual em ambas a saídas (V_{o1}, V_{o2}). Deste modo, a potência dissipada vai ser idêntica em ambas as saídas, como se verifica através da Figura 4.21 (lado esquerdo). Relativamente, á excursão de sinal também apresentam valores idênticos para ambas as saídas, pois como referido a corrente que circula por cada ramo diferencial é a mesma, logo a corrente que “atravessa” as resistências de carga é a mesma, a Figura 4.21 (lado direito) representa a variação da excursão de sinal em função da corrente de polarização.

Tempos de Propagação

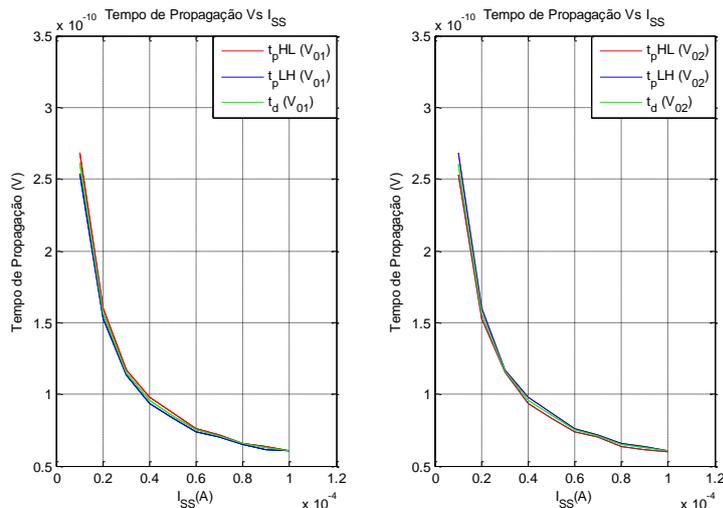


Figura 4.22 – Caracterização dos tempos de propagação da Latch-D

Tal como nas métricas anteriores o valor da corrente que circula pelo PDN é igual, logo a tempo de carga/descarga das capacidades de carga são iguais. Assim, os tempos de propagação serão idênticos para ambas as saídas, conforme se pode verificar através da Figura 4.22.

4.8 Layout

O último passo em desenho de circuitos digitais consiste na transformação dos circuitos projectados esquematicamente em layouts. Um layout não é mais do que uma combinação de polígonos que consiste nas representações geométricas dos componentes do circuito e das suas conexões, cada um dos quais pertencente a uma certa camada.

O editor de layout é a ferramenta principal do projectista, e tem como objectivo primordial a geração de uma representação física do circuito. No editor de layout, cada camada é representada por um conjunto cor, textura, proporcionando uma melhor das diversas camadas de desenho e suas relações.

O layout inicia-se pela devida planificação de como e onde colocar os respectivos componentes, de forma a minimizar a área ocupada. Um circuito complexo pode conter milhões de polígonos, portanto, ao longo da colocação dos componentes e respectivo encaminhamento é aconselhável verificar os erros para garantir uma maior eficácia. Isto porque, uma verificação de um circuito integrado muito complexo pode implicar horas ou mesmo dias na verificação e correcção de possíveis erros. A etapa de verificação das regras do projecto ou DRC (Design Rules Checking) é realizada pelo sistema Diva da Cadence. O Diva é constituído por um conjunto de ferramentas de verificação que podem

ser utilizadas interactivamente para detectar e corrigir erros na implantação do layout. Os erros mais comuns são: os tamanhos mínimos dos componentes (linhas de metal, resistências, poços, etc.), distâncias mínimas entre componentes adjacentes, espaçamento necessário para sobreposições de materiais e entre outras.

Estando o layout concluído e em conformidade com as regras de projecto, passa-se para a etapa seguinte, que consiste na extracção dos parâmetros do circuito. Nesta fase é extraído o circuito eléctrico que essas máscaras representam, incluindo os seus correctos tamanhos e as suas interligações. O circuito produzido contém ainda informação acerca das capacidades parasitas do circuito.

A última etapa consiste numa comparação entre o esquema eléctrico e o layout, verificando se em ambos os circuitos os níveis estão concordantes em termos de ligações, dispositivos e parâmetros. Este tipo de verificação é conhecida como LVS (Layout versus Schematic). Se tudo correr como previsto realizamos uma simulação eléctrica do circuito extraído. Esta simulação tem como objectivo verificar se as restrições temporais impostas são observadas no circuito implantado.

4.8.1 Planificação e construção do layout

Ao longo desta dissertação referimo-nos a várias portas lógicas e ao seu modo de funcionamento, mas neste subcapítulo vamos unicamente apresentar o layout da porta XOR-3, Figura 4.25. Os restantes layouts foram implementados de forma análoga e encontram-se em Anexo, juntamente com os respectivos esquemas eléctricos.

No desenho de circuitos integrados digitais, é importante que todos os blocos (células) apresentem a mesma altura de forma a facilitar a interligação entre estes. É com este intuito que o layout apresentado neste subcapítulo é o da porta lógica XOR-3, devido ao facto de ter sido a porta lógica implementada com o maior número de estágios diferenciais presentes no PDN. Assim, a partir da porta lógica XOR-3, definiu-se a altura de todos os layouts, e em simultâneo estabeleceu-se a organização a utilizar na implantação dos restantes, Figura 4.23.

A organização representada na Figura 4.23, foi escolhida de modo a não divergir de forma significativa do respectivo esquema eléctrico da porta lógica, Figura 4.24. Deste modo, o V_{DD} e o GND encontram-se sempre no topo superior e inferior dos layouts. As variáveis de saída foram organizadas de forma à ocupação da área ser a mais eficiente, porque a colocação destas variáveis junto dos respectivos pares diferenciais, faz com que a área ocupada seja maior. Outro ponto a referir é a disposição dos pares diferenciais, que estão colocados de modo a facilitar o encaminhamento.

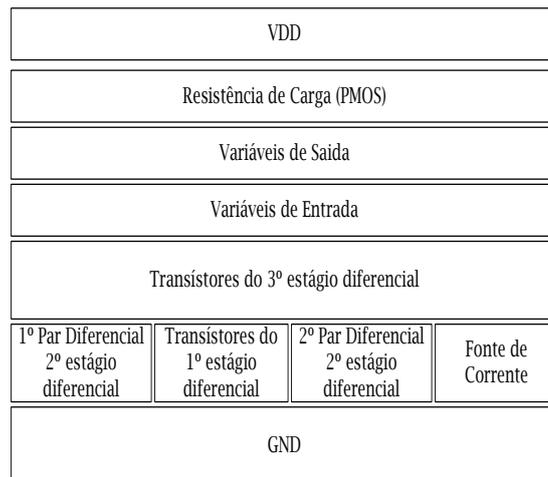


Figura 4.23 - Disposição dos Componentes e variáveis de entrada/saída

O desenho do layout é possibilitado pela ferramenta Virtuoso Layout Editor. O layout iniciou-se com uma boa planificação de como e onde seriam colocados os transistores. Observando o respectivo esquema eléctrico, Figura 4.24.

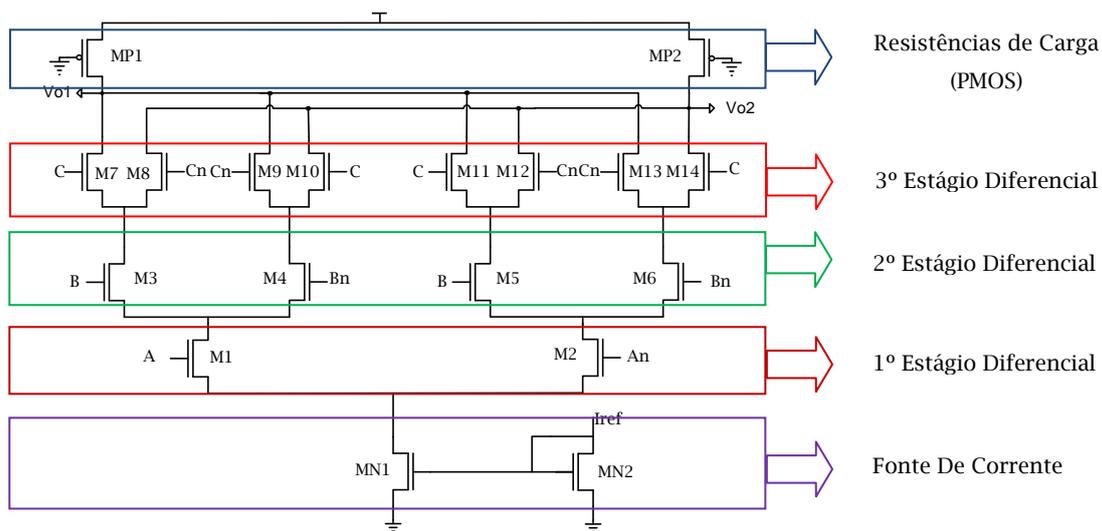


Figura 4.24 - Esquema eléctrico da porta XOR-3

Pode-se observar que os transistores podem ser agrupados, de acordo com as suas dimensões (W e L). Agrupar os transistores sempre que possível, é uma técnica importante. Este permite uma redução da área total do circuito.

Esta redução de área acontece na medida em que os drenos e as fontes podem ser partilhados. Os transistores do PDN foram agrupados da seguinte forma: M1-M2, M3- M4, M5-M6, M7-M8, M9-M10, M11-M12 e M13-M14. Além destes agrupamentos também foi possível agrupar os transistores da fonte de corrente MN1 com MN2 e os transistores de carga MP1-MP2

De seguida abordou-se a estratégia mais adequada para colocação dos transístores PMOS de carga, dos transístores NMOS da fonte de corrente e dos pares diferenciais do PND, assim como as respectivas entradas e saídas diferenciais.

Para efectuar o encaminhamento entre os componentes e as respectivas saídas/entradas, foi definido que o METAL utilizado na construção da saída fosse um nível acima do utilizado na entrada. Portanto, para as variáveis de entrada utilizou-se METAL3 enquanto para as saídas V_{o1} e V_{o2} , utilizou-se METAL1 e METAL2, respectivamente. O encaminhamento entre as variáveis de entrada e os respectivos transístores foi efectuado através de polisílicio.

Todas as ligações de metal utilizadas foram desenhadas com as dimensões mínimas, uma vez que as correntes no circuito são muito inferiores á densidade de corrente permitida.

O layout final pode ser observado na Figura 4.25.

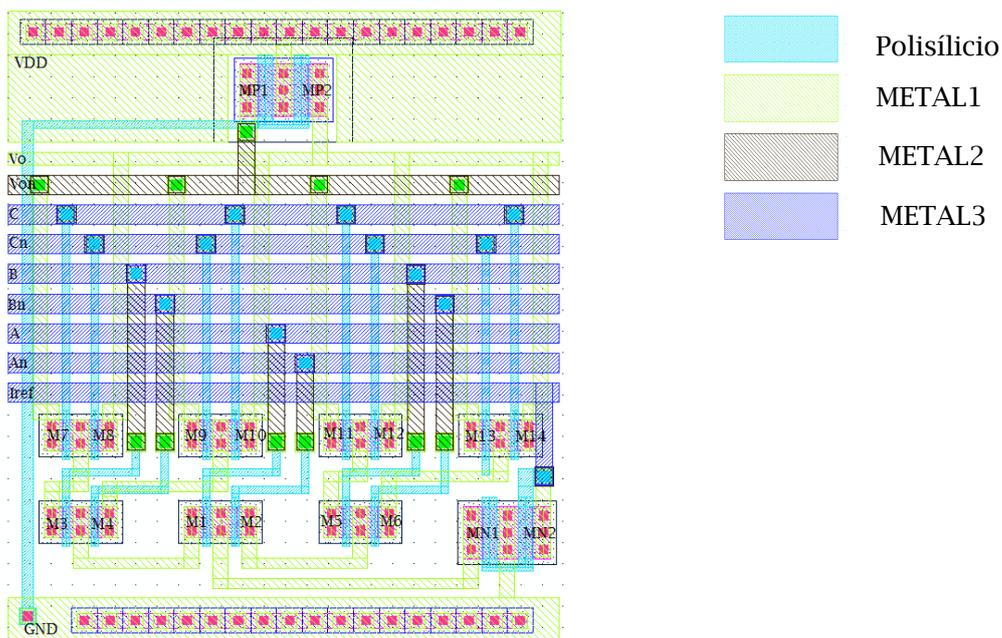


Figura 4.25 - Layout da Porta Lógica XOR-3

4.9 Simulação Pós-Layout

Neste subcapítulo iríamos realizar as mesmas simulações efectuadas aos circuitos pré-layout e comparar com as novas simulações pós-layout, mas devido a um conjunto de factores não é possível comparar a simulação efectuada aos tempos de propagação. Porque as simulações pré-layout foram realizadas de forma a ter uma excursão de sinal sempre constante ($\sim 250mV$), o que obrigou a alterar as dimensões dos transístores PMOS

consoante o valor da corrente de modo a manter essa métrica constante. Por este motivo torna-se “impossível” medir os tempos de propagação pós-layout da mesma simulação, pois no layout não é possível alterar as dimensões dos PMOS. Uma solução possível para realizar esta simulação consiste na implementação de diferentes layouts para os diferentes valores dos transistores PMOS.

No entanto, de modo a avaliar o funcionamento pós-layout, realizou-se uma nova simulação pré-layout do inversor para verificar se o comportamento pós-layout estaria de acordo com o previsto.

A simulação realizada consiste numa avaliação do tempo de propagação em função da capacidade de saída, variando este parâmetro entre os 1fF e os 200fF. Para realizar esta simulação implementou-se o seguinte esquema eléctrico pós-layout, Figura 4.26, onde o bloco inversor/buffer corresponde ao circuito extraído a quando da extracção dos parâmetros. Os componentes incorporados no bloco denominado por Input Signal tem como função gerar sinais de entrada simétricos para as entradas do PDN. O Vpulse gera um sinal quadrangular instantâneo, o VCVS (Voltage Controlled Voltage Source) é definido com ganho -1 de modo a inverter o sinal emitido pelo Vpulse, possibilitando a obtenção ter sinais simétricos nas entradas, como se encontra representado na Figura 4.26, por último é necessário o VDC (DC voltage) para definir o valor de offset de forma a ajustar a posição dos sinais de entrada.

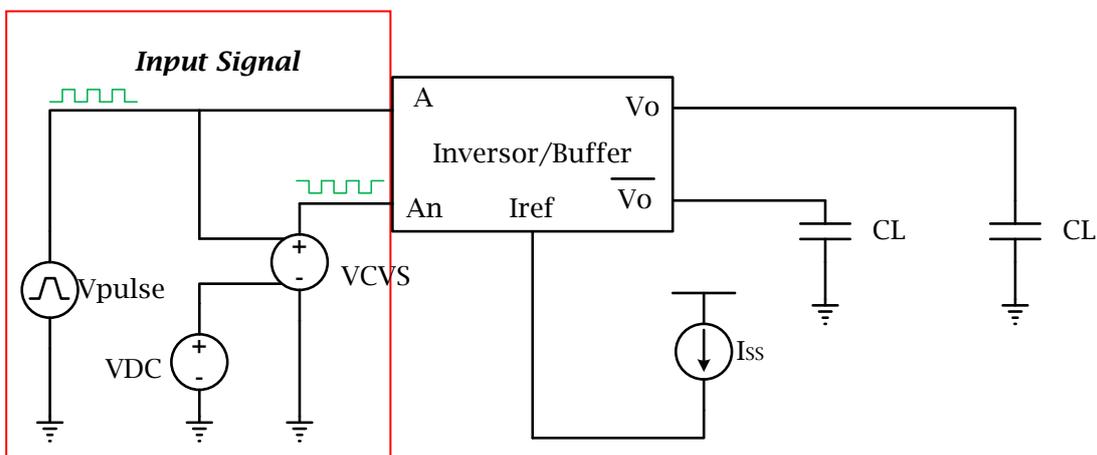


Figura 4.26 - Esquema eléctrico do Inversor MCML pós-layout

Os resultados obtidos para esta simulação encontram-se representados na Figura 4.27.

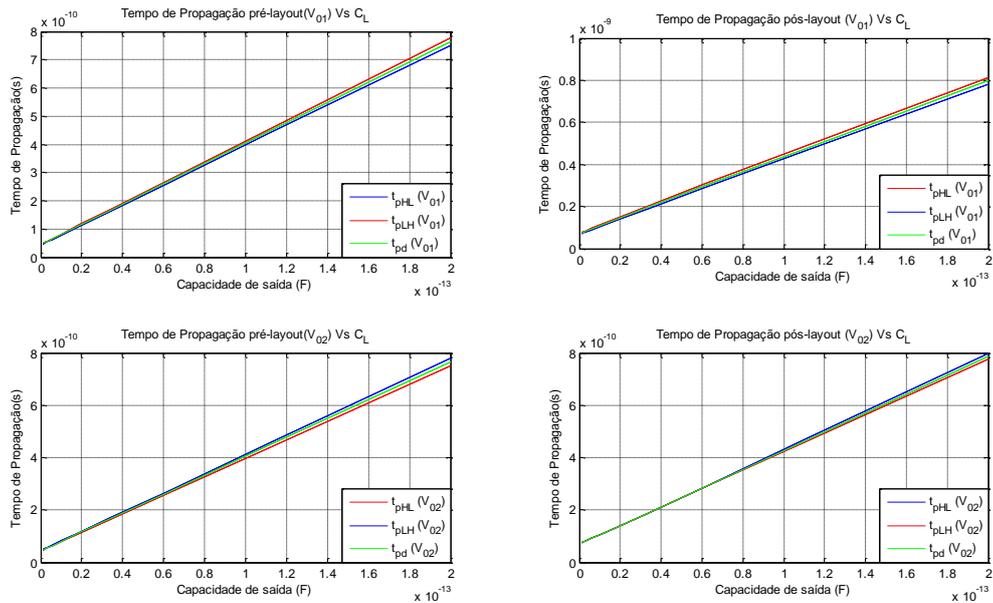


Figura 4.27 - Tempos de propagação em função de C_L

Ao observar as figuras verificamos que o seu comportamento encontra-se dentro do previsto, e além disso através dos gráfico também podemos concluir que o circuito pós-layout parece não sofre grandes desvios devido as capacidades parasitas existentes, numa primeira análise parece que estamos perante o circuito ideal. Mas ao observar a Figura 4.28, que representa a variação relativa dos tempos pós-layout em relação aos pré-layout, verificamos que observamos uma diferença entre os eles. Essa diferença é notória para valores mais baixos da capacidade de carga, onde os tempos de propagação pós-layout quase duplicam em relação ao pré-layout, nestas situações significa que as capacidades parasitas são dominantes em relação a capacidade de carga. Mas com o aumento do valor da capacidade de carga os tempo de pré-layout e pós-layout vão se aproximando, pois as capacidades parasitas começam a ser insignificantes relativamente a capacidade C_L .

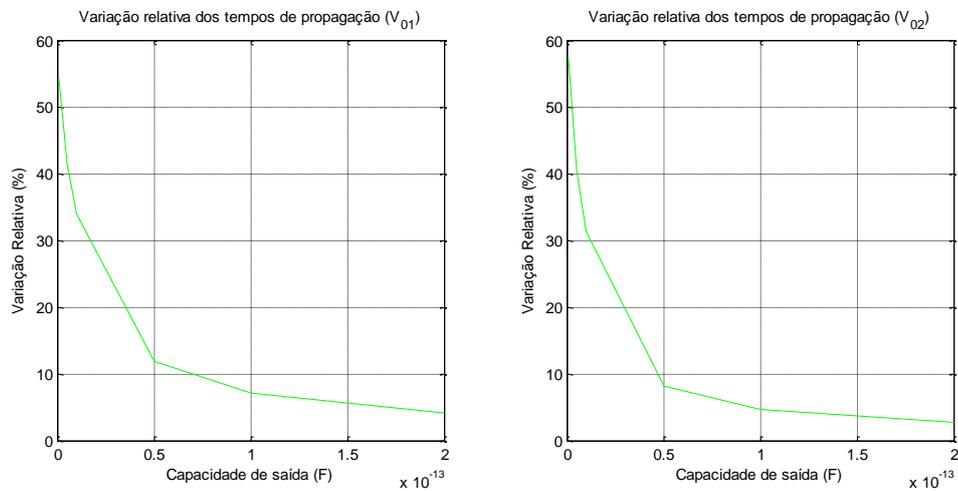


Figura 4.28 - Variação Relativa dos tempos de pós e pré layout

Para concluir as simulações pós-layout, avaliou-se o desempenho do inversor MCML relativamente à potência dissipada e a excursão de sinal, Figura 4.29.

A potência dissipada e a excursão de sinal devem apresentar resultados idênticos para as simulações pré e pós layout, tendo em conta que ambas as métricas não sofrem das capacidades parasitas originadas pela disposição dos componentes e das suas interligações que os circuitos pós-layout apresentam, e como as correntes que circulam pelo circuito são extremamente baixas, as dimensões utilizadas nas ligações de metal não provocam perdas ao nível da corrente. Deste forma os resultados esperados para a simulação pós layout devem coincidir com os resultados pré-layout, confirmando deste modo as simulações efectuadas e representadas na Figura 4.29.

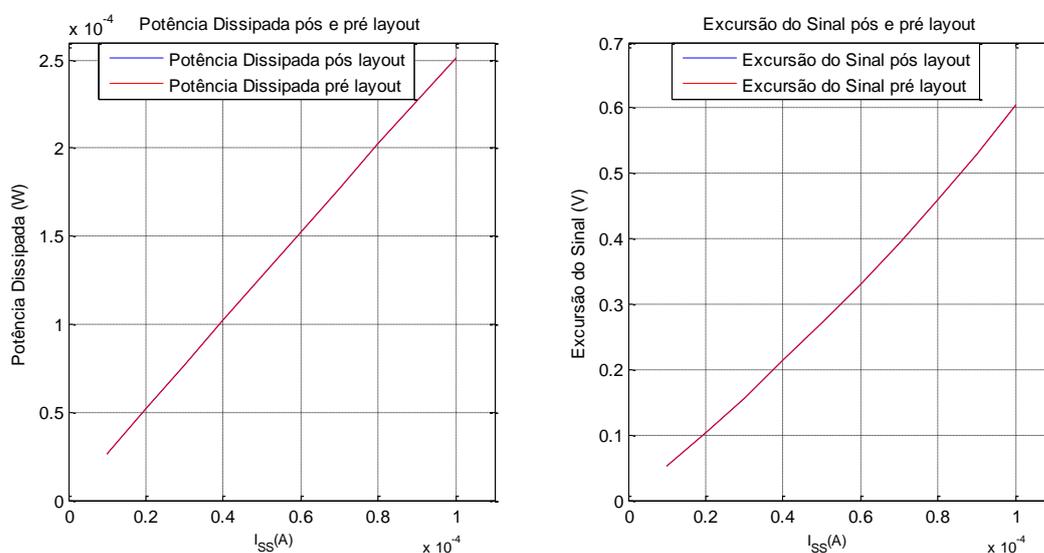


Figura 4.29 - Potência dissipada e Excursão de sinal pré e pós layout

4.1 Conclusão

Neste capítulo foi descrito o estudo do comportamento de várias portas lógicas avaliando-se diferentes métricas fundamentais para avaliação do desempenho de portas MCML. Este estudo baseou-se numa simulação esquemática numa primeira instância seguido do desenho do layout. Foram descritas também as várias estratégias seguidas ao longo do trabalho e igualmente foram apresentados os resultados e os respectivos comentários.

Através das simulações realizadas no subcapítulo 4.3, a análise do inversor, realizaram-se diferentes simulações para determinar quais os parâmetros que apresentam uma maior preponderância na avaliação do desempenho de circuitos MCML. Os parâmetros avaliados foram os seguintes: tensão de alimentação, corrente de

polarização, transístores do PDN e transístores PMOS, chegando-se a conclusão que os parâmetros que mais influenciam o desempenho das portas lógicas MCML é a corrente de polarização e os transístores PMOS.

O próximo passo neste capítulo consistiu na simulação da porta lógica AND/NAND implementada através do método EDS e BDD. Desta simulação conclui-se que o através do método de BDD as métricas simuladas (Potência dissipada, Excursão de sinal e tempos de propagação) apresentam valores distintos para cada uma das saídas diferenciais, ou seja, nesta situação a potência consumida, a excursão do sinal e o tempo de atraso seria maior para a função NAND do que para a função AND. Esta divergência de valores é devido a assimetria existente no PDN, que faz com que a corrente que circula no PDN seja diferente em cada ramo diferencial.

A simulação realizada a seguir consistiu na comparação de diferentes funções lógicas que apresentam a particularidade de todas apresentarem a mesma estrutura no PDN. Desta forma, caracterizou-se as métricas definidas para as seguintes funções lógicas: AND, MUX 2:1, XOR-2 e a Latch-D. E, conforme o esperado todas apresentam resultados idênticos, o que confirma a homogeneidade entre as topologias como se referiu no capítulo 3.

Conforme, ficou estabelecido neste estudo, que apenas seriam construídas portas lógicas que não necessitassem mais de três estágios diferenciais para serem implementadas. Desta forma, caracterizou-se a porta lógica XOR-3 descrevendo o seu comportamento para a potência dissipada, excursão de sinal e tempos de propagação.

Como conclusão do trabalho foi criado o layout de uma das funções lógicas previamente estudados, através do qual se pode concluir que o cumprimento das regras de desenho pode não significar que o circuito é 100% fiável, uma vez que parasitas podem causar desvios significativos na performance do circuito, e por isso devem ser optimizadas.

Capítulo 5

Considerações Finais

Nesta dissertação, é apresentada uma nova técnica de desenho de circuitos digitais, pois como se sabe a evolução das tecnologias CMOS tem oferecido aos projectistas de circuitos digitais desafios cada vez maiores ao nível do desenho, pelo que tem sido feitos esforços no sentido de encontrar soluções alternativas ou adoptar novos estilos de desenho. É com esta ideia em mente que se adoptou um novo estilo de lógica, a lógica em modo de corrente.

Neste sentido ao longo desta dissertação é feito um estudo exaustivo deste novo estilo de desenho de circuitos digitais, começando por referenciar as origens da lógica MCML e as suas aplicações.

Dissecando esta dissertação, constata-se que esta se assenta fundamentalmente numa componente teórica, devido ao facto de a lógica MCML não ser tão divulgada. Nos primeiros capítulos são apresentados os alicerces da lógica MCML, descrevendo o seu modo de funcionamento e referindo quais as suas vantagens e desvantagens em relação a tecnologia CMOS convencional. De seguida, analisou-se o Inversor MCML de forma adquirir os conhecimentos essenciais para realizar um estudo sobre o comportamento de qualquer porta lógica implementada em MCML.

O capítulo 3 é o capítulo essencial desta dissertação pois é nele que se encontram as diferentes técnicas de desenho de portas lógicas em MCML. O objectivo inicial deste capítulo era determinar um método que permitisse implementar as diferentes portas

lógicas, mas com o desenrolar do estudo descobriu-se não um mas três métodos distintos de implementação das respectivas portas lógicas. Através dos diferentes métodos foi possível constatar que existe uma relativa homogeneidade entre as topologias, que a mesma estrutura de PDN pode originar diferentes portas lógicas, sendo apenas necessário manipular as variáveis de entrada e saída. Como consequência, todas as funções terão o mesmo tamanho, o mesmo atraso, potência, entre outras.

Por último, é apresentado um conjunto de simulações práticas de modo a comprovar as perspectivas teóricas. Ao longo do capítulo 4, verificou-se a existência de três métricas consideradas fundamentais para avaliar o desempenho de portas lógicas MCML, sendo elas a potência dissipada, a excursão de sinal e os tempos de propagação. E, com este intuito simulou-se um conjunto de funções lógicas. Além, dessas métricas também verificamos que existem parâmetros que apresentam uma maior relevância em circuitos MCML, sendo eles a corrente de polarização e os transístores PMOS. Verificou-se ainda que uma estrutura assimétrica no PDN provoca diferentes resultados nas saídas diferenciais, como ficou comprovado através da caracterização da função AND/NAND implementada através do método EDS e BDD. Em relação a uma estrutura simétrica de PDN verificou-se uma concordância nos resultados, pois em todas as funções lógicas implementadas, verificou-se o mesmo atraso, potência e excursão de sinal, uma característica do método EDS.

De um modo em geral, a nível de simulação é de referir que os circuitos analisados apresentaram um bom desempenho, pois os resultados finais obtidos mostraram-se bastante satisfatórios validando-se, desta forma, as perspectivas teóricas. Para finalizar este capítulo foram criados os layouts das portas lógicas estudadas previamente. É de salientar a importância do desenho do layout, pois ao trabalhar ao nível do layout, verifica-se um ligeiro desvio na performance do circuito, isto porque, o layout acarreta sempre capacidades parasitas que chegam a ter algum predomínio nas simulações pós-layout.

Desta forma, é possível afirmar que a meta estabelecida para a realização desta dissertação, que consistia no estudo da lógica de modo de corrente MCML, da investigação de técnicas de desenho de portas em lógica MCML e do projecto, desenho e validação (por simulação pós-layout) de certas funções lógicas foi atingida.

5.1 Linhas de Investigação Futura

Apesar dos contributos descritos, o trabalho desenvolvido poderá ainda ter desenvolvimentos, apesar de se considerar que os objectivos propostos foram atingidos. A seguir são sumariadas algumas ideias cujo conteúdo será interessante explorar.

- Estudo mais pormenorizado acerca da lógica MCML, pois é um tema bastante vasto e relativamente recente;
- Estudar a possibilidade de manter a excursão de sinal constante, independente das variações da corrente de polarização, mas sem alterar as dimensões dos transístores PMOS;
- Implementar novos circuitos MCML;
- Optimizar a área ocupada, através de um novo redimensionamento/encaminhamento/ colocação dos componentes de uma forma mais eficaz, se possível;
- Utilizar tecnologias alternativas a AMS 0.35 μ m, pois os comportamentos de uma tecnologia para a outra podem variar devido às características diferentes dos seus parâmetros, o que pode originar um impacto diferente em algumas das métricas referidas;
- Todos os circuitos propostos podem ser re-projectados para operar na região de sub-threshold, desta forma é possível utilizar a lógica MCML em aplicações de baixo consumo de potência e baixa frequência.
- Estudar, aprofundar a possibilidade de conversão de circuitos MCML em CMOS e vice-versa;
- Abordar os circuitos MCML dinâmicos (DyMCML).

Anexos

Os esquemas eléctricos, layouts e a descrição de cada função lógica implementada ao longo desta tese encontram-se nesta secção. Os métodos de implementação, dimensão dos transístores encontram-se com mais detalhe ao longo dos capítulos 3-4.

Inversor

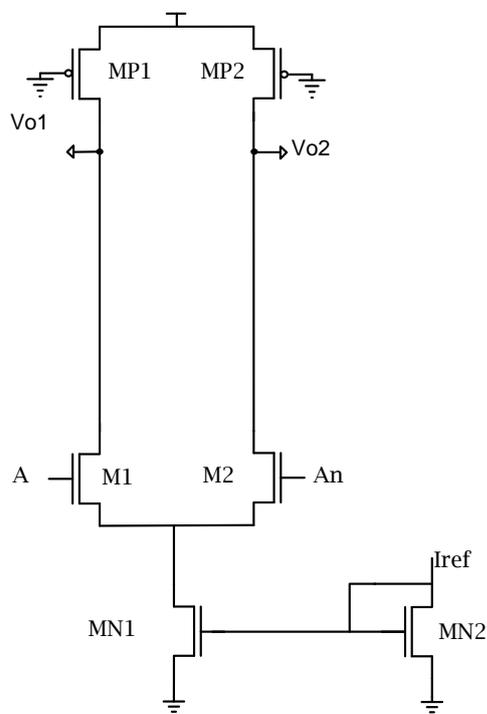
Descrição:

Função: Inversor

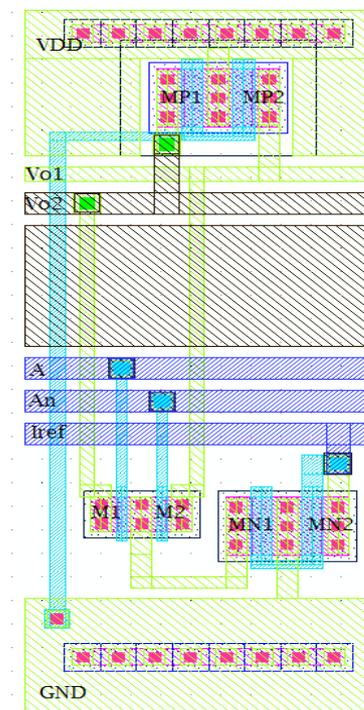
Dimensão: 11,6500 x 29,8500 μm^2

Equação Lógica: $A = \bar{A}$

Esquema eléctrico (a) e layout (b):



(a)



(b)

Caracterização:

I_{SS} (μA)	Power (μW)	V_{swing} (V)	Delay (ps)
10	26,268	0,052	280,769
20	51,805	0,104	147,555
30	77,141	0,157	92,855
40	102,351	0,213	67,161
50	127,459	0,2700	54,188
60	152,477	0,330	45,741
70	177,406	0,393	39,326
80	202,242	0,4590	35,696
90	226,976	0,529	31,520
100	251,593	0,604	28,376

Caracterização do Inversor

AND2 (Método Diferencial e Simétrico)

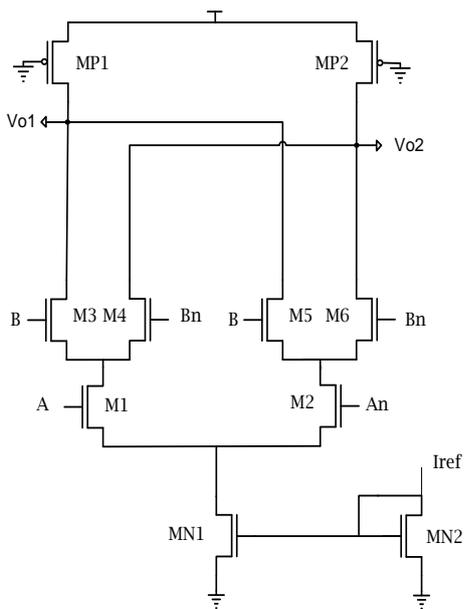
Descrição:

Função: AND de 2 entradas

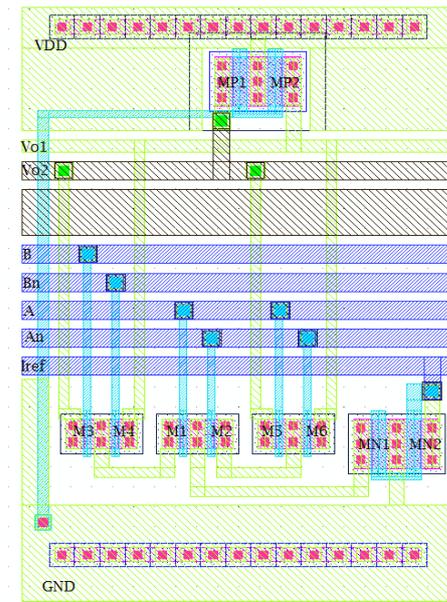
Dimensão: 20,4750 x 29,8500 μm^2

Equação Lógica: $F = A \cdot B$

Esquema eléctrico (a) e layout (b):



(a)



(b)

Caracterização:

I_{SS} (μA)	Power (μW)	V_{swing} (V)	Delay (ps)
10	25,700	0,0608	259,006
20	50,878	0,123	156,171
30	75,869	0,187	115,574
40	100,715	0,254	95,771
50	125,423	0,324	84,345
60	149,987	0,399	75,061
70	174,392	0,477	70,8634
80	198,606	0,561	65,377
90	221,583	0,652	62,662
100	245,244	0,745	60,502

Caracterização de V_{o1}

I_{SS} (μA)	Power (μW)	V_{swing} (V)	Delay (ps)
10	25,645	0,0607	260,685
20	50,767	0,123	156,155
30	75,694	0,187	115,757
40	100,463	0,254	95,723
50	125,076	0,324	85,043
60	149,519	0,398	74,963
70	173,765	0,476	70,708
80	197,764	0,559	64,881
90	221,442	0,649	64,027
100	244,674	0,744	60,308

Caracterização de V_{o2}

AND2 (Método Diagrama de Decisão Binária)

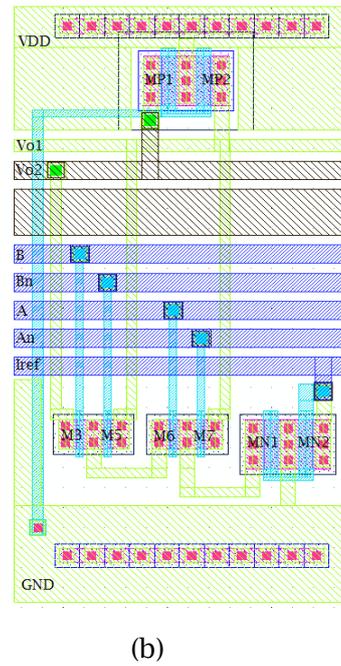
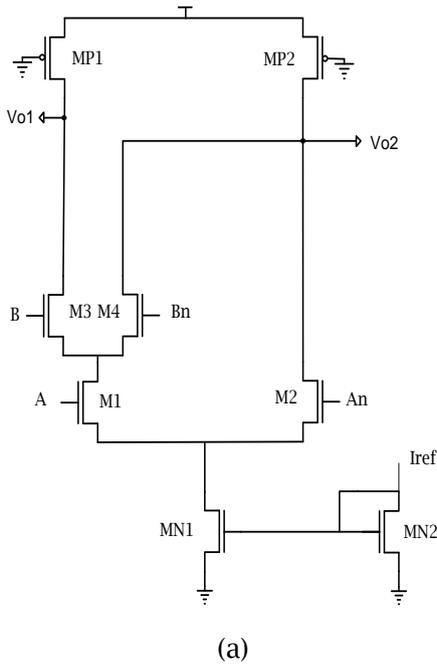
Descrição:

Função: AND de 2 entradas

Dimensão: 15,9500 x 29,8500 μm^2

Equação Lógica: $F = A \cdot B$

Esquema eléctrico (a) e layout (b):



Caracterização:

I_{SS} (μA)	Power (μW)	V_{swing} (V)	Delay (ps)
10	25,700	0,051	350,122
20	50,879	0,102	212,158
30	75,871	0,155	157,354
40	100,717	0,209	128,280
50	125,427	0,266	1,07,959
60	149,996	0,324	9,6,260
70	174,407	0,385	89,156
80	198,635	0,449	82,815
90	222,636	0,516	78,528
100	246,348	0,745	74,900

Caracterização de V_{o1}

I_{SS} (μA)	Power (μW)	V_{swing} (V)	Delay (ps)
10	25,819	0,051	167,882
20	50,939	0,103	92,543
30	75,991	0,158	68,806
40	101,921	0,215	58,178
50	126,744	0,269	53,102
60	151,463	0,329	49,142
70	176,075	0,391	45,336
80	200,573	0,458	44,632
90	224,094	0,524	41,600
100	249,168	0,597	40,212

Caracterização de V_{o2} **Latch - D**

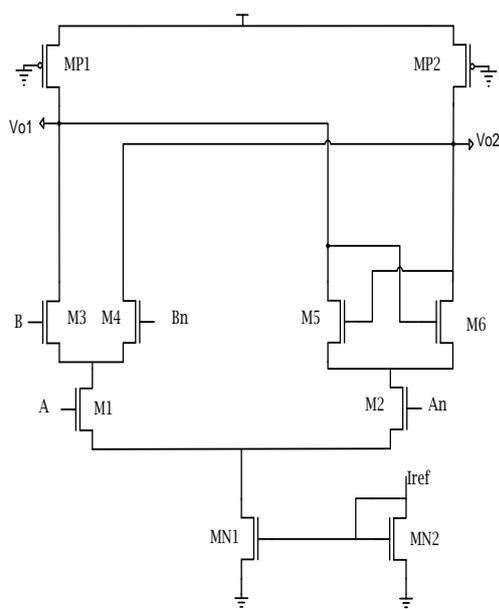
Descrição:

Função: Latch-D

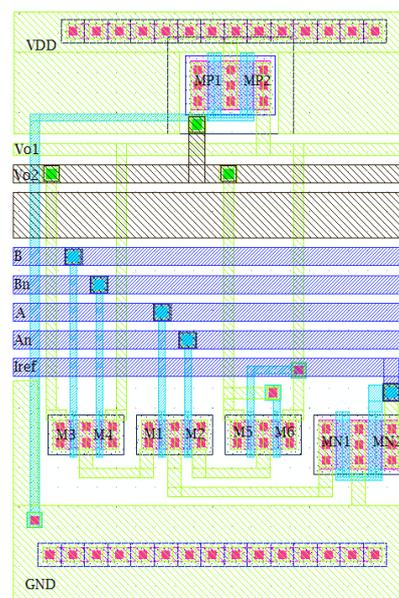
Dimensão: 20,4750 x 29,8500 μm^2

Operação: se CLK='1' então F=D senão mantém o valor

Esquema eléctrico (a) e layout (b):



(a)



(b)

Caracterização:

I_{SS} (μA)	Power (μW)	V_{swing} (V)	Delay (ps)
10	25,715	0,061	268,212
20	50,929	0,122	159,779
30	75,975	0,185	116,899
40	100,896	0,254	98,212
50	125,707	0,325	86,899
60	150,408	0,407	76,317
70	174,992	0,472	71,509
80	198,441	0,560	66,085
90	222,716	0,651	63,625
100	246,631	0,742	60,508

Caracterização de V_{o1}

I_{SS} (μA)	Power (μW)	V_{swing} (V)	Delay (ps)
10	25,645	0,061	260,685
20	50,767	0,122	156,469
30	75,693	0,184	116,151
40	100,462	0,253	95,721
50	125,076	0,323	85,181
60	149,519	0,394	74,982
70	173,765	0,472	70,795
80	197,764	0,553	64,884
90	221,442	0,643	62,536
100	244,673	0,742	60,308

Caracterização de V_{o2}

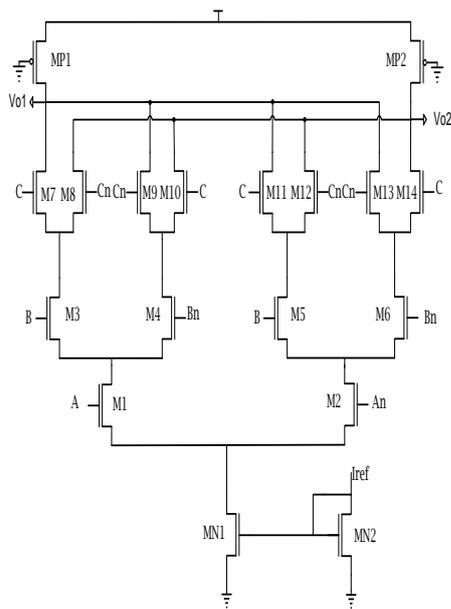
XOR-3

Descrição:

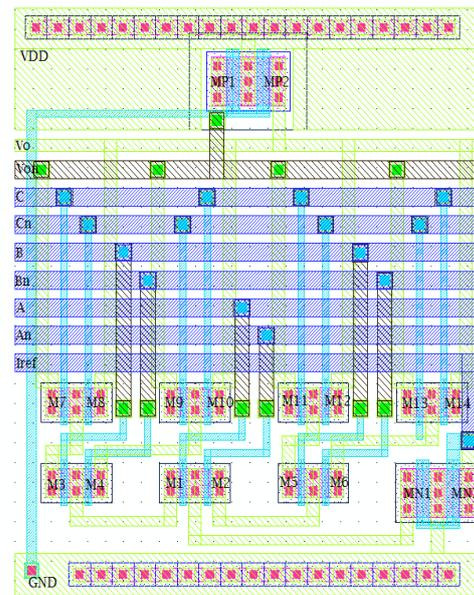
Função: XOR de 3 entradas

Dimensão: 25,8250 x 29,8500 μm^2 Equação Lógica: $F = A \oplus B \oplus C$

Esquema eléctrico (a) e layout (b):



(a)



(b)

Caracterização:

I_{SS} (μA)	Power (μW)	V_{swing} (V)	Delay (ps)
10	2,5,642	0,0505	368,998
20	5,0,760	0,102	192,349
30	7,5,683	0,154	131,616
40	100,446	0,209	105,832
50	125,051	0,2649	90,387
60	149,483	0,323	79,892
70	173,711	0,384	72,516
80	197,682	0,447	66,888
90	221,312	0,505	63,521
100	244,458	0,566	59,956

Caracterização de V_{o1}

I_{SS} (μA)	Power (μW)	V_{swing} (V)	Delay (ps)
10	25,591	0,050	370,636
20	50,634	0,101	204,552
30	75,453	0,154	145,492
40	100,069	0,208	115,752
50	124,465	0,264	97,616
60	148,587	0,322	85,847
70	172,344	0,381	77,056
80	196,573	0,445	70,435
90	220,981	0,503	66,623
100	244,0212	0,565	62,595

Caracterização de V_{o2}

Caracterização Pós-Layout:

C_L (fF)	$t_{p_{pré}}(V_{o1})$ (ps)	$t_{p_{pós}}(V_{o1})$ (ps)
1	47,56	73,41
5	65,07	92,02
10	82,02	109,85
50	266,87	298,27
100	445,52	476,79
200	766,04	797,52

Tempos de propagação de pré e pós layout em V_{o1}

C_L (fF)	$t_{p_{pré}}(V_{o2})$ (ps)	$t_{p_{pós}}(V_{o2})$ (ps)
1	47,54	74,85
5	65,13	91,47
10	81,88	107,57
50	266,34	287,84
100	445,26	465,98
200	766,08	787,52

Tempos de propagação de pré e pós layout em V_{o2}

Referências

- [1] F. Yuan, "CMOS Current-Mode Circuits for Data Communications (Analog Circuits and Signal Processing)", Springer, Verlag New York, 2006
- [2] M. Alioto and Y. Leblebici, "Analysis and design of ultra-low power subthreshold MCML gates", ISCAS 2009, IEEE International Symposium on Circuits and Systems, 2009
- [3] L. F. M. N. M. Alves, "High gain and bandwidth current-mode amplifiers study and implementation", Thesis presented at the Universidade de Aveiro for the degree of Ph.D. in Electronics Engineering, Aveiro, Portugal, 2008
- [4] A. Sedra and K. Smith, "A second-generation current conveyor and its applications", IEEE Transactions on Circuit Theory, Vol. CT-17, February 1970
- [5] K. Koli, "CMOS Current Amplifiers: Speed versus Nonlinearity", Thesis presented at the Helsinki University of Technology Electronic for the degree of Ph.D. of Science in Technology, Espoo, Finland, 2000
- [6] C. Toumazou, F. J. Lidgley, D. G. Haigh, "Analogue IC Design: The Current-Mode Approach", Peter Peregrinus, 1990
- [7] M. Alioto and G. Palumbo, "Model and Design of Bipolar and Mos Current-Mode Logic: CML, ECL and SCL Digital Circuits", Springer, New York, 2006
- [8] K. Butler, "Predictive Models for Power Dissipation in Optical Transceivers", Thesis presented at Department of Electrical Engineering and Computer Science, Massachusetts Institute Of Technology for the degree of Bachelor of Science in Electrical Science and Engineering and Master of Engineering in Electrical Engineering and Computer Science, Massachusetts, 2004
- [9] H. Hassan, et al., "MOS current mode circuits: analysis, design, and variability", Elsevier-Microelectronics Journal 37, 2006
- [10] M. Alioto and G. Palumbo, "Design strategies for source coupled logic gates", Circuits and Systems I: Fundamental Theory and Applications, vol. 50, pp. 640-654, 2003
- [11] R. Pereira-Arroyo, et al., "Design of a MCML Gate Library Applying Multiobjective Optimization", Proceedings of the IEEE Computer Society Annual Symposium on VLSI, 2007
- [12] J. M. Musicer and J. Rabaey, "MOS current mode logic for low power, low noise CORDIC computation in mixed-signal environments", ISLPED '00 - Proceedings of the 2000 International Symposium on Low Power Electronics and Design, 2000

- [13] A. S. Sedra and K. C. Smith, "Microelectronic circuits", Oxford University Press, 2004
- [14] M. Alioto and G. Palumbo, "Power-delay trade-offs in SCL gates", ISCAS 2002, IEEE International Symposium on Circuits and Systems, 2002
- [15] U. Seckin and Y. Chih-Kong Ken, "A Comprehensive Delay Model for CMOS CML Circuits", IEEE Transactions on Circuits and Systems, vol. 55, pp. 2608-2618, 2008.
- [16] T. Abrão, "Circuitos Integrados Digitais de Alta Velocidade em GaAs : Demultiplexer de 16 Canais em 2,5 Gb/s", Thesis presented at Escola Politécnica da Universidade de São Paulo for the degree of Master in Electronics Engineering, São Paulo, 1992
- [17] A. P. Martínez, "Design of MOS Current-Mode Logic Standard Cells", Master Semester Project, Microelectronics Systems Laboratory Ecole Polytechnique Fédérale de Lausanne, Lausanne, 2007
- [18] S. Badel, et al., "Semi-automated design of a MOS currentmode logic standard cell library from generic components", Research in Microelectronics and Electronics, 2005
- [19] M. Alioto and G. Palumbo, "Modelling and design considerations on CML gates under high-current effects: Research Articles", Int. J. Circuit Theory Appl., vol. 33, pp. 503-518, 2005
- [20] M. Alioto and G. Palumbo, "Design strategies of cascaded CML gates", IEEE Transactions on Circuits and Systems, vol. 53, pp. 85-89, 2006
- [21] H. Hassan, et al., "Analysis and design of low-power multi-threshold MCML", IEEE International Proceedings in SOC Conference, 2004
- [22] H. Hassan, et al., "Design and optimization of MOS current mode logic for parameter variations", presented at the 14th ACM Great Lakes symposium on VLSI, Boston, USA, 2004
- [23] J. M. Rabaey, et al., "Digital integrated circuits : a design perspective", Pearson Education, 2003
- [24] M. Sumathi, "Performance and analysis of CML Logic gates and latches", International Symposium on Microwave, Antenna, Propagation and EMC Technologies for Wireless Communications, 2007
- [25] T. K. Agarwal, et al., "Performance comparison of static CMOS and MCML gates in sub-threshold region of operation for 32nm CMOS technology", ICCCE 2008, International Conference on Computer and Communication Engineering, 2008
- [26] M. Mizuno, et al., "A GHz MOS adaptive pipeline technique using MOS current-mode logic", IEEE Journal of Solid-State Circuits, vol. 31, pp. 784-791, 1996

- [27] S. Khabiri and M. Shams, "Implementation of MCML universal logic gate for 10 GHz-range in 0.13um CMOS technology", ISCAS '04, International Symposium on Circuits and Systems, 2004
- [28] G. D. Micheli, "Synthesis and Optimization of Digital Circuits", McGraw-Hill, 1994
- [29] S. Badel, et al., "A generic standard cell design methodology for differential circuit styles", Proceedings of the conference on Design, automation and test in Europe, Munich, Germany, 2008
- [30] M. I. G. M. A. S. Fernandes, "Estudo de algoritmos de minimização de funções booleanas utilizando diagramas de decisão binária", Porto, 1991.
- [31] R. J. Baker, et al., "CMOS circuit design, layout and simulation", IEEE Press, 1998.
- [32] J. A. R. Oliveira, "Células de referência de tensão CMOS com compensação de temperatura", Thesis presented at the Universidade de Aveiro for the degree of Master in Electronics and Telecommunication Engineering, Aveiro, Portugal, 2009
- [33] M. Schwander, "Power-gated MOS current-mode logic " Master semester project, Microelectronic systems laboratory, École Polytechnique Fédéral de Lausanne, Lausanne, 2009
- [34] M. Alioto, et al., "Modelling of source-coupled logic gates," International Journal of Circuit Theory and Applications, vol. 30, pp. 459-477, 2002