



Universidade de Aveiro Departamento de Electrónica,
2007 Telecomunicações e Informática

**Jorge André Neto
Pereira Pires**

**Receptor de Dois Canais para Balizas de
Satélite**



JORGE ANDRÉ NETO
PEREIRA PIRES

RECEPTOR DE DOIS CANAIS PARA BALIZAS DE
SATÉLITE

Dissertação apresentada à Universidade de Aveiro para cumprimento dos requisitos necessários à obtenção do grau de Mestre em Engenharia Electrónica e Telecomunicações (Mestrado Integrado), realizada sob a orientação científica do Prof. Dr. Armando Rocha, professor auxiliar e Prof. Dr. Rui Escadas Martins, professor auxiliar do Departamento de Electrónica, Telecomunicações e Informática da Universidade de Aveiro.

o júri

presidente

Prof. Dr. José Fernando Rocha Pereira
professor associado da Universidade de Aveiro

Prof. Dr. Armando Rocha
professor auxiliar da Universidade de Aveiro (Orientador)

Prof. Dr. Rui Escadas
professor auxiliar da Universidade de Aveiro (Co-Orientador)

Prof. Dr. Luís Manuel Santos da Rocha Cupido
investigador, Centro de Fusão Nuclear, Instituto Superior Técnico

agradecimentos

Apesar de esta dissertação ser um trabalho individual, teria sido extremamente difícil de o concluir sem o contributo especial de algumas pessoas. Por essa razão, ocupo este espaço para expressar os meus sinceros agradecimentos:

Ao Prof. Dr. Armando Rocha, meu orientador, que sempre me acompanhou de forma incansável e entusiasta desde o início deste projecto, trazendo consigo sempre um sorriso nos lábios para acalmar as almas mais inquietas. Agradeço-lhe toda a sua paciência, persistência, dedicação e energia.

Ao Prof. Dr. Rui Escadas, o meu co-orientador, pela sua prontidão em abraçar este projecto, pela sua simpatia e disponibilidade constante para resolver os problemas mais espinhosos.

Ao técnico do Instituto de Telecomunicações, o Sr. Paulo Gonçalves, que também desde o início se mostrou disponível para ajudar em tudo o que estava ao seu alcance, e com a sua habilidade singular conseguiu sempre tornar o quase impossível em realidade.

Ao meu colega e amigo Ricardo, pelo seu companheirismo e amizade, paciência e disponibilidade para me auxiliar em grande parte das minhas dificuldades académicas.

Sendo também este trabalho o culminar de toda uma vida académica, quero aqui expressar o meu especial e profundo agradecimento às pessoas mais importantes para mim e que me acompanharam neste já longo caminho:

A todos os que directa ou indirectamente me ajudaram e apoiaram.

Aos meus amigos mais chegados, por muitas das minhas ausências mas também por outras tantas presenças! Pela capacidade de aturar e aceitar a minha forma de ser.

Aos meus pais, que sempre me inculcaram responsabilidade e cautela, que sempre depositaram em mim a sua confiança, que aceitaram e apoiaram todas as minhas decisões. Que sirva para lhes mostrar não ter sido em vão a educação que se esforçaram por me proporcionar.

Ao Sr. Luís pela sua amizade e confiança depositada em mim, pelos seus ensinamentos e por toda a força que me transmitiu e inculcuiu para ultrapassar os mais diversos obstáculos da vida.

Por fim, mas nunca esquecendo, quero agradecer à Suzana, cuja natureza única tem recheado a minha vida com emoções, cores e alegrias, pelo seu esperar, companhia, amizade, persistência e amor.

palavras-chave

Detector de balizas, PLL digital, detector coerente, receptor digital com processamento de sinal, síntese digital directa de frequência, experiências de propagação, comunicações de satélite.

resumo

O presente trabalho descreve o desenvolvimento do *hardware* para um detector digital de dois canais para balizas de satélite.

O detector baseia-se na digitalização de uma frequência intermédia (FI) por uma ADC de elevada taxa de amostragem, integrados para processamento digital de sinal programáveis em tempo real e uma DSP (*Digital Signal Processor*) que permite a implementação de algoritmos para seguimento e detecção de sinal. Para facilitar a integração do detector com a parte analógica apresenta-se também uma DDS (*Direct Digital Synthesizer*) que pretende servir de oscilador local a montante do detector.

Descreve-se a arquitectura do sistema, a respectiva implementação e metodologia usada na resolução dos problemas que envolveu o uso de equipamentos de teste e pequenos trechos de *software*. São apresentados ainda os resultados principais do desempenho do detector que compreendem linearidade de amplitude, fase diferencial, patamar de ruído e isolamento. A qualidade espectral da risca obtida por síntese directa é apresentada e discutida.

O detector apresenta um excelente desempenho a vários níveis não comprometendo qualquer característica dos sinais a detectar. Com o *software* apropriado afigura-se que poderá substituir de forma clara a tradicional solução analógica.

keywords

Beacon detector, digital PLL, coherent detector, digital receiver signal processors, direct digital frequency synthesis, propagation experiments, satellite communications.

abstract

The work describes the development of dual channel digital beacon detector.

The detector is based on the high speed sampling of an intermediate frequency (IF), digital receiver signal processor chips that can be programmed in real time and a DSP (Digital Signal Processor) that implements tracking and detection algorithms. A DDS (Direct Digital Synthesis) synthesiser is also present as it can be used as an analogue local oscillator in the preceding analogue receiver chains.

The architecture, implementation and methodology used in hardware problems solving that used several types of instrumentation and DSP testing codes are described in detail. The performance of detector concerning linearity, differential phase, noise floor and crosstalk is presented. The spectral line of the DDS output is also analysed.

The detector is performing very well and seems by itself that the digitalization is not degrading the original signal. By implementing suitable algorithms a clear advantage is expected over the analogue solution.

Conteúdo

Capítulo 1	Introdução	1-1
Capítulo 2	Receptor de Propagação	2-1
2.1	Características Gerais	2-2
2.2	Especificações Típicas de Balizas de Satélite	2-3
2.3	Link Budget (Balanço de Potências)	2-4
2.3.1	Potência do Sinal Recebido	2-4
2.3.2	Potência de Ruído	2-5
2.3.3	Cálculos de um link budget típico de uma baliza	2-7
2.4	Gama Dinâmica das Medidas de Atenuação	2-8
2.5	Arquitetura do Receptor	2-8
2.5.1	Bloco Analógico	2-9
2.5.2	Bloco Digital	2-10
2.5.2.1	Amostragem e Digitalização dos Sinais	2-10
2.5.2.2	Decimação e Filtragem	2-10
2.5.2.3	Aquisição e Seguimento dos Sinais	2-11
Capítulo 3	Receptor Digital	3-1
3.1	Proposta Genérica	3-1
3.2	ADC – Especificações	3-2
3.2.1	Exactidão DC	3-2
3.2.1.1	A função de transferência ideal	3-3
3.2.1.2	Erro de <i>offset</i>	3-4
3.2.1.3	Erro de ganho	3-5
3.2.1.4	Não-Linearidade	3-6
3.2.2	Desempenho Dinâmico	3-7
3.2.2.1	SNR – Relação Sinal-Ruído de uma ADC	3-8
3.2.2.2	THD – Distorção Harmónica Total	3-9
3.2.2.3	SiNAD – Distorção e Sinal-Ruído	3-10
3.2.2.4	SFDR – Gama Dinâmica Livre de Espúrias	3-10
3.2.3	Conclusão	3-11
3.3	DDS	3-11
3.3.1	Modo de Operação	3-12
3.3.2	<i>Jitter</i> ou Ruído de Fase	3-15

3.3.3	Gama Dinâmica Livre de Espúrias (SFDR)	3-17
3.4	Escolha de Sistema e Componentes	3-18
3.4.1	Análise geral de possíveis sistemas	3-18
3.4.2	Sub-Sistema ADC-DRSP	3-19
3.4.3	Sub-Sistema DDS-DSP	3-30
Capítulo 4	Concepção da Placa	4-1
4.1	Componentes	4-4
4.2	Esquemático e PCB	4-5
4.3	Imagens da placa com componentes instalados	4-7
Capítulo 5	Ensaio do Hardware	5-1
5.1	Sequência de Montagem	5-2
5.2	Configurações no Hardware (<i>jumpers</i> e <i>switches</i>)	5-6
5.3	Instrumentos de Teste	5-7
5.3.1	Multímetro Digital	5-8
5.3.2	Osciloscópio Digital	5-8
5.3.3	Analisador Lógico	5-9
5.3.4	Analisador de Espectros	5-9
5.3.5	Geradores de Sinal	5-10
5.3.6	Mecanismo de Atenuação de Sinal	5-11
5.4	Debug de Hardware do Sistema de Aquisição	5-12
5.5	Debug de Hardware do Sistema DDS	5-23
Capítulo 6	Resultados	6-1
6.1	Sistema de Aquisição de Dois Canais – Copolar/Crosspolar	6-1
6.1.1	Componentes em Fase e Quadratura	6-1
6.1.2	Linearidade	6-2
6.1.2.1	Linearidade de Amplitude	6-2
6.1.2.2	Linearidade de Fase	6-4
6.1.3	Fundo de Ruído	6-5
6.1.4	Isolamento	6-6
6.2	Sistema DDS	6-7
6.2.1	Conclusões sobre a qualidade espectral da risca	6-12
6.3	Teste comparativo: Sinal Gerador VS Sinal DDS	6-12
6.4	Sincronização da malha PLL	6-16

<i>Capítulo 7</i>	<i>Conclusões e Trabalho Futuro</i>	<u>7-1</u>
<i>Capítulo 8</i>	<i>Referências</i>	<u>8-1</u>

Lista de Figuras

Figura 1.1 – Arquitetura do receptor digital (apenas o canal de sincronismo).	1-2
Figura 1.2 – Arquitetura de uma solução com detector digital.	1-3
Figura 2.1 – Estágios da Unidade Exterior por onde se inicia a recepção do sinal proveniente do satélite.	2-2
Figura 2.2 – Diagrama de blocos da Unidade Exterior que acondiciona os sinais.	2-9
Figura 3.1 – Função de transferência ideal de uma ADC de 3-bits.	3-3
Figura 3.2 – Função de transferência de uma ADC de 3-bits, com offset de $-1/2$ LSB.	3-4
Figura 3.3 – Erro de quantificação Vs Código de saída.	3-5
Figura 3.4 – Erro de ganho.	3-5
Figura 3.5 – Não-Linearidade Diferencial.	3-6
Figura 3.6 – Não-Linearidade Integral	3-7
Figura 3.7 – Espectro de frequências (single tone) canal A a digitalizar $f_{in}=12.5\text{MHz}$ e canal B a digitalizar $f_{in}=10\text{MHz}$.	3-8
Figura 3.8 – SNR – Comparação do sinal medido com o ruído de fundo.	3-9
Figura 3.9 – SFDR respeitante à AD9238 – exemplo.	3-11
Figura 3.10 – Implementação de uma DDS simplificada.	3-12
Figura 3.11 – Sistema DDS com ajuste de frequência.	3-13
Figura 3.12 – Roda de fase digital.	3-13
Figura 3.13 – Percurso do sinal através da arquitetura da DDS.	3-14
Figura 3.14 – Redução da influência do jitter na frequência de saída	3-16
Figura 3.15 – Gráfico do ruído de fase da DDS AD9850.	3-17
Figura 3.16 – Gráfico SFDR da DDS AD9850 – $\text{CLKIN}=125\text{MHz}$ / $\text{FOUT}=20\text{MHz}$.	3-18
Figura 3.17 – Diagrama de blocos da abordagem com duas ADC's e dois DRSP's.	3-22
Figura 3.18 – Diagrama de blocos da abordagem com duas ADC's e um DRSP.	3-24
Figura 3.19 – Diagrama de blocos da abordagem com uma ADC e um DRSP.	3-25
Figura 3.20 – Diagrama de blocos da abordagem com a ADC AD9238 e um DRSP.	3-28
Figura 3.21 – Diagrama temporal da interface da ADC AD9238 e do DRSP.	3-29
Figura 3.22 – Diagrama temporal do carregamento paralelo das palavras de programação da DDS.	3-32
Figura 3.23 – Interface do sub-sistema DDS-DSP.	3-32
Figura 4.1 – DSP Starter Kit TMS320C6711.	4-1
Figura 4.2 – Esquemático de toda a placa desenvolvida.	4-6
Figura 4.3 – Vista superior do PCB da placa desenvolvida.	4-7
Figura 4.4 – Vista inferior do PCB da placa desenvolvida.	4-7
Figura 4.5 – Vista superior da placa final.	4-8
Figura 4.6 – Vista lateral da placa final.	4-8
Figura 5.1 – Vista superior da placa.	5-3
Figura 5.2 – Vista inferior da placa.	5-3

<i>Figura 5.3 – Sinais A/B e clk_AD6620 com inversor montado.</i>	5-5
<i>Figura 5.4 – Sinais A/B e clk_AD6620 sem inversor montado.</i>	5-5
<i>Figura 5.5 – Osciloscópio digital TDS 3052B da Tektronix.</i>	5-8
<i>Figura 5.6 – Analisador lógico da Hewlett Packard, modelo 1650B.</i>	5-9
<i>Figura 5.7 – Analisador de espectros da Hewlett Packard, modelo 8563A.</i>	5-10
<i>Figura 5.8 – Gerador de sinal Marconi Instruments, modelo 2022.</i>	5-11
<i>Figura 5.9 – Diagrama de blocos da montagem de atenuação.</i>	5-11
<i>Figura 5.10 – Imagens da montagem realizada.</i>	5-12
<i>Figura 5.11 – Escrita completa de um registo interno do DRSP, seguida de uma leitura.</i>	5-14
<i>Figura 5.12 – Escrita completa de um registo interno do DRSP, seguida de uma leitura com o sinal CE3 corrigido.</i>	5-15
<i>Figura 5.13 – Escrita completa bem sucedida de um registo interno do DRSP, seguida de uma leitura.</i>	5-16
<i>Figura 5.14 – Sinais SCLK e SDFS da interface série, depois de corrigido o problema no buffer.</i>	5-18
<i>Figura 5.15 – Sinal analógico visualizado no primário de um transformador e na entrada da ADC respectiva.</i>	5-19
<i>Figura 5.16 – Amostras recolhidas dos canais copolar (com sinal) e crosspolar (com carga adaptada) depois de corrigido o valor do registo dinâmico interno do DRSP, NCO_FREQ.</i>	5-22
<i>Figura 5.17 – Amostras recolhidas dos canais copolar (com carga adaptada) e crosspolar (com sinal) depois de corrigido o valor do registo dinâmico interno do DRSP, NCO_FREQ.</i>	5-23
<i>Figura 5.18 – Sinais de programação da DDS – Sem sinal sinusoidal na saída da DDS.</i>	5-25
<i>Figura 5.19 – Sinais de programação da DDS – AWE invertido – Sem sinal sinusoidal na saída da DDS.</i>	5-25
<i>Figura 5.20 – Sinais de programação da DDS – Com sinal sinusoidal na saída da DDS.</i>	5-28
<i>Figura 5.21 – Sinal sintetizado de 5MHz.</i>	5-28
<i>Figura 5.22 – Sinal sintetizado de 10 e 30MHz.</i>	5-29
<i>Figura 6.1 – Amostras dos canais copolar e crosspolar, em momentos diferentes e com o respectivo canal complementar terminado numa carga adaptada.</i>	6-2
<i>Figura 6.2 – Linearidade de amplitude do canal Copolar e Crosspolar.</i>	6-3
<i>Figura 6.3 – Impacto do ruído no sinal.</i>	6-4
<i>Figura 6.4 – Diferença de fase entre canal copolar e crosspolar.</i>	6-5
<i>Figura 6.5 – Fundo de ruído Vs Sinal.</i>	6-6
<i>Figura 6.6 – Isolamento de um canal em relação ao outro.</i>	6-7
<i>Figura 6.7 – Espectro, com Span=200MHz, para uma frequência fundamental de 5MHz.</i>	6-8
<i>Figura 6.8 – Detalhe da risca, com Span=360Hz, para uma frequência fundamental de 5MHz.</i>	6-8
<i>Figura 6.9 – Espectro, com Span=200MHz, para uma frequência fundamental de 10MHz.</i>	6-9
<i>Figura 6.10 – Espectro, com Span=360Hz, para uma frequência fundamental de 10MHz.</i>	6-9
<i>Figura 6.11 – Espectro, com Span=200MHz, para uma frequência fundamental de 20MHz.</i>	6-10
<i>Figura 6.12 – Espectro, com Span=360Hz, para uma frequência fundamental de 20MHz.</i>	6-10
<i>Figura 6.13 – Espectro, com Span=200MHz, para uma frequência fundamental de 30MHz.</i>	6-11

<i>Figura 6.14 – Espectro, com Span=360Hz, para uma frequência fundamental de 30MHz.</i>	6-11
<i>Figura 6.15 – Comparação do espectro de frequências - Gerador de Sinal Vs DDS.</i>	6-13
<i>Figura 6.16 – Aproximação do espectro de frequências da imagem anterior, em torno da frequência de interesse.</i>	6-13
<i>Figura 6.17 – Impacto do atenuador de 10dB no sinal.</i>	6-14
<i>Figura 6.18 – Espectro de frequências da DDS a 10.7MHz, com atenuador de 10dB.</i>	6-15
<i>Figura 6.19 – Espectro de frequências da saída da DDS a 10.7MHz, com filtro passa-banda centrado em 10.7MHz.</i>	6-15
<i>Figura 6.20 – Aquisição de sincronismo – Componentes I e Q, e variação da frequência do NCO.</i>	6-16
<i>Figura 8.1 – Esquemático com erros corrigidos.</i>	8-1
<i>Figura 8.2 – Vista superior do PCB da placa desenvolvida – Com erros corrigidos.</i>	8-2
<i>Figura 8.3 – Vista inferior do PCB da placa desenvolvida – Com erros corrigidos.</i>	8-2

Lista de Tabelas

<i>Tabela 2.1 – Variação da frequência ao longo do tempo.</i>	2-3
<i>Tabela 2.2 – Variação da EIRP ao longo do tempo.</i>	2-4
<i>Tabela 2.3 – Variação do ruído de fase para diferentes distanciamentos da frequência da portadora.</i>	2-4
<i>Tabela 3.1 – Resumo - especificações relativas à exactidão DC das três ADC's estudadas.</i>	3-26
<i>Tabela 3.2 – Resumo - especificações relativas ao desempenho dinâmico das três ADC's estudadas.</i>	3-27
<i>Tabela 6.1 – Resumo dos dados obtidos nos testes da DDS.</i>	6-12

Abreviaturas

AD™	Analog Devices™
ADC	Analog-to-Digital Converter
AGC	Automatic Gain Control
AGND	Analog Ground
AMR	Address Mode Register
AVDD	Analog Power Supply
At	Atenuação
CE	Chip Enable
CECTL	Chip Enable Control Register
CMOS	Complementary Metal-Oxide-Semiconductor
CNR	Carrier-to-Noise Ratio
CW	Continuous Wave
DAC	Digital-to-Analog Converter
DDS	Direct Digital Synthesizer
DGND	Digital Ground
DNL	Differential Non-Linearity
DRSP	Digital Receiver Signal Processor
DSP	Digital Signal Processor
DVDD	Digital Power Supply
EIRP	Equivalent Isotropically Radiated Power
EMIF	External Memory Interface
FFT	Fast Fourier Transform
FI	Frequência Intermédia
FLL	Frequency-Locked Loop
F _{out}	Frequency Output
LAR	Low Address Register
LED	Light-Emitting Diode
LNA	Low Noise Amplifier
LSB	Less Significant Bit
NCO	Numerically-Controlled Oscillator
INL	Integral Non-Linearity

OEB	Output Enable Bit
OL	Oscilador Local
OMT	OrthoMode Transducer
OPEX	Olympus Propagation Experiment
PCB	Printed Circuit Board
PLL	Phase-Locked Loop
PROM	Programmable Real Only Memory
TI™	Texas Instruments™
RBW	Resolution Bandwith
RF	Radio Frequency
SCLK	Serial Clock
SDFS	Serial Data Frame Start
SDO	Serial Data Output
SFDR	Spurious-Free Dynamic Range
SiNAD	Signal-to-Noise And Distortion
SNR	Signal Noise Ratio
stdout	Standard Output
VCO	Voltage-Controlled Oscillator
VideoBW	Video Bandwidth
THD	Total Harmonic Distortion

Lista de Símbolos

Ψ	Densidade de fluxo
λ	Comprimento de onda
A_{eff}	Área efectiva de recepção da antena receptora
f	Frequência
f_{Clock}	Frequência de Relógio do sistema
G_R	Ganho da antena receptora
h	Constante de Planck
P	Potência transmitida
r	Distância entre receptor e emissor
k	Constante de Boltzmann
T	Temperatura em graus Kelvin

Capítulo 1

Introdução

Os sistemas de telecomunicações por satélite oferecem uma elevada largura de banda. As bandas que primeiro foram exploradas foram as bandas C e Ku. Entretanto houve grandes desenvolvimentos na área de Electrónica e Antenas que possibilitaram a exploração comercial de frequências mais elevadas. Apesar da digitalização dos serviços, entretanto efectuada, ter contribuído para um aproveitamento mais eficiente do espectro, a utilização da banda Ka já se iniciou.

A frequências acima da banda Ku o sinal sofre de alguns efeitos provocados pela troposfera. Se o ângulo de elevação for maior que 5° os problemas principais consistem na atenuação devido a chuva, nuvens, nevoeiros e gases. A despolarização, transferência de sinal da polarização original (denominada copolar - Co) para a polarização ortogonal (denominada crosspolar - Cx), também pode ocorrer devido a chuva ou nuvens de gelo. A amplitude e fase relativa do sinal crosspolar em relação ao copolar, pode contribuir para um melhor entendimento da estrutura do meio de propagação.

A caracterização estática (estatísticas cumulativas) do canal de propagação bem como a caracterização dinâmica (taxa de variação de atenuação, duração de atenuação) são essenciais para o desenvolvimento de sistemas de contra medida que visam a melhoria da qualidade de serviço.

A existência de dados experimentais de propagação é essencial para o desenvolvimento de modelos respeitantes a vários parâmetros do canal já que haverá com certeza factores climáticos envolvidos.

As medições do canal envolvem a monitorização de uma denominada baliza de satélite durante vários anos consecutivos. Uma baliza é de facto um sinal CW (*Continuous Wave*) espectralmente muito puro. Devido à variação lenta de frequência e à relação sinal-ruído ser baixa, a estimação do sinal exige técnicas de sincronização e uma detecção síncrona para conseguir máxima sensibilidade. A arquitectura de um receptor é então super-heteródina e inclui uma PLL (*Phase Locked Loop*) que sincroniza

uma das FI's (Frequências Intermédias) com uma frequência de referência local (Figura 1.1). A partir deste ponto poderá então efectuar-se a detecção síncrona. Após a detecção síncrona as componentes cartesianas são filtradas, a potência do sinal estimada e novamente filtrada.

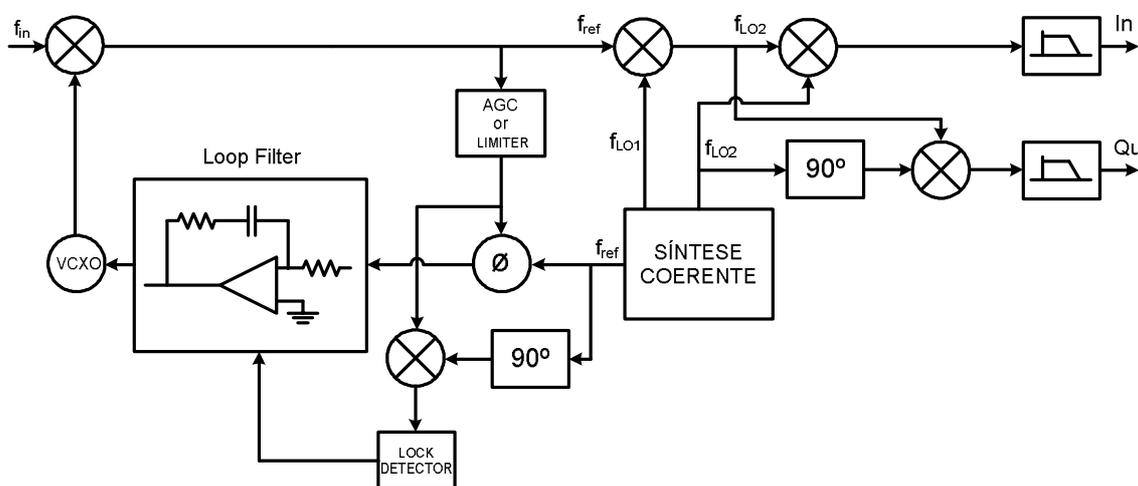


Figura 1.1 – Arquitectura do receptor digital (apenas o canal de sincronismo).

Os estágios de conversão observados na Figura 1.1 necessitam de osciladores com um ruído de fase muito reduzido, pelo que desenvolver uma unidade de derivação síncrona de osciladores locais é um problema.

A PLL é também uma malha que exige um elevado esforço de desenvolvimento não tanto por ela própria mas porque torna necessária a existência de uma unidade de AGC (*Automatic Gain Control*) (de forma a manter as constantes da malha mesmo que o sinal se atenuie) e de circuitos que averigüem a eventual perda de sincronismo e a ajudem a recuperá-lo caso não o consiga de forma espontânea. A reacquirição de sincronismo, uma vez perdido devido a excesso de atenuação, implica uma substancial recuperação do sinal e um varrimento lento do VCXO (*Voltage-Controlled Oscillator*), o que pode retardar o início das medidas.

O *hardware* referido acima exige elevado esforço de desenvolvimento. A sua optimização é quase uma arte e são necessários frequentes ajustes e calibrações para conseguir medidas de boa qualidade. Para obstar a estes problemas, no âmbito deste trabalho foi desenvolvido um sistema orientado para a medição de dois canais, que se baseia directamente na digitalização de uma frequência intermédia e um chip receptor digital com processamento de sinal (Figura 1.2).

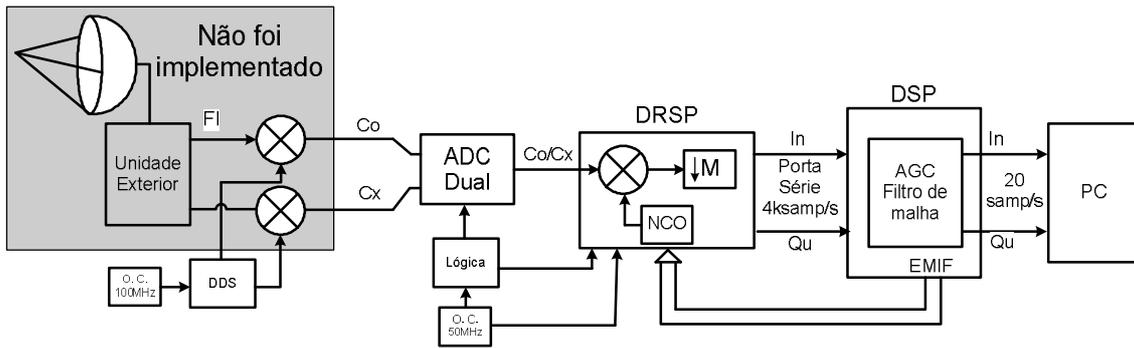


Figura 1.2 – Arquitectura de uma solução com detector digital.

Este arranjo combina as funções de VCXO e detector síncrono numa única placa mantendo a coerência entre os dois canais (copolar e crosspolar). Subjacente a este sistema estará um *kit* com uma DSP (Digital Signal Processor) que irá implementar uma malha de sincronização por *software*. O *hardware* é um desenvolvimento do trabalho de projecto de 5º ano. Para solucionar a problemática da derivação de osciladores locais é também implementado na mesma placa um módulo de síntese directa de frequência (DDS – *Direct Digital Synthesis*) o qual poderá, por exemplo, servir de oscilador local para facilitar a interface com sistemas possuindo diferentes FI's. Foi também inserida na placa um pequeno *transceiver* que permitirá a comunicação série com um PC anfitrião.

A organização desta tese é a seguinte: no Capítulo 2 é feita uma abordagem genérica a um receptor de propagação referindo as suas características gerais. São expostas algumas das principais especificações típicas de uma baliza de satélite e o cálculo do *link budget*. Por fim é descrita a arquitectura do receptor desenvolvido.

Os detalhes referentes ao desenvolvimento da parte digital do receptor de propagação são apresentados no Capítulo 3. São explicadas as especificações mais importantes de ADC's (*Analog-to-Digital Converter*) e DDS's. São também exploradas as diferentes soluções possíveis para o *hardware* (ADC's, DRSP's, DSP e DDS), analisando prós e contras de cada uma.

Tudo o que é referente à montagem e concepção da PCB (*Printed Circuit Board*) do receptor digital é descrito no Capítulo 4. São mencionados os principais cuidados que se devem ter durante o projecto do esquemático, para esta montagem em específico. São ainda listados os componentes utilizados no projecto e expostos os esquemáticos e desenhos do PCB.

Depois de montado todo o *hardware* é necessário efectuar conjunto de ensaios e testes, com o intuito de corrigir todas anomalias que impeçam o correcto funcionamento

do mesmo. Estes testes são apresentado no Capítulo 5 onde são ainda dados a conhecer os diferentes equipamentos de teste utilizados para o efeito.

No Capítulo 6 são apresentados os resultados dos testes de desempenho efectuado ao sistema implementado.

Para encerrar esta tese, o Capítulo 7 menciona as conclusões tiradas de todo o trabalho efectuado.

Capítulo 2

Receptor de Propagação

O receptor de propagação é um conjunto de *hardware* e *software* especialmente desenvolvido com a finalidade de realizar estudos sobre o meio de propagação por onde viaja o sinal de microondas transmitido de um satélite. Este no seu trajecto de propagação, sofre atenuação e despolarização.

Quando o sinal recebido pela antena terrestre tem a mesma polarização que o sinal enviado, é designado por copolar, ao passo que o sinal com polarização ortogonal a este é designado por crosspolar.

Um receptor de propagação é normalmente um sistema que efectua uma detecção síncrona dos sinais recebidos disponibilizando uma réplica da amplitude do copolar e crosspolar e respectiva fase relativa no plano da antena sob a forma de componentes cartesianas (fase e quadratura). Uma das componentes para o sinal copolar pode ser nula pois o receptor é sincronizado por este canal numa malha com uma PLL possuindo um integrador perfeito.

Para os sinais à saída representarem a frente de onda no plano da antena o receptor deve ser calibrado em fase e amplitude periodicamente durante a realização das medidas. O assunto abordado nesta tese apenas vai incidir no desenvolvimento do *hardware* do sistema de aquisição de sincronismo digital dos sinais copolar e crosspolar. Tudo o resto será abordado de forma genérica.

Na secção 2.1 são referidas as características gerais de um receptor de propagação. Na secção 2.2 são abordadas as especificações típicas de uma baliza de satélite. Na secção 2.3 é explicado o cálculo do *link budget*. A secção 2.4 refere a gama dinâmica das medidas de atenuação. Por fim, a secção 2.5 descreve a arquitectura do receptor de propagação utilizado.

2.1 Características Gerais

O conjunto de *hardware* de um receptor de propagação super-heterodino consiste numa antena equipada com um OMT (*OrthoMode Transducer*) que fornece o sinal copolar e crosspolar, uma unidade frontal de baixa figura de ruído (normalmente junto à antena) e uma unidade interior que efectua a sincronização e a detecção síncrona do sinal.

O sinal recebido no plano da antena possui uma elevada frequência pelo que impossibilita o seu tratamento directo. Assim é necessário recorrer a estágios sequenciais de filtragem e amplificação do sinal, antes de estar pronto a ser digitalizado e armazenado para ser utilizado em estudos de propagação.

Cada estágio é composto por um conjunto de:

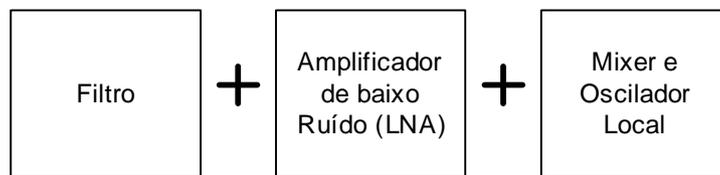


Figura 2.1 – Estágios da Unidade Exterior por onde se inicia a recepção do sinal proveniente do satélite.

Ao longo dos sucessivos estágios, a largura de banda de cada filtro vai sendo reduzida e o sinal amplificado, a fim de se conseguir melhorar a SNR (Signal-to-Noise Ratio).

Os osciladores locais (OL), de valores previamente definidos, são osciladores a cristal de elevada precisão e estabilidade de frequência e baixo ruído de fase que, em parceria com os mixers, permitem a redução do valor da frequência do sinal. Estes OL são partilhados pelas cadeias de sinal copolar e crosspolar.

Um baixo ruído de fase é essencial para conseguir uma elevada gama dinâmica e sensibilidade. Um oscilador com elevado ruído de fase espalha a potência do sinal no espectro exigindo um alargamento da largura de banda da medição para estimar toda a sua potência o que introduz uma maior potência de ruído. Ou seja será exigida uma PLL com uma largura de banda de ruído mais generosa e portanto não será capaz de manter o sincronismo para atenuações mais profundas do sinal.

O ruído de amplitude aditivo ao sinal e para as frequências de interesse é essencialmente ruído branco com distribuição gaussiana. Tem origem na atmosfera,

devido à emissão dos gases e hidrometeoros, bem como no receptor devido a perdas em diversos dispositivos passivos a montante do amplificador de baixo ruído e fundamentalmente o primeiro amplificador da cadeia.

No geral, a estabilidade de fase e amplitude deverá ser elevada para se poder atribuir a variação de qualquer uma destas grandezas aos fenómenos de propagação. Com a finalidade de tornar o receptor imune a variações de temperatura, a obtenção das componentes cartesianas do sinais copolar e crosspolar deve ser realizada num meio digital. Ao digitalizar o sinal numa FI de alguns MHz e assim implementar o receptor no domínio digital é possível melhorar a linearidade, estabilidade e fiabilidade. Obtém-se uma flexibilidade acrescida: as larguras de banda podem ser ajustadas e é possível escolher a FI que melhor se adapta ao *hardware* analógico. O uso de técnicas de processamento de sinal torna ainda possível gerir com inteligência a malha de sincronismo, mesmo quando esta enfrenta condições adversas. Por ultimo, mas igualmente muito importante, os custos de desenvolvimento são claramente reduzidos.

2.2 Especificações Típicas de Balizas de Satélite

A título exemplificativo do que se pode esperar das características de uma baliza de satélite, são ilustradas, em seguida, algumas especificações de relevo. Estes valores serão importantes para validar a escolha de componentes e soluções de *hardware* de forma a não comprometer factores que condicionam a gama dinâmica do receptor, nomeadamente a CNR (Carrier-to-Noise Ratio) e o ruído de fase.

Os valores dizem respeito a balizas de 20GHz e foram tomados os valores de [1, 2]. A ordem de grandeza para as variações da frequência ao longo de intervalos de tempo específicos, nos piores casos, é dada na Tabela 2.1.

Tempo	Desvio
em 1 segundo	+/- 20Hz
em 24 horas	+/- 2KHz
em 1 ano	+/- 20KHz

Tabela 2.1 – Variação da frequência ao longo do tempo.

O EIRP toma valores absolutos que podem variar entre 20 a 30dBW. A ordem de grandeza típica para as variações do EIRP, normalmente devidos ciclos de

aquecimento/arrefecimento com periodicidade diária ou envelhecimento constam da Tabela 2.2.

Tempo	Desvio
em 1 segundo	+/- 0.1dB
em 24 horas	+/- 0.5dB
em 1 ano	+/- 1.3dB

Tabela 2.2 – Variação da EIRP ao longo do tempo.

A ordem de grandeza do ruído de fase da baliza para diversos desvios da frequência central é dada na Tabela 2.3:

Desvio	Ruído de Fase
10Hz	-54.7dBc/Hz
100Hz	-67.8dBc/Hz
1kHz	-77.2dBc/Hz

Tabela 2.3 – Variação do ruído de fase para diferentes distanciamentos da frequência da portadora.

2.3 Link Budget (Balanço de Potências)

O link budget é o cálculo do CNR, ou seja a relação entre a potência do sinal recebido e a densidade espectral de potência de ruído que vai definir a gama dinâmica das medidas.

Para este cálculo é necessário conhecer alguns parâmetros:

- EIRP – Potência isotrópica equivalente radiada na direcção do receptor
- *Path loss* ou perdas de propagação
- Ganho da antena receptora
- Temperatura equivalente do sistema receptor

2.3.1 Potência do Sinal Recebido

O parâmetro EIRP está associado ao transmissor que é a denominada baliza de satélite. É uma medida de potência transmitida na direcção de máxima radiação.

$$\text{EIRP} = \text{Potência_Transmitida} * \text{Ganho_da_Antena_Emissora}, \quad 2.1$$

Equivalentemente em dBW, tem-se:

$$EIRP = \text{Potência_Transmitida} + \text{Ganho_da_Antena_Receptora} \quad 2.2$$

Usando o EIRP podemos calcular o vector de Poynting (densidade de fluxo) a uma distância r do emissor.

$$y = \frac{(P \cdot G)}{4 \cdot \rho \cdot r^2} = \frac{EIRP}{4 \cdot \rho \cdot r^2} \quad 2.3$$

Para se determinar a potência recebida por um receptor é necessário multiplicar a densidade de fluxo pela abertura efectiva da antena. Assim:

$$P_{recebida} = y \cdot A_{eff} \quad 2.4$$

onde $A_{eff} = \frac{l^2 \cdot G_R}{4 \cdot \rho}$, sendo G_R o ganho da antena receptora.

Por fim é possível escrever a expressão para o cálculo do nível de potência do sinal recebido:

$$P_{recebida} = y \cdot A_{eff} = EIRP \cdot \left(\frac{l}{4 \cdot \rho \cdot r} \right)^2 \cdot G_R \quad 2.5$$

ou em dB

$$P_{recebida} = EIRP + 10 \cdot \log \left(\frac{l}{4 \cdot \rho \cdot r} \right)^2 + G_R \quad 2.6$$

onde o *path loss* é a parcela $10 \cdot \log \left(\frac{l}{4 \cdot \rho \cdot r} \right)^2 = -P_d = -10 \cdot \log \left(\frac{4 \cdot \rho \cdot r}{l} \right)^2$.

2.3.2 Potência de Ruído

Todos os objectos cuja temperatura é superior ao zero absoluto, emitem radiação electromagnética. A intensidade de radiação é função da temperatura a que se encontra o objecto. Considerando-se esta radiação como ruído, pode-se modelar a sua fonte como

um radiador de energia quântica, de Max Planck. Assim, obtém-se a energia radiada como função da temperatura e da frequência, através da expressão:

$$E = h \cdot f \left(\frac{1}{\frac{h \cdot f}{e^{kT}} - 1} + \frac{1}{2} \right) \quad 2.7$$

onde h é a constante de Planck, f é a frequência em Hz, k é a constante de Boltzmann e T é a temperatura em graus Kelvin.

Para RF (Rádio Frequência) em geral o factor $h \cdot f$ é muito inferior ao factor $k \cdot T$, para um intervalo nominal de temperaturas, entre 70 e 290 graus Kelvin. Assim, a função exponencial na expressão pode ser aproximada pelos primeiros dois termos. Quando esta aproximação é feita, o denominador do primeiro termo na equação da energia, é simplificado consideravelmente, resultando em:

$$E = k \cdot T + \frac{h \cdot f}{2} \quad 2.8$$

Aplicando novamente a aproximação $h \cdot f \ll k \cdot T$, obtém-se $E = k \cdot T$.

Demonstra-se matematicamente que esta energia é equivalente, em magnitude, à derivada espectral de potência do ruído de radiação. Assim, a potência de ruído térmico numa largura de banda B é apenas $k \cdot T \cdot B$.

Desta forma, a densidade de potência do ruído do sistema é dada por $P_{ruído} / \text{Hz} = k \cdot T_{sys}$.

No receptor a potência de ruído que acompanha o sinal será representada por T_{sys} . Esta temperatura é igual a $T_{at} + T_{eq}$. A temperatura equivalente, T_{eq} , é a contribuição da potência de ruído do primeiro LNA (*Low Noise Amplifier*) do receptor e T_{at} é a potência de ruído recebida pela antena devido à absorção atmosférica. A temperatura de ruído de um amplificador com 3dB de figura de ruído é de cerca 290 graus Kelvin enquanto a temperatura da antena varia entre 20K a 300K quando a atmosfera tem atenuação elevada (precipitação elevada)

2.3.3 Cálculos de um link budget típico de uma baliza

Efectua-se aqui o cálculo da potência do sinal recebido do satélite, bem como da densidade espectral de ruído. Estes parâmetros dependem essencialmente das especificações da baliza de satélite, da antena receptora e do *hardware* de microondas antes da conversão para uma primeira FI. Os dados necessários aos cálculos da potência de sinal recebido e da potência de ruído são:

- EIRP: Um valor típico para este parâmetro é 20dBW;
- r: A distância da estação ao satélite é de cerca de 36000Km;
- λ : A uma frequência de 20GHz, $\lambda=0.015\text{m}$;
- G_R : O ganho da antena receptora, assume-se de 47dB (antena de 1.5m);
- k: A constante de Boltzmann é igual a $1.38 \cdot 10^{-23} \text{ J/K} = -228.6 \text{ dBW/Hz/K}$.

Cálculo da potência de sinal recebido:

$$\begin{aligned} P_{recebida}(\text{dBW}) &= EIRP + 10 \cdot \log\left(\frac{1}{4 \cdot p \cdot r}\right)^2 + G_R \\ &= 20 + (-209.6) + 47 \\ &= -142.6 \text{ dBW} \longrightarrow -112.6 \text{ dBm} \end{aligned}$$

Cálculo da potência de ruído (pior caso de T_{at}):

$$\begin{aligned} P_{ruído} &= k \cdot T_{sys} = k \cdot (T_{at} + T_{eq}) \\ &= 1.38 \cdot 10^{-23} \cdot (290 + 290) \\ &= 8.004 \cdot 10^{-21} \longrightarrow -200.967 \text{ dBW / Hz} \longrightarrow -170.967 \text{ dBm / Hz} \end{aligned}$$

Por fim, $CNR(\text{dB / Hz}) = -112.6 - (-170.967) = 58.37 \text{ dB/Hz}$.

Uma outra forma, mais directa seria calcular directamente a CNR:

$$CNR = \frac{P_{recebida}}{P_{ruído}} = \frac{P_{recebida}}{K \cdot T_{sys}} = EIRP \cdot \left(\frac{1}{4 \cdot p \cdot d}\right)^2 \cdot \frac{G_R}{T_{sys}} \cdot \frac{1}{k} \quad 2.9$$

Na expressão 2.9, o termo G_R/T_{sys} é denominada de figura de mérito. A figura de mérito depende apenas do ganho da antena e da temperatura de ruído do sistema, os quais são os únicos parâmetros que o utilizador poderá modificar para conseguir uma determinada CNR.

Para melhorar a figura de mérito ou se aumenta o ganho da antena ou se reduz a temperatura T_{sys} . Uma vez que a atmosfera contribui com 290K (nas condições de maior atenuação) a utilização de um amplificador com uma figura de ruído da ordem de 3dB é normalmente suficiente para não prejudicar significativamente a gama dinâmica.

2.4 Gama Dinâmica das Medidas de Atenuação

A gama dinâmica das medidas de atenuação depende da existência e qualidade do sincronismo da PLL. A largura de banda da PLL é dimensionada tendo em conta um compromisso entre o ruído de fase do sinal a sincronizar e o ruído aditivo. O valor óptimo depende da relação CNR mas 50Hz é habitualmente tomado como referência. Nestas condições a relação SNR na PLL é dada por:

$$SNR = CNR - 17 .$$

Admitindo que a PLL mantém um sincronismo com qualidade adequada até que a SNR se reduza para 10dB, então a gama dinâmica para a medição de atenuação é dada por:

$$At = CNR - 27 \quad [dB].$$

No caso anterior a gama dinâmica seria de cerca de 30dB. A manutenção do sincronismo, ou pelo menos a sua recuperação rápida após ser perdido em caso de uma atenuação profunda, é fundamental de um ponto de vista experimental.

Numa largura de banda de 1Hz, para as condições de limiar referido anteriormente, o sinal será um vector somado a um vector aleatório de ruído com uma amplitude 27dB inferior. O erro rms na medição de amplitude nestas condições será da ordem de 0.37dB e 2.5°.

2.5 Arquitectura do Receptor

Como já foi dito anteriormente, o receptor de propagação envolve uma antena, uma unidade frontal e uma unidade interior. Os sinais recebidos (copolar e crosspolar) são condicionados normalmente em três ou mais estágios de conversão de frequência. Uma das últimas FI é habitualmente 10.7MHz, dada a disponibilidade de componentes específicos, tais como filtros a cristal. No fim desta cadeia, mais precisamente na unidade interior, pretende-se implementar um bloco digital que digitalize e processe o

sinal copolar afim de obter a aquisição de sincronismo e efectuar a detecção síncrona disponibilizando as componentes em fase e quadratura dos sinais copolar e crosspolar.

2.5.1 Bloco Analógico

Neste bloco analógico (Unidade Exterior), os sinais recebidos são condicionados de modo a fornecer uma réplica destes, em amplitude e diferença de fase, a uma frequência mais reduzida. Não é objectivo no âmbito desta tese aprofundar o funcionamento e características específicas desta parte pelo que se faz apenas uma breve descrição da mesma.

O bloco é constituído por uma antena receptora, guias de onda, filtros com diferentes larguras de banda para cada estágio de conversão de frequência, amplificadores de baixo ruído (LNA), misturadores e osciladores locais a cristal.

A sua disposição encontra-se ilustrada na figura seguinte:

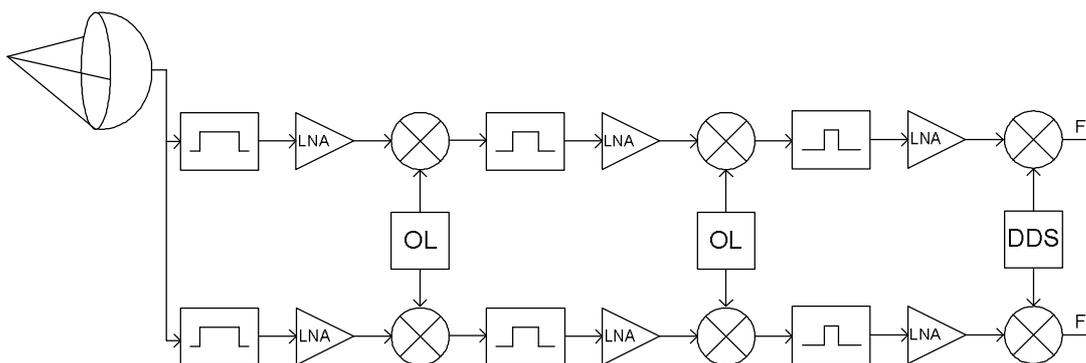


Figura 2.2 – Diagrama de blocos da Unidade Exterior que condiciona os sinais.

A antena capta o sinal e disponibiliza-o numa ou duas portas, conforme se pretenda apenas o canal copolar ou também o crosspolar.

Num primeiro estágio, os sinais passam por um filtro com uma largura de banda consideravelmente grande. O objectivo é a remoção de parte da potência de ruído e eventualmente outros sinais do mesmo satélite ou de outros. Em seguida, os sinais são amplificados com amplificadores de baixo ruído, conhecidos como LNA. Após a amplificação, estes são misturados com um primeiro oscilador local (OL) reduzindo-se, numa primeira etapa, a frequência para uma 1ª frequência intermédia. Este processo repete-se por mais dois estágios, onde o valor da frequência dos osciladores locais vai também sendo reduzido, com a pretensão de no final se obter uma frequência intermédia

de valor 10.7MHz. É muito importante que o primeiro amplificador da cadeia tenha a menor figura de ruído possível, de preferência igual ou inferior a 2-3dB.

À medida que se avança na cadeia torna-se possível utilizar filtros passa-banda com cada vez menor largura de banda o que permite reduzir a potência ruído relativamente à do sinal melhorando significativamente a SNR. De salientar a existência de um sintetizador directo de frequências (DDS) incluído no *hardware* digital, que permite escolher com alguma liberdade a última frequência intermédia.

2.5.2 Bloco Digital

Este bloco divide o processamento dos sinais por três etapas distintas, sendo a primeira a amostragem e digitalização da última FI do canal copolar e crosspolar proveniente do bloco anterior. A segunda etapa está a cargo de um DRSP (*Digital Receiver Signal Processor*) que vai decimar e filtrar numa reduzida largura de banda os sinais. Quando em sincronismo, pela sintonia de um NCO (*Numerically-Controlled Oscillator*), vai ser possível obter as componentes cartesianas dos sinais (DC).

2.5.2.1 Amostragem e Digitalização dos Sinais

Para amostrar e digitalizar os sinais, optou-se por utilizar a ADC AD9238, da Analog Devices™. É capaz de adquirir dois sinais em simultâneo com elevado desempenho.

2.5.2.2 Decimação e Filtragem

Os sinais copolar e crosspolar são convertidos num multiplicador digital usando um oscilador numérico. O sinal é de seguida filtrado e decimado em vários estágios. Este conjunto de tarefas está a cargo do DRSP AD6620 da Analog Devices™. Este chip é capaz de processar os dois sinais ao mesmo tempo e possui vários andares de filtragem, entre os quais um de coeficientes programáveis.

2.5.2.3 Aquisição e Seguimento dos Sinais

As componentes cartesianas são enviadas para uma DSP, que implementará soluções de seguimento como PLL, FLL (*Frequency-Locked Loop*), cálculos de FFT's (*Fast Fourier Transform*), etc.

A DSP TMS320C6711 da Texas Instruments™, na forma de um *kit* de desenvolvimento, torna possível todo o processamento necessário de forma a disponibilizar as componentes cartesianas a baixa taxa de amostragem final (20 amostras/s ou inferior) para um PC. Informações mais detalhadas sobre estes componentes serão apresentadas mais à frente.

Capítulo 3

Receptor Digital

Neste capítulo são apresentados os detalhes referentes ao desenvolvimento do receptor digital. Assim, na secção 3.1 é feita a introdução da proposta genérica de um receptor, referindo as principais características que este deve possuir. Na secção 3.2 são explicadas as diferentes especificações das ADC's que se podem encontrar nos *datasheets*. A apresentação de um sistema DDS completo e a explicação do seu funcionamento é explanado na secção 3.4. Por fim, na secção 3.4 são expostas, passo a passo, as abordagens que surgiram ao longo do estudo, até à escolha final do *hardware* a utilizar para o projecto da placa.

3.1 Proposta Genérica

A passagem para o domínio digital de soluções outrora aplicadas no domínio analógico traz vantagens, tais como estabilidade, flexibilidade, rapidez de desenvolvimento e fiabilidade.

Esta operação de passagem do domínio analógico para o domínio digital, requer alguns passos: a digitalização dos dois sinais recebidos; o processamento do sinal digital e finalmente a detecção do sinal com a maior sensibilidade possível. Uma das soluções pretendidas, talvez a mais importante, é a utilização da detecção síncrona, onde é necessário implementar técnicas de sincronismo como é o caso de PLL's digitais.

No domínio analógico, uma PLL é constituída por um detector de fase, um filtro de malha e um VCO que é corrigido de forma manter a sua frequência igual à do sinal de entrada. Digitalmente é possível recriar este cenário à custa de *hardware* apropriado. É o caso de um receptor e processador de sinal digital (DRSP – *Digital Receiver Signal Processor*). No caso específico deste projecto, este componente deve possuir um NCO e um conversor de frequência para banda base. Desta forma, os dois primeiros blocos constituintes da PLL analógica (NCO e detector de fase) passam para o campo digital.

A implementação do filtro digital de malha, a realimentação e o fornecimento de inteligência ao sistema, ficam a cargo de uma DSP (*Digital Signal Processor*). Trata-se de um equipamento muito versátil. Oferece a possibilidade de efectuar uma interface com vários tipos de memória e de implementar eficientemente os algoritmos necessários para realizar o trabalho pretendido.

Uma vez que a frequência da baliza varia de satélite para satélite e a utilização de frequências intermédias standard é recomendada, não restaria senão a necessidade de adquirir diversos osciladores a cristal (ou desenvolver complexos esquemas de síntese) para servirem de osciladores locais. A forma mais económica será, recorrendo a um único oscilador principal, derivar de forma flexível todos os osciladores locais necessários. Afim de tornar mais flexível a utilização do receptor de propagação a diferentes frequências intermédias foi adicionado ao *hardware*, uma DDS (*Direct Digital Synthesis*). A DDS permite sintetizar uma sinusóide com uma elevada resolução de frequência a partir de um oscilador de referência. O oscilador de referência poderá ser inclusive um oscilador usado no hardware analógico a montante.

3.2 ADC – Especificações

Uma ADC é um dispositivo capaz de converter um sinal analógico num código digital, com uma determinada resolução em bits. O desempenho de uma ADC desvia-se dos valores ideais devido a variabilidade no processo de fabrico, comum a todos os circuitos integrados, e também ao próprio processo de conversão analógico para digital. As especificações de uma ADC permitem quantificar os erros causados na digitalização e são geralmente divididas em duas categorias: exactidão em DC e desempenho dinâmico.

Esta secção pretende esclarecer algumas das especificações que podem ser encontradas nos *datasheets* das ADC's. A informação aqui contida foi baseada em [3].

3.2.1 Exactidão DC

Existem muitos sinais que se mantêm praticamente estáticos, como em sensores de temperatura ou transdutores de pressão. Neste tipo de aplicações, a tensão medida está relacionada com uma medição física, e é fundamental uma boa exactidão do valor

da tensão medida. As especificações que descrevem este tipo de exactidão são o erro de *offset*, erro de ganho, não-linearidade diferencial (DNL) e não-linearidade integral (INL). Estas quatro especificações permitem uma completa descrição da exactidão absoluta de uma ADC. Embora não seja considerado como uma especificação, um dos erros fundamentais existentes nas medidas das ADC's é o próprio resultado do processo de conversão de dados: o erro de quantificação. Este erro não pode ser ignorado nas medições da ADC. O erro de quantificação é um artefacto da representação num número digital de um sinal analógico. O máximo erro de quantificação é determinado pela resolução da medição. Mais à frente, na análise do desempenho dinâmico, o erro de quantificação será referido como ruído de quantificação.

3.2.1.1 A função de transferência ideal

A função transferência de uma ADC é um gráfico que tem nos seus eixos a tensão de entrada do sinal analógico na ADC e o código digital à saída da ADC. Tal gráfico não é contínuo mas representa 2^N códigos, onde o N é a resolução em bits da ADC. Ligando cada código através de uma linha, a função transferência ideal desenharia um gráfico com uma linha a direito, a começar na origem dos eixos, como exemplifica a Figura 3.1.

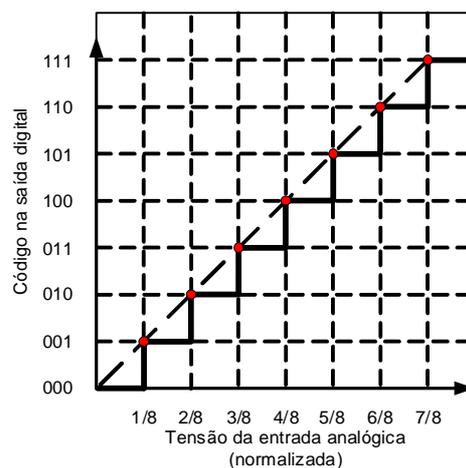


Figura 3.1 – Função de transferência ideal de uma ADC de 3-bits.

Para este caso, o código mais pequeno (000) ocorre até 1/8 da *full-scale*, o tamanho do comprimento do código desta ADC. De notar ainda que o código maior ocorre a 7/8 da *full-scale*, e não ao valor *full-scale*. Portanto, não se atinge o maior valor

de código com a máxima tensão do sinal à entrada da ADC. A transição ocorre sempre ao fim do comprimento do código, chamado de bit menos significativo (*less significant bit* – LSB).

As ADC's reais não permitem obter esta função de transferência perfeita. Os desvios em relação a esta definem a exactidão DC da ADC e são caracterizados pelas especificações encontradas nos *datasheets*.

3.2.1.2 Erro de *offset*

A função transferência pode ser implementada com um *offset* de $-1/2$ LSB, como mostra a Figura 3.2. Isto permite deslocar o erro de quantificação de um intervalo de $[-1$ a 0 LSB] para $[-1/2$ a $1/2$ LSB]. Embora este *offset* seja intencional, é sempre incluído nos *datasheets* como parte integrante do erro de *offset*. Isto é feito para deslocar o potencial erro de quantificação para o segundo intervalo anteriormente mencionado, afim de se obter uma magnitude de erro de quantificação inferior a $1/2$ LSB, como mostra a Figura 3.3.

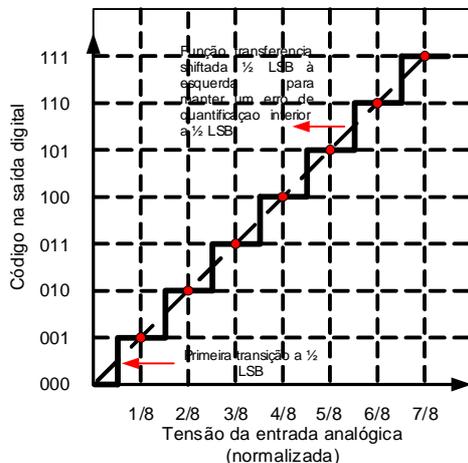


Figura 3.2 – Função de transferência de uma ADC de 3-bits, com *offset* de $-1/2$ LSB.

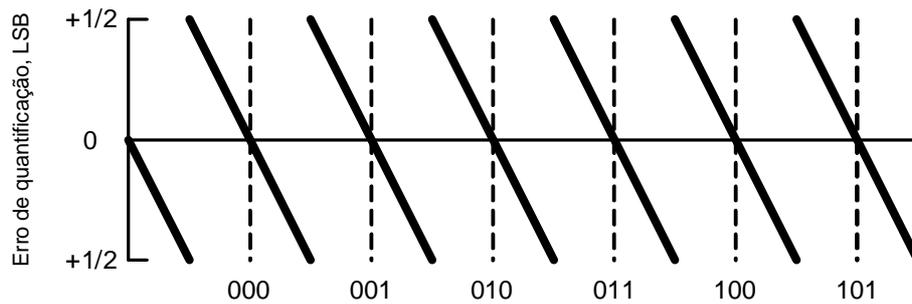


Figura 3.3 – Erro de quantificação Vs Código de saída.

3.2.1.3 Erro de ganho

O erro de ganho de uma ADC indica a diferença entre a inclinação da recta da função transferência medida no momento e a recta ideal da função transferência, como demonstrado na Figura 3.4. A recta da função transferência pode ser vista como $D = K + GA$, onde D é o código digital, A é o sinal analógico e K e G são constantes. O erro de ganho representa a quantidade pelo que o valor de G varia face ao valor ideal. Para complementar, o valor K representa o erro de *offset* falado no ponto anterior.

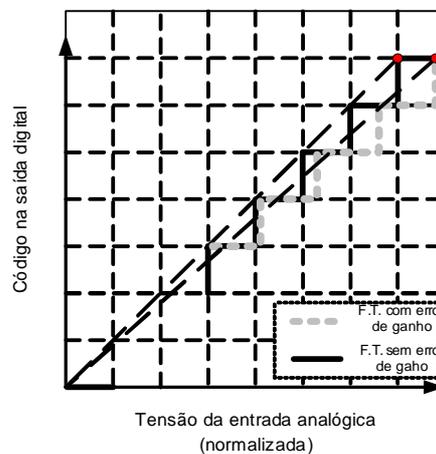


Figura 3.4 – Erro de ganho.

3.2.1.4 Não-Linearidade

Idealmente, cada comprimento de código (LSB) na função de transferência da ADC deve ser uniforme no seu tamanho. Por exemplo, todos os códigos da Figura 3.2 deveriam representar exactamente 1/8 da tensão de referência em *fullscale* da ADC.

Segundo [4], as especificações de DNL e INL em seguida explanadas, não são relevantes para a caracterização do elevado desempenho das ADC's em situações onde não é exigido ou não é possível utilizar toda a resolução disponível das ADC's. Por outras palavras, o DNL e o INL têm importância para aplicações onde a obtenção de elevada resolução é mais importante do que ter taxas de conversão muito elevadas, o que não é o caso exposto nesta tese. No entanto, esta apresentação breve sobre ADC's ficaria demasiado incompleta se não se apresentassem as definições que se seguem.

A diferença nos comprimentos dos códigos, de um código para o código seguinte, é chamada de não-linearidade diferencial (DNL).

O comprimento do código (ou LSB) de uma ADC é dado por:

$$LSB = \frac{V_{ref}}{2^N} \quad 3.1$$

Numa situação ideal, a diferença de tensão entre cada transição de códigos, deve ser igual a um LSB (DNL=0). Na realidade existem desvios e os desvios de cada código à volta de um LSB são medidos como DNL. Isto pode ser observado como um espaçamento desigual nos degraus do gráfico da função transferência das ADC's (Figura 3.5).

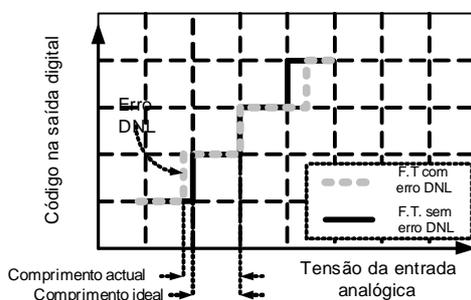


Figura 3.5 – Não-Linearidade Diferencial.

A não-linearidade integral (INL) é o desvio da função transferência de uma ADC, da sua linha recta ideal (Figura 3.6). Assim, o INL é determinado através da medição da tensão onde ocorrem todas as transições, comparando com a situação ideal. É chamado de erro INL, expresso em LSB, à diferença entre os valores de tensão ideais e os valores de tensão medidos. O erro INL, num determinado ponto da função transferência de uma ADC, é a acumulação de todos os erros DNL até então. Daí a designação não-linearidade integral.

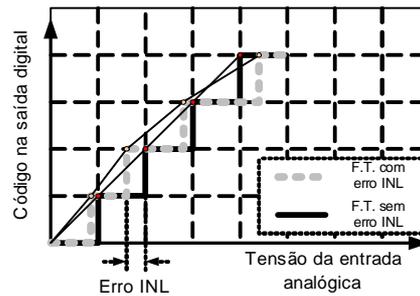


Figura 3.6 – Não-Linearidade Integral

3.2.2 Desempenho Dinâmico

O desempenho dinâmico da ADC é especificado utilizando os parâmetros obtidos através de uma análise no domínio da frequência, normalmente através de FFT's do sinal quantificado. Na Figura 3.7 é apresentado um exemplo prático da análise no domínio da frequência à ADC de dois canais AD9238, da Analog Devices™, retirado de [5]. Aqui, a frequência fundamental é a frequência do sinal de entrada, de 12.5MHz embora no outro canal tenhamos um sinal de 10MHz. As restantes riscas são sinais não desejados. Isto inclui a distorção harmónica, ruído térmico, e ruído de quantificação. Existem determinadas fontes de ruído que poderão ser externas à ADC como, por exemplo, o ruído térmico e distorções provenientes de circuitos externos a montante da ADC.

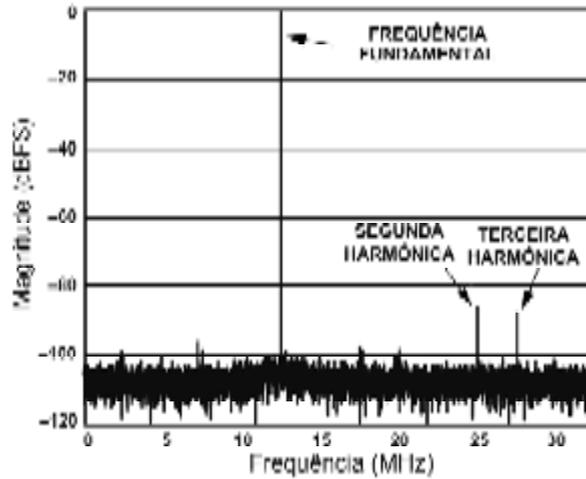


Figura 3.7 – Espectro de frequências (*single tone*) canal A a digitalizar $f_{in}=12.5\text{MHz}$ e canal B a digitalizar $f_{in}=10\text{MHz}$.

3.2.2.1 SNR – Relação Sinal-Ruído de uma ADC

A relação SNR é a relação entre o valor médio quadrático (RMS) da amplitude do sinal de entrada e o valor médio quadrático da tensão do ruído e é dada pela equação seguinte:

$$SNR(dB) = 20 \cdot \log \left(\frac{V_{\text{sinal(rms)}}}{V_{\text{ruído(rms)}}} \right) \quad 3.2$$

O SNR traduz a comparação do sinal medido, com o ruído. Este ruído, chamado de ruído de fundo (Figura 3.8), não inclui a distorção das harmônicas, mas inclui o ruído de quantificação, bem como outras fontes tais como ruído térmico.

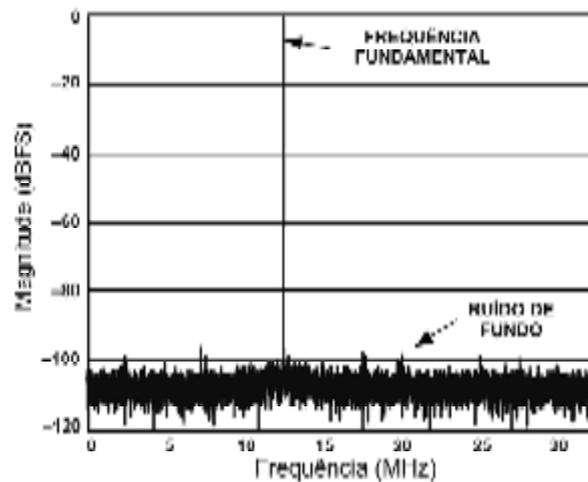


Figura 3.8 – SNR – Comparação do sinal medido com o ruído de fundo.

Para uma determinada resolução, apenas o ruído de quantificação limita a ADC de obter o melhor valor teórico de SNR, uma vez que este é o único erro existente numa ADC ideal. Este valor teórico é determinado através da seguinte expressão, onde N representa o número de bits de resolução da ADC.

$$SNR(dB) = 6.02 \cdot N + 1.76, \quad 3.3$$

Só é possível reduzir o ruído de quantificação através do aumento do número de bits de resolução da ADC.

3.2.2.2 THD – Distorção Harmónica Total

A não linearidade encontrada na conversão de dados resulta, que resulta no aparecimento de linhas espectrais a frequências múltiplas da do sinal a converter, quando analisada no domínio da frequência origina distorção harmónica. Esta distorção, observada como linhas espectrais no gráfico da FFT, são as harmónicas do sinal medido como foi visto anteriormente na Figura 3.7. Este tipo de distorção é denominado de distorção harmónica total (THD), e a sua potência relativa ao sinal (em dB) é determinada pela seguinte equação:

$$THD = 20 \cdot \log \left(\frac{\sqrt{V_2^2 + V_3^2 + \dots + V_n^2}}{V_1} \right), \quad 3.4$$

Os valores V_2 , V_3 , etc são as amplitudes das sucessivas harmónicas. A amplitude da distorção da harmónica diminui à medida que a frequência aumenta, até ao ponto em que desaparece entre o ruído de fundo, ou se encontra fora da largura de banda de interesse. Normalmente os fabricantes indicam a ordem da máxima harmónica usada para o cálculo do THD (tipicamente a quinta harmónica).

3.2.2.3 SiNAD – Distorção e Sinal-Ruído

A especificação distorção e sinal-ruído cria uma imagem mais completa, face ao THD, ao incluir o ruído e a distorção harmónica, numa só. Repare-se que esta contribuição inclui a potência de ruído. Assim obtém-se uma descrição comparativa entre o sinal medido e o ruído e a distorção. Através da seguinte equação é possível determinar o SiNAD:

$$\text{SiNAD} = 20 \cdot \log \left(\frac{V_1}{\sqrt{V_2^2 + V_3^2 + \dots + V_n^2 + V_{\text{ruído}}^2}} \right), \quad 3.5$$

3.2.2.4 SFDR – Gama Dinâmica Livre de Espúrias

A gama dinâmica livre de espúrias, ou em inglês “*Spurious-Free Dynamic Range*” (SFDR) trata da diferença entre a magnitude do sinal medido e o valor da espúria de maior amplitude. Normalmente, as espúrias são harmónicas do sinal medido, mas nem sempre é o que sucede. Tendo como base mais um exemplo recolhido do *datasheet* da AD9238, é possível verificar alguns exemplos de espúrias, na Figura 3.9.

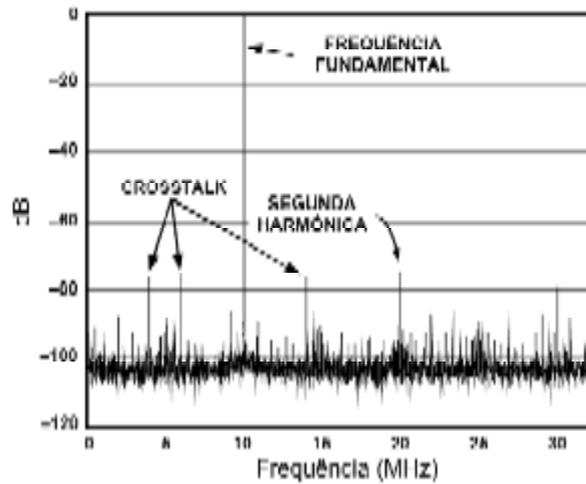


Figura 3.9 – SFDR respeitante à AD9238 – exemplo.

3.2.3 Conclusão

As especificações aqui abordadas, e incluídas nos *datasheets* da maior parte das ADC's, permite obter informações sobre o seu funcionamento e limitações. Os valores máximos e mínimos fornecidos pelo fabricante garante o seu pior ou melhor desempenho. Os valores típicos mencionados, apenas traduzem o comportamento da ADC num funcionamento dito normal, não garantindo que seja possível obter sempre esse desempenho.

3.3 DDS

DDS (*Direct Digital Synthesis*) é uma técnica digital que possibilita a criação de um sinal sinusoidal de frequência (e fase) ajustável, referenciado a um relógio de frequência fixa. O valor da frequência de relógio de referência é dividido pela DDS, por um factor de escala programado num registo chamado palavra de ajuste, ou *tuning word*. Tipicamente, a *tuning word* tem um comprimento de 24 a 48 bits, permitindo ao oscilador DDS uma elevada resolução na frequência do sinal de saída.

Algumas das vantagens da utilização de DDS's são:

- Capacidade de programar (e reprogramar) a frequência de saída pretendida;
- Resolução digital de frequência da ordem dos micro-Hz e de fase da ordem dos sub-graus;

- Arquitectura digital que elimina a necessidade de ajuste e optimização manual e é imune ao envelhecimento de componentes e variações da temperatura das soluções de síntese analógica;
- Baixo custo;
- A DDS apresenta-se num encapsulamento pequeno e individual.

3.3.1 Modo de Operação

De uma forma simplificada, uma DDS pode ser implementada a partir de um relógio de referência, um contador de endereços, uma PROM (*Programmable Read Only Memory*), e uma DAC (*Digital-to-Analog Converter*), como esquematizado na Figura 3.10.

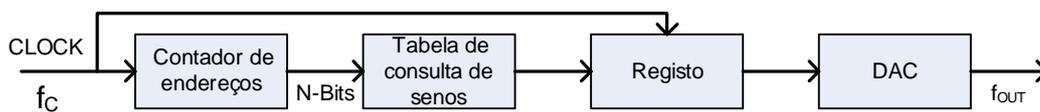


Figura 3.10 – Implementação de uma DDS simplificada.

A informação digital da amplitude, correspondente a um ciclo completo de uma onda sinusoidal, é armazenada na PROM, funcionando assim como uma tabela de consulta de senos. O contador de endereços é incrementado passo a passo, acedendo a cada localização da PROM, cujo conteúdo destas localizações contém o valor equivalente da amplitude do seno, que por sua vez é enviado para uma DAC. Assim a DAC gera uma onda sinusoidal analógica em resposta aos valores digitais provenientes da PROM. Nesta implementação de uma DDS, o valor da frequência do sinal de saída depende da frequência do relógio de referência e do tamanho do passo da onda sinusoidal programado na PROM. Embora seja possível obter um bom desempenho AC, ao nível da fidelidade da saída analógica e do *jitter*, esta arquitectura peca por não possuir um ajuste flexível da frequência de saída. Será sempre necessário alterar o relógio de referência ou reprogramar a PROM, caso se pretenda um novo valor de frequência na saída analógica.

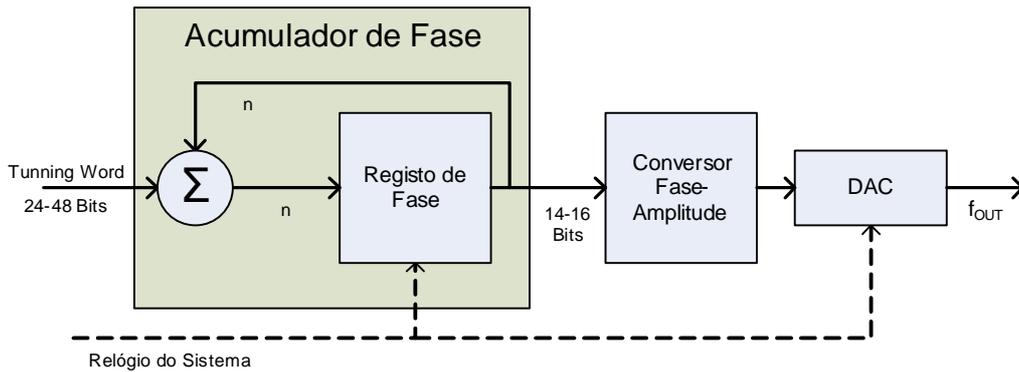


Figura 3.11 – Sistema DDS com ajuste de frequência.

Introduzindo agora uma função de acumulação de fase na cadeia de sinal digital, esta arquitectura transforma-se num oscilador controlado numericamente (NCO), que é o cerne de uma DDS altamente flexível! Como representado na Figura 3.11, é implementado o acumulador de fase antes da tabela de consulta de senos, substituindo assim o contador de endereços da arquitectura antiga. Este acumulador é constituído por um contador variável de N-bits e um registo de fase. A realimentação permite criar uma “roda de fase” na arquitectura da DDS. Para melhor se perceber esta função básica, deve-se visualizar a oscilação da onda sinusoidal como um vector a girar à volta do círculo de fase, como demonstrado na Figura 3.12.

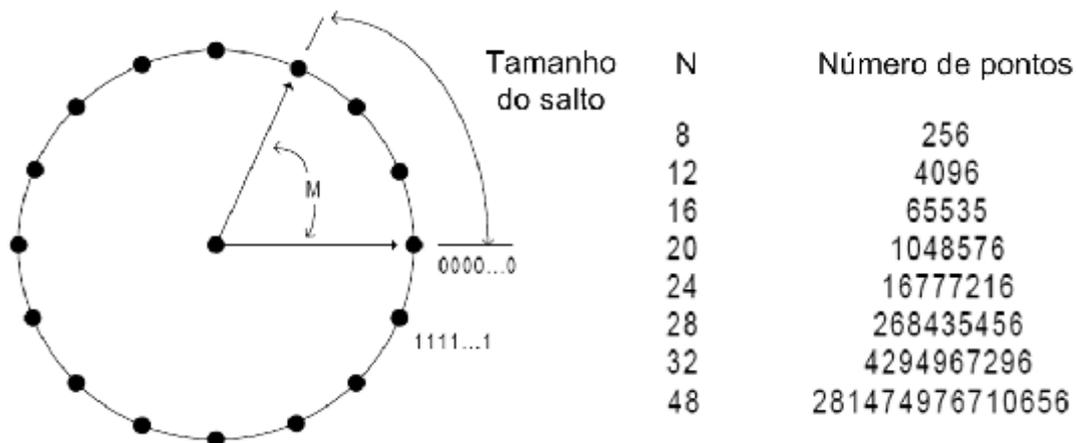


Figura 3.12 – Roda de fase digital.

Cada ponto marcado na roda de fase corresponde a um ponto equivalente num ciclo de uma forma de onda sinusoidal. É assim possível visualizar a geração de uma onda sinusoidal à saída, à medida que o vector gira à volta da roda. Uma revolução completa do vector em torno da roda de fase, a uma velocidade constante, resulta num

ciclo completo da onda sinusoidal à saída. O acumulador de fase é utilizado para se obter o equivalente da rotação linear do vector à volta da roda de fase. O conteúdo do acumulador de fase corresponde aos pontos no ciclo da onda sinusoidal de saída. O número de pontos discretos de fase contidos na roda é determinado pela resolução N do acumulador de fase. A saída do acumulador de fase é linear (uma rampa de fase) e não pode ser directamente usada para gerar qualquer outra forma de onda excepto uma rampa. Desta forma é usada uma tabela de consulta, para converter uma versão truncada do valor instantâneo do acumulador de fase, num valor de amplitude da onda sinusoidal, que posteriormente é enviado para uma DAC. À medida que a frequência de saída aumenta, o número de amostras por ciclo diminui. Uma vez que o teorema da amostragem diz que são necessárias duas amostras por ciclo para reconstruir a forma de onda de saída, a frequência fundamental máxima à saída da DDS é $REFCLK/2$. Contudo, para aplicações práticas, a frequência de saída está limitada a valores inferiores, melhorando a qualidade da forma de onda reconstruída e permitindo a filtragem da mesma.

Na Figura 3.13 apresenta-se o resumo da cadeia de sinal.

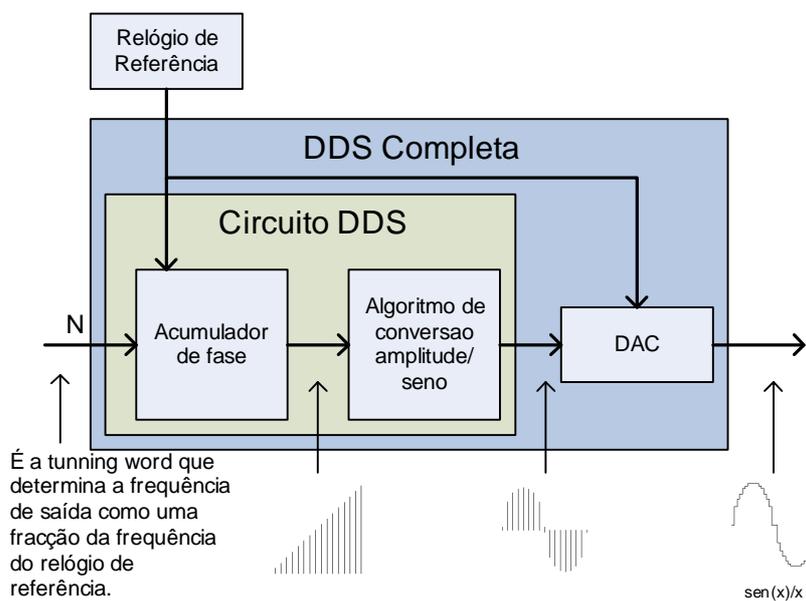


Figura 3.13 – Percurso do sinal através da arquitectura da DDS.

O acumulador de fase é de facto um registo que incrementa o valor armazenado, de cada vez que recebe um impulso de relógio. A magnitude desse incremento é determinada pela palavra digital M , contida num “registo delta-fase”, que é somado com o *overflow* do contador. A palavra contida no registo delta-fase é o tamanho do

incremento entre as actualizações do relógio de referência: indica quantos pontos são passados à frente na roda de fase. Quanto maior o tamanho do salto mais depressa o acumulador de fase é excedido, completando assim o equivalente a um ciclo de uma onda sinusoidal. Este controlo do tamanho do salto constitui a resolução de ajuste da frequência da arquitectura da DDS.

A relação do acumulador de fase e do acumulador delta-fase, forma a equação de ajuste básico para a DDS:

$$F_{OUT} = \frac{M \cdot REFCLK}{2^N}, \quad 3.6$$

onde:

F_{OUT} = frequência de saída da DDS

M = palavra binária de ajuste (*tunning word*)

$REFCLK$ = frequência do relógio de referência interno

N = comprimento em bits do acumulador de fase

As alterações efectuadas ao valor de M são aplicadas no impulso de relógio seguinte e o valor contínuo de fase muda no sinal de saída.

Na prática o valor da palavra M é carregado para um registo interno, através de comunicação série ou paralela de 8 bits, que antecede o registo delta-fase. Este processo é geralmente feito para reduzir o número de pinos no chip DDS. Logo que o último registo interno é escrito, a frequência de saída da DDS é actualizada. Geralmente, o que limita a velocidade de alteração da frequência de saída é a máxima taxa a que o registo interno pode ser carregado e executado.

Para mais detalhes e clarificações, deve ser consultado o documento [6].

3.3.2 Jitter ou Ruído de Fase

O *jitter* é o deslocamento dinâmico dos limites dos sinais digitais em relação à sua posição média, medido em graus rms. De acordo com [7], um oscilador perfeito possui os seus flancos ascendentes e descendentes a ocorrerem em momentos precisos no tempo que nunca variam. Na realidade isto é impossível de acontecer, uma vez que até os melhores osciladores são construídos com componentes reais, com fontes de ruído e outras imperfeições. O ruído pode ter origem no ruído térmico dos componentes

do oscilador, instabilidades na electrónica do mesmo, interferências externas provenientes das linhas de alimentação, terra e também das ligações de saída. Campos eléctricos e magnéticos exteriores podem afectar também a saída do oscilador. Assim a saída da DDS vai adicionar uma determinada quantidade de *jitter*. Uma forma de reduzir o *jitter* passa por dividir a frequência do relógio de referência de elevada frequência. Desta forma, a mesma quantidade de *jitter* ocorre para um período maior, reduzindo a sua percentagem no tempo de sistema.

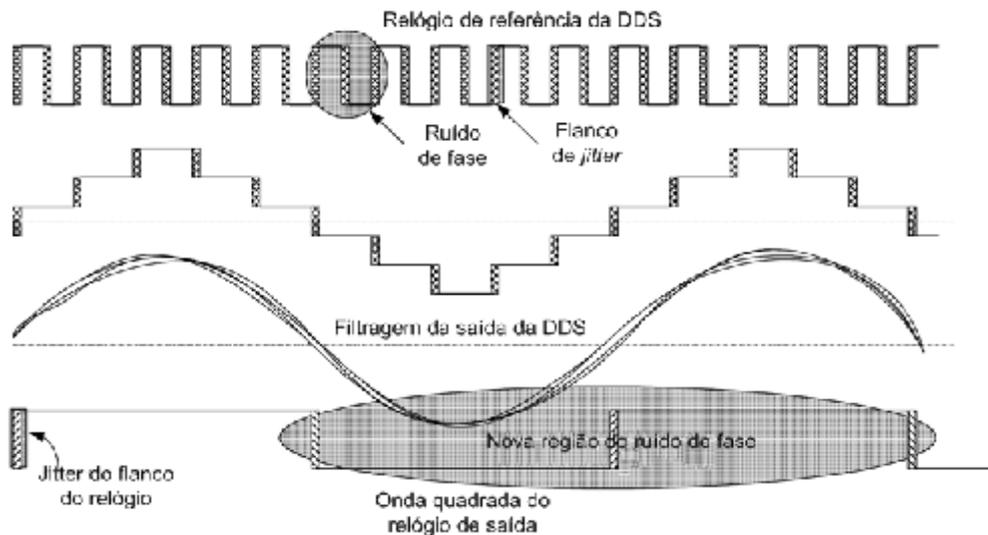


Figura 3.14 – Redução da influência do *jitter* na frequência de saída

De uma forma geral, para reduzir as principais fontes de *jitter* e evitar a introdução de fontes adicionais, deve-se utilizar um relógio de referência estável e usar a maior frequência de referência praticável, afim de permitir *oversampling*.

O ruído existente em sistemas amostrados depende de muitos factores. O *jitter* existente no relógio de referência pode ser visto como o ruído de fase no sinal fundamental de um sistema DDS (Figura 3.14). A truncagem de fase também introduz erros no sistema. Esse sinal de erro é caracterizado pelo comportamento da palavra truncada (a palavra truncada é a porção do acumulador de fase que contém os bits truncados). Além disso, o sinal de erro da truncagem origina espúrias discretas à saída da DDS, denominadas de espúrias de truncagem de fase. Assim, para taxas que exigem mais bits do que os disponíveis, o erro resultante da truncagem do ruído de fase origina então espúrias no espectro. A magnitude e a distribuição das espúrias dependem da palavra de código escolhida. Também a DAC contribui para o ruído existente no sistema. Os erros de quantificação e de linearidade da DAC resultam em ruído e

harmónicas. A Figura 3.15 exemplifica o ruído de fase da DDS AD9850, utilizada no projecto, encontrada em [8].



Figura 3.15 – Gráfico do ruído de fase da DDS AD9850.

3.3.3 Gama Dinâmica Livre de Espúrias (SFDR)

A gama dinâmica livre de espúrias é a relação (medida em dB) entre o nível mais elevado do sinal fundamental e o nível mais elevado de uma qualquer espúria de sinal (incluindo *aliases* e harmónicas), como já referido anteriormente no capítulo das ADC's.

De acordo com [7], o SFDR é uma especificação importante em aplicações onde o espectro de frequência é partilhado com outros canais de comunicação. Se a saída de um transmissor envia sinais de espúrias para outras bandas de frequência, estes podem corromper ou interromper sinais vizinhos. No caso deste sistema é essencial que qualquer espúria tenha uma potência inferior à do ruído na largura de banda de qualquer sistema de seguimento de forma a evitar a possibilidade de uma aquisição indevida.

A figura seguinte exemplifica o SFDR da DDS AD9850, que se pode encontrar no respectivo *datasheet* [8].

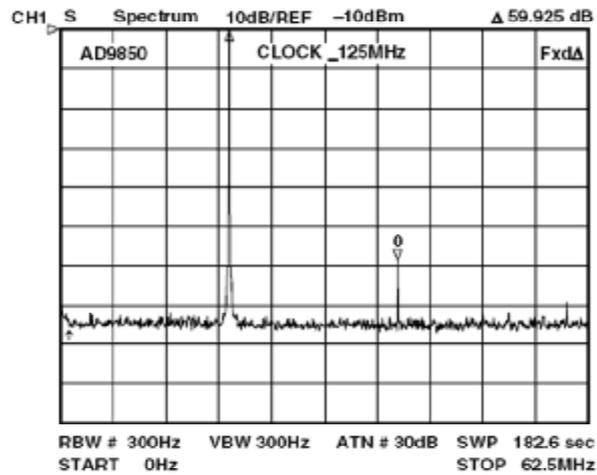


Figura 3.16 – Gráfico SFDR da DDS AD9850 – CLKIN=125MHz / FOUT=20MHz.

3.4 Escolha de Sistema e Componentes

Para o novo *hardware* ser capaz de receber e processar dois sinais em simultâneo, foi necessário realizar algumas alterações face ao *hardware* utilizado em [9].

Nesta secção são expostas algumas soluções para a implementação de um receptor de dois canais, analisando os prós e contras do *hardware* que foi pesquisado ao longo do estudo. As características específicas dos componentes, a optimização do espaço ocupado e consumo de potência, entre outros, foram alguns dos aspectos tidos em consideração. Assim, na subsecção 3.4.1 são descritos os subsistemas: ADC-DRSP (subsecção 3.4.2) e DDS-DSP (subsecção 3.4.3).

No subsistema ADC-DRSP são avaliadas as configurações: duas ADC's e dois DRSP's; duas ADC's e um DRSP; uma ADC Dual e um DRSP.

No subsistema DDS-DSP são analisadas as diferentes funções que podem existir dentro de um chip DDS completo. É feita uma exposição das características mais relevantes da DDS utilizada: a AD9850 da Analog Devices™.

3.4.1 Análise geral de possíveis sistemas

Um ponto assente desde o início é que não será necessário utilizar qualquer outro DRSP, para além do AD6620, já utilizado em [9]. Face às excelentes prestações obtidas em [9], a introdução de um novo sinal no processamento não afectará com

relevância o resultado pretendido, pois este chip é bastante flexível no processamento de dois sinais em simultâneo. A utilização de apenas uma DRSP tem a óbvia vantagem de assegurar à partida a coerência de fase, uma vez que a cadeia de processamento partilha o mesmo oscilador de controlo numérico. Por outro lado a programação e inevitável leitura de confirmação é directa se usarmos apenas um chip.

Assim não foi feita qualquer alteração na forma como o DRSP comunica com a DSP, tanto para envio de dados processados, como para acesso de programação e configuração deste chip. Não é dispensada a consulta de [9], para esclarecimento de qualquer dúvida neste campo.

3.4.2 Sub-Sistema ADC-DRSP

No mercado existem muitas ADC's com distintas especificações. O estudo foi centrado numa ADC da Analog Devices™, dado o historial de trabalho realizado anteriormente e uma de outro fabricante, a Burr-Brown™/Texas Instruments™. Actualmente as ofertas de mercado de ADC's de 12bits para estas taxas de amostragem são bastantes.

- **Duas ADC's, Dois DRSP's**

Com dois sinais analógicos para serem processados, é implicitamente necessário a sua digitalização individual. A primeira escolha, e a mais óbvia, passa por usar um chip ADC individual para cada sinal. Para o efeito tem-se o AD6640 da Analog Devices™, já anteriormente utilizado em [9]. Com uma resolução de 12 bits e uma taxa de amostragem máxima de 65MSPS, teve um desempenho satisfatório em [9].

De uma forma geral, para uma ADC de 12 bits, com um sinal de 2Vpp na sua entrada analógica, teoricamente cada um dos seus 4096 códigos corresponde a um degrau de tensão de 0.488mV, ou seja aproximadamente 0.024% FS. Com 12 bits (4096) teremos uma amplitude máxima de 72.24dB e com o valor lógico "01h" ter-se-á 0dB. Contudo a resolução da medida será muito grosseira: "00h" será "-∞dB" e "02h" +6dB.

No capítulo 2.2 foi determinado que o sinal a ser medido terá uma margem de atenuação máxima de 32dB (admitindo a medição com o auxílio de uma PLL com a largura de banda de 50Hz e um SNR limiar de 10dB). Este valor corresponde a 103

unidades. A resolução conseguida será então da ordem de 0.09dB e cerca de 0.6° o que não compromete grandemente a incerteza da medição.

Saliente-se contudo que, uma vez que se vai amostrar a uma taxa elevada, que o sinal tem uma SNR reduzida (devido à moderada largura de banda de um filtro a cristal na última FI) e é efectuada uma elevada taxa de decimação, irá haver sempre um aumento da resolução efectiva se a aritmética assim o permitir [10].

Na categoria da exactidão DC, relativa às especificações de desempenho das ADC's, mencionada na secção 3.2.1, existem quatro especificações principais. São elas o erro de *offset*, erro de ganho, INL e DNL.

Para a ADC AD6640 existe um erro de *offset* típico de 3.5mV. Aplicando uma regra de três simples, facilmente se verifica que corresponde a 7, ou seja 3 LSB. Para o pior dos casos, esta ADC não irá degradar o sinal convertido, pois só introduz erro até ao 3° LSB. Na situação limite de um erro de *offset* de 20mV, o erro seria de 20. Para um erro de 7 de offset, supondo-o a afectar directamente os dados recolhidos para o valor mínimo de sinal (103) o desvio seria cerca de 0.5dB. Um erro de offset de 20 corresponderia a cerca de 1.54dB o qual já é significativo. Importa portanto efectuar uma calibração do sistema a qual é aliás sempre necessária pois o *hardware* analógico pode ser ele próprio não linear.

O erro de ganho desta ADC é de 4% FS. Isto representa um erro de 162 códigos, ou seja, 8 LSB. Contudo, embora este valor pareça elevado, de facto o que interessa do ponto de vista experimental é o valor em dB do sinal medido em relação ao que seria medido em céu limpo. Numa escala logarítmica este erro de ganho vai traduzir essencialmente num “offset” que é naturalmente removido quando os dados forem tratados. Quanto ao DNL, possui tipicamente um valor de +/- 0.5 LSB. Já o INL é tipicamente de +/- 1.25 LSB.

Na categoria de desempenho dinâmico, a AD6640 possui o pior SNR das três ADC's estudadas, de 67.7dB. Contudo, este valor seria perfeitamente aceitável para este projecto. Repare-se que este parâmetro é calculado com a potência de ruído integrada em toda a banda e o interesse fundamental consiste em conseguir um sistema cuja CNR residual seja razoavelmente inferior à do sinal (~58dBHz). A distorção total das harmónicas é tipicamente de -74dBc, ao passo que o SFDR disponibilizado por esta ADC é de 90dBFS. Está assim assegurada a impossibilidade de sincronização numa espúria dada a CNR do sinal da baliza.

Na página 3-26, a Tabela 3.1 e a Tabela 3.2 resumem os principais valores das características, respectivamente, de exactidão DC e desempenho dinâmico, para a ADC AD6640.

Deve-se ter em atenção que um dos sinais, o crosspolar, tem características muito específicas, nomeadamente ser bastante mais fraco do que o copolar, pelo que a escolha da ADC deve ser ponderada, afim de não degradar ainda mais o, já por si fraco, sinal. Contudo, a optimização do sinal crosspolar é feita no estágio anterior à digitalização normalmente usando um maior ganho nas FI's do receptor.

Com dois sinais a serem digitalizados, em comparação com [9], o consumo de potência começa a ter que ser considerado. Verificou-se que em [9] a ADC AD6640, possui um consumo aproximado de 700mW, com implicações no caso do projecto necessitar de ser móvel. Não foi implementado qualquer dispositivo que permita desligar automaticamente, ou activar algum modo de *power-down* nas ADC's, pelo que sempre que a placa se encontrar ligada à fonte de alimentação, as ADC's estarão a funcionar à velocidade máxima permitida, mesmo sem sinais à entrada. Outro aspecto importante é que com duas ADC's, a área ocupada na placa, no mínimo, duplica.

Como o DRSP usado neste projecto é o mesmo do utilizado em [9], a decisão de usar um ou dois DRSP para processar os sinais digitalizados, prende-se mais com aspectos relacionados com o acesso individual para programação e configuração, sincronização, partilha de recursos, consumo de potência e área ocupada na placa.

Existem claras vantagens na utilização de dois DRSP's, em detrimento de apenas um. Mas também existem desvantagens significativas. Com um DRSP por cada canal a ligação do chip DRSP à ADC correspondente é feita de forma directa, ou seja, os 12 bits de dados digitais da saída digital da ADC, ligam-se directamente na entrada digital do DRSP (Figura 3.17). Por outro lado, a comunicação dos DRSP's com a DSP, já requer mais alguns cuidados: uma vez que os dados processados pelo DRSP são enviados por uma única porta série para a DSP, a multiplexagem de cada sinal, deve ser feita de acordo com a configuração existente em [11]. O DRSP AD6620 tem uma denominada *microport* de 8 bits, por onde é feita a configuração deste chip. Com dois DRSP em jogo, este barramento paralelo tem de ser partilhado por ambos. Isto requer maior complexidade no circuito, pois envolve *hardware* adicional para o efeito. Embora uma operação de escrita possa ser feita em simultâneo em ambos os chips (caso se pretenda a mesma configuração para os dois sinais), já uma operação de leitura para efeitos de *debugging* tem de ser feita individualmente. Esta é uma desvantagem para um

projecto que está em fase de desenvolvimento e necessita de ser testado para possíveis correcções de erros durante o projecto.

Um pormenor de extrema importância para este projecto em concreto, prende-se com a necessidade de manutenção da fase relativa dos dois sinais. Existe a remota possibilidade dos chips não arrancarem ao mesmo tempo, alterando a diferença de fase existente entre os dois sinais. Os chips dispõem de mecanismos que previnem a ocorrência desta situação [11] mas não é muito clara a forma como actuam.

É possível evidenciar também o facto de que com dois DRSP, se obtém um processamento a tempo inteiro para cada sinal. Neste projecto, este argumento não tem grande relevo, uma vez que a taxa de aquisição final não é muito exigente.

Na figura seguinte encontra-se representado o diagrama de blocos desta possível configuração de duas ADC's e dois DRSP's.

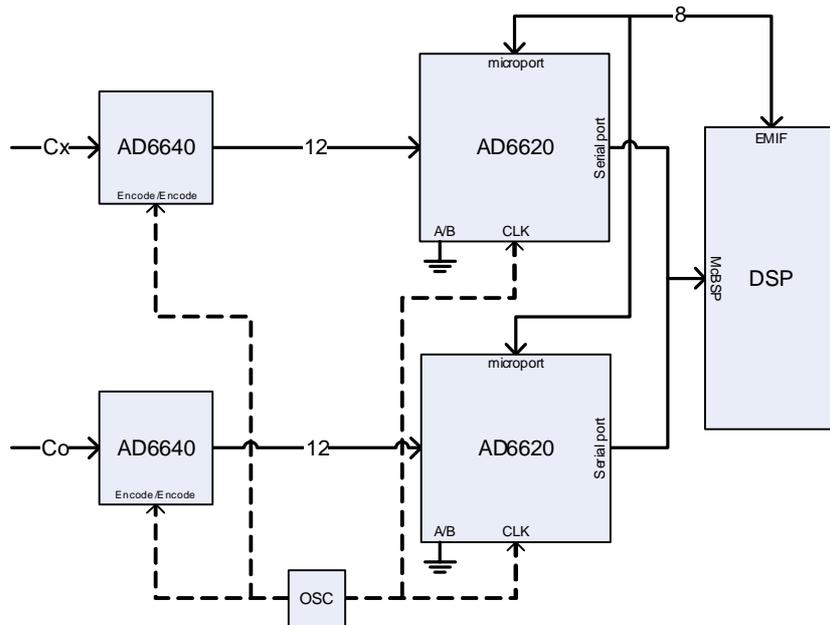


Figura 3.17 – Diagrama de blocos da abordagem com duas ADC's e dois DRSP's.

Sendo o DRSP AD6620 um chip capaz de lidar com dois sinais em simultâneo para o relógio proposto de 50MHz, avaliados os prós e contras, trás mais vantagem a utilização de apenas um DRSP no circuito. Um ponto importante diz respeito à partilha de recursos da DRSP entre os dois sinais. O aspecto potencialmente mais negativo desta solução está relacionado com o filtro FIR de coeficientes programáveis: os coeficientes utilizáveis por canal serão reduzidos para metade. Contudo nesta aplicação tal não compromete grandemente as especificações do filtro final. Aliás, cada um dos canais

pode ter coeficientes específicos o que permite eventualmente otimizar o ganho do canal crosspolar. Por outro lado a fase relativa dos dois sinais vai manter-se, uma vez que o chip é o mesmo e as cadeias de sinal partilham um NCO comum.

Torna-se ainda mais fácil e simples a comunicação da DSP com o DRSP para programação e configuração desta uma vez que não é necessária lógica de descodificação de endereços. Também a comunicação do DRSP com a DSP por porta série continua a ser feita de forma directa. A área ocupada é reduzida, assim como a potência consumida.

Com a escolha de apenas um DRSP para processar ambos os sinais a 50MHz, o relógio das ADC's vai ser reduzido para metade, ou seja, 25MHz (uma vez que o DRSP processa por um ciclo de relógio uma amostra). Esta informação encontra-se com mais detalhe em [11]. Esta decisão trás uma pergunta pertinente: como agulhar os sinais digitais provenientes das duas ADC's, antes de chegarem à entrada digital do DRSP? A solução consistiu em utilizar o multiplexador de 24 bits para 12 bits. Existe no mercado, o chip SN74CBTLV16292, da Texas Instruments™, que funciona a 3.3V. Possui um sinal "S" de entrada que permite escolher qual a amostra que vai estar à saída, ou seja, se "S" toma o valor lógico 1, à saída do chip encontra-se uma amostra do sinal copolar, por exemplo. Se "S" toma o valor lógico 0, à saída do chip encontra-se uma amostra do sinal crosspolar. Este sinal "S" está associado ao sinal A/B do lado do DRSP, para assim se realizar o correcto sincronismo com este.

Um dos principais cuidados a ter com a utilização desta solução diz respeito aos atrasos de propagação dos sinais digitais pelo multiplexador e pelo divisor de clock. Mais à frente encontra-se um estudo detalhado sobre estes tempos de propagação. A impossibilidade de sincronizar os dados digitais à saída das ADC's com a entrada do DRSP deitaria por terra, esta simples e aparentemente eficaz solução. É de referir também que esta solução implica a dispensa de uma amostra de um dos sinais amostrados por cada ciclo de relógio. Não é importante porque o sinal tem uma largura de banda reduzida e já está a ser amostrado a *Super Nyquist*.

Na Figura 3.18 encontra-se o diagrama de blocos simplificado desta abordagem:

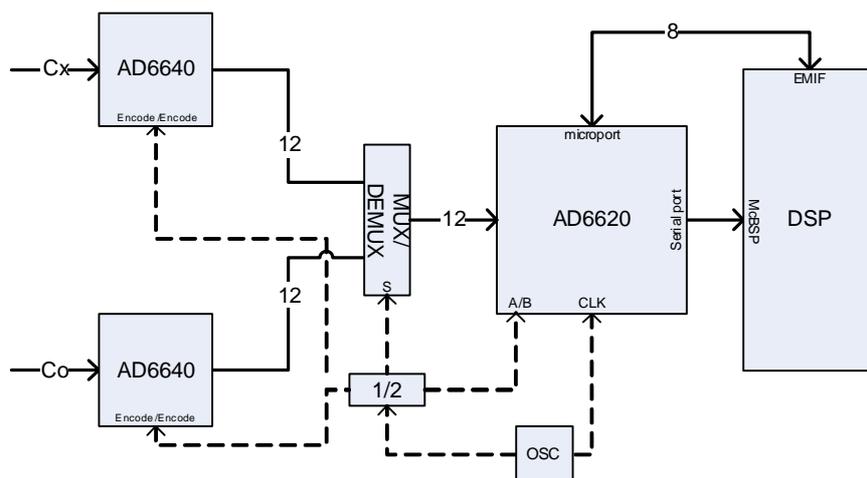


Figura 3.18 – Diagrama de blocos da abordagem com duas ADC's e um DRSP.

- **Uma ADC Dual, um DRSP**

As soluções anteriores serviram como uma aproximação à ideia final. Como existem no mercado, chips com duas ADC's integradas no mesmo encapsulamento, e que funcionam independentemente uma da outra (aqui denominadas de ADC Dual) a sua utilização permite uma optimização do espaço ocupado na placa e a redução da complexidade ao sistema. Praticamente todas as ADC's Dual pesquisadas tinham o inconveniente de não permitir uma multiplexagem integrada no próprio chip dos sinais digitalizados o que exigia a utilização do multiplexador de sinais. De qualquer forma esta nova perspectiva continuava a ser assumida como um progresso. Isto porque estas ADC's Dual conseguem ter um melhor desempenho face à anteriormente referida, AD6640. De seguida são dadas a conhecer duas propostas para ADC's dual, a ADS5232 da Burr-Brown™/Texas Instruments™ e a AD9238 da Analog Devices™.

- **ADS5232**

Trata-se de uma ADC Dual, de 12 bits de resolução, alimentada com uma única fonte de 3.3V. A sua velocidade máxima é de 65MSPS, muito acima do exigido para este projecto.

Relativamente às suas especificações técnicas, para a exactidão DC, tem-se que o erro de *offset* típico é de 0.2% FS, o que corresponde a 8.2 unidades. Isto representa um erro nos 4 LSB. O erro de ganho é tipicamente de 1% FS, que se traduz em 6 LSB. Possui um INL de +/- 0.4 LSB e um DNL de +/- 0.3. Comparativamente com a AD6640, por uma diferença mínima, possui um erro de *offset* superior em 1 bit, mas um

erro de ganho inferior. Tanto o INL como o DNL são claramente inferiores aos valores obtidos na AD6640.

A nível do desempenho dinâmico, a ADS5232 possui o melhor SNR das três ADC's estudadas, de 70.7dBFS. A distorção total das harmónicas é de -92dBFS, assumidamente um valor exemplar. Em relação à gama dinâmica livre de espúrias (SFDR) esta ADC possui um valor de 86dBc.

Com uma leitura breve de [12], numa primeira aproximação a este chip, observou-se a existência de saídas digitais *tri-state* controladas por um sinal externo individual, para cada saída. Isto fazia antever que era possível um barramento de dados único, que apenas se dividia para cada saída digital da ADC. Esta aparente mais valia faria com que se pudesse prescindir do multiplexador de sinais digitais, porque esta função passaria a ser incluída na própria ADC Dual. Averiguando com mais detalhe esta possibilidade concluiu-se que tal não podia ser feito. Em [12] é referido que esta ADC Dual não deve ser usada para efeito de multiplexagem, uma vez que pode corromper as conversões. Na realidade, os tempos de activação e desactivação dos sinais que controlam o estado *tri-state* das linhas das saídas digitais necessitam de dois ciclos de relógio. Assim conclui-se que a utilização desta ADC Dual necessita igualmente do auxílio do multiplexador referido nos pontos anteriores.

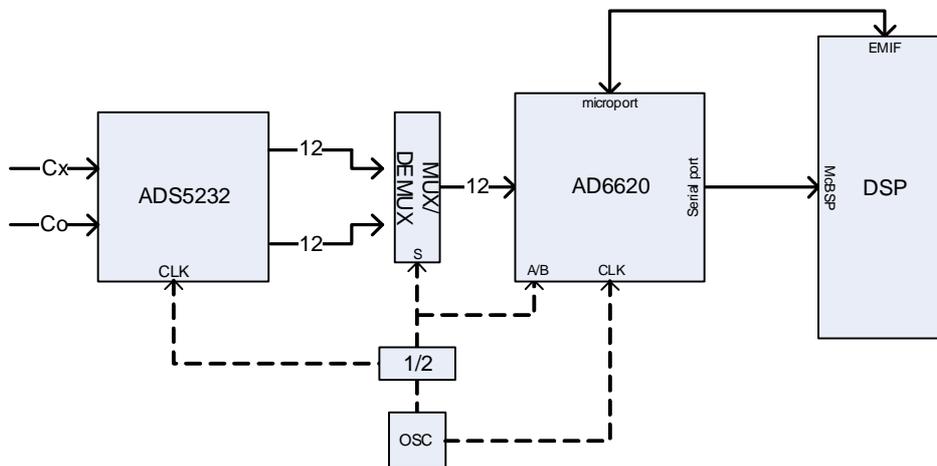


Figura 3.19 – Diagrama de blocos da abordagem com uma ADC e um DRSP.

○ AD9238

Trata-se da ADC Dual que se veio a revelar uma boa escolha. Como tal, será aqui demonstrado o estudo detalhado deste subsistema.

Tem uma resolução também de 12 bits. Permite o funcionamento a 3.3V, numa gama flexível que vai dos 2.7V aos 3.6V. A gama de tensão dos sinais analógicos à entrada, é superior em 0.5Volt, face à ADS5232, ou seja, de 1Vpp a 2Vpp. Esta ADC Dual existe em três versões: 20MSPS, 40MSPS e 60MSPS. Uma vez que o clock que vai atacar este chip, não vai ser superior a 25MHz, optou-se pela utilização da versão de 40MSPS. A versão de maior taxa de aquisição tem também um maior consumo e, à data de início do projecto, ainda não estava em comercialização.

A nível de exactidão DC, as suas especificações são: possui um erro típico de *offset* de 0.5% FS que se traduz em 5 LSB. O seu valor máximo chega aos 1.1% FS, ou seja 6 LSB. Relativamente ao erro de ganho, o seu valor típico é também de 0.5% FS, mas já o valor máximo ascende aos 2.4% FS, o que se traduz em 7 LSB. Possui um DNL típico de +/- 0.35 LSB e um INL típico de +/- 0.5 LSB. Os seus valores máximos são respectivamente +/- 0.8 LSB e +/- 1.4 LSB.

Referindo apenas os valores típicos, esta ADC não tem o melhor erro de *offset*, mas possui o melhor erro de ganho. Relativamente ao DNL e INL consegue ser melhor que a AD6640, e quase igual à ADS5232.

A nível do desempenho dinâmico, a AD9238 possui um SNR de 70.3dB, um valor acima da média, contabilizando as 3 estudadas. A distorção total das harmónicas é de -85dBc que se traduz numa baixa não-linearidade. O SFDR apresenta um valor típico de 86dBc o que se traduz numa gama suficiente entre a portadora e as espúrias.

Nas tabelas seguintes, encontra-se reunida toda a informação obtida e exposta anteriormente sobre as especificações de exactidão DC e desempenho dinâmico das três ADC's analisadas.

	AD6640		ADS5232		AD9238	
	Típico (LSB)	Máximo (LSB)	Típico (LSB)	Máximo (LSB)	Típico (LSB)	Máximo (LSB)
Erro de <i>Offset</i>	3	6	4	5	5	6
Erro de ganho	8	9	6	8	5	7
DNL	+/- 0.5	+/- 1.5	+/- 0.3	+/- 0.9	+/- 0.35	+/- 0.8
INL	+/- 1.25	-----	+/- 0.4	+/- 2.5	+/- 0.5	+/- 1.4

Tabela 3.1 – Resumo - especificações relativas à exactidão DC das três ADC's estudadas.

	AD6640		ADS5232		AD9238	
	Mínimo	Típico	Mínimo	Típico	Mínimo	Típico
SNR	64 dB	67.7 dB	68 dBFS	70.7 dBFS	69.7 dB	70.3 dB
THD	-80 dBc	-74 dBc	-82 dBFS	-92 dBFS	-	-85 dBc
SiNAD	67.2 dB	63.5 dB	67.5 dBFS	70.3 dBFS	69.4 dB	70.1 dB
SFDR	-----	90 dBFS	75 dBc	86 dBc	76.7 dBc	86 dBc

Tabela 3.2 – Resumo - especificações relativas ao desempenho dinâmico das três ADC's estudadas.

Ao contrário da ADC Dual anterior (ADS5232), a AD9238 permite a multiplexagem dos dados para qualquer uma das duas saídas digitais. Ou seja, permite obter em ambas as saídas digitais, os dois sinais multiplexados. Desta forma só será necessário usar uma das saídas, acabando por se desligar a outra, como se verá mais à frente. Esta é, sem dúvida, uma característica muito interessante para a aplicação aqui descrita. A complexidade do circuito é mais uma vez reduzida, o espaço ocupado é otimizado e a ligação da ADC à DRSP é facilitada. A multiplexagem é feita de uma forma muito simples: um mesmo sinal de relógio deve ser ligado a diferentes sinais de controlo, para assim se obter um sincronismo de todo o sistema. Do lado da ADC Dual, temos três destes sinais, sendo o CLK_A, CLK_B e MUX_SELECT, cujos nomes fazem adivinhar a sua função. Do lado do DRSP, temos o sinal A/B que deve ser ligado aos outros três. Quando este sinal de relógio se encontra no nível lógico “1”, o DRSP admite uma amostra de um dos dois sinais digitalizados (Figura 3.20). Quando o sinal de relógio se encontra no nível lógico “0”, o DRSP admite uma amostra do outro sinal digitalizado. Como já foi explicado anteriormente, este sinal deve ter metade do tempo de ciclo do relógio principal, que ataca o DRSP. Para se implementar a divisão do relógio por dois adoptou-se uma técnica muito simples que passa pela utilização de um flip-flop tipo D, montado numa configuração com realimentação. Esta função ficou ao cargo do chip SN74AC74 da Texas Instruments™.

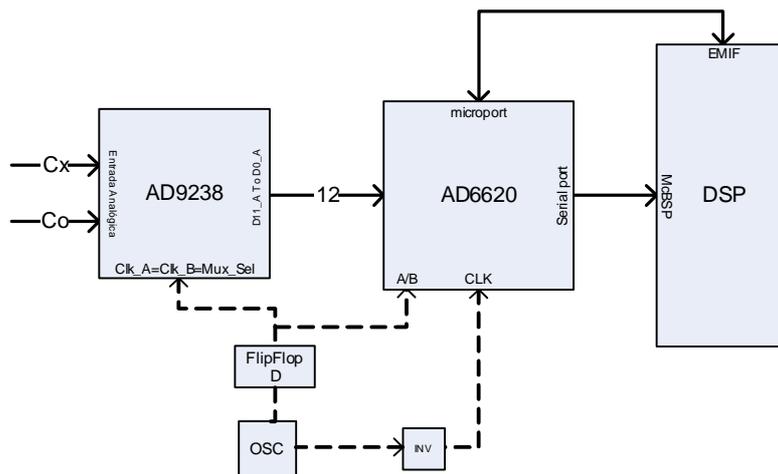


Figura 3.20 – Diagrama de blocos da abordagem com a ADC AD9238 e um DRSP.

No diagrama temporal, representado na Figura 3.21, verifica-se que só com a inversão do sinal de relógio que ataca o DRSP, é possível a aquisição das amostras no flanco ascendente deste. Para informações mais detalhadas deve-se consultar [11].

O atraso do flip-flop e do inversor devem ser tomados em consideração. Uma análise preliminar mostrou que o atraso diferencial não deveria ser significativo, uma vez que era consideravelmente inferior a uma fracção de um ciclo de relógio. No diagrama temporal da Figura 3.21 não se encontra representado qualquer atraso pela justificação dada.

Para evitar os problemas de comunicação ocorridos em [9] na comunicação série entre o DRSP e a DSP, possivelmente relacionados com a carga das linhas desta interface, optou-se por incluir um simples *buffer*. Esta função ficou ao cargo do chip SN74LVTH125 da Texas Instruments™. Todas as três linhas necessárias para esta interface beneficiam do *buffer*, nomeadamente o SCLK (Serial Clock), SDO (Serial Data Output) e SDFS (Serial Data Frame Start). Não foi adicionado no diagrama de blocos acima esquematizado apenas para o tornar o mais simples possível.

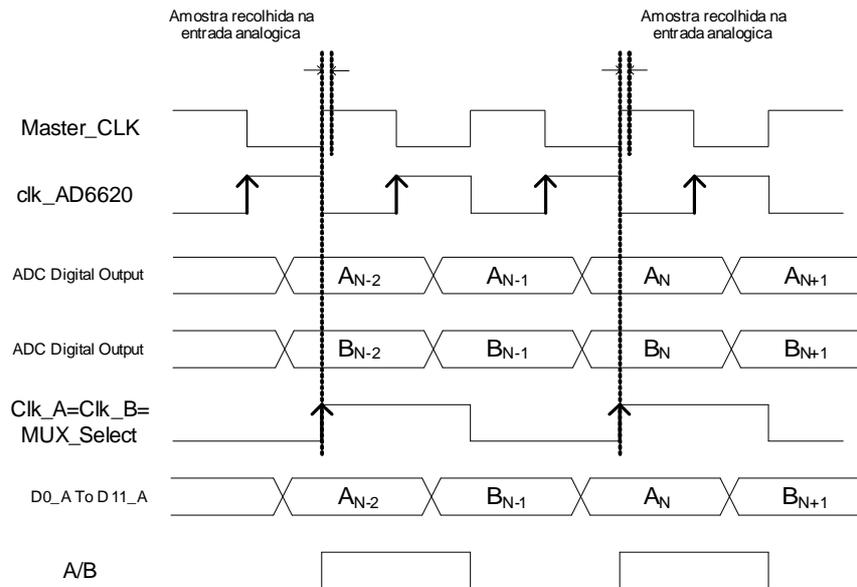


Figura 3.21 – Diagrama temporal da interface da ADC AD9238 e do DRSP.

Em diante são explanadas outras configurações realizadas em redor deste sub-sistema.

A interface do sinal de RF com a ADC é efectuada diferencialmente com o auxílio de transformadores com uma razão de transformação de 1:1 da Minicircuits™. A tomada intermédia serve para polarizar adequadamente o *core* da ADC mas é naturalmente desacoplada para RF com condensadores. Foi adicionado um *jumper* externo que permite ao utilizador escolher a tensão de referência. Assim é possível optar por um sinal de entrada com tensão de 1Vpp ou 2Vpp. Para mais informações consultar [5].

Como já foi referido no início deste ponto é possível optar por desligar uma das saídas digitais permitindo poupar no consumo de energia e reduzir o ruído gerado. O pino OEB (*Output Enable Bit*) está encarregado desta função. No caso corrente, o pino OEB_A encontra-se ligado à massa para assim se desactivar a saída digital do canal A, que não é utilizado pelo circuito. Atenção, isto apenas desactiva a saída digital, mas não desliga o canal, uma vez que é necessário o seu processamento de digitalização.

No circuito existem duas fontes de alimentação de 3.3V. Uma para a parte analógica, que compreende toda a aquisição dos sinais analógicos na ADC, e outra para a parte digital, que alimenta o restante circuito.

3.4.3 Sub-Sistema DDS-DSP

Nos estágios sequenciais de filtragem e amplificação iniciais, é muito importante que os osciladores locais possuam um baixo ruído de fase. É também essencial que o sistema seja o mais flexível possível.

Uma das soluções encontradas para conciliar estas exigências passa pela implementação de uma síntese digital de frequência recorrendo a uma DDS.

Como já foi dito anteriormente, uma DDS completa, constituída por um sistema DDS mais uma DAC, permite recriar um sinal sinusoidal com um valor de frequência muito preciso e com um reduzido ruído de fase. Com um oscilador de frequência elevada e reduzido ruído de fase a servir de relógio de referência a atacar a DDS conseguem-se bons resultados a nível de ruído de fase, particularmente se a frequência sintetizada estiver abaixo de 40% do valor da frequência do relógio de referência.

No mercado a oferta de DDS completas é muito variada. Algumas das funções extra encontradas nas DDS completas, são:

- Multiplicadores internos digitais de frequência. Permitem aumentar consideravelmente o relógio de referência, e assim obter um sinal sintetizado com uma frequência superior à de referência.
- Sistema de correcção de amplitude da onda de saída. À medida que a frequência do sinal de saída aumenta, a amplitude vai diminuindo, devido à forma da envolvente da *sinc*. Para corrigir esta situação, algumas DDS possuem circuitos de compensação.
- Utilização de algoritmos que permitem otimizar o tamanho da ROM necessária para a tabela de consulta.
- Modulação: fase, amplitude, etc.

Para o projecto em questão a DDS completa escolhida foi a AD9850. Não faculta a utilização de multiplicadores digitais nem corrige a amplitude da onda de saída. Contudo, estas funções são inicialmente dispensadas para este projecto. Trata-se apenas de efectuar uma averiguação preliminar deste método de síntese por um lado (pois não existem valores concretos para o relógio da DDS) e por outro o sinal sintetizado deverá ser condicionado posteriormente para atacar o misturador que eventualmente venha a ser usado. A AD9850 tem uma sucessora, a AD9851, que é *pin-to-pin compatible* com a primeira, e que traz um bloco multiplicador incluído. De

qualquer forma a máxima frequência de saída não costuma ser superior nestas circunstâncias: apenas é oferecida uma maior maleabilidade na gama de frequência de relógio.

A AD9850 é alimentada com tensão de 3.3V, a sua frequência máxima de trabalho é de 125MHz e permite a programação série ou carregamento paralelo de 5 palavras de 8 bits. A sua saída analógica permite recriar uma onda sinusoidal ou um sinal de relógio. A palavra de ajuste de frequência (*tuning word*) possui uma resolução de 32 bits.

Relativamente à especificação mais importante, o ruído de fase residual, o datasheet deste componente não é conclusivo em torno dos valores pretendidos à partida para a função da DDS. Ou seja, o único gráfico sobre esta matéria, encontra-se em [8] e mostra valores de ruído de fase medidos a partir de 100Hz de distância da portadora. Os valores pretendidos para o sistema, rondam os 20Hz da portadora. Para contornar esta situação, consultou-se o *datasheet* de outra DDS [8] que fornece os valores de ruído de fase em torno dos 10Hz da portadora, e realizou-se uma extrapolação de valores, meramente indicativa. Concluiu-se assim que a 10Hz da portadora, a DDS AD9250 terá um ruído de fase de aproximadamente -70dBc.

- **Programação**

No projecto optou-se por programar a DDS através do carregamento paralelo das palavras de 8 bits. Uma vez que um barramento de dados de 8 bits já está a ser usado no circuito (para a programação do chip AD6620, através da interface EMIF (*External Memory Interface*) da DSP, com o *chip enable* CE2) partilhou-se este barramento com a DDS. É usado um espaço de endereçamento da EMIF, com o *chip enable* CE3, pelo que cada chip é endereçado independentemente, excluindo assim a hipótese de surgirem problemas relacionados com a partilha simultânea de barramento de dados. Foi assim evitada lógica de descodificação na perspectiva de não vir a ser utilizado mais nenhum dispositivo.

São programados ao todo 40 bits: 32 bits correspondem à palavra de ajuste de frequência (a *tuning word*), 5 bits correspondem à palavra de modulação de fase e 3 bits para controlar o modo *power down*. Para mais informações consultar [8].

A cadência do carregamento das palavras nos registos internos correspondentes é controlada por dois sinais: *W_CLK* e *FQ_UD*. O flanco ascendente do sinal *FQ_UD* permite carregar os 40 bits para o dispositivo bem como inicializar o ponteiro de endereço para o primeiro registo. Os flancos ascendentes do sinal *W_CLK* subsequentes

carregam as palavras de 8 bits e movem o ponteiro para o registo seguinte. Após cinco carregamentos, os flancos do sinal W_CLK são ignorados até ser executado um *reset* ou até surgir um novo flanco ascendente do FQ_UD que inicia o ponteiro de endereço para o primeiro registo. A Figura 3.22 mostra o diagrama temporal deste procedimento.

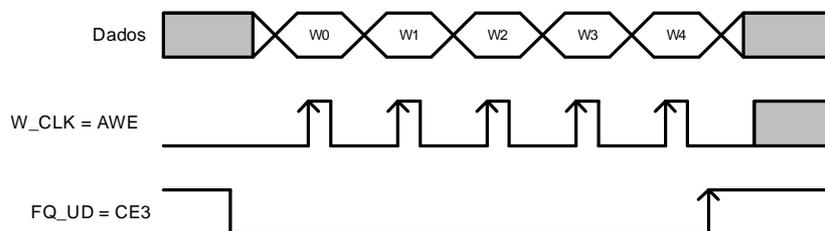


Figura 3.22 – Diagrama temporal do carregamento paralelo das palavras de programação da DDS.

- **Ligações físicas**

Como já foi dito, o barramento de dados de 8 bits da interface EMIF, é partilhado com o já existente barramento de dados entre o AD6620 e a DSP.

Os sinais $CE3$ e AWE provenientes da DSP ligam, respectivamente, aos sinais FQ_UD e W_CLK da DDS. Acontece que o sinal AWE é *active low* ao passo que o sinal W_CLK é *active high*. Isto requer a necessidade de inverter o sinal AWE antes de o ligar ao W_CLK .

Com a programação adequada do registo $CECTL3$ da DSP, estes sinais realizam as operações pretendidas em [8].

Também neste chip as alimentações analógicas e digitais ligam às respectivas fontes de alimentação. A Figura 3.23 esquematiza as principais ligações feitas no chip AD9850.

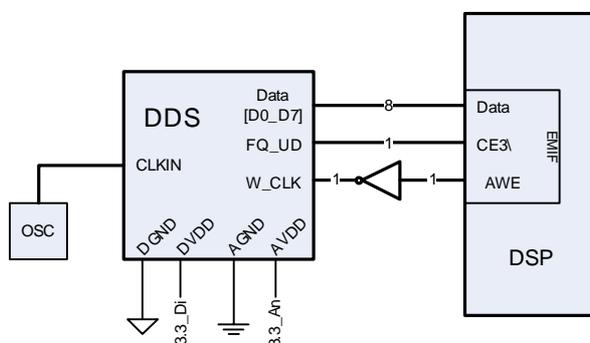


Figura 3.23 – Interface do sub-sistema DDS-DSP.

Capítulo 4

Concepção da Placa

Tal como no projecto do receptor digital de 1 canal também neste projecto se vai utilizar um *DSP Starter Kit TMS320C6711*, igual ao da Figura 5.5. Este *Kit* possui múltiplas interfaces, permitindo ao utilizador optar por aquela que mais lhe convêm para interagir com o seu sistema. Para isso, são disponibilizados dois conectores, de 80 pinos cada um. Ao contrário do projecto do receptor digital de 1 canal, que usava duas placas, uma das quais realizava a interface entre o *Kit* e a placa principal, neste projecto do receptor digital de 2 canais, apenas vai existir uma placa. Esta fará directamente a interface com o *Kit* e o sistema.

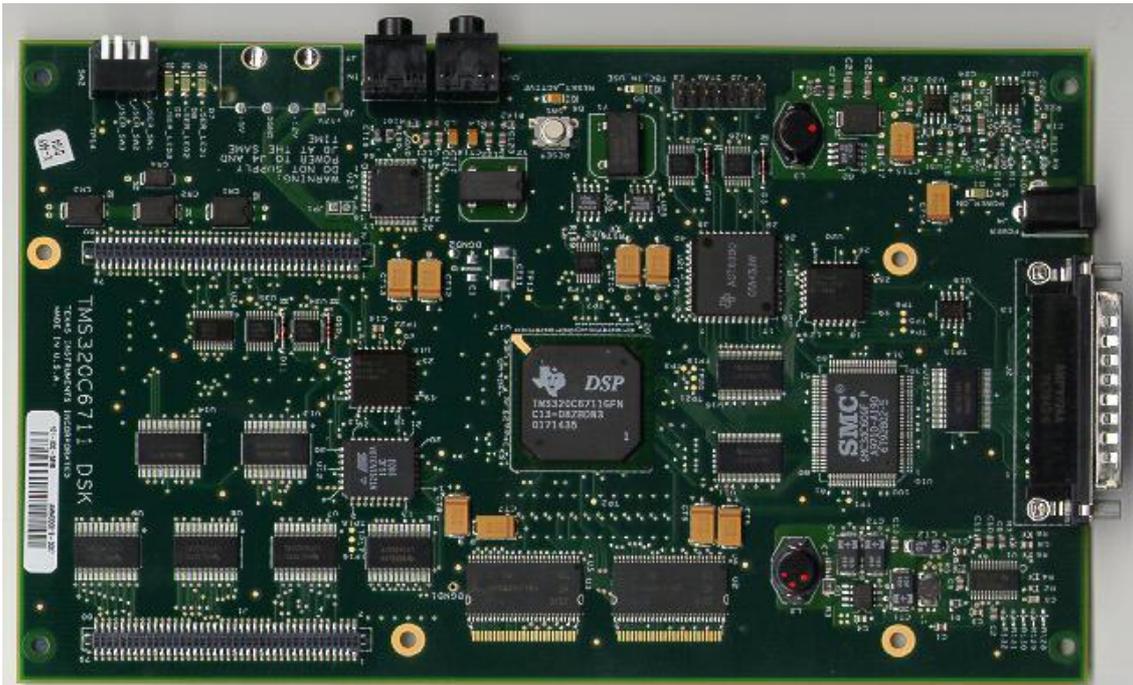


Figura 4.1 – *DSP Starter Kit TMS320C6711*.

Para se ter uma ideia comparativa entre os dois projectos, no projecto do receptor digital de 1 canal, a construção do PCB (*Printed Circuit Board*) da placa principal ficou ao cargo de uma empresa aveirense, que trabalha principalmente com

protótipos de simples elaboração. Neste novo projecto de um receptor digital de 2 canais, alguns dos componentes utilizados possuem um *pitch* (distância entre pinos) de 0.4mm, um valor extremamente pequeno que requer uma elevada qualidade do circuito impresso. Ao passo que para o primeiro projecto o valor do PCB não ultrapassou os 60 euros, para este segundo projecto optou-se uma solução bem mais cara (300 euros). Embora tendo levado um pouco mais de tempo que o previsto, foi apresentada uma placa excelente em todos os aspectos.

A concretização de um PCB requer um trabalho de ponderação e cautela, pois é aqui que se começa por evitar os piores problemas de *hardware*. A experiência com a concepção do primeiro receptor digital de um canal, realizado no projecto final do 5º ano, permitiu corrigir alguns erros básicos e aperfeiçoar a elaboração de testes.

O esquemático do circuito foi desenvolvido com o apoio da aplicação Orcad. A disposição dos componentes no PCB, a orientação das pistas que unem os componentes e o desenho do PCB foi efectuada por um técnico do Instituto de Telecomunicações - Aveiro. Em todos os PCB's que se realizam devem ser seguidas algumas considerações básicas que permitem evitar alguns problemas, em especial os circuitos que possuam partes analógicas, digitais e alta-frequência, num só. Essas considerações são expostas em seguida, e foram aplicadas neste projecto. Algumas destas considerações podem ser encontradas em [12].

- Devem-se utilizar planos de massa, *grounding* e *bypassing* apropriados, e pistas de tamanho reduzido. O uso de uma placa multi-camada assegura melhores resultados e permite uma disposição dos componentes mais flexível.
- Fontes de alimentação independentes para a parte analógica e digital são recomendáveis. Uma vez que as fontes da parte digital transportam frequentemente um elevado nível de ruído de transição (*switching noise*) que se pode transferir para o sistema e degradar o seu desempenho, com esta separação obtém-se os melhores resultados possíveis neste campo.
- Devido às elevadas frequências de amostragem, nas ADC's e não só, são gerados correntes transitórias de elevada frequência e ruído, que originam sinais de retorno às fontes e às linhas de referência. Por este motivo, todos os pinos de alimentação, tanto analógica como digital, devem ser *bypassed* com condensadores cerâmicos de 100nF. Para

minimizar a indutância de fios e pistas, os condensadores devem-se encontrar o mais junto possível dos pinos de alimentação do circuito integrado em causa.

- As entradas respeitantes aos sinais analógicos de cada canal são diferenciais. Como tal é especialmente importante otimizar e distribuir os componentes para que fiquem num arranjo o mais simétrico possível.
- É importante manter as pistas que conduzem sinais analógicos separadas de qualquer linha digital para prevenir o ruído de acoplamento na parte analógica.
- O comprimento das pistas respeitantes às saídas digitais da ADC, deve ser o mais curto possível, de preferência não superior a 2 polegadas, para minimizar carregamento capacitivo. Cada uma destas saídas digitais deve ser ligada a apenas uma porta CMOS (*Complementary Metal-Oxide-Semiconductor*).

Para posteriormente facilitar o teste, é essencial analisar e reunir pontos e sinais que se julgam ser estratégicos para solucionar problemas. Devem ser adicionados no PCB réguas de pinos que estendam estes sinais para fora da placa, para serem lidos com equipamento específico, como analisadores lógicos e osciloscópios. Neste projecto, os pontos de prova tidos em conta como mais importantes, são:

- CE2\ e CE3\ (*chip enables* que controlam o DRSP e a DDS, respectivamente)
- DB_AOE (sinal de leitura utilizado pelo DRSP)
- DB_AWE (sinal de escrita, partilhado pelo DRSP e pela DDS)
- DB_D[7..0] (barramento de dados da EMIF partilhado pelo DRSP e pela DDS)
- DB_A[4..2] (barramento de endereços da EMIF utilizado pelo DRSP)
- RDY (sinal de saída do DRSP que sinaliza o correcto acesso ao chip)
- DB_CLKR1 (sinal de relógio da porta série)
- DB_DR1 (sinal de dados da porta série)
- DB_FSR1 (sinal de início de nova frame no sinal de dados da porta série)
- CLK_A, CLK_B, MUX_SELECT (sinais de relógio da ADC)
- A/B (sinal do DRSP que indica qual a amostra que está a ser adquirida à ADC)

- CLK_AD6620 (sinal de relógio do DRSP)

4.1 Componentes

Em seguida é apresentada a lista de todos os componentes de *hardware* utilizados neste projecto bem como a quantidade utilizada de cada componente. A ADC AD9238, o DRSP AD6620 e a DDS AD9850 foram adquiridos através de amostras grátis pedidas ao fabricante, neste caso a Analog Devices™. Os componentes com a “referência” em branco, foram obtidos no armazém do DET. Tudo o resto foi encomendado à Farnell (<http://pt.farnell.com>).

Quantidade	Descrição	Referência Farnell
1	AD6620	Amostra Grátis
1	AD9238	Amostra Grátis
1	AD9850	Amostra Grátis
2	Regulador de tensão de 3.3V	9485813
2	LEDs	5790852
2	Condensadores 22uF (tantalum)	1135106
20	Condensadores 10nF	422-7153
21	Condensadores 100nF	422-7189
4	Condensadores 10pF	8819564
2	Condensadores 100uF (tantalum)	9753850
1	Condensadores 47pF	-
2	Resistências 49.9Ω	-
1	Resistências 3.92KΩ	9234080
4	Resistências 50 Ω	-
6	Resistências 1KΩ	-
12	Resistências 10KΩ	-
1	Flip-Flop tipo D	9590307
2	Conector de 80 pinos – Ligação DSP	1106344
3	Conectores de sinal analógico – SMA	-
1	Oscilador a cristal – 50MHz	9713573
1	Oscilador a cristal – 100MHz	3298504
1	<i>Buffer</i> de 4 barramentos	9592865
1	Portas lógicas – inversor <i>Schmitt Trigger</i>	9590501

1	Portas lógicas – pico inversor	1105916
1	Portas lógicas – 4 inversores	456714
1	Botão de pressão	1123624
1	<i>Switch</i> de 4 vias	1123953
1	<i>Switch</i> de 2 vias	1123952
3	Transformadores T1-1T	-
1	MAX3232C	1287432
2	Molex – 2 pinos	-
1	Molex – 3 pinos	-
2	<i>Jumpers</i>	-
1	Régua de 7 pinos	-
1	Régua de 8 pinos	-

4.2 Esquemático e PCB

Nesta secção encontra-se o esquemático projectado bem como as figuras relativas ao PCB utilizado neste projecto. Em anexo encontra-se o esquemático e as figuras relativas ao PCB, com as devidas correcções feitas.

Receptor de Dois Canais para Balizas de Satélite

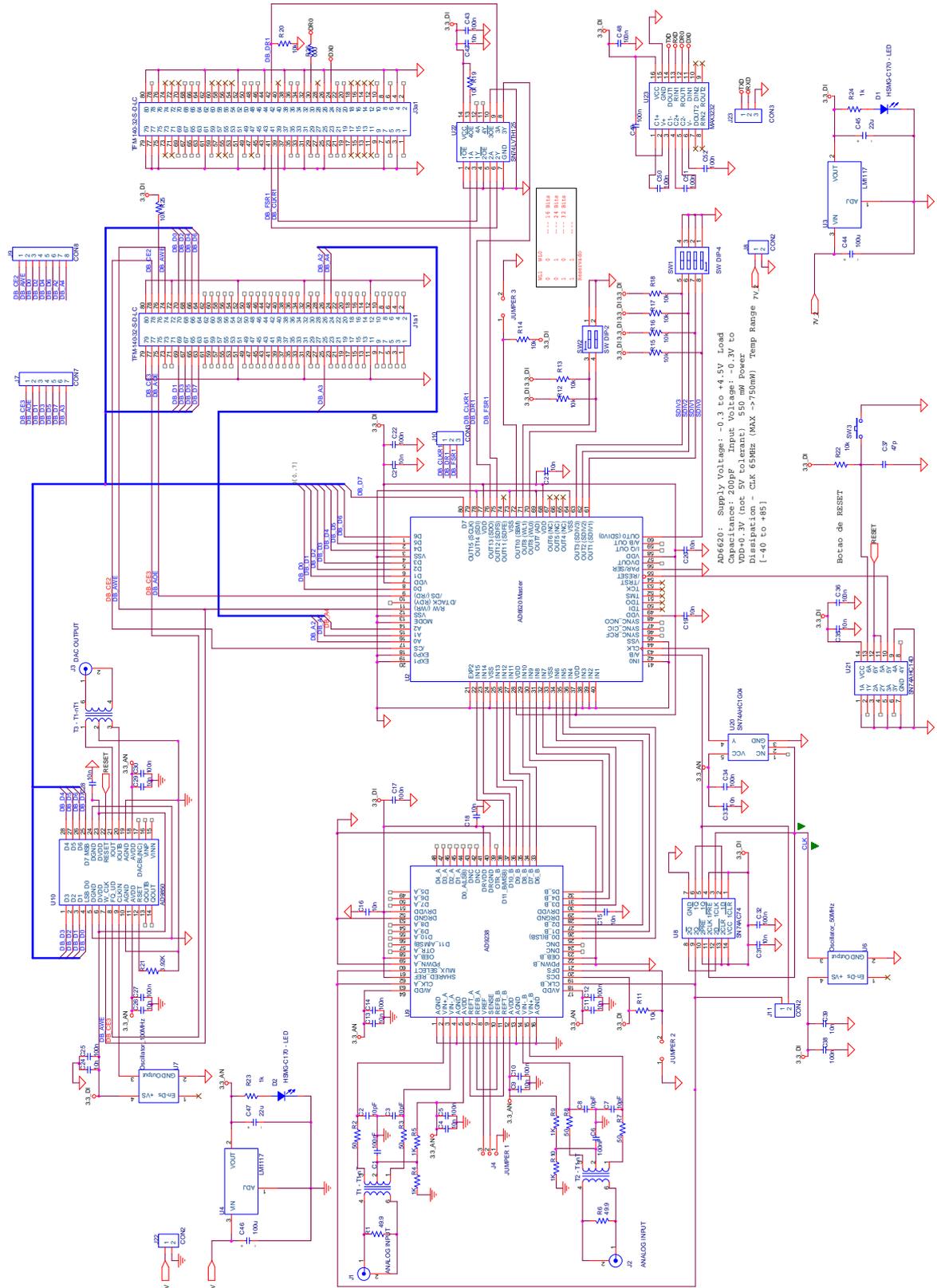


Figura 4.2 – Esquemático de toda a placa desenvolvida.

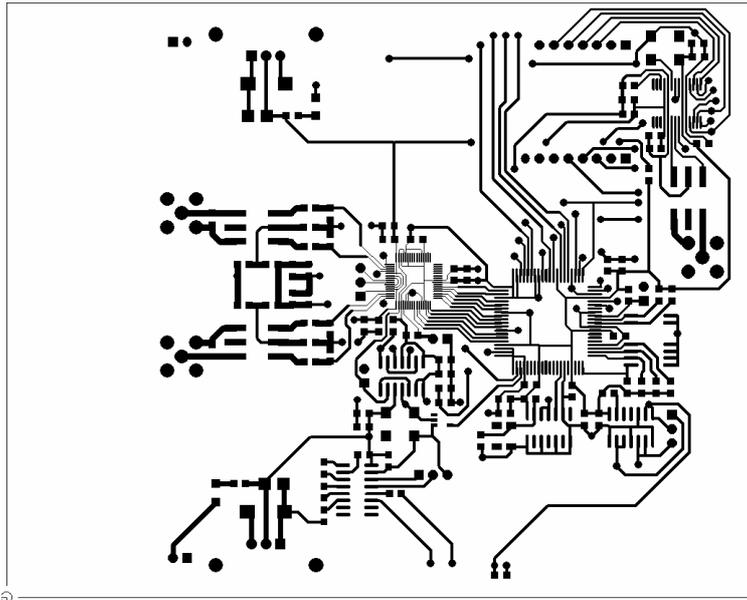


Figura 4.3 – Vista superior do PCB da placa desenvolvida.

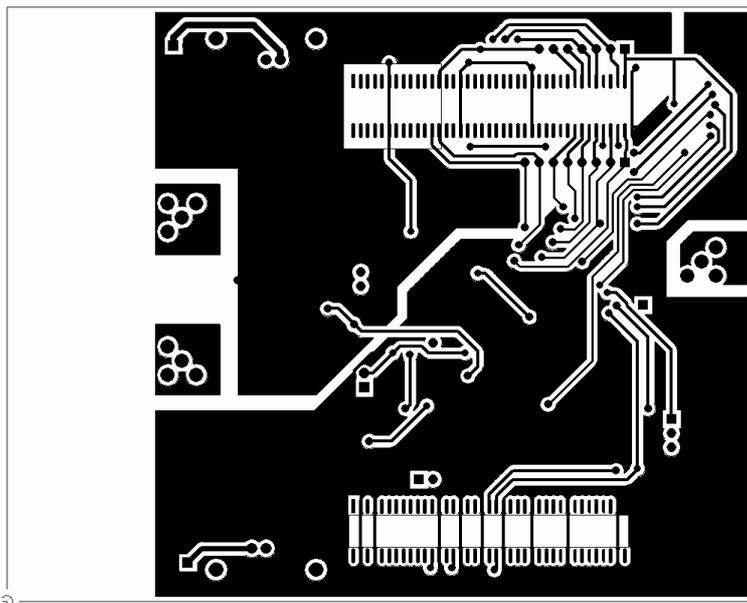


Figura 4.4 – Vista inferior do PCB da placa desenvolvida.

4.3 Imagens da placa com componentes instalados

Em seguida encontram-se as vistas superior (Figura 4.5) e lateral (Figura 4.6), da placa final.

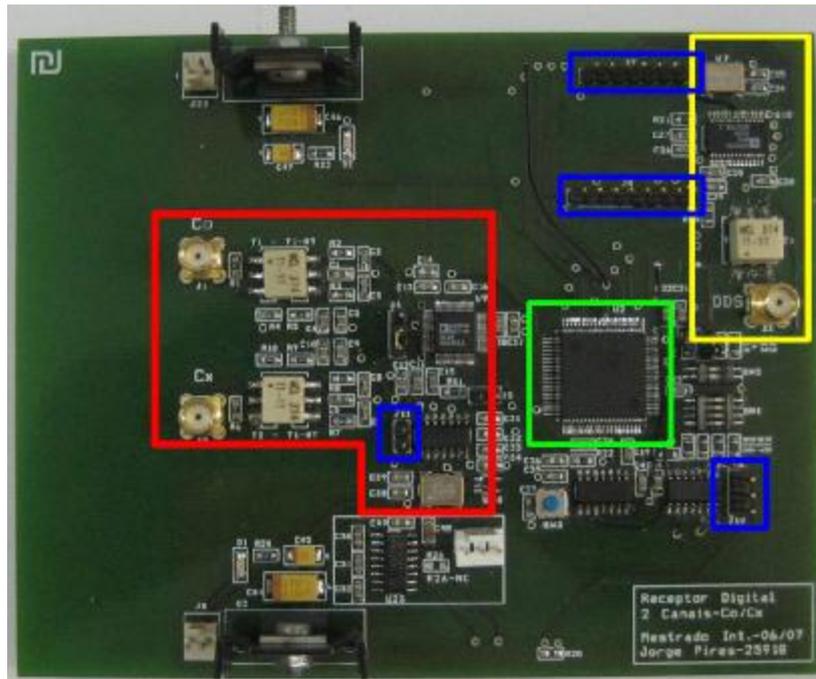


Figura 4.5 – Vista superior da placa final.

- Vermelho – Entradas analógicas dos canais copolar e crosspolar e ADC AD9238;
- Verde – DRSP AD6620;
- Amarelo – DDS AD9850 com respectiva saída analógica;
- Azul – Pinos de sondagem.



Figura 4.6 – Vista lateral da placa final.

Capítulo 5

Ensaio do *Hardware*

A redução de problemas, identificação e correcção de erros e falhas num trecho de código de *software* ou numa placa de *hardware* electrónica é realizada através de um processo metódico denominado de debugging. Este processo permite ao programador e/ou ao projectista tornar o seu sistema funcional e operável, quando as coisas não funcionam bem à primeira.

Com o aumento de subsistemas interligados entre si, o debugging torna-se numa tarefa morosa e com a necessidade de atenções redobradas.

O debugging é essencialmente um procedimento ordenado e dedutivo, mas com uma forte componente indutiva. Num primeiro passo, deve-se começar a partir de um ponto conhecido e procurar a fonte de funcionamento defeituoso através de uma relação causa-efeito. É imprescindível questionar o que está a ser bem e mal feito, resolvendo sempre um problema de cada vez. Desta forma, à medida que se vão eliminando e corrigindo problemas, outros podem ir desaparecendo. Contudo deve-se evitar a tentação de efectuar ao acaso sucessivas alterações no sistema de modo a descobrir acidentalmente a causa de um problema. Devem ser aplicados raciocínios indutivos sempre que possível.

No debugging, de uma forma geral, seguem-se os seguintes passos básicos:

- § Reconhecimento da existência de um bug;
- § Isolamento da origem do bug;
- § Identificação da causa do bug;
- § Determinação da forma como reparar o bug;
- § Reparação e teste.

Na secção 5.1 são explanados os passos de montagem do *hardware*. Seguidamente, na secção 5.2 é feita uma descrição da configuração na placa, com o auxílio de *jumpers* que pode ser efectuada pelo utilizador. Posteriormente, na secção 5.3

são listados, os diferentes equipamentos de teste utilizados durante o ensaio de *hardware*. A explicação detalhada de todo o processo de debugging de *hardware* do sistema de aquisição de dois canais encontra-se na secção 5.4. Por fim, na secção 5.5 é detalhado também todo o processo de debugging do sistema DDS.

5.1 Sequência de Montagem

Qualquer circuito integrado será sempre um componente sensível sob diversos aspectos. É sensível à electrostática, a uma alimentação inadequada, uma troca de pinos que não pode ser feita, uma soldadura que demore mais tempo. Enfim recomenda um conjunto de cuidados que se deve ter antes, durante e após o seu manuseamento.

A existência de erros numa placa de circuito impresso, alguns eventualmente originados no esquemático, nunca pode ser ignorada. Como tal, é importante efectuar a montagem dos diferentes componentes, por etapas. Desta forma, consegue-se efectuar o debug logo pela raiz dos problemas.

Começou-se por inspeccionar a placa a olho nu. Isto permite averiguar a existência de cortes nas pistas ou pistas unidas devido a uma deficiente execução. A ADC que vai ser utilizada no projecto, possui um *pitch* extremamente pequeno que, a olho nu, dá a sensação que algumas pistas se tocam. Neste caso, se surgir a suspeita de alguma irregularidade, utiliza-se o microscópio para ver as pistas ao pormenor. Esta primeira inspecção não detectou qualquer problema.

Nas figuras seguintes, é possível observar, respectivamente, a vista superior e inferior da placa, sem componentes.

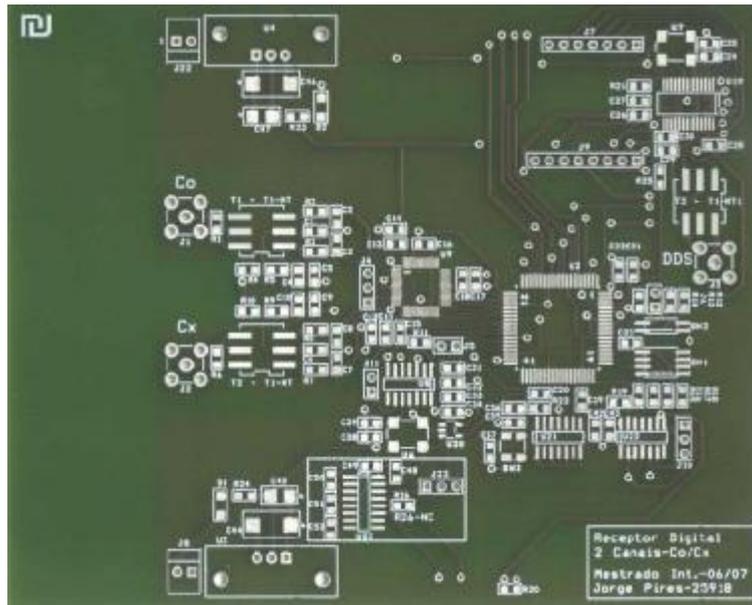


Figura 5.1 – Vista superior da placa.

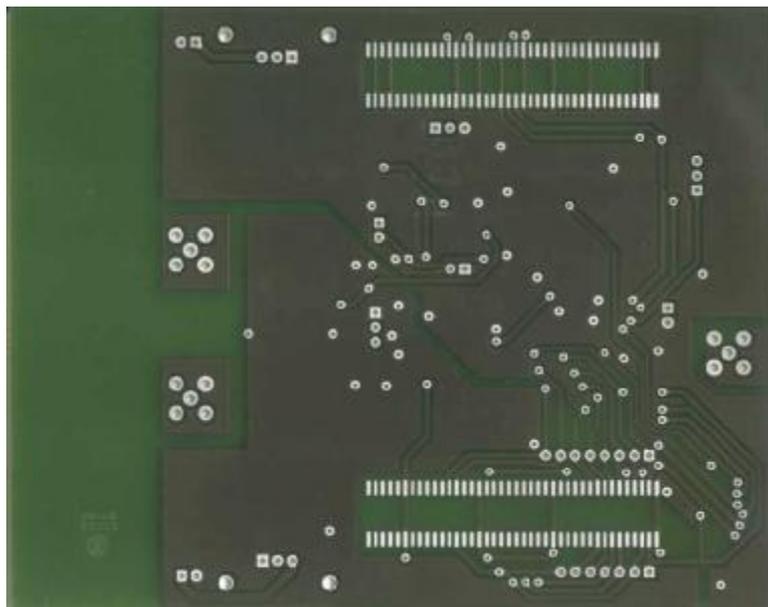


Figura 5.2 – Vista inferior da placa.

Seguidamente, com a ajuda de um multímetro verifica-se se as linhas de alimentação e de massa se encontram a alimentar correctamente os chips. Conclui-se que tudo se encontra de acordo como o esperado. Após esta verificação é possível iniciar a montagem dos primeiros componentes. Começa-se pelas resistências e condensadores. Depois os dois conectores que ligam a placa à DSP, passando pelos conectores dos sinais analógicos de entrada da ADC e do sinal de saída da DDS, e também o botão de pressão, que fará a função de *reset* ao DRSP e à DDS, os LM117

das duas fontes que alimentam o circuito e os respectivos LED's sinalizadores do bom funcionamento, bem como as duas fichas molex que permitem ligarmos o circuito à fonte de alimentação exterior. Terminada esta etapa, liga-se a placa à alimentação e voltam-se a inspeccionar os pontos de alimentação. Tudo apresentava uma tensão de 3.3V e massa, nos locais respectivos.

Agora passa-se à instalação dos primeiros integrados. A ordem acaba por ser arbitrária. O flip-flop, o *buffer*, o pico inversor e o inversor Schmitt Trigger. Também os dois osciladores locais: 50MHz para a DRSP e 100MHz para a DDS. E por fim, nesta etapa, os *switches* que configuram por *hardware* alguns parâmetros da DRSP. Voltam-se a ligar, agora individualmente, as fontes de alimentação. Começa-se pela fonte digital. Desta forma no que diz respeito à parte digital todos os chips devem estar operacionais.

Com o auxílio do osciloscópio digital, inspeccionam-se os sinais de relógio esperados à saída dos osciladores, flip-flops e pico-inversor. Aqui detectam-se dois erros. O primeiro erro deita por terra o objectivo de separar as fontes de alimentação digitais e analógicas, dos respectivos componentes digitais e analógicos. Tendo apenas a fonte digital ligada verificou-se que o inversor não estava a funcionar. Numa rápida observação ao esquemático concluiu-se que este circuito integrado estava a ser alimentado pela fonte de alimentação da parte analógica, o que foi comprovado ao ligar posteriormente esta fonte de alimentação na placa. Este erro é facilmente justificável pelo repetitivo processo de copiar e colar os sinais de alimentação durante o desenho do esquemático. É importante ter uma revisão independente do esquemático, antes de mandar fazer o PCB. Em relação à fonte analógica, não foram encontrados quaisquer problemas.

O segundo erro prende-se com os resultados obtidos entre os sinais `clk_AD6620` e `A/B`. Contrariamente ao projectado, estes sinais não estão de acordo com a Figura 3.21. Ou seja, o que se verifica nestes sinais é uma transição do sinal `A/B` no momento em que se dá o flanco ascendente do `clk_AD6620` (Figura 5.3). Tal situação provocaria a entrada dos dados no DRSP exactamente na altura em que a ADC estava a comutar de canal.

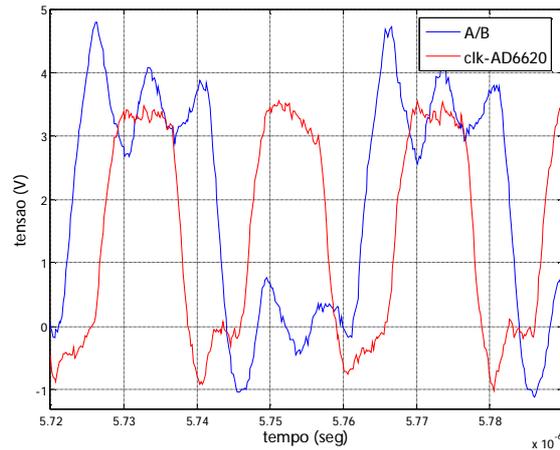


Figura 5.3 – Sinais A/B e clk_AD6620 com inversor montado.

Durante o projecto, no capítulo 3.4.2, assumiu-se que os tempos de propagação no flip-flop e no pico inversor eram semelhantes e que se anulavam mutuamente. Na realidade, estes valores estão um pouco longe do esperado. O atraso provocado pelo flip-flop acabou por ser superior ao esperado, e o atraso provocado pelo inversor acabou por ser inferior. Isto origina uma diferença considerável provocando um deslocamento dos flancos que não estava previsto como observado na Figura 5.3!

Com este resultado em mãos, a única solução era remover o pico inversor, solução que se mostrou eficaz, como representado na Figura 5.4 (nota: o *ringing* observado poderá dever-se à falta de compensação nas pontas de prova do osciloscópio digital [13]). Existe um flanco ascendente do clk_AD6620 por cada nível lógico do sinal A/B. Desta forma torna-se possível a correcta sincronização entre a ADC e o DRSP.

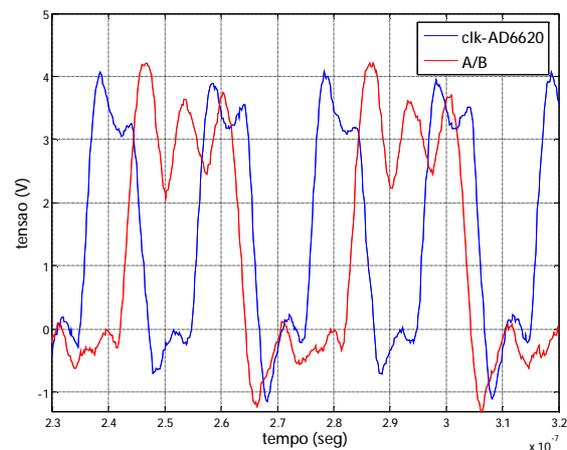


Figura 5.4 – Sinais A/B e clk_AD6620 sem inversor montado.

Este resultado surge do facto de o flip-flop possuir um tempo de propagação suficientemente elevado para deslocar os flancos do sinal que o percorre, em quase meio período do sinal de relógio.

Curiosamente a remoção do inversor permitiu corrigir o primeiro erro. Ou seja sem este circuito integrado instalado no circuito não existirá qualquer contacto directo entre a fonte analógica e sinais digitais.

Numa última etapa montaram-se os circuitos integrados “principais”: o DRSP, a DDS e por fim a ADC. Esta última foi, apesar do *pitch* extremamente pequeno para uma soldagem manual, bem sucedida, tendo para tal contribuído decisivamente a larga experiência do técnico nestas tarefas. Também nesta fase foram instaladas as régua de pinos de sondagem dos pontos principais mencionados no Capítulo 3 bem como os *jumpers* de configuração da ADC e do DRSP. Voltou-se a ligar a placa inspeccionando mais uma vez os pontos de alimentação e de relógio. Tudo estava de acordo com o previsto.

5.2 Configurações no *Hardware* (*jumpers e switches*)

Na placa, existem três *jumpers* e seis *switches* que permitem configurar algumas opções, por *hardware*, tanto na ADC como no DRSP.

- *Jumper* 1 (J4) – Configuração da tensão de referência dos sinais de entrada analógicos da ADC.
 - **Situação 1:**



Com esta configuração tem-se que $SENSE = VREF$, e como tal, a tensão pico a pico do sinal analógico de entrada deverá ser de 1V.

- **Situação 2:**



Desta forma, SENSE = GND, e como tal, a tensão de pico do sinal analógico de entrada deverá ser de 2V.

- *Jumper 2 (J5)* – Configuração do formato dos bits de saída das saídas digitais da ADC.
 - Em circuito **aberto**: complemento para 2.
 - Em circuito **fechado**: *offset binary*.

- *Jumper 3 (J6)* – Configuração do porto série do DRSP
 - Em circuito aberto: o chip funciona como master
 - Em circuito fechado: o chip funciona em cascata com outros DRSP's.

- *Switch SW1* – Configura o factor de divisão do sinal de relógio para a porta série do DRSP. O lado OFF representa o sinal lógico 1, o lado ON representa o sinal lógico 0.

- *Switch SW2* – Configura o comprimento das palavras enviadas pela porta série. O lado OFF representa o sinal lógico 1, o lado ON representa o sinal lógico 0.

5.3 Instrumentos de Teste

Nos projectos que envolvem a construção de protótipos em *hardware*, é imprescindível a utilização de equipamento que permita analisar todo um conjunto de sinais e comportamentos de sinais afim de detectar e corrigir erros. Neste capítulo é descrita a lista de instrumentos de teste utilizados durante todo o projecto. Sem este equipamento, a tarefa de testar o sistema seria bastante difícil, ou mesmo impossível. É também apresentada uma montagem que permitirá simular atenuações de 3dB's em 3dB's ao sinal analógico de entrada, afim de se recolher dados sobre a linearidade do sistema.

5.3.1 Multímetro Digital

O equipamento utilizado como multímetro digital, foi um TENMA, modelo 72-2050. Serviu essencialmente para medir as diferentes tensões na placa, detectar a ligação entre dois quaisquer pontos e confirmar o valor de determinadas resistências no circuito.

5.3.2 Osciloscópio Digital

O osciloscópio digital aqui utilizado foi o mesmo do anterior projecto do receptor de um canal. Trata-se do *Digital Phosphor Oscilloscope* da *Tektronix*, modelo TDS 3052B (ver Figura 5.5). É um instrumento fundamental, funcional e bastante completo. Possui uma largura de banda de 500MHz. Tem um ecrã LCD VGA onde se visualizam os seus dois canais, em cores distintas. Permite congelar cenários, obter o valor instantâneo da frequência de um determinado sinal, efectuar medições temporais precisas e até armazenar em ficheiro as formas de onda dos sinais de interesse para o utilizador. Foi utilizado para medir as frequências dos sinais de relógio que atacam os diferentes componentes, comparar tempos de propagação, medir tensões, analisar formas de onda dos sinais de interesse e armazenar os respectivos resultados em ficheiro. Nesta tese encontrar-se-ão algumas imagens obtidas através desta útil funcionalidade.



Figura 5.5 – Osciloscópio digital TDS 3052B da *Tektronix*.

5.3.3 Analisador Lógico

Quando se trabalha com sinais lógicos é vantajoso ter à mão um analisador lógico. Permite confirmar que as operações de acesso a chips, como de escrita e leitura, estão a ser feitas correctamente. O equipamento utilizado foi um *Hewlett Packard*, modelo 1650B (ver Figura 5.6). Possui uma resolução máxima de 10ns e capacidade de sondar até 16 sinais ao mesmo tempo. Embora já esteja bastante desactualizado face aos novos produtos existentes no mercado, não desapontou sempre que foi requisitada a sua intervenção. Permitiu efectuar o debug da interface de comunicação paralela entre a DSP e o DRSP AD6620 e a DDS AD9850.



Figura 5.6 – Analisador lógico da *Hewlett Packard*, modelo 1650B.

5.3.4 Analisador de Espectros

Para se medir o espectro de um sinal e a qualidade em ruído de fase de uma risca é importante possuir um analisador de espectros. O equipamento utilizado foi um *Hewlett Packard*, modelo 8563A (ver Figura 5.7). Permitiu avaliar o sinal analógico de saída da DDS.



Figura 5.7 – Analisador de espectros da *Hewlett Packard*, modelo 8563A.

5.3.5 Geradores de Sinal

Para simular um sinal a uma frequência de trabalho próxima do sinal real, utilizaram-se dois geradores de sinal de RF. Geram um sinal espectralmente puro e com baixo ruído de fase e amplitude. Durante o debug foram usados para injectar um sinal à entrada das ADC e visualizá-lo nos diferentes estágios de processamento. Um sinal com tais características é também importante para avaliar a qualidade de todo o sistema, pois torna-se uma referência. A frequência de trabalho, utilizada para todos os testes, rondou os 10.7MHz pois será a frequência intermédia esperada para esta aplicação. A necessidade de utilizar dois geradores, deveu-se sobretudo à potência do sinal que cada é capaz de gerar. Em seguida são apresentados os dois geradores utilizados e em que situações foram utilizados.

Para a realização dos testes que implicaram o debug do DRSP, foi utilizado um gerador de sinal da *Marconi Instruments*, modelo 2022 (ver Figura 5.8). Este gerador permite uma potência máxima de sinal de 6dBm. Para testar o sistema com dois canais usando o máximo nível de sinal à entrada das ADC's, foi necessário um gerador com uma potência de saída maior. Neste caso, o gerador usado foi o HP 8656B. Ambos os geradores são sintetizados.



Figura 5.8 – Gerador de sinal *Marconi Instruments*, modelo 2022.

5.3.6 Mecanismo de Atenuação de Sinal

Para se efectuarem medidas sobre o comportamento linear do sistema, tanto em relação à amplitude do sinal como em relação à fase relativa de saída dos dois canais, foi desenvolvida uma montagem, com a ajuda de dois blocos de atenuação. Estes blocos encontram-se montados em cascata, como se pode observar no diagrama de blocos seguinte (Figura 5.9).

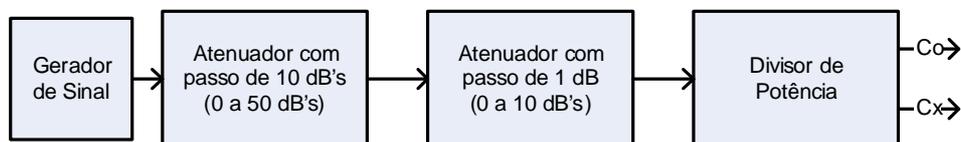


Figura 5.9 – Diagrama de blocos da montagem de atenuação.

Com esta montagem é possível atenuar o sinal à saída do gerador de sinal, em passos de 3dB's, até um máximo de -60dB's. Na Figura 5.10 encontra-se a montagem utilizada.



Figura 5.10 – Imagens da montagem realizada.

5.4 Debug de *Hardware* do Sistema de Aquisição

Após a conclusão da montagem, e respectiva configuração dos *jumpers* e *switches*, assumiu-se que a placa estava operacional. Terminaram-se as entradas de sinal analógico com duas cargas adaptadas de 50Ω . Efectuaram-se os ajustes necessários no *software*, face ao projecto de um canal. Estas alterações abrangem a configuração do DRSP para receber agora amostras de dois canais distintos, ou seja, a configuração do modo *Diversity Channel Real*. É necessário também programar a DSP para receber agora amostras dos dois canais pela porta série. A configuração para o sistema da DDS não foi efectuada neste momento. Este programa apenas vai armazenar, em ficheiros individuais, as amostras processadas pela DRSP através da porta de comunicação série. Como as entradas analógicas estão terminadas com cargas adaptadas deve-se encontrar nos ficheiros valores iguais ou próximos a zero. Carregou-se o *software* compilado, para a DSP, e correu-se o programa.

O sistema não funcionou correctamente durante os primeiros testes, tendo sido detectados os seguintes problemas:

- Obtenção de valores incorrectos para os dados de saída (componentes cartesianas);
- Anomalias relacionadas com a programação da AD6620;
- Terminação anormal do programa de teste.

Começou-se por utilizar o analisador lógico nos sinais da EMIF, a interface paralela que permite configurar os registos do DRSP. Neste ponto, verificou-se que o pino RDY, mencionado na lista de pontos de sondagem do Capítulo 3 não estava incluído na régua de pinos existente na placa. Por este motivo foi necessário realizar um prolongamento deste pino por um fio para se poder ligar ao analisador lógico. Nesta fase, para além deste sinal, também os sinais AWE, AOE, CE2\, CE3\, barramento de dados DB_D[7..0] e DB_A[4..2], foram sondados.

O *software* teve de ser alterado para realizar apenas uma escrita completa num dos registos internos dinâmicos com 8 bits, do DRSP a fim de averiguar se o DRSP estava a ser correctamente acedido e programado. Este processo consiste na execução de três ciclos de escrita e um ciclo de leitura. Esta leitura permite observar se os dados foram memorizados correctamente no registo respectivo. Os dois primeiros ciclos de escrita correspondem aos registos AMR (*Address Mode Register*) e LAR (*Low Address Register*) que efectuam o endereçamento do registo interno a aceder. Como este último armazena um valor de 8 bits, para escrever e posteriormente ler este valor, é necessário apenas aceder a um registo externo de dados, o DR0. Assim, além dos dois ciclos de escrita iniciais, existem apenas mais um ciclo de escrita. O código utilizado neste teste foi então:

```
void main(void)
{
    /* Inicializacao da livreria CSL - Chip Support Library */
    CSL_Init();
    /* Ciclo infinito para teste de uma escrita completa num registo interno e da
    correspondente leitura*/
    while (1)
    {
        /* Escrita no registo AMR os 2 MS bits do endereco interno a aceder */
        write_micro(AMR_ADDR, (MODE_CTRL_REG & 0x0300) >> 8);

        /* Escrita no registo LAR os 8 LS bits do endereco interno a aceder */
        write_micro(LAR_ADDR, (MODE_CTRL_REG & 0xFF));

        /* Escrita do valor 0x01 no registo MODE CONTROL REGISTER */
        write_nbits(0x01, 8);

        printf("Valor lido = 0x%X", read_nbits(8));
    }
}
```

Concluído o teste, verificou-se que o valor imprimido no *stdout* (*standard output*), do *software* Code Composer Studio, não estava de acordo com o esperado. Na Figura 5.11 pode-se observar o comportamento dos sinais sondados.

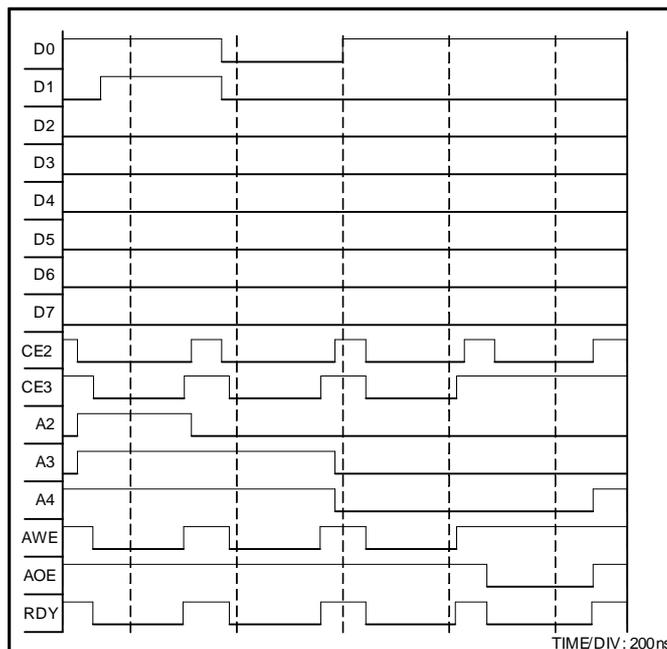


Figura 5.11 – Escrita completa de um registo interno do DRSP, seguida de uma leitura.

Face a estes resultados, pode-se dizer que os sinais de escrita e leitura, AWE e AOE, respectivamente, estão de acordo com o esperado. Os barramentos de dados e de endereços possuem o comportamento previsto, assim como o CE2. Este sinal possui o período programado de 220ns, como explicado em [9]. Por outro lado, os sinais CE3 e RDY apresentam um comportamento anómalo.

O sinal CE3 não pode ser configurado pois trata-se do *chip enable* do banco de memória externa da DSP que é usado para aceder a DDS. Como tal, este sinal dever-se-ia manter desactivado, ou seja, no valor lógico 1. Observa-se na Figura 5.11 que tal não acontece. O seu comportamento é semelhante ao sinal AWE. Como já foi dito anteriormente, a DDS partilha o sinal AWE com o DRSP, para efeitos de configuração. Este comportamento sugere que as pistas destes dois sinais, por algum motivo, possam estar em contacto uma com a outra. Examinando o esquemático não foi possível encontrar qualquer problema. Examinando agora a placa, com atenção a estes dois sinais em particular, verifica-se que na realidade eles são um só. A explicação para esta situação é fácil. Durante o desenho do esquemático, à medida que se acrescentam novas linhas, colocam-se os *labels* respectivos e neste caso em particular, ambas as linhas ficaram com o mesmo *label*.

A partir de agora, a atenção a este tipo de situações será redobrada. Retirou-se a DDS da placa, e corrigiu-se o problema. Voltou-se a correr o programa, e agora

verifica-se que o sinal CE3 já se mantém desactivado (nível lógico 1), como se pode ver na Figura 5.12.

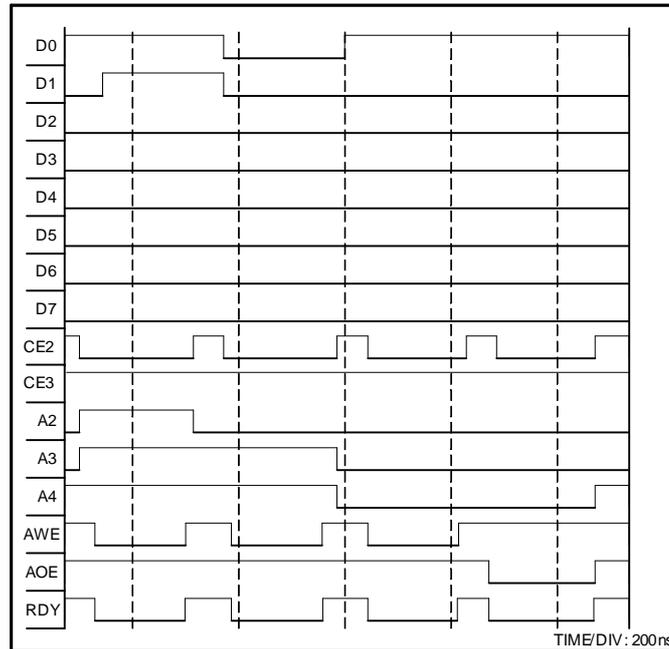


Figura 5.12 – Escrita completa de um registo interno do DRSP, seguida de uma leitura com o sinal CE3 corrigido.

Em relação ao sinal RDY, o seu comportamento deveria ser semelhante ao observado em [9], ou seja, o sinal RDY deveria permanecer no nível lógico 0, durante o tempo de 2 ciclos de relógio do DRSP, tanto na operação de escrita, como na operação de leitura, como explicado em [11]. O que se observa na Figura 5.11, é que o sinal RDY acompanha o CE2. Uma causa possível que explica tal comportamento, sugere que o DRSP possa não estar a receber o relógio correctamente. Para isto acontecer é necessário que exista algum problema com os sinais de relógio que atacam o DRSP, neste caso, o CLK_AD6620 e o A/B, ou que o chip esteja a barrar o acesso destes sinais. No capítulo 5.1 é confirmado que ambos os sinais CLK_AD6620 e o A/B se encontram correctamente posicionados nos pinos respectivos. Para averiguar se o integrado não estava avariado procedeu-se à verificação do sinal SCLK, do DRSP, o qual é derivado internamente por divisão do relógio. Numa situação normal, este sinal terá o aspecto de um sinal de relógio com um período programado com o auxílio do *switch* SW1, como referido no capítulo 5.2, independentemente do chip se encontrar ou não programado por *software*. De notar que esta ideia é reforçada, ao sondar o mesmo pino mas na placa de um canal.

Com a ajuda do osciloscópio digital, confirmou-se que não existia qualquer actividade no pino SCLK. Assumindo que o chip estava em perfeitas condições, uma causa que poderia provocar tal bloqueio ao DRSP, seria o botão de *reset* se encontrar continuamente activo. Com a ajuda do multímetro verificou-se que o sinal de *reset* se encontrava sempre activo, ou seja, no nível lógico 0. Durante a montagem do botão de pressão para o *reset*, não existiram quaisquer problemas. Acontece que o botão tem uma forma quadrangular de quatro pinos (mas apenas dois são activos) e originou que ele ficasse posicionado de forma incorrecta, fazendo com que o *reset* do DRSP ficasse sempre activo! Corrigido este lapso, voltou-se a carregar o programa na DSP, para efectuar uma escrita completa de um registo dinâmico interno do DRSP, seguida de uma leitura, tendo sido agora realizada correctamente, como demonstra a Figura 5.13. No entanto, o sinal SCLK agora sondado já apresentava a forma de onda esperada, mas possuía uma amplitude muito reduzida, como se estivesse a ser atenuado. Esta situação poderia estar relacionada com os componentes que estavam ligados o SCLK, como se verá mais adiante, mas nesta fase este sinal não era importante para a correcta programação do AD6620.

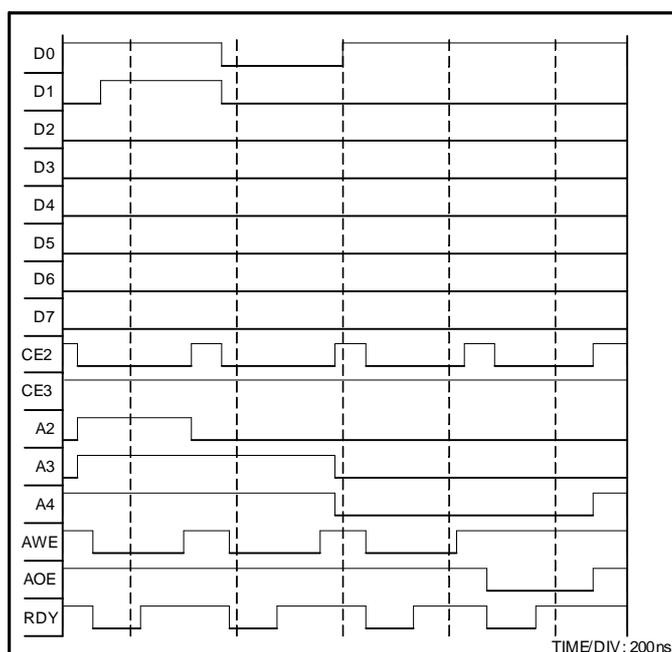


Figura 5.13 – Escrita completa bem sucedida de um registo interno do DRSP, seguida de uma leitura.

É possível constatar que agora o tempo de activação do sinal RDY já é inferior ao sinal CE2, ou seja, este já está a contar os dois ciclos de relógio do DRSP, necessários para efectuar tanto a operação de escrita como de leitura.

A partir deste momento, o DRSP está pronto para receber a configuração necessária para o seu correcto funcionamento. Assim, carregou-se para a DSP o programa completo inicial, abordado no começo desta secção 5.3. O programa configurou correctamente todos os registos do DRSP e este começou a enviar amostras, pela porta série para a DSP. Contudo, sondando os pinos SDO e SCLK com o osciloscópio, verificou-se que continuavam a surgir amostras diferentes de zero e que as amplitudes das amostras com valores lógicos a 1 eram bastante inferior aos 3.3V esperados. Esta situação pode implicar erros em dois sítios: na comunicação série entre o DRSP e a DSP, que pode estar a degradar os sinais da interface, ou na interface digital da comunicação paralela entre a ADC e o DRSP, que pode estar a enviar dados erróneos.

Com a ajuda do osciloscópio digital, sondaram-se cada um dos três sinais existentes para a interface série: o SCLK, SDO e o SDFS. O SCLK, como já foi referido anteriormente é o sinal de relógio que sincroniza a comunicação série. O SDO faz o envio dos dados e o sinal SDFS sinaliza a DSP do início de uma nova *frame* de dados. Os sinais SCLK e SDFS apresentavam um aspecto semelhante ao esperado, mas com uma amplitude inferior, na ordem dos 0.5V, contrastando com os 3.3V esperados. Nesta interface série, existe um *buffer* colocado entre o DRSP e a DSP, para prevenir problemas de adaptação das linhas em causa, como sucedeu em [9]. A função do *buffer* é dar continuidade aos sinais servindo de isolador e evitando que linhas longas impeçam o correcto funcionamento da porta série com é aliás realçado nos *datasheets*. Observando a olho nu as pistas de entrada e saída dos sinais no *buffer*, volta-se a verificar o sucedido com o sinal CE3 e AWE, anteriormente explanado. Ou seja, a entrada e a saída de cada sinal da interface série, no *buffer* encontravam-se curto-circuitadas, fruto novamente de *labels* mal inseridos no esquemático. Estava encontrada a razão para a anomalia naquelas linhas. Resolvido o problema, já era possível observar correctamente os sinais SDFS e SCLK no osciloscópio digital, como demonstra a Figura 5.14.

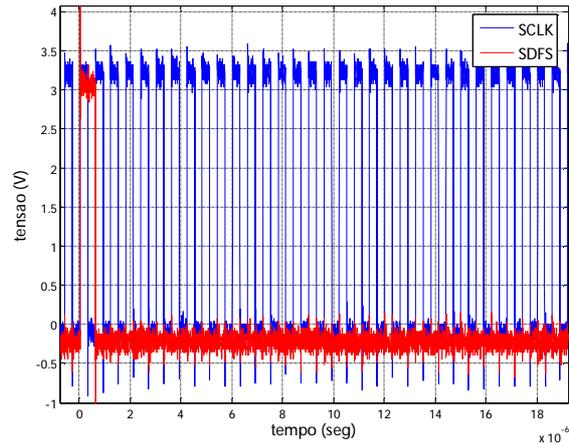


Figura 5.14 – Sinais SCLK e SDFS da interface série, depois de corrigido o problema no *buffer*.

Neste ponto, optou-se por tirar uma carga adaptada de uma das entradas analógicas e introduzir um sinal sinusoidal com a frequência de trabalho de 10.7MHz. Na saída SDO, as amostras lidas deveriam corresponder a um sinal sinusoidal amostrado, de baixa frequência, para um canal, e para o outro, valores próximos de zero. Contudo o que se obtinha nas amostras armazenadas de cada canal eram apenas valores próximos de zero. Trocou-se a injeção de sinal de um canal para o outro e o resultado foi o mesmo.

Neste ponto era um dado adquirido que:

- ou as amostras enviadas pela ADC para o DRSP eram erróneas,
- ou que o DRSP não estava a processar a informação de acordo com o pretendido.

Foi necessário rever cuidadosamente a configuração do circuito associado à ADC.

Começou-se por averiguar a tensão VREF produzida pela ADC, que permite configurar qual o valor de tensão pico-a-pico dos sinais analógicos de entrada neste chip. Quando se configura o *jumper* 1 para o pino SENSE da ADC estar à massa, o valor de VREF deve ser de aproximadamente 1V, como explicado em [5]. O valor que se estava a medir era da ordem dos 0.07V. Começou-se por medir as tensões nos pinos dos transformadores de entrada. Para um sinal DC, os três pontos do secundário do transformador devem estar ao mesmo potencial. O divisor resistivo criado pelas resistências R4 e R5, num canal de entrada, e R9 e R10, no outro canal de entrada, criam uma tensão de 1.67V (metade da tensão de alimentação) no core da ADC. O pino central do secundário apresentava o valor correcto de 1.67V mas os restantes pinos do

secundário apresentavam uma tensão de apenas 0.8V. Averiguando o *datasheet* dos transformadores concluiu-se que estes se encontravam instalados ao contrário. Corrigiu-se a posição de todos os transformadores instalados na placa, e verificou-se que agora os três pinos do secundário já possuíam o mesmo valor de tensão, igual a 1.67V.

Ainda neste ponto de averiguação da configuração por *hardware* da ADC, constatou-se que, por lapso, tinham sido esquecidos alguns condensadores de desacoplamento de RF exigidos pelo fabricante em [5]. Estes condensadores encontravam-se em falta nos sinais VREF, REFT e REFB. Procedeu-se à instalação dos mesmos no circuito. Por fim, voltou-se a medir o valor de tensão em VREF o que confirmou os 0.5V esperados. Para confirmação da correcta configuração dever-se-ia medir uma queda de tensão de 1V entre os sinais REFT e REFB, como explicado em [5]. Esta tensão foi positivamente confirmada. Por fim, aplicou-se um sinal numa das entradas analógicas, e observou-se no osciloscópio o comportamento deste no primário do transformador respectivo, bem como na entrada analógica correspondente da ADC. O resultado encontra-se na Figura 5.15.

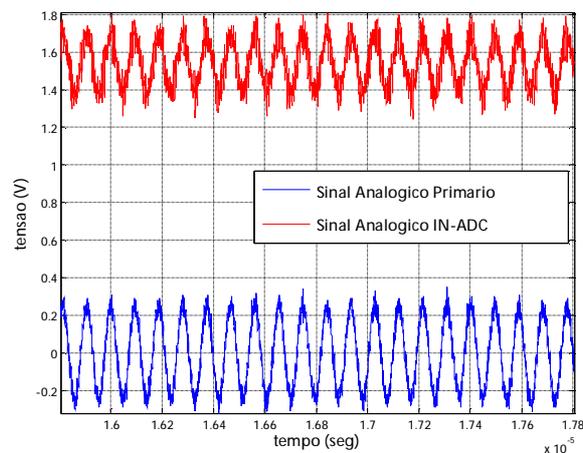


Figura 5.15 – Sinal analógico visualizado no primário de um transformador e na entrada da ADC respectiva.

Constata-se que o sinal analógico está a ser bem processado até à sua entrada na ADC. Na entrada analógica do circuito tem-se uma onda sinusoidal em torno dos 0V, como esperado. Na entrada analógica da ADC encontra-se uma onda sinusoidal em torno dos 1.67V, que corresponde ao valor da tensão DC criada no ponto médio do secundário do transformador. A distorção apresentada na onda pode ser resultante do processo de amostragem da ADC, o que não implica que a amostragem esteja a ser mal feita.

Após estas alterações voltou-se a carregar e a correr o programa anteriormente criado para se obterem algumas amostras na saída SDO que demonstrassem a presença de uma onda sinusoidal de baixa frequência. O resultado continuou a ser de amostras em torno de zero.

Neste momento era necessário sondar todos os pinos da saída digital da ADC, com o analisador lógico para confirmar que os dados estavam correctos. Mas devido à inexistência de pontos de sondagem nestes pinos, por força da impossibilidade de os instalar, foi necessário pensar noutra forma de os testar.

Com um sinal sinusoidal, de frequência variável, na entrada da ADC e uma ponta de prova do osciloscópio digital a sondar o bit mais significativo da saída digital da ADC, é possível verificar se esta está a processar correctamente a informação. Este método de debug consiste em verificar se o bit mais significativo se agrupa no mesmo valor lógico durante intervalos de tempo iguais para um mesmo valor de frequência. Isto é fácil de explicar. Para uma onda sinusoidal amostrada em complemento para dois, o bit mais significativo mantém-se no nível lógico 0 durante a arcada positiva e no nível lógico 1, durante a arcada negativa. Para um valor baixo de frequência, deve-se visualizar grupos de 1's e 0's a manterem o mesmo valor lógico durante um determinado tempo. Com o aumento da frequência, esses agrupamentos vão surgindo em maior quantidade, e a permanência no mesmo estado lógico vai diminuindo. Assim, variando a frequência do sinal de entrada, em passos de 1MHz, de 1 até uns 15MHz, e sondando com o osciloscópio digital o 12º bit, constatou-se o comportamento anteriormente descrito. A ADC estava a processar e a enviar correctamente, para a sua saída digital, a amostragem do sinal sinusoidal aplicado na sua entrada analógica.

Com esta certeza passou-se para uma nova etapa. Esta consistia em efectuar uma leitura dos dados contidos na RAM do DRSP para se confirmar se existiam dados a ser processados por este chip. De acordo com [11], estes dados encontram-se disponíveis na memória interna e acessíveis através da porta de controlo utilizada para programar o chip. Efectuou-se então uma alteração no *software* existente. Na função que permite ler os registos dinâmicos internos do DRSP, acrescentou-se uma outra função capaz de ler todas as posições de 36 bits da RAM. É sabido que o *software* inicialmente desenvolvido para configurar e programar o DRSP executa, num dos seus passos, uma formatação de todas as posições de memória da RAM, ou seja, coloca o seu conteúdo a zero.

Configurando de raiz o DRSP, e executando a nova função criada constatou-se a existência de dados diferentes de zero no conteúdo das posições da RAM. Este resultado é bastante animador, pois demonstra que o DRSP está a receber dados pela sua interface digital. Contudo, as amostras obtidas na saída do SDO continuavam a não ser o esperado.

Até aqui todos os módulos de *hardware* foram individualmente analisados, e todos estão a funcionar de acordo com o esperado. Mas agora possuíam-se mais certezas quanto a uma possível falha na configuração dos registos de configuração do DRSP.

Revedo de novo a programação, pois cada vez mais o insucesso era inexplicável, constatou-se então um lapso óbvio mas ignorado. O registo correspondente ao valor da frequência programada no NCO do DRSP estava a ser mal configurado. O registo continuava a ser programado com o mesmo valor do utilizado em [9], tudo por causa da ilusão de se estar a usar sempre a mesma frequência intermédia de 10.7MHz. Na realidade este registo depende não só da frequência de trabalho como da frequência de cada canal (equação 5.1) como explicado em [11].

$$NCO_FREQ = 2^{32} \times \frac{f_{NCO}}{f_{CH}} \quad 5.1$$

Em [9] a frequência do canal era de 40MHz, e pretendendo programar uma frequência de 10.7MHz no NCO, o valor do registo NCO_FREQ, em hexadecimal, era 0x447AE147. Como para o projecto de dois canais a frequência de trabalho de cada canal é de 25MHz, a utilização do valor 0x447AE147 no registo NCO_FREQ, programava uma frequência no NCO de aproximadamente 6.7MHz. Com uma frequência de 10.7MHz configurada no gerador de sinal analógico, a multiplicação de um sinal de 6.7MHz com um sinal de 10.7MHz, resulta numa parcela de diferença de frequência de 4MHz. Este valor cai fora da largura de banda dos filtros do DRSP, fazendo com que à sua saída (pela interface série, no pino SDO) apenas surgissem amostras com valor em torno de zero.

Desta forma calculou-se o novo valor a programar neste registo. Para uma f_{NCO} de 10.7MHz e f_{CH} de 25MHz, o valor em hexadecimal, a programar no registo NCO_FREQ é 0x6D916872.

Injectou-se no canal copolar um sinal com uma frequência de 10.7MHz, voltou-se a correr o programa e capturaram-se mais uma vez amostras de ambos os canais, copolar e crosspolar.

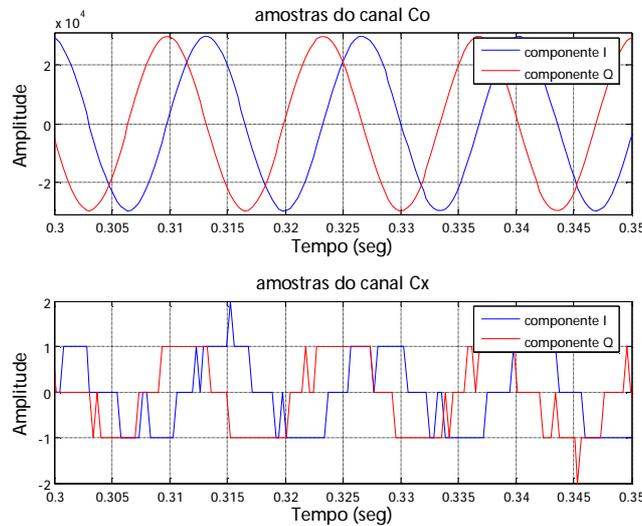


Figura 5.16 – Amostras recolhidas dos canais copolar (com sinal) e crosspolar (com carga adaptada) depois de corrigido o valor do registo dinâmico interno do DRSP, NCO_FREQ.

Finalmente é possível observar o resultado esperado, na Figura 5.16. As amostras obtidas do canal copolar resultam num sinal sinusoidal, com componentes em fase e quadratura de baixa frequência e com uma amplitude de aproximadamente 29800, que corresponde a uma resolução final de aproximadamente 14.86 bits.

O valor da frequência das componentes do sinal observado nas amostras do canal copolar é de aproximadamente 74Hz. Este valor é um *offset* que resulta do facto do relógio da placa desenvolvida e o gerador de sinal não partilharem a mesma referência de frequência.

Por outro lado as amostras obtidas do canal crosspolar resultam num sinal ruidoso, mas praticamente nulo, com uma amplitude de 4 pico-a-pico.

Alterando agora o canal por onde é injectado o sinal analógico - o canal copolar passa a ter a carga adaptada, ao passo que ao canal crosspolar é aplicado o sinal analógico - observa-se também, na Figura 5.17, o resultado pretendido. Mais uma vez, as amostras obtidas agora no canal crosspolar resultam num sinal sinusoidal, com componentes de fase e quadratura com baixa frequência e de valor 74Hz (como seria de esperar) e com uma amplitude aproximadamente igual à anterior. A diferença de apenas algumas dezenas de unidades poderá dever-se a perdas no transformador. As amostras

obtidas do canal copolar resultam num sinal praticamente nulo, com algum ruído de fundo, com uma amplitude de 2 unidades pico-a-pico.

Pode-se identificar, com alguma generosidade, uma periodicidade no canal crosspolar da figura anterior embora muito reduzida. Tal no entanto não é observável na figura seguinte. Parece haver um isolamento superior do canal crosspolar para o canal copolar.

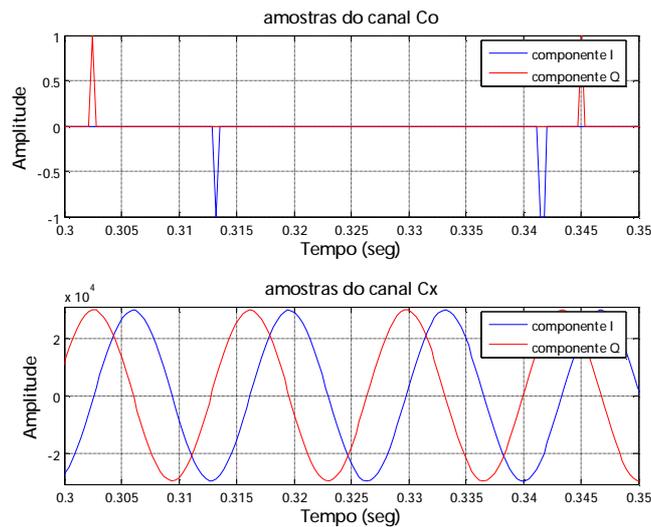


Figura 5.17 – Amostras recolhidas dos canais copolar (com carga adaptada) e crosspolar (com sinal) depois de corrigido o valor do registo dinâmico interno do DRSP, NCO_FREQ.

Com a obtenção destes resultados, dá-se por concluído o teste do sistema de aquisição de dois canais independentes.

5.5 Debug de *Hardware* do Sistema DDS

Durante o debug do módulo relativo ao DRSP, constatou-se a existência de um curto-circuito entre os pinos AWE e CE3, sinais de controlo da DDS. Por este motivo a DDS foi removida do circuito. Depois de concluído o debug desse módulo, e corrigidos os problemas relacionados com os dois sinais de controlo, voltou-se a instalar a DDS na placa.

Programou-se o código que permite configurar a DDS, como se pode ver em seguida.

```
void main(void)
{
    /* Declaração de variáveis */
    int W0, W1, W2, W3, W4, fout;
```

```

/* Inicializacao da livraria CSL - Chip Support Library */
CSL_Init();

/* Valor da frequencia a programar na DDS */
fout = 0xCCCCCC;

W0 = 0; /* */
W1 = (fout & 0xFF000000) >> 24;
W2 = (fout & 0x00FF0000) >> 16;
W3 = (fout & 0x0000FF00) >> 8;
W4 = (fout & 0x000000FF);

/* Programação das palavras de configuração da DDS */
/* Escrita de cada palavra de forma sucessiva */
*(unsigned volatile int *) (0xB0000000) = W0;
*(unsigned volatile int *) (0xB0000000) = W1;
*(unsigned volatile int *) (0xB0000000) = W2;
*(unsigned volatile int *) (0xB0000000) = W3;
*(unsigned volatile int *) (0xB0000000) = W4;
}

```

Para começar os testes escolheu-se um valor para a frequência de saída de 5MHz. De acordo com a equação 3.6, o valor a programar para a *tunning word* (fout), em hexadecimal é 0xCCCCCC. Como explicado em [8], a palavra W0 configura a modulação de fase e a função de *power-down*. Dado que não se pretende qualquer modulação de fase, e que a DDS permaneça sempre a funcionar, tem-se $W0 = 0$. As restantes palavras (W1 W2 W3 e W4) configuram a *tunning word*.

Uma vez que para a DDS é utilizado o pino CE3, o banco de memória utilizado para o activar é o 0xB0000000. Do lado da DSP, o registo que controla o sinal CE3 é o CECTL3 (*Chip Enable Control Register*). Mantiveram-se inalterados praticamente todos os campos de configuração presentes neste registo, face ao registo que controla o pino CE2 utilizado para aceder ao DRSP. Contudo procedeu-se à alteração de um campo chamado de *turn-around*. Aqui atribuiu-se o valor de zero, ou seja, o tempo de *turn-around* entre sucessivas escritas ou leituras será de zero ciclos de relógio. Isto vai permitir que o sinal CE3 realize o seu flanco ascendente, apenas no fim das 5 escritas necessárias à configuração da DDS, como explicado no capítulo 3.4.3.

Antes de correr o programa ligou-se o analisador lógico a todos os sinais necessários à interface com a DDS. O resultado encontra-se na Figura 5.18.

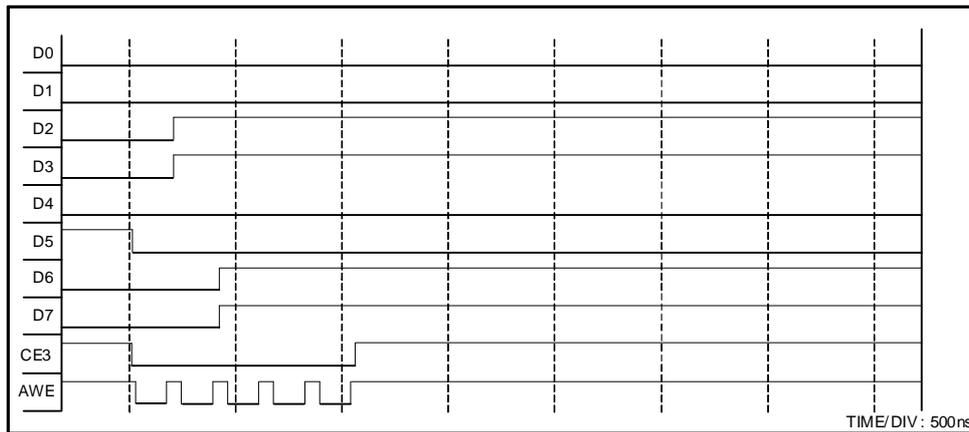


Figura 5.18 – Sinais de programação da DDS – Sem sinal sinusoidal na saída da DDS.

Ligou-se o osciloscópio digital à saída analógica da DDS e não se observou qualquer onda sinusoidal.

Fazendo uma leitura atenta do resultado obtido no analisador lógico verificou-se que o sinal AWE estava a ter um comportamento invertido ao do projectado. Rapidamente se constatou que não se tinha passado o sinal pelo inversor. Corrigiu-se o problema e voltou-se a correr o programa, para verificar se estava tudo de acordo. A Figura 5.19 mostra o novo resultado com a alteração efectuada.

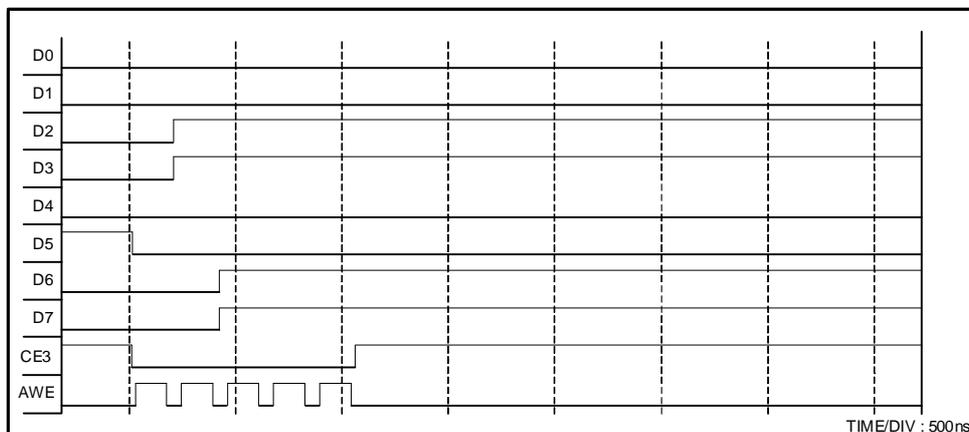


Figura 5.19 – Sinais de programação da DDS – AWE invertido – Sem sinal sinusoidal na saída da DDS.

Embora a imagem obtida no analisador lógico coincidissem com a imagem representada em [8], continuava-se a não se obter qualquer sinal sinusoidal à saída da DDS. Durante inúmeras tentativas de programação da DDS verificou-se que, aleatoriamente, surgia uma onda sinusoidal na saída analógica da DDS mas com uma frequência também ela aleatória. Constatou-se também que por vezes a DDS se auto-programava igualmente com valores de frequência aleatórios, quando se ligava o

próprio KIT da DSP à alimentação (na situação em que a placa já se encontrava ligada à fonte de alimentação e conectada ao KIT DSP). Dava a entender a existência de algum problema com os sinais da interface de comunicação com a DDS. Mas este problema foi posto de parte pelo simples motivo de todos os sinais, à excepção do CE3, serem partilhados com o DRSP, e na programação deste não existir qualquer problema. Como comprovado pelo analisador lógico, o sinal CE3 mantinha-se no valor lógico 1 (desactivado) sempre que o banco de memória correspondente não fosse evocado. Contudo, aceitava-se que comutasse durante o início de funcionamento da DSP. Ao contrário deste sinal, os sinais AWE e AOE estão em constante comutação de nível lógico durante o tempo em que a DSP se encontra alimentada.

Neste momento era plausível que a DDS se programasse durante o arranque da DSP, pelas sucessivas comutações de níveis lógicos de todos os sinais das suas interfaces. Mas não se entendia o facto de durante sucessivas programações ela não se programar. E quando se programava, era aleatoriamente e com valores de frequência também aleatórios.

Com os sinais a funcionarem correctamente e sem margem para dúvidas neste campo, era óbvio que o erro só poderia estar na própria interpretação da função dos sinais de controlo W_CLK e FQ_UD . Como é dito no capítulo 3.4.3, o chip armazena as 5 palavras de configuração nos primeiros 5 ciclos do W_CLK descartando todas as restantes palavras de configuração que surjam no barramento de dados, nos seguintes ciclos de relógio do sinal W_CLK . Por outro lado, o flanco ascendente do sinal FQ_UD dá indicação à DDS que esta pode carregar os 40 bits para o seu registo interno de configuração.

Como foi dito anteriormente, o sinal W_CLK é o sinal AWE negado. E este sinal está em constante comutação. Desta forma a DDS escreve, durante a comutação do sinal AWE , os 5 registos de 8 bits internos com quaisquer dados que possam estar no barramento de dados, ou seja estão a ser escritos dados meramente aleatórios. Quando se executa o programa acima descrito já os registos se encontram escritos e todas as palavras de configuração, $W0$ $W1$ $W2$ $W3$ e $W4$ são ignoradas. No momento em que o sinal FQ_UD comuta do nível lógico 0 para o nível lógico 1, os 40 bits de dados aleatórios são carregados para o registo interno da DDS. Desta forma fica explicado todo o comportamento aleatório e erróneo da DDS.

A solução para este problema, e dadas as condições existentes, passa por programar duas vezes seguidas a DDS. A primeira programação vai configurar a DDS

com o lixo acumulado nos cinco registos correspondentes às palavras de configuração. Neste primeiro acto, é necessário que o sinal *FQ_UD* realize um flanco ascendente ao fim do tempo de escrita de apenas uma palavra de 8 bits. A segunda programação vai então executar a correcta configuração da DDS com todos os registos correctamente preenchidos, com flanco ascendente do sinal *FQ_UD* a ser realizado ao fim das cinco operações de escrita. Dado que se está a usar um tempo de *turn-around* de zero ciclos de relógio, é estritamente necessário que entre as duas fases de programação se execute uma qualquer outra instrução que demore tempo suficiente para que o sinal *FQ_UD* regresse ao nível lógico 1, antes da execução da segunda programação. O código que executa estes procedimentos encontra-se de seguida.

```
void main(void)
{
    /* Declaração de variáveis */
    int W0, W1, W2, W3, W4, W_START, fout, i;

    /* Inicializacao da livreria CSL - Chip Support Library */
    CSL_Init();

    /* Valor da frequência a programar na DDS */
    fout = 0xCCCCCC;

    W_START = 0;
    W0 = 0; /* */
    W1 = (fout & 0xFF000000) >> 24;
    W2 = (fout & 0x00FF0000) >> 16;
    W3 = (fout & 0x0000FF00) >> 8;
    W4 = (fout & 0x000000FF);

    /* Execução do primeiro acto de programação */
    *(unsigned volatile int *) (0xB0000000) = W_START;

    /* Execução de uma instrução que dê tempo ao sinal FQ_UD de regressar a 1 */
    for(i = 0; i = 35; i++);

    /* Execução do segundo acto de programação */
    /* Programação das palavras de configuração da DDS */

    *(unsigned volatile int *) (0xB0000000) = W0;
    *(unsigned volatile int *) (0xB0000000) = W1;
    *(unsigned volatile int *) (0xB0000000) = W2;
    *(unsigned volatile int *) (0xB0000000) = W3;
    *(unsigned volatile int *) (0xB0000000) = W4;
}
```

Carregou-se este programa para a DSP e executou-se de seguida, observando o resultado tanto no analisador lógico, como no osciloscópio digital. No analisador lógico pode-se verificar, Figura 5.20, que está tudo de acordo com o planeado.

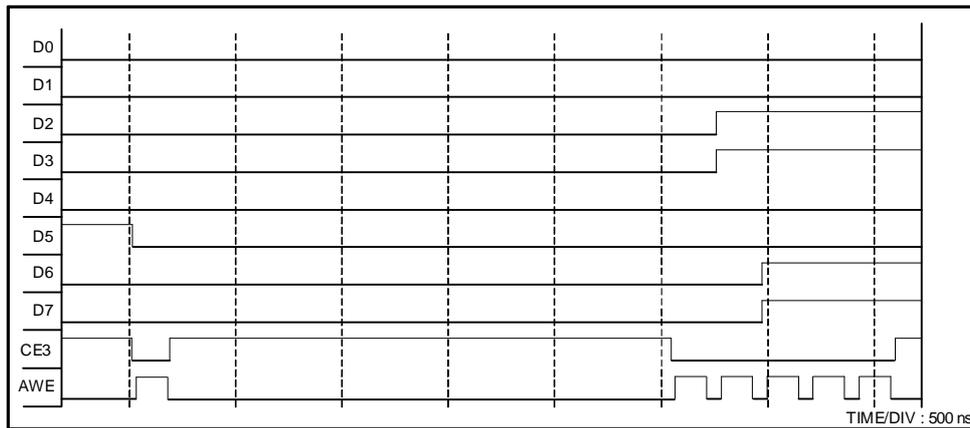


Figura 5.20 – Sinais de programação da DDS – Com sinal sinusoidal na saída da DDS.

E finalmente, no osciloscópio digital, encontra-se uma onda sinusoidal com um valor de frequência de 5MHz (Figura 5.21).

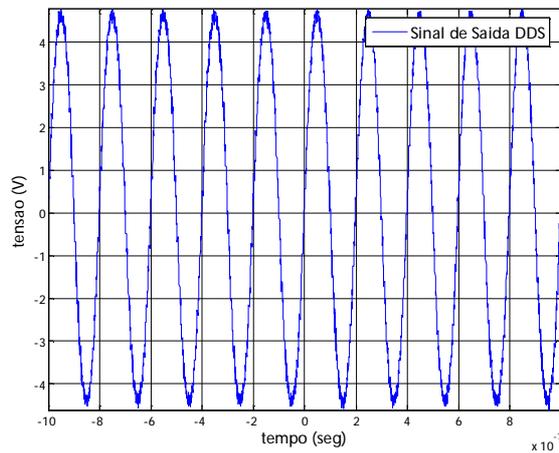


Figura 5.21 – Sinal sintetizado de 5MHz.

Experimentaram-se com sucesso outros valores de frequência, tais como 10MHz e 30MHz, cujos valores em hexadecimal são 0x19999999 e 0x4CCCCCCC, respectivamente.

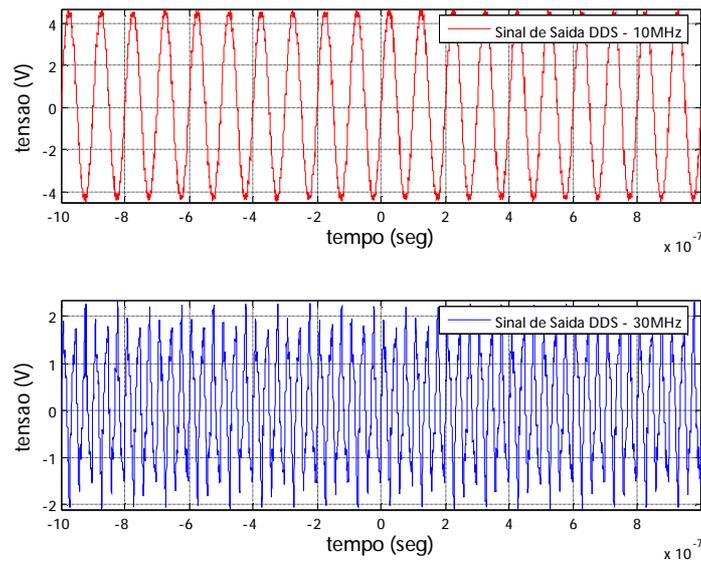


Figura 5.22 – Sinal sintetizado de 10 e 30MHz.

Desta forma, o sistema DDS está funcional e operável. Repare-se que os sinais observados não são uma sinusóide pura pois contêm espúrias e imagens à volta da frequência de relógio, como é possível observar. É necessária uma filtragem passa-baixo, ou passa-banda se a frequência pretendida for conhecida, para conseguir um espectro mais limpo.

Capítulo 6

Resultados

Neste capítulo apresentam-se todos os resultados dos vários testes efectuados ao *hardware*, depois de concluído todo o debug do Capítulo 5. Na secção 6.1 encontram-se os resultados dos testes realizados ao sistema de aquisição de dois canais. Na secção 6.2 encontram-se os resultados dos testes realizados ao sistema DDS. Na secção 6.3, exprimem-se os resultados de um teste que permite relacionar a qualidade de um sinal produzido por um gerador de sinal, com um sinal produzido pela DDS. Por fim, na secção 6.4 é experimentada uma detecção síncrona com um sinal proveniente de um gerador de sinal.

6.1 Sistema de Aquisição de Dois Canais – Copolar/Crosspolar

6.1.1 Componentes em Fase e Quadratura

Na Figura 6.1 encontram-se representadas 5120 amostras recolhidas de cada cana, terminando o seu canal complementar com uma carga adaptada. Observam-se sinusóides bem desenhadas que correspondem às componentes em fase e quadratura do sinal de entrada. Possuem igual amplitude, de aproximadamente 29800, e desfasadas de 90°. A frequência de entrada possui um valor de 10.7MHz, igual à frequência programada no NCO gerando um *offset* de saída de 74Hz, correspondente à diferença real do valor destas frequências.

De notar que os dois gráficos existentes na Figura 6.1 não coincidem um com o outro pelo facto do processo de aquisição, em cada canal, ter ocorrido em momentos diferentes. Com estes resultados comprovou-se o perfeito funcionamento de todo o sistema de aquisição e processamento de dois canais em simultâneo.

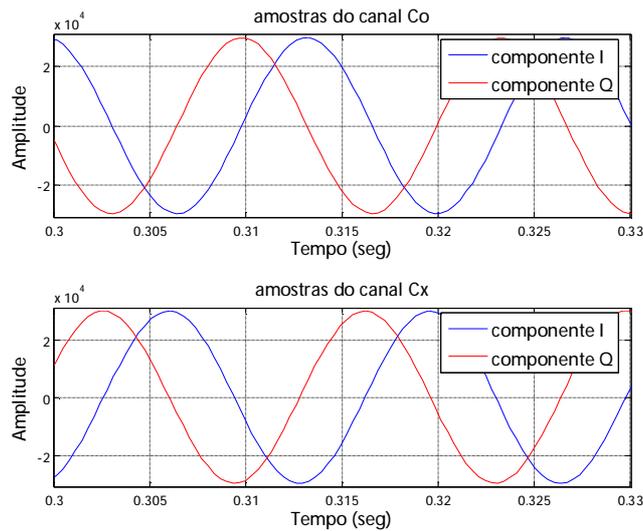


Figura 6.1 – Amostras dos canais copolar e crosspolar, em momentos diferentes e com o respectivo canal complementar terminado numa carga adaptada.

6.1.2 Linearidade

Os testes à linearidade permitem verificar se o sistema responde linearmente, independentemente do sinal colocado à entrada. Nesta secção é testada a linearidade da amplitude dos sinais de entrada e a linearidade da fase relativa entre os dois canais.

Para os testes de linearidade, construiu-se um arranjo (abordado no capítulo 5.3.6) que permite atenuar um determinado sinal, proveniente de um gerador, com uma resolução mínima de 1dB's. Para este teste, utilizou-se uma resolução de 3 dB's, assumindo-se que seria suficiente para tirar conclusões sobre o comportamento linear do sistema.

Programou-se o gerador de sinal com um valor de frequência de 10.7MHz e com uma potência de sinal de 9dBm. Em seguida ligou-se a saída do gerador à entrada do dispositivo e as duas saídas deste aos canais copolar e crosspolar do receptor. O sinal em cada saída tem cerca de 4.3dBm dada a utilização de um divisor de 3 vias. Recolheram-se 5120 amostras de cada canal, por cada passo de 3dB's de atenuação.

6.1.2.1 Linearidade de Amplitude

A Figura 6.2 indica o comportamento linear do sistema, da amplitude de saída em função da amplitude de entrada do sinal. Para a obtenção destes resultados, foi feita

uma média do módulo das componentes complexas para cada par de amostras $I(n)+jQ(n)$, com $0 < n < 2560$. Na coluna de gráficos da direita, da Figura 6.2 encontra-se representada, de outra forma, a diferença entre a atenuação real e a atenuação obtida à saída do sistema.

Observa-se um comportamento bastante linear. Pode-se dizer que até aos 30dB's de atenuação, o sistema é quase ideal, com os desvios a flutuarem entre os ± 0.1 dB. No entanto, ambos os canais não respondem da mesma forma. A partir dos 30dB's, até aos 60dB's, o canal copolar sofre variações de ± 0.5 dB's, ao passo que o canal crosspolar ultrapassa esta fasquia alcançando ± 0.6 dB's. De notar que o próprio equipamento de atenuação utilizado não é ideal, e ele próprio pode contribuir com uma parte dos resultados obtidos.

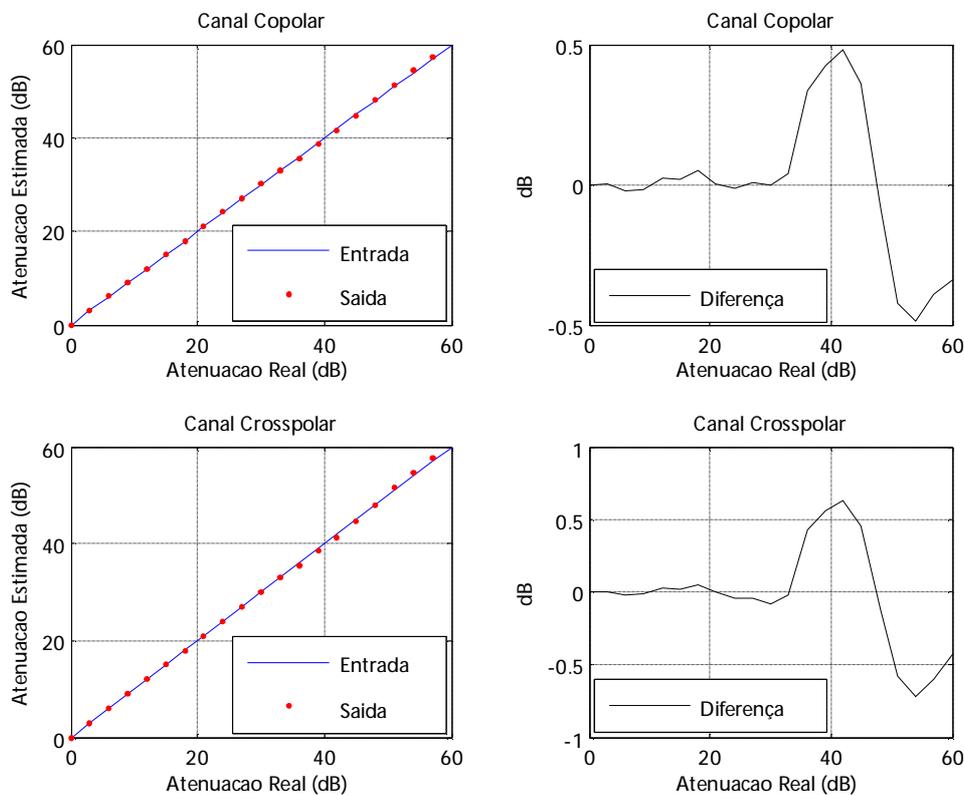


Figura 6.2 – Linearidade de amplitude do canal Copolar e Crosspolar.

Para se ter uma ideia do impacto que o ruído (do chip e de quantificação) pode ter num sinal quase perfeito, como aquele que é obtido de um gerador de sinal, na Figura 6.3 encontram-se representadas três séries temporais para três valores de atenuação diferentes. Estão apenas representadas as amostras recolhidas do canal copolar já que para o canal crosspolar, o resultado seria semelhante.

No primeiro caso, de uma atenuação de 0dB, as ondas são praticamente perfeitas, com uma amplitude elevada, de 31100 (resolução de bits = $\log_2(31100) = 14.92$ bits).

Para o segundo caso, de uma atenuação de 30dB, as ondas possuem ainda uma boa definição das suas curvas, onde a principal diferença reside então na amplitude. Este valor desceu para uns modestos 980.

Por fim, para uma atenuação de 60dB, já se observa uma clara incapacidade de recriar uma onda com flancos suaves. O sinal desceu e o nível do ruído começa a ser visível na corrupção do sinal. A amplitude do sinal, para esta atenuação, não ultrapassa as 31 unidades.

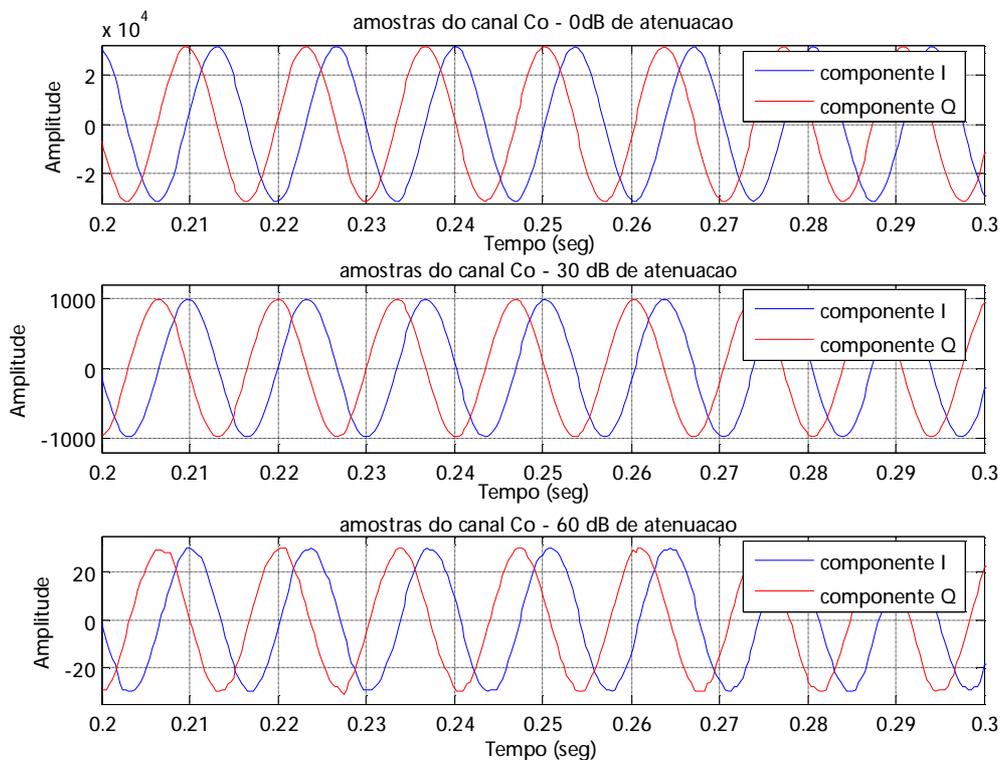


Figura 6.3 – Impacto do ruído no sinal.

6.1.2.2 Linearidade de Fase

A Figura 6.4 indica que a fase relativa entre os dois canais, se mantêm constante e em torno de zero. A partir dos 35dB's, as flutuações são mais acentuadas. Contudo, estas oscilações não significam que seja o próprio receptor digital que esteja a introduzir estas variações de fase. Os valores obtidos são contudo sempre excelentes para os objectivos pretendidos.

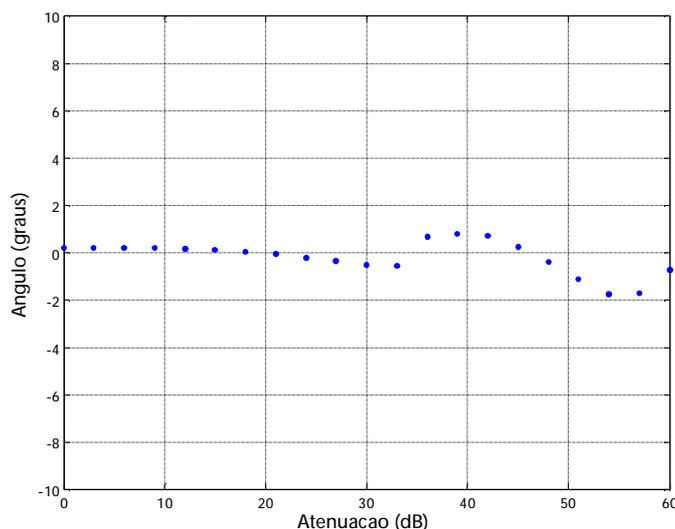


Figura 6.4 – Diferença de fase entre canal copolar e crosspolar.

6.1.3 Fundo de Ruído

Para os testes de fundo de ruído utilizaram-se amostras e duas situações distintas. Comparou-se a situação de ambos os canais ligados ao gerador, mas sem sinal, com a situação de existir sinal em cada um dos canais. O sinal utilizado possui um valor de frequência de 10.7MHz. Após a recolha de 5120 amostras das componentes I e Q de cada canal, efectuou-se uma FFT complexa no MatLab usando directamente o valor adquirido. Por este motivo, os gráficos apresentados em seguida vão apresentar uma risca em torno da frequência 2979Hz. Fazendo a diferença da máxima frequência, 3052Hz, pelo valor 2979Hz, obtém-se o valor real da frequência do sinal sinusoidal de saída, de aproximadamente 73Hz, que vai de encontro ao valor anteriormente calculado, na secção 6.1. Isto acontece porque um dos osciladores (ou o do receptor digital ou do gerador de sinal) vai “à frente” do outro. Se a diferença relativa se invertesse, seria possível observar que o resultado de uma FFT complexa originaria uma risca em torno dos 73Hz.

Na Figura 6.5 verifica-se que o sinal de saída do gerador tem um fundo de ruído superior em 25dB ao fundo de ruído do sistema. Constata-se também que o sistema tem um CNR=132dB/Hz para o nível de sinal usado à entrada. Um valor acima das melhores expectativas no início deste projecto. É portanto óbvio que este sistema serve as exigências de uma situação real que necessite de competir com um sinal exibindo uma CNR de até 59dB/Hz, como determinado no capítulo 2.2.

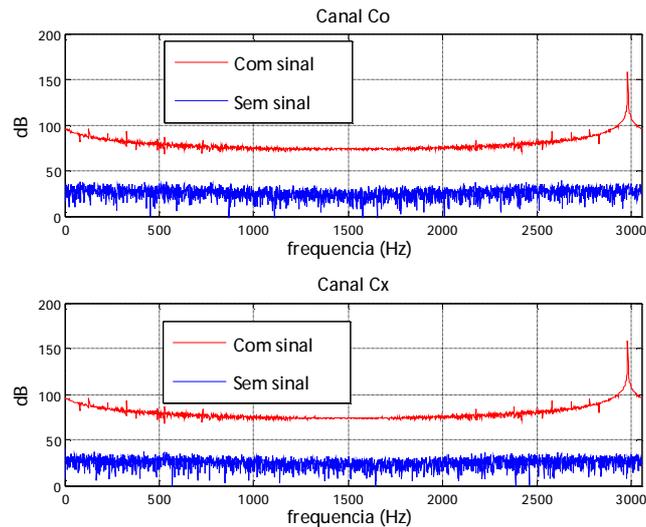


Figura 6.5 – Fundo de ruído Vs Sinal.

6.1.4 Isolamento

Uma característica a ter em consideração, quando se adquirem dois canais em simultâneo, é o isolamento entre canais. Esta característica é também conhecida por *crosstalk*, ou seja mede a amplitude do sinal que aparece na cadeia do outro.

Para se verificar esta influência, injectou-se um sinal de 10.7MHz primeiro no canal crosspolar e observou-se o canal copolar, sem sinal aplicado. Em seguida inverteram-se os papéis. Na Figura 6.6 está representado o resultado deste teste.

O canal copolar apresenta um isolamento muito elevado. Contudo, junto à frequência de valor 2979Hz observa-se uma componente. Este é o *crosstalk* do canal crosspolar. Uma pequena percentagem do sinal que é injectado no canal copolar passa para o canal crosspolar, com uma potência de -129dB em relação ao primeiro.

Por outro lado, o canal crosspolar sofre de um isolamento bem menos perfeito, mas mesmo assim excelente. O *crosstalk* feito pelo canal copolar é mais acentuado, com uma potência de -89.2dB em relação ao sinal injectado no canal copolar.

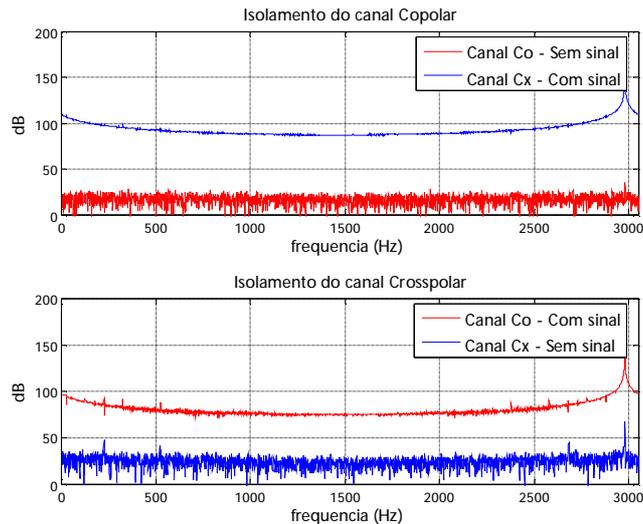


Figura 6.6 – Isolamento de um canal em relação ao outro.

6.2 Sistema DDS

Para se efectuarem testes ao sistema DDS utilizou-se um equipamento conhecido como analisador de espectros, referido no Capítulo 4. Com este equipamento é possível estudar com detalhe o conteúdo do espectro de um sinal. Desta forma ligou-se a saída analógica da DDS ao analisador de espectros e efectuaram-se medidas para diferentes valores de frequência do sinal sintetizado pela DDS.

Foram efectuados dois conjuntos de medidas. Um usa como parâmetros fundamentais do analisador de espectros:

Span – 200MHz;

VideoBW – 3KHz;

que providencia uma observação panorâmica do espectro até pelo menos a frequência de clock. O outro conjunto de medidas usa como parâmetros do analisador de espectros

Span – 360Hz

VideoBW – 10Hz

que faculta uma resolução detalhada da qualidade da risca pretendida.

- 5MHz – *tunning word* = 0x0C CC CC CC

Figura 6.7: Observação panorâmica do espectro de saída da DDS

Na Figura 6.7 é possível observar o espectro de frequências numa janela de 200MHz. No canto esquerdo observa-se a risca de 5MHz, seguida de

algumas espúrias, resultantes das harmônicas do sinal, principalmente nos 10 e 15MHz. De acordo com a teoria que se pode encontrar em [8], é possível detectar as imagens que ocorrem nos instantes múltiplos da frequência do relógio de frequência da DDS +/- a frequência de saída programada, neste caso 5MHz. Ou seja, para esta janela, detectam-se imagens a 95MHz e a 105MHz, e ainda a 195MHz.

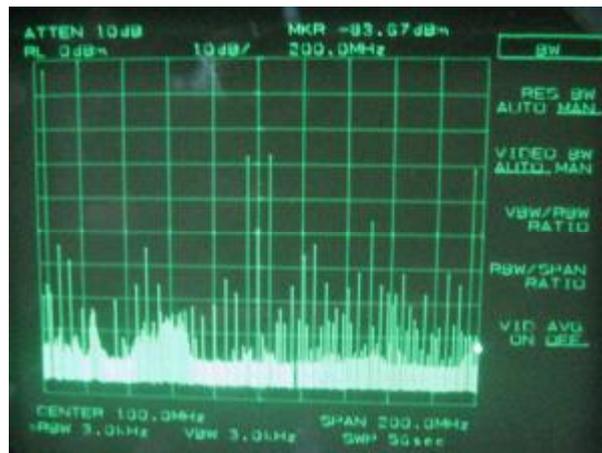


Figura 6.7 – Espectro, com *Span*=200MHz, para uma frequência fundamental de 5MHz.

Figura 6.8: Observação detalhada da qualidade da risca.

A 10Hz de distância da portadora a potência de sinal é de -10.8dBc. A 20Hz esta potência reduz-se para os -63.16dBc. Junto ao patamar de ruído, a 21Hz, a potência de sinal fica-se pelos -69dBc. Na realidade, este patamar de ruído possui uma forma mais agressiva. Mas com a utilização da opção *VideoAverage*, é calculada uma media de todos os pontos tornando-o mais suave.



Figura 6.8 – Detalhe da risca, com *Span*=360Hz, para uma frequência fundamental de 5MHz.

- 10MHz – *tunning word* = 0x19 99 99 99

Figura 6.9: Observação panorâmica do espectro de saída da DDS.

Na Figura 6.9 o espectro de frequências mostrado é relativo a uma frequência de 10MHz. Possui harmônicas a 20 e a 30MHz. Existem imagens a 90, 110 e a 190MHz, como previsto.

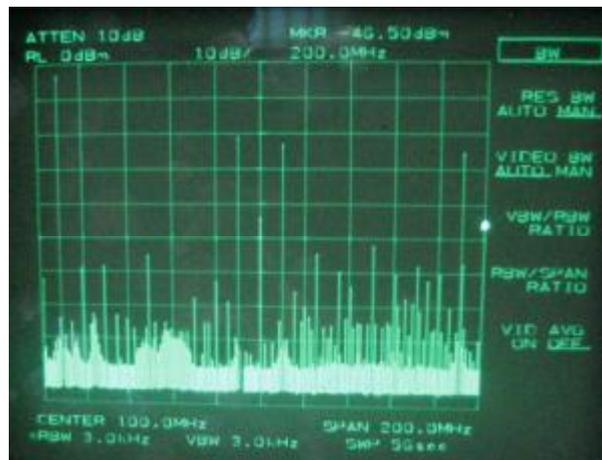


Figura 6.9 – Espectro, com *Span*=200MHz, para uma frequência fundamental de 10MHz.

Figura 6.10: Observação detalhada da qualidade da risca.

Agora na Figura 6.10, é apresentado um “zoom” da imagem da Figura 6.9, em torno da frequência de sintetizada 10MHz. O nível de sinal máximo medido é de -2.5dBm. A 10Hz de distância a potência do sinal desce aos -9.17dBc. A 20Hz já são medidos -53.83dBc. Por fim, o ruído de fundo, a 23Hz da portadora, tem uma potência de -65.17dBc.



Figura 6.10 – Espectro, com *Span*=360Hz, para uma frequência fundamental de 10MHz.

- 20MHz – *tunning word* = 0x33 33 33 33

Figura 6.11: Observação panorâmica do espectro de saída da DDS.

Na Figura 6.11 o espectro de frequências mostrado é relativo a uma frequência de 20MHz. Possui harmônicas a 40 e a 60MHz. Existem imagens a 80, 120 e a 180MHz, como previsto. Também de acordo com a teoria encontrada em [8], a relação entre a potência da frequência fundamental e a potência das imagens diminui à medida que o valor da frequência fundamental aumenta (face às situações anteriores de 5 e 10MHz).



Figura 6.11 – Espectro, com *Span*=200MHz, para uma frequência fundamental de 20MHz .

Figura 6.12: Observação detalhada da qualidade da risca.

Agora na Figura 6.12, é apresentado um “zoom” da imagem da Figura 6.11, em torno da frequência sintetizada de 20MHz. O nível de sinal máximo medido é de -3dBm. A 10Hz de distância a potência do sinal desce aos -11.84dBc. A 20Hz já são medidos -58dBc. Por fim, o ruído de fundo, a 22Hz da portadora, tem uma potência de -65.17dBc.



Figura 6.12 – Espectro, com *Span*=360Hz, para uma frequência fundamental de 20MHz.

- 30MHz – *tunning word* = 0x4C CC CC CC

Figura 6.13: Observação panorâmica do espectro de saída da DDS.

Na Figura 6.13 o espectro de frequências mostrado é relativo a uma frequência de 30MHz. Possui uma harmônica pelo menos a 60MHz. Existem imagens a 130 e a 170MHz. A relação entre a potência da frequência fundamental e a potência das imagens, voltou a diminuir, em comparação com as situações anteriores.

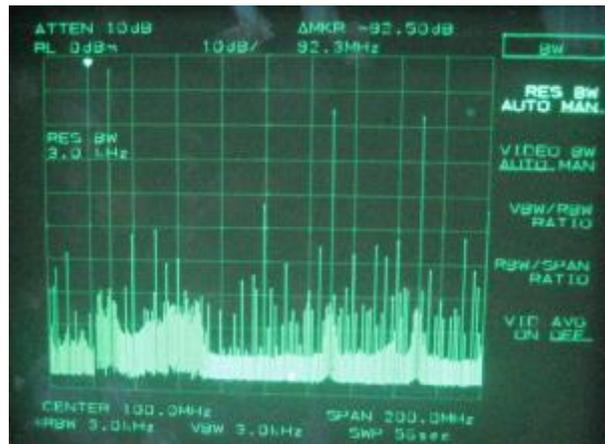


Figura 6.13 – Espectro, com *Span*=200MHz, para uma frequência fundamental de 30MHz.

Figura 6.14: Observação detalhada da qualidade da risca.

Agora na Figura 6.14, é apresentado um “zoom” da imagem da Figura 6.13, em torno da frequência sintetizada de 30MHz. O nível de sinal máximo medido é de -3.5dBm. A 10Hz de distância a potência do sinal desce aos -18.67dBc. A 20Hz já são medidos -61.67dBc. Por fim, o ruído de fundo, a 20Hz da portadora, tem uma potência de -63.34dBc.

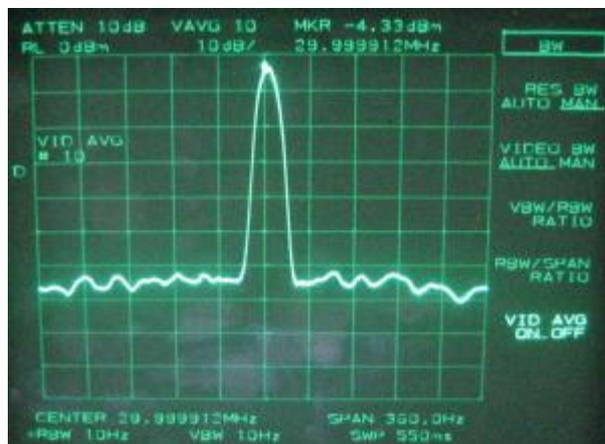


Figura 6.14 – Espectro, com *Span*=360Hz, para uma frequência fundamental de 30MHz.

6.2.1 Conclusões sobre a qualidade espectral da risca

Com os dados obtidos dos testes anteriores, constata-se que a DDS possui um comportamento ao esperado teoricamente. À medida que se aumenta o valor da frequência de saída do sinal analógico da DDS o nível de potência da risca vai diminuindo. Deverá seguir o padrão da envolvente de uma *sinc*.

	Frequência Fundamental (Fout)			
	5MHz	10MHz	20MHz	30MHz
Potência (dBm)	-2.2	-2.5	-3	-3.5
Harmónicas (MHz)	10	20	40	60
	15	30	60	-
Imagens	95	90	80	-
	105	110	120	130
	195	190	180	170

Tabela 6.1 – Resumo dos dados obtidos nos testes da DDS.

Uma vez que a saída da DDS resulta de uma fase amostrada, verifica-se o teorema da amostragem de *Nyquist*. Especificamente, o seu espectro de saída possui imagens que ocorrem centradas nos múltiplos da frequência do relógio de referência (+/- a frequência de saída escolhida).

Por estes motivos, é importante a utilização de um filtro passa-baixo na saída da DDS que remova as harmónicas e as imagens mais proeminentes no espectro, para que o sinal sintetizado possa ser o mais puro possível.

6.3 Teste comparativo: Sinal Gerador VS Sinal DDS

Neste teste realizou-se uma comparação de espectros de frequência entre o sinal “puro” de um gerador de sinal (o *Marconi Instrumentes*, referido na secção 5.3.5) e o sinal sinusoidal sintetizado pela DDS AD9850. Para isso, configurou-se o gerador de sinal para uma frequência de 10.7MHz, com uma potência de sinal de 0dB. Injectou-se este sinal pelo canal crosspolar, adquirindo-se 2560 amostras, ao passo que o canal copolar estava terminado com uma carga adaptada de 50Ω. Posteriormente, programou-se a DDS para uma frequência de 10.7MHz e ligou-se a sua saída analógica à entrada do canal copolar. Adquiriram-se mais 2560 amostras.

Com os valores obtidos, realizou-se uma FFT complexa, sendo o seu resultado observado na Figura 6.15.

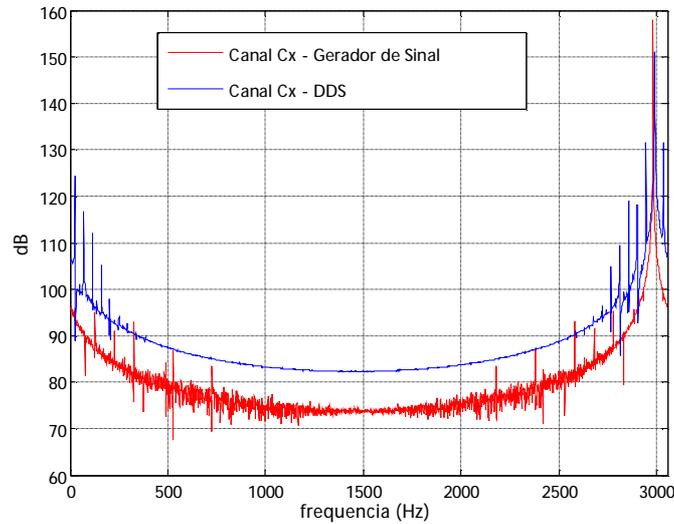


Figura 6.15 – Comparação do espectro de frequências - Gerador de Sinal Vs DDS.

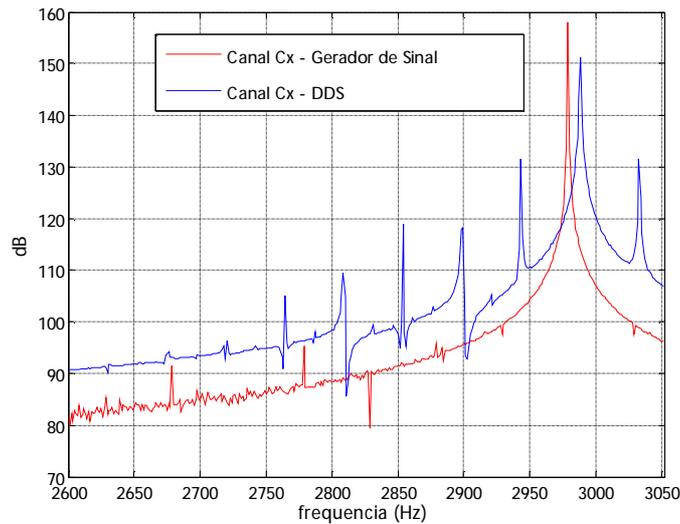


Figura 6.16 – Aproximação do espectro de frequências da imagem anterior, em torno da frequência de interesse.

Parece ter uma qualidade espectral a rivalizar com a do gerador (mas surgem imagens à volta da própria risca, separadas múltiplos de aproximadamente $\pm 73\text{Hz}$). Não foi possível confirmar de imediato a origem destas aparentes espúrias. Provavelmente deve-se ao processo de síntese da DDS que gera múltiplas harmónicas 10.7MHz as quais são convertidas pelo NCO o qual que oscila também a uma frequência próxima de 10.7MHz. Note-se ainda, que o oscilador de referência para a DDS não é o mesmo que o oscilador do sistema. Por outro lado o oscilador de

referência da DDS (100MHz) é também o quádruplo da frequência de amostragem (25MHz) embora não sejam coerentes. A frequência de referência e suas harmónicas aparecem igualmente à saída da DDS como se pode confirmar nos pontos anteriores. De qualquer forma, em apoio desta hipótese, resulta desde logo o facto de não se terem observado estas espúrias com nível significativo no analisador de espectros mesmo usando a máxima resolução deste (10Hz).

Procedeu-se posteriormente a uma investigação mais aprofundada deste aparente problema. Entre a DDS e a ADC foi introduzido um atenuador de 10dB de forma a evitar qualquer efeito de carregamento mas foram obtidos resultados muito similares aos anteriores (Figura 6.20).

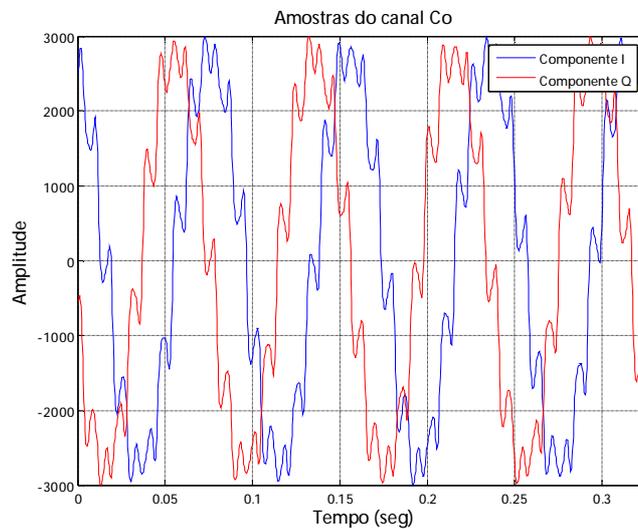


Figura 6.17 – Impacto do atenuador de 10dB no sinal.

Curioso o facto da “sinusóide” adquirida pela DDS aparecer com uma “distorção significativa” contudo com uma forma diferente da observada anteriormente. Este era um novo indício da existência de *aliasing* no sistema. A diferença de frequências entre os dois osciladores de referência (do NCO e da DDS) era distinta da registada nos primeiros testes (Figura 6.15 e Figura 6.16) e daí o facto da significativa discrepância no espectro de frequências resultante (Figura 6.18).

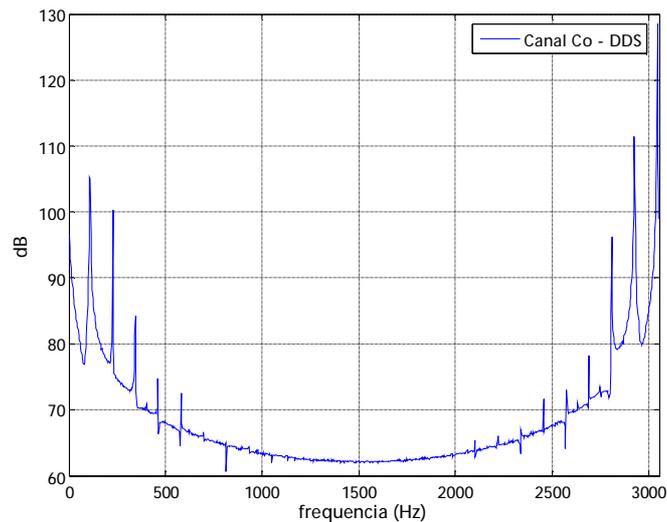


Figura 6.18 – Espectro de frequências da DDS a 10.7MHz, com atenuador de 10dB.

Uma forma de confirmar esta suposição passou por intercalar entre a saída da DDS e a ADC um filtro passa-banda centrado em 10.7MHz. Trata-se de um filtro da Mini-Circuits PBP-10.7 com largura de banda de cerca de 10MHz. A 20MHz a atenuação é 26dB, a 50MHz é 46dB e a 100MHz vale 63dB pelo que uma significativa rejeição do espectro é conseguida. Para mais detalhes, consultar [14].

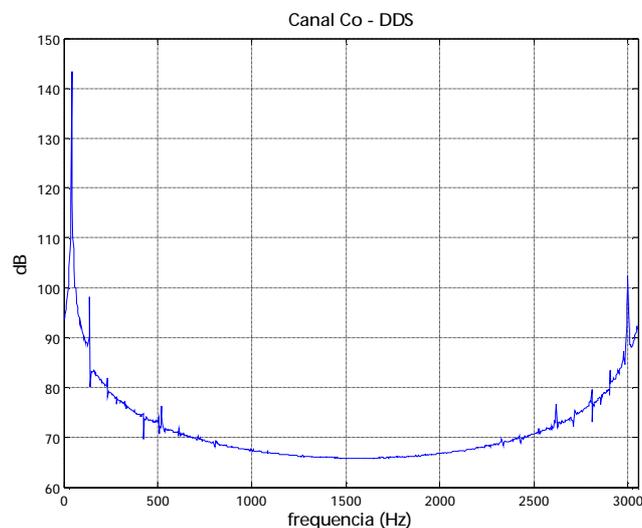


Figura 6.19 – Espectro de frequências da saída da DDS a 10.7MHz, com filtro passa-banda centrado em 10.7MHz.

Os resultados da Figura 6.19 confirmam plenamente as hipóteses: as espúrias encontram-se agora pelo menos 28dB abaixo das observadas na Figura 6.18 (assumindo a situação sem atenuador). As frequências apresentadas naturalmente não coincidem

com as figuras anteriores devido ao desvio relativo das frequências dos cristais desde os primeiros testes.

6.4 Sincronização da malha PLL

Afim de se comprovar a correcta aquisição de sincronismo, carregou-se o programa que permite fechar a malha da PLL.

Adaptou-se o *software* existente do projecto de um canal para o novo sistema, com as devidas alterações nos parâmetros da PLL, nomeadamente a amplitude máxima do sinal de entrada e a frequência de amostragem do respectivo canal. Para mais esclarecimentos, consultar [9] ou [15].

Para 0dBm de potência de sinal, obtém-se uma amplitude de aproximadamente 20880. Dado que a frequência de amostragem de cada canal é de 25MHz, o resultado obtido para as constantes C1 e C2 (ler [15]) a programar no *software*, é de C1=0.0114278 e C2=0.5230196.

Configurou-se no gerador de sinal uma frequência de 10.7MHz. No registo do NCO do DRSP, programou-se uma frequência de 10.7MHz.

Iniciando a aquisição de sincronismo, adquiriram-se 2560 amostras. O resultado encontra-se na Figura 6.20.

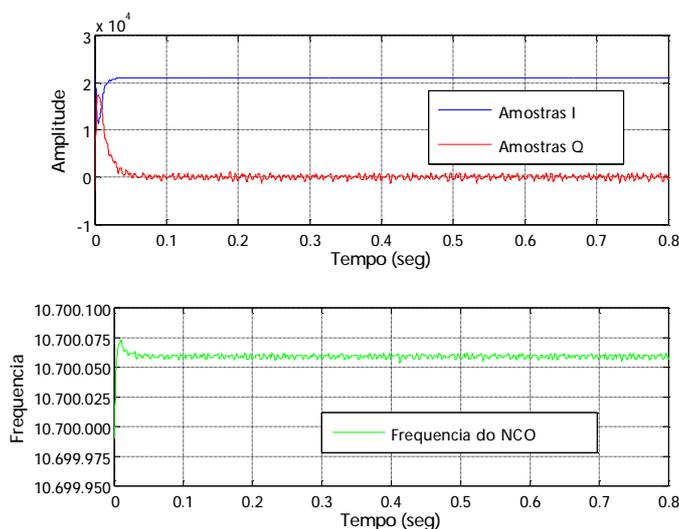


Figura 6.20 – Aquisição de sincronismo – Componentes I e Q, e variação da frequência do NCO.

Ao fim de 0.05 segundos o sincronismo é adquirido. O valor médio programado no NCO, após a aquisição de sincronismo, é de 10.700058MHz. Subtraindo este

resultado ao valor configurado no gerador de sinal, ou seja, a 10.7MHz, obtêm-se 58Hz. Este valor resulta do facto de o DRSP e o gerador de sinal não partilharem o mesmo oscilador a cristal.

Capítulo 7

Conclusões e Trabalho Futuro

Foram atingidos os objectivos propostos tendo sido desenvolvido com sucesso um protótipo de dois canais para um detector de satélite que inclui ainda uma unidade de síntese digital de frequência.

Os conhecimentos sobre projecto e desenvolvimento de *hardware* foram alargados bem como as técnicas de teste e resolução de problemas. Ganhou-se alguma familiaridade com tecnologias emergentes ou em franco desenvolvimento que estão a mover os antigos sistemas de telecomunicações analógicos cada vez mais para o domínio digital.

A utilização de novos equipamentos de teste, tais como, analisador de espectros, aplicado agora na prática, permitiu ter uma visão mais ampla sobre muitos dos conceitos teóricos por detrás do projecto desenvolvido.

Merecem destaque as seguintes conclusões:

- Sistema de aquisição de dois canais:

Os canais são correctamente multiplexados e digitalizados pela ADC. A sincronização da interface ADC-DRSP é um sucesso. O processamento de sinal realizado pelo DRSP e o envio das quatro componentes cartesianas para a DSP foi conseguida. Temos assim a garantia de coerência entre os dois canais.

Caso se pretenda uma maior velocidade de processamento, por parte deste sistema, basta introduzir um novo oscilador a cristal, até uma frequência de 65MHz.

Para os testes de injeção de sinal (em malha aberta) obtiveram-se sinusóides perfeitas com as componentes em fase e quadratura desfasadas de 90°. Fazendo variar o valor da atenuação do sinal de entrada entre 0 a 60dB, sistema respondeu com uma elevada linearidade de fase (entre canais) e amplitude. Para a linearidade de fase, o comportamento é excelente para a zona de atenuação de interesse (de 0 a 35dB). Possui

variações de menos de 1 grau. Em relação à linearidade de amplitude, apenas se obtiveram-se oscilações de $\pm 0.5\text{dB}$, a partir dos 35dB até aos 60dB.

O fundo de ruído de um canal sem sinal aplicado é de -130dB e bem abaixo da máxima potência obtida com um sinal gerado por um gerador de sinal. Esta gama é muito boa para a aplicação em causa pois não degrada a SNR do sinal. As espúrias estão dentro das especificações o que inviabiliza a possibilidade de o detector sincronizar em qualquer dado o valor muito negativo da CNR.

O nível de isolamento entre canais é considerado muito bom embora o *crosstalk* não seja igual nos dois canais. O canal crosspolar apresenta um isolamento inferior. Mesmo com esta situação, a espúria de *crosstalk* no canal crosspolar encontra-se a -85dB, um valor dentro dos limites estipulados pelo fabricante (em [5]) da ADC utilizada.

Como resenha geral nada da passagem para o domínio digital parece comprometer o desempenho do detector no que concerne aos pontos abordados. Antes pelo contrário muitas das especificações parece virem a ser determinadas inteiramente pelo *hardware* analógico a montante.

- Sistema DDS

O *hardware* de DDS foi introduzido para demonstrar a viabilidade de se constituir como um oscilador de frequência arbitrária e, deste modo, permitir flexibilidade no esquema de síntese de osciladores locais no *hardware* analógico. A utilidade principal será a partilha de um único oscilador local (normalmente Oscilador a Cristal em Forno Controlado) em todo o receptor o que permite uma síntese coerente e mais económica (Um oscilador a cristal referido pode custar mais de 1000Euros). Poder-se-á ainda pensar na reutilização de osciladores já existentes.

O sistema desenvolvido é capaz de reproduzir um sinal sinusoidal com uma frequência de valor programável pelo utilizador. A DDS apresenta um espectro de saída genérico de acordo com as especificações. É assim necessário adicionar filtros exteriores e eventualmente um amplificador para desenvolver um sinal adequado para o ataque a um misturador passivo de RF (7dBm).

Os testes preliminares indicam que o sinal recriado é suficiente em termos de ruído de fase para as exigências estipuladas, se funcionar directamente como oscilador local. A densidade espectral de potência, se bem que não é directamente comparável

com os valores típicos da baliza especificados anteriormente devido à RBW (*Resolution Bandwidth*) do analisador de espectros, mostra que praticamente toda a potência está contida numa largura de banda de 50Hz (largura de banda da PLL).

No caso de ser necessária a multiplicação de frequência deste oscilador local por um factor elevado poderá considerar-se a utilização de outros chips DDS com melhor desempenho. Alguns destes chips oferecem frequências de saída mais elevadas e, eventualmente por terem uma tabela interna de maior dimensão, oferecem ruídos de fase significativamente melhores.

Como trabalho futuro recomenda-se um teste mais aturado quanto à linearidade de fase e amplitude mas agora introduzindo sinais com amplitudes distintas em cada um dos canais.

O patamar de ruído de fase, apesar de ser plenamente satisfatório, parece ser um pouco superior ao esperado a partir das especificações do chip. Talvez valesse a pena ver se o *layout* está a introduzir alguma limitação nos resultados.

O facto de haver um elevado ganho de processamento leva a pensar que a resolução efectiva é mais elevada que os meros 15 bits aqui apresentados. O teste do sistema em condições de relação SNR realistas poderá com certeza provar isto.

Capítulo 8

Referências

[1-9, 11, 12, 15-28]

1. *Handbook for Beacon Receiver Design*, O.E. Group, Editor. 1985: Netherlands.
2. *Olympus User's Guide*, O.E. Group, Editor. 1985: Netherlands.
3. Staller, L. *Understanding analog to digital converter specifications*. 2005 [cited 2006-07; Available from: <http://www.embedded.com/columns/showArticle.jhtml?articleID=60403334>.
4. Maxim™. *INL/DNL Measurements for High-Speed Analog-to-Digital Converters* 2000 [cited 2006-2007; Available from: <http://pdfserv.maxim-ic.com/en/an/AN283.pdf>.
5. *AD9238 - 12-Bit, 20MSPS/40 MSPS/65MSPS Dual A/D Converter*. 2005, Analog Devices™.
6. *A Technical Tutorial on Digital Signal Synthesis*. 1999, Analog Devices™.
7. Eva, M. and S. Colm. *All About Direct Digital Synthesis*. 2004.
8. *AD9850 - CMOS, 125MHz Complete DDS Synthesizer*. 2004, Analog Devices™.
9. Sousa, R. and J. Pires, *Receptor Digital para Medição de Balizas de Satellite*, in *DETI*. 2006, Universidade de Aveiro: Aveiro.
10. Dekker, A.P., *The Exchange of Bits Against Bandwidth*. 1984: Netherlands.
11. *AD6620 - 67MSPS Digital Receive Signal Processor*. 2001, Analog Devices™.
12. *ADS5232 - Dual, 12-Bit, 65MSPS, +3.3V Analog-to-Digital Converter*. 2006, Burr-Brown™.
13. Ardizzoni, J. *High-Speed Time-Domain Measurements - Practical Tips for Improvement*. 2007.
14. Minicircuits. [cited 2006-2007; Available from: <http://www.minicircuits.com/pdfs/PBP-10.7+.pdf>.
15. Pires, J. and R. Sousa, *Receptor Digital para Medição de Balizas de Satellite*. Revista do Departamento de Electrónica, Telecomunicações e Informática, 2006. **To be published.**
16. *TMS320C6711 DSP STARTER KIT - Schematics*. 2000, Texas Instruments™.
17. *AD6640 - IF Sampling A/D Converter*. 2003, Analog Devices™.
18. *SN74LVTH125 - 3.3V ABT Quadruple Bus Buffer with 3-State outputs*. 2003, Texas Instruments™.
19. *SN74AC74 - Dual Positive Edge-Triggered D-Type Flip-Flops*. 2003, Texas Instruments™.
20. *SN74AHC14 - Hex Schmitt-Trigger Inverters*. 2003, Texas Instruments™.
21. *SN74CBTLV16292 - Low Voltage 12-Bit 1-Of-2 Fet Multiplexer/Demultiplexer with Internal Pull-Down Resistors*. 2003, Texas Instruments™.
22. *SN74AHC1G04 - Single Inverter Gate*. 2005, Texas Instruments™.

23. *TMS320C6000 DSP Multichannel Buffered Serial Port (McBSP) Reference Guide*. 2005, Texas Instruments™.
24. *TMS320C6000 DSP External Memory Interface (EMIF) Reference Guide*. 2005, Texas Instruments™.
25. Google. [cited 2006-2007; Available from: <http://www.google.pt>].
26. Rocha, A., *Caracterização do Canal de Transmissão Terra-Satélite nas bandas dos 12, 20 e 30GHz e Escalonamento na Frequência da Discriminação da Polarização Cruzada*, in *DETI*. 1996, Universidade de Aveiro: Aveiro.
27. Texas_Instruments™. [cited 2006-2007; Available from: <http://www.ti.com>].
28. wikipedia. [cited 2006-2007; Available from: <http://pt.wikipedia.org/>].

Anexos

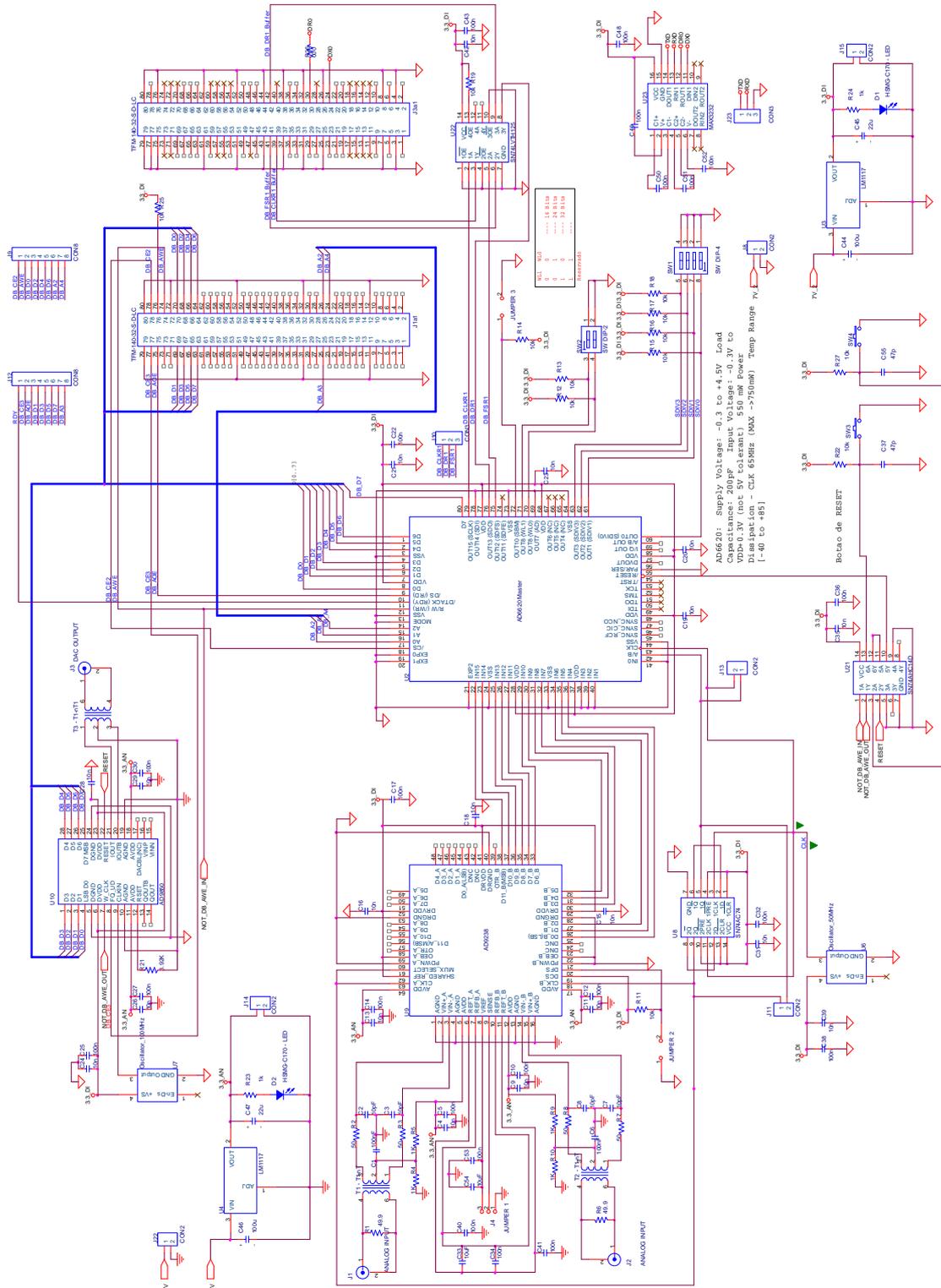


Figura 8.1 – Esquemático com erros corrigidos.

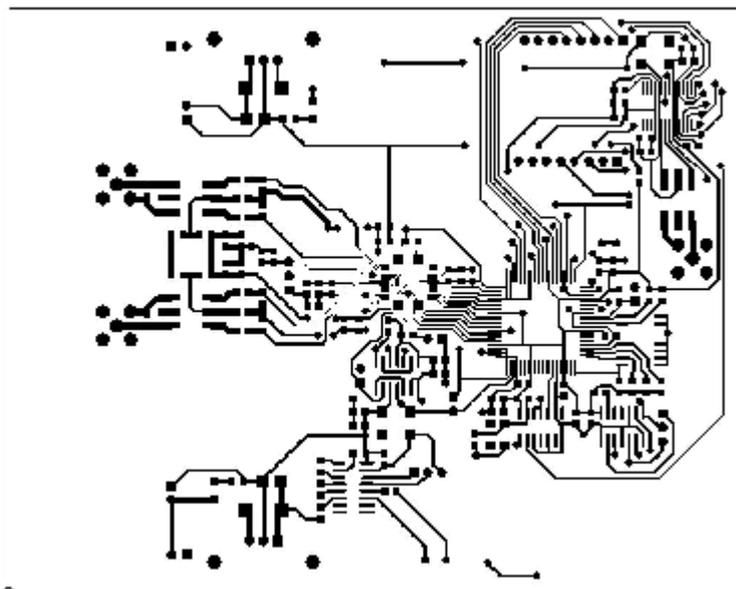


Figura 8.2 – Vista superior do PCB da placa desenvolvida – Com erros corrigidos.

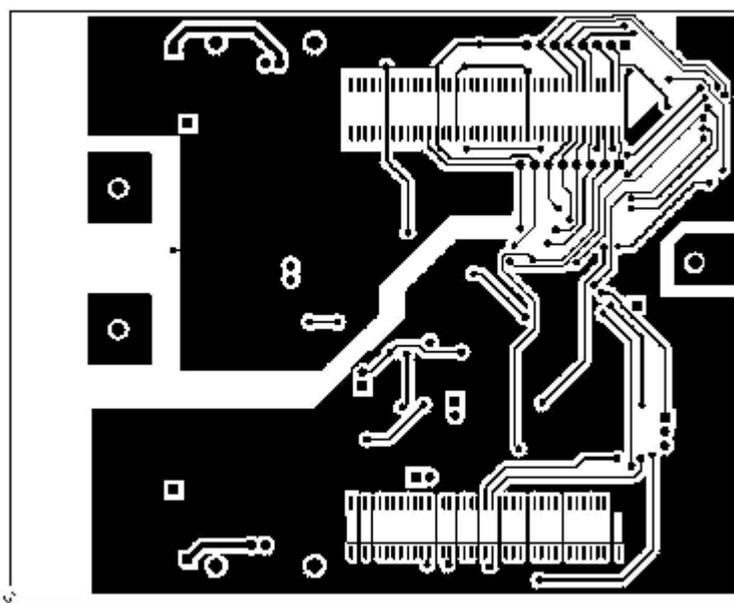


Figura 8.3 – Vista inferior do PCB da placa desenvolvida – Com erros corrigidos.