

# Vers une nouvelle génération de rétines programmables

Jacques-Olivier KLEIN, Antoine DUPRET, Sébastien MOUTAULT, Abdalha NSHARE

Intitut d'Electronique Fondamentale, UMR 8622  
Bât 220, Université Paris-Sud, F91405 ORSAY cedex

Jacques-Olivier.KLEIN@ief.u-psud.fr, Antoine.DUPRET@ief.u-psud.fr,  
moutault@rip.ens-cachan.fr, Abdalha.NSHARE@ief.u-psud.fr

**Résumé** – Dans ce papier, nous présentons la définition d'une architecture de capteur d'images intégrant un traitement parallèle mixte analogique-numérique. L'architecture originale d'une unité de calcul analogiques programmable est notamment décrite.

**Abstract** – In this paper, we present the architecture of a smart image sensor with programmable analog processing capabilities.

## 1. Introduction

Le traitement des images à cadence vidéo constitue une classe d'applications particulièrement gourmandes en puissance de calcul. L'approche traditionnelle consiste à faire l'acquisition de l'image à l'aide d'une caméra CCD puis, après conversion analogique-numérique, à effectuer les traitements à l'aide de calculateurs numériques.

Une approche depuis longtemps proposée comme alternative à la précédente est celle des rétines [1, 2] qui a donné lieu à une activité de recherche féconde [3]. En effet, dans une rétine électronique, chaque pixel de la matrice de capteurs comporte un élément de traitement. Le parallélisme sur l'ensemble de l'image permet d'obtenir des temps de calcul particulièrement faibles. De plus, les fonctions câblées sont le plus souvent réalisées à l'aide d'opérateurs analogiques, ce qui permet de concilier compacité et consommation réduite. Cependant, les fonctions intégrées présentent une opérativité réduite et figée tandis que l'emploi d'une électronique analogique de faible surface introduit des limitations qui se traduisent par une médiocre qualité des traitements. Enfin, dans de nombreux cas, les aspects systèmes et les problèmes de contrôles ne sont pas pris en compte dès la conception du circuit. Il en résulte une chute des performances de l'ensemble du traitement.

Afin de dépasser ces limitations, nous proposons de nouvelles directions de recherche. La principale innovation consiste à remplacer les réseaux d'opérateurs câblés, forcément figés, par un processeur analogique-numérique conçu sur le modèle des unités arithmétiques et logiques présentes au coeur des processeurs de traitement de signal. Ainsi, la rétine devient une machine parallèle (SIMD) dont le jeu d'instructions inclut des opérations analogiques. D'une part, l'étendu des applications envisageables est grandement accrue par le caractère réellement programmable de ces rétines. Ensuite, le contrôle défini par le jeu d'instructions n'est plus secondaire, il devient même central. Enfin la présence du séquenceur de la rétine, matérialisé par un microcontrôleur intégré sur le circuit, réduit fortement la complexité matérielle d'un système exploitant ce type d'architecture.

## 2. Définition de l'architecture

Quatre idées maîtresses sont à l'origine de la définition de notre architecture. Tout d'abord, nous conservons notre intérêt porté aux rétines car l'intégration au sein d'un même circuit intégré de capteurs et d'unités de traitement permet de conserver un haut degré de parallélisme. Par ailleurs, afin de dépasser les limitations du concept originel des rétines, nous nous proposons de trouver un compromis équilibré entre la vitesse de calcul et la résolution. De plus, pour mettre en oeuvre une grande variété d'algorithmes, l'architecture doit être programmable au sens de l'exécution séquentielle d'un microcode. Enfin, au sein d'un système, l'exploitation optimale des performances d'un circuit dédié requière un contrôle interne.

Une matrice de capteurs forme le coeur de notre architecture. Ainsi, la résolution devient indépendante de la complexité des traitements. Les éléments de traitement sont placés en dehors de la matrice et partagés par un ensemble de pixels.

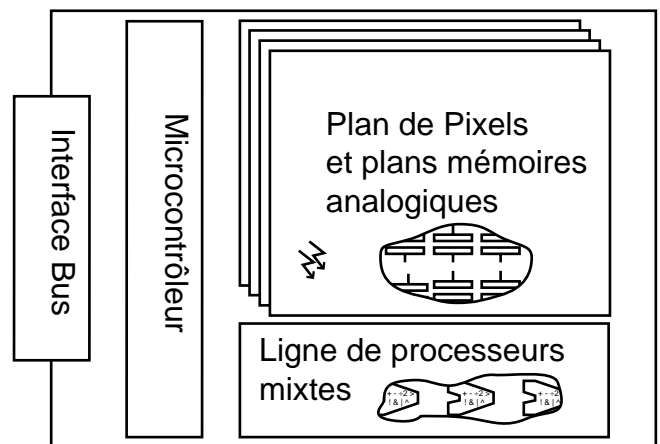


FIG. 1 : Architecture

A l'image des ALU des DSP, ces processeurs reposent sur une architecture généraliste capable d'effectuer les opérations à

la base des primitives de traitement d'images. Finalement, gérée par un séquenceur, et au prix de quelques éléments de mémorisation, une telle approche permet d'enchaîner des instructions en programme.

Cette approche est totalement originale, même si ce concept a été approché pour un traitement d'images binaires [4, 5]. Nous allons donc décrire les différents modules qui la composent.

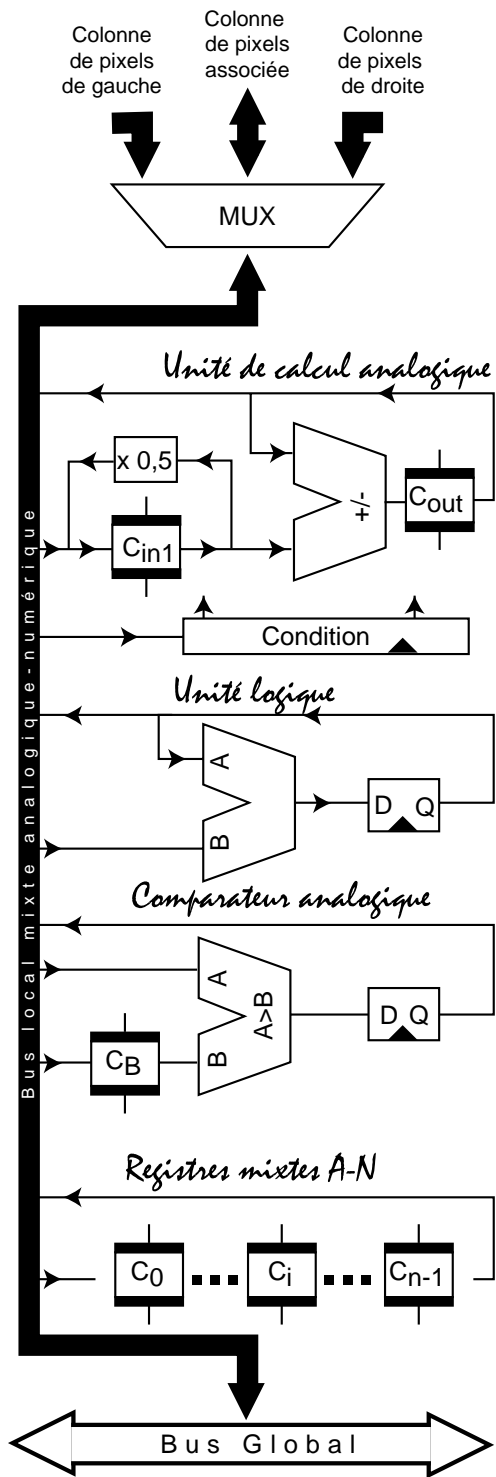


FIG. 2 : Architecture du processeur mixte analogique-numérique

### 3. Pixels et processeurs mixtes

Chaque pixel comprend un photocapteur et des mémoires analogiques. Chaque processeur est associé à un groupe de pixels de la matrice, par exemple une colonne, et accède à un groupe de pixels plus étendu, par exemple trois colonnes, afin d'exécuter des opérations locales de façon séquentielle. Les processeurs sont composés d'une unité de calcul analogique exécutant des instructions sous le contrôle d'un registre de condition 1 bit, d'une unité logique et d'un banc de registres mixtes analogiques-numériques.

### 4. Filtrage linéaire : Unité de calcul analogique

Inspirée de la structure d'un integrateur à capacités commutées, l'unité de calcul analogique permet d'effectuer des additions et des soustractions entre son entrée en tension et la charge de la capacité représentant sa sortie. Il se compose de trois capacités de valeurs identiques ( $C_{in1}$ ,  $C_{in2}$ ,  $C_{out}$ ) et d'un amplificateur à transconductance (OTA).

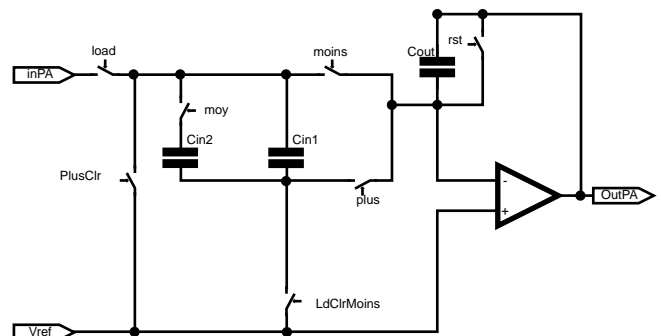


FIG. 3 : Architecture de l'unité de calcul analogique

La capacité  $C_{out}$  est utilisée en accumulateur. L'OTA permet de transférer la charge de la capacité  $C_{in1}$  vers  $C_{out}$  de façon qu'elle s'ajoute ou se retranche. De plus, la mise en court-circuit de  $C_{in1}$  suivie d'une repartition des charges présentes sur les deux capacités  $C_{in1}$  et  $C_{in2}$  réalise la division par deux des charges présentes sur les deux capacités  $C_{in1}$  et  $C_{in2}$ . Puisque la charge transférée peut être divisée par deux, les opérations de multiplication par une constante peuvent être effectuées en  $n$  instructions, où  $n$  représente le nombre de bits utilisés pour coder la constante en virgule fixe. La combinaison de divisions par deux et d'additions ou de soustractions réalise les opérations de multiplication-accumulation (MAC) utilisées pour le filtrage linéaire.

Une telle structure combine les avantages d'une unité de calcul versatile et la densité d'intégration des cellules de traitement analogiques. En technologie CMOS  $0.6 \mu\text{m}$  une telle cellule occupe  $50 \times 50 \mu\text{m}^2$ , soit le  $1/40000$  de la surface d'un circuit intégré d'un  $\text{cm}^2$ .

### 5. Filtrage non-linéaire et anisotrope : Comparateur et unité logique

A chaque unité de calcul analogique sont associés un comparateur, un processeur booléen, un registre de condition et un banc de registres mixtes analogiques-numériques.

Toutes les opérations analogiques peuvent être conditionnées par une combinaison booléenne de résultats de comparaisons locales. Il est ainsi possible d'effectuer des opérations linéaires par morceaux ou des filtres anisotropes. Les opérations linéaires par morceaux permettent, par exemple, d'utiliser au mieux la dynamique du circuit en modifiant l'histogramme de l'image ou de réaliser un tirage au sort par un générateur aléatoire cahotique. Le filtrage anisotrope est très utile pour réaliser une régularisation d'image et une détection de contours conjoints. Entre autre, des algorithmes stochastiques peuvent être programmés pour cette architecture. Il s'agit donc là d'une approche totalement originale.

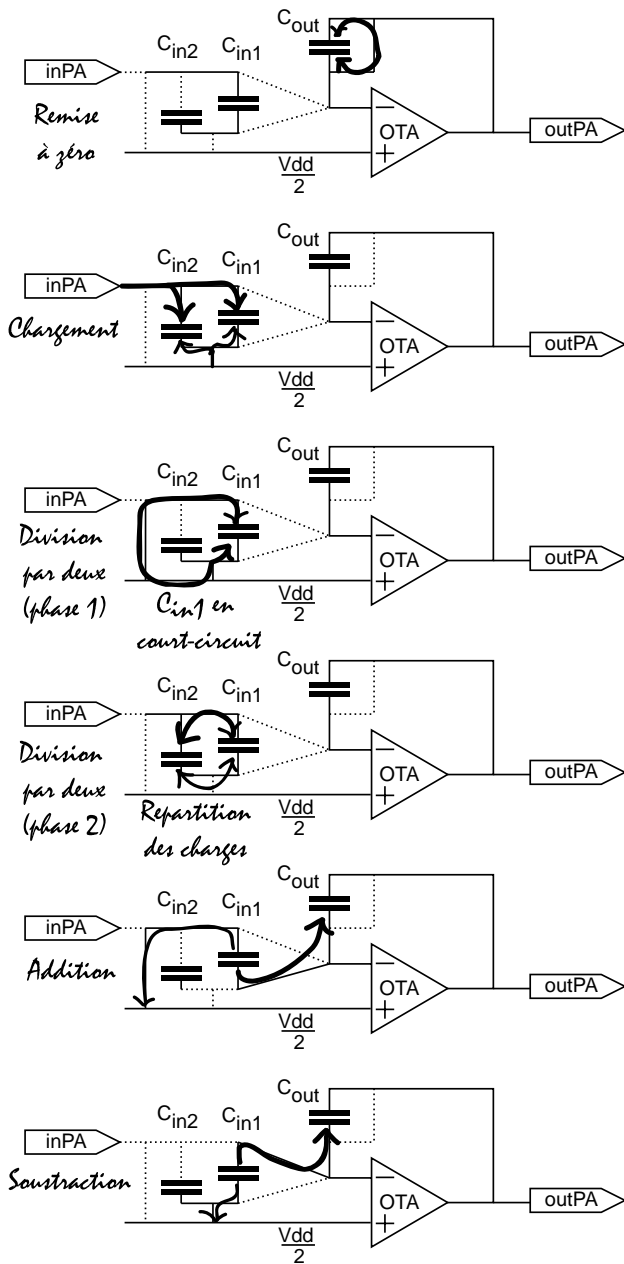


FIG. 4 : Opérations de l'unité de calcul analogique

## 6. Contrôle

Cet ensemble d'éléments nécessite un contrôle complexe. Or, l'exploitation optimale des performances d'un tel circuit au sein d'un système interdit l'usage de circuits externes pour le contrôle. Grâce à l'intégration d'un microcontrôleur, dont le jeu d'instructions est étendu aux opérations analogiques, le séquençement généré localement. Le contrôle on-chip simplifie l'interface système et autorise l'exploitation des performances maximales du circuit.

## 7. Caractéristiques prévisibles

La crédibilité d'une telle approche dépend fortement des performances que l'on peut en attendre ainsi que de sa résolution dans le cas d'une intégration réelle. Nous avons donc évalué les performances et les dimensions d'un circuit basé sur cette architecture. Pour cela, les cellules fondamentales ont été conçues sur une technologie CMOS 0.6  $\mu\text{m}$ . Ses caractéristiques sont résumées dans le tableau 1.

TAB. 1 : Principales caractéristiques

Principales caractéristiques	
Surface total du circuit	1 cm <sup>2</sup>
Résolution	128 x 128
Nombre de processeurs	128
Surface par Pixel	50 x 50 $\mu$
Surface par Processeur mixte	50 x 200 $\mu$
Surface total du microcontrôleur	20 mm <sup>2</sup>
Fréquence d'horloge	10 MHz
Temps pour 128 MAC 5 bits	1 $\mu\text{s}$

## 8. Conclusion

Nous avons proposé une architecture originale de rétine programmable. Après avoir analysé les limitations des rétines précédemment décrites, nous avons proposé une architecture permettant de dépasser ces limitations. Cela nous a conduit à définir un nouveau concept : la rétine analogique programmable. Les différents éléments constitutifs ont été fonctionnellement décrits et une évaluation des caractéristiques a été conduite sur la base de cellules effectivement conçues.

Le premier circuit permettant de valider la conception des processeurs analogiques et des mémoires mixtes analogiques-numériques associées a été envoyé en fonderie en juillet 1999.

## Références

- [1] C. A. Mead, "Adaptive retina," in *Analog VLSI Implementation of Neural Systems*, vol. 80, C. A. M. a. M. Ismail, Ed.: Kluwer Academic Publishers, 1989, pp. 239-246.
- [2] C. A. Mead and M. A. Mahowald, "A Silicon Model of Early Visual Processing," *Neural Network*, vol. 1, pp. 91-97, 1988.
- [3] A. Moini, "Vision Chips or Seeing Silicon," département of electronic engineering

University of Adelaide  
Australia 3rd revision, 1997.

[4] P. Garda, A. Reichart, H. Rodriguez, F. Devos, and B. Zavidovique, "Une rétine électronique automate cellulaire," *Traitement du Signal*, vol. 5, pp. 435-449, 1988.

[5] T. Bernard, B. Zavidovique, and F. Devos, "A Programmable Artificial Retina," *IEEE Journal of Solid State Circuits*, vol. 28, pp. 789-797, 1993.