

Réalisation d'un capteur d'images matriciel avec sortie numérique.

V. Gosmain¹, B. Lamalle¹, P. Gorria¹, G. Cathébras²

¹ Université de Bourgogne - Laboratoire LE2I
12, rue de la fonderie 71200 Le Creusot
Tél: (33) 03.85.80.30.30
E-MAIL: b.lamalle@gere.u-bourgogne.fr

² Université de Montpellier II
Laboratoire LIRMM
161 Rue Ada
34392 Montpellier

RESUME:

Cet article présente un prototype de capteur d'images conçu au laboratoire LE2I du Creusot. Il est réalisé sous la forme d'un ASIC en technologie Cmos 1.0mm. Il est destiné à être utilisé en contrôle qualité par vision artificielle pour des scènes présentant de forts contrastes lumineux. Un procédé original de numérisation du niveau de gris permet de contourner la notion classique de temps d'exposition variable et de traiter aisément les problèmes d'éblouissement local. Il permet également d'ouvrir de larges perspectives dans le domaine des capteurs intelligents, en effet la numérisation de l'information au niveau même du photosite permet, à terme d'envisager l'intégration d'un classifieur dans le voisinage immédiat du pixel, et de fournir une décision binaire en sortie du capteur.

INTRODUCTION

Cet article présente un prototype de capteur d'images actuellement en cours de réalisation au laboratoire LE2I du Creusot. Il s'agit d'un ASIC réalisé en technologie 1.0 μ , il se présente sous la forme d'une matrice 16x16. La cellule de base est construite autour d'un transistor Nmos dont la source est l'élément photosensible. Une précédente réalisation [1] a permis de valider la faisabilité d'un tel circuit, par contre il a mis en évidence certains problèmes qu'il nous a fallu résoudre. Une étude approfondie des dysfonctionnements rencontrés nous a amené à modifier la cellule de base et notre dispositif d'adressage aléatoire, la plus part des problèmes ont ainsi pu être résolus. Ce prototype constitue également une évolution vers notre objectif final qui est la réalisation d'un capteur intelligent comportant un classifieur intégré dans le voisinage immédiat du photosite, dans ce sens notre

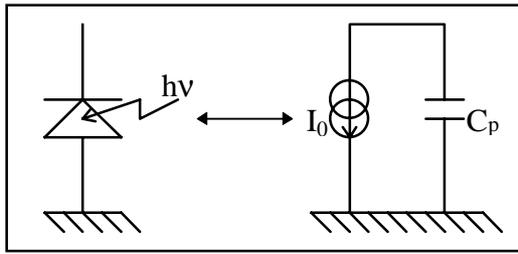
ABSTRACT:

This article presents a prototype of an image sensor designed in the LE2I laboratory of Le Creusot. It is realized in Cmos 1.0mm technology. It is planned to be used in the area of the quality control by artificial vision for images presenting high luminous contrast. An original process of gray level digitalization allowed us to circumvent the classical problem of variable exposure time and in the same way offer a very simple solution for the local blooming problem. Moreover it allowed to pave the way of the smart sensors domain, indeed the early digitalization of the information very close to the photosite offer the possibility to integrate a classifier in the neighborhood of the pixel and to provide a binary decision at the output of the sensor.

capteur intègre un dispositif original de numérisation de l'information en vue de faciliter le traitement aval de l'image.

PRINCIPE DU CAPTEUR

Le circuit se présente sous la forme d'une matrice 16x16 dont la cellule de base présentée sur la figure 1 est adressable de manière aléatoire. En première approximation, le fonctionnement d'une photodiode peut être décrit comme une source de courant I_0 en parallèle avec une capacité de faible valeur C_{pix} . Le mode de fonctionnement de notre cellule élémentaire comporte donc deux phases successives: D'abord vient la phase dite de « charge », où le condensateur est relié à la tension d'alimentation, suivi par la phase dite de « lecture » où la photodiode est isolée du reste du circuit et où la source de courant provoque une décharge linéaire du condensateur dont la constante de temps dépend linéairement du flux lumineux incident Φ .



L'équation qui relie la tension aux bornes du condensateur et l'intensité de la source constante de courant est:

$$I_0 = C_p \cdot \frac{dV}{dt} = k\Phi$$

La valeur C_p de la capacité est reliée aux dimensions géométriques des photosites. La surface photosensible choisie est $20 \times 20 \mu\text{m}$, ce qui fixe la valeur C_p à 0.25 pF .

Un dispositif constitué de deux inverseurs placés entre la cellule de base et le dispositif d'adressage assure la binérisation de l'information (Voir figure 1). La valeur de la tension de seuil V_{TH} est fixé par les dimensions géométriques des transistors constituant les inverseurs, nous avons choisi la valeur suivante:

$$V_{TH} = \frac{V_{DD}}{2}$$

Lorsque le pixel (i,j) est adressé, on dispose sur la borne de sortie d'une impulsion S_{ij} dont la durée ΔT est inversement proportionnelle au flux lumineux reçu par le pixel.

$$\Delta T = \frac{V_{DD} \cdot C_p}{2I_0}$$

DESCRIPTION DU CAPTEUR

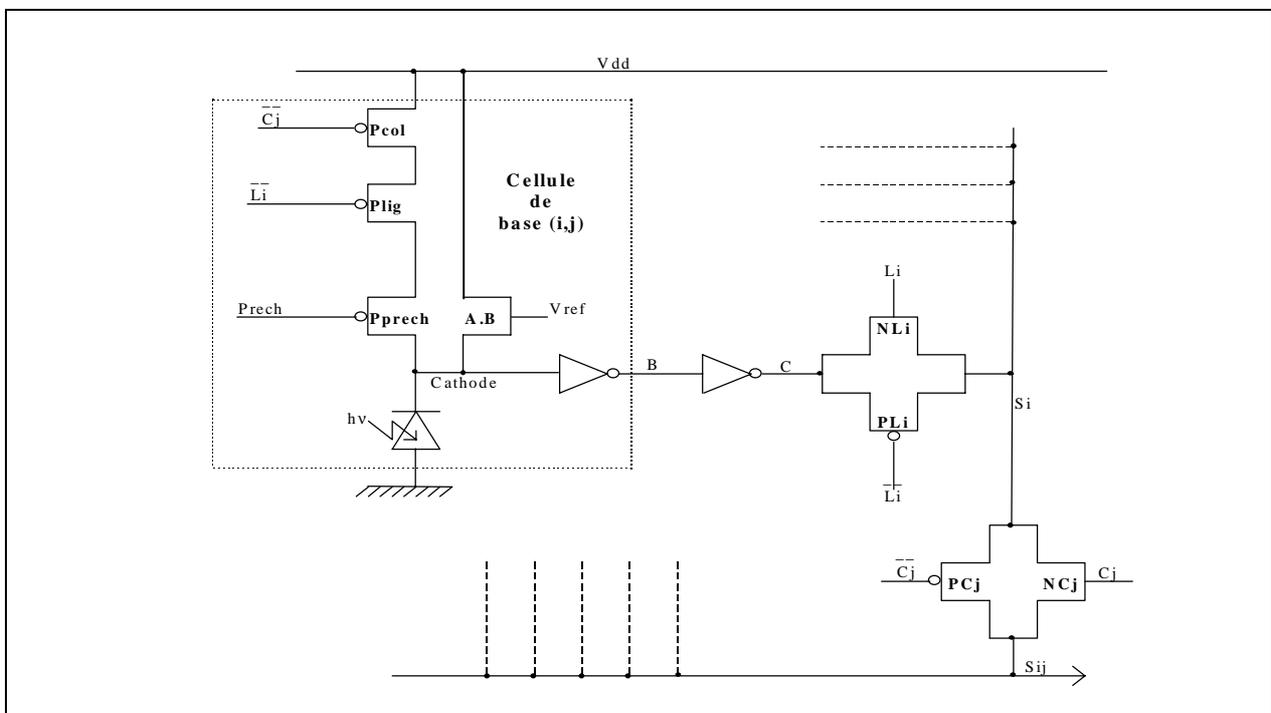


Figure 1

La figure 1 montre l'architecture générale de la matrice, on peut remarquer que chaque dispositif d'adressage est formé de l'association de deux transistors complémentaires, afin de transmettre à la fois les niveaux 0 et les niveaux 1, sans la dégradation inhérente à la tension de déchet de chacun des transistors. Le transistor noté « AB » empêche la photodiode de travailler dans le mode photopile: en effet, lorsque une photodiode est trop éclairée, le potentiel de la cathode devient négatif, ce qui perturbe le fonctionnement des transistors

d'adressage. Les transistors notés: Pcol Plig et Pprech sont basculés dans l'état passant lors de la charge de la cellule (ij) puis dans l'état bloqué lors de la phase de lecture de cette même cellule.

La disposition des différents composants ainsi que leurs caractéristiques géométriques ont été soigneusement étudiées en vue de minimiser les capacités parasites, ceci dans le but de réduire les temps d'accès. Une série de simulations nous a permis de valider le fonctionnement de notre prototype.

MODE DE FONCTIONNEMENT

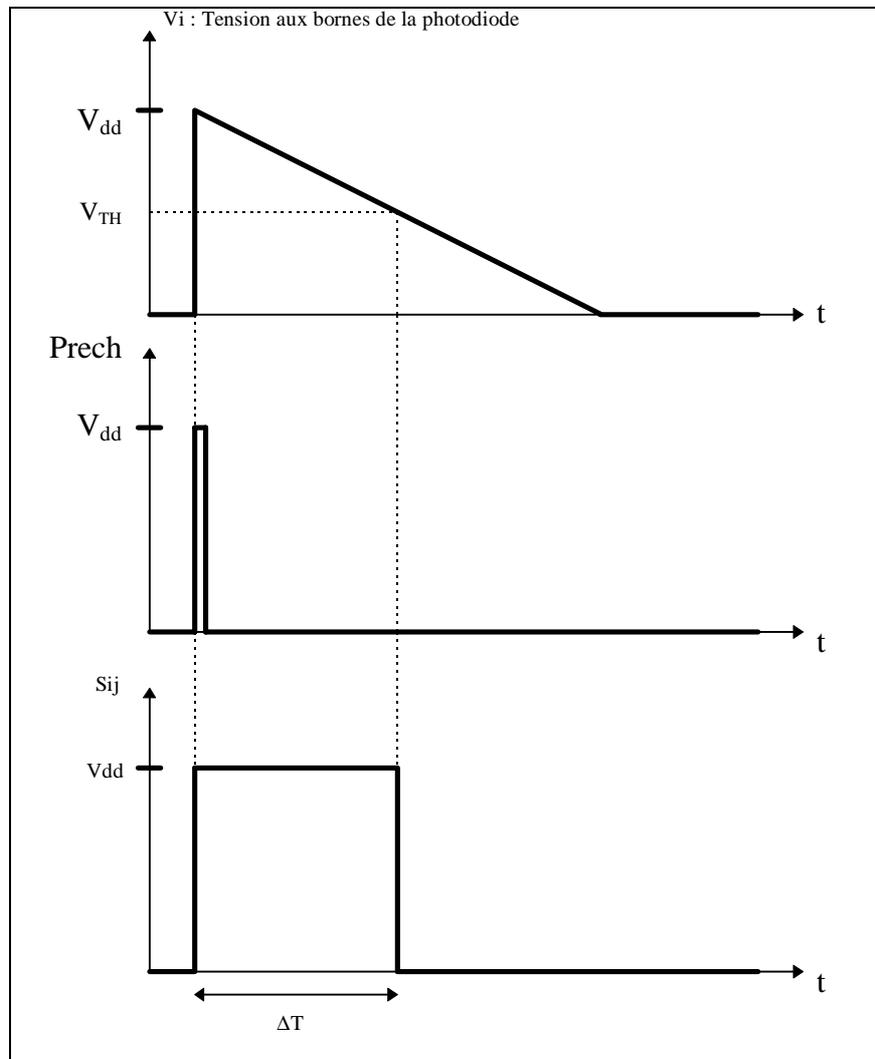


Figure 2

La figure 2 illustre le fonctionnement du circuit. Une fois le pixel adressé (C_i et L_j), une impulsion très brève d'environ $0.1\mu s$, est appliquée à l'entrée P_{prech} , la capacité C_{pix} est alors chargée à la tension V_{DD} et l'état logique S_{ij} présent en sortie est un niveau haut. A partir de cet instant la tension V_i décroît linéairement jusqu'à V_{TH} , la sortie bascule alors à l'état bas. Ce principe original de numérisation de l'image permet donc de contourner la notion classique de niveau de gris et de temps d'exposition variable [2]. On accède au flux lumineux reçu par un pixel en comptant le nombre d'impulsions provenant d'une horloge externe pendant la durée de l'état haut présent en sortie. Il est alors possible de résoudre aisément un problème local d'éblouissement, en effet si une zone de l'image est trop éclairée, il suffit de refaire un balayage de la zone concernée en augmentant la fréquence de l'horloge pour rétablir un bon contraste.

PERSPECTIVES

Les premiers tests que nous avons effectués sur notre prototype ont permis de vérifier que l'ordre de grandeurs des temps de commutations mis en évidence lors des diverses simulations est vérifié. De plus, la durée ΔT de l'impulsion varie suivant le flux lumineux incident d'un minimum d'une dizaine de microsecondes à un maximum de quelques secondes, soit une dynamique considérable.

BIBLIOGRAPHIE

- [1] E. Goujou, P. Gorria, E. Fauvet, M. Robert, G. Cathébras.
" Study and characterization of photosensitive cells in ASICS".
IECON'94, IEEE, Bologna, Italy.
Septembre 1994, pp 911-914.
- [2] E. Goujou, P. Gorria, M. Robert, G. Cathébras.
" Study and realization of asic CMOS array sensor with controled exposure time".
2nd Japan-France Congress on Mechtronics,
Takamatsu, Japan.
November 1994, pp 326-329.