



Université  
de Toulouse

# THÈSE

En vue de l'obtention du

## DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Université Toulouse 3 Paul Sabatier (UT3 Paul Sabatier)

---

**Présentée et soutenue par :**

**Adem LALE**

Le jeudi 7 décembre 2017

**Titre :**

Architectures d'intégration mixte monolithique-hybride de cellules de commutation de puissance sur puces multi-pôles silicium et assemblages optimisés

---

**École doctorale et discipline ou spécialité :**

ED GEET : Composants et Systèmes de gestion de l'Énergie

**Unité de recherche :**

LAAS-CNRS & LAPLACE

**Directeur(s) de Thèse :**

M. Abdelhakim BOURENNANE, Maître de conférences HDR UT3-Paul Sabatier, LAAS-CNRS  
M. Frédéric RICHARDEAU, Directeur de recherche au CNRS, LAPLACE

**Rapporteurs :**

Mme Nathalie BATUT, Maître de conférences HDR, Univ. François Rabelais, Tours  
M. Bruno ALLARD, Professeur INSA, Lyon

**Autre(s) membre(s) du jury :**

M. Eric LABOURE, Professeur Univ. Paris Sud, GEEPS, Examineur  
M. Stéphane LEFEBVRE, Professeur CNAM Paris, SATIE, Examineur  
M. Vincent BLEY, Maître de conférences UT3-Paul Sabatier, LAPLACE, membre invité  
M. Eric IMBERNON, Ingénieur de recherche au LAAS-CNRS, membre invité



## Remerciements

Les travaux de recherche présentés dans ce manuscrit ont été réalisés dans le cadre d'un partenariat entre deux équipes de recherche : l'équipe ISGE (Intégration de Systèmes de Gestion de l'Energie) du LAAS-CNRS et l'équipe CS (Convertisseurs Statiques) du LAPLACE. Je remercie les directeurs de ces deux unités de recherche de m'avoir accueilli au sein de leur laboratoire.

Je remercie tous les membres de mon jury de thèse : M. Stéphane Lefebvre d'avoir accepté de présider le jury, M<sup>me</sup> Nathalie Batut et M. Bruno Allard en tant que rapporteurs du manuscrit, M. Eric Labouré en tant qu'examineur. Je remercie également les deux membres invités, Vincent Bley et Eric Imbernon. Je vous remercie d'avoir étudié mon manuscrit et pour nos échanges très intéressants lors de la soutenance. Un grand merci également à Henry Foch qui m'a fait l'honneur de venir assister à la soutenance, puis qui est venu me voir à la fin pour discuter de l'histoire de l'Intégration de Puissance entre le LAAS et le LAPLACE.

Je tiens à adresser mes plus vifs remerciements à mes deux directeurs de thèse, Abdelhakim Bourenane et Frédéric Richardeau. Merci de m'avoir accordé votre confiance et donné l'opportunité de travailler sur ce sujet. Merci pour votre disponibilité, vous n'avez jamais compté vos heures pour m'orienter et me conseiller. Merci pour votre soutien et votre patience.

Un grand merci aux deux Post-doc qui ont participé à ce projet, Nicolas Videau sur la partie convertisseur, et Hakim Tahir qui m'a formé en salle blanche sur la partie semi-conducteur. Merci également à Abdelilah El Khadiry, qui a été le premier à me présenter le sujet de thèse, et pour toute l'aide et les conseils qu'il m'a donnés.

Merci à l'ensemble du personnel du service Team du LAAS et en particulier à ceux qui ont participé de près au projet : Samuel, Jean-Christophe, Bernard, Emmanuel, Aurélie, Pascal, Adrian et Laurent. Je remercie toutes les personnes du LAPLACE, de l'UPS et de 3D-Phi qui ont participé au projet : Gilles Brillat, Didier Flumian, Céline Combette...

Merci à l'ensemble des permanents de mon équipe et en particulier à Frédéric, Karine, Corinne, Luiz et David. Vous m'avez soutenu, encouragé, conseillé, et pour tout cela je vous en suis très reconnaissant. Merci également à Gaëtan, certes tu n'es pas un « permanent » de l'équipe, mais tu as peut-être été celui avec lequel j'ai le plus échangé durant ma thèse au sujet des semi-conducteurs et Sentauros<sup>TM</sup>. Tu as toujours été disponible pour répondre à mes questions.

Merci à mes collègues du bureau G14 qui ont fait que cette thèse se passe dans de très bonnes conditions : Bertrand, Fabien et Firdaous. Fabien et Firdaous, vous devriez soutenir prochainement. Je vous souhaite bon courage pour votre rédaction et votre soutenance, et le meilleur pour la suite.

Je voudrais remercier tous les amis stagiaires, doctorants, post-docs et permanents que j'ai rencontré au laboratoire : Benjamin, Benattou, Audrey Chapelle, Gauthier, Adrien, Aurélie, Audrey Cayron, Napoléon, Amar, Asma, Chaymaa, Dany, Sylvain, Boris, Amel, Nicolas D., Nicolas M., Julien P., Julien R., Hiba, Anaïs F., Anaïs C., Lya, Clara, Hajer, Andréa, Mathilde, Marion, David, Amani, Fadhila, Zeina, Iman, Olga, Ali, Emmanuel, Jérémy, Youssef, Arij, Nina, Sami, Youssouf, Brioux, Richard M., Moustafa, Christophe F., Veljko, Ludovic, David, Vincent, Kamel, Matthieu, Arnaud, Luca, Anatole, Houssam, Salim,...

Pour finir, je remercie toute ma famille. Et en particulier Ahmet qui m'a toujours encouragé et soutenu dans mes études. C'est également lui qui m'a présenté le laboratoire et parlé de ce sujet de thèse pour la première fois. Au final, on aura été docteur la même année :) Merci pour tout.

« Pas de patience, pas de science. »  
Jean-Pierre Jarroux



## Table des matières

<b>Introduction générale</b> .....	<b>11</b>
<b>Chapitre 1 : L'intégration de fonctions de conversion de puissance</b> .....	<b>17</b>
<b>1. INTRODUCTION</b> .....	<b>19</b>
<b>2. CONTEXTE DE L'INTÉGRATION EN ÉLECTRONIQUE DE PUISSANCE</b> .....	<b>20</b>
2.1. Le rôle du convertisseur statique de puissance .....	20
2.2. L'intégration en électronique de puissance .....	21
2.2.1. L'intégration monolithique .....	22
2.2.1.a. Les circuits intégrés de puissance.....	23
2.2.1.b. L'intégration fonctionnelle.....	25
2.2.2. L'intégration hybride.....	27
2.3. Bilan.....	28
<b>3. TECHNOLOGIES D'INTÉGRATION DU CONVERTISSEUR STATIQUE DE PUISSANCE</b> .	<b>28</b>
3.1. La technologie standard hybride 2D .....	28
3.2. Limitations de la technologie d'assemblage hybride 2D .....	31
3.2.1. Limitations électriques .....	31
3.2.2. Limitations thermiques .....	34
3.2.3. Limitations mécaniques .....	34
3.3. Bilan sur le packaging hybride 2D.....	35
3.4. Évolution des technologies d'intégration des convertisseurs de puissance.....	36
3.4.1. L'intégration hybride.....	37
3.4.2. L'intégration monolithique .....	47
3.5. Bilan sur ces différentes technologies d'intégration .....	49
<b>4. INTÉGRATION COUPLÉE COMPOSANT-PACKAGING DU CONVERTISSEUR STATIQUE DE PUISSANCE</b> .....	<b>50</b>
4.1. Objectif des travaux de thèse .....	50
4.2. Les différentes approches d'intégration de convertisseurs étudiées.....	51
<b>5. CONCLUSION DU CHAPITRE 1</b> .....	<b>52</b>
<b>6. RÉFÉRENCES BIBLIOGRAPHIQUES</b> .....	<b>53</b>
<b>Chapitre 2 : Étude d'une structure RC-IGBT-thyristor bidirectionnelle en courant</b> .....	<b>57</b>
<b>1. INTRODUCTION</b> .....	<b>59</b>
<b>2. LA STRUCTURE RC-IGBT CLASSIQUE</b> .....	<b>59</b>
2.1. Évolution de l'IGBT au RC-IGBT .....	59
2.2. Présentation de la structure RC-IGBT classique.....	60
2.3. Principe de fonctionnement du RC-IGBT classique .....	61
2.3.1. État passant direct : mode IGBT.....	61
2.3.2. État passant inverse : mode diode .....	62
2.4. État de l'art du RC-IGBT.....	62
<b>3. LA STRUCTURE RC-IGBT-THYRISTOR</b> .....	<b>65</b>
3.1. Présentation de l'architecture du RC-IGBT-thyristor .....	65
3.2. Principe de fonctionnement du RC-IGBT-thyristor .....	66
3.2.1. État passant direct : mode IGBT.....	66
3.2.2. État passant inverse : mode thyristor .....	66
<b>4. SIMULATIONS 2D DU RC-IGBT THYRISTOR</b> .....	<b>67</b>
4.1. Présentation de l'outil de simulation Synopsys Sentaurus™ TCAD.....	67
4.2. Paramètres physiques et géométriques des structures simulées.....	68
4.3. Caractéristiques statiques du RC-IGBT-thyristor .....	69
4.4. Caractéristiques dynamiques du RC-IGBT-thyristor.....	73
<b>5. CONCLUSION DU CHAPITRE 2</b> .....	<b>75</b>
<b>6. RÉFÉRENCES BIBLIOGRAPHIQUES</b> .....	<b>76</b>

<b>Chapitre 3 : Approches d'intégrations mixtes monolithique/hybride de convertisseurs – puces multi-pôles et assemblages.....</b>	<b>79</b>
1. INTRODUCTION.....	81
2. RAPPELS SUR L'APPROCHE BI-PUCE/MONOPUCE – PUCES MULTI-PÔLES ET ASSEMBLAGES.....	81
2.1. Introduction.....	81
2.2. Présentation des approches bi-puce et mono-puce classiques.....	81
2.3. Assemblage prototype et caractérisations électriques .....	84
2.4. Bilan.....	85
3. APPROCHE TRI-PUCE – PUCES MULTI-PÔLES ET ASSEMBLAGE .....	85
3.1. Introduction.....	85
3.2. Présentation de l'approche tri-puce.....	85
3.3. Validation du fonctionnement des puces multi-pôles par simulations physiques 2D ...	88
3.3.1. Puce à anode commune <i>high-side</i> .....	89
3.3.2. Puce multi-IGBT <i>low-side</i> .....	91
3.3.3. Puce multi-diode <i>low-side</i> .....	93
3.3.4. Association des puces multi-pôles dans une application onduleur de tension .....	95
3.4. Bilan.....	98
4. APPROCHE BI-PUCE A SUBSTRATS COMPLÉMENTAIRES N et P – PUCES MULTI-PÔLES ET ASSEMBLAGES .....	98
4.1. Introduction.....	98
4.2. Présentation de l'approche bi-puce à substrats complémentaires N et P .....	99
4.2.1. Configuration 1 : structures N- <i>high-side</i> et P- <i>low-side</i> en commande mono-driver .....	99
4.2.2. Configuration 2 : structures P- <i>high-side</i> et N- <i>low-side</i> en commande dual-driver.....	102
4.3. Simulations physiques 2D Sentaurus™ .....	104
4.3.1. Comparaison des performances de structures IGBT complémentaires N et P.....	104
4.3.1.a. Caractéristiques statiques : $V_{BR}$ , $V_{th}$ et $V_{on}$ .....	104
4.3.1.b. Caractéristiques dynamiques – circuit <i>gate-charge</i> .....	109
4.3.2. Validation du fonctionnement des puces.....	110
4.3.2.a. Puce à anode commune <i>high-side</i> sur substrat P .....	110
4.3.2.b. Puce à cathode commune <i>low-side</i> sur substrat P .....	111
4.3.2.c. Association des puces multi-pôles complémentaires pour réaliser les deux configurations de convertisseurs (N-P et P-N) .....	112
4.3.3. Étude de la commande mono-driver sur un bras d'onduleur .....	113
4.3.3.a. Commande sans résistance de grille (attaque en tension) .....	113
4.3.3.b. Commande avec résistance de grille unique .....	116
4.3.3.c. Commande avec résistances de grille dissociées.....	119
4.3.3.d. Commande à 3 niveaux de tension.....	121
4.4. Bilan.....	123
5. APPROCHE À CELLULES ASYMÉTRIQUES – PUCES MULTI-POLES ET ASSEMBLAGES	123
5.1. Introduction.....	123
5.2. Présentation de l'approche à cellules asymétriques .....	123
5.2.1. Cellules élémentaires asymétriques et complémentaires N et P .....	123
5.2.2. Prolongement de l'approche sous différentes variantes .....	126
5.3. Validation du fonctionnement des puces par simulations physiques 2D.....	128
5.3.1. Cellule monolithique élémentaire de type <i>boost</i> .....	129
5.3.2. Cellule monolithique élémentaire de type <i>buck</i> .....	131
5.3.3. Association des deux cellules élémentaires dans un bras d'onduleur complet.....	132
5.4. Bilan.....	134
6. CONCLUSION DU CHAPITRE 3 .....	134
7. RÉFÉRENCES BIBLIOGRAPHIQUES .....	136
<b>Chapitre 4 : Réalisation technologique des puces multi-pôles sur Silicium.....</b>	<b>137</b>
1. INTRODUCTION.....	139
2. FILIÈRE TECHNOLOGIQUE DE PUISSANCE.....	139



<b>3. RÉALISATION ET CARACTÉRISATION DES PUCES RC-IGBT ET À ANODE COMMUNE</b>	<b>140</b>
3.1. Réalisation technologique des puces .....	140
3.2. Caractérisations électriques .....	141
<b>4. RÉALISATION DU MUR P<sup>+</sup></b> .....	<b>142</b>
4.1. Description du procédé technologique .....	142
4.2. Les étapes technologiques.....	143
4.2.1. La gravure des tranchées profondes .....	144
4.2.2. Le remplissage avec du polysilicium dopé bore .....	146
4.2.3. La gravure pleine plaque du polysilicium sur les deux faces.....	147
4.2.4. L'étape de redistribution du polysilicium dopé bore .....	148
<b>5. CONCEPTION ET RÉALISATION DES PUCES À CATHODE COMMUNE ET MONO-PUCE</b>	<b>149</b>
5.1. Conception des masques .....	149
5.2. Réalisation technologique des puces .....	151
5.2.1. Le mur P <sup>+</sup> traversant.....	152
5.2.2. Les implantations ioniques .....	153
5.2.3. Passivation et contacts électriques.....	156
<b>6. CONCLUSION DU CHAPITRE 4</b> .....	<b>157</b>
<b>7. RÉFÉRENCES BIBLIOGRAPHIQUES</b> .....	<b>159</b>

## **Chapitre 5 : Réalisation de convertisseurs prototypes et caractérisations**

<b>électriques</b> .....	<b>161</b>
<b>1. INTRODUCTION</b> .....	<b>163</b>
<b>2. ÉTUDE 1 : CONCEPT DE LA MAILLE ORTHOGONALE MONO-FAISCEAU - APPROCHES D'INTEGRATION BI-PUCE ET TRI-PUCE</b> .....	<b>163</b>
2.1. Deux familles de cartes PCB prototypes .....	163
2.1.1. Assemblages avec maille orthogonale (versions a, b et c) .....	164
2.1.2. Assemblage avec maille planaire 2D classique (version de référence) .....	166
2.2. Éléments de technologie d'assemblage.....	167
2.2.1. Assemblage PCB proposé avec une interconnexion filaire 2D.....	167
2.2.2. Assemblage PCB proposé avec une interconnexion par clip Cu.....	169
2.3. Caractérisations électriques fonctionnelles des convertisseurs PCB prototypes en mode onduleur .....	177
2.3.1. Assemblage avec maille planaire.....	177
2.3.2. Assemblages avec maille orthogonale .....	178
2.4. Évaluation des performances électriques de la maille orthogonale par 3 méthodes..	181
2.4.1. Mesure fréquentielle de la maille à l'analyseur d'impédance.....	181
2.4.2. Simulations physiques 3D Comsol.....	186
2.4.3. Caractérisations temporelles "double-pulse" avec composants rapides du commerce.....	188
2.4.3.a. Assemblage avec maille planaire.....	191
2.4.3.b. Assemblages avec maille orthogonale .....	192
2.5. Bilan .....	195
<b>3. ÉTUDE 2 : COMMANDE MONO-DRIVER À 3 NIVEAUX POUR BRAS D'ONDULEUR COMPLÉMENTAIRE N-P</b> .....	<b>195</b>
3.1. Introduction.....	195
3.2. Présentation du convertisseur .....	196
3.3. Résultats expérimentaux .....	197
3.4. Bilan.....	200
<b>4. CONCLUSION DU CHAPITRE 5</b> .....	<b>201</b>
<b>5. RÉFÉRENCES BIBLIOGRAPHIQUES</b> .....	<b>204</b>
<b>Conclusion générale</b> .....	<b>207</b>



## Introduction générale

Pour de très nombreuses applications, la tendance est à l'électrification des systèmes. Les domaines les plus concernés sont ceux des transports, avec le passage à la traction électrique pour l'automobile et l'ambition de « l'avion tout électrique » pour l'aéronautique (Figure 1). Les convertisseurs de puissance ont un rôle central à jouer : ils servent à la gestion de l'énergie en amont des actionneurs et des motorisations, ils sont également aux interfaces des systèmes de génération (générateurs, piles à combustible...) et de stockage d'énergie (batteries, supercondensateurs...). Les industries qui utilisent ces convertisseurs exigent des dispositifs peu coûteux, très compacts, à fort rendement énergétique et tout cela avec une fiabilité maîtrisée.

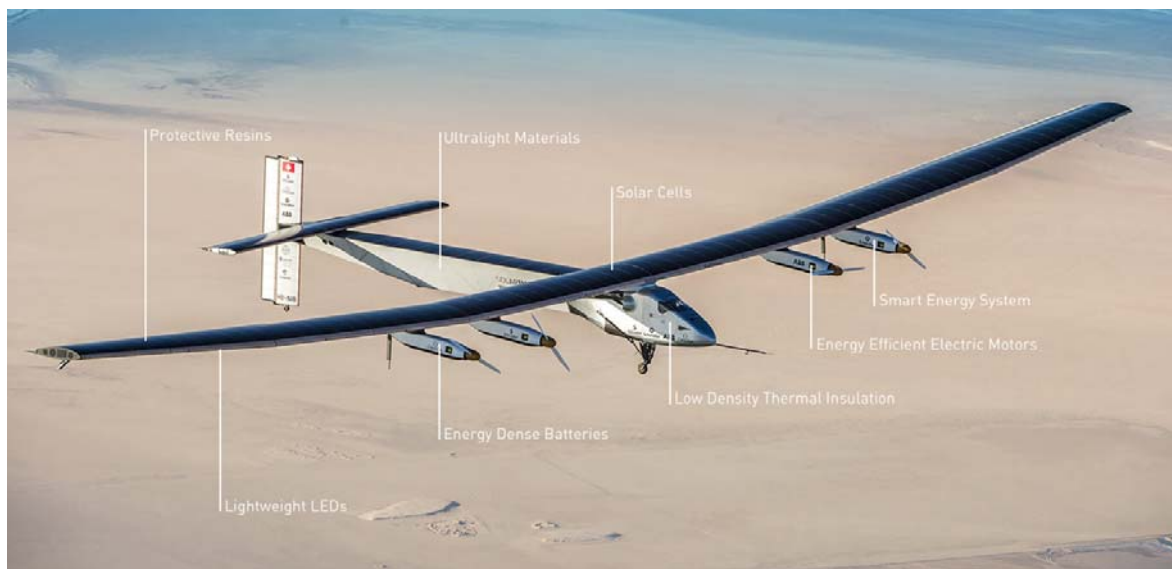


Figure 1 : Solar Impulse, avion 100 % électrique [www.solarimpulse.com]

Actuellement, le module de puissance standard hybride 2D est la technologie de référence qui domine le marché de la moyenne et de la forte puissance. Ce dernier se présente sous la forme d'un boîtier à multi-puces discrètes. Les puces sont reportées par leur face arrière et partagent le même substrat isolant qui intègre les pistes conductrices. Le substrat est fixé sur une semelle qui assure le maintien mécanique de l'assemblage et le transfert thermique vers le refroidisseur. Les puces à semi-conducteur sont reliées entre elles par des faisceaux de *wire-bonding* (câblage par fils) pour former des cellules de commutation. Le rôle de l'interrupteur de puissance est de fonctionner sur deux états statiques : à l'état passant, il doit faire transiter la plus grande densité de courant avec un minimum de chute de tension (soit un  $R_{on} \cdot S$  minimum), et à l'état bloqué, il doit supporter la tension à ses bornes avec un minimum de courant de fuite. Sur ces deux états de fonctionnement, le composant de puissance génère des pertes de puissance qui se traduisent par un

échauffement de la puce et une diminution du rendement du convertisseur. Entre ces deux états de fonctionnements statiques, le composant de puissance est dans un régime transitoire de commutation où il est également le siège de pertes de puissance. L'ensemble des calories doit être évacué pour maintenir la puce à une température de jonction nominale et éviter son emballement thermique. La commutation est également une source de perturbation électromagnétique rayonnée et conduite que l'on retrouve dans le circuit de conversion, dans la charge et dans les *drivers*. Cette perturbation sera d'autant plus maîtrisée que le circuit sera compact et intégré.

La technologie d'interconnexion *wire-bonding* présente une grande maturité technologique et ses modes de défaillances sont bien connus aujourd'hui. Toutefois, cette technologie est un facteur limitant en termes de performances électrique et thermomécanique, d'intégrabilité tridimensionnelle et de productivité. Les fils introduisent dans la maille de commutation des inductances parasites, qui génèrent des surtensions pouvant mener à la défaillance du composant. Ils conduisent ainsi à devoir introduire une marge conséquente en tension, ce qui réduit la puissance maximale à traiter. La problématique s'intensifie avec les nouvelles applications fonctionnant à des fréquences de découpage plus élevées. Il faut alors développer de nouvelles technologies spécifiques d'interconnexion pour aller vers une miniaturisation et une réduction des éléments parasites. Le cas idéal serait de supprimer les interconnexions et les soudures, et de réduire les dimensions des circuits afin de tirer au maximum profit des performances des puces semi-conducteur. Au niveau de la gestion thermique, la technologie filaire ne permet le refroidissement de la puce que par sa face arrière. Les fils interconnectés en face avant subissent alors des cyclages thermiques répétés qui impactent leur fiabilité mécanique.

Jusqu'à présent, les efforts d'amélioration de cette technologie hybride ont été menés de manières distinctes, soit au niveau de la puce seule, soit au niveau du packaging seul. Au niveau de la puce, les efforts ont porté sur l'augmentation des tensions blocables et du calibre en courant, sur la réduction des pertes à la commutation, sur l'amélioration des aires de sécurité et sur une plus grande simplicité de commande. Au niveau du packaging, les efforts se sont concentrés sur la miniaturisation des interconnexions et des éléments parasites, sur la fiabilité des assemblages et sur la gestion thermique.

L'intégration du convertisseur sur puce monolithique, de manière totale ou partielle, permettrait de solutionner simultanément plusieurs problématiques liées à l'intégration hybride. Pour les applications de faible puissance, il existe des circuits intégrés de puissance qui intègrent sur une même puce les parties de commande, de contrôle et de traitement de signal. Ces circuits peuvent être vu comme un prolongement des circuits de traitement de signal, avec l'intégration d'une partie puissance. Nous pouvons citer comme exemple les technologies Smart Power ou encore HVIC (High Voltage Integrated Circuit). Dans ces technologies, l'intégration de la partie puissance se limite en général à un composant vertical ou à plusieurs composants latéraux. Ces derniers ont l'avantage de

présenter toutes leurs électrodes sur la même face, ce qui les rend plus facilement intégrables. Les composants intégrés sont de technologie unipolaire comme le DMOS (LDMOS, VDMOS *up-drain*). Pour les applications de plus fortes puissances, les composants verticaux et à conduction bipolaire sont indispensables (IGBT, Thyristor). Ces derniers présentent de plus forts calibres en courant et en tension. Lorsque l'on intègre plusieurs composants à structure verticale au sein d'une puce, ces derniers partagent leur région de *drift*, ce qui rend leur isolation électrique entre interrupteur difficile. Les techniques d'isolation utilisées en basse tension ne sont pas adaptables à l'intégration monolithique de ces composants verticaux. Cette particularité constitue un verrou scientifique et technologique à lever.

Ce verrou pourrait être levé au moyen de la technologie d'intégration monolithique fonctionnelle. Ce mode d'intégration, basé sur la technologie de réalisation du composant de puissance vertical, est utilisé au LAAS depuis de nombreuses années par l'équipe ISGE (Intégration des Systèmes et Gestion de l'Énergie). Cette équipe de recherche a développé une filière de puissance « flexible », en s'appuyant sur la centrale de microfabrication du LAAS. Depuis maintenant près d'une vingtaine d'années, l'équipe CS (Convertisseurs Statiques) du LAPLACE travaille avec l'équipe ISGE sur l'intégration de fonctions de puissance. Cette collaboration a débuté avec la thèse de Marie-Breil en 1997 sur l'étude de l'association MOS-Thyristor auto-amorçable et blocable, donnant lieu au premier thyristor-dual monolithique. La collaboration s'est poursuivie avec la thèse de Florence Capy en 2009 sur le développement d'un thyristor dual-disjoncteur. Ce dernier est un interrupteur monolithique réversible en courant à auto-commutation permettant de réaliser des structures très originales et très épurées, comme un pont de diodes naturellement réversible sans aucune commande externe et sans alimentation auxiliaire externe. Le dernier objectif visé dans le cadre de cette collaboration est l'intégration monolithique de cellules de commutation sur puces silicium. Le travail a débuté avec un dépôt de brevet en 2011, sur un concept d'intégration bi-puce/mono-puce du convertisseur de puissance multi-phase. Ensuite, l'approche proposée dans ce brevet a été étudiée dans le cadre de la thèse d'Abdelilah El Khadiry, soutenue en 2014. Ce dernier a mené une étude par simulations sur la conception des puces monolithiques, a travaillé sur des techniques de report et d'assemblage de puces, et a réalisé en salle blanche une partie des puces monolithiques de l'approche « bi-puce ». Les réalisations technologiques s'appuient sur les plateformes technologiques du LAAS et de 3DPHI (3D Power hybrid Integration).

Les travaux de thèse présentés dans ce manuscrit ont été menés dans le cadre du projet ANR JC ConvPlus (2013-2017), porté par Abdelhakim Bourenane du LAAS en partenariat avec Frédéric Richardeau du LAPLACE. Ils s'inscrivent dans la continuité des travaux portant sur la thématique de l'intégration mixte monolithique/hybride du

convertisseur de puissance multi-phase. De nouvelles approches et de nouvelles structures de cellules de commutation seront présentées dans le cadre de cette thématique.

Ainsi, ce mémoire est composé de 5 chapitres :

- Le chapitre 1 commence par une présentation des deux modes d'intégration utilisés en électronique de puissance, que sont l'intégration monolithique et l'intégration hybride. Le chapitre se poursuit par la présentation du module de puissance hybride et ses limitations. Un état de l'art des différentes solutions hybride et monolithique présentes dans la littérature est exposé. Pour finir, nous présentons notre vision concernant le sujet et notre démarche de conception.
- Le chapitre 2 est dédié à la structure RC-IGBT bidirectionnelle en courant, qui est l'interrupteur de base à l'ensemble de nos approches. Nous présentons son architecture, son mode de fonctionnement, ses points à améliorer et son état de l'art dans la littérature. Ensuite, nous présentons une nouvelle structure RC-IGBT pour essayer de répondre aux problématiques de *snaphack* et d'uniformité de densité de courant. Pour finir, nous menons une étude par simulations 2D TCAD de la structure proposée pour analyser ses performances en fonctionnement statique et dynamique.
- Le chapitre 3 présente trois nouveaux concepts innovants d'intégration monolithique de convertisseur multi-phase sur puce. Pour chacune des approches, nous explorons le fonctionnement des différentes puces monolithiques proposées par des simulations 2D TCAD, et proposons un assemblage innovant de ces puces. Nous verrons que ces approches apportent des bénéfices au niveau du circuit de puissance, mais aussi au niveau de l'électronique de commande.
- Le chapitre 4 est consacré à l'ensemble du travail technologique réalisé et en cours aujourd'hui en salle blanche au LAAS. Le travail a commencé par la réalisation de puces RC-IGBT et multi-pôles à anode commune, dans le cadre de l'approche bi-puce classique. Le travail s'est poursuivi par la réalisation de la brique technologique dite « mur d'isolation P<sup>+</sup> » et des puces multi-pôles à cathode commune et mono-puce, toujours dans le cadre de l'approche bi-puce. Nous présentons la démarche de conception des puces, l'ensemble des étapes du procédé technologique, les difficultés rencontrées et les solutions apportées.
- Le chapitre 5 porte sur les assemblages prototypes PCB réalisés et caractérisés. Une première étude porte sur le concept de la maille de commutation orthogonale à très faible inductance de boucle. Des convertisseurs ont été réalisés et caractérisés avec les puces réalisées au LAAS. Les performances de la maille

proposée sont évaluées à travers trois méthodes (2 expérimentales et 1 simulation) et comparées à une maille de commutation planaire dite de référence. Nous présentons également une approche innovante pour la réalisation des assemblages sans aucun *wire-bonding* sur le circuit de puissance. La deuxième étude de ce chapitre porte sur la commande d'un bras d'onduleur complémentaire, dans le contexte de l'approche d'intégration monolithique bi-puce à substrats complémentaires N et P. Sur le principe, l'utilisation de composants complémentaires offre la possibilité de piloter le bras avec une tension de commande unique. Un assemblage prototype PCB a été réalisé et caractérisé. L'objectif est de mettre en avant les avantages apportés par ce type de commande et les problèmes que l'on pourrait rencontrer.

Nous terminons ce manuscrit par une conclusion générale sur l'ensemble du travail réalisé et les principales perspectives envisagées à court et moyen termes.





**Chapitre 1 :**  
**L'intégration de fonctions de conversion de  
puissance**



## 1. INTRODUCTION

En électronique de puissance, un grand intérêt est porté sur l'intégration des systèmes de puissance. Cette intégration n'est pas une fin en soi. Le but est d'optimiser leur compacité et leur coût de fabrication d'une part, et d'améliorer la fiabilité et les performances des fonctions de conversion d'énergie d'autre part sur le plan du rendement et des émissions EMI.

Pour les applications cantonnées aux faibles puissances, l'intégration du système de conversion peut se faire de manière entièrement monolithique, en intégrant les composants de puissance et l'environnement de commande et de contrôle associé. Pour les plus fortes puissances, l'utilisation de transistors de puissance à structure verticale (indispensable pour cette gamme de puissance) et les contraintes électriques rendent l'intégration monolithique plus complexe. De ce fait, les convertisseurs sont intégrés seul dans un boîtier de manière hybride et se présentent sous la forme d'un composant multi-interrupteur, que l'on retrouve sous la dénomination de module de puissance dans le commerce. L'objet de nos travaux concerne le module de puissance standard. Ce dernier est issu de la famille de l'intégration hybride 2D. Ce module de puissance domine le marché depuis de nombreuses années. Les raisons sont : son faible coût de fabrication, sa réalisation simple et son adaptabilité aux différents designs de puces. Aujourd'hui, ce dernier trouve ses limitations dans des secteurs d'activités qui cherchent à diminuer le plus possible le volume et le poids des convertisseurs (aviation, traction ferroviaire, électronique domestique), tout en conservant une très bonne fiabilité. Il s'agit alors d'augmenter la densité de puissance des modules sans dégrader leurs comportements électriques, thermiques et mécaniques. La raison principale de ces limitations se trouve dans sa technologie d'interconnexion filaire, qui génère une maille de commutation inductive et ne permet pas le refroidissement double face de la puce.

L'évolution de ce chapitre est le suivant. La première partie de ce chapitre rappelle les deux principaux modes d'intégration en électronique de puissance : l'intégration monolithique et l'intégration hybride. La seconde partie est dédiée à la présentation du module de puissance standard et à ses limitations. Un état de l'art des différentes approches d'intégration hybride et monolithique publiées dans la littérature sera présenté. La troisième et dernière partie de ce chapitre présente, de manière plus détaillée, notre vision concernant l'intégration mixte monolithique-hybride des convertisseurs multi-phases pour des applications moyenne puissance et introduit brièvement les travaux réalisés.

## 2. CONTEXTE DE L'INTÉGRATION EN ÉLECTRONIQUE DE PUISSANCE

### 2.1. Le rôle du convertisseur statique de puissance

Historiquement, la transformation de l'énergie électrique était réalisée à partir d'associations de machines tournantes, d'où l'appellation de convertisseurs dynamiques. Par exemple, la conversion AC/DC pouvait être réalisée en couplant une machine synchrone à une machine à courant continu. L'essor des semi-conducteurs de puissance, au début des années 1960, a permis le développement des convertisseurs statiques. Ces convertisseurs statiques sont composés d'interrupteurs électroniques à base de semi-conducteurs et d'éléments passifs. Ils réalisent le transfert d'énergie tout en assurant un bon rendement.

Pour mettre en avant le rôle des convertisseurs électriques dans un système, nous avons pris comme exemple une voiture électrique du constructeur automobile Renault, représentée en Figure 2. Ce véhicule intègre trois convertisseurs statiques embarqués de natures différentes. Un convertisseur AC/DC qui redresse la tension alternative issue du réseau en une tension de 400 V continue, afin de charger la batterie de traction qui va alimenter les différents systèmes électriques. Un second convertisseur DC/DC, qui permet d'abaisser la tension de 400 V continue à une très basse tension de 14 V continue, afin de charger la seconde batterie et alimenter les calculateurs. Enfin, le dernier convertisseur de type DC/AC, qui permet de convertir la tension 400 V continue en une tension alternative pour alimenter le moteur électrique.

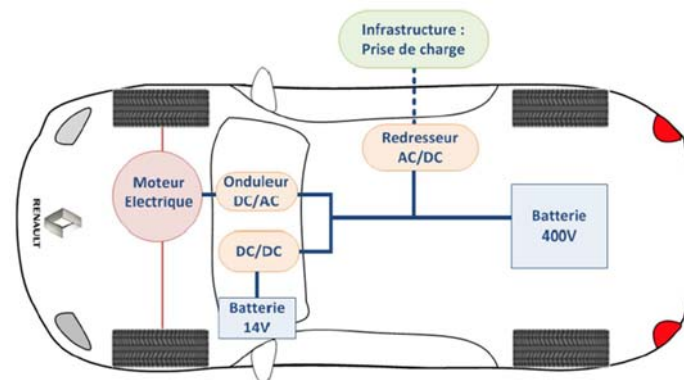


Figure 2 : mise en évidence des convertisseurs de puissance dans une chaîne de traction d'un véhicule électrique Renault [1]

Le module de puissance intégrant l'onduleur DC/AC triphasé, ainsi que son schéma électrique associé, sont représentés en Figure 3. Dans le module, nous pouvons voir le réseau de puces IGBT et diode interconnectées par des fils de *bonding*, réalisant la topologie du convertisseur selon une technologie d'assemblage hybride 2D. Cet onduleur fonctionne à des puissances de 60/70 kW, sous une tension de 400 V et à une fréquence de découpage de 10 kHz.

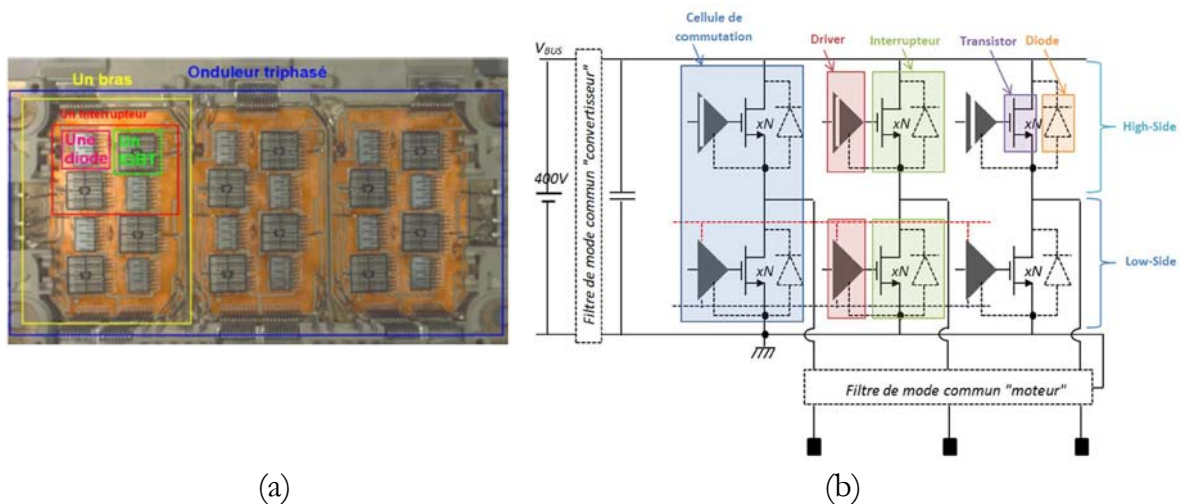


Figure 3 : (a) module de puissance ouvert et (b) son schéma électrique [1]

## 2.2. L'intégration en électronique de puissance

Dans un premier temps, l'intégration a été appliquée aux circuits de traitement de signal, grâce aux progrès réalisés en microélectronique. L'intégration des systèmes de puissance n'est apparue que quelques années plus tard et seulement pour certaines gammes d'applications. La raison est que l'intégration en électronique de puissance soulève des problématiques autres que celles rencontrées dans le domaine du traitement de signal et de l'information. Les énergies traitées représentent des niveaux de courants et tensions élevés, avec de forts transitoires en courants et tensions ( $dV/dt$ ,  $dI/dt$ ), ce qui implique le développement de nouveaux moyens d'isolations. Comme dans le domaine du traitement de signal, l'intégration des systèmes de puissance vise à :

- améliorer les performances globales,
- diminuer le nombre de connexions filaires,
- augmenter la fiabilité,
- diminuer les coûts de fabrication,
- optimiser la compacité et le volume du système.

Bien que l'intégration vise à optimiser les caractéristiques globales d'un système, le souci d'ordre économique doit toujours être présent, puisque le coût du système intégré ne doit pas dépasser celui du discret dans beaucoup d'applications.

En électronique de puissance, il convient de distinguer deux domaines d'applications. Le premier concerne les applications faible puissance, qui ne nécessite pas d'isolation galvanique entre la partie puissance et les circuits de commande. Ces applications permettent un grand degré d'intégration. Dans ce cas, l'intégration de puissance peut être vue comme un prolongement de l'intégration micro-électronique classique, en complétant les circuits intégrés du traitement de signal par un ou plusieurs composants de puissance sur la même puce. Le second concerne les applications de moyennes à fortes puissances

qui fonctionnent à partir du réseau. Dans ce cas, les normes de sécurité imposent des niveaux d'isolation galvanique qui imposent une séparation matérielle entre la partie puissance et commande.

Les différents niveaux d'intégration en électronique puissance sont représentés en Figure 4. Les systèmes de puissance intégrés commencent en petite puissance par des circuits intégrés monolithiques dont la puissance commutable est comprise de quelques dizaines de VA au kVA, et se terminent en très forte puissance par des modules hybrides dont la puissance commutable est comprise entre quelques dizaines de kVA et plusieurs MVA.

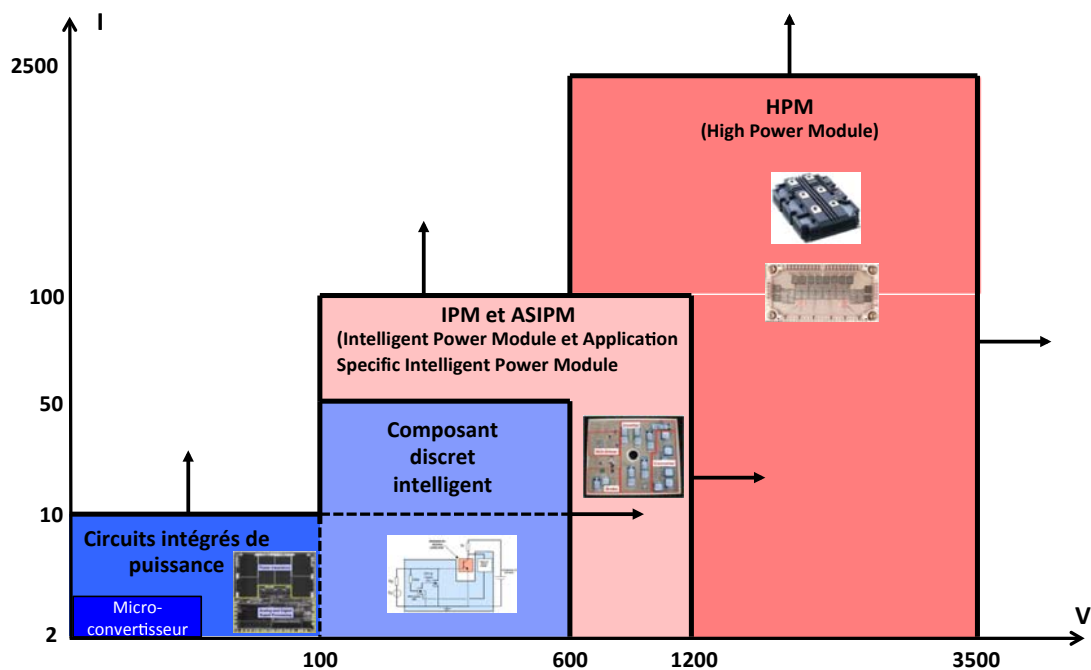


Figure 4 : domaines d'applications des différentes technologies de l'intégration de puissance [2]

### 2.2.1. L'intégration monolithique

Les techniques de l'intégration monolithique sur puce permettent d'intégrer des systèmes allant de la faible à la moyenne puissance. Les systèmes fonctionnant à de faibles niveaux de tension et de courant peuvent être intégrés latéralement dans la puce, de manière monolithique totale par juxtaposition et isolement des différentes fonctions. La puce monolithique intègre à la fois la partie puissance et les éléments de commande, de protection et de contrôle. Ces puces sont réalisées en s'appuyant sur une filière technologique de réalisation qui est proche de celle des circuits intégrés de traitement de signal. Ce mode d'intégration représente la première technique de l'intégration monolithique. La seconde technique est issue de la filière technologique de réalisation des composants de puissances verticaux. Cette dernière appelée intégration fonctionnelle

permet d'intégrer de manière monolithique des systèmes fonctionnant directement sur le réseau électrique. Les fonctions intégrées ne peuvent pas être totalement isolées mais sont conçues pour être en interaction fonctionnelle au sein de régions communes mutualisées. Elles doivent être conçues de manières couplées. Cette seconde technique est plus spécifique et n'a pas un niveau d'intégration aussi poussé que la première, puisque le système intégré se limite souvent à un composant de puissance vertical et des fonctions annexes environnante mais fortement couplées.

### 2.2.1.a. Les circuits intégrés de puissance

Les progrès réalisés en microélectronique ont permis d'intégrer sur une même puce des composants de puissance associés à des éléments de commande et de contrôle. Les premiers composants sont apparus dès 1985, soit une quinzaine d'années après l'intégration des composants de signal. Les premiers dispositifs, réalisés avec une technologie utilisée pour la conception de composant de puissance, ne permettaient pas d'atteindre de fortes densités d'intégration. Il existe deux types de circuits intégrés de puissance : les circuits **Smart Power** et les circuits **HVIC**. La différence entre ces deux technologies vient principalement de l'agencement de l'élément de puissance et des gammes de puissance traitées. Pour le Smart Power, le composant de puissance est généralement seul et peut être à architecture verticale ou latérale (DMOS). Alors que pour le HVIC, le composant sera plutôt à architecture latérale (LDMOS) et optimisé pour tenir des tensions élevées (Figure 5) [3].

Les nouvelles générations de circuits Smart Power, réalisées à partir d'une technologie VLSI, permettent d'atteindre de plus grandes densités d'intégrations. Les composants de puissance peuvent tenir des tensions allant jusqu'à la centaine de volts. Les techniques d'isolation employées dans ces circuits sont représentées en Figure 6 [3].

Ce mode d'intégration s'adresse donc à des applications de faibles puissances et sans contraintes fortes d'isolation galvanique, c'est-à-dire l'électronique automobile ou la téléphonie mobile. Une image d'un circuit HVIC et le circuit de puissance qu'il intègre sont montrés en Figure 7.

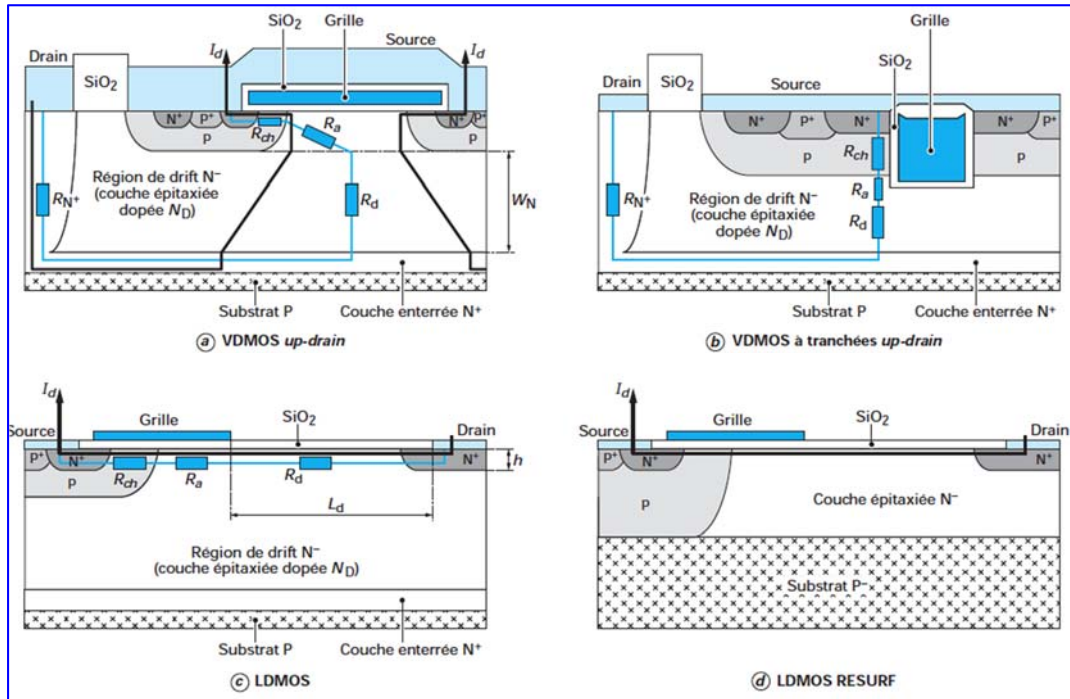


Figure 5 : coupes schématiques de cellules élémentaires de transistors de puissance VDMOS et LDMOS pour applications basse-tension [3]

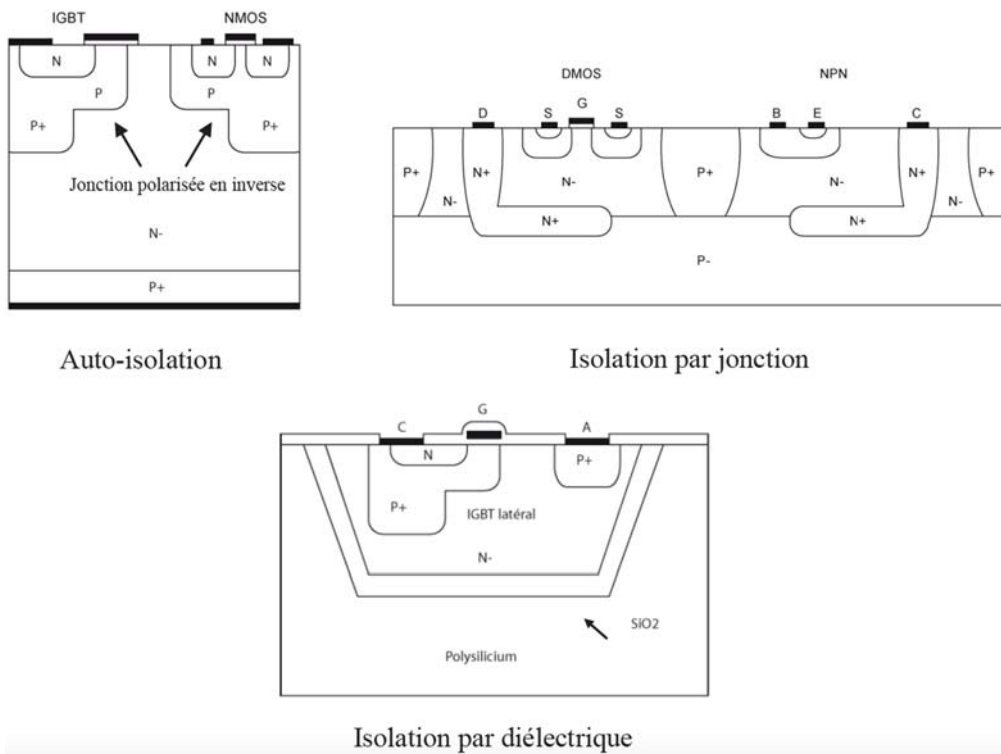


Figure 6 : techniques d'isolation dans les circuits intégrés de puissance basse et moyenne tension [4]



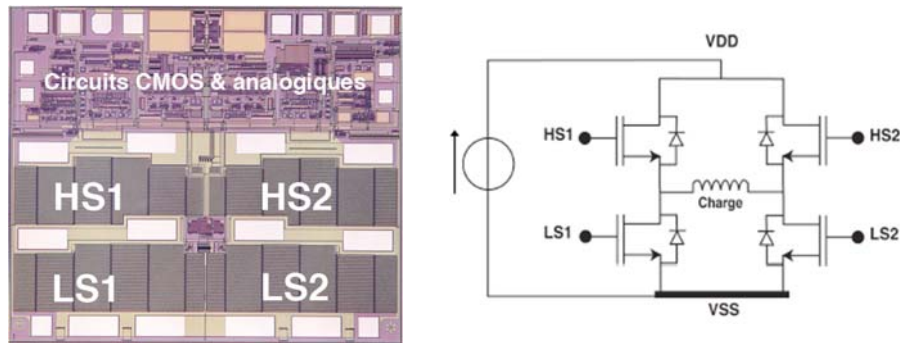


Figure 7 : technologie Smart Power et technologie HVIC [5]

Les circuits intégrés de puissance sont généralement basés sur des technologies de composants à électrodes coplanaires et à conduction unipolaire, comme le DMOS qui permet de réaliser des structures LDMOS et VDMOS. Ces composants présentent toutes leurs électrodes sur le même plan en face avant des puces, ce qui fait d'eux des composants plus facilement intégrables. Les composants possédant des électrodes de puissance sur les deux faces sont difficilement intégrables avec les techniques d'isolation présentées précédemment. La complexité s'intensifie avec l'intégration de plusieurs composants bipolaires tels que l'IGBT vertical.

### 2.2.1.b. L'intégration fonctionnelle

L'intégration fonctionnelle permet de couvrir un grand nombre d'applications où les circuits intégrés de puissance trouvent leurs limites. Cette technique d'intégration, basée sur une architecture du composant vertical, permet de supporter des tensions de plusieurs centaines de volts et de faire transiter des courants de plusieurs ampères. Les applications concernées sont les dispositifs alimentés par le réseau de distribution électrique. Plus précisément, on retrouve les fonctions opérant en haute tension (230V-400V), les fonctions de protection travaillant sur de forts pics de courant et les fonctions bidirectionnelles en courant et en tension.

La démarche adoptée pour l'intégration fonctionnelle peut être vue comme l'inverse de celle utilisée pour les circuits intégrés de puissance. Pour les circuits intégrés de puissance, le composant de puissance est co-intégré à la partie de traitement de signal qui représente le cœur du système. En intégration fonctionnelle, le composant de puissance est l'élément principal et les dispositifs associés sont intégrés autour du composant, en utilisant la technologie de conception du composant de puissance. Ce mode d'intégration ne permet pas d'atteindre la complexité des fonctions obtenues avec les composants Smart Power ou HVIC.

En intégration fonctionnelle, la fonction résulte des interactions électriques entre les différentes régions semi-conductrices qui doivent être judicieusement agencées et

dimensionnées. Le thyristor peut être vu comme le premier composant issu de l'intégration fonctionnelle, en s'appuyant sur l'association « bipolaire-bipolaire ». L'introduction des technologies MOS a donné lieu à un grand nombre de composants basés sur l'association « MOS-bipolaire ». On peut citer par exemple l'IGBT qui a pris une place considérable dans l'électronique de puissance. On peut également citer la famille des MCT (MOS Controlled Thyristor) qui sont arrivés au stade de développement industriel. STMicroelectronics a développé, sous l'appellation commerciale A.S.D (Application Specific Discretes), une gamme de dispositifs dont les caractéristiques physiques et géométriques peuvent être ajustées selon les applications spécifiques.

Ce mode d'intégration fonctionnelle est utilisé au LAAS depuis de nombreuses années comme montré en Figure 8. La réalisation des dispositifs intégrés se fait en s'appuyant sur une filière technologique de puissance. Cette filière est dite flexible puisqu'elle autorise l'insertion de certaines briques spécifiques. Deux exemples de composants réalisés selon cette technologie d'intégration sont montrés en Figure 9 et Figure 10.

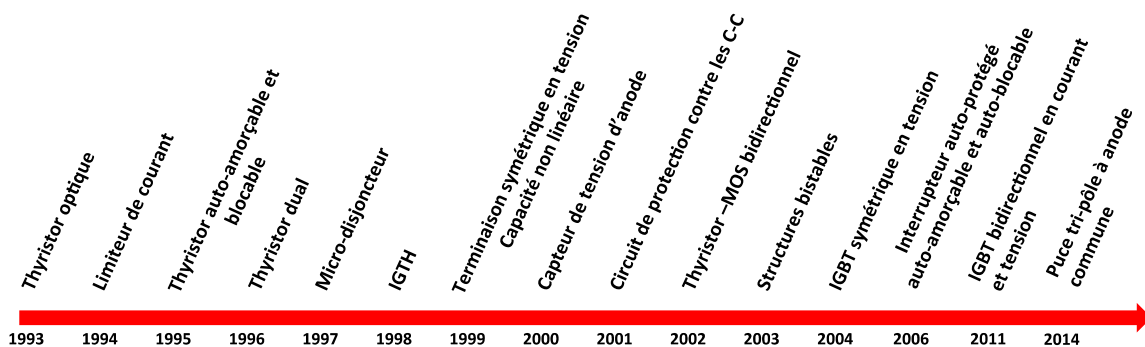


Figure 8 : exemples de réalisations en intégration fonctionnelle au LAAS-CNRS

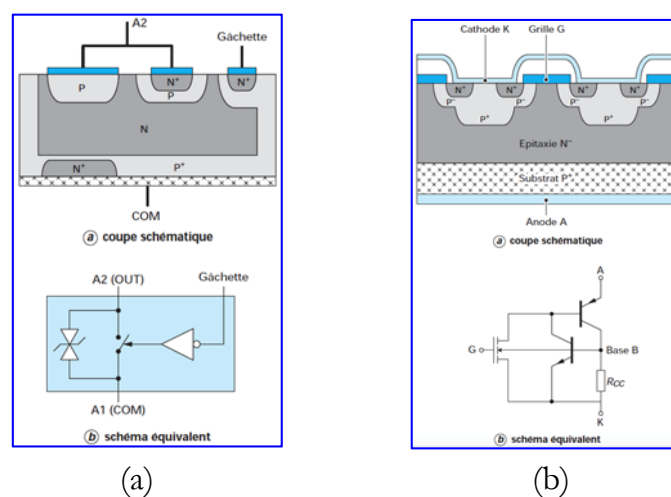


Figure 9 : vues en coupe et schéma électrique de deux composants intégrés : (a) structure AC Switch™ développée par STMicroelectronics [3] et (b) structure MOS-thyristor

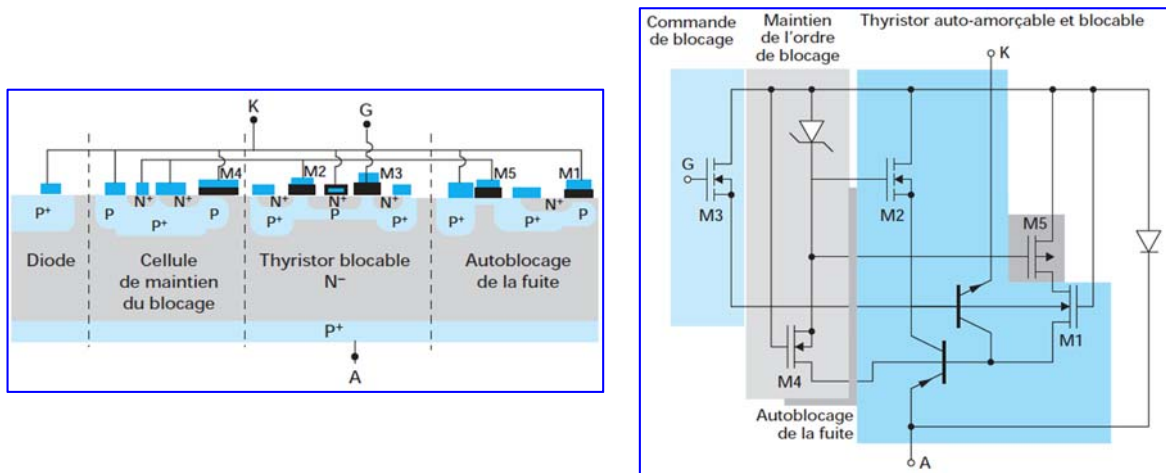


Figure 10 : vue en coupe 2D (à gauche) et schéma électrique (à droite) d'une structure « thyristor dual » avec blocage de la fuite [3]

Aujourd'hui, l'objectif visé en s'appuyant sur l'intégration fonctionnelle est l'intégration de plusieurs composants de type Reverse-Conducting IGBT (RC-IGBT) au sein d'une même puce pour la réalisation, partielle ou totale, d'un convertisseur monolithique sur puce silicium. C'est précisément dans ce contexte que se placent nos travaux de recherche. Notre vision sur ce sujet sera détaillée dans la dernière partie de ce chapitre.

### 2.2.2. L'intégration hybride

Cette technique d'intégration consiste à faire cohabiter au sein d'un même environnement des éléments issus de technologies et de matériaux différents, d'où la qualification d'intégration « hybride ». L'objectif est d'obtenir le produit le plus performant sans que chacun des éléments ne soit perturbé par le composant voisin. Ce mode d'intégration est bien adapté aux systèmes fonctionnant sous de fortes tensions qui nécessitent une importante isolation électrique.

Dans la famille de l'intégration hybride de puissance, on retrouve principalement deux systèmes intégrés : le module de puissance et les modules de puissance intelligents (IPM et ASPIM). Le module de puissance est un composant multi-puces discret comme présenté en début de chapitre en Figure 3. Il peut intégrer différentes topologies de convertisseurs statiques. Le module de puissance intelligent intègre au sein du module des éléments de commandes et de contrôles, en plus des composants de puissance. Dans cette technologie, les cellules de commutation sont réalisées par plusieurs puces distinctes et font apparaître des mailles de commutation à plusieurs faisceaux en série, source de surtension et de limitation de la durée de vie sur cycles thermiques.

### 2.3. Bilan

Cette première partie du chapitre avait pour objectifs de présenter le rôle du convertisseur de puissance, et de donner un aperçu des différents niveaux d'intégration de l'électronique de puissance. Les systèmes intégrés commencent par des circuits intégrés de puissance monolithique pour la faible puissance et se terminent par des modules hybrides pour la forte puissance.

Nous avons vu que les techniques d'isolation utilisées pour les circuits intégrés de faible puissance ne sont pas adaptées à l'intégration monolithique des systèmes de moyennes à fortes puissances.

Nous constatons aujourd'hui, qu'après plusieurs décennies de développement technologique conjoint entre les deux approches d'intégrations hybride et monolithique, que celles-ci ne sont que rarement co-intégrées mais plutôt présentées comme antagoniste alors que chacune est susceptible d'apporter des bénéfices à la fonctionnalité globale.

## 3. TECHNOLOGIES D'INTÉGRATION DU CONVERTISSEUR STATIQUE DE PUISSANCE

La démarche employée pour la première génération de convertisseurs consistait à réaliser séparément chacun des éléments du convertisseur. L'assembleur avait la tâche d'associer au mieux les différentes technologies en présence. La conséquence avec cette approche était que les performances individuelles de chacune des parties se retrouvaient limitées par les éléments voisins. Avec cette démarche de conception, les performances intrinsèques des composants les plus performants ne pouvaient pas être exploitées au maximum faute de pouvoir les faire accepter par les autres éléments du montage.

Afin d'optimiser les convertisseurs en termes de performances et de compacité, les concepteurs ont fait le choix d'intégrer les convertisseurs dans un unique boîtier que l'on retrouve sous la dénomination de module de puissance.

### 3.1. La technologie standard hybride 2D

Le module de puissance standard est un composant multi-puce dont l'implantation est réalisée selon une architecture d'assemblage hybride 2D : les composants réalisés dans différents matériaux cohabitent dans un unique même boîtier et assurent leur fonction avec grande fiabilité. Depuis une trentaine d'années, le module de puissance de technologie IGBT-diode domine le marché de la moyenne et de la forte puissance dans les secteurs d'activités tels que les transports ou l'industrie. Un module de puissance IGBT et une vue en coupe illustrative 2D sont représentés en Figure 11.

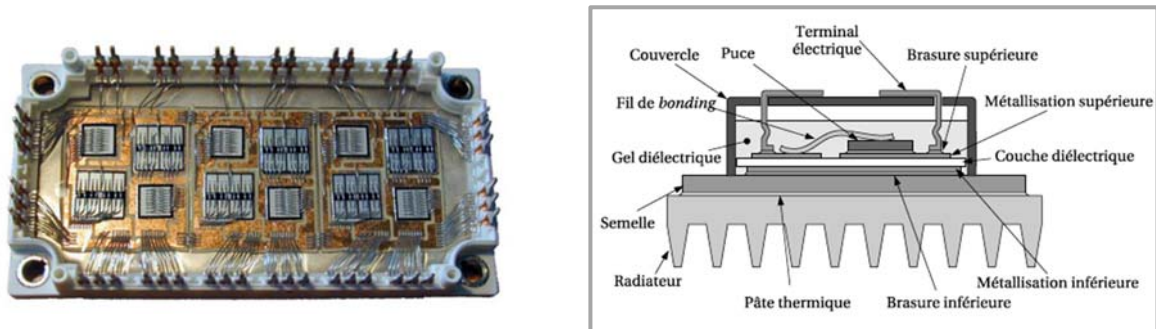


Figure 11 : (à gauche) un module IGBT hybride 2D 600V/200A et (à droite) une vue en coupe illustrative d'un module de technologie hybride 2D [6]

Le module de technologie hybride 2D est principalement composé des éléments suivants :

- **La puce** représente l'élément actif de l'assemblage de puissance et génère des pertes thermiques qu'il faut évacuer à travers l'assemblage. Elle est réalisée à partir d'un matériau semi-conducteur et intègre l'interrupteur de puissance. Elle est recouverte de couches diélectriques pour isoler les potentiels et de couches métalliques pour constituer les terminaux. Dans la grande majorité des modules de puissance, la puce a une architecture de conduction verticale avec des électrodes de puissance sur les deux faces. L'électrode de face arrière remplit les fonctions de conducteur électrique mais aussi de conducteur thermique en évacuant la chaleur. La tendance est à la fonctionnalisation des puces par l'ajout de capteurs de courant et de température sur le dessus de la puce.
- **La brasure** est la technique la plus répandue pour le report de puce. Elle est réalisée en déposant l'alliage (généralement à base de plomb) entre les différentes parties à associer, et en portant l'ensemble à une température supérieure à celle de fusion de la brasure pour réaliser une liaison métallurgique après refroidissement. Elle doit avoir des propriétés mécaniques pour assurer le maintien, mais aussi des propriétés électrothermiques pour la circulation du courant sans une élévation importante de chaleur et une évacuation des pertes thermiques dans le semi-conducteur. L'usage du plomb est interdit dans les composants électroniques depuis quelques années à cause de sa toxicité. Les industriels et les académiques cherchent de nouveaux alliages et portent actuellement un intérêt pour les nouveaux alliages sans plomb. Le remplacement de la brasure par un joint de particules d'argent fritté permet de cumuler des avantages de tenue à la haute température de la puce et de résistance aux contraintes thermomécaniques imposées par la déformation du substrat de report.
- **Les fils de *bonding*** réalisent toutes les connexions entre la face avant de la puce et son environnement, que ça soit pour réaliser le circuit de puissance ou pour le circuit de commande. Le diamètre du fil dépend de la puissance à transiter et peut varier entre 100 et 500  $\mu\text{m}$ . Plusieurs fils de *bonding* peuvent être associés en parallèle pour

assurer la conduction de forts courants. L'aluminium est le matériau le plus utilisé, souvent associé à des alliages pour diminuer le risque de corrosion de l'aluminium. Le *wedge bonding* et le *ball bonding* représentent les deux techniques matures et fiables utilisées pour la mise en œuvres des fils de *bonding*. Il est préférable que la métallisation de la puce et le fil de *bonding* soient issus du même matériau afin d'éviter la formation d'intermétalliques. De nouvelles solutions se développent dans l'intégration de puissance afin d'augmenter la densité de courant distribuée à la surface de puces toujours plus petites. C'est le cas des fils en cuivre ou co-laminés cuivre-aluminium, ce qui permet de garder les métallisations aluminium de la puce. Ces technologies cherchent également à éliminer les fils de *bonding* au profit de contact par clip, par poteaux de cuivre ou par des films métalliques, permettant une meilleure distribution du courant et une optimisation de la gestion thermique. Ces dernières techniques nécessitent une sur-métallisation en cuivre des terminaux sur le dessus de la puce. Elles permettent également des opérations de report de puce et de connexion simultanées en une seule étape de refusion ou de pressage dans le cas du frittage argent sur les deux faces. Un état de l'art de ces nouvelles technologies d'intégration hybride sera détaillé plus loin dans ce chapitre.

- **Le substrat isolant** permet le report des puces et intègre les pistes conductrices qui participent au circuit de puissance. Le substrat doit avoir de bonnes propriétés diélectriques pour isoler les différents composants, et thermiques pour évacuer les calories générées par les composants actifs vers le système de refroidissement. Pour les substrats, la technologie de référence dans la mise en œuvre des assemblages de puissance est le DCB (Direct Copper Bonded). Ce dernier est réalisé à partir d'un substrat céramique qui sera métallisée d'une fine couche de cuivre sur les deux faces, puis gravée pour réaliser la topologie de circuit souhaitée. Cette technologie a l'avantage d'assurer à la fois une très bonne isolation électrique mais aussi un transfert thermique grâce aux propriétés physiques des céramiques. Parmi les matériaux les plus utilisés, on retrouve l'alumine ( $\text{Al}_2\text{O}_3$ ), le nitrure d'aluminium (AlN) ou plus rarement le nitrure de silicium ( $\text{Si}_3\text{N}_4$ ). La tendance est aussi à la fonctionnalisation du substrat par l'insertion de capteurs de température et de courant, de condensateurs céramiques haute température pour le découplage, et d'éléments de sécurité tels que des fusibles.
- Un **gel silicone** est déposé dans le boîtier pour l'encapsulation. Ce gel possède de bonnes propriétés diélectriques et thermiques. De plus, il protège les puces contre les agressions externes comme l'humidité ou la corrosion. L'encapsulation se fait à travers trois étapes avec dans l'ordre un remplissage, un dégazage sous vide puis une polymérisation. Le remplissage doit s'effectuer dans un environnement dépressurisé (autour de 1 mbar) afin d'éviter la formation de bulles. Ces bulles d'air étant des lieux propices aux décharges partielles, et pouvant provoquer une réduction de la tenue en tension et un vieillissement prématuré du module de puissance. Pour les modules compacts en basse et moyenne tension, un plus haut niveau de miniaturisation est obtenu avec un encapsulant à base de résine époxy chargée de particules d'alumine ou

de silice. Outre une tenue en température et une résistance mécanique améliorées sur cycles thermiques, une plus grande difficulté au *reverse engineering* est ainsi obtenue par rapport au gel.

- Les puces de puissance sont des composants actifs non parfaits. Ce qui signifie qu'une partie de la puissance qui transite à travers le composant sera perdue sous forme de chaleur. Le rôle du **dissipateur thermique** est d'évacuer ces calories afin de maintenir à l'intérieur du boîtier une température de fonctionnement optimale. Il est donc réalisé dans un matériau possédant une bonne conductivité thermique. Actuellement, la technologie du module de puissance classique ne permet qu'un refroidissement par la face arrière des puces via le substrat de report. Un effort est porté sur les technologies d'interconnexion 3D qui rendent possible l'évacuation des calories par les deux faces de la puce. Ces solutions viendraient en remplacement des fils de *bonding*, au prix d'une grande complexité mécanique et d'un double dissipateur.

### 3.2. Limitations de la technologie d'assemblage hybride 2D

Le packaging du module de puissance est réalisé à travers différents constituants qui introduisent chacun des limitations électriques, thermiques et mécaniques. Parmi les constituants, on retrouve les fils de *bonding* qui représentent le principal facteur limitant de la technologie d'intégration hybride 2D. D'une part, ces derniers se comportent d'un point de vue électrique comme des résistances et des inductances limitant les performances électriques. D'autre part, ces fils peuvent se décoller ou se casser pour conduire à la défaillance du module. De plus, ces fils ne permettent pas de réaliser une architecture d'assemblage qui pourrait bénéficier d'un refroidissement double face. Pour finir, le substrat de report, de par son empilement de couches conducteur/diélectrique, introduit des éléments parasites de types « capacitif » dans l'assemblage.

#### 3.2.1. Limitations électriques

Le schéma électrique suivant est celui d'un bras d'onduleur composé de deux transistors (Figure 12). L'ensemble des connexions introduit des éléments parasites de comportements inductifs et résistifs dans le circuit. Les transistors de puissance introduisent eux aussi leurs éléments parasites de natures capacitives dans le circuit.

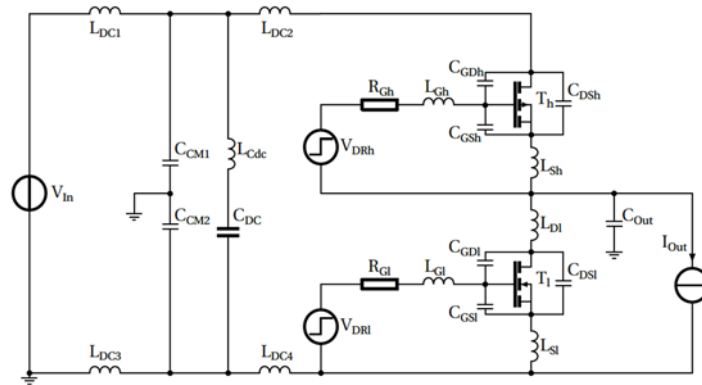


Figure 12 : schéma électrique d'un bras d'onduleur mettant en évidence les éléments parasites [6]

- **L'inductance de grille ( $L_{Gh}$  et  $L_{Gl}$ )** a souvent une valeur élevée (jusqu'à la centaine de nano henrys [6]) car les circuits de commande sont éloignés des composants de puissance. Une valeur élevée de  $L_G$  conduira à un ralentissement des ordres de commande et voire des oscillations en interagissant avec les capacités d'entrées des composants formées par  $C_{GD}$  et  $C_{GS}$ . Ceci est d'autant plus vrai pour les composants SiC et GaN qui ont des capacités d'entrées faibles. Une augmentation de la résistance de grille offrirait un amortissement de ces oscillations aux dépens d'un ralentissement de la commutation. De plus, une valeur élevée de la résistance de grille peut conduire à une commutation non désirée lorsque le transistor subit un  $dV/dt$  imposé par son homologue.
- **L'inductance de drain ( $L_{DC2}$  et  $L_{Dl}$ )** stocke de l'énergie pendant la phase de conduction quelle restitue au blocage du transistor, entraînant des surtensions aux bornes du composant et des pertes. L'inductance couplée avec les capacités des transistors et les condensateurs de découplages forment un réseau oscillant et ralentit les commutations. Ces surtensions peuvent mener à la défaillance du transistor et imposent un *derating* des composants. Il est donc utile de réduire la valeur de l'inductance en rapprochant les condensateurs de découplage au plus près des composants pour former la maille la plus courte et la moins inductive. La réduction de surface des mailles de puissance et de commande permet aussi de réduire la source EMI en rayonnement.
- **L'inductance de source  $L_s$**  introduit une contre-réaction négative qui ralentit la commutation des composants. Même une valeur extrêmement faible de cette inductance a de réelles conséquences sur la commutation comme le montre la Figure 13.



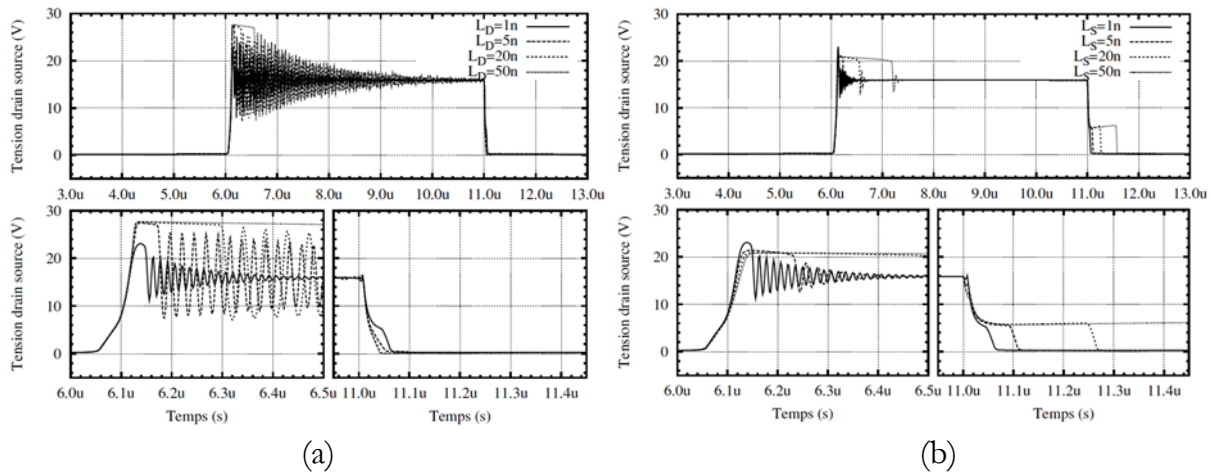


Figure 13 : mises en évidence des surtensions et oscillations sur le transistor MOSFET liées aux inductance parasites : (a) inductance de drain  $L_D$  et (b) inductance de source  $L_S$  [6]

Une autre problématique liée à l'assemblage hybride 2D concerne les courants de mode commun. En effet, le point milieu du bras de pont qui est à un potentiel flottant évolue selon les forts  $dV/dt$  de commutations, et les pires cas sont bien connus : l'amorçage à faible courant et le blocage à fort courant. Ce point milieu, en contact avec le substrat de report par la connexion des fils de *bonding*, génère des courants de mode commun à travers les capacités parasites formées par l'empilement des différentes couches du substrat et du dissipateur (Figure 14). Les nouvelles structures d'assemblage de modules visent à supprimer ce phénomène parasite. L'alimentation auxiliaire du *buffer*, positionné sur le transistor *high-side* du bras d'onduleur, constitue également un chemin de circulation du courant de mode commun. Il est très important de pouvoir limiter l'amplitude de ce courant de mode commun et de circonscrire la boucle au plus court par l'insertion d'un filtre de mode commun.

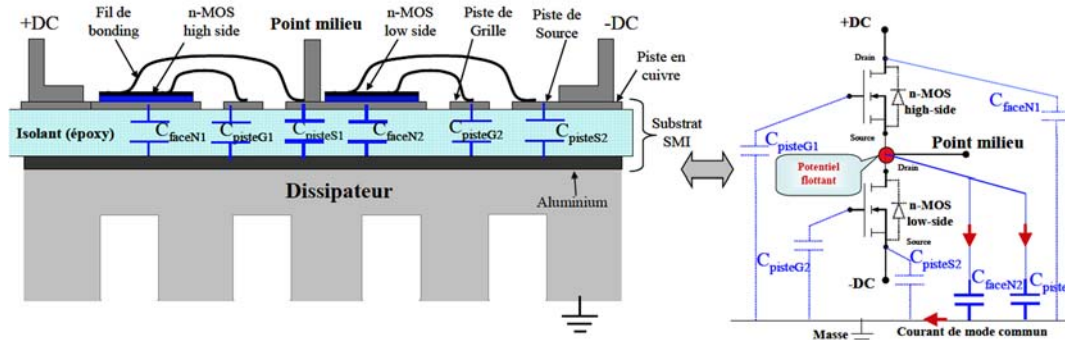


Figure 14 : mise en évidence des capacités parasites et du potentiel flottant dans un module 2D [7]

### 3.2.2. Limitations thermiques

Une des principales limitations de l'assemblage hybride 2D est son refroidissement par une face unique, due à sa technologie d'interconnexion filaire. La puce de puissance est un composant actif non parfait qui génère des pertes se traduisant par une conduction thermique. Les performances du composant et sa fiabilité sont fortement liées à sa température de fonctionnement. La puce doit donc être maintenue en dessous d'une température maximum pour ne pas dégrader ses performances. De plus, le cyclage thermique impacte la tenue mécanique des fils. Des études ont montré que la température de la puce était dépendante de la configuration d'interconnexion des fils sur la face avant [8]. La Figure 15 montre la répartition de la température pour deux configurations d'interconnexion. Pour la première configuration, les cinq fils de *bonding* sont alignés sur la puce. Pour la seconde configuration, les fils sont répartis sur la puce. Il s'avère que la seconde configuration permet une meilleure répartition du flux de chaleur sur la puce et donc une diminution de la température. Toutefois, cette diminution de température ne semble pas notable. Le refroidissement des modules à *wire-bonding* ne pouvant se faire de manière efficace que par la face arrière, il est nécessaire de trouver de nouvelles technologies d'interconnexion permettant un refroidissement double face.

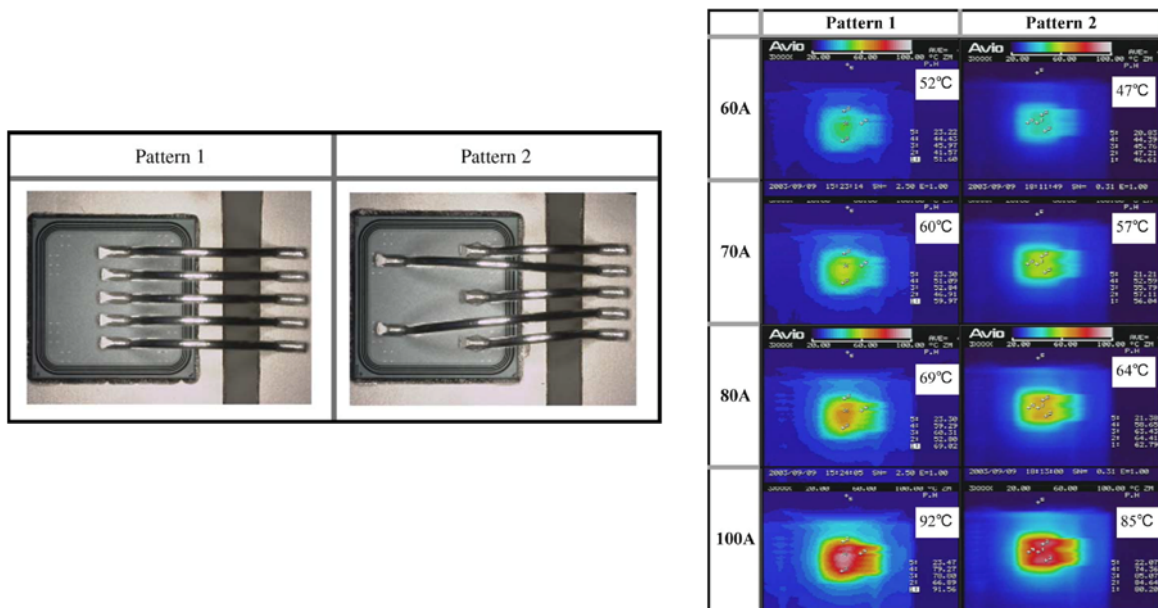


Figure 15 : répartition de la densité de chaleur pour deux configurations d'interconnexion de fils de *bonding* [8]

### 3.2.3. Limitations mécaniques

Outre les limitations électriques et thermiques, la technologie d'assemblage hybride 2D est sujette à la défaillance mécanique. Les variations de puissance qui transite à travers la puce font subir au fil de *bonding* des excursions thermiques qui engendrent des contraintes thermomécaniques. Cela conduit à un vieillissement accéléré sous la forme d'une

accumulation de micro-endommagement, puis à la défaillance du fil comme un décollement ou une fissuration, comme montré en Figure 16a. Deux solutions ont été envisagées en réponse à cette problématique. La première consiste à déposer une résine polymère sur le pied du fil pour renforcer l'attache de ce dernier. La seconde solution proposée par ABB, repose sur l'insertion d'une couche tampon de coefficient thermique (CTE) intermédiaire entre le fil et la métallisation tel que le molybdène.

La corrosion est également un phénomène de dégradation des modules de puissance à considérer. L'ensemble des parties métalliques du module comme les fils, les métallisations et les plots de connexions y est concerné (Figure 16b).

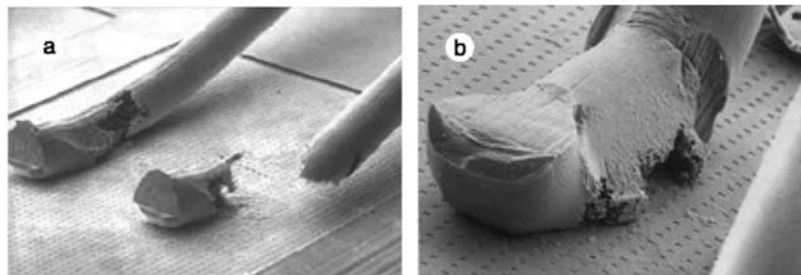


Figure 16 : (a) rupture mécanique d'un fil de bonding et (b) corrosion d'un fil de bonding [9]

### 3.3. Bilan sur le packaging hybride 2D

Le module de puissance standard est le composant qui domine le marché depuis de nombreuses années. Ce dernier a acquis une grande maturité technologique et ses modes de défaillance sont bien connus aujourd'hui. L'assemblage de ce module est assez simple à mettre en œuvre et s'adapte à un grand nombre d'applications. Les puces sont reportées sur leur face arrière sur un substrat commun et interconnectées par des fils de *bonding*. Aujourd'hui, ces modules trouvent leurs limites dans des applications fonctionnant à haute température ou à des fréquences de découpage plus élevées. Ceci vient du fait que la technologie *wire-bonding* ne permet pas un refroidissement double face du module et limite la montée en fréquence. Les inductances parasites des fils provoquent des surtensions qui peuvent mener à la défaillance du composant. Ces inductances peuvent également mettre en conduction un interrupteur et réaliser un court-circuit du bras. De plus, ces fils peuvent se casser ou se fissurer et rendre le système défaillant. La brasure qui est très utilisée dans les modules est également remise en cause. En solution à ces problématiques, les concepteurs proposent aujourd'hui de nouvelles architectures de modules de puissance, basées soit sur une architecture d'assemblage hybride améliorée, soit sur une intégration monolithique. L'approche développée dans ces travaux de thèse vise à mixer ces deux approches de manière pondérée.

### 3.4. Évolution des technologies d'intégration des convertisseurs de puissance

La technologie d'intégration hybride 2D a été le standard pour la réalisation des modules de puissance. Toutefois, sa structure bidimensionnelle impose une limite au-delà de laquelle il ne sera plus possible de progresser.

Une structure d'assemblage tridimensionnelle semble être la voie possible à l'optimisation des modules, par opposition à la structure « planaire » où tous les contacts électriques sont ramenés au même plan en face avant du substrat céramique. La volonté d'utiliser la troisième dimension est surtout motivée par le désir de réaliser un refroidissement double face du composant. Le bénéfice d'un tel assemblage sera alors double puisqu'il permettra à la fois de diminuer l'inductance de la maille de commutation et d'augmenter la densité de puissance. Nous verrons par la suite les différentes stratégies proposées dans la littérature à ce sujet. Les assemblages 3D proposés visent principalement à optimiser les points suivants [6] :

- **Un refroidissement plus efficace** : concernant le module planaire 2D, la face avant est recouverte d'un gel qui ne possède pas les meilleures propriétés thermiques (conductivité inférieure à 1 W/m.K). La face arrière repose sur un dissipateur. De ce fait, l'évacuation de la chaleur ne peut se faire que d'une seule face. Dans un assemblage 3D, le refroidissement peut se faire par au moins deux faces. Sur la puce, la surface utile de la face avant est plus faible que celle de la face arrière, dû au placement des terminaux de commande et des protections de tension sur la face avant. Théoriquement, le refroidissement double face pourrait donc réduire la résistance thermique d'environ 40 %.
- **Un circuit faiblement inductif** : les fils de câblage utilisés pour l'interconnexion en face des puces génèrent des inductances parasites non négligeables (plusieurs dizaines de nanohenry au total). Plusieurs solutions ont été proposées pour améliorer les interconnexions en face avant des puces. Elles sont basées sur une interconnexion puce à puce qui permet de réduire la surface de la boucle et donc l'inductance parasite. Actuellement, la recherche s'oriente vers la technologie du clip et du PCB, qui permet une interconnexion en face avant planaire ou un enfouissement des puces dans un circuit multicouche. L'enfouissement par PCB permet une réelle interconnexion monolithique de la puce vers son environnement.
- **Une augmentation de la densité de puissance** : les architectures 3D permettront un meilleur refroidissement et donc de contrôler une plus grande puissance avec la même puce. La réduction des interconnexions et un agencement vertical dans la troisième dimension permettront d'optimiser la compacité du module et donc d'accroître la densité de puissance avec une faible émission EMI.
- **Un assemblage plus fiable** : ce dernier point, revendiqué pour la plupart des nouvelles structures, semble être la promesse la plus discutable. En effet, la

suppression des fils et des interconnexions par brasures assure une meilleure fiabilité au module. Toutefois, les modules proposés dans la littérature intégrant de nouveaux moyens d'interconnexions sont réalisés en trop petites quantités, et avec des procédés de réalisations pas assez matures pour pouvoir subir de véritables tests et conclure sur leur fiabilité. La fiabilité de chacune des nouvelles technologies d'assemblages doit donc être démontrée au cas par cas.

D'autres travaux de recherches s'orientent plus sur une intégration au niveau du semi-conducteur. En intégration monolithique, la tendance des travaux actuels porte sur une intégration de composants grand gap et une hybridation de matériaux. Les composants GaN ont une architecture latérale qui facilite l'intégration de plusieurs composants et leurs isolations inter-interrupteurs.

### 3.4.1. L'intégration hybride

Les approches d'intégration hybride proposées dans la littérature ont été regroupées sous différentes familles et seront présentées dans l'ordre suivant :

1. Les contacts pressés ou à ressorts
2. Les contacts brasés
3. Les contacts par métallisations électrodéposées
4. Les substrats flexibles
5. La technologie du circuit imprimé
6. La connexion « busbar »
7. L'empilement de puces « chip-stacking »
8. La technologie micro-poteaux

#### 1. Les contacts pressés ou à ressorts

L'avantage principal de ces technologies par pression est de n'utiliser aucune connexion par brasure, frittage ou fils de *bonding* sur la métallisation en face avant des puces. La technologie **presse-pack** utilisée par ABB consiste à connecter par pression des plaques en cuivre sur les métallisations des puces [10]. Pour réduire les contraintes sur la métallisation de la puce, une couche tampon en molybdène est insérée entre la plaque de cuivre et la métallisation. Cette technologie permet le refroidissement double face et réduit la valeur de l'inductance parasite. De plus, elle garantit une grande fiabilité. Une autre technologie par pression appelée **spring pressure contact** repose sur l'utilisation d'un ressort comme montré en Figure 17b [11]. Le ressort est réalisé à partir d'un alliage béryllium/cuivre. Le choix de ce matériau provient du fait qu'il possède une bonne conductivité thermique et une bonne flexibilité pour réduire les contraintes thermomécaniques. Une couche d'or est déposée sur le ressort pour diminuer la valeur de

sa résistance électrique et éviter son oxydation. Par cette technologie, le refroidissement se fait principalement par la face arrière de la puce. Des résultats expérimentaux ont montré que l'inductance parasite de la maille de commutation est environ trois fois plus importante que celle de la technologie *wire-bonding* [11]. Concernant la fiabilité de cette technologie, elle reste encore à démontrer.

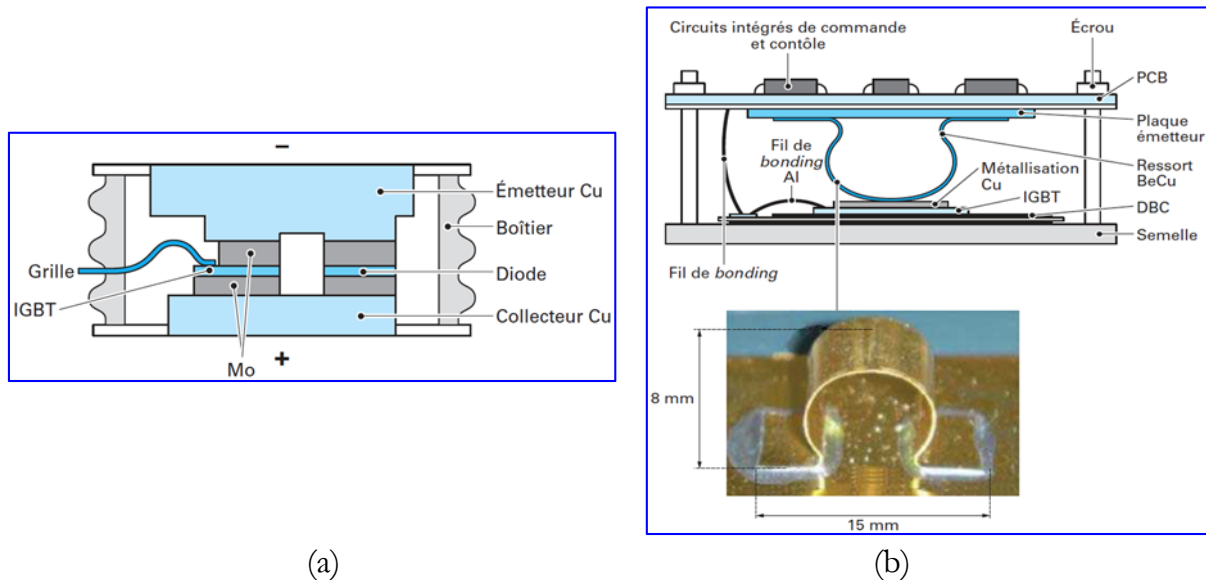


Figure 17 : (a) technologies à contacts pressés et (b) technologies à contact par ressort [10]

## 2. Les contacts brasés

Le principe de la technologie **solder bump interconnection** [12] repose sur le dépôt d'une matrice de billes de brasure au-dessus des métallisations des puces. Les billes peuvent avoir des diamètres allant de quelques dizaines à quelques centaines de micromètres. Cette technologie est très utilisée dans la micro-électronique afin de réduire la taille des assemblages et optimiser les performances électriques et thermiques. Un *underfill* peut être déposé autour de la connectique pour améliorer sa fiabilité et la protéger contre les contaminants. La Figure 18a montre une puce IGBT avec une matrice de billes déposée, puis cette même puce reportée par un procédé *flip-chip on flex* (FCOF) avant le remplissage de l'*underfill* [13]. Sur la Figure 18b est montré un module de puissance réalisé avec la technologie FCOF [13].

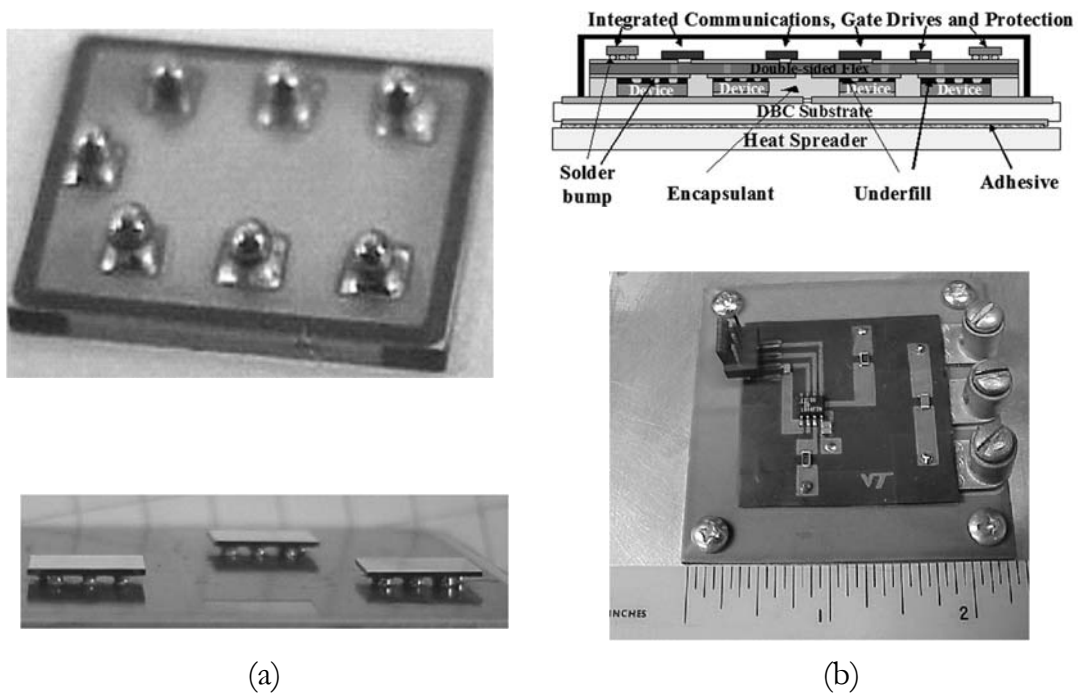


Figure 18 : (a) IGBT reporté avec une matrice de billes et (b) module réalisé intégrant la technologie FCOF [13]

La technologie **metal post interconnection** utilise en remplacement des fils de *bonding* des poteaux en cuivre brasés sur les métallisations en face avant des puces. Ces poteaux permettent le report d'un second substrat supérieur qui offre la possibilité d'y placer au-dessus des éléments de contrôle et de commande. Cette architecture permet d'introduire un fluide diélectrique pour améliorer le refroidissement des puces.

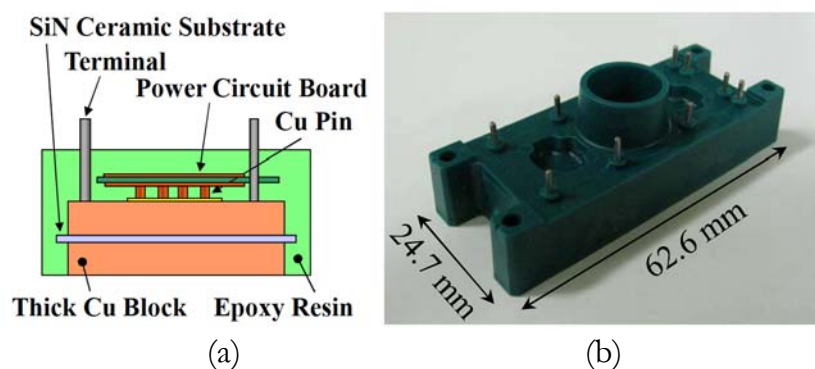


Figure 19 : (a) schéma de principe d'un module avec poteaux proposé par Fuji Electric et (b) le module réalisé [14] [15]

Fuji Electric a proposé en 2011 un module sans connexion filaire utilisant des poteaux de cuivre et un PCB supérieur [14] [15]. Le schéma de principe et la réalisation sont tous deux représentés en Figure 19. L'ensemble est moulé dans une résine époxy et repose sur

un dissipateur. De son côté, Alstom-Pearl a proposé une technologie similaire pour la conception de modules [16]. Cette technologie utilise des cylindres de cuivre reportés sur la métallisation supérieure de la puce et interconnectés au substrat supérieur (Figure 20).

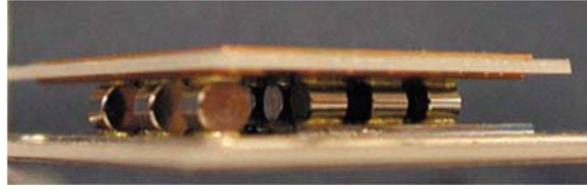


Figure 20 : illustration de l'approche avec des cylindres de cuivre [16]

Le principe de la technologie **dimple array interconnection** est basé sur le report d'une plaque de cuivre possédant des déformations *dimples* [12] en remplacement de la connexion filaire. Ces *dimples*, brasées sur les métallisations des puces, prennent une forme naturelle de sablier qui rend l'interconnexion plus fiable. Une illustration est donnée en Figure 21. L'épaisseur de la plaque peut varier entre 50  $\mu\text{m}$  et 400  $\mu\text{m}$  [13]. Comme dans la technologie précédente *solder bump interconnection*, un *underfill* peut être déposé sous la plaque pour isoler électriquement les interconnexions et augmenter leur robustesse mécanique.

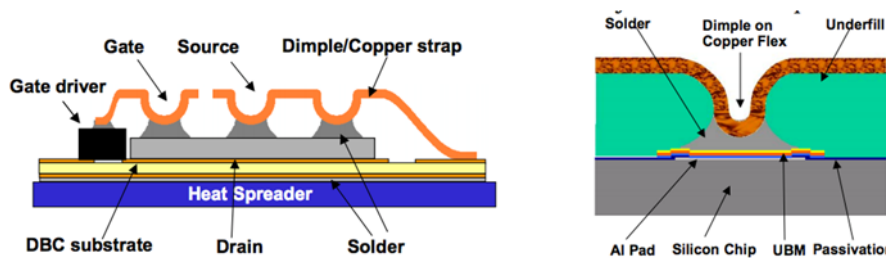


Figure 21 : illustration de l'approche dimple array interconnect [17]

Une approche similaire à celles présentées ci-dessus est représentée en Figure 22 [18]. Elle consiste à brasier une plaque de cuivre massive sur la métallisation en face avant de la puce. La face arrière de la puce est également brasée sur un substrat. La puce de calibre 300 A/600 V est prise en sandwich entre les deux plaques. L'assemblage permet de réduire la chute de tension à l'état passant comparé au module par fils. De plus, la puce peut bénéficier d'un refroidissement double face.



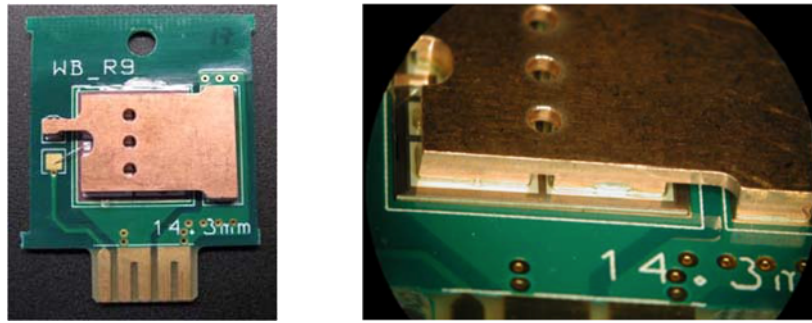


Figure 22 : IGBT interconnecté par un Cu-clip [18]

### 3. Les contacts par métallisations électrodéposées

La technologie **embedded power** est une technique qui a été proposée par le CPES en 2000 [19]. Le procédé de réalisation est le suivant. Tout d'abord, les puces sont enfouies dans un substrat céramique. Ensuite, le substrat est recouvert d'un diélectrique déposé par le procédé de sérigraphie. Puis, vient l'étape des interconnexions réalisées par un dépôt de métallisation électro-déposée. Ces quatre principales étapes de fabrication sont représentées en Figure 23a. La vue en coupe des différentes couches est représentée en Figure 23b. Cette technique a été ensuite adaptée à un substrat stratifié de type FR4, plus économique et tirant profit de la filière PCB.

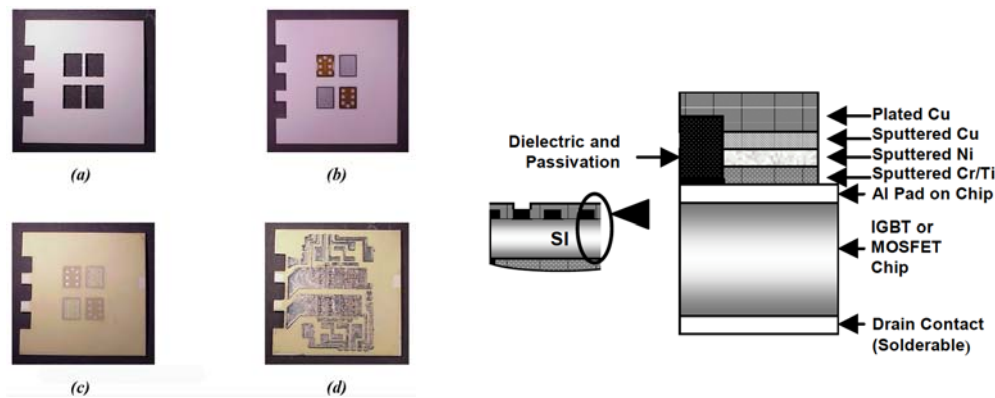


Figure 23 : (à gauche) différentes étapes de l'approche embedded power et (à droite) vue en coupe des matériaux empilés [19]

La technologie **power overlay** [20] [21] proposée par General Electric est proche de la technologie précédente, à la différence principale que les puces ne sont pas enfouies dans le substrat mais reportées sur ce dernier. La méthode consiste à reporter les puces et à laminer un film souple de diélectrique sur le substrat. Ensuite, des ouvertures au laser sont réalisées, puis viennent les étapes de métallisation et de gravure pour réaliser le circuit. Sur la Figure 24, on peut voir à gauche la vue en coupe 2D de cette technologie et à droite sa réalisation.

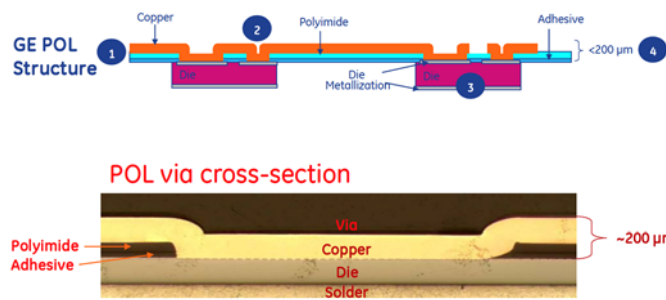


Figure 24 : illustration de l'approche power overlay [21]

#### 4. Les substrats flexibles

La technologie qui suit, proposée par Semikron sous l'appellation *SKiN technology* [22], est basée sur une interconnexion des puces en face avant par un substrat flexible double face, comme illustrée en Figure 25a. Ce substrat flexible vient se connecter sur les métallisations supérieures des puces et le substrat, afin de réaliser le circuit de puissance. Les connexions substrat\_flexible/puce et puce/substrat\_inférieur sont réalisées par le procédé de frittage. L'assemblage permettrait d'améliorer les performances thermiques, électriques et mécaniques. En Figure 25b en partant de la gauche, on peut voir le substrat qui comprend les puces reportées, le substrat flexible qui vient recouvrir le module et enfin l'assemblage complet.

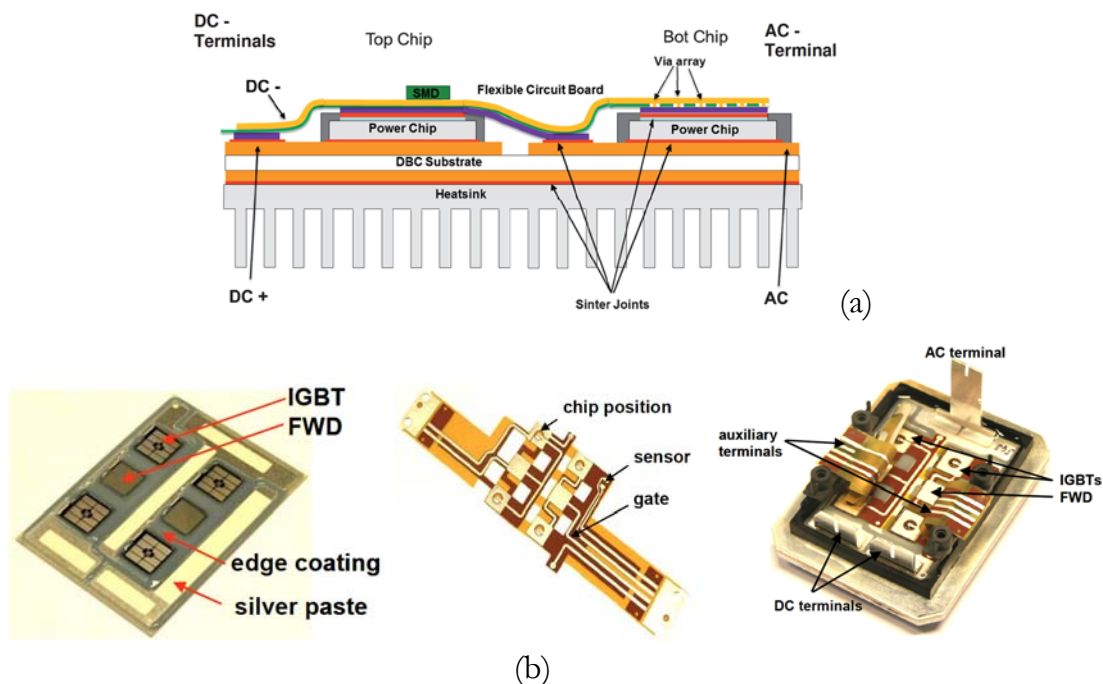


Figure 25 : illustration de l'approche SKiN technology [22][23]

### 5. La technologie du circuit imprimé (PCB chip-embedding)

Fraunhofer IZM a développé un packaging adapté aux transistors grand gap SiC ou GaN (Figure 26) [24]. L'assemblage utilise un substrat DBC et un substrat PCB supérieur au-dessus des puces. Le PCB supérieur permet l'enfouissement des puces et fournit les pistes électriques. L'assemblage sans *wire-bonding* permettrait de réduire l'inductance parasite à une valeur significative de 1 nH. La Figure 26 montre une vue en coupe de l'assemblage et un module réalisé [24].

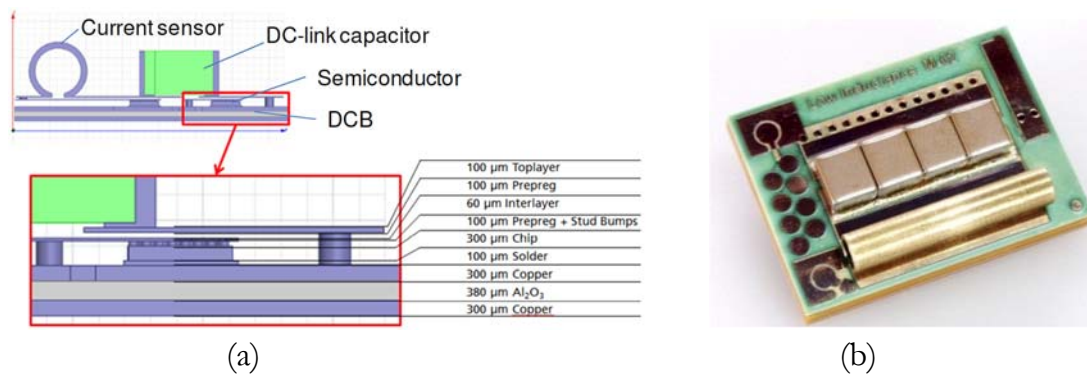


Figure 26 : (a) vue en coupe de l'assemblage et (b) module fini [26][27]

L'assemblage suivant repose principalement sur une technologie PCB. Les différentes étapes du procédé de réalisation sont représentées en Figure 27a. Tout d'abord, les puces sont reportées par frittage d'Argent sur une feuille de cuivre épaisse de 500 µm servant de diffuseur thermique. Ensuite, l'ensemble est enfoui par une couche d'isolant laminée, et des vias sont creusés par laser dans cette couche isolante afin d'atteindre les métallisations supérieures des puces. Enfin, une couche de cuivre est déposée pour réaliser le premier niveau du circuit. Les étapes de lamination et de dépôt métallique peuvent être répétées pour ajouter des niveaux supplémentaires et réaliser un circuit électrique multi-couches. La valeur de l'inductance de maille a été évaluée expérimentalement à une valeur de 2,8 nH [25].

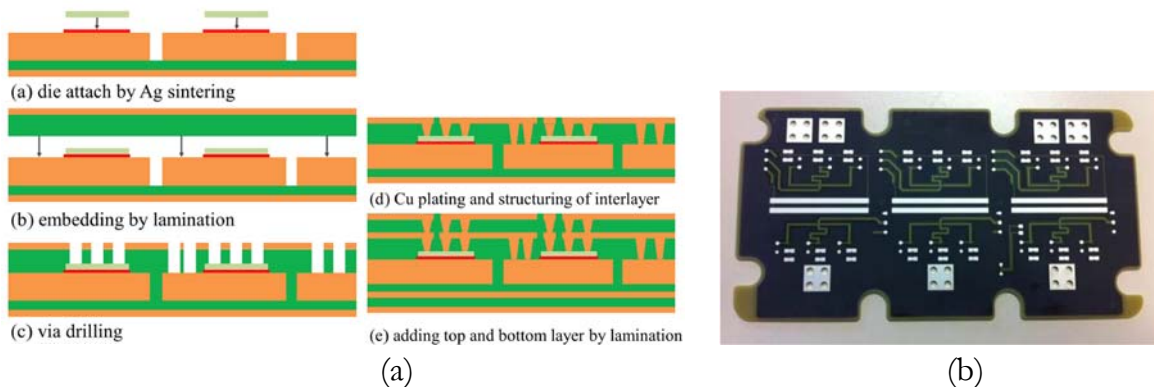


Figure 27 : (a) principales étapes de réalisation et (b) module réalisé [25][28]

## 6. La connexion « busbar »

Pour diminuer la valeur de l'inductance parasite de la maille de commutation, une approche de type busbar est envisageable. Semikron a développé une gamme de module SkiM qui emploie cette approche, comme le montre la Figure 28. Infineon explore également cette approche [29].

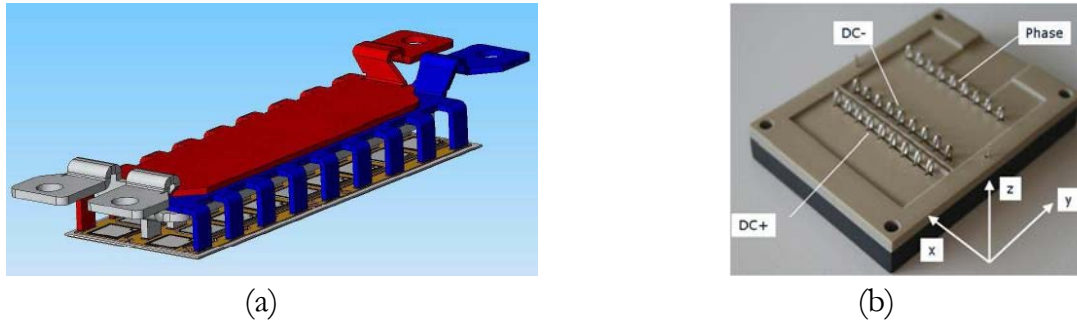


Figure 28 : (a) module Semikron [30] et (b) module Infineon [29]

## 7. L'empilement de puces (chip-stacking)

La technologie NexFET™ a été développée par Texas Instruments [31] [32]. Elle repose sur un empilement 3D des deux composants d'un bras d'onduleur (Figure 29). A priori, cet assemblage permet de réduire considérablement l'inductance parasite de la maille. Cette technologie 3D est bien adaptée au circuit *Synchronous buck mosfet* où la puce *low-side* est de calibre et de dimension plus importante que la puce *high-side*. La puce de contrôle est également intégrée dans le module.

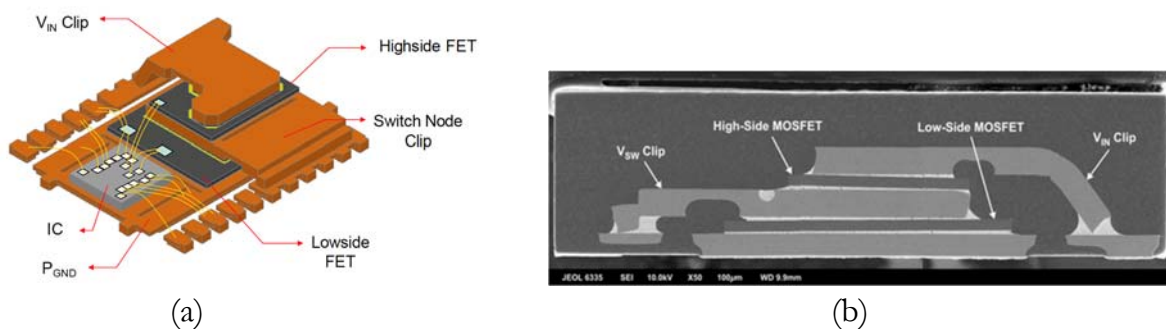


Figure 29 : module Nexfet™ et vue en coupe de l'assemblage [31] [32]

Les auteurs de ce papier [33] ont proposé une approche d'assemblage de module à l'échelle de la plaque (*wafer-level packaging*). La démarche est basée sur l'assemblage par brasure de deux substrats pour réaliser des bras d'onduleur. Un premier substrat contiendrait les composants *high-side* et un second les composants *low-side*. Le procédé de

réalisation ainsi qu'un module contenant plusieurs bras d'onduleur sont montrés en Figure 30. Une des difficultés technologiques que l'on rencontrerait avec cette approche concerne l'étape de brasure substrat à substrat. Cette approche fait encore l'objet de travaux de recherches et aucun module n'a encore été réalisé.

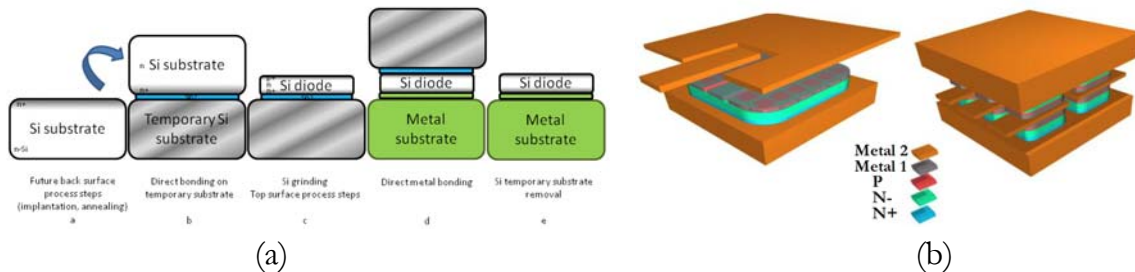


Figure 30 : illustration de l'approche *wafer-level packaging* [33]

Les travaux présentés dans ce papier [34] portent sur une approche d'intégration de module assez proche du concept présenté précédemment. Le principe est le suivant : une plaque intégrant des transistors N-MOS et une autre plaque intégrant des diodes sont toutes deux reportées à une plaque de cuivre massive préalablement ajourée jouant le rôle de *leadframe*. Ce « sandwich » est ensuite découpé pour rendre accessible les électrodes par la tranche. Pour finir, le module est reporté par brasure sur un substrat PCB ou DBC. Ces travaux sont toujours en cours.

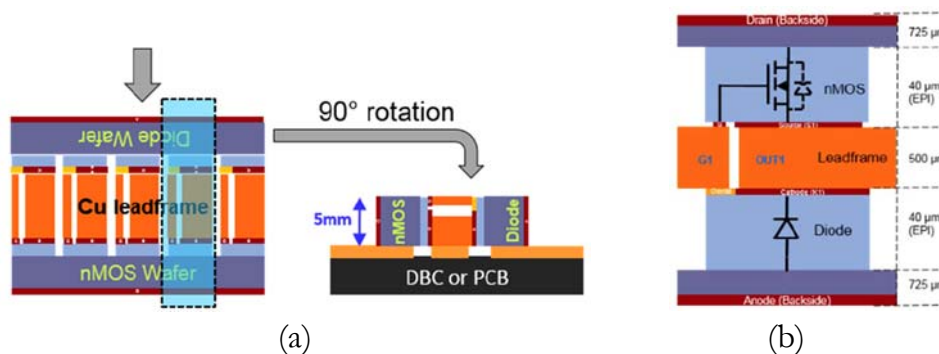


Figure 31 : (a) principe de découpe d'une cellule hacheur et son report sur substrat céramique, (b) schéma en coupe de l'assemblage 3D d'une cellule hacheur [34]

Les composants de puissance grand gap, fonctionnant à des fréquences de commutation plus élevées, poussent les concepteurs à produire des modules à inductance de maille très faible. Fraunhofer IISB propose un module de puissance très compact qui repose sur un empilement de deux puces SiC-FETs interconnectées par frittage [35]. Le module intègre au plus près la capacité parasite comme on peut le voir en Figure 32. Les puces sont directement reportées sur le busbar et l'assemblage présente une inductance parasite très faible (<1 nH). Le module permet un refroidissement double face.

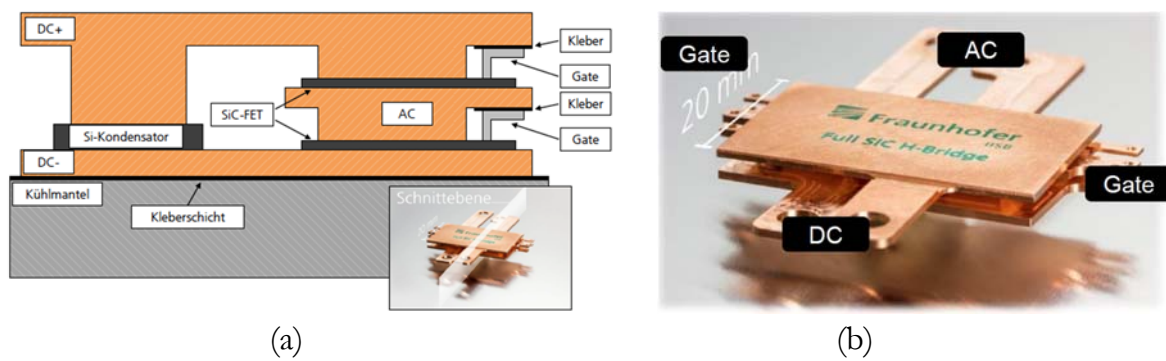


Figure 32 : vue en coupe de l'assemblage et (b) module réalisé [35]

L'architecture du module suivant a été publiée par ON Semiconductor (Figure 33). Le module a été conçu pour recevoir des composants IGBT ou MOSFET-SiC et des diodes. L'assemblage est composé de deux substrats DBC et d'une couche céramique interposée au centre qui permet l'interconnexion des deux composants d'un même bras par des vias de cuivre. L'assemblage offre une inductance de maille de valeur faible. Le module permet un refroidissement double face et peut fonctionner à haute température.

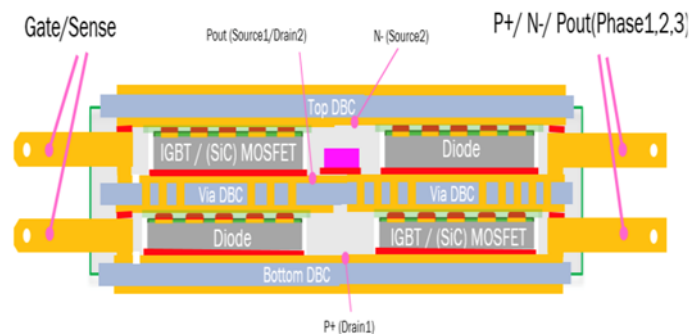


Figure 33 : module de puissance 3D SiC de ON Semiconductor [36]

## 8. La technologie micro-poteaux

L'approche présentée ici a été étudiée dans le cadre de la thèse de L. Ménager [37] et s'est poursuivie avec la thèse de B. Mouawad [38] (Figure 34). Le principe repose sur la réalisation de micro-poteaux de cuivre par électrodéposition à la surface des métallisations des puces. Ces micro-poteaux sont ensuite connectés à un substrat supérieur par un procédé similaire à la thermocompression. Chaque connexion obtenue est une multitude de petits contacts au lieu d'un plot massif. La particularité de cette approche est l'absence de brasure pour la connexion du substrat supérieur.

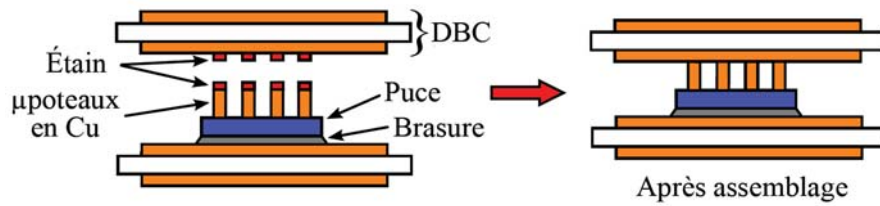


Figure 34 : assemblage par micro-poteaux [38]

### 3.4.2. L'intégration monolithique

Cette partie est dédiée à la présentation des différentes approches pour l'intégration monolithique des convertisseurs de puissance. Pour présenter ces différents concepts, nous avons fait le choix de distinguer l'intégration sur silicium de l'intégration sur matériaux grand gap.

#### 1. Intégration sur silicium

David W. Green et *al.* ont proposé une structure monolithique intégrant deux composants IGBT à conduction latérale (LIGBT) dans un substrat silicium de type P (Figure 35) [39]. Pour réaliser l'isolation entre interrupteurs, il propose une structure basée sur un anneau de garde en face avant et des tranchées sur la face arrière. La structure a été simulée dans une configuration de bras d'onduleur en y ajoutant les interconnexions nécessaires en face avant de la structure. Un des avantages de l'intégration des composants latéraux est le fait d'avoir toutes les électrodes en face avant. Toutefois, de par son architecture, l'IGBT latéral présente un calibre en courant plus faible que l'IGBT vertical et se limite donc à des applications de faibles puissances.

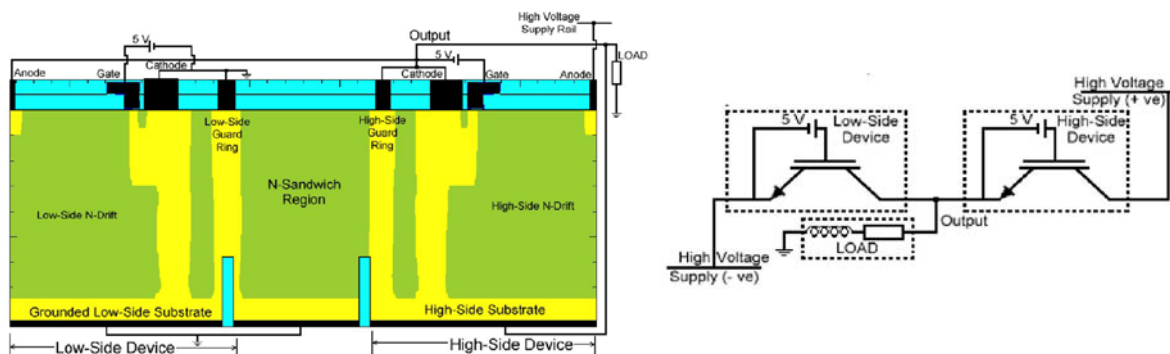


Figure 35 : vue en coupe de la structure intégrant deux IGBTs latéraux [39] [40]

Les deux structures monolithiques présentées en Figure 36 sont issues d'un même dépôt de brevet [41]. Ces structures intègrent le même convertisseur qui est un pont en H composé d'IGBTs et de diodes. La différence d'architecture entre ces deux puces vient principalement de l'agencement des composants. Pour la puce de gauche, les composants *high-side* sont placés au centre et les composants *low-side* sur les côtés et isolés par des

tranchées de diélectrique. Pour la puce de droite, les composants *high-side* sont placés en haut et les composants *low-side* sont placés en bas. La première structure à l'avantage de présenter toutes ses électrodes en face avant. La réalisation technologique de la seconde structure semble très complexe et la gestion des électrodes de commande difficile.

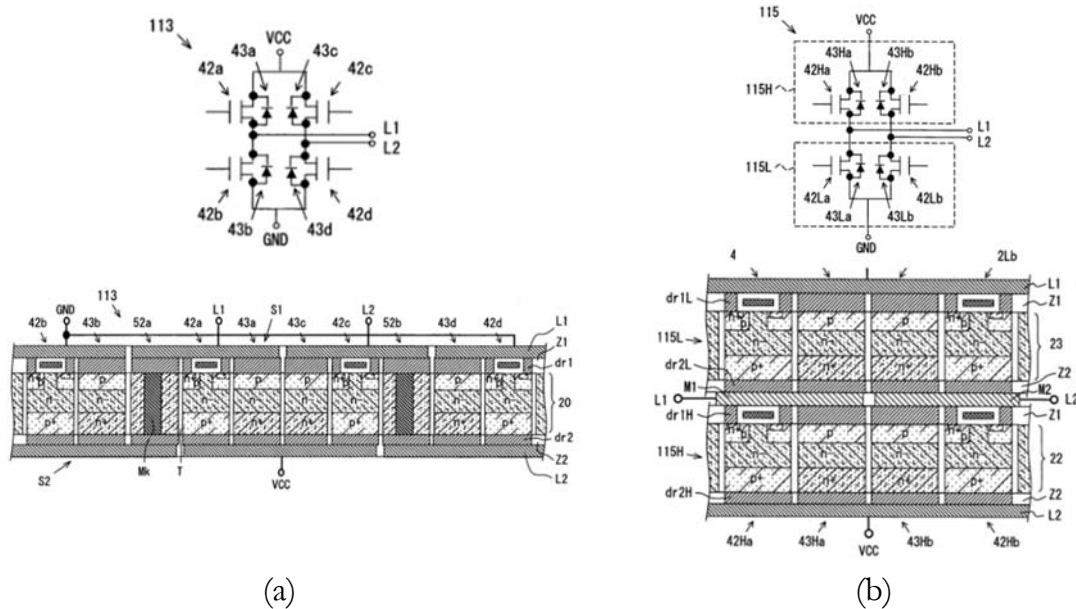


Figure 36 : intégration monolithique du pont en H par deux approches (extrait du brevet [41]) : (a) agencement latéral et (b) agencement vertical

## 2. Intégration sur matériaux grand gap

L'approche suivante est basée sur l'intégration monolithique de composants grand gap de type GaN-based normally-off gate injection transistors (GIT). Une vue en coupe de l'intégration monolithique de deux structures GIT est représentée (Figure 37). Un onduleur triphasé monolithique complet intégrant des composants GIT a été réalisé.

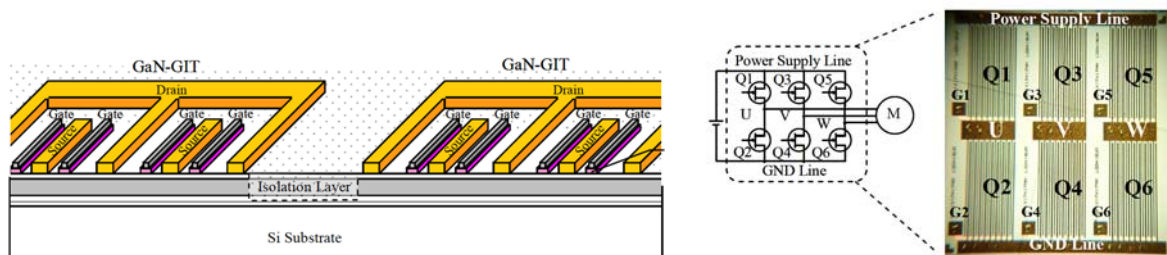


Figure 37 : illustration de l'approche [42]

Un autre exemple d'intégration de composants GaN est montré en Figure 38a. La structure monolithique intègre un convertisseur boost composé d'un transistor HEMT Normally-off et d'une diode L-FER. Ces derniers sont réalisés dans un matériau AlGaN/GaN reposant sur un substrat silicium épitaxié.



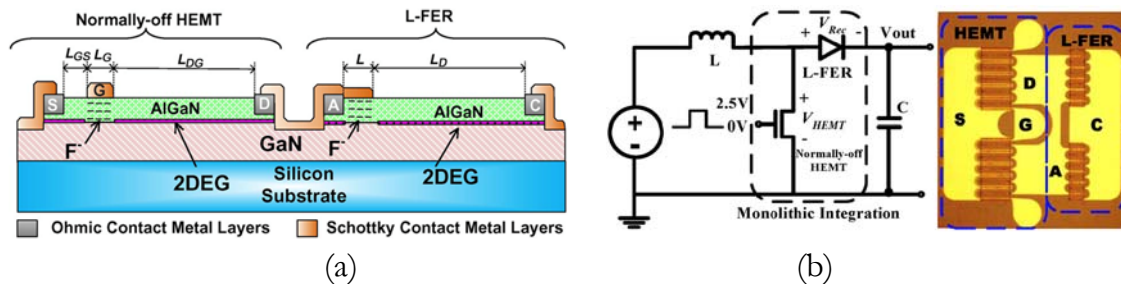


Figure 38 : (a) vue en coupe schématique 2D de la structure et (b) sa réalisation [43] [44]

Le MIT (Massachusetts Institute of Technology) a également mené des travaux d'intégrations monolithiques sur des substrats hybrides GaN-silicium [45]. Les principales étapes de réalisation du substrat sont représentées en Figure 39a. Un exemple de composant monolithique réalisé, intégrant un composant AlGaN/GaN HEMT et un Si-PMOSFET, est représenté en Figure 39b.

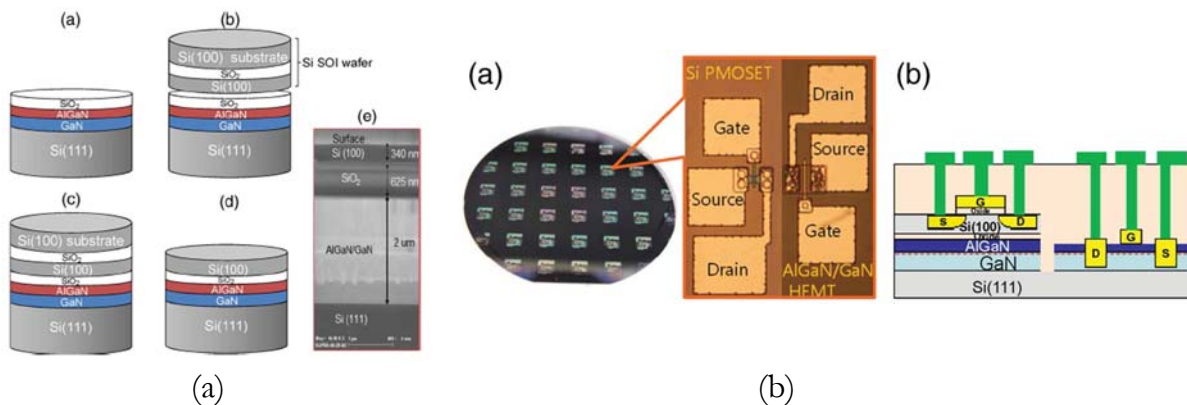


Figure 39 : (a) principales étapes du procédé de réalisation d'un substrat hybride Si/GaN/Si, (b) composant réalisé avec son schéma 2D [45]

### 3.5. Bilan sur ces différentes technologies d'intégration

Un état de l'art des différentes solutions d'intégrations hybride et monolithique a été présenté. Concernant les technologies hybrides, les structures 3D grâce à des connectiques de plus faibles dimensions permettent de réduire le volume et le poids d'une part, et d'améliorer généralement les performances électriques et thermiques d'autre part. Le procédé de fabrication des structures 3D est plus complexe que celui de la technologie hybride 2D et la fiabilité de chacune des approches reste à démontrer au cas par cas. Cela explique en partie la faible utilisation des technologies d'interconnexion 3D dans les modules de puissance industriels. Parmi l'ensemble des technologies présentées, seulement les technologies hybrides 2D, *press-pack* et busbar sont commercialisées à grande échelle. Les technologies *embedded power* et *power overlay* sont en phase de pré-industrialisation pour les faibles puissances.

Concernant l'intégration monolithique, les deux approches sur silicium en sont restées à l'étape de concept et n'ont pas abouti par la réalisation de démonstrateurs prototype. Les

approches sur les matériaux grand gap font actuellement l'objet de nombreuses publications et ont été étudiées de manières expérimentales par la réalisation de démonstrateurs.

## **4. INTÉGRATION COUPLEE COMPOSANT-PACKAGING DU CONVERTISSEUR STATIQUE DE PUISSANCE**

### **4.1. Objectif des travaux de thèse**

L'objectif des travaux présentés dans ce manuscrit est de proposer et d'étudier de nouvelles approches pour la réalisation de modules de puissance très intégrés. Le module de puissance standard actuel est réalisé selon une technologie d'intégration hybride 2D. En intégration de puissance, l'intégration hybride se place à un niveau d'intégration intermédiaire entre le monolithique et le discret. Les approches que nous proposons visent à un degré d'intégration plus poussé du module, avec un effort d'intégration conjoint et partagé entre le semi-conducteur et le niveau assemblage (Figure 40). Les concepts que nous proposons sont en ruptures avec les approches d'intégrations présentées jusqu'à présent.

L'étape d'intégration monolithique consiste à intégrer les cellules de commutation, de manière totale ou partielle, sur un nombre minimum de puces multi-pôles pour confiner les phénomènes haut-fréquence liés à la commutation. La conception des puces monolithiques est basée sur la technologie d'intégration monolithique fonctionnelle développée depuis de nombreuses années au LAAS-CNRS. Cette technologie, présentée en début de chapitre, permet la réalisation de composants de puissance de type IGBT double face et offre la possibilité d'insérer des étapes spécifiques supplémentaires. Les procédés d'assemblage spécifiques sont ensuite développés pour assembler les puces dans le but de réaliser des convertisseurs multi-phases plus compacts, plus fiables et plus performants.

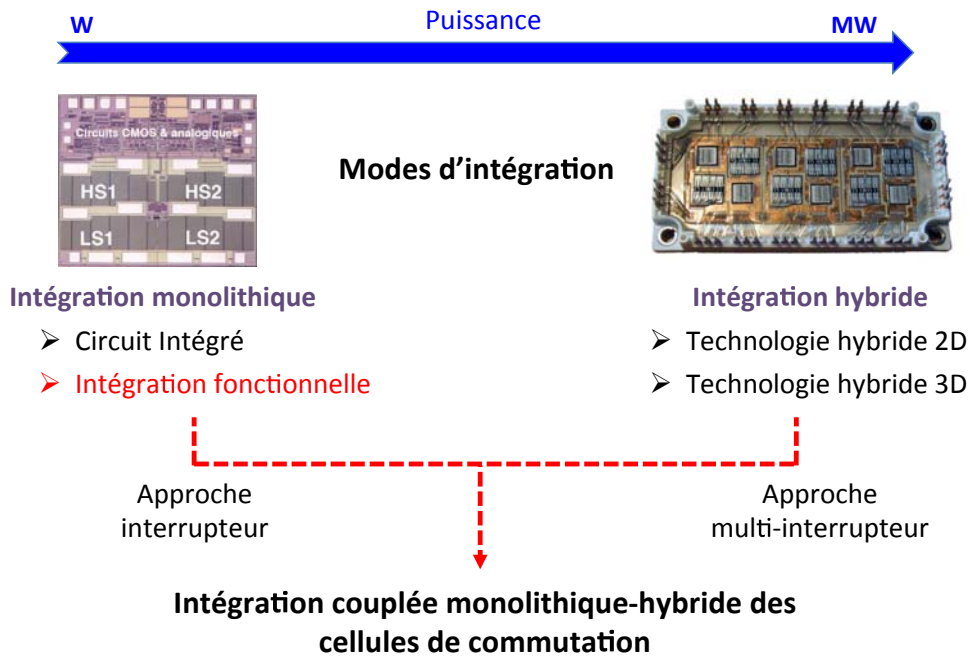


Figure 40 : illustration de notre démarche d'intégration

## 4.2. Les différentes approches d'intégration de convertisseurs étudiées

Dans le cadre de cette thèse, nous avons proposé et étudié différentes approches d'intégration du convertisseur multi-phase :

- L'approche bi-puce et mono-puce (suite de la thèse d'Abdelilah El Khadiry) [46]
- L'approche tri-puce [47]
- L'approche bi-puce sur substrats complémentaires [48]
- L'approche mono-puce à cellules hacheur asymétriques [49]

Ces différentes approches sont illustrées en Figure 41. Ces dernières sont représentées dans le cadre d'un convertisseur à deux phases mais peuvent être étendues à un convertisseur composé de X-phases. Les trois premières approches bi-puces, tri-puces et bi-puce à substrats complémentaires représentent une intégration sous forme de demi-cellules de commutation. Alors que l'approche à cellules asymétriques représente une réelle intégration complète de la cellule de commutation, nous permettant d'approcher le concept de convertisseur « ultime » sur puce. Les études menées sur ces différentes approches seront exposées en détails dans le chapitre 3.

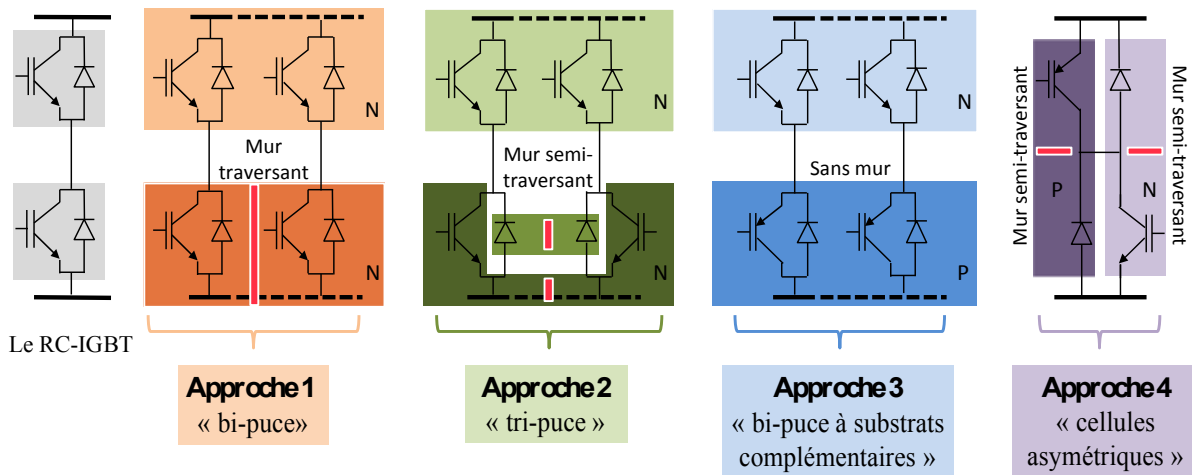


Figure 41 : illustration des différentes approches d'intégration proposées et étudiées dans ce mémoire de thèse

## 5. CONCLUSION DU CHAPITRE 1

La première partie de ce chapitre était dédiée au contexte de l'intégration en électronique de puissance. Nous avons pu voir les différents modes d'intégration de puissance, allant des circuits intégrés totalement monolithique jusqu'au module de puissance hybride.

Dans la seconde partie, nous avons présenté le module de puissance standard avec ses limitations. Nous avons vu que la technologie d'interconnexion filaire représente le principal obstacle à l'évolution du module 2D. Ceci d'une part par le caractère inductif de la maille de commutation, et d'autre part par l'incapacité à réaliser un refroidissement double face. Un état de l'art de la littérature sur les solutions hybrides ou monolithiques a été exposé. Concernant l'intégration hybride, les nouvelles solutions s'orientent vers les architectures 3D et plus particulièrement avec l'utilisation d'un circuit PCB. Concernant l'intégration monolithique sur puce, les travaux sur les matériaux grand gap font l'objet de nombreux travaux. La dernière partie de ce chapitre a présenté notre positionnement au sujet de l'intégration des convertisseurs ainsi que notre démarche de conception mixte monolithique-hybride.

La suite du manuscrit est structurée de la manière suivante. Le chapitre 2 est dédié à l'état de l'art du composant RC-IGBT et à l'étude par simulations avec le logiciel Sentaurus TCAD de la structure RC-IGBT-thyristor que nous avons proposée. Le chapitre 3 est consacré à l'étude par simulations 2D des différentes architectures d'intégrations silicium proposées. Le chapitre 4 est dédié à la réalisation technologique de nos puces silicium. Le chapitre 5 présente les prototypes de convertisseurs réalisés et leurs caractérisations électriques.

## 6. RÉFÉRENCES BIBLIOGRAPHIQUES

- [1] Timothé Rossignol, « Contribution à la caractérisation et à la commande rapprochée de composants à grand gap moyenne tension pour onduleur de tension », Thèse de l'Institut National Polytechnique de Toulouse (INP Toulouse), 2015.
- [2] J-L. Sanchez, « State of the art and trends in power integration », in proceedings of modeling and simulation of microsystem conference (MCM), Puerto Rico, USA.
- [3] Jean-Louis Sanchez, Frédéric Morancho, « Composants semi-conducteurs–Intégration de puissance monolithique », Techniques de l'ingénieur, 2007.
- [4] Florence Capy, "Etude et conception d'un interrupteur de puissance monolithique à auto-commutation : le thyristor dual disjoncteur", Thèse de l'Université Paul Sabatier de Toulouse, 2009.
- [5] Jean-Philippe Laine, "Mécanismes d'injection de porteurs minoritaires dans les circuits intégrés de puissance et structures de protections associées", Thèse de l'INSA de Toulouse, 2003.
- [6] Cyril Buttay, "Le Packaging en électronique de puissance", Habilitation à diriger des recherches (HdR), INSA de Lyon et Université Claude Bernard Lyon 1, 2015.
- [7] Manh Hung Tran, "Vers de nouveaux modules de puissance intégrés", Thèse de l'Université de Grenoble, 2011.
- [8] Masayasu Ishiko, Masanori Usui, Takashi Ohuchi et Mikio Shirai, "Design concept for wire-bonding reliability improvement by optimizing position in power devices", *Microelectronics Journal* 37 (2006) 262-268.
- [9] Mauro Ciappa, "Selected failure mechanisms of modern power modules", *Microelectronics reliability* 42 (2002) 653-667
- [10] Ludovic Ménager, Bruno Allard, Vincent Bley, "Conditionnement des modules de puissances", Techniques de l'ingénieur, 2010.
- [11] Xiaoyu He, Xiangjun Zeng, Xu Yang et Zhaonan Wang, "A hybrid integrated power electronic module based on pressure contact technology", in Proc. IEEE Power Electron. Spec. Conf., Jun. 2006, pp. 1-5.
- [12] L. Ménager, C. Martin, B. Allard, et V. Bley, "Industrial and lab-scale power module technologies : A review" IECON 2006 - 32nd Annual Conference on IEEE Industrial Electronics, pp. 2426-2431.
- [13] Jesus N. Calata, John G. Bai, Xingsheng Liu, Sishua Wen et Guo-Quan Lu, "Three-Dimensional Packaging for Power Semiconductor Devices and Modules", *IEEE Transactions On Advanced Packaging*, Vol. 28, NO. 3, August 2005.
- [14] Y. Ikeda, Y. Iizuka, Y. Hinata, M. Horio, M. Hori, et Y. Takahashi, "Investigation on wirebond-less power module structure with high-density packaging and high reliability", 23rd International Symposium on Power Semiconductor Devices and ICs, May 23-26, 2011 San Diego, CA.
- [15] N. Nashida, Y. Hinata, M. Horio, R. Yamada, et Y. Ikeda, "All-SiC power module for photovoltaic Power Conditioner System", 26th International Symposium on

- Power Semiconductor Devices IC's (ISPSD), pp. 342–345, June 15-19, 2014, Hawaii.
- [16] M. Mermet-Guyennet, "New structure of power integrated module", in 4th International Conference on Integrated Power Systems (CIPS), 2006.
- [17] S. S. Wen, D. Huff et G-Q. Lu, "A dimple-array interconnect technique for power semiconductor devices", Proceedings of the 13th International Symposium on Power Semiconductor Devices and ICs, February 2001.
- [18] H. R. Chang, J. Bu, G. Kong, et R. Labayen, "300A 650V 70 um thin IGBTs with double-sided cooling", 23rd International Symposium on Power Semiconductor Devices and ICs, pp. 320-323, May 23-26, 2011 San Diego CA.
- [19] Z. Liang, Fred C. Lee et G-Q. Lu, "Embedded Power-An Integration Packaging Technology for IPeMs" The International Journal of Microcircuits and Electronic Packaging, Volume 23, Number 4, Fourth Quarter, 2000.
- [20] R. Fisher, R. Fillion, J. Burgess, and W. Hennessy, "High frequency, low cost, power packaging using thin film power overlay technology", Applied Power Electronics Conference and Exposition, APEC '95.
- [21] L. Stevanovic, "Packaging Challenges and Solutions for Silicon Carbide Power Electronics", ECTC panel session : Power Electronics - A Booming Market, San Diego, 29 May, 2012.
- [22] T. Stockmeier, P. Beckedahl, C. Göbl, et T. Malzer, "SKiN: Double side sintering technology for new packages", 23rd International Symposium on Power Semiconductor Devices and ICs, pp. 324–327, May 23-26, 2011 San Diego.
- [23] P. Beckedahl, M. Spang, et O. Tamm, "Breakthrough into the third dimension – Sintered multi layer flex for ultra low inductance power modules", 8th International Conference on Integrated Power Electronics Systems (CIPS), 2014, Nuremberg.
- [24] E. Hoene, A. Ostmann, B. T. Lai, C. Marczok, A. Müsing, J. W. Kolar, "Ultra-Low-Inductance Power Module for Fast Switching Semiconductors", PCIM Europe 2013, 14-16 May, Nuremberg/Germany,
- [25] C. Neeb, J. Teichrib, R. W. De Doncker, L. Boettcher et A. Ostmann, "A 50 kW IGBT power module for automotive applications with extremely low DC-link inductance", 16th European Conference on Power Electronics and Applications (ECCE), 26-28 Aug. 2014, Lappeenranta/Finlande.
- [26] E. Hoene, A. Ostmann et C. Marczok, "Packaging Very Fast Switching Semiconductors", CIPS 2014, February 25-27, Nuremberg/Germany.
- [27] G. Feix, E. Hoene, O. Zeiter et K. Pedersen, "Embedded Very Fast Switching Module for SiC Power MOSFETs", PCIM Europe 2015, 19-21 May 2015, Nuremberg/Germany.
- [28] C. Neeb, L. Boettcher, M. Conrad et R. W. De Doncker, "Innovative and Reliable Power Modules: A Future Trend and Evolution of Technologies", IEEE Industrial Electronics Magazine, pp. 6–16, September 2014.
- [29] Georg Borghoff, "Implementation of low inductive strip line concept for symmetric switching in a new high power module", PCIM Europe 2013, 14-16 May

- 2013, Nuremberg/Germany.
- [30] "Electrical and thermal optimization of an automotive power module family– Power Electronics Information Portal", <http://www.powerguru.org/electrical-and-thermal-optimization-of-an-automotive-power-module-family/>.
- [31] Y. Su, W. Zhang, Q. Li, F. C. Lee et M. Mu, "High frequency integrated Point of Load (POL) module with PCB embedded inductor substrate", IEEE Energy Conversion Congress and Exposition (ECCE) 2013, 15-19 September.
- [32] B. Yang, J. Wang, S. Xu, J. Korec et Z. J. Shen, "Advanced Low-Voltage Power MOSFET Technology for Power Supply in Package Applications", IEEE Transactions on Power Electronics, vol. 28, no. 9, September 2013.
- [33] N. Rouger, L. Benaissa, J.C. Crébier, J. Widiez, J. Defonseca, D. Lafond, E. Vagnon et V. Gaude, "Packaging à l'échelle du wafer pour les convertisseurs multicellulaires", European Journal of Electrical Engineering, Lavoisier, 2013.
- [34] B. Letowski, J. Widiez, N. Rouger, M. Rabarot, W. Vandendaele, B. Imbert et J.C. Crébier, "Mise en place d'un packaging 3D collectif de composants de puissance à structure verticale", Symposium de Génie Electrique, Juin 2016, Grenoble, France.
- [35] Bernd Eckardt, "Cool Systems with SiC and GaN" (Fraunhofer IISB). [https://www.iisb.fraunhofer.de/en/press\\_media/brochures\\_flyers.html](https://www.iisb.fraunhofer.de/en/press_media/brochures_flyers.html)
- [36] Jinchang Zhou, "A Novel SiC Power Module with 3D Integration", PCIM Europe 2017, 16-18 May 2017, Nuremberg, Germany.
- [37] Ludovic Ménager, "Contribution à l'intégration des convertisseurs de puissance 3D, Thèse de l'INSA de Lyon, 2008.
- [38] Bassem Mouawad, "Assemblages innovants en électronique de puissance utilisant la technique de « Spark Plasma Sintering", Thèse de L'INSA de Lyon, 2013.
- [39] D. W. Green, S. Hardikar, M. Sweet, K. V. Vershinin et E. M. S. Narayanan, "Interaction between monolithically integrated JI-LIGBTs under clamped inductive switching", Proceedings of the 17th International Symposium on Power Semiconductor Devices & IC's, May 23-26, 2005, Santa Barbara, CA.
- [40] D. W. Green et E. M. S. Narayanan, "Fully Isolated High Side and Low Side LIGBTs in Junction Isolation Technology", Proceedings of the 18th International Symposium on Power Semiconductor Devices & IC's, June 4-8, 2006, Naples, Italy.
- [41] Yoshihiko Ozeki, Kenji Kouno, Tetsuo Fujii, "Semiconductor device and method for manufacturing same", 2007, US 20080135932 A1.
- [42] Y. Uemoto, T. Morita, A. Ikoshi, H. Umeda, H. Matsuo, J. Shimizu, M. Hikita, M. Yanagihara, T. Ueda, T. Tanaka et Daisuke Ueda, "GaN monolithic inverter IC using normally-off gate injection transistors with planar isolation on Si substrate", in 2009 IEEE International Electron Devices Meeting (IEDM), 2009.
- [43] W. Chen, K. Y. Wong et K. J. Chen, "Single-Chip Boost Converter Using Monolithically Integrated AlGaN/GaN Lateral Field-Effect Rectifier and Normally Off HEMT", IEEE Electron Device Letters, vol. 30, no. 5, pp. 430-432, May 2009.
- [44] D. Reusch, J. Strydom et A. Lidow, "Monolithic Integration of GaN Transistors

for Higher Efficiency and Power Density in DC-DC Converters", in Proceedings of PCIM Europe 2015, 19-21 May 2015, Nuremberg/Germany.

- [45] H. S. Lee, K. Ryu, M. Sun et T. Palacios, "Wafer-Level Heterogeneous Integration of GaN HEMT's and Si (100) MOSFET's", IEEE Electron Device Letters, vol. 33, no. 2, February 2012.
- [46] Abdelilah El Khadiry, "Architectures de cellules de commutation monolithiques intégrables sur semi-conducteurs "bi-puce" et "mono-puce" pour convertisseurs de puissance compacts", Thèse de l'Université Paul Sabatier de Toulouse, 2014.
- [47] Adem Lale, Nicolas Videau, Abdelhakim Bourenane, Frédéric Richardeau, Samuel Charlot, « Analysis of the three-chip switching cells approach for integrated multi-phase power converter combining monolithic and hybrid techniques: Experimental validation on SiC and Si power assembly prototypes », Power Electronics and Applications (EPE'15 ECCE-Europe), 2015 17th European Conference on., Genève, Switzerland.
- [48] Demande de dépôt de brevet pour le compte du LAAS-CNRS et du LAPLACE-INPT-UPS-CNRS). Titre : « Convertisseur électronique de puissance utilisant deux puces multi-pôles de puissance à substrats complémentaires N et P » Déposé le 20/04/2016 sous le n° FR1653494 Inventeurs : A. Bourenane, F. Richardeau, A. Lale
- [49] Demande de dépôt de brevet pour le compte du LAAS-CNRS et du LAPLACE-INPT-UPS-CNRS). Titre : « Puce(s) multipole(s) de puissance intégrant de manière monolithique des cellules de découpage asymétriques et module(s) de puissance multi-phase utilisant la ou plusieurs desdites puces multipole(s) » Déposé le 21/12/2016 sous le n° FR1663038 Inventeurs : A. Bourenane, F. Richardeau, A. Lale



**Chapitre 2 :**  
**Étude d'une structure RC-IGBT-thyristor**  
**bidirectionnelle en courant**



## 1. INTRODUCTION

Dans une cellule de commutation, une diode de commutation (Schottky ou PIN) est généralement placée en anti-parallèle de chaque interrupteur unidirectionnel commandé (VDMOS ou IGBT), afin de doter ce dernier d'une réversibilité en courant. À l'échelle d'un convertisseur multi-phasé, le réseau de câblage filaire de ces puces discrètes rend les modules de puissance très volumineux. De plus, comme présenté dans le chapitre 1, les fils de *bonding* représentent la principale source de limitations électriques et mécaniques dans les modules de puissance hybride 2D.

Le RC-IGBT, qui est un composant bidirectionnel en courant, semble être le meilleur candidat pour remplacer l'association IGBT-diode dans les futurs modules de puissance. Ce dernier, qui intègre de manière monolithique une diode de conduction inverse, permet de s'affranchir dans un premier temps de l'interconnexion filaire IGBT-diode. Sur la base de ce composant RC-IGBT, une approche d'intégration monolithique de convertisseur « bi-puce » a été brevetée en 2011 puis a fait l'objet d'une thèse [1]. Le RC-IGBT représente la brique de base de cette approche d'intégration monolithique que l'on cherche aujourd'hui à optimiser. C'est dans ce contexte que nous avons proposé une nouvelle architecture de RC-IGBT. La première partie de ce chapitre est dédiée à la présentation du RC-IGBT classique et à son évolution. La seconde partie présente la nouvelle structure RC-IGBT-thyristor. Et pour finir, la dernière partie est consacrée à l'étude par simulations 2D et à l'optimisation de la structure RC-IGBT-thyristor.

## 2. LA STRUCTURE RC-IGBT CLASSIQUE

### 2.1. Évolution de l'IGBT au RC-IGBT

L'IGBT a été développé pour fournir une meilleure alternative aux composants de puissance bipolaires. Un des inconvénients majeurs des transistors bipolaires était leur faible gain en courant pour les structures dédiées à la haute tension. La conséquence était une augmentation de la taille, du poids et du coût des circuits de commande. L'IGBT représente l'intégration monolithique d'un MOSFET et d'un transistor bipolaire, dans le sens où il intègre la technologie de ces deux composants. L'IGBT combine donc les avantages de ces deux composants. D'une part, il possède une commande de type MOS, qui lui offre une grande impédance d'entrée et permet une grande vitesse de commutation. D'autre part, la structure MOSFET fournit un courant de base à la structure bipolaire inhérente, qui permet de moduler la conductivité de la région de *drift* et de réduire la chute de tension à l'état passant.

L'idée de base de l'IGBT a été introduite par Yagami *et al.*, en proposant dans un brevet en 1968 une structure P-N-P à large base pilotée par un N-MOSFET [2]. Pendant les dix années qui suivirent, plusieurs travaux ont été rapportés sur ce composant. En 1979, B. J.

Baliga a démontré pour la première fois des résultats expérimentaux d'une structure verticale appelée MOS-gated thyristor dans sa publication [3]. Toutefois, les premières générations de l'IGBT souffraient principalement du phénomène de *latch-up* qui représente l'enclenchement du thyristor parasite. Nakagawa *et al.* ont réussi à supprimer l'effet du thyristor parasite en insérant une diffusion P<sup>+</sup> peu profonde dans la région de base P qui se trouve sous la grille [4]. Depuis, l'IGBT a connu de nombreuses évolutions. Miller et Sack ont proposé en 1989 la structure "non-punch-through (NPT)" de l'IGBT [5]. Cette structure possède un temps d'ouverture important dû à l'évacuation des charges stockées dans la région de *drift*. Le temps d'ouverture est lié à la durée de vie trop importante des porteurs minoritaires, qui peut être diminuée par une irradiation d'électrons. Toutefois, la diminution de la durée de vie des porteurs engendre une augmentation de la chute de tension de l'IGBT à l'état passant. Un compromis est donc à trouver entre le temps d'ouverture et la chute de tension. La solution a été trouvée avec l'introduction de la structure "punch-through (PT)" de l'IGBT. Cette structure PT peut supporter une tenue en tension identique à la structure NPT, avec une épaisseur de la région de base N du transistor P-N-P plus faible, permettant de diminuer la chute de tension à l'état passant. Une amélioration significative a été apportée dans le compromis chute de tension à l'état passant et temps d'ouverture, avec l'introduction de la technologie UMOS pour l'IGBT [6]. Avec cette structure, la densité de canal est fortement augmentée et la région JFET est supprimée [7].

La toute dernière évolution de l'IGBT porte sur le développement du RC-IGBT, qui a commencé au début des années 2000. Même si une étude similaire avait été initiée dans les années 80 avec une structure IGBT à anode court-circuitée [8]. Le RC-IGBT repose sur l'intégration monolithique de la diode dans la structure de l'IGBT classique. Les travaux actuels sur ce composant RC-IGBT sont surtout motivés par l'évolution du module de puissance. En effet, les concepteurs veulent réaliser des modules RC-IGBT pour s'affranchir de l'association « discrète » IGBT et diode de roue libre. Ce composant fait l'objet de publications chaque année avec une forte implication de la part des industriels, comme nous pourrions le voir dans l'état de l'art du RC-IGBT présenté plus loin dans ce chapitre.

## 2.2. Présentation de la structure RC-IGBT classique

Le RC-IGBT, dont l'architecture est représentée en Figure 42, est un composant de puissance bidirectionnel en courant. Ce composant combine les avantages des composants MOS et bipolaire, à savoir une capacité à commuter très rapidement et de faibles pertes par conduction. Sa structure résulte de l'intégration monolithique d'une diode dans une structure IGBT conventionnelle, afin de doter cette dernière d'une capacité de conduction en inverse. L'intégration de la diode s'est faite en insérant sur la face arrière de l'IGBT une région N<sup>+</sup> à côté de la région P<sup>+</sup><sub>anode</sub>. Cette région N<sup>+</sup>, qui

vient court-circuiter la région  $N_{\text{diff}}^-$  à l'électrode d'anode en face arrière, introduit un phénomène parasite dit "snapback" observable sur la caractéristique I-V à l'état passant direct du composant (Figure 43). Au niveau de sa réalisation technologique, le RC-IGBT n'est pas plus compliqué que l'IGBT, puisqu'il nécessite seulement un niveau de masque supplémentaire pour l'implantation de la diffusion  $N^+$  en face arrière.

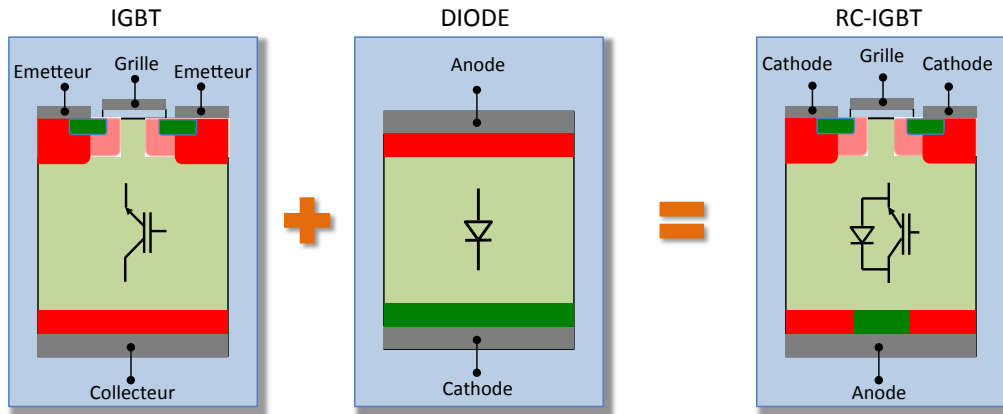


Figure 42 : le RC-IGBT : intégration monolithique de l'IGBT et de la diode

## 2.3. Principe de fonctionnement du RC-IGBT classique

### 2.3.1. État passant direct : mode IGBT

L'état passant direct est assuré par l'IGBT, il représente le quadrant 1 du plan I-V. Il est obtenu par une polarisation positive du composant ( $V_{\text{anode-cathode}} > 0 \text{ V}$ ) et une tension de commande de la grille positive ( $V_{\text{gs}} > 0 \text{ V}$ ). Le mode IGBT est réalisé par l'injection de deux types de porteurs dans la région  $N^-$  : les électrons qui proviennent du courant de canal en face avant, les trous injectés par la région  $P^+_{\text{anode}}$  face arrière qui modulent la résistivité de la région  $N^-$ .

Toutefois, le début d'injection de ces deux types de porteurs n'est pas simultané. En effet, pour une très faible polarisation positive anode-cathode, le courant d'électrons du canal en face avant précède le courant de trous de la région  $P^+$  en face arrière. Ce décalage dans le temps des injections de porteurs correspond à un mode VDMOS (mode unipolaire) transitoire avant le mode IGBT (mode bipolaire). Le passage du premier au second mode se traduit par une chute de tension, qui sera visible par un retournement sur la caractéristique I-V. Ce phénomène parasite de retournement dit "snapback du RC-IGBT", illustré en Figure 43, a fait l'objet de nombreux travaux publiés dans la littérature [9] [10] [11].

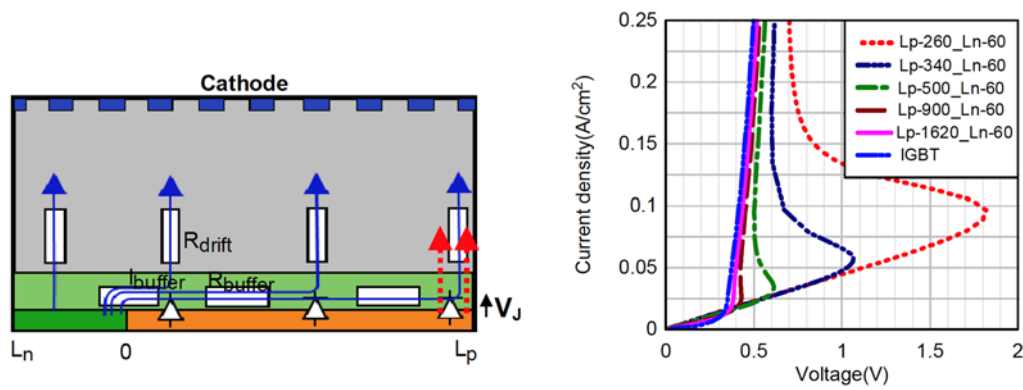


Figure 43 : caractéristique I-V (Quadrant 1) du RC-IGBT comparée à celle de l'IGBT (courbe bleue) (mise en évidence du phénomène de *snaphack*, figure extraite de [12]).

### 2.3.2. État passant inverse : mode diode

L'état passant inverse est assuré par la diode, il représente le quadrant 3 du plan I-V. Il est obtenu par une polarisation négative du composant ( $V_{\text{anode-cathode}} < 0 \text{ V}$ ) et une tension de grille nulle ( $V_{\text{gs}} = 0 \text{ V}$ ). La diode monolithique anti-parallèle PiN est formée des trois régions  $P_{\text{cathode}}/N_{\text{drift}}/N_{\text{anode}}^+$ . Pour une tension de polarisation du composant  $V_{\text{cathode-anode}}$  inférieure à 0,7 V, la diode est bloquée et seulement un courant de fuite traverse la structure. Lorsque la tension  $V_{\text{cathode-anode}}$  atteint le seuil d'environ 0,7 V, la diode est rendue passante et les régions  $P^+$  en face avant et  $N^+$  en face arrière injectent respectivement des trous et des électrons dans la région centrale  $N^-$ . La polarisation de la grille par une tension positive supérieure à la tension de seuil peut également créer un courant de canal qui participe au mode de conduction inverse. Infineon utilise cette technique de contrôle de la grille MOS pendant la phase de conduction de la diode afin de réduire les pertes statiques et dynamiques [13][14].

### 2.4. État de l'art du RC-IGBT

Cette section de chapitre est dédiée à la présentation des différentes architectures du RC-IGBT. Depuis que ce composant existe, on retrouve dans la littérature beaucoup de travaux qui visent à optimiser ses performances et à supprimer le phénomène de *snaphack* à l'état passant direct.

- Les composants de puissance, tels que le VDMOS ou la diode de puissance, intègrent le concept de la Super Jonction (SJ) pour réduire leurs pertes à l'état passant. La SJ a également été intégrée dans l'architecture du RC-IGBT et a fait l'objet de plusieurs publications [15] [16]. La Figure 44 montre deux exemples de structures utilisant la SJ. On note que cette approche peut présenter une certaine complexité sur le plan technologique.

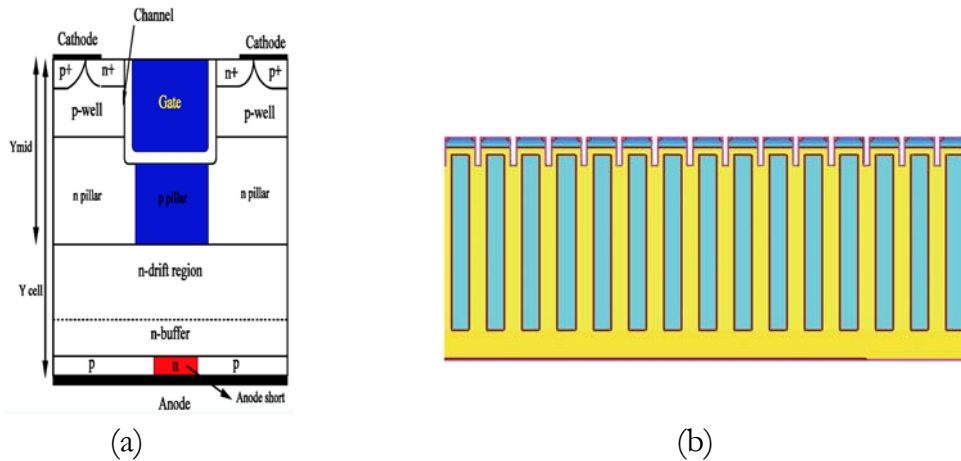


Figure 44 : vue schématique 2D de RC-IGBTs à Super-Jonction : structures proposées par (a) ABB [15] et (b) Mitsubishi [16]

- La structure BiGT (Bi-mode IGBT) proposée par ABB [17] repose sur l'intégration monolithique d'une section IGBT pilote à côté de la section RC-IGBT (Figure 45). L'IGBT pilote a pour rôle de polariser la jonction P<sup>+</sup>/N<sup>-</sup> de la face arrière à un très faible niveau de courant, afin de passer du mode VDMOS au mode IGBT le plus rapidement possible et éviter le phénomène de retournement en conduction directe. Ce composant a déjà fait l'objet de plusieurs études [18] [19] [20] [21] [22].

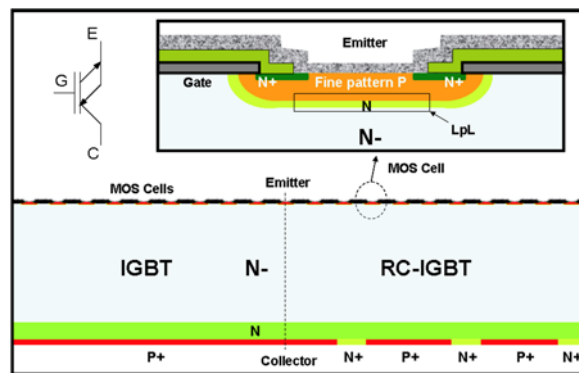


Figure 45 : vue en coupe de la structure BiGT [17]

- De nombreux travaux visent à augmenter la résistance de la région de court-circuit sur la face arrière pour supprimer le phénomène de *snappyback* [10] [23] [24]. Une première solution consiste à placer une tranchée d'oxyde sur la face arrière du composant, comme le montre la structure en Figure 46a [9]. En Figure 46b, une seconde méthode est proposée, qui consiste à placer une alternance de régions P et N à une certaine distance de la région P de la face arrière [10].

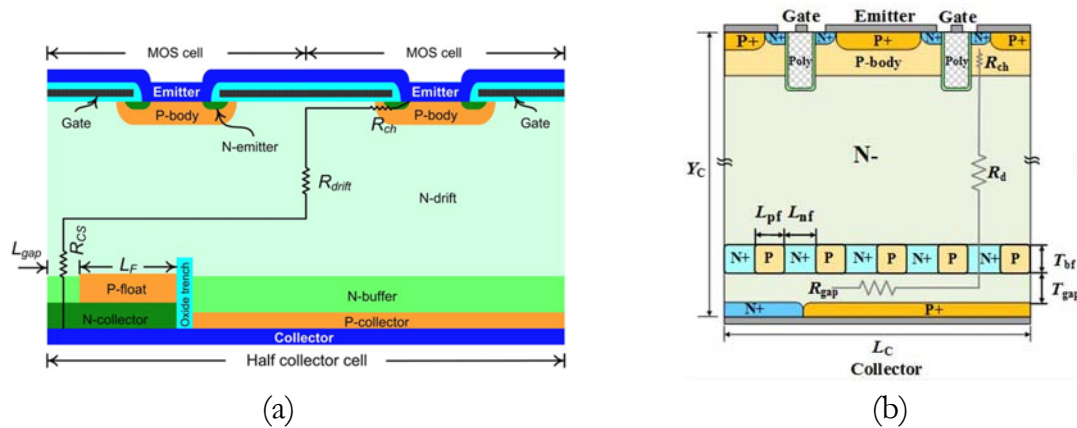


Figure 46 : schémas 2D de structures RC-IGBT avec suppression du snapback : (a) RC-IGBT avec oxyde [23] et (b) AB RC-IGBT [10]

- Comme énoncé précédemment dans ce chapitre, l'intérêt porté sur l'étude du RC-IGBT est surtout motivé par les fabricants de module de puissance qui veulent remplacer l'association IGBT-diode par un composant monolithique bidirectionnelle en courant. Mitsubishi a présenté dans ce papier [25] un module de puissance intelligent (IPM) sous l'appellation SLIMDIP, intégrant un nouveau composant RC-IGBT de technologie *7<sup>th</sup> generation CSTBT™* (Figure 47a). Une vue en coupe 2D illustrative du module SLIMDIP ainsi que sa réalisation sont montrées en Figure 47b.

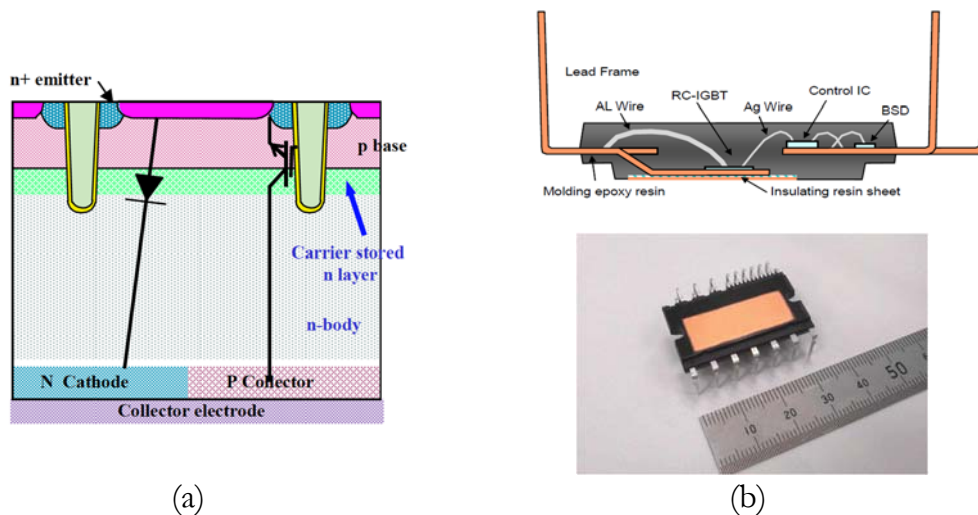


Figure 47 : (a) schéma 2D du RC-IGBT *7<sup>th</sup> generation CSTBT™*, (b) vue en coupe 2D illustrative du module SLIMDIP et sa réalisation [25] [26]

- De son côté Infineon a proposé un module de puissance RC-IGBT 1000 A/6,5 kV, basé sur l'intégration du composant RCDC (Reverse Conducting IGBT with Diode Control) à technologie trench, représenté en Figure 48a [14]. Le composant est contrôlé par la grille pendant le mode de conduction diode, ce qui permet de réduire les pertes dynamiques à la fois à la mise en conduction de l'IGBT et au blocage de la



diode. Les performances du module RC-IGBT ont été comparées à un module IGBT-diode ayant la même empreinte (Figure 48b).

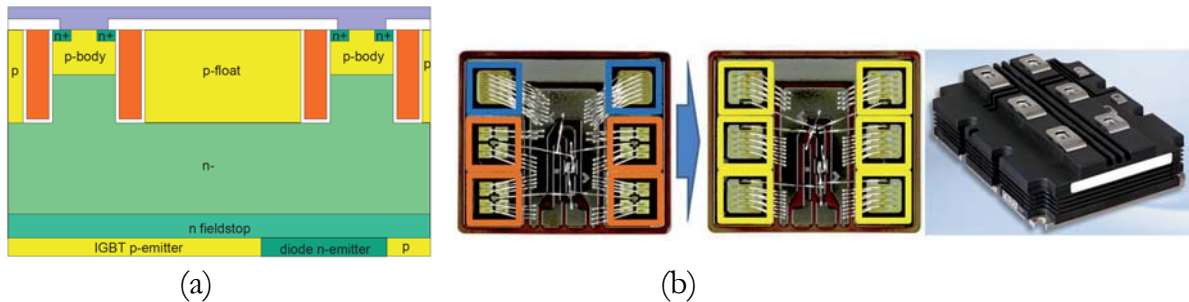


Figure 48 : (a) schéma 2D du RCDC et (b) module de puissance intégrant des RCDC comparé au même module IGBT-diode [14]

- Fuji Electric a publié un module de puissance 7G RC-IGBT Dual XT 1200 V, montré en Figure 49 [28]. Ce nouveau module offrirait une réduction de l'empreinte des puces de 40 % comparée à la 6<sup>th</sup> génération (6G IGBT-diode) et une réduction des pertes de l'onduleur de 12 % [31].

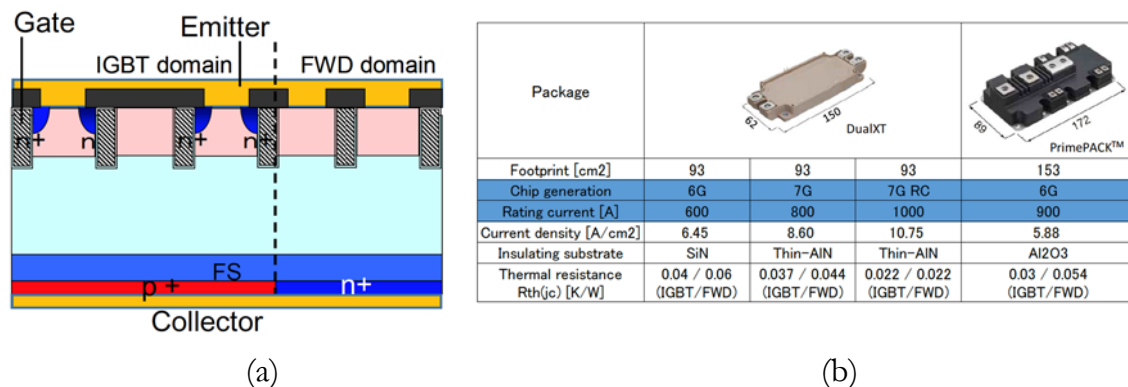


Figure 49 : (a) schéma 2D du RC-IGBT 7<sup>th</sup> génération et (b) comparaison du module de puissance proposé Dual XT 7G RC avec les anciennes générations [27]

### 3. LA STRUCTURE RC-IGBT-THYRISTOR

#### 3.1. Présentation de l'architecture du RC-IGBT-thyristor

L'architecture 2D du RC-IGBT-thyristor et son symbole sont montrés en Figure 50 [29]. Ce dernier repose sur l'intégration monolithique d'un thyristor pour le mode de conduction inverse dans une structure IGBT classique. L'intégration du thyristor s'est faite en insérant des régions N<sup>+</sup> dans la région P<sup>+</sup><sub>anode</sub> de l'IGBT qui se trouve sur la face arrière. Le thyristor est formé de la succession des quatre régions P<sub>cathode</sub>/N<sup>-</sup><sub>substrat</sub>/P<sub>anode</sub>/N<sup>+</sup><sub>anode</sub>. Un mur P<sup>+</sup> entoure toute la structure. Il doit permettre la circulation

du courant de la face avant vers la face arrière pour amorcer le thyristor. La conduction commence tout d'abord en périphérie via les murs P<sup>+</sup>, puis s'étend vers le centre de la structure par l'amorçage des différentes sections thyristor. Sur la face arrière, des tranchées d'oxydes sont placées entre les régions N<sup>+</sup><sub>anode</sub> pour faciliter l'enclenchement du thyristor. Les tranchées augmentent la résistance de la région P<sub>anode</sub> et facilitent la polarisation de la jonction P<sub>anode</sub>/N<sup>+</sup><sub>anode</sub>.

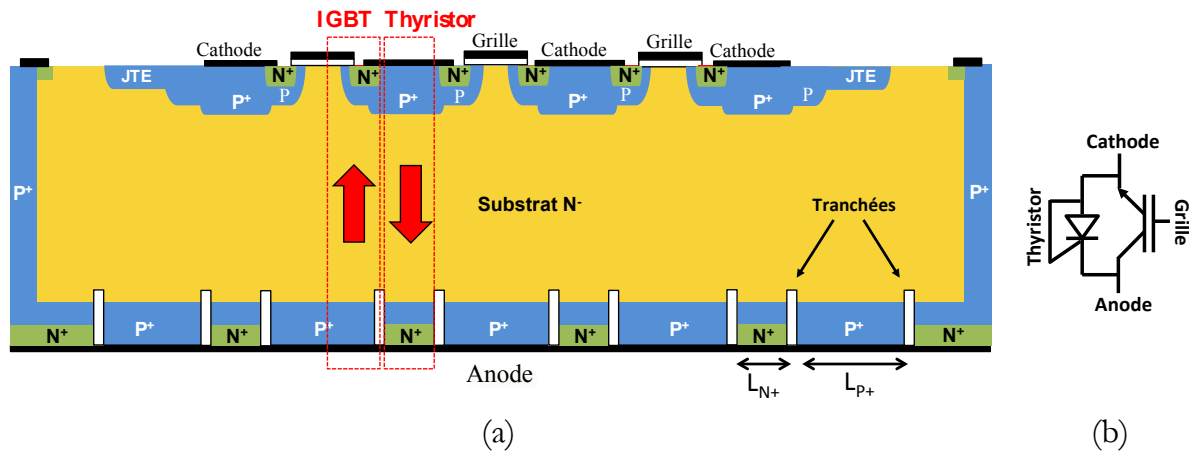


Figure 50 : (a) vue en coupe de la nouvelle structure RC-IGBT-thyristor qui intègre un IGBT et un thyristor auto-amorçable, (b) son symbole associé

### 3.2. Principe de fonctionnement du RC-IGBT-thyristor

Comme énoncé précédemment, le RC-IGBT-thyristor a deux modes de conduction à l'état passant : un mode IGBT pour la conduction directe et un mode thyristor pour la conduction inverse.

#### 3.2.1. État passant direct : mode IGBT

Le mode de conduction direct correspond à un mode IGBT classique avec un courant d'électron circulant par le canal de la cathode vers l'anode, et une injection de trous par la région P<sup>+</sup> anode qui module la résistivité de la région N<sup>-</sup>. Comme il y a une alternance de région N<sup>+</sup> et P<sup>+</sup> sur la face arrière, l'IGBT n'est pas présent sur toute la largeur de la puce mais composé d'une multitude de sections IGBT.

#### 3.2.2. État passant inverse : mode thyristor

Lors de la polarisation inverse du RC-IGBT ( $V_{ak} < 0$  V), un courant traverse la structure de la cathode en face avant vers l'anode en face arrière en passant par la jonction P<sub>cathode</sub>/N<sup>-</sup><sub>substrat</sub>, l'électrode flottante et le mur P<sup>+</sup>, puis la région P<sub>anode</sub>. Le thyristor pilote s'enclenche lorsque la tension aux bornes de la jonction P<sub>anode</sub>/N<sup>+</sup><sub>anode</sub> atteint une valeur de l'ordre de 0,7 V. Puis, l'amorçage des sections thyristor s'étend vers le centre de la structure.

## 4. SIMULATIONS 2D DU RC-IGBT THYRISTOR

### 4.1. Présentation de l'outil de simulation Synopsys Sentaurus™ TCAD

L'ensemble des simulations de nos structures monolithiques présentées dans ce manuscrit a été réalisé sous Sentaurus™. Sentaurus TCAD (Technology Computer Aided Design) est une plateforme de simulation multidimensionnelle (1D/2D/3D) multi-physique qui permet de prédire des grandeurs électriques, thermiques et optiques dans les dispositifs à semi-conducteur. Ce logiciel permet de simuler le procédé technologique de réalisation ainsi que la physique des composants de puissance tels que l'IGBT, le power MOSFET, le thyristor et les composants haute fréquence/puissance à base de matériaux grand-gap comme le GaN et le SiC. **Sentaurus Workbench** est l'outil central qui permet de gérer les différents projets et rassemble tous les outils de la plateforme (Figure 51a).

La Figure 51b donne les différentes étapes et les outils associés pour la conception complète d'un dispositif de puissance. **Sentaurus Process** est le premier outil, il permet de mettre en place et de valider l'enchaînement des différentes étapes technologiques à la réalisation du composant. Une fois le procédé technologique validé, la structure est dessinée et maillée pour les calculs numériques avec l'outil **Sentaurus Structure Editor (SDE)**. La résolution des calculs est basée sur la méthode des éléments finis qui permet de résoudre numériquement des équations aux dérivées partielles. Cette technique des éléments finis repose sur un découpage de l'espace selon un maillage qui sera resserré près des endroits d'intérêts. Une plus grande densité de maillage donne une meilleure précision de la solution globale et un temps de simulation plus long. Un compromis est donc à faire entre le temps de simulation et la qualité des résultats recherchés. Le maillage de nos structures est de type triangulaire où chaque triangle représente un élément fini. Pour chaque élément fini, le système d'équations est décrit sous forme matricielle. La simulation numérique de la structure est lancée via l'outil **Sentaurus Device (Sdevice)**, qui réalise sur chaque élément du maillage la résolution numérique des équations de Poisson et de continuité des électrons et des trous. Parmi les modèles physiques utilisés pour la simulation de nos structures, il y a la recombinaison-génération SRH, la recombinaison Auger et la génération par avalanche. Dans le fichier de simulation, il faut également identifier les électrodes et les nœuds du circuit, et définir les conditions initiales et les différentes grandeurs d'entrées à appliquer. Il faut également renseigner la valeur du facteur de surface  $Z$  (area factor) à appliquer pour réaliser la projection 3D de la structure 2D. Cet outil à travers son module intégré *Mixed-Mode* permet également de simuler plusieurs structures associées dans un schéma électrique (Figure 52). Pour finir, les outils **Sentaurus Visual** et **Inspect** permettent de visualiser les grandeurs physiques dans les structures (lignes de potentiels, les densités de courant...) et de tracer les caractéristiques électriques pour chaque électrode définie.

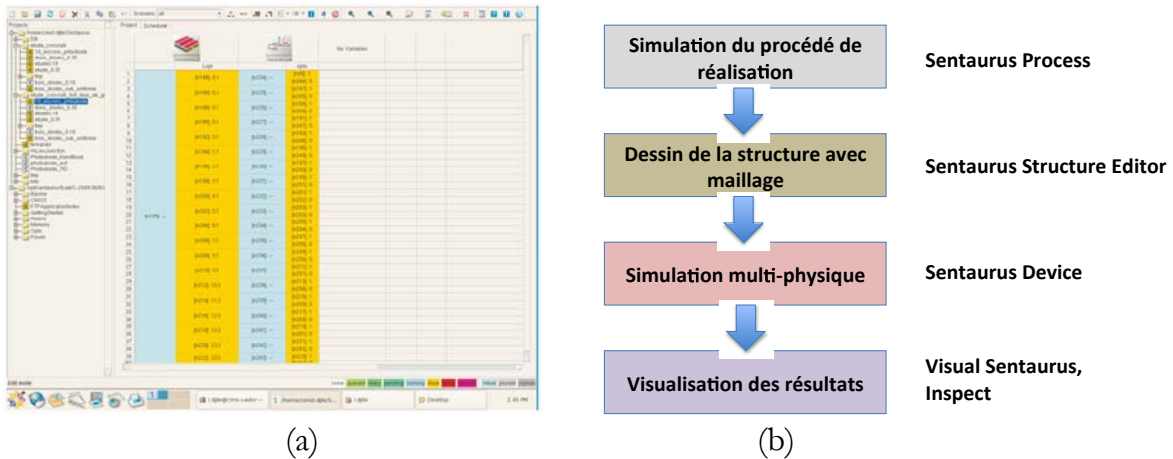


Figure 51 : (a) interface Sentaurus Workbench, (b) enchaînement complet pour la conception d'un dispositif de puissance

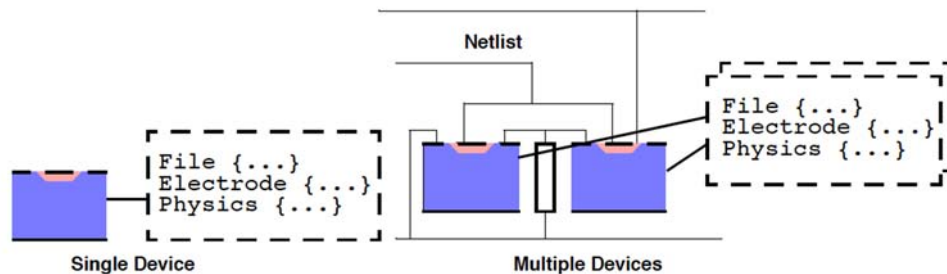


Figure 52 : simulation de plusieurs composants avec *Mixed-Mode* (figure extraite de la documentation)

Dans notre cas, nous n'avons pas simulé le procédé technologique de nos structures, puisque l'enchaînement de nos étapes est basé sur la filière IGBT déjà mise en place et validée depuis de nombreuses années maintenant. Nous avons directement dessiné nos structures 2D maillées avec **Sentaurus Structure Editor**, puis nous avons suivi l'enchaînement classique. Les simulations 2D décrivent bien le comportement des dispositifs intégrant des cellules MOS à bandes parallèles. Ceci contrairement aux technologies basées sur des cellules carrées ou autres, qui elles nécessitent une simulation 3D pour prendre en compte la répartition 3D des lignes de courant. Il faut noter que la simulation 3D de grandes structures est très complexe et nécessite un temps de calcul rédhibitoire.

#### 4.2. Paramètres physiques et géométriques des structures simulées

La Figure 53 montre une structure RC-IGBT avec les principaux paramètres physiques et géométriques utilisés en simulations. Les régions  $N^+$  sont dopées avec de l'Arsenic et les régions P avec du Bore. Les paramètres géométriques de la grille sont imposés par la filière IGBT. La grille MOS est réalisée avec une oxydation du silicium ( $SiO_2$ ) de 55 nm,

suivie des dépôts de polysilicium dopé et de métal (Aluminium). La longueur du canal MOS est déterminée par la différence de profondeur des régions P et N<sup>+</sup> diffusées sous la grille.

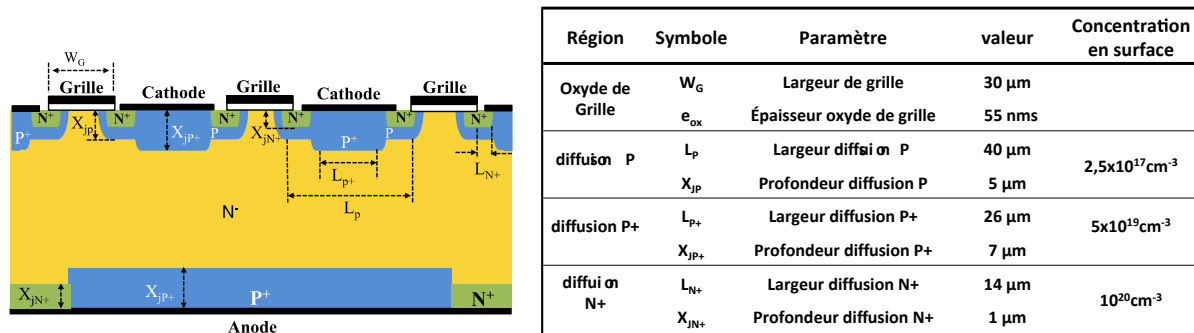


Figure 53 : paramètres physiques et géométriques des structures simulées

La Figure 54 montre le maillage d'une cellule élémentaire IGBT. En face avant, on peut voir que le maillage est plus dense au niveau de la région porte canal, et le long des diffusion P où il y a un étalement de la ZCE lors de la tenue en tension du composant.

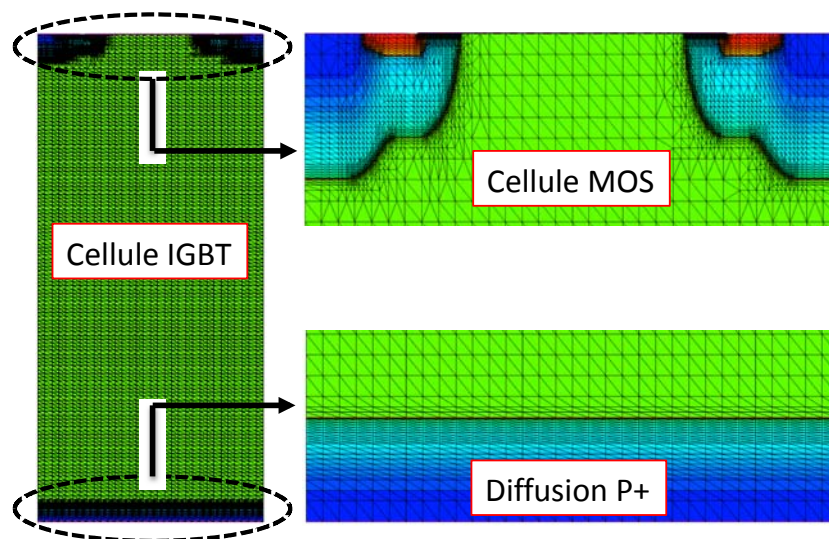


Figure 54 : découpage de l'espace par un maillage (exemple d'une cellule IGBT)

### 4.3. Caractéristiques statiques du RC-IGBT-thyristor

La vue en coupe 2D de la structure simulée est représentée en Figure 55a. La structure a une épaisseur de 130  $\mu\text{m}$  pour une tenue en tension de 600 V. Le dopage du substrat N<sup>-</sup> est de  $10^{14}$  atomes/cm<sup>3</sup>. La face avant est composée de 15 cellules MOS prolongées par une terminaison JTE. La surface active de la puce est dimensionnée à 1 cm<sup>2</sup>. Les diffusions P<sup>+</sup> et N<sup>+</sup> de la face arrière ont une longueur de 100  $\mu\text{m}$  et espacées d'autant. Les Figure 55b et Figure 55c montrent la caractéristique I-V de la structure simulée (courbe rouge). Pour le mode de conduction direct, nous pouvons voir que le phénomène

*snappback* est bien supprimé. Pour le mode de conduction inverse, la caractéristique correspond à celle de l'amorçage d'un thyristor conventionnel.

Pour mettre en avant le rôle des tranchées dans l'amorçage du thyristor, la structure précédente a été simulée à nouveau mais cette fois-ci sans les tranchées en face arrière. La caractéristique I-V de cette seconde structure a été superposée à la première en Figure 55 (courbe bleue). Pour le mode de conduction inverse, on peut voir que les tranchées ont fortement influencées l'amorçage du thyristor. En effet, comparée à la structure sans tranchées, le thyristor de la structure avec tranchées s'amorce à une densité de courant d'anode beaucoup plus faible. De plus, elle présente une chute de tension à l'état passant d'environ -0,8 V pour une densité de courant de -100 A/cm<sup>2</sup>, comparée à la structure sans tranchées qui présente une chute de tension proche de -2 V.

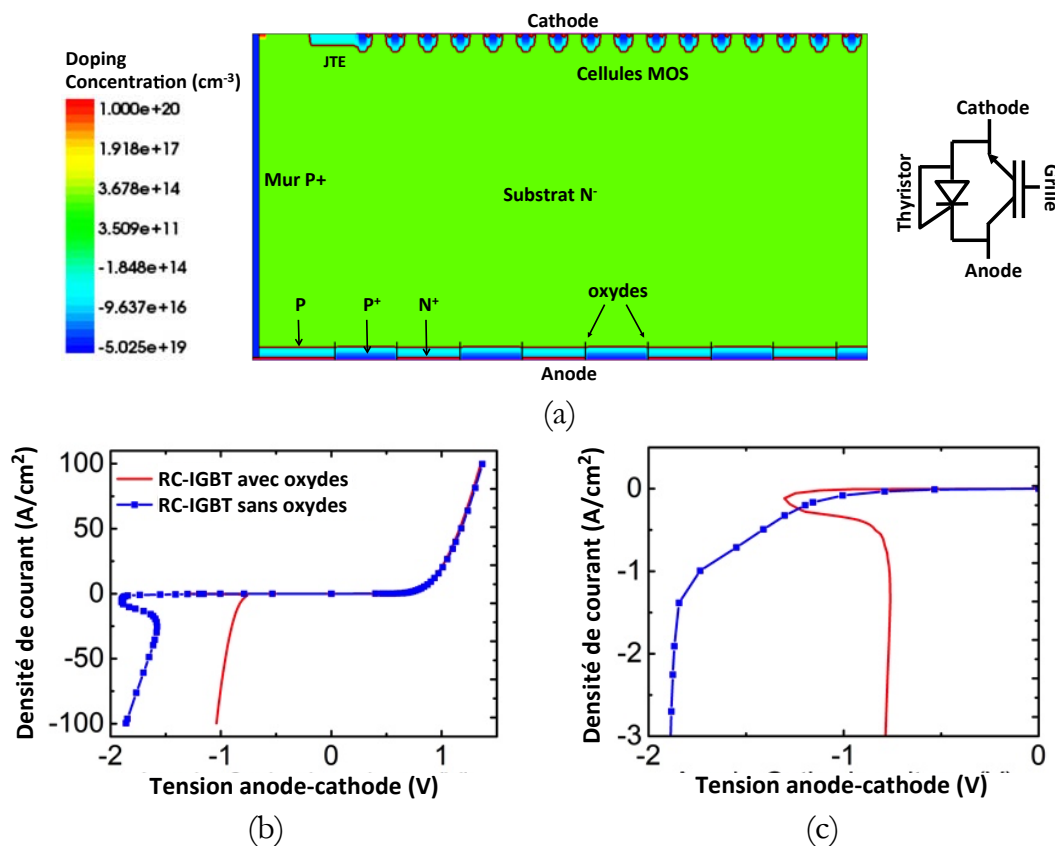


Figure 55 : (a) vue en coupe 2D de la structure RC-IGBT-thyristor simulée à tranchées sur la face arrière ( $S_{active} = 1 \text{ cm}^2$ ), (b) caractéristiques  $I_A-V_{AK}$  des deux structures simulées (RC-IGBT-thyristor avec et sans tranchées) et (c) agrandissement sur le mode de conduction inverse mettant en évidence l'amorçage du thyristor [29]

Pour analyser l'amorçage des thyristors et cette différence de chute de tension entre les deux structures, nous avons observé les densités de courant pour le mode thyristor. La Figure 56a montre la densité de courant pour la structure sans tranchées. Et la Figure 56b montre la densité de courant du mode thyristor pour la structure avec tranchées. Pour la

structure sans tranchées, seule la première section thyristor est en conduction et les autres sections thyristor ne sont pas amorcées. Alors que pour la structure à tranchées, on peut facilement voir que toutes les sections thyristor sont amorcées et que la densité de courant s'étale dans toute la structure. Cette différence de distribution de densité de courant explique la différence de chute de tension entre les deux structures.

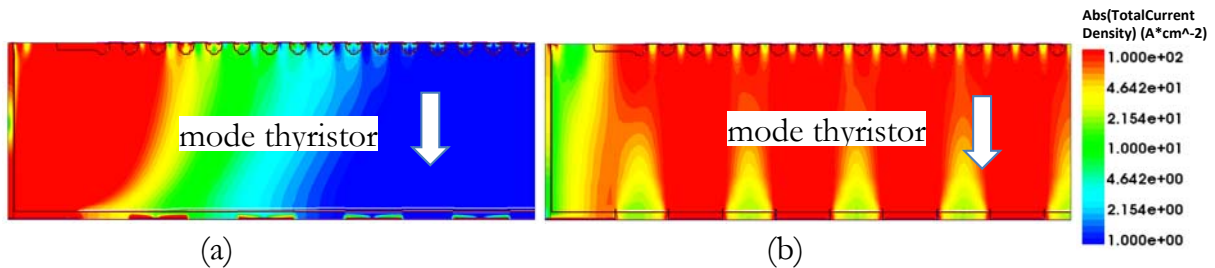


Figure 56 : densité de courant dans la structure RC-IGBT-thyristor pour le mode thyristor à  $J_{anode} = -100 \text{ A/cm}^2$  : (a) structure sans tranchées, (b) structure avec tranchées

Les résultats précédents ont montré que les tranchées remplies de diélectrique sur la face arrière du composant facilitaient l'amorçage du thyristor pour le mode de conduction inverse. Dans la suite, nous avons mené une étude par simulations pour voir l'influence de la répartition des diffusions  $N^+$  et  $P^+$  en face arrière sur la distribution des densités de courant et sur les caractéristiques I-V. Autrement dit, cela revient à étudier l'influence du nombre de sections thyristor en parallèle sur les performances statiques de la structure. Nous avons donc simulé la même structure RC-IGBT-thyristor en modifiant seulement le nombre d'alternances des diffusions  $N^+_{anode}$  ( $L_n$ ) et  $P^+_{anode}$  ( $L_p$ ) en face arrière. Les structures ont une largeur totale de  $980 \mu\text{m}$  et une surface active de  $1 \text{ cm}^2$ . Les Tableau 1 et Tableau 2 suivants montrent pour chaque simulation la distribution de la densité de courant et une courbe de la densité de courant à la ligne de coupe  $Y = 110 \mu\text{m}$ .

Tableau 1 : influence de la répartition des diffusion  $N^+_{anode}$  and  $P^+_{anode}$  sur la distribution de la densité de courant pour le mode de conduction direct ( $J_{anode} = 100 \text{ A/cm}^2$ )

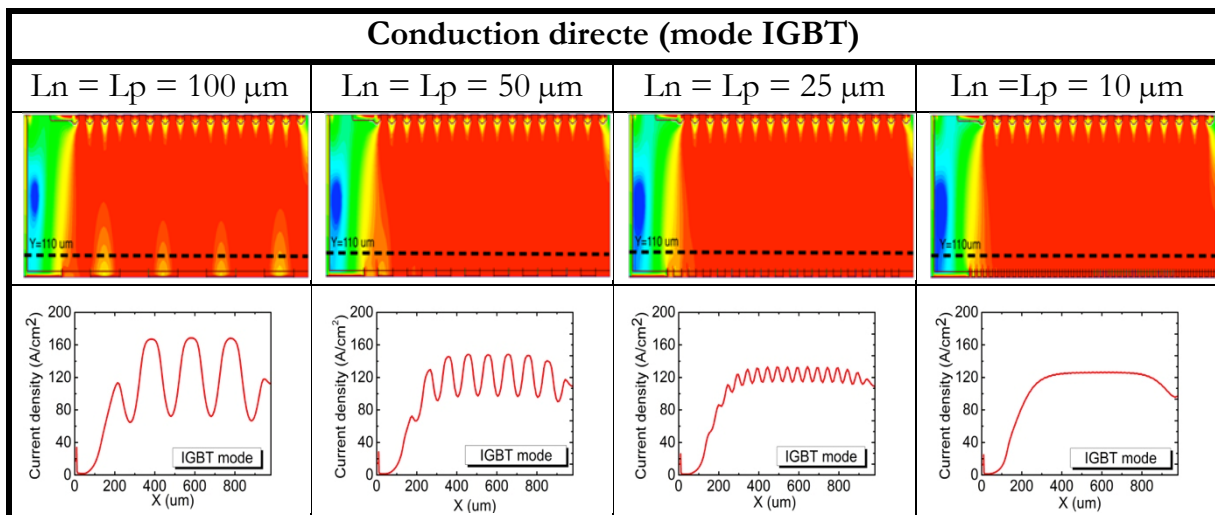
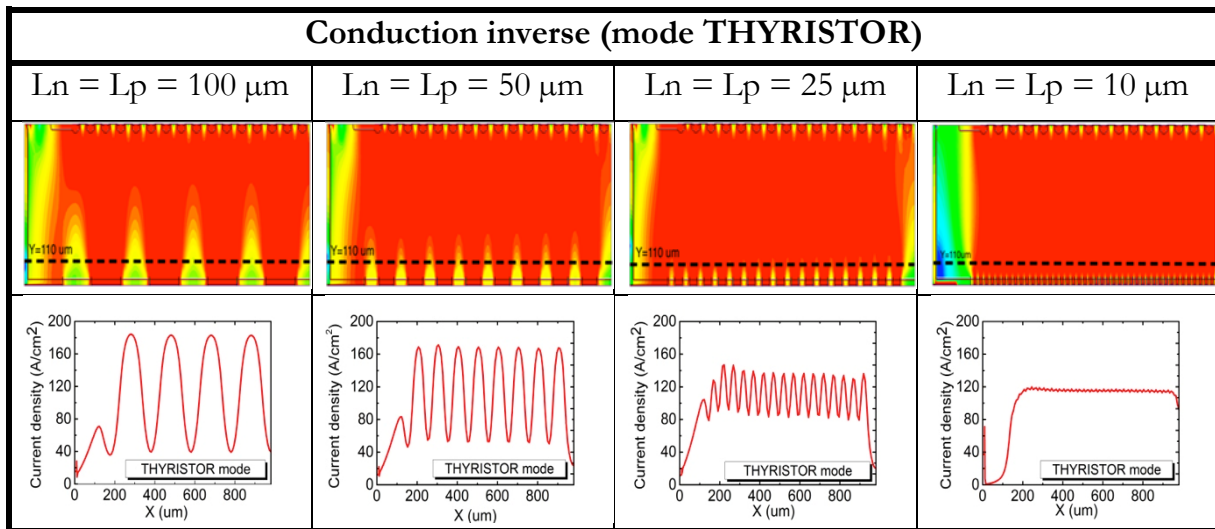


Tableau 2 : influence de la répartition des diffusion  $N^+_{\text{anode}}$  and  $P^+_{\text{anode}}$  sur la distribution de la densité de courant pour le mode de conduction inverse ( $J_{\text{anode}} = -100 \text{ A/cm}^2$ )



Selon les résultats de simulations, nous pouvons voir que la meilleure distribution de la densité de courant, pour les deux modes de conduction, est pour la structure ayant le plus grand nombre d'alternances de diffusions  $N^+_{\text{anode}}$  and  $P^+_{\text{anode}}$ , soit  $L_n = L_p = 10 \mu\text{m}$ .

Ensuite, nous avons étudié l'influence de l'intégration monolithique du thyristor dans l'IGBT classique pour former le RC-IGBT-thyristor. Pour cela, nous avons simulé une structure IGBT et une structure diode PIN, qui serviront de références pour comparaisons. Ces deux composants ont été conçus à partir de la structure RC-IGBT-thyristor, en supprimant les différents éléments nécessaires. Les deux structures simulées ont une surface active de  $1 \text{ cm}^2$  chacune.

La structure de l'IGBT avec sa distribution de densité de courant (à  $J_{\text{anode}} = 100 \text{ A/cm}^2$ ) est représentée en Figure 57a. La Figure 57b compare les densités de courant des structures RC-IGBT (Tableau 1) à celle de l'IGBT (référence). On peut voir que la structure avec  $L_n = L_p = 10 \mu\text{m}$  (courbe noire) a une distribution des densités de courant presque superposée à celle de l'IGBT (courbe rouge). La Figure 57c compare les caractéristiques I-V des structures RC-IGBT (Tableau 1) à celles de l'IGBT et de la diode (références). La Figure 57d est un agrandissement sur le mode de conduction inverse pour mettre en évidence l'amorçage du thyristor des différentes structures. Sur le plan I-V, on peut voir que les structures présentent des chutes de tension assez proches, que ça soit en direct ou en inverse. On peut donc en conclure que l'intégration du thyristor dans l'IGBT n'a qu'un faible impact sur les performances statiques de l'IGBT.



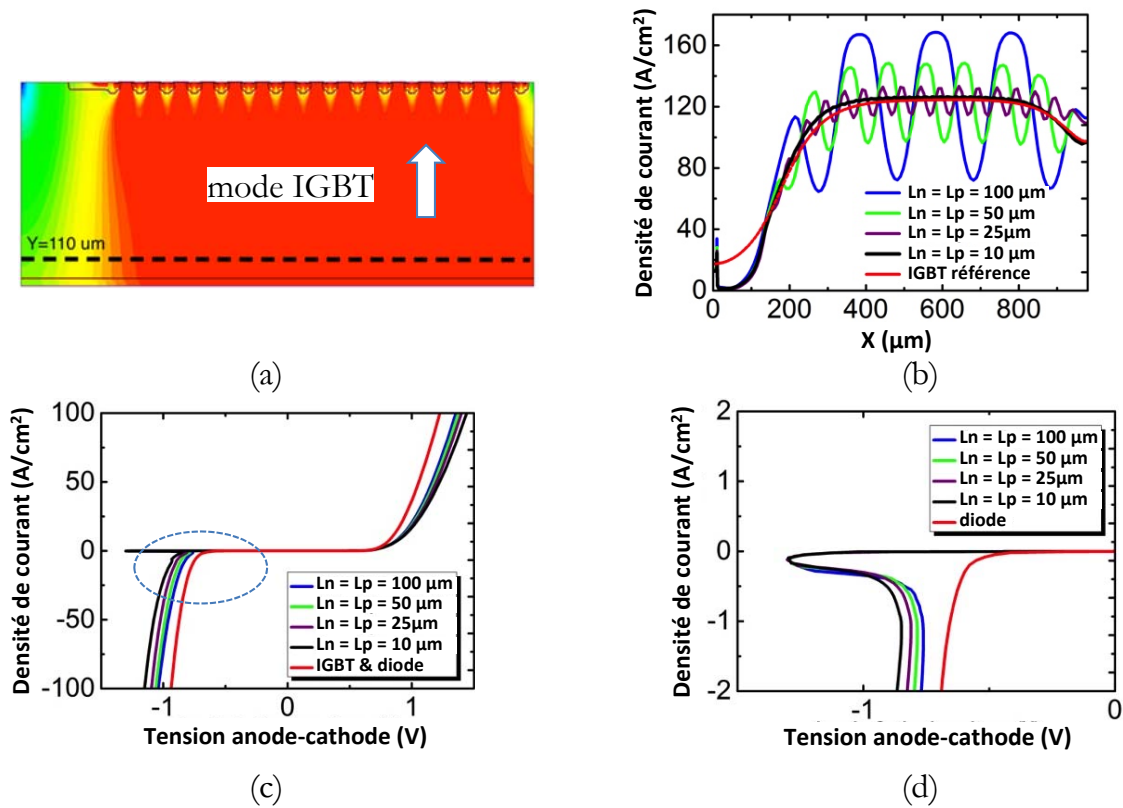


Figure 57 : (a) structure de l'IGBT simulée avec la distribution des densités de courant ( $I_{\text{anode}} = 100 \text{ A/cm}^2$ ), (b) courbe de la densité de courant de l'IGBT (ligne de coupe à  $Y = 90 \mu\text{m}$ ) comparée à celles des différentes structures RC-IGBT-thyristor du tableau I, (c) caractéristique I-V de l'IGBT et de la diode comparée à celles des structures RC-IGBT-thyristor du Tableau 1, (d) agrandissement sur le mode de conduction inverse (mise en évidence de l'amorçage des thyristors)

#### 4.4. Caractéristiques dynamiques du RC-IGBT-thyristor

Le comportement dynamique de la structure RC-IGBT-thyristor a été étudié à l'aide de simulations 2D *Mixed-Mode*. Pour cela, un bras d'onduleur composé de deux structures identiques RC-IGBT-thyristor a été simulé dans un mode hacheur, comme représenté sur le schéma électrique de la Figure 58a. Le composant étudié est le RC-IGBT 2 *low-side*. La Figure 58b montre les formes d'ondes au blocage du thyristor. La Figure 58c montre les formes d'ondes au blocage de l'IGBT. D'après ces deux figures, nous pouvons voir que l'augmentation du nombre de sections thyristor (correspondant à  $L_n = L_p = 10 \mu\text{m}$ ) permet de réduire les temps de commutation à la fois du mode IGBT et du mode thyristor (courbes noires).

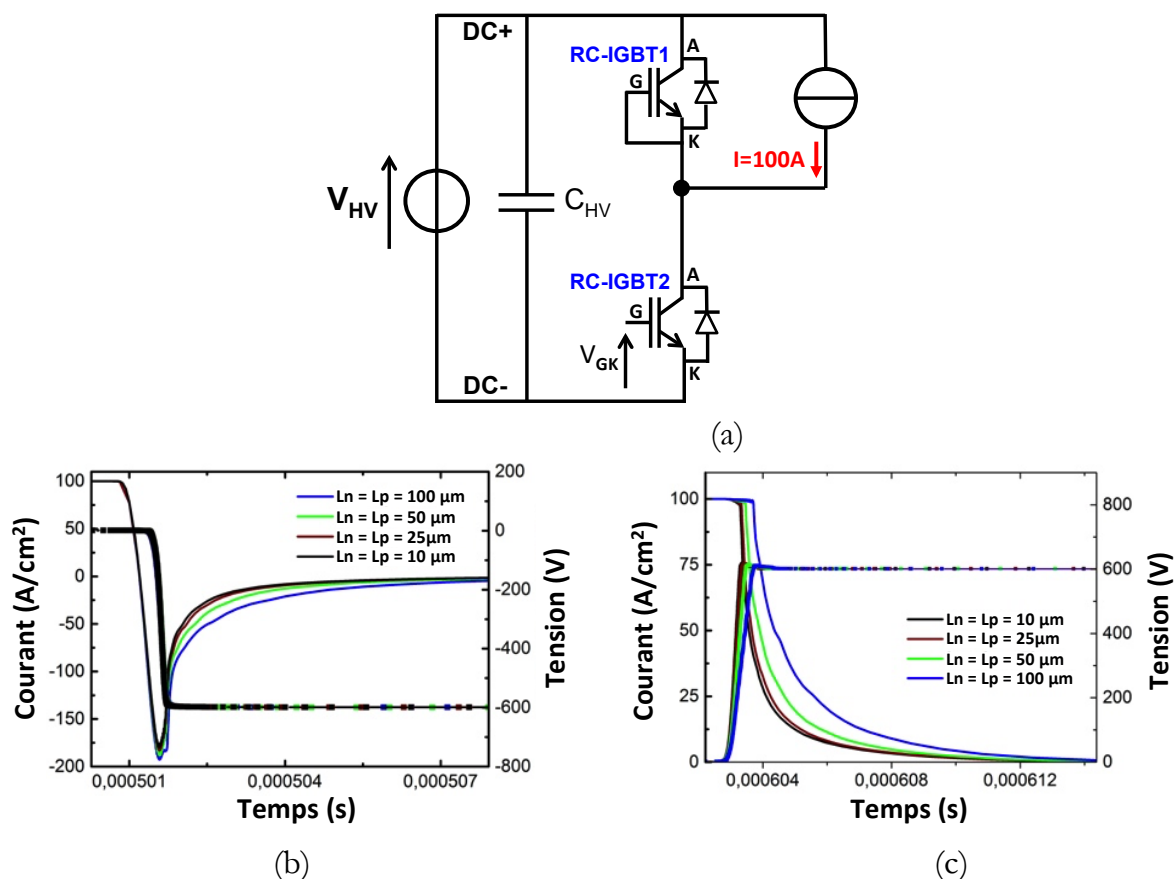


Figure 58 : (a) schéma électrique du circuit simulé intégrant deux structures RC-IGBT-thyristor, (b) formes d'ondes au blocage du thyristor et (c) formes d'ondes au blocage de l'IGBT – Conditions :  $V_{HV} = 600 V$ ,  $I = 100 A$ ,  $V_{gk} (RC-IGBT 2) = 0/+15 V$

En s'appuyant sur l'ensemble des résultats présentés précédemment, et après avoir mené de nouvelles simulations, nous avons constaté qu'il serait possible de supprimer le mur P<sup>+</sup> de la structure. Pour valider cette hypothèse, nous avons simulé la structure à tranchées en ayant retiré le mur P<sup>+</sup>. En effet, comme on peut le voir sur les résultats de simulations en Figure 59, les sections thyristor sont toutes amorcées pour les deux structures.

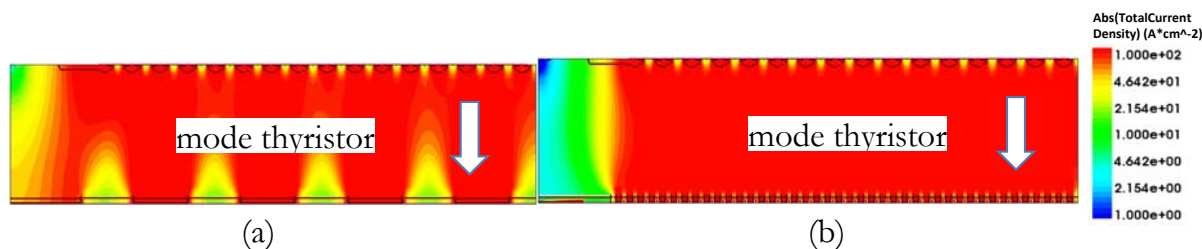


Figure 59 : mode de conduction inverse (mode thyristor) de la structure RC-IGBT-thyristor sans mur P<sup>+</sup> : (a) structure avec  $L_n = L_p = 100 \mu m$  et (b) structure avec  $L_n = L_p = 10 \mu m$

## 5. CONCLUSION DU CHAPITRE 2

La première partie de ce chapitre était dédiée à la présentation du composant RC-IGBT et à son état de l'art. Le RC-IGBT est un composant bidirectionnel en courant qui intègre de manière monolithique un IGBT et une diode. La littérature propose de nombreuses structures qui visent principalement à supprimer le phénomène *snaphack* de l'état passant direct [9] [10] [11], et à améliorer l'uniformité de la densité de courant. Des modules de puissance à RC-IGBT ont également été proposés [14][27].

La seconde partie de ce chapitre était consacrée à l'étude par simulations TCAD Sentaurus de la nouvelle structure RC-IGBT-thyristor que nous avons proposée. Cette structure repose sur l'intégration d'un thyristor dans la structure de l'IGBT classique. La structure RC-IGBT-thyristor a permis de supprimer le *snaphack*, phénomène indésirable observé dans le mode de conduction direct du RC-IGBT classique. L'étude du composant a été menée en deux étapes. Dans un premier temps, nous avons observé l'influence de la répartition des diffusions  $N^+$  et  $P^+$  en face arrière sur les performances statiques du composant. Les résultats ont montré que l'augmentation du nombre de diffusions contribuait à améliorer la distribution des densités de courant, ceci pour les deux modes de conduction direct et inverse. La caractéristique I-V de notre structure a été comparée à celles de deux structures de références (IGBT et diode). Il se trouve que notre structure monolithique présente des caractéristiques statiques, en direct et en inverse, très proches de celles des deux composants de références. Dans un second temps, nous avons observé les caractéristiques dynamiques de notre structure. D'après les résultats, il apparaît que l'augmentation du nombre de diffusions  $N^+$  et  $P^+$  en face arrière contribue aussi à la réduction des temps d'ouverture de l'IGBT et du thyristor.

## 6. RÉFÉRENCES BIBLIOGRAPHIQUES

- [1] Abdelilah El Khadiry, « Architectures de cellules de commutation monolithiques intégrables sur semi-conducteurs « bi-puce » et « mono-puce » pour convertisseurs de puissance compacts », Thèse de l'Université Paul Sabatier de Toulouse, 2014.
- [2] K. Yamagami et *al.*, "Transistors", Japanese Patent S4 721 739, Jun. 19, 1968.
- [3] B. J. Baliga, "Enhancement- and depletion-mode vertical-channel m.o.s. gated thyristors" *Electron. Lett.*, vol. 15, no. 20, pp. 645–647, Sep. 1979.
- [4] A. Nakagawa, H. Ohashi, M. Kurata, H. Yamaguchi, et K. Watanabe, "Non-latch-up 1200V 75A bipolar-mode MOSFET with large ASO" in *IEEE IEDM Tech. Dig.*, Dec. 1984, pp. 860–861.
- [5] G. Miller and J. Sack, "A new concept for a non punch through IGBT with MOSFET like switching characteristic(ICs)", in *Proc. IEEE PESC Recor.*, vol. 1. Jun. 1989, pp. 21–25.
- [6] H.R. Chang, B. J. Baliga, J. W. Kretchmer et P. A. Piacente, "Insulated gate bipolar transistor (IGBT) with a trench gate structure", 1987 International Electron Devices Meeting, 1987, pp. 674-677.
- [7] B. J. Baliga, "Trends in power semiconductor devices", in *IEEE Transactions on Electron Devices*, vol. 43, no. 10, pp. 1717-1731, Oct 1996.
- [8] T. P. Chow, B. J. Baliga, H. R. Chang, P. V. Gray, W. Hennessy and C. E. Logan, "P-channel, vertical insulated gate bipolar transistors with collector short," 1987 International Electron Devices Meeting, 1987, pp. 670-673.
- [9] H. Jiang et *al.*, "A Snapback Suppressed Reverse-Conducting IGBT With a Floating p-Region in Trench Collector," in *IEEE Electron Device Letters*, vol. 33, no. 3, pp. 417-419, March 2012.
- [10] G. Deng et *al.*, "A snapback-free RC-IGBT with Alternating N/P buffers", 2017 29<sup>th</sup> International Symposium on Power Semiconductor Devices and IC's (ISPSD), Sapporo, 2017, pp. 127-130.
- [11] Weizhong Chen, Zehong Li, Yong Liu, Min Ren, Bo Zhang, et Zhaoji Li, "A snapback suppressed reverse-conducting IGBT with built-in diode by utilizing edge termination", *Superlattices and Microstructures*, Volume 70, June 2014, Pages 109-116.
- [12] U. R. Vemulapati, N. Kaminski, D. Silber, L. Storasta, M. Rahimo, "Analytical Model for the Initial Snapback Phenomenon in RC-IGBTs", *ISPS*, August 2012, Prague, Czech Republic.
- [13] D. Domes, "Control Method for a Reverse Conducting IGBT", *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2015, pp. 1-8.
- [14] D. Werber et *al.*, "A 1000A 6.5kV Power Module Enabled by Reverse-Conducting Trench-IGBT-Technology", *PCIM Asia 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Shanghai, China, 2016, pp. 1-8.

- [15] M. Antoniou, F. Udrea, F. Bauer, and I. Nistor, "A new way to alleviate the RC IGBT snapback phenomenon: The Super Junction solution," in 2010 22<sup>nd</sup> International Symposium on Power Semiconductor Devices IC's (ISPSD), 2010, pp. 153–156.
- [16] T. Minato, S. Aono, K. Uryu, and T. Yamaguchi, "Making a bridge from SJ-MOSFET to IGBT via RC-IGBT structure Concept for 600V class SJ-RC-IGBT in a single chip solution", in 2012 24<sup>th</sup> International Symposium on Power Semiconductor Devices and ICs, 2012, pp. 137–140.
- [17] M. Rahimo, A. Kopta, U. Schlapbach, J. Vobecky, R. Schnell, S. Klaka, "The Bi-mode Insulated Gate Transistor (BIGT) A Potential Technology for Higher Power Applications", ISPSD, July 2009, pp. 283-286.
- [18] L. Storasta, A. Kopta and M. Rahimo, "A comparison of charge dynamics in the reverse-conducting RC IGBT and Bi-mode Insulated Gate Transistor BiGT," 2010 22<sup>nd</sup> International Symposium on Power Semiconductor Devices & IC's (ISPSD), Hiroshima, 2010, pp. 391-394.
- [19] L. Storasta, M. Rahimo, M. Bellini, A. Kopta, U. R. Vemulapati and N. Kaminski, "The radial layout design concept for the Bi-mode insulated gate transistor," 2011 IEEE 23<sup>rd</sup> International Symposium on Power Semiconductor Devices and ICs, San Diego, CA, 2011, pp. 56-59.
- [20] M. Rahimo, M. Andenna, L. Storasta, C. Corvasce and A. Kopta, "Demonstration of an enhanced trench Bimode Insulated Gate Transistor ET-BIGT", 2016 28<sup>th</sup> International Symposium on Power Semiconductor Devices and ICs (ISPSD), Prague, 2016, pp. 151-154.
- [21] M. Rahimo, U. Schlapbach, R. Schnell, A. Kopta, J. Vobecky and A. Baschnagel, "Realization of higher output power capability with the Bi-mode Insulated Gate Transistor (BIGT)," 2009 13<sup>th</sup> European Conference on Power Electronics and Applications, Barcelona, 2009, pp. 1-10.
- [22] M. Rahimo, J. Vobecky, C. Corvasce, "1700V Bi-Mode Insulated Gate Transistor (BIGT) on Thin Wafer Technology", Proc. ISPS10, pp. 243-247, 2010.
- [23] H. Jiang, B. Zhang, W. Chen, C. Liu, Z. Rao and B. Dong, "A Snapback Suppressed Reverse Conducting IGBT with Oxide Trench Collector," 2012 Asia-Pacific Power and Energy Engineering Conference, Shanghai, 2012, pp. 1-4.
- [24] Z. Liheng et C. Xingbi, "Theoretical calculation of the p-emitter length for snapback-free reverse-conducting IGBT", Journal of Semiconductors, Volume 35, Number 6.
- [25] N. Clark, E. Motto and S. Shibata, "New SLIM Package Intelligent Power Modules (SLIMDIP) with thin RC-IGBT for consumer goods applications," 2015 IEEE Energy Conversion Congress and Exposition (ECCE), Montreal, QC, 2015, pp. 4510-4512.
- [26] Y. Wang and S. Shibata, "New Transfer Mold type SLIMDIP with RC-IGBT and high precision Short Circuit protection function," PCIM Asia 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, Shanghai, China, 2016, pp. 1-7.
- [27] M. Takahashi, D. Hofmann, S. Yoshida, A. Tamenori, Y. Kobayashi and O. Ikawa,

"Extended Power Rating of 1200V IGBT Module with 7G RCIGBT Chip Technologies," PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, Nuremberg, Germany, 2016, pp. 1-7.

[28] Adem Lale, Nicolas Videau, Abdelhakim Bourenane, Frédéric Richardeau, Samuel Charlot, "Analysis of the three-chip switching cells approach for integrated multi-phase power converter combining monolithic and hybrid techniques: Experimental validation on SiC and Si power assembly prototypes", Power Electronics and Applications (EPE'15 ECCE-Europe), 2015 17<sup>th</sup> European Conference on., Sep 2015, Geneva, Switzerland.

[29] A. Lale, A. Bourenane, A. El khadiry, F. Richardeau, "A generic Reverse Conducting IGBT structure for monolithic switching cells integration," Power Electronics and Applications (EPE'14-ECCE Europe), 2014 16<sup>th</sup> European Conference on, vol., no., pp.1-10, 26-28 Aug. 2014.

## **Chapitre 3 :**

### **Approches d'intégrations mixtes monolithique/hybride de convertisseurs – puces multi-pôles et assemblages**





## 1. INTRODUCTION

Ce chapitre est dédié aux différentes approches d'intégration de convertisseur multi-phase étudiées durant cette thèse. Le chapitre commence par un rappel de l'approche bi-puce, puis se poursuit par la présentation et l'étude de trois nouvelles approches innovantes. Pour chacune d'elles, la démarche d'intégration est la même, avec une intégration monolithique des cellules de commutation couplée à une intégration hybride. Chacune des structures monolithiques proposées a été validée individuellement par des simulations 2D sous l'environnement Sentaurus™ TCAD. Puis, une fois leur fonctionnement validé, elles ont été associées pour former des convertisseurs. Les réalisations technologiques de convertisseurs associées à ces approches seront présentées dans le chapitre 5.

## 2. RAPPELS SUR L'APPROCHE BI-PUCE/MONOPUCE – PUCES MULTI-PÔLES ET ASSEMBLAGES

### 2.1. Introduction

Cette approche a été initiée à la fin de l'année 2009, puis brevetée en 2011 et étudiée dans le cadre de la thèse de Abdelilah El Khadiry soutenue en 2014 [1] [2]. Ce dernier a réalisé la puce à anode commune mais n'a pas eu le temps de développer le « mur P<sup>+</sup> », nécessaire à la réalisation de la puce à cathode commune. Dans son manuscrit, il présente également une version de convertisseur tout intégré monolithique dite « intégration ultime mono-puce ». Nous faisons ici un simple rappel de cette approche et présentons les principaux résultats expérimentaux.

### 2.2. Présentation des approches bi-puce et mono-puce classiques

Le principe de l'approche d'intégration « bi-puce » du convertisseur multi-phases, illustré en Figure 60, repose sur l'intégration monolithique de l'ensemble des interrupteurs du convertisseur sur deux macro-puces multi-interrupteurs. Les composants de la ligne *high-side* sont intégrés dans une première puce multi-pôles, dite « puce à anode commune ». Les composants de la ligne *low-side* sont eux intégrés sur une seconde puce multi-pôles, dite « puce à cathode commune ». Cette approche est générique et de ce fait, le nombre de macro-puces sera toujours le même et égal à deux, ceci quel que soit le nombre de phases du convertisseur à intégrer. Puisque la cellule de commutation est intégrée sur deux puces, la fonctionnalité d'un bras de commutation ne peut être obtenue que par l'association de ces deux puces. Une version plus poussée de cette approche « bi-puce » a été proposée avec l'approche d'intégration ultime dite « mono-puce ». L'idée de cette approche est d'intégrer le convertisseur multi-phase complet sur une seule et même macro-puce. Dans ce cas, la fonctionnalité du bras d'onduleur est intégrée dans la même puce et ne nécessite pas l'association de plusieurs puces.

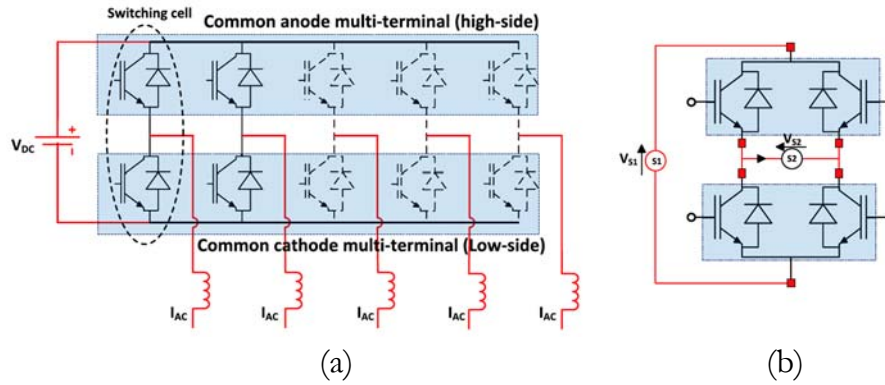


Figure 60 : illustration de l'approche d'intégration bi-puce : (a) convertisseur multi-phase et (b) pont en H [1]

L'analyse de l'approche bi-puce/mono-puce, bien qu'elle soit générique, a été étudiée dans le cadre de l'intégration d'un convertisseur à deux phases. Concernant la méthodologie, elle repose sur l'intégration monolithique du RC-IGBT classique. Ce dernier a été présenté en détails dans le chapitre précédent.

La vue en coupe 2D de la puce *high-side* dite puce à « anode commune » avec son schéma électrique équivalent sont représentés en Figure 61a. Cette macro-puce est composée de deux sections RC-IGBT partageant une région centrale électriquement commune. Elle possède 3 pôles : 1 électrode d'anode qui est commune aux deux sections RC-IGBT (A), et deux électrodes de cathode appartenant chacune à une section RC-IGBT (K1 et K2). La longueur minimale à imposer de la région centrale qui sépare latéralement les deux sections a été déterminée par simulations 2D de sorte à minimiser les interactions électriques entre les deux sections.

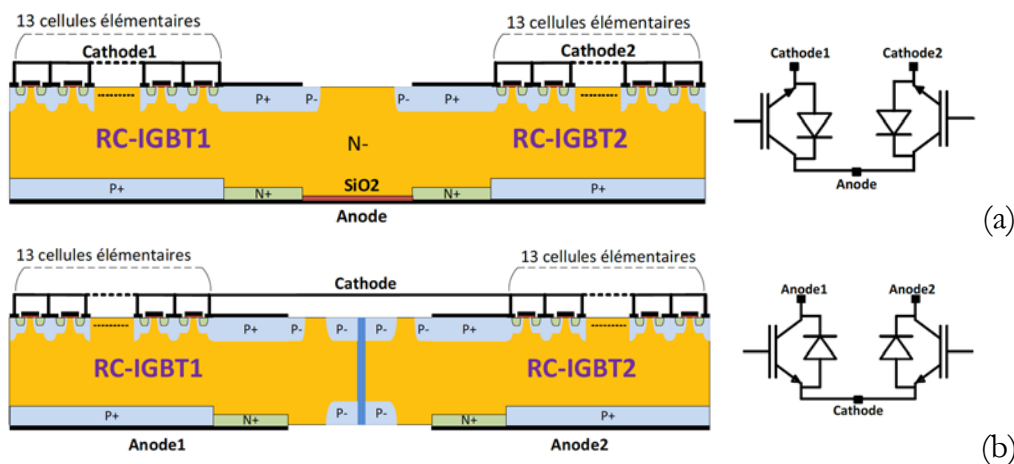


Figure 61 : vues en coupe 2D et symboles des structures multi-pôles : (a) puce à anode commune et (b) puce à cathode commune [1]

Une vue en coupe 2D de la puce *low-side* dite « puce à cathode commune » et son schéma électrique sont montrés en Figure 61b. Cette puce est composée de deux structures RC-IGBT séparées physiquement et électriquement par un mur P<sup>+</sup>. Elle possède une électrode d'anode pour chacune des sections RC-IGBT (A1 et A2), et une électrode de cathode qui est commune aux deux sections (K).

La vue en coupe de la mono-puce est représentée en Figure 62. Cette puce peut être vue comme une intégration monolithique des deux macro-puces à anode commune et à cathode commune. Avec la première puce qui serait placée au centre, et les sections RC-IGBT de la seconde puce placées de chaque côté avec une séparation par un mur P<sup>+</sup>.

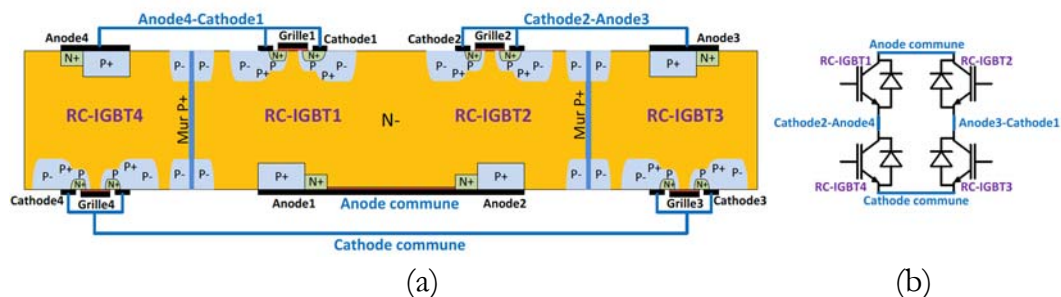


Figure 62 : (a) vue en coupe 2D de la mono-puce et (b) schéma électrique équivalent [1]

Un assemblage des deux puces multi-pôles a été proposé avec une interconnexion supérieure par fils de *bonding* (Figure 63a) et par clip (Figure 63b). La puce *low-side* est retournée (*flip-chip*) pour ramener le point milieu du bras, qui est sujet au  $dV/dt$  de commutations, au niveau supérieur des puces et non pas en contact avec le substrat de report. La perturbation de mode commun est ainsi considérablement réduite au niveau du substrat. La version clip permet de supprimer les connexions filaires, et rend possible le refroidissement par la face avant de la puce et le placement de composants au-dessus.

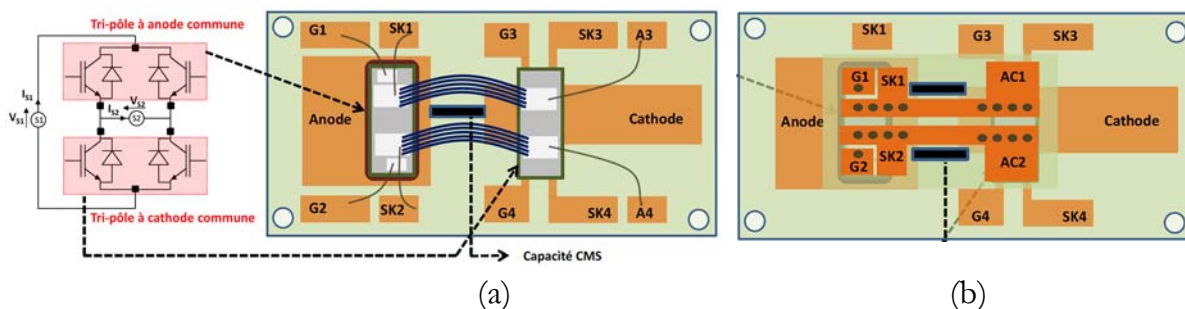


Figure 63 : assemblage proposé pour le convertisseur bi-puce : (a) version à fils de *bonding* et (b) version à clip PCB [1]

L'assemblage pour la mono-puce est montré en Figure 64. L'agencement des sections RC-IGBT *low-side* (3 et 4) place les points milieux en face supérieure et permet une interconnexion par un clip.

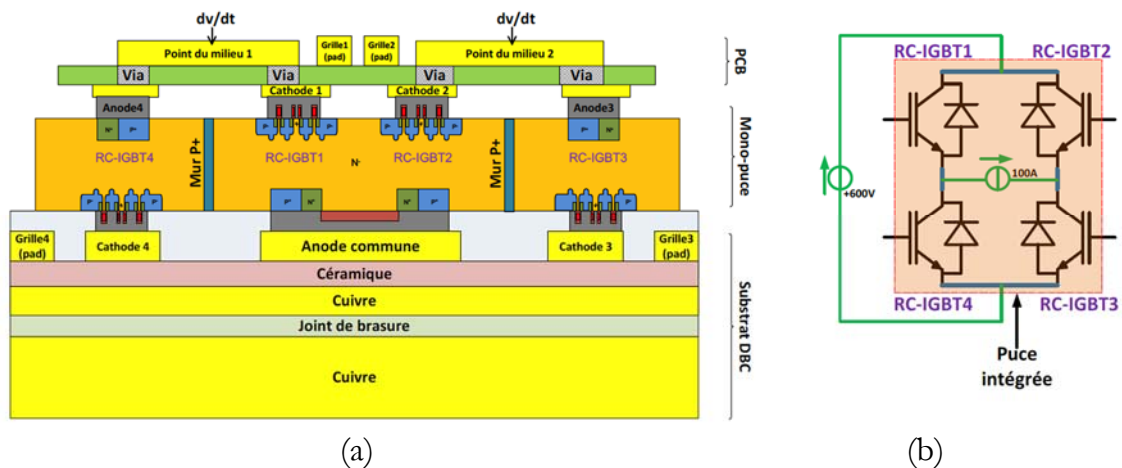


Figure 64 : assemblage proposé pour la mono-puce : vue 2D de principe et (b) schéma électrique équivalent [1]

### 2.3. Assemblage prototype et caractérisations électriques

La Figure 65a montre la photographie d'une plaquette 4 pouces intégrant des puces RC-IGBT et à anode commune réalisées. Un convertisseur à 2 phases a été réalisé avec une puce à anode commune et deux puces RC-IGBT discrètes *low-side* (en substitution à la puce à cathode commune). Les puces RC-IGBT discrètes ont été retournées.

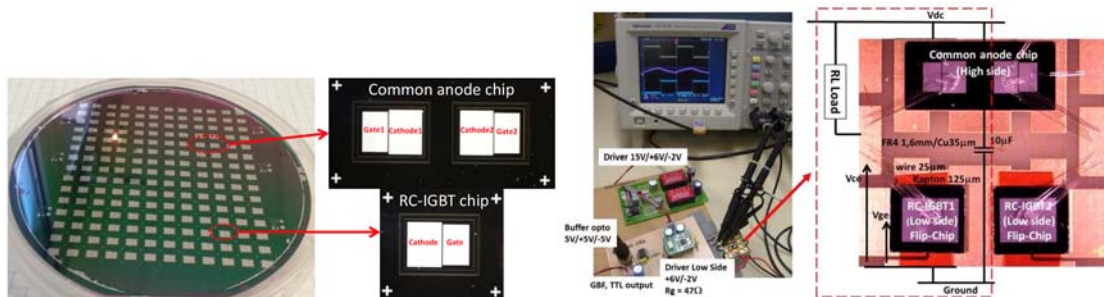


Figure 65 : (a) puces réalisées (RC-IGBT et anode commune) au LAAS, convertisseur prototype sur PCB avec 1 puce anode commune *high-side* et 2 puces RC-IGBT *low-side* (puces reportées avec une colle Epotek H20E et une couche isolante Kapton fenêtré)

Le convertisseur a été caractérisé en dynamique comme le montre les formes d'ondes des RC-IGBTs *low-side* en Figure 66.

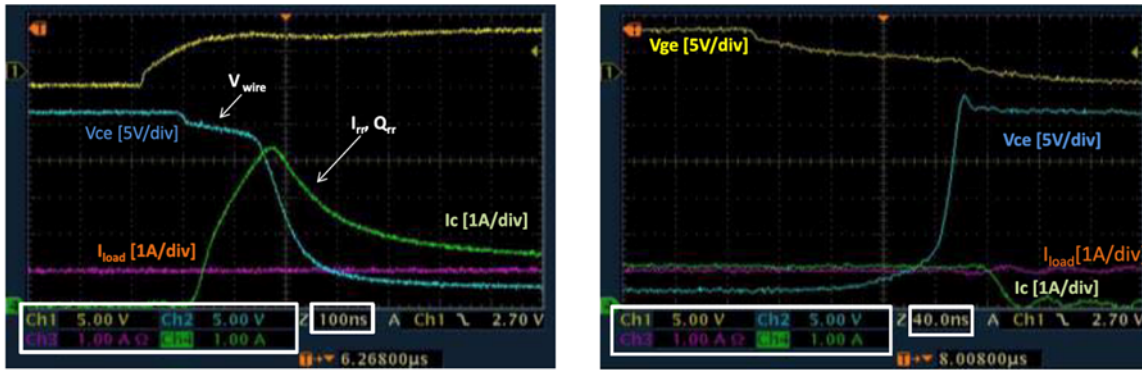


Figure 66 : formes d'ondes expérimentales à la mise en conduction (à gauche) et au blocage (à droite) du RC-IGBT 1 *low-side* (puce retournée) [1]

## 2.4. Bilan

Dans cette partie nous avons fait un rappel de l'approche bi-puce/mono-puce et présenté les principaux résultats marquants. Cette approche a été la première et nous a inspiré dans la proposition de nouvelles approches qui seront présentées dans la suite de ce chapitre. Au niveau réalisation microélectronique, des puces RC-IGBT et anode commune avaient été réalisées et mises en œuvre dans un convertisseur prototype sur PCB. La puce à cathode commune n'avait pas pu être réalisée puisqu'elle nécessitait en plus le développement du mur P<sup>+</sup>.

## 3. APPROCHE TRI-PUCE – PUCES MULTI-PÔLES ET ASSEMBLAGE

### 3.1. Introduction

Cette approche « tri-puce » peut être vue comme un prolongement de l'approche « bi-puce » classique sur substrat silicium N. La particularité de cette nouvelle approche, par rapport à la classique, réside principalement dans l'intégration modifiée de la partie *low-side*. Dans la puce à cathode commune (puce *low-side* de l'approche bi-puce), chaque section RC-IGBT est isolée électriquement par un mur P<sup>+</sup> l'entourant et traversant toute l'épaisseur du substrat. Pour s'affranchir partiellement de la réalisation du mur P<sup>+</sup> traversant, la solution a été d'intégrer la partie *low-side* du convertisseur sur deux macro-puces distinctes.

### 3.2. Présentation de l'approche tri-puce

Le principe de l'approche d'intégration du convertisseur multi-phase « tri-puce » repose sur l'intégration monolithique de l'ensemble des interrupteurs du convertisseur sur trois macro-puces multi-interrupteurs, comme illustré en Figure 67. Les composants de la ligne *high-side* sont intégrés dans une première puce multi-pôles dite « puce à anode commune »,

identique à celle de l'approche bi-puce. Les composants de la ligne *low-side* sont eux intégrés sur deux puces multi-pôles dites « puce multi-IGBT » et « puce multi-diode ». Cette approche est générique et de ce fait le nombre de macro-puces sera toujours le même et égal à 3, ceci quel que soit le nombre de phases du convertisseur à intégrer. Puisque la cellule de commutation est intégrée sur trois puces, la fonctionnalité d'un bras de commutation ne peut être obtenue que par l'association de ces trois puces.

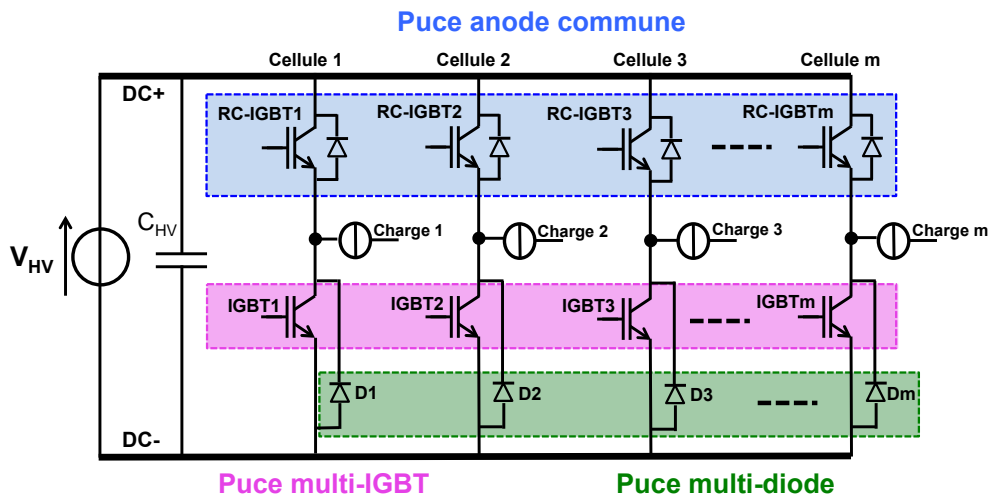


Figure 67 : principe de l'approche d'intégration 3-puce

Cette approche d'intégration a été étudiée dans le cadre d'un convertisseur à 2 phases. La vue en coupe 2D de la puce à anode commune et son schéma électrique sont rappelés en Figure 68. La structure n'est pas décrite de manière détaillée, puisqu'elle a déjà été étudiée et présentée dans le manuscrit de thèse de Abdelilah El Khadiry.

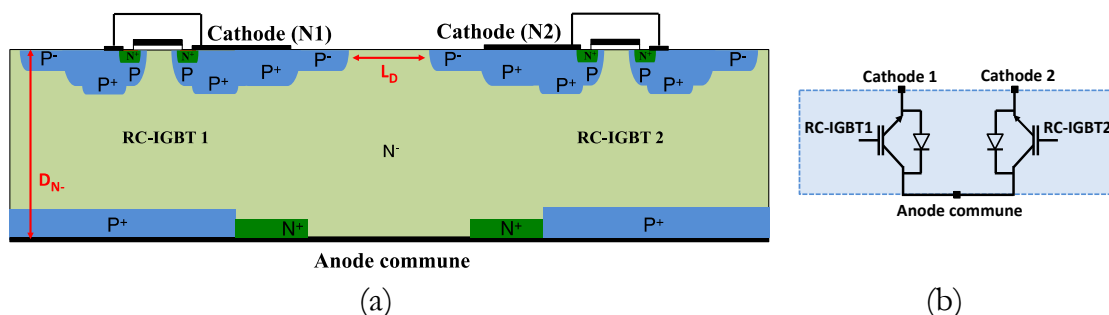


Figure 68 : (a) vue en coupe 2D de principe de la puce à anode commune et (b) son schéma électrique

La vue en coupe 2D de la puce multi-IGBT et son schéma électrique sont représentés en Figure 69. La structure est réalisée dans un substrat silicium N<sup>-</sup> épitaxiée. Cette dernière est composée de deux sections IGBT entourées chacune de leur mur continu, qui peut être rempli d'un diélectrique ou de polysilicium fortement dopé bore. La face avant de la structure est composée de cellules MOS avec des jonctions prolongées par une région P<sup>-</sup>. Cette terminaison de jonction, que l'on retrouve sous le terme technique de JTE (*Junction*

*Termination Extension*), a pour rôle d'augmenter la courbure des lignes équipotentielles sous la région  $P_{well}$  afin d'augmenter la valeur de la tension de claquage. Cette structure possède des tranchées comme dans le cas de la puce à cathode commune, à la différence majeure que celles-ci ne sont pas traversantes. De ce fait, ce mur non traversant peut être réalisé plus simplement, à partir d'une seule et même tranchée continue et non traversante. Contrairement à la puce à cathode commune, qui intègre elle aussi un mur continu mais qui ne peut être réalisé qu'à partir d'une multitude de tranchées discontinues et traversantes. Sur la face arrière de la puce, la tranchée de diélectrique et les murs  $P^+$  permettent d'assurer l'isolation électrique entre les deux sections IGBT. Cette tranchée traverse tout le substrat  $P^+$  jusqu'à la région  $N^-$ .

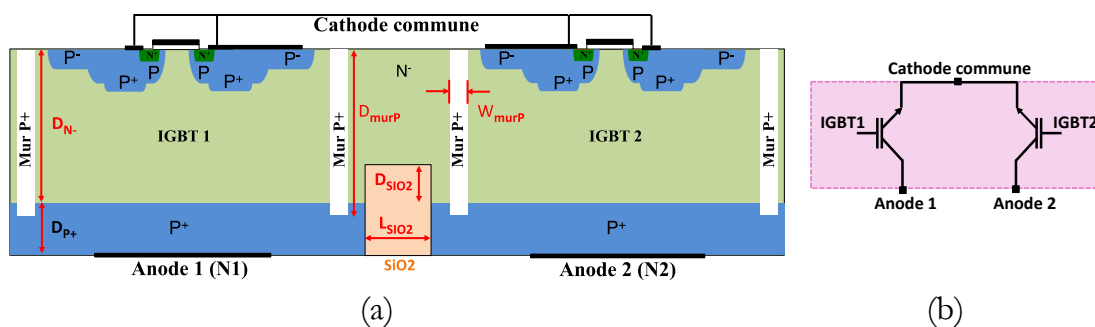


Figure 69 : (a) vue en coupe 2D de principe de la puce multi-IGBT et (b) son schéma électrique

La vue en coupe 2D de la puce multi-diode est représentée en Figure 70. Cette puce est également réalisée dans un substrat épitaxié  $N^-$ . Elle est composée de deux sections diode séparées par une tranchée, qui peut être remplie d'un diélectrique ou de polysilicium dopé en bore. Celle-ci est conçue avec une région commune  $P^+$  en face arrière de manière à décaler la contrainte de  $dV/dt$  sur sa face avant, lorsque la puce sera reportée sur son substrat.

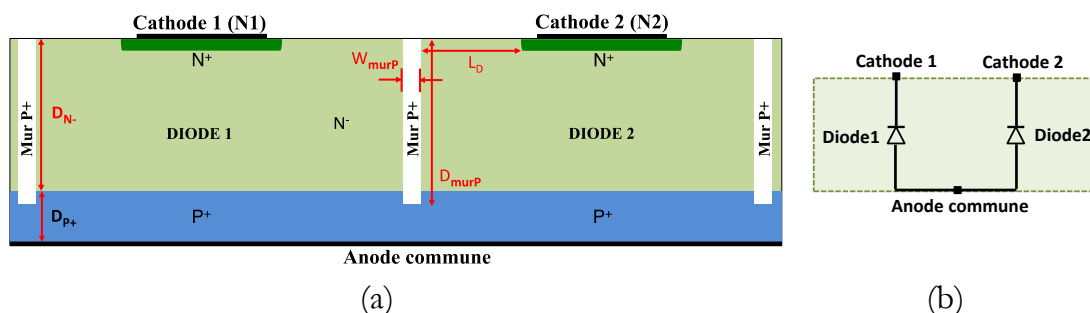


Figure 70 : (a) vue en coupe 2D de principe de la puce multi-diode et (b) son schéma électrique

Cette puce conçue ainsi n'a pas à être retournée, ce qui en facilite l'intégration hybride. L'isolation électrique entre les deux sections est assurée par la tranchée centrale non-traversante. La capacité de tenue en tension latérale de la structure dépend des paramètres

physiques et géométriques de cette tranchée centrale et de la distance entre la section diode et la tranchée.

Un assemblage de ces trois puces est proposé en Figure 71. La puce *high-side* à anode commune (bleu) est placée au centre, et les puces *low-side* sont placées chacune d'un côté. Les puces sont reportées de manière classique sur leur face arrière, sauf pour la puce multi-IGBT qui doit être retournée. De cette manière, comme cela sera détaillé dans le chapitre 5 dédié aux assemblages, l'inductance de la maille de commutation est réduite à celle d'un seul faisceau avec un effet de substrat très diminué car ce dernier ne subit aucune perturbation de  $dV/dt$  de commutation. Les deux puces *low-side* ne sont pas toujours impliquées dans les applications de conversion. C'est le cas des applications hacheurs *buck* ou *boost* qui ne font intervenir qu'une seule puce *low-side* à la fois. Dans ce cas la structure d'assemblage peut être réduite à seulement deux macro-puces. Cet assemblage proposé a été étudié par des réalisations technologiques de convertisseur de puissance qui seront présentées dans le chapitre 5.

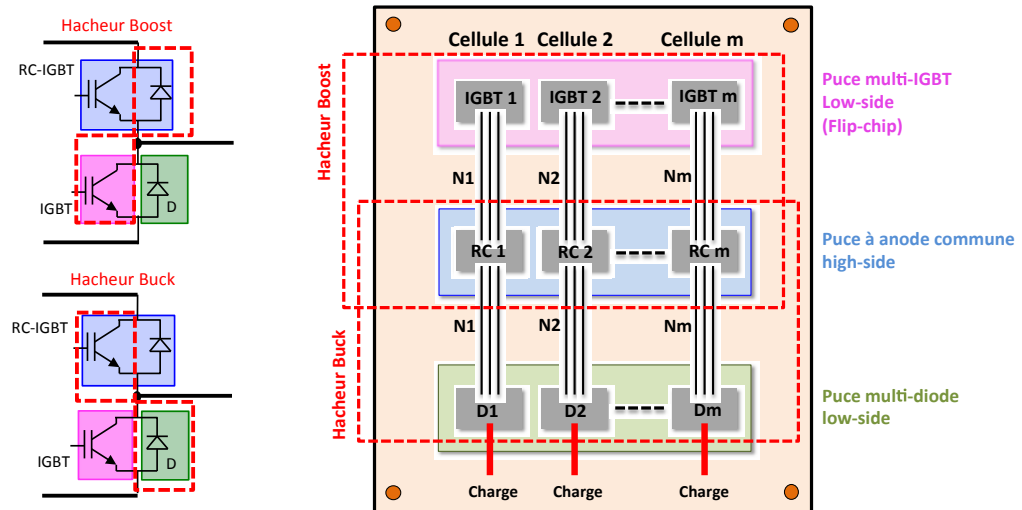


Figure 71 : assemblage proposé des puces : puce *high-side* à anode commune au centre, puces *low-side* multi-IGBT et multi-diode de part et d'autre

### 3.3. Validation du fonctionnement des puces multi-pôles par simulations physiques 2D

Les trois structures monolithiques multi-pôles ont été étudiées par simulations 2D sous Sentaurus™. Les puces sont dessinées en deux dimensions, puis projetées sur la troisième dimension en appliquant un paramètre multiplicateur de surface « Z ». Pour l'ensemble des simulations présentées dans cette étude, la surface active de chaque section interrupteur est paramétrée à 1 cm<sup>2</sup>. Les paramètres physiques et géométriques des sections RC-IGBT dans les puces multi-pôles sont ceux imposés par la filière IGBT du LAAS (Chapitre 2 – Figure 53).



L'étude de nos structures a été menée en deux étapes. Tout d'abord, les puces ont été simulées seules pour valider leur fonctionnement statique indépendamment. Puis elles ont été simulées collectivement pour valider leur fonctionnement dynamique dans une application de conversion.

Concernant la première étude statique, chaque puce a été simulée dans des conditions de fonctionnement qui correspondraient à leur état statique dans une application de conversion. Ces conditions sont illustrées sur le convertisseur de la Figure 72, avec une commande diagonale des bras de pont. Au niveau de chaque ligne horizontale d'interrupteurs, lorsqu'une section interrupteur est passante l'autre est bloquée et doit supporter la tension d'alimentation du bus. Les potentiels des points milieu évoluent entre le niveau haut ( $V_{BUS}$ ) et le niveau bas (masse) de la tension d'alimentation du bus. Ces conditions de fonctionnement ont été appliquées de manière approchée aux puces monolithiques. Pour chacune des puces, nous analyserons leur fonctionnement par l'observation de deux résultats de simulations : le premier correspondant à la distribution des lignes de potentiels et le second correspondant à la distribution des densités de courant.

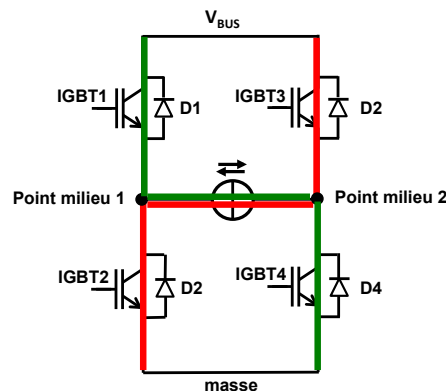


Figure 72 : commande diagonale des bras de pont (conditions de fonctionnement statique)

### 3.3.1. Puce à anode commune *high-side*

Les conditions de simulations décrites précédemment ont été appliquées à la puce à anode commune, comme montré en Figure 73. L'épaisseur du substrat N<sup>-</sup> est de 130  $\mu\text{m}$ . D'après nos simulations, cette épaisseur est suffisante pour la tenue en tension de 600 V d'une structure IGBT classique. La distance entre les deux sections RC-IGBT est de 1 mm. Cette distance a été déterminée par Abdelilah El Khadir, qui a présenté dans sa thèse une étude par simulations sur l'espacement entre deux sections RC-IGBT. Chaque section RC-IGBT est simulée avec 9 cellules MOS élémentaires en parallèle. La section RC-IGBT 1 est bloquée et la section RC-IGBT 2 est rendue passante avec une polarisation sur la grille de +15 V. La Cathode 2 est polarisée au potentiel haut ( $V_{BUS} = +600 \text{ V}$ ). La Cathode 1 est au potentiel bas (masse 0 V). Une source de courant

continue de 100 A DC est connectée à l'électrode d'anode commune pour simuler le courant de la charge. Cette dernière sera orientée dans un sens selon la conduction de l'IGBT ou de la diode du RC-IGBT.

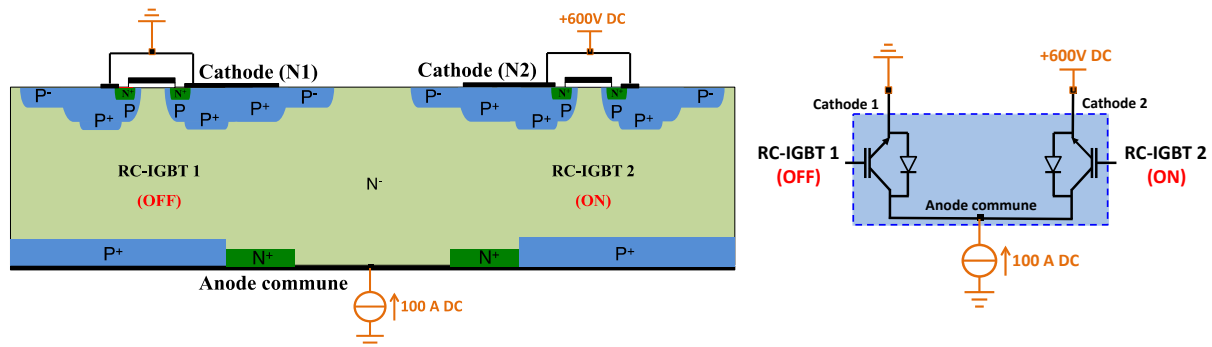


Figure 73 : conditions de simulations appliquées à la puce à anode commune

La Figure 74 montre les lignes de potentiel dans la structure. Le potentiel de +600 V appliqué sur Cathode 2 polarise la zone de drift  $N^-$  car il n'y a pas d'isolation entre les deux sections. Cathode 1 étant connectée à la masse, la jonction P/N qui assure la tenue en tension du RC-IGBT 1 doit donc être polarisée en inverse. Ceci est observable avec l'étalement de la zone de charge d'espace (ZCE) sous les sections MOS qui se prolonge jusqu'à la JTE. La mesure du courant de fuite à travers cette section bloquée nous donne une valeur de l'ordre de  $7 \mu A$ , qui est négligeable.

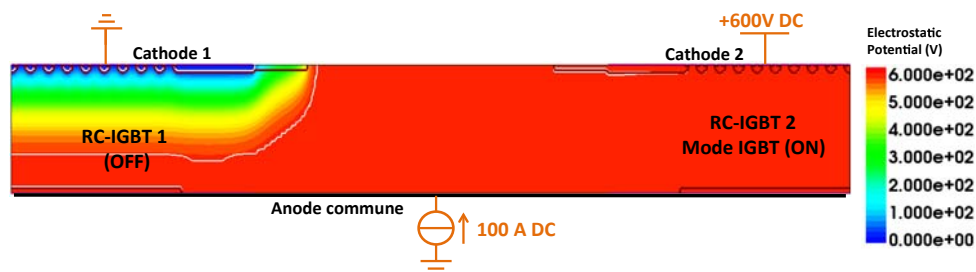


Figure 74 : lignes équipotentielles dans la structure à anode commune

La Figure 75 montre les densités de courant dans la structure. Nous pouvons voir une forte densité de courant dans la section IGBT du RC-IGBT 2 qui diminue progressivement dans la région de diode. La grille du RC-IGBT 2 étant polarisée à une tension positive de +15 V, le courant circule à travers la structure de l'IGBT, soit de l'anode commune vers la Cathode 2. Pour mieux identifier les niveaux de densité de courant, une coupe transversale a été réalisée sur toute la largeur de la structure. La valeur de la densité de courant dans la section de gauche bloquée est quasiment nulle sur toute la largeur de la section.

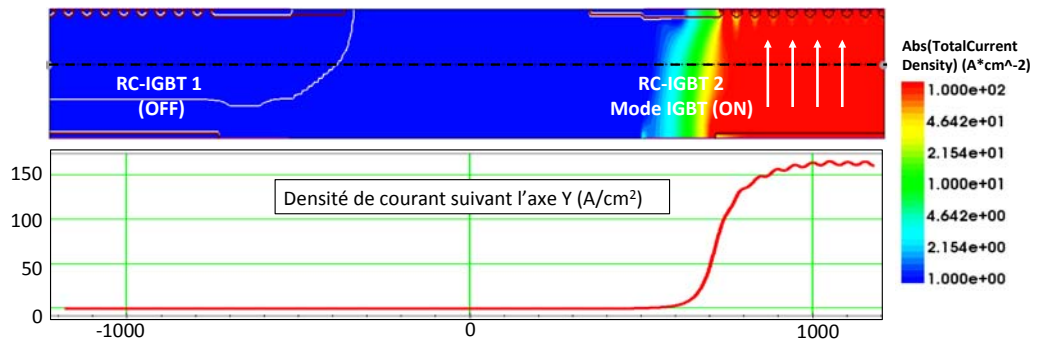


Figure 75 : densité de courant dans la structure à anode commune (mode IGBT)

### 3.3.2. Puce multi-IGBT *low-side*

La Figure 76 rappelle l'architecture de la puce multi-IGBT avec les conditions de simulations appliquées. Le substrat P<sup>+</sup> a une épaisseur de 50  $\mu\text{m}$  et la couche N<sup>-</sup> épitaxiée de 120  $\mu\text{m}$ . La structure est composée d'une cellule MOS. La section IGBT 1 de gauche est rendue passante avec une polarisation sur la grille de +15 V, la section IGBT 2 de droite est bloquée avec une tension de grille nulle. L'électrode Anode 1 est mise au potentiel bas (masse) et l'électrode Anode 2 est polarisée au potentiel haut (+600 V). Une source de courant de 100 A DC est connectée à l'électrode Cathode commune et orientée dans le sens sortant de l'électrode.

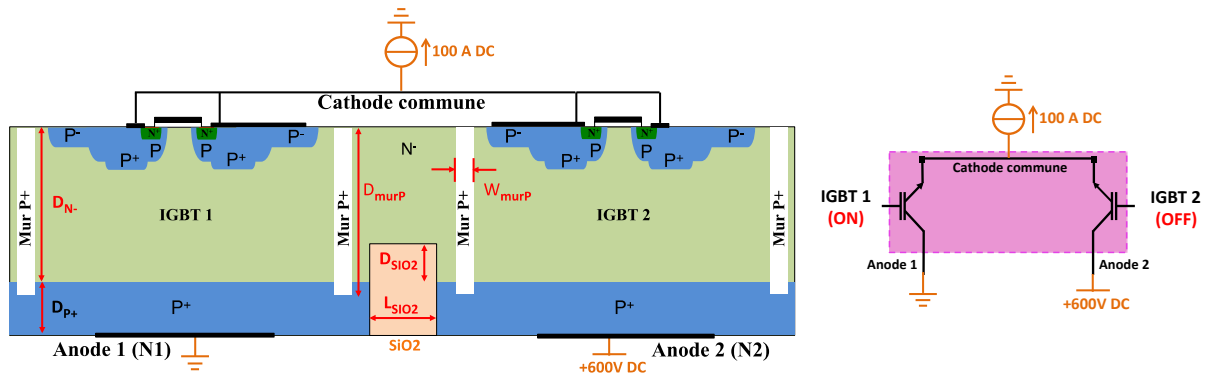


Figure 76 : conditions de simulations appliquées à la puce multi-IGBT ( $D_{N^-} = 120 \mu\text{m}$ ,  $D_{P^+} = 50 \mu\text{m}$ ,  $W_{\text{murP}} = 20 \mu\text{m}$ ,  $D_{\text{murP}} = 120 \mu\text{m}$ ,  $L_{\text{SiO}_2} = 150 \mu\text{m}$ ,  $D_{\text{SiO}_2} = 55 \mu\text{m}$ )

La Figure 77 montre les lignes équipotentielles dans la structure multi-IGBT. La section IGBT de gauche en conduction polarise l'électrode Cathode commune au potentiel bas ( $0 \text{ V} - V_{\text{on\_IGBT 1}}$ ). Avec la polarisation positive de l'anode 2, la jonction PN de tenue en tension de l'IGBT 2 est polarisée en inverse. Ceci est observable avec un étalement de la ZCE sous les cellules MOS et se prolongeant jusqu'aux terminaisons JTE. La mesure du courant de fuite à travers la section bloquée est de l'ordre de 16  $\mu\text{A}$ , ce qui est négligeable. On peut voir une seconde ZCE qui s'étale dans la région centrale inter-sections IGBT.

Cette ZCE correspond à la polarisation inverse de la jonction P/N formée par le mur P<sup>+</sup> de gauche et la région centrale N<sup>-</sup>.

La Figure 78 montre les densités de courant dans la structure. On peut voir une densité de courant plus importante dans la section IGBT 1 qui est en conduction. Le courant circule dans la section IGBT 1 de l'Anode 1 vers la Cathode commune. Pour mieux évaluer les niveaux de densité de courant une coupe transversale a été réalisée sur toute la largeur de la structure. Comme on peut le voir dans la section IGBT passant le pic de densité de courant est au niveau de l'injection de la section MOS. La valeur de la densité de courant dans la section IGBT bloquée est quasi nulle.

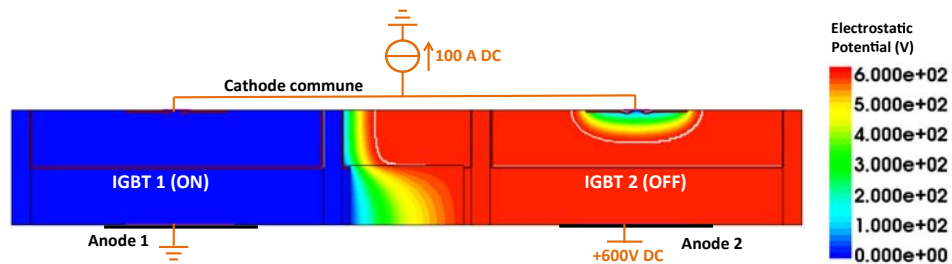


Figure 77 : répartition des lignes équipotentielles dans la structure multi-IGBT

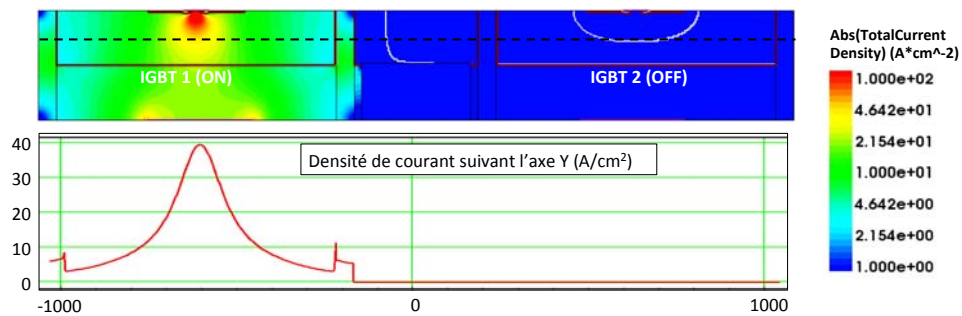


Figure 78 : densité de courant dans la structure multi-IGBT

Nous nous sommes intéressés à l'influence des paramètres géométriques des tranchées de la région centrale sur le courant de fuite. Pour cela, nous avons mesuré le courant de fuite dans la section bloquée pour 3 paramètres : la largeur de l'oxyde central  $L_{SiO_2}$ , la profondeur de l'oxyde central  $D_{SiO_2}$  et la largeur du mur P<sup>+</sup>  $W_{Pwall}$  non-traversant. Les paramètres étudiés sont indiqués en Figure 76. La Figure 79a montre l'influence de la largeur de l'oxyde central sur le courant de fuite. Nous pouvons voir qu'une largeur minimale de 300  $\mu m$  pour le SiO<sub>2</sub> central est nécessaire (avec ces deux valeurs de paramètres fixées), et qu'en-dessous de cette largeur le courant de fuite devient important. Nous pouvons également voir que la profondeur de l'oxyde central et la largeur du mur P<sup>+</sup> ont une influence sur le courant de fuite de la structure (Figure 79b et Figure 79c).

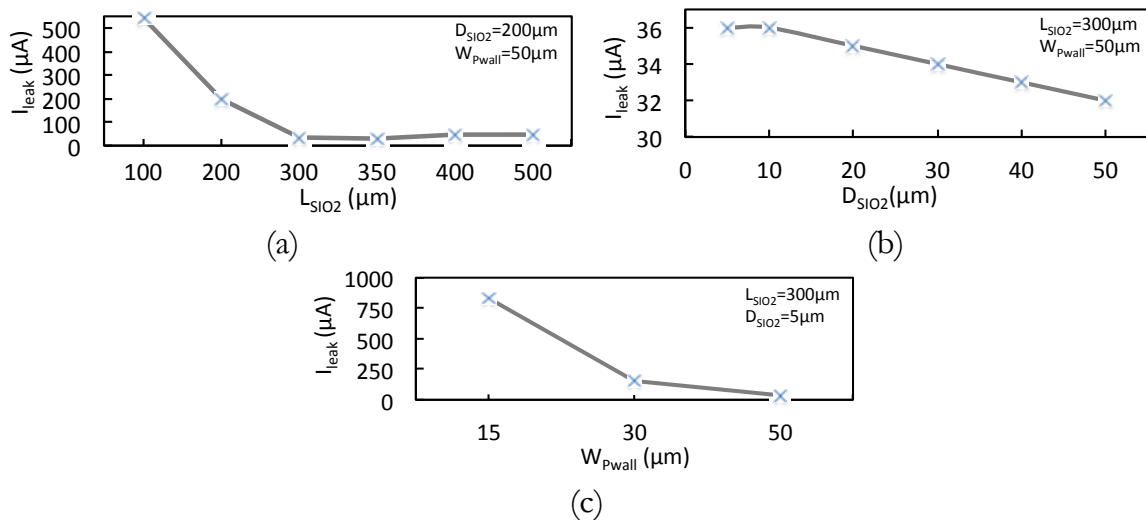


Figure 79 : influence des dimensions des tranchées de la région centrale sur la tenue en tension latérale de la structure : (a) la longueur de l'oxyde central  $L_{SiO2}$ , la profondeur de l'oxyde central  $D_{SiO2}$  et la largeur du mur  $P^+$   $W_{Pwall}$

### 3.3.3. Puce multi-diode *low-side*

Les conditions de simulations pour cette puce multi-diode sont illustrées en Figure 80. La section de droite Diode 2 est rendue bloquée avec une polarisation positive de Cathode 2 (+600 V). La section de gauche Diode 1 est passante avec Cathode 1 mise à la masse. Une source de courant de 100 A DC est connectée à l'anode commune et orientée dans le sens entrant de l'électrode.

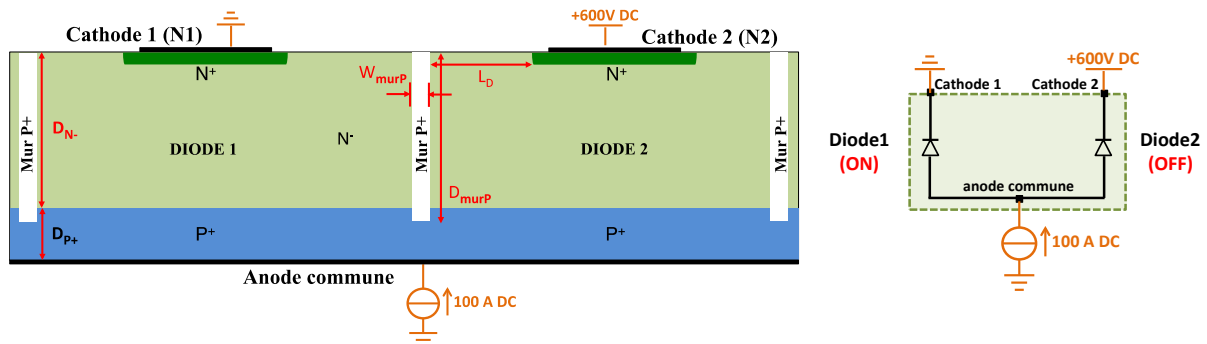


Figure 80 : conditions de simulations appliquées à la puce multi-diode ( $D_{N-} = 120 \mu m$ ,  $D_{P+} = 50 \mu m$ ,  $W_{murP} = 20 \mu m$ ,  $D_{murP} = 120 \mu m$ )

La Figure 81 montre les lignes équipotentielles dans la structure. La Diode 1 en conduction polarise à la masse le substrat  $P^+$  et les murs  $P^+$ . Avec un potentiel positif sur Cathode 2, la Diode 2 est donc polarisée en inverse. Ceci est observable avec l'étalement de la ZCE à l'intérieur de la section le long du substrat  $P^+$  et dans la verticalité le long des murs  $P^+$ . La ZCE s'étend principalement dans la région  $N^-$  dû à son niveau de dopage plus faible que celui des régions  $P^+$ . La mesure du courant de fuite donne une valeur négligeable de l'ordre de  $20 \mu A$  dans la section bloquée.

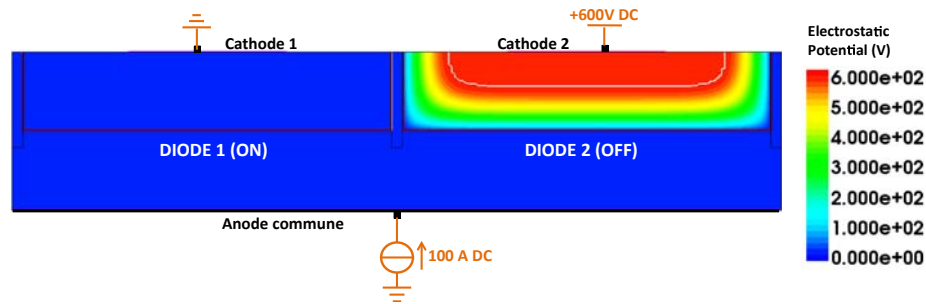


Figure 81 : distribution des lignes équipotentielles dans la structure multi-diode

La Figure 82 montre la répartition de la densité de courant dans la structure. Nous pouvons voir que le courant transite à travers la section de gauche Diode 1. Une coupe transversale donne les niveaux de densité de courant à travers la structure. Dans la section bloquée les valeurs sont très faibles. On remarque de forts niveaux de densités de courant au niveau du substrat P<sup>+</sup> et des murs P<sup>+</sup>.

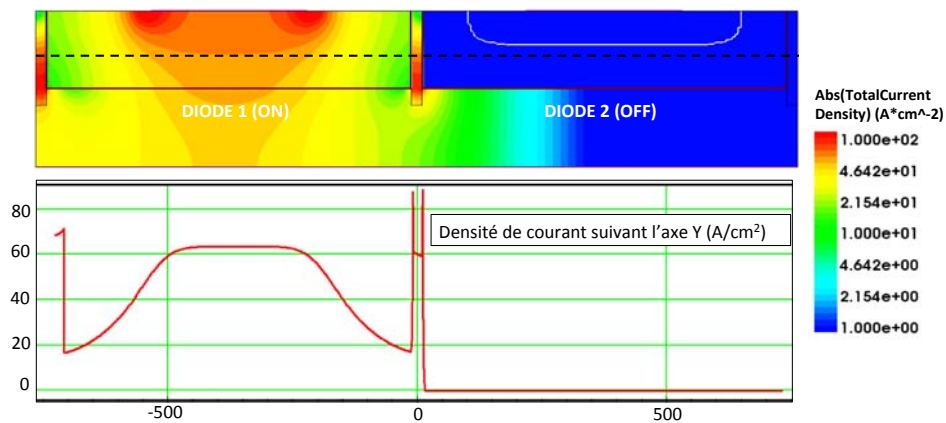


Figure 82 : densité de courant dans la structure multi-diode

Comme pour la puce multi-IGBT précédente, nous avons étudié l'influence des paramètres géométriques de la tranchée de la région centrale sur le courant de fuite de la structure. La Figure 83 montre le courant de fuite dans la section bloquée en fonction de 2 paramètres :  $L_D$  la distance entre le mur P<sup>+</sup> et la région N<sup>+</sup> de la diode,  $W_{Pwall}$  la largeur du mur P<sup>+</sup>. Les paramètres étudiés sont indiqués en Figure 80. D'après ces résultats, nous pouvons voir que la distance mur P<sup>+</sup>/diode a une influence sur la tenue en tension de la structure, avec un courant de fuite qui augmente fortement pour une distance inférieure à 200  $\mu\text{m}$  (Figure 83a). Nous voyons également que la largeur du mur P<sup>+</sup> influe sur la tenue en tension de la structure, et qu'une largeur minimale de 20  $\mu\text{m}$  est nécessaire (Figure 83b).

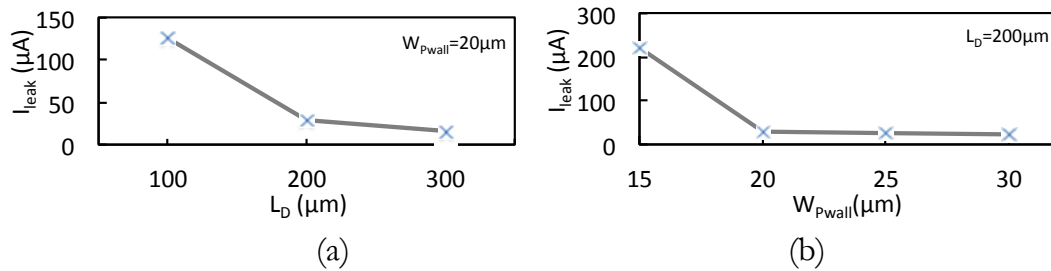


Figure 83 : influence des dimensions de la région centrale sur la capacité de tension latérale de la structure : (a) la longueur de l'oxyde central  $L_{SiO_2}$ , la profondeur de l'oxyde central  $D_{SiO_2}$  et la largeur du mur  $P^+$   $W_{Pwall}$

### 3.3.4. Association des puces multi-pôles dans une application onduleur de tension

Une première étude a permis de valider le fonctionnement statique de nos puces. Cette partie est dédiée à l'étude de nos structures en fonctionnement dynamique dans une application de conversion. Les trois puces ont été associées pour réaliser un convertisseur à 2 phases (Figure 84). Une source de courant de 100 A DC unidirectionnelle (sens de la flèche en Figure 84) est insérée entre les points milieu des deux cellules de commutation. Une source de tension de 100 V DC alimente le pont.

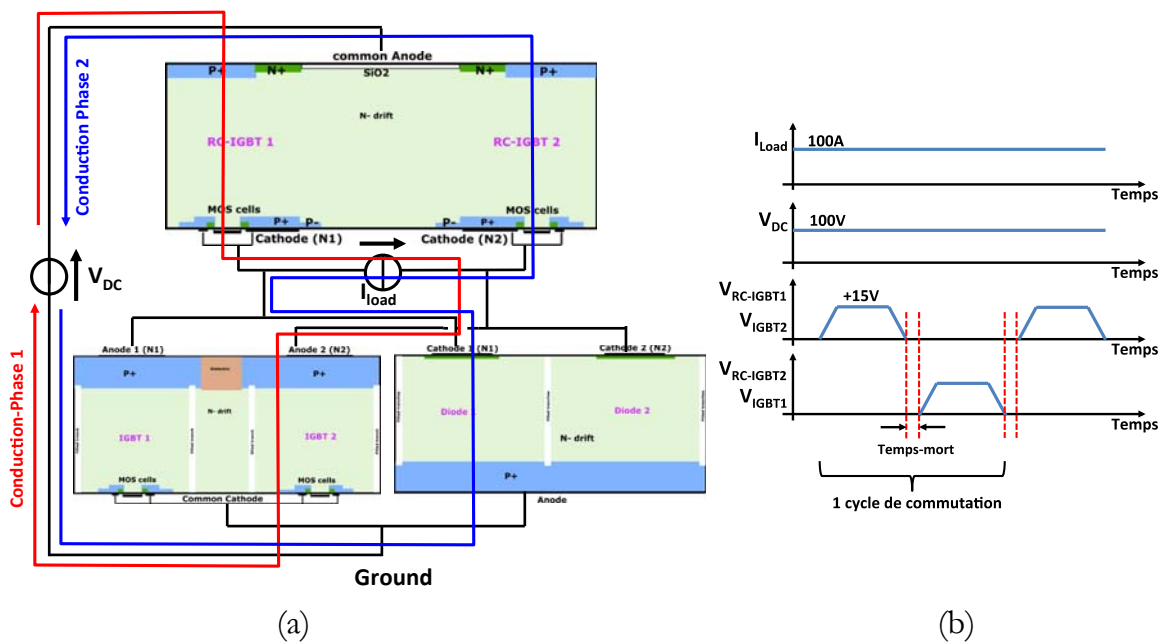


Figure 84 : (a) pont en H – mode tri-puce, (b) chronogrammes de commande (tension grille-cathode = +15 V, temps-mort = 1  $\mu s$ ,  $I_{load}$  = 100 A)

Les bras sont pilotés diagonalement et les interrupteurs sont commandés avec des rampes de tension sur la grille de 0 V/+15 V. Un temps mort de 1  $\mu s$  est inséré dans le chronogramme de commande entre le basculement des bras. Sur un cycle de commutation, on distingue deux phases de commutation (Figure 84) :

- **Conduction phase 1 :** les composants opposés diagonalement *high-side* gauche (RC-IGBT1) et *low-side* droit (IGBT2) sont pilotés, le courant circule à travers l'IGBT1 du RC-IGBT1 et l'IGBT2 de la puce multi-IGBT;
- **Conduction phase 2 :** Les composants opposés diagonalement *low-side* gauche (IGBT1) et *high-side* droit (RC-IGBT2) sont pilotés, le courant circule à travers la Diode1 et la diode monolithique du RC-IGBT2.

La Figure 85a montre le circuit simulé avec les grandeurs électriques observées dans le bras 1. La Figure 85b montre les formes d'ondes associées à ces grandeurs. Pour rappel, sur un cycle de commutation, le courant circule dans le bras 1 soit à travers l'IGBT du RC-IGBT1, soit à travers la diode D1 de la puce multi-diode. La courbe bleue  $V_{RC1}$  correspond à la tension aux bornes de l'IGBT (RC-IGBT1). La courbe rose est celle du courant de l'IGBT (RC-IGBT1). La courbe verte est la tension de commande de l'IGBT (RC-IGBT1). La courbe rouge est celle du courant de la diode D1. Les Figure 86 et Figure 87 représentent un agrandissement des formes d'ondes sur les phases de commutations à l'ouverture et à la fermeture du composant RC-IGBT1, respectivement.

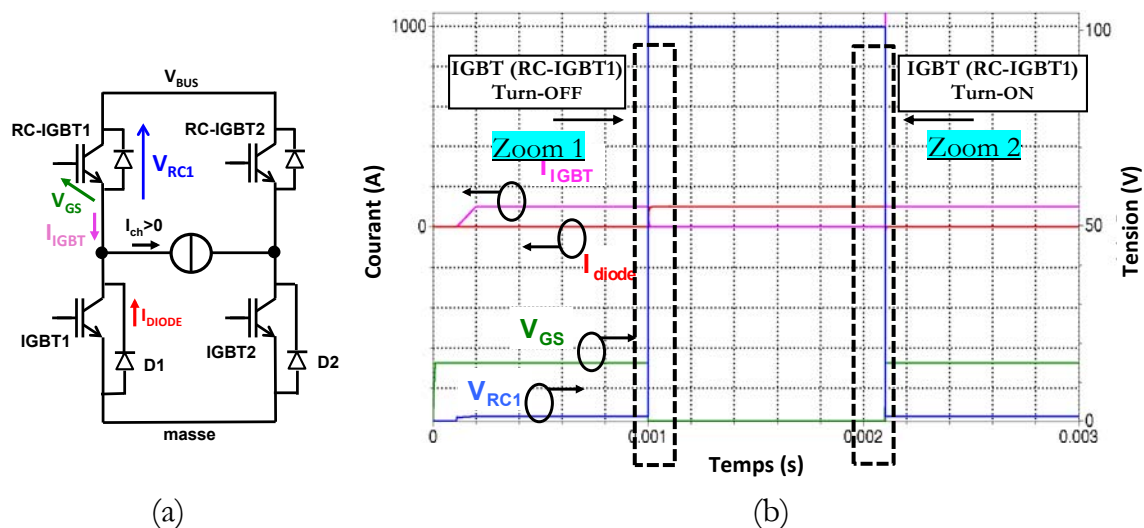


Figure 85 : (a) onduleur simulé avec les grandeurs électriques observées du bras 1 et (b) les formes d'ondes sur un cycle de commutation

- **Analyse de la 1<sup>ère</sup> commutation (zoom 1)**

Avant la commutation, l'IGBT (RC-IGBT 1) est passant (courbe rose) et donc le point milieu du bras 1 est au potentiel haut. La tension aux bornes de l'IGBT  $V_{RC1}$  vaut la valeur de la chute de tension  $V_{ce0} + (R_{ce} \times I_{on})$  (courbe bleue). La tension du bus est donc supportée par la diode de roue libre D1 bloquée. La grille du RC-IGBT 1 est commandée à la fermeture (courbe verte). La tension  $V_{GS}$  décroît progressivement et pour une certaine valeur de  $V_{GS}$  imposée par le courant de l'IGBT ( $V_{th} + I_{ch} / g_m$ ), la tension  $V_{ce}$  aux bornes de l'IGBT (RC-IGBT 1) se met à croître très rapidement alors que ce dernier est toujours



passant. Symétriquement, la tension aux bornes de la diode décroît. Lorsque la tension aux bornes de D1 vaut environ 0,7 V, cette dernière se met en conduction (courbe rouge). Le canal de l'IGBT actif sera coupé plus tard pendant la conduction de D1. Le courant à travers l'IGBT est dérivé progressivement par la diode. Nous pouvons voir le phénomène du recouvrement direct de la diode D1, qui se manifeste par un pic sur la courbe bleue  $V_{RC1}$  du RC-IGBT 1. La grille du RC-IGBT 1 est ici commandée en tension (absence de résistance de grille), il n'y a donc pas d'effet Miller (absence de plateau sur  $V_{GS}$ ). On peut aussi voir le courant (de queue) de l'IGBT décroître progressivement et croître symétriquement dans la diode. Nous vérifions donc le bon comportement de nos modèles.

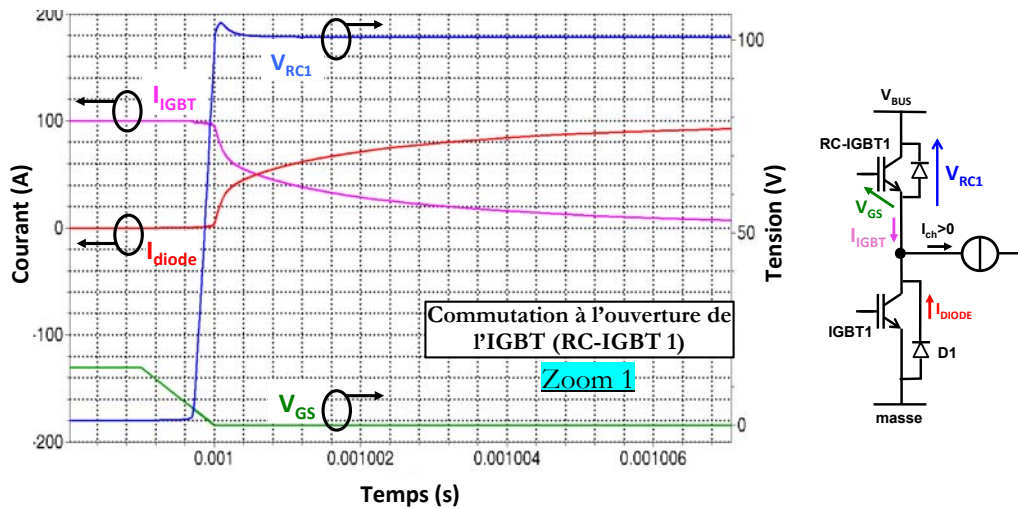


Figure 86 : agrandissement sur la phase de commutation à l'ouverture de l'IGBT (RC-IGBT1)

- **Analyse de la 2<sup>nd</sup> commutation (zoom 2)**

Avant la commutation, le courant circule à travers la diode D1 (courbe rouge) et donc le point milieu est au potentiel bas. La tension du Bus est supportée par la partie *high-side*, soit le RC-IGBT 1. Ensuite, l'IGBT (RC-IGBT 1) est commandé à la fermeture avec une rampe de tension de 0 à 15 V sur sa grille. Lorsque la tension  $V_{GS}$  a atteint la tension de seuil de l'IGBT, le canal MOS est créé. L'IGBT (RC-IGBT 1) se met en conduction et commence à dériver le courant débité par la charge. On assiste au recouvrement inverse de la diode D1 (courbe rouge) que l'on observe parallèlement sur la courbe de l'IGBT (courbe rose). Le potentiel du point milieu bascule du niveau bas au niveau haut. Ceci est observable sur la tension  $V_{RC1}$ , qui passe d'une valeur approximative de tension de Bus à la valeur de chute de tension directe de l'IGBT (RC-IGBT 1). Nous vérifions là encore le bon comportement de nos modèles et le dimensionnement de nos structures.

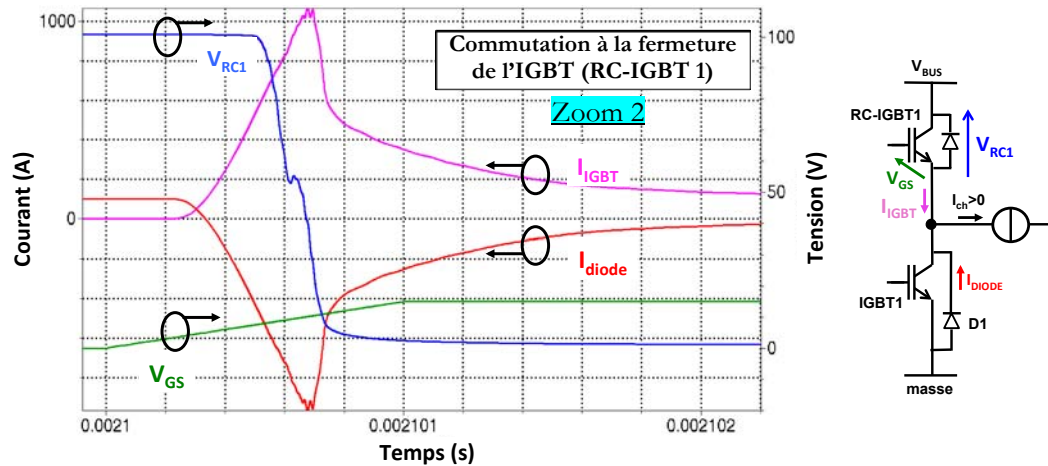


Figure 87 : agrandissement sur la phase de commutation à la fermeture de l'IGBT (RC-IGBT1)

### 3.4. Bilan

Cette partie était dédiée à la présentation et à l'étude par simulations physiques 2D de l'approche d'intégration de convertisseur 3-puce. Une première étude en statique a permis de valider le fonctionnement de nos structures, pour une tenue en tension de 600 V et un courant de 100 A/cm<sup>2</sup>. Ensuite, à travers une seconde étude, le comportement dynamique des puces a été analysé et validé dans un circuit onduleur à 2 phases. L'assemblage tri-puce a été étudié de manière expérimentale avec la réalisation de prototypes qui seront présentés dans le chapitre 5 de ce manuscrit.

## 4. APPROCHE BI-PUCE A SUBSTRATS COMPLÉMENTAIRES N et P – PUCES MULTI-PÔLES ET ASSEMBLAGES

### 4.1. Introduction

Pour les applications de conversion, l'utilisation de composant de puissance complémentaire à substrat P silicium est très rare comparée à leur homologue sur substrat N, et ceci est principalement liée à leurs performances moindres. Toutefois, l'association d'un transistor P à un transistor N pour former un bras d'onduleur complémentaire offre des solutions sur la commande, et vient modifier le comportement EMI de mode commun. Le transistor P peut être placé en *high-side* ou en *low-side*. Si le composant est placé du côté *high-side*, alors les commandes des transistors sont référencées par rapport à des potentiels fixes dans une configuration de « commande dual-driver » bras. Si le transistor P est placé en *low-side*, alors nous obtenons un bras d'onduleur en configuration push-pull dans une configuration de « commande mono-driver ». Outre les avantages au niveau de la commande, l'intégration monolithique du convertisseur complet sur des substrats complémentaires offre des solutions d'améliorations au niveau packaging.

Ainsi, dans un premier temps, nous allons décrire l'approche d'intégration bi-puce mixte N-P avec ses deux configurations de convertisseurs. Ensuite, nous présenterons les résultats de simulations physiques 2D structurées en trois parties : la première partie est dédiée à l'étude des composants complémentaires, la seconde à la validation du fonctionnement des structures monolithiques, et la dernière à l'étude de la commande mono-driver.

## 4.2. Présentation de l'approche bi-puce à substrats complémentaires N et P

L'approche d'intégration bi-puce mixte, qui combine des substrats complémentaires N et P, se décline sous deux configurations de convertisseur.

### 4.2.1. Configuration 1 : structures N-*high-side* et P-*low-side* en commande mono-driver

La première configuration de l'approche bi-puce à substrats complémentaires est illustrée en Figure 88. Le principe repose sur l'intégration de l'ensemble des interrupteurs du convertisseur multi-phase générique sur deux macro-puces multi-interrupteurs. Les interrupteurs de la ligne *high-side* sont intégrés dans une première macro-puce à substrat N. Les interrupteurs de la ligne *low-side* sont intégrés dans une seconde puce à substrat P. L'approche repose sur l'intégration de structures RC-IGBT. Chaque phase du convertisseur est constituée de deux composants complémentaires en séries RC-IGBT N et RC-IGBT P. Cette approche présente l'avantage de ne pas nécessiter de mur traversant P+, contrairement à l'approche bi-puce conventionnelle sur substrat N.

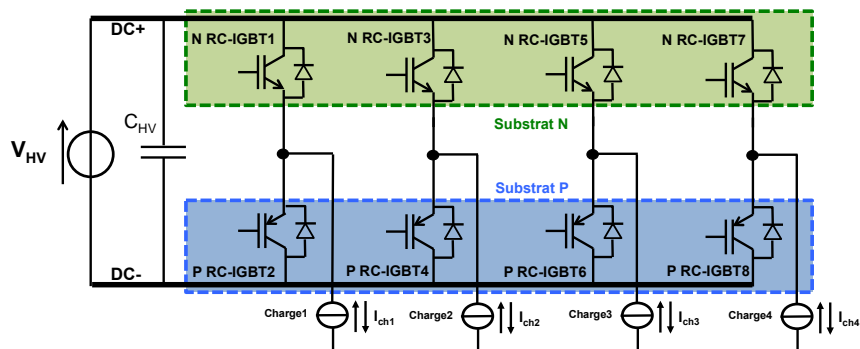


Figure 88 : illustration de l'approche d'intégration bi-puce à substrats complémentaires pour la configuration de commande mono-driver

La Figure 89 montre l'architecture des deux puces pour le cas d'intégration d'un convertisseur à 3 phases. On remarque qu'aucune de ces deux structures n'intègre dans leur architecture des tranchées d'isolement entre interrupteurs. La Figure 89a montre la structure 2D de la puce à anode commune composée de trois sections RC-IGBT N. Cette puce a déjà été présentée dans le contexte de l'approche bi-puce classique à substrats N. La puce *low-side* sur substrat P est montrée en Figure 89b. Cette dernière intègre trois

sections RC-IGBT P. Les électrodes d'anode de chaque section sont situées en face avant avec les grilles, les électrodes de cathode en face arrière sont mutualisées en une électrode commune. Le fait d'avoir des électrodes opposées sur la puce P permet une interconnexion directe puce à puce avec la puce N sans passer par un *flip-chip* (Figure 91).

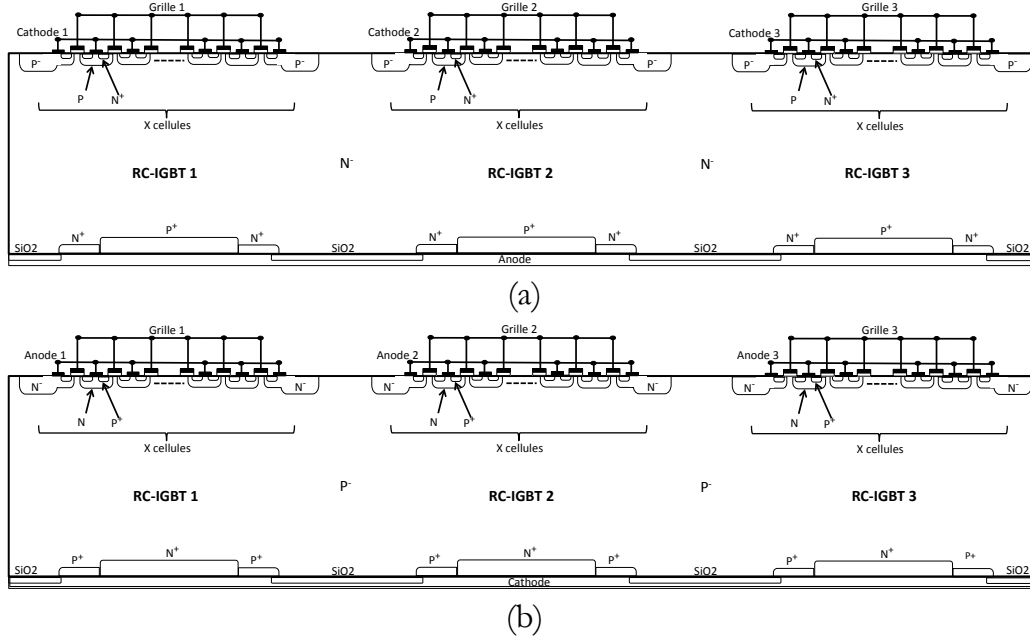


Figure 89 : structures monolithiques pour l'intégration de 3 phases : (a) puce à anode commune *high-side* sur substrat N et (b) puce à cathode commune *low-side* sur substrat P

De par leur nature, le RC-IGBT N se pilote par une tension  $V_{gk}$  (grille-cathode) positive, alors que le RC-IGBT P lui se pilote par une tension  $V_{ga}$  (grille-anode) négative. Sur un même bras, la tension de commande des deux composants RC-IGBT est référencée à un même nœud qui est le point milieu du bras. Dans un bras classique, les deux interrupteurs ont chacun un circuit de commande indépendant. Avec ces interrupteurs complémentaires N et P, on peut utiliser un seul circuit de commande et une seule alimentation auxiliaire isolée pour les deux interrupteurs, placés entre la grille (qui est commune) et le point milieu du bras. L'avantage principal est la réduction de moitié du nombre d'électronique de commande et des alimentations auxiliaires associées (en revanche, la puissance à acheminer est double puisque les deux grilles sont en parallèle). Pour un convertisseur à "p" phases, il faut donc "p" circuits de commande contre " $2 \times p$ " pour un montage classique. L'utilisation de composants complémentaires offre un autre avantage qui est l'autoprotection contre les court-circuits. En effet, comme les tensions de seuil sont de signes opposés, lors de la commutation du bras il existe une zone inter-tension de seuil, sorte de bande morte, qui offre un temps mort naturel et évite par principe le court-circuit. La valeur "apparente" de ce temps mort peut être réglée par la vitesse d'évolution ( $dV_{GS}/dt$ ) de la tension commune aux deux grilles.

Le circuit de commande mono-driver est représenté sur la Figure 90. Il est composé d'un *buffer* et de son alimentation isolée (+15 V/-15 V), la capacité parasite entre le primaire et le secondaire doit être la plus faible possible (<10 pF). Le générateur de signaux est isolé du *buffer*. Dans la pratique, le *buffer* possède une résistance interne de l'ordre de 0,1  $\Omega$  qui est faible devant la valeur de la résistance de grille, et un *slew-rate* très rapide qui n'impacte pas les fréquences de découpage.

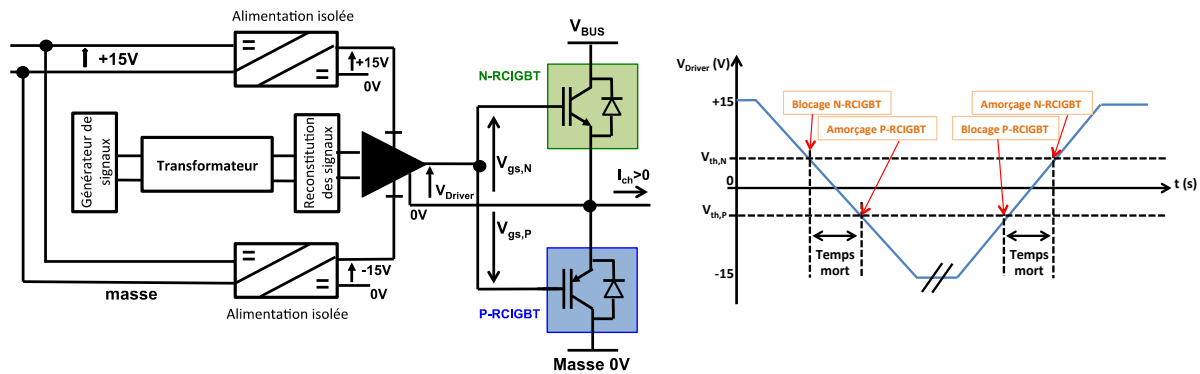


Figure 90 : principe de la commande mono-driver sur un bras de commutation mixte

Un assemblage de ces deux puces est proposé en Figure 91.

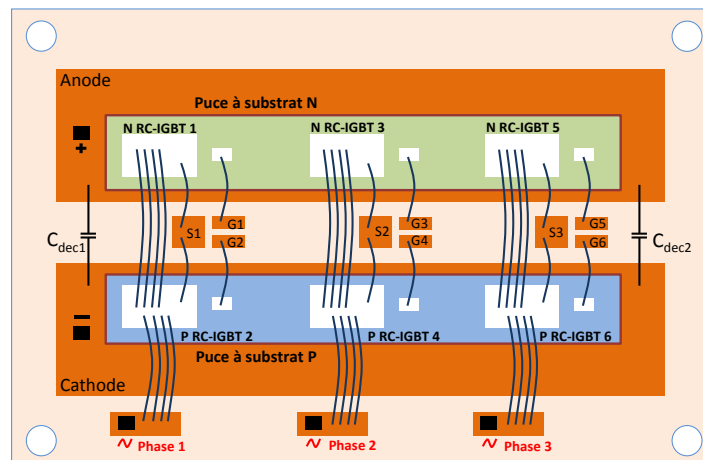


Figure 91 : assemblage proposé pour les deux puces multi-pôles dans le cadre d'un convertisseur à 3 phases

Un avantage d'utiliser des composants complémentaires réside au niveau du report des puces. Les deux puces présentent des électrodes de source ou d'émetteur en face avant, qui peuvent être connectées directement d'une puce N à une puce P, sans passer par le substrat de report comme dans l'assemblage classique. On obtient ainsi une maille de commutation, à un seul faisceau de fils, située au-dessus des puces. Le  $dV/dt$  de commutation n'est alors pas visible sur le substrat, sauf au niveau du pad de connexion de la charge. L'assemblage classique permet aussi d'obtenir la même maille mono-faisceau supérieure mais au prix d'un *flip-chip* de la puce *low-side*.

#### 4.2.2. Configuration 2 : structures P-high-side et N-low-side en commande dual-driver

La seconde configuration de l'approche bi-puce mixte est illustrée en Figure 92. Cette fois-ci, les composants *high-side* sont intégrés dans un substrat P et les composants *low-side* dans un substrat N. Les puces intègrent des composants RC-IGBT complémentaires.

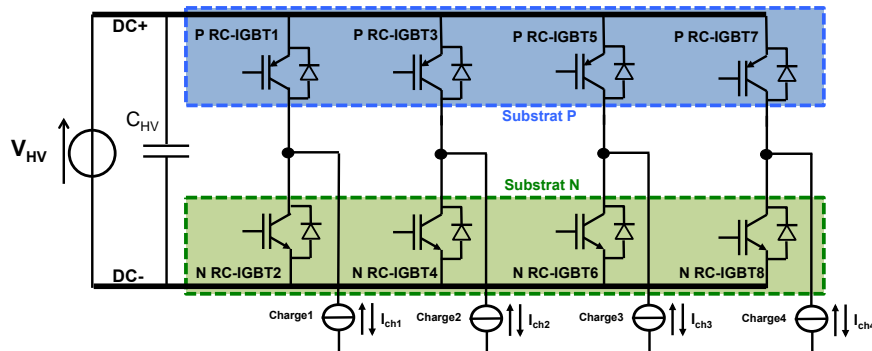


Figure 92 : illustration de l'approche d'intégration bi-puce à substrats complémentaires pour la configuration de commande dual-driver

Les Figure 93 et Figure 94 montrent les architectures des deux puces dans le cadre de l'intégration d'un convertisseur à 3 phases. Les deux structures présentent l'inconvénient d'intégrer des murs d'isolation entre chaque section RC-IGBT. La puce P-*high-side* est composée de trois sections RC-IGBT P séparées par des murs N<sup>+</sup>. Les électrodes d'anodes sont en face avant avec les électrodes de grille, les électrodes de cathode sont sur la face arrière. La puce N-*low-side* est totalement complémentaire à la puce P en termes de dopages et d'électrodes. Cette puce *low-side* a déjà été proposée dans le cadre de l'approche bi-puce classique.

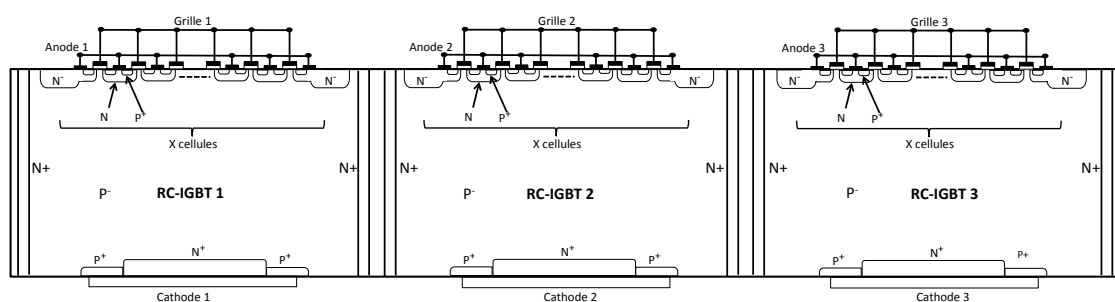


Figure 93 : puce à anode commune *high-side* sur substrat P (3 phases)

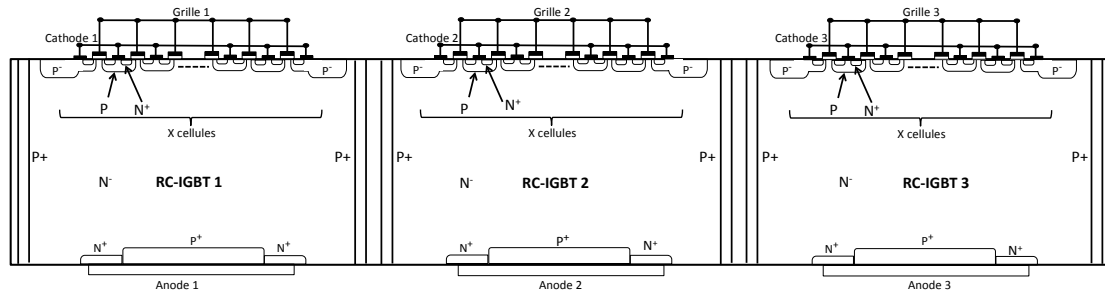


Figure 94 : puce à cathode commune *low-side* sur substrat N (3 phases)

Le fait d'avoir un substrat P en *high-side* permet de piloter les composants par rapport à un même potentiel fixe ( $V_{BUS}$ ). Pour la partie *low-side*, nous avons également des composants pilotés par rapport à un potentiel fixe (masse). Nous obtenons ainsi deux circuits de commande et d'alimentations auxiliaires communs et mutualisés pour l'ensemble des interrupteurs d'une même ligne. Un circuit pour la partie *high-side* et un autre pour la partie *low-side*, tous deux référencés à des potentiels fixes. L'avantage réside dans l'utilisation de seulement deux alimentations auxiliaires quel que soit le nombre de phases : l'une commune à la puce *high-side* et l'autre commune à la puce *low-side*. Ces deux alimentations étant référencées à des potentiels fixes (ou basse fréquence), les perturbations conduites EMI de mode commun dont elles peuvent être le siège sont fortement réduites par rapport au cas classique. Le circuit de commande est représenté sur la Figure 95.

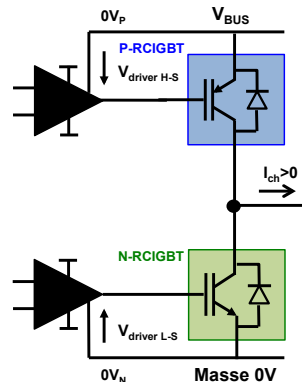


Figure 95 : principe de la commande dual-driver sur bras de commutation

L'assemblage des puces multi-pôles est représenté en Figure 96. La maille de commutation est composée de deux faisceaux de fils, comme dans le cas de l'assemblage classique mais pas dans la même configuration. Un inconvénient est le point milieu situé au niveau du substrat de report. La maille à un seul faisceau supérieur ne peut être obtenue qu'à travers le retournement des deux puces, contrairement à la configuration 1 où l'architecture des puces permettait cette interconnexion supérieure directement.

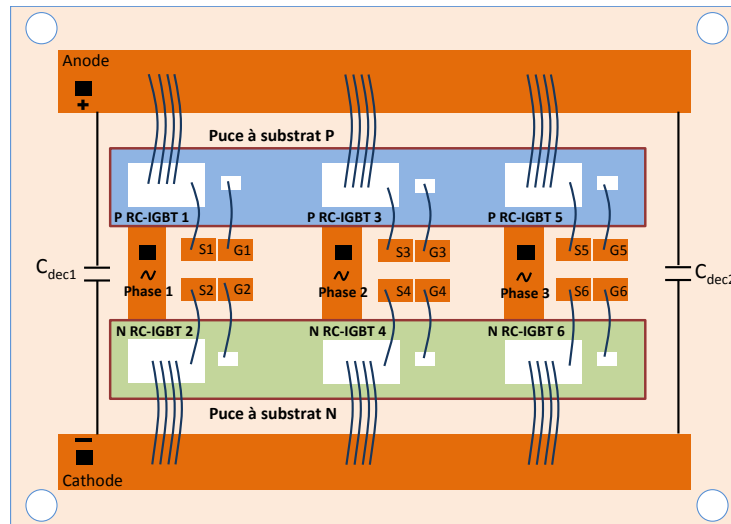


Figure 96 : assemblage proposé pour les deux puces de la configuration dual-driver dans le cadre d'un convertisseur à 3 phases

### 4.3. Simulations physiques 2D Sentaurus™

L'étude par simulations de l'approche bi-puce mixte a été menée en trois étapes. Dans un premier temps, nous avons évalué les performances de composants complémentaires IGBT N et IGBT P. Ensuite, nous avons validé le fonctionnement des puces multi-pôles. Pour finir, nous avons étudié la commande mono-driver que nous estimons être la plus avantageuse parmi les deux configurations de commande.

#### 4.3.1. Comparaison des performances de structures IGBT complémentaires N et P

Un bras d'onduleur classique nécessite des composants ayant des caractéristiques statiques et dynamiques similaires ( $R_{on}$ , tension de seuil, vitesse de commutation, capacité d'entrée...). Ainsi, nous avons commencé notre étude de l'approche mixte par l'analyse de composants identiques et complémentaires de types IGBT N et IGBT P [3] [4] [5] [6]. Les structures ont été comparées notamment à travers leurs performances statiques ( $V_{BR}$ ,  $V_{th}$ ,  $V_{on}$ ) et dynamiques (*gate-charge*).

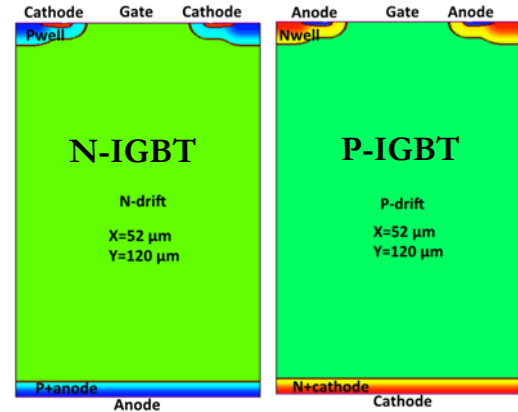
##### 4.3.1.a. Caractéristiques statiques : $V_{BR}$ , $V_{th}$ et $V_{on}$

Les paramètres physiques et géométriques des structures complémentaires simulées sont regroupés dans ce Tableau 3. Les structures ont une surface active de 1 cm<sup>2</sup>.



Tableau 3 : paramètres de dopages des structures simulées

Structures	Paramètres	Dopages (cm <sup>-3</sup> )
<b>N-IGBT</b>	N <sup>+</sup> cathode	10 <sup>20</sup>
	P well	2,5.10 <sup>17</sup>
	P <sup>+</sup> cathode	5.10 <sup>9</sup>
	N <sup>-</sup> drift	1.10 <sup>14</sup>
	P <sup>+</sup> anode (face arrière)	5.10 <sup>19</sup>
<b>P-IGBT</b>	P <sup>+</sup> anode	1.10 <sup>20</sup>
	N well	2,5.10 <sup>17</sup>
	N <sup>+</sup> anode	5.10 <sup>9</sup>
	P <sup>-</sup> drift	1.10 <sup>14</sup>
	N <sup>+</sup> cathode (face arrière)	5.10 <sup>19</sup>



▪ **Tension de seuil (V<sub>th</sub>)**

Dans un premier temps, nous avons tracé les caractéristiques I-V<sub>GS</sub> des deux composants identiques et complémentaires pour relever leur tension de seuil V<sub>th</sub> (Figure 97a). La tension de seuil V<sub>th</sub> est définie comme étant la tension V<sub>GS</sub> (grille-source) pour laquelle la zone d'inversion apparaît dans la région porte canal. L'expression de la tension de seuil est la suivante :

$$V_{th} = \frac{e_{ox}}{\epsilon_{ox}} \sqrt{4\epsilon_s kT \ln\left(\frac{N_{AP}}{n_i}\right)} + 2 \frac{kT}{q} \ln\left(\frac{N_{AP}}{n_i}\right) + V_{FB} \quad (1)$$

Avec la tension de bandes plates (pour le cas d'une région porte canal dopé P) :

$$V_{FB} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} \quad \text{où} \quad \phi_{ms} = \frac{kT}{q} \log\left(\frac{N_a}{n_i}\right) - \frac{E_g}{2q} \quad (2)$$

Les paramètres intervenant dans l'expression de la tension de seuil sont :

- V<sub>FB</sub> : tension de bandes plates en V
- K : constante de Boltzmann : 1,38.10<sup>-23</sup> J.K<sup>-1</sup>
- q : charge de l'électron : 1,6.10<sup>-19</sup> C
- ε<sub>Si</sub> : constante diélectrique relative au silicium : 11,9
- ε<sub>ox</sub> : constante diélectrique relative de l'oxyde : 3,9

- $n_i$  : concentration intrinsèque à l'équilibre ( $T = 300 \text{ K}$ ) :  $1,26 \cdot 10^{10} \text{ cm}^{-3}$
- $N_a$  : concentration de dopants accepteurs dans le silicium dopé P en  $\text{cm}^{-3}$
- $e_{ox}$  : épaisseur d'oxyde de grille en cm

La tension de seuil se mesure sur la caractéristique  $I(V_{GS})$  pour une certaine valeur de courant. Dans notre cas, nous fixons une valeur de courant d'anode de  $500 \mu\text{A}$  (Figure 97b). D'après les caractéristiques I-V, la tension de seuil est de  $2,51 \text{ V}$  pour l'IGBT N et de  $2,44 \text{ V}$  pour l'IGBT P, ce qui donne deux valeurs très proches.

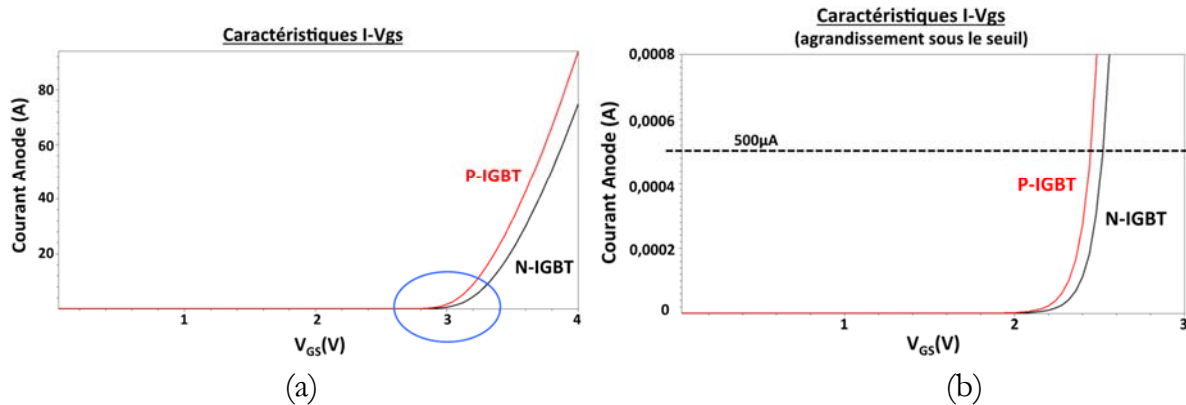


Figure 97 : (a) caractéristiques I- $V_{GS}$  des structures complémentaires et (b) mesure de la tension de seuil  $V_{th}$

#### ■ Tenue en tension ( $V_{BR}$ )

La tenue en tension des deux structures complémentaires a été étudiée en faisant varier l'épaisseur du substrat. Les Tableau 4 et Tableau 5 donnent les résultats de simulations. Pour une tenue en tension de  $600 \text{ V}$ , nous pouvons voir qu'une épaisseur de  $120 \mu\text{m}$  est suffisante pour l'IGBT N, alors que pour l'IGBT P ce n'est pas le cas. Pour l'IGBT P, il faut augmenter l'épaisseur du substrat jusqu'à une valeur minimale de  $200 \mu\text{m}$  pour atteindre une tenue en tension de  $600 \text{ V}$ . Pour une même tenue en tension la structure P a donc une épaisseur presque double à celle de la structure N.

Tableau 4 : tenue en tension du composant IGBT N

IGBT N NPT	$V_{on}@100\text{A}$	$V_{BR}$
$120 \mu\text{m}$	$1,13 \text{ V}$	$780 \text{ V}$
$160 \mu\text{m}$	$1,22 \text{ V}$	$1000 \text{ V}$
$200 \mu\text{m}$	$1,32 \text{ V}$	$1100 \text{ V}$

Tableau 5 : tenue en tension du composant IGBT P

IGBT P NPT	$V_{on@100A}$	$V_{BR}$
120 $\mu\text{m}$	1,25 V	440 V
160 $\mu\text{m}$	1,4 V	500 V
200 $\mu\text{m}$	1,6 V	630 V

Pour réduire l'épaisseur des substrats, nous ajoutons des couches tampons dopées à  $10^{16} \text{ cm}^{-3}$  afin de modifier le profil du champ électrique (de forme trapézoïdale). Les structures simulées sont montrées en Figure 98.

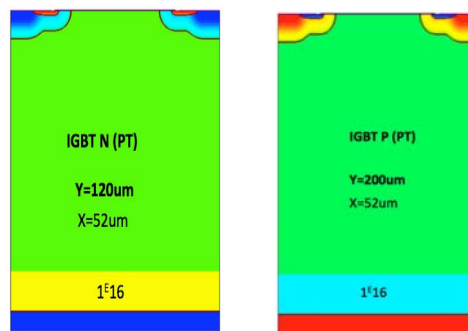


Figure 98 : structures complémentaires IGBT PT

D'après les résultats de simulations, pour l'IGBT P la couche tampon ne réalise pas son rôle tant que le champ électrique s'étale entièrement. Il s'avère également que le dopage de la couche tampon n'est pas adapté. Il faut donc réduire l'épaisseur du substrat P d'une part, mais également modifier le dopage de la couche tampon. Ainsi, nous obtenons au final deux structures complémentaires de mêmes épaisseurs (réduites à 80  $\mu\text{m}$ ), avec des couches tampons de dopages différents ( $1.10^{16} \text{ at/cm}^3$  pour l'IGBT N et  $9.10^{16} \text{ at/cm}^3$  pour l'IGBT P – Figure 99).

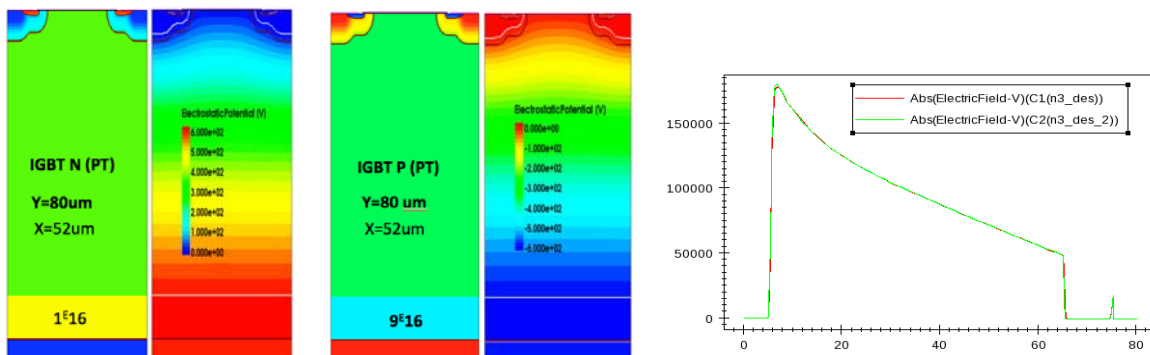


Figure 99 : structures IGBT PT complémentaires finales avec leur profil de champ électrique superposés

▪ **Chute de tension ( $V_{on}$ )**

Nous nous sommes intéressés à la chute de tension des deux structures complémentaires. La Figure 100 regroupe les caractéristiques I-V des deux structures complémentaires, avec les technologies PT et NPT pour une comparaison. Ces différentes structures ont une tenue en tension de 600 V. Pour réduire la chute de tension, une solution consiste à réduire la densité de courant en augmentant la surface active du composant. Par exemple, en multipliant la surface active par un facteur 2 on passe d'une densité de courant de 100 A/cm<sup>2</sup> à 50 A/cm<sup>2</sup>.

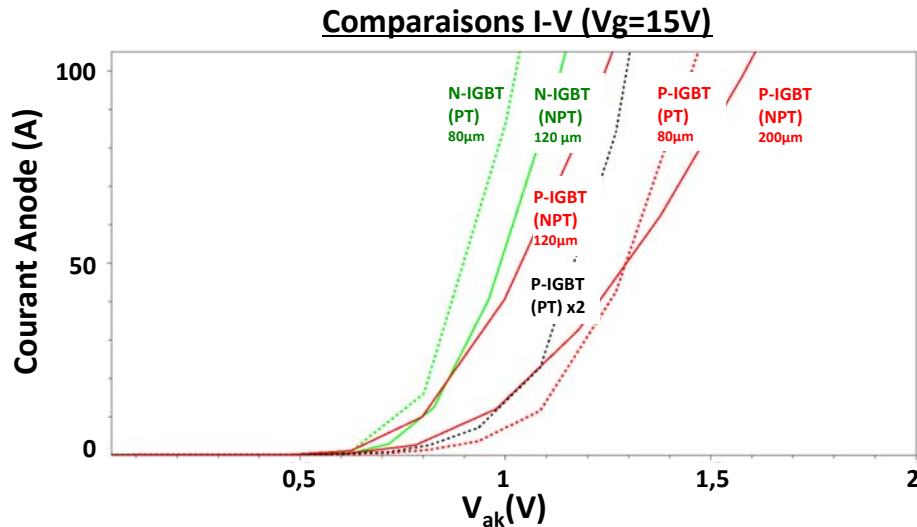


Figure 100 : comparaison des caractéristiques I-V des différentes structures IGBT PT et NPT

Le tableau suivant compare la chute de tension des structures pour une densité de courant de 100 A/cm<sup>2</sup>. Le composant N présente une chute de tension plus faible, que ce soit en technologie PT ou NPT. La chute de tension de l'IGBT P peut être rapprochée à celle de l'IGBT N en augmentant sa surface. Toutefois, même une augmentation de la surface de l'IGBT P par un facteur 2 n'est pas suffisante à atteindre la chute de tension de l'IGBT N.

Tableau 6 : tableau comparatif des caractéristiques I-V (calibre tension 600 V)

	NPT				PT		
	IGBT N	IGBT P		IGBT N	IGBT P		
<b>Epaisseur</b>	120 µm	120 µm	200 µm		80 µm	80 µm	
<b>Chute de tension @100 A @V<sub>g</sub> = +15 V</b>	<b>1,14 V</b>	1,26 V	<b>1,6 V</b>	1,31 V (Z×2)	<b>1,03 V</b>	<b>1,47 V</b>	1,3 V (Z×2)

### 4.3.1.b. Caractéristiques dynamiques – circuit *gate-charge*

Le comportement dynamique des structures complémentaires IGBT N et IGBT P a été analysé à travers un circuit d'attaque de grille de type *gate-charge* [7] [8]. Le principe, illustré en Figure 101a, consiste à charger la grille du composant avec un courant constant pour obtenir l'amorçage de ce dernier (*turn-on*). La quantité de charge injectée, qui est directement proportionnelle au temps, permet de déterminer les capacités d'entrées  $C_{GS}$  et  $C_{GD}$  (Figure 101b). Les structures complémentaires IGBT simulées sont de technologies NPT avec une surface identique de  $1 \text{ cm}^2$ .

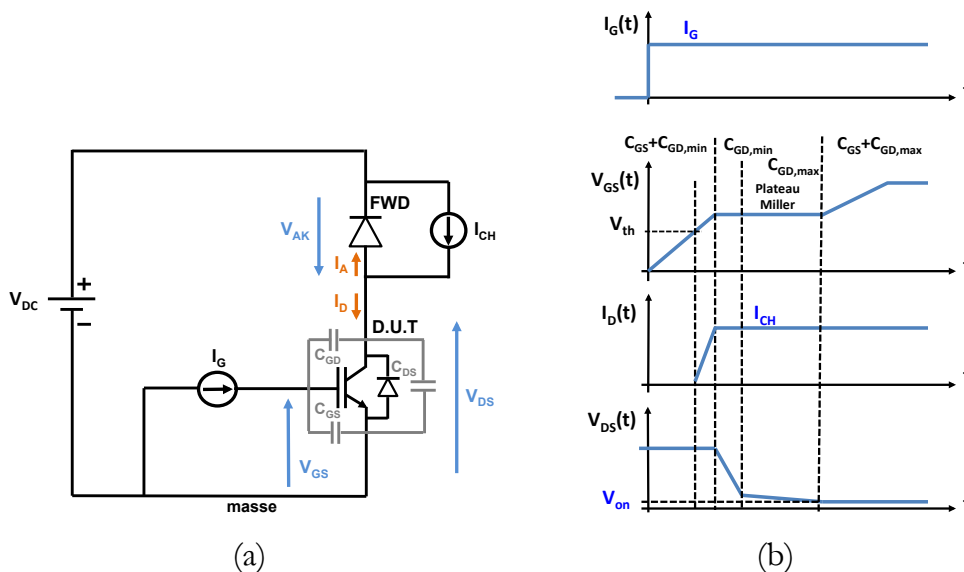


Figure 101 : (a) schéma électrique pour la caractérisation de la *gate-charge* et (b) l'allure des formes d'ondes à observer avec une diode de roue libre idéalisée

La Figure 102 montre les formes d'ondes simulées de la *gate-charge* pour l'IGBT N. La Figure 102 compare les formes d'ondes des composants IGBT N et IGBT P. Nous remarquons que les deux courbes sont très proches. Nous pouvons donc affirmer que les deux structures ont des caractéristiques d'entrée similaires.

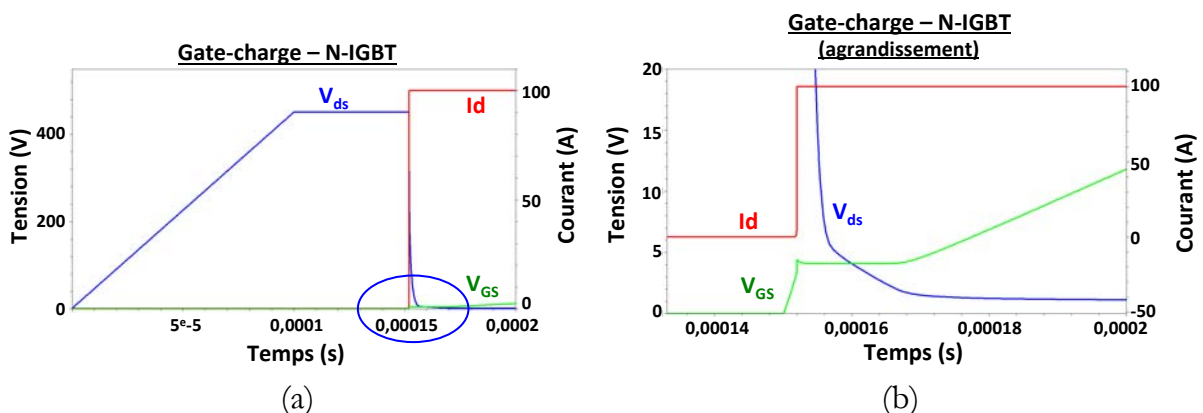


Figure 102 : (a) *gate-charge* du composant IGBT N et (b) agrandissement

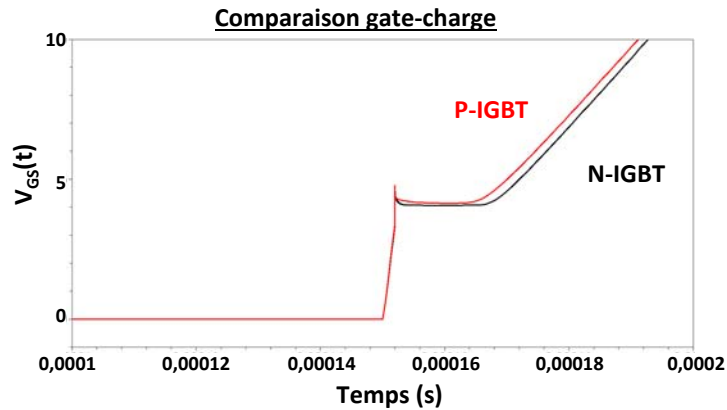


Figure 103 : comparaison *gate-charge* des composants IGBT complémentaires

### 4.3.2. Validation du fonctionnement des puces

Sur la base de cette étude préliminaire concernant les structures complémentaires N et P, nous avons conçu nos structures monolithiques. Le fonctionnement des deux puces à substrats N a déjà été validé dans des travaux antérieurs [1]. Cependant, les architectures des puces complémentaires P sont nouvelles et leur fonctionnement reste à démontrer. Les puces P ont été simulées séparément pour valider leur fonctionnement statique sous les mêmes conditions décrites en Figure 72. Ensuite, elles ont été associées aux puces N pour réaliser des convertisseurs.

#### 4.3.2.a. Puce à anode commune *high-side* sur substrat P

La Figure 104 montre la simulation statique de la structure *high-side* à anode commune sur substrat P. Les conditions de fonctionnement sont les suivants : la section de droite est rendue passante, la section de gauche est bloquée et supporte la tension à ses bornes. L'objectif est de s'assurer que lorsqu'une section est passante l'autre section voisine bloquée n'est pas perturbée. Dans la section passante, les fortes densités de courant se concentrent principalement dans la partie IGBT du RC-IGBT. La ZCE dans la section de gauche montre la tenue en tension du RC-IGBT 1. Le courant de fuite dans la section bloquée est d'environ  $10 \mu\text{A}$ . Nous remarquons également une ZCE au niveau du mur  $\text{N}^+$  dû à la polarisation inverse de la diode d'isolation  $\text{P}^-_{\text{substrat}}/\text{N}^+_{\text{mur}}$ . La valeur du courant de fuite totale est de  $16 \mu\text{A}$ .

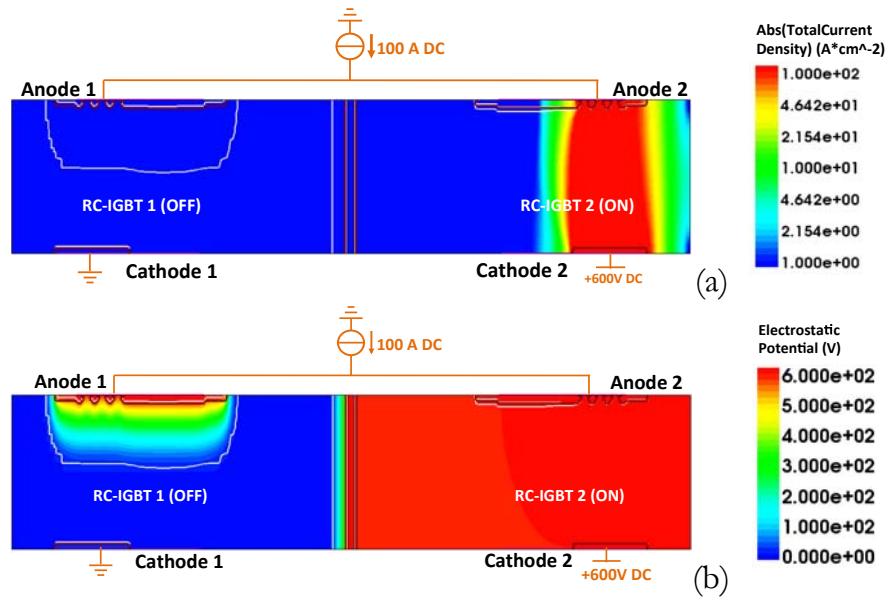


Figure 104 : structure *high-side* à anode commune sur substrat P : (a) distribution des densités de courant et (b) lignes équipotentielles (section droite passante et section gauche bloquée)

#### 4.3.2.b. Puce à cathode commune *low-side* sur substrat P

La Figure 105 montre les résultats de simulations en statique de la puce *low-side* sur substrat P à cathode commune.

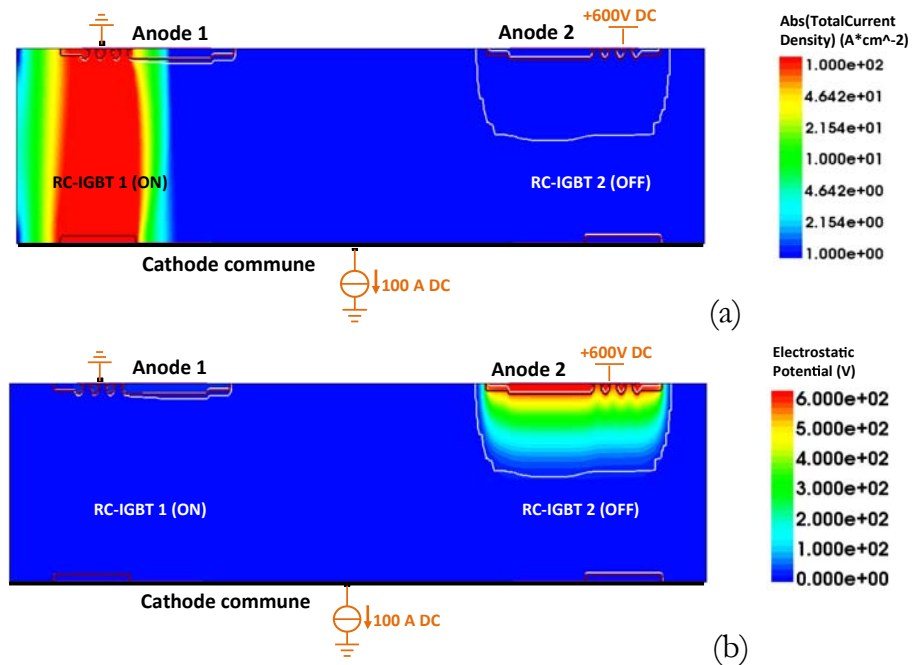


Figure 105 : structure *low-side* à cathode commune sur substrat P : (a) distribution des densités de courant et (b) lignes équipotentielles (section gauche passante et section droite bloquée)

Les conditions de simulations sont les suivantes : la section de gauche est passante et celle de droite bloquée. La variation des lignes de potentiel dans la section de droite RC-IGBT 2 montre que la section est bien bloquée. La ZCE s'étale verticalement et latéralement sous les sections MOS. Le courant de fuite dans la section bloquée est négligeable avec une valeur de  $11 \mu\text{A}$ . Les forts niveaux de densités de courant dans la section de gauche sont principalement concentrés dans la partie IGBT du RC-IGBT.

#### 4.3.2.c. Association des puces multi-pôles complémentaires pour réaliser les deux configurations de convertisseurs (N-P et P-N)

Les puces ont été associées pour former des convertisseurs monophasés. Les puces *high-side* à substrat N et *low-side* à substrat P forment le premier onduleur sous la configuration mono-driver (Figure 106). Les puces *high-side* à substrat P et *low-side* à substrat N forment le second onduleur à deux drivers en Figure 107. Les deux onduleurs ont été simulés sous mixed-mode Sentaurus et les formes d'ondes valident leur fonctionnement.

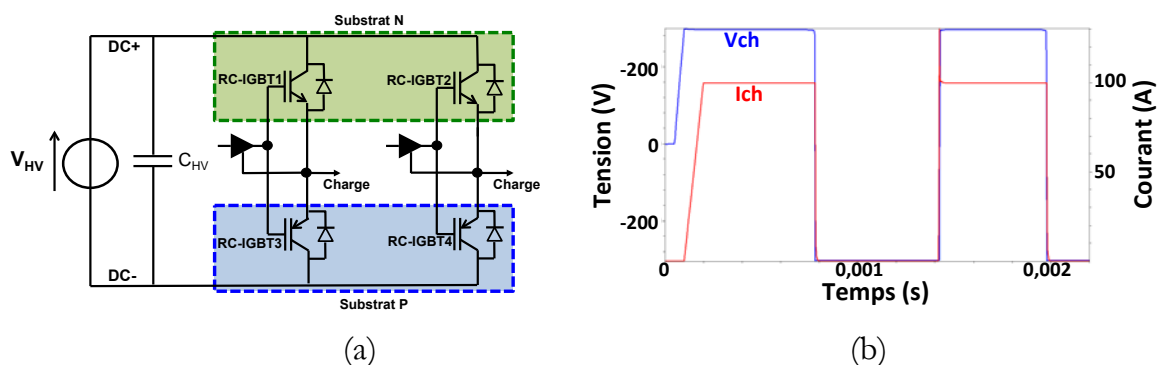


Figure 106 : (a) onduleur monophasé en configuration mono-driver (puces N-*high-side* et P-*low-side*) et (b) formes d'ondes en sortie du pont

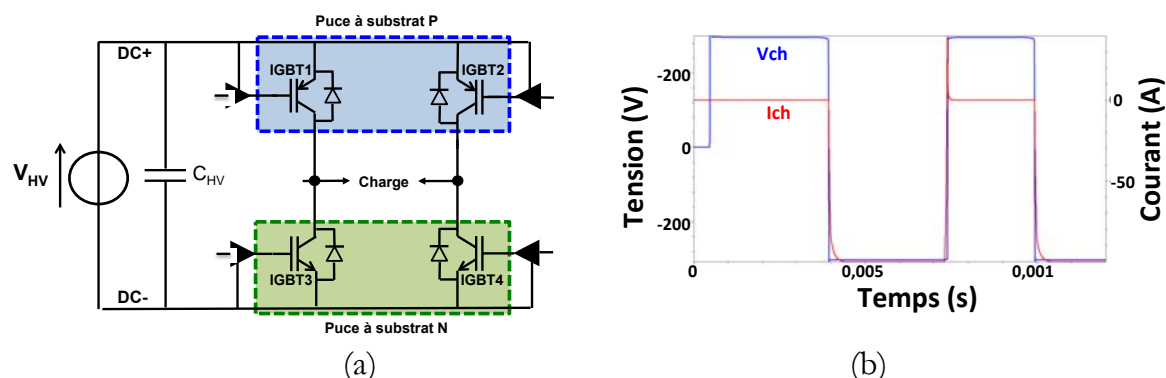


Figure 107 : (a) onduleur monophasé en configuration dual-driver (puces P-*high-side* et N-*low-side*) et (b) formes d'ondes en sortie du pont



### 4.3.3. Étude de la commande mono-driver sur un bras d'onduleur

Le principe de la commande mono-driver a été étudié avec différentes techniques de pilotage de la grille des transistors [10]. Le bras d'onduleur simulé est composé d'une puce RC-IGBT N *high-side* et d'une puce RC-IGBT P *low-side*, dont les architectures sont montrées en Figure 108. Pour rappel, les tensions de seuil opposées des composants complémentaires offrent un « temps mort » naturel dans la commande des bras. Les paramètres de dopages sont les mêmes que ceux du Tableau 3. Le composant N a une épaisseur de 120  $\mu\text{m}$  et le composant P de 200  $\mu\text{m}$ .

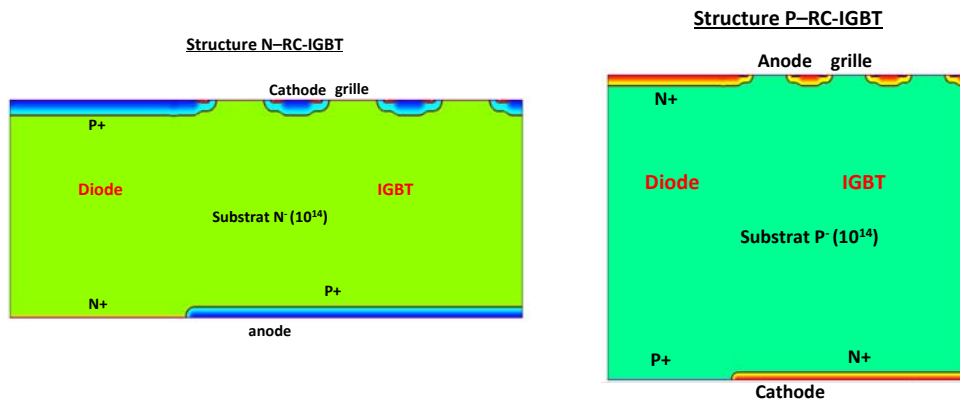


Figure 108 : puces RC-IGBT complémentaires formant le bras d'onduleur simulé pour l'étude de la commande mono-driver

#### 4.3.3.a. Commande sans résistance de grille (attaque en tension)

Cette première technique de commande pour la configuration mono-driver est montrée en Figure 109.

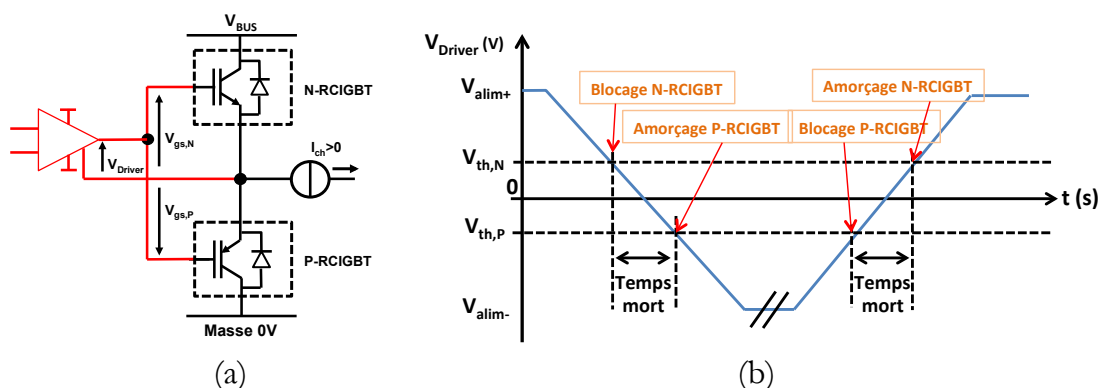


Figure 109 : (a) schéma de la commande mono-driver « sans résistance de grille » et (b) le chronogramme de commande associé

Ce schéma de commande, ne possédant pas de résistance de grille (attaque en tension), ne permet pas de régler la valeur du temps mort directement. Toutefois, ce dernier peut être ajusté indirectement par des temps de transition de commande en sortie du driver  $\Delta T_{\text{driver}}$

ralenties comme montrées en Figure 109b. Celui-ci pourrait être réalisé en pratique par une attaque en courant impulsionnelle permettant d'imposer un  $dV_{GS}/dt$  constant si l'effet Miller reste peu marqué (commutations ralenties), mais avec pour conséquence des pertes par commutation majorées au niveau bras. Ici, pour simplifier la simulation, ce  $dV_{GS}/dt$  est imposé par une source de tension directement appliquée aux bornes des deux grilles en parallèle, il n'y a donc aucune résistance de grille entre le *buffer* et les grilles, l'effet Miller est ainsi complètement neutralisé dans les phases de commutation en tension.

À partir des chronogrammes de commande, le calcul de la durée du temps mort est donné par la relation suivante (sur la base d'une commande en rampe de tension):

$$\text{temps mort} = \frac{V_{th,N} - V_{th,P}}{V_{alim^+} - V_{alim^-}} \times \Delta T_{driver} \quad \text{Eq. 1}$$

Nous pouvons en déduire le temps de commutation du driver  $\Delta T_{driver}$  nécessaire à l'introduction de ce temps mort :

$$\Delta T_{driver} = \text{temps mort} \times \frac{V_{alim^+} - V_{alim^-}}{V_{th,N} - V_{th,P}} \quad \text{Eq. 2}$$

Avec :

$V_{th,N}$  et  $V_{th,P}$  : valeurs des tensions de seuil des structures RC-IGBT N et RC-IGBT P

$V_{alim^+}$  et  $V_{alim^-}$  : valeurs des tensions d'alimentation du driver

$\Delta T_{driver}$  : temps de transition de la commande en sortie du driver

L'application numérique pour un temps mort de 1  $\mu s$  donne :

$$\Delta T_{driver} = 1e^{-6} \times \frac{(+15) - (-15)}{(+2,5) - (-2,5)} = 6 \mu s$$

Ainsi, il faudrait en sortie du driver une dynamique de commande de 30 V/6  $\mu s$  (5 V/ $\mu s$ ) pour bénéficier d'un temps mort naturel de 1  $\mu s$ . Ceci n'est pas acceptable, car une vitesse de commutation aussi lente entrainerait de fortes pertes par commutation au niveau du driver mais aussi au niveau du module de puissance.

En l'absence de résistance de grille, la dynamique de commutation n'est maîtrisée que par les caractéristiques intrinsèques des IGBTs et le point de fonctionnement de la charge. Ainsi, au blocage le  $dV_{DS}/dt$  aux bornes du composant dépend seulement de la valeur du courant de charge  $I_{ch}$  et de la valeur du  $C_{OSS}$  :

$$\left| \frac{dV}{dt} \right|_{off} = \frac{I_{ch}}{2 \times C_{OSS}} \quad \text{Eq. 3}$$

À l'amorçage, le  $dV/dt$  dépend aussi du courant de saturation  $I_{pot \max}$  :

$$\left| \frac{dV}{dt} \right|_{on} = \frac{I_{pot} - I_{ch}}{2 \times C_{OSS}} \quad \text{Eq. 4}$$

$C_{OSS}$  représente la capacité parasite équivalente vue des bornes collecteur-émetteur d'un RC-IGBT.

Le bras d'onduleur a été simulé avec une commande en rampe de tension de  $5 \text{ V}/\mu\text{s}$  pour introduire un temps mort de  $1 \mu\text{s}$ . La Figure 110 montre les formes d'ondes sur les phases dynamiques au basculement du bras. La source de courant unidirectionnelle est orientée dans le sens sortant du point milieu. De ce fait, le courant circule soit à travers l'IGBT du RC-IGBT N, soit à travers la diode de corps du RC-IGBT P.

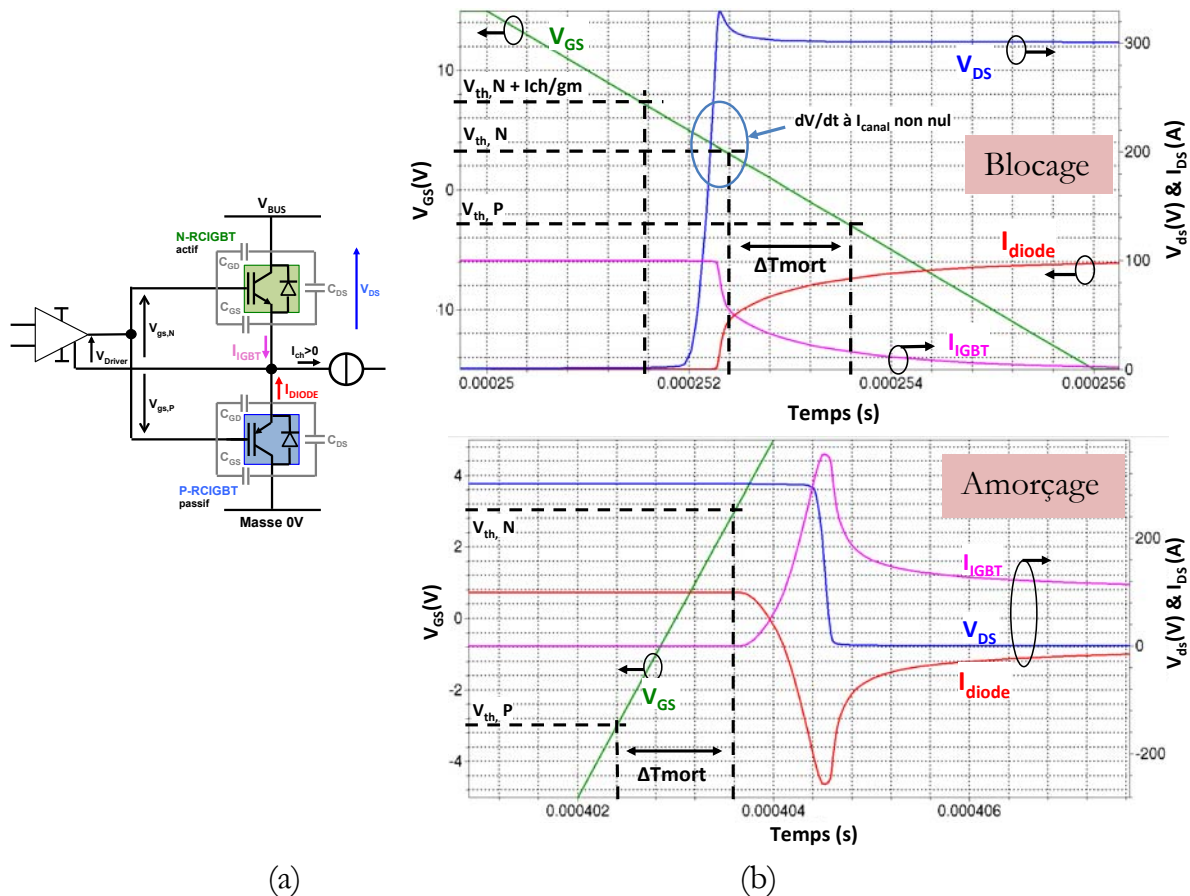


Figure 110 : (a) grandeurs électriques observées dans le bras et (b) les formes d'ondes associées

#### 4.3.3.b. Commande avec résistance de grille unique

Le circuit de commande est modifié : la tension de commande en rampe est remplacée par une tension en échelon. Une résistance de grille  $R_G$  est placée en sortie du driver. Le schéma de principe ainsi que les chronogrammes de commande sont représentés en Figure 111. La résistance de grille  $R_G$  permet de dissocier la tension de sortie du driver  $V_{driver}$  de la tension en entrée des grilles  $V_{GS}$ , autorisant ainsi des dynamiques de commutation réglables. La valeur de la résistance de grille va permettre de jouer sur la valeur du temps mort ainsi obtenu. On se retrouve dans le schéma classique de l'attaque d'un circuit RC avec un échelon. Comparé à un bras classique, avec ce bras push-pull les capacités d'entrée parasites  $C_{IESS}$  des deux composants sont mises en parallèles et la valeur totale est donc la somme des capacités d'entrées. La résistance de grille  $R_G$  associée aux capacités d'entrée va être dimensionnée de manière à produire un temps mort d'une durée déterminée.

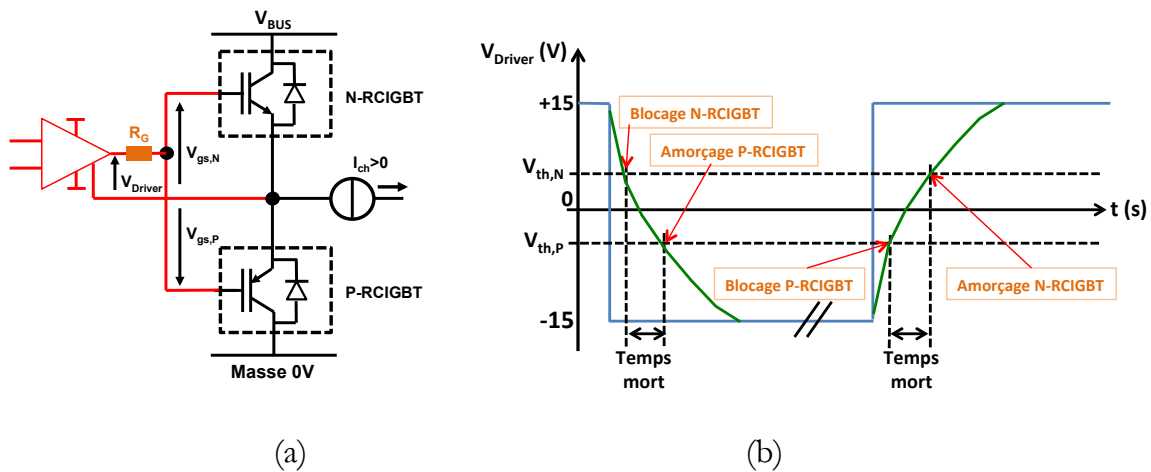


Figure 111 : commande mono-driver « avec résistance de grille » et le chronogramme de commande

Dans le cas général, pour la charge/décharge d'un circuit RC, la valeur de la tension à un instant  $t_a$  est donnée par l'expression suivante :

$$t_a = \tau \times \ln \left( \frac{V_f - V_{ini}}{V_f - V_a} \right) \quad \text{Eq. 5}$$

Avec comme paramètres :

$V_f$  : valeur finale de la tension (après la charge ou décharge)

$V_{ini}$  : valeur initiale de la tension (avant la charge ou la décharge)

$V_a$  : valeur de la tension à l'instant  $t_a$  (dans notre cas  $V_a = V_{th,P}$  ou  $V_{th,N}$ )

$\tau$  : constante de temps du circuit RC

Le temps mort est calculé entre les tensions de seuils. Pour chaque tension de seuil nous avons donc un instant  $t$  :

$$t_1 = \tau \times \ln\left(\frac{V_f - V_{ini}}{V_f - V_{thN}}\right) \quad t_2 = \tau \times \ln\left(\frac{V_f - V_{ini}}{V_f - V_{thP}}\right) \quad \text{Eq. 6}$$

Le temps mort est la différence des deux instants  $t$ , soit :

$$\Delta \text{ temps mort} = t_2 - t_1 = \tau \times \ln\left(\frac{V_f - V_{th,N}}{V_f - V_{th,P}}\right) \quad \text{Eq. 7}$$

En remplaçant par nos éléments on obtient :

$$\Delta \text{ temps mort} = R_{G\text{ totale}} (C_{I\text{ESS},N} + C_{I\text{ESS},P}) \times \ln \frac{V_{\text{alim}^-} - V_{th,P}}{V_{\text{alim}^-} - V_{th,N}} \quad \text{Eq. 8}$$

On en déduit  $R_{G\text{ totale}}$  :

$$R_{G\text{ totale}} = \frac{\Delta \text{ temps mort}}{C_{I\text{ESS},N} + C_{I\text{ESS},P}} \times \frac{1}{\ln \frac{V_{\text{alim}^-} - V_{th,P}}{V_{\text{alim}^-} - V_{th,N}}} \quad \text{Eq. 9}$$

Avec les paramètres suivants :

$V_{th,N}$  et  $V_{th,P}$  : valeur des tensions de seuil du RC-IGBT N et du RC-IGBT P

$V_{\text{alim}^+}$  et  $V_{\text{alim}^-}$  : valeurs des tensions d'alimentation du driver

$\Delta T_{\text{driver}}$  : temps de commutation du driver

$R_{G\text{ totale}}$  : résistance série apparente du circuit entre le driver et le point commun de grille :

$$R_{G\text{ totale}} = R_{G\text{-int}}/2 + R_{G\text{-ext}} + R_{\text{driver}}$$

$C_{I\text{ESS},N}$  et  $C_{I\text{ESS},P}$  ( $C_{I\text{ESS}} = C_{GS} + C_{GD}$ ) : capacité apparente d'entrée du RC-IGBT N et du RC-IGBT P

Pour avoir un temps mort de 1  $\mu\text{s}$ , il faut une résistance  $R_G$  de :

$$R_{G\text{ totale}} = \frac{1e^6}{30.10^9 + 30.10^9} \times \frac{1}{\ln \frac{-17,5}{-12,5}} = 16,67 \times 2,97 = 49,5 \Omega$$

(Ici pour le calcul on prend une valeur de 30 nF pour  $C_{I\text{ESS}}$ )

L'équation de la puissance délivrée par le driver  $P_{driver}$ , sur une commutation, est la suivante :

$$P_{driver} = \left( \int I g(t) \times dt \right) \times V_{alim} \times F_{dec} \quad \text{Eq. 10}$$

Ce qui donne :

$$P_{driver} = \Delta Q_{gate} \times V_{alim} \times F_{dec} \quad \text{Eq. 11}$$

$$\text{avec} \quad \left( \int I g(t) \times dt \right) = \Delta Q_{gate} \quad \text{Eq. 12}$$

Avec les paramètres suivants :

$F_{dec}$  : fréquence de découpage

$\Delta Q_{gate}$  : quantité de charge

La quantité de charge vaut :

$$\Delta Q_{gate} = (C_{gate} \times 2) \times V_{alim} \quad \text{Eq. 13}$$

Avec :

$C_{gate}$  : capacité de grille commune des deux transistors

Au final, la puissance vaut :

$$P_{driver} = (C_{gate} \times 2) \times V_{alim}^2 \times F_{dec} \quad \text{Eq. 14}$$

La puissance à fournir par le driver dépend de la capacité d'entrée : si la capacité d'entrée est multipliée par 2, alors la puissance à fournir par le driver l'est également.

La puissance à fournir par le driver par cycle de découpage (pour une fréquence de découpage de 20 ms) serait de :

$$P_{driver} = (2 \times 60.10^{-9}) \times 15^2 \times 20.10^3 = 0,52 \text{ W}$$

Comparé au cas classique, la commande mono-driver permet de diviser par deux le nombre d'électronique de commande et d'alimentation mais nécessite des composants de plus fortes sections dimensionnées pour délivrer une puissance plus importante.

Le bras d'onduleur a été simulé avec une résistance de grille de  $50 \Omega$  et une tension en sortie du driver de  $30 \text{ V}/200 \text{ ns}$  ( $150 \text{ V}/\mu\text{s}$ ). Les formes d'ondes sont montrées en Figure 112.

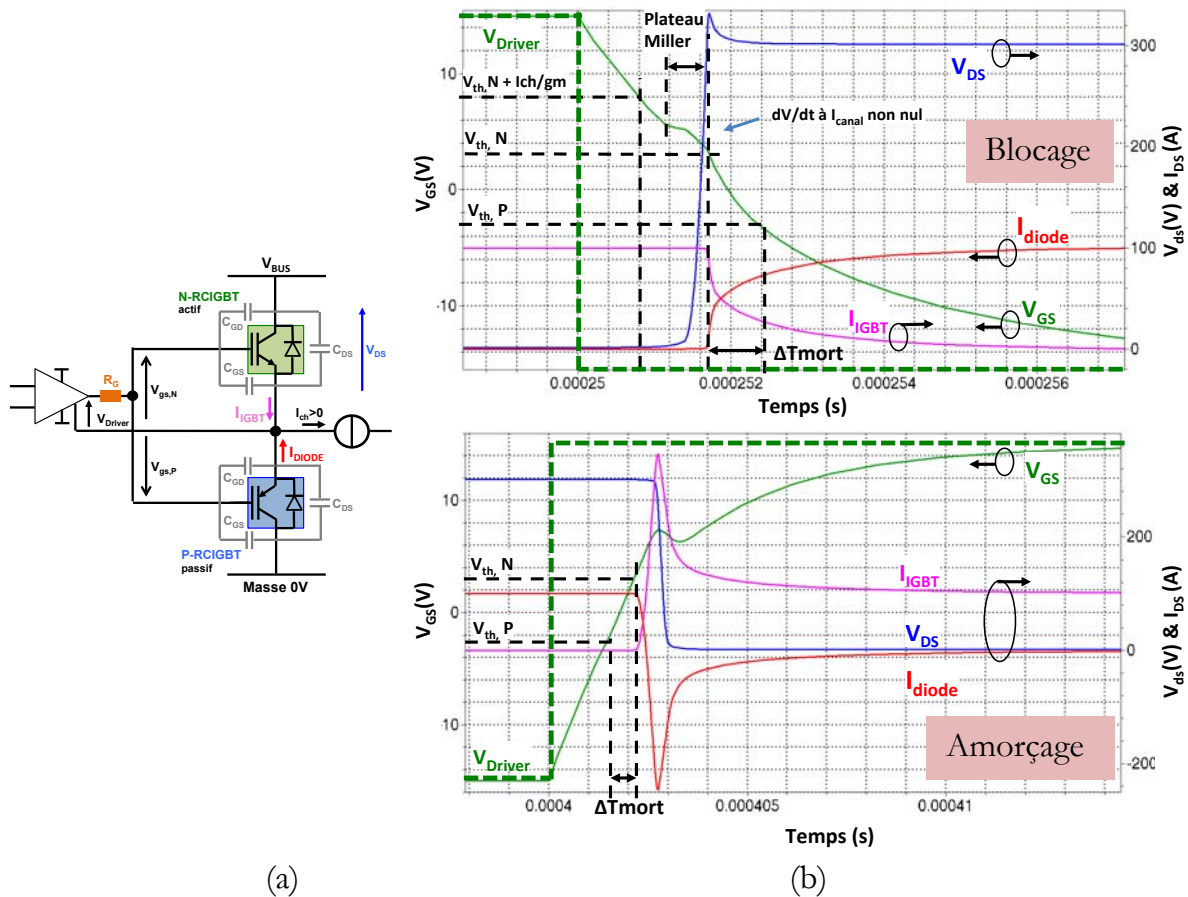


Figure 112 : (a) grandeurs électriques observées dans le bras et (b) les formes d'ondes associées

Par rapport à une commande en rampe, la forme exponentielle de la tension  $V_{GS}$  permet de réduire le délai de commutation correspondant au temps que met cette tension pour passer du niveau d'alimentation au seuil  $V_{GS,th}$  sur la portion initiale de la forme d'onde  $V_{GS}$ .

#### 4.3.3.c. Commande avec résistances de grille dissociées

Pour cette commande, le principe est le même que celui présenté précédemment, à la seule différence que l'on n'a pas une seule résistance de grille commune aux deux composants, mais deux résistances de valeurs différentes placées chacune sur la grille d'un composant (Figure 113). Ce schéma permet de dissocier les dynamiques d'amorçage et de blocage, et offre la possibilité de régler la durée du temps mort. Le principe présenté ici consiste à bloquer rapidement le composant en conduction, et à retarder la mise en conduction du second composant créant ainsi une bande morte. Les capacités d'entrée  $C_{IESS}$  sont ainsi découplées. Le ralentissement de la dynamique d'amorçage permet de

réduire le  $dI/dt$  vu par la diode de roue-libre intégrée dans le RC-IGBT homologue. Il en découle une réduction du courant de recouvrement inverse dans cette diode et globalement une réduction des pertes dans l'ensemble des composants concernés par cette commutation. Cette résistance de grille répartie sur les deux grilles des composants permet donc de cumuler l'avantage d'une bande morte réglable et d'optimiser le comportement énergétique.

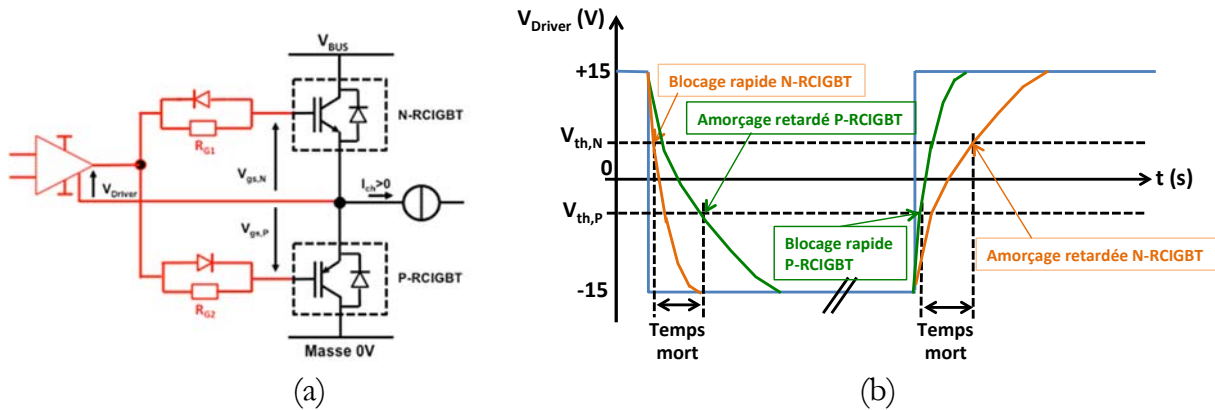


Figure 113 : commande mono-driver « avec résistance de grille dissociée » et le chronogramme de commande

Nous déduisons de ce principe la relation suivante :

$$\Delta \text{temps mort} = R_G \times C_{I\text{ESS},P/N} \times \ln \frac{V_{\text{alim}^-} - V_{\text{alim}^+}}{V_{\text{alim}^-} - V_{\text{th},P}} \quad \text{Eq. 15}$$

Avec les paramètres suivants :

$R_G$  : la résistance de grille à l'amorçage

La valeur de la résistance de grille  $R_G$  nécessaire pour avoir un temps mort de  $1 \mu\text{s}$  est de :

$$R_G = \frac{\text{temps mort}}{C_{I\text{ESS},P/N} \times \ln \frac{V_{\text{alim}^-} - V_{\text{alim}^+}}{V_{\text{alim}^-} - V_{\text{th},P}}} = 41,9 \Omega$$

Le bras d'onduleur a été simulé avec une résistance de  $50 \Omega$  et une tension en sortie de driver avec une dynamique de  $30 \text{ V}/100 \text{ ns}$  ( $300 \text{ V}/\mu\text{s}$ ).



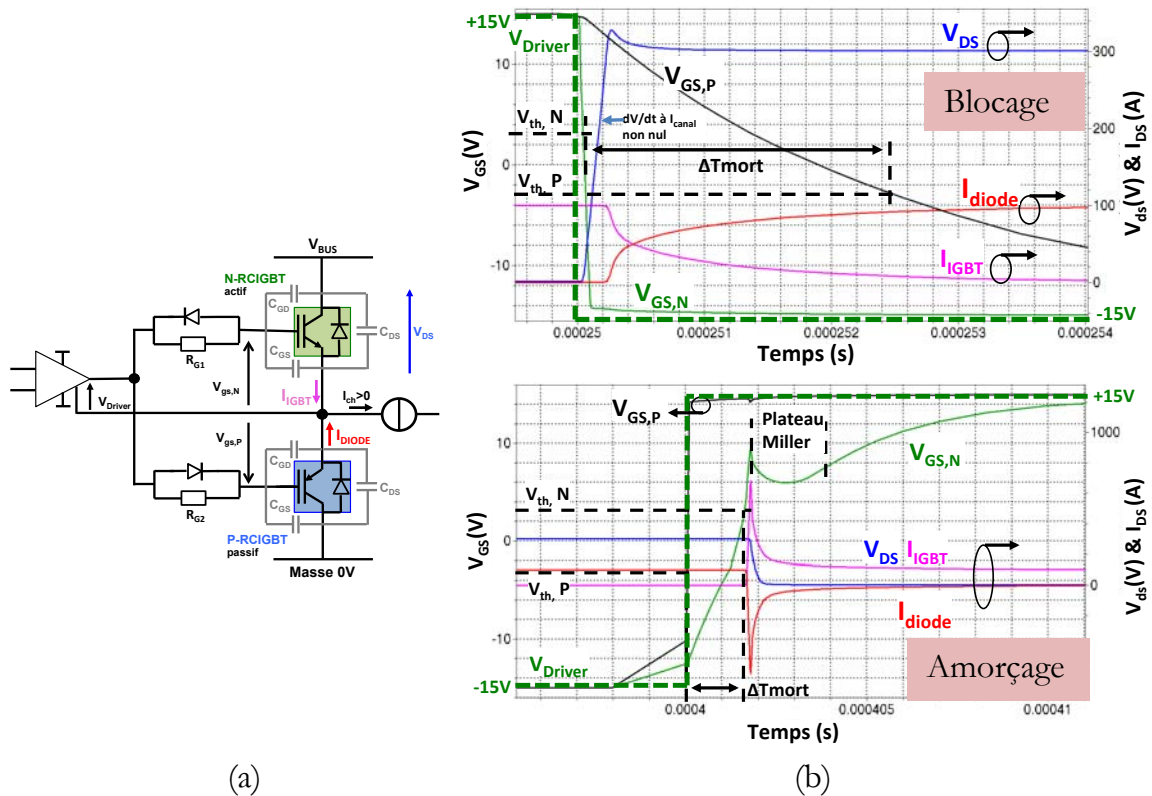


Figure 114 : (a) grandeurs électriques observées dans le bras et (b) les formes d'ondes associées

#### 4.3.3.d. Commande à 3 niveaux de tension

Le circuit de commande est une commande mono-driver avec une résistance de grille  $R_G$  commune au bras et non répartie sur les deux composants comme précédemment (Figure 115). Les différences sont au niveau du driver avec un signal de sortie à 3 niveaux de tensions ( $V_{drive+}$ ,  $0V$ ,  $V_{drive-}$ ). Pour réaliser cette commande, un deuxième *buffer* est introduit de manière à former un pont en "H" et à alimenter le circuit de grille en différentiel. La durée du palier  $0V$  représente la durée du temps mort. Cette commande présente l'avantage de pouvoir réaliser des dynamiques rapides de commande de grille indépendamment de la valeur du palier de temps mort. (Remarque : la topologie pont en "H" permet de supprimer l'alimentation  $V_{drive-}$ . Il s'agit donc d'un driver bi-*buffer* mono-alimentation).

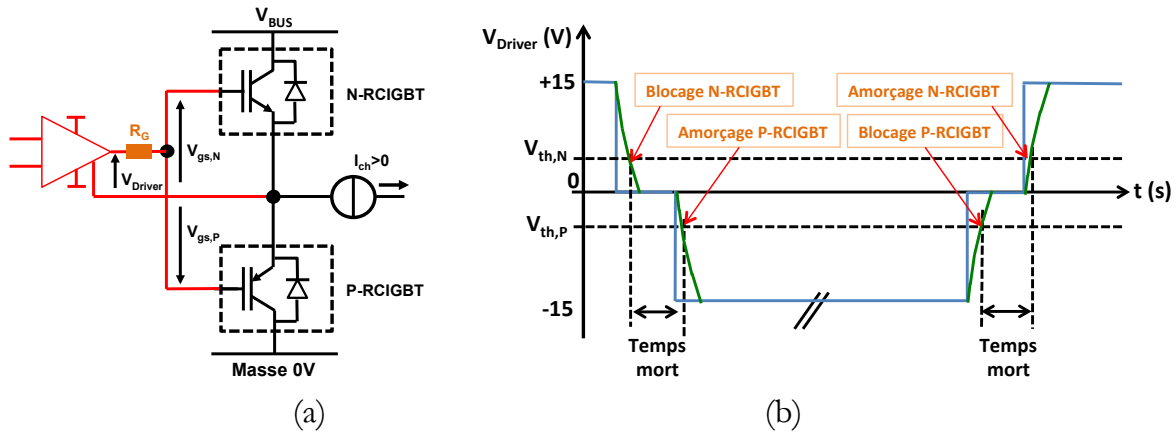


Figure 115 : (a) commande mono-driver à 3 niveaux de tensions et (b) le chronogramme de commande

Nous avons simulé le convertisseur avec une résistance de grille  $R_G = 10 \Omega$ . Le driver a une vitesse de commutation de  $15 \text{ V}/125 \text{ ns}$  ( $120 \text{ V}/\mu\text{s}$ ). Les formes d'ondes sont analysées en Figure 116.

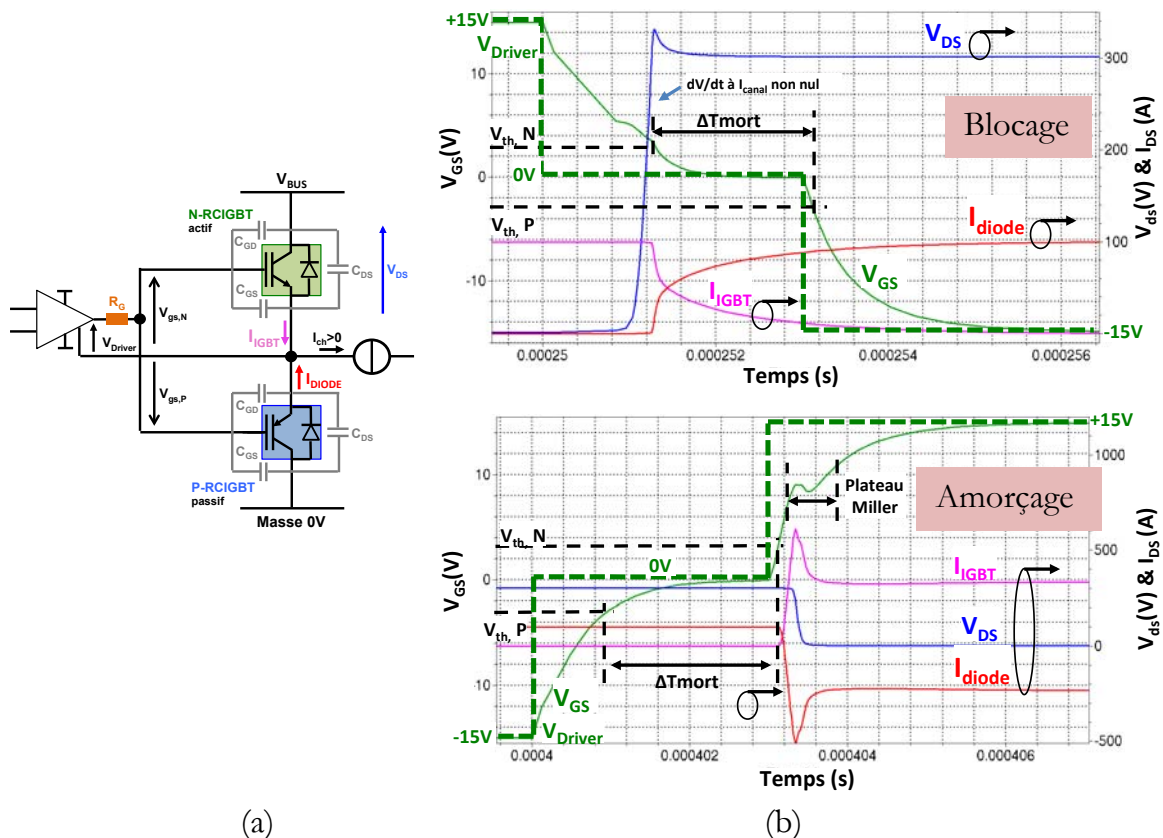


Figure 116 : (a) grandeurs électriques observées dans le bras et (b) les formes d'ondes associées

En l'état, cette commande rapprochée ne permet pas de dissocier les dynamiques d'amorçage et de blocage. Pour retrouver ce degré de liberté, il est nécessaire de combiner la commande trois niveaux avec le schéma à résistances réparties de la Figure 114.

#### 4.4. Bilan

Dans cette partie, nous avons présenté l'approche bi-puce mixte à substrats complémentaires N et P. Cette approche se décline en deux configurations de convertisseur : la commande mono-driver et la commande dual-driver. Une première étude sur des composants identiques à substrat complémentaires N et P a été menée. Ensuite, les puces ont été validées à travers des simulations physiques 2D. Pour finir, la commande mono-driver a fait l'objet d'une étude avec différentes techniques de pilotages des composants, en version deux niveaux de tension et trois niveaux de tension avec temps mort. La commande à trois niveaux offre plus de souplesse pour régler de manière relativement indépendante les dynamiques de commutation et le temps mort. Cette dernière configuration nécessite un double *buffer* "pont en H" mais une seule alimentation auxiliaire isolée.

## 5. APPROCHE À CELLULES ASYMÉTRIQUES – PUCES MULTI-POLES ET ASSEMBLAGES

### 5.1. Introduction

Jusqu'à présent, la démarche adoptée pour l'intégration des convertisseurs était une intégration fractionnée de la cellule de commutation avec une séparation des parties *high-side* et *low-side*. La partie *high-side* du convertisseur était intégrée d'une part sur une puce et la partie *low-side* sur une autre puce. Avec cette démarche, la fonctionnalité d'une cellule de commutation ne pouvait être obtenue que par l'association de plusieurs puces monolithiques. La nouvelle approche présentée ici est basée sur l'intégration des cellules de commutation sur une seule puce, en mode *buck* ou *boost* [10]. La réalisation d'un bras unidirectionnel en courant ne fera donc appel qu'à une puce unique. La réversibilité en courant, comme cela est nécessaire en onduleur, fera appel à une seconde puce de manière symétrique. Cette approche permet d'avoir une cellule de commutation totalement monolithique, avec une maille de commutation intra-silicium qualifiée de maille ultime.

### 5.2. Présentation de l'approche à cellules asymétriques

#### 5.2.1. Cellules élémentaires asymétriques et complémentaires N et P

L'approche d'intégration à cellules asymétriques est illustrée en Figure 117. Elle vise à intégrer le bras d'onduleur sur deux macro-puces monolithiques. Une première puce intègre l'IGBT *high-side* et la diode *low-side*. Une seconde puce intègre l'IGBT *low-side* et la diode *high-side*. On obtient deux cellules de commutations monolithiques avec une cellule *buck* et une autre *boost*. La cellule *boost* est intégrée dans un substrat N, alors que la cellule *buck* dans un substrat P. Pour les deux structures, les commandes des transistors sont référencées à des potentiels fixes imposés par l'alimentation externe du bus de tension. Pour la puce à substrat N, il s'agit du potentiel négatif et pour la puce à substrat P, il s'agit du potentiel haut de l'alimentation. Il en découle que l'alimentation du *buffer* de grille de chacun des composants ne sera pas perturbée par les  $dV/dt$  de commutations au point milieu, garantissant ainsi une meilleure sûreté de fonctionnement. Ces électrodes de référence permettent aussi de pouvoir mutualiser l'alimentation à l'ensemble des *buffers* référencés au même point. Autrement dit, que seulement deux alimentations de *buffer* suffisent quel que soit le nombre de phases, gage de simplicité, de réduction du coût et de fiabilité.

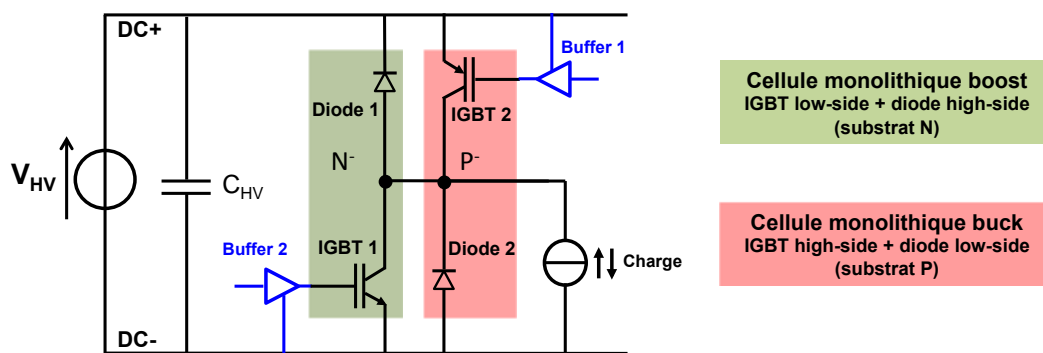


Figure 117 : illustration de l'approche d'intégration à cellules monolithiques asymétriques

La Figure 118 montre la structure monolithique d'une première cellule de commutation dite *boost*, intégrant un IGBT et une diode sur substrat N, avec laquelle une première partie de la fonctionnalité d'un bras d'onduleur peut être réalisée (une première alternance du courant de sortie). Sur un substrat à épitaxie, la base  $P^+$  est mutualisée pour former l'injecteur de l'IGBT et l'injecteur de l'anode de la diode. Cette base  $P^+$  sert également de support au mur partiel non traversant pour l'isolation latérale. La Figure 119 montre la structure monolithique d'une deuxième cellule de commutation dite *buck*, intégrant un IGBT et une diode sur substrat complémentaire de type P, avec laquelle une deuxième partie de la fonctionnalité du bras d'onduleur peut être réalisée (la deuxième alternance du courant de sortie). Sur un substrat à épitaxie, la base  $N^+$  est mutualisée pour former l'injecteur de l'IGBT et la cathode de la diode. Cette base  $N^+$  sert également de support au mur partiel non traversant pour l'isolation latérale. Chaque structure se présente sous la forme d'une macro-puce tri-pôle (3 électrodes de puissance) : deux électrodes pour l'alimentation externe du bus de tension ( $V_{BUS}$  et le pôle négatif) situées en face avant de

la structure, et une électrode pour le point-milieu en face arrière. Ce dernier point montre que le substrat de report sera soumis aux  $dV/dt$  de commutation à moins d'accepter de retourner les puces. Si les mailles de commutation sont bien de type "intra-puce", le bras d'onduleur complet nécessite l'association des deux puces complémentaires. L'avantage de ces deux structures asymétriques est qu'elles ne nécessitent que des murs partiels (non traversant), de type  $P^+$  pour la cellule *boost* et de type  $N^+$  pour la cellule *buck*, plus simples à réaliser que des tranchées traversantes.

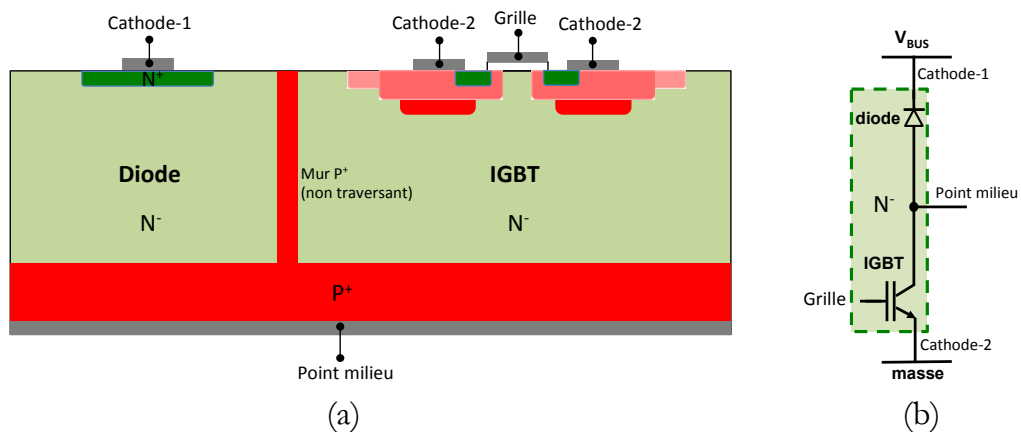


Figure 118 : (a) vue en coupe 2D de principe de la cellule *boost* monolithique et (b) son schéma électrique

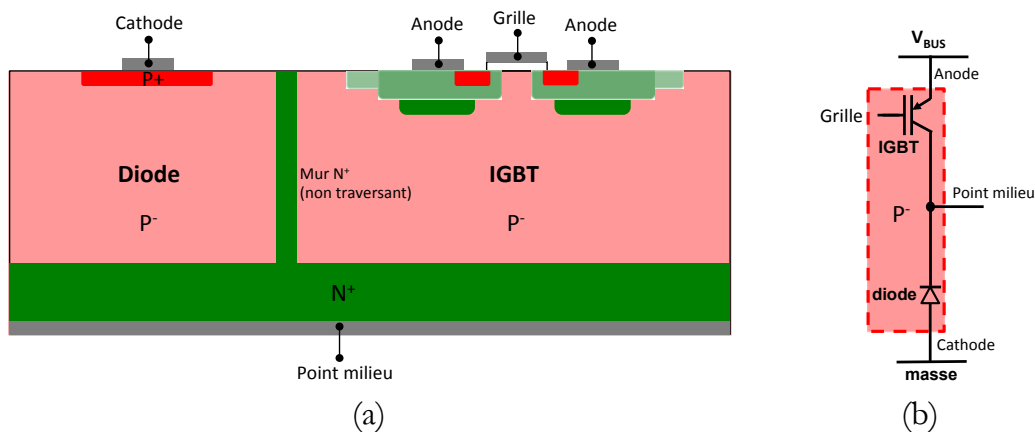


Figure 119 : (a) vue en coupe 2D de principe de la cellule *buck* monolithique et (b) son schéma électrique

La Figure 120a représente l'approche d'assemblage directe des deux puces complémentaires avec un report par leur face arrière de manière conventionnelle. En observant son architecture, une première propriété intéressante apparaît : les deux puces présentent des électrodes d'alimentation par le bus (+ et -) placées sur leur face supérieure, ce qui peut faciliter leur connexion au *busbar* par une connectique unique et directe (ruban, *busbar* intégré, clip ou *Direct Lead Bonding*). Une telle connectique permet de réduire l'inductance parasite d'accès entre l'alimentation amont et les puces elles-mêmes. Une seconde

propriété intéressante est la possibilité de déposer sur le dessus de chaque puce un condensateur de découplage des mailles de commutation intra-puce. Ce condensateur peut être déporté sur le côté de la puce, Figure 120b, si la tenue en température du composant le nécessite mais cela dégrade l'inductance de maille. Les drivers de pilotage rapprochés des puces peuvent également être placés sur le dessus des puces dans le même plan que celui du *busbar*. L'ensemble pouvant avantageusement être réuni au sein d'un même PCB par exemple, venant "chapeauter" les deux puces par leur face supérieure.

Un inconvénient de cet assemblage réside sur le positionnement du point milieu au niveau du substrat de report. Le potentiel de ce point qui évolue selon les  $dV/dt$  de commutations est une source parasite de courant de mode commun qui apparaît à travers les couches « capacitives » du substrat. Un assemblage avec des puces retournées permettrait de résoudre ce problème, mais au prix d'une complexification de la technique de report et de la finition métallique des puces.

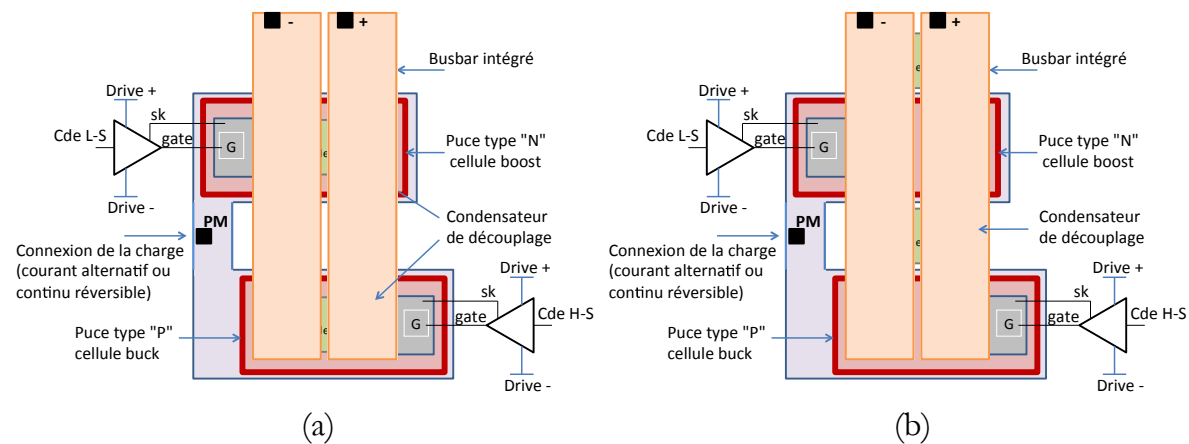


Figure 120 : assemblage d'un bras d'onduleur proposé par l'association des deux cellules complémentaires : (a) version avec les condensateurs de découplages au-dessus des puces et (b) version avec les condensateurs de découplages reportés sur le côté

### 5.2.2. Prolongement de l'approche sous différentes variantes

L'approche présentée ici a été étendue à l'intégration de plusieurs bras. Les différentes approches qui en découlent sont regroupées dans le Tableau 7 :

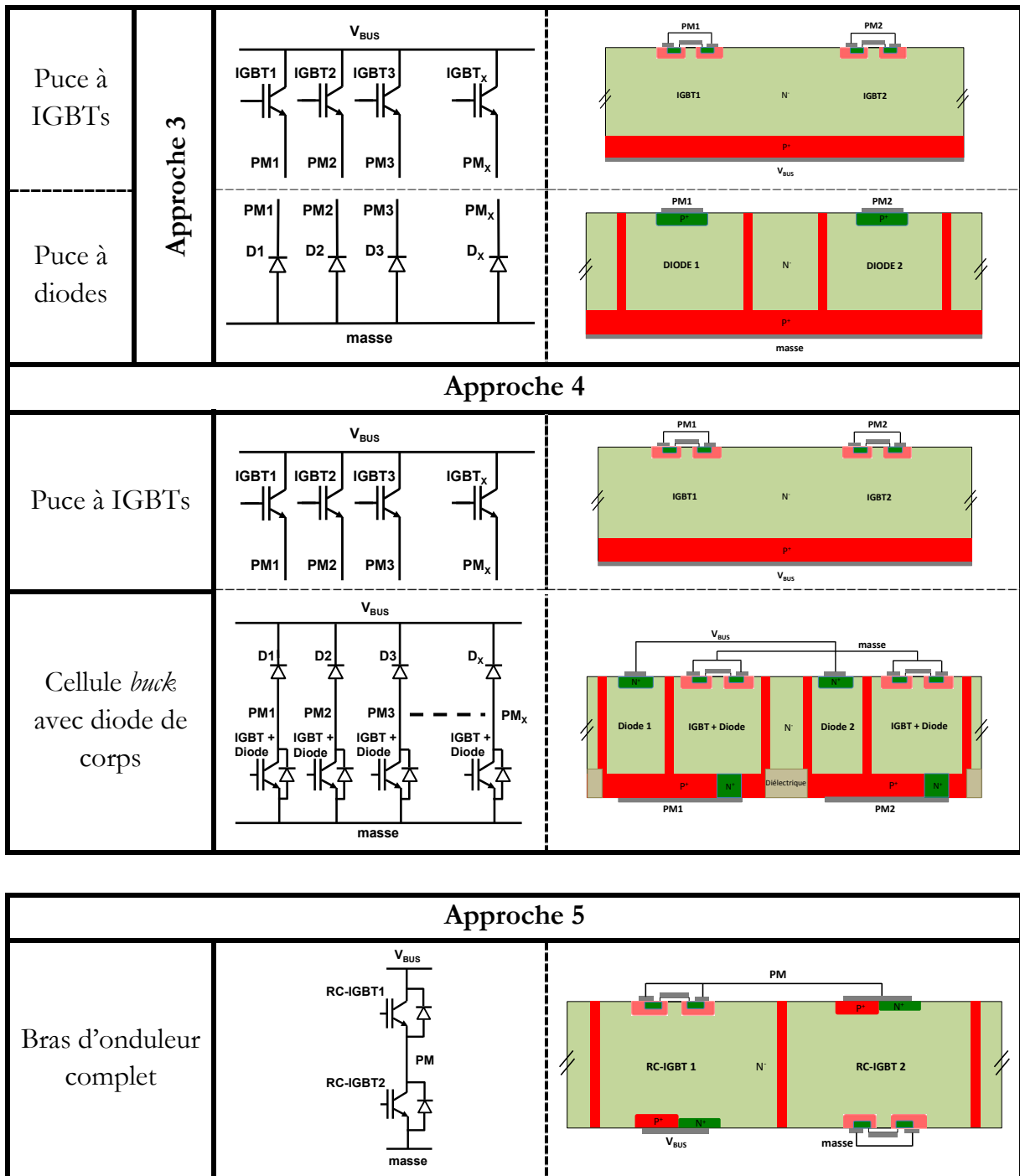
- **Approche 1** : Les cellules *buck* sont intégrées dans une puce type N. Les cellules *boost* dans une autre puce type P. Cette approche est la généralisation sur X cellules de commutation de l'approche initiale. C'est une approche bi-puce à substrats complémentaires par bras à maille de commutation intra-puce.
- **Approche 2** : Les cellules *buck* sont intégrées dans une puce type N double-face. Les cellules *boost* dans une autre puce type N identique à l'approche 1. C'est une approche

bi-puce par bras "tout substrat N" à maille de commutation intra-puce. La réalisation de puce double face est plus complexe.

- **Approche 3 :** Les cellules *buck* sont intégrées dans deux puces type N, l'une pour les IGBTs *high-side* et l'autre pour les diodes *low-side*. Les cellules *boost* sur une puce type N. C'est une approche tri-puce "tout substrat N" à maille de commutation répartie sur deux puces en mode *buck* et une seule puce en mode *boost*.
- **Approche 4 :** Les cellules *buck* sont intégrées avec les diodes *low-side* dans une puce type N. Les IGBTs *high-side* dans une autre puce type N. C'est une approche mono-puce à puce double-face.
- **Approche 5 :** Le bras complet est intégré sur une puce type N. C'est une approche mono-puce à puce double-face.

Tableau 7 : prolongement de l'approche sous différentes variantes

Cellules <i>buck</i> N		
+		
Cellules <i>boost</i> P	<p style="text-align: center;"><b>Approche 1</b></p>	
Cellules <i>boost</i> N	<p style="text-align: center;"><b>Approche 2</b></p>	



### 5.3. Validation du fonctionnement des puces par simulations physiques 2D

Le fonctionnement des cellules monolithiques a été étudié à travers des simulations 2D Sentaurus™. Pour les deux structures, la surface active de chaque section interrupteur est de 1 cm<sup>2</sup>. Chaque puce a été simulée indépendamment dans une application hacheur. Puis elles ont été simulées ensemble dans un bras d'onduleur complet.



### 5.3.1. Cellule monolithique élémentaire de type *boost*

La cellule boost a été simulée dans une application hacheur sur plusieurs cycles de commutation. Les deux modes de conduction de la cellule ont été analysés par l'observation des densités de courant et des lignes de potentiel dans la structure. L'objectif est de voir que lorsqu'une section est passante l'autre est bloquée et supporte bien la tension du bus. La Figure 121 présente les résultats de simulation pour le mode IGBT.

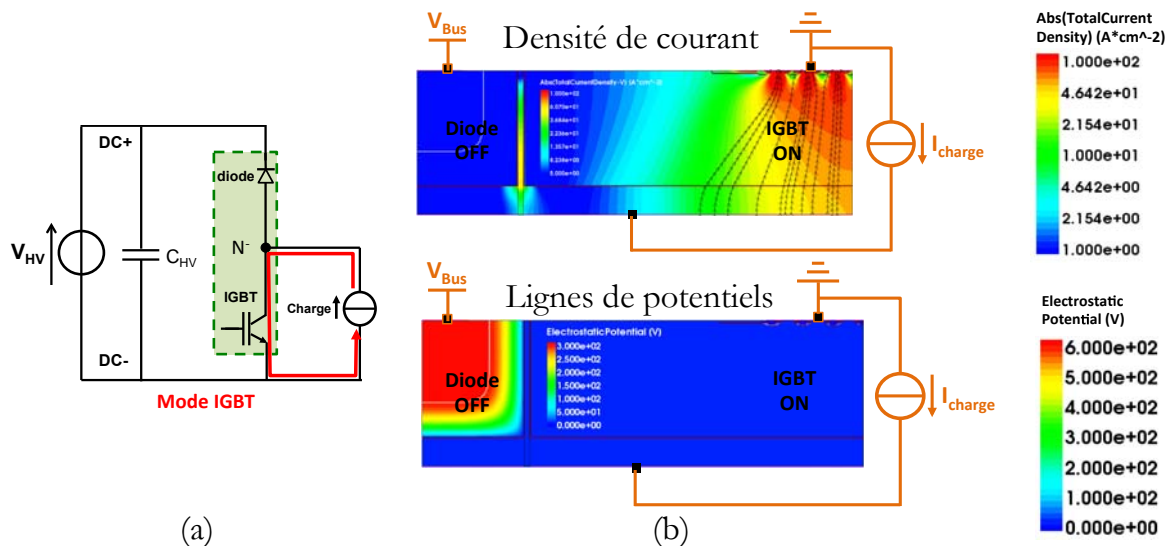


Figure 121 : (a) mode IGBT de la cellule *boost*, (b) observation des densités de courant et des lignes équipotentielles pour le mode IGBT

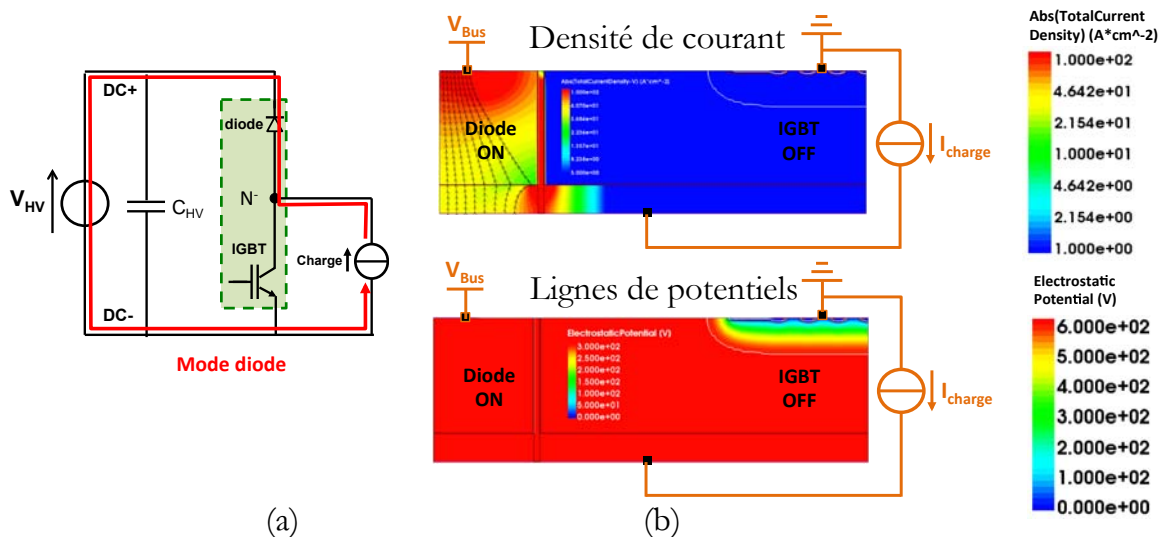


Figure 122 : mode diode de la cellule *boost*, (b) observation des densités de courant et des lignes équipotentielles pour le mode diode

Figure 122 montre les résultats pour le mode diode. Pour le mode IGBT, nous constatons de fortes densités de courant dans la section IGBT qui s'atténuent en direction de la

section diode à gauche. Les lignes de courant s'orientent du point milieu en face arrière vers la cathode de l'IGBT en face avant.

La tension du bus est donc supportée par la section diode, comme on peut le voir avec l'étalement de la ZCE dans la région N<sup>-</sup>. Cette ZCE est le résultat de la polarisation inverse de la jonction P<sub>(murP-substratP)</sub>/N<sup>-</sup><sub>drift</sub>. Pour le mode diode, nous pouvons voir les densités de courant à travers la section de gauche. Le point milieu est au potentiel haut, la tension du bus est supportée par la diode de tenue en tension de l'IGBT (étalement de la ZCE au niveau des sections MOS). Cette fois-ci, le mur P<sup>+</sup> n'intervient pas dans la tenue en tension.

Les formes d'ondes dans la cellule *boost* sur un cycle de commutation sont montrées en Figure 123a. Nous pouvons y voir le basculement du point milieu (courbe bleue) entre les potentiels haut (300 V) et bas (0 V). Un agrandissement sur les phases dynamiques permet d'identifier les différentes séquences de la commutation (Figure 123b). À la fermeture de l'IGBT, le potentiel du point milieu passe du niveau haut au niveau bas. Nous constatons un recouvrement inverse de la diode assez important (courbe rouge). Ensuite, à l'ouverture de l'IGBT, le potentiel du point milieu rebascule au niveau haut. Le courant de queue de l'IGBT est d'environ 20 ms (courbe noire). Ces formes d'ondes semblables à celles d'une cellule hacheur classique permettent de valider le fonctionnement de nos structures.

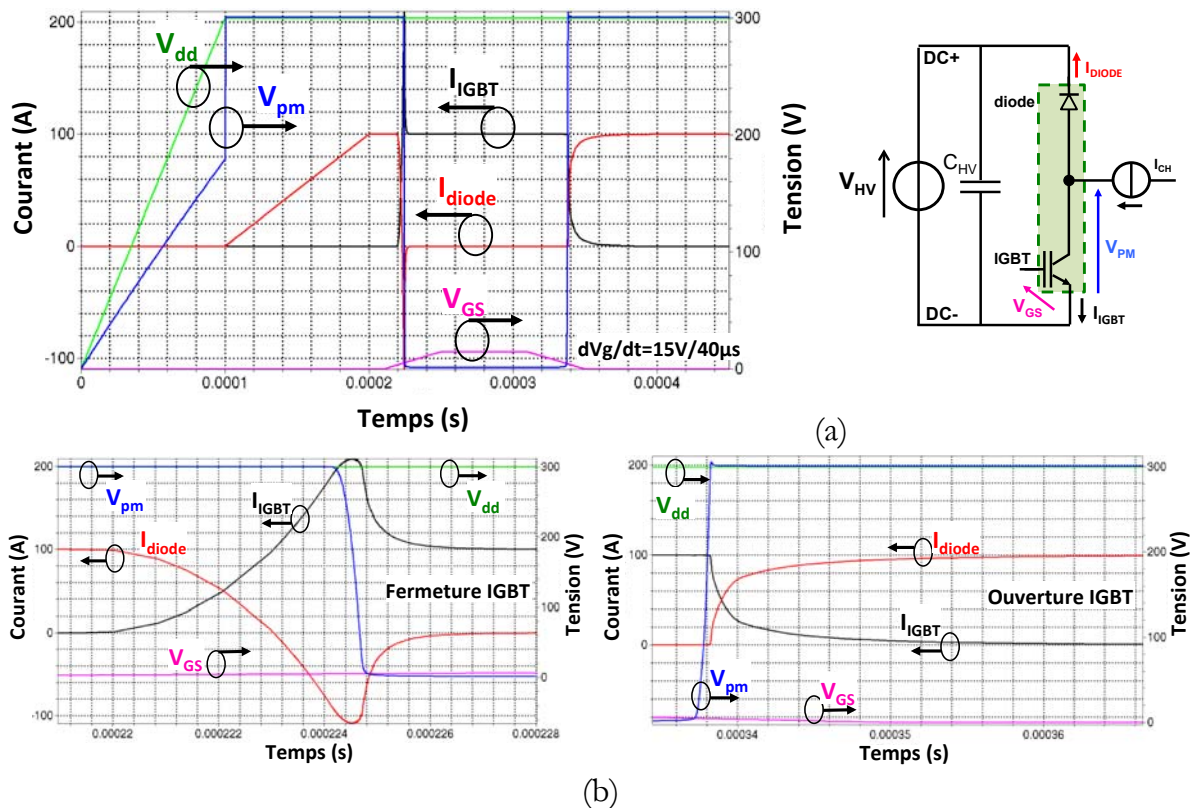


Figure 123 : (a) formes d'ondes sur un cycle de commutation de la cellule *boost* et (b) agrandissement sur les phases dynamiques de commutation

### 5.3.2. Cellule monolithique élémentaire de type *buck*

La cellule *buck* a également été simulée dans une application hacheur. Les deux modes de conduction IGBT et diode de la cellule ont été analysés. La Figure 124 montre les résultats de simulation pour le mode IGBT et la Figure 125 pour le mode diode. Pour le mode IGBT, nous observons que les lignes de courant circulent cette fois-ci de l'anode en face avant vers le point milieu en face arrière. Une ZCE dans la section de gauche montre que la section diode est polarisée en inverse et supporte la tension. Cette ZCE correspond à la polarisation inverse de la jonction  $P^{-}_{drift}/N^{+}_{(murN-substratN)}$ .

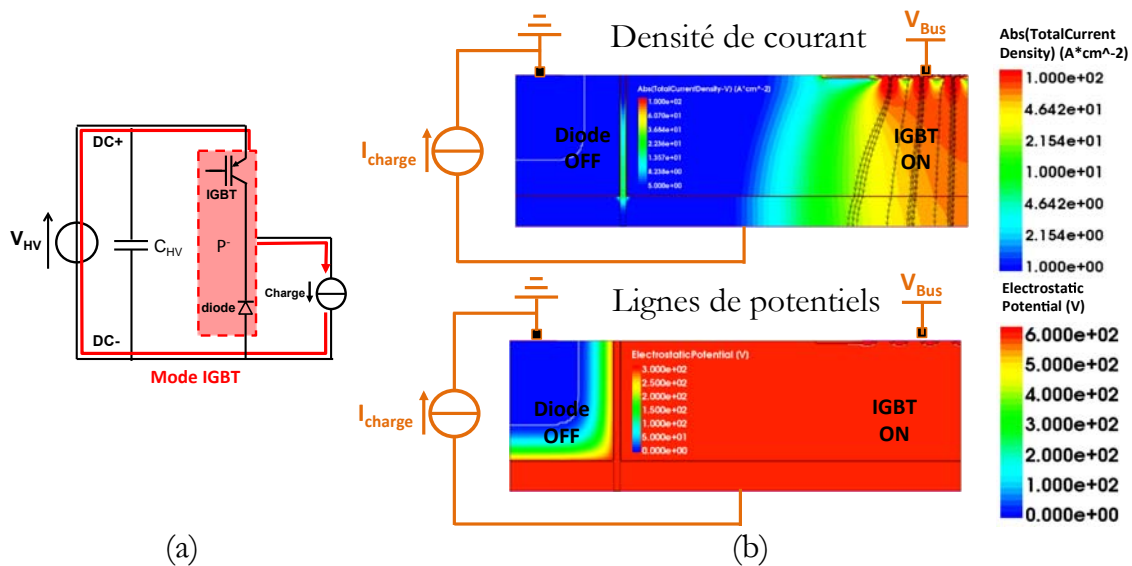


Figure 124 : (a) mode IGBT de la cellule *buck*, (b) observation des densités de courant et des lignes équipotentielles pour le mode IGBT

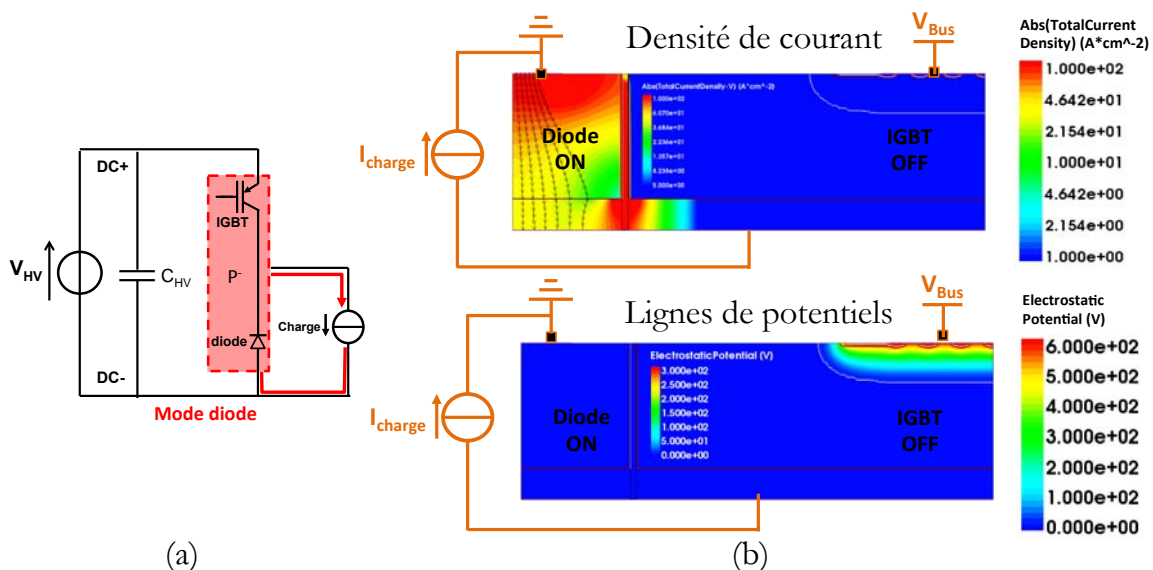


Figure 125 : (a) mode Diode de la cellule *buck*, (b) observation des densités de courant et des lignes équipotentielles pour le mode Diode

Pour le mode diode en Figure 125, les lignes de courant sont orientées de l'anode de la diode en face avant vers le point milieu en face arrière. La tension est supportée par la section MOS de l'IGBT en face avant de la puce. Pour le mode diode, le mur N<sup>+</sup> n'intervient pas dans l'isolation électrique des deux sections.

La Figure 126a montre les formes d'ondes dans la cellule *buck* sur un cycle de commutation. Un agrandissement sur les phases dynamiques permet une analyse plus fine des séquences de commutation (Figure 126b). À la fermeture de l'IGBT, nous remarquons un recouvrement inverse de la diode assez important (courbe rouge) et le basculement du potentiel du point milieu du niveau bas au niveau haut. À l'ouverture de l'IGBT, nous notons encore un temps d'ouverture assez long. Le potentiel du point milieu rebascule au niveau bas. Ces formes d'ondes valident les fonctionnements statiques et dynamiques des puces multi-pôles.

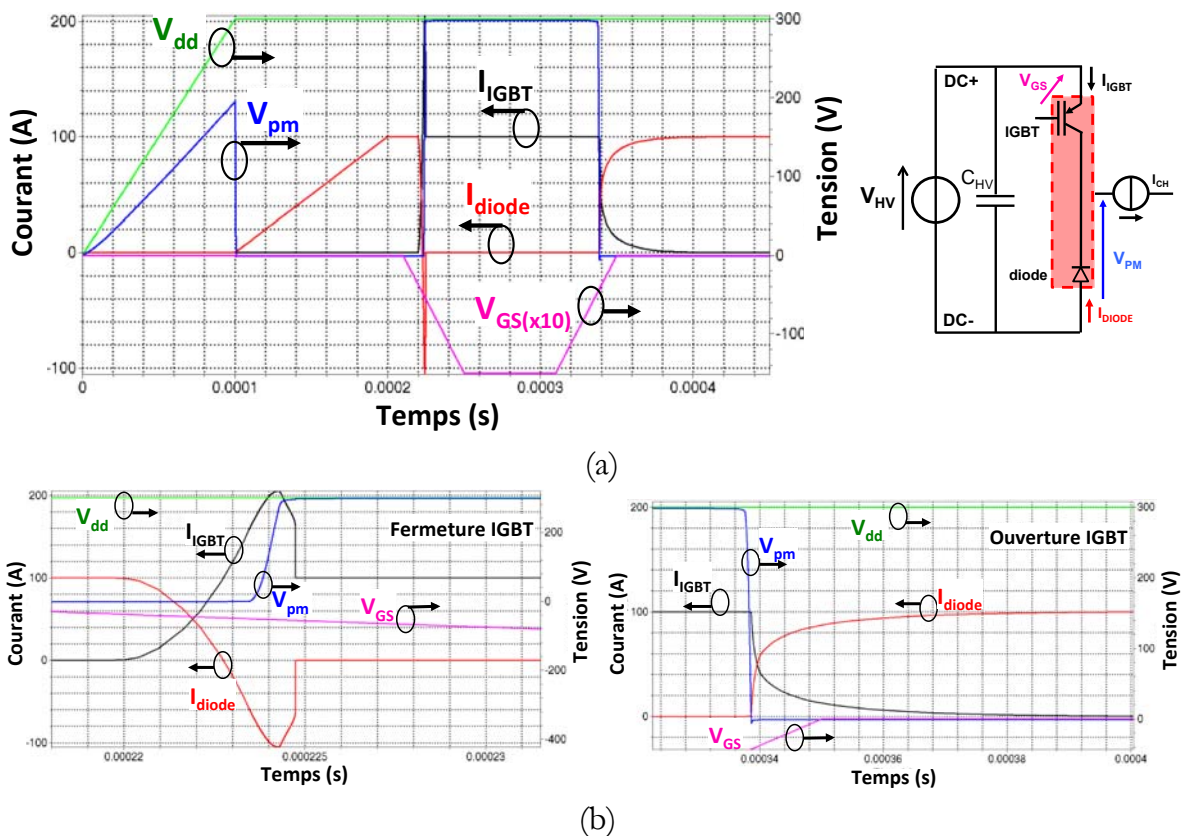


Figure 126 : (a) formes d'ondes sur un cycle de commutation de la cellule *boost* et (b) agrandissement sur les phases dynamiques de commutation

### 5.3.3. Association des deux cellules élémentaires dans un bras d'onduleur complet

La fonctionnalité du bras d'onduleur complet est obtenue par l'association des deux cellules complémentaires, comme illustrée en Figure 127.

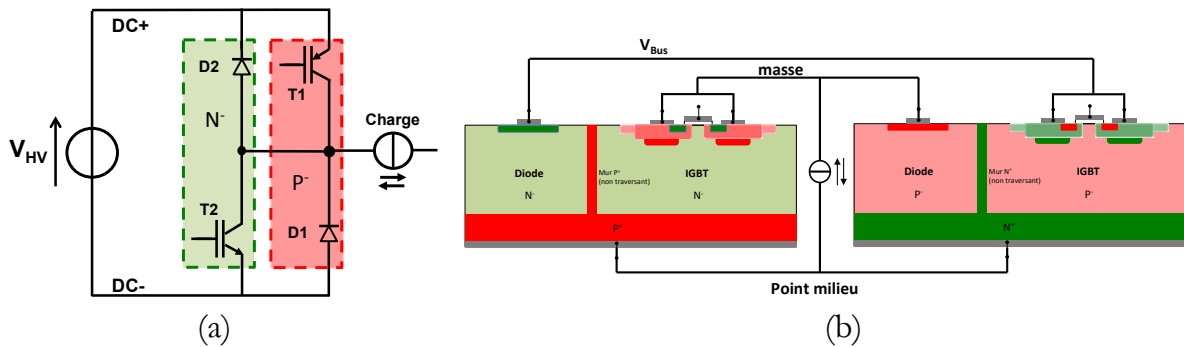


Figure 127 : association des deux cellules hacheur pour former un bras d'onduleur complet

Les formes d'ondes du bras d'onduleur sont montrées en Figure 128a. La source de courant injecte un courant de forme triangulaire. La commutation des cellules se fait à courant maximum. Sur les courbes en noire et en rouge, nous pouvons identifier les phases de conduction des différents composants. Lorsque la section *high-side* est commandée ( $V_{pm}$  au potentiel haut), le courant circule soit par l'IGBT P soit par la diode D2, selon l'orientation de la source courant. Lorsque la section *low-side* est commandée ( $V_{pm}$  au potentiel bas), le courant circule soit par l'IGBT N soit par D1. Les Figure 128b et Figure 128c montrent en détails les courbes pendant les phases de commutation à 0,5 ms et 1 ms, respectivement.

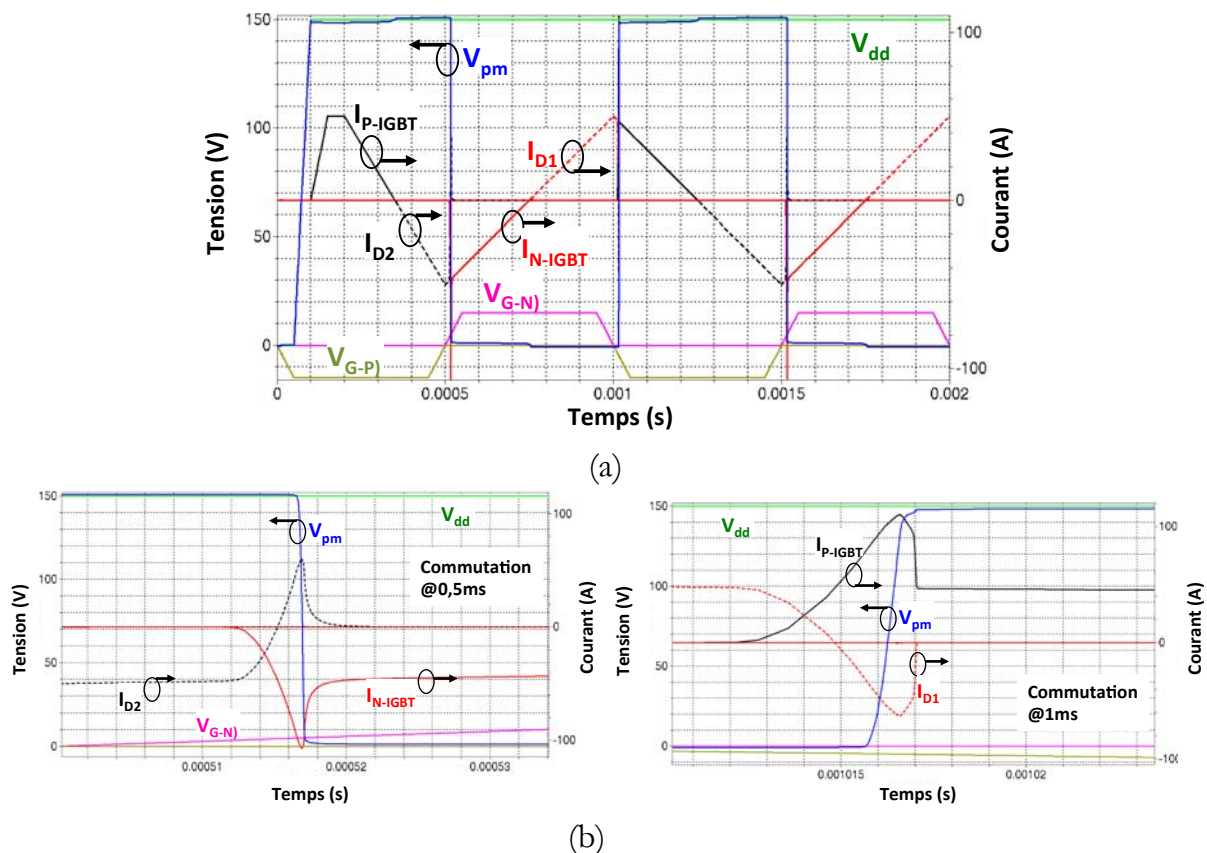


Figure 128 : (a) formes d'ondes dans le bras d'onduleur et (b) agrandissement sur les phases dynamiques de la commutation

## 5.4. Bilan

Cette partie était dédiée à la présentation et à l'étude de l'approche d'intégration à cellules asymétriques. Le concept repose sur l'intégration du bras d'onduleur sur deux puces, où chacune des puces intègre une maille de commutation complète. Une première puce intègre la cellule *buck* sur substrat P et une seconde puce la cellule *boost* sur substrat N. Le fonctionnement de chaque puce a été validé de manière individuelle dans un premier temps puis complémentaire dans un bras d'onduleur, à travers des simulations 2D Sentaurus™. Ces deux puces ont servi de structures élémentaires à la proposition de multiples variantes illustrées en Tableau 7.

## 6. CONCLUSION DU CHAPITRE 3

Dans ce chapitre, nous avons présenté trois approches originales d'intégration mixte monolithique-hybride du convertisseur multi-phase. Toutes les nouvelles puces proposées ont été validées en statique et en dynamique dans des circuits de conversion par des simulations physiques 2D Sentaurus.

1. La première approche dite tri-puce a pour objectif d'intégrer le convertisseur multi-phase sur trois puces monolithiques génériques. Cette approche peut être vue comme un prolongement de l'approche bi-puce classique. La principale différence entre ces deux approches se trouve au niveau de l'intégration de la partie *low-side*. Pour l'approche bi-puce la partie *low-side* est intégrée sur une puce, alors que pour l'approche tri-puce elle est intégrée sur deux puces. Ce découplage des composants *low-side* sur deux puces (une puce multi-IGBTs et une puce multi-diodes) permet d'utiliser des murs d'isolement non-traversant. Alors que dans l'approche bi-puce, la puce *low-side* ne peut fonctionner qu'avec un mur d'isolement traversant entièrement toute l'épaisseur du substrat.
2. La seconde approche vise à intégrer le convertisseur multi-phase dans deux puces à substrats complémentaires N et P. Deux configurations de convertisseurs ont été proposées. La première est une intégration de la partie *high-side* dans une puce N et de la partie *low-side* dans une puce P. La seconde est une intégration de la partie *high-side* sur une puce P et de la partie *low-side* sur une puce N. L'intégration monolithique sur des substrats complémentaires offre des améliorations au niveau de la commande des interrupteurs et des assemblages. Toutefois, les composants P nécessitent une étude approfondie avant leur intégration dans un bras d'onduleur avec des composants N.
3. La dernière approche vise à intégrer le bras d'onduleur sur deux puces complémentaires N et P, où chacune des puces intègre une fonctionnalité hacheur complète (*buck* ou *boost*). La cellule *boost* est intégrée dans la puce N et la cellule *buck* dans la puce P. Sur la base de ces deux puces élémentaires, différentes

variantes de puces ont été proposées pour étendre l'approche à l'intégration de plusieurs phases du convertisseur.

Les approches tri-puce et bi-puce classique/mixte mettent en avant une maille de commutation orthogonale mono-faisceau à faible inductance de boucle. Les caractéristiques de cette maille de commutation ont été étudiées dans le Chapitre 5 dédié aux assemblages de convertisseurs prototypes.

## 7. RÉFÉRENCES BIBLIOGRAPHIQUES

- [1] Abdelilah El Khadiry, "Architectures de cellules de commutation monolithiques intégrables sur semi-conducteurs "bi-puce" et "mono-puce" pour convertisseurs de puissance compacts", Thèse de l'Université Paul Sabatier de Toulouse, 2014.
- [2] A. El Khadiry, A. Bourennane and F. Richardeau, "Multiphase Power Converter Integration in Si: Dual-Chip and Ultimate Monolithic Integrations," in IEEE Transactions on Electron Devices, vol. 63, no. 5, pp. 1977-1983, May 2016.
- [3] B. Jayant Baliga, "Fundamentals of Power Semiconductor Devices", 1st ed. Springer Verlag NewYork Inc., 2008.
- [4] K. Mochizuki, K. Ishii, M. Takeda, H. Hagino and T. Yamada, "Examination of punch through IGBT (PT-IGBT) for high voltage and high current applications," Power Semiconductor Devices and IC's, 1997. ISPSD '97., 1997 IEEE International Symposium on, Weimar, 1997, pp. 237-240.
- [5] G. Miller and J. Sack, "A new concept for a non punch through IGBT with MOSFET like switching characterist(ICs)", in Proc. IEEE PESC Recor, vol. 1. Jun. 1989, pp. 21–25.
- [6] H. Yilmaz, J. L. Benjamin, R. F. Dyer, L. S. S. Chen, W. R. Van Dell and G. C. Pifer, "Comparison of the Punch-Through and Non-Punch-Through IGT Structures," in IEEE Transactions on Industry Applications, vol. IA-22, no. 3, pp. 466-470, May 1986.
- [7] B. J. Baliga, "Analysis of insulated gate transistor turn-off characteristics," in IEEE Electron Device Letters, vol. 6, no. 2, pp. 74-77, Feb 1985.
- [8] Jess Brown, "Power MOSFET Basics: Understanding Gate Charge and Using it to Assess Switching Performance", <http://www.vishay.com/docs/73217 /73217 .pdf>, 2004.
- [9] Pierre Lefranc, "Étude, conception et réalisation de circuits de commande d'IGBT de forte puissance ", Thèse de l'INSA de Toulouse, 2005.
- [10] Guy Séguier, Électronique de puissance, 7<sup>th</sup> edition, Dunod, Paris 1999



**Chapitre 4 :**  
**Réalisation technologique des puces multi-pôles sur  
Silicium**



## 1. INTRODUCTION

Ce chapitre présente l'ensemble du travail technologique réalisé en salle blanche du LAAS. Il donne suite au travail de conception des puces par simulations physiques 2D, présenté dans le chapitre précédent. Les puces réalisées pourront être par la suite intégrées dans nos démonstrateurs prototypes pour valider nos concepts et démontrer les performances attendues.

Le travail technologique en salle blanche a porté sur trois points : la réalisation du mur P<sup>+</sup>, la réalisation de puces RC-IGBT et à anode commune, la conception et la réalisation de puces à cathode commune et mono-puce.

La première partie du chapitre présente la réalisation des puces RC-IGBT et à anode commune. Ces puces ont été réalisées une première fois par Abdelilah El Khadiry lors de ses travaux de thèse. Toutefois, nous avons besoin de puces supplémentaires pour réaliser nos convertisseurs. C'est pour cette raison que ces puces ont été réalisées à nouveau. La seconde partie de ce chapitre est dédiée au développement et à l'optimisation du mur P<sup>+</sup>. Ce mur P<sup>+</sup> représente une brique technologique essentielle au fonctionnement de nos puces monolithiques. La dernière partie de chapitre est consacrée à la conception et à la réalisation des puces à cathode commune et mono-puce. Ces dernières intègrent des murs P<sup>+</sup> d'isolement entre chaque interrupteur d'une même puce. Les jeux de masques ont été dessinés sous Virtuoso Cadence.

## 2. FILIÈRE TECHNOLOGIQUE DE PUISSANCE

La réalisation de nos puces monolithiques s'appuie sur la filière technologique de puissance, disponible dans la salle blanche du LAAS-CNRS [1]. Cette filière, représentée en Figure 129, est un enchaînement de briques technologiques de « base », dont les paramètres peuvent être modifiés pour obtenir les niveaux de tension et de courants souhaités. La filière est dite flexible, puisqu'elle autorise l'intégration de briques technologiques « optionnelles » pour réaliser des fonctions spécifiques (voir chapitre 1). Ces briques optionnelles doivent s'insérer dans l'enchaînement des étapes sans modifier le processus complet.

La filière peut être résumée en 5 étapes :

- 1) Les techniques de gardes des jonctions
- 2) Les implantations en face arrière
- 3) La réalisation de la grille
- 4) Les implantations en face avant
- 5) La réalisation des contacts

La filière est basée sur un principe d'auto-alignement. Le polysilicium de grille sert de masque à la réalisation de la région source des transistors MOS de puissance. Ce principe permet d'obtenir un bon contrôle de la longueur de canal. L'auto-alignement impose la réalisation de la grille en début du processus technologique, avant les étapes d'implantation ionique et de redistribution thermique.

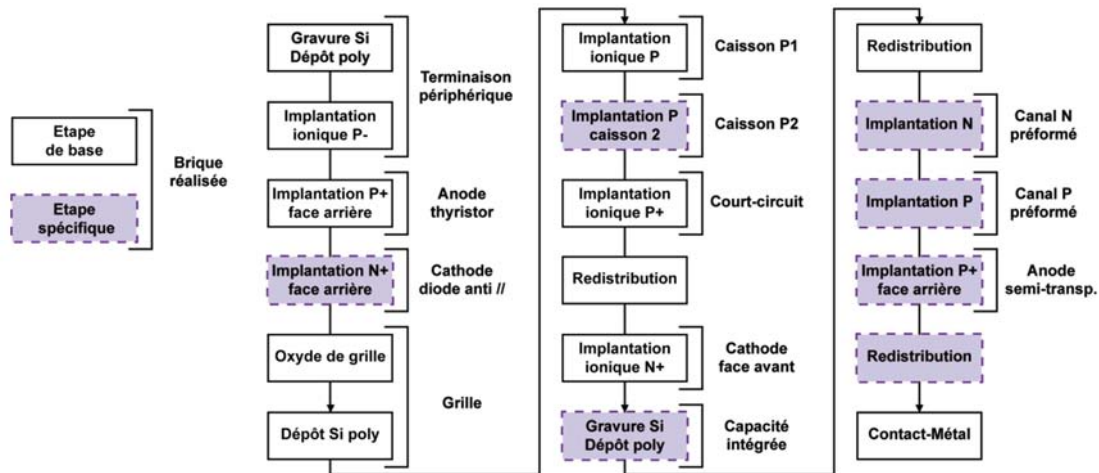


Figure 129 : enchaînement des étapes technologiques de la filière de puissance flexible du LAAS-CNRS [2]

### 3. RÉALISATION ET CARACTÉRISATION DES PUCES RC-IGBT ET À ANODE COMMUNE

#### 3.1. Réalisation technologique des puces

La Figure 130 montre les niveaux de masques des puces RC-IGBT et à anode commune (deux sections RC-IGBT [3]).

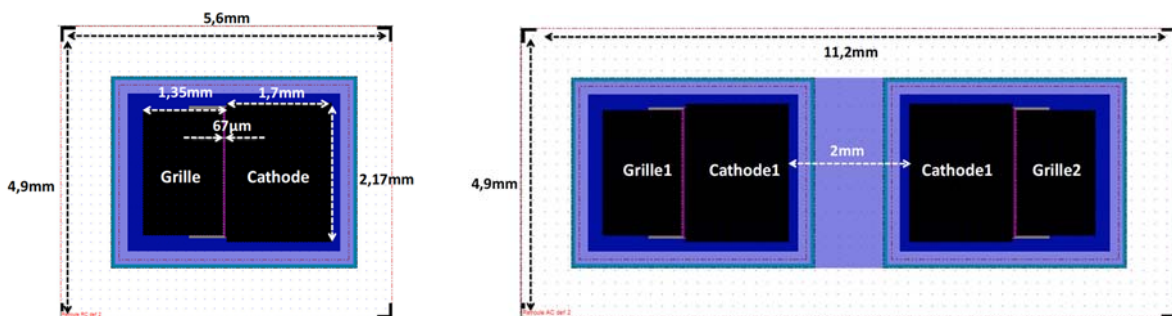


Figure 130 : jeux de masques de la puce RC-IGBT (à gauche) et de la puce tri-pôle anode commune (à droite) [3]

Ces masques ont été conçus par Abdelilah El Khadiry durant ses travaux de thèse. Le procédé technologique de ces puces est décrit dans ce manuscrit [4]. Les sections RC-

IGBT sont entourées d'une région P<sup>-</sup> qui joue le rôle de terminaison de jonction JTE. Ces deux puces n'intègrent pas de mur P<sup>+</sup> et sont réalisées sur un même jeu de masques.

À l'aide de ces masques, nous avons réalisé le procédé technologique sur des plaquettes silicium 4" de type N, ayant un dopage de  $10^{14}$  atomes/cm<sup>3</sup> et une épaisseur de 300 μm. La Figure 131 montre la photo du *wafer* que nous avons réalisé. Ce dernier intègre 84 puces RC-IGBT et 48 puces à anode commune.

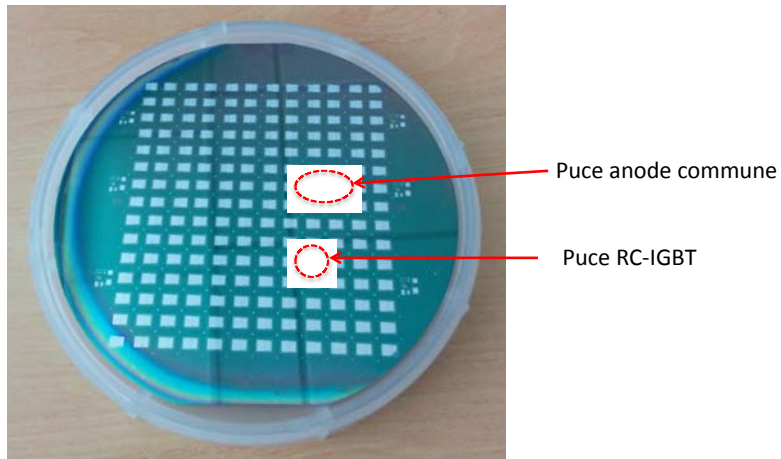


Figure 131 : photographie d'un *wafer* réalisé au LAAS intégrant des puces RC-IGBT et à anode commune

### 3.2. Caractérisations électriques

Les puces ont été caractérisées en statique par une mesure sous pointes comme montrée en Figure 132.



Figure 132 : station de mesures sous pointes avec le traceur Agilent 4142B

La Figure 133 montre les résultats de mesures sur l'un des deux RC-IGBT d'une puce anode commune. Sont représentés sur cette figure le réseau  $I_D-V_D$ , la courbe  $I_D-V_G$  et la courbe I-V en inverse. Nous observons que le composant présente une forte résistivité à l'état passant direct. La tension de seuil du composant est d'environ 3 V.

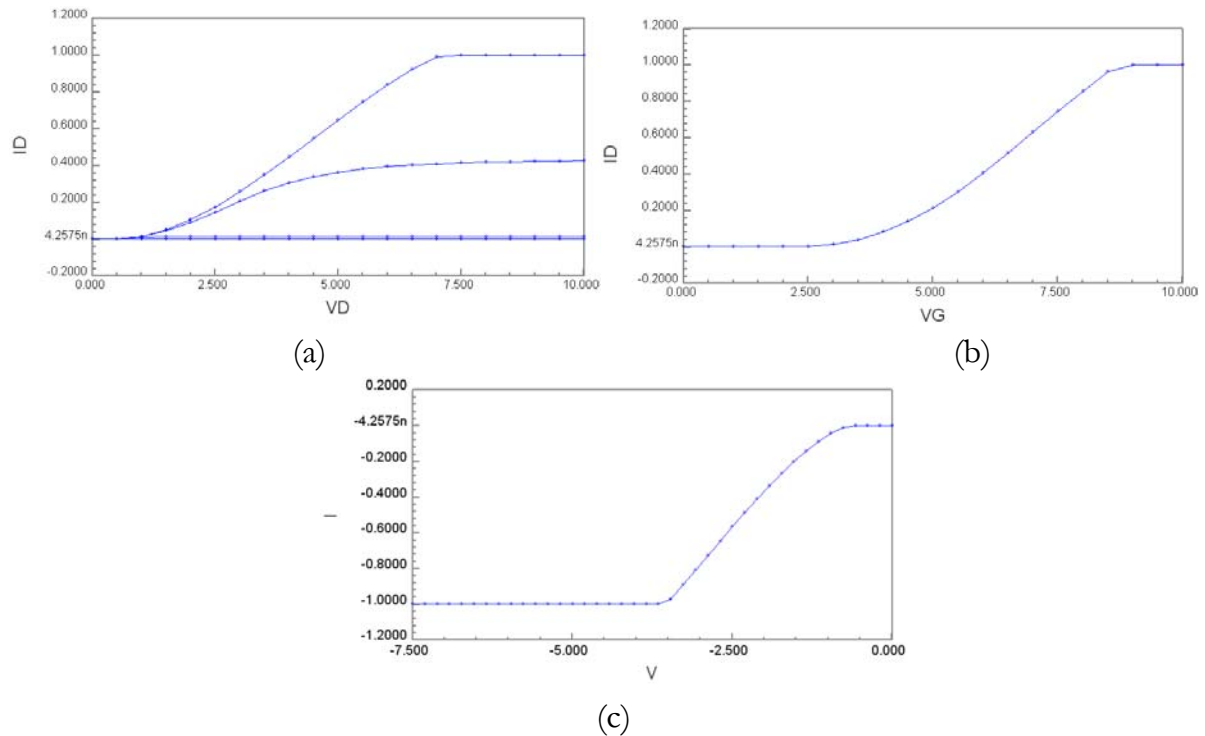


Figure 133 : mesures sous pointes en statique avec le traceur Agilent 4142B (limite en courant des sources à 1 A) : (a) réseau  $I_D$ - $V_D$  du RC-IGBT, (b) caractéristique  $I_D$ - $V_G$  du RC-IGBT, (c) I-V en inverse (mode diode du RC-IGBT)

## 4. RÉALISATION DU MUR P<sup>+</sup>

### 4.1. Description du procédé technologique

La réalisation du mur traversant P<sup>+</sup> a été étudiée pour la première fois au LAAS dans le cadre de la thèse d'Olivier Causse, pour la réalisation d'une structure IGBT symétrique en tension [5]. Dans le cas de nos structures monolithiques, le mur P<sup>+</sup> n'a pas la même fonction puisqu'il est utilisé comme une technique d'isolation latérale entre les différents interrupteurs intégrés d'une même puce monolithique. La réalisation du mur P<sup>+</sup> peut se décomposer en quatre étapes comme illustrées en Figure 134 :

1. La réalisation des tranchées profondes dans le silicium par une gravure DRIE (Deep Reactive Ion Etching).
2. Le remplissage des tranchées par un dépôt conforme de silicium polycristallin fortement dopé bore.
3. La suppression du silicium polycristallin déposé sur les deux faces par une gravure RIE.
4. La liaison des tranchées par une étape de redistribution, qui permet aux atomes dopants dans les tranchées de diffuser dans le silicium monocristallin pour former un mur continu P<sup>+</sup>.

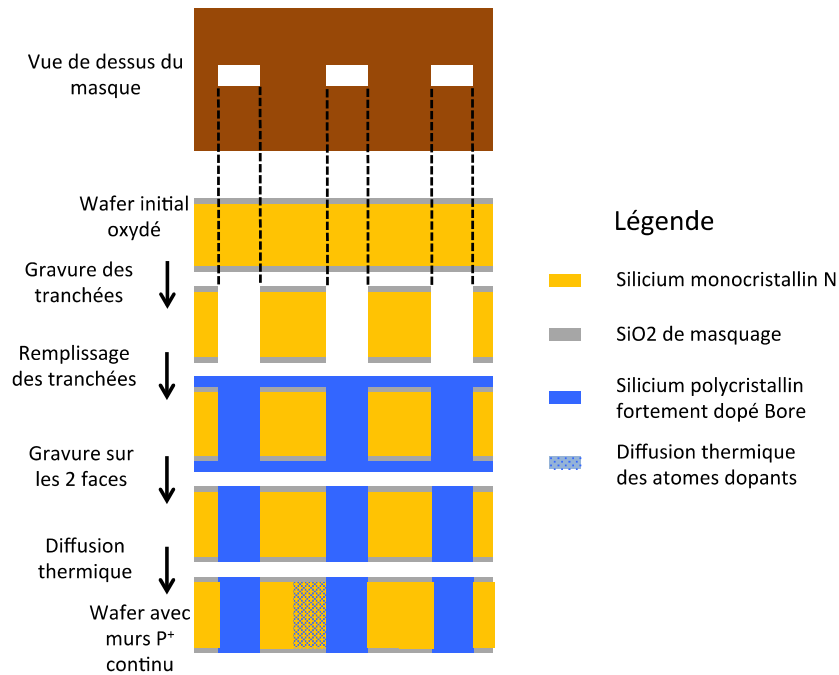


Figure 134 : principales étapes pour la réalisation du mur P<sup>+</sup> [5]

Dans l'enchaînement des étapes technologiques de la filière, l'étape du mur P<sup>+</sup> prend place en première position avant les terminaisons périphériques. Le mur P<sup>+</sup> va donc subir le bilan thermique de l'ensemble du procédé technologique.

## 4.2. Les étapes technologiques

La réalisation du mur P<sup>+</sup> (continu) passe par la gravure d'une ligne de tranchées discontinues. La largeur de la tranchée sur masque, ainsi que l'espacement entre deux tranchées, représentent les paramètres à déterminer :

- La largeur de la tranchée est limitée par l'étape de remplissage. En effet, le remplissage est réalisé dans un four vertical développé au LAAS. Ce four vertical permet une vitesse de dépôt du polysilicium de l'ordre de 2 µm/heure. La durée de remplissage de quelques microns prend ainsi plusieurs heures et doit donc être minimisée.
- L'espacement entre deux tranchées dépend de la distance de diffusion des atomes dopants. La diffusion des atomes se fait de manière thermique en plaçant la plaquette dans un four. Cette diffusion est fonction de la température et de la durée de recuit. La diffusion des atomes sur quelques microns dure plusieurs heures et doit être minimisée. L'espacement entre deux tranchées dépend également de la tenue mécanique de la plaquette suite à la gravure de motifs discontinus.

La Figure 135 montre le masque utilisé pour la gravure profonde avec les dimensions de la ligne de tranchées. Ces dimensions ont été validées après de nombreux tests de gravure profonde et de remplissage des tranchées.

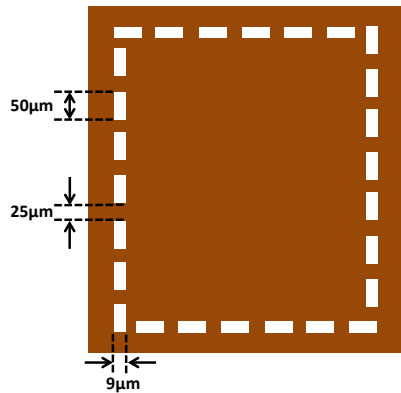


Figure 135 : les dimensions des lignes de tranchées sur masque

Dans la suite, nous décrivons en détails les quatre macro-étapes pour la réalisation de ces tranchées. Ces travaux sont en lien avec les travaux menés par Hakim Tahir dans le cadre de son post-doc (projet Tours 2015).

#### 4.2.1. La gravure des tranchées profondes

La gravure des tranchées profondes dans le silicium nécessite avant une étape de photolithographie et une étape de gravure de l'oxyde de masquage.

- **La photolithographie avec la résine épaisse AZ 40XT**

En début de procédé, les plaquettes de silicium sont recouvertes de la couche d'oxyde de masquage. Cet oxyde protège la surface du silicium contre les contaminants pendant toute la durée du procédé. Le masque de résine est donc réalisé sur cette couche d'oxyde. À la sortie du four d'oxydation, l'oxyde de masquage ne présente pas une surface totalement hydrophile. Pour rendre cette surface davantage hydrophile et améliorer l'adhérence de la résine, la plaquette est plongée dans un bain de *Buffer-HF* (acide fluorhydrique) pendant quelques secondes puis rincée à l'EDI et séchée à l'azote.

La plaquette est placée dans une étuve à 200 °C durant 15 min pour la déshydrater au maximum. Ensuite, elle est placée dans une étuve afin de déposer sous phase vapeur un promoteur d'adhérence de résine, le HMDS (Hexaméthylsilazane). La plaquette est maintenant prête pour le dépôt de résine. Le choix de la résine photosensible s'est porté sur une résine positive épaisse de type AZ 40XT [6]. Cette dernière est déposée de manière automatique avec l'équipement EVG 120. Elle est ensuite insolée à travers les motifs du masque de verre. La machine d'insolation utilisée est la Karl Suss MA150. Pour



finir, elle subit un post recuit suivi d'une révélation sur l'EVG 120 afin de réaliser les motifs dans la résine. Dans une résine aussi épaisse de 40  $\mu\text{m}$ , la définition de petits motifs (9  $\mu\text{m}$ ) est plus difficile que la définition de grands motifs. Il faut ainsi s'assurer de l'ouverture totale jusqu'à l'oxyde de masquage de l'ensemble des motifs de la plaquette. La caractérisation au profilomètre mécanique permet de contrôler la bonne épaisseur du masque de résine, qui doit être de 40  $\mu\text{m}$ .

Lors du dépôt de la résine sur la plaquette, nous avons rencontré plusieurs difficultés :

- 1) Des bulles se forment dans la résine épaisse au moment du dépôt sur la plaquette. Lors de la gravure profonde des tranchées au plasma, ces bulles vont engendrer des trous dans la plaquette. L'étape suivante du procédé, qui est le remplissage des tranchées avec du polysilicium, ne permet pas de remplir ces trous de diamètre plus grand que les tranchées. Nous obtenons au final une plaquette percée qui ne permet pas de poursuivre le procédé.
- 2) Après le dépôt de résine et son recuit, nous avons observé un rétrécissement de la résine sur les bords de la plaquette. Une solution a été de placer un anneau de verre au-dessus pour protéger les bords de la plaquette. Lors de la gravure profonde au plasma, la plaquette est tout de même attaquée sur les bords. Nous obtenons une plaquette rongée sur les bords fortement fragilisée pour le reste du procédé.

- **La gravure RIE du  $\text{SiO}_2$  de masquage**

À ce stade, la plaquette de silicium est recouverte de l'oxyde de masquage, et au-dessus du masque de résine AZ 40XT 40  $\mu\text{m}$  avec ses ouvertures pour la gravure des tranchées. Avant de réaliser la gravure profonde du silicium, il faut graver l'oxyde de masquage pour atteindre le silicium. La gravure de l'oxyde de masquage se fait par plasma dans le bâti de gravure ICP-RIE (Omega 201). La gravure est réalisée sous vide en introduisant le gaz  $\text{CF}_4$  sous une puissance de 40 W. Au préalable, la plaquette à graver est collée sur un *wafer* support 6" avec de l'huile fomblin, car cette machine ne traite que des plaquettes 6". Le temps nécessaire à la gravure de 800 nm de  $\text{SiO}_2$  est d'environ 10 minutes. Après la gravure, la plaquette est décollée et nettoyée sur sa face arrière. Un contrôle au microscope permet de s'assurer de la gravure de l'oxyde jusqu'au silicium. Ensuite, un anneau de verre est collé sur la plaquette toujours recouverte du masque de résine, ceci afin de protéger les bords de la plaquette lors de la gravure profonde, comme évoqué précédemment.

- **La gravure RIE profonde du silicium**

La gravure profonde est réalisée dans un autre bâti de gravure l'Alcatel P1 (AMS4200) [7]. Ce bâti est adapté à la gravure profonde de silicium par un procédé « tri-pulsé » ou

« Bosch ». Lors de la gravure, la chambre de réaction est sous vide et la plaquette est refroidie par un flux d'hélium en face arrière. Le procédé que nous utilisons pour la gravure profonde du silicium est le procédé dit « Bosch » qui permet d'avoir des flancs bien droit, avec des séquences de gravure-passivation-nettoyage. Le plasma de gravure est de type SF<sub>6</sub>, la passivation est réalisée avec du C<sub>4</sub>F<sub>8</sub> et le nettoyage se fait sous O<sub>2</sub>. La durée de gravure nécessaire à la réalisation de tranchées de 300 µm de profondeur, avec ces faibles dimensions du masque de résine, est d'environ 2 heures. La gravure de la plaquette est contrôlée visuellement pendant toute la durée du procédé. Le masque de résine est également attaqué lors de la gravure des tranchées et son épaisseur diminue.

Une fois la gravure terminée, la plaquette est retirée pour s'assurer de la traversée des tranchées. Si les tranchées ne sont pas traversantes, la plaquette peut être réintroduite quelques minutes pour compléter la gravure. Pour finir, une procédure de nettoyage spécifique de l'huile Fomblin sera effectuée après avoir retiré l'anneau. La Figure 136 est une vue au MEB d'une tranchée profonde réalisée dans un substrat de silicium de 300 µm d'épaisseur.

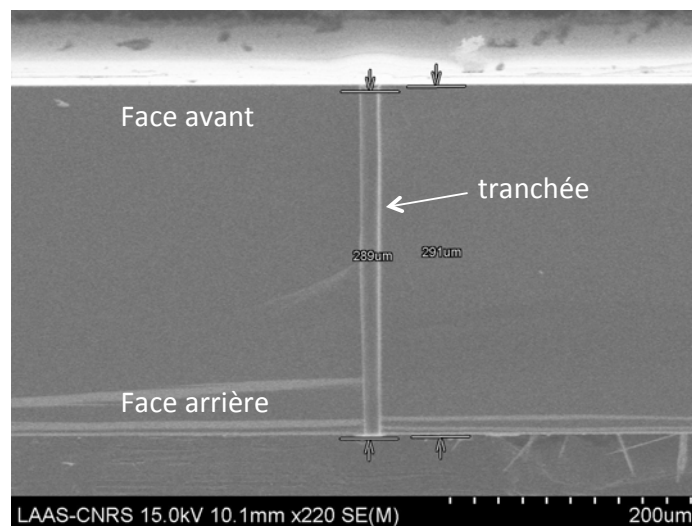


Figure 136 : vue au MEB (Microscopie Electronique à Balayage) d'une tranchée profonde réalisée par gravure DRIE

#### 4.2.2. Le remplissage avec du polysilicium dopé bore

À ce stade, la plaquette de silicium intègre les tranchées profondes. Le remplissage des tranchées se fait par un dépôt du polysilicium fortement dopé bore en phase vapeur (Chemical Vapor Deposition). Le dépôt est réalisé dans un four vertical développé au LAAS par Emmanuel Scheid. Ce four permet une grande vitesse de dépôt de l'ordre de 2 µm/heure. Dans un bâti classique horizontal, le dépôt de quelques microns prendrait beaucoup plus de temps. Et si on s'efforçait à augmenter la vitesse de dépôt, les contraintes appliquées à la plaquette seraient tellement élevées que sa tenue mécanique en

serait affectée. Les tranchées à remplir ont une largeur de  $14\ \mu\text{m}$ . Le dépôt de  $8\ \mu\text{m}$  de polysilicium dure 4 heures.

La Figure 137 est une image MEB après l'étape de remplissage de la tranchée. Nous pouvons voir que la tranchée est bien remplie, de la face avant à la face arrière.

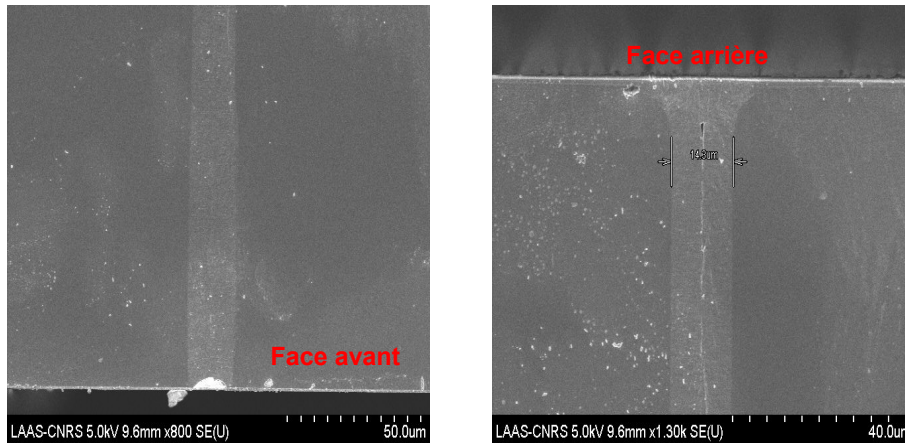


Figure 137 : vues au MEB de la tranchée remplie de polysilicium dopé bore ( $8\ \mu\text{m}$  de polysilicium, 4 heures de dépôt)

#### 4.2.3. La gravure pleine plaque du polysilicium sur les deux faces

À ce stade, la plaquette de silicium intègre des tranchées remplies de polysilicium. La plaquette est également recouverte de polysilicium sur les deux faces. Le polysilicium est gravé sur une face puis sur l'autre, dans le même bâti que celui utilisé pour la gravure profonde (AMS 4200). La gravure de  $8\ \mu\text{m}$  d'épaisseur dure en moyenne 15 minutes par face de la plaquette.

La gravure pleine plaque du polysilicium jusqu'à l'oxyde de silicium est contrôlée visuellement pendant toute la durée du procédé. Toutefois, la vitesse de gravure n'est pas homogène sur toute la plaquette, et à la fin de la gravure l'oxyde est également attaqué par le plasma. Cet oxyde de masquage ne doit pas être gravé puisqu'il servira tout au long du procédé à protéger la plaquette d'une part, et servira d'autre part à la réalisation des mires d'alignement des niveaux de masques. Nous avons ainsi réalisé plusieurs tests afin de sélectionner une recette qui permet une grande vitesse de gravure du polysilicium et présente une très grande sélectivité de gravure entre les deux matériaux polysilicium et oxyde de silicium.

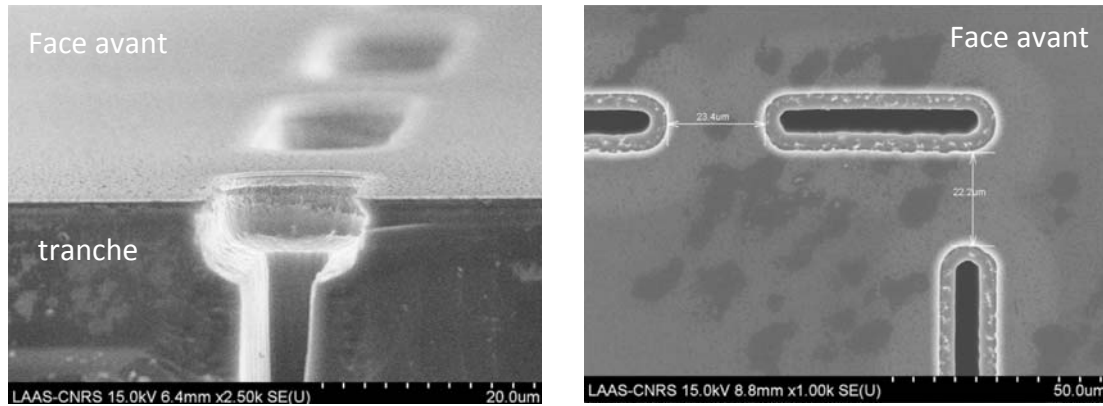


Figure 138 : vues au MEB du *wafer* après la gravure du polysilicium jusqu'à atteindre l'oxyde de masquage

#### 4.2.4. L'étape de redistribution du polysilicium dopé bore

Les plaquettes sont introduites dans un four horizontal pour y subir les étapes thermiques indiquées en Figure 139. Ces dernières entrent dans le four à une température de 700 °C sous atmosphère d'oxygène. Ensuite, elles subissent une montée en température jusqu'à 1150 °C, toujours sous O<sub>2</sub> pour y faire croître un oxyde de 70 nm sur le silicium polycristallin.

L'étape de redistribution doit permettre aux atomes dopants de diffuser dans le volume du silicium pour relier les tranchées. La distance entre chaque tranchée est de 25 μm sur masque. En réalité, cette distance est réduite de quelques microns puisque les tranchées gravées (14 μm) sont plus larges que sur masque (9 μm).

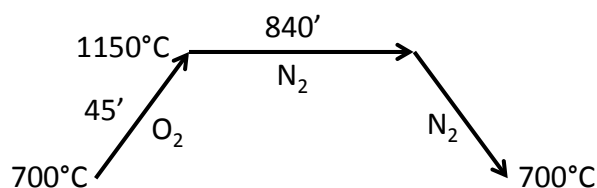


Figure 139 : l'étape de redistribution permet aux atomes dopants de chaque tranchée de diffuser dans le volume du silicium afin de relier toute les tranchées

La Figure 140 montre la tranchée après l'étape de redistribution. Nous pouvons voir un dégradé de couleur qui correspond à la diffusion des atomes sur les deux cotés de la tranchée.

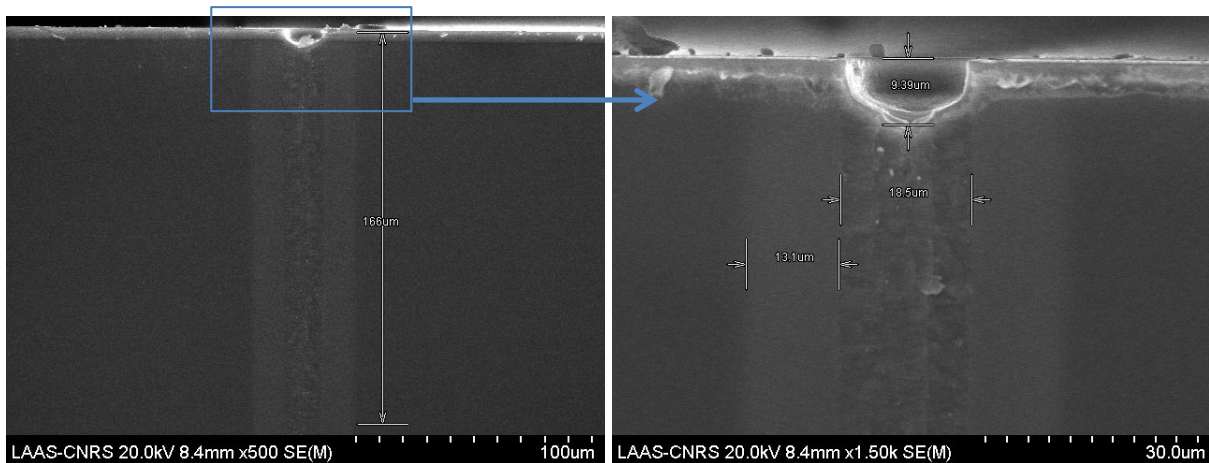


Figure 140 : mise en évidence de la redistribution sur une image au MEB

L'enchaînement d'étapes de la filière de puissance débute par la réalisation de la mire d'alignement du procédé MOS. Avec l'introduction du mur P<sup>+</sup> comme étape initiale, cette mire d'alignement doit s'aligner par rapport au mur P<sup>+</sup>. La mise au point de ce premier alignement a nécessité de nombreux tests afin de déterminer les motifs sur masques et l'épaisseur de l'oxyde initial.

## 5. CONCEPTION ET RÉALISATION DES PUCES À CATHODE COMMUNE ET MONO-PUCE

### 5.1. Conception des masques

Les jeux de masques ont été dessinés avec l'outil Virtuoso de Cadence™. Les masques réalisés vérifient les règles de dessin imposées par la filière et les équipements disponibles dans la plateforme technologique du LAAS.

Nous avons conçu les masques de la puce à cathode commune et de la mono-puce. Nous rappelons que ces puces sont composées de sections RC-IGBT. Pour des raisons de simplification technologique, nous avons fait le choix dans un premier temps de réaliser ces puces uniquement avec des sections diode en remplacement des sections RC-IGBT. Ces puces à diodes représentent pour nous une première étape intermédiaire dans la validation des structures monolithiques. Sans électrode de commande, ces puces à diodes seront utilisées dans des convertisseurs à redressement. Une fois leur fonctionnement validé, les puces seront réalisées de nouveaux et cette fois-ci avec les sections de RC-IGBT.

La Figure 141 montre le jeu de masques de la puce à cathode commune composée de deux sections diode. La distance entre le mur P<sup>+</sup> et la JTE est de 300 μm. Entre ces deux régions nous avons placé le *stop channel*, ce dernier est réalisé en même temps que l'implantation N<sup>+</sup> des cathodes des diodes. L'espacement entre les deux murs est de 500 μm.

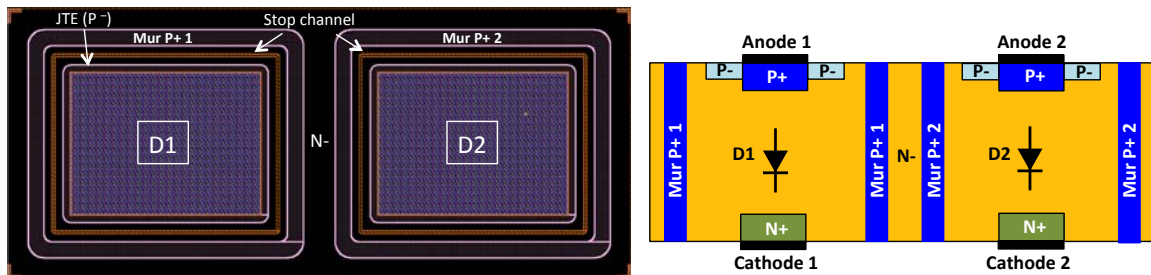


Figure 141 : niveaux de masque de la puce cathode commune

La Figure 142 montre le jeu de masques de la mono-puce à diodes. La mono-puce est composée de 4 diodes qui forment un pont redresseur à 2 phases. Les deux diodes *high-side* sont placées au centre et sont entourées par un unique mur P<sup>+</sup>. Les deux diodes *low-side* sont placées chacune d'un côté et sont entourées par leur mur P<sup>+</sup>.

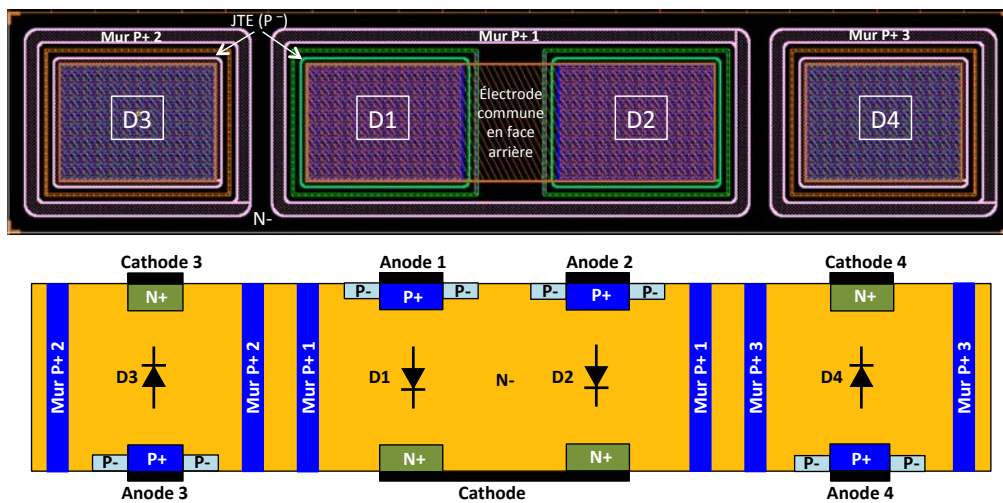


Figure 142 : niveaux de masque de la mono-puce

Lors de la conception des puces, nous avons vu par simulations que le mur P<sup>+</sup> central pouvait éventuellement être retiré. Nous avons donc réalisé une seconde version de la mono-puce sans mur P<sup>+</sup> central (Figure 143).

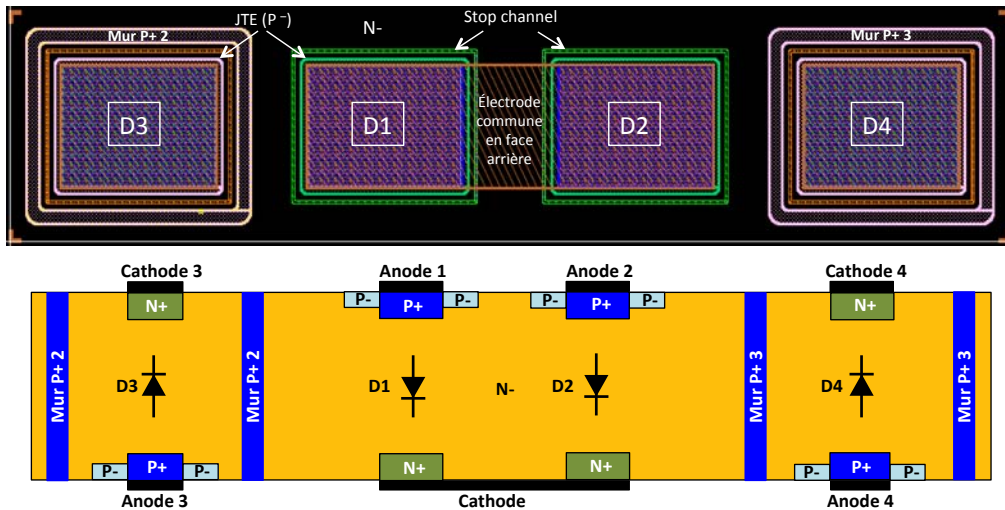


Figure 143 : niveaux de masque de la mono-puce sans mur P<sup>+</sup> central

Ces trois puces ont été réalisées avec le même jeu de masques. La Figure 144 montre la répartition des différentes puces sur la plaquette. Le jeu de masques comporte au total 13 niveaux. Deux mires sont placées au centre pour aligner l'ensemble des niveaux de masques. La machine d'alignement est la Karl Suss MA150. Cette dernière permet une précision d'alignement de l'ordre de 1  $\mu\text{m}$ .

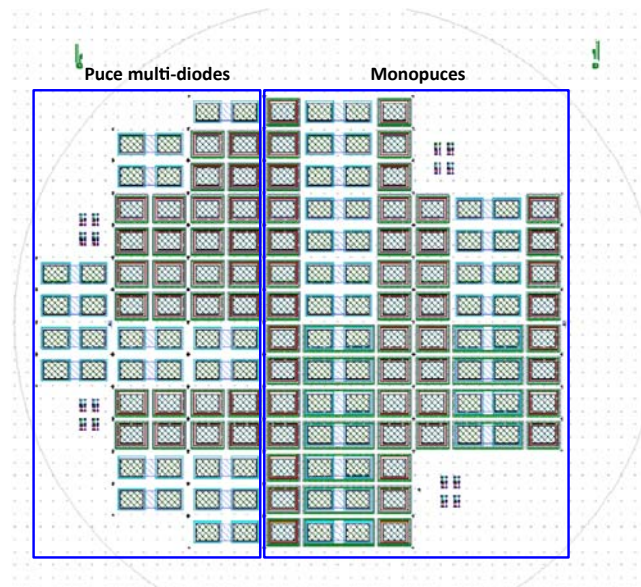


Figure 144 : la répartition des puces sur le *wafer* 4''

## 5.2. Réalisation technologique des puces

Pour réaliser les puces, nous avons utilisé un substrat silicium présentant les caractéristiques suivantes :

- Substrat : *wafer* silicium poli double face
- Dopage : type N de  $10^{14}$  atomes/cm<sup>3</sup>

- Résistivité : 40-60  $\Omega$ .cm
- Épaisseur : 300  $\mu$ m
- Orientation : <100>

Avant de se lancer dans la réalisation technologique, il faut au préalable caractériser la plaquette de silicium. La mesure « 4 pointes » de la résistivité permet de vérifier le bon dopage de la plaquette silicium. Il faut également mesurer l'épaisseur du substrat. D'après le fabricant, l'épaisseur de la plaquette est de 300  $\mu$ m  $\pm$  20  $\mu$ m. Pour réaliser nos puces, les plaquettes les plus fines sont sélectionnées afin de réduire le temps de gravure de la tranchée profonde.

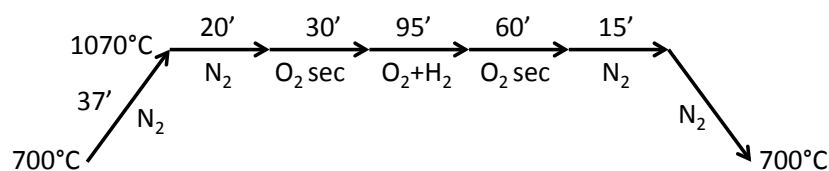
Pour décrire le procédé technologique de nos puces, nous avons choisi de présenter les étapes technologiques de la mono-puce qui a suivi l'ensemble des étapes du procédé.

### 5.2.1. Le mur P<sup>+</sup> traversant

- **L'oxyde de masquage**

Cette étape est réalisée dans un four horizontal. Avant d'introduire les plaquettes dans le four, ces dernières doivent subir un traitement de surface afin de supprimer toutes traces de contaminants qui pourraient mener au dysfonctionnement de la puce. Pour cela, les plaques sont introduites dans une première solution H<sub>2</sub>O<sub>2</sub> + H<sub>2</sub>SO<sub>4</sub> 1:1 (dit mélange PIRANHA). La réaction thermique oxydante créer une couche d'oxyde non pure à la surface du silicium. Les plaques sont ensuite placées dans un bain d'acide fluorhydrique (HF 5 %) pour graver l'oxyde à la surface du silicium. Pour terminer, les plaquettes sont rincées à l'eau déionisée puis séchées à l'azote. Nous vérifions visuellement que la surface du silicium soit totalement hydrophobe.

Les plaquettes sont enfournées à 700 °C et subissent une montée lente en température jusqu'à 1070 °C. S'ensuit à cette même température une alternance de gaz N<sub>2</sub> et O<sub>2</sub>. Pour finir la descente en température jusqu'à 700 °C se fait sous N<sub>2</sub>. L'oxyde de masquage créé sur les deux faces de la plaquette a une épaisseur de 800  $\mu$ m (Figure 145).



*Croissance de l'oxyde de masquage*



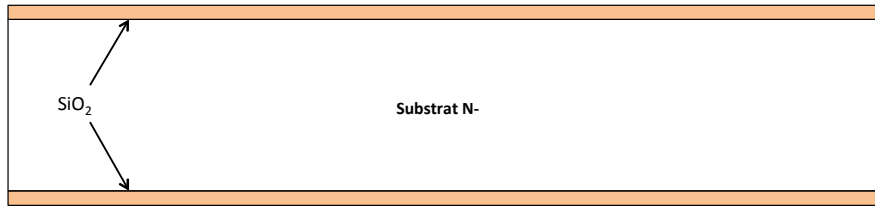


Figure 145 : réalisation de l'oxyde de masquage

- **Le mur P<sup>+</sup>**

Cette étape a été détaillée dans la partie précédente de ce chapitre, dédiée au développement du mur P<sup>+</sup>. Les principales étapes sont résumées en Figure 134. La réalisation du mur P<sup>+</sup> comprend 4 étapes :

- 1) La gravure des tranchées profondes : l'oxyde de masquage est gravé au plasma (CF<sub>4</sub>) pendant 10 minutes pour atteindre le silicium. Le silicium est gravé au plasma (SF<sub>6</sub>/C<sub>4</sub>F<sub>8</sub>/O<sub>2</sub>) pendant environ 2 heures jusqu'à la traversée du *wafér*.
- 2) Le remplissage des tranchées avec du polysilicium dopé bore : le dépôt se fait dans un four vertical. Le remplissage dure en moyenne 4 heures avec une vitesse moyenne de dépôt de 2 µm/h.
- 3) La gravure du polysilicium pleine plaque : le polysilicium déposé sur les deux faces de la plaquette lors du remplissage des tranchées est gravé par plasma. La gravure de chaque face dure environ 15 minutes.
- 4) La diffusion des atomes de bore pour relier les tranchées : les plaquettes sont placées dans un four à très haute température pendant plusieurs heures. Les atomes dopants du polysilicium diffusent dans le volume du silicium sur plusieurs microns.

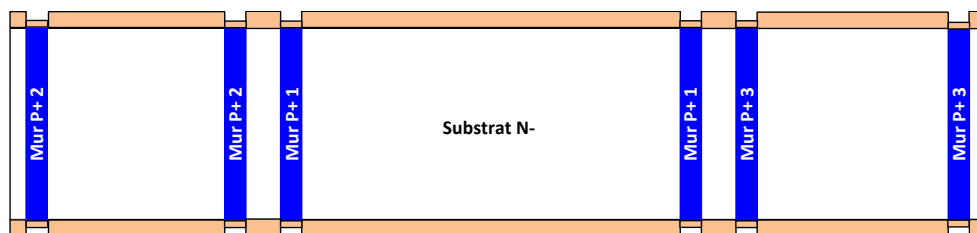


Figure 146 : la réalisation des murs P<sup>+</sup>

### 5.2.2. Les implantations ioniques

- **Les terminaisons JTE**

La filière de puissance a intégré comme technique de garde la terminaison JTE (« extension de jonction » implantée) [8]. Cette technique a été optimisée pour des tenues en tension de 600 V. La JTE est réalisée par une implantation ionique de bore à une énergie de 50 keV et une dose de  $2,5 \cdot 10^{12} \text{ cm}^{-2}$ . L'implantation se fait en périphérie autour de la zone active du composant. L'étape de redistribution qui suit sous ambiance oxydante permet aux atomes de diffuser pour réaliser le caisson P<sup>-</sup>. Un oxyde se forme à la surface du caisson.

Cette étape d'implantation est réalisée sur la face avant, puis sur la face arrière de la plaquette. L'implantation sur chaque face est précédée d'une gravure humide de l'oxyde de masquage au buffer-HF, afin d'atteindre le silicium. La vitesse de gravure de l'oxyde au buffer-HF étant d'environ 75 nm/min, la gravure des 800 nm d'oxyde dure 11 à 12 minutes.

Les mires d'alignement sont également gravées dans l'oxyde de masquage à cette étape du procédé. Elle sont transposées dans le silicium lors de l'étape de redistribution du P<sup>-</sup>.

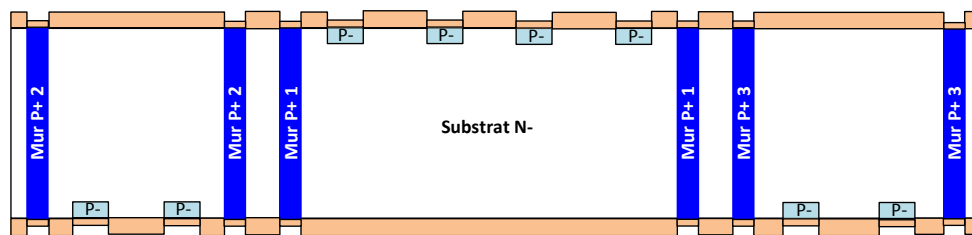
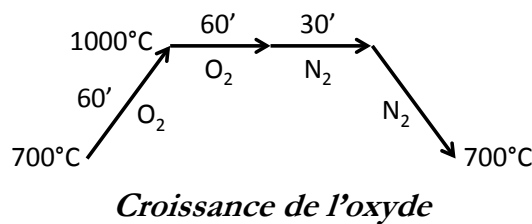


Figure 147 : la réalisation des terminaisons JTE

- Ouverture zone active et oxydation de la zone active

L'ouverture de la zone active se fait par une gravure humide de l'oxyde au buffer-HF. La gravure est réalisée sur la face avant puis sur la face arrière. Lorsqu'une face est gravée l'autre face est protégée entièrement avec de la résine.

Ensuite, une étape d'oxydation permet de créer un oxyde de 55 nm au niveau de la zone active. L'oxyde créé est utile à l'implantation ionique et évite l'exodiffusion des atomes implantés. Dans les procédés MOS, cet oxyde représente l'oxyde de grille de la structure MOS.



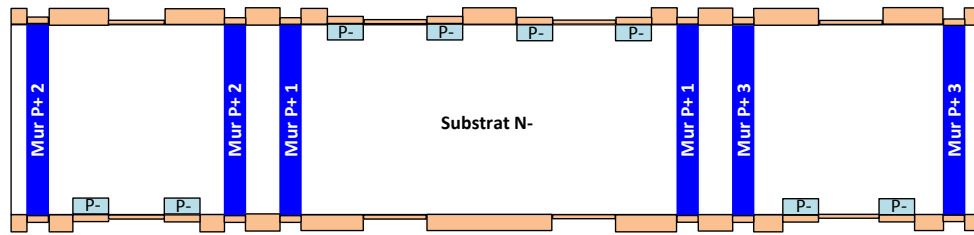


Figure 148 : la réalisation de l'oxyde de la zone active

- **Les régions P<sup>+</sup>**

Les caissons P<sup>+</sup> représentent les régions d'anode des diodes. Ces caissons sont réalisés par une implantation ionique de bore (B), à une énergie d'implantation de 50 keV et une dose de  $10^{16}$  cm<sup>-2</sup>. L'implantation se fait sur la face avant puis sur la face arrière. Après l'étape de redistribution, nous obtenons une concentration en surface de  $3 \cdot 10^{19}$  cm<sup>-3</sup> et une profondeur de jonction de 7 μm.

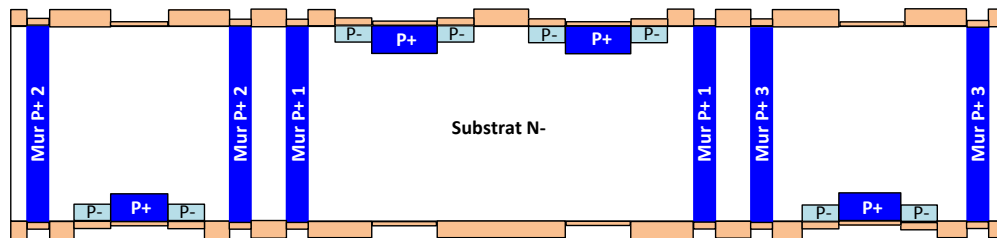


Figure 149 : la réalisation des caissons P<sup>+</sup>

- **Les régions N<sup>+</sup>**

Les régions N<sup>+</sup> représentent les régions de cathode des diodes. Elle sont réalisées par implantation ionique d'arsenic (As), à une énergie de 100 keV et une dose d'implantation de  $10^{16}$  cm<sup>-2</sup>. L'implantation se fait sur la face avant puis sur la face arrière. Les plaquettes subissent ensuite une étape de redistribution pour réaliser les régions N<sup>+</sup>. Après redistribution, nous obtenons une concentration en surface de  $10^{20}$  cm<sup>-3</sup> et une profondeur de jonction de 1 μm.

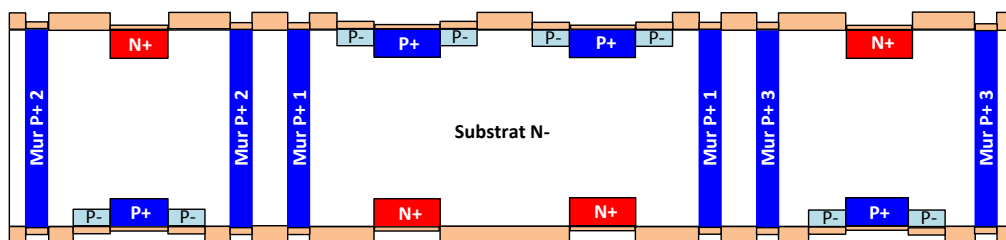


Figure 150 : la réalisation des caissons N<sup>+</sup>

### 5.2.3. Passivation et contacts électriques

- Le dépôt de nitrure ( $\text{Si}_3\text{N}_4$ )

Le dépôt de la couche de nitrure ( $\text{Si}_3\text{N}_4$ ) se fait dans un four LPCVD (*low pressure chemical vapor deposition*) à une température de 770 °C. La mesure de l'épaisseur à l'ellipsomètre donne une valeur de 113 nm (120 nm prévue). Le dépôt se fait sur les deux faces en même temps.

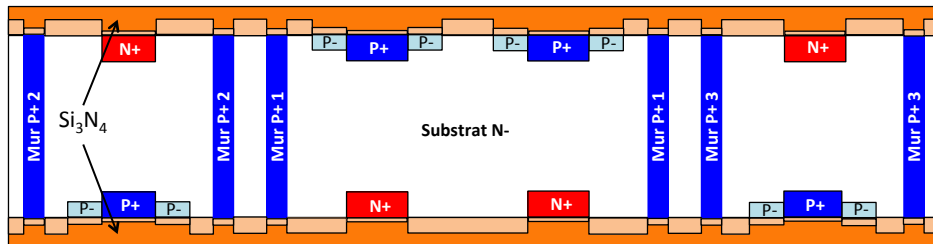


Figure 151 : le dépôt de nitrure  $\text{Si}_3\text{N}_4$

- La métallisation des contacts

La couche de nitrure et l'oxyde d'implantation sont gravés par plasma pour accéder à la surface du silicium et placer les contacts. Les contacts métalliques sont réalisés par un dépôt d'aluminium (Al) en pulvérisation cathodique (*sputtering*). Le procédé est réalisé sur les deux faces. Un recuit de l'aluminium est ensuite effectué à 450 °C.

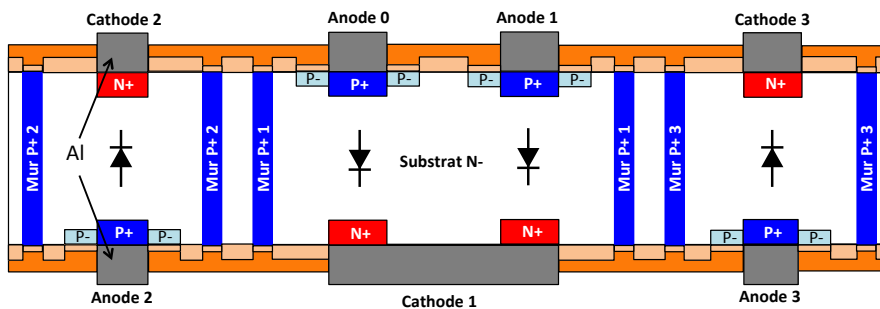


Figure 152 : la réalisation des contacts métalliques aluminium

La Figure 153 montre une plaque réalisée intégrant les puces à cathode commune et mono-puce à sections diode.

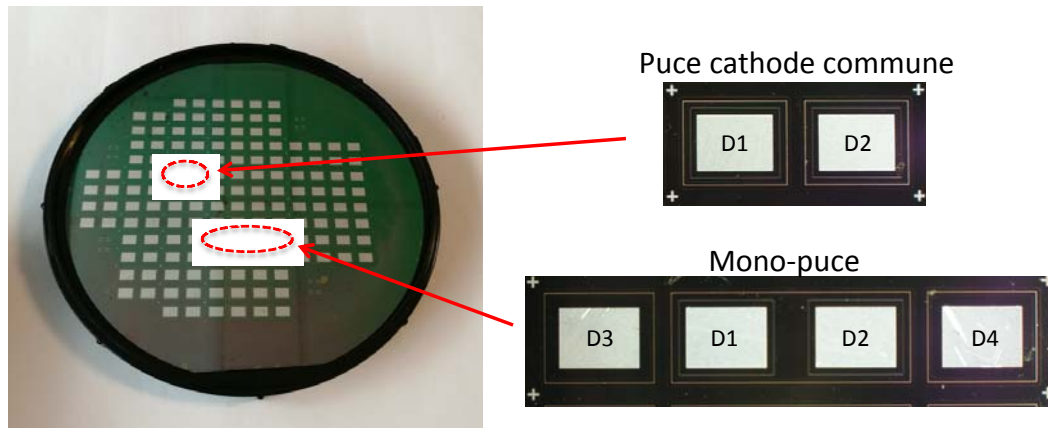


Figure 153 : photographie d'un *wafer* réalisé intégrant la puce à cathode commune et la mono-puce à diodes

Les puces ont été caractérisées à l'aide d'un testeur sous pointe comme montré en Figure 132. Des mesures de tenues en tension statique, en verticales aux bornes du composant et en latérale entre deux sections d'une même puce, ont été effectuées. Les résultats ont montré que les structures possèdent une faible capacité de tenue en tension. Des discussions ont été menées avec l'équipe technique de la salle blanche pour expliquer l'origine du dysfonctionnement des puces. L'hypothèse avancée est que le dysfonctionnement des puces serait lié à une exodiffusion de bore lors d'une étape de recuit à très haute température.

## 6. CONCLUSION DU CHAPITRE 4

Ce chapitre était consacré aux réalisations technologiques des puces monolithiques. Les jeux de masques ont été dessinés avec le logiciel Virtuoso Cadence. Les puces ont été conçues dans la salle blanche du LAAS, en s'appuyant sur la filière IGBT flexible. Les travaux effectués en salle blanche ont porté sur 3 points :

### 1) La réalisation des puces RC-IGBT et anode commune

Les masques ont été développés par Abdelilah El Khadiry dans le cadre de sa thèse [3]. Nous avons réalisé les puces RC-IGBT et à anode commune. Les puces ont été caractérisées sous pointes en statique. Elles sont fonctionnelles mais présentent une forte résistivité.

### 2) Réalisation de la brique mur P<sup>+</sup>

Le mur P<sup>+</sup> a été développé une première fois dans le cadre des travaux de thèse d'Olivier Causse. La réalisation du mur comprend quatre étapes principales : la gravure des tranchées de silicium, le remplissage des tranchées, la gravure pleine plaque du polysilicium, l'assemblage du mur P<sup>+</sup> par une étape de redistribution. Le premier objectif pour nous était de déterminer les paramètres du mur P<sup>+</sup>, avec les nouveaux appareils et les produits disponibles aujourd'hui en salle blanche.

L'objectif second était d'optimiser cette brique pour la rendre reproductible et intégrable dans un procédé technologique complet. Nous avons réussi à développer et optimiser le mur P<sup>+</sup> après plusieurs mois de travail. En théorie, le mur P<sup>+</sup> pourrait être réalisé avec un masque métallique [5]. Cependant, les bâtis de gravure de la salle blanche du LAAS ne permettent pas d'utiliser ce type de masque. C'est pour cela que nous avons utilisé une résine photosensible épaisse en solution de repli. Nous avons rencontré quelques difficultés avec cette résine épaisse AZ 40XT de 40 µm d'épaisseur. Le premier point concerne les bulles de la résine lors de son dépôt. Ces bulles engendrent des trous dans la plaquette lors de la gravure profonde du silicium. Ces trous ne permettent pas de continuer le procédé technologique. Le second point est le rétrécissement de la résine sur les bords de la plaquette. Le bord de la plaquette qui n'est pas totalement protégé est attaqué par le plasma pendant la gravure profonde du silicium. Nous obtenons une plaquette rongée sur les bords et fragilisée mécaniquement pour le reste du procédé.

### **3) La conception et la réalisation des puces cathode commune et mono-puce**

Nous avons réalisé des puces à cathode commune et mono-puce à sections diode, sur un même lot de composants. Les puces ont été réalisées avec 13 niveaux de masques sur un procédé technologique double face. Nous avons ainsi validé l'intégration du mur P<sup>+</sup> dans un procédé technologique complet. La réalisation de ces puces a été un procédé assez complexe avec la perte de plusieurs plaquettes de silicium. Des mesures de tenues en tension statique, en verticales aux bornes d'une diode et en latérales entre deux sections diode d'une même puce, ont été effectuées. Les résultats de caractérisations électriques ont montré un dysfonctionnement des puces réalisées. Des discussions ont été menées avec l'équipe technique de la salle blanche pour expliquer l'origine du problème. L'hypothèse avancée est que le dysfonctionnement des puces serait lié à une exodiffusion de bore lors d'une étape de recuit à très haute température. Aujourd'hui, un nouveau lot de composants est en cours de réalisation.

## 7. RÉFÉRENCES BIBLIOGRAPHIQUES

- [1] Eric Imbernon, "Etude et optimisation d'une filière technologique flexible adaptée au mode d'intégration fonctionnelle", Thèse de l'Université Paul Sabatier de Toulouse, 2002.
- [2] Florence Capy, "Étude et conception d'un interrupteur de puissance monolithique à auto-commutation : le thyristor dual disjoncteur", Thèse de l'Université Paul Sabatier de Toulouse, 2009.
- [3] H. Jiang et *al.*, "A Snapback Suppressed Reverse-Conducting IGBT With a Floating p-Region in Trench Collector," in IEEE Electron Device Letters, vol. 33, no. 3, pp. 417-419, March 2012.
- [4] Abdelilah El Khadiry, "Architectures de cellules de commutation monolithiques intégrables sur semi-conducteurs "bi-puce" et "mono-puce" pour convertisseurs de puissance compacts", Thèse de l'Université Paul Sabatier de Toulouse, 2014.
- [5] Olivier Causse, "Contribution à l'amélioration de la fonctionnalité et des performances de l'IGBT", thèse de doctorat de l'Université Paul Sabatier de Toulouse, 2001.
- [6] [http://www.microchemicals.com/products/photoresists/az\\_40xt.html](http://www.microchemicals.com/products/photoresists/az_40xt.html)
- [7] X. Q. Li, Z. F. Zhou, W. H. Li and Q. A. Huang, "Three-dimensional modeling and simulation of the Bosch process with the level set method," IEEE SENSORS 2014 Proceedings, Valencia, 2014, pp. 570-573.
- [8] V. A. K. Temple, "Junction termination extension (JTE), A new technique for increasing avalanche breakdown voltage and controlling surface electric fields in P-N junctions," 1977 International Electron Devices Meeting, 1977, pp. 423-426.





**Chapitre 5 :**  
**Réalisation de convertisseurs prototypes et**  
**caractérisations électriques**



## 1. INTRODUCTION

L'amélioration des performances globales des modules de puissance ne se limite pas qu'aux semi-conducteurs de puissance mais passe également par de nouvelles techniques d'assemblages et des simplifications de l'électronique de commande. Par assemblage on entend la manière de reporter les puces et de les interconnecter entre elles, puis de les encapsuler. La valeur de l'inductance parasite de la maille de commutation est l'un des principaux critères de performances à minimiser dans les convertisseurs de puissance. La miniaturisation de l'électronique de commande, placée au plus près des semi-conducteurs, contribue également à la réalisation de modules de puissance très compacts à faibles consommations d'énergies.

Ce chapitre 5 présente les résultats expérimentaux de deux approches décrites dans le chapitre 3. La première étude porte sur la maille de commutation dite "orthogonale" à travers l'assemblage tri-puce. Dans un premier temps des assemblages tri-puces sur PCB ont été réalisés et caractérisés dans un mode de conversion onduleur. Ensuite, la maille orthogonale inductive a été caractérisée par différentes techniques dont les résultats sont comparés à une maille de référence "planaire".

La seconde étude concerne la commande mono-driver à 3 niveaux pour bras d'onduleur complémentaire. Un convertisseur prototype avec sa commande mono-driver a été réalisé et caractérisé dans un mode onduleur ZVS en MLI.

## 2. ÉTUDE 1 : CONCEPT DE LA MAILLE ORTHOGONALE MONO-FAISCEAU – APPROCHES D'INTEGRATION BI-PUCE ET TRI-PUCE

### 2.1. Deux familles de cartes PCB prototypes

Le concept de maille de commutation "orthogonale" est présent dans plusieurs de nos approches d'intégration de convertisseur (approches bi-puces classique/mixte et tri-puce – chapitre 3) [1] [2] [3]. Pour étudier cette architecture de maille, deux familles de cartes PCB ont été réalisées sur la base d'une topologie de convertisseur à 2 phases. La première famille PCB intègre un assemblage avec des mailles de commutation dites "orthogonale". La seconde famille de carte PCB repose sur un assemblage avec des mailles "planaires 2D" classiques et servira de référence durant toute l'étude. Les cartes PCB intègrent les puces, les interconnexions ainsi que les condensateurs de découplage. Les drivers et le dissipateur thermique sont, à ce stade, externalisés du PCB et ne seront pas décrits ici. Les résultats présentés ici sont en lien avec les travaux de post-doc de Nicolas Videau sur la période 2014-2015, dans le cadre du projet ANR JC ConvPlus.

### 2.1.1. Assemblages avec maille orthogonale (versions a, b et c)

La Figure 154 montre l'architecture de la première famille de cartes PCB intégrant des mailles orthogonales, basée sur l'assemblage tri-puce. La ligne d'interrupteur *high-side* est placée au centre et peut être réalisée par une puce multi-pôle à anode commune. La ligne *low-side* est séparée en deux, avec les IGBTs d'un côté et les diodes de l'autre. Là aussi, des puces multi-pôles IGBT et diode peuvent être utilisées. En version discret, les composants *low-side* sont retournés (*flip-chip*) pour permettre une interconnexion directe puce-à-puce par le dessus des puces sans passer par le substrat de report. Le bras d'onduleur est ainsi divisé en deux boucles complémentaires et de géométries orthogonales au plan du PCB, comme illustré en Figure 154. Les boucles ont une forme aplatie avec une surface directement liée à l'épaisseur du composant le plus épais (dimension Z) et à la hauteur du faisceau de fils de *bonding* lorsque celui-ci est présent.

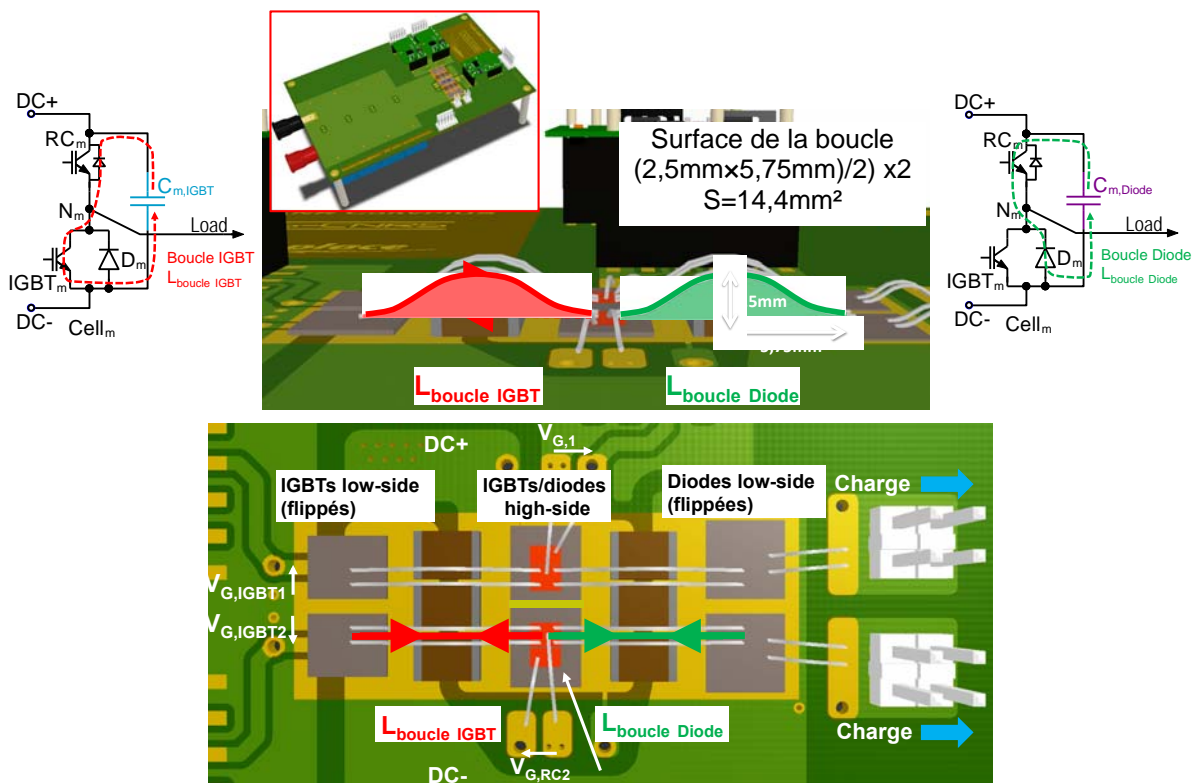


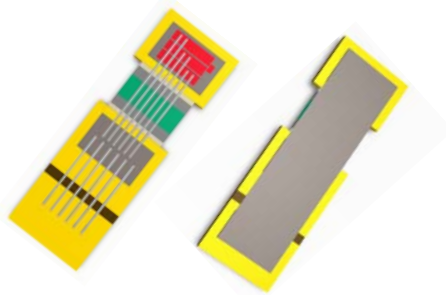
Figure 154 : première famille de cartes PCB basée sur l'assemblage tri-puce présenté en Chapitre 3 – maille orthogonale "filaire mono-faisceau" au plan du substrat PCB (surface de la maille = 14,4 mm<sup>2</sup>) – (routage permettant le report de différentes puces de tailles différentes issues de laboratoire ou du commerce)

Les condensateurs céramiques de découplage sont placés à proximité du faisceau, de manière à bien confiner le champ produit par le courant de boucle dans une surface la plus réduite possible. Cette topologie, proche de celle rencontrée sur les PCB pour puces GaN latérales [4] [5] [6] [7] [8], sera donc nettement moins inductive et source de rayonnement EMI atténué. Elle permet aussi de reporter la contrainte de  $dV/dt$  au niveau

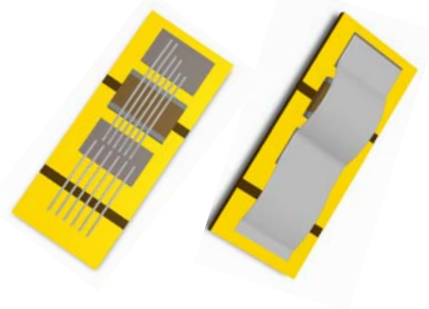
de l'interconnexion supérieure seule et non plus au niveau du substrat de report inférieur connecté au dissipateur, gage d'une réduction des courants de mode commun.

Le placement des condensateurs permet différentes configurations de la maille de commutation, comme illustrées en Figure 155. Les deux premières versions (a) et (b) proposent une maille de surface apparente très réduite. Dans la version (a) les condensateurs sont enfouis dans le substrat de report, ce qui permet une interconnexion plate d'une hauteur définie par la dimension Z des puces mais au prix d'un PCB ajouré. La version (b) découle de la version (a), les condensateurs enfouis sont ramenés en surface sous le faisceau de *bonding* qui est alors surélevé. Le PCB est ainsi plus simple à réaliser. En version (c), les condensateurs sont externalisés pour ramener au plus près les puces et réduire la longueur et la hauteur d'interconnexion, tout en ayant un PCB non ajouré. Cette variante permet de moins contraindre thermiquement les condensateurs car ceux-ci seront placés à l'extérieur du cône de chaleur produit par les puces. Sur le plan électrique, elle constitue une approche intermédiaire mais qui s'apparente plus à une maille proche de la version de référence classique 2D.

**Version (a) – condensateurs enfouis**



**Version (b) – condensateurs en surface**



**Version (c) – condensateurs latéralisés**

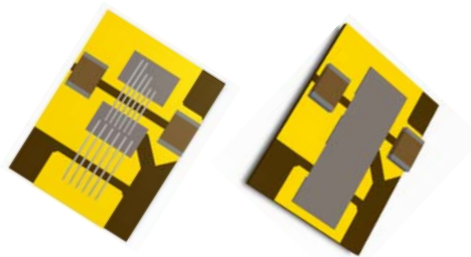


Figure 155 : trois configurations de la maille de commutation orthogonale en versions fils et clip (exemple avec 2x MOSFETs du commerce) : version (a) avec condensateurs enfouis, version (b) avec condensateurs non enfouis sous l'interconnexion, version (c) avec condensateurs non enfouis et latéralisés. (Note : images issues de Altium designer – version de design pour simulation Comsol)

Pour chacune des versions d'assemblages, l'interconnexion supérieure réalisée par un mono-faisceau de fils de *bonding* peut être remplacée par une interconnexion plane directe (ruban souple, clip rigide, PCB...) désignée dans la littérature par le mode d'interconnexion *Direct Lead Bonding* avec pour objectif de réaliser un effet *busbar* avec le PCB [9].

### 2.1.2. Assemblage avec maille planaire 2D classique (version de référence)

La Figure 156 montre le design de la seconde famille de carte PCB test, également sur la base d'une topologie de convertisseur à deux phases ou bien d'un pont en "H". Cette carte intègre des mailles de commutation de géométrie planaire au plan du PCB et servira de référence à l'étude de l'assemblage précédent. Une maille dite "classique" correspond à un report de puces sur leur face arrière, et une interconnexion par deux faisceaux de fils de *bonding* en séries avec un passage du point milieu du bras par le substrat de report. La surface apparente de la maille est directement liée aux dimensions dans le plan XY des puces et des condensateurs.

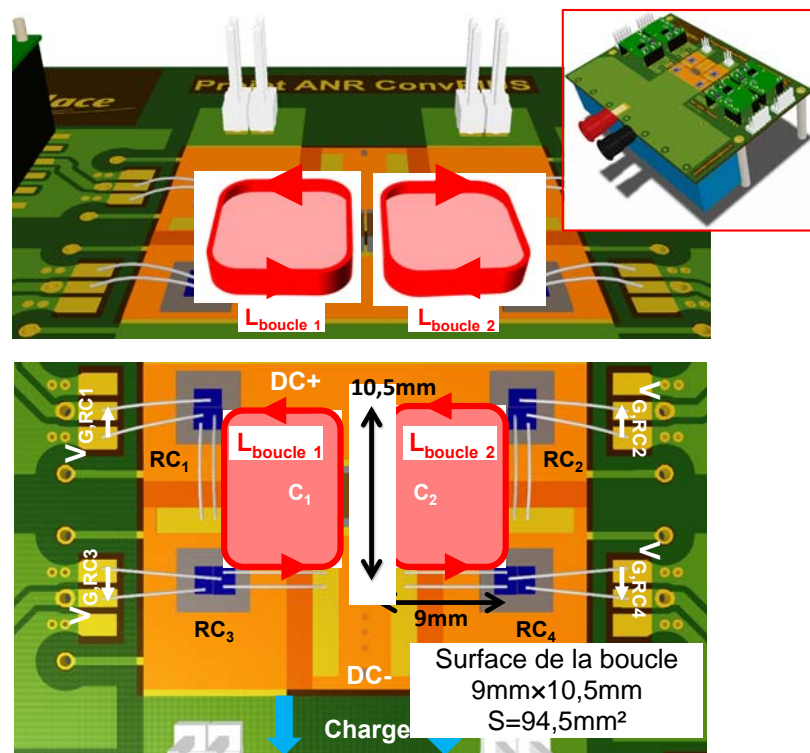


Figure 156 : seconde famille d'assemblage sur PCB servant de référence à la première famille – maille planaire dans le plan du PCB (surface de la maille = 94,5 mm<sup>2</sup>) – (routage non optimisé permettant le report de différentes puces de différentes tailles issues de laboratoire ou du commerce)

Le Tableau 8 compare les surfaces des mailles de commutation pour les assemblages « proposé » et de « référence ». L'assemblage proposé présente une surface de maille d'environ 14,4 mm<sup>2</sup> contre 94,5 mm<sup>2</sup> pour l'assemblage de référence, ce qui correspond à

une réduction d'un facteur 5,85. Nous devrions donc nous attendre à une forte réduction de l'inductance de maille pour l'assemblage proposé.

Le tableau compare également les surfaces occupées par les assemblages des mailles de commutation. Pour l'assemblage classique planaire, la surface occupée par l'assemblage correspond à la surface de la maille de commutation, soit environ 94,5 mm<sup>2</sup>. Dans le cas de l'assemblage proposé, la surface occupée par l'assemblage diffère de la surface de la maille de commutation qui est de géométrie orthogonale au plan du PCB. Cette surface occupée est estimée à 65 mm<sup>2</sup> pour la maille proposée, ce qui donne une réduction de la surface occupée d'un facteur 1,45 par rapport à la maille de référence. Les performances de ces mailles de commutation seront évaluées et comparées en section 2.4 de ce chapitre.

Tableau 8 : comparaison des surfaces des mailles de commutation entre l'assemblage proposé et l'assemblage de référence (assemblages réalisés)

Type d'assemblage	Surface de la maille de commutation	Surface occupée de l'assemblage de la maille de commutation
Maille de référence planaire 2D à deux faisceaux de <i>wire-bonding</i>	94,5 mm <sup>2</sup>	94,5 mm <sup>2</sup>
Maille proposée orthogonale 3D à un seul faisceau de <i>wire-bonding</i>	14,4 mm <sup>2</sup>	65 mm <sup>2</sup>
Rapport des surfaces	5,85	1,45

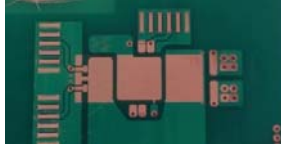
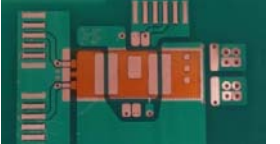


## 2.2. Éléments de technologie d'assemblage

### 2.2.1. Assemblage PCB proposé avec une interconnexion filaire 2D

Le Tableau 9 présente les principales étapes pour la réalisation des cartes PCB tests. Après dégraissage, rinçage et séchage, le report des composants sur le substrat PCB cuivré se fait par l'intermédiaire d'un film isolant souple polyimide fenêtré au préalable. Ce film intègre plusieurs fonctionnalités. Premièrement, il permet un bon alignement des puces dans l'axe Z lorsque celles-ci sont de même référence, facilitant à terme l'interconnexion par un clip rigide plan sur le dessus. Ensuite, les ouvertures dans le film permettent de calibrer la surface du dépôt de joint de colle des puces par leur face arrière. Pour finir, le film sert aussi de passivant pour les terminaisons périphériques de jonction des puces retournées en vis-à-vis les plages de cuivres du PCB, évitant ainsi le claquage prématuré en bord de puce (effet plaque de champ). Des travaux antérieurs ont montré qu'une épaisseur supérieure ou égale à 50 µm de polyimide laminé sur le PCB permettait de passer les

puces flippées sous au moins 600 V, sans qu'il faille ajouter un matériau d'encapsulant autour des puces. Dans le prototype présenté, les puces nues employées ne sont pas sur-métallisées et sont donc reportées par une colle métallique époxy directement compatible avec les finitions Al/Ag des puces (pour la face avant) et Ni/Ag (pour la face arrière), dans la mesure où seuls des tests électriques impulsionnels sont appliqués à la carte. Les condensateurs de découplage sont de type céramique de faible hauteur, pouvant fonctionner jusqu'à 125 °C (référence : KEMET C1812V104KCRACU – 100 nF / X7R / 4,5 x 3,2 mm<sup>2</sup> x 1,1 mm / ESL  $\cong$  0,8 nH mesurée à l'Analyseur 4294A + sonde 42941A à 20 MHz).

Tableau 9 : principales étapes pour la réalisation des assemblages sur PCB – caractéristiques du PCB : plage de cuivre centrale 13 mm x 34 mm, épaisseur 105  $\mu$ m Cu / prepreg 1,6 mm / FR4 ISOLA PCL 370HR T<sub>g</sub> = 180 °C.

			
Étape 1	Étape 2	Étape 3	Étape 4
Réalisation du PCB 1 mm double couche Cu de 105 $\mu$ m ( <i>busbar</i> et blindage intégrés). Dissipation thermique et drivers non représentés dans cette version	Découpe, ablation par laser CO <sub>2</sub> et lamination d'un film Kapton™ 75 $\mu$ m Arclad™ avec adhésif acrylique 25 $\mu$ m Adhesive Research™ (coverlay)	Placement et collage des puces (dont celles flippées) et condensateurs par colle époxy argent H20E déposée manuellement à la seringue et polymérisation (80-90 °C/2h30-3h)	Dégraissage des surfaces d'accueil de l'interconnexion. Câblage par fils Al 250 $\mu$ m (circuit puissance) et grille – source kelvin (circuit commande) 25 $\mu$ m. Passivation non réalisée dans cette version

Les assemblages convertisseurs PCB réalisés intègrent des puces de technologies Silicium et SiC provenant du commerce ou fabriquées dans notre laboratoire du LAAS. Ces composants sont regroupés dans le Tableau 10.



Tableau 10 : liste des composants de puissance intégrés dans nos assemblages PCB

Référence	Caractéristiques	Dimensions
SIPC69N60C3	Puce nue CoolMos Si 600 V/47 A @25°C	6,59 x 10,52 mm <sup>2</sup> x 220 μm
SIDC30D120H8	Diode nue à jonction PN rapide Si – 1200 V/50 A @150°C	5,5 x 5,5 mm <sup>2</sup> x 120 μm
CPM2-1200-0025B	Puce nue Mosfet SiC 1200 V/25 mΩ @25°C	4,04 x 6,44 mm <sup>2</sup> x 180 μm
CPW4-1200-S015B	Diode nue Schottky SiC (Z- REC) 1200V/15A@175°C	2,70 x 2,70 mm <sup>2</sup> x 377 μm
RC-IGBT (LAAS)	Puce nue Si 600V/	4,9 x 5,6 mm <sup>2</sup> x 300 μm
Puce anode commune (LAAS) [1]	Puce monolithique nue Si (2 RC-IGBTs) 600 V	4,9 x 11,2 mm <sup>2</sup> x 300 μm
IGBT (LAAS) [10]	Puce nue Si 600 V	4,3 x 5,5 x 300 μm

### 2.2.2. Assemblage PCB proposé avec une interconnexion par clip Cu

La Figure 157 montre le design de l'assemblage clippé (version (a) avec clip au-dessus). Le procédé général pour sa réalisation est le suivant :

- Le PCB a été adapté et aminci de 1,6 mm à 1 mm correspondant à la hauteur des condensateurs.
- L'assemblage a été conçu de manière à minimiser le nombre de matériaux mis en jeu et à simplifier les étapes de report. Il comprend principalement une première couche de Kapton fenêtré entre le PCB et les puces. Une deuxième couche de Kapton entre les puces et le clip. Chaque couche de Kapton permet de délimiter le dépôt de la colle Epoxy Ag et de passiver les terminaisons périphériques de jonction des puces. Le clip est aussi passivé sur sa face supérieure par une couche de Kapton terminale.

En termes d'ordonnancement des étapes, le report et le collage des puces sur le PCB est tout d'abord réalisé par la colle époxy H20E entre une température relativement réduite de 80 °C et 100 °C pendant 2 heures minimum sans risque de déformation du PCB (T<sub>g</sub> = 180 °C). Une fois polymérisée la colle possède une tenue en température d'au moins 300 °C, ce qui permet de procéder au collage du clip supérieur toujours avec de la colle H20E, sans risque de refusion des régions de collage inférieures polymérisées. Le report et le collage se fait par une légère pression manuellement. Un Kapton terminal

vient passiver le clip par sa surface supérieure. Le procédé se termine par le câblage filaire en  $125\ \mu\text{m}$  (éventuellement  $250\ \mu\text{m}$  pour des questions de standard) du pad de grille et de source-kelvin de la puce *high-side* en report face arrière. Cette dernière zone de connexion pourrait être améliorée par une liaison flex de type *busbar* comme cela est pratiqué sur certains modules de puissance.

Nous ne détaillons pas ici les nombreuses étapes de préparation des PCB et des constituants de l'assemblage (étuvage, dégraissage, rinçage et séchage). Une note de laboratoire détaillée a été faite à ce sujet.

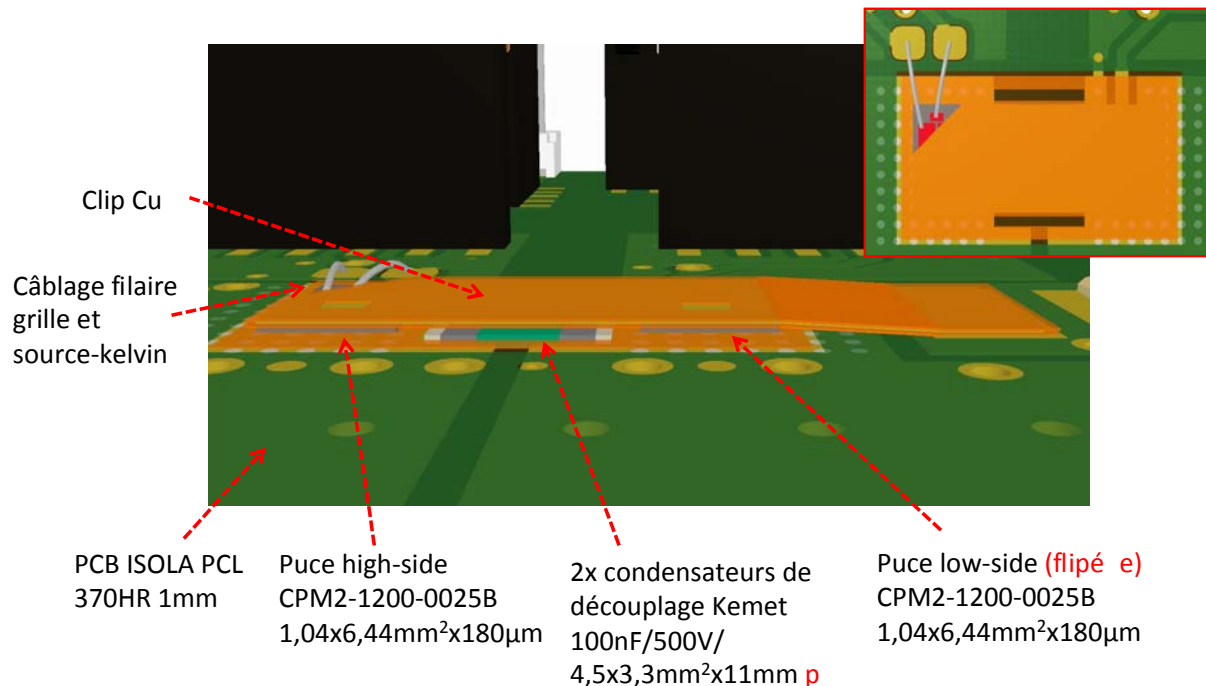


Figure 157 : assemblage proposé en version (a) (condensateurs enfouis) avec une interconnexion supérieure par un clip Cu

La Figure 158 montre une vue en coupe de l'empilement des différentes couches de l'assemblage (en partant du PCB vers le clip) :

- 1) Substrat PCB : prepreg 1 mm + cuivre  $105\ \mu\text{m}$
- 2) Couche *Bottom* : Kapton fenêtré  $75\ \mu\text{m}$  + Acrylique  $25\ \mu\text{m}$
- 3) Puce :  $180\ \mu\text{m}$
- 4) Couche *Top* : Kapton fenêtré  $75\ \mu\text{m}$  + Acrylique  $25\ \mu\text{m}$
- 5) Clip Cu : plaque de cuivre semi-rigide  $105\ \mu\text{m}$
- 6) Passivation du clip Cu : Kapton  $75\ \mu\text{m}$  + Acrylique  $25\ \mu\text{m}$

Épaisseur de l'assemblage =  $380\ \mu\text{m}$  (hors PCB, hors clip) /  $585\ \mu\text{m}$  (avec clip) /  $1585\ \mu\text{m}$  (avec PCB = épaisseur totale)

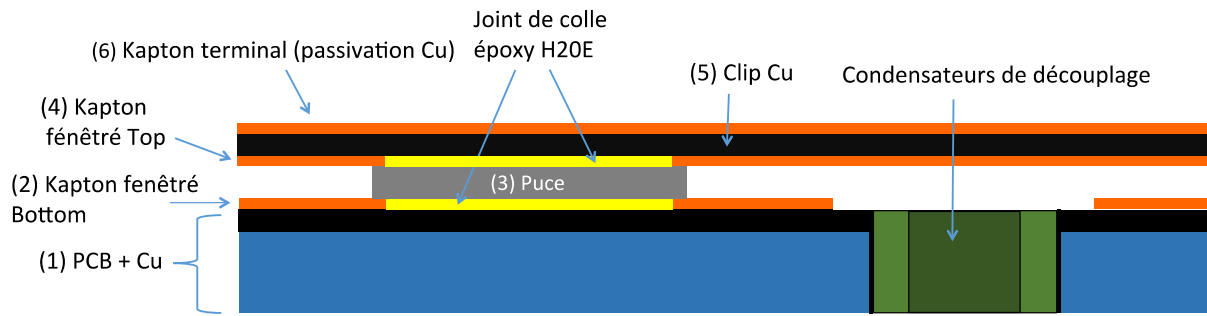


Figure 158 : vue en coupe des différentes couches de l'assemblage

- **Vias thermiques métallisés**

La Figure 159 montre le réseau de via thermiques disposés pour permettre au flux de chaleur de circuler de la face arrière de la puce *low-side* vers la source froide de l'autre côté du PCB. Ces vias sont remplis d'étain au moment de la préparation du PCB, ce qui évite l'utilisation d'un insert en cuivre enfouis dans l'épaisseur comme cela est pratiqué sur certain assemblage. Le dissipateur n'est pas représenté sur les figures et il n'a pas été placé au stade de l'avancement de nos travaux. L'absence d'isolement en face arrière de l'assemblage impose l'ajout d'une intercalaire isolante externe sur la face arrière du PCB et le dissipateur (typiquement du Sil-Pad). Nous rappelons que l'usage d'un clip isolé en surface peut être vue comme un substrat auxiliaire permettant d'extraire des calories, au prix d'une complexité mécanique certaine au regard d'un bénéfice sur la résistance thermique limité, comme cela est le cas sur bon nombre d'assemblage double face.

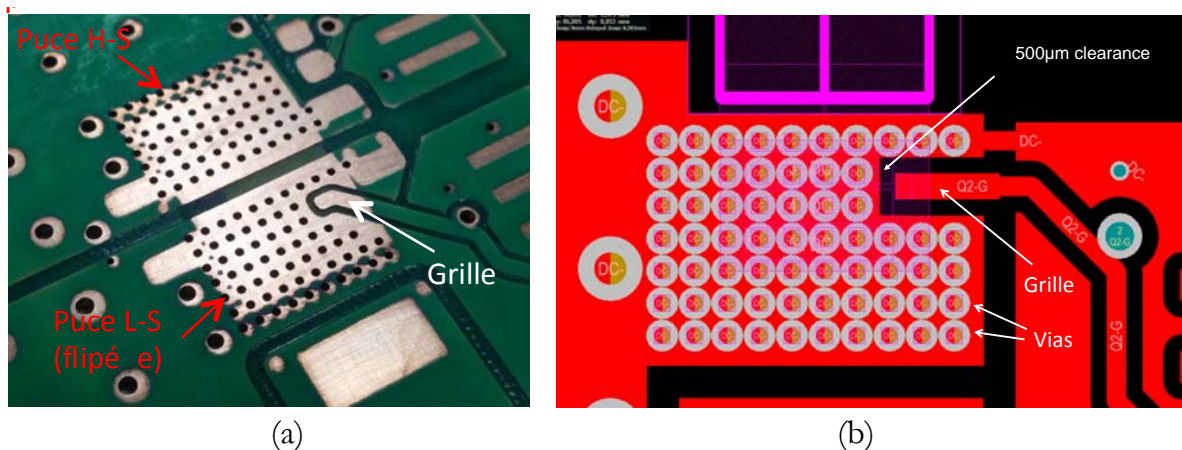


Figure 159 : (a) plage de cuivre constituée de vias thermiques pour l'accueil des deux puces *high-side* et *low-side*, (b) zoom sur la zone dédiée au report de la puce retournée (puce *low-side*) avec la région de grille au niveau du substrat

- **Enfouissement des condensateurs dans le PCB**

La réalisation du fenêtrage pour l'accueil de l'enfouissement des condensateurs est aussi une difficulté. Les photos présentées en Figure 160 en donne une vue d'ensemble. La

fenêtre est réalisée en deux temps. Tout d'abord, deux rainurages parallèles et de forme oblongue, équidistants de longueur des condensateurs, sont réalisés dans le PCB. Ces rainurages sont totalement métallisés en surface et dans l'épaisseur au niveau des flancs. La zone inter-rainurage est évidée par usinage mécanique de manière à libérer l'accès pour le logement des condensateurs. La connexion des condensateurs se fait par brasage entre le flanc des rainures et les électrodes des condensateurs. Le placement et le maintien aligné des condensateurs au moment du brasage demandent aussi beaucoup de soin.

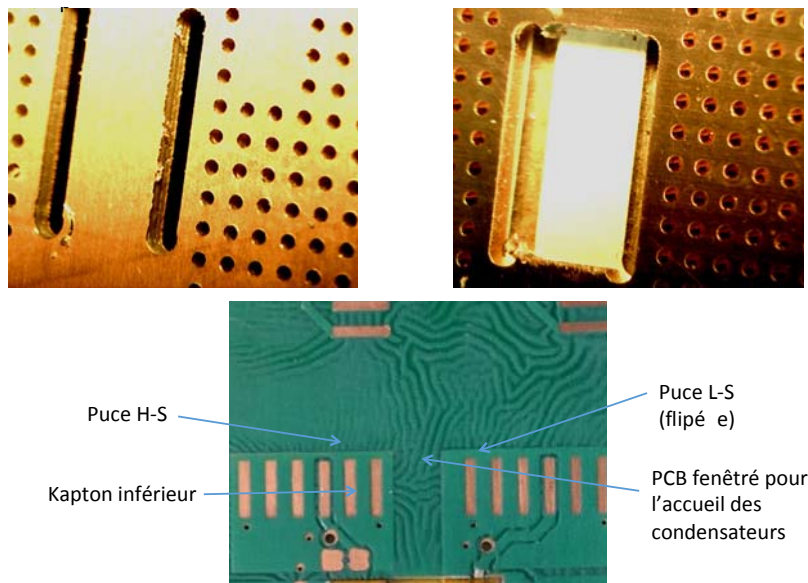


Figure 160 : réalisation du fenêtrage métallisé du PCB pour l'accueil des condensateurs de découplage enfouis

- **Report des puces sur le substrat**

La découpe au laser CO<sub>2</sub> de la couche isolante de Kapton et son positionnement constituent également une difficulté de réalisation. Celle-ci a demandé de nombreux essais, de paramétrages et de multiples reprises de design.

Les dimensions de la puce reportée sont montrées en Figure 161a. Pour le report de la puce en face arrière (report classique), le Kapton inférieur placé sous la puce est fenêtré d'une surface plus petite que la puce, ceci afin d'avoir un recouvrement sur les bords puce-Kapton de 300  $\mu\text{m}$  et éviter au joint de colle d'arriver jusqu'à la tranche de la puce (Figure 161b). Ce recouvrement puce-Kapton est réduit à 200  $\mu\text{m}$  sur la face avant de la même puce, pour le report du Kapton supérieur et du clip (Figure 161c). Une zone absolument critique est celle du pad de grille. Il est en effet de petite dimension par rapport aux autres zones de contact : 800  $\mu\text{m}$  x 500  $\mu\text{m}$ . Un recouvrement de 100  $\mu\text{m}$  en périphérie seulement est ainsi opéré ce qui laisse une zone apparente de collage de seulement 600  $\mu\text{m}$  x 300  $\mu\text{m}$ . Le positionnement du Kapton comme le dosage de la colle H20E demande beaucoup de soin.

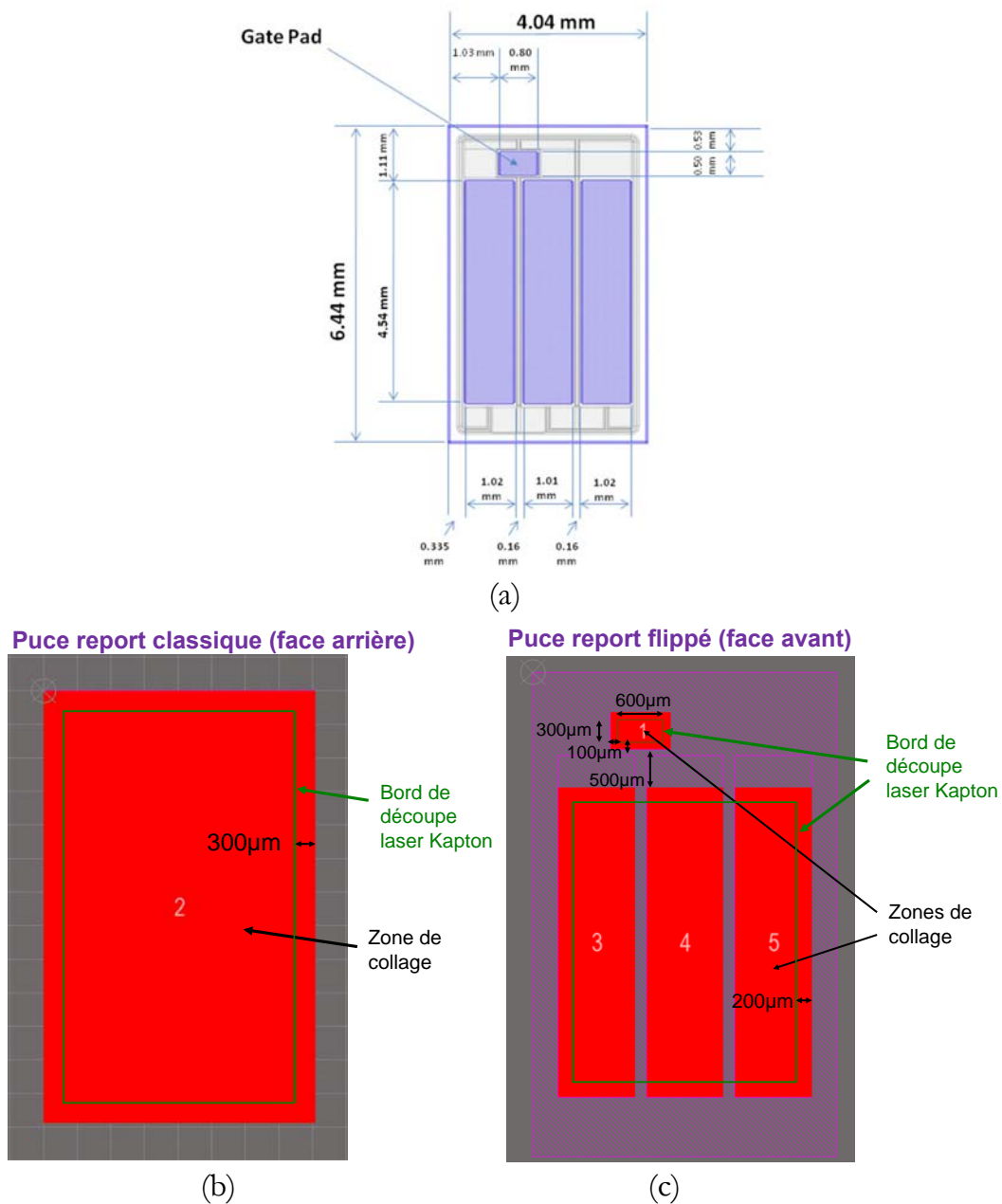


Figure 161 : (a) dimensions de la puce reportée par Kapton (MOSFET SiC CREE CPM2-1200-0025B), masques Kapton pour le report par collage des deux puces (rouge = plage de cuivre du substrat de report, cadre vert = bord de découpe laser du Kapton) : (b) report en face arrière de la puce et (c) report en face avant de la puce (*flip-chip*)

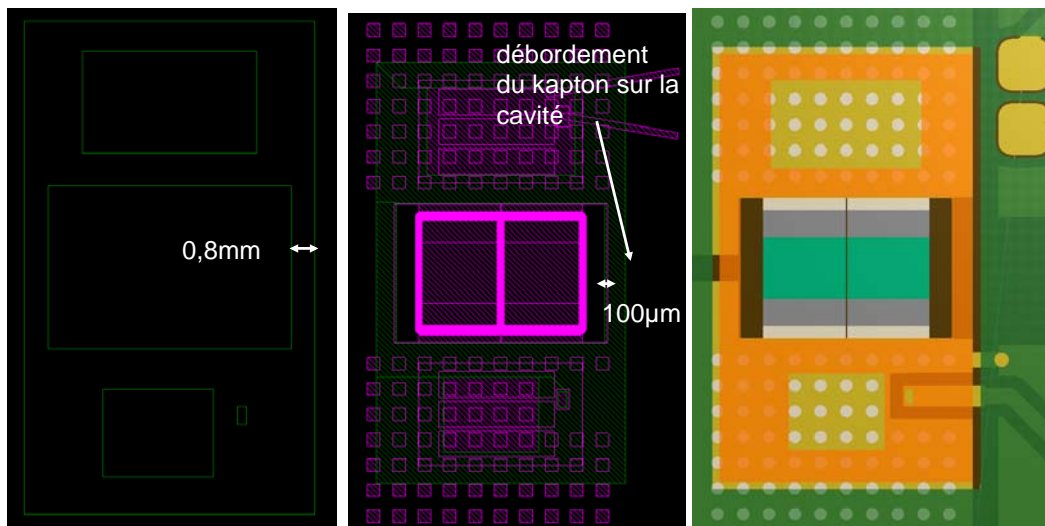


Figure 162 : vue d'ensemble du Kapton inférieur fenêtré au niveau des deux puces et autour de la tranche venant accueillir les deux condensateurs céramiques pour le découplage de la maille

Le calibrage du volume de colle est réalisé à la seringue manuellement par essais successifs. Un report "à blanc" est opéré suivi d'un retrait de la puce pour vérifier que la colle n'a pas débordé et ne s'est pas infiltrée entre le Kapton et la puce, ce qui pourrait être à l'origine d'un court-circuit (entre grille et source ou entre drain et source par la tranche de la puce).

Le report des puces est contrôlé dans un premier temps par une inspection optique à la loupe binoculaire x50 pour observer en particulier le bord des puces. La Figure 163 montre un exemple de débordement de colle sur les bords de la puce qui peut conduire à un court-circuit drain-source ou provoquer un claquage prématuré du composant. Ensuite, nous avons réalisé un test électrique pour vérifier l'absence de court-circuit entre les électrodes (50 V minimum entre drain et source et 10 V entre grille et source). Les résultats des mesures 4 pointes sont montrés en Figure 164.

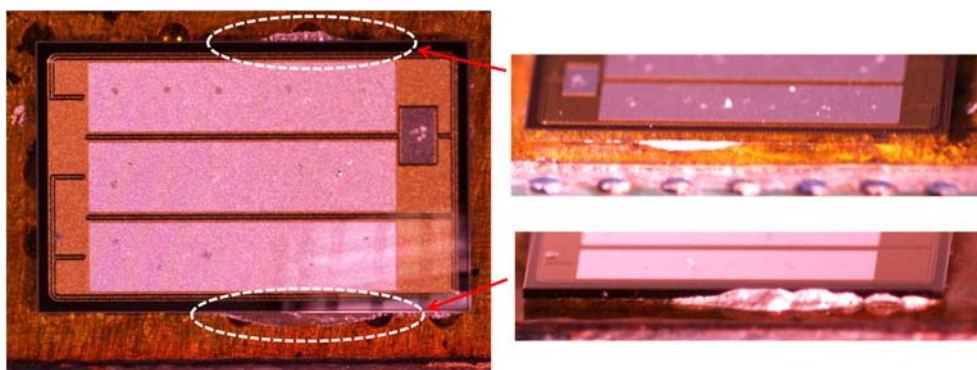
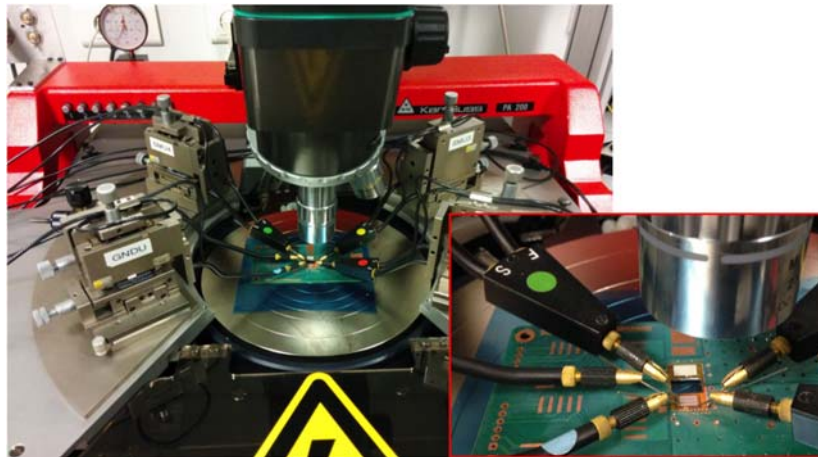
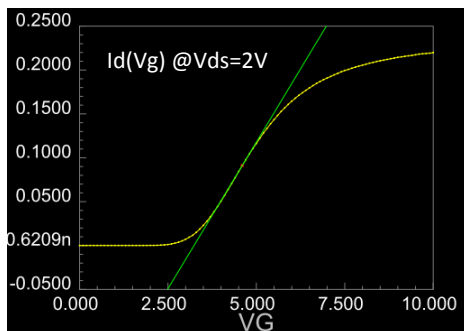


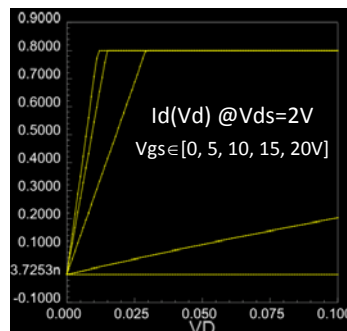
Figure 163 : mise en évidence du débordement de la colle sous la puce (exemple de puce reportée en face arrière)



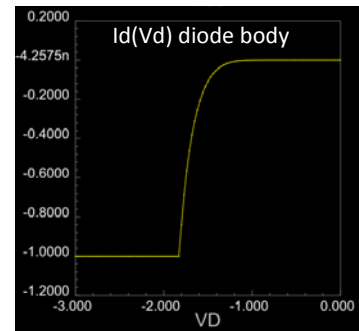
(a)



(b)



(c)

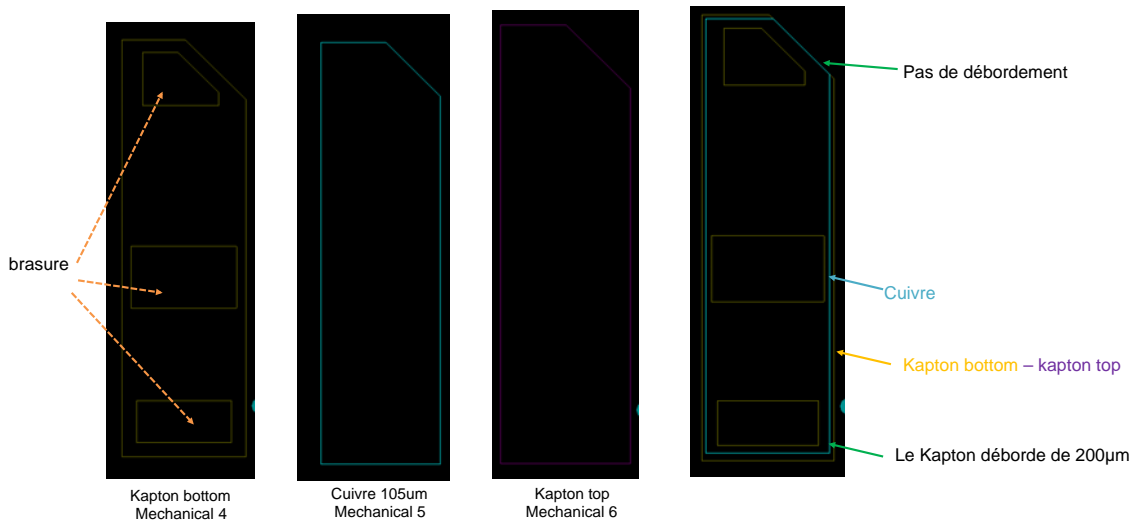


(d)

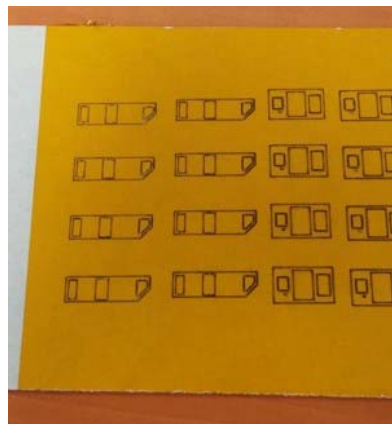
Figure 164 : (a) mesure sous pointes "4 fils" des puces reportées sur le PCB avec Kapton et colle Epotek H20E – (b) caractérisations pour le MOSFET SiC CREE CPM2-1200-0025B en report face arrière classique

- **Interconnexion supérieure de la puce**

La Figure 165 montre le détail du design des couches supérieures de l'assemblage sur le dessus des puces. Les films Kapton sont dimensionnés pour être débordant de 200  $\mu\text{m}$  en périphérie du clip, de manière à éviter tout effet de contournement de champ et de risque de claquage entre le clip et la puce dessous. Ce débordement n'est pas réalisé en bord de la région de connexion grille – source de la puce *high-side*, de manière à pouvoir libérer le maximum de surface d'accès pour le câblage filaire vers le driver de la puce *high-side* (Figure 166). L'absence de débordement dans cette zone est en effet possible car le clip est au même potentiel que les contacts de source sur la puce.



(a)



(b)

Figure 165 : (a) détail des différents niveaux pour la réalisation des couches supérieures au-dessus de la puce (films Kapton + clip Cu), (b) dessin avant découpe laser des différentes couches de Kapton fenêtrées

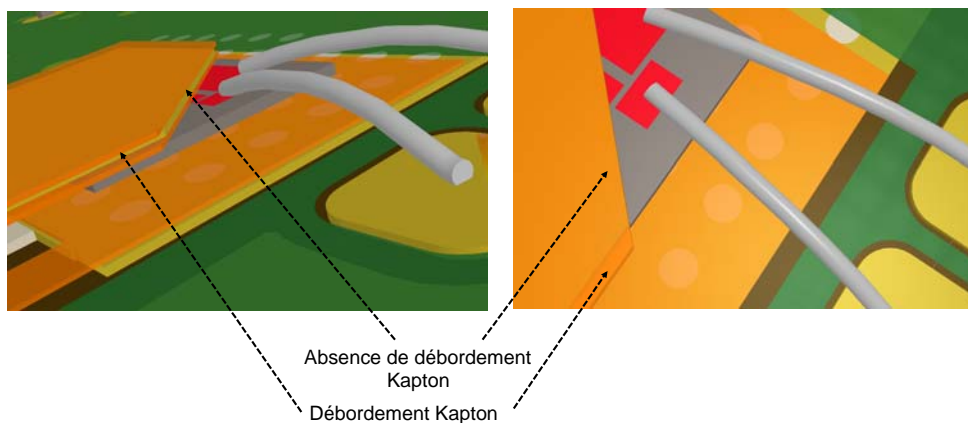


Figure 166 : zoom sur la région de connexion filaire grille et source kelvin de la puce *high-side*



### 2.3. Caractérisations électriques fonctionnelles des convertisseurs PCB prototypes en mode onduleur

La Figure 167 montre le banc de caractérisation des convertisseurs PCB prototypes. Au premier plan se trouve la carte PCB test (exemple version classique) avec l'électronique de commande des transistors. Les convertisseurs ont été caractérisés avec des puces silicium développées dans notre laboratoire et avec des puces rapides du commerce MOSFET SiC.

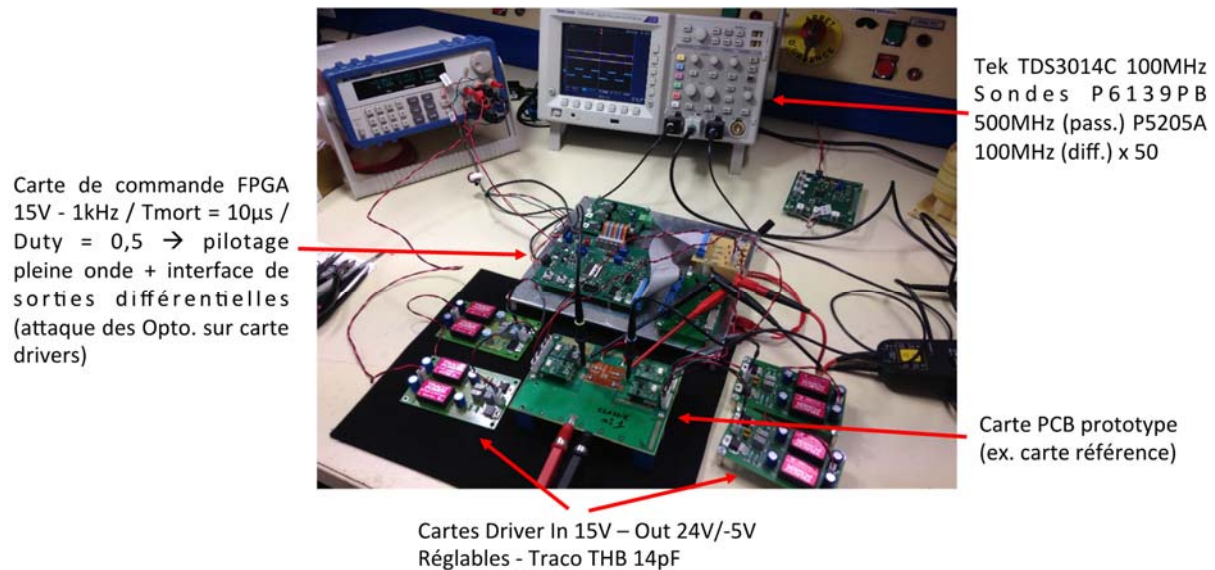


Figure 167 : banc de caractérisation électrique des convertisseurs PCB prototypes

#### 2.3.1. Assemblage avec maille planaire

La Figure 168 montre l'assemblage classique intégrant 4 puces RC-IGBT fabriquées au LAAS. Les deux bras du convertisseur sont constitués chacun de deux puces RC-IGBT discrètes et d'une interconnexion par deux faisceaux de fils de *bonding*. Les grilles des transistors ainsi que les sources kelvin en face avant des puces sont ramenées au niveau du PCB sur des plages de cuivre. Les deux condensateurs de découplage sont placés au centre entre les deux bras du convertisseur.

La Figure 168 montre également les résultats de caractérisations de ce convertisseur pour une commande en onduleur ZVS (Zero-Voltage-Switching). Les courbes bleue et rose représentent les potentiels des points milieux des deux bras. Les courbes rouge et verte correspondent à la tension aux bornes de la charge et le courant de la charge, respectivement. En agrandissant ces formes d'ondes, nous pouvons distinguer les différents modes de fonctionnement du RC-IGBT. En effet, la différence de pente sur la courbe du courant illustre le passage du mode VDMOS au mode IGBT en conduction directe. La conduction inverse du RC-IGBT (mode diode) est aussi clairement visible,

avec un premier spike de recouvrement direct sur le front de conduction suivi d'une modulation de la conductivité avec un seuil de conduction lorsque le courant est en régime établi. Ce phénomène traduit un comportement non optimisé de la diode de corps du RC-IGBT ce qui a renforcé notre choix de rester en mode ZVS lors des tests afin d'éviter une grande part des nuisances EMI dues au recouvrement inverse des diodes.

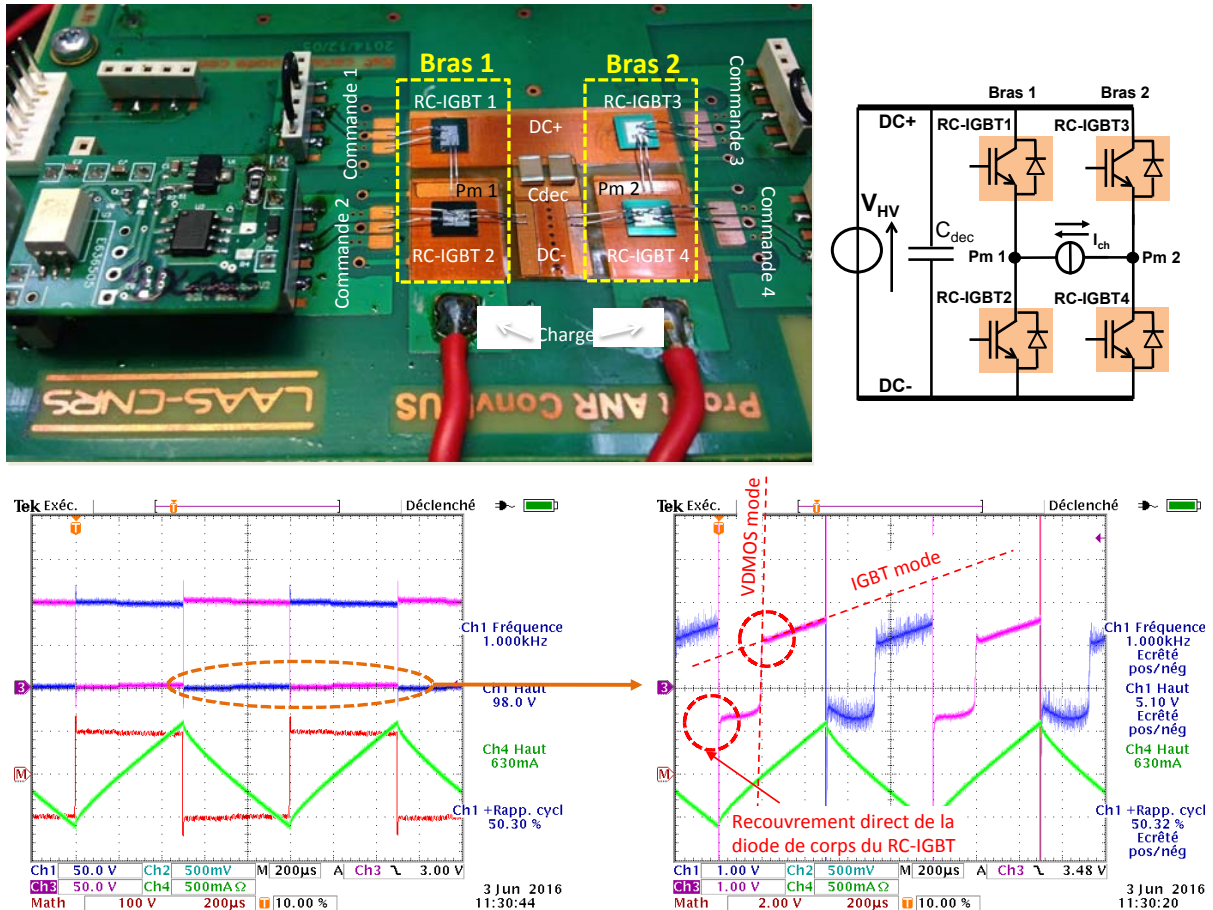


Figure 168 : caractérisation électrique fonctionnelle de l'assemblage classique (4x RC-IGBTs LAAS) – commande en onduleur ZVS – charge 50 mH 10  $\Omega$  – ( $F_{dec}=1$  kHz, duty =  $\frac{1}{2}$ ,  $T_{mort} = 10 \mu s$ ,  $R_{gon\_ext} = R_{goff\_ext} = 0 \Omega$ ,  $V_{BUS} = 100$  V,  $I_{load\_crête} = 0,63$  A)

### 2.3.2. Assemblages avec maille orthogonale

La Figure 169 montre l'assemblage du convertisseur tri-puce à 2 phases sur PCB. Une puce à anode commune constituée de deux sections RC-IGBT est placée au centre. Les deux puces IGBT sont placées d'un côté et les deux puces diodes de l'autre. Les trois puces sont interconnectées entre elles uniquement par leur face supérieure via deux faisceaux de fils de *bonding*. Toutefois, nous rappelons que la maille inductive intervenant dans la maille de commutation est équivalente à celle d'un seul faisceau mettant en jeu un transistor et une diode. Dans une première approche et dans la mesure où l'interconnexion est filaire, les condensateurs de découplage sont placés sous les fils entre les puces. Les résultats de caractérisations pour une commande en onduleur ZVS demi-

pont (bras 2) sur point milieu capacitif sont montrés en Figure 169. La courbe bleue représente le potentiel du point milieu et la courbe rouge celle du courant de la charge. Sur la courbe bleue, nous distinguons les deux modes de fonctionnement d'une section RC-IGBT de la puce à anode commune.

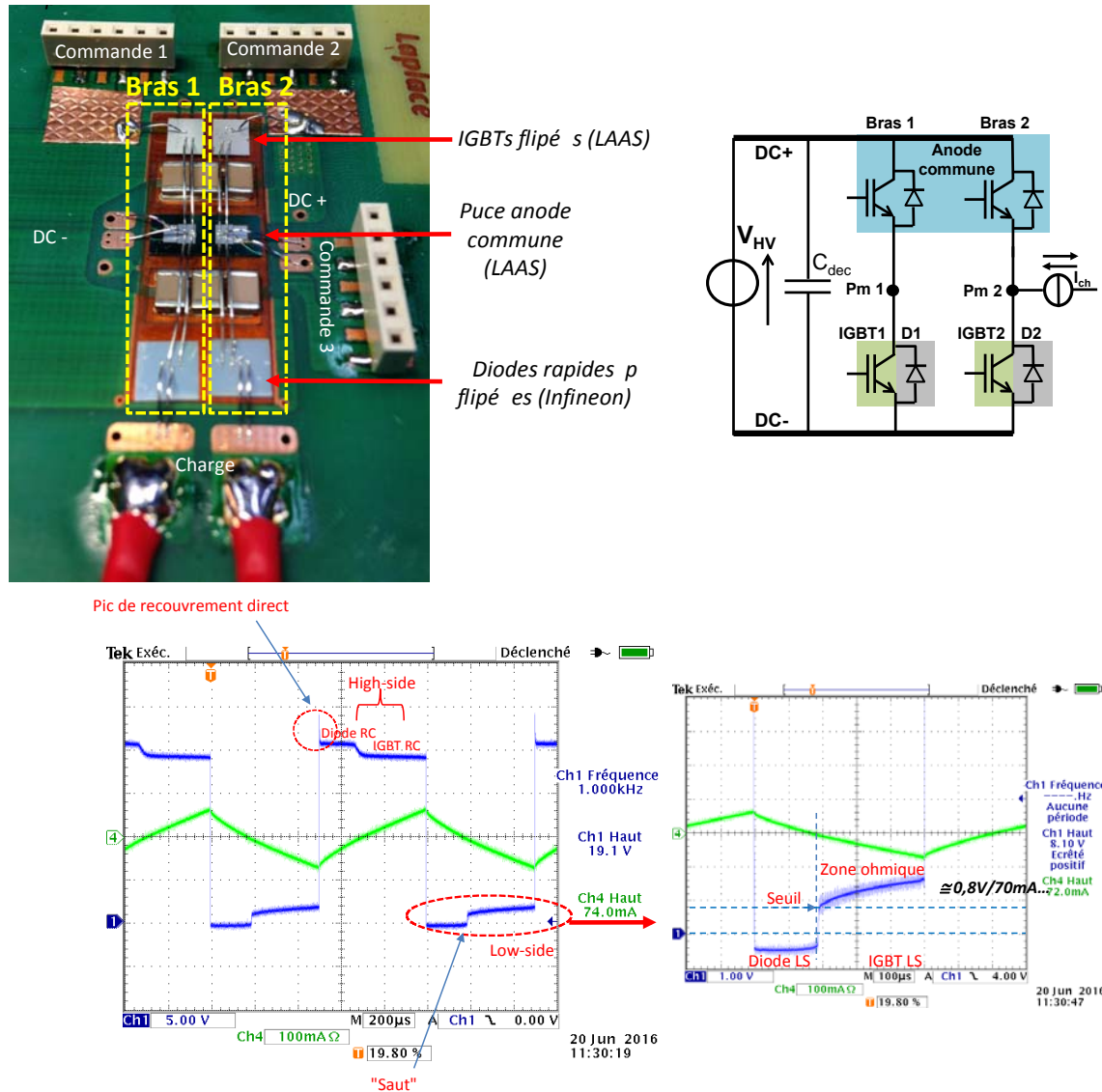


Figure 169 : caractérisation électrique fonctionnelle de l'assemblage proposé en version (b) (1x anode commune LAAS (à deux sections RC-IGBT) + 2x IGBTs LAAS retournés + 2x diodes Infineon SIDC30D120H8) – commande en onduleur ZVS demi-pont – charge 50 mH 10  $\Omega$  – ( $F_{dec} = 1$  kHz,  $duty = 1/2$ ,  $T_{mort} = 10$   $\mu$ s,  $R_{gon\_ext} = R_{goff\_ext} = 0$   $\Omega$ ,  $V_{BUS} = 20$  V,  $I_{load\_crête} = 0,07$  A)

La Figure 170 montre l'assemblage proposé en version (a) avec deux condensateurs enfouis dans le PCB. La maille de commutation est composée de deux transistors MOSFET SiC. La diode de corps du MOSFET est utilisée pour la réversibilité en courant du convertisseur. L'interconnexion supérieure par un mono-faisceau de fils de *bonding* est remplacée par un clip en cuivre. Ce clip fait l'interconnexion entre les deux puces et se

prolonge jusqu'à une plage de cuivre au niveau du PCB pour ramener le point milieu. Nous obtenons ainsi une maille de commutation orthogonale de géométrie extraplate.

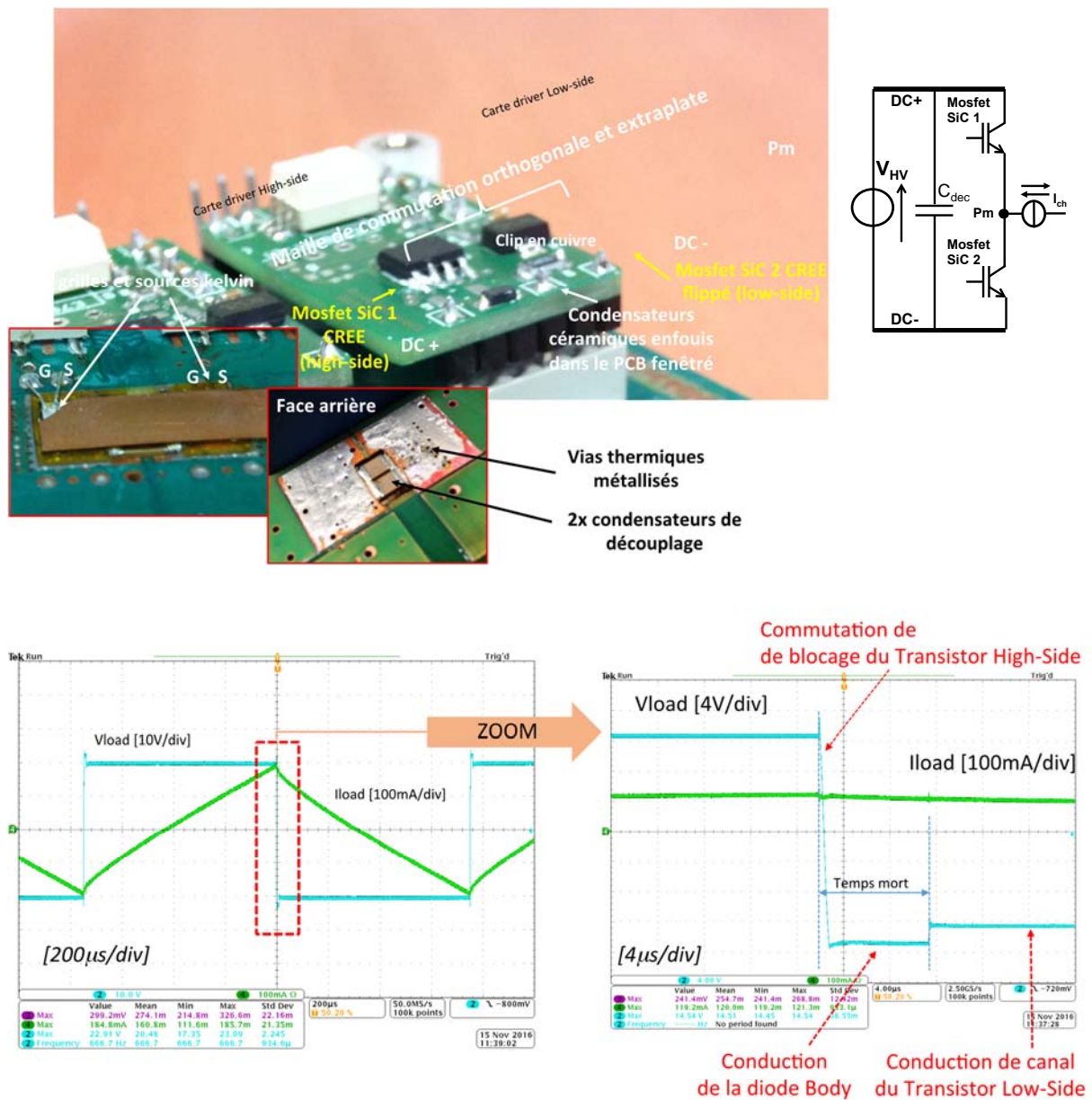


Figure 170 : caractérisation électrique fonctionnelle de l'assemblage proposé en version (a) DLB (2x MOSFET's SiC CREE CPM2-1200-0025B) – commande en onduleur ZVS – charge 50 mH 10Ω – ( $F_{dec} = 666$  Hz,  $duty = 1/2$ ,  $T_{mort} = 10 \mu s$ ,  $R_{gon\_ext} = R_{goff\_ext} = 0 \Omega$ ,  $V_{BUS} = 20$  V,  $I_{load\_crête} = 0,02$  A)

La Figure 170 donne un résultat sur une charge fortement inductive à forte ondulation de courant telle que le courant change de signe à chaque demi-période de commande. Nous obtenons ainsi un mode de fonctionnement ZVS très favorable pour les conditions de test, dans la mesure où les diodes de corps des MOSFET's n'ont pas à subir de recouvrement inverse et que seul le  $dV/dt$  de commutation au blocage est mis en jeu dans

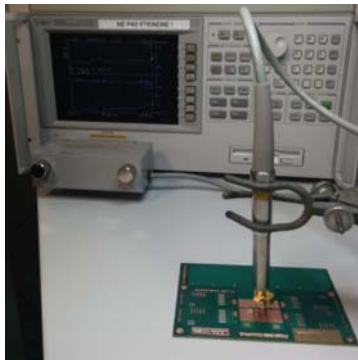
le montage. Ces conditions d'usage nous permettent de relâcher fortement les contraintes d'intégration des drivers et de leurs alimentations au plus près de la cellule de commutation, ainsi que les contraintes habituelles de filtrage de mode commun sur la charge et l'alimentation de puissance. En effet, les volets intégration driver et intégration des filtres de mode commun ne sont pas pris en compte au stade de notre travail. Nous nous sommes focalisés uniquement sur le volet électrique et assemblage principal.

## 2.4. Évaluation des performances électriques de la maille orthogonale par 3 méthodes

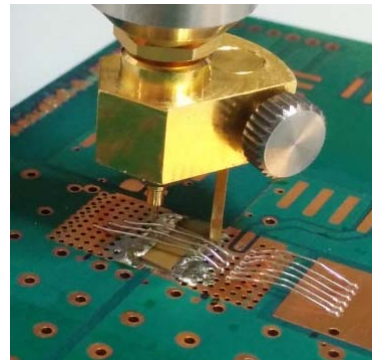
Les mailles de commutation "orthogonale" des assemblages proposés (versions (a), (b) et (c)) ont été évaluées par trois méthodes : la première est basée sur mesure fréquentielle directe de l'impédance de maille sans les puces, la seconde repose sur des simulations physiques 3D Comsol et la dernière est une technique de caractérisation temporelle double-pulse servant de référence. Pour chacune des méthodes, les résultats obtenus ont été comparés à ceux de l'assemblage de référence en maille 2D planaire.

### 2.4.1. Mesure fréquentielle de la maille à l'analyseur d'impédance

Cette méthode est illustrée en Figure 171. Le principe repose sur une mesure fréquentielle de l'impédance de maille à l'aide d'un analyseur d'impédance Agilent 4294A muni d'une tête de sonde co-axiale 42941A particulièrement bien adaptée à des mesures sous pointes sur PCB [11] [12] [13] [14].



(a)



(b)

Figure 171 : mode opératoire pour la mesure fréquentielle directe par analyseur d'impédance sur PCB, (a) version de référence sans condensateurs de découplage et (b) version avec condensateurs de découplage enfouis

Avant la mesure d'impédance, une étape de compensation de la sonde est réalisée avec une mesure sous pointes en court-circuit et circuit ouvert à la fréquence de travail. Ce dispositif permet une mesure fréquentielle large-bande jusqu'à 110 MHz de l'impédance de maille. Pour extraire la valeur de l'inductance de maille, il faut connaître les valeurs des

condensateurs de découplage. Les condensateurs que nous utilisons dans nos convertisseurs possèdent une capacité fortement non linéaire en fonction de la tension, et la caractéristique  $C(V)$  n'est pas indiquée par le fabricant dans sa documentation technique. Il est donc nécessaire de caractériser les condensateurs par une mesure  $C(V)$ . Un exemple de mesure  $C(V)$  est montré en Figure 172. Des mesures réalisées sur d'autres références de composants dont les caractéristiques  $C(V)$  sont connues ont permis de valider la technique de mesure à l'appareil Agilent B1505A.

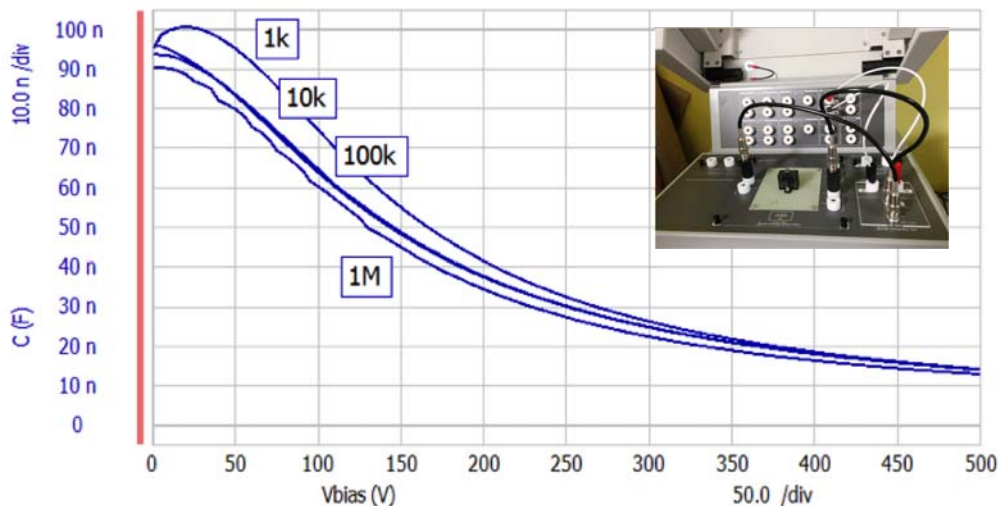


Figure 172 : mesure  $C(V)$  du condensateur de découplage avec l'Agilent B1505A @1k-10k-100k-1MHz (référence Kemet C1812V104KCRACU/0,1 $\mu$ F/500V/X7R)

La Figure 173 présente un modèle électrique de la maille de commutation vue des bornes de la sonde.

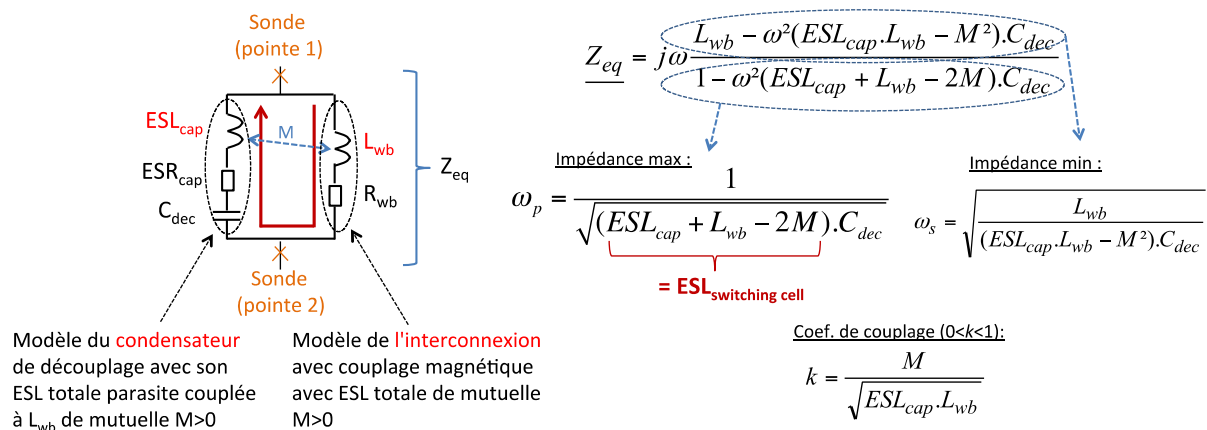


Figure 173 : modèle circuit équivalent à constantes localisées et couplées de l'impédance d'une maille de commutation – identification des fréquences de résonance et du coefficient de couplage

Ce modèle fait intervenir en parallèle l'interconnexion *wire-bonding* (WB) de la maille et les condensateurs de découplage. Les deux puces de puissance ne sont pas placées dans ce

schéma de test dans la mesure où celles-ci n'interviennent que principalement par leurs effets ohmiques. Le WB est modélisé sous la forme d'éléments à constantes localisées en série par une résistance  $R_{wb}$  et une inductance  $L_{wb}$ . Les condensateurs de découplage en parallèle sont modélisés par une capacité  $C_{dec}$ , une résistance  $ESR_{cap}$  et une inductance  $ESL_{cap}$  en série. Les deux éléments inductifs du schéma équivalent sont magnétiquement couplés par le biais d'une mutuelle équivalente  $M$ .

La Figure 174 donne une représentation du diagramme de Bode en amplitude et en phase de l'impédance mesurée par la sonde entre les pointes 1 et 2. Ce diagramme met clairement en évidence deux fréquences de résonance caractéristiques :

1. la première constitue une résonance dite parallèle pour se référer à la terminologie des circuits, dans la mesure où elle se caractérise par un pic local d'impédance vue des pointes 1 et 2. À cette fréquence, les impédances complexes des éléments WB et  $C_{dec}$  tendent à se compenser en série ou, ce qui revient au même, les admittances complexes WB et  $C_{dec}$  tendent à se compenser en parallèle donnant ainsi une admittance complexe équivalente vue des pointes 1 et 2 qui tend vers une valeur minimale, i.e. une valeur maximale d'impédance. Ainsi, le courant de boucle interne à la maille, entre les éléments WB et  $C_{dec}$  qui sont connectés en série, tend vers un maxima de valeur qui est bien supérieur au courant d'entrée du circuit par les pointes 1 et 2. La connaissance de cette fréquence nous permet de caractériser l'impédance réellement équivalente vue par un courant de boucle interne tel qu'il apparait dans une phase de commutation de notre cellule.

L'expression analytique complète de l'impédance fréquentielle entre les pointes 1 et 2 est donnée par la relation suivante :

$$Z_{eq} = j\omega \frac{L_{WB} - \omega^2 (ESL_{cap} \times L_{WB} - M^2) \times C_{dec}}{1 - \omega^2 (ESL_{cap} + L_{WB} - 2M) \times C_{dec}} \quad \text{Eq. 16}$$

Le maxima d'impédance est obtenu par annulation du dénominateur ce qui permet d'extraire l'expression théorique de la fréquence de résonance parallèle respectant cette condition. Cette fréquence est donnée par :

$$\omega_p = \frac{1}{\sqrt{(ESL_{switching\_cell} \times C_{dec})}} \quad \text{Eq. 17}$$

Avec :

$$ESL_{switching\_cell} = ESL_{cap} + L_{WB} - 2M \quad \text{Eq. 18}$$

d'où l'on déduit l'expression du couplage magnétique  $k$  entre les éléments  $L_{wb}$  et  $ESL_{switching\_cell}$  par le biais de la mutuelle  $M$ .

Cette fréquence de résonance traduit l'existence d'un courant de boucle interne et fait intervenir logiquement la somme des inductances parasites ( $ESL_{cap}$  et  $L_{wb}$ ) à laquelle est soustrait l'effet de compensation par la mutuelle inductance.

L'expression de  $ESL_{switching\_cell}$  montre qu'une maille idéale serait obtenue avec des éléments dont les inductances propres seraient identiques et parfaitement couplées telle une géométrie busbar parfaite ( $ESL_{cap} = L_{WB}$  avec  $k = 1$ ) donnant lieu à une fréquence de résonance parallèle de valeur infinie. Même en imaginant un couplage parfait entre des éléments géométriquement différents (WB et condensateurs avec inductances d'accès) comme dans notre étude, il apparaît qu'une telle configuration ne peut conduire à une inductance de maille équivalente minimale comme celle d'un busbar.

2. La seconde fréquence est une résonance série  $\omega_s$  propre au condensateur équivalent  $C_{dec}$  dont l' $ESL_{cap}$  est couplée à WB.

$$\omega_s = \sqrt{\frac{L_{WB}}{(ESL_{cap} \times L_{WB} - M^2) \times C_{dec}}} \quad \text{Eq. 19}$$

En pratique sur nos cartes, les mesures des fréquences caractéristiques ou pulsation  $\omega_p$ ,  $\omega_s$  et des asymptotes à moyenne et haute fréquence permettent d'extraire les trois paramètres inconnus du modèle circuit :  $ESL_{cap}$ ,  $L_{WB}$  et  $k$ .

Plus hautes seront les valeurs des fréquences mesurées et meilleure sera la qualité de la maille étudiée. Dans le cadre de ce travail, nous nous limiterons à présenter simplement les valeurs équivalentes de l'inductance de maille  $ESL_{switching\_cell}$  (issue de  $\omega_p$  seule) représentant le paramètre le plus important en termes de performance et de comparaison entre les versions.

La Figure 174 montre un exemple de diagramme fréquentiel mesuré sur une carte PCB en version (a) avec les condensateur enfouis. Ce diagramme permet d'identifier les deux asymptotes moyenne et haute-fréquence, ainsi que les fréquences de résonances caractéristiques de la maille de commutation avec ses condensateurs de découplage. Sur le principe, nous disposons ainsi potentiellement de quatre mesures : les deux pentes du diagramme asymptotique sur le module d'impédance et les deux fréquences de résonance. Ces mesures permettraient théoriquement d'identifier de manière unique les quatre inconnues du circuit :  $C_{dec}$ ,  $ESL_{cap}$ ,  $L_{wb}$  et  $M$ .



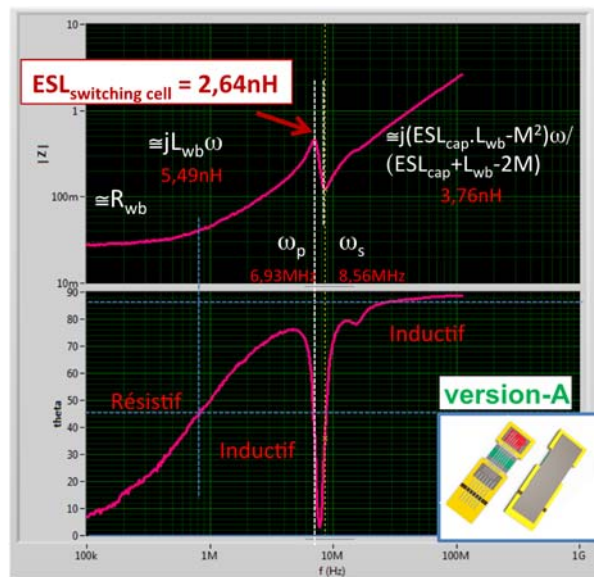


Figure 174 : exemple de diagramme fréquentiel (module et phase) obtenu par une mesure fréquentielle de l'impédance de maille à l'analyseur d'impédance – (carte PCB en version (a) avec condensateurs de découplage enfouis)

Dans le cadre de cette étude, nous avons procédé différemment au moyen de mesures séparées et en faisant appel à des montages différents.  $C_{dec}$  a été mesurée par une mesure  $C(V)$  à l'aide de l'Agilent B1505A en mode capacimètre et  $ESL_{cap}$  a été mesurée directement sous pointes par une mesure fréquentielle avec l'analyseur d'impédance. La valeur de  $L_{wb}$  est facilement extraite par la pente du diagramme à moyenne fréquence.

Les valeurs de  $C_{dec}$ ,  $ESL_{cap}$ ,  $L_{wb}$  combinées à la mesure de  $\omega_p$  permet d'extraire  $k$  puis de vérifier la cohérence des mesures par la vérification de la pente du diagramme à haute fréquence. La mesure essentielle reste toutefois la valeur équivalente de l'inductance de boucle représentative de la maille de commutation  $ESL_{switching\_cell}$  (Eq. 18). Celle-ci est directement accessible par la mesure de la fréquence de résonance parallèle.

Le Tableau 11 donne la moyenne des mesures d'inductance  $ESL_{switching\_cell}$  d'impédances, réalisées sur l'assemblage proposé à maille orthogonale (versions (a), (b) et (c) – Figure 155) et sur l'assemblage de référence à maille planaire (Figure 156). Les résultats de l'assemblage proposé sont comparés à ceux de la version de référence par un facteur de réduction (ou gain). Pour l'assemblage de référence, la valeur mesurée est de 10,7 nH (@ 10 MHz [3] mesurée sans condensateurs de découplage). Cette valeur de référence est déjà bien meilleure que celles présentées par les modules commercialisés de dernière génération (20 nH au mieux). Pour les assemblages proposés, les résultats montrent la supériorité de la version (a) (condensateurs enfouis), permettant un facteur de réduction de  $\cong 4$  par rapport à la version de référence. À titre indicatif, l'extraction du coefficient de couplage  $k$  à  $\omega_p$  conduit une valeur de 0,84 (avec  $ESL_{cap} \cong 0,9$  nH et  $L_{WB} \cong 5,5$  nH). Il faut noter le faible écart moyen de performance entre les versions (a), (b) et (c), inférieur à

11 %, alors que le coût technologique en termes de réalisation de process et de fiabilité est en faveur des versions (b) et (c).

Tableau 11 : valeurs des inductances de maille de commutation déduites des mesures fréquentielles directes à l'analyseur d'impédance – assemblage proposé vs assemblage de référence

Cartes PCB tests		Comparaison des valeurs des inductances de maille [nH] (3WB)	
		$ESL_{\text{switching\_cell}}$ $6,6 \text{ MHz} < f_p < 7,2 \text{ MHz}$	Facteur de performance
Assemblage proposé	version (a)	2,60	4,1
	version (b)	2,89	3,7
	version (c)	2,78	3,8
Assemblage de référence @10 MHz [3]		10,7	1

#### 2.4.2. Simulations physiques 3D Comsol

Cette méthode consiste à calculer les valeurs équivalentes des inductances de maille avec le logiciel de simulation 3D par éléments finis COMSOL Multiphysics™. Ces simulations ont été menées au LAPLACE par Emmanuel Sarraute dans le cadre du projet ANR JC ConvPlus. Afin de s'assurer de la similitude géométrique entre les cartes réelles mesurées et les cartes virtuelles simulées, ces dernières sont directement générées avec le logiciel de routage ALTIUM™ utilisé pour leur définition sous forme simplifiée, puis importées sous COMSOL en format STEP ou ODB++. Cependant, dans cette approche de calcul numérique par éléments finis les très grands facteurs de forme, entre les longueurs des pistes en cuivre (en cm) et leur épaisseur (35 ou 105  $\mu\text{m}$ ) liés à une étude haute fréquence, posent des problèmes de surdimensionnement du maillage. Pour contourner ce problème, nous avons mis au point une technique de réduction de modèle basée sur l'utilisation d'éléments surfaciques (éléments coques) équivalents [15]. Cette technique consiste à négliger l'épaisseur des pistes en cuivre dans la définition de la géométrie 3D de la carte, et à utiliser des éléments surfaciques non maillés à la place des éléments volumiques. Ces éléments surfaciques, appelés éléments coques, sont cependant définis de manière analytique afin de tenir compte des phénomènes fréquentiels de pénétration du champ électromagnétique dans la couche de cuivre (épaisseur de peau). Ainsi, l'épaisseur réelle de la couche de cuivre est bien prise en compte, de manière indirecte, dans la résolution numérique sans avoir à la mailler. La Figure 175 illustre cette réduction géométrique d'une couche de cuivre d'épaisseur  $d$  en une surface équivalente d'épaisseur nulle. Dans le cas où la fréquence est forte et que l'épaisseur de peau  $\delta$  est inférieure à l'épaisseur  $d$ , les

champs électromagnétiques de part et d'autre de la surface sont différents et peuvent même être découplés (effet écran).

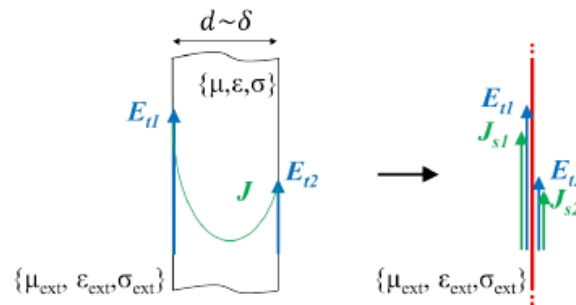


Figure 175 : réduction de modèle pour les couches de cuivre – simulation Comsol

La Figure 176 donne un exemple du modèle éléments finis (géométrie et maillage) des cartes étudiées. L'air environnant aux fils de *bonding*, et dans lequel l'énergie électromagnétique se développe, est modélisé par une sphère constituée d'une peau permettant de prendre en compte le champ à l'infini. Les électrodes du générateur d'excitation fréquentielle sont positionnées exactement sur la position des électrodes des condensateurs de découplage, lesquels ne sont pas modélisés.

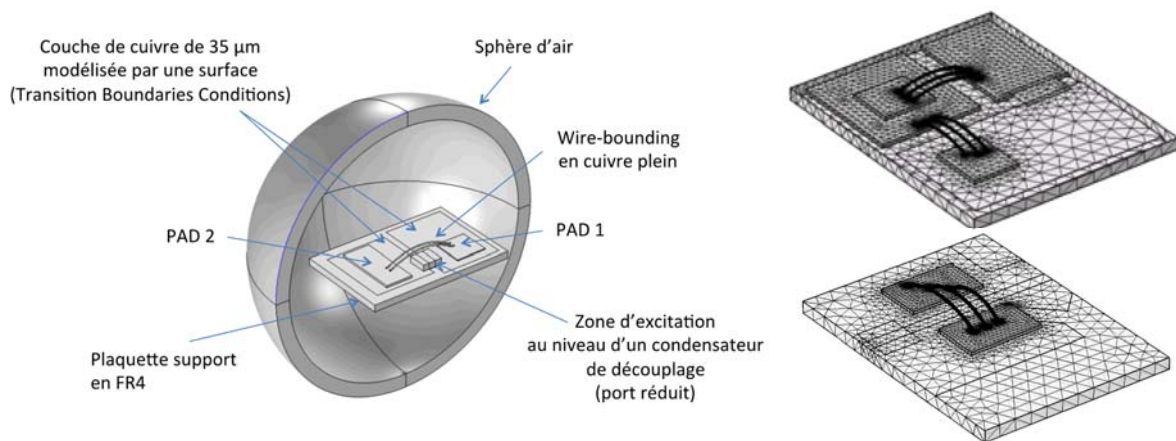


Figure 176 : exemples de modèle par éléments finis et de maillage (condensateurs de découplage non modélisés)

Le Tableau 12 donne les valeurs des inductances de maille obtenues par simulations Comsol pour l'assemblage proposé (versions (a), (b) et (c)) et celui de référence. Chaque structure est simulée deux fois par une interconnexion filaire de 3 WB et 6 WB. Les valeurs sont extraites aux fréquences de 1 MHz et 10 MHz. Les résultats obtenus pour les différentes versions de l'assemblage proposé montrent bien la classification attendue entre les cartes. La version (a) donne les plus faibles valeurs d'inductances avec un facteur de réduction proche de 4 par rapport à la référence. Suivi des versions (b) puis (c) avec des facteurs de 2,91 et 2,28 respectivement.

Tableau 12 : valeurs des inductances de maille de commutation obtenues par simulations  
Comsol – assemblage proposé vs assemblage de référence

Cartes PCB tests			Comparaison des valeurs des inductances de maille [nH]		
			3 WB	6 WB	Facteur de performance *(10 MHz – 3 WB)
Assemblage proposé	version (a)	1 MHz	2,95	2,21	
		10 MHz	*2,78	2,11	3,81
	version (b)	1 MHz	3,81	3,02	
		10 MHz	*3,64	2,9	2,91
	version (c)	1 MHz	4,82	4,27	
		10 MHz	*4,64	4,1	2,28
Assemblage de référence		1 MHz	11,04	non simulée	1
		10 MHz	*10,6		

### 2.4.3. Caractérisations temporelles "double-pulse" avec composants rapides du commerce

La méthode de caractérisation de l'inductance de maille par la commande "double-pulse" est illustrée en Figure 177. Elle consiste à commander la grille du transistor par deux impulsions successives (double-pulse). La première impulsion installe le courant de charge et la seconde impulsion, de durée plus courte que la première, a pour objectif d'exciter la maille inductive au blocage (*turn-off* – Figure 177c). Il apparaît alors des surtensions oscillantes de la tension de blocage aux bornes du transistor actif [16] [17] [18]. La valeur de l'inductance de maille  $ESL_{switching\_cell}$  est ainsi déduite de la fréquence des oscillations de la tension de blocage. Toutefois, l'extraction de la valeur de l'inductance de maille nécessite de caractériser préalablement la valeur de  $C_{oss}$  de la puce par un capacimètre (Figure 178) et de bien vérifier l'existence d'un régime oscillatoire peu amorti pour pouvoir assimiler la fréquence mesurée à la fréquence propre d'oscillation de la maille. Dans le cas contraire, une estimation du coefficient d'amortissement est nécessaire en évaluant le rapport de deux amplitudes successives et recalculant la fréquence propre en partant de la fréquence du régime aperiodique. Dans ces conditions, la valeur est approchée par  $ESL_{switching\_cell} = 1/((2.\pi.F_{osc})^2 \times C_{oss})$  correspondant à un majorant lorsque la fréquence mesurée est assimilée à la fréquence propre du circuit supposé sans amortissement. Il est montré dans [3] que cette méthode est bien plus pratique et précise que celle qui consisterait à extraire  $ESL_{switching\_cell}$  par la mesure de la surtension en raison du nombre bien plus élevé de paramètres en jeu dont certains sont difficilement mesurables ( $C_{oss}$ ,  $dI/dt$ , chute de tension dynamique des diodes). En effet, comme nous

le verrons dans la suite, l'expression de la surtension est complexe par le nombre important de phénomènes mis en jeu.

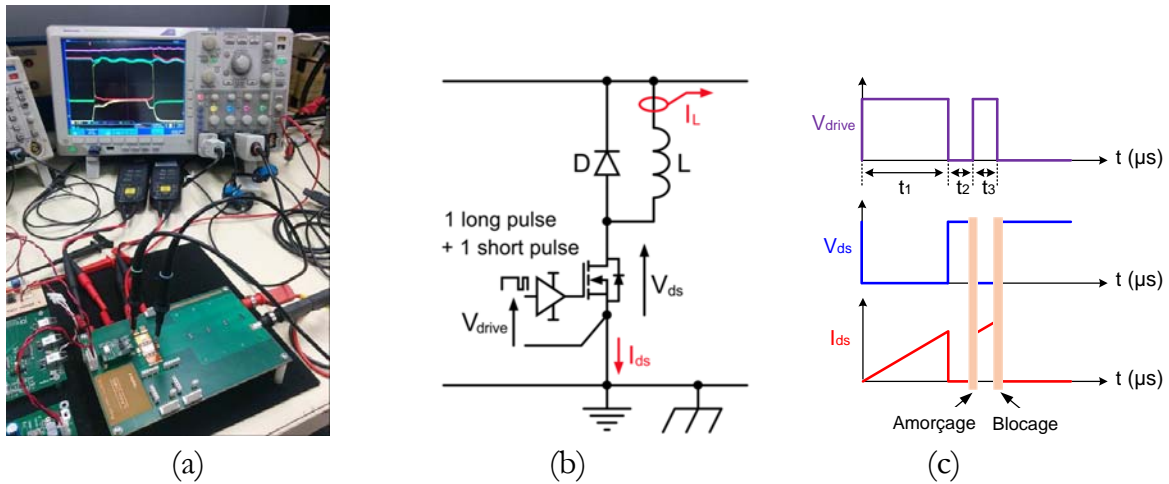


Figure 177 : méthode pour la caractérisation "double-pulse" : (a) banc de caractérisation, (b) schéma électrique et (c) chronogramme de commande à double impulsion

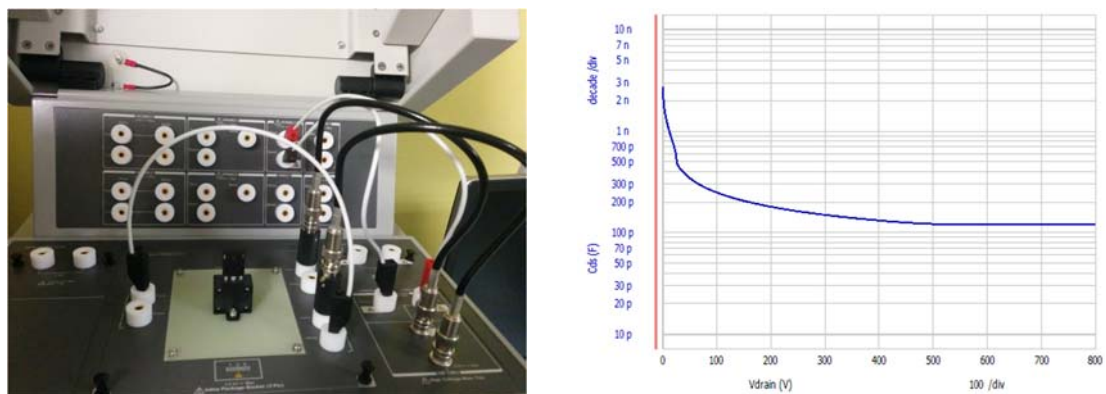


Figure 178 : mesure du  $C_{OSS}$  avec Agilent B1505a (exemple power MOSFET SiC CREE CMF20120D) – conditions :  $V_{GS} = 0$  V,  $V_{DS} = V_{DSmax}$ ,  $f = 1$  MHz,  $V_{AC} = 25$  mV)

L'objectif est de bloquer le transistor très rapidement, avec le minimum de résistance de grille (en pratique  $R_{g\_off} = 0 \Omega$  et seule subsiste les résistances internes du *buffer* et du polysilicium de la puce) pour exciter la maille inductive. Pour réaliser cela, on se place dans le cas d'une commutation dure et rapide avec une attaque en tension directe sur la grille du composant. Ceci peut être obtenu avec une résistance de grille de très faible valeur (proche de zéro), qui s'ajoute aux résistances du polysilicium de grille et de sortie du driver. La tension en sortie du driver est alors quasi-directement appliquée à la grille du transistor. Le courant du canal MOS est coupé avant la séquence de commutation en tension ( $dV/dt$  à  $I_{canal}$  nul). L'effet Miller est négligeable en termes de durée (absence de plateau) [19] et la capacité équivalente ramenée aux bornes du composant est bien celle

donnée par  $C_{OSS}$  ( $V_{ds}$ ). Dans ces conditions, la cellule de commutation au blocage du transistor actif peut être modélisée par le schéma de Figure 179.

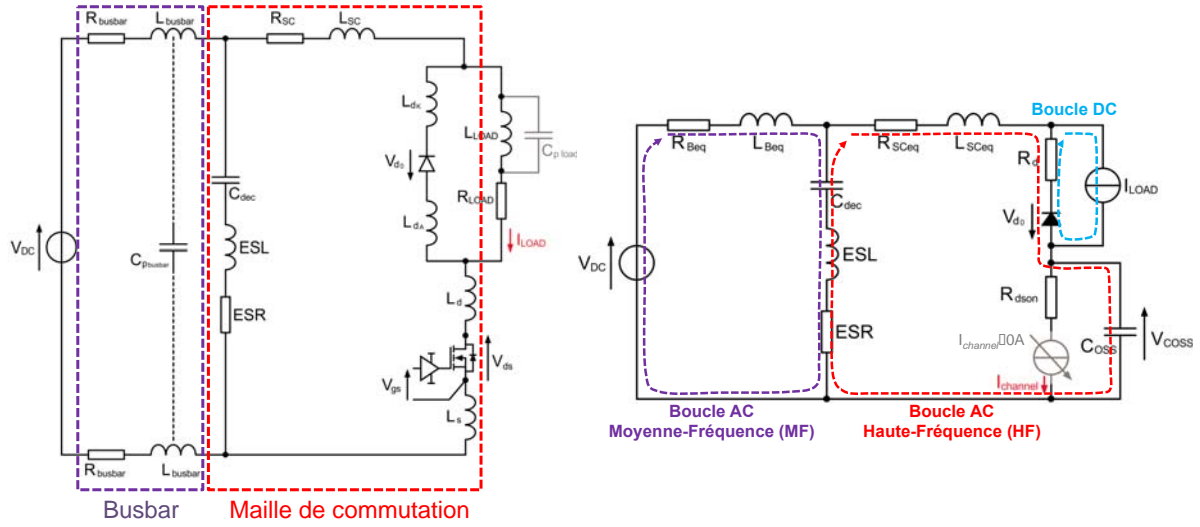


Figure 179 : modélisation de la maille de commutation au blocage très rapide du transistor actif ( $dV/dt$  à  $I_{canal}$  nul)

En se basant sur le schéma précédent, la surtension maximale aux bornes du composant à la coupure peut s'exprimer par la somme des différents termes de surtensions dans les boucles, que l'on obtient en appliquant le théorème de superposition des sources transitoires :

$$\delta V_{C_{OSS,max}} = I_{ch} \sqrt{\frac{L_{Beq}}{C_{dec}}} + KI_{load} \sqrt{\frac{L_{Sceq} + ESL}{C_{OSS}}} + V_{diode} + (L_{Sceq} + ESL) \frac{di_{canal}}{dt} \quad \text{Eq. 20}$$

(a)                      (b)                      (c)                      (d)

Le terme (a) représente le transfert d'énergie entre l'inductance du busbar  $L_{Beq}$  et les condensateurs de découplage  $C_{dec}$  (boucle MF). Le terme (b) est lié au transfert d'énergie entre l'inductance totale de la maille de commutation ( $L_{Sceq}$  et  $ESL$ ) et la capacité  $C_{OSS}$  (boucle HF). Le terme (c) reflète le recouvrement direct de la diode (boucle DC). Le dernier terme (d) représente la surtension liée à la dynamique du courant de canal résiduel, après amorçage de la diode à travers les inductances de maille (boucle HF).

Il est à noter que le terme (a) est prédominant aux fréquences basses et moyennes ( $< 5$  MHz) alors que (b) est prédominant en haute-fréquence ( $> 50$  MHz). Ceci est dû à la faible valeur de  $L_{Sceq}$  par rapport à  $L_{Beq}$ , et  $C_{OSS}$  par rapport à  $C_{dec}$ . Dans le terme (b), le paramètre  $K$  est un facteur important à considérer car il permet de modéliser le partage du courant entre  $C_{OSS}$  et la capacité de transition de la diode  $C_T$  lors de la phase de  $dV/dt$  : ( $K = C_{OSS}/(C_T + C_{OSS})$ ). Durant cette phase, une fraction du courant de charge va être drainée par la capacité de la diode de roue-libre et ainsi provoquer une réduction du

courant dans l'inductance parasite de la maille, provoquant une moindre surtension aux bornes du transistor.

Pour les composants ayant une faible valeur de  $C_{OSS}$  comme le MOSFET SiC et les composants à grand gap en général, le terme (b) est bien plus important que le terme (d) d'un ratio près de 20 (exemple d'application numérique : 5 nH, 100 pF, 1000 A/ $\mu$ s, 30 A,  $K = 0,5$ ). Il n'en serait pas de même sur des circuits de puissance à modules IGBT, surtout en version multi-puce, où les composants présentent une valeur apparente de  $C_{OSS}$  vue des bornes plus élevée et dont le comportement montre que le terme (d) peut redevenir dominant dans ce cas.

Dans le cadre de nos travaux, il apparaît ainsi que la résistance de grille et le contrôle du courant de canal ne sont pas les paramètres les plus influents sur la gestion du phénomène HF. Les paramètres du circuit comme les inductances et les condensateurs sont les plus influents sur le phénomène de surtension. Pour réduire les oscillations de la tension, le rapport  $(ESL + L_{sccq})/C_{OSS}$  doit être minimisé.

### 2.4.3.a. Assemblage avec maille planaire

La Figure 180 montre les formes d'ondes obtenues pour la caractérisation double-pulse de l'assemblage de référence.

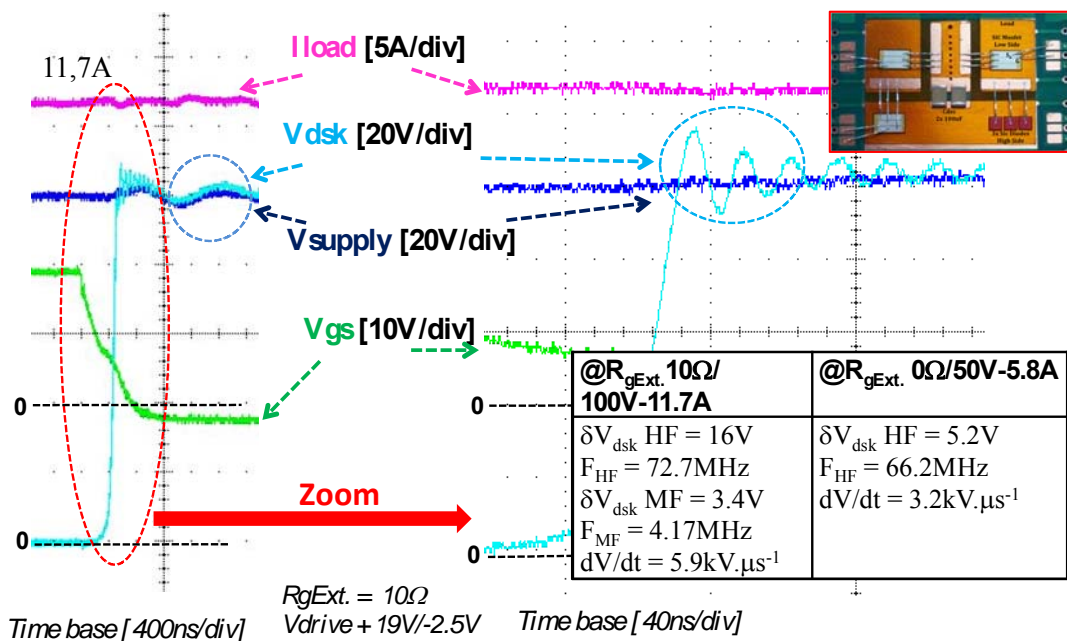


Figure 180 : caractérisation double-pulse de l'assemblage de référence – (type *back* : 1x MOSFET SiC CPM2-1200-0025B + 3x SBD SiC CPW4-1200-S015B)

La maille caractérisée est formée d'un MOSFET SiC et de 3 diodes SiC, avec une interconnexion par deux faisceaux de fils de *bonding*. La tension d'alimentation est de 100 V et le courant de 11,7 A. Le  $dV/dt$  de la tension de blocage est de 5,9 kV/ $\mu$ s. Les fréquences des oscillations HF et MF sont de 72,7 MHz et 4,17 MHz, respectivement.

Ces résultats ont été obtenus pour une résistance de grille externe de  $10 \Omega$ . La valeur de l'inductance de maille déduite de  $F_{HF}$  est de  $10,2 \text{ nH}$ .

La forme d'onde de l'enveloppe de la tension au blocage met clairement en évidence la superposition des deux fréquences d'oscillation : celle propre à la maille ( $72 \text{ MHz}$ ), et celle propre à la cellule de filtrage en amont ( $4 \text{ MHz}$ ) incluant un busbar entre le condensateur film et les condensateurs de découplage.

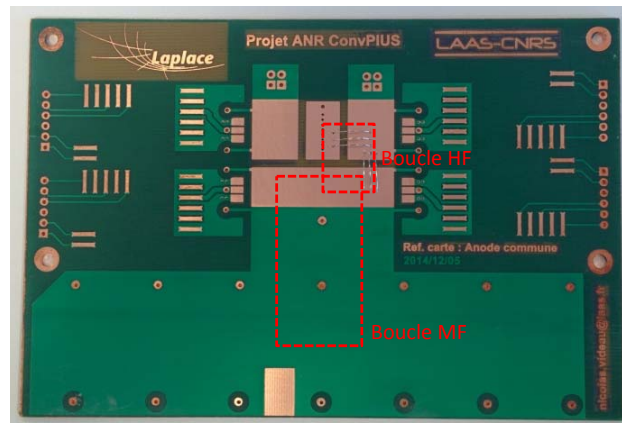


Figure 181 : mise en évidence des boucles HF et MF

### 2.4.3.b. Assemblages avec maille orthogonale

La Figure 182 montre les résultats de la caractérisation *double-pulse* pour le cas de l'assemblage proposé en version (b).

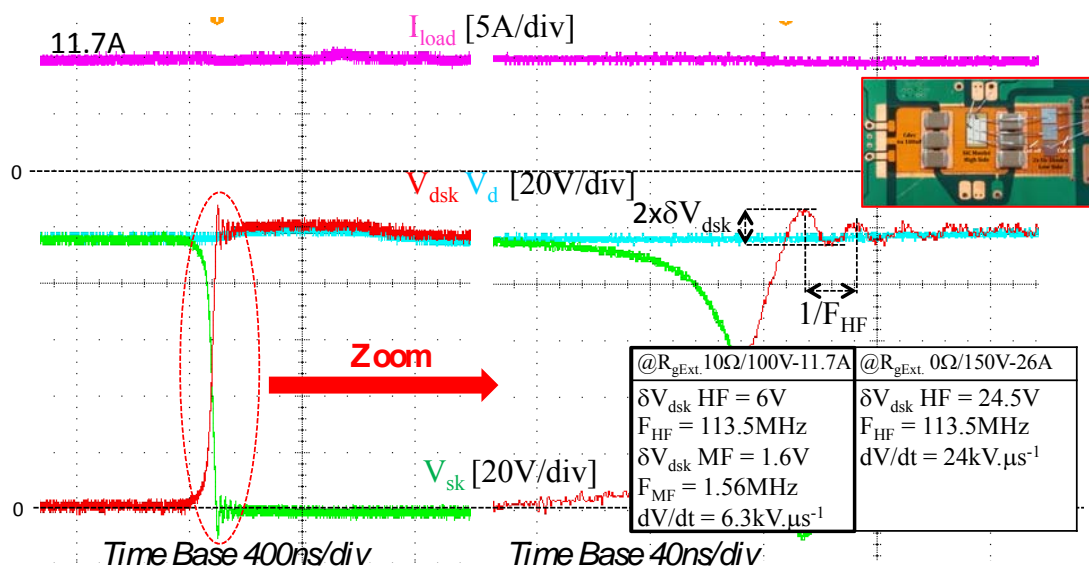


Figure 182 : caractérisation double-pulse de l'assemblage proposé en version (b) – (Type-buck : 1x MOSFET SiC CPM2-1200-0025B + 2x SBD SiC CPW4-1200-S015B)



La maille est constituée d'un MOSFET SiC et de deux diodes SiC. L'assemblage a été caractérisé pour une tension d'alimentation de 100 V et un courant de charge de 11,7 A. La résistance de grille externe est de 10  $\Omega$ . Le  $dV/dt$  de commutation est de 6,3 kV/ $\mu$ s. La fréquence HF est de 113,5 MHz et la fréquence MF de 1,56 MHz. Avec  $F_{HF}$  on extrait une valeur d'inductance de maille de 4,2 nH.

Là encore, la forme de tension met clairement en évidence la superposition des fréquences propres des mailles de commutation (113 MHz) et de filtrage en amont (1,5 MHz). La baisse de cette deuxième fréquence par rapport à la carte de référence provient d'une zone busbar beaucoup plus courte.

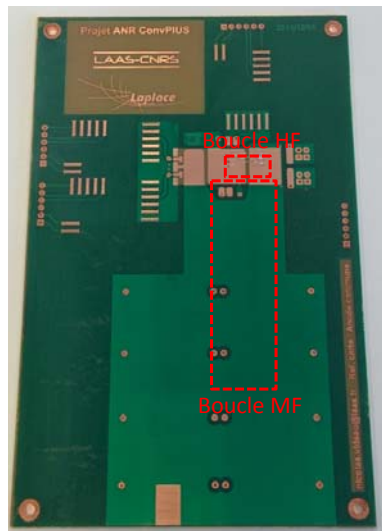


Figure 183 : mise en évidence des deux mailles HF et MF

La Figure 184 montre les formes d'ondes pour le cas de l'assemblage proposé en version (a) avec une interconnexion par clip. La maille est composée de deux MOSFETs SiC. Le transistor *low-side* est commandé. La diode body du MOSFET *high-side* est utilisée en phase de roue libre. Nous mesurons une période  $T_0$  du signal HF de 5,56 ns et en déduisons une  $ESL_{totale}$  de 1,11 nH.

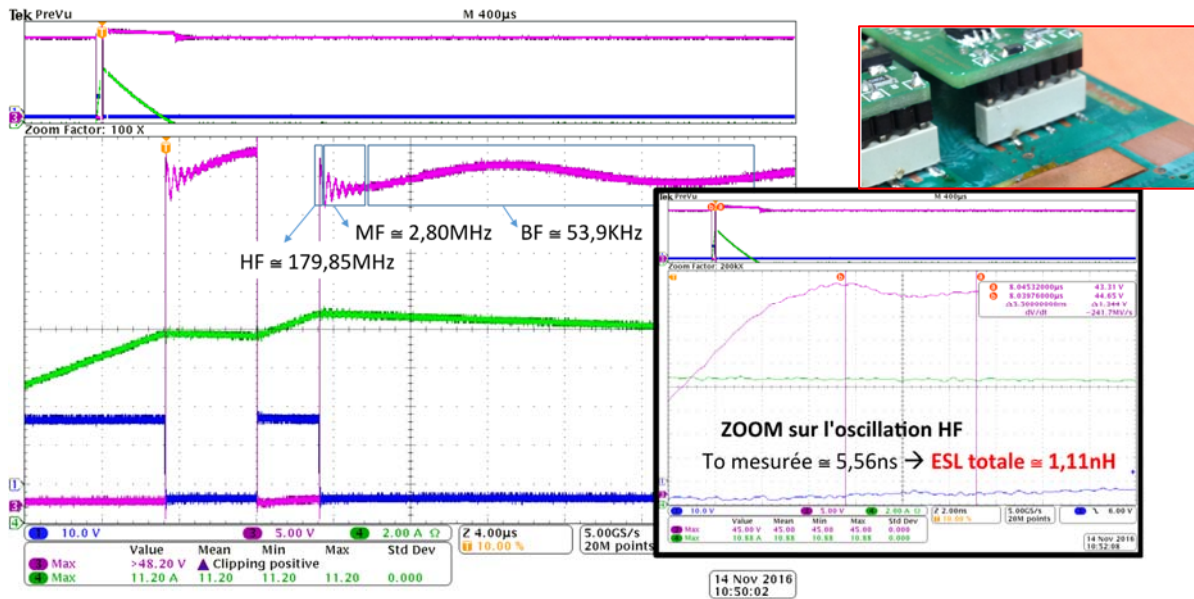


Figure 184 : caractérisation double-pulse de l'assemblage proposé en version (a) avec une interconnexion clip plan – (type-buck : 2x MOSFETs SiC CPM2-1200-0025B)

Le Tableau 13 compare les valeurs de l'inductance de maille de l'assemblage proposé avec l'assemblage de référence. L'assemblage proposé en version (a) avec clip présente la valeur d'inductance de maille la plus faible avec seulement 1,11 nH, ce qui représente une réduction d'un facteur 8,22 par rapport à la référence. En retranchant la valeur de l' $ESL_{cap}$  de 0,4 nH (deux condensateurs céramiques en parallèle) on arrive à une inductance intrinsèque propre à la connectique d'une valeur inférieure au nH. Cette très faible inductance de maille mesurée nous permet de valider la démarche d'assemblage intégrée à maille orthogonale.

Tableau 13 : valeurs des inductances de maille de commutation obtenues par la méthode de caractérisation temporelle "double-pulse" – assemblage proposé vs assemblage de référence

Cartes PCB tests		Comparaison des valeurs des inductances de maille [nH] $C_{oss}@100V = 470 \text{ pF} - 11,7 \text{ A}$ $ESL_{cap}=0,4nH$	
		$ESL_{switching\_cell}$	Facteur de performance
Assemblage proposé	version (a) (clip) – $R_{gext} = 0 \Omega$	1,11 @ 180 MHz	8,22
	version (b) (2WB) @100 V – $R_{gext} = 10 \Omega$	4,2 @ 113,5 MHz	2,42
Assemblage de référence (3WB) @100 V – $R_{gext} = 0 \Omega$		10,2 @ 72,7 MHz	1

## 2.5. Bilan

L'assemblage tri-puce intégrant des puces LAAS a été caractérisé en mode onduleur ZVS. Les formes d'ondes obtenues valident le fonctionnement de l'assemblage. Ensuite, les mailles de commutations inductives des assemblages ont été évaluées par trois méthodes. Le tableau suivant résume l'ensemble des résultats. Les trois méthodes apportent des résultats très proches. L'assemblage proposé en version (a) avec les condensateurs enfouis montre clairement sa supériorité à travers les 3 méthodes.

Tableau 14 : comparaison des valeurs d'inductances de maille pour les 3 méthodes d'évaluations

		Valeurs d'inductances de maille (nH)			
		Assemblage proposé			Assemblage de référence
		version (a)	version (b)	version (c)	
Méthodes d'évaluations	Mesure fréquentielle	2,60	2,89	2,78	10,7
	Simulation Comsol	2,78	3,64	4,64	10,6
	double-pulse	1,11	4,2	∅	10,2
		Écart moyen			
		57 %	45,8 %	93 %	20 %

## 3. ÉTUDE 2 : COMMANDE MONO-DRIVER À 3 NIVEAUX POUR BRAS D'ONDULEUR COMPLÉMENTAIRE N-P

### 3.1. Introduction

La commande mono-driver a été étudiée par simulations 2D dans le cadre de l'approche bi-puce mixte à substrats complémentaires (chapitre 3). Nous avons vu que le bras complémentaire pouvait être piloté avantageusement par un seul signal de commande à 3 niveaux ( $V_{drv+}, 0 V, V_{drv-}$ ). Cette commande a été étudiée de manière expérimentale par la réalisation d'un convertisseur prototype sur PCB avec des composants discrets du commerce.

### 3.2. Présentation du convertisseur

Le convertisseur étudié est montré en Figure 185. Le bras d'onduleur est composé d'un IGBT N *high-side* et d'un IGBT P *low-side*. Des diodes silicium à commutations rapides sont associées en parallèles des IGBT's. Le routage a été optimisé de manière à réduire la surface des mailles de commutation : les composants d'une même cellule sont montés au plus près, dos-à-dos sur le même dissipateur. Le bras est commandé par une tension de commande  $V_{drv}$  à 3 niveaux entre les points communs de grilles  $G_c$  et de sources  $E_c$ . Ce signal de commande peut être fourni par un unique driver à 3 niveaux de tensions, ou peut être généré par deux buffers à 2 niveaux de tensions décalées comme illustré en Figure 186.

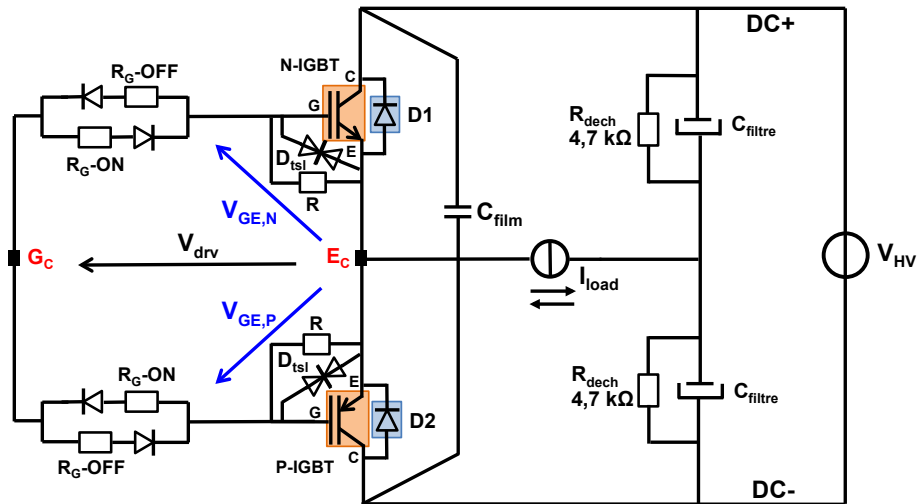


Figure 185 : schéma électrique du convertisseur à IGBT complémentaires avec son circuit de commande mono-driver – (IGBT N GT20D101/250 V/20 A – IGBT P GT20D201/-250 V/-2 0A) + (2x diodes de commutation STTH1202DI/200V/12A)

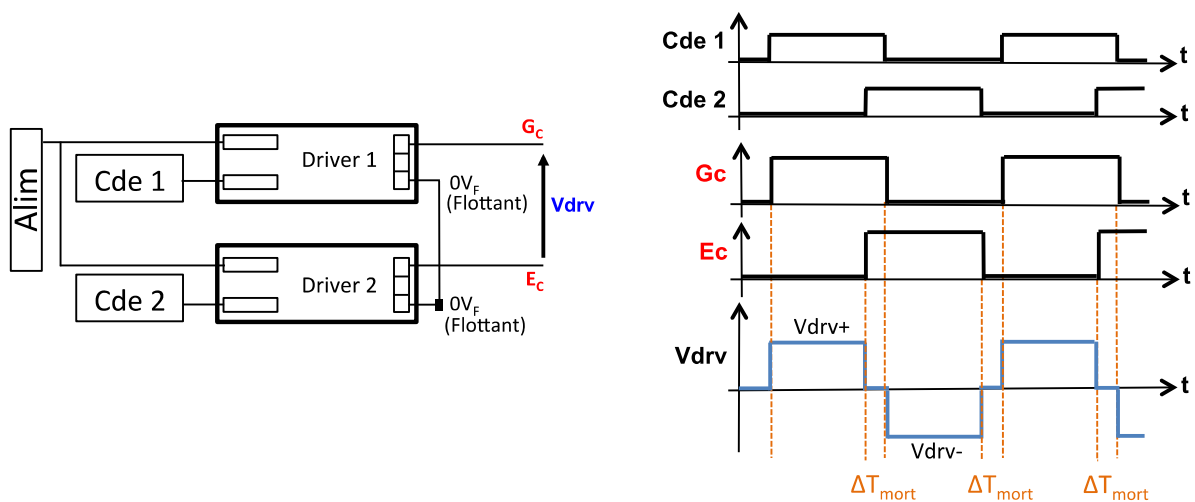


Figure 186 : principe de la commande du bras d'onduleur complémentaire à 3 niveaux

### 3.3. Résultats expérimentaux

La Figure 187 montre le dispositif expérimental pour la caractérisation du convertisseur. Le convertisseur, réalisé sur un substrat PCB, comporte le circuit de puissance ainsi que les éléments de filtrage et les dissipateurs. Les buffers sont également reportés sur la carte PCB.

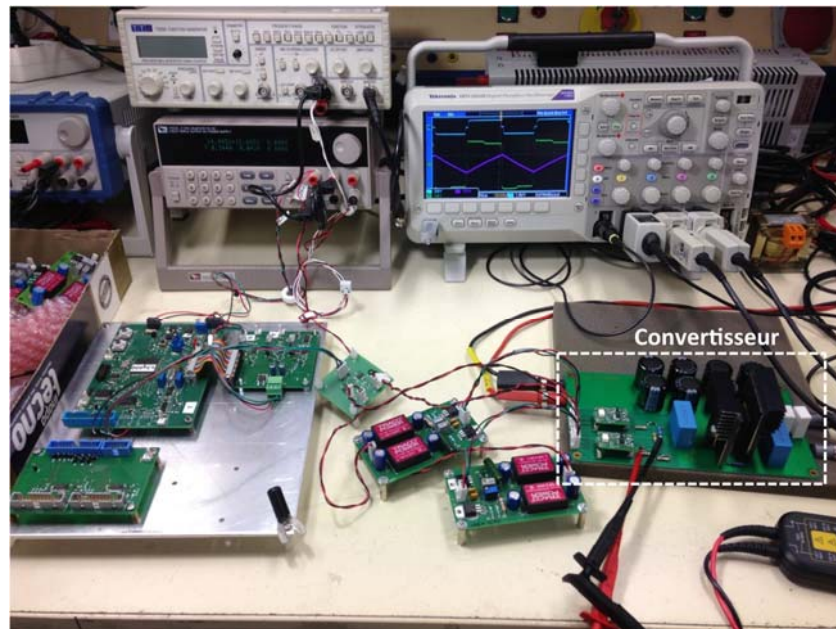


Figure 187 : banc de caractérisation du convertisseur à bras complémentaires avec sa commande

Matériels :

- 1 oscilloscope Tektronix DPO 4034B (350MHz 2,5GS/s)
- 1 alimentation continue ITECH IT6322
- 1 générateur de fonction TG550
- 2 cartes buffers
- 2 alimentations isolées pour les buffers
- 1 carte générateur de signaux
- 1 charge RL
- sondes (TMDP0200, P5205A, sonde de courant)

Le convertisseur a été caractérisé en mode onduleur demi-pont capacitif sur charge RL à une fréquence de 20 kHz. Dans un premier temps, les tests ont été réalisés avec un rapport cyclique constant  $\frac{1}{2}$  de la commande (pas de modulation). La valeur du temps mort est de 1,2  $\mu$ s. La résistance de grille est de 10  $\Omega$  à l'amorçage et de 5  $\Omega$  au blocage. Les formes d'ondes expérimentales sont montrées en Figure 188. Les deux courbes bleues  $V_{GE,N}$   $V_{GE,P}$  correspondent aux tensions de grilles des deux transistors IGBT N et

P. Nous pouvons voir sur ces courbes les 3 paliers de la tension de commande ( $V_{drv+}$ ,  $0\text{ V}$ ,  $V_{drv-}$ ). La courbe violette est celle du courant dans la charge  $I_{load}$  et la courbe verte la tension aux bornes de la charge  $V_{load}$ . La fonctionnalité globale est obtenue mais ces formes d'ondes montrent que le mode ZVS n'est pas atteint : à chaque blocage, la tension commutée n'a pas le temps d'atteindre sa valeur finale avant que le transistor homologue ne s'amorce. Il s'en suit que chaque commutation de blocage à faible  $dV/dt$  est suivie d'un amorçage à fort  $dV/dt$ , source d'oscillations sur le courant et la tension aux bornes de la charge. Les autres caractéristiques des formes d'ondes sont classiques à savoir la forme du courant et les paliers de conduction des composants visibles sur la tension de sortie.

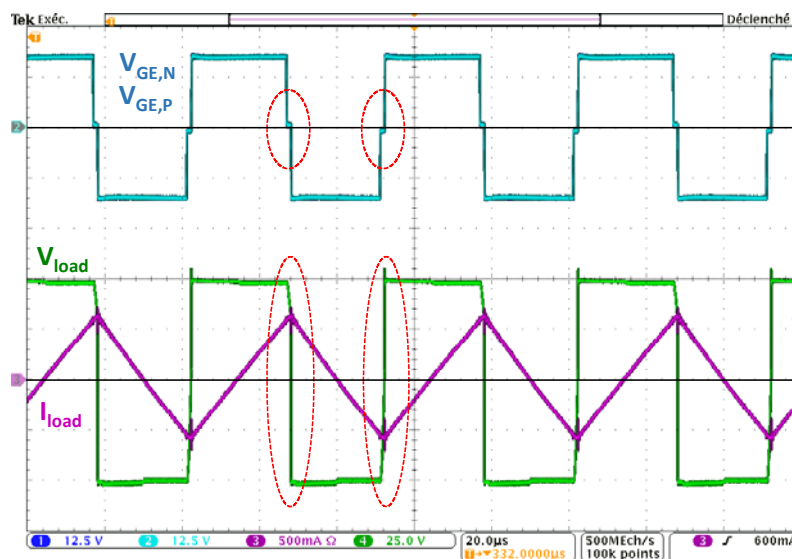


Figure 188 : formes d'ondes expérimentales (onduleur demi-pont  
 $100\text{ V}/20\text{ kHz}/R_G = 10\ \Omega/T_{mort} = 1,2\ \mu\text{s}$ )

La Figure 189 montre deux agrandissements sur les tensions de commandes des transistors. Le premier montre en détail le blocage du composant N et l'amorçage du composant P. Le second agrandissement met en évidence le blocage du composant P et l'amorçage du composant N. Nous remarquons pour les deux cas que le palier du temps mort n'est pas de valeur nulle ( $0\text{ V}$ ) mais présente un *offset* qui semble être liée à la tension de seuil de la diode en série avec la grille ( $V_{d0} \sim 0,7\text{ V}$ ). La conséquence est une réduction de la marge d'immunité statique à  $V_{th} - V_{d0}$ . Une solution consisterait à supprimer cette diode ou à placer une diode présentant un  $V_{d0}$  plus faible.

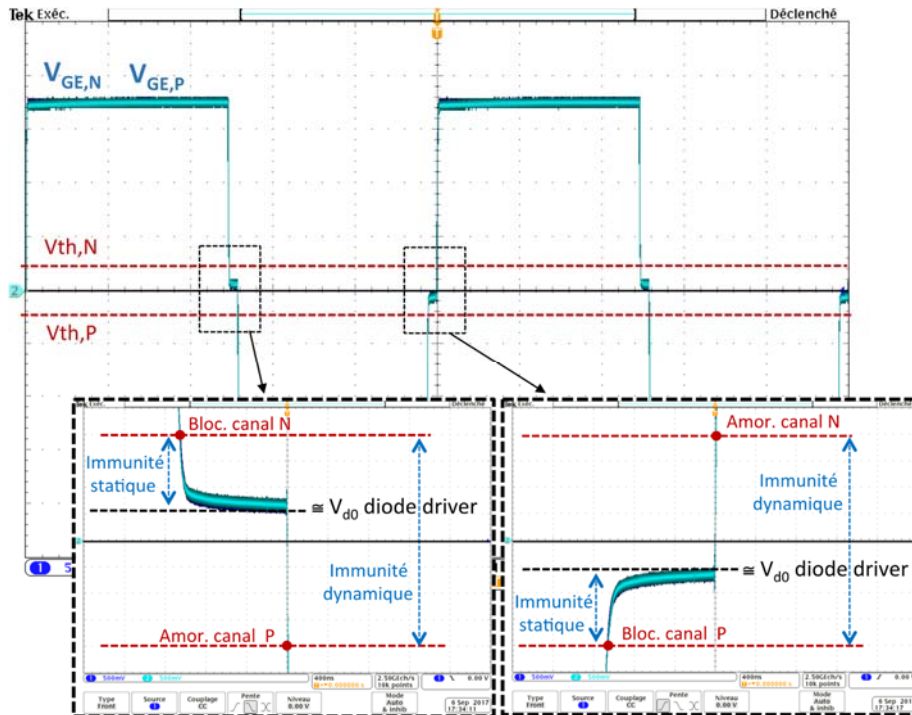


Figure 189 : analyse détaillée de la phase de temps mort

La Figure 190a montre un agrandissement sur la phase de  $dV/dt$  au blocage du N-IGBT. La Figure 190b montre un agrandissement sur la phase de  $dV/dt$  au blocage du P-IGBT. L'évolution du  $dV/dt$  est liée à la charge/décharge des capacités  $C_{oss}$  des deux transistors commutés et à la valeur du courant de la charge  $I_{load}$  ( $I_{load}/(2 \times C_{oss})$ ). Nous pouvons voir que le  $dV/dt$  évolue selon deux pentes. La première pente très lente est liée à la charge de  $C_{oss}$  du composant bloqué par un faible courant  $I_{load}$ . La seconde pente plus raide que la première est liée à l'amorçage du second transistor (décharge de  $C_{oss}$  à travers le canal du composant amorcé). On note que les valeurs de  $C_{oss}$  N et P et des  $dV/dt$  d'amorçage sont différentes pour les deux composants : l'analyse des formes d'ondes montre ainsi que  $C_{oss} N > C_{oss} P$  et  $dV/dt N < dV/dt P$ . Bien que la documentation technique donne des valeurs de capacités  $C_{oss}$  similaires pour les deux composants (TOSHIBA références GT20D101/GT20D201), cette différence pourrait s'expliquer par des surfaces et épaisseurs de puce différentes.

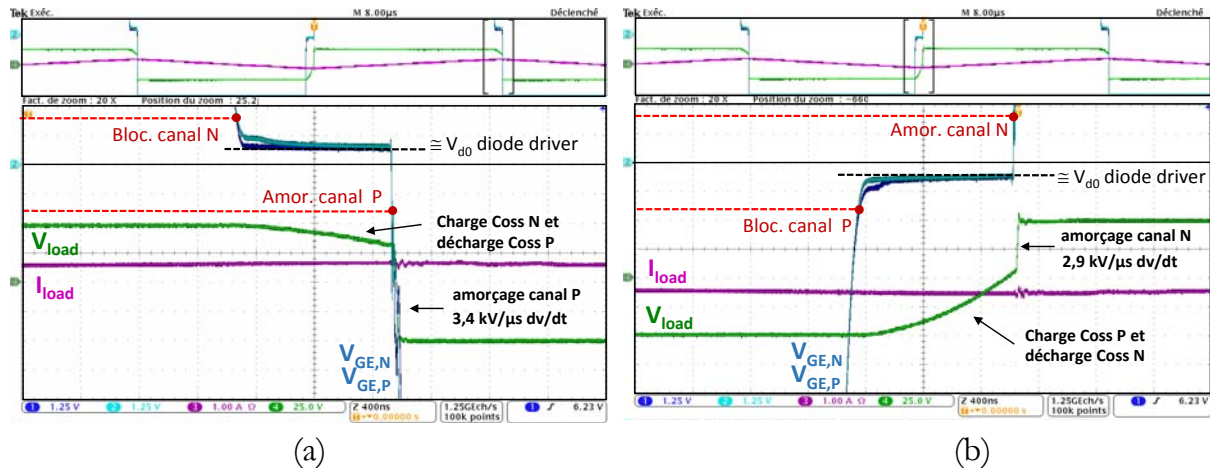


Figure 190 : mise en évidence de la séquence de  $dV/dt$  à faible courant  $I_{load}$  : (a) blocage de l'IGBT N et (b) blocage de l'IGBT P

Le convertisseur et sa commande ont également été testés en onduleur MLI (modulation de largeur d'impulsions) sous une tension de 100 V. Le signal de commande du bras est à 3 niveaux avec un palier à 0 V de  $1,2 \mu s$ . Les résultats de caractérisations, en Figure 191, montrent le bon fonctionnement de la commande et du convertisseur complet. Nous pouvons voir que le courant de charge  $I_{load}$  présente une enveloppe d'allure sinusoïdale qui évolue suivant la modulation des signaux de commandes ( $V_{GE,N,P}$ ).

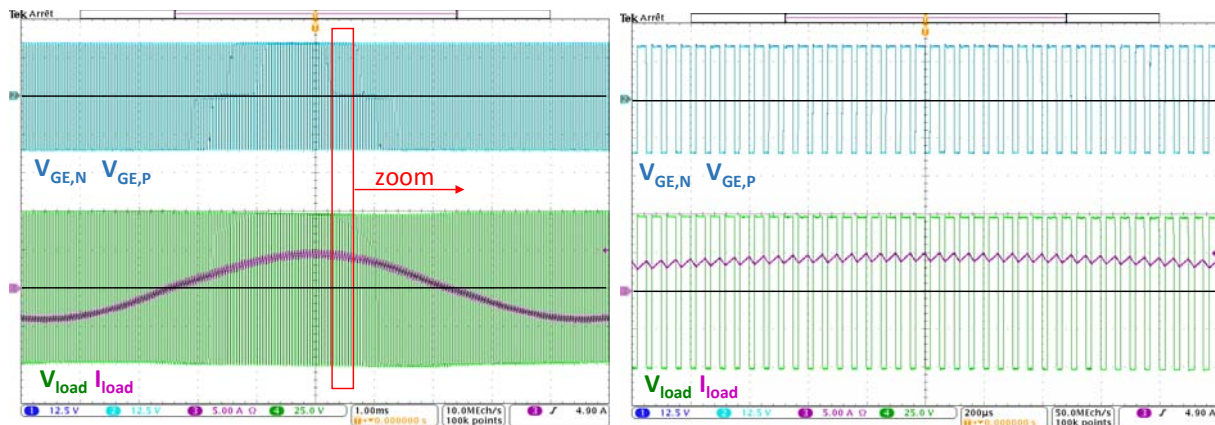


Figure 191 : caractérisation en onduleur MLI sur charge RL  
(100 V/20 kHz/ $R_G = 10 \Omega$ / $T_{mort} = 1,2 \mu s$ )

### 3.4. Bilan

La commande à 3 niveaux a été étudiée et validée de manière expérimentale sur un bras d'onduleur à composants IGBT complémentaires. Le convertisseur a été caractérisé en mode onduleur ZVS avec une MLI. Au niveau des tensions de commandes, nous avons vu que la chute de tension de la diode de grille a diminué la marge d'immunité statique qui



garantit le blocage du composant. Concernant le blocage des deux composants, nous avons relevé que ces derniers présentent des  $dV/dt$  de valeurs légèrement différentes.

#### 4. CONCLUSION DU CHAPITRE 5

Dans ce dernier chapitre, nous avons présenté les études expérimentales de deux concepts exposés en chapitre 3. La première étude a porté sur l'assemblage à maille de commutation orthogonale en version mono-faisceau et en version clip, proposée dans le cadre des approches d'intégrations bi-puces classique/mixte et tri-puce. La seconde étude a concerné la commande à 3 niveaux pour un bras d'onduleur complémentaire, proposée dans le cadre de l'approche bi-puce mixte à substrats complémentaires.

Concernant la première étude, la maille orthogonale a été étudiée dans le cadre de l'assemblage tri-puce. Le placement des condensateurs de découplage offre trois configurations d'assemblage. Les condensateurs peuvent être enfouis dans le PCB sous l'interconnexion en version (a), en surface sous l'interconnexion en version (b) ou reportés sur les côtés en version (c). Pour ces trois versions d'assemblages, l'interconnexion supérieure des puces réalisée par un unique faisceau de fils de *bonding* peut être remplacée par une interconnexion plane directe (ruban souple, clip rigide, PCB...) similaire à la technologie DLB (*Direct Lead Bonding*). À travers cette étude nous avons validé plusieurs points :

**1) Techniques de report et d'assemblage sur PCB :** pour réaliser nos assemblages PCB nous avons développé de nouvelles techniques de report de puce dont les principales étapes ont été résumées dans le Tableau 9. Les puces sont reportées sur le PCB par une colle conductrice époxy Argent (Epo-Tek H20E). Une couche isolante de Kapton fenêtrée au niveau des électrodes des puces est placée entre la puce et la plage de cuivre du PCB. Ce Kapton a plusieurs fonctionnalités, il permet : de calibrer le joint de colle dans l'ouverture du Kapton afin d'éviter un éventuel court-circuit, de protéger les composants en périphérie pour éviter le claquage prématuré (effet plaque de champ), d'aligner à la même hauteur les puces reportées. Pour la version d'assemblage à clip supérieur et à condensateurs enfouis, la face supérieure des puces est également recouverte d'un Kapton fenêtré pour accueillir le clip de cuivre. Le clip est passivé au-dessus par une couche de Kapton terminale. Les condensateurs de découplage sont placés sous le clip et enfouis dans le PCB ajouré.

**2) Caractérisations fonctionnelles des convertisseurs et des puces LAAS :** nous avons réalisé un premier convertisseur à maille orthogonale (en version (b) filaire) intégrant une puce anode commune (2 RC-IGBTs) LAAS, deux puces IGBT LAAS et deux puces diode de commutation du commerce (Figure 169).

Nous avons réalisé un second convertisseur en version de « référence » intégrant 4 puces RC-IGBT LAAS (Figure 168). Les deux convertisseurs ont été caractérisés dans un mode onduleur ZVS. Les résultats obtenus représentent la première validation expérimentale de nos puces dans une application de conversion. Nous avons également réalisé, cette fois-ci avec des puces du commerce (MOSFET SiC), un convertisseur avec une interconnexion supérieure par un clip Cu et des condensateurs enfouis dans le PCB. Ce convertisseur représentait pour nous la version la plus difficile à réaliser avec des défis technologiques mais aussi la plus prometteuse en termes de performances. Le convertisseur a pu être caractérisé dans un mode de conversion onduleur ZVS en demi-pont.

**3) Évaluation des performances des mailles par 3 méthodes :** le travail s'est poursuivi par une évaluation des performances électriques de la maille de commutation orthogonale. Pour cela, trois méthodes d'évaluations ont été utilisées et comparées. La première méthode repose sur des mesures fréquentielles à l'analyseur d'impédance Agilent 4294A et sa tête de sonde 42941A. Le diagramme fréquentiel donne les valeurs des fréquences de résonance caractéristiques qui permettent de calculer la valeur de l'inductance de maille. La mesure s'est faite aux bornes de la maille de commutation composée de fils de *bonding* et de condensateurs de découplages. La seconde méthode relève de simulations Comsol. Les structures sont dessinées en 3D et maillées puis simulées. Pour contourner les problèmes liés au maillage des structures à grands facteurs de formes, nous avons utilisé une technique de réduction de modèle basée sur l'utilisation d'éléments surfaciques (éléments coques). La troisième méthode d'évaluation est basée sur des caractérisations temporelles double-pulse. Le blocage rapide du composant permet d'exciter la maille inductive, la valeur de l'inductance de maille est extraite de la fréquence des oscillations de la tension de blocage. Pour réaliser ces tests, des convertisseurs ont été réalisés avec des composants à commutations rapides du commerce (puces MOSFET et diode Si/SiC). De manière générale, les trois méthodes d'évaluation de la maille ont fourni des résultats très proches et ont permis de mettre en avant la cohérence des méthodes. Les trois méthodes valident les très bonnes caractéristiques de la maille de commutation orthogonale en versions (a), (b) et (c). La version (a) avec les condensateurs de découplages enfouis dans le PCB présentent toutefois les meilleures performances avec une inductance de maille de quelques nH ( $< 3$  nH) évaluée par les 3 méthodes. La méthode de caractérisation temporelle double-pulse de cet assemblage nous a donné une valeur d'inductance inférieure au nH, contre une dizaine de nH pour la maille de référence.

La seconde étude a porté sur une commande unique à 3 niveaux ( $V_{\text{drv+}}, 0 \text{ V}, V_{\text{drv-}}$ ) pour un bras de pont à IGBT complémentaires N et P. Sur le principe, les deux composants complémentaires du bras ayant tous deux leur électrode d'émetteur reliées au niveau du point milieu, offre la possibilité de piloter le bras avec une tension unique entre les grilles communes et le point milieu du bras. Pour valider l'approche, un convertisseur test a été réalisé sur une carte PCB puis caractérisé dans un mode onduleur ZVS avec une MLI sous une tension de 100 V. Les formes d'ondes expérimentales ont permis de valider le bon fonctionnement du bras de pont complémentaire avec sa commande. Toutefois, l'analyse des formes d'ondes montre des valeurs de  $dV/dt$  différentes au blocage des deux composants N et P. Cette différence pourrait s'expliquer par des surfaces et des épaisseurs de puces différentes. Ce point est davantage à prendre en considération dans le cas de nos puces monolithiques complémentaires de grandes dimensions.

## 5. RÉFÉRENCES BIBLIOGRAPHIQUES

- [1] Abdelilah El Khadiry, "Architectures de cellules de commutation monolithiques intégrables sur semi-conducteurs "bi-puce" et "mono-puce" pour convertisseurs de puissance compacts", Thèse de l'Université Paul Sabatier de Toulouse, 2014.
- [2] A. El Khadiry, A. Bourennane, M. Breil and F. Richardeau "Monolithically integrated switching cells suitable for high density power conversion", (ISPS'12), Prague, pp. 222-227.
- [3] A. Lale, N. Videau, A. Bourennane, F. Richardeau and S. Charlot, "Analysis of the three-chip switching cells approach for integrated multiphase power converter combining monolithic and hybrid techniques: Experimental validation on SiC and Si power assembly prototypes," Power Electronics and Applications (EPE'15 ECCE-Europe), 2015 17th European Conference on, Geneva, 2015, pp. 1-12.
- [4] N. Videau et *al.*, "5-phase interleaved buck converter with gallium nitride transistors", Wide Bandgap Power Devices and Applications (WiPDA), 2013 IEEE Workshop on, Columbus, OH, 2013, pp. 190-193. doi: 10.1109/WiPDA.2013.6695594
- [5] N. Videau, "Convertisseurs continu-continu non isolés à haut rapport de conversion pour Piles à Combustible et Electrolyseurs - Apport des composants GaN". Thèse de doctorat de l'Institut National Polytechnique de Toulouse - INPT, 2014.
- [6] D. Reusch, J. Strydom, "Understanding the effect of PCB layout on circuit performance in a high frequency gallium nitride based point of load converter", Applied Power Electronics Conference and Exposition, 2013 IEEE, pp.649-655, 17-21 March 2013. Pages: 649 - 655, doi: 10.1109/APEC.2013.6520279
- [7] D. Reusch, J. Strydom and A. Lidow, "Monolithic Integration of GaN Transistors for Higher Efficiency and Power Density in DC-DC Converters," Proceedings of PCIM Europe 2015, International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management, Nuremberg, Germany, 2015, pp. 1-8.
- [8] Chen, Zheng; Yao, Yiyang; Boroyevich, Dushan; Ngo, Khai; Zhang, Wenli, "An ultra-fast SiC phase-leg module in modified hybrid packaging structure," Energy Conversion Congress and Exposition (ECCE), 2014 IEEE , vol., no., pp. 2880-2886, 14-18 Sept. 2014.
- [9] N. Zhang, S. Wang and H. Zhao, "Develop Parasitic Inductance Model for the Planar Busbar of an IGBT H Bridge in a Power Inverter", in IEEE Transactions on Power Electronics, vol. 30, no. 12, pp. 6924-6933, Dec. 2015.
- [10] H. Tahir, « Conception et réalisation de structures IGBTs bidirectionnelles en courant et en tension », Université Paul Sabatier - Toulouse III, thèse 2011.
- [11] Shengnan Li; Tolbert, L.M.; Wang, F.; Fang Zheng Peng, "Reduction of stray inductance in power electronic modules using basic switching cells", Energy

- Conversion Congress and Exposition (ECCE), 2010 IEEE , vol., no., pp.2686-2691, 12-16 Sept. 2010.
- [12] S. Li, L. M. Tolbert, F. Wang and F. Z. Peng, "P-cell and N-cell based IGBT module: Layout design, parasitic extraction, and experimental verification", 2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC), Fort Worth, TX, 2011, pp. 372-378.
- [13] Shengnan Li, "Packaging design of IGBT power Module using novel switching cells", thèse de University of Tennessee, 2011.
- [14] Shengnan Li; Tolbert, L.M.; Fei Wang; Fang Zheng Peng, "Stray Inductance Reduction of Commutation Loop in the P-cell and N-cell-Based IGBT Phase Leg Module", Power Electronics, IEEE Transactions on , vol.29, no.7, pp.3616-3624, July 2014.
- [15] L. Havez, E. Sarraute, R. Perrussel, Modélisation 3D de bobinages "feuillards" à l'aide d'éléments coques pour la simulation de coupleurs magnétiques haute fréquence, 8ème Conférence Européenne sur les Méthodes Numériques en Électromagnétisme, NUMELEC 2015, 3-5 Juin 2015, St Nazaire.
- [16] Zheng Chen, "Electrical Integration of SiC Power Devices for High-Power-Density Applications", Thèse de l'Université de Virginia Polytechnic, 2013.
- [17] Y. Ren et al., "Voltage Suppression in Wire-Bond-Based Multichip Phase-Leg SiC MOSFET Module Using Adjacent Decoupling Concept," in IEEE Transactions on Industrial Electronics, vol. 64, no. 10, pp. 8235-8246, Oct. 2017.
- [18] S. Tanimoto and K. Matsui, "High junction temperature and low parasitic inductance power module technology for compact power conversion systems", IEEE Trans. Electron Devices, vol. 62, no. 2, pp. 258–269, Feb. 2015.
- [19] T. Rossignol, F. Senghor, D. Risaletto, J.-M. Blaquièrre, F. Richardeau, M. Cousineau, "Switching optimization of WBG power devices on inverter leg « dv/dt – switching energy » trade off and comparison using directly the gate resistance or an additional feedback gate-drain capacitor", PCIM Europe 2013, Nuremberg, 16 – 18 may 2013.



## Conclusion générale

Le module de puissance standard hybride 2D est la technologie de référence qui domine le marché dans les applications de moyenne et forte puissance. La raison principale est sa grande maturité technologique acquise depuis de nombreuses années et la très bonne connaissance de ses modes de défaillance. Toutefois, la technologie hybride à *wire-bonding* trouve ses limites dans de nouvelles applications à très hautes performances, et dans les applications embarquées nécessitant des convertisseurs toujours plus compacts et plus légers. La technologie hybride pourrait également trouver ses limites dans les domaines à forte productivité comme le transport (automobile, avionique).

Les travaux présentés dans ce manuscrit s'inscrivent dans la thématique d'intégration du convertisseur. Nous pensons que la réalisation du convertisseur ne doit pas se résumer à l'intégration de différents éléments optimisés séparément, mais qu'il doit être conçu avec une approche composant-système. Ainsi, notre approche consiste à concevoir le convertisseur de puissance entièrement depuis le composant de puissance jusqu'au module de puissance fini par une démarche d'intégration homogène et couplée puce – circuit – assemblage. Dans cette optique, nous avons proposé différentes approches d'intégration de convertisseur permettant de faire le trait d'union entre intégration monolithique et intégration hybride, domaines si souvent opposés. Pour chacune de nos approches la démarche de conception est identique, avec la proposition de nouvelles architectures de cellules de commutation quasi ou tout monolithique sur puce silicium, et de nouvelles solutions d'assemblage innovantes tirant parti de l'intégration monolithique pour optimiser la cellule de commutation.

L'ensemble du travail réalisé durant cette thèse a porté sur trois volets :

- la proposition de nouvelles approches d'intégration et la conception des puces par simulations physiques 2D,
  - la réalisation technologique des puces en salle blanche,
  - la réalisation de démonstrateurs prototypes.
- 
- **Volet 1 – proposition de nouvelles approches d'intégration et conception des puces multi-pôles :** nous avons proposé trois nouvelles approches innovantes d'intégration de convertisseur. La première approche dite tri-puce vise à intégrer le convertisseur multi-phase sur trois puces monolithiques génériques. Cette approche peut être vue comme un prolongement de l'approche bi-puce classique. La principale différence entre ces deux approches se trouve au niveau de l'intégration de la partie *low-side* qui se fait sur deux puces et permet ainsi d'utiliser des murs P<sup>+</sup> non traversant avec des substrats épitaxiés. La seconde approche vise à intégrer le convertisseur

multi-phase sur deux puces multi-pôles à substrats complémentaires N et P. Deux configurations de convertisseurs ont été proposées. La première configuration est une intégration de la partie *high-side* sur une puce N et de la partie *low-side* sur une puce P. La seconde configuration est une intégration de la partie *high-side* sur une puce P et de la partie *low-side* sur une puce N. Dans ces approches, la cellule de commutation met en jeu une liaison filaire. La dernière approche vise à intégrer le bras d'onduleur sur deux puces complémentaires N et P, où chacune des puces intègre une fonctionnalité hacheur complète (*buck* ou *boost*). La cellule *boost* est intégrée dans la puce N et la cellule *buck* dans la puce P. Sur la base de ces deux puces élémentaires, différentes variantes de puces ont été proposées pour étendre l'approche à l'intégration de plusieurs phases du convertisseur. À la différence des premières approches, l'intégration d'une cellule complète permet de mettre en jeu une cellule de commutation dépourvue de liaison filaire, sorte de cellule ultime intra-puce.

Les différentes approches proposées reposent sur l'intégration de composants RC-IGBT. Nous avons dans ce contexte proposé une nouvelle architecture de RC-IGBT-thyristor. Les objectifs étaient de supprimer le phénomène indésirable *snaphack* de l'état passant direct, et améliorer la répartition des densités de courant dans les modes de conduction.

Les différentes puces monolithiques multi-pôles proposées ont été étudiées par des simulations physiques en 2D, à l'aide du logiciel Sentaurus™ TCAD. Dans nos puces monolithiques, la surface active de chaque section interrupteur qui compose la puce est de 1 cm<sup>2</sup>. La démarche de conception consiste dans un premier temps à valider le fonctionnement des puces en statique, pour des calibres tension/courant de 600 V–100 A/cm<sup>2</sup>. Une fois leur fonctionnement validé, les puces sont simulées dans des applications de conversion de types onduleur monophasé. La simulation de ces convertisseurs à puces multi-pôles peut prendre plusieurs jours même avec des machines de calculs performantes.

- **Volet 2 – réalisation technologique des puces silicium :** une fois le fonctionnement des puces validé par simulations, l'étape suivante consiste à les réaliser en salle blanche du LAAS, en s'appuyant sur la filière de puissance flexible. Le travail effectué en salle blanche a porté sur trois points : la réalisation de puces RC-IGBT et à anode commune, la réalisation du mur P<sup>+</sup>, la réalisation des puces à cathodes commune et mono-puces. Nous avons réalisé des puces RC-IGBT et à anode commune avec des plaquettes de 300 μm sur un procédé technologique double face. Concernant le mur P<sup>+</sup>, il a été développé une première fois dans le cadre des travaux de thèse d'Olivier Causse. Le premier objectif pour nous était de déterminer les nouveaux paramètres du mur P<sup>+</sup>, avec les nouveaux appareils et les produits



disponibles aujourd'hui en salle blanche. L'objectif second était d'optimiser cette brique pour la rendre reproductible et intégrable dans un procédé technologique complet. Les deux objectifs ont été atteints. En effet, nous avons ainsi réalisé des puces à cathode commune et mono-puce, à sections diode dans un premier temps, pour valider le concept. Ces puces intègrent la brique « mur P<sup>+</sup> » nécessaire à l'isolation des interrupteurs d'une même puce. Nous avons ainsi validé l'intégration du mur P<sup>+</sup> dans un procédé technologique complet.

- **Volet 3 – réalisation de démonstrateurs prototypes** : nous avons mené deux études sur des assemblages prototypes. La première étude a porté sur le concept de la maille de commutation orthogonale à très faible inductance de boucle. Un convertisseur prototype a été réalisé avec des puces IGBT et anode commune du LAAS. Le convertisseur a été caractérisé dans un mode onduleur ZVS de manière à s'affranchir de l'effet du courant de recouvrement des régions de diode sur d'éventuels problèmes EMI lors de l'expérimentation. Les résultats obtenus représentent la première validation expérimentale de nos puces dans une application de conversion. Un second démonstrateur a été réalisé avec des puces du commerce MOSFET SiC, une interconnexion supérieure puce à puce par un clip Cu et des condensateurs enfouis dans le PCB. Ce convertisseur représentait pour nous la version la plus difficile à réaliser avec des défis technologiques, mais aussi la plus prometteuse en termes de performances. Le convertisseur a pu être caractérisé dans un mode de conversion onduleur ZVS en demi-pont. Les performances de cette maille proposée ont été évaluées à travers trois méthodes (2 expérimentales et 1 simulation) et comparées à une maille de commutation planaire dite de référence. La maille proposée montre de très bon résultats avec une inductance de maille de quelques nH (<3 nH) évaluée par les 3 méthodes et de l'ordre du nH pour la version à clip Cu et condensateurs enfouis. Au final, la méthode de caractérisation expérimentale double-pulse de cet assemblage optimisé nous a donné une valeur d'inductance inférieure au nH (hors ESL condensateurs céramiques), contre une dizaine de nH pour la maille de référence. A travers la réalisation de ces convertisseurs, nous avons validé de nouvelles techniques de report et d'assemblages de puces. Celles-ci sont basées sur l'utilisation d'un film isolant (Kapton) qui permet notamment le report *flip-chip* et l'alignement vertical des puces pour réaliser une interconnexion supérieure plane (clip ou PCB). La seconde étude a porté sur une commande unique à 3 niveaux ( $V_{drv+}, 0V, V_{drv-}$ ) pour un bras de pont à IGBT complémentaires N et P. Sur le principe, les deux composants complémentaires du bras ayant tous deux leur électrode d'émetteur reliées au niveau du point milieu offre la possibilité de piloter le bras avec une tension unique entre les grilles communes et le point milieu du bras. Pour valider l'approche, un convertisseur test a été réalisé sur une carte PCB puis caractérisé dans un mode onduleur ZVS avec une MLI sous une tension de 100 V. Les formes d'ondes expérimentales ont permis de valider le bon fonctionnement du bras de pont complémentaire avec sa commande.

Les perspectives de ces travaux porteront principalement sur la réalisation technologique de puces monolithiques en salle blanche et d'assemblages prototypes de convertisseur. Dans le cadre de l'approche bi-puce/mono-puce, les puces à diodes intégrant le mur P<sup>+</sup> (cathode commune et mono-puce) sont en cours de réalisation sur un nouveau lot de plaquettes. Une fois le fonctionnement des puces validé, le travail se poursuivra avec la réalisation de nouvelles puces intégrant cette fois-ci des sections RC-IGBT. L'objectif est de réaliser un convertisseur bi-puce composé d'une puce à anode commune et d'une puce à cathode commune, avec une interconnexion supérieure plane de type clip Cu ou PCB et son environnement de commande confiné au-dessus. Dans le cadre de l'approche tri-puce, le mur P<sup>+</sup> non-traversant doit être développé pour réaliser les deux puces multi-pôles (multi-IGBT et multi-diode) sur des substrats épitaxiés. Un autre sujet en perspective concerne la possibilité de l'intégration totale ou partielle des condensateurs de découplages dans les puces monolithiques au niveau des zones de silicium non exploitées. Les premiers tests de réalisation monolithique d'un condensateur 3D (45 nF/mm<sup>2</sup>), dans un dispositif de puissance en utilisant la filière IGBT au LAAS, ont été menés dans le cadre de la thèse de Doctorat de F. Capy.

Les perspectives au niveau des assemblages sont les suivantes :

- Passivation volumique et protection : sous forme de gel ou de résine souple autour de l'assemblage, ce qui nécessite de concevoir un petit contenant autour des puces du clip.
- Thermique : mise en place de drains thermiques par un insert cuivre traversant le PCB dessous chaque puce. Le refroidissement double face, avec la face supérieure, ne nous semble pas une priorité au regard du ratio performance / coût technologique que cela implique.
- Commande rapprochée : intégration sur PCB des buffers, isolateurs de commande et alimentations auxiliaires isolées en priorité, sous forme d'ASIC buffer dans un second temps.
- Conception modulaire : nous réfléchissons aussi à la définition d'une brique modulaire venant intégrer l'ensemble des éléments précédents sous forme d'une carte « mezzanine » PCB ou d'un petit boîtier moulé. Cette brique comprendrait : la ou les cellules de commutation, ses filtres (découplage et filtrage HF différentiel), son driver. Elle viendrait s'enficher dans une carte support comprenant les filtres BF et le filtre de mode commun. Le dissipateur pouvant être local (configuration faibles pertes, par convection naturelle) ou mutualisé en mode de convection forcée.

## Résumé

Actuellement, le module de puissance (convertisseur de puissance) standard hybride 2D est la technologie de référence qui domine le marché de la moyenne et de la forte puissance. Ce dernier se présente sous la forme d'un boîtier à multi-puces discrètes. Les puces à semi-conducteur sont reliées entre elles par des faisceaux de wire-bonding (câblage par fils) pour former des cellules de commutation. La technologie d'interconnexion wire-bonding présente une grande maturité technologique, et ses modes de défaillance sont bien connus aujourd'hui. Toutefois, cette technologie est un facteur limitant en termes de performances électrique et thermomécanique, d'intégrabilité tridimensionnelle et de productivité.

Ces travaux de thèse ont pour objectif de proposer et d'étudier de nouvelles architectures de convertisseurs de puissance très intégrés. Comparée à la technologie hybride, dite de référence, les architectures proposées visent à un degré d'intégration plus poussé, avec un effort d'intégration partagé et conjoint au niveau semi-conducteur (intégration monolithique) et au niveau assemblage (intégration hybride). L'intégration monolithique consiste à intégrer les interrupteurs formant les cellules de commutation dans de nouvelles architectures de puces, passant ainsi de la notion de puce dipôle à celle de macro-puce multi-pôle. L'intégration hybride repose sur le développement de nouvelles technologies de report et d'assemblage de ces macro-puces.

Pour valider les trois nouvelles architectures d'intégrations proposées, la démarche a consisté dans un premier temps à étudier et valider le fonctionnement des nouvelles puces par des simulations Sentaurus™ TCAD. Ensuite, les puces multi-pôles ont été réalisées en s'appuyant sur la filière IGBT disponible dans la plateforme de micro-fabrication du LAAS-CNRS. Pour finir, les puces ont été reportées sur des cartes PCB, afin de réaliser des circuits de conversions prototypes. La maille de commutation très intégrée proposée présente une inductance parasite inférieure au nanohenry, ce qui est remarquable comparée à ce qui est présenté dans l'état de l'art (env. 20 nH).

### Mots clés :

Convertisseur de puissance multi-phase, cellule de commutation, intégration monolithique, intégration hybride, Reverse Conducting-IGBT (RC-IGBT), simulation Sentaurus™ TCAD, carte PCB prototype, microélectronique, microfabrication

## Abstract

Currently, the standard 2D hybrid power module (power converter) is the reference technology for the medium and high power market. This hybrid power module is a discrete multi-chip case. The semi-conductor chips are interconnected by wire-bonding to form switching cells. The wire-bonding interconnection technology is a limiting factor in terms of electrical and thermomechanical performances, three-dimensional integrability and productivity.

The aim of this thesis is to study new architectures of very integrated power converters. Compared to the so-called hybrid reference technology, the proposed architectures aim at a greater degree of integration, with an integration at both the semi-conductor level (monolithic integration) and the packaging level (hybrid integration). Monolithic integration consists in integrating switching cells into new multi-terminal macro-chip architectures. Hybrid integration consists in developing of new technologies to assemble these macro-chips.

To validate the different proposed integration architectures, the first step was to study and validate the operating modes of the new chips by Sentaurus™ TCAD simulations. Then, the multi-terminal chips were realized in the micro and nanotechnology platform of LAAS-CNRS laboratory. Finally, the chips were bonded on PCB substrates to realize power converter circuit prototypes. The highly integrated switching loop presents a stray inductance loop lower than one nanohenry, wich is an important improvement as compared to the values reported in literature (about 20 nH).

### **Keywords:**

Multi-phase power converter, power switching cell, monolithic integration, hybrid integration, Reverse Conducting-IGBT (RC-IGBT), Sentaurus™ TCAD simulation, PCB prototype, microelectronics