

**Universidade do Minho**  
Escola de Engenharia

Vitor Filipe Henriques da Silva

**Neuromodulador implantável com  
alimentação e comunicação sem fios em  
tecnologia RFCMOS 180 nm**

Dissertação de Mestrado

Mestrado Integrado em Engenharia Biomédica

Ramo de Eletrónica Médica

Trabalho efetuado sob a orientação do

Professor Doutor Paulo Mateus Mendes

Outubro de 2017



## DECLARAÇÃO

Nome: Vitor Filipe Henriques da Silva

Endereço eletrónico: silvavitor4@hotmail.com      Telefone: 925993848

Bilhete de Identidade/Cartão do Cidadão: 14292861

Título da dissertação: Neuromodulador implantável com alimentação e comunicação sem fios em tecnologia RFCMOS 180 nm

Orientador/a/es:

Professor Doutor Paulo Mateus Mendes

Ano de conclusão: 2017

Mestrado Integrado em Engenharia Biomédica

É AUTORIZADA A REPRODUÇÃO INTEGRAL DESTA DISSERTAÇÃO APENAS PARA EFEITOS DE INVESTIGAÇÃO, MEDIANTE DECLARAÇÃO ESCRITA DO INTERESSADO, QUE A TAL SE COMPROMETE.

Universidade do Minho, \_\_\_\_ / \_\_\_\_ / \_\_\_\_\_

Assinatura:



## AGRADECIMENTOS

Em primeiro lugar quero agradecer ao meu orientador, o Professor Doutor Paulo Mateus Mendes por toda a sua paciência e pelas inúmeras horas dedicadas ao meu trabalho, ajudando-me assim na conclusão desta dissertação e consequentemente ciclo de estudos. Quero agradecer-lhe ainda pela integração no projeto de investigação PTDC/EEI-TEL/5250/2014, POCI-01-145-FEDER-16695.

Aos meus pais, Henrique e Angelina quero também deixar um grande obrigado, pois sei que foi grande o investimento e esforço para que eu hoje consiga acabar este ciclo de estudos. Agradeço-vos ainda mais pelos valores que me transmitiram e educação que me deram, pois esses foram os pilares para o meu sucesso e para o meu bem-estar para com a vida. Prezo muito a proximidade que tenho para com vocês. Ao meu irmão Miguel, quero também deixar um obrigado por todas as vezes que disseste que não me ajudavas, mas no fim lá acabavas por ajudar, sendo que lá no fundo, até gostamos um do outro.

Aos meus amigos do laboratório de Gualtar quero deixar o meu mais sincero obrigado pelo companheirismo, brincadeiras e conversas sempre produtivas de lanche e almoço. Ao Hugo quero deixar um agradecimento especial pela sua ajuda sempre que precisei fazendo com que esta dissertação conseguisse chegar a um bom porto, a ti o meu mais sincero obrigado. Ao Ivo quero também agradecer pelo companheirismo e boa disposição criada. Por fim quero deixar um grande agradecimento ao João, companheiro desde o meu primeiro ano em Braga, e a todo o pessoal que frequentava a nossa casa, tendo proporcionado um grande ambiente para a realização desta dissertação e fazendo com que tudo fosse bastante mais fácil.



## RESUMO

Existem diversas patologias associadas ao cérebro que não podem ser tratadas com o recurso a medicamentos. Para estas, é necessária a utilização de outro tipo de abordagens de tratamento. Um exemplo de uma doença neurológica que apresenta resistência a medicamentos é a epilepsia. Vários são os métodos alternativos para o tratamento desta doença, sendo a modulação térmica um deles. Apesar da elevada eficiência deste método, existem poucos dispositivos capazes de realizar este tipo de modulação, sendo que a maioria se encontra em investigação. Posto isto, é necessária a criação de sistemas de controlo para este tipo de modulação.

O objetivo desta dissertação passa pela elaboração de um *chip* que possa ser usado como controlador de um neuromodulador térmico. Este chip controla a saída de uma fonte de corrente, limitando a corrente que atravessa o *Peltier*. No desenvolvimento do chip considerou-se que o sistema possui uma bateria como elemento armazenador de energia, sendo possível o seu carregamento sem fios, através da técnica de *RF powering*. Este dispositivo possui também comunicação bidirecional sem fios (com modulação OOK). Tanto as comunicações sem fios como o carregamento foram projetados para operar a uma frequência de 2 GHz.

O chip foi fabricado utilizando a tecnologia UMC 0.18  $\mu\text{m}$  CMOS e apresenta as dimensões de 1.5 x 1.5  $\text{mm}^2$ . O seu consumo é de 17 mW quando se encontra com as suas funcionalidades reduzidas (emissor e fonte de corrente desligados) e 222 mW com todas as suas funcionalidades ativas.

Este tipo de dispositivos apresenta diversas limitações e devem ser desenvolvidos tendo em conta alguns requisitos tais como: dimensão e capacidade de integração, consumo de energia, elemento armazenador de energia, fonte de energia, comunicação sem fios e o tipo de modulação.

O chip desenvolvido, apesar de respeitar todos os requisitos referidos anteriormente, apresenta algumas características que ainda não se encontram otimizadas. Tal será feito numa próxima versão deste sistema. Adicionalmente, este dispositivo será implantado e testado em ratos.



## ABSTRACT

There are several pathologies associated with the brain that cannot be treated with medication. For this type of pathologies, it is necessary to use other approaches. An example of a neurological disease that is drug resistant is epilepsy. There are several alternative methods for the treatment of this disease, with thermal modulation being one of them. Despite of the high efficiency of this method, there are few devices capable of performing this type of modulation, and most are under investigation. Therefore, it is necessary to create control systems for this type of modulation.

The aim of this dissertation is to elaborate a chip that can be used as a thermal neuromodulator controller. This chip controls a current source which has its output current regulated, limiting the current that flows through the Peltier. In the development of this chip it was considered that the system has got a battery as the energy storage element, being possible to charge it wirelessly through RF powering. This device also has got bidirectional wireless communication (with OOK modulation). Both wireless communications and charging were designed to operate at a frequency of 2 GHz.

The chip was fabricated using UMC 0.18  $\mu\text{m}$  CMOS technology and measures 1.5 x 1.5  $\text{mm}^2$ . Its power draw is 17 mW when it has its functionalities reduced (emitter and current source turned off) and 222 mW with all its functionalities active.

This type of device has several limitations and must be developed taking into account certain requirements such as: size and integration capacity, power consumption, energy storage element, power source, wireless communication and type of modulation.

The developed chip, despite complying with all the requirements mentioned above, presents some features that are not yet optimized and should be optimized in an upcoming version of it. Furthermore, this device will be implanted and tested in rats.



# ÍNDICE

Agradecimentos .....	iii
Resumo.....	v
Abstract.....	vii
Índice.....	ix
Lista de Figuras.....	xiii
Lista de Tabelas .....	xviii
Lista de abreviaturas e acrónimos.....	xix
Capítulo 1 Introdução .....	1
1.1 Patologias neurológicas resistentes à medicação.....	1
1.1.1 Epilepsia.....	1
1.1.2 Neuromodulação .....	2
1.2 Dispositivos biomédicos sem fios.....	5
1.2.1 Alimentação remota .....	6
1.2.2 Transmissão de energia sem fios .....	7
1.3 Motivação e objetivo da dissertação .....	8
1.4 Contribuições .....	9
1.5 Estrutura da dissertação .....	10
Capítulo 2 Microdispositivos implantáveis sem fios.....	13
2.1 Dispositivos biomédicos sem fios e seus requisitos .....	13
2.1.1 Volume e integrabilidade dos dispositivos .....	13
2.1.2 Consumo de energia.....	16
2.1.3 Elemento armazenador de energia .....	18
2.1.4 Fonte de energia.....	19
2.1.5 Comunicação sem fios e tipos de modulação .....	20
2.2 Implantes neuronais .....	23
2.3 Arquitetura para um dispositivos implantável sem fios.....	26
Capítulo 3 Projeto de um neuromodulador.....	29
3.1 Introdução .....	29

3.2	Arquitetura .....	29
3.2.1	Visão global .....	29
3.2.2	Blocos de radiofrequência.....	31
3.2.3	Blocos de baixa frequência .....	32
3.3	Análise de desempenho do Emissor .....	33
3.4	Análise de desempenho do Recetor .....	34
3.4.1	Amplificador de baixo ruído (LNA).....	36
3.4.2	Detetor de envolvente .....	37
3.4.3	Bloco de amplificação.....	38
3.4.4	Comparador.....	39
3.5	Conversor RF-DC .....	41
3.6	Análise de desempenho da gestão de energia.....	44
3.6.1	Arquitetura do bloco de gestão da bateria.....	44
3.6.2	Gestão do carregamento da bateria.....	46
3.6.3	Carregador de bateria.....	47
3.7	Unidade Lógica.....	49
3.7.1	Protocolo de controlo.....	49
3.7.2	Descodificador .....	50
3.8	Fonte de corrente programável .....	53
3.8.1	Arquitetura da fonte .....	53
3.8.2	Bloco de configuração das fontes de corrente .....	55
3.8.3	Bloco para reiniciar as fontes configuradas .....	57
3.8.4	Bloco para ligar e desligar as fontes .....	58
3.9	Blocos auxiliares.....	58
3.9.1	Bloco de leitura das fontes programadas .....	58
3.9.2	Sinal de relógio .....	59
3.9.3	Circuito de wake-up.....	62
3.10	Consumo do sistema implementado .....	64
3.11	Conclusões .....	65
Capítulo 4	<i>Layout e desempenho pós-layout</i> .....	66

4.1	Introdução .....	66
4.2	Layout do emissor.....	67
4.3	Layout do recetor .....	69
4.3.1	Layout do LNA.....	69
4.3.2	Layout final do bloco recetor.....	71
4.4	Layout do conversor RF-DC.....	72
4.5	Layout dos blocos da gestão de energia.....	72
4.5.1	Bloco de gestão da bateria .....	73
4.5.1	Carregador da bateria.....	74
4.6	Layout da unidade lógica.....	74
4.7	Layout da fonte de corrente programável .....	75
4.8	Layout dos blocos auxiliares.....	76
4.8.1	Circuito de wake up .....	76
4.9	Layout final do chip.....	77
4.10	Conclusões .....	79
Capítulo 5	Testes e resultados .....	81
5.1	Introdução .....	81
5.1.1	Setup de caracterização.....	81
5.2	Teste dos blocos de radiofrequência.....	83
5.2.1	Teste do emissor .....	83
5.2.2	Teste do recetor.....	84
5.2.3	Teste do conversor RF-DC .....	85
5.3	Teste dos blocos de baixa frequência.....	86
5.3.1	Teste do Bloco gestão da bateria .....	86
5.3.2	Teste da unidade lógica.....	87
5.4	Conclusões .....	88
Capítulo 6	Conclusões e trabalho futuro .....	89
6.1	Conclusões .....	89
6.2	Trabalho futuro .....	90

Referências.....	91
Anexo 1- Imagem detalhada do <i>Chip</i> planejado.....	95

## LISTA DE FIGURAS

Figura 1- <b>a)</b> Dispositivo desenvolvido por Fugi et al [7] constituído por um Peltier e o heatsink. <b>b)</b> Implantação do dispositivo de a) no córtex cerebral de um humano.....	4
Figura 2- <b>a)</b> Medidor de tensão arterial desenvolvido pela Suntech e pela Harvard Sensor Network [13] <b>b)</b> Dispositivo que adquire o ECG e envia para uma estação base através de comunicação sem fios <b>c)</b> Bandolete que adquire sinais de EEG com transmissão para uma estação base sem fios [14].....	6
Figura 3- Chip elaborado no âmbito desta dissertação. ....	10
Figura 4- <b>a)</b> Esquema geral do funcionamento do dispositivo descrito em [21]. <b>b)</b> Exemplo de peça de roupa para integração do dispositivo descrito em [21]. ....	14
Figura 5- <b>a)</b> Chip desenhado para controlo do implante descrito em [22]. <b>b)</b> Esquema e fotografia do medidor de pressão.....	15
Figura 6- <b>a)</b> Fotografia do chip desenvolvido em [23] visto ao microscópio <b>b)</b> Implante para a monitorização da pressão intraocular <b>c)</b> Esquema ilustrando onde será colocado o implante [23].....	15
Figura 7- Chip desenvolvido em [24]. ....	15
Figura 8- Dispositivo totalmente integrado para o controlo da pressão intraocular desenvolvido em [25].....	17
Figura 9- Visão geral do sistema implantável para medição do eletrocardiograma reportado em [26]. ....	17
Figura 10- Chip desenvolvido em [28]. ....	18
Figura 11- <b>a)</b> Esquema geral do funcionamento do dispositivo proposto em [29]. <b>b)</b> Chip desenvolvido em [29]. <b>c)</b> Sistema eletrónico desenvolvido <b>d)</b> Sistema eletrónico com o sistema de medição da pressão sanguínea. ....	18
Figura 12- Tipos de modulação [30]. ....	21
Figura 13- <b>a)</b> Modulação ASK [29]. <b>b)</b> Modulação FSK [33]. <b>c)</b> Modulação PSK [34]. ....	22
Figura 14- Componentes do sistema de monitorização de glicose descrito por Mortellaro em [35]. ....	23
Figura 15- Estrutura do sistema apresentado em [36] e [37]. ....	24
Figura 16- Chip desenvolvido em [39]. ....	25
Figura 17- <b>a)</b> Esquema de funcionamento do sistema apresentado em [40]. <b>b)</b> Microsistema apresentado em [40]. <b>c)</b> Monitor de pressão apresentado em [40] na sua versão final. .	26

Figura 18- <b>a)</b> Esquema geral de um microdispositivo sem fios utilizando uma bateria como elemento armazenador [41].	<b>b)</b> Esquema geral de um microdispositivo sem fios sem elemento armazenador [20].	27
Figura 19- Esquema geral do chip desenvolvido.		30
Figura 20 <b>a)</b> -Arquitetura do emissor utilizado <b>b)</b> Exemplo de funcionamento do emissor. (--sinal de controlo, --saída emissor) <b>c)</b> Interruptor de RF implementado <b>d)</b> Comparação entre o sinal gerado e a onda quadrada enviada. A onda enviada não é totalmente quadrada uma vez que os transístores implementados no buffer são demasiado grandes, possuindo maior tempo de resposta, deformando a onda (sinal gerado pelo VCO, saída do emissor ).		34
Figura 21- Arquitetura do recetor implementado.		35
Figura 22- Funcionamento geral do recetor (--sinal modulante, --sinal modulado, --saída do LNA, --saída detetor de envolvente, -- saída recetor).		35
Figura 23- LNA implementado em [44].		36
Figura 24- Saída do LNA para uma entrada de 270mV (--entrada LNA, saída LNA).		37
Figura 25- Funcionamento do detetor de envolvente (--saída LNA, --saída detetor envolvente).		38
Figura 26- Sinal resultante saída do detetor de envolvente amplificado (--saída detetor de envolvente, --saída amplificador).		39
Figura 27. Esquema geral do bloco comparador.		40
Figura 28- Comparação entre o sinal utilizado para a modulação e o sinal de saída do bloco emissor (--sinal modulante, -- saída recetor).		40
Figura 29- Comparação entre o sinal utilizado como referência para ser modulado, a saída do bloco amplificador e saída do bloco comparador (--sinal modulante, --saída amplificador, --saída recetor).		41
Figura 30- <b>a)</b> diode-connected MOSFET descrito em [46] <b>b)</b> retificador implementado constituído por três andares.		42
Figura 31- Gráfico tensão de entrada do RF-DC vs. tensão de saída do RF-DC.		43
Figura 32- Gráfico tensão de entrada do RF-DC vs. tensão de saída do RF-DC para diferentes cargas ligadas em paralelo.		43
Figura 33- Arquitetura do Bloco Gestão de Bateria, por simplificação não se apresenta o regulador de tensão utilizado para alimentar o schmitt trigger e o inversor.		45

Figura 34- <b>a)</b> Funcionamento do bloco gestão de bateria (-- tensão na bateria, -- saída do bloco gestão da bateria <b>b)</b> Funcionamento do regulador de tensão implementado (-- tensão de entrada, --saída do regulador de tensão).....	47
Figura 35- <b>a)</b> Amplificador de transimpedância <b>b)</b> Andar de ganho em corrente <b>c)</b> Detetor de fim de carga.....	48
Figura 36- Códigos a enviar para realizar as diferentes ações.....	50
Figura 37-Esquema geral do descodificador.....	51
Figura 38- Latch SR ligada a cada saída do conversor série paralelo para que seja possível conferir memória ao descodificador. ....	52
Figura 39- Exemplo da seleção da saída B (D0-0 D1-1 D2-0) (-- sinal de relógio, -- sinal de entrada (Data), --D0, --D1, --D2, --A, --B, --C, --D, --RESET )......	52
Figura 40- Exemplo do sinal aplicado aos transístores PMOS de controlo descritos anteriormente para ativar as fontes de corrente seleccionadas. As fontes a ligar neste caso serão a F8, F7, F6 e F3.(sinal para ligar as fontes: ( --F1, --F2, --F3, --F4, --F5, --F6, --F7, --F8)......	54
Figura 41- Exemplo dos espelhos de corrente utilizados como fontes de corrente com os transístores PMOS de controlo. ....	54
Figura 42- Configuração das fontes F8, F7, F6 e F3 para que possam posteriormente ser ligadas. Como é possível observar, após a seleção da saída B no descodificador a palavra que transita para esta saída é 11100100. O bit mais significativo corresponde à configuração da fonte F8 e o menos significativo a F1 (--B, --F1, --F2, --F3, --F4, --F5, --F6, --F7, --F8).....	56
Figura 43- Exemplo do funcionamento do circuito de configuração das fontes, evidenciando o sinal seleccionado no descodificador. Quando se selecciona no descodificador a saída B as fontes são ativadas (--D0, --D1, --D2, --F1, --F2, --F3, --F4, --F5, --F6, --F7, --F8).....	56
Figura 44- Funcionamento do bloco que faz RESET ao bloco de programação das fontes. Como é possível observar, inicialmente as fontes foram programadas (F8-F1). O sinal ENABLE (sinal que ativa as latches SR) encontra-se no nível lógico 1 quando se pretende programar as fontes, isto é, quando se pretende guardar valores do conversor série paralelo para as latches SR. Quando este sinal passa para o nível lógico 0 as latches guardam os valores que se encontram na sua saída. Após a ativação do circuito um sinal de RESET é gerado, permitindo fazer RESET às latches SR e ao sinal que vai permitir que seja possível voltar a programar as fontes ( --F1, --F2, --F3, --F4, --F5, --F6, --F7, --F8, --RESET, --ENABLE).....	57

Figura 45- <b>a)</b> Arquitetura do bloco ligar fontes. <b>b)</b> Exemplo do sinal gerado para ligar e desligar as fontes.....	58
Figura 46- <b>a)</b> Arquitetura do bloco de controlo do emissor <b>b)</b> Exemplo do sinal gerado para o envio do sinal de controlo do emissor para que este possa ser enviado através de comunicação sem fios. A informação das fontes que se encontram ligadas são as fontes F8, F7, F6 e F3. Assim a palavra a enviar é: 111110010011. ....	59
Figura 47- Sinal de relógio gerado para o funcionamento dos blocos descritos anteriormente. ....	60
Figura 48- Esquema geral do circuito implementado para gerar o sinal de relógio, sendo as entradas de controlo os sinais gerados pelos diferentes blocos para desligar o sinal de relógio (D-dados recebidos do recetor, PROG-sinal gerado para parar o sinal de relógio pelo bloco programar fontes, RES-sinal gerado para parar o sinal de relógio pelo bloco programar reiniciar as fontes, COM-sinal gerado para parar o sinal de relógio pelo de leitura das fontes, ON/OFF-sinal gerado para parar o sinal de relógio pelo bloco para ligar e desligar as fontes). ....	61
Figura 49- Sinal enviado para a ligação do sinal de relógio. Os sinais observados são: sinal desmodulado, isto é, sinal enviado para que seja possível a realização de uma ação, sinal aplicado na entrada do flip-flop T e sinal de relógio gerado, respetivamente. (--sinal desmodulado, --sinal entrada flip flop T, --sinal de relógio). ....	62
Figura 50- Bloco geral do relógio implementado para ligar e desligar o chip. ....	63
Figura 51- Sinal gerado para ligar o circuito consoante o sinal de controlo aplicado(--saída regulador de tensão controlada pelo sinal de controlo,--sinal de controlo). ....	64
Figura 52- Layout do emissor (dimensões 144 x 66 $\mu\text{m}^2$ ). ....	68
Figura 53- Layout dos buffers de saída presentes no emissor para aumentar a potência do sinal de saída (dimensões 306 x 50 $\mu\text{m}^2$ ). ....	68
Figura 54- Layout do LNA implementado. ....	70
Figura 55- Layout do bloco LNA +amplificadores. ....	71
Figura 56- Layout do recetor (dimensões 1234 x 334 $\mu\text{m}^2$ ). ....	71
Figura 57- Layout do bloco RF-DC (dimensões 219 x 136 $\mu\text{m}^2$ ). ....	72
Figura 58- Layout do bloco gestão da bateria (dimensões 317 x 56 $\mu\text{m}^2$ ). ....	73
Figura 59- Layout do carregador implementado (dimensões 25 x 56 $\mu\text{m}^2$ ). ....	74
Figura 60- Layout da unidade lógica (dimensões 872 x 547 $\mu\text{m}^2$ ). ....	75
Figura 61- Layout das fontes de corrente (dimensões 166.3 x 77 $\mu\text{m}^2$ ). ....	76

Figura 62- Layout do relógio implementado para ligar o chip (dimensões 90 x 290 $\mu m^2$ )....	77
Figura 63- Layout do chip final (a legenda de cada pad encontra-se na Figura 73 do Anexo 1). .....	78
Figura 64- Layout do chip final evidenciando os blocos. ....	79
Figura 65- <b>a)</b> Fotografia do chip fabricado <b>b)</b> Layout do chip final.....	81
Figura 66- <b>a)</b> Fonte de alimentação para o teste dos circuitos <b>b)</b> setup montado para o teste do chip elaborado <b>c) e d)</b> probes de teste e de radiofrequência <b>e)</b> probe de radiofrequência <b>f)</b> osciloscópio <b>g)</b> gerador de sinais de radiofrequência <b>h)</b> analisador espectral. ....	82
Figura 67- <b>a)</b> Tapete e pulseira com proteção ESD <b>b)</b> Circuito implementado com díodos para proteção ESD. ....	83
Figura 68- <b>a)</b> Espectro do sinal emitido pelo bloco modulador <b>b)</b> fotografia da localização das probes de teste do bloco modulação. ....	84
Figura 69- Fotografia do setup utilizado para o teste do bloco desmodulador, evidenciando o sinal recebido. ....	85
Figura 70- <b>a)</b> Colocação das probes de teste para o teste dos RF-DCs. <b>b)</b> Fotografia do setup utilizado para o teste dos conversores RF-DC. ....	86
Figura 71- <b>a)</b> Funcionamento do bloco gestão de bateria <b>b)</b> fotografia da localização das probes de teste do bloco gestão de bateria. ....	87
Figura 72- Sinal de relógio gerado pelo chip.....	88
Figura 73- Layout do chip final .....	95

## LISTA DE TABELAS

Tabela 1- Saída selecionada consoante os bits selecionados no decodificador sendo: A-fazer RESET ás fontes B-Programar fontes C-Ligar e desligar fontes D-Enviar fontes que se encontram ligadas. ....	51
Tabela 2- Consumo geral de cada bloco do chip descrito anteriormente, sendo em alguns casos o primeiro valor corresponde ao consumo do bloco parcialmente desligado e o segundo corresponde ao bloco em pleno funcionamento. ....	65

## LISTA DE ABREVIATURAS E ACRÓNIMOS

<b>AC</b>	<i>Alternating Current</i>
<b>ASK</b>	<i>Amplitude-shift keying</i>
<b>CMOS</b>	<i>Complementary metal oxide semiconductor</i>
<b>MOSFET</b>	<i>Metal oxide semiconductor field effect transistor</i>
<b>DC</b>	<i>Direct Current</i>
<b>ECG</b>	Electroencefalograma
<b>EEG</b>	<i>Eletroencefalograma</i>
<b>ESD</b>	<i>Electrostatic Discharge</i>
<b>FSK</b>	<i>Frequency-shift keying</i>
<b>LNA</b>	<i>Low Noise Amplifier</i>
<b>MRI</b>	<i>Magnetic Resonance imaging</i>
<b>OOK</b>	<i>On-Off keying</i>
<b>PSK</b>	<i>Phase-shift keying</i>
<b>RF</b>	Radiofrequência
<b>SAR</b>	<i>Specific Absorption Rate</i>
<b>VCO</b>	<i>Voltage controlled oscillator</i>



# Capítulo 1 INTRODUÇÃO

A medicina tem evoluído bastante nas últimas décadas devido essencialmente ao desenvolvimento de outras áreas como as engenharias, materiais e biotecnologia. Jiang e Zhou constataram que atualmente cerca de 8% a 10% dos Americanos e 5% a 6% das pessoas que vivem nos países industrializados já utilizaram dispositivos médicos implantáveis com o intuito de aumentar a sua qualidade de vida [1]. Atualmente, uma das maiores limitações destes dispositivos são o seu tamanho excessivo bem como a sua limitada autonomia. Um novo esforço surge atualmente na sua miniaturização, fazendo também com que estes consumam menos energia [2].

## *1.1 Patologias neurológicas resistentes à medicação*

---

O cérebro é o órgão mais complexo presente no corpo humano, sendo ele que controla tudo o que aí acontece. Existem alterações no funcionamento deste órgão que podem levar ao aparecimento de patologias. Algumas destas patologias neurológicas apresentam resistência ao tratamento com medicamentos. Um exemplo de uma patologia neurológica que apresenta variantes resistentes a medicamentos é a epilepsia.

### *1.1.1 Epilepsia*

---

A epilepsia é uma doença do foro neurológico que atualmente afeta cerca de 1% da população mundial sendo uma doença neuronal crónica caracterizada por convulsões epiléticas recorrentes (duas ou mais) que ocorrem sem que nada as faça prever, e que não apresenta maior prevalência numa faixa etária específica. Estas convulsões ocorrem devido a uma anormal e exagerada descarga elétrica de um conjunto de neurónios num local específico do cérebro. As suas manifestações clínicas são perdas de consciência, alterações das funções motoras, sensoriais, anatómicas e psíquicas que variam consoante a área cortical afetada [3]. Na maior parte dos casos, os ataques epiléticos podem ser controlados evitando comportamentos que desencadeiam as convulsões, tais como privação de sono, ambientes com muita luminosidade ou quadros de alcoolismo. Apesar de existirem casos em que o tratamento tem de ser feito até ao fim da vida dos doentes, este não é o cenário mais comum, uma vez que na maioria das vezes a doença apenas se manifesta numa determinada altura da

vida, tornando-se menos frequente e acabando por desaparecer com o avanço da idade. Este quadro é mais comum aquando do aparecimento da doença ainda em criança ou numa fase inicial da vida adulta. Os métodos de diagnóstico desta doença são o eletroencefalograma (EEG) e a imagem por ressonância magnética (MRI). Para muitas pessoas a cirurgia pode ser a solução, removendo-se a parte lesada do cérebro. No entanto, esta nem sempre é uma opção pois depende da área onde se encontra o foco epilético [4].

Cerca de 70% dos doentes epiléticos são tratados recorrendo a medicação. Estes medicamentos, tal como a maioria das drogas ingeridas para tratar doenças, apresentam diversos efeitos colaterais não desejáveis, tais como enxaquecas e perda de energia. Assim, é desejável o aparecimento de outros métodos efetivos para o tratamento que não o recurso a medicamentos [4]. Estes métodos residem sobretudo em técnicas de neuromodulação [5].

### *1.1.2 Neuromodulação*

---

Entende-se por neuromodulação a capacidade para modificar o comportamento neuronal através da alteração dos sinais elétricos ou comportamento bioquímico, isto é, altera-se o comportamento neuronal desencadeando ou inibindo os potenciais de ação. Song Luan [5] identificou as três grandes aplicações para a neuromodulação: prótica (dispositivos que substituem ou melhoram funções neuronais comprometidas quer a nível sensorial, motor ou cognitiva), terapêutica (dispositivos que regulam neuralmente os órgãos para benefício medicinal) e investigação na área das neurociências (investiga a função dos neurónios e das redes neuronais no sistema nervoso central e periférico).

Controlar a atividade cerebral é assim um grande desafio. Existem diversas formas para desativar áreas neuronais podendo estas ser agrupadas em dois grandes grupos: reversíveis e irreversíveis. De entre as técnicas irreversíveis, ou seja, que apresentam uma inativação permanente, destacam-se a remoção do tecido neuronal e a inativação química e eletrolítica. A inativação reversível pode ser conseguida também por meio químico, modulação térmica, ótica e elétrica.

As inativações reversíveis e irreversíveis apresentam vantagens e desvantagens quando comparadas uma com a outra. Por exemplo, quando são removidas algumas áreas de tecido neuronal por vezes não se sabe bem qual a área a retirar e qual será a sua influência no tecido

neuronal envolvente. Para colmatar esta lacuna da ablação neuronal foram desenvolvidas técnicas químicas de inativação neuronal irreversível que destroem os corpos celulares dos neurónios fazendo com que estes percam a sua função. No entanto, continuam a ser levantados problemas de seletividade por parte das drogas utilizadas. Na ablação eletrolítica faz-se passar uma corrente inversamente polarizada (relativamente ao fluxo normal de corrente na célula) que destrói a zona que se pretende inativar. Apesar de permitir a inativação de zonas cerebrais profundas, as fibras saudáveis por onde esta corrente passa perdem também a sua função.

No que diz respeito às técnicas de inativação reversível, como por exemplo a inativação química, a atividade neuronal pode ser parada quer em profundidade quer à superfície, dependendo do diâmetro da injeção do dispositivo utilizado, podendo-se controlar a sua especificidade e seletividade através da escolha do elemento químico correto, fazendo uma inibição localizada. No entanto, por vezes isto nem sempre é uma vantagem pois para grandes áreas de inativação é necessário a realização de múltiplas infiltrações. Outra das grandes desvantagens da utilização de agentes químicos é que, dependendo do químico utilizado, a ação pode tornar-se irreversível. Por fim, a duração da inativação e o tempo requerido para a recuperação, ou seja, a área neuronal voltar a tornar-se funcional, é variável, podendo demorar algumas horas [6]. Outro tipo de inativação reversível é modulação térmica, onde a inativação é conseguida através da diminuição da temperatura da zona a inativar. Esta técnica apresenta algumas limitações, tais como ser efetiva para o arrefecimento de estruturas superficiais e médias do cérebro, mas pouco eficaz para o arrefecimento de estruturas mais profundas.

As grandes vantagens deste último método são a sua completa reversibilidade e repetibilidade, isto é, quando se retira o arrefecimento, o volume cerebral arrefecido volta naturalmente à temperatura e funcionamento normais, e a evolução da inativação é semelhante de arrefecimento em arrefecimento. Por fim, a utilização desta técnica permite um melhor controlo quando comparado com a inativação química, pois permite inativar completamente o tecido cerebral em minutos e esta inativação pode durar horas. No entanto, quando se retira o arrefecimento a recuperação da atividade ocorre em frações de minutos [6].

Existem diversos dispositivos baseados na técnica de modulação térmica para a inativação do tecido neuronal, quer seja local ou globalmente. Aproveitando todas as vantagens da modulação térmica descritas anteriormente pode utilizar-se esta técnica para o tratamento da

epilepsia. Diversos são os dispositivos em investigação que até à data utilizaram a modulação térmica para o tratamento desta doença. Por exemplo, Fujii et al [7] (Figura 1) desenvolveram um sistema que utiliza o arrefecimento localizado, permitindo inativar pequenas zonas de tecido neuronal. Este sistema foi idealizado com o intuito de parar os ataques epiléticos, sendo que o agente de arrefecimento é um elemento termoelétrico, neste caso um *Peltier*, conectado a um dissipador térmico de alumínio refrigerado a água. Apesar das limitações, i.e demasiados fios e necessidade da utilização de tubos de água para remover o calor, os autores mostraram que este dispositivo pode vir a ser eficiente no futuro para o tratamento da epilepsia.

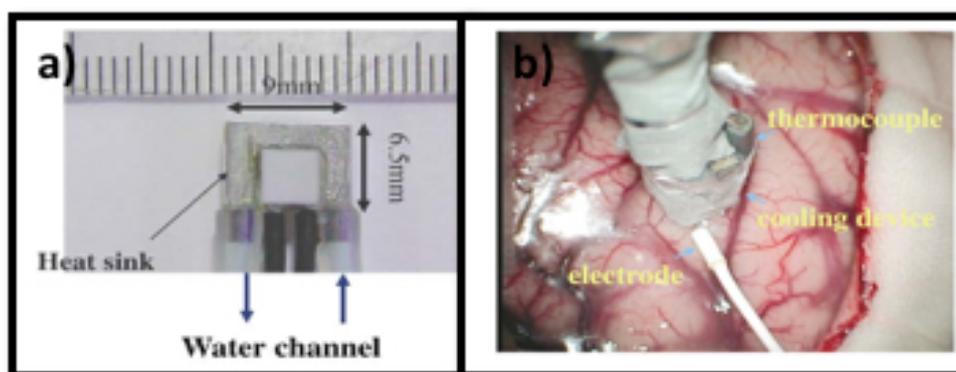


Figura 1- **a)** Dispositivo desenvolvido por Fujii et al [7] constituído por um Peltier e o heatsink. **b)** Implantação do dispositivo de **a)** no córtex cerebral de um humano.

Tal como descrito anteriormente, a técnica de modulação térmica pode ser eficiente para a inibição do tecido neuronal e consequentemente parar o ataque epilético. Por vezes pode ser útil para o médico obter informações sobre quando e em que zona ocorreu o foco epilético, o que obriga à necessidade de comunicação dos dispositivos biomédicos implantáveis com o exterior. Esta comunicação poderia ser feita com cabos, mas isso causaria um transtorno no conforto do paciente e acrescentaria um elevado risco de infeção. Assim, tem aparecido uma nova tendência fruto do avanço das tecnologias nos dispositivos biomédicos, os dispositivos biomédicos sem fios.

## *1.2 Dispositivos biomédicos sem fios*

---

A evolução das tecnologias sem fios de baixo custo e a sua confiabilidade levaram a que ocorressem grandes mudanças na indústria biomédica nos últimos anos. Acompanhando esta tendência de comunicação sem fios apareceu também outra, a da miniaturização. A utilização de tecnologias de microfabrico permite não só a criação de dispositivos complexos miniaturizados (maior capacidade de miniaturização, aumento da densidade de circuitos) como também a redução do seu consumo energético. Uma das razões destas duas migrações foi o facto de se acabar com os fios que constituíam um entrave não só ao conforto do utilizador, mas também à realização do dispositivo e sua colocação no corpo. Atualmente esta fusão de tecnologias levou ao aparecimento de dispositivos biomédicos revolucionários sendo estimado que em 2022 a indústria dos dispositivos biomédicos sem fios cresça para 26.75 mil milhões de dólares americanos [8]. As aplicações destes dispositivos são tão variadas como monitorização remota de pacientes (telemedicina), diagnóstico em tempo real, sistemas cirúrgicos inteligentes e sensores implantáveis [9]. Dependendo do local de utilização, estes dispositivos apresentam limitações ao nível do tamanho, funcionalidade e disponibilidade de energia, sendo mesmo o maior problema o fornecimento de energia aos implantes, ou em como eles têm acesso a essa energia, assunto que será discutido mais à frente nesta dissertação.

De facto, os dispositivos biomédicos sem fios são uma área em disseminação, e a prova disso é a investigação que se faz com base neste tipo de dispositivos, tal como os sensores químicos implantáveis descritos em [10], os implantes neuronais em [11] ou os sensores para monitorização da glicose descritos por Ahmadi em [12]. Comercialmente existem também diversos tipos de dispositivos sem fios tais como o medidor de pressão arterial da *SunTech* e da *Harvard Sensor Network Labs* apresentado na Figura 2 a), o dispositivo de electrocardiograma (ECG) apresentado na Figura 2 b), que suporta 12 canais e permite a aquisição de medidas contínuas durante 24 horas quando a bateria se encontra totalmente carregada, ou a bandolete que adquire os sinais do eletroencefalograma sem fios (Figura 2 c)), com suporte para 14 canais e que realiza até 12 horas de leituras quando totalmente carregada.

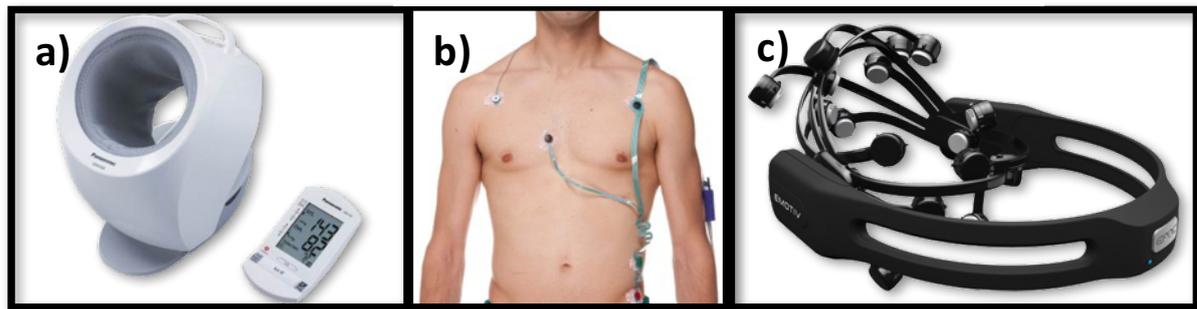


Figura 2- **a)** Medidor de tensão arterial desenvolvido pela Suntech e pela Harvard Sensor Network [13] **b)** Dispositivo que adquire o ECG e envia para uma estação base através de comunicação sem fios **c)** Bandolete que adquire sinais de EEG com transmissão para uma estação base sem fios [14].

### 1.2.1 Alimentação remota

---

Existem diversas formas de alimentação sem fios, sendo uma tendência nos dias de hoje a utilização da técnica de *energy harvesting*. *Energy harvesting* é um termo inglês que se refere ao processo de recolha e conversão de pequenas quantidades de energia, disponíveis no ambiente associado a um dispositivo, em energia elétrica. Assim, este tipo de dispositivos utilizam as formas de energia, naturais ou artificiais, do meio em que se encontram inseridos.

Os dispositivos alimentados por *energy harvesting* podem ver os seus tempos de vida estendidos, fornecendo mais conforto e segurança aos seus utilizadores. Normalmente, as formas de energia disponíveis no ambiente em redor dos dispositivos são: energia provenientes da energia térmica, cinética e eletromagnética. Os tipos de energia mais utilizadas nos dispositivos biomédicos são a energia cinética proveniente do movimento do corpo e a energia proveniente da transferência de energia sem fios [15]. A utilização deste tipo de energia é convidativa uma vez que estas são fontes de energia inesgotáveis.

A utilização de energia eletromagnética, particularmente as ondas RF (radiofrequência), é indicada para o transporte de energia para longas distâncias sendo que está disponível em quase todos os locais nos dias de hoje, tais como sinais de televisão, radio FM e AM, redes de telemóvel, Wi-Fi entre outros [16]. Adicionalmente, a utilização desta forma de energia não é nociva desde que permaneça dentro dos limites de SAR (*specific absorption ratio*), definidos pela FCC [17]. Assim, este tipo de energia tem potencial para ser utilizada para carregar todo o tipo de dispositivos, implantes incluídos [18].

Em suma, a utilização de técnicas de alimentação remota, em particular o *energy harvesting*, é uma área bastante promissora para o fornecimento de energia a dispositivos biomédicos sem fios. No entanto, esta está limitada à disponibilidade da energia no meio circundante, o que, para dispositivos complexos e com consumos elevados, pode não ser uma solução eficaz. Neste tipo de dispositivos é comum utilizar outras formas de transferência de energia, como a transmissão de energia sem fios com uma ligação dedicada, mais concretamente o *RF powering*.

### 1.2.2 Transmissão de energia sem fios

---

Os dispositivos biomédicos sem fios são uma área emergente na medicina, tal como visto anteriormente. No entanto, existe um grande desafio na escolha da fonte de energia de forma a maximizar o seu tempo de vida. Normalmente a escolha recai em baterias, o que pode levar a intervenções cirúrgicas complexas quando estas se encontram descarregadas. Se considerarmos dispositivos externos, como os dispositivos comerciais descritos anteriormente, estes podem ser retirados e ligados a um cabo para efetuar o seu carregamento. O maior problema reside nos dispositivos biomédicos implantáveis, pois estes não devem/podem ser retirados para que se efetue o seu carregamento, sujeitando os seus utilizadores a novas intervenções cirúrgicas. Por exemplo, os *pacemakers* são alimentados com baterias de lítio, garantindo a sua operação sem a necessidade de nenhum cabo diretamente ligado a estes. No entanto, o tempo de vida limitado da bateria e a sua substituição podem colocar em risco a integridade do paciente. Por outro lado, em dispositivos miniaturizados as baterias não devem ser demasiado grandes, pois podem ocupar grande parte do volume total do dispositivo. Assim, de modo a que estes sejam eficientes nas suas tarefas e não ocupem demasiado espaço, o seu consumo deve ser o menor possível, dado que, por norma, baterias pequenas armazenam quantidades menores de energia. Existe, portanto, um compromisso entre autonomia do sistema e tamanho das baterias. Para aumentar a autonomia sem aumentar o volume da bateria, o grande desafio será o carregamento destas e, se desejável, sem que seja necessária a sua remoção [19].

Tal como descrito no ponto anterior, as técnicas de *energy harvesting* são promissoras, no entanto apresentam diversas desvantagens, e.g. estão dependentes da disponibilidade da fonte de energia escolhida e a potência fornecida aos circuitos pode não ser suficiente para o carregamento das baterias. Assim, uma forma emergente e promissora para que se possa

---

fornecer energia aos dispositivos implantáveis é o *RF powering*, isto é, a transferência dedicada de energia sem fios para o carregamento das baterias. Esta é uma técnica de carregamento promissora, mas que ainda apresenta diversas limitações, como por exemplo o facto de o carregamento sem fios ser mais eficiente a baixas frequências (kHz-MHz), sendo as antenas a estas frequências demasiado grandes, criando um entrave à miniaturização dos dispositivos implantáveis [20]. Recentes pesquisas propõem a alimentação exclusivamente sem fios, isto é, sem a presença de elementos armazenadores, as baterias [11]. Este tipo de alimentação pode ser uma solução para aplicações em ambientes controlados, tais como o carregamento de um dispositivo implantado num rato quando este se encontra numa jaula. No entanto, quando o ambiente não é controlado este tipo de carregamento é impraticável. Assim, a utilização de baterias como dispositivo armazenador de energia e o seu carregamento através de energia sem fios parece ser a melhor opção para dispositivos implantáveis.

### *1.3 Motivação e objetivo da dissertação*

---

Tal como foi descrito anteriormente, os dispositivos biomédicos implantáveis encontram-se em extrema expansão e pode considerar-se que no futuro serão amplamente utilizados para tratamento e diagnóstico de doenças. Estes irão permitir a melhoria da qualidade de vida dos seus utilizadores quando comparados com os dispositivos atuais para o tratamento de certas doenças.

O cérebro é o órgão mais complexo do corpo humano sendo a investigação na compreensão do seu funcionamento emergente nos dias de hoje. Os dispositivos para o controlo e restauro das funções deste têm sido amplamente estudados e desenvolvidos, no entanto poucos são os que se encontram comercialmente disponíveis, uma vez que apenas se realizaram alguns testes em ratos. Tal como a maior parte dos dispositivos implantáveis, as maiores limitações destes dispositivos são o excesso de fios, longevidade das baterias, tamanho, e comunicação com o exterior, o que inicialmente constitui um entrave aos testes realizados em ambientes controlados (ratos) e, no futuro, dificultará a sua utilização *in-vivo* em humanos.

A aplicação da modulação térmica no estudo e tratamento de algumas doenças neurológicas é importante para a compreensão do cérebro, no entanto, não existem

dispositivos disponíveis comercialmente que possam ser utilizados para este fim. Posto isto, é necessária a criação de um dispositivo neuromodelador térmico que possa ser utilizado em ratos quando estes se encontram nas suas gaiolas (local onde estes se encontram aquando das experiências). A maior das dificuldades do desenvolvimento deste tipo de dispositivos é o carregamento das suas baterias, uma vez que estes tipicamente apresentam consumos altos provocados pelo elemento atuador (tipicamente um *Peltier*) que é responsável pela diminuição da temperatura da região em estudo.

Assim, e tendo em conta o descrito anteriormente, é necessário o desenvolvimento de um *chip* de controlo, totalmente integrado, com fornecimento de energia e comunicação sem fios, que possa ser utilizado em dispositivos neuromoduladores térmicos.

O *chip* referido anteriormente foi realizado no âmbito do projeto PTDC/EEI-TEL/5250/2014.

#### *1.4 Contribuições*

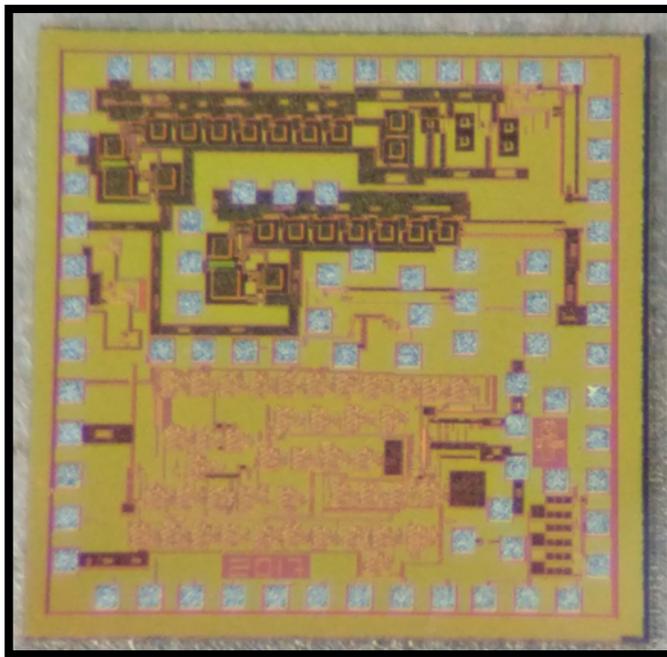
---

Durante esta dissertação foi projetado, simulado, submetido para fabrico e testado um sistema eletrónico de controlo para um neuromodulador térmico. A eletrónica foi desenvolvida em tecnologia 0.18 $\mu$ m CMOS, apresentando comunicação bidirecional (2 GHz) e carregamento sem fios (2 GHz) para ser utilizado como carregador sem fios de baterias e como controlador de um neuromodulador baseado em *Peltiers*. Apesar da especificidade do desenho, este *chip* pode ser utilizado para outras aplicações uma vez que possui 8 saídas controláveis externamente.

O *chip* realizado é de pequenas dimensões (1.5 x 1.5 mm<sup>2</sup>) e foi desenhado para ser utilizado inicialmente em testes em roedores para o estudo da epilepsia. Assim, tentou reduzir-se ao máximo a utilização de fios. Uma vez que este será implantado no cérebro dos roedores é conveniente que apresente baixo consumo e, conseqüentemente, necessite de uma bateria de pequenas dimensões. Para que não seja necessário retirar a bateria para efetuar o seu carregamento, o *chip* realizado prevê o carregamento sem fios através de uma ligação sem fios dedicada, *RF powering*. Na Figura 3 é possível observar uma fotografia do *chip* desenvolvido nesta dissertação.

A seguinte publicação resultou deste trabalho:

*H. Dinis, J. Fernandes, V. Silva, I. Colmiais, P. M. Mendes, “Thermal modelling of an implantable brain focal cooling device,” Coimbra, Portugal, February 16-18, 2017*



*Figura 3- Chip elaborado no âmbito desta dissertação.*

### ***1.5 Estrutura da dissertação***

---

Esta dissertação é constituída por 5 capítulos, sendo cada um constituído por várias secções onde é apresentado o trabalho desenvolvido.

O Capítulo 1 é uma introdução ao problema que se pretende resolver nesta dissertação, o desenvolvimento de um *chip* que possa ser utilizado como elemento de controlo em dispositivos neuromoduladores térmicos. É realizado um enquadramento sobre a necessidade do desenvolvimento deste tipo de sistemas eletrónicos para controlo tendo em conta a resistência de certas doenças a medicamentos.

O Capítulo 2 aborda os requisitos mais importantes no planeamento de sistemas de controlo de dispositivos implantáveis, sendo apresentados exemplos de dispositivos de acordo com o requisito apresentado. No final deste, é apresentado o estado de arte dos sistemas para controlo de neuromoduladores.

O Capítulo 3 apresenta a forma como os requisitos abordados no Capítulo 2 foram tidos em conta no presente projeto, sendo apresentada a arquitetura do *chip* desenvolvido bem como as suas características e simulações realizadas para provar o seu funcionamento.

O Capítulo 4 apresenta as características do *layout* elaborado para o fabrico do *chip* e as alterações que foram verificadas nas simulações realizadas pós-*layout*.

O Capítulo 5 contém as medições realizadas após o fabrico para validação do funcionamento do *chip*, bem como a sua comparação com os parâmetros projetados.

O Capítulo 6 contém a conclusão desta dissertação e os trabalhos futuros a realizar.



## Capítulo 2      MICRODISPOSITIVOS IMPLANTÁVEIS SEM FIOS

No capítulo anterior foram apresentados alguns dispositivos médicos sem fios bem como os principais problemas presentes na sua implementação e algumas soluções. Neste capítulo serão abordados os principais aspetos a ter em consideração na elaboração de um microdispositivo biomédico sem fios, destacando alguns exemplos disponíveis na literatura. No final deste capítulo será apresentada uma proposta para a arquitetura geral do microdispositivo implantável a desenvolver.

### *2.1 Dispositivos biomédicos sem fios e seus requisitos*

---

A construção de um dispositivo biomédico é bastante complexa. Estes dispositivos apresentam diversas limitações, uma vez que tipicamente são implantados no organismo e, assim, têm de possuir diversas características para que não interfiram no conforto do utilizador, sendo que idealmente não devem introduzir nenhuma limitação ao seu utilizador. Assim, na elaboração de um dispositivo biomédico devem ter-se em atenção características como volume e integrabilidade dos dispositivos, consumo de energia, elemento armazenador de energia utilizado, a fonte de energia para recarregar esse elemento e a comunicação sem fios.

#### *2.1.1 Volume e integrabilidade dos dispositivos*

---

Dependendo da aplicação, os dispositivos biomédicos podem tolerar maiores ou menores dimensões. A tendência atual é a criação de dispositivos completamente integrados e com as menores dimensões possíveis de modo a que o conforto do utilizador não seja colocado em causa. A par desta tendência, a tecnologia CMOS (*complementary-oxide-semiconductor*) tem-se tornado cada vez mais pequena, sendo possível atualmente o fabrico de transístores com 10 nm de comprimento de canal. Tipicamente os transístores mais pequenos são mais rápidos, consomem menos energia e ocupam menos espaço. A grande desvantagem da utilização das tecnologias de menor tamanho reside essencialmente no elevado custo de fabrico [9].

Diversos têm sido os dispositivos biomédicos desenvolvidos com o objetivo de serem o mais pequeno e integrado possíveis. *Cao et al* desenvolveram um dispositivo totalmente integrado [21] (Figura 4) para a monitorização de valores de impedância e pH. Os valores adquiridos foram utilizados para a deteção de episódios de refluxo gastroesofágico acídicos e não acídicos. O circuito emissor de energia bem como o circuito recetor da comunicação pode ser facilmente integrado numa peça de roupa. Este dispositivo mede apenas  $0.4 \times 0.8 \times 3.8 \text{ cm}^3$  e foi construído utilizando essencialmente dispositivos comerciais. O dispositivo reportado em [22] (Figura 5) foi desenvolvido para a monitorização da pressão intraocular no tratamento do glaucoma. O glaucoma é uma doença ótica que causa cegueira e afeta milhões de pessoas em todo o mundo, sendo a medição da pressão intraocular uma medida importante no controlo da doença. O *chip* para controlo do dispositivo foi desenvolvido utilizando a tecnologia  $0.18 \mu\text{m}$  CMOS e ocupa apenas  $750 \times 750 \mu\text{m}^2$ , no entanto os outros constituintes deste dispositivo tornam-no bastante maior, como por exemplo a antena e o sensor de pressão. Um outro dispositivo para o tratamento do glaucoma foi desenvolvido em [23] (Figura 6) utilizando a tecnologia de  $0.13 \mu\text{m}$  CMOS sendo que o *chip* de controlo mede apenas  $700 \times 700 \mu\text{m}^2$ . O dispositivo reportado em [24] (Figura 7) mede apenas  $2.5 \times 3.3 \text{ mm}^2$  e foi fabricado utilizando também a tecnologia  $0.13 \mu\text{m}$  sendo capaz de adquirir os sinais de ECG, EEG e EMG (eletromiograma). Este dispositivo é também dotado de comunicação sem fios.

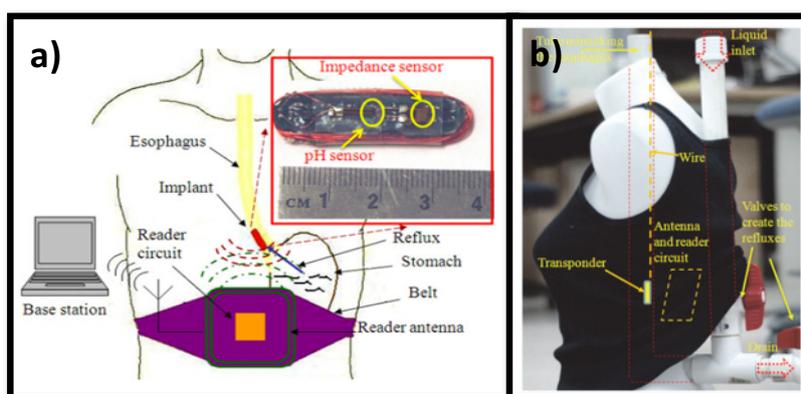


Figura 4- a) Esquema geral do funcionamento do dispositivo descrito em [21]. b) Exemplo de peça de roupa para integração do dispositivo descrito em [21].

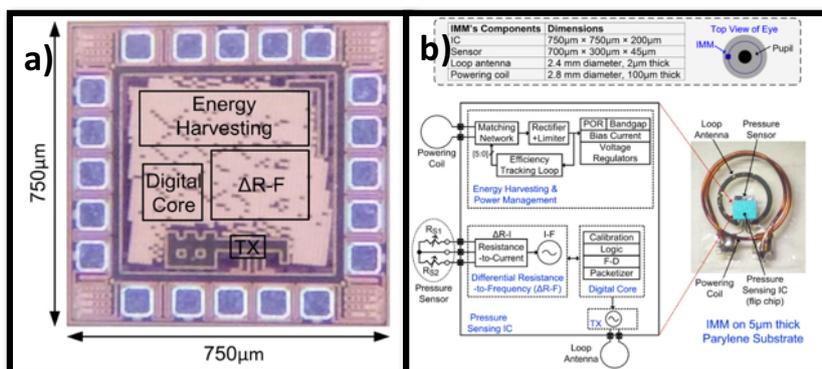


Figura 5- a) Chip desenhado para controlo do implante descrito em [22]. b) Esquema e fotografia do medidor de pressão.

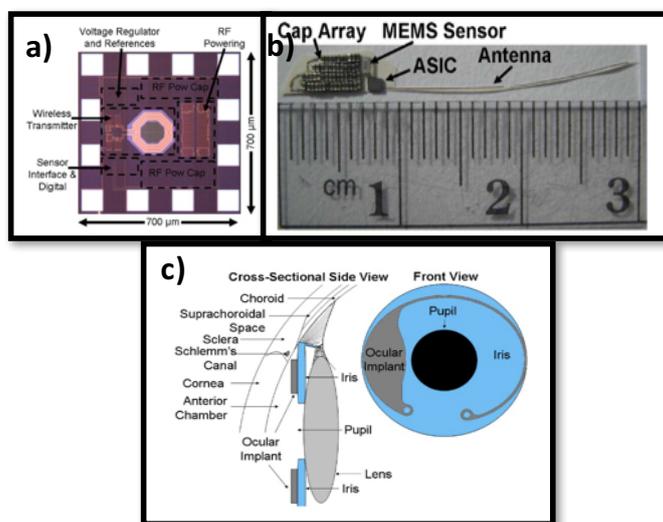


Figura 6- a) Fotografia do chip desenvolvido em [23] visto ao microscópio b) Implante para a monitorização da pressão intraocular c) Esquema ilustrando onde será colocado o implante [23].

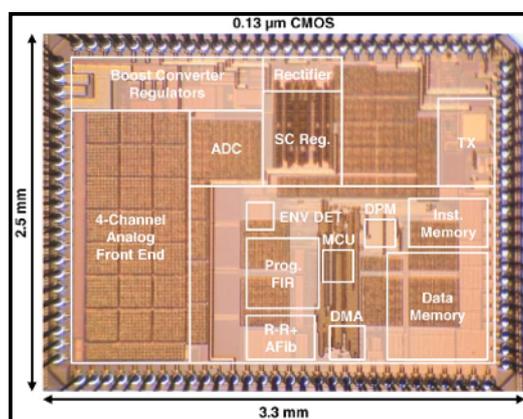


Figura 7- Chip desenvolvido em [24].

Em suma, a escolha da tecnologia e complexidade do dispositivo afetam as dimensões deste. Tal como referido anteriormente, tecnologias de menores dimensões tendem a apresentar menores consumos de energia. No entanto, tecnologias demasiado pequenas tendem a ser excessivamente caras, o que é um grande entrave em dispositivos que se encontram em fase de investigação. No próximo tópico este tema será abordado, sendo apresentados alguns exemplos dos consumos de dispositivos biomédicos implantáveis para que seja possível perceber a relação entre a complexidade dos implantes e o consumo de energia destes.

### 2.1.2 Consumo de energia

---

Tal como referido anteriormente, o consumo de energia é um dos principais requisitos a ter em conta no projeto de um dispositivo biomédico que irá ser colocado num paciente. Dispositivos biomédicos com baixo consumo são preferíveis a dispositivos biomédicos com elevados consumos, pois estes últimos contribuem para aumentar o tamanho das baterias e consequentemente o tamanho dos dispositivos. Tipicamente o consumo está relacionado com as ações que os dispositivos são capazes de desempenhar, i.e. dispositivos que comuniquem com o exterior de minuto a minuto apresentarão maiores consumos do que dispositivos que comuniquem de hora a hora.

Um exemplo de um dispositivo biomédico com baixo consumo encontra-se reportado em [23]. Este dispositivo, desenhado para o tratamento do glaucoma, apresenta comunicação unidirecional, com carregamento sem fios, permitindo obter informações sobre a pressão intraocular. O consumo médio deste microdispositivo é de 676 pW, no entanto quando este se encontra em comunicação consome cerca de 1.22 mW, o que corrobora o referido anteriormente. Um outro dispositivo de baixo consumo com comunicação bidirecional para o tratamento do glaucoma encontra-se reportado em [25] (Figura 8), sendo o seu consumo de apenas 3.3 nW em modo de *standby* e 7  $\mu$ W no seu completo funcionamento. O dispositivo descrito em [26] (Figura 9) consome em média 167 nW. Trata-se de um dispositivo para deteção de arritmias cardíacas, sendo a comunicação apenas estabelecida caso se verifique uma arritmia. Em [27] e [28] foi desenvolvido um implante coclear onde as ondas acústicas são captadas através da interface entre um chip e um sensor piezoelétrico (Figura 10). Este dispositivo estimula diretamente o nervo auditivo enviando pulsos para a correta perceção do

som. O dispositivo construído consome  $572 \mu\text{W}$  para o seu funcionamento. Em [29] foi desenvolvido um dispositivo para ajudar na monitorização da pressão sanguínea em ratos de laboratório. O dispositivo apresenta comunicação sem fios, sendo constituído por uma fita que é colocada em volta do vaso sanguíneo com toda a instrumentação necessária para a quantificação da pressão sanguínea do rato em tempo real. Este sistema consegue funcionar com consumos de  $300 \mu\text{W}$  e encontra-se representado na Figura 11.

Como se pode observar nesta secção, não é possível afirmar que um dispositivo apresenta consumos elevados sem antes se verificar quais as suas funções e complexidade.

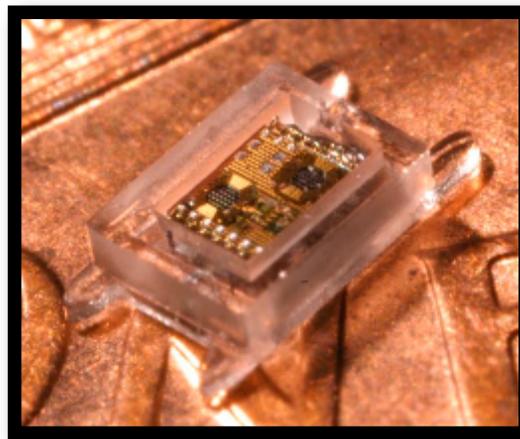


Figura 8- Dispositivo totalmente integrado para o controlo da pressão intraocular desenvolvido em [25].

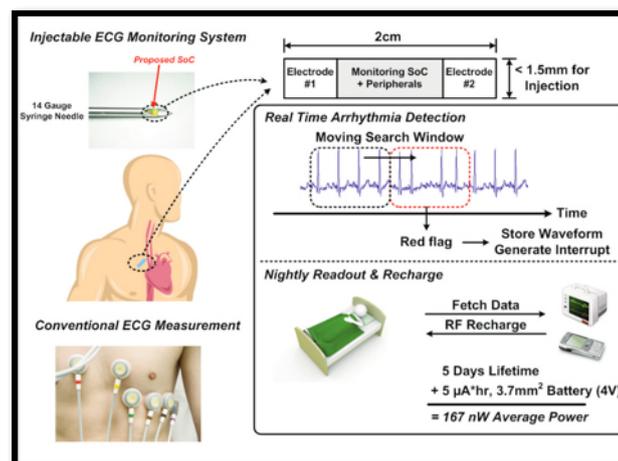


Figura 9- Visão geral do sistema implantável para medição do eletrocardiograma reportado em [26].

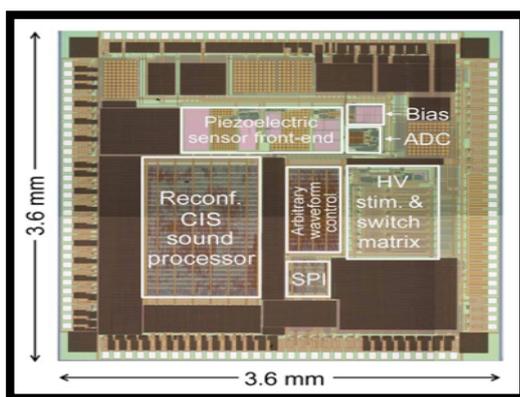


Figura 10- Chip desenvolvido em [28].

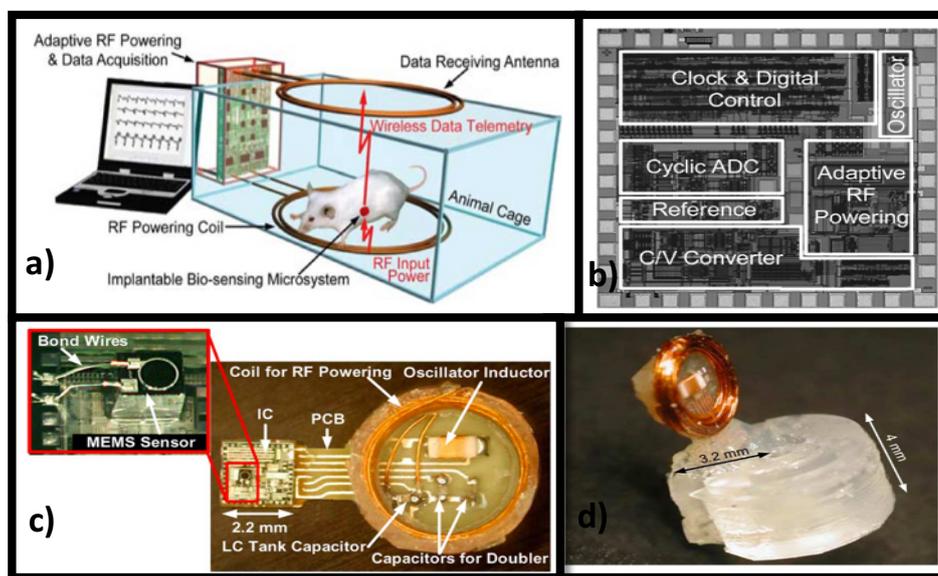


Figura 11- a) Esquema geral do funcionamento do dispositivo proposto em [29]. b) Chip desenvolvido em [29]. c) Sistema eletrónico desenvolvido d) Sistema eletrónico com o sistema de medição da pressão sanguínea.

### 2.1.3 Elemento armazenador de energia

Como visto no ponto anterior, os variados microdispositivos apresentam consumos diferentes dependendo das funções que desempenham e da arquitetura utilizada para o desempenho dessas funções. Apesar da tentativa da redução do consumo destes microdispositivos, continua a ser necessário que exista uma fonte de energia para permitir que estes funcionem de forma correta. Normalmente este tipo de dispositivos possuem baterias (ou supercondensadores) como elemento armazenador de energia. No entanto existem já

dispositivos que não utilizam baterias nem outros elementos armazenadores de grandes quantidades de energia. De forma simples, podem dividir-se estes microdispositivos em dois grupos: com e sem elementos armazenadores de energia. Os dois tipos de dispositivos funcionam de forma semelhante, no entanto, os que não possuem elemento armazenador deixam de funcionar quando lhe é retirado o elemento fornecedor de energia.

Na literatura encontram-se descritos diversos dispositivos com e sem elementos armazenadores de energia. O microdispositivo reportado em [23] utiliza um *array* de condensadores como elemento armazenador devido a limitações de tamanho. Já o microdispositivo descrito em [26] utiliza uma bateria de pequenas dimensões para armazenar a energia necessária ao seu funcionamento. O dispositivo reportado em [29] elaborado para a medição da pressão sanguínea em ratos de laboratório não apresenta baterias nem supercondensadores. Para o funcionamento deste dispositivo é necessária a constante aplicação de uma fonte externa de energia. A utilização desta técnica apenas é possível uma vez que o movimento do rato se encontra restringido a uma jaula. Outro dispositivo que não utiliza elementos armazenadores de energia é o descrito em [21].

Analisando o descrito anteriormente pode concluir-se que a escolha do elemento armazenador depende do contexto em que o microdispositivo se encontra inserido. Dispositivos com grandes consumos e sem grandes limitações de tamanho normalmente utilizam baterias como elemento armazenador. Os condensadores, quando utilizados como elementos armazenadores de energia, são tipicamente mais pequenos do que as baterias, mas armazenam também menos energia do que estas. A utilização de uma fonte de energia sem elemento armazenador torna os dispositivos mais pequenos, no entanto esta estratégia encontra-se limitada à disponibilidade da fonte de energia e, tipicamente, a dispositivos com baixos consumos.

#### 2.1.4 *Fonte de energia*

---

No ponto anterior foi possível observar as diferentes formas de armazenar a energia. Independentemente da forma escolhida para o armazenamento da energia, é necessária a utilização de uma fonte externa para o fornecimento de energia diretamente ao dispositivo ou ao elemento armazenador. Tal como referido no capítulo anterior existem essencialmente duas formas de carregamento sem fios: *energy harvesting* e *wireless powering*. A utilização da energia disponível no meio em que se encontra o implante (*energy harvesting*) tem sido

---

bastante utilizada nos dispositivos médicos mais recentes. Por exemplo o dispositivo desenvolvido por *Zhang et al* em [24] funciona utilizando apenas energia térmica proveniente do corpo humano. Em [25] é apresentado um outro microdispositivo que utiliza a luz como fonte de energia para o seu funcionamento. Uma vez que se trata de um implante ocular o acesso à luz (fonte de energia) é facilitado.

Quando não é possível utilizar a energia disponível no meio ambiente, ou esta não é suficiente para garantir o funcionamento do implante, utilizam-se ligações dedicadas para transmissão de energia sem fios. Tal como referido no capítulo anterior, a frequência utilizada para o carregamento dos dispositivos que utilizam *RF powering* deveria ser baixa dado que a eficiência do carregamento é maior para frequências mais baixas. No entanto, quanto menor for a frequência de operação maiores serão as antenas. Assim, parece óbvio que irá existir um compromisso entre a frequência escolhida e o tamanho da antena/dispositivo. Por exemplo, no dispositivo descrito por *Chow et al* em [23] foi utilizada uma frequência de 3.65 GHz para o carregamento (frequência fora da banda ISM e MICS) justificando o facto da escolha desta frequência como sendo distinta da frequência de comunicação facilitando o processo de filtragem na comunicação. Em [22] encontra-se descrito um dispositivo que utiliza uma cavidade ressonante para o *RF powering* a uma frequência de 434 MHz, frequência esta que pertence à banda ISM. Este dispositivo, tal como seria de esperar, apresenta uma antena (bobine) muito maior do que a que se encontra descrita em [23].

Em suma, o fornecimento de energia sem fios (*energy harvesting* ou *wireless powering*) é importantíssimo para a redução do tamanho dos dispositivos implantáveis e para a eliminação dos fios. Além disso, normalmente é necessário o envio e receção de informação para o implante, sendo para isso necessário que este possua comunicação sem fios. No ponto seguinte é possível compreender melhor as características das comunicações sem fios em implantes biomédicos, sendo apresentadas algumas técnicas de modulação disponíveis.

### 2.1.5 Comunicação sem fios e tipos de modulação

---

Na comunicação sem fios dos dispositivos biomédicos existem 2 parâmetros importantes: tipo de modulação e frequência de comunicação. A modulação é utilizada para codificar a informação a transmitir e para que seja possível a utilização de antenas mais pequenas (frequência da onda portadora é superior ao conteúdo espectral do sinal na banda

base) devendo optar-se por uma modulação/desmodulação que seja de fácil implementação e baixo consumo. As principais formas de modulação residem em alterar a amplitude, fase e frequência do sinal a modular. De entre as várias técnicas de modulação, as mais utilizadas em sistemas biomédicos pelas suas características são ASK, PSK e FSK [30]. Na Figura 12 é possível observar um esquema sobre os vários tipos de modulação.

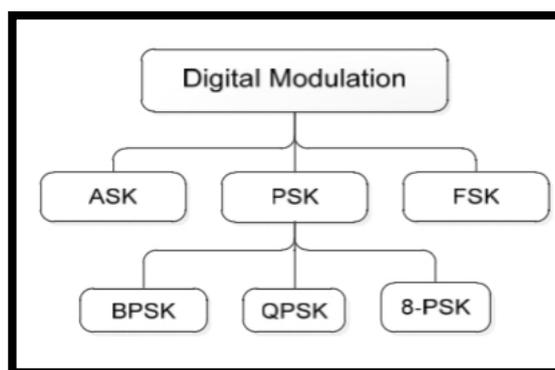


Figura 12- Tipos de modulação [30].

A *amplitude-shift keying* (ASK) é a técnica de modulação digital mais simples utilizada na telemetria sem fios nos biodispositivos devido à sua fácil implementação e baixo consumo. Apesar destas vantagens, este tipo de modulação apresenta algumas limitações, e.g. a necessidade da utilização de condensadores de valores elevados para baixas frequências comprometendo por vezes a integração e tamanho do microdispositivo. Uma derivação da modulação ASK é a modulação on-off-keying (OOK), sendo este o tipo de modulação de mais fácil implementação uma vez que quando o bit codificado é 0 não existe onda modulada. Este tipo de modulação é o que apresenta a implementação mais simples [31].

A modulação FSK (*frequency-shift keying*) é uma das mais antigas técnicas de modulação digital. O princípio de funcionamento deste tipo de modulação consiste em enviar dados codificados em binário com duas frequências distintas, isto é, frequências distintas para os valores lógicos 1 e 0. Este tipo de modulação é relativamente fácil de implementar, apresentando maior imunidade ao ruído do que a modulação ASK, reduzindo assim a probabilidade de ocorrerem erros durante a transmissão. Apesar das vantagens enumeradas anteriormente, este método de modulação necessita de uma maior largura de banda de comunicação e a sua implementação é mais complexa [32] [33].

Por fim, outro tipo de modulação utilizado para modulação de sinais em biodispositivos é a modulação PSK (*phase-shift keying*). Este tipo de modulação consiste em alterar a fase do sinal de referência quando este muda de nível lógico [30]. Na Figura 13 é possível observar exemplos dos 3 tipos de modulação referidos anteriormente.

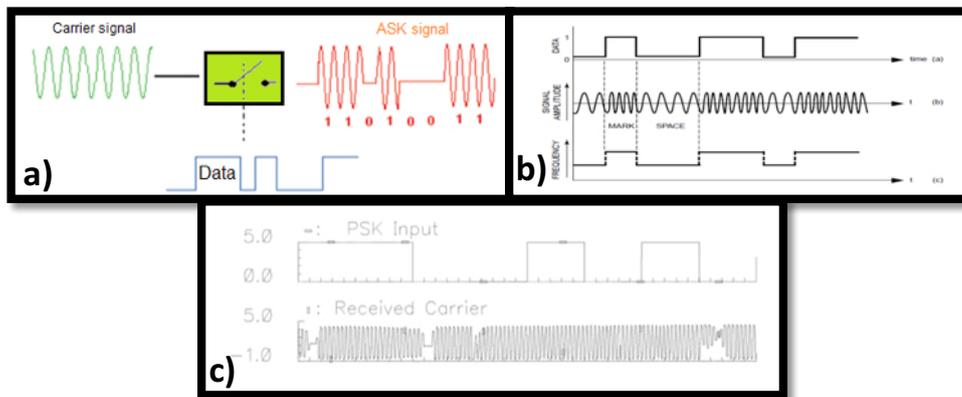


Figura 13-**a)** Modulação ASK [29]. **b)** Modulação FSK [33]. **c)** Modulação PSK [34].

Uma vez que existem diversos tipos de modulação, a escolha da mais adequada para o microdispositivo biomédico depende da sua aplicação e arquitetura. Em [22] os autores utilizaram modulação OOK por forma a simplificar o desenho do dispositivo. Em [23] os autores optaram também pela utilização desta técnica de modulação por questões de economia de energia. Contrariamente a estes dois dispositivos referidos anteriormente, *Cong et al* utilizou uma modulação FSK no seu microdispositivo descrito em [29].

Outro fator importante inerente à comunicação sem fios em dispositivos biomédicos reside na escolha da frequência adequada para a onda portadora na comunicação. Existem duas bandas disponíveis para a comunicação: a banda ISM (banda utilizada internacionalmente para comunicações industriais, médicas e de investigação) e a banda MICs (banda convencionada em todo o mundo para comunicações em dispositivos médicos com funções terapêuticas ou diagnóstico, sendo a sua frequência entre 401MHz e 406MHz [34]). Contudo, nos dispositivos em fase de investigação por vezes utilizam-se frequências fora desta banda por questões de simplificação dos microdispositivos.

Os cuidados a ter na escolha da frequência para a comunicação são praticamente os mesmos que no *RF powering*, isto é, compromisso entre frequência, tamanho das antenas e estruturas a atravessar. Os dispositivos referidos anteriormente [23], [22] e [29], apresentam todos comunicação na frequência 2.4 GHz, frequência pertencente à banda ISM. Por vezes, quando o tamanho não é uma restrição e se pretende que os dispositivos comuniquem

facilmente com outros dispositivos comerciais ou módulos já existentes no mercado, utilizam-se standards de comunicação já implementados. *Mortellaro et al* [35] (Figura 14) desenvolveram um dispositivo para a monitorização contínua do nível de glicose, que é implantado subcutaneamente e mede as concentrações de glicose no fluido intersticial. Para o envio dos valores da concentração da glicose para o exterior os autores optaram pela utilização da tecnologia *Bluetooth*.

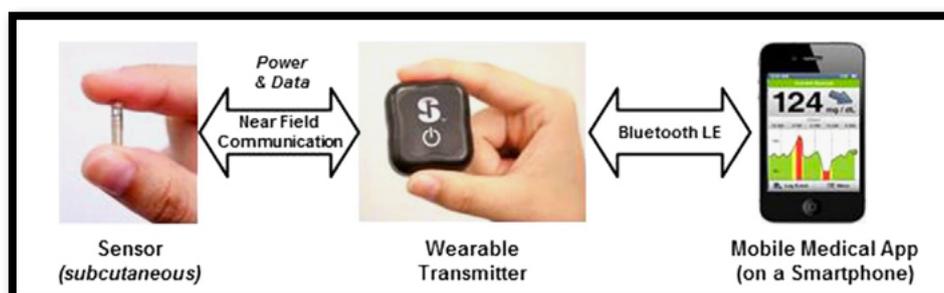


Figura 14- Componentes do sistema de monitorização de glicose descrito por *Mortellaro et al* em [35].

Como se pode concluir dos pontos anteriores, existem diversos requisitos a ter em conta no projeto dos dispositivos biomédicos implantáveis sem fios. Uma vez que nesta dissertação se pretende elaborar um sistema eletrónico de controlo para ser implementado em neuromoduladores térmicos, é de interesse a análise de alguns neuromoduladores que se encontram em fase de investigação, para perceber a complexidade e características relevantes deste tipo de implantes. Na seguinte secção serão apresentados alguns implantes neuronais, evidenciando as suas características.

## 2.2 Implantes neuronais

Os dispositivos implantáveis desempenham um papel importantíssimo na compreensão e tratamento de doenças do foro neuronal, existindo diversos dispositivos e investigação em torno de novos implantes neuronais. Sendo o objetivo desta dissertação o desenvolvimento de um *chip* neuromodulador, é de todo o interesse a análise de alguns neuromoduladores já existentes, bem como das suas características.

Em 2011, *Hou et al* [36] (Figura 15) criaram um neuromodulador térmico para o controlo da epilepsia. Este dispositivo não possui bateria, sendo a energia aplicada diretamente ao chip através de *RF powering* a uma frequência de 13.56 MHz, possuindo um

chip que permite o controlo de um dispositivo termoelétrico com as dimensões de  $1.4 \times 0.95 \text{ mm}^2$ . Todavia, estas dimensões são correspondentes apenas ao sistema eletrónico que contém o conversor RF-DC e o regulador de tensão que mantém a tensão de alimentação dos circuitos estável. O *chip* permite a aquisição do EEG por forma a que seja detetado o ataque epilético e assim o neuromodulador possa atuar para que este não se manifeste. Este sistema possui comunicação com o exterior por *Bluetooth*. Apesar das características enunciadas, este dispositivo apresenta diversos componentes comerciais, o que o torna bem maior do que o descrito anteriormente.

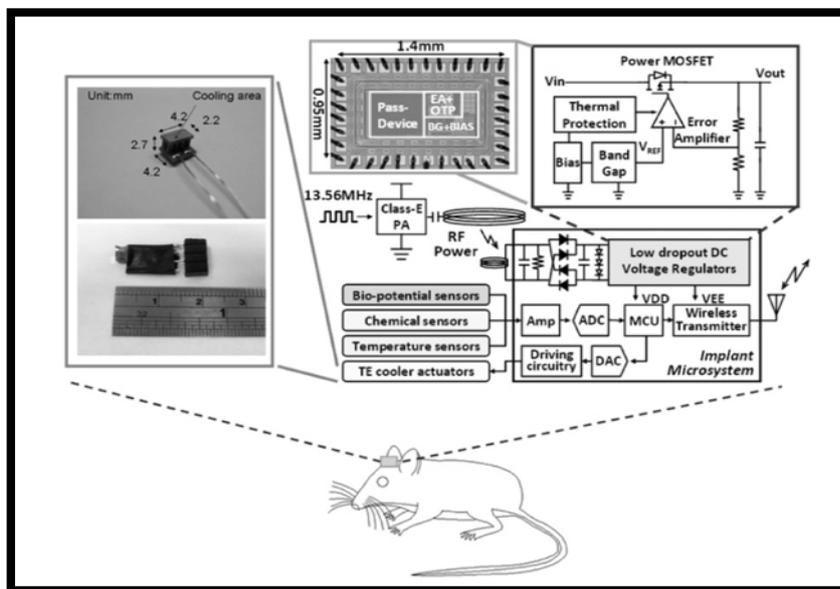


Figura 15- Estrutura do sistema apresentado em [36] e [37].

Em 2014, *Bozorgzadeh et al* [38] criaram um sistema integrado num chip que permite a estimulação elétrica através da ativação externa de vários estímulos gerando vários padrões de estimulação neuro-químicos. Estes levam à obtenção de feedback sobre o padrão apresentado. Este chip foi fabricado em  $0.35 \mu\text{m}$  CMOS e consome apenas  $9.3 \text{ uW}$  durante o funcionamento, não considerando o estimulador. O dispositivo utiliza a modulação FSK para uma comunicação a  $433 \text{ MHz}$ . O chip desenvolvido mede  $3.16 \times 3.16 \text{ mm}^2$ .

Em 2015, *Biederman et al* [39] (Figura 16) descreveram um neuromodulador composto por 64 canais que recolhem leituras em tempo real e que permitem a estimulação cerebral, utilizando para isso 8 canais selecionáveis, tudo isto integrado no mesmo chip. Este dispositivo é carregado utilizando *RF powering*, sendo a frequência ajustada de  $160 \text{ kHz}$  até

20 MHz consoante a eficiência desejada. Este dispositivo completamente integrado consome 378  $\mu\text{A}$  para o seu funcionamento, ocupando apenas uma área de 4.78  $\text{mm}^2$ .

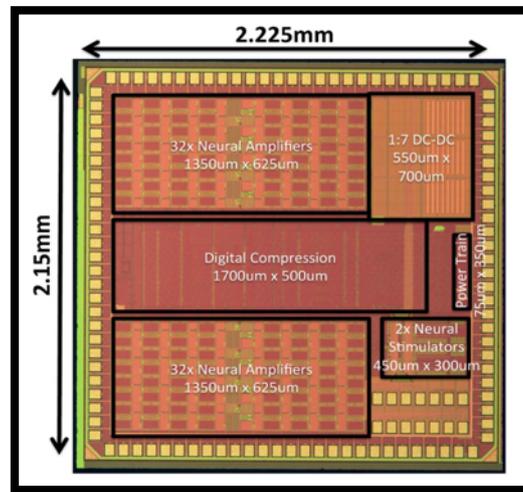


Figura 16- Chip desenvolvido em [39].

Ainda em 2015, *Majerus et al* [40] (Figura 17) desenvolveram um sensor de pressão implantável com comunicação (27 MHz) e carregamento (3 MHz) sem fios, com vista a ser utilizado em integração com um neuromodulador no controlo da bexiga. Este seria responsável por fornecer o feedback necessário para a atuação do neuromodulador sobre a bexiga sem a utilização de cateteres, uma vez que estes são invasivos e pouco cómodos. O dispositivo fornece medições em tempo-real da pressão na bexiga comunicando esta informação para o exterior sem a necessidade da utilização de fios. Este dispositivo foi fabricado utilizando a tecnologia 0.5  $\mu\text{m}$  CMOS.

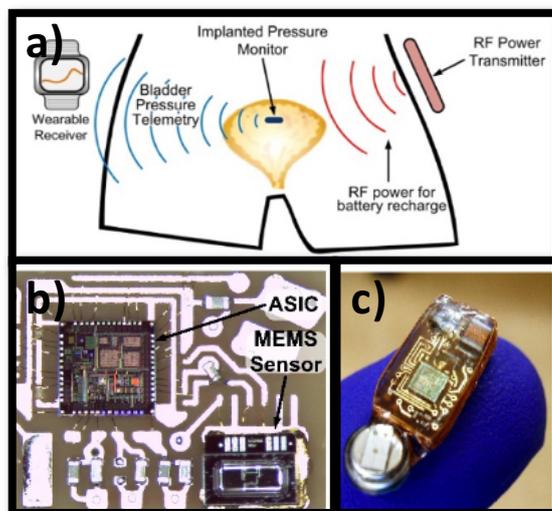


Figura 17- a) Esquema de funcionamento do sistema apresentado em [40]. b) Microsistema apresentado em [40]. c) Monitor de pressão apresentado em [40] na sua versão final..

### 2.3 Arquitetura para um dispositivos implantável sem fios

---

Para a implementar a eletrónica de controlo do neuromodulador é conveniente seleccionar uma arquitetura que favoreça a implementação dos dispositivos implantáveis sem fios.

Para o funcionamento dos microdispositivos implantáveis é necessário que exista uma fonte de energia. Normalmente este tipo de dispositivos possuem baterias como elemento armazenador de energia, no entanto existem dispositivos que não utilizam baterias, tal como observado anteriormente. Na Figura 18 apresenta-se um esquema onde é possível observar a diferença entre microdispositivos que utilizam baterias como elemento armazenador de energia Figura 18 a) e o esquema de um dispositivo que não utiliza elementos armazenadores de energia Figura 18 b) [20].

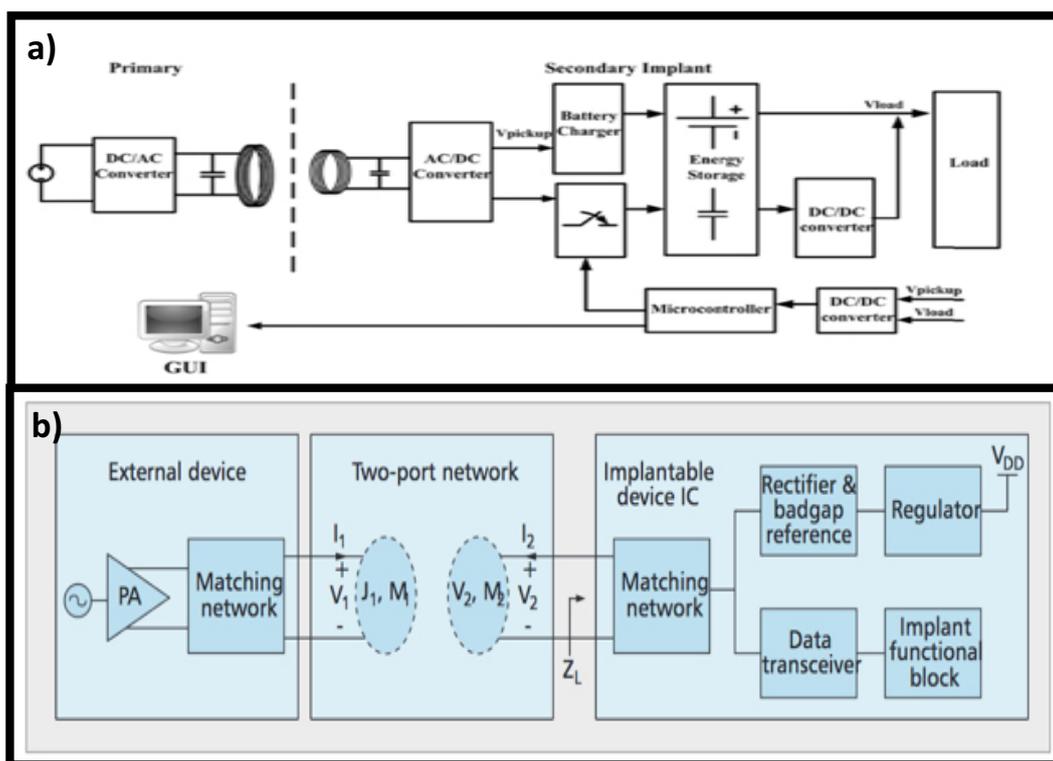


Figura 18- a) Esquema geral de um microdispositivo sem fios utilizando uma bateria como elemento armazenador [41].  
 b) Esquema geral de um microdispositivo sem fios sem elemento armazenador [20].

Analisando os sistemas acima podemos observar que estes são bastante semelhantes entre si. Quando comparados os dois sistemas e atendendo apenas ao seu carregamento, é possível observar que tanto em a) como em b) a energia é convertida de AC para DC, no entanto a grande diferença reside no facto de em a) essa energia ser usada por um circuito de carregamento de baterias para carregar uma bateria onde posteriormente se liga um circuito que mantém uma alimentação estável ao sistema. Em b) o conversor RF para DC (retificador) liga-se diretamente ao circuito que mantém a alimentação estável para o funcionamento do sistema (regulador).

Uma vez que o dispositivo elaborado nesta dissertação necessitará de uma grande quantidade de energia para fornecer corrente suficiente aos atuadores (*Peltiers*), será necessária a utilização de uma bateria. Assim, será apenas abordada a arquitetura de um sistema com elemento armazenador de energia e carregamento por *RF powering*. Este tipo de microdispositivos apresenta um conversor AC-DC para a conversão do sinal de RF num sinal DC. Tipicamente, este conversor deve apresentar uma eficiência elevada. Esta energia deve ser utilizada para carregar o elemento armazenador de energia. A este deve ligar-se um conversor DC-DC para transformar a tensão da bateria numa tensão estável e constante para a

alimentação de todos os circuitos (processamento, comunicação, etc.). Normalmente estes dispositivos podem apresentar blocos de gestão de bateria. Estes são responsáveis por desligar os restantes blocos do sistema durante o carregamento do elemento armazenador de energia. Isto é bastante útil quando os circuitos em funcionamento consomem demasiada energia e não permitem o carregamento da bateria. Dependendo da aplicação, tipicamente estes microdispositivos contêm blocos de comunicação sem fios e processamento das mensagens recebidas e enviadas. No caso de o sistema partilhar a antena para o *RF powering* e comunicação deve existir um bloco de gestão da antena que garanta que esta não se encontra a enviar ou receber dados aquando do carregamento do dispositivo.

## Capítulo 3 PROJETO DE UM NEUROMODULADOR

### 3.1 Introdução

---

No capítulo anterior foram abordados os principais requisitos dos dispositivos biomédicos implantáveis sem fios. O objetivo desta dissertação passa pela elaboração de um *chip* que possa ser usado como controlador de um neuromodulador térmico, estando a sua implantação inicialmente prevista em ratos e, posteriormente, em humanos. Este tipo de dispositivos apresenta diversas limitações e estes devem ser projetados tendo em conta alguns requisitos tais como: tamanho e integração, consumo de energia, elemento armazenador de energia, fonte de energia, comunicação sem fios e o tipo de modulação. Após a análise de neuromoduladores apresentados na bibliografia, e tendo como referência estes requisitos, foram tomadas algumas decisões, decisões estas que serão abordadas ao longo deste capítulo.

Nas secções seguintes será abordada a arquitetura do dispositivo desenvolvido bem como a justificação para as escolhas efetuadas.

### 3.2 Arquitetura

---

Nesta secção serão apresentados de forma sumária os blocos constituintes do sistema projetado.

#### 3.2.1 Visão global

---

O chip de controlo do neuromodulador foi fabricado utilizando a tecnologia 0.18  $\mu\text{m}$  CMOS e apresenta um consumo de 17 mW, que deverá ser reduzido numa versão posterior do *chip*. Dado o consumo anterior e a necessidade de se ligar um atuador a este (*Peltier*), foi necessária a utilização de uma bateria com elevada capacidade como elemento armazenador de energia.

Uma vez que o dispositivo será implantado, optou-se por utilizar comunicação bidirecional sem fios e a técnica de *RF powering* para o carregamento da sua bateria. Em dispositivos com elevados consumos, a técnica de *RF powering* pode não ser eficiente se a potência consumida pelo *chip* for superior à potência que chega aos terminais da bateria, i.e. a

potência fornecida pelo carregamento sem fios. Assim, foi implementado um circuito que desliga alguns circuitos durante o processo de carga da bateria. Uma vez que tem de existir um compromisso entre frequência escolhida, tamanho das antenas e perdas no meio de propagação (corpo humano) escolheu-se uma frequência de 2 GHz para o carregamento do dispositivo e para a comunicação. A modulação utilizada para a transmissão de dados foi a modulação OOK.

Neste chip é possível também a configuração da corrente que atravessa o *Peltier* através da ativação de vários espelhos de corrente, sendo possível receber informação sobre quais destes se encontram ligados e, indiretamente, inferir sobre a corrente que atravessa o *Peltier*. O *chip* possui ligação para duas antenas, sendo a primeira utilizada para o carregamento da bateria e recepção de informação do exterior (ligada ao circuito recetor) e a segunda para o envio de dados para o exterior (ligada ao circuito emissor). A Figura 19 ilustra de forma geral a constituição do chip desenhado.

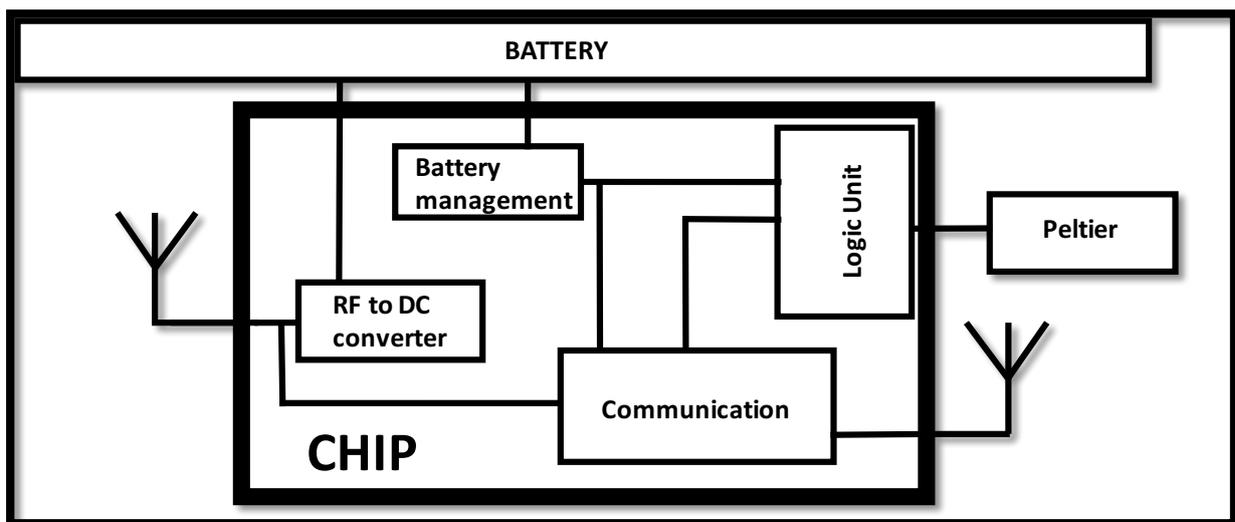


Figura 19- Esquema geral do chip desenvolvido.

Seguidamente serão apresentados sumariamente todos os blocos que constituem o chip. Estes blocos foram separados em blocos de radiofrequência e baixa frequência, uma vez que o planeamento destes blocos requer cuidados diferentes. Os blocos serão abordados com mais detalhe nas próximas secções.

### 3.2.2 Blocos de radiofrequência

---

Os blocos de radiofrequência devem ser projetados de forma a que se encontrem adaptados para impedâncias de  $50 \Omega$ . Tratando-se de frequências elevadas estes devem apresentar transístores pequenos por forma a que apresentem respostas rápidas no domínio do tempo. Os blocos de RF são o emissor, o recetor e o conversor RF-DC.

- *Emissor*

Uma vez que se pretende que o sistema planeado possua comunicação bidirecional sem fios, é necessária a implementação de um emissor. O emissor implementado é constituído por um VCO, um buffer, um interruptor de RF e um buffer que permite que o sinal modulado consiga atacar uma carga de  $50 \Omega$  para que possa ser enviado para o exterior. Este bloco apresenta um consumo de 5 mW, sendo de 71 mW quando se encontra a emitir. A sua frequência de operação é 2GHz sendo o tipo de modulação escolhida a OOK.

- *Recetor*

Um outro requisito para a existência de comunicação bidirecional é a implementação de um recetor de RF. Este bloco é constituído por um *LNA* (amplificador de baixo ruído), um detetor de envolvente, um amplificador operacional com montagem não inversora e um comparador. Estes circuitos serão apresentados em detalhe na próxima secção. O *LNA* é o circuito mais crítico deste bloco, dada a sua complexidade de implementação, gama dinâmica e elevado consumo. Foram testadas várias abordagens, tendo-se escolhido a implementada e descrita na próxima secção. O *LNA* implementado apresenta um consumo de 1.5 mW (10.4 mW quando considerando os amplificadores), sendo o consumo total do bloco de 11 mW. A frequência de operação seleccionada foi de 2 GHz e a modulação utilizada foi a OOK, tal como no emissor.

- *Conversor RF DC*

Este bloco é responsável pela conversão da onda de radiofrequência (RF) num sinal DC (corrente contínua), encontrando-se ligado diretamente a uma antena. Uma vez que o corpo humano apresenta muitas perdas na propagação das ondas de radiofrequência, a eficiência da antena a ligar a este circuito deve ser bastante elevada. Para a retificação da onda utilizou-se um circuito constituído por díodos CMOS, também conhecido por *diode-connected MOSFET*. Para aumentar a eficiência do conversor foram utilizados 3 díodos em cascata. O conversor utilizado foi otimizado para funcionar a uma frequência de 2 GHz.

### 3.2.3 Blocos de baixa frequência

---

Os blocos de baixa frequência implementados são: gestão da energia, unidade lógica, fonte de corrente programável e blocos auxiliares. Foram implementados tanto blocos digitais de baixa frequência como blocos analógicos.

- *Gestão da energia*

Uma vez que a saída do retificador RF DC descrito anteriormente tem como objetivo o carregamento de uma bateria, utilizou-se um circuito que permite a seleção da tensão máxima nesta (carregador da bateria).

Para que o sistema funcione corretamente é necessário garantir que todos os circuitos que não são necessários quer para o carregamento, quer para guardar o estado do chip, se encontram desligados. Para este efeito implementou-se um circuito que desempenha as funções descritas anteriormente. Este circuito gera um sinal que permite ligar os circuitos acima mencionados quando a tensão na bateria se encontra acima de 2.9 V e desliga esses circuitos quando a tensão na bateria cai abaixo dos 1.8 V. Com este circuito garante-se que durante o processo de carregamento quase toda a energia enviada vai ser utilizada para o carregamento da bateria.

- *Unidade lógica*

Como referido anteriormente, o objetivo deste dispositivo é ser implantado no cérebro. Assim, existe a necessidade de comunicar com o implante para que seja possível ajustar alguns parâmetros para o seu correto funcionamento, como por exemplo ligar ou desligar a fonte de corrente programável e configurar a corrente que atravessa esta. Por outro lado, é necessário receber e monitorizar alguns parâmetros do chip, como por exemplo o valor da corrente que atravessa o atuador. Para a realização das ações descritas anteriormente foi implementada uma unidade lógica que pode ser configurada através da ligação sem fios.

- *Fonte de corrente programável*

Este bloco é constituído por 8 fontes de corrente que podem ser ativadas de forma independente, permitindo assim aplicar várias correntes ao atuador (*Peltier*).

- *Blocos auxiliares*

Uma vez que se pretende reduzir o consumo do dispositivo foi implementado um circuito que permite que o *chip* se ligue apenas durante um determinado intervalo de tempo

previamente definido. Foi implementado também um bloco que permite obter informação sobre quais as fontes de corrente que se encontram ativas.

Na próxima secção serão apresentados todos os blocos descritos anteriormente de forma detalhada.

### *3.3 Análise de desempenho do Emissor*

---

Uma vez que o chip projetado apresenta comunicação bidirecional, é necessária a implementação de um emissor cujo tipo de modulação seja OOK e a frequência de funcionamento 2 GHz. O emissor implementado é constituído essencialmente por 4 blocos: um VCO (descrito e implementado em [42]), um buffer, um interruptor de RF (representado na Figura 20 c) e um buffer que permite que o sinal modulado consiga atacar uma carga de  $50 \Omega$  para que possa ser enviado para o exterior. O esquema geral do emissor apresentado pode ser observado na Figura 20 a). Uma vez que o buffer de saída apresenta transístores demasiado grandes e a sua arquitetura consiste apenas em vários inversores ligados entre si e implementados segundo [43], é de esperar que a onda moduladora seja uma onda quadrada. O princípio de funcionamento deste emissor consiste no seguinte. O oscilador encontra-se sempre a oscilar (a sua saída é sempre uma senoide) estando ligada a um interruptor de RF que faz aparecer o sinal na saída do emissor quando se encontra fechado, isto é, quando o sinal de controlo se encontra com o nível lógico 1 (1.8 V). Quando o sinal de controlo (sinal que liga ao interruptor de RF) é o valor lógico 0, faz aparecer 0 V, desligando o emissor. Na Figura 20 b) é possível observar o funcionamento do emissor projetado. A frequência máxima do oscilador projetado é de 2.95 GHz (Figura 20 d)), sendo possível ajustar esta frequência para 2 GHz (frequência pretendida para esta aplicação) variando a tensão de entrada do VCO através da adição de uma resistência de  $300 \text{ k}\Omega$ .

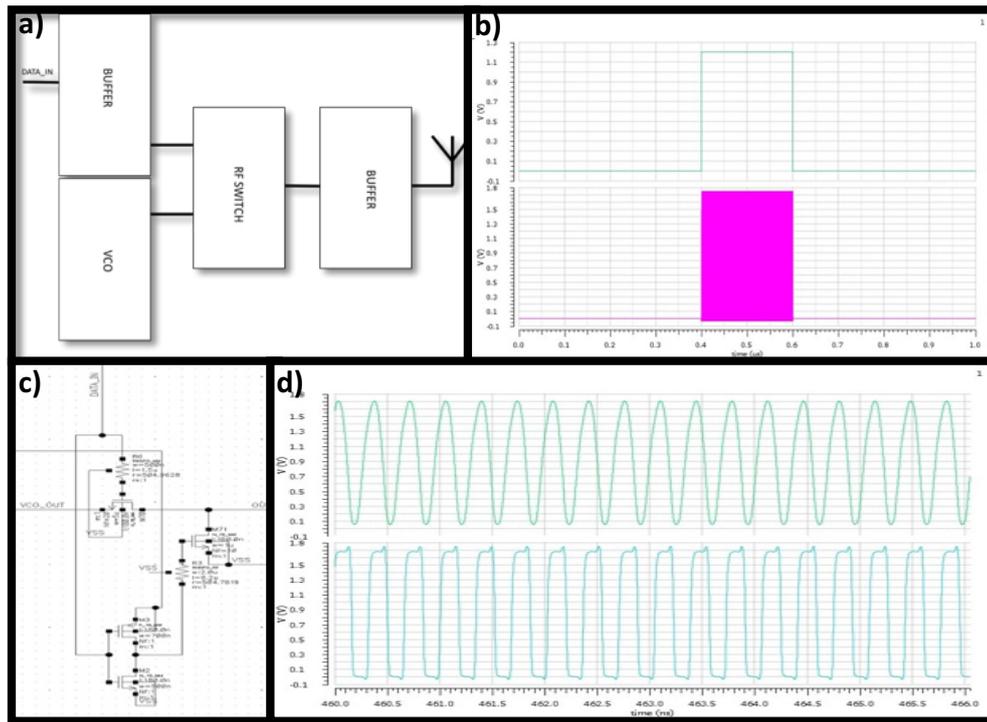


Figura 20 **a)**-Arquitetura do emissor utilizado **b)** Exemplo de funcionamento do emissor. (---sinal de controlo, ---saída emissor) **c)** Interruptor de RF implementado **d)** Comparação entre o sinal gerado e a onda quadrada enviada. A onda enviada não é totalmente quadrada uma vez que os transístores implementados no buffer são demasiado grandes, possuindo maior tempo de resposta, deformando a onda (sinal gerado pelo VCO, saída do emissor).

O emissor implementado apresenta um consumo de 5 mW quando se encontra desligado (consumo essencialmente provocado pelo VCO), isto é, quando a sua saída (tensão aplicada aos terminais da antena) é de aproximadamente 0 V. Este valor é bastante superior quando este bloco se encontra ligado, aumentando para 71 mW, o que é facilmente justificado pelo facto de ser necessária a aplicação de um sinal com potência elevada aos terminais da antena para que este se possa propagar a distâncias maiores.

Na seguinte secção será apresentado o recetor implementado.

### 3.4 Análise de desempenho do Recetor

Tal como referido anteriormente, é importante comunicar com o implante para que seja possível a sua configuração. Neste bloco utilizou-se uma frequência de comunicação de 2 GHz com uma modulação OOK, tal como referido na secção anterior.

O sinal que chega à antena é um sinal modulado, sendo necessária a sua desmodulação para a extração do sinal modulante. O recetor projetado é constituído por um amplificador de baixo ruído que liga diretamente à antena (LNA), um detetor de envoltório, um bloco de amplificação e um comparador com tensão de comparação ajustável para a descodificação do nível lógico. O recetor implementado encontra-se descrito na Figura 21. Na Figura 22 é possível observar um esquema geral do funcionamento deste recetor.

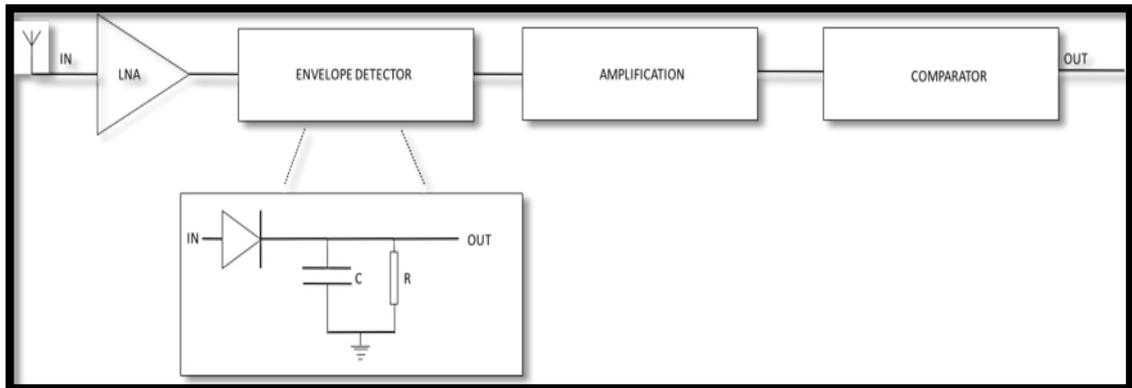


Figura 21- Arquitetura do recetor implementado.

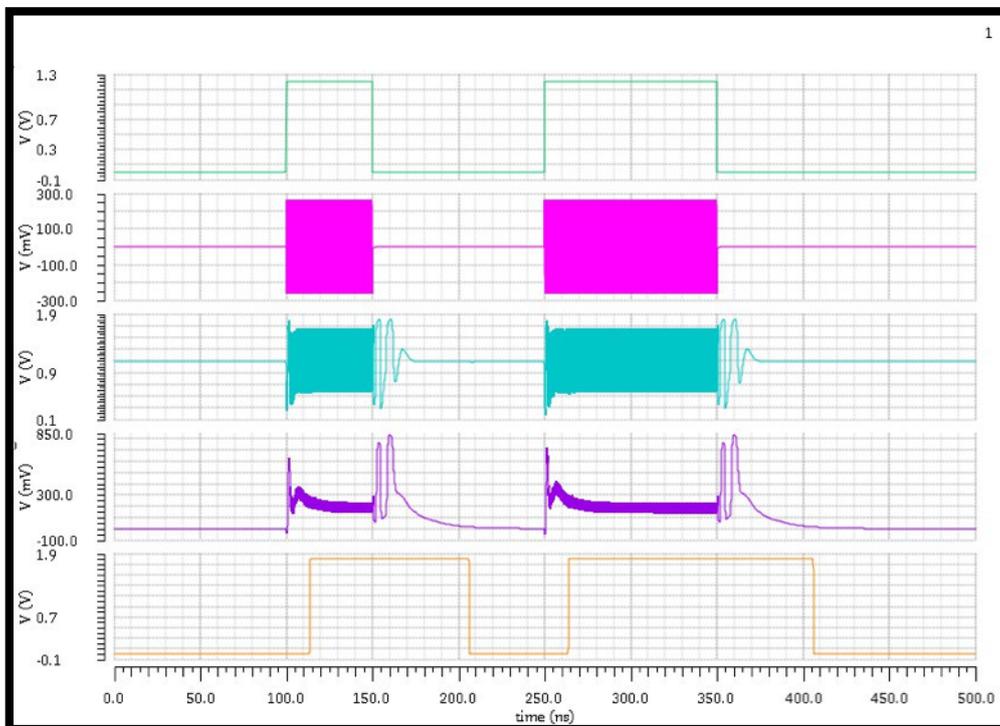


Figura 22- Funcionamento geral do recetor (--sinal modulante, --sinal modulado, --saída do LNA, --saída detetor de envoltório, -- saída recetor).

O recetor implementado apresenta um consumo de 11 mW. Este consumo é elevado devido ao amplificador de baixo ruído utilizado, dado que este consome 10.4 mW (considerando o conjunto LNA + amplificadores).

### 3.4.1 Amplificador de baixo ruído (LNA)

---

Uma vez que os sinais captados pela antena são tipicamente sinais de baixa potência, e consequentemente baixa amplitude, é necessária a sua amplificação. Para que tal seja possível, um amplificador de baixo ruído (LNA) encontra-se diretamente ligado à antena. Este deve apresentar uma banda larga de funcionamento, baixo ruído e ganho elevado [44]. Os diferentes tipos de LNA podem ser agrupados em 2 tipos: com ou sem indutores. Os LNAs que possuem indutores apresentam tipicamente menos ruído e gamas dinâmicas de funcionamento maiores, no entanto apresentam maiores custos de fabrico devido à grande área ocupada por estes. Uma vez que se pretendia ocupar o mínimo espaço possível optou-se por escolher um LNA sem indutores, circuito que se encontra implementado e caracterizado em [44]. Na Figura 23 é possível observar o circuito do LNA implementado. Por forma a aumentar o ganho deste bloco utilizaram-se vários circuitos de amplificação. Na Figura 24 é possível verificar o funcionamento do LNA, para uma entrada de 270 mV de amplitude (-1.37 dBm) a uma frequência de 2 GHz.

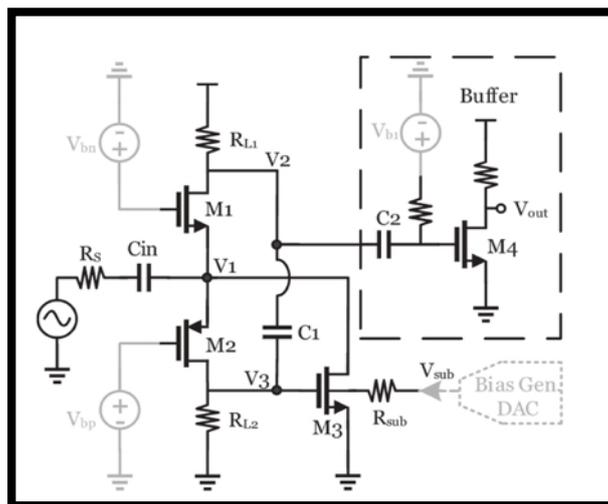


Figura 23- LNA implementado em [44].

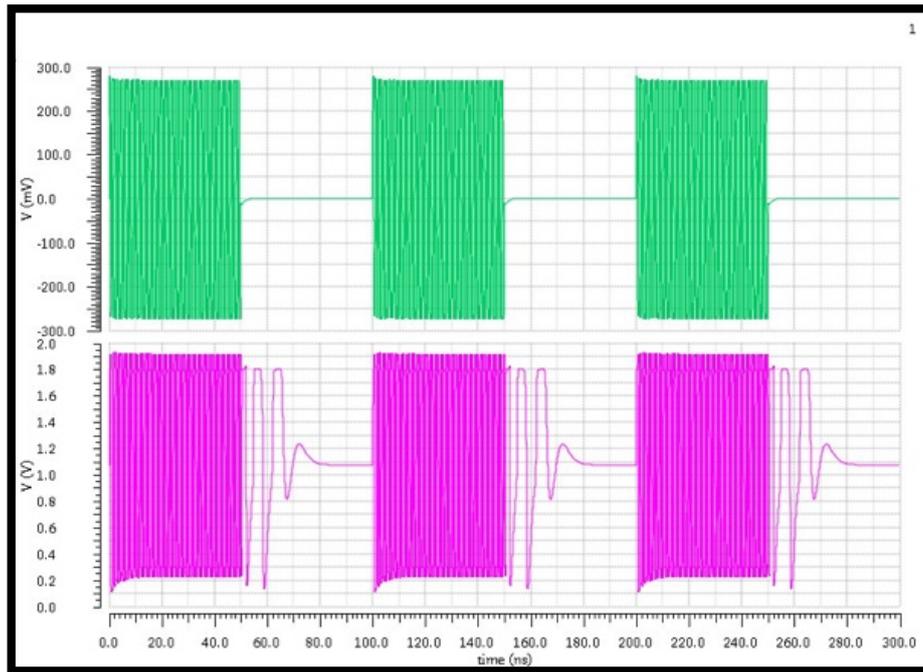


Figura 24- Saída do LNA para uma entrada de 270mV (--entrada LNA, saída LNA).

O LNA apresentado consegue detectar sinais na ordem dos 800  $\mu\text{V}$  (-51 dBm), sendo que este consome 1.5 mW enquanto que o conjunto LNA+amplificadores consome 10.4 mW.

### 3.4.2 Detetor de envolvente

Após a amplificação do sinal que é captado pela antena é necessário tornar o sinal de elevada frequência num sinal de mais baixa frequência, por forma a extrair o sinal modulante. O detetor de envolvente, tal como o próprio nome indica, permite obter uma onda que é a resultante da envolvente do sinal de entrada. Este detetor de envolvente é constituído por um diodo, um condensador e uma resistência. O diodo tem como função fazer com que apenas se obtenha a parte positiva das ondas captadas pelo LNA. O condensador e a resistência atuam como filtro passa baixo, removendo as frequências elevadas do sinal, tipicamente a onda portadora. O funcionamento do detetor de envolvente encontra-se ilustrado na Figura 25.

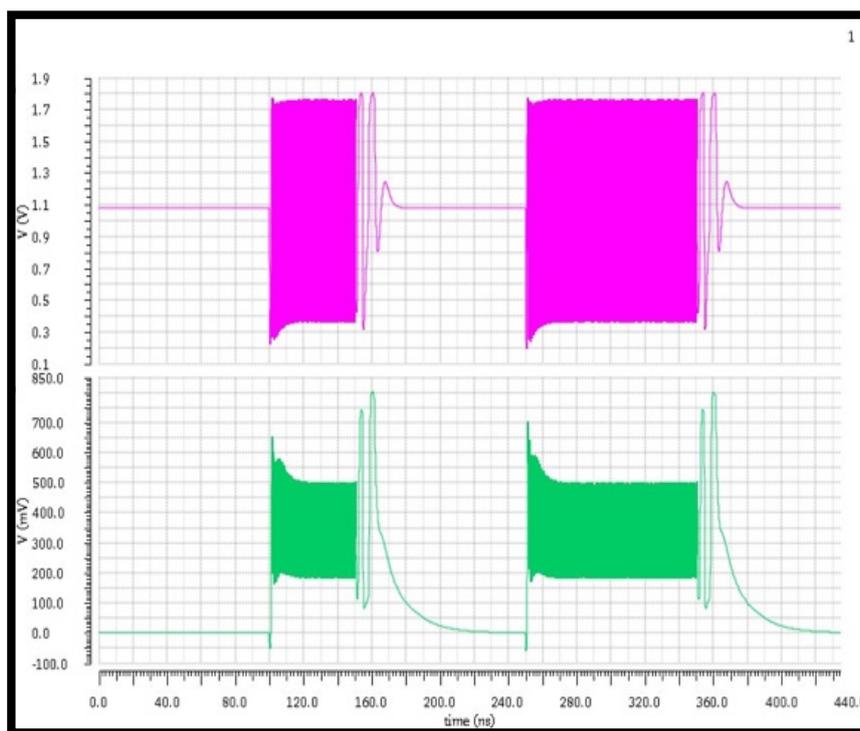


Figura 25- Funcionamento do detetor de envolvente (--saída LNA, --saída detetor envolvente).

Analisando a figura anterior é possível verificar uma oscilação à frequência da onda portadora. Esta oscilação deve-se ao facto da não utilização de um filtro passa-baixo após a saída do detetor de envolvente. Apesar da frequência da onda moduladora do sistema ser bastante inferior à utilizada na simulação, optou-se por projetar um recetor para frequências mais elevadas para que este possa ser utilizado não só neste dispositivo, mas noutras aplicações.

### 3.4.3 Bloco de amplificação

É possível verificar, analisando a Figura 25, que após a extração da envolvente o sinal se encontra bastante atenuado. Para que seja possível uma melhor extração da informação digital pelo comparador, é necessária a amplificação do sinal resultante da saída do detetor de envolvente. A forma mais simples de amplificar um sinal é utilizando um amplificador numa configuração não inversora. Assim, implementou-se o amplificador descrito em [45] nessa configuração. Uma vez que o amplificador utilizado possui uma baixa largura de banda de funcionamento, a oscilação causada pela onda portadora será praticamente toda atenuada, sendo possível a sua observação na Figura 26.

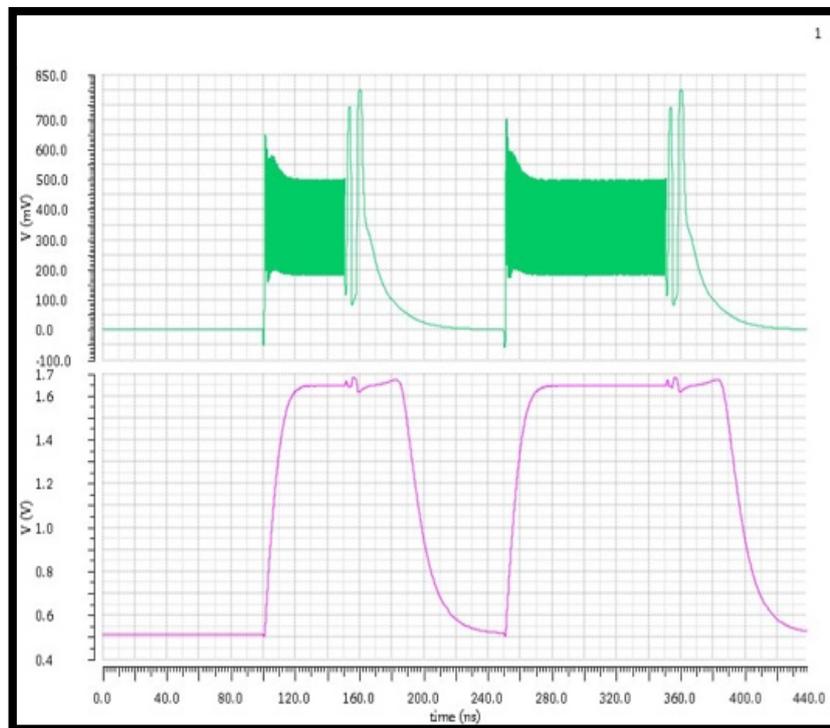


Figura 26- Sinal resultante saída do detetor de envolvente amplificado (--saída detetor de envolvente, --saída amplificador).

Analisando o resultado obtido anteriormente, é possível verificar que o amplificador escolhido não é um amplificador rail-to-rail. No entanto, para a aplicação em questão este fator não é relevante pois está ligado diretamente ao comparador (elemento que seleciona entre o nível lógico digital) e pode-se ajustar a tensão de alimentação externamente. Na saída deste comparador foram ligados 2 inversores por forma a tornar o sinal digital de saída *rail-to-rail*.

#### 3.4.4 Comparador

Por fim, após o sinal ser amplificado é necessária a extração do sinal digital. Utilizou-se para este fim um comparador, cujo seu esquema geral se encontra representado na Figura 27. Este comparador foi construído utilizando o amplificador utilizado também para a amplificação, mas em montagem como comparador [45]. Apesar de não ser a melhor prática, para esta aplicação em específico apresenta um bom resultado, uma vez que tanto a tensão de comutação como o tempo de subida do comparador não são fatores muito críticos, dado que a comunicação será feita a baixa frequência. Para a tensão de referência utilizaram-se duas

abordagens: a utilização de uma tensão externa ou, na ausência de uma tensão externa, a utilização de um divisor de tensão integrado no chip que coloca a tensão de comparação como sendo um valor fixo. Para a obtenção desta tensão fixa utilizou-se um divisor de tensão ligado à alimentação do circuito. Este valor de tensão é de 938 mV, sensivelmente metade da tensão de alimentação.

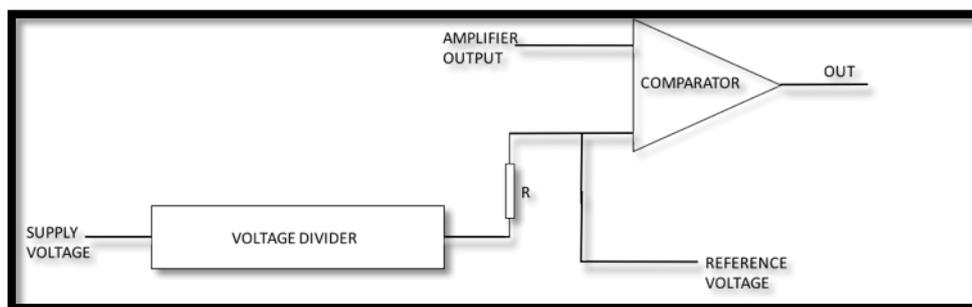


Figura 27. Esquema geral do bloco comparador.

Na Figura 28 é possível observar o funcionamento do comparador sem a utilização da tensão de comparação externa.

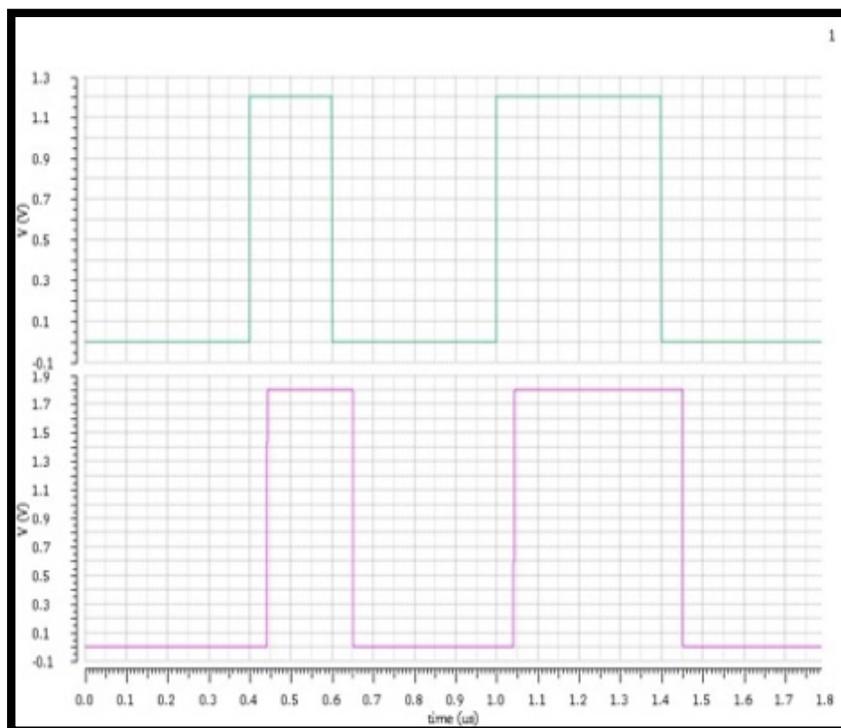


Figura 28- Comparação entre o sinal utilizado para a modulação e o sinal de saída do bloco emissor (---sinal modulante, ---saída recetor).

Na Figura 29 é possível observar que, para frequências mais baixas, não seria necessária a utilização do comparador. No entanto, perder-se-ia a capacidade de ajustar o sinal externamente, isto é, adaptar o sinal de saída de acordo com o de entrada.

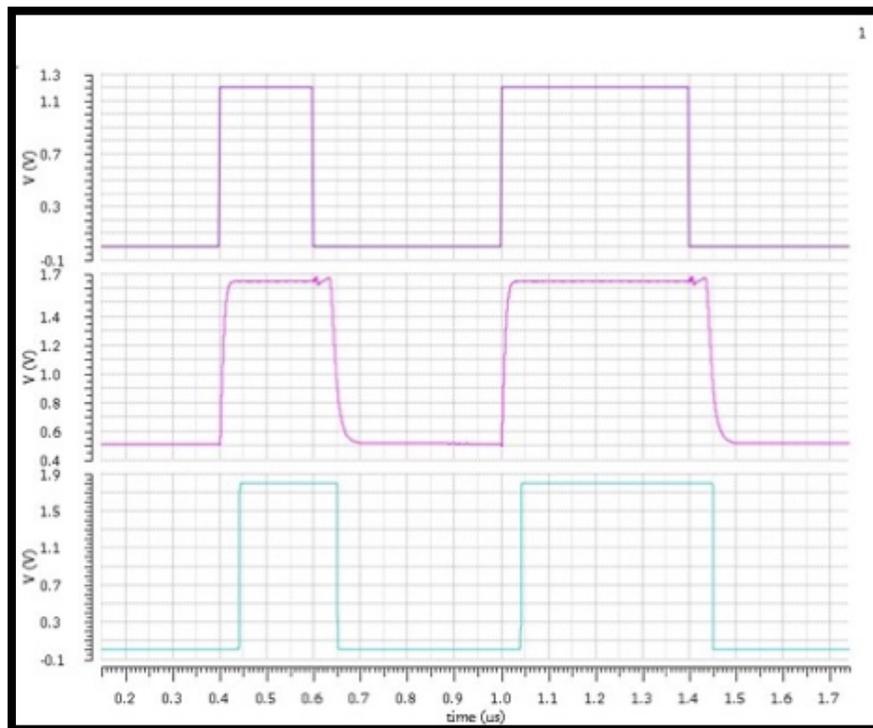


Figura 29- Comparação entre o sinal utilizado como referência para ser modulado, a saída do bloco amplificador e saída do bloco comparador (--sinal modulante, --saída amplificador, --saída recetor).

### 3.5 Conversor RF-DC

Tal como referido anteriormente, o chip elaborado deve ser carregado por uma ligação sem fios, tornando-se necessária a implementação de um circuito dentro do chip que faça a conversão das ondas RF (sinal AC (corrente alternada) de elevada frequência) para uma onda DC, de modo a que esta energia possa ser armazenada numa bateria. O circuito implementado para esta conversão foi descrito pela primeira vez em [46] por Kotani, tendo sido otimizado para uma frequência de 2 GHz. O retificador implementado apresenta 3 andares por forma a

aumentar a tensão de saída. Na Figura 30 é possível observar o circuito constituído apenas por um andar (*diode-connected MOSFET*) e por três andares.

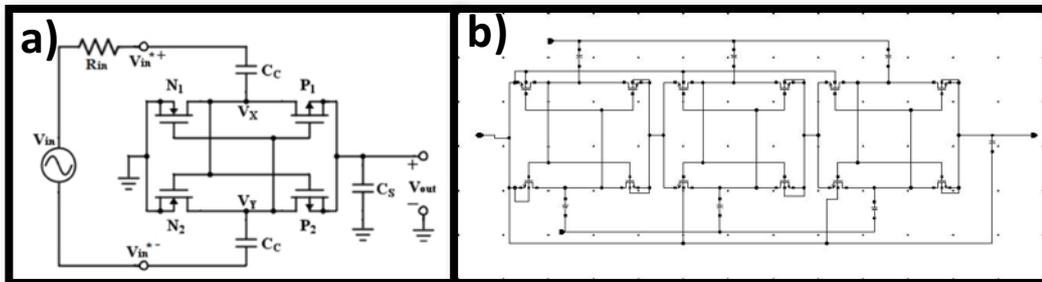


Figura 30- a) *diode-connected MOSFET* descrito em [46] b) retificador implementado constituído por três andares.

Para demonstrar o correto funcionamento do circuito descrito acima, efetuaram-se algumas simulações. Por forma a mimetizar uma fonte RF, colocou-se um porto com uma impedância de saída de  $50 \Omega$  e com uma frequência de sinal de 2 GHz. Com isto, foi possível verificar que o aumento da tensão AC de entrada provoca também um aumento da tensão DC de saída. Foi verificado ainda que este retificador funciona apenas para tensões superiores a 300 mV, pois abaixo deste valor as tensões na saída do retificador, e conseqüentemente aos terminais da bateria, são muito próximas de 0 V, como é possível observar no gráfico da Figura 31. Por forma a simplificar as simulações, utilizou-se um condensador para mimetizar a bateria.

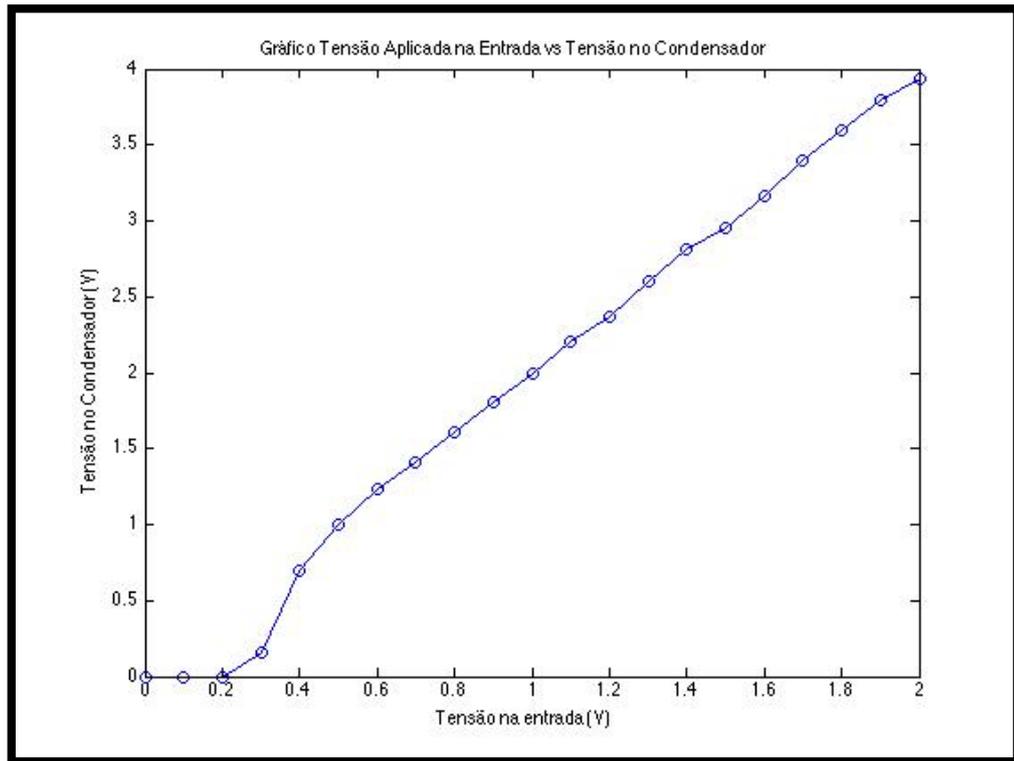


Figura 31- Gráfico tensão de entrada do RF-DC vs. tensão de saída do RF-DC.

Um outro estudo de interesse reside no facto de perceber a evolução da tensão no condensador quando adicionada uma carga em paralelo, ou seja, permitir perceber até que ponto se podem ligar outros circuitos em paralelo, enquanto ocorre o processo de carga. Os resultados obtidos encontram-se na Figura 32.

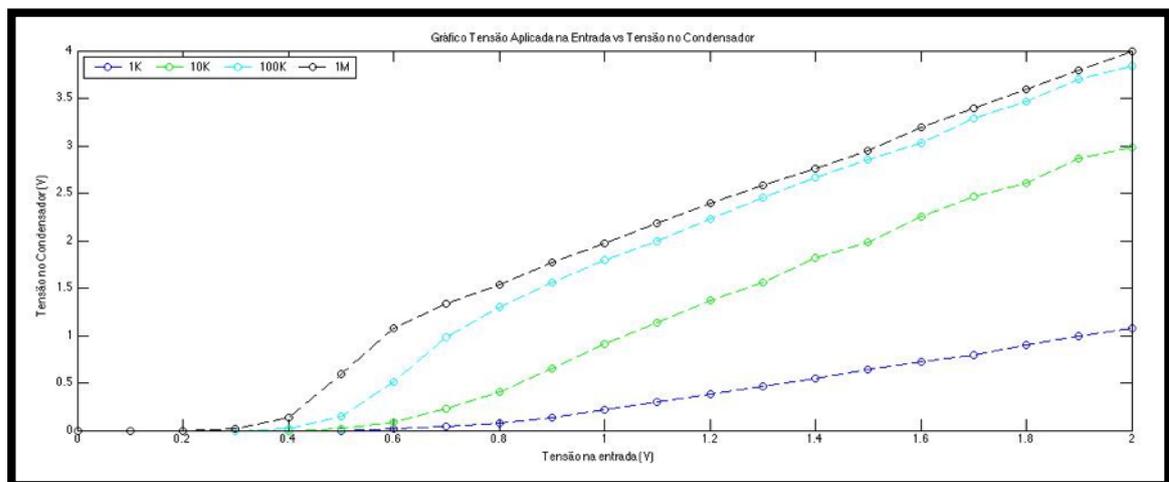


Figura 32- Gráfico tensão de entrada do RF-DC vs. tensão de saída do RF-DC para diferentes cargas ligadas em paralelo.

Analisando o gráfico acima, percebe-se que é possível ligar circuitos com impedâncias superiores a 10 k $\Omega$ , continuando o circuito a funcionar e a carregar o condensador. No entanto, para cargas inferiores o circuito não consegue manter a mesma eficiência. Numa tentativa de aumentar a eficiência do conversor (aumentar a corrente na saída do retificador) colocaram-se 3 circuitos iguais ao representado na Figura 30 b), tendo sido possível verificar um aumento na potência de saída do retificador. A saída deste bloco liga diretamente a um carregador de bateria para que a corrente aplicada nesta seja constante e para que seja possível a seleção de um valor de tensão máximo na bateria. Na próxima secção serão apresentados todos os circuitos elaborados para a gestão da energia na bateria.

### *3.6 Análise de desempenho da gestão de energia*

---

Nesta secção serão abordados detalhadamente os blocos de gestão de energia implementados: bloco gestão da bateria e carregador da bateria. De salientar que o carregador da bateria utilizado foi elaborado no âmbito de outra dissertação [47], e apenas foi redesenhado e testado o seu funcionamento aquando da sua integração no sistema global.

#### *3.6.1 Arquitetura do bloco de gestão da bateria*

---

É importante ter em mente que este sistema deve funcionar ligado apenas à tensão da bateria e que esta varia consoante se encontra em carregamento ou em descarregamento. Para acomodar esta variação e garantir uma tensão DC estável para alimentar o sistema, foi necessário implementar um regulador de tensão. O circuito implementado encontra-se apresentado na Figura 33.

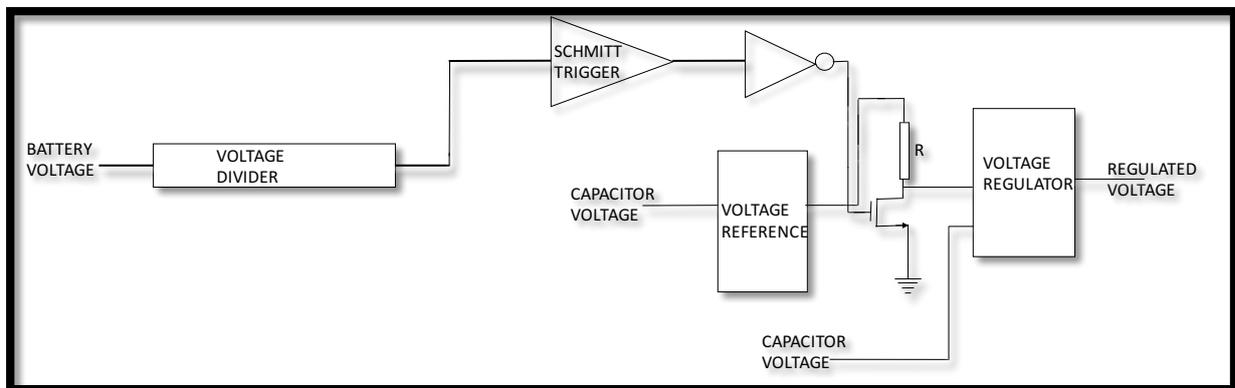


Figura 33- Arquitetura do Bloco Gestão de Bateria, por simplificação não se apresenta o regulador de tensão utilizado para alimentar o schmitt trigger e o inversor.

Como podemos observar na figura acima, este bloco funciona apenas com a tensão da bateria (tensão variável designada por VCAP). A saída deste circuito é uma tensão DC de 1.8 V.

Para que este circuito funcione da forma descrita anteriormente, implementou-se o *schmitt trigger* descrito em [43], com o SPH (nível inferior de comparação) selecionado a 0.6 V e o SPL (nível superior de comparação) a 1 V. A entrada deste *schmitt trigger* encontra-se ligada a um divisor de tensão [43], implementado em CMOS, que diminui a tensão na entrada no *schmitt trigger* por um fator de 3 quando comparado com a tensão da bateria. A redução da tensão da bateria na entrada do *schmitt trigger* é necessária porque este apenas funciona com tensões de entrada abaixo da sua tensão de alimentação (1.8 V). A saída do *schmitt trigger* encontra-se ligada a um transistor projetado para ser utilizado como interruptor, isto é, ou se encontra ao corte ou em saturação, permitindo ligar e desligar o regulador de tensão [43], ligando ou desligando posteriormente os circuitos que estiverem conectados à sua saída. Uma vez que a tensão na bateria varia, foi necessária a implementação deste regulador de tensão para que a alimentação de todos os outros circuitos seja estável a 1.8 V. O funcionamento deste bloco encontra-se ilustrado na Figura 34 b).

Um outro circuito implementado para a gestão da energia, mais concretamente para o controlo do carregamento da bateria, foi um circuito carregador da bateria. Este circuito é constituído por um amplificador de transimpedância, um andar de ganho em corrente e um circuito detetor de fim de carga. Nos seguintes pontos serão abordados os circuitos referidos anteriormente.

### 3.6.2 *Gestão do carregamento da bateria*

---

A utilização de ondas de RF para o carregamento de dispositivos implantáveis, apesar da sua eficiência ter vindo a melhorar ao longo dos anos, ainda não apresenta a eficiência desejada para certas aplicações. Uma vez que o bloco de comunicação tem um consumo instantâneo elevado durante o seu funcionamento (por exemplo, o consumo do bloco recetor é de 11 mW, enquanto que o bloco de comunicação é de 93 nW), o carregamento da bateria sem que este bloco se encontrasse desligado seria impossível ou muito lento. Isto acontece devido ao facto do consumo instantâneo do LNA adotado ser relativamente elevado (em benefício da área) e do emissor também ter um consumo significativo. De salientar que durante o processo de carregamento as fontes de corrente (atuação) encontram-se desligadas, pois caso estas se encontrassem ligadas o processo de carregamento tornar-se-ia impossível. Assim, o circuito implementado é importante para gerar um sinal que desligue toda a parte de comunicação (emissor, recetor) e atuação (fontes de corrente).

O funcionamento geral deste bloco tem por objetivo o seguinte: desligar os blocos acima mencionados quando a tensão na bateria está abaixo de um determinado valor e ligá-los quando esta tensão é superior a outro valor. O circuito deverá funcionar da seguinte forma: a tensão na bateria desce abaixo de um determinado valor, o sinal gerado faz com que os blocos atuação e comunicação se desliguem, procede-se ao carregamento da bateria; a tensão na bateria sobe e atinge um valor predefinido, os blocos desligados anteriormente ligam-se, e a tensão na bateria vai baixando até que seja outra vez atingido o limite inferior predefinido. Os transístores utilizados funcionam com alimentações de 1.8 V, pelo que este será o valor escolhido para o limite inferior de comparação. Para o limite superior deverá ser escolhido um valor alto, mas não demasiado alto, pois deve ser garantido que se atinge este valor de tensão na bateria através do carregamento sem fios, tendo-se optado por definir o limite superior como 3 V. De referir que este valor pode ser alterado mais tarde após o teste e caracterização do chip fabricado. O funcionamento deste bloco encontra-se ilustrado na Figura 34 a).

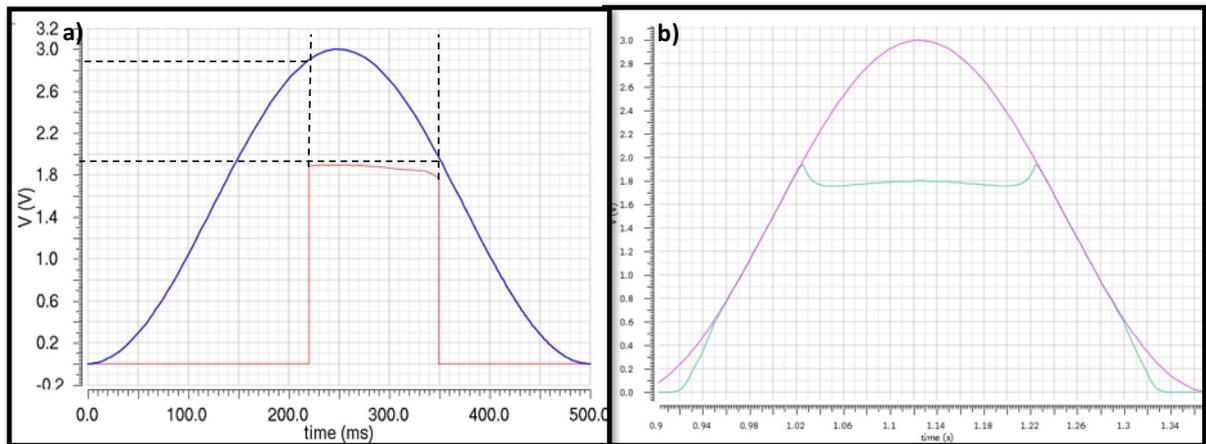


Figura 34- **a)** Funcionamento do bloco gestão de bateria (-- tensão na bateria, -- saída do bloco gestão da bateria **b)** Funcionamento do regulador de tensão implementado (--tensão de entrada, --saída do regulador de tensão).

Uma vez que é necessário o carregamento de uma bateria, a saída do conversor RF-DC liga diretamente a um carregador de bateria, carregador este que será apresentado seguidamente.

### 3.6.3 Carregador de bateria

A saída do retificador acima descrito será utilizada para carregar uma bateria. Uma vez que as baterias têm uma tensão máxima de carga, implementou-se um circuito de controlo do carregamento que permite seleccionar a tensão máxima nesta, com a aplicação de uma corrente constante. Este circuito liga diretamente à saída do circuito RF-DC descrito anteriormente e gera um perfil de tensão de saída que se caracteriza por ser modelado por uma tangente hiperbólica, perfil de carregamento que é aconselhado para uma bateria. O circuito implementado pode ser dividido essencialmente em 3 circuitos: amplificador operacional de transcondutância, andar para fornecer ganho em corrente e um detetor de nível para detetar quando a bateria se encontra totalmente carregada. Estes circuitos encontram-se representados na Figura 35. A saída do amplificador de transcondutância depende da tensão de referência aplicada numa das suas entradas, tendo esta sido seleccionada como sendo a tensão de saída do conversor RF-DC. Para tensões na bateria inferiores à tensão de referência, o amplificador encontra-se em saturação. No entanto, quando a tensão na bateria é igual à tensão de alimentação, o amplificador deixa de estar em saturação e entra na região linear, fazendo com que a corrente de saída baixe [48]. Ligado ao amplificador de transcondutância encontra-se um andar para fornecer ganho em corrente para que se aumente a corrente de saída deste

amplificador. A este amplificador encontra-se também ligado um circuito designado por detetor de fim de nível, sendo a sua função, tal como o nome indica, detetar quando a bateria atingiu a tensão desejada. Este circuito compara a corrente selecionada como corrente de referência (IREF2) com a corrente que atravessa o MOSFET P7 (*End of Charge Input*). A corrente de referência IREF2 foi escolhida por forma a ser igual a IREF1. A saída deste circuito (*End of charge output*) transita de 0 V até à tensão de alimentação quando a tensão na bateria é igual à tensão de comparação VREF. Quando esta tensão é igual a VDC, o *MOSFET* P13 fica ao corte, desativando o andar de ganho em corrente e acabando assim com o carregamento da bateria.

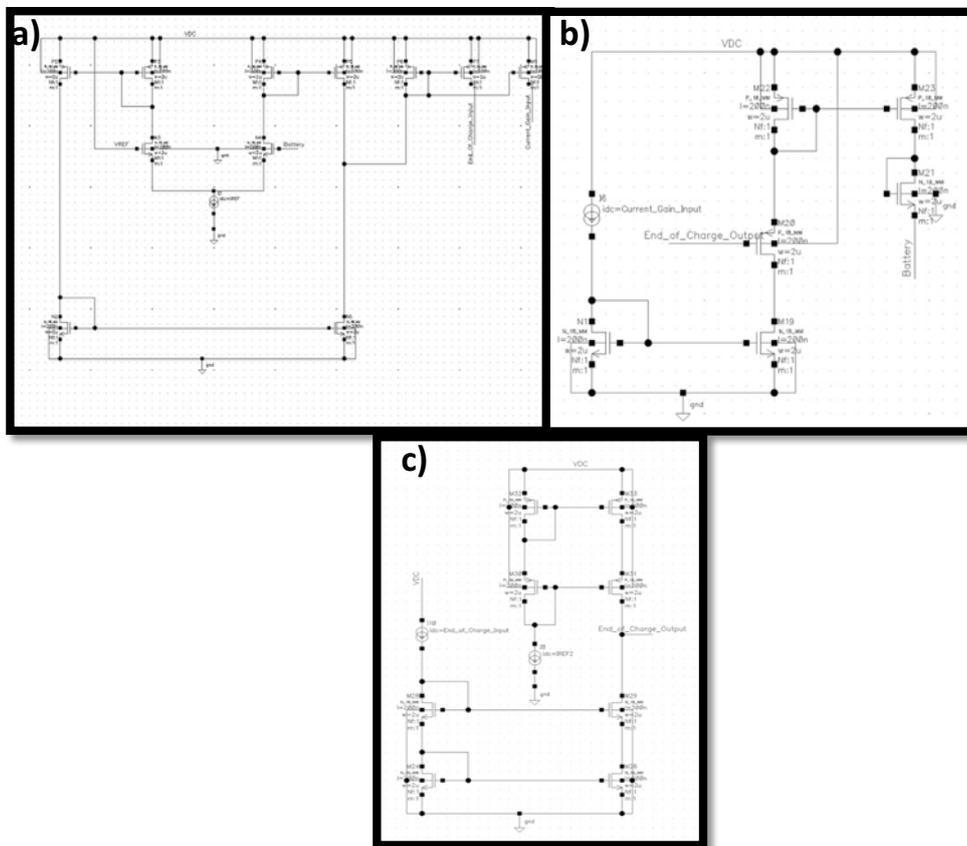


Figura 35- a) Amplificador de transimpedância b) Andar de ganho em corrente c) Detetor de fim de carga.

Segundo um estudo realizado em [47], o carregador necessita de uma alimentação mínima de 500 mV para funcionar. Neste estudo foi concluído que este carregador é capaz de carregar uma bateria quando esta se encontra totalmente descarregada, e quanto maior a tensão de alimentação mais rápido será o carregamento da bateria.

### 3.7 *Unidade Lógica*

---

Uma vez descrita a forma como o chip comunica e recebe instruções do exterior (bloco emissor e recetor), é necessário descrever quais as ações possíveis de controlar e de que forma isto é conseguido. O dispositivo desenvolvido deve permitir configurar, ligar e desligar oito fontes de corrente externamente, programando assim a corrente que atravessa uma carga ligada externamente (*Peltier*). Estas fontes de corrente estão colocadas em paralelo para alimentar uma carga, sendo possível alterar a corrente que passa nessa carga ativando ou desativando cada uma das fontes de corrente. Externamente, deve ser possível identificar quais as fontes que se encontram ligadas e desligadas. Assim, foi necessária a criação de uma unidade lógica que interprete os sinais recebidos e permita realizar as ações por eles designadas. Este bloco consome apenas 93 nW para a sua operação. No ponto seguinte será explicado o protocolo para controlo de todas as ações realizadas pelo sistema desenvolvido.

#### 3.7.1 *Protocolo de controlo*

---

Tal como descrito anteriormente, este sistema deve ser capaz de controlar uma fonte de corrente programável. Assim, é possível escolher, de entre 8 fontes, quais as que se encontram ativas, fazendo assim variar a corrente na carga de saída (*Peltier*). O protocolo de controlo inclui sempre uma palavra de três bits de início, sendo depois selecionada a ação (seleção da saída pretendida no descodificador) e por último é enviada uma sequência de bits para que seja possível a realização dessa ação. No caso da programação das fontes, após o envio dos primeiros sete bits é necessário também o envio dos oito bits que correspondem à seleção das fontes ativas. Após a programação das fontes, estas podem ser ligadas ou desligadas. De salientar que antes de se programarem as fontes deve ser enviado o código de RESET. Quando se pretende saber quais as fontes que se encontram programadas, deve enviar-se o código 101001 seguido de onze zeros para garantir que toda a informação é enviada através do bloco emissor.

Na Figura 36 é possível observar uma imagem com os códigos a enviar para a realização das diferentes ações.



Figura 36- Códigos a enviar para realizar as diferentes ações.

### 3.7.2 Descodificador

Após a obtenção de um sinal desmodulado por parte do bloco recetor, é necessária a sua descodificação para que se identifique a ação pretendida. O descodificador utilizado consiste num conversor série-paralelo ligado a um demultiplexador. Uma vez que são possíveis tomar 4 ações (configurar as fontes, ligá-las e desligá-las, limpar a configuração e enviar quais as fontes que se encontram ligadas) serão necessários três bits, ou seja, é necessário um conversor série paralelo de três bits e um demultiplexador de três bits também. Pode parecer estranho o facto de serem necessários três bits para codificar quatro ações, no entanto isto é facilmente explicado porque a codificação com os bits todos a zero não ativa nenhuma ação, uma vez que por defeito o sinal que se encontra na entrada do circuito é zero. De forma simples, a ação é escolhida ativando uma saída no demultiplexador. Na Figura 37 é possível observar um esquema geral do bloco descodificador, enquanto que na Tabela 1 podemos observar a saída selecionada consoante os bits selecionados no descodificador.

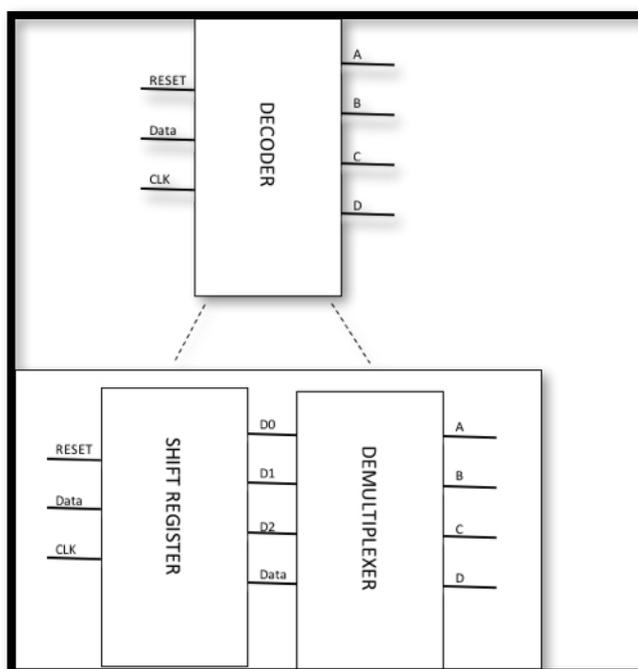


Figura 37-Esquema geral do decodificador.

Tabela 1- Saída selecionada consoante os bits selecionados no decodificador sendo: A-fazer RESET às fontes B-Programar fontes C-Ligar e desligar fontes D-Enviar fontes que se encontram ligadas.

D2	D1	D0	Saída
0	0	0	-----
0	0	1	A
0	1	0	B
0	1	1	C
1	0	0	D

Por forma a que a saída do conversor série-paralelo selecione a saída do desmultiplexador durante mais do que um ciclo de relógio, este possui as suas saídas ligadas a *latches SR* com sinal de ativação (*enable*).

Para selecionar uma saída no desmultiplexador, é necessário o envio de cinco bits: três para selecionar a saída a ativar e dois para ativar um circuito que controla o sinal de *enable* das *latches SR*. Desta forma, permite-se que os bits da palavra que se encontram à direita destes cinco bits não alterem a saída selecionada até que o circuito que controla o *enable* seja alterado. Na Figura 38 é possível observar a ligação da *latch SR* à saída do conversor série paralelo para conferir memória volátil ao circuito.

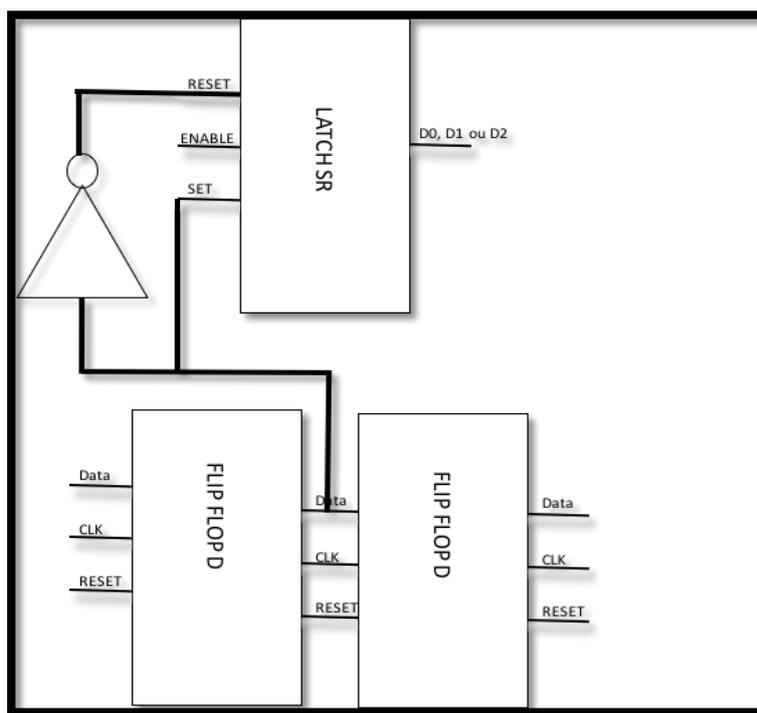


Figura 38- Latch SR ligada a cada saída do conversor série paralelo para que seja possível conferir memória ao descodificador.

Na Figura 39 é possível observar o funcionamento do descodificador descrito anteriormente quando se seleciona a saída B, isto é, quando se pretende programar as fontes.

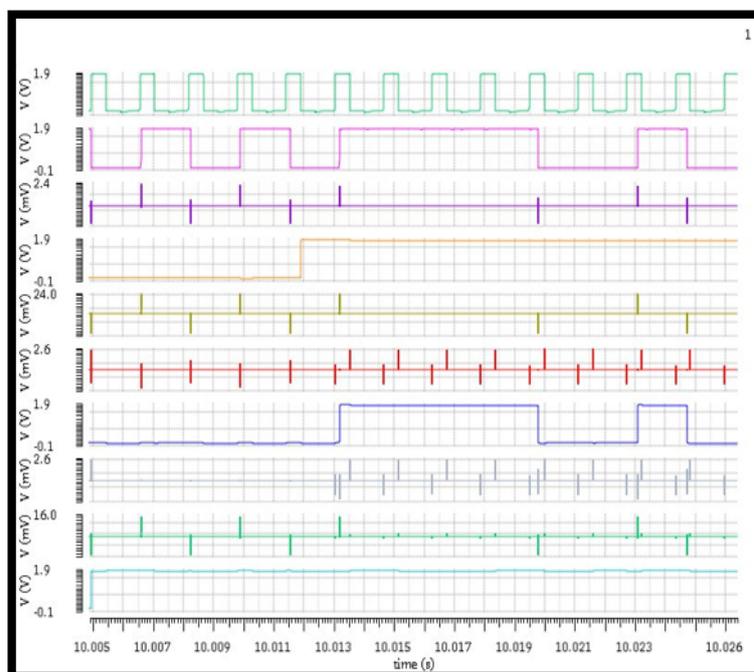


Figura 39- Exemplo da seleção da saída B (D0-0 D1-1 D2-0) (-- sinal de relógio, -- sinal de entrada (Data), --D0, --D1, --D2, --A, --B, --C, --D, --RESET).

### 3.8 Fonte de corrente programável

---

Uma vez que se pretende controlar a corrente num elemento atuador, o *Peltier*, foi necessária a implementação de uma fonte de corrente programável no *chip*.

#### 3.8.1 Arquitetura da fonte

---

A fonte de corrente programável implementada utiliza oito fontes de corrente, que foram construídas com base em oito espelhos de corrente. Como corrente de referência utilizou-se uma corrente ajustável através de uma resistência externa. Uma vez que deve ser possível selecionar quais os braços ativos do espelho de corrente (por forma a controlar a corrente a ser aplicada na carga), colocaram-se vários transístores PMOS suficientemente grandes nas alimentações dos braços das fontes de corrente. Estes transístores foram utilizados como interruptores de controlo sobre os braços que se encontram ativos. É possível observar o circuito implementado para fornecer a corrente ao atuador na Figura 41. O sinal a ligar à *gate* deste transístor (por forma a colocar este ao corte ou em saturação, isto é, ligar e desligar o braço) é o sinal resultante do bloco para ligar e desligar as fontes, ou seja, o sinal resultante da operação lógica NAND das saídas do bloco “programar fontes” com a saída do bloco “ligar e desligar fontes”. Assim, quando esta saída se encontra no nível lógico 0 (0 V) o transístor PMOS começa a conduzir, ativando o braço da fonte de corrente selecionado. Contrariamente, quando o sinal aplicado ao transístor PMOS corresponde ao nível lógico 1 (1.8 V) o transístor PMOS não conduz, encontrando-se assim este braço da fonte desligado. Na Figura 40 é possível observar o sinal aplicado aos diferentes PMOS de controlo para ativação das fontes de corrente F8, F7, F6 e F3.

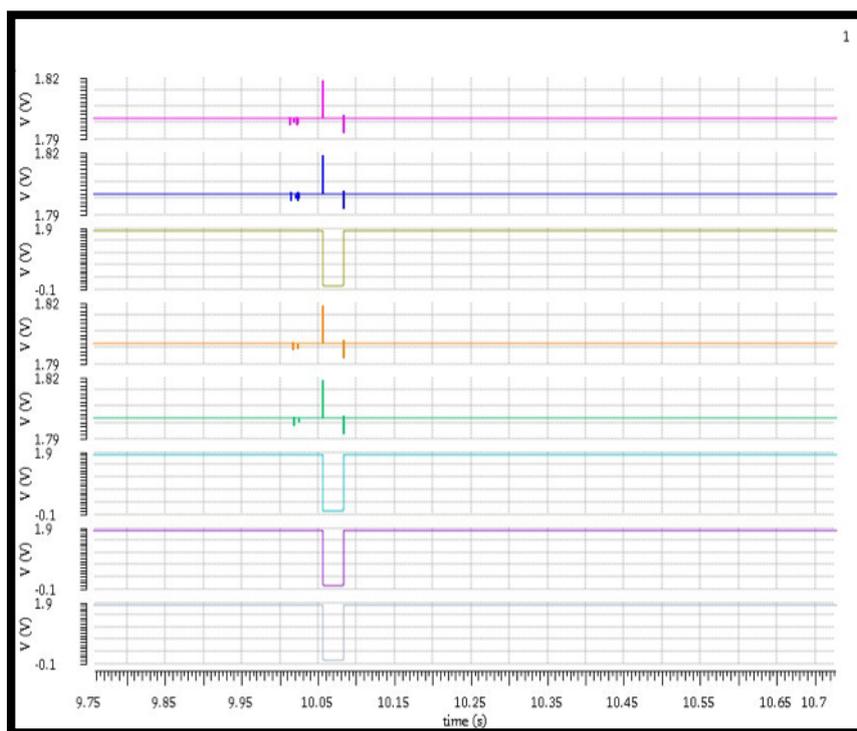


Figura 40- Exemplo do sinal aplicado aos transistores PMOS de controlo descritos anteriormente para ativar as fontes de corrente seleccionadas. As fontes a ligar neste caso serão a F8, F7, F6 e F3. (sinal para ligar as fontes: (--F1, --F2, --F3, --F4, --F5, --F6, --F7, --F8)).

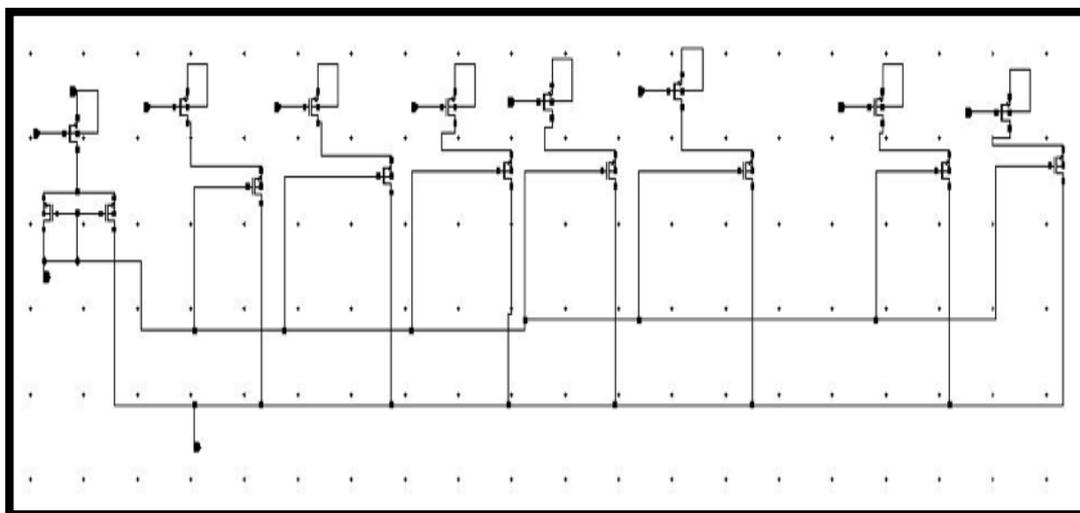


Figura 41- Exemplo dos espelhos de corrente utilizados como fontes de corrente com os transistores PMOS de controlo.

Observando a imagem anterior, é possível verificar que a corrente que vai ser espelhada (isto é, a corrente de referência) pode ser ajustada variando a resistência que liga ao braço de referência. Por exemplo, se se seleccionar uma resistência de 1 k $\Omega$  e uma resistência de 5  $\Omega$

como resistência de carga, a corrente que atravessa cada braço da fonte é de 16 mA. Considerando que se encontram 4 fontes ativas, a corrente na carga será de  $16 \times 4$  mA, ou seja, cerca de 64 mA.

Este bloco apresenta um baixo consumo quando todas as fontes se encontram desligadas, 22.5 nW (devido à corrente de referência), no entanto este consumo dispara para valores bastante elevados quando todas as fontes se encontram ligadas, tal como seria de esperar, sendo este de 143 mW.

### *3.8.2 Bloco de configuração das fontes de corrente*

---

Como foi referido anteriormente, é necessária a configuração das fontes de corrente que se encontram ativas por forma a controlar a corrente que atravessa a carga. Para que seja possível escolher as fontes que irão estar ativas, construiu-se um conversor série-paralelo semelhante ao descrito anteriormente (contendo também as *latches SR* com *enable* para conferir memória ao sistema). Assim, escolhe-se ligar ou desligar uma fonte colocando o valor 1 ou 0 na *latch SR* correspondente. Após a configuração das 8 fontes, as *latches* deste circuito são ativadas (através do sinal de *enable*), guardando os valores que se encontram naquele momento na posição correspondente do conversor série-paralelo. Na Figura 42 é possível observar um exemplo da configuração das fontes, sendo ignorada a seleção da saída B no decodificador. Na Figura 43 é possível observar a configuração das mesmas fontes, evidenciando os bits selecionados no decodificador.

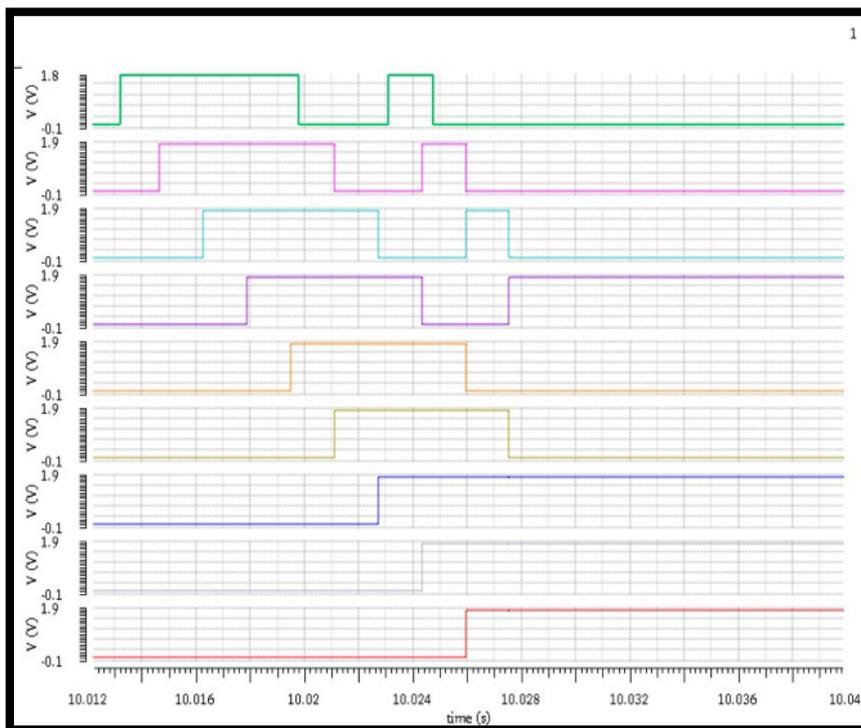


Figura 42- Configuração das fontes F8, F7, F6 e F3 para que possam posteriormente ser ligadas. Como é possível observar, após a seleção da saída B no descodificador a palavra que transita para esta saída é 11100100. O bit mais significativo corresponde à configuração da fonte F8 e o menos significativo a F1 (--B, --F1, --F2, --F3, --F4, --F5, --F6, --F7, --F8).

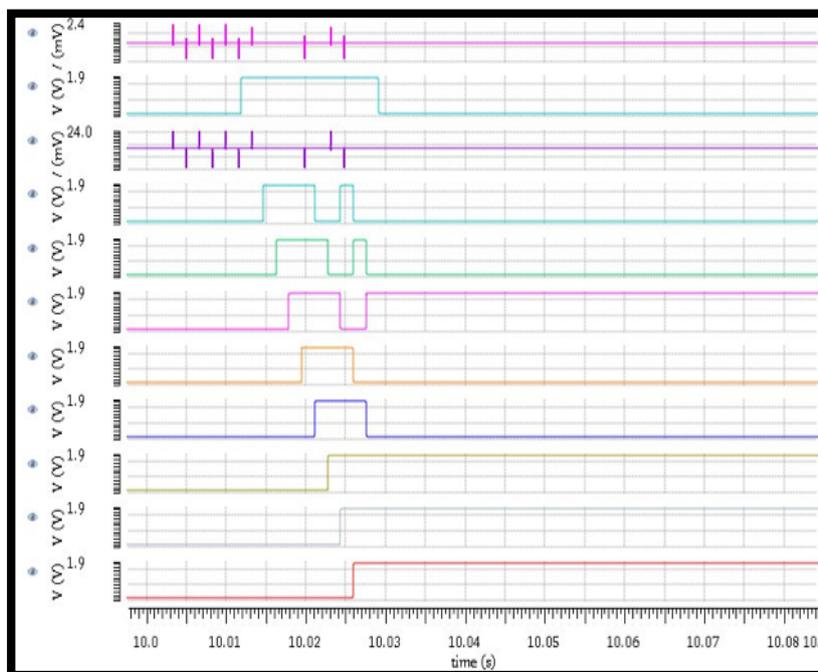


Figura 43- Exemplo do funcionamento do circuito de configuração das fontes, evidenciando o sinal selecionado no descodificador. Quando se seleciona no descodificador a saída B as fontes são ativadas (--D0, --D1, --D2, --F1, --F2, --F3, --F4, --F5, --F6, --F7, --F8).

### 3.8.3 Bloco para reiniciar as fontes configuradas

Após as fontes estarem configuradas e a informação guardada nas *latches SR*, pode ser necessário reprogramá-las. Antes de se reprogramarem as fontes é necessário colocar todos os registos do conversor série-paralelo a 0 e fazer RESET aos valores guardados nas *latches SR*. Esta ação é necessária uma vez que só assim se garante que os valores que se encontram no conversor série-paralelo do bloco “configurar fontes” não interferem com a nova configuração, uma vez que não sendo colocados a 0 poderiam fazer com que o sinal de *enable* fosse gerado e estas guardassem valores incorretos. Assim, foi construído um circuito que faz RESET às *latches SR* e aos *flip-flops D* do bloco anterior. O seu funcionamento encontra-se ilustrado na Figura 44.

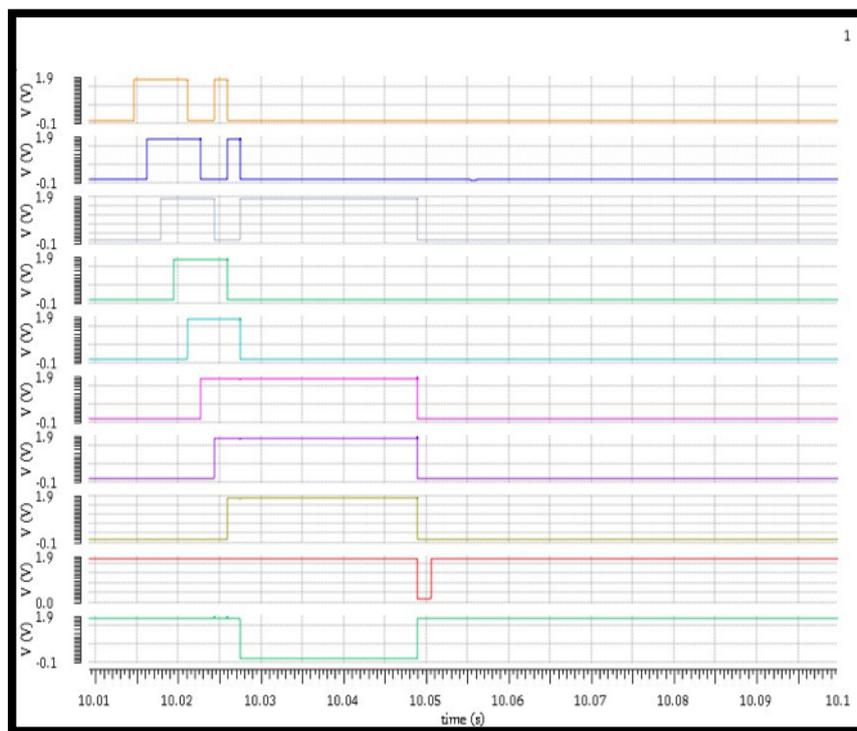


Figura 44- Funcionamento do bloco que faz RESET ao bloco de programação das fontes. Como é possível observar, inicialmente as fontes foram programadas (F8-F1). O sinal ENABLE (sinal que ativa as latches SR) encontra-se no nível lógico 1 quando se pretende programar as fontes, isto é, quando se pretende guardar valores do conversor serie paralelo para as latches SR. Quando este sinal passa para o nível lógico 0 as latches guardam os valores que se encontram na sua saída. Após a ativação do circuito um sinal de RESET é gerado, permitindo fazer RESET às latches SR e ao sinal que vai permitir que seja possível voltar a programar as fontes ( --F1, --F2, --F3, --F4, --F5, --F6, --F7, --F8, --RESET, --ENABLE).

### 3.8.4 Bloco para ligar e desligar as fontes

Após a configuração das fontes, é possível ligá-las e desligá-las. Para ligar as fontes previamente programadas, optou-se por fazer a operação lógica NAND entre o sinal de saída do bloco de configuração das fontes com um bloco criado para gerar o nível lógico 1 quando se pretendem ligar as fontes e 0 quando se pretendem desligar. Este bloco foi construído de forma semelhante aos anteriores (conversor série paralelo com ativação do *enable* quando se pretende mudar o valor guardado na *latch* SR), colocando o valor 1 na *latch* SR quando se pretendem ligar as fontes e o valor 0 quando se pretende desligar estas. Na Figura 45 a) é possível observar arquitetura do bloco ligar fontes e em b) o sinal gerado para ligar as fontes.

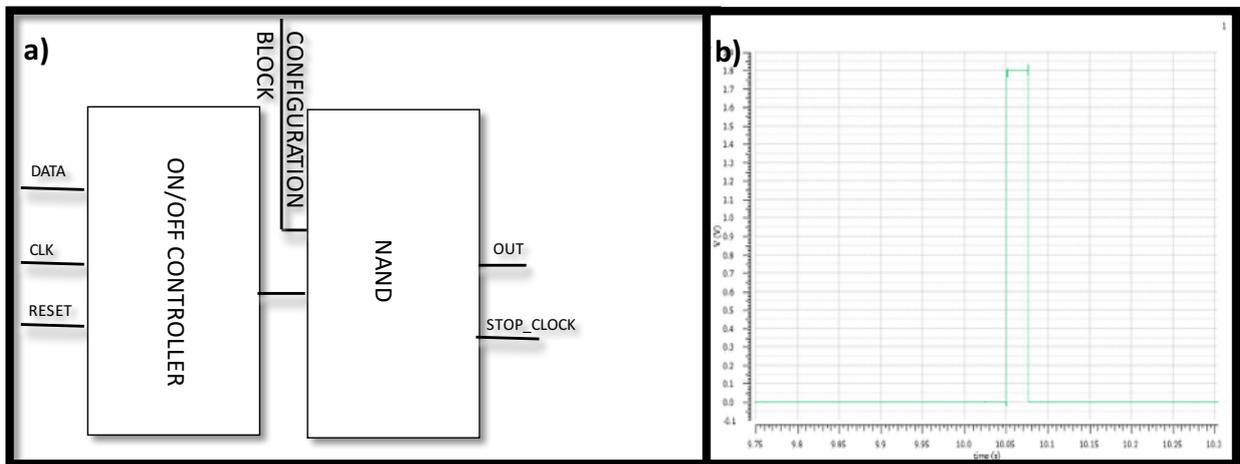


Figura 45- a) Arquitetura do bloco ligar fontes. b) Exemplo do sinal gerado para ligar e desligar as fontes.

## 3.9 Blocos auxiliares

Além dos blocos específicos anteriores, foi ainda necessário implementar alguns blocos auxiliares para o funcionamento do sistema.

### 3.9.1 Bloco de leitura das fontes programadas

O *chip* final, tal como referido anteriormente, possui a capacidade de enviar informação para o exterior. A informação enviada será sobre quais as fontes de corrente que se encontram ligadas ou desligadas. Este bloco encontra-se ligado diretamente ao bloco emissor (entrada *DATA\_IN*) descrito anteriormente. Para que seja possível gerar um sinal sobre a informação

das fontes de corrente, implementou-se um conversor paralelo-série onde nas entradas em paralelo se encontra ligado o sinal que indica se determinada fonte se encontra ligada ou não (saída do bloco de configuração das fontes de corrente) e, para que seja mais fácil a receção deste sinal e deteção de erros, optou-se por adicionar dois bits no início da palavra e um bit no fim. Assim, se o recetor (externo ao chip) não receber onze bits quer dizer que a palavra não foi enviada corretamente. Uma vez que se pretende enviar apenas os onze bits, implementou-se um contador de onze bits para desligar o sinal de relógio deste conversor paralelo-série e para fazer RESET ao bloco “descodificador”. Isto permite que possa ser realizada outra qualquer ação no futuro. A arquitetura deste bloco encontra-se representada na Figura 46 a). O seu funcionamento encontra-se representado na Figura 46 b).

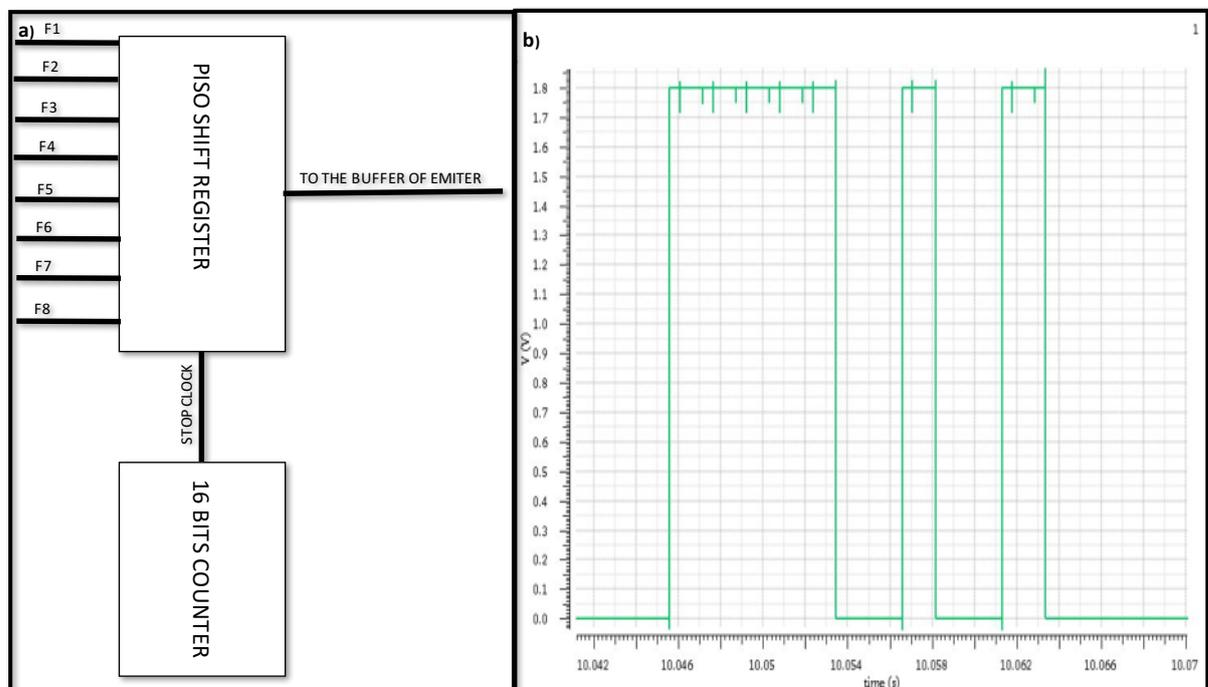


Figura 46- a) Arquitetura do bloco de controlo do emissor b) Exemplo do sinal gerado para o envio do sinal de controlo do emissor para que este possa ser enviado através de comunicação sem fios. A informação das fontes que se encontram ligadas são as fontes F8, F7, F6 e F3. Assim a palavra a enviar é: 111110010011.

### 3.9.2 Sinal de relógio

Para que o sistema descrito anteriormente funcione, é necessário um circuito que gere o sinal de relógio. Existem diversos circuitos para gerar este tipo de sinais, em que os mais simples são os osciladores em anel. Estes circuitos caracterizam-se por serem construídos por um número ímpar de inversores ligados em série, em que o último inversor liga diretamente ao primeiro, sendo este o nó de saída do circuito. O controlo da frequência de oscilação é feito

através do tamanho dos transístores e número de inversores. Para gerar o sinal de relógio, utilizaram-se inversores baseados em tirístores, devido ao seu baixo consumo, tais como os descritos e implementados em [49]. Os transístores foram ajustados para que a frequência gerada pelo circuito fosse baixa, facilitando toda a eletrônica implementada. A escolha de uma frequência baixa para a comunicação só foi possível devido ao facto da frequência de comunicação não ser um fator importante no desenvolvimento do *chip*. A frequência selecionada foi de 621 Hz (1.61 ms). Na Figura 47 é possível observar o sinal de relógio gerado por este bloco.

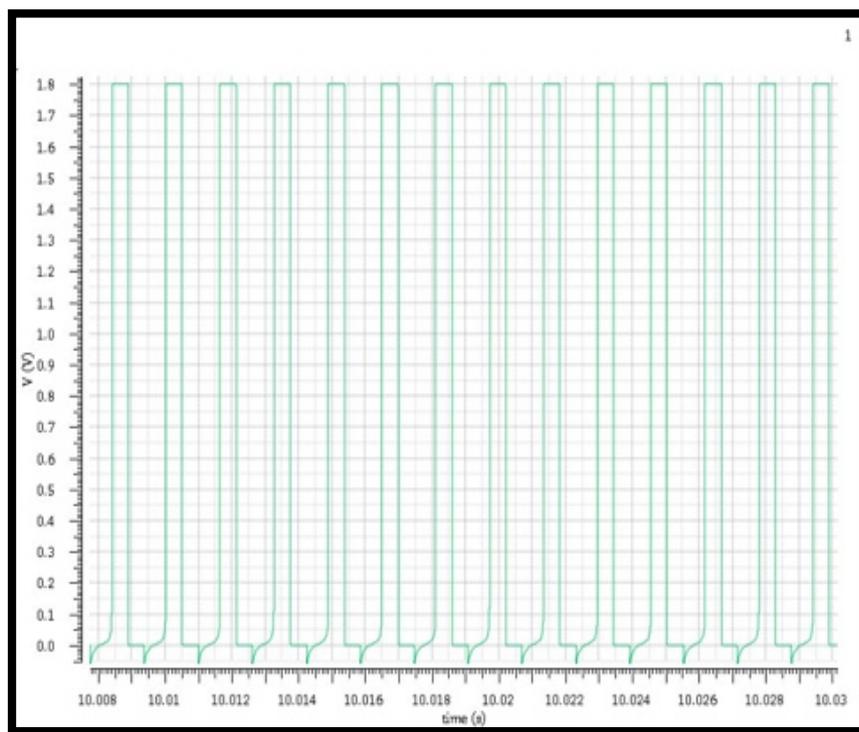


Figura 47- Sinal de relógio gerado para o funcionamento dos blocos descritos anteriormente.

Uma vez que o bloco comunicação passará a maior parte do tempo desligado, optou-se por ligar o sinal de relógio sempre que se precisa de comunicar, sendo que no fim de cada ação o sinal de relógio é desligado. Para isso, utilizou-se um *MOSFET* PMOS como interruptor. Sempre que este *MOSFET* tem o valor lógico 0 na sua *gate*, fica em saturação e ativa o sinal de relógio. Contrariamente, quando o sinal na sua *gate* é de 1.8 V (1 lógico), o *MOSFET* fica ao corte, desligando assim este sinal. Para o controlo do sinal de relógio utilizou-se um *flip-flop* T que comuta a sua saída sempre que existe uma transição na sua entrada. Sempre que uma ação é totalmente configurada, isto é, sempre que os *bits* são

guardados nas *latches* SR, é gerado um sinal que é aplicado à entrada do *flip-flop* T, fazendo com que este comute, desligando assim o sinal de relógio. De salientar que entre a saída do *flip-flop* T e o *MOSFET* PMOS responsável por ligar e desligar o sinal de relógio existe um inversor. Consequentemente, quando a saída no *flip-flop* T é 1, é gerado o sinal de relógio e, quando a sua saída é 0, o circuito que gera o sinal de relógio encontra-se desligado. Para que seja possível saber qual o estado inicial do *flip-flop* T, utilizou-se um *flip-flop* T com RESET assíncrono. Para desligar o sinal de relógio no fim de cada ação elaborou-se a operação lógica “OU” com todos os sinais de controlo (sinais gerados por cada bloco desenvolvido para realizar uma ação) bastando assim que seja gerado o sinal num dos blocos para desligar o sinal de relógio. Para voltar a ligar o sinal de relógio, é necessário o envio do bit 1, fazendo com que o *flip-flop* T volte a comutar a sua saída, isto é, é necessário provocar uma transição no sinal de entrada do *flip-flop* T, dado que o valor na entrada deste quando não existe sinal é 0. Este sinal encontra-se também ligado à entrada da porta “OU” anterior. Para garantir que apenas o primeiro *bit* enviado provoca a comutação da saída do *flip-flop* T, montou-se um circuito lógico que garante que apenas tem na sua saída o valor 1 quando o sinal de relógio se encontra desligado e o *bit* na sua entrada tem o valor lógico 1. Na Figura 48 é possível observar a arquitetura do circuito implementado para o controlo do sinal de relógio. Na Figura 49 é possível observar o sinal enviado para a ligação do sinal de relógio.

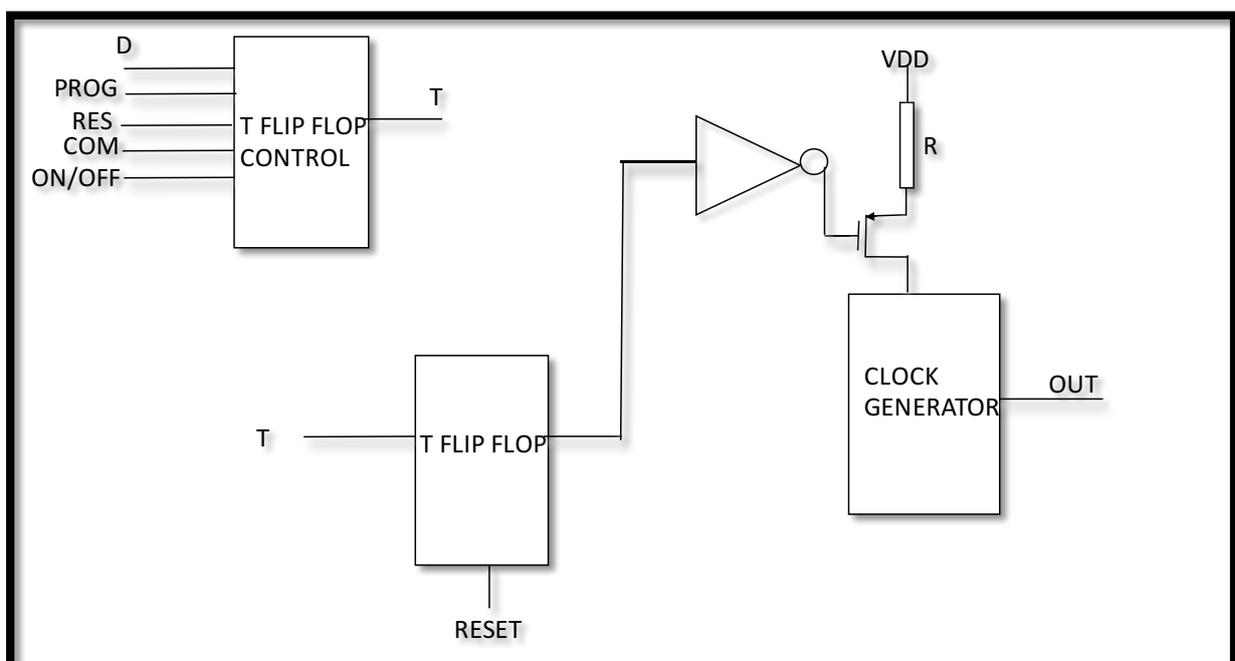
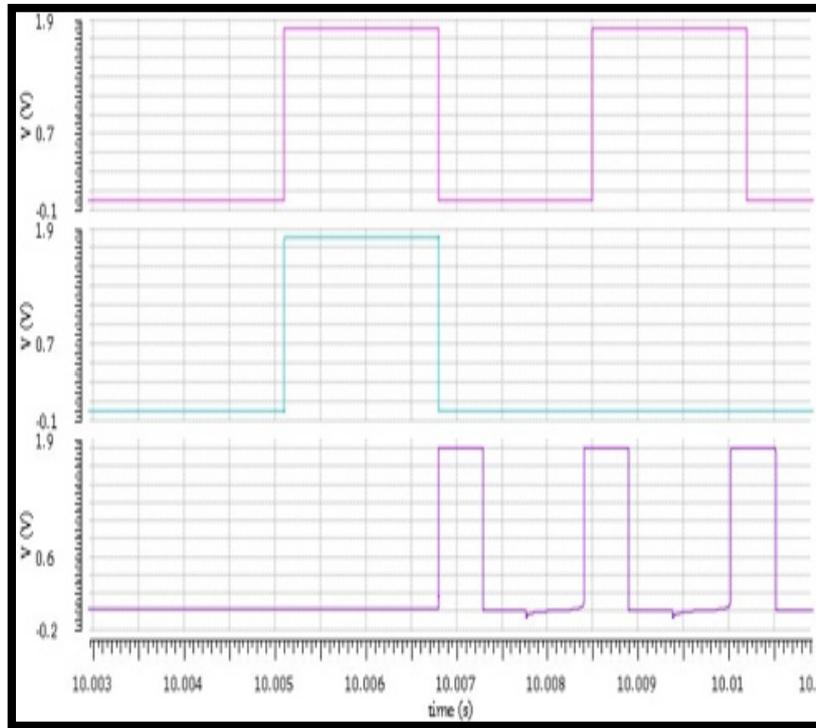


Figura 48- Esquema geral do circuito implementado para gerar o sinal de relógio, sendo as entradas de controlo os sinais gerados pelos diferentes blocos para desligar o sinal de relógio (D-dados recebidos do recetor, PROG-sinal gerado

*para parar o sinal de relógio pelo bloco programar fontes, RES-sinal gerado para parar o sinal de relógio pelo bloco programar reiniciar as fontes, COM-sinal gerado para parar o sinal de relógio pelo de leitura das fontes, ON/OFF-sinal gerado para parar o sinal de relógio pelo bloco para ligar e desligar as fontes).*



*Figura 49- Sinal enviado para a ligação do sinal de relógio. Os sinais observados são: sinal desmodulado, isto é, sinal enviado para que seja possível a realização de uma ação, sinal aplicado na entrada do flip-flop T e sinal de relógio gerado, respectivamente. (--sinal desmodulado, --sinal entrada flip flop T, --sinal de relógio).*

### 3.9.3 Circuito de wake-up

---

Atualmente, tal como referido anteriormente, existe uma grande preocupação com a gestão de energia e com o consumo excessivo de energia parte dos circuitos quando estes se encontram ligados. Para solucionar este problema, optou-se por construir um circuito que apenas liga o chip de acordo com um intervalo de tempo programado. O circuito de controlo não foi implementado diretamente no chip, uma vez que era necessário realizar alguns testes para definir qual a frequência que este sinal deveria ter para o correto funcionamento do chip. Assim, implementou-se apenas um regulador de tensão que pode ser utilizado para alimentar o *chip*, sendo este regulado externamente pelo sinal de controlo. Este sinal de controlo pode

ser gerado por um sinal de relógio com uma frequência baixa, tal como o implementado anteriormente e descrito em [49]. Uma outra abordagem encontra-se descrita em [50].

O circuito implementado consiste no regulador de tensão descrito em [43], em que o circuito para a tensão de referência se encontra descrito na mesma publicação, e um interruptor baseado num transistor NMOS que liga e desliga a referência que controla o regulador de tensão. Assim, ao controlar o funcionamento do regulador de tensão, é possível desligar todos os circuitos que se encontrem ligados a este. Na Figura 50 é possível observar a arquitetura do bloco implementado para ligar e desligar o *chip*, sendo possível observar na Figura 51 o seu funcionamento.

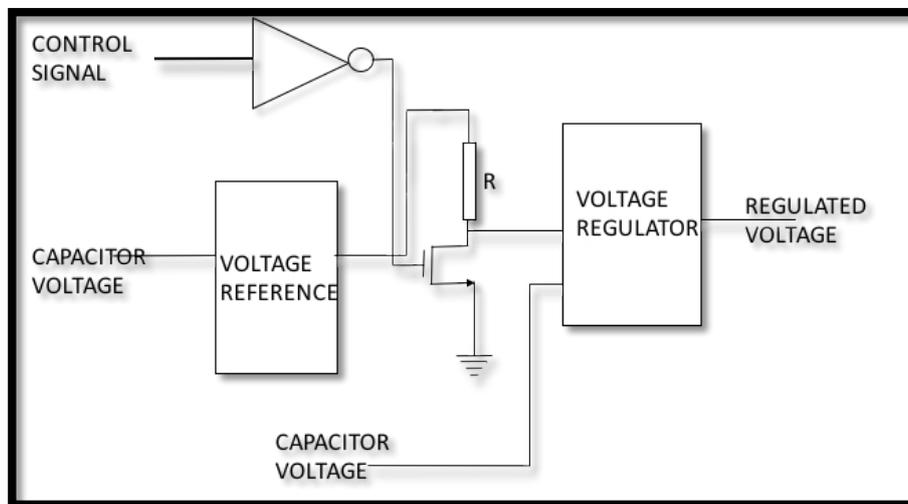


Figura 50- Bloco geral do relógio implementado para ligar e desligar o *chip*.

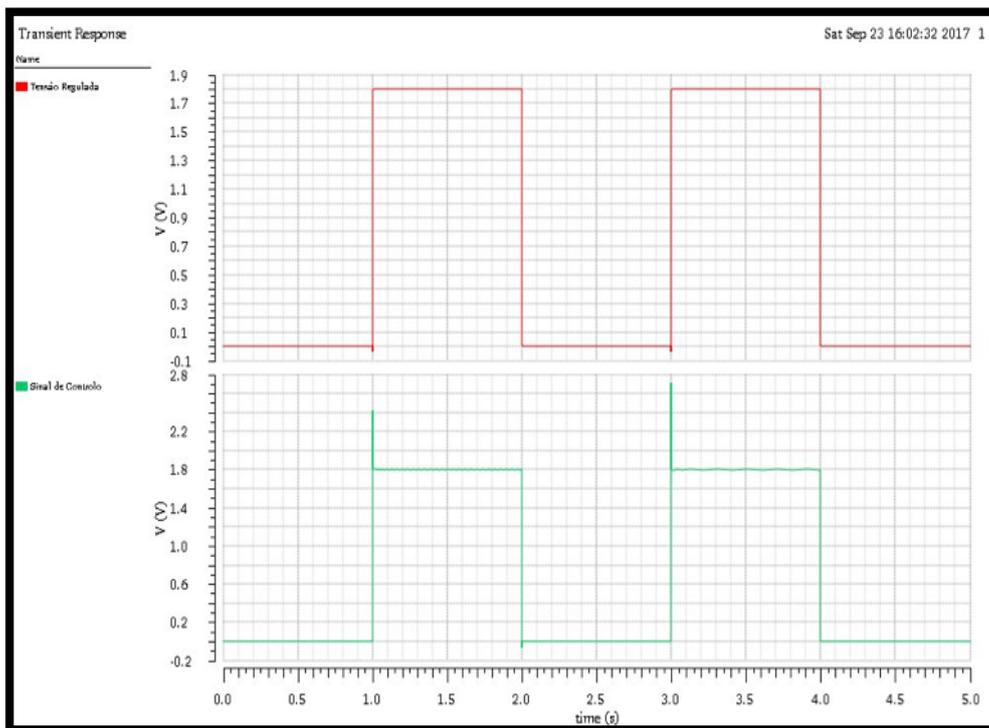


Figura 51- Sinal gerado para ligar o circuito consoante o sinal de controlo aplicado(--saída regulador de tensão controlada pelo sinal de controlo,--sinal de controlo).

### 3.10 Consumo do sistema implementado

---

O chip projetado apresenta um consumo total de aproximadamente 17 mW quando o bloco emissor e o bloco fontes se encontram desligados. Este consumo pode ser facilmente reduzido com a utilização do bloco para acordar e desligar o *chip*, controlando o tempo que o *chip* se encontra ligado. Este, apesar de ser um pouco elevado, não compromete a utilização do *chip*, uma vez que, tal como referido anteriormente, este será dotado de uma bateria para a sua alimentação. Quando a bateria se encontra descarregada será necessário carregá-la através de *RF powering*. Uma vez que o circuito de gestão da bateria consome cerca de 846  $\mu$ W, e desprezando o consumo do RF-DC e do circuito carregador da bateria, apenas é necessária a colocação de uma potência de cerca de 1 mW na entrada do RF-DC para que seja possível o carregamento da bateria. Na Tabela 2 é possível observar o consumo dos vários blocos, sendo que em alguns casos apresentam-se os consumos de quando estes se encontram desligados e ligados.

Tabela 2- Consumo geral de cada bloco do chip descrito anteriormente, sendo em alguns casos o primeiro valor corresponde ao consumo do bloco parcialmente desligado e o segundo corresponde ao bloco em pleno funcionamento.

Bloco	Consumo
Gestão de bateria	846 $\mu$ W
Recetor	11 mW
Emissor	5 mW / 71 mW
Unidade Lógica	93 nW
Fonte programável	22.5 nW / 143 mW
Total	17 mW / 222 mW

### 3.11 Conclusões

O sistema implementado neste capítulo apresenta carregamento de bateria sem fios através de *RF powering* a 2 GHz, sendo possível controlar a tensão máxima à entrada da bateria, evitando assim a sua degradação. Este apresenta também comunicação bidirecional sem fios a 2 GHz com modulação OOK. É possível configurar uma fonte de corrente e obter informação sobre a corrente que está programada. Prevê-se que o sistema recetor implementado permitirá a comunicação para distâncias na ordem dos metros (o necessário para a aplicação em causa), dado que o *LNA* implementado consegue detetar sinais com potências na ordem dos -51 dBm.

O sistema implementado apresenta um consumo de 17 mW quando se encontra com algumas funções desligadas (emissor e fontes) e 222 mW quando todas as funções se encontram ativas. Este consumo aparenta ser um pouco elevado quando comparado com outros sistemas, no entanto pode ser reduzido com a utilização do circuito de *wake up*, ligando os circuitos apenas durante um intervalo de tempo previamente configurado.

Após o planeamento do *chip*, procedeu-se ao seu *layout* para posterior fabrico. O *layout* do *chip* proposto encontra-se ilustrado no próximo capítulo bem como todos os cuidados que foram observados aquando da sua elaboração.

## Capítulo 4 *LAYOUT E DESEMPENHO PÓS-LAYOUT*

### 4.1 *Introdução*

---

Após a idealização, simulação e validação do funcionamento do chip, o próximo passo foi a elaboração do seu *layout* para que este possa ser fabricado e posteriormente testado. A questão da criação do *layout* de circuitos CMOS é crítica e de difícil planeamento e elaboração. É do conhecimento geral que nem sempre as simulações se encontram de acordo com o que acontece no mundo real, sendo que por vezes as comparações entre simulações e medições podem apresentar variações significativas. O grande problema das simulações é o facto de estas terem por base modelos matemáticos que por vezes não incluem efeitos que ocorrem no mundo real e que podem interferir com o funcionamento dos circuitos.

Uma correta definição e elaboração do *layout* dos circuitos é importantíssima para um correto funcionamento dos circuitos, uma vez que tipicamente são incorporadas capacidades, indutâncias e resistências parasitas que influenciam o funcionamento dos circuitos previamente projetados.

Várias são as sugestões para a elaboração de *layouts* por forma a minimizar os possíveis erros no fabrico. Dean Moriarty apresentou algumas sugestões em [43] para que fosse realizado o *layout* de um circuito com sucesso. Segundo este autor, devem seguir-se os seguintes passos: planear o *layout* e posicionamento dos circuitos, colocar os circuitos no local planeado, ligá-los entre si, aprimorar os posicionamentos e ligações e por fim verificar se tudo se encontra de acordo com o planeado e se estas ligações se encontram feitas de forma correta. Uma vez que se deve planear o esquema do *layout*, o autor sugere que inicialmente se faça um planeamento da colocação de cada componente, facilitando as ligações entre eles. Para isso deve utilizar-se uma folha com várias canetas de cor. Após o *layout* estar completamente projetado e as ligações entre blocos definidas, é necessário analisar todo o *layout* e alterar algumas ligações/colocação de blocos por forma a simplificar o processo posterior de *layout*. Nesta fase podem levantar-se questões tais como: será fácil identificar cada bloco após o seu fabrico? Existem contactos suficientes para que se possa testar o chip após o seu fabrico? Será que posso aproveitar melhor o espaço e aprimorar as ligações? Estas e outras questões devem ser respondidas aquando da construção do *layout* do chip final. Por fim, procede-se ao *layout* do chip utilizando um *software* indicado para a criação de *layouts* e

procedem-se a todas as verificações necessárias para minimizar a probabilidade de insucesso do *chip*. Assim, tendo em conta alguns dos princípios defendidos por Dean Moriarty, procedeu-se à implementação do *layout* dos circuitos acima descritos, utilizando a tecnologia *UMC\_18\_CMOS* e o software *Virtuoso Layout Suite XL* da *Cadence*.

Nas próximas páginas serão descritos todos os blocos construídos individualmente de acordo com os circuitos descritos na secção anterior e, por fim, apresentar-se-á o esquema geral do *layout* enviado para a fundição para fabrico. De salientar que após a construção do *layout* de cada bloco foi extraído o modelo do *layout* elaborado (*extracted*) e simulado. Estas simulações foram comparadas com as simulações realizadas anteriormente por forma a que o *layout* fosse alterado ou ajustado para que os resultados das duas simulações fossem equivalentes. Por forma a verificar se é possível fabricar o *chip*, todos os blocos foram submetidos ao *Design Rule Check*. Nesta secção serão descritos os *layouts* criados para cada circuito, bem como os aspetos mais importantes de cada um. Inicialmente, serão descritos os blocos individuais sem a colocação dos *pads*, sendo no fim apresentado o esquema geral do *chip* fabricado com a identificação dos circuitos.

O *layout* dos blocos onde passam sinais de radiofrequência é tipicamente complexo, uma vez que as capacidades e resistências parasitas apresentam uma grande influência. Já o *layout* dos blocos de baixa frequência apresenta também alguns problemas. Por exemplo, no caso de blocos digitais, pistas demasiado grandes podem introduzir atrasos e, no caso de pistas com larguras pequenas, estas podem colapsar caso sejam atravessadas por correntes elevadas. Seguidamente serão apresentados os *layouts* dos blocos elaborados.

## 4.2 *Layout do emissor*

---

O bloco emissor será atravessado apenas por sinais com maiores amplitudes do que no caso do bloco recetor. Assim, perdas na ordem dos milivolts não comprometem o funcionamento deste circuito, optando-se pela não utilização de componentes de *RF* uma vez que estes tipicamente ocupam maior espaço do que os componentes normais. Analisando a Figura 52, é possível observar que os transístores quer do VCO, quer do buffer que liga a este, foram colocados de forma simétrica para garantir ao máximo a homogeneidade dos sinais. As alimentações foram colocadas nas extremidades superior e inferior do bloco por forma a facilitar o seu posicionamento no desenho final do *chip*. Os transístores que constituem o

interruptor de RF foram também colocados próximos um do outro para garantir o seu correto funcionamento como interruptor.

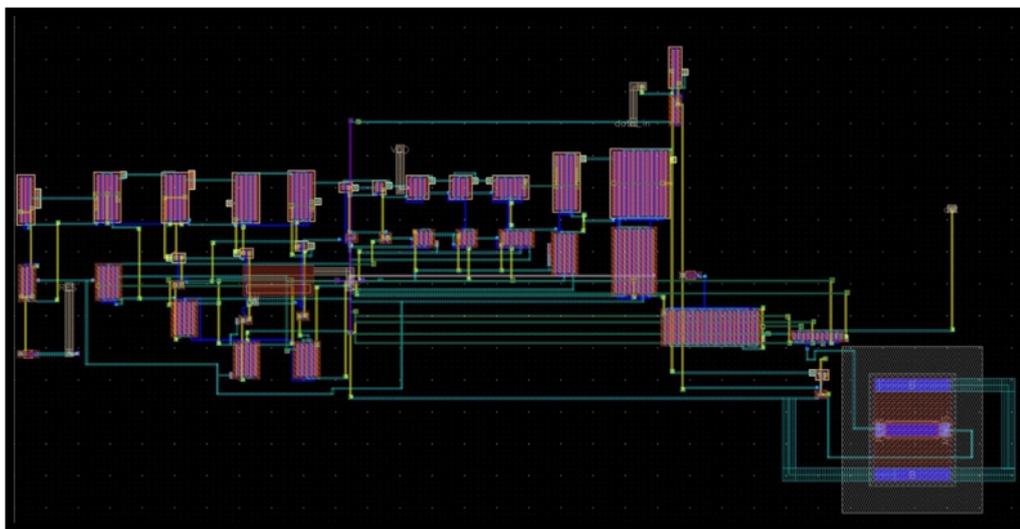


Figura 52- *Layout do emissor (dimensões 144 x 66  $\mu\text{m}^2$ ).*

Este bloco liga diretamente a um *buffer* que serve para aumentar a potência do sinal e atacar uma carga de  $50 \Omega$  (antena). Assim, este deve estar preparado para aguentar elevadas densidades de corrente. Conseqüentemente, as suas ligações, bem como os seus rails de alimentação, possuem elevada largura para garantir que não colapsam. Uma vez que o *buffer* é constituído essencialmente por inversores, estes foram colocados de forma simétrica e bastante próximos uns dos outros para garantir que o sinal não seria deformado. Na Figura 53 é possível observar o *layout* do *buffer* implementado.

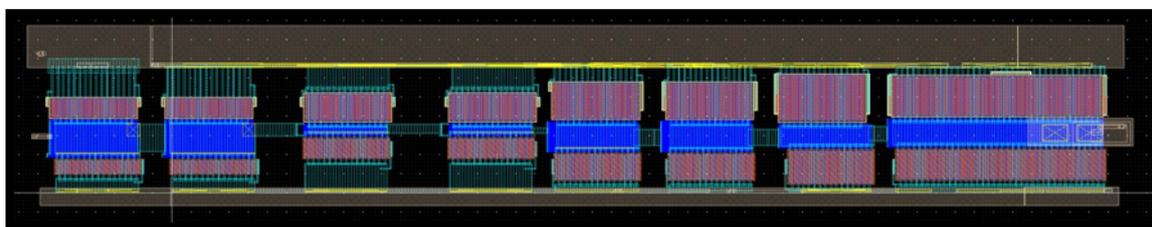


Figura 53- *Layout dos buffers de saída presentes no emissor para aumentar a potência do sinal de saída (dimensões 306 x 50  $\mu\text{m}^2$ ).*

Na simulação *pós-layout* deste bloco observou-se uma diminuição da frequência para cerca de 2.5 GHz, quando esta deveria ser de 2.95 GHz. Sendo a frequência selecionada para

a comunicação 2 GHz e, sendo este valor superior, optou por se manter o *layout* do bloco assim.

### 4.3 *Layout do recetor*

---

O bloco recetor é um dos principais blocos onde o *layout* deve ser projetado cuidadosamente, uma vez que na entrada deste bloco serão aplicados sinais de radiofrequência de potência bastante reduzida. Tal como descrito no capítulo anterior, um dos componentes mais críticos é o LNA.

#### 4.3.1 *Layout do LNA*

---

O elemento mais importante deste bloco é o LNA. Assim, teve-se o cuidado de colocar a sua entrada diretamente ligada a 3 *pads* onde se ligará uma antena, sendo que a pista que liga o sinal à entrada do bloco apresenta um comprimento pequeno. Outro cuidado tido com este LNA foi colocar os transístores que funcionam como fontes de corrente de polarização de forma simétrica. Os condensadores foram colocados de forma a encontrarem-se o mais próximos possível. Foram utilizados transístores e condensadores de RF. Estes componentes de RF são construídos por forma a que as suas camadas e substrato à sua volta se encontrem a potenciais fixos, uma vez que não existindo potenciais fixos nessas camadas, estes poderiam comprometer o funcionamento dos circuitos que utilizam sinais de RF e, neste caso em particular, o LNA. De salientar que para este bloco também se teve o cuidado de utilizar *rails* de alimentação em “metal 6” com uma largura elevada. Devido à introdução de capacidades e resistências parasitas neste bloco aquando o seu *layout*, verificou-se que após a simulação pós-*layout* deste bloco ocorreu uma diminuição da gama dinâmica de funcionamento, em comparação com a simulação do modelo ideal. Consequentemente, este passou a necessitar de alguns milivolts (cerca de 20 mV, -24 dBm) na entrada para conseguir amplificar o sinal. Na Figura 54 é possível observar o *layout* do LNA implementado.

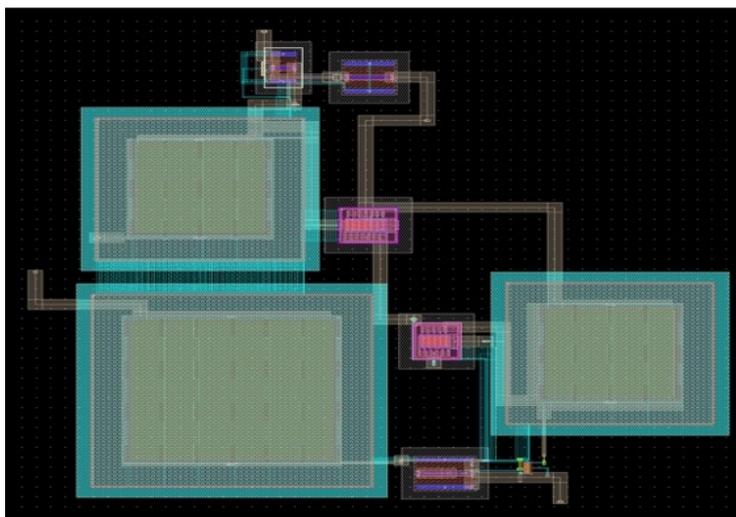


Figura 54- *Layout* do LNA implementado.

Após o desenho do *layout* do LNA, procedeu-se à ligação deste bloco a um amplificador. Nesse bloco foram também utilizados componentes de RF uma vez que também existirão sinais de RF a atravessar estes. Uma vez que os amplificadores são todos iguais, foram colocados lado a lado e o mais juntos possível não só por economia de espaço, mas também para garantir que os sinais de radiofrequência não atravessam grandes distâncias. Os *rails* de alimentação deste bloco foram colocados no topo para o VDD e no fundo dos componentes para o GND. Analisando o *layout* deste bloco (Figura 55) é possível observar algumas interrupções no “metal 6” das alimentações. Estas interrupções foram criadas propositadamente devido a limitações de fabrico, uma vez que dado o elevado comprimento e largura destes rails de alimentação, durante o processo de fabrico são criadas tensões nestas que podem levar ao colapso das estruturas e conseqüentemente do chip.

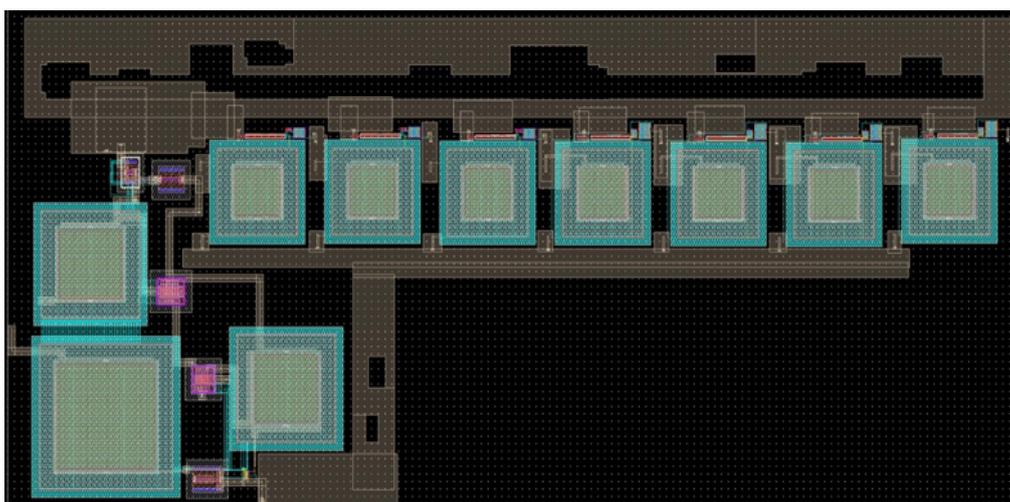


Figura 55- *Layout* do bloco LNA +amplificadores.

#### 4.3.2 *Layout final do bloco recetor*

Por fim, criou-se o *layout* de todo o bloco recetor. Para o *layout* deste bloco criou-se individualmente o *layout* de cada componente: detetor de envolvente, amplificador, divisor de tensão e comparador. Estes foram ligados lado a lado e perto do bloco desenhado anteriormente para que seja fácil a sua identificação, minimizando possíveis erros de fabrico e facilitando a identificação dos blocos de teste aquando do fabrico do *chip*. Tal como em blocos anteriores, é possível observar o elevado tamanho dos condensadores e resistências. Na Figura 56 é possível observar o *layout* do recetor elaborado.

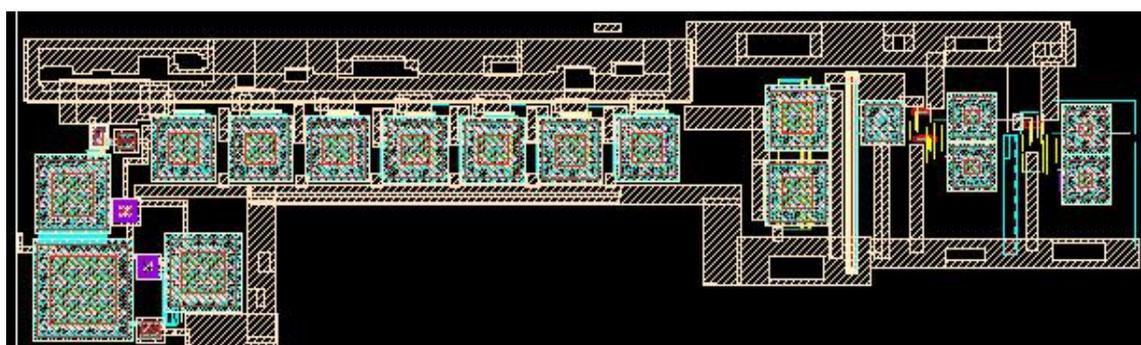


Figura 56- *Layout* do recetor (dimensões 1234 x 334  $\mu\text{m}^2$ ).

#### 4.4 *Layout do conversor RF-DC*

---

Na Figura 57 é possível observar o *layout* do bloco conversor RF-DC.

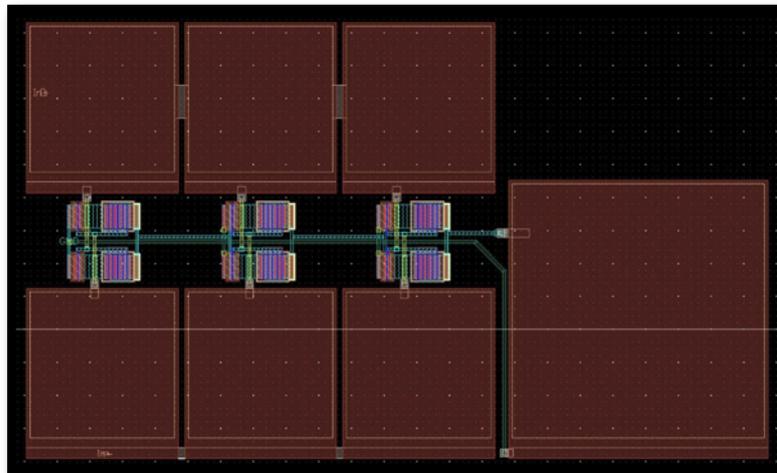


Figura 57- *Layout* do bloco RF-DC (dimensões  $219 \times 136 \mu\text{m}^2$ ).

Analisando a Figura 57 (*layout* do retificador de 3 andares) é possível observar o cuidado que se teve com a colocação dos componentes eletrônicos de forma simétrica, tal como foi possível observar na Figura 30 a). O circuito retificador é um circuito simétrico, constituído por 3 andares simétricos entre si. A antena ligará diretamente à entrada “In+” (condensador visível no canto superior esquerdo do *layout*) sendo que o “In-” será ligado a GND (condensador visível no canto inferior esquerdo do *layout*). Tal como referido anteriormente, foram colocados 3 circuitos RF-DC por forma a aumentar a eficiência deste bloco. Estes blocos encontram-se ligados pelas suas saídas em paralelo, partilhando a mesma antena. A simulação *pós-layout* deste bloco apresentou resultados semelhantes aos descritos na secção anterior.

#### 4.5 *Layout dos blocos da gestão de energia*

---

Tratando-se este um bloco de baixa frequência, o seu *layout* apresenta as limitações referidas anteriormente.

#### 4.5.1 Bloco de gestão da bateria

Para a realização do *layout* do bloco de gestão de bateria, optou-se por inicialmente se realizar o *layout* individual de cada um dos seus componentes: referência, comparador de histerese, divisor de tensão, inversor e regulador de tensão. Após a validação de cada *layout* independente, procedeu-se à ligação de todos os blocos entre si. Para as alimentações, e uma vez que serão as pistas onde passará mais corrente, optou-se por utilizar pistas mais largas em “metal 6”, que tolera maior densidade de corrente por unidade de comprimento. Esta opção serviu para garantir que as pistas são suficientes para aguentar elevadas densidades de corrente, evitando que estas sejam destruídas e comprometam o funcionamento do circuito. Na Figura 58 é possível observar o *layout* do bloco gestão da bateria.

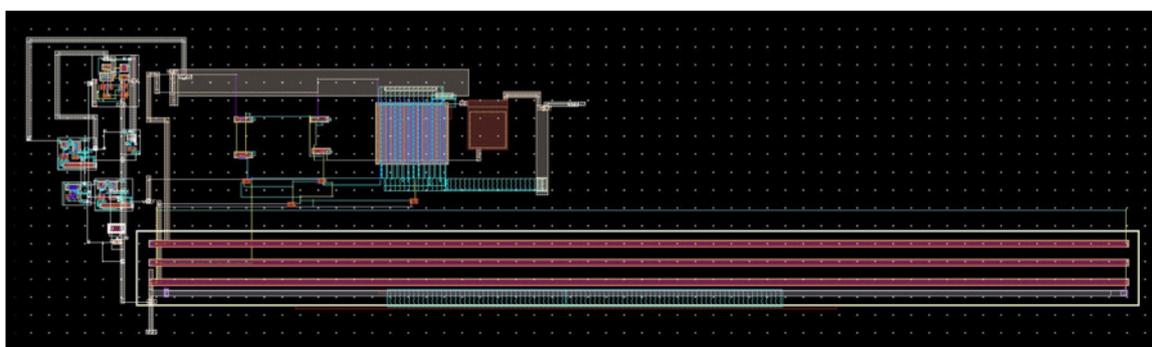


Figura 58- Layout do bloco gestão da bateria (dimensões 317 x 56  $\mu\text{m}^2$ ).

Analisando a figura anterior, constata-se que a bateria, cuja tensão será monitorizada, liga diretamente aos *rails* de alimentação do bloco, isto é, os rails observados no topo e fundo da imagem anterior. As resistências, bobines e condensadores ocupam bastante espaço, daí o esforço da redução da utilização deste tipo de componentes. No centro da imagem é possível observar um transistor de elevadas dimensões pertencente ao regulador de tensão implementado. Este transistor foi colocado por forma a que se possam ligar cargas com baixa impedância à sua saída sem que existam grandes alterações nesta tensão. Na simulação pós-*layout* foi verificado que os níveis de comparação do comparador foram alterados. Assim, ajustaram-se os seus valores para que os resultados desta simulação e da que foi feita no capítulo anterior fossem semelhantes.

#### 4.5.1 *Carregador da bateria*

---

O bloco carregador de bateria ligará à saída do conversor RF DC, sendo que a sua saída ligará aos terminais da bateria. Assim, é necessário que a sua saída se encontre ligada a dois *pads*. Na Figura 59 é possível observar o *layout* do carregador da bateria. O *layout* deste bloco transitou de um trabalho anterior, descrito em [47].

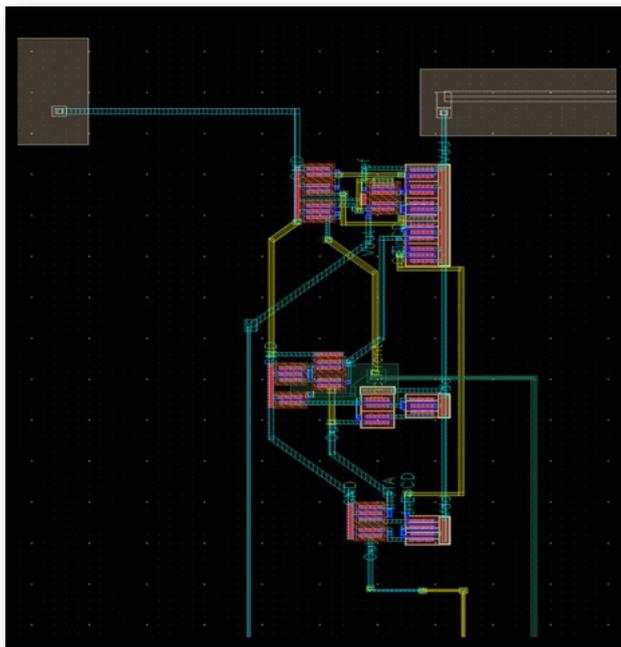


Figura 59- *Layout do carregador implementado (dimensões 25 x 56  $\mu\text{m}^2$ ).*

#### 4.6 *Layout da unidade lógica*

---

O *layout* deste bloco, tratando-se de um bloco essencialmente digital onde é necessário um sincronismo entre o sinal de relógio e a palavra para a realização das ações, deve ser realizado tendo alguns cuidados. Colocaram-se os blocos o mais próximo possível do decodificador e *flip-flop* T que controla o sinal de relógio. Para o sinal de relógio, tentou-se utilizar sempre que possível os mesmos comprimentos das pistas para garantir o máximo de sincronismo. Adicionalmente, foram utilizadas pistas com larguras pequenas para reduzir a sua resistência e capacidade, o que pode interferir com a frequência do relógio. Após a simulação *pós-layout* deste bloco, verificou-se que houve um aumento no período do sinal de relógio de quase 1 ms. No entanto isto não foi crítico pois, tal como referido anteriormente, a frequência para a comunicação não é um fator crítico na elaboração deste *chip*. Tal como em

blocos anteriores, foram utilizados *rails* de alimentação de maiores dimensões nas extremidades superior e inferior deste para facilitar a sua integração no *chip* final. Na Figura 60 é possível observar o *layout* da unidade lógica.

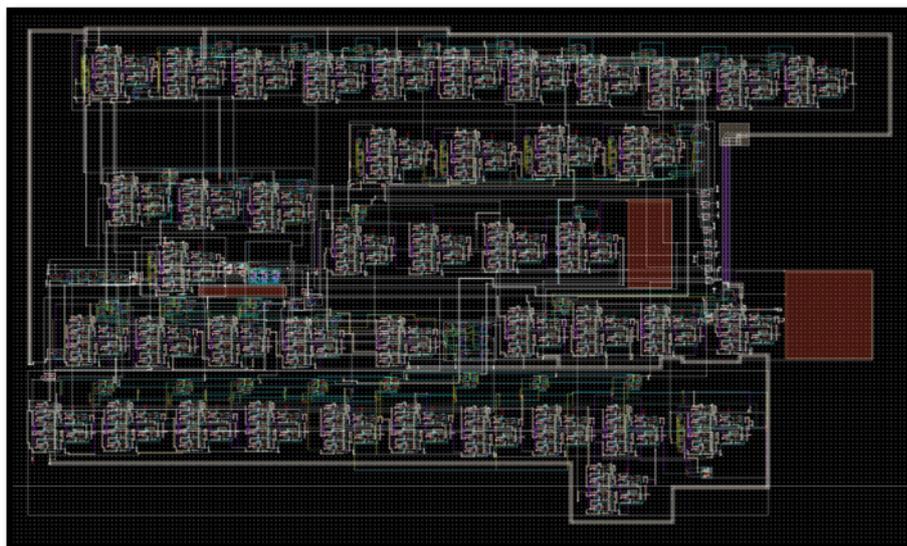


Figura 60- *Layout* da unidade lógica (dimensões 872 x 547  $\mu\text{m}^2$ ).

#### 4.7 *Layout da fonte de corrente programável*

O bloco descrito anteriormente liga diretamente ao bloco que contém as fontes de corrente, uma vez que este tem como função controlá-las. Uma vez que este bloco estará sujeito a elevadas densidades de corrente (na ordem dos mA), tanto os *rails* de alimentação como as pistas que ligam os drenos e fontes dos *MOSFETs* foram construídos com largura elevada, por forma a evitar o colapso das pistas aquando do seu funcionamento. Na simulação pós-*layout* deste bloco, as diferenças verificadas não foram muito significativas. Na Figura 61 é possível observar o *layout* das fontes de corrente.

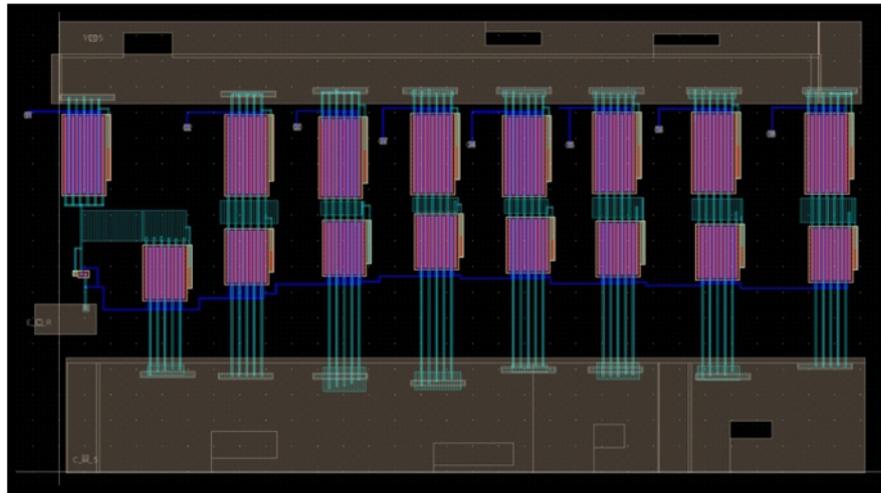


Figura 61- *Layout* das fontes de corrente (dimensões  $166.3 \times 77 \mu\text{m}^2$ ).

## 4.8 *Layout* dos blocos auxiliares

---

O bloco auxiliar da comunicação foi englobado no *layout* da unidade lógica, uma vez que este necessita de ficar perto da unidade lógica devido aos sinais de entrada do primeiro serem resultantes do segundo. Assim, apenas será apresentado o *layout* do bloco do circuito de *wake up*.

### 4.8.1 *Circuito de wake up*

---

O *layout* deste bloco foi em tudo semelhante ao *layout* realizado para o bloco gestão de bateria, uma vez que são bastante semelhantes entre si. Assim, utilizaram-se *rails* de alimentação de elevadas dimensões para garantir que as pistas não colapsam devido à grande densidade de corrente que as atravessará. Na simulação pós-*layout* deste bloco, as diferenças verificadas não foram muito significativas. Na Figura 62 é possível observar o *layout* deste bloco.



Figura 62- *Layout* do relógio implementado para ligar o chip (dimensões 90 x 290  $\mu\text{m}^2$ ).

#### 4.9 *Layout final do chip*

Após a criação e teste do *layout* de cada bloco independente, procedeu-se à colocação dos blocos todos juntos para a criação do *layout* final do *chip*, que posteriormente foi enviado para a fundição para ser fabricado. Após o *layout* do *chip* final, voltou a proceder-se à realização das simulações pós-*layout* para minimizar possíveis erros aquando da junção de todos os blocos. O *layout* do *chip* final encontra-se ilustrado na Figura 63 . De salientar que alguns blocos foram colocados de forma isolada no *layout* final para permitir o seu teste individual, isto é, as saídas encontram-se ligadas a *pads* que depois podem ser ligadas às entradas dos outros blocos por *wire-bonding*, tornando assim blocos simples em blocos complexos.

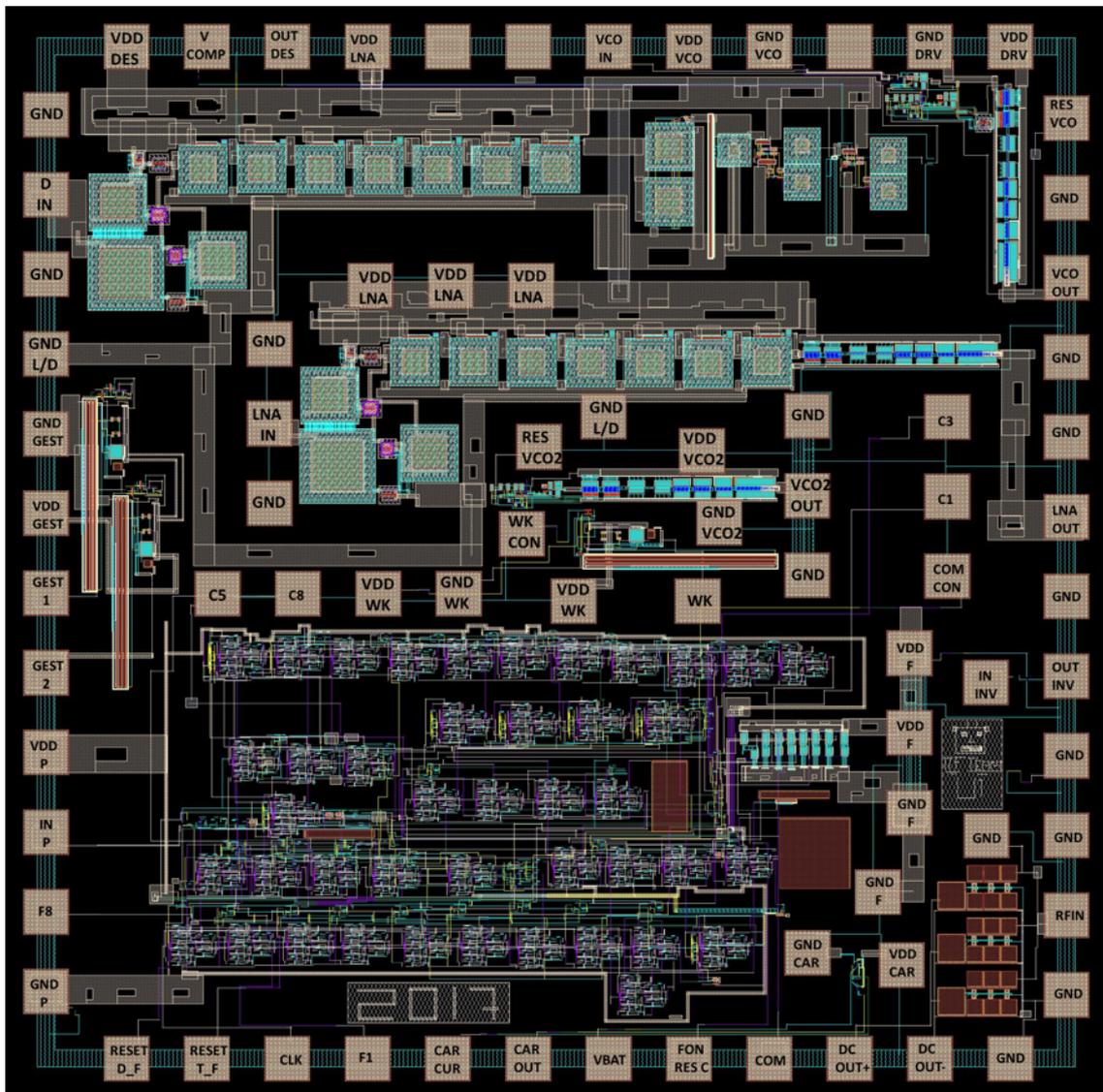


Figura 63- *Layout* do chip final (a legenda de cada pad encontra-se na Figura 73 do Anexo 1).

Uma vez que o *chip* fabricado possui um tamanho de  $1.5 \times 1.5 \text{ mm}^2$  (*miniasic*), tentou-se preencher todo o espaço disponível, colocando alguns circuitos de interesse para que se pudesse tirar o máximo partido do *chip* elaborado. Tal como é possível observar na Figura 64, acrescentaram-se diversos blocos extra ao *chip*. Primeiramente, acrescentou-se um bloco de gestão de bateria que partilha as mesmas alimentações do bloco original. Este foi adicionado para que seja possível alimentar todos os circuitos, uma vez que a potência fornecida por um regulador de tensão pode não ser suficiente. Adicionalmente, colocaram-se um oscilador sem o interruptor de RF (VCO ligado diretamente ao *buffer* de saída) para permitir testar o VCO isolado, três conversores RF-DC para aumentar a potência na saída do retificador e um



*LNA* passou a necessitar de sinais com potências superiores a -24 dBm, quando no capítulo anterior o *LNA* projetado com todos os componentes ideais apenas necessitava de -51 dBm. No entanto, estas alterações não foram críticas, uma vez que apesar da degradação de algumas características o sistema continua a poder ser utilizado para controlo de um neuromodulador térmico. Apesar da degradação do desempenho de alguns blocos, estes continuam a desempenhar as funções para as quais foram projetados e é expectável que o sistema funcione corretamente quando for implantado.

Após o *layout* final do *chip*, procedeu-se ao seu fabrico e caracterização. Os resultados das medições encontram-se no capítulo seguinte.

## Capítulo 5 TESTES E RESULTADOS

### 5.1 Introdução

---

O *chip* descrito no capítulo anterior foi fabricado e testado. Devido a constrangimentos de tempo colocados pela tardia entrega do *chip* fabricado por parte da fundição, apenas se testaram alguns circuitos de forma isolada. Assim, neste capítulo serão descritas de forma breve as experiências realizadas para validar o funcionamento do *chip*. Na Figura 65 é possível observar uma fotografia do *chip* fabricado (a) e o *layout* do *chip* final (b).

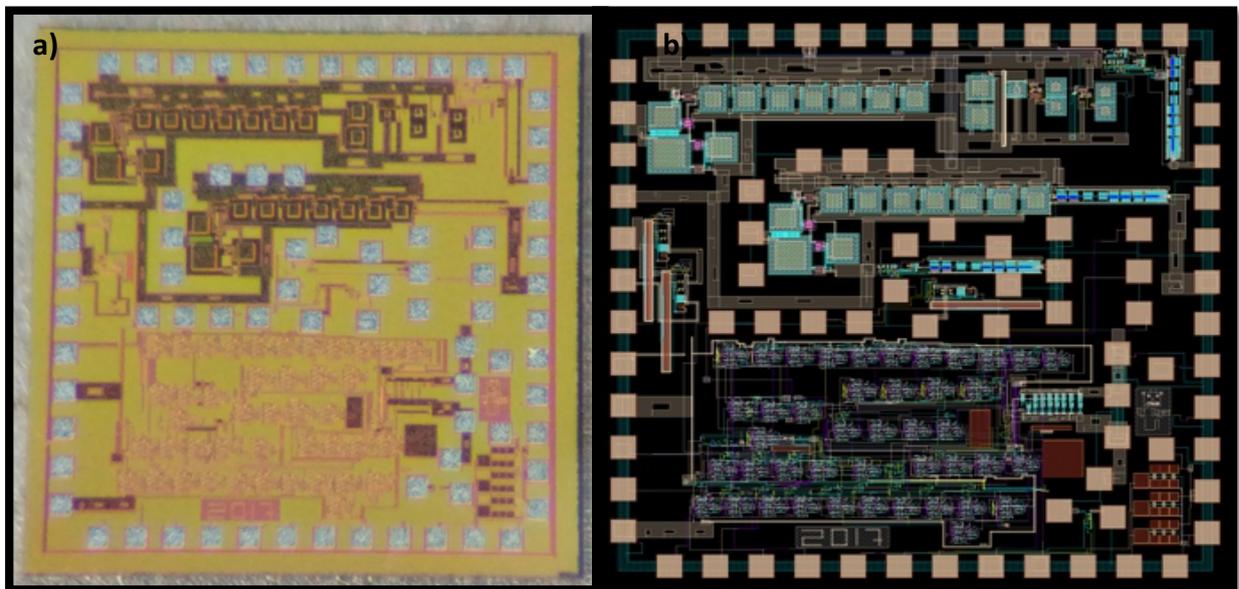


Figura 65- a) Fotografia do chip fabricado b) Layout do chip final

#### 5.1.1 Setup de caracterização

---

Para a caracterização do *chip* fabricado, foi necessária a elaboração de um *setup* constituído por uma fonte de alimentação, uma *probe station* com *probes* de RF e *probes* de teste, um osciloscópio, um gerador de sinais de RF e um analisador espectral. A *probe station* foi utilizada para permitir um posicionamento minucioso das *probes* de RF e de teste. Estas estabeleceram o contato entre os *pads* do *chip* e o exterior, para que fosse possível efetuar medições. O gerador de sinais de radiofrequência foi utilizado para o teste dos blocos de

radiofrequência, enquanto que o analisador espectral foi utilizado para a obtenção do espectro destes sinais. Na Figura 66 é possível observar todos os aparelhos utilizados.



Figura 66- a) Fonte de alimentação para o teste dos circuitos b) setup montado para o teste do chip elaborado c) e d) probes de teste e de radiofrequência e) probe de radiofrequência f) osciloscópio g) gerador de sinais de radiofrequência h) analisador espectral.

Um dos grandes problemas do teste de microdispositivos CMOS é a sua sensibilidade à eletricidade estática. Para que os circuitos não fossem destruídos utilizou-se um tapete e uma pulseira com proteção *ESD* (*electrostatic discharge*) (Figura 67 a)) e, em casos mais sensíveis, i.e. sinais de entrada ou saída ligados diretamente a *gates* dos *MOSFETs*, implementou-se um circuito de proteção constituído por díodos (Figura 67 b)).

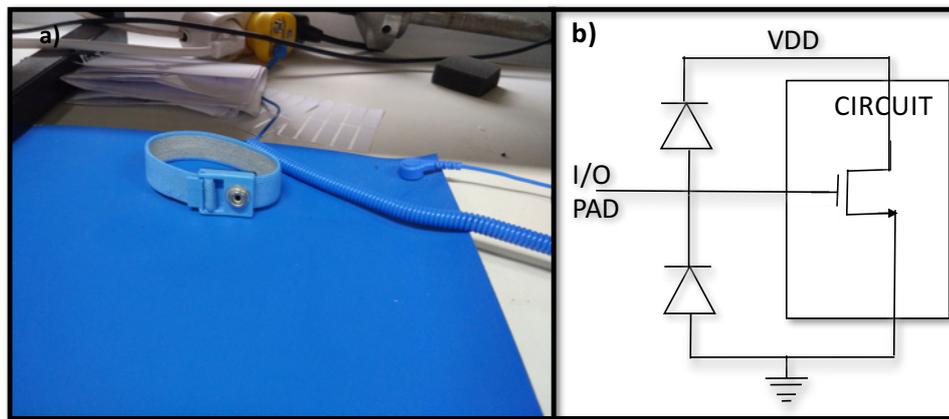


Figura 67- a) Tapete e pulseira com proteção ESD b) Circuito implementado com diodos para proteção ESD.

## 5.2 Teste dos blocos de radiofrequência

O teste dos blocos de RF é o mais complicado quando comparado com os de baixa frequência. Para os testes destes blocos foi utilizada uma fonte de RF, um analisador espectral, um osciloscópio, uma fonte de alimentação, uma *probe* de RF (GSG) e 4 *probes* de teste.

### 5.2.1 Teste do emissor

Devido a limitações na quantidade de *probes* de teste, não foi possível testar o funcionamento do bloco emissor. Para o teste do emissor utilizou-se o oscilador com o interruptor de RF sempre ON. Assim, utilizou-se uma *probe* de RF ligada à saída deste bloco e ligou-se esta ao analisador espectral por forma a observar o espectro do sinal obtido. Foi verificada também a variação da frequência de oscilação do VCO com a variação da tensão de controlo deste. Na Figura 68 é possível observar o espectro do sinal gerado por este bloco bem como o posicionamento das *probes* para a obtenção do sinal.

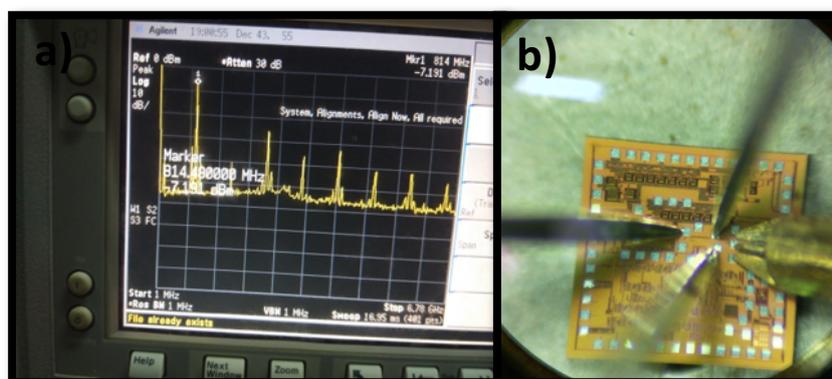


Figura 68- a) Espectro do sinal emitido pelo bloco modulador b) fotografia da localização das probes de teste do bloco modulação.

Analisando o espectro do sinal, é possível observar que a frequência de oscilação do VCO foi alterada, de aproximadamente 2.5 GHz para cerca de 814 MHz. Uma outra alteração que é possível observar é o facto de a onda não ser uma onda quadrada perfeita, apresentando harmónicos noutras componentes que não apenas nas componentes impares. No entanto, quando comparado com o sinal simulado no capítulo 3, também é possível observar que este sinal não é uma onda quadrada perfeita. Apesar da alteração, este circuito pode ser utilizado para comunicações sem fios, uma vez que a frequência escolhida para a comunicação é bastante baixa.

### 5.2.2 Teste do recetor

---

Para o teste do recetor, colocou-se uma fonte de RF a enviar um sinal a 2 GHz ligada a uma antena do tipo corneta. De seguida, utilizou-se uma antena do tipo monopolo ligada à entrada do recetor através da *probe* de RF, ligando-se a saída do recetor a um osciloscópio para que fosse possível ver o sinal recebido. Uma vez que não se dispunha de equipamento para enviar um sinal pulsado de RF a 600 Hz, a modulação do sinal foi feita ligando e desligando a fonte de RF. Na Figura 69 é possível observar o *setup* de teste montado bem como o sinal desmodulado.

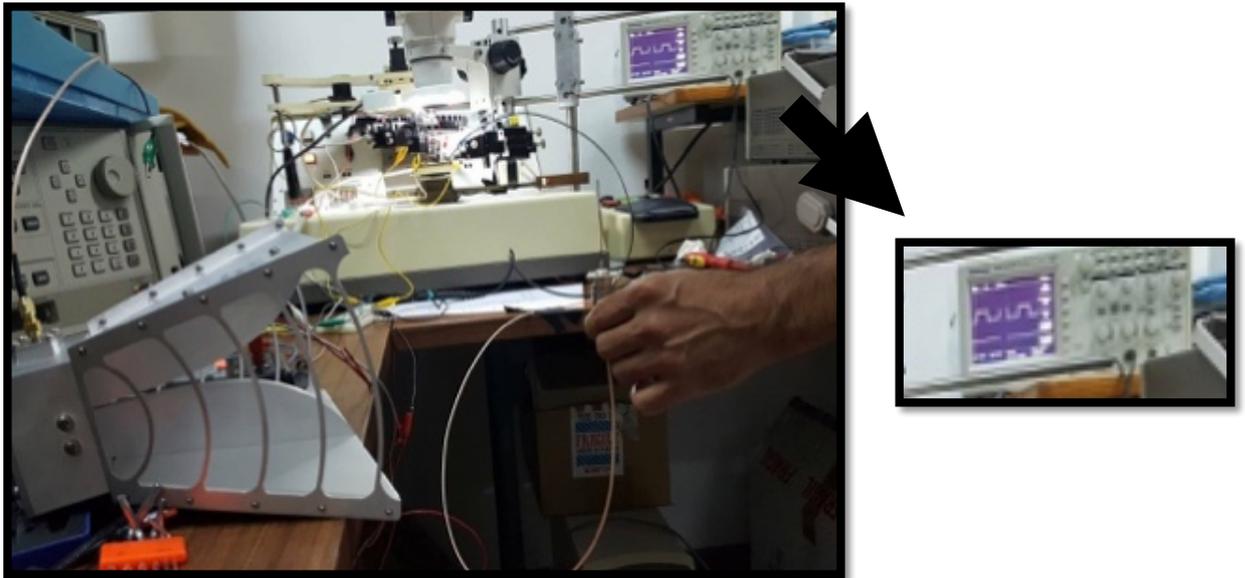


Figura 69- Fotografia do setup utilizado para o teste do bloco desmodulador, evidenciando o sinal recebido.

### 5.2.3 Teste do conversor RF-DC

Tal como descrito anteriormente, foram utilizados três conversores RF-DC por forma a aumentar a potência de saída destes, aumentando a sua eficiência. Para o teste do RF-DC, ligou-se um gerador de RF com um sinal de potência de 30 dBm e uma frequência de 2 GHz, a uma antena do tipo corneta e radiou-se este sinal para o ar. Por forma a utilizar este sinal como sinal de entrada dos três conversores RF-DC, utilizou-se uma antena do tipo monopolo ligada a uma *probe* de RF que foi ligada à entrada dos conversores RF-DCs. Para mimetizar uma bateria, colocaram-se dois condensadores eletrolíticos de 470  $\mu$ F para serem carregados com o sinal gerado pela saída deste bloco. Posteriormente, utilizou-se esta energia acender um LED. Na Figura 70 é possível observar a *probe* de RF e as agulhas de teste ligadas ao *chip*, bem como uma fotografia do teste realizado. Foi também efetuado um teste igual ao anterior onde se substituem os condensadores por uma bateria, tendo sido observado também o seu carregamento.

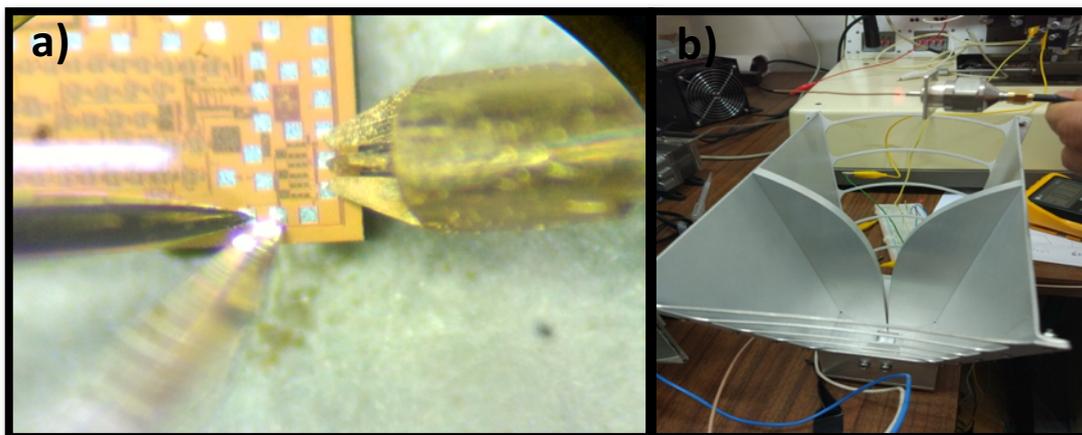


Figura 70- **a)** Colocação das probes de teste para o teste dos RF-DCs. **b)** Fotografia do setup utilizado para o teste dos conversores RF-DC.

### 5.3 Teste dos blocos de baixa frequência

---

O teste dos blocos de baixa frequência é, tipicamente, de menor complexidade. Para o teste destes blocos utilizou-se uma fonte de alimentação, um osciloscópio e quatro *probes* de teste. O primeiro bloco de baixa frequência testado foi o bloco gestão de bateria.

#### 5.3.1 Teste do Bloco gestão da bateria

---

Para testar o bloco gestão da bateria, alimentou-se o circuito com uma senoide de 1.5 V de amplitude com 2 V de componente DC (por forma a mimetizar o carregamento e descarregamento de uma bateria) e observou-se a saída deste bloco (saída do bloco regulador de tensão). Foi ligada uma carga de 10 k $\Omega$  na saída por forma a observar o comportamento do regulador de tensão para simular o consumo do circuito final e verificar se este seria capaz funcionar mesmo quando ligado a cargas de baixa impedância. Os resultados obtidos encontram-se na Figura 71, bem como o posicionamento das agulhas de teste nos *pads*.

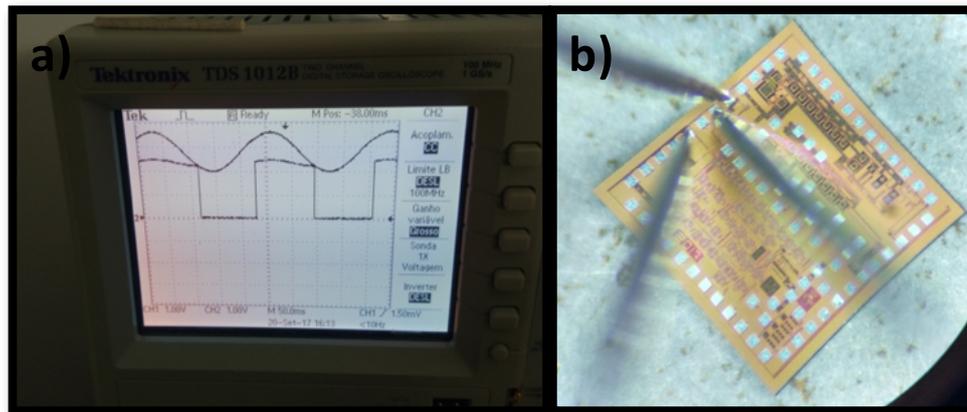


Figura 71- a) Funcionamento do bloco gestão de bateria b) fotografia da localização das probes de teste do bloco gestão de bateria.

Analisando a figura anterior é possível observar o correto funcionamento do circuito. No entanto, foram verificadas alterações nos níveis de comparação e na saída do regulador de tensão. Uma vez que durante o processo de fabrico existem alterações nas capacidades e resistências (provocadas pela introdução de capacidades e resistências parasitas aquando do fabrico) e, as simulações não contemplarem variações na temperatura, estes fatores podem ter contribuído para a alteração da tensão de saída do regulador de tensão. Os níveis de comparação da sinusoide alteraram-se para um valor de SPL de 3.2 V e 2.1 V para SPH. Apesar destas alterações, o circuito poderá ser utilizado para alimentar todo o *chip* uma vez que estas tensões não são suficientes para provocar grandes alterações quer nos transístores quer no funcionamento do chip. Após o teste do bloco gestão de bateria procedeu-se ao teste do bloco unidade lógica.

### 5.3.2 Teste da unidade lógica

Após a verificação do bloco gestão de bateria, testou-se a unidade lógica. Para o teste desta unidade apenas se colocou um pulso na entrada (*pad* INP), isto é, o sinal lógico 010 para que fosse possível iniciar o sinal de relógio. Seguidamente, mediu-se o *pad* CLK, verificando se o sinal de relógio tinha sido gerado ou não. Foram colocadas as pontas de teste nos *pads* VDDP e GNDP para alimentar o circuito e procedeu-se à medição do sinal de relógio no *pad* CLK. O resultado obtido encontra-se na Figura 72 .

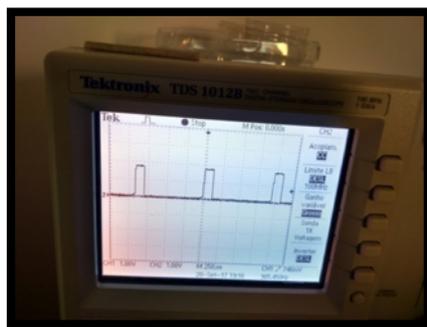


Figura 72- Sinal de relógio gerado pelo chip.

Observando a figura anterior é possível observar que o sinal de relógio foi gerado. No entanto, a sua forma e frequência (621 Hz na simulação e 985 Hz no sinal medido) diferem bastante da onda simulada. Uma explicação para esta diferença prende-se com o facto de as medidas serem feitas com um osciloscópio que apresenta uma impedância de entrada de 1 M $\Omega$  e uma capacidade de 25 pF que não foram tidas em conta aquando das simulações. A introdução de capacidades parasitas pode ter também contribuído para esta alteração.

#### 5.4 Conclusões

---

Neste capítulo foi possível observar que, apesar dos poucos testes realizados, os blocos projetados funcionam de acordo com o previsto, no entanto, mais uma vez, tal como no capítulo 4, algumas características destes blocos foram alteradas, tal como frequências de operação. No futuro deverá completar-se o *setup* idealizado para que seja possível o teste de todos os blocos (aquisição de mais *probes* de teste).

## Capítulo 6 CONCLUSÕES E TRABALHO FUTURO

### 6.1 Conclusões

---

O objetivo desta dissertação era a elaboração de um sistema eletrônico de controle para um neuromodulador térmico. Este dispositivo deveria ser de dimensões reduzidas e totalmente integrado. Assim, deveria possuir comunicação e carregamento sem fios. Uma vez que este deve ser capaz de controlar um atuador, é necessária também a elaboração de uma unidade lógica para que seja possível controlar este.

Dado o descrito anteriormente, planeou-se, simulou-se, submeteu-se para fabrico e testou-se um *chip* de controle para neuromoduladores (vacionado para neuromoduladores térmicos), sendo possível o controle de um atuador (*Peltier*). Este está planeado para ter uma bateria como elemento armazenador de energia, sendo possível o seu carregamento sem fios, através de *RF powering*. Este dispositivo possui ainda comunicação bidirecional sem fios (com modulação OOK). Apesar da comunicação e carregamento sem fios terem sido planeados para funcionarem a 2 GHz, apenas o circuito de receção e o carregamento sem fios funcionam com a frequência projetada, uma vez que a frequência de envio foi alterada para 814 MHz após o fabrico. O *chip* foi fabricado utilizando a tecnologia 180 nm CMOS e apresenta as dimensões de 1.5 x 1.5 mm<sup>2</sup>.

O consumo simulado do sistema é de 17 mW quando se encontra com algumas funções desligadas (emissor e fontes) e 222 mW quando todas as funções se encontram ativas. Este consumo aparenta ser um pouco elevado quando comparado com outros sistemas, no entanto pode ser reduzido com a utilização do circuito de *wake up*, ligando os circuitos apenas durante um intervalo de tempo previamente configurado.

Na realização do *layout* verificou-se que uma má elaboração deste pode comprometer o funcionamento do sistema projetado devido à introdução de capacidades, resistências e indutâncias parasitas. O *layout* de certos blocos alterou algumas das suas características, tais como frequências de oscilação e sensibilidades. O *LNA* passou a necessitar de sinais com potências superiores a -24 dBm quando foi projetado para funcionar apenas com -51 dBm. Outro circuito que sofreu alterações foi o emissor, sendo a sua frequência máxima de funcionamento alterada de 2.95 GHz para cerca de 2.5 GHz. O sinal de relógio da unidade lógica também foi alterado passando de 621Hz para 985 Hz.

Apesar dos poucos testes realizados, os blocos projetados funcionam de acordo com o previsto, no entanto, no entanto, no *chip* testado algumas características destes blocos foram alteradas, como no caso do bloco emissor (814 MHz) e sinal de relógio utilizado para a unidade lógica (985 Hz). Foi também possível a observar que o circuito RF-DC funciona de acordo com o previsto tendo sido observado o carregamento de uma bateria sem a utilização de fios.

Em suma, o *chip* elaborado apresenta dimensões reduzidas, um consumo não muito elevado e não necessita da utilização de fios, o que permite o seu uso como controlador de um dispositivo neuromodulador e, mais concretamente, poderá ser utilizado como controlador de dispositivos implantáveis de modulação térmica.

## 6.2 Trabalho futuro

---

Futuramente existem alguns aspetos que podem ser melhorados no *chip* elaborado nesta dissertação. O primeiro fator que pode ser otimizado é o tamanho do *chip*, uma vez que este possui demasiados *pads* e alguns dos blocos utilizados ainda apresentam dimensões elevadas. Algumas das simulações pós-*layout* são bastante diferentes da realidade, assim deverão ser realizadas outro tipo de simulações, tendo em conta por exemplo fatores como variações no processo, na tensão ou na temperatura (simulações PVT), adaptando o *layout* em função destas. Um outro fator que deverá ser otimizado é o consumo deste *chip*. Este deverá ser totalmente testado e caracterizado.

Existem aspetos que devem ser melhorados em alguns blocos constituintes do *chip*. O bloco gestão de bateria deverá ser reformulado por forma a que o seu consumo diminua (escolhendo outro circuito para regulador de tensão). Um outro bloco a alterar deverá ser o recetor por forma a que aumente a sua gama dinâmica e diminua o seu consumo. O circuito que deverá sofrer maiores alterações é o LNA. A unidade de processamento deverá ser simplificada.

Sumariamente, no futuro deverá caracterizar-se na totalidade o *chip* implementado nesta dissertação e proceder-se aos primeiros testes *in vivo* (testes em roedores), corrigindo as limitações deste numa segunda versão.

## REFERÊNCIAS

- [1] Z. D. G Jiang, “Technology advances and challenges in hermetic packaging for implantable medical devices.,” Z. DD and E. Greenbaum ES, Eds. Berlin: Springer, 2010.
- [2] K. Bazaka and M. Jacob, *Implantable Devices: Issues and Challenges*, vol. 2, no. 1. 2012.
- [3] Shakirullah, N. Ali, A. Khan, and M. Nabi, “The Prevalence, Incidence and Etiology of Epilepsy,” *Int. J. Clin. Exp. Neurol.*, vol. 2, no. 2, pp. 29–39, 2014.
- [4] NHS, “<http://www.nhs.uk/Conditions/Epilepsy/Pages/Treatment.aspx>.,” *Epilepsy - Treatment*, 2014. [Online]. Available: <http://www.nhs.uk/Conditions/Epilepsy/Pages/Treatment.aspx>. [Accessed: 20-Jun-2017].
- [5] V. Krishna, F. Sammartino, N. K. K. King, R. Q. Y. So, and R. Wennberg, “Neuromodulation for Epilepsy,” *Neurosurg. Clin. N. Am.*, vol. 27, no. 1, pp. 123–131, 2016.
- [6] S. G. Lomber, “The advantages and limitations of permanent or reversible deactivation techniques in the assessment of neural function,” *J. Neurosci. Methods*, vol. 86, no. 2, pp. 109–117, 1999.
- [7] M. Fujii, H. Fujioka, T. Oku, N. Tanaka, H. Imoto, Y. Maruta, S. Nomura, K. Kajiwara, T. Saito, T. Yamakawa, T. Yamakawa, and M. Suzuki, “Application of focal cerebral cooling for the treatment of intractable epilepsy.,” *Neurol. Med. Chir. (Tokyo)*, vol. 50, no. 9, pp. 839–44, 2010.
- [8] marketsandmarkets, “Active Implantable Medical Devices Market by Product (Implantable Cardioverter Defibrillators (Transvenous & Subcutaneous), Cardiac Pacemaker, Ventricular Assist Device, Neurostimulator, Implantable Hearing Devices) - Global Forecast to 2022,” 2017.
- [9] M. R. Mahfouz, M. J. Kuhn, and G. To, “Wireless medical devices: A review of current research and commercial systems,” *BioWireless 2013 - Proc. 2013 IEEE Top. Conf. Biomed. Wirel. Technol. Networks, Sens. Syst. - 2013 IEEE Radio Wirel. Week, RWW 2013*, pp. 16–18, 2013.
- [10] C. C. Vassiliou, V. H. Liu, and M. J. Cima, “Miniaturized, biopsy-implantable chemical sensor with wireless, magnetic resonance readout,” *Lab Chip*, vol. 15, no. 17, pp. 3465–3472, 2015.
- [11] H. Kassiri, N. Soltani, M. T. Salam, J. L. P. Velazquez, and R. Genov, “Battery-less modular responsive neurostimulator for prediction and abortion of epileptic seizures,” *Proc. - IEEE Int. Symp. Circuits Syst.*, vol. 2016–July, pp. 1298–1301, 2016.
- [12] M. M. Ahmadi and G. A. Jullien, “A wireless-implantable microsystem for continuous blood glucose monitoring,” *Biomed. Circuits Syst. IEEE Trans.*, vol. 3, no. 3, pp. 169–180, 2009.

- 
- [13] Panasonic, “No Title.” [Online]. Available: <http://shop.panasonic.com/support-only/EW3153W.html>. [Accessed: 28-Sep-2017].
- [14] EMOTIV, “No Title.” [Online]. Available: <https://www.emotiv.com/epoc/>. [Accessed: 28-Sep-2017].
- [15] M. A. Hannan, S. Mutashar, S. A. Samad, and A. Hussain, “Energy harvesting for the implantable biomedical devices: issues and challenges,” *Biomed. Eng. Online*, vol. 13, no. 1, p. 79, 2014.
- [16] H. J. Visser and R. J. M. Vullers, “RF energy harvesting and transport for wireless sensor network applications: Principles and requirements,” *Proc. IEEE*, vol. 101, no. 6, pp. 1410–1423, 2013.
- [17] “Evaluating Compliance with FCC Guidelines for Human Exposure to Radiofrequency Electromagnetic Fields,” vol. 65, 2001.
- [18] T. S. X. Wang, “Wireless Power Transfer for Medical Microsystems,” Springer.
- [19] A. Laskovski, T. Dissanayake, and M. Yuce, “Wireless Power Technology for Biomedical Implants.”
- [20] A. Yakovlev, S. Kim, and A. Poon, “Implantable biomedical devices: Wireless powering and communication,” *IEEE Commun. Mag.*, vol. 50, no. 4, pp. 152–159, 2012.
- [21] H. Cao, V. Landge, U. Tata, Y. S. Seo, S. Rao, S. J. Tang, H. F. Tibbals, S. Spechler, and J. C. Chiao, “An implantable, batteryless, and wireless capsule with integrated impedance and pH sensors for gastroesophageal reflux monitoring,” *IEEE Trans. Biomed. Eng.*, vol. 59, no. 12 PART2, pp. 3131–3139, 2012.
- [22] H. Bhamra, J. W. Tsai, Y. W. Huang, Q. Yuan, and P. Irazoqui, “A sub-mm<sup>3</sup> wireless implantable intraocular pressure monitor microsystem,” *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 60, pp. 356–357, 2017.
- [23] E. Y. Chow, A. L. Chlebowski, and P. P. Irazoqui, “A miniature-implantable RF-wireless active glaucoma intraocular pressure monitor,” *IEEE Trans. Biomed. Circuits Syst.*, vol. 4, no. 6 PART 1, pp. 340–349, 2010.
- [24] Y. Zhang, F. Zhang, Y. Shakhsher, J. D. Silver, A. Klinefelter, M. Nagaraju, J. Boley, J. Pandey, A. Shrivastava, E. J. Carlson, A. Wood, B. H. Calhoun, and B. P. Otis, “A batteryless 19  $\mu$ w MICS/ISM-band energy harvesting body sensor node SoC for ExG applications,” *IEEE J. Solid-State Circuits*, vol. 48, no. 1, pp. 199–213, 2013.
- [25] M. H. Ghaed, G. Chen, R. U. Haque, M. Wieckowski, Y. Kim, G. Kim, Y. Lee, I. Lee, D. Fick, D. Kim, M. Seok, K. D. Wise, D. Blaauw, and D. Sylvester, “Circuits for a cubic-millimeter energy-autonomous wireless intraocular pressure monitor,” *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 60, no. 12, pp. 3152–3162, 2013.
- [26] D. Jeon, Y.-P. Chen, Y. Lee, Y. Kim, Z. Foo, G. Kruger, H. Oral, O. Berenfeld, Z. Zhang, D. Blaauw, and D. Sylvester, “An implantable 64nW ECG-monitoring mixed-signal SoC for arrhythmia diagnosis,” in *2014 IEEE International Solid-State Circuits Conference*, 2014, pp. 416–417.

- 
- [27] M. Yip, R. Jin, H. H. Nakajima, K. M. Stankovic, and A. P. Chandrakasan, "A fully-implantable cochlear implant SoC with piezoelectric middle-ear sensor and energy-efficient stimulation in 0.18 $\mu$ m HVCMOS," in *2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, 2014, pp. 312–313.
- [28] M. Yip, R. Jin, H. H. Nakajima, K. M. Stankovic, and A. P. Chandrakasan, "A fully-implantable cochlear implant SoC with piezoelectric middle-ear sensor and arbitrary waveform neural stimulation," *IEEE J. Solid-State Circuits*, vol. 50, no. 1, pp. 214–229, 2015.
- [29] P. Cong, W. H. Ko, and D. J. Young, "Wireless batteryless implantable blood pressure monitoring microsystem for small laboratory animals," *IEEE Sens. J.*, vol. 10, no. 2, pp. 243–254, 2010.
- [30] M. A. Hannan, S. M. Abbas, S. A. Samad, and A. Hussain, "Modulation techniques for biomedical implanted devices and their challenges," *Sensors*, vol. 12, no. 1, pp. 297–319, 2012.
- [31] Y. Hsueh and U. F. Chio, "A C-LESS ASK DEMODULATOR FOR IMPLANTABLE NEURAL INTERFACING CHIPS Chua-Chin Wang Department of Electrical Engineering National Sun Yat-Sen University Kaohsiung , Taiwan 80424 email : ccwang@ee.nsysu.edu.tw."
- [32] C. Langton, "All About Modulation - Part I Basic Concepts of modulation," *Www.Complextoreal.Com*, pp. 1–38, 2002.
- [33] S. Haykin, "Communication Systems," *Engineering*. p. 816, 2001.
- [34] M. N. Islam and M. R. Yuce, "Review of Medical Implant Communication System (MICS) band and network," *ICT Express*, vol. 2, no. 4, pp. 188–194, 2016.
- [35] M. Mortellaro and A. DeHennis, "Performance characterization of an abiotic and fluorescent-based continuous glucose monitoring system in patients with type 1 diabetes," *Biosens. Bioelectron.*, vol. 61, pp. 227–231, 2014.
- [36] K.-C. Hou, Y.-H. Huang, C.-W. Chang, F.-Z. Shaw, and J.-C. Chiou, "Wireless and batteryless biomedical microsystem for neural recording and epilepsy suppression based on brain focal cooling," *IET Nanobiotechnology*, vol. 5, no. 4, pp. 143–147, 2011.
- [37] C. W. Chang, K. C. Hou, L. J. Shieh, S. H. Hung, and J. C. Chiou, "Wireless powering electronics and spiral coils for implant microsystem toward nanomedicine diagnosis and therapy in free-behavior animal," *Solid. State. Electron.*, vol. 77, no. C, pp. 93–100, 2012.
- [38] B. Bozorgzadeh, D. P. Covey, C. D. Howard, P. a Garris, and P. Mohseni, "A Neurochemical Pattern Generator SoC with Switched-Electrode Management for Stimulation and 9.3 $\mu$ W, 78pArms, 400V/s FSCV Sensing," *2013 Symp. VLSI Circuits*, vol. 49, no. 4, pp. 50–51, 2013.
- [39] W. Biederman, D. J. Yeager, N. Narevsky, J. Leverett, R. Neely, J. M. Carmena, E. Alon, and J. M. Rabaey, "A 4.78 mm<sup>2</sup> Fully-Integrated Neuromodulation SoC

- Combining 64 Acquisition Channels with Digital Compression and Simultaneous Dual Stimulation,” *IEEE J. Solid-State Circuits*, vol. 50, no. 4, pp. 1038–1047, 2015.
- [40] S. Majerus, I. Makovey, H. Zhui, W. Ko, and M. S. Damaser, “Wireless implantable pressure monitor for conditional bladder neuromodulation,” *IEEE Biomed. Circuits Syst. Conf. Eng. Heal. Minds Able Bodies, BioCAS 2015 - Proc.*, pp. 2–5, 2015.
- [41] A. Hu, Y. You, F. Chen, D. McCormick, and D. Budgett, “Wireless Power Supply for ICP Devices with Hybrid Supercapacitor and Battery Storage,” *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. PP, no. 99, pp. 1–1, 2015.
- [42] S. Suman, K. G. Sharma, and P. K. Ghosh, “Analysis and design of current starved ring VCO,” *Int. Conf. Electr. Electron. Optim. Tech. ICEEOT 2016*, no. 2, pp. 3222–3227, 2016.
- [43] B. Jacob, *CMOS, circuit design, layout and simulation*. .
- [44] M. Parvizi, K. Allidina, and M. N. El-Gamal, “An Ultra-Low-Power Wideband Inductorless CMOS LNA with Tunable Active Shunt-Feedback,” *IEEE Trans. Microw. Theory Tech.*, vol. 64, no. 6, pp. 1843–1853, 2016.
- [45] P. R. Kumar Saurabh, “Comparative study on CMOS based operational amplifier,” *Int. J. Tech. Res.*, vol. 2, no. 2, pp. 41–55, 2013.
- [46] K. Kotani, A. Sasaki, and T. Ito, “High-efficiency differential-drive CMOS rectifier for UHF RFIDs,” *IEEE J. Solid-State Circuits*, vol. 44, no. 11, pp. 3011–3018, 2009.
- [47] S. Gomes, “CMOS Receiver for Wireless Powering of Implantable Biodevices,” Universidade do Minho, 2014.
- [48] B. Do Valle, C. T. Wentz, and R. Sarpeshkar, “An area and power-efficient analog lithium battery charger circuit,” *IEEE Trans. Biomed. Circuits Syst.*, vol. 5, no. 2, pp. 131–137, 2011.
- [49] P. Keshri and B. Deka, “CMOS Thyristor Based Low Frequency Ring Oscillator,” pp. 1–11.
- [50] D. S. Seokhyeon Jeong, Inhee Lee, David Blaauw, “A 5.8nW, 45ppm/°C On-Chip CMOS Wake-up Timer Using a Constant Charge Subtraction Scheme,” in *Proc Cust Integr Circuits Conf. 2014 September*, 2014, vol. 3, no. 10, pp. 973–982.

## ANEXO 1- IMAGEM DETALHADA DO *CHIP* PLANEADO

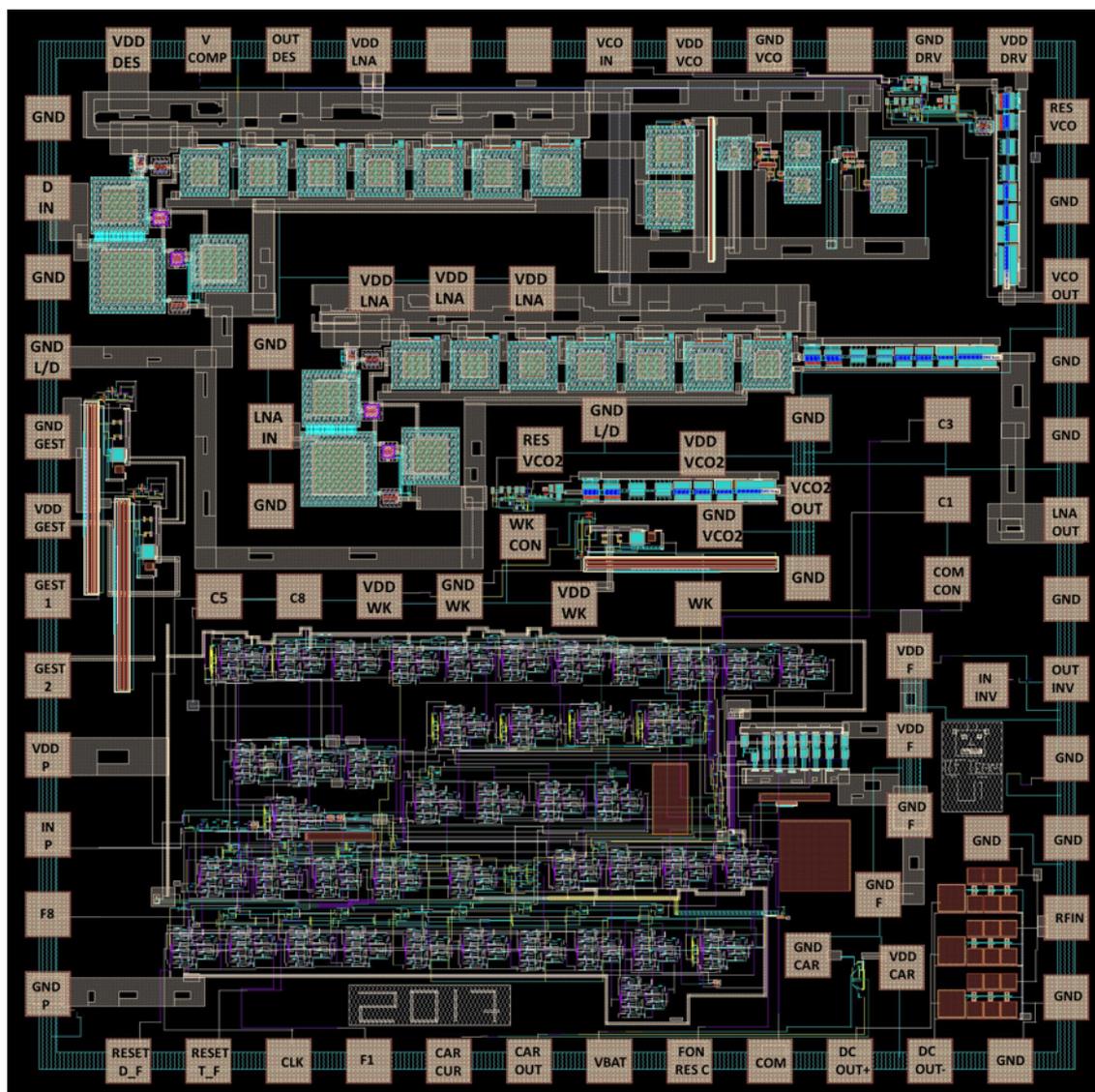


Figura 73- Layout do chip final

Legenda dos *pads* da figura anterior:

**VDD DES-** VDD recetor

**VCOMP-** Tensão de comparação do comparador do bloco recetor

**OUT DES-** Saída do bloco recetor

**VDD LNA-** VDD recetor

**VCO IN-** Entrada do bloco emissor  
**VDD VCO-** VDD bloco emissor  
**GND VCO-** GND bloco emissor  
**GND DRV-** GND *buffer* bloco emissor  
**VDD DRV-** VDD *buffer* bloco emissor  
**RES VCO-** Resistência de controlo do VCO  
**GND-** *ground*  
**VCO OUT-** Saída do emissor  
**LNA OUT-** Saída do LNA (circuito isolado, só com LNA)  
**OUT INV-** saída do inversor  
**RFIN-** entrada do RF DC  
**DC OUT- -** Saída diferencial negativa RF DC  
**DC OUT + -** Saída diferencial positiva RF DC  
**COM-** Saída de comunicação da unidade lógica (bloco comunicação)  
**FONT RES C-** Resistência de controlo das fontes de corrente  
**VBAT-** Tensão de comparação para carregamento da bateria  
**CAR OUT-** Saída Carregador  
**CAR CUR-** Resistência para selecção de corrente IREF1  
**F1-** Sinal F1 do bloco Unidade Lógica (bloco Programar Fontes)  
**CLK-** Sinal de Relógio do bloco Unidade Lógica  
**RESET\_T\_F-** Sinal para fazer *RESET* ao flip flop T que controla o sinal de relógio da Unidade Lógica  
**RESET\_D\_F-** Sinal para fazer *RESET* aos flip flops D do bloco Configurar Fontes  
**F8-** Sinal F8 do bloco Unidade Lógica (bloco Programar Fontes)  
**IN P-** Entrada bloco Unidade Lógica  
**VDD P-** VDD bloco Unidade Lógica  
**GEST 2-** saída bloco gestão de bateria  
**GEST 1-** saída bloco gestão de bateria  
**VDD GEST-** Entrada positiva bloco gestão de bateria  
**GND GEST-** Entrada negativa bloco gestão de bateria  
**GND L/D-** *ground* LNA (circuito isolado com LNA) e bloco recetor  
**D IN-** Entrada recetor

**LNA IN-** Entrada circuito LNA

**VDD LNA-** VDD circuito LNA

**C5-** sinal de controlo da fonte F5 do bloco ativar fontes

**C8-** sinal de controlo da fonte F8 do bloco ativar fontes

**VDD WK-** Alimentação positiva do circuito de *wake up*

**GND WK-** Alimentação negativa do circuito de *wake up*

**WK-** saída do circuito de *wake up*

**RES VCO2-** Resistência de controlo da frequência de oscilação do VCO sem interruptor

**VDD VCO2-** VDD VCO sem interruptor

**VCO2 OUT-** saída VCO sem interruptor

**C3-** sinal de controlo da fonte F3 do bloco ativar fontes

**C1-** sinal de controlo da fonte F1 do bloco ativar fontes

**VDD F-** VDD fontes de corrente

**GND F-** *ground* fontes de corrente

**IN INV-** entrada do inversor

**VDD CAR-** VDD carregador da bateria

**GND CAR-** *ground* do carregador da bateria