

UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ
CÂMPUS CORNÉLIO PROCÓPIO
DIRETORIA DE PESQUISA E PÓS-GRADUAÇÃO
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA
MESTRADO EM ENGENHARIA ELÉTRICA

MARCELO DIAS PEDROSO

**ESTUDO COMPARATIVO ENTRE TÉCNICAS DE CONTROLE LINEARES E
NÃO-LINEARES IMPLEMENTADAS EM FPGA APLICADAS A UM INVERSOR
DE TENSÃO NPC TRÊS NÍVEIS MONOFÁSICO**

DISSERTAÇÃO

CORNÉLIO PROCÓPIO

2013

MARCELO DIAS PEDROSO

**ESTUDO COMPARATIVO ENTRE TÉCNICAS DE CONTROLE LINEARES E
NÃO-LINEARES IMPLEMENTADAS EM FPGA APLICADAS A UM INVERSOR
DE TENSÃO NPC TRÊS NÍVEIS MONOFÁSICO**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Tecnológica Federal do Paraná como requisito parcial para obtenção do título de “Mestre em Engenharia Elétrica”.

Orientador: Prof. Dr. Claudinor Bitencourt
Nascimento

Co-orientador: Prof. Dr. Maurício dos Santos
Kaster

CORNÉLIO PROCÓPIO

2013

Dados Internacionais de Catalogação na Publicação

- P372 Pedroso, Marcelo Dias
Estudo comparativo entre técnicas de controle lineares e não-lineares implementadas em FPGA aplicadas a um inversor de tensão NPC três níveis monofásico / Marcelo Dias Pedroso. – 2013.
120 p. : il. ; 30 cm
- Orientador: Prof. Dr. Claudionor Bitencourt Nascimento.
Co-orientador: Prof. Dr. Maurício dos Santos Kaster.
Dissertação (Mestrado) – Universidade Tecnológica Federal do Paraná. Programa de Pós-graduação em Engenharia Elétrica. Cornélio Procópio, 2013.
Referências: p. 114-120.
1. Inversores elétricos. 2. Sistemas lineares de controle. 3. Sistemas não-lineares. 4. Sistemas de controle ajustável. 5. Engenharia elétrica – Dissertações. I. Nascimento, Claudionor Bitencourt, orient. II. Kaster, Maurício dos Santos. III. Universidade Tecnológica Federal do Paraná. Programa de Pós-graduação em Engenharia Elétrica. IV. Título.

CDD (22. ed.) 621.3

Biblioteca da UTFPR, Câmpus Cornélio Procópio



Ministério da Educação
Universidade Tecnológica Federal do Paraná
Câmpus Cornélio Procópio
Diretoria de Pesquisa e Pós-Graduação
Programa de Pós-Graduação em Engenharia Elétrica
Mestrado em Engenharia Elétrica



TERMO DE APROVAÇÃO

ESTUDO COMPARATIVO ENTRE TÉCNICAS DE CONTROLE LINEARES E NÃO-
LINEARES IMPLEMENTADAS EM FPGA APLICADAS A UM INVERSOR DE
TENSÃO NPC TRÊS NÍVEIS MONOFÁSICO

por

Marcelo Dias Pedroso

Esta Dissertação foi julgada adequada para obtenção do Título de “Mestre em Engenharia Elétrica” e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Tecnológica Federal do Paraná.

Cornélio Procópio, 19/08/2013

Alessandro Goetdel, Prof. Dr.
Coordenador do Curso

Banca Examinadora:

Claudinor Bitencourt Nascimento, Prof. Dr.
Orientador

Mauricio dos Santos Kaster, Prof. Dr.
Co-Orientador

Angelo Marcelo Tuset, Prof. Dr.

Atila Madureira Bueno, Prof. Dr.

“A folha de Aprovação assinada encontra-se na Coordenação do Programa”

Dedico este trabalho a toda a minha família, em especial aos meus pais Geraldo Dias Pedroso e Sandra Mara Dias Pedroso e ao meu irmão Marco Dias Pedroso, e a todos os meus Amigos que sempre me apoiaram no decorrer deste trabalho.

AGRADECIMENTOS

A minha família, meus pais Geraldo Dias Pedroso e Sandra Mara Dias Pedroso e meu irmão Marco Dias Pedroso por sempre me apoiarem em todas as minhas etapas deste trabalho.

A minha namorada e companheira, Carla Tatiane Cado por todo apoio e compreensão.

Ao meu orientador, Prof. Dr. Claudinor Bitencourt Nascimento, pela oportunidade da realizar este estudo. Pelo apoio em todas horas, pelos conselhos técnicos e pessoais e pelo grande apoio e companheirismo durante o decorrer do curso e no desenvolvimento deste trabalho.

Ao meu co-orientador, Prof Dr. Maurício dos Santos Kaster pelos conselhos e colaboração no decorrer do trabalho. Por estar sempre a disposição em momentos que houve necessidade.

Aos Professores, Prof. Dr. Sérgio Augusto Oliveira da Silva e Prof. Dr. Alessandro Goetdel pelos conselhos e conceitos passados. Também pela oportunidade e confiança para a realização deste curso.

Aos Professores Dr. Angelo Marcelo Tuset e Dr. Atila Madureira Bueno, participantes da banca de avaliação.

A todos os Professores dos Programas de Pós-Graduação em Engenharia Elétrica da UTFPR – Câmpus Cornélio Procópio e Ponta Grossa, que de certa forma colaboraram para a conclusão deste trabalho.

Aos meus verdadeiros amigos companheiros de curso, Tiago Henrique dos Santos, Leonardo Bruno Campanhol, William Salviano Gongora, Hugo Dias, Edson Junior Acordi, Rodrigo Barriviera, Celso Kawamura, aos alunos bolsistas de iniciação científica em especial para Vinícius Dário Bacon e Francisco Jose Viglus que contribuíram diretamente durante todo o desenvolvimento do trabalho.

A UTFPR pela liberação do espaço, ferramentas e matérias necessários para o desenvolvimento do trabalho.

Quanto mais eu treino, mais sorte eu tenho.

Tiger Woods

RESUMO

PEDROSO, Marcelo Dias. **Estudo comparativo entre técnicas de controle lineares e não-lineares implementadas em fpga aplicadas a um Inversor de tensão npc três níveis monofásico**. 2013 120 f. Dissertação (Mestrado em Engenharia Elétrica) – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Tecnológica Federal do Paraná. Cornélio Procópio, 2013.

Este trabalho apresenta um estudo comparativo, o projeto e a implementação de técnicas de controle lineares e não-lineares aplicadas em conversores estáticos de energia elétrica. O principal objetivo deste estudo é controlar, tanto a tensão de saída como o equilíbrio das tensões dos capacitores do barramento CC (Corrente Contínua) de um inversor NPC (*Neutral Point Campled*) três níveis monofásico. As técnicas de controle utilizadas são o PID (Proporcional-Integral-Derivativo), o ANLPID-GGF (*Adaptive Non Linear PID – Gaussian Like Gain Functions*), o LQR (*Linear Quadratic Regulator*) e o SDRE (*State Dependent Riccati Equation*). O ANLPID-GGF é uma proposta de otimização do controlador PID convencional utilizando funções de ganhos variáveis. Todos os controladores são projetados para manter os mesmos pólos dominantes (autovalores) do sistema em malha fechada de acordo com o modelo do conversor. Desta forma é possível realizar uma comparação mais coerente entre as quatro técnicas de controles estudadas. Com a determinação dos pólos dominantes do sistema é realizado o projeto dos controladores LQR e SDRE por alocação de pólos. Com o projeto por alocação de pólos pode-se evitar os sobre sinais comuns nas aplicações que utilizam controladores LQR e SDRE. Através da análise comparativa entre os quatro controladores, pode-se identificar as características distintas de cada método. Desta forma, também é proposta uma implementação paralela de controladores onde é feita uma associação ponderada entre as leis de controle, dando origem a uma estratégia de controle adaptativo ponderado que melhora o desempenho do sistema, tanto em tempo de resposta quanto na redução dos *overshoots*. As quatro técnicas de controle utilizadas e a estratégia proposta do controle adaptativo são implementadas em FPGA (*Field Programmable Gate Array*), utilizando a ferramenta *DSP Builder* para desenvolvimento e compilação do código HDL (Linguagem de Descrição de Hardware). Resultados de simulações e experimentais são apresentados com o objetivo de validar o desenvolvimento teórico proposto.

Palavras chave: Inversor NPC 3 níveis. Controle Linear. Controle Não Linear. Controle Adaptativo. FPGA. *DSP Builder*.

ABSTRACT

PEDROSO, Marcelo Dias. **Comparison study between linear and nonlinear controllers implemented in FPGA applied to single-phase Three level NPC inverter.** 2013 120 f. Dissertação – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Tecnológica Federal do Paraná. Cornélio Procópio, 2013.

This work presents a comparative study, design and implementation of linear and nonlinear control techniques applied on power electronics converters. The main objective of this study is to control the output voltage and the voltage balance between the DC bus voltage capacitors balance of a three level NPC inverter. The control techniques used are the classic PID, the ANLPID-GGF, LQR and SDRE. The Non-Linear PID – Gaussian Gain Functions is considered a new nonlinear control technique used for optimization of the classic linear PID control. Taken the converter transfer function, the designs of the four controllers are set so the operating point of the closed loop system presents the same natural frequency. Thus, the comparative analysis of the performance of each control can be performed more precisely. The pole placement technique is used to design the LQR and SDRE controllers. By means of a comparative analysis of the controllers, it a parallel combination of the designed controllers is also proposed, yielding a weighted adaptive control system. The weighted adaptive controller improves the system performance, both in response time and in controlled magnitudes overshoots reduction. The four control techniques and the strategy an adaptive control proposed are implemented on FPGA, using the DSP Builder tool for the development and compilation the VHDL code. Simulation results are presented in order to validate the proposed theoretical development.

Keywords: Multilevel NPC Inverter, Linear Control, Non Linear Control, Adaptive Control. FPGA. DSP Builder.

LISTA DE FIGURAS

Figura 1 - Projeção do consumo de energia elétrica no Brasil (2009-2013).....	20
Figura 2 - Limite de operação dos semicondutores	28
Figura 3 - Braço de um conversor com (a) dois níveis, (b) três níveis e (c) n níveis	30
Figura 4 - Braço de um inversor NPC: (a) 3 níveis e (b) 5 níveis	32
Figura 5 - Técnica para modulação para Inversor NPC 3 níveis.....	32
Figura 6 - (a) Razão cíclica para S1 (b) Razão cíclica para S4	33
Figura 7 - Estados dos interruptores NPC 3 níveis.....	33
Figura 8 - Tensão de saída Vao de um Inversor NPC 3 níveis.....	34
Figura 9 - Tensão de saída Vao de um Inversor NPC 5 níveis.....	35
Figura 10 - Braço de um inversor com capacitor flutuante (a) 3 níveis (b) 5 níveis	36
Figura 11 - Conversor trifásico com células conectadas em cascata com saída 3 níveis	38
Figura 12 - Conversor Four-Level MPC	40
Figura 13 - Conversor multinível assimétrico híbrido	40
Figura 14 - Conversor multinível Diode/Capacitor Clamped	41
Figura 15 - Inversor NPC 3 níveis monofásico	42
Figura 16 - Estados dos interruptores no semi-ciclo positivo	43
Figura 17 - Estados dos interruptores no semi-ciclo negativo	43
Figura 18 - Circuito equivalente para o semi-ciclo positivo	43
Figura 19 - Circuito equivalente final para semi-ciclo positivo	44
Figura 20 - Etapas de operação buck fictício para o semi-ciclo positivo.....	44
Figura 21 - Buck fictício com alteração da razão cíclica	45
Figura 22 - Tensões de saída dos conversores bucks fictícios	45
Figura 23 - Filtro LC de saída	49
Figura 24 - Estratégia utilizada com controle de desbalanço	50
Figura 25 - Comandos em S1 para diferentes $\Delta VC1C2$	51
Figura 26 - Sistemas de controle em eletrônica de potência (a) Carga (b) Motor elétrico	52
Figura 27 - Controlador PID Paralelo Clássico	53
Figura 28 - Controlador ANLPID-GGF.....	55
Figura 29 - (a) Variação de f_n para $k_1 > k_0$ (b) Variação de f_n para $k_1 < k_0$	55
Figura 30 - Sistema de controle LQR	56

Figura 31 - Contador adaptativo ponderado geral	61
Figura 32 - Contador adaptativo ponderado com dois controladores	62
Figura 33 - Implementação geral do controle em conversor (a) Buck (b) NPC.....	65
Figura 34 - Lugar das raízes em malha aberta (a) Buck (b) NPC	66
Figura 35 - Resposta ao degrau em malha aberta (a) Buck (b) NPC.....	66
Figura 36 - Ferramenta RLTOOL para projeto de controlador (a) Buck (b) NPC.....	67
Figura 37 - Resposta ao degrau do conversor Buck em malha fechada (a) Buck e (b) Inversor NPC	68
Figura 38 - Lugar das raízes em malha fechada (a) Buck (b) NPC.....	68
Figura 39 - PID – Transitório inicial da tensão de saída (a) Buck (b) NPC.....	69
Figura 40 - PID - Corrente do indutor do filtro de saída (a) Buck (b) NPC	69
Figura 41 - PID - Tensão de saída na ocorrência dos degraus de carga (a) Buck (b) NPC	69
Figura 42 - (a) Tensão PWM de saída do NPC (b) Tensões nos capacitores de barramento ..	69
Figura 43 - ANLPID-GGF – Transitório inicial da tensão de saída (a) Buck (b) NPC.....	70
Figura 44 - ANLPID-GGF - Corrente do indutor do filtro de saída (a) Buck (b) NPC.....	71
Figura 45 - ANLPID-GGF - Tensão de saída na ocorrência dos degraus de carga (a) Buck (b) NPC	71
Figura 46 - Variação dos ganhos do controlador ANLPID-GGF durante a simulação (a) Buck (b) NPC.....	71
Figura 47 - (a) Tensão PWM de saída do NPC (b) Tensões nos capacitores de barramento ..	71
Figura 48 - LQR – Transitório inicial da tensão de saída (a) Buck (b) NPC	73
Figura 49 - LQR - Corrente do indutor do filtro de saída (a) Buck (b) NPC.....	73
Figura 50 - Tensão de saída na ocorrência dos degraus de carga (a) Buck (b) NPC.....	73
Figura 51 - (a) Tensão PWM de saída do NPC (b) Tensões nos capacitores de barramento ..	73
Figura 52 - SDRE – Transitório inicial da tensão de saída (a) Buck (b) NPC.....	74
Figura 53 - SDRE - Corrente do indutor do filtro de saída (a) Buck (b) NPC.....	74
Figura 54 - SDRE - Tensão de saída na ocorrência dos degraus de carga (a) Buck (b) NPC..	75
Figura 55 - (a) Tensão PWM de saída do NPC (b) Tensões nos capacitores de barramento ..	75
Figura 56 - Comparativo do transitório inicial da tensão de saída do conversor Buck	75
Figura 57 - Comparativo da tensão de saída em regime permanente do conversor Buck	76
Figura 58 - Comparativo da tensão de saída na ocorrência dos degraus de carga do conversor Buck	76
Figura 59 - PID//LQR – Transitório inicial da tensão de saída do conversor Buck.....	77

Figura 60 - PID//LQR – Tensão de saída na ocorrência dos degraus de carga do conversor Buck	77
Figura 61 - ANLPID-GGF//SDRE – Transitório inicial da tensão de saída do conversor Buck	77
Figura 62 - ANLPID-GGF//SDRE – Tensão de saída na ocorrência dos degraus de carga do conversor Buck	78
Figura 63 - PID//SDRE – Transitório inicial da tensão de saída do conversor Buck.....	78
Figura 64 - PID//SDRE – Tensão de saída na ocorrência dos degraus de carga do conversor Buck	78
Figura 65 - Controle Adaptativo Ponderado - Corrente do indutor do filtro de saída do conversor Buck	79
Figura 66 - Estratégia de controle HTAC aplicada ao conversor Buck.....	79
Figura 67 - HTAC – Transitório inicial da tensão de saída do conversor Buck	80
Figura 68 - HTAC – Tensão de saída na ocorrência dos degraus de carga do conversor Buck	80
Figura 69 - HTAC – erro(t) do conversor Buck	80
Figura 70 - Valores dos pesos implementados do controlador HTAC	81
Figura 71 - Sistema geral de controle digital	82
Figura 72 - Biblioteca DSP Builder	84
Figura 73 - Bloco Signal Compiler	84
Figura 74 - Representação gráfica da parcela proporcional	86
Figura 75 - Comparativo do bloco Ganho.....	86
Figura 76 - Métodos de integração discreta	86
Figura 77 - Representação gráfica da parcela integral.....	87
Figura 78 - Comparativo do bloco Integrador.....	87
Figura 79 - Representação gráfica da parcela derivativa	87
Figura 80 - Comparativo do bloco Derivativo	88
Figura 81 - Diagrama de blocos PID discreto	88
Figura 82 - Representação gráfica da exponencial discreta	89
Figura 83 - Comparativo do bloco Exponencial.....	89
Figura 84 - Representação da função genérica dos ganhos do ANLPID-GGF.....	90
Figura 85 - Diagrama da implementação do ANLPID-GGF	90
Figura 86 - Representação gráfica da lei de controle geral do controlador LQR.....	90
Figura 87 - Representação gráfica do controlador LQR estimando uma variável	91

Figura 88 - Representação gráfica do controlador LQR com referência fixa	91
Figura 89 - Representação gráfica do controlador SDRE.....	92
Figura 90 - Simulação algoritmo do FPGA com DSP Builder	93
Figura 91 - Representação do bloco do conversor A/D.....	94
Figura 92 - PID implementado em DSP Builder.....	94
Figura 93 - PID DSP Builder Simulação completa (a) Buck (b) NPC.....	94
Figura 94 - PID DSP Builder – Transitório inicial da tensão de saída (a) Buck (b) NPC.....	95
Figura 95 - PID DSP Builder – Primeiro degrau de carga (a) Buck (b) NPC.....	95
Figura 96 - PID DSP Builder - Segundo degrau de carga (a) Buck (b) NPC	95
Figura 97 - PID DSP Builder – Tensão PWM do Inversor NPC (a) Tensões do barramento (b) NPC	96
Figura 98 - ANLPID-GGF implementado em DSP Builder	96
Figura 99 - ANLPID-GGF Builder - Simulação completa (a) Buck (b) NPC	96
Figura 100 - ANLPID-GGF DSP Builder – Transitório inicial da tensão de saída (a) Buck (b) NPC	97
Figura 101 - ANLPID-GGF DSP Builder – Primeiro degrau de carga (a) Buck (b) NPC.....	97
Figura 102 - ANLPID-GGF DSP Builder – Segundo degrau de carga (a) Buck (b) NPC.....	97
Figura 103 - ANLPID-GGF DSP Builder – Tensão PWM do Inversor NPC (a) Tensões do barramento (b) NPC	98
Figura 104 - LQR implementado em DSP Builder.....	98
Figura 105 - LQR DSP Builder - Simulação completa (a) Buck (b) NPC	98
Figura 106 - LQR DSP Builder – Transitório inicial da tensão de saída (a) Buck (b) NPC....	98
Figura 107 - LQR DSP Builder – Primeiro degrau de carga (a) Buck (b) NPC	99
Figura 108 - LQR DSP Builder – Segundo degrau de carga (a) Buck (b) NPC	99
Figura 109 - LQR DSP Builder – Tensão PWM do Inversor NPC (a) Tensões do barramento (b) NPC.....	99
Figura 110 - SDRE implementado em DSP Builder	100
Figura 111 - SDRE DSP Builder - Simulação completa (a) Buck (b) NPC	100
Figura 112 - SDRE DSP Builder – Transitório inicial da tensão de saída (a) Buck (b) NPC	100
Figura 113 - SDRE DSP Builder – Primeiro degrau de carga (a) Buck (b) NPC.....	101
Figura 114 - SDRE DSP Builder – Segundo degrau de carga (a) Buck (b) NPC.....	101
Figura 115 - SDRE DSP Builder – Tensão PWM do Inversor NPC (a) Tensões do barramento (b) NPC.....	101
Figura 116 - HTAC implementado em DSP Builder.....	102

Figura 117 - HTAC DSP Builder - Simulação completa (a) Buck (b) NPC.....	102
Figura 118 - HTAC DSP Builder – Transitório inicial da tensão de saída (a) Buck (b) NPC.....	102
Figura 119 - HTAC DSP Builder – Primeiro degrau de carga (a) Buck (b) NPC.....	103
Figura 120 - HTAC DSP Builder – Segundo degrau de carga (a) Buck (b) NPC.....	103
Figura 121 - HTAC DSP Builder – Tensão PWM do Inversor NPC (a) Tensões do barramento (b) NPC.....	103
Figura 122 - Esquema elétrico do Conjunto Inversor NPC 3 níveis	104
Figura 123 - Posição dos pinos do FPGA EP3C25Q240C8N.....	105
Figura 124 - Placa desenvolvida com FPGA	106
Figura 125 - Circuito de condicionamento de sinal.....	106
Figura 126 - Esquema do conversor A/D 7655	107
Figura 127 - Circuito de acionamento do driver.....	107
Figura 128 - Step inicial conversor Buck (a) Simulação (b) Experimental	108
Figura 129 - Detalhe Step inicial conversor Buck (a) Simulação (b) Experimental	108
Figura 130 - Degrau de carga 1 conversor Buck (a) Simulação (b) Experimental.....	108
Figura 131 - Detalhe degrau de carga 1 conversor Buck (a) Simulação (b) Experimental ...	109
Figura 132 - Degrau de carga 2 conversor Buck (a) Simulação (b) Experimental.....	109
Figura 133 - Detalhe degrau de carga 2 conversor Buck (a) Simulação (b) Experimental ...	109

LISTA DE TABELAS

Tabela 1 - Estados da tensão de saída em função dos estados dos interruptores 3 níveis	33
Tabela 2 - Estados da tensão de saída em função dos estados dos interruptores 5 níveis	34
Tabela 3 - Estados da tensão de saída em função dos estados dos interruptores em um Conversor com capacitores flutuantes 3 níveis	36
Tabela 4 - Estados da tensão de saída em função dos estados dos interruptores em um Conversor com capacitores flutuantes 5 níveis	37
Tabela 5 - Estados da tensão de saída em função dos estados dos interruptores em um conversor com células conectadas em cascata 3 níveis	38
Tabela 6 - Parâmetros para conversor Buck e NPC.....	64
Tabela 7 - Sequência da simulação <i>Buck</i> (a) e NPC (b)	65
Tabela 8 - Análise dos conversores <i>Buck</i> e NPC em malha aberta	66
Tabela 9 - Ganhos do controlador PID linear.....	67
Tabela 10 - Sequência da simulação <i>Buck</i> (a) e NPC (b)	94
Tabela 11 - Parâmetros do protótipo implementado.....	105
Tabela 12 - Parâmetros do EP3C25Q240C8N	105

LISTA DE ABREVIATURAS E SIGLAS

EPE	Empresa de Pesquisa Energética
A/D	Analógico/Digital
ANLPID-GGF	<i>Adaptive Non Linear PID - Gaussian Like Gain Functions</i>
CA	Corrente Alternada
CC	Corrente Contínua
DSP	<i>Digital Signal Processors</i>
EMI	Interferência Eletromagnética
FPGA	<i>Field Programmable Gate Array</i>
HDL	Linguagem de Descrição de Hardware
HTAC	<i>Hyperbolic Tangent Adaptive Control</i>
LQR	<i>Linear Quadratic Regulator</i>
MCP	<i>Multi Point Clamped</i>
NPC	<i>Neutral Point Clamped</i>
PI	Proporcional-Integral
PID	Proporcional-Integral-Derivativo
PWM	<i>Pulse With Modulation</i>
SDRE	<i>State Dependent Riccati Equation</i>
UPS	Sistemas de Energia Ininterrupta
WAC	<i>Weighted Adaptive Control</i>

LISTA DE SÍMBOLOS

C_{CC}	Capacitor do Barramento CC
C_o	Capacitor do Filtro LC de Saída
d	Razão Cíclica
e_w	Erro Máximo WAC
f_c	Frequência de Corte do Filtro de Saída
f_s	Frequência de Comutação
K	Vetor de Realimentação de Estados
K_d	Ganho Derivativo
K_i	Ganho Integral
K_p	Ganho Proporcional
L_o	Indutor do Filtro LC de Saída
N_C	Número de Capacitores de Conversores Multi níveis
s_d	Posição Desejada dos Pólos Dominantes em Malha Fechada
T	Período de Comutação
T_s	Período de Amostragem do Conversor A/D
$u(t)$	Lei de Controle
V_{CC}	Tensão do Barramento CC
V_{in}	Tensão de Entrada
V_{out}	Tensão de Saída
V_{ref}	Tensão de Referência
w_n	Pesos do Controlador Adaptativo Ponderado
W_n	Frequência Natural Não Amortecida
δ	Erro de Referência
ε	Regulação de Tensão do Barramento CC
ζ	Coefficiente de Amortecimento
ω_h	Frequência de Oscilação do Barramento CC

SUMÁRIO

1	INTRODUÇÃO	20
1.1	PROBLEMA A SER PESQUISADO.....	24
1.2	OBJETIVOS DA PESQUISA	24
1.2.1	Objetivo Geral	24
1.2.2	Objetivos Específicos.....	25
1.3	CONTRIBUIÇÕES E RELEVÂNCIA DO TRABALHO	25
1.4	ORGANIZAÇÃO DO TRABALHO.....	26
2	CONVERSORES MULTINÍVEIS E SUAS APLICAÇÕES	28
2.1	INTRODUÇÃO.....	28
2.2	CONVERSOR COM DIODO DE GRAMPEAMENTO	31
2.2.1	Vantagens.....	35
2.2.2	Desvantagens.....	35
2.3	CONVERSOR COM CAPACITORES FLUTUANTES	36
2.3.1	Vantagens.....	37
2.3.2	Desvantagens.....	38
2.4	CONVERSORES COM CÉLULAS EM CASCATA.....	38
2.4.1	Vantagens.....	39
2.4.2	Desvantagens.....	39
2.5	OUTRAS TOPOLOGIAS.....	39
2.5.1	Conversor Multi-Point Clamped	39
2.5.2	Conversor Assimétrico Híbrido.....	40
2.5.3	Conversor <i>Diode/Capacitor Clamped</i>	40
3	INVERSOR NPC 3 NÍVEIS MONOFASICO	42
3.1	INTRODUÇÃO.....	42
3.2	MODELAGEM MATEMÁTICA	42

3.3	PROJETO DOS CAPACITORES DO BARRAMENTO CC	48
3.4	FILTRO LC DE SAÍDA	49
3.5	DESBALANÇO DE TENSÃO DO BARRAMENTO CC.....	50
4	ESTRATÉGIAS DE CONTROLE APLICADAS EM CONVERSORES	52
4.1	PID LINEAR	53
4.2	ANLPID-GGF	54
4.3	LINEAR QUADRATIC REGULATOR.....	56
4.3.1	Proposta de Projeto do Controlador LQR por Alocação de Pólos	57
4.4	SDRE	59
4.5	CONTROLE ADAPTATIVO PONDERADO	61
5	PROJETO DOS CONTROLADORES E SIMULAÇÕES.....	64
5.1	INTRODUÇÃO.....	64
5.2	PROJETO DO CONTROLADOR PID LINEAR	65
5.3	PROJETO DO CONTROLADOR ANLPID-GGF	70
5.4	PROJETO DO CONTROLADOR LQR.....	72
5.5	PROJETO DO CONTROLADOR SDRE	74
5.6	PROJETO DO CONTROLADOR WAC	75
5.7	PROJETO DO CONTROLADOR HTAC.....	79
6	CONTROLE DIGITAL IMPLEMENTADO EM FPGA.....	82
6.1	INTRODUÇÃO.....	82
6.2	FIELD PROGRAMMABLE GATE ARRAY (FPGA).....	82
6.3	FERRAMENTA DE PROGRAMAÇÃO DSP BUILDER.....	83
6.4	DISCRETIZAÇÃO DOS CONTROLADORES.....	85
6.4.1	PID Discreto.....	85
6.4.2	ANLPID-GGF Discreto	88
6.4.3	LQR Discreto	90
6.4.4	SDRE Discreto	91

7	RESULTADOS IMPLEMENTADOS EM FPGA	93
7.1	RESULTADOS DE SIMULAÇÃO COM DSP BUILDER	93
7.2	RESULTADOS EXPERIMENTAIS OBTIDOS	104
8	CONSIDERAÇÕES FINAIS E PROPOSTAS DE CONTINUIDADE	111
8.1	CONSIDERAÇÕES FINAIS	111
8.2	PROPOSTAS DE CONTINUIDADE	112
8.3	PUBLICAÇÕES RELATIVAS AO TRABALHO	113
	REFERÊNCIAS	114

1 INTRODUÇÃO

O crescimento econômico global tem propiciado a muitos países, sejam eles desenvolvidos ou não, a possibilidade de investimentos em tecnologias que consomem energia elétrica em níveis de potência cada vez mais elevados. De acordo com a edição da Resenha Nacional do Mercado de Energia Elétrica, divulgado pela Empresa de Pesquisa Energética (EPE) de março de 2012 o consumo de energia elétrica do Brasil registrado em abril de 2012 foi de aproximadamente 463,3 Gigawatts-hora (GWh), que significa um crescimento de 4,6% a mais no consumo em comparação ao mesmo período de 2011 (EPE, 2009).

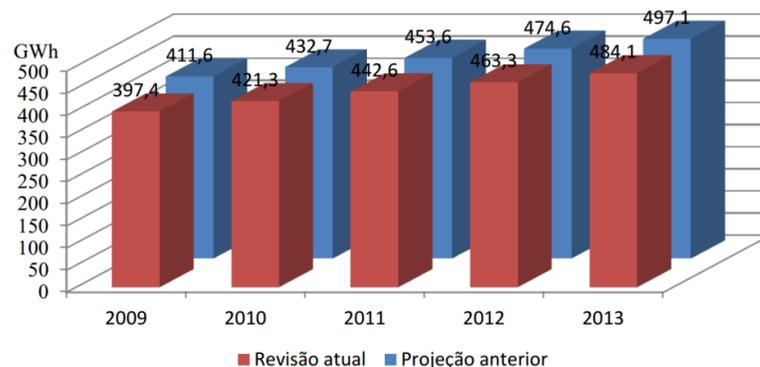


Figura 1- Projeção do consumo de energia elétrica no Brasil (2009-2013)

Sabe-se que aumento do consumo de energia está relacionado diretamente com os investimentos tecnológicos nas aplicações com potências mais elevadas. Desta forma, torna-se evidente que, na medida em que se elevam os níveis de potência, esta gerada ou consumida, para se reduzir as perdas durante o processo de transmissão, distribuição e consumo, é necessário se trabalhar com tensões mais elevadas.

O consumo elevado de energia elétrica engloba desde usuários residências até instalações comerciais e industriais e com isso tornou-se necessário à exigência da qualidade de energia elétrica cada vez maior. Muitos equipamentos responsáveis pelo aumento do consumo de energia elétrica apresentam cargas não-lineares ou possuem característica de cargas com elevados reativos, afetando diretamente o fator de potencia dos sistemas de fornecimento. Como consequência, a qualidade de energia elétrica acaba sendo comprometida.

Essas características são consideradas problemas quando se tratando de qualidade de energia elétrica, pois o termo qualidade de energia elétrica depende tanto da energia fornecida

pela concessionária quanto da energia drenada da rede utilizada pelo consumidor. Constantemente novas tecnologias vêm sendo desenvolvidas a fim de melhorar a qualidade de energia elétrica através da aplicação de estratégias de controle e também da utilização de topologias inovadoras de conversores estáticos.

No processamento eletrônico de energia, em aplicações com níveis de tensão ou corrente elevada, é necessário realizar uma associação em série ou em paralelo dos dispositivos semicondutores. Nessas associações, devido às diferenças físicas dos semicondutores, nem sempre a tensão ou corrente suportada por estes ficam igualmente distribuídas, acarretando severos problemas de funcionamento. Outra alternativa é a utilização de conversores conectados em série ou em paralelo que, embora se consiga elevar os níveis de potência processada, se aumenta consideravelmente a complexidade de funcionamento do sistema.

Com o aumento da necessidade de processamento em elevados níveis de potência, topologias multiníveis de conversores foram desenvolvidas e vêm se destacando para aplicações devido às vantagens quando comparado aos conversores convencionais. Com o surgimento dos conversores multiníveis, naturalmente constituídos por combinações de interruptores conectados em série ou paralelo, os problemas relacionados principalmente aos esforços de tensão dos mesmos, foram minimizados. Por possuírem características próprias de funcionamento apresentam modulações adaptadas e novas estratégias de modulação e controle são desenvolvidas constantemente. Entre as vantagens em relação aos conversores convencionais, os conversores multiníveis apresentam redução da tensão sobre os interruptores, menor taxa de distorção harmônica das tensões de saída, e como consequência disso, filtro de saída reduzido (RODRIGUEZ, 2002).

As topologias de conversores multiníveis podem ser divididas em três principais categorias (LEI LIN, 2005):

1. Com diodos de grampeamento (NABAE, 1981);
2. Com capacitores flutuantes (MEYNARD, 1992);
3. Com células conectadas em série (RODRIGUEZ, 2002).

Os inversores de tensão multiníveis com diodos de grampeamento (*Diode Clamped Converter*), também conhecidos como inversores com ponto de neutro grampeado ou inversores NPC – “*Neutral Point Camped*”, são justificados principalmente pela possibilidade da utilização de elevados níveis de potência na saída do inversor, frequência de comutação superior aos inversores convencionais e menores taxas de distorção harmônicas da

tensão de saída (MEYNARD, 1992). Por outro lado, devido ao ponto de neutro, para a grande maioria das cargas utilizadas, ocorre o desbalanço das tensões dos capacitores do barramento CC (BRAGA, 2000), prejudicando a simetria da tensão de saída do inversor.

Normalmente, para manter o equilíbrio dos níveis de tensão sobre os capacitores é necessário realizar um controle em malha fechada, que deve atuar diretamente na comutação dos semicondutores (OLIVEIRA, 2005; ZHANG ZHI, 2009). As estratégias de controle utilizadas podem ser relacionadas com a corrente do ponto de neutro, cujo seu valor médio deve ser teoricamente nulo, ou com as tensões dos capacitores do barramento CC que devem possuir o mesmo valor. Ambas atuando diretamente na razão cíclica do sinal PWM dos interruptores. Estudos recentes mostram que é possível manter as tensões dos capacitores equilibradas através de modificações nas técnicas de modulação convencionais utilizadas em topologias multiníveis (PINHEIRO, 2009; YOON-HYUK, 2011).

A evolução tecnológica dos dispositivos eletroeletrônicos tem sido bastante expressiva nestes últimos anos. Com o aumento do desempenho dos Microcontroladores e dos *Digital Signal Processors* (DSP), assim como o surgimento dos *Field Programmable Gate Array* (FPGA), associados às altas velocidades dos atuais conversores de sinal A/D (Analogico/Digital), alguns conceitos relacionados a processamento digital de sinais têm sido reavaliados e novas formas de processamento matemático e algoritmos desenvolvidas (KREIN, 2007). Em sistemas de condicionamento de energia elétrica que utilizam conversores estáticos, a integração de um *hardware* de elevado desempenho com técnicas de controle lineares e até não-lineares implementadas digitalmente, tem propiciado a melhora do desempenho do sistema, permitindo o aumento da sua eficiência bem como da qualidade de energia elétrica suprida pelas fontes de energia elétrica.

Em meio a esse contexto, técnicas de controle aplicadas a estes conversores são constantemente estudadas. Devido à maior complexidade do controle destes inversores, quando comparados aos inversores convencionais, a utilização de controladores digitais com processadores com respostas cada vez mais rápidas tornam-se cada vez mais atrativos, como por exemplo, a utilização de *hardwares* em *Field Programmable Gate Array* (FPGA). A implementação do controle digital com FPGA aplicada aos conversores estáticos de potência é uma abordagem inovadora e vem ganhando espaço em aplicações dentro da área da eletrônica de potência (YUEN FONG CHAN, 2007; AGNIHOTRI, JAPPE, MATAR, 2010; HWU, 2011, MEKONNEN, DADBAG, 2012).

O FPGA é um circuito integrado configurado via software e programado através da combinação de elementos lógicos digitais como processadores, interfaces, controladores,

entre outros. As aplicações utilizando controle digital com programação em FPGA vêm se destacando devido à possibilidade de processamento em paralelo de diversas funções, diferente dos Microcontroladores e DSPs que possuem processamento sequencial. Outro fator relevante é a programação, onde o FPGA não se limita ao *hardware*, podendo alterar as funções da maioria dos pinos com simples alterações no código desenvolvido (SAHOO, MONMASSON, 2007; MONMASSON, 2010; MONMASSON, 2011). Normalmente os FPGAs são programados por linguagem HDL, porém recentemente a utilização da programação gráfica por blocos digitais através da ferramenta DSP *Builder* vem crescendo devido à facilidade de interface com o programador (YANG MIN, 2009).

Juntamente com os avanços do controle digital, a utilização de teorias mais complexas relacionadas principalmente com o projeto de controladores não-lineares vem se destacando. Como por exemplo, pode-se citar controle por modos deslizantes, muito utilizado em conversores chaveados por apresentar excelente desempenho e ser de simples implementação (SUN QIANG, 2010).

No entanto, muitas outras técnicas de controle não-lineares ainda não tão difundidas continuam sendo fontes de estudos em aplicações relacionadas a processamento de energia elétrica, como o controle SDRE (*State Dependent Riccati Equation*) (GONZALES, 2009; FUJIMOTO, 2010) e o ANLPID-GGF (*Adaptive Non Linear PID – Gaussian Like Gain Functions*) (KASTER, 2011). A técnica de controle SDRE é originada do controlador linear LQR (*Linear Quadratic Regulator*) (OLALLA, 2009; MOREIRA, 2011). O ANLPID-GGF é uma proposta de otimização do controle PID linear convencional utilizando funções de ganhos variáveis baseado em funções gaussianas.

Sabe-se que controladores distintos apresentam respostas diferentes em determinadas situações quando comparados os tempos de reposta, distúrbios de entrada e saída, e o comportamento em regime estacionário. Desta forma, uma combinação ponderada destes controladores pode ser utilizada dando origem a um sistema de controle adaptativo que pode melhorar o desempenho do conjunto, tanto em tempo de resposta quanto na redução dos *overshoots* das grandezas controladas. Buscando melhores desempenhos diversas estratégias de controle adaptativo são estudadas (UNBEHAUEN, 2000; NAN, 2009; ALGREER, BORE-KUEN, 2011; ARIKATLA, HUANG, 2012).

As vantagens da velocidade e do método de processamento do *hardware* FPGA facilitam a implementação digital não somente da associação de dois controladores distintivos, mas também de um algoritmo que visa definir a lei do controle final a partir de cada controlador.

1.1 PROBLEMA A SER PESQUISADO

Com o crescente aumento de cargas com elevados níveis de potência, podendo alcançar centenas de Megawatts, a utilização de conversores com topologias multiníveis tornou-se cada vez mais atrativa a utilização por apresentarem características mais vantajosas quando comparadas aos conversores convencionais (RODRIGUEZ, 2002; YUEN FONG CHAN, 2007).

Para melhorar o desempenho dos conversores, aumentando a eficiência e a qualidade da energia suprida da rede elétrica, estratégias de controle lineares e não-lineares têm sido aprimoradas e/ou desenvolvidas. Nesse sentido, embora a utilização dos controles não-lineares implementados digitalmente venha aumentando, muitas aplicações em Eletrônica de Potência com controles lineares continuam predominando.

Sabe-se que cada controlador, linear ou não linear, apresentam respostas distintas em relação ao tempo de assentamento e *overshoot* quando o sistema sofre perturbações. Dessa forma, é questionada a possibilidade de um controle adaptativo que busque melhorar o desempenho do sistema. Neste trabalho é proposta uma estratégia de controle adaptativo através de uma combinação ponderada de controladores. A implementação deste controle é realizada utilizando pesos matemáticos na ação individual de cada controlador, proporcionando uma ação única para o sistema controlado. Os controladores são projetados para manter os mesmo pólos dominantes do sistema em malha fechada. Assim, é proposta uma estratégia de projeto por alocação de pólos para os controladores LQR e SDRE.

O presente trabalho propõe realizar uma síntese e apresentar uma abordagem comparativa de técnicas de controle lineares e não-lineares. Estas técnicas de controle estudadas são implementadas em FPGA e aplicadas no controle de tensão de saída de um conversor CC-CC tipo *Buck* e também de tensão de saída e equalização dos níveis de tensão do barramento CC de um inversor NPC três níveis.

1.2 OBJETIVOS DA PESQUISA

1.2.1 Objetivo Geral

O objetivo geral deste trabalho é apresentar um estudo comparativo de técnicas de controles lineares e não-lineares, implementadas em FPGA e programada com a ferramenta DSP *Builder*, aplicadas ao Inversor NPC Três Níveis Monofásico.

1.2.2 Objetivos Específicos

- Realizar estudos de topologias de Inversores Multiníveis;
- Desenvolver a análise matemática da topologia Inversor NPC 3 Níveis Monofásico, definindo as funções de transferência;
- Sintetizar técnicas de controle linear e não-linear para serem aplicadas no controle do Inversor NPC 3 Níveis Monofásico;
- Aplicar dois ou mais controladores estudados, de forma ponderada, promovendo uma ação de controle adaptativo no sistema;
- Utilizar as técnicas de controle estudadas no controle do equilíbrio da tensão dos capacitores de barramento visando a simetria da tensão de saída do Inversor NPC;
- Projetar os controladores utilizados para manter os mesmos pólos dominantes do sistema em malha fechada;
- Realizar simulações dos controladores projetados aplicados à topologia estudada;
- Realizar os estudos da programação utilizando a ferramenta *DSP Builder* para implementação em FPGA;
- Simular o sistema programado em *DSP Builder* integrado ao MATLAB/SIMULINK;
- Desenvolver a placa de condicionamento integrada ao *hardware* FPGA para implementar as técnicas de controle estudadas ao Inversor NPC 3 Níveis Monofásico;

1.3 CONTRIBUIÇÕES E RELEVÂNCIA DO TRABALHO

As principais contribuições deste trabalho são:

- Projeto dos controladores operando com os mesmos pólos dominantes em malha fechada.
- Projeto do controlador LQR e SDRE através de alocação de pólos, definindo o tempo de assentamento e *overshoot* destes controladores.
- Proposta de um controlador adaptativo ponderado. A partir da análise das respostas dos controladores estudados, onde é possível observar respostas distintas em tempo de assentamento e erro em regime permanente. Com o controlador adaptativo ponderado, é realizada uma associação de controladores onde a lei de controle do sistema é representada pela combinação ponderada da lei de cada controlador.

- Implementação digital das técnicas de controle estudadas em FPGA, melhorando o desempenho do sistema.
- Programação dos projetos dos controladores utilizando a biblioteca *DSP Builder* (WU YOU, 2009; GUOHAI, 2011) para a implementação em FPGA. A utilização desta biblioteca para a programação de FPGA facilita a interface entre o programador e o sistema.
- Aplicar as técnicas de controle implementadas digitalmente em FPGA ao Inversor NPC 3 Níveis mantendo a tensão de saída e dos capacitores de barramento equilibradas.

1.4 ORGANIZAÇÃO DO TRABALHO

O presente trabalho é composto por oito capítulos. O primeiro capítulo descreve a introdução, apresentando a relevância do estudo realizado, assim como, o problema a ser pesquisado e os objetivos da pesquisa.

No segundo capítulo encontra-se uma abordagem sobre as principais topologias de conversores multiníveis destacando suas respectivas características, vantagens e desvantagens.

A modelagem matemática, obtenção da função transferência da topologia Multinível NPC 3 níveis no qual são dimensionados os componentes a serem utilizados no conversor são apresentados no terceiro capítulo. Também é apresentada uma modelagem simplificada, observando o sistema como um conversor CC-CC *Buck*.

As técnicas de controle estudadas são apresentadas no capítulo quatro. Assim como, o método de projeto por alocação de pólos e a proposta de um controle adaptativo.

No quinto capítulo são apresentados os projetos dos controladores aplicados aos conversores CC-CC *Buck* e CC-CA Inversor NPC Monofásico 3 níveis. Resultados de simulação para os dois conversores são apresentados para comprovar os estudos desenvolvidos. Também neste capítulo são apresentadas as simulações referentes ao controle adaptativo proposto aplicado ao conversor *Buck*.

A discretização dos controladores a serem implementados digitalmente em FPGA, bem como a ferramenta de programação *DSP Builder* são apresentadas no capítulo seis.

A placa integrada com os sistemas de condicionamento e o *hardware* FPGA, bem como os drivers de acionamento do Inversor NPC Monofásico 3 níveis, são apresentados no

sétimo capítulo. As simulações discretas utilizando a integração da ferramenta DSP *Builder* e *software* MATLAB/SIMULINK, assim como os resultados experimentais obtidos também são apresentados neste capítulo.

No último capítulo são apresentadas as conclusões do estudo realizado, bem como as publicações relativas ao trabalho e as propostas de continuidade da pesquisa.

2 CONVERSORES MULTINÍVEIS E SUAS APLICAÇÕES

2.1 INTRODUÇÃO

Quando se trata de processamento eletrônico de energia elétrica, devido à busca contínua por redução do peso e volume e o aumento da eficiência, normalmente são utilizados conversores estáticos de potência. Conversores estáticos de energia elétrica, também conhecidos como conversores chaveados, são caracterizados como sistemas eletrônicos que processam energia elétrica e fluxo de potência através da integração de componentes ativos (diodos, transistores bipolares, Mosfets, IGBTs, etc.) com elementos passivos (capacitores e indutores).

Com evolução tecnológica dos semicondutores de potência operando cada vez com níveis de tensões e correntes mais elevados, diminuição das perdas por comutação e frequências de comutação cada vez mais elevadas tornou-se possível avanços em diversas áreas da engenharia elétrica. Algumas aplicações em eletrônica de potência como os conversores estáticos, filtros ativos de potência, sistemas de energia ininterrupta (UPS), controle de motores elétricos de corrente contínua e alternada, entre outras diversas. A Figura 2 apresenta os limites de operação dos semicondutores de potência classificados em tensão, corrente e frequência de comutação.

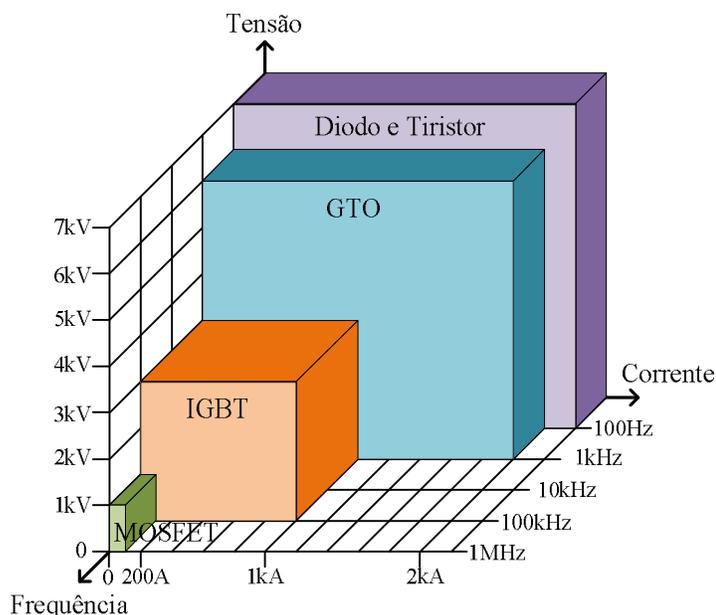


Figura 2 - Limite de operação dos semicondutores

Se tratando de processamento de energia elétrica, este pode ocorrer através de diferentes maneiras, depende do tipo da fonte de alimentação de entrada (Corrente Alternada – CA ou Corrente Contínua – CC) e do tipo de energia que é entregue a carga (CA ou CC). Assim, os conversores podem ser classificados como:

- Conversores CA-CC: Retificadores;
- Conversores CC-CA: Inversores;
- Conversores CC-CC: Fontes Chaveadas;
- Conversores CA-CA: Gradadores, Ciclo-conversores e Topologias Combinadas.

Os conversores também podem ser classificados de acordo com o nível de tensão entregue à carga (V_{out}) em relação a nível de tensão de entrada (V_{in}), isto é:

- Conversores Elevadores ou *Step-up*: $V_{out} < V_{in}$;
- Conversores Abaixadores ou *Step-Down*: $V_{in} < V_{out}$;
- Conversores Abaixadores e Elevadores: $V_{out} < V_{in}$ e $V_{out} > V_{in}$.

A relação entre V_{out} e V_{in} , além de definir o ganho estático de conversores, pode ser expressa representando também a função de transferência quando se pretende controlar a tensão saída em função da tensão de entrada.

Em determinadas aplicações nas quais são exigidos níveis de tensão ou corrente mais elevado, as associações série para grandes tensões ou paralela para grandes correntes dos dispositivos semicondutores são alternativas mais comumente utilizadas e que demandam projetos específicos para determinação destes componentes. Outra solução é a associação de conversores com a mesma finalidade de se obter tensões de saída com diferentes níveis de tensão. As associações tanto de dispositivos semicondutores quanto de conversores determinaram o desenvolvimento de conversores multiníveis, esses conversores apresentam características diferentes de funcionalidade que resultam em vantagens e desvantagens (BUM-SEOSUH, 1998; MEYNARD, 2002; HOSSEINI, 2011).

Entre as principais vantagens dos conversores multiníveis pode-se destacar:

- Aumento da tensão de operação do conversor com os mesmo números de semicondutores controlados de um conversor convencional, sendo este aumento proporcional ao número de níveis do conversor;
- Aumento da potência do conversor com tensões mais elevadas sem alteração do valor máximo de corrente sobre os componentes garantindo assim as mesmas perdas por comutação com a consequente melhora do rendimento do conversor;

- Frequência de comutação superior à de conversores convencionais para potência elevada;
- Redução do filtro de saída, resultando em diminuição do peso e volume. Quanto maior o número de níveis pode-se conseguir menores taxas de distorção harmônica na tensão de saída do conversor multinível;
- A tensão de saída pode ser sintetizada em níveis diminuindo os transitórios de tensão e reduzindo os problemas de interferências eletromagnéticas (EMI);
- A resposta dinâmica é mais rápida devido à redução do filtro de saída e o maior número de níveis da tensão de saída.

Em relação às desvantagens das topologias multiníveis, pode-se destacar:

- O maior número de interruptores aumenta o custo e a complexidade de funcionamento do conversor.
- Controle mais complexo e essa complexidade é proporcional ao número de níveis da tensão de saída.
- Em algumas topologias, ocorre o desbalanço das tensões sobre os capacitores de barramento CC. Assim, para manter as tensões destes capacitores equilibradas, é necessário definir uma estratégia de controle em malha fechada que deve atuar diretamente na comutação dos dispositivos semicondutores controlados.

Este tópico apresenta um estudo relacionado às principais topologias de conversores multiníveis. A forma generalizada de um braço de conversores multiníveis é apresentada na Figura 3.

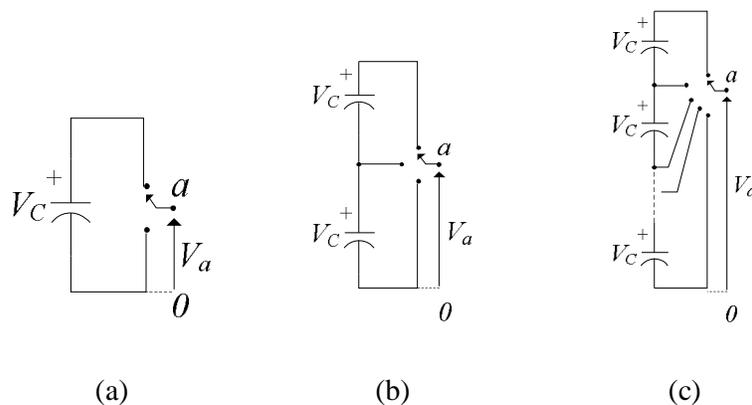


Figura 3 - Braço de um conversor com (a) dois níveis, (b) três níveis e (c) n níveis

Basicamente estes conversores são formados por duas partes: o barramento CC, que é constituído por uma série de capacitores, e um braço, este composto por uma série de interruptores. De acordo com a quantidade, posições e associações destes componentes, pode-se obter tensões de saída em n níveis. O número de capacitores (N_C) do barramento CC pode ser calculado de acordo com a quantidade de níveis desejados para tensão de saída do conversor, expressa em (2.1).

$$N_C = n - 1 \quad (2.1)$$

Em relação aos conversores multiníveis trifásicos com n níveis por braço a tensão de fase apresenta k níveis, expressa em (2.2).

$$k = 2n - 1 \quad (2.2)$$

As topologias tradicionais e mais estudadas de conversores multiníveis são divididas em três categorias principais:

- Conversor com diodos de grampeamento (NPC – *Neutral Point Clamped* ou *Diode Clamped Converter*);
- Conversores com capacitores flutuantes (*Flying Capacitor Converter*);
- Conversor com células conectadas em cascata (*Cascade Full Bridge Converter*).

Outras topologias recentemente estudadas podem ser destacadas como:

- Conversor *Multi Point Clamped* (MPC);
- Conversor assimétrico híbrido;
- Conversor *Diode/Capacitor Clamped*.

2.2 CONVERSOR COM DIODO DE GRAMPEAMENTO

As topologias de inversores com diodos de grampeamento (*Diode Clamped Converter*) também são conhecidas como inversores com ponto de neutro grampeado, ou NPC (*Neutral Point Clamped*), introduzida por *Nabae* em 1981 é representada Figura 4, onde são apresentados os braços de conversores multiníveis de topologias com três e com cinco níveis respectivamente. Para um sistema trifásico, são conectados três destes braços com o mesmo barramento CC, ou seja, cada braço representa uma fase da tensão de saída de um destes conversores.

Nesta topologia, a tensão do barramento CC divide-se em vários níveis através dos capacitores. O ponto “o” entre os capacitores é definido como ponto de neutro do barramento

CC (*Neutral Point*) e é importante destacar que a corrente neste ponto deve possuir valor médio nulo, caso contrário, pode ocorrer o desbalanço dos níveis de tensão dos capacitores do barramento, depreciando a forma de onda da tensão de saída do inversor. Desta forma torna-se necessário que o controle aplicado a esta topologia, além de garantir a tensão de saída, deve manter o equilíbrio de tensão entre os capacitores do barramento (ZHANG ZHI, 2009; KAI CAI, XINCHUN LIN, 2011).

Definidos os n níveis esperados, que devem ser de acordo a topologia desejada, para serem obtidos de acordo com a sequência de comutação dos interruptores. Desta forma tornando o controle de inversores com número de níveis elevados na tensão saída cada vez mais complexo de ser implementado e controlado (RODRIGUEZ, 2002).

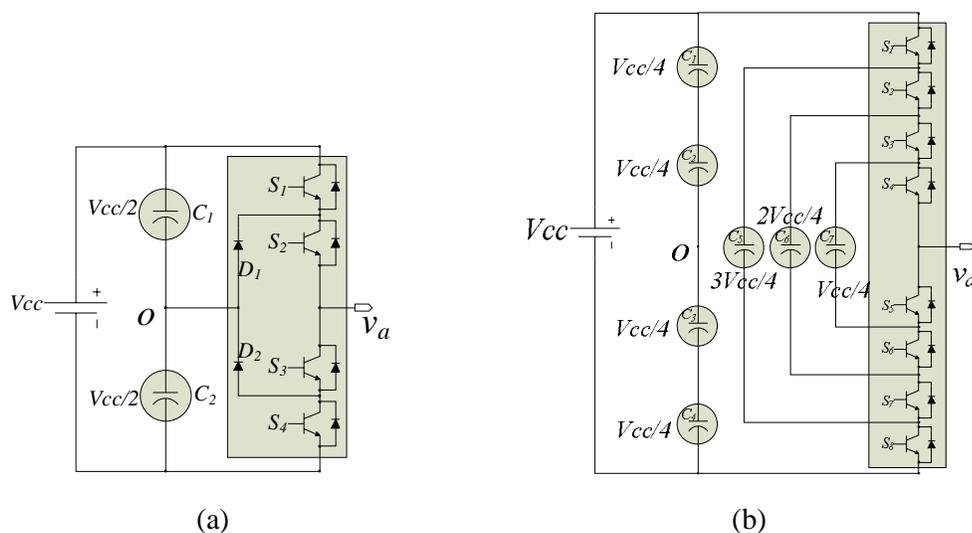


Figura 4 - Braço de um inversor NPC: (a) 3 níveis e (b) 5 níveis

No caso do inversor 3 níveis a técnica de modulação utilizada para geração dos comandos dos interruptores de um braço do inversor a partir de um sinal de entrada senoidal é apresentada na Figura 5.

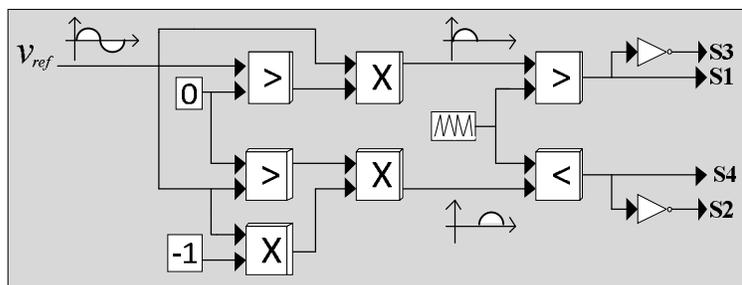


Figura 5 - Técnica para modulação para Inversor NPC 3 níveis

A Tabela 1 apresenta os possíveis estados da tensão de saída do inversor em função dos estados dos interruptores acionados de acordo com a técnica de modulação.

Tabela 1 - Estados da tensão de saída em função dos estados dos interruptores 3 níveis

Interruptores ON	Tensão de saída
S1, S2	$V_{cc}/2$
S2,S3	0
S3,S4	$-V_{cc}/2$

Analisando a Figura 5 pode-se observar que os sinais obtidos para comando dos interruptores S1 e S4 são distintos e comparados com uma triangular. Na Figura 6 são apresentados os sinais de comparação de cada interruptor S1 e S4 em relação à portadora triangular. Os comandos dos interruptores S3 e S2, são complementares de S1 e S4 respectivamente.

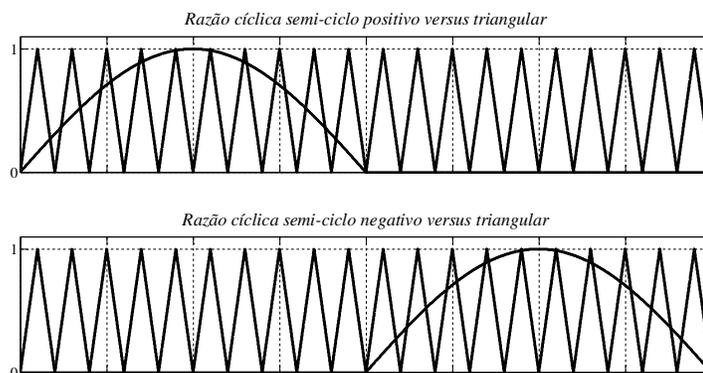


Figura 6 - (a) Razão cíclica para S1 (b) Razão cíclica para S4

Baseado na lógica de comutação, a Figura 7 apresenta os estados dos interruptores em ciclo da tensão, para se obter os 3 níveis na saída do inversor.

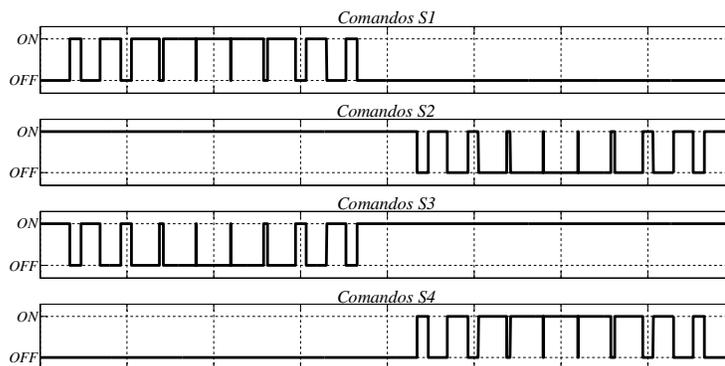


Figura 7 - Estados dos interruptores NPC 3 níveis

Os diodos de grampeamento ligados ao ponto de neutro diferenciam esta estrutura de um conversor convencional, pois devido à lógica de comutação, esses diodos permitem grampear os níveis de tensão de cada capacitor do barramento CC para a tensão na saída do conversor. A forma de tensão apresentada na saída de acordo com os estados dos interruptores é apresentada na Figura 8.

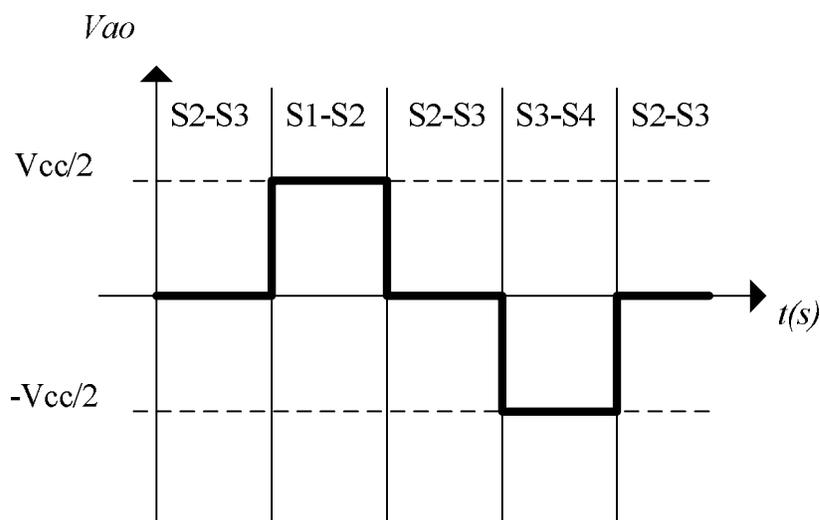


Figura 8 - Tensão de saída V_{ao} de um Inversor NPC 3 níveis

Quando se trata de conversores a mais de três níveis, como o de 5 níveis apresentado na Figura 4 (b), a tensão do barramento CC é dividida entre os quatro capacitores, podendo obter-se desta forma 5 tensões ($V_{cc}/2$, $V_{cc}/4$, 0 , $-V_{cc}/4$ e $-V_{cc}/2$). De acordo com a Tabela 2 pode-se observar os estados dos interruptores necessários para se obter a tensão de saída em cinco níveis. A Figura 9 apresenta o formato da tensão de saída em cinco níveis, como já dito, quanto maior a quantidade de níveis menor é a taxa de distorção harmônica da tensão de saída.

Tabela 2 - Estados da tensão de saída em função dos estados dos interruptores 5 níveis

Interruptores ON	Tensão de saída
S1, S2, S3, S4	$V_{cc}/2$
S2, S3, S4, S5	$V_{cc}/4$
S3, S4, S5, S6	0
S4, S5, S6, S7	$-V_{cc}/4$
S5, S6, S7, S8	$-V_{cc}/2$

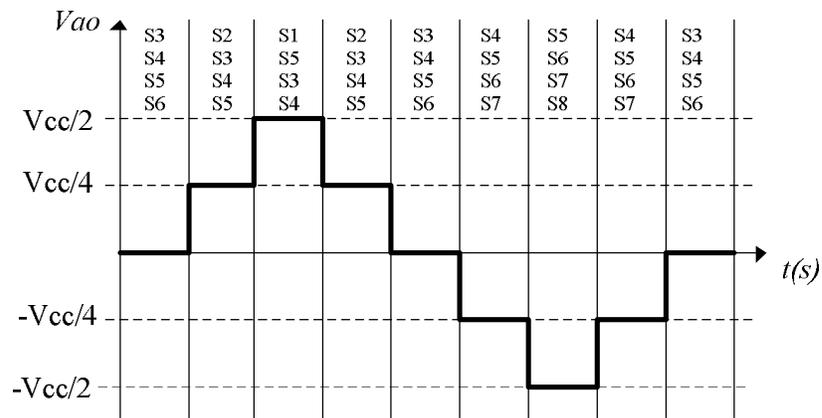


Figura 9 - Tensão de saída V_{ao} de um Inversor NPC 5 níveis

2.2.1 Vantagens

- A tensão de bloqueio dos interruptores é de $V_{cc}/(n-1)$ considerando um conversor de n níveis.
- Dentre as topologias multiníveis é o que utiliza a menor quantidade de capacitores tornando esta atrativa quanto ao custo de projeto.
- Não se tem a necessidade de transformador.
- A mudança de nível de tensão da saída é realizada com acionamento de interruptores.

2.2.2 Desvantagens

- Os diodos de grampeamento devem ser de recuperação rápida e suportar a corrente nominal do conversor.
- Em topologias com mais de três níveis diferentes, diodos grampeiam diferentes níveis de tensão, fator que pode ser corrigido com associação em série de diodos que, por outro lado, aumenta significativamente o número de diodos por nível, aumentando custos de projeto.
- As tensões nominais dos capacitores devem se manter estáveis e equilibradas em qualquer ponto de funcionamento, fato que deve ser exigido do controle, e como consequência disso, quanto maior o número de níveis, maior a complexidade do controle para manter esse equilíbrio que afeta diretamente a tensão de saída do inversor.

Quanto às vantagens e desvantagens nos estudos relacionados, a topologia multinível com diodos de grampeamento aponta-se como atrativa em projetos com até 3 níveis (NABAE, 1981; ENJETI, 1992; COBRECES, 2006).

2.3 CONVERSOR COM CAPACITORES FLUTUANTES

Nesta topologia os diodos presentes nos conversores NPC são substituídos por capacitores com a mesma função de grampear a tensão em níveis determinados a obter os diversos níveis na tensão de saída (ZANG, 2002). Esta topologia foi desenvolvida inicialmente e apresentada por *Meynard e Foch* em 1992 (MEYNARD, 1992). Na Figura 10 são representados um braço de um conversor com capacitores flutuantes de três níveis e cinco níveis respectivamente. Assim, como em inversores NPC 3 níveis, para se obter esses níveis na tensão de saída, são necessários estados distintos dos interruptores. Nesta topologia os pares S1-S3 e S4-S2 continuam sendo complementares, porém a estratégia de modulação para esta topologia é diferente devido ao fato de ter-se com esta duas opções para se obter tensão nula na saída do inversor. A Tabela 3 apresenta as combinações possíveis dos interruptores para a topologia com capacitores flutuantes com 3 níveis.

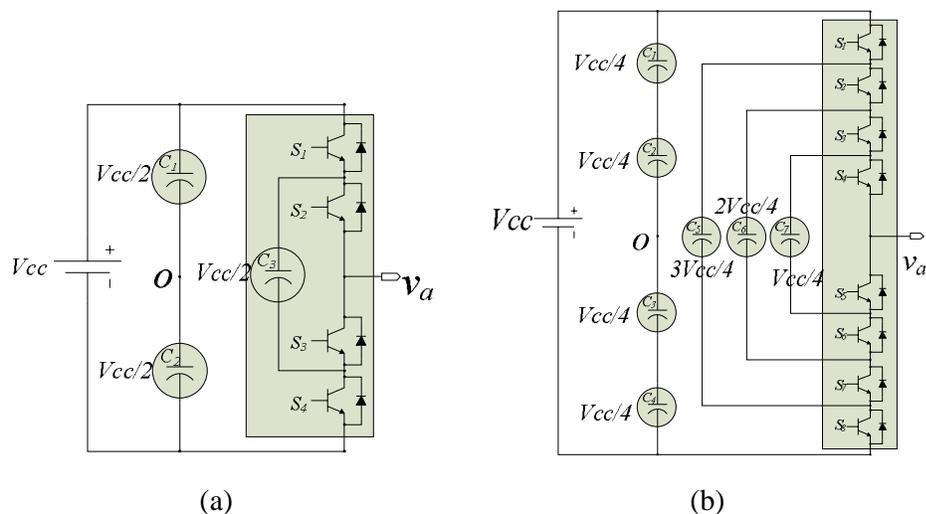


Figura 10 - Braço de um inversor com capacitor flutuante (a) 3 níveis (b) 5 níveis

Tabela 3 - Estados da tensão de saída em função dos estados dos interruptores em um Conversor com capacitores flutuantes 3 níveis

Interruptores ON	Tensão de saída
S1, S2	$V_{cc}/2$
S1,S3 ou S2,S4	0
S3,S4	$-V_{cc}/2$

No caso do conversor com capacitores flutuantes com 5 níveis, a quantidade de capacitores aumenta não só no custo como também na complexidade deste conversor quando comparado ao NPC 5 níveis, pois apresenta um número de estados superior, como pode ser observado na Tabela 4. Esta topologia com 5 níveis, apresenta a seguinte característica relacionada as tensões sobre os capacitores:

- as tensões sobre C1, C2, C3, C4 e C7 são iguais a um quarto da tensão do barramento CC;
- a tensão sobre C5 é de três vezes maior que a dos anteriores
- a tensão sobre C6 é metade da tensão total do barramento CC.

Tabela 4 - Estados da tensão de saída em função dos estados dos interruptores em um Conversor com capacitores flutuantes 5 níveis

Interruptores ON	Tensão de saída
S1, S2, S3, S4	$V_{cc}/2$
S1,S2,S3,S5 ou S2,S3,S4,S8 ou S1,S3,S4,S7	$V_{cc}/4$
S1,S2,S5,S6 ou S3,S4,S7,S8 ou S1,S3,S5,S7 ou S1,S4,S6,S7 ou S2,S4,S6,S8 ou S2,S3,S5,S8	0
S1,S5,S6,S7 ou S4,S6,S7,S8 ou S3,S5,S57,S8	$-V_{cc}/4$
S5, S6, S7, S8	$-V_{cc}/2$

2.3.1 Vantagens

- A tensão de bloqueio dos interruptores é de $V_{cc}/(n-1)$ considerando um conversor de n níveis.
- Não há problemas de associações de diodos (como a corrente de recuperação reversa).
- Pode funcionar como um conversor CC/CC sem ter o problema que a tensão nos terminais dos capacitores não se mantenham constantes devido aos possíveis estados dos interruptores para um nível de tensão.
- A estratégia para garantir o equilíbrio de tensão sobre os capacitores flutuantes pode ser feita de maneira isolada por braço em caso de sistemas trifásicos

2.3.2 Desvantagens

- A quantidade de capacitores desta topologia é uma grande desvantagem tornando o projeto com custo elevado, tamanho maior além da complexidade do controle. E esses problemas são diretamente proporcionais à quantidade de níveis.
- Os capacitores flutuantes devem ser carregados antes de o conversor entrar em funcionamento.
- Podem ocorrer efeitos ressonantes devido às capacitâncias presentes no sistema.
- Alguma variação brusca de tensão no barramento CC pode fazer com que os capacitores recuperem-se lentamente, causando grampeamento em níveis de tensão fora do esperado, que pode ser prejudicial aos interruptores projetados.

2.4 CONVERSORES COM CÉLULAS EM CASCATA

Essa topologia foi introduzida em 1975 (RODRIGUEZ, 2002), baseada na conexão em série de conversores convencionais a fim de se obter diferentes níveis na tensão de saída. Na Figura 11 pode-se observar um conversor trifásico 3 níveis em cascata.

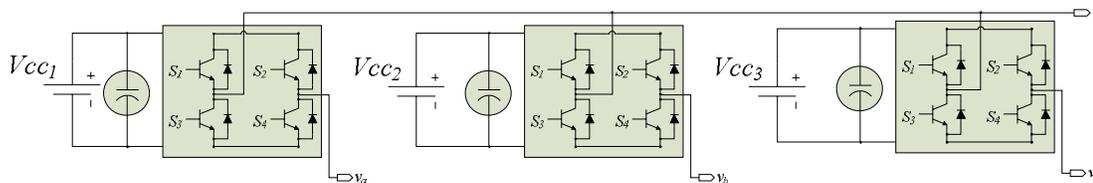


Figura 11 - Conversor trifásico com células conectadas em cascata com saída 3 níveis

Na Tabela 5 são representados os estados dos interruptores para se produzirem os três níveis de tensão de saída, que neste caso são V_{cc} , 0 e $-V_{cc}$.

Tabela 5 - Estados da tensão de saída em função dos estados dos interruptores em um conversor com células conectadas em cascata 3 níveis

Interruptores ON	Tensão de saída
S1, S4	V_{cc}
S1,S1 ou S3,S4	0
S2,S3	$-V_{cc}$

2.4.1 Vantagens

- O projeto pode ser construído de maneira modular, diminuindo custos e a complexidade de construção.
- Não necessita de diodos ou capacitores de grampeamento, evitando qualquer tipo de problema associado a estes componentes.
- A quantidade de componentes utilizados para esta topologia é menor em relação a outras estruturas multiníveis.
- O controle acaba sendo simplificado por não haver a necessidade de manter níveis de tensão constante no capacitor.

2.4.2 Desvantagens

- Cada ponte deste conversor necessita de uma fonte isolada. A utilização de transformadores com vários secundários ou isolados entre si aumenta o volume e os custos do projeto.
- A ligação de fontes isoladas entre os conversores em montagens do tipo CA/CC/CA bidirecionais não é possível pois gera um curto-circuito.

2.5 OUTRAS TOPOLOGIAS

As topologias apresentadas anteriormente são as mais comumente utilizadas, porém ainda existem outras maneiras e topologias de implementação de conversores multiníveis.

2.5.1 Conversor Multi-Point Clamped

Topologia aplicada a uma UPS (LEGA, 2007), se diferencia da topologia NPC para níveis superiores a 3 níveis, pois no conversor *Multi Point Clamped* (MCP) a tensão é grampeada por um par de interruptores ao invés de diodos. Esse aumento de interruptores acaba tornando o controle desta topologia mais complexo que do inversores da topologia NPC. A Figura 12 apresenta o conversor da topologia MCP operando em 4 níveis.

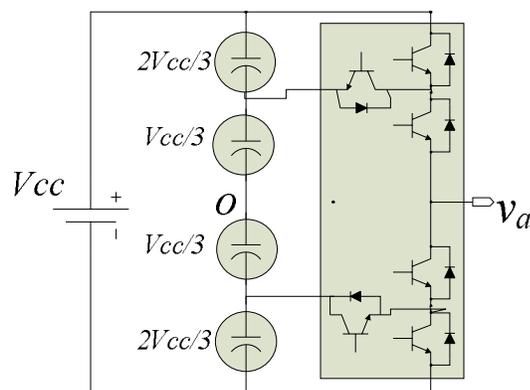


Figura 12 - Conversor Four-Level MPC

2.5.2 Conversor Assimétrico Híbrido

Esta topologia assemelha-se a conversores com células em cascata, como se nesta topologia as fontes isoladas, ao invés de valores de tensão idênticos, possuísem valores distintos, e poderia se obter na saída tensões com um número de níveis superior ao projeto inicial com fontes idênticas (MANJREKAR, 1999). Esta característica acaba sendo um ponto negativo, pois os níveis de tensão sobre os interruptores seriam também distintos tornando o projeto mais complexo, ou ainda com custo mais elevado em caso de superdimensionamento pelas tensões mais altas. A Figura 13 apresenta um esquema simplificado de um braço de um conversor multinível assimétrico híbrido

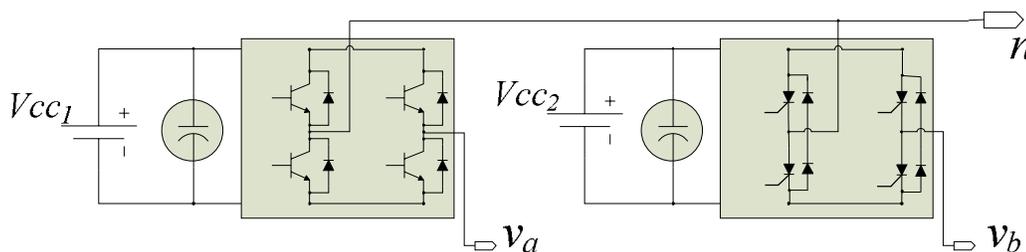


Figura 13 - Conversor multinível assimétrico híbrido

2.5.3 Conversor *Diode/Capacitor Clamped*

Esta topologia apresentada por Young-Seok exibe um capacitor flutuante entre os diodos de grampeamento. A colocação deste capacitor serve para reduzir os picos de corrente entre os interruptores ocasionados pelas indutâncias parasitas e também para manter a tensão do ponto de neutro constante (YOUNG-SEOK, 1993). Mesmo com essas vantagens essa topologia não se apresenta atrativa quando comparada à topologia NPC, pois o capacitor

flutuante aumenta o volume e custo do projeto. A Figura 14 apresenta o esquema da topologia do conversor multinível *Diode/Capacitor Clamped*.

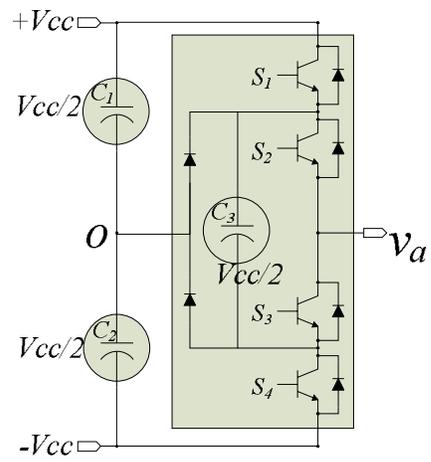


Figura 14 - Conversor multinível Diode/Capacitor Clamped

3 INVERSOR NPC 3 NÍVEIS MONOFÁSICO

3.1 INTRODUÇÃO

Neste capítulo é apresentado um estudo detalhado sobre a topologia NPC 3 níveis monofásico. Através deste estudo são obtidas as etapas de operação para a modelagem matemática e o projeto dos componentes que constituem o conversor. A Figura 15 mostra um Inversor NPC 3 níveis monofásico com filtro LC de saída.

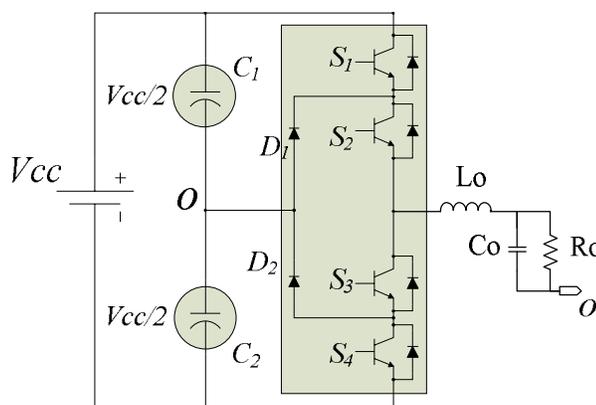


Figura 15 - Inversor NPC 3 níveis monofásico

3.2 MODELAGEM MATEMÁTICA

A modelagem matemática do Inversor NPC 3 níveis monofásico é obtida através da compreensão do seu funcionamento em regime permanente.

Para analisar as etapas de operação do conversor, um filtro LC (L_o e C_o) de saída com capacitor C_o é conectado em paralelo com a carga R_o . Em cada etapa, as tensões nos capacitores do barramento CC são consideradas fixas e equilibradas, ou seja, $v_{C1} = v_{C2} = V_{cc}/2$. Desta forma, é possível obter a função de transferência da tensão de saída pela razão cíclica do conversor.

Como comentado no capítulo 2, item 2.2, sabe-se que os interruptores S1 e S2 comutam para definir o semi-ciclo positivo e S3 e S4 comutam para definir o semi-ciclo negativo, onde os comandos dos interruptores S1-S3 e S2-S4 são complementares. Desta forma, pode-se tratar o inversor NPC 3 níveis em 4 etapas de acordo com os estados dos

interruptores. A Figura 16 apresenta os estados do semi-ciclo positivo e a Figura 17 do semi-ciclo negativo. Em ambas as figuras os componentes apresentados em negrito representam que estes estão em condução como apresentados na Figura 7 do capítulo 2.

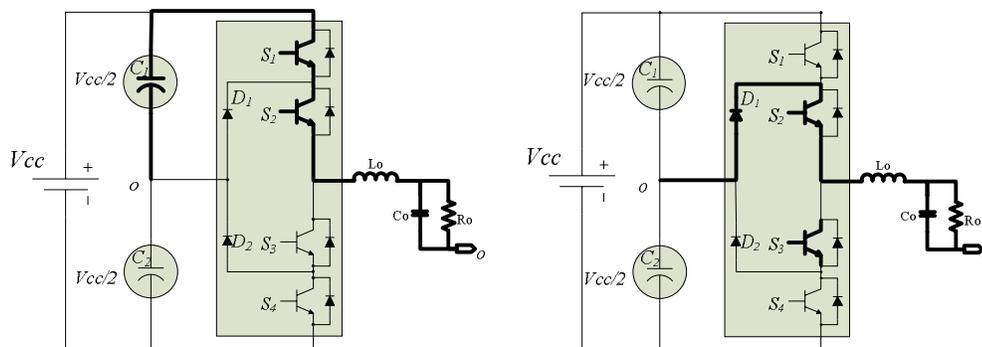


Figura 16 - Estados dos interruptores no semi-ciclo positivo

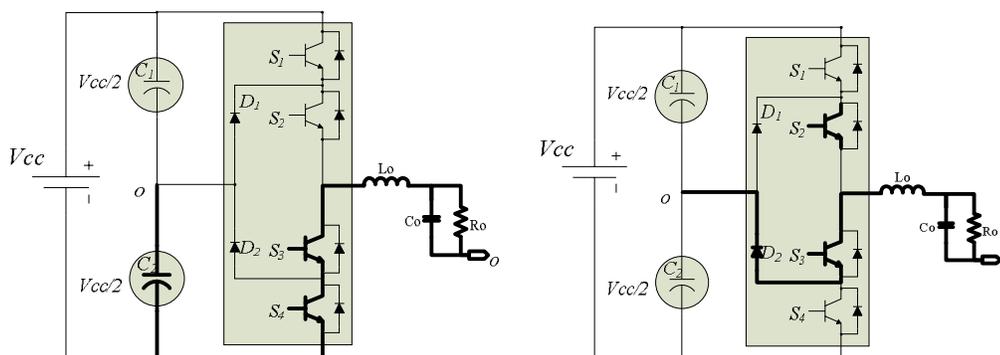


Figura 17 - Estados dos interruptores no semi-ciclo negativo

A partir das etapas de operação para cada semi-ciclo, pode-se observar o Inversor NPC 3 níveis através de dois circuitos equivalentes, um para o semi-ciclo positivo e outro para o semi-ciclo negativo da tensão de saída. A Figura 18 apresenta o circuito equivalente do semi-ciclo positivo do Inversor NPC 3 níveis monofásico.

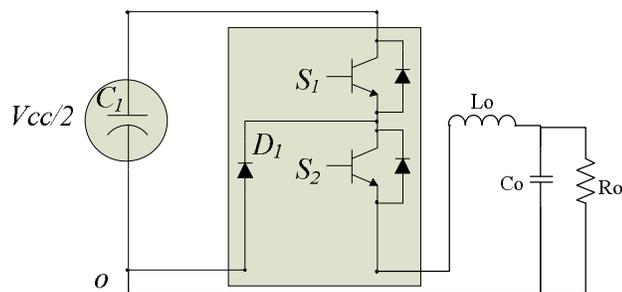


Figura 18 - Circuito equivalente para o semi-ciclo positivo

Sabe-se que durante o semi-ciclo positivo o interruptor S2 está sempre em condução, portanto o circuito pode ser analisado conforme apresentado na Figura 19.

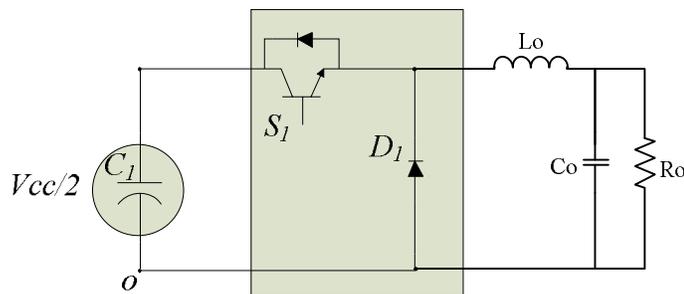


Figura 19 - Circuito equivalente final para semi-ciclo positivo

Através do circuito equivalente da Figura 19, que representa um conversor *buck* fictício, pode-se obter a modelagem do inversor NPC através da comutação do interruptor S1. Os circuitos apresentados na Figura 20 representam as etapas de operação do inversor NPC para o semi-ciclo positivo da tensão de saída.

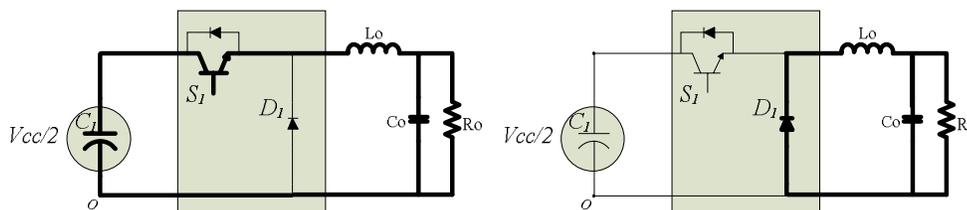


Figura 20 - Etapas de operação buck fictício para o semi-ciclo positivo

Como o funcionamento do inversor NPC para o semi-ciclo negativo é igual ao do semi-ciclo positivo, não é necessário apresentar o seu circuito equivalente, bem como as suas etapas de operação, pois o modelo matemático do sistema se repete.

A equação (3.1) define o ganho estático do conversor CC-CC *buck* .

$$\frac{V_{out\ Buck}}{V_{in\ Buck}} = d \quad (3.1)$$

Para o Inversor NPC 3 níveis a equação (3.1) pode ser representada em função de uma senóide, ou seja:

$$\frac{V_{out\ NPC}}{V_{C1\ NPC}} = d \cdot \text{Sen}(f2\pi) \quad (3.2)$$

Onde f representa a frequência da tensão de saída do Inversor NPC.

Através da Figura 21 pode-se observar o comportamento do conversor *buck* fictício utilizando a estratégia de comando apresentada na Figura 6 (a) apresentada no capítulo 2.

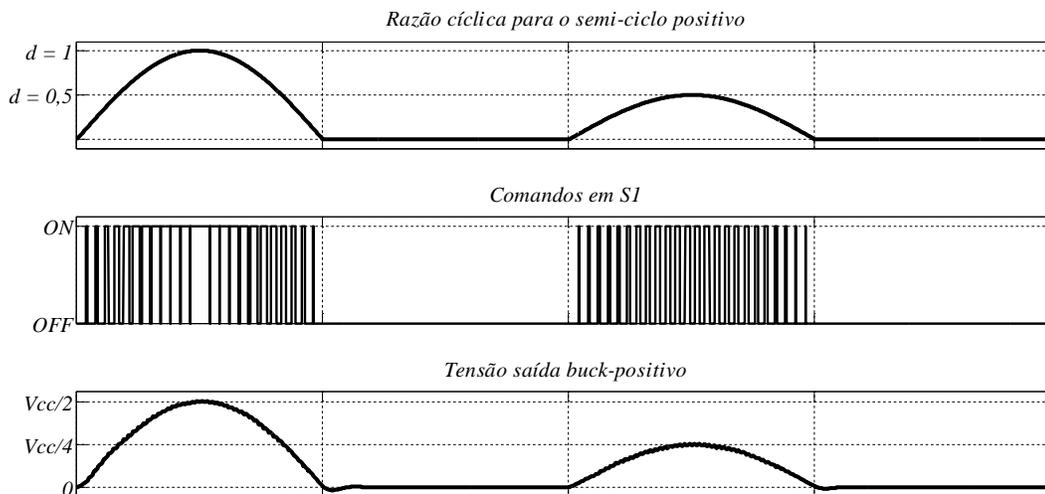


Figura 21 - Buck fictício com alteração da razão cíclica

Aplicando a mesma estratégia para o semi-ciclo negativo, obtém-se o funcionamento completo do Inversor NPC 3 níveis para o ciclo completo da tensão de saída, conforme apresentado na Figura 22.

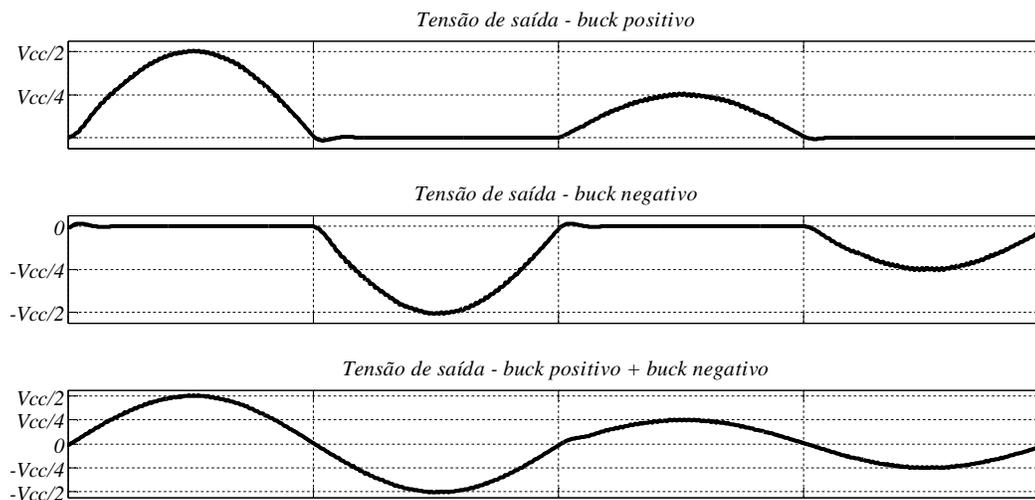


Figura 22 - Tensões de saída dos conversores bucks fictícios

Através das etapas de operação apresentadas na Figura 20 e utilizando o método por Equações no Espaço de Estados (MAHDAVI, 1997; YAZDANI, 2005) é possível obter o modelo matemático do Inversor NPC.

Considerando a tensão no capacitor de saída C_o e a corrente no indutor i_{L_o} como as variáveis de estado, bem como as suas perdas representadas por resistência serie, obtém-se as equações (3.3) para S1 em condução e (3.4) para S1 bloqueado.

$$\begin{cases} -v_{c1}(t) - v_{c1}(t) + L_o \frac{di_{Lo}(t)}{dx} + r_{Lo}i_{Lo}(t) + R_o \left(i_{Lo}(t) - C \frac{dv_{Co}(t)}{dx} \right) = 0 \\ -v_{c1}(t) - v_{rc1}(t) + r_{Co} \frac{dv_{Co}(t)}{dx} + R_o \left(i_{Lo}(t) - C \frac{dv_{Co}(t)}{dx} \right) = 0 \end{cases} \quad (3.3)$$

$$\begin{cases} -L_o \frac{di_{Lo}(t)}{dx} - r_{Lo}i_{Lo}(t) + R_o \left(i_{Lo}(t) - C \frac{dv_{Co}(t)}{dx} \right) = 0 \\ -v_{c1}(t) - v_{rc1}(t) + r_{Co} \frac{dv_{Co}(t)}{dx} + R_o \left(i_{Lo}(t) - C \frac{dv_{Co}(t)}{dx} \right) = 0 \end{cases} \quad (3.4)$$

A tensão do barramento CC pode ser obtida através da soma das tensões dos capacitores C_1 e C_2 , ou seja:

$$V_{CC} = v_{c1}(t) + v_{c2}(t) - \quad (3.5)$$

Considerando as tensões dos capacitores C_1 e C_2 equilibradas, ou seja, $v_{c1}(t) = v_{c2}(t)$, a partir de (3.5) pode-se definir (3.6).

$$\frac{V_{CC}}{2} = v_{c1}(t) \quad (3.6)$$

Substituindo (3.6) em (3.3) e (3.4), define-se as expressões (3.7) e (3.8)

$$\begin{cases} -\frac{V_{CC}}{2} + L_o \frac{di_{Lo}(t)}{dx} + r_{Lo}i_{Lo}(t) + R_o \left(i_{Lo}(t) - C \frac{dv_{Co}(t)}{dx} \right) = 0 \\ -v(t)_{Co} + r_{Co} \frac{dv_{Co}(t)}{dx} + R_o \left(i_{Lo}(t) - C \frac{dv_{Co}(t)}{dx} \right) = 0 \end{cases} \quad (3.7)$$

$$\begin{cases} -L_o \frac{di_{Lo}(t)}{dx} - r_{Lo}i_{Lo}(t) + R_o \left(i_{Lo}(t) - C \frac{dv_{Co}(t)}{dx} \right) = 0 \\ -\frac{V_{CC}}{2} - v_{rc1}(t) + r_{Co} \frac{dv_{Co}(t)}{dx} + R_o \left(i_{Lo}(t) - C \frac{dv_{Co}(t)}{dx} \right) = 0 \end{cases} \quad (3.8)$$

As equações (3.7) e (3.8) podem ser organizadas na forma de matrizes no Espaço de Estado (3.9) (3.10).

$$A_1 = \begin{bmatrix} \frac{-R_o(r_{Co} + r_{Lo}) + r_{Co}r_{Lo}}{L_o(R_o + r_{Co})} & \frac{-R_o}{L_o(R_o + r_{Co})} \\ \frac{R_o}{C_o(R_o + r_{Co})} & \frac{1}{C_o(R_o + r_{Co})} \end{bmatrix}, B_1 = \begin{bmatrix} 1 \\ L_o \\ 0 \end{bmatrix} \quad (3.9)$$

$$A_2 = \begin{bmatrix} \frac{-R_o(r_{Co} + r_{Lo}) + r_{Co}r_{Lo}}{L_o(R_o + r_{Co})} & \frac{-R_o}{L_o(R_o + r_{Co})} \\ \frac{R_o}{C_o(R_o + r_{Co})} & \frac{1}{C_o(R_o + r_{Co})} \end{bmatrix}, B_2 = \begin{bmatrix} 0 \\ 0 \end{bmatrix} \quad (3.10)$$

A tensão de saída é do conversor é expressa em (3.11).

$$\left\{ V_0 + R_o \left(i_{Lo}(t) - C \frac{dv_{Co}(t)}{dx} \right) = 0 \right. \quad (3.11)$$

A equação (3.11) pode ser representada na forma de matriz, ou seja:

$$C_1 = C_2 = \begin{bmatrix} \frac{R_o r_{Co}}{R_o + r_{Co}} & \frac{R_o}{R_o + r_{Co}} \end{bmatrix} \quad (3.12)$$

Onde as matrizes C_1 e C_2 representam as variáveis de saída do sistema.

Sendo o período de comutação definido como T e a razão cíclica d , pode-se definir o tempo em que o interruptor está conduzindo como dT e quando não está como $(1-d)T$ ou $d'T$. Desta maneira, a partir das matrizes definidas, pode-se escrever as matrizes no espaço de estados fazendo a média de acordo com o período de comutação. Assim, as matrizes no espaço de estado são descritas em (3.13)

$$\begin{aligned} A &= A_1d + A_2d' \\ B &= B_1d + B_2d' \\ C &= C_1d + C_2d' \end{aligned} \quad (3.13)$$

A partir de (3.13) pode-se definir o sistema de equações representado em (3.14).

$$\begin{aligned} \dot{X} &= (A_1d + A_2d')X + (B_1d + B_2d')V_{cc}/2 \\ Y &= (C_1d + C_2d')X \end{aligned} \quad (3.14)$$

O sistema de equações apresentado em (3.15) representam as perturbações do sistema.

$$\begin{aligned} X &= \bar{X} + \hat{X} \\ Y &= \bar{Y} + \hat{Y} \\ d &= \bar{d} + \hat{d} \end{aligned} \quad (3.15)$$

Onde \bar{X} , \bar{Y} e \bar{d} representam os valores médios do ponto de operação em regime permanente e \hat{X} , \hat{Y} e \hat{d} representam as parcelas oscilantes em torno dos valores médios.

Substituindo (3.15) em \dot{X} de (3.14) e organizando o sistema em valores médios e separando os produtos dos termos médios e alternados define-se a expressão (3.16):

$$\dot{\hat{X}} = \bar{A}\bar{X} + B\bar{E} + A\bar{X} + \left[(A_1 - A_2)\bar{X} + (B_1 - B_2)\frac{\bar{V}_{cc}}{2} \right] \hat{d} = 0 \quad (3.16)$$

Em regime permanente (valores médios), tem-se (3.17)

$$\begin{aligned} A\bar{X} + B\bar{V}_{cc} &= 0 \\ \bar{X} &= -A^{-1}B\frac{\bar{V}_{cc}}{2} \end{aligned} \quad (3.17)$$

A expressão que corresponde as componentes alternadas é expressa (3.18)

$$\dot{\hat{X}} = A\hat{X} + \left[(A_1 - A_2)\bar{X} + (B_1 - B_2)\frac{\bar{V}_{cc}}{2} \right] \hat{d} \quad (3.18)$$

Substituindo (3.15) em Y de (3.14) obtém-se (3.19).

$$\bar{Y} + \hat{Y} = \bar{C}\bar{X} + C\bar{X}[(C_1 - C_2)\bar{X}]\hat{d} \quad (3.19)$$

Em (3.20) são apresentadas respectivamente as equações em regime permanente (valores médios) e a parcela das variações.

$$\bar{Y} = C\bar{X} \quad (3.20)$$

$$\hat{Y} = C\hat{X} + [(C_1 - C_2)\bar{X}]\hat{d}$$

Aplicando a transformada de Laplace em (3.18) tem-se a equação das componentes alternadas no domínio da frequência, expressa em (3.21).

$$s\hat{X}(s) = A\hat{X}(s) + \left[(A_1 - A_2)\bar{X} + (B_1 - B_2)\frac{\overline{V_{cc}}}{2} \right] \hat{d}(s) \quad (3.21)$$

Manipulando matematicamente (3.21) pode-se definir (3.22).

$$\hat{X}(s) = [sI - A]^{-1} \left[(A_1 - A_2)\bar{X} + (B_1 - B_2)\frac{\overline{V_{cc}}}{2} \right] \hat{d}(s) \quad (3.22)$$

Sabe-se que as matrizes: $A_1 = A_2 = A$, $C_1 = C_2 = C$ e $B_2 = 0$. Substituindo essas condições em (3.22) chega-se a expressão (3.23).

$$\hat{X}(s) = [sI - A]^{-1} B_1 \frac{\overline{V_{cc}}}{2} \hat{d}(s) \quad (3.23)$$

A partir de (3.23) pode-se definir a função transferência que relaciona a tensão de saída e a razão cíclica ($G_{\hat{v}_o \hat{d}}(s)$), expressa em (3.24)

$$G_{\hat{v}_o \hat{d}}(s) = \frac{\hat{v}_o(s)}{\hat{d}(s)} = C[sI - A]^{-1} B_1 \frac{\overline{V_{cc}}}{2} \quad (3.24)$$

Substituindo as matrizes indicadas em (3.24) pode-se definir a função de transferência no domínio de Laplace (3.25)

$$G_{\hat{v}_o \hat{d}}(s) = \frac{\hat{v}_o(s)}{\hat{d}(s)} = \frac{0.5 V_{cc}}{C_o L_o s^2 + L_o / R_o s + 1} \quad (3.25)$$

3.3 PROJETO DOS CAPACITORES DO BARRAMENTO CC

O valor dos capacitores utilizados no barramento é definido pela equação (3.26) (AKAGI, 1986).

$$C_{cc} = \frac{P_{m\acute{a}x}}{\omega_n \varepsilon (0.5 V_{cc})^2} \quad (3.26)$$

Onde:

$$\varepsilon = \frac{v_{c\acute{m}ax} - v_{c\acute{m}in}}{0.5 V_{cc}} = \frac{\Delta v_c}{0.5 V_{cc}}$$

A máxima oscilação dos capacitores pode ser definida de maneira a não interferir e/ou influenciar o índice de modulação do conversor.

É importante destacar que a amplitude da oscilação é inversamente proporcional ao valor das capacitâncias. O que conseqüentemente afeta diretamente na constante de tempo de carga do barramento CC.

A partir desse valor é realizada uma simples associação em série de capacitores para distribuição da tensão suportada entre os mesmos, expressa em (3.27).

$$\frac{1}{C} = \frac{1}{C_1} + \frac{1}{C_2} \quad (3.27)$$

Considerando que C_1 e C_2 tenham o valor de capacitância, deste modo (3.27) pode ser reescrita como em (3.28).

$$C_{1,2} = 2 C \quad (3.28)$$

3.4 FILTRO LC DE SAÍDA

A tensão PWM de saída é filtrada por um filtro passa-baixa LC onde a frequência de corte (f_c) deve ser no mínimo uma década abaixo da frequência de comutação (f_s) dos interruptores. A Figura 23 apresenta de maneira simplificada como é implementado o filtro de saída LC em inversor com tensões de saída PWM (MICHELS, 2005).

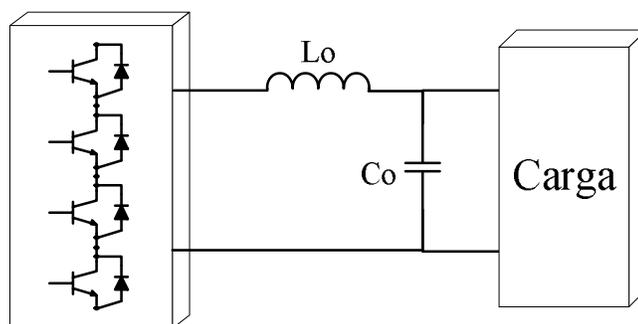


Figura 23 - Filtro LC de saída

A equação (3.29) apresenta a maneira de se calcular os valores de indutância e capacitância do filtro de LC de saída (BARBI, 2008).

$$f_c = \frac{1}{2\pi\sqrt{L_o C_o}} \quad (3.29)$$

3.5 DESBALANÇO DE TENSÃO DO BARRAMENTO CC

Sabe-se que o desbalanço entre as tensões dos capacitores do barramento CC afeta diretamente a simetria da tensão da saída do inversor NPC. Para a obtenção da função de transferência, as tensões sobre os capacitores são consideradas equilibradas e constantes iguais a $V_{cc}/2$. Essa analogia pode ser utilizada para o projeto do controlador, porém não garante o equilíbrio entre as tensões dos mesmos.

A estratégia adotada para manter o valor médio dos capacitores tem como base a média da diferença das tensões dos capacitores C_1 e C_2 , definida como $\overline{\Delta V}_{C1C2}$. O valor de $\overline{\Delta V}_{C1C2}$ é somado à malha de controle agindo como um distúrbio deslocando o sinal de controle verticalmente (*offset*). Pode-se afirmar que o sinal de saída apresenta valor médio nulo se o valor de $\overline{\Delta V}_{C1C2}$ também for nulo. Outras possíveis variações do valor de $\overline{\Delta V}_{C1C2}$ são para valores positivos (caso a tensão de C_1 for maior que a tensão do C_2) ou para valores negativos (se a tensão de C_1 for menor que a tensão do C_2). Esse deslocamento gerado na ação de controle age diretamente na comutação dos semicondutores, devido ao fato do sinal de referência ser senoidal.

Na Figura 24 é possível observar como a estratégia proposta de controle de tensão de saída com controle de desbalanço é aplicada (PEDROSO, 2012).

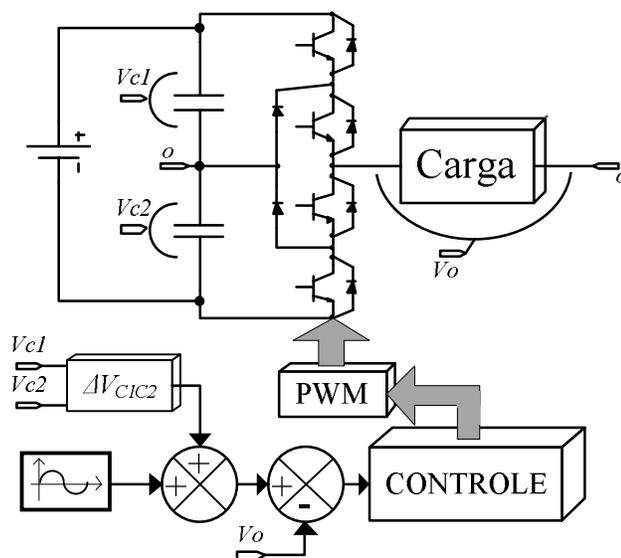


Figura 24 - Estratégia utilizada com controle de desbalanço

A Figura 25 apresenta três possíveis situações de variação teórica do valor de $\overline{\Delta V}_{C1C2}$ e como essa variação age diretamente nas comutações dos semicondutores controlados. Neste caso a variação de $\overline{\Delta V}_{C1C2}$ ocorre em três ciclos de uma fonte de tensão em 60Hz. As três situações apresentadas são:

- 1º) O valor de $\overline{\Delta V}_{C1C2}$ é nulo, ou seja, a tensão sobre os capacitores está equilibrada;
- 2º) A tensão de C1 é inicialmente bem maior que C2, ou seja $\overline{\Delta V}_{C1C2}$ é diferente de zero, seguido de uma variação menor até o equilíbrio;
- 3º) A tensão de C2 é inicialmente bem maior que C1, ou seja $\overline{\Delta V}_{C1C2}$ é diferente de zero, seguido de uma variação menor até o equilíbrio

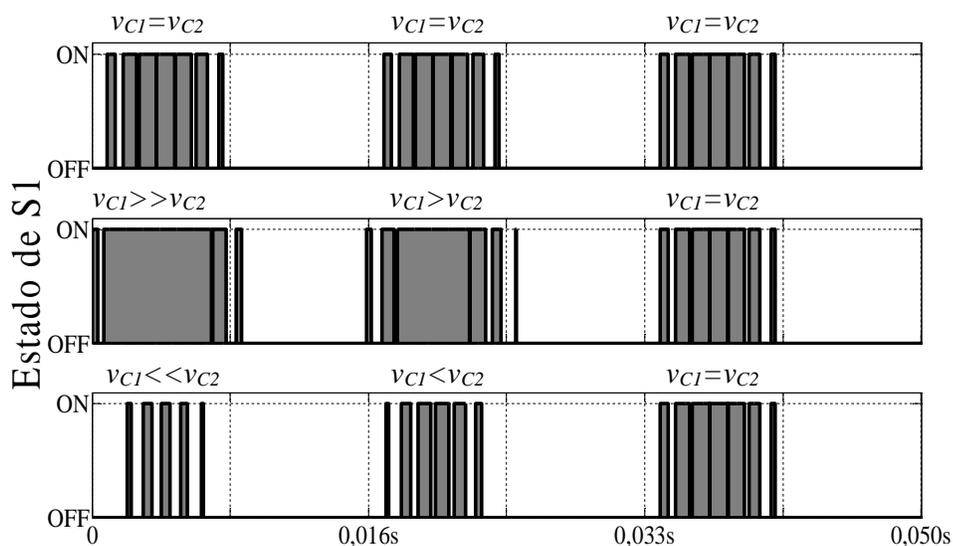


Figura 25 - Comandos em S1 para diferentes $\overline{\Delta V}_{C1C2}$

4 ESTRATÉGIAS DE CONTROLE APLICADAS EM CONVERSORES

Em sistemas de condicionamento de energia elétrica o controle geralmente é aplicado ao conversor para manter as variáveis de saída (tensão e/ou corrente) dentro do ponto de operação especificado no projeto. Os conversores podem ser utilizados para processar a energia oriunda de fontes CA ou CC para alimentar diversos tipos de cargas, desde cargas puramente resistivas, até máquinas elétricas onde se deseja o controle da velocidade e/ou torque. Na Figura 26 é possível observar, de uma maneira simplificada, dois exemplos de aplicação de controle aplicado a conversores. A Figura 26 (a) apresenta um conversor CC-CA controlando tensão de saída e a Figura 26 (b) apresenta um conversor CC-CA controlando a velocidade de um motor trifásico. Nestas aplicações, geralmente o controle age geralmente na razão cíclica dos interruptores minimizando a diferença entre o sinal medido e o sinal de referência.

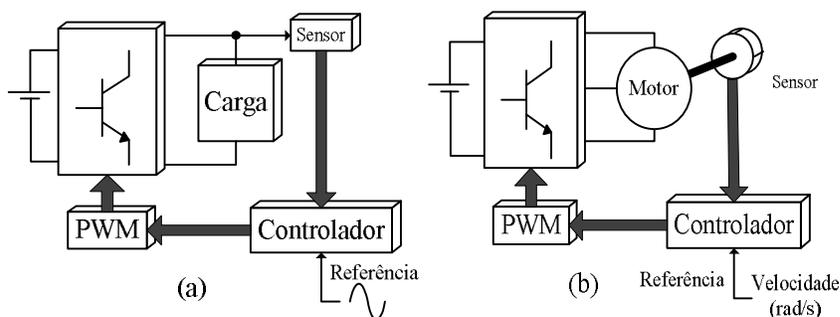


Figura 26 - Sistemas de controle em eletrônica de potência (a) Carga (b) Motor elétrico

Em aplicações dentro da Eletrônica de Potência, diversos tipos de controladores lineares e não-lineares podem ser implementados, tanto de maneira analógica como também digital. Tradicionalmente o controlador Proporcional-Integral (PI) é um dos mais utilizados para realizar controle em sistemas de condicionamento de energia. Nestes casos, a ação derivativa normalmente não é utilizada porque pode amplificar os ruídos em alta frequência inerente da comutação dos conversores (OGATA, 2011). Por outro lado, outras técnicas de controle lineares podem ser utilizadas como, por exemplo, o controle Regulador Quadrático Ótimo (LQR). Em geral a utilização deste controlador, por se tratar de um controle ótimo, busca melhorar o tempo de resposta do sistema sem se preocupar com alguns parâmetros, como *overshoot* ou frequência de operação, que podem comprometer a integridade física do conversor (LEUNG, 1993; POODEH, 2007).

Alguns tipos de controladores não-lineares também vêm se destacando nas aplicações em Eletrônica de Potência, como por exemplo, o controle por modos deslizantes. Outros ainda não estão bem difundidos nesta área como os controladores ANLPID-GGF e SDRE. Nestes dois casos busca-se a otimização dos controladores PID e LQR respectivamente.

O uso de outras técnicas de controle não convencionais como controle adaptativo (UNBEHAUEN, 2000), *Feedback Linearization* (LI SHU-QING, 2010), modos deslizantes com otimização através de lógica *Fuzzy* (VIET QUOC LEU, 2012) também vêm se tornando cada vez mais comuns nas aplicações em Eletrônica de Potência.

Neste capítulo são apresentadas as principais características e aplicações dos controladores lineares (PID e LQR) e não-lineares (ANLPID-GGF e SDRE). Utilizando as melhores características da ação individual de cada controlador, é proposta uma de estratégia de Controle Adaptativo. Esta proposta é implementada por dois métodos distintos, utilizando pesos de ponderação definidos pelo projetista e utilizando a função tangente hiperbólica. Neste caso a função define a variação dos pesos de ponderação.

4.1 PID LINEAR

O controlador PID linear está entre as estruturas de controle mais utilizadas no segmento industrial, onde se pode destacar o controlador PID paralelo clássico apresentado na Figura 27, devido à sua praticidade de sintonia e implementação. Existem diversas técnicas consolidadas em que se utiliza a função transferência de controlador PID e a função transferência do sistema a ser controlado para obtenção dos ganhos proporcional (K_{plin}), integral ($K_{i lin}$) e derivativo ($K_{d lin}$) do controlador (OGATA, 2011). Os critérios definidos em projeto, como tempo de assentamento e *overshoot*, para o sistema em malha fechada são geralmente satisfatórios quando se faz o uso desta estrutura.

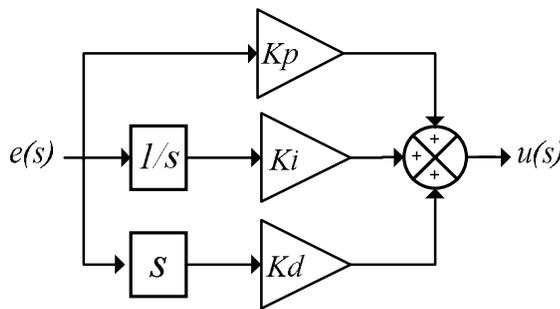


Figura 27 - Controlador PID Paralelo Clássico

A função de transferência e a lei de controle no domínio do tempo de um controlador PID são expressas respectivamente em (4.1) e (4.2).

$$C_{PID}(s) = \frac{K_{din}s^2 + K_{plin}s + K_{ilin}}{s} \quad (4.1)$$

$$u(t) = K_{plin}e(t) + K_{ilin} \int_0^t e(t)dt + K_{din} \frac{de(t)}{dt} \quad (4.2)$$

O ganho proporcional faz com que a atuação do controlador seja proporcional ao erro do sistema. Como apresentado na equação (4.2), o valor de K_{plin} multiplica o valor do erro do sistema $e(t)$. O aumento do ganho proporcional resulta em uma maior mudança na ação do controlador. Desta forma, o sistema pode diminuir o tempo de assentamento e apresentar sobressinal, porém reduz o erro em regime estacionário. Se o ganho for muito elevado pode levar o sistema à instabilidade. Caso contrário, se o ganho for muito baixo, a ação de controle pode não ter expressão perante os possíveis distúrbios do sistema.

O ganho integral (K_{ilin}) contribui de maneira proporcional à integral do erro. A função da parcela integral do controlador PID é zerar o erro em regime estacionário que ocorre com um controlador proporcional puro. O aumento do ganho integral gera uma diminuição do tempo de assentamento e redução do erro em regime estacionário. Ganhos integrais baixos aumentam o tempo de assentamento.

O termo derivativo (K_{din}) é usado para reduzir a magnitude do sobressinal gerado pelo termo integral e melhorar a estabilidade do controlador no processo como um todo. Além disso, a ação derivativa acelera a resposta transitória do controlador.

Esses controladores possuem flexibilidade no caso de um dos valores dos ganhos (K_p , K_i ou K_d) for nulo, que é o caso do controlador PI. Esses controladores possuem técnicas de projetos consolidadas que determinam os valores dos ganhos proporcional, integral e derivativo baseado nas características finais desejadas do sistema em malha fechada como o tempo de assentamento e *overshoot* desejados (OGATA, 2011).

4.2 ANLPID-GGF

O controlador adaptativo com funções de ganho suaves baseado em curvas gaussianas (ANLPID-GGF) é uma proposta de otimização do controle PID linear convencional. Os ganhos proporcional (K_p), integral (K_i) e derivativo (K_d) do controlador ANLPID-GGF são

variáveis em função do erro do sistema. Desta forma, diferentemente do controlador linear, os ganhos não são fixos, são adaptados conforme a intensidade do erro do sistema.

Estas funções são definidas de acordo com as características de cada ação de controle e com limites definidos pelos ganhos do compensador linear e pelo erro máximo permitido em projeto dentro do sistema.

O controlador ANLPID-GGF é implementado conforme apresentado na Figura 28, onde os ganhos são representados por funções definidas por (4.3).

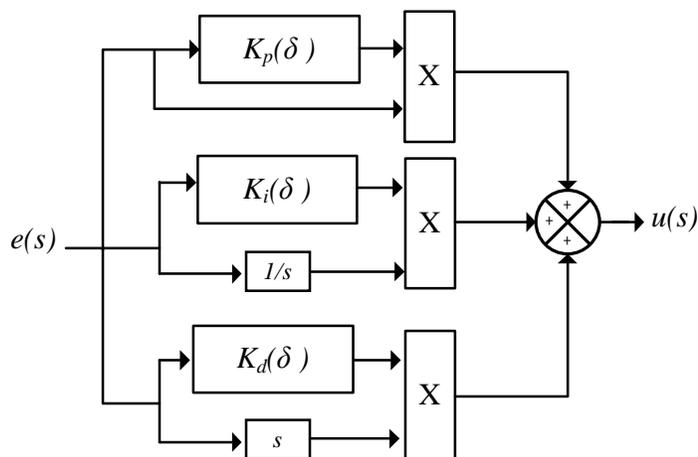


Figura 28 - Controlador ANLPID-GGF

$$f_n(\delta) = K_1 - (K_1 - K_0)e^{-p\delta^2} \quad (4.3)$$

Onde $\delta = e(t)$ obtido através da subtração do sinal medido com a referência.

As Figura 29 (a) e (b) apresentam as curvas características dos ganhos do controlador, respectivamente para $k_1 > k_0$ e $k_1 < k_0$. São feitas variações de p para demonstrar que para valores menores, o sistema apresenta variações mais lentas dos ganhos. Para maiores, a curvatura torna-se mais acentuada, ou seja, os ganhos possuem variações mais abruptas.

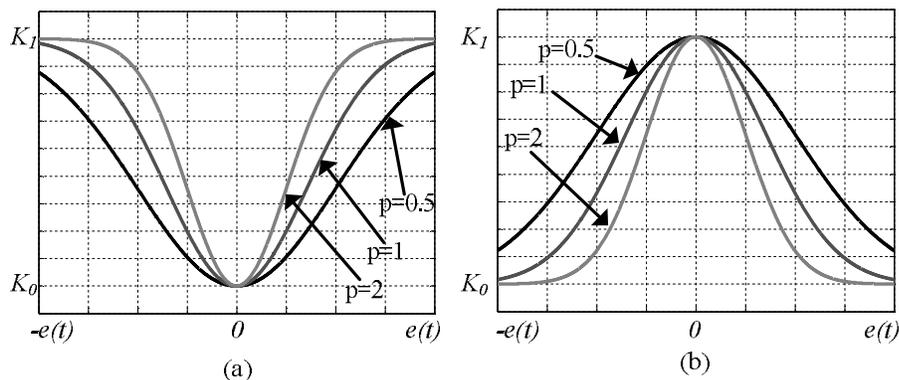


Figura 29 - (a) Variação de f_n para $k_1 > k_0$ (b) Variação de f_n para $k_1 < k_0$

Onde k_0 é o ganho quando $\delta = 0$ e k_1 é o ganho quando $\delta = \infty$, enquanto p representa a concavidade da curva. Na determinação de p usa-se um erro de referência (δ_r). O percentual de adaptação (λ) para esse erro de referência é dado pela equação (4.4).

$$p = -\frac{\ln\left(\frac{K_1 - f(\delta_r)}{K_1 - K_0}\right)}{\delta_r^2} = -\frac{\ln(1 - \lambda)}{\delta_r^2} \quad (4.4)$$

Os valores ideais dos parâmetros de K_1 , K_0 , λ e δ_r são ainda objeto de estudos realizados no momento, desta forma podem ser definidos empiricamente de acordo com a experiência do projetista (KASTER, 2011).

4.3 LINEAR QUADRATIC REGULATOR

O controlador LQR, baseia-se na minimização de um critério quadrático associado ao estado dos sinais de controle e de energia das variáveis. É um controle ótimo que fornece uma maneira sistemática para o cálculo da matriz de ganho do controle via realimentação de estado.

Existem diversas maneiras de se implementar este controlador (OLALLA, 2009) (MOREIRA, 2011) (DUPONT, 2011). Na Figura 30 é apresentadas uma maneira de implementar o controlador LQR quando se pretende controlar uma ou mais variáveis do sistema (OGATA, 2011).

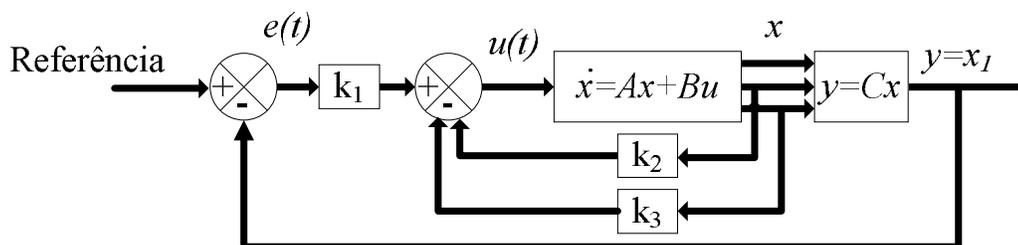


Figura 30 - Sistema de controle LQR

A equação (4.5) apresenta um sistema representado em Espaço de Estados.

$$\dot{x} = Ax + Bu \quad (4.5)$$

O objetivo do controlador é minimizar a função custo (4.6) (HASANZADEH, 2011):

$$J = \int_0^{\infty} (x^T Q x + u^T R u) dt \quad (4.6)$$

As matrizes Q e R podem ser definidas empiricamente, satisfazendo as condições onde Q deve ser uma matriz definida positiva (ou semidefinida positiva) ou real simétrica e R uma matriz definida positiva ou real simétrica. São essas matrizes que determinam a importância relativa ao erro e o consumo de energia do sistema. Desta forma, as matrizes Q e R devem satisfazer as condições expressas respectivamente em (4.7) e (4.8) (JOHNSON, 1987).

$$Q = Q^T \geq 0 \quad (4.7)$$

$$R = R^T \geq 0 \quad (4.8)$$

A lei de controle do controlador LQR é apresentada em (4.9).

$$u(t) = -Kx(t) \quad (4.9)$$

Realizando a substituição de (4.9) em (4.5), define-se (4.10).

$$\dot{x} = Ax - BKx = (A - BK)x \quad (4.10)$$

Para que o sistema em malha fechada possa ser controlado, o termo $(A - BK)$ deve ser estável, ou seja, seus autovalores devem apresentar partes reais negativas.

O vetor de realimentação de estados K também pode ser definido por (4.11) (OGATA, 2011).

$$K = -R^{-1}B^T P \quad (4.11)$$

Onde a matriz P deve satisfazer a equação matricial de *Riccati* apresentada em (4.12)

$$A^T P + PA - PBR^{-1}B^T P + Q = 0 \quad (4.12)$$

Onde matrizes Q e R devem satisfazer as condições expressas respectivamente em (4.7) e (4.8).

4.3.1 Proposta de Projeto do Controlador LQR por Alocação de Pólos

O projeto do controlador LQR, pode ser ordenado de forma que se encontre a lei de controle $u(t)$ que garanta que a tensão de saída do sistema seja independente do estado inicial do seu valor de referência. O objetivo é minimizar o funcional (4.13).

$$J = \int_0^{\infty} (\delta^T Q \delta + u^T R u) dt \quad (4.13)$$

Sabe-se que R pode ser escolhida unitária, sem perda de generalidade (HASANZADEHA, 2011). Substituindo R unitária em (4.11) encontra-se (4.14).

$$K = -B^T P \quad (4.14)$$

Desta forma, para os valores definidos da matriz Q , a matriz P pode ser encontrada como uma solução para a equação (4.15), isto é, para Equação de *Riccati*.

$$A^T P + PA - PBB^T P + Q = 0 \quad (4.15)$$

É importante observar que os diferentes valores de Q podem satisfazer a equação (4.15), o que implica em uma faixa de valores que pode influenciar de maneira distinta a qualidade do processo transitório do sistema controlado.

A técnica de projeto por alocação de pólos é proposta neste trabalho para se definir uma matriz Q ótima que satisfaça as condições do controlador LQR e que garanta as características desejadas de resposta transitória determinada pelo projetista.

A técnica por alocação de pólos foi inicialmente usada em (M. B. POODEH, 2007; HASANZADEHA, 2011) para projetar o vetor de realimentação de estados do controlador LQR. No entanto, o projeto da matriz Q não é definido matematicamente em função dos parâmetros desejados do sistema em malha fechada, diferentemente da proposta deste trabalho. Desta forma, propõe-se definir a partir de uma posição desejada dos pólos dominantes do sistema compensado, um vetor de realimentação de estados (K) que satisfaça as condições impostas pelo algoritmo do controlador LQR. Assim torna-se possível parametrizar o controlador do sistema operando em malha fechada com o controle LQR.

O vetor de realimentação de estados, a partir da técnica por alocação de pólos (K_p), pode ser definido através de (4.16)

$$K_p = [\alpha_n - \beta_n \quad \alpha_{n-1} - \beta_{n-1} \cdots \alpha_2 - \beta_2 \quad \alpha_1 - \beta_1] T^{-1} \quad (4.16)$$

Os termos α_n são definidos através do polinômio característico obtido a partir da posição dos pólos dominantes em malha fechada.

$$(s - \mu_{-i})(s - \mu_{+i}) \dots (s - \mu_i) = s^n + \alpha_1 s^{n-1} + \dots + \alpha_{n-1} s + \alpha_n \quad (4.17)$$

Onde μ_n são os pólos desejados do sistema compensado, composto por uma parte real negativa ($-p_r$) e um par complexo conjugado ($\pm p_i$), expresso em (4.18).

$$\mu_n = -p_r \pm p_i j \quad (4.18)$$

Onde o polinômio característico pode ser calculado em (4.19)

$$(s + p_r + p_i j)(s + p_r - p_i j) = 0 \quad (4.19)$$

Manipulando (4.19) encontra-se (4.20).

$$s^2 + (2p_r)s + (p_r^2 - p_i^2) = 0 \quad (4.20)$$

A equação (4.20) pode ser reescrita em termos α_n apresentada em (4.21).

$$\alpha_2 s^2 + \alpha_1 s + \alpha_0 = 0 \quad (4.21)$$

Os termos β_n são definidos a partir do polinômio característico obtido por (4.22)

$$|sI - A| = s^n + \beta_1 s^{n-1} + \dots + \beta_{n-1} s + \beta_n \quad (4.22)$$

Sendo a matriz de transformação T é dada por (4.23)

$$T = MW \quad (4.23)$$

Onde M é a matriz de controlabilidade expressa em (4.24), enquanto que W é definida por (4.25)

$$M = [B \quad AB \quad \dots \quad A^{n-1}B] \quad (4.24)$$

$$W = \begin{bmatrix} a_{n-1} & a_{n-2} & \dots & a_1 & 1 \\ a_{n-2} & a_{n-3} & \dots & 1 & 0 \\ \vdots & \vdots & \ddots & \vdots & \vdots \\ a_1 & 1 & \dots & 0 & 0 \\ 1 & 0 & \dots & 0 & 0 \end{bmatrix} \quad (4.25)$$

Substituindo (4.16) em (4.14) pode-se obter a matriz de *Riccati* (P) para definir o vetor de realimentação K_p , apresentado em (4.26).

$$P_p = (B^T)^+ K_p \quad (4.26)$$

Onde $(B^T)^+$ é a matriz pseudo-inversa.

Substituindo a matriz P_p encontrada em (4.26) na equação (4.15), pode-se definir a matriz Q do controlador LQR em (4.27).

$$Q = -A^T P_p - P_p A + P_p B B^T P_p \quad (4.27)$$

Através da solução de (4.27) é possível minimizar o funcional (4.13) e manter o controle do sistema dentro dos parâmetros definidos de projeto. Esta solução deve satisfazer as condições do controlador LQR relacionadas à matriz Q , apresentas em (4.7).

4.4 SDRE

O método SDRE pode ser considerado uma derivação do controlador LQR, com as matrizes $A(x)$, $B(x)$, $Q(x)$ e $R(x)$ como funções dos estados. O nome SDRE (*State Dependent*

Riccati Equation) decorre da construção da lei de controle, onde se utiliza a solução da Equação Algébrica de *Riccati*, que depende do estado.

O SDRE lineariza a planta ao redor do ponto de operação instantâneo e produz um modelo de espaço de estados constante para esta condição, onde então pode ser aplicado o controlador LQR calculado. Este processo é repetido nas próximas amostragens calculando e controlando diversos modelos linearizados da planta em diferentes pontos de operação a partir do modelo não-linear original.

A principal vantagem oferecida pelo SDRE é a flexibilidade de projeto no ajuste das matrizes de penalidade $Q(x)$ e de entrada $R(x)$, como funções dos estados.

O equacionamento do controlador segue os mesmos princípios do controlador LQR, visto que, em cada ponto de operação linearizado pelo SDRE, é o controlador LQR que atua diretamente no controle do processo. Desta maneira, pode-se dizer que a lei de controle do método SDRE é a mesma que a do controlador LQR apresentada em (4.28).

$$u(t) = -K_{SDRE}x(t) = -R^{-1}B^T Px(t) \quad (4.28)$$

Considerando K_{SDRE} o vetor referente aos ganhos de realimentação do controlador SDRE, uma forma de implementação para que os ganhos alterem em função da variáveis de estado é utilizar o produto dos ganhos iniciais do controlador LQR por uma função exponencial em função do erro ($e_{n_{SDRE}}$). Desta forma, pode-se definir a lei de controle do controlador SDRE através de (4.29).

$$K_{SDRE} = [K_{LQR}(1) * \exp(e_{1_{SDRE}}) \quad K_{LQR}(2) * \exp(e_{2_{SDRE}})] \quad (4.29)$$

Assim como no controlador LQR, as matrizes $Q_{n \times n}$ e $R_{n \times n}$ devem ser matrizes definidas positivas a fim de resolver a Equação Matricial Reduzida de Riccati (4.30).

$$A^T P + PA - PBR^{-1}B^T P + Q = 0 \quad (4.30)$$

Na implementação do método, a opção mais atrativa é a resolução da equação de Riccati analiticamente; isto geralmente é possível para sistemas de pequena ordem ou com uma estrutura específica. Neste caso os parâmetros do sistema devem ser utilizados analiticamente, visto que as matrizes no espaço de estados são a representação do sistema a ser controlado. Porém, na maioria das vezes, não é possível utilizar a solução analítica e a equação de Riccati deve ser resolvida numericamente. A solução para o controlador SDRE deve ser realizada em tempo real, sendo este cálculo dos ganhos em tempo real a principal diferença entre o controle LQR e o método SDRE (GONZALES, 2009).

4.5 CONTROLE ADAPTATIVO PONDERADO

Sabe-se que cada tipo de controlador pode apresentar diferentes respostas para inúmeras situações. Existem controladores que tendem a estabilizar o sistema de maneira mais rápida quando submetidos a distúrbios. Em compensação, outros controladores podem apresentar melhor desempenho em regime permanente, zerando ou minimizando um possível erro do sistema. Partindo desses princípios, é proposta uma associação conjunta de controladores que podem atuar simultaneamente no sistema. Desta forma, é possível melhorar a sua eficiência tanto em tempo de assentamento como em regime permanente. A ação conjunta desta combinação determina uma lei de controle com ação adaptativa.

Nessa implementação combinada, define-se o Controlador Adaptivo Ponderado (*Weighted Adaptive Controller – WAC*), apresentado na Figura 31, onde se pode observar a utilização de controladores distintos ($C_1(s)$, $C_2(s)$... $C_n(s)$) seguidos de um “Algoritmo de ponderação” (*weighting algorithm*).

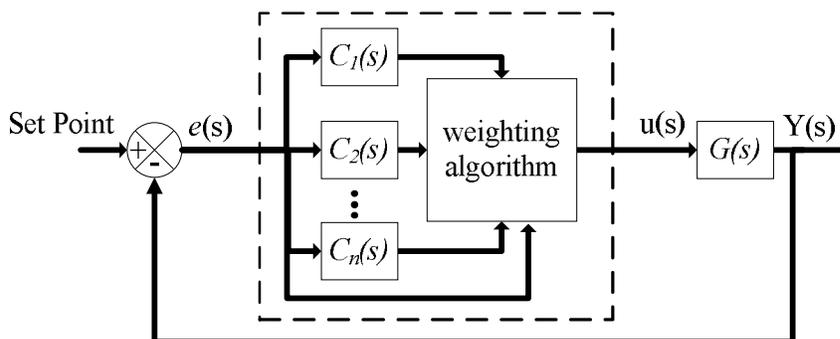


Figura 31 - Contador adaptativo ponderado geral

As leis de controle individuais são combinadas e somadas com pesos. Desta forma, a lei de controle do Controlador Adaptivo Ponderado é definida em (4.31)

$$u(t) = u_{C_1(s)}(t) * w_1 + u_{C_2(s)}(t) * w_2 + \dots + u_{C_n(s)}(t) * w_n \quad (4.31)$$

Os valores dos pesos, representados por w_n , são definidos pelo algoritmo de ponderação, e devem respeitar a condição expressa em (4.32)

$$w_1 + w_2 + \dots + w_n = 1 \quad (4.32)$$

O algoritmo de ponderação também pode ser representado por funções. Neste trabalho são apresentadas duas funções, a função sinal (saturação) e a tangente hiperbólica, ambas tomando como variável o erro do sistema.

Primeiramente define-se a implementação de somente dois controladores, como apresentado na Figura 32, com características distintas, ou seja, um controlador que apresente melhores respostas em transitórios combinado com outro que apresente melhores respostas em regime estacionário. É adotada a notação $C_1(s)//C_2(s)$ para representar diferentes controladores utilizando o Controlador Adaptativo Ponderado.

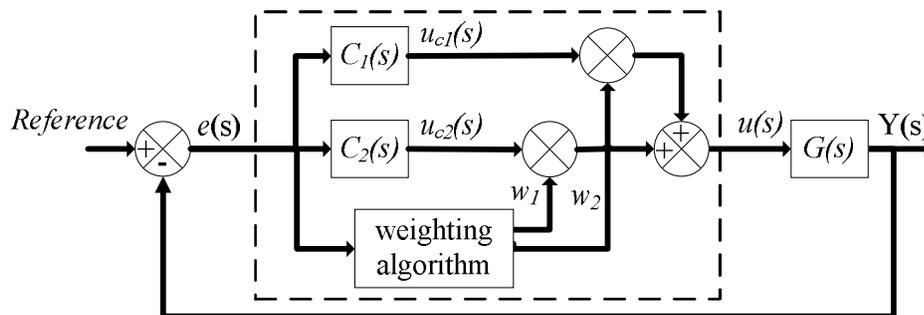


Figura 32 - Contador adaptativo ponderado com dois controladores

A principal diferença entre as duas funções é que no caso da função sinal os ganhos simplesmente alternam entre um controlador e outro, ou seja, os ganhos são fixos. A desvantagem desse método é a necessidade de uma estimativa de qual a porcentagem que deve ser atribuída para os valores dos pesos entre os controladores.

Um exemplo do método utilizando a função sinal é apresentado em (4.33), onde e_w é valor definido de erro máximo para comutação dos pesos e $e(t)$ é o erro medido de erro do sistema.

$$e(t) > e_w \begin{cases} w_1 = 0,9 \\ w_2 = 0,1 \end{cases} \quad \text{ou} \quad e(t) < e_w \begin{cases} w_1 = 0,1 \\ w_2 = 0,9 \end{cases} \quad (4.33)$$

Neste método é interessante utilizar um valor de peso mais significativo para controladores que apresentam melhores respostas em transitórios. Como consequência, este controlador será menos significativo na ação de controle em regime permanente, de tal forma que o outro controlador implementado deve apresentar um desempenho mais eficiente em regime permanente.

No caso do algoritmo de adaptação com tangente hiperbólica em função do erro, definido como Controle Adaptativo por Tangente Hiperbólica (HTAC - *Hyperbolic Tangent Adaptive Control*), é utilizada a mesma estratégia de ponderação. Porém nesse caso, o valor de um dos pesos varia de acordo com a função (4.34)

$$w_1 = \tanh|e(t)| \quad (4.34)$$

A partir da regra (4.32) pode-se definir o valor de w_2 , expresso em (4.35).

$$w_2 = 1 - w_1 \quad (4.35)$$

Assim, o peso w_1 será proporcional ao erro do sistema, tornando-se mais interessante em aplicações onde a lei do controlador age com maior velocidade. Enquanto, o peso w_2 será inversamente proporcional ao erro, onde o controlador age para anular o erro em estado estacionário. Desta forma, a implementação de w_2 torna-se mais atrativa em controladores que apresentem parcela integral.

A principal vantagem desta estratégia é não necessitar de uma simulação prévia ou escolha empírica dos pesos, pois estes são definidos de maneira interativa pelo algoritmo adaptativo de ponderação.

Para que a comutação entre os controladores ocorra de maneira suave, sem alterações abruptas na lei de controle do sistema, é aconselhado que os controles implementados simultaneamente sejam projetados para manter o sistema com os mesmos pólos dominantes em malha fechada.

5 PROJETO DOS CONTROLADORES E SIMULAÇÕES

5.1 INTRODUÇÃO

Neste capítulo são apresentados os projeto dos controladores lineares (PID e LQR) e não-lineares (ANLPID-GGF e SDRE). Com a finalidade de realizar um estudo comparativo entre quatro técnicas utilizadas, a estratégia por alocação de pólos é usada para o projeto dos controladores, onde é possível parametrizar os ganhos dos controladores ótimos para se ter uma comparação coerente entre todas as estratégias de controle utilizadas.

As quatro estratégias de controle projetadas são simuladas e aplicadas nos controles das tensões de saída do conversor CC-CC *Buck* e do Inversor NPC 3 Níveis Monofásico, pois ambos apresentam as mesmas características referente às função de transferência.

Os parâmetros referentes aos conversores *Buck* e NPC são apresentados na Tabela 6.

Tabela 6 - Parâmetros para conversor Buck e NPC

Parâmetros	<i>Buck</i>	NPC
Tensão de entrada (V_i)	48V	400V
Tensão de referência (V_{ref})	30V	180V
Capacitância (C_o)	3,33 μ F	6 μ F
Indutância (L_o)	1,1mH	1,5mH
Resistência (R_o)	30 Ω	15 Ω
Frequência de comutação (f_s)	50kHz	10kHz
Capacitância do barramento (C_1 e C_2)	-	1.5mF

Substituindo os valores dos parâmetros da Tabela 6. na equação (3.25) apresentada no capítulo 3, pode-se obter as funções de transferência dos conversores *Buck* e NPC, expressa em (5.1) e (5.2) respectivamente.

$$G_{\hat{v}_o \hat{d}_{Buck}}(s) = \frac{\hat{v}_o(s)}{\hat{d}(s)} = \frac{1,28E10}{s^2 + 1,01E4 s + 2,75E8} \quad (5.1)$$

$$G_{\hat{v}_o \hat{d}_{NPC}}(s) = \frac{\hat{v}_o(s)}{\hat{d}(s)} = \frac{2,22E10}{s^2 + 1,067E4 s + 1,11E8} \quad (5.2)$$

Com as funções de transferência obtidas, cada controlador é projetado e simulações são realizadas para que o desempenho individual possa ser avaliado.

A sequência dos distúrbios testados nas simulações do conversor *Buck* e do Inversor NPC são apresentados respectivamente na Tabela 7

Tabela 7 - Sequência da simulação *Buck* (a) e NPC (b)

(a)		(b)	
Tempo (ms)	Carga	Tempo (s)	Carga
0	30Ω	0	15Ω
2,5	60Ω	0,07	30Ω
3,5	30Ω	0,13	15Ω

No caso do conversor *Buck* o step inicial apresenta uma rampa do sinal de referência emulando uma partida suave do conversor. Para o Inversor NPC, as tensões iniciais dos capacitores do barramento CC são consideradas constantes e iguais $V_i/2$.

Na Figura 33 são apresentados os diagramas elétricos das duas topologias utilizadas para realizar as simulações.

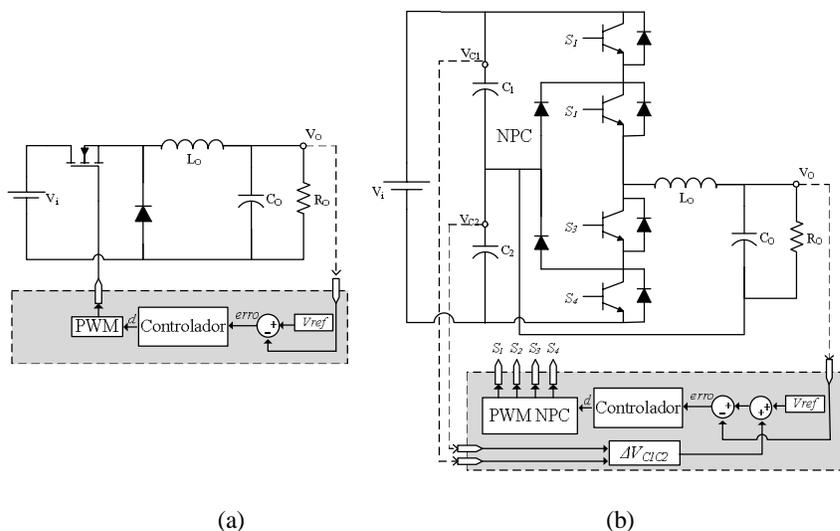


Figura 33 - Implementação geral do controle em conversor (a) Buck (b) NPC

5.2 PROJETO DO CONTROLADOR PID LINEAR

A partir das funções de transferência dos conversores, apresentadas nas equações (5.1) e (5.2), pode-se utilizar o comando *damp* no software MATLAB e definir os parâmetros

apresentados na Tabela 8. A Figura 34 apresenta o lugar das raízes dos conversores *Buck* e NPC em malha aberta usando o comando *rlocus* do MATLAB.

Tabela 8 - Análise dos conversores *Buck* e NPC em malha aberta

Parâmetro	<i>Buck</i>	NPC
Autovalores (pólos dominantes)	$-5E3 \pm 1,56E4 i$	$-5,33E3 \pm 9,09 E3i$
Coefficiente de amortecimento (ζ)	0,306	0,506
Frequência natural não amortecida (W_n)	1,67 E4 rad/s	1,05 E4 rad/s

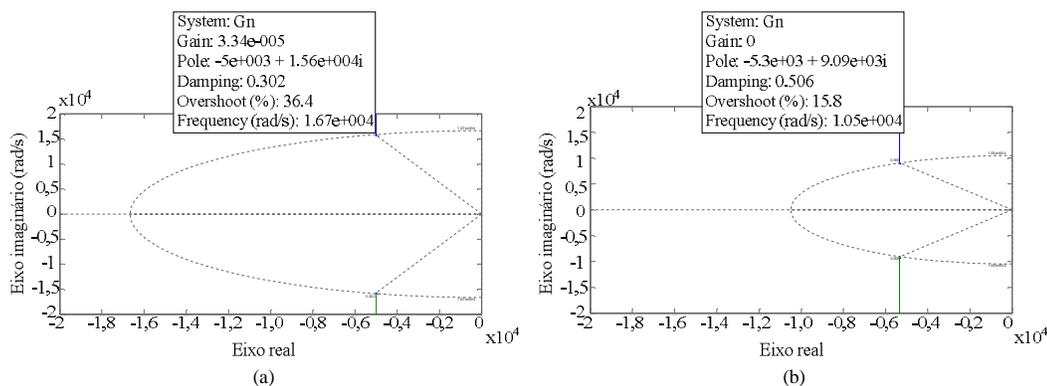


Figura 34 - Lugar das raízes em malha aberta (a) *Buck* (b) NPC

É possível observar que as frequências naturais não amortecidas (W_n) dos conversores *Buck* e NPC podem ser definidas também através dos componentes do filtro LC de saída, definidos pelas equações (5.3) e (5.4).

$$W_{n\text{ Buck}} = \frac{1}{\sqrt{L_o C_o}} = 1,67e^4 \text{ rad/s} \quad (5.3)$$

$$W_{n\text{ NPC}} = \frac{1}{\sqrt{L_o C_o}} = 1,05e^4 \text{ rad/s} \quad (5.4)$$

As respostas dos degraus unitários dos sistemas em malha aberta podem ser observados respectivamente na Figura 35

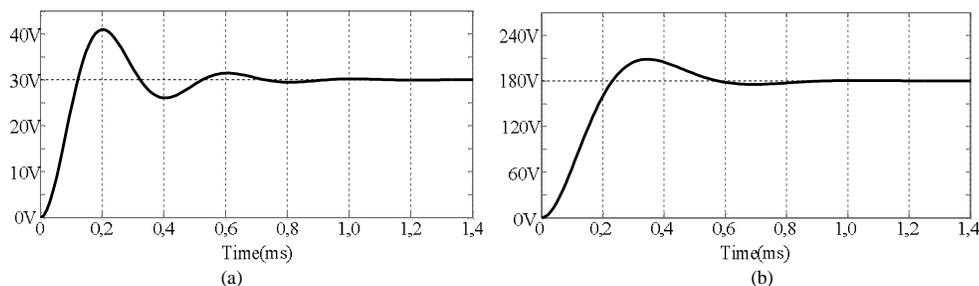


Figura 35 - Resposta ao degrau em malha aberta (a) *Buck* (b) NPC

Para o projeto dos controladores PID para os conversores *Buck* e NPC foi utilizada a ferramenta *RLTOOL* do software MATLAB. Essa ferramenta é utilizada para projetos de

compensadores utilizando o lugar das raízes, de maneira interativa, e é possível posicionar os zeros e pólos do compensador. Na Figura 36 é apresentada a ferramenta RLTOOL utilizada ambos os projetos.

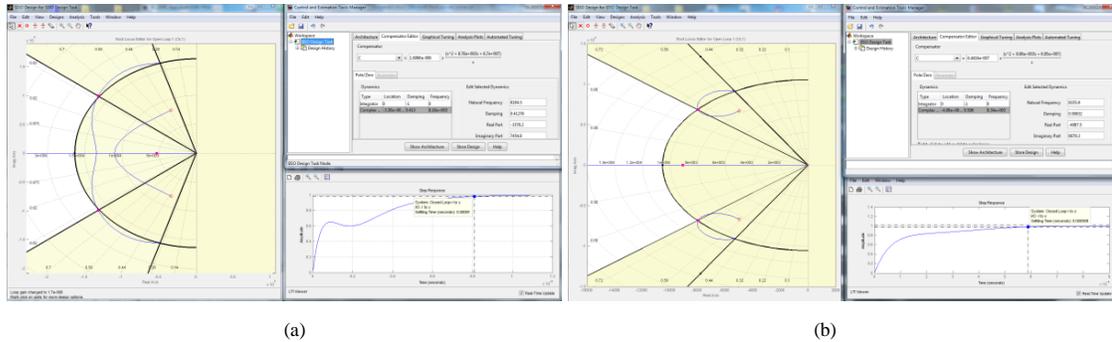


Figura 36 - Ferramenta RLTOOL para projeto de controlador (a) Buck (b) NPC

Os controladores foram definidos para manter os mesmos valores de W_n , alterando o coeficiente de amortecimento (ζ) para aproximadamente 0,8 nos dois projetos. Este valor é aconselhado para sistemas de segunda ordem apresentar pequenos valores de *overshoot* (OGATA, 2011). Os projetos realizados na ferramenta *RLTOOL*, foram definidos os compensadores para que os sistemas em malha fechada não apresentassem *overshoot* e o tempo de assentamento semelhante aos tempos obtidos em malha aberta.

Desta forma, a função de transferência dos controladores encontrados são expressas pelas equações (5.5) e (5.6).

$$C_{PID\ Buck}(s) = \frac{1,72E - 6 (s^2 + 6756 s + 6,69E7)}{s} \quad (5.5)$$

$$C_{PID\ NPC}(s) = \frac{6,44E - 7 (s^2 + 9980s + 6,95E7)}{s} \quad (5.6)$$

Relacionando a equação do controlador PID, apresentada em (4.1), com as equações (5.5) e (5.6), pode-se definir os ganhos dos controladores PID. Os valores dos ganhos são apresentados na Tabela 9.

Tabela 9 - Ganhos do controlador PID linear

Ganho	Buck	NPC
Proporcional (K_{plin})	0,012	0,0064
Integral (K_{ilin})	115,32	44,76
Derivativo (K_{dlin})	0,00000172	0,000000644

A partir das funções de transferência dos conversores e dos compensadores projetados, é possível simular os sistemas em malha fechada. Na Figura 37 são apresentadas as repostas dos sistemas em malha fechada com os controladores projetados.

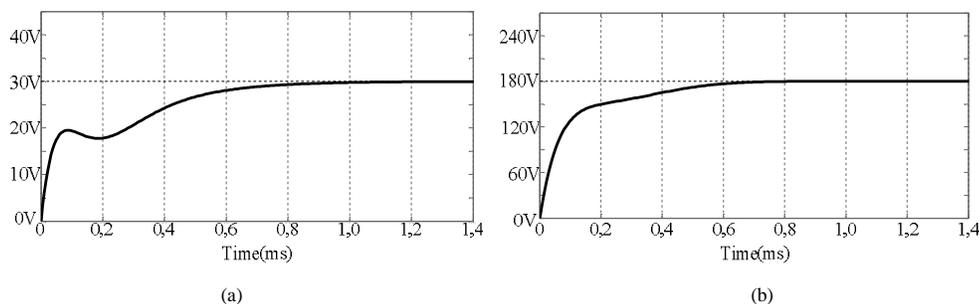


Figura 37 - Resposta ao degrau do conversor Buck em malha fechada (a) Buck e (b) Inversor NPC

O lugar das raízes dos sistemas compensados são apresentados na Figura 38.

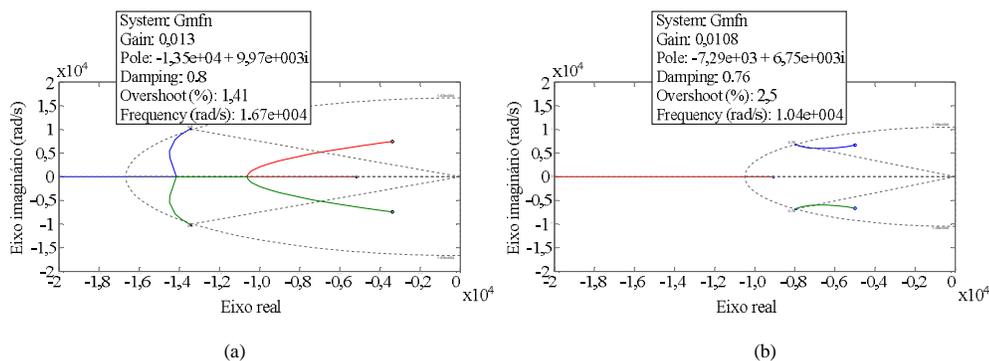


Figura 38 - Lugar das raízes em malha fechada (a) Buck (b) NPC

É possível observar através da Figura 38 que as posições dos pólos dominantes (autovalores) do conversor *Buck* e NPC foram alteradas de $-5000 \pm 15600i$ e $-5330E3 \pm 9090E3i$ (malha aberta) para $-1,35E4 \pm 9,97E3i$ e $-7,29E3 \pm -6,75E3i$ (malha fechada), respectivamente apresentados nas equações (5.7) e (5.8). Essas são as posições desejadas de cada sistema, em malha fechada, definidas para o projeto dos outros controladores. Assim, todos os controladores são projetados para manter os mesmos pólos dominantes nos dois sistemas.

$$s_d = -13564 \pm 9978i \quad (5.7)$$

$$s_d = -7290 \pm 6750i \quad (5.8)$$

Na Figura 39 são apresentadas as respostas aos steps iniciais dos conversores *Buck* e do inversor NPC operando em malha fechada com os controladores PID projetados.

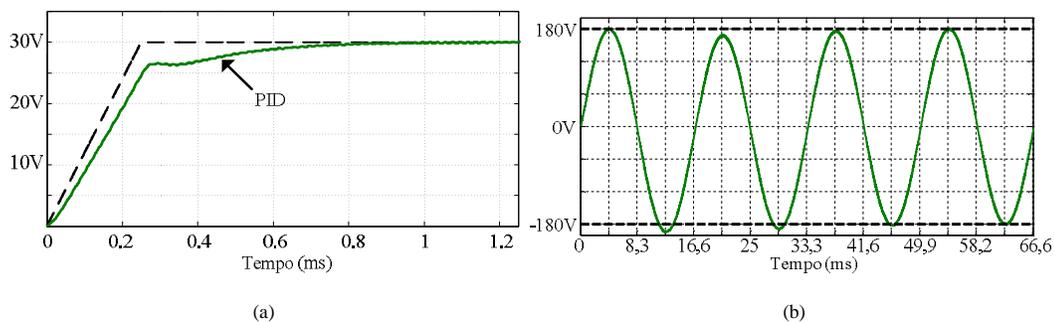


Figura 39 - PID – Transitório inicial da tensão de saída (a) Buck (b) NPC

Na Figura 40 são apresentadas as correntes dos indutores de saída do filtro LC de cada conversor respectivamente. Pode-se observar o detalhe do degrau de carga de 50% para cima e depois de 50% para baixo voltando para o valor de carga inicial.

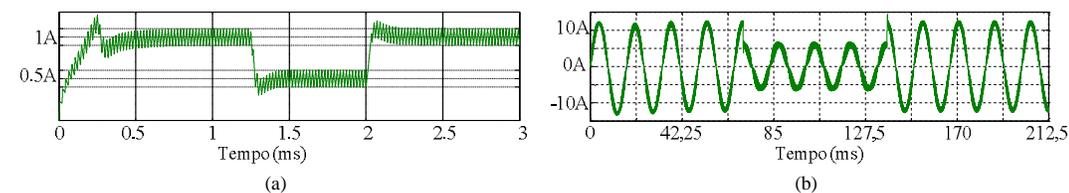


Figura 40 - PID - Corrente do indutor do filtro de saída (a) Buck (b) NPC

Na Figura 41 são apresentados os detalhes das tensões de saída de ambos os conversores com os controles PID nos instantes onde são simulados os dois degraus de carga.

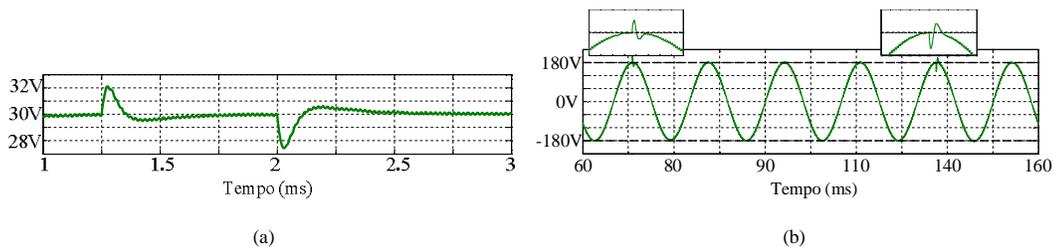


Figura 41 - PID - Tensão de saída na ocorrência dos degraus de carga (a) Buck (b) NPC

Na Figura 42 são apresentadas a tensão de saída PWM do Inversor NPC medida antes do filtro LC, onde se pode observar os três níveis da topologia, e as tensões dos capacitores do barramento CC durante todo o período de simulação.

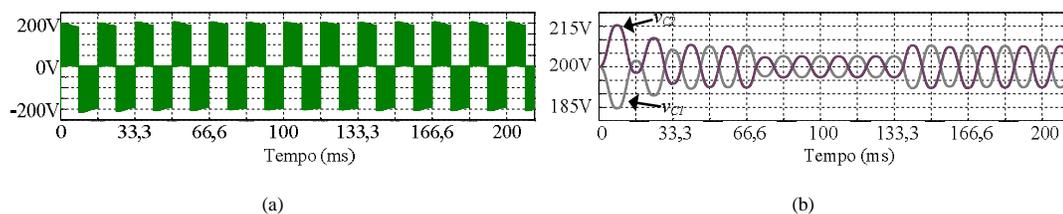


Figura 42 - (a) Tensão PWM de saída do NPC (b) Tensões nos capacitores de barramento

5.3 PROJETO DO CONTROLADOR ANLPID-GGF

Para serem definidos os ganhos do controlador ANLPID-GGF foram tomados como parâmetros iniciais os ganhos definidos do controlador PID Linear tanto para o conversor *Buck* quanto para o Inversor NPC, respectivamente dados por (5.9) e (5.10).

$$K_{plin\ Buck}=0,012, K_{ilin\ Buck}=115,32 \text{ e } K_{dlin\ Buck}=0,00000172 \quad (5.9)$$

$$K_{plin\ NPC}=0,0064, K_{ilin\ NPC}=44,76 \text{ e } K_{dlin\ NPC}=0,000000644 \quad (5.10)$$

Para definir as equações dos ganhos foram atribuídos parâmetros distintos de δr e de λ . Desta forma, diferentes coeficientes de p são encontrados para cada ganho. As simulações com o controlador ANLPID-GGF são realizadas com os ganhos K_p , K_i e K_d , apresentados em função do erro, partindo dos valores iniciais dos ganhos do controlador PID linear.

No caso dos ganhos proporcionais (K_p), para ambos os conversores foram definidos os seguintes parâmetros:

$$K_{pI}=2 K_{plin} \quad K_{p0}=0,1K_{plin} \quad \lambda=0,1 \quad \delta_r=2,5$$

No caso dos ganhos integrais (K_i) para ambos os conversores os seguintes parâmetros também foram definidos:

$$K_{iI}=0,5 K_{ilin} \quad K_{i0}=3K_{ilin} \quad \lambda=0,25 \quad \delta_r=5$$

Optou-se por não ter variações no ganho derivativo visto que esse parâmetro pode afetar o sistema com ampliações de ruídos inerentes de conversores chaveados. Desta forma foram definidos:

$$K_{dI}=K_d \quad K_{d0}=K_d$$

Na Figura 43 são apresentadas as respostas respectivamente do conversor *Buck* e do Inversor NPC operando em simulação com malha fechada com os controladores ANLPID-GGF projetados.

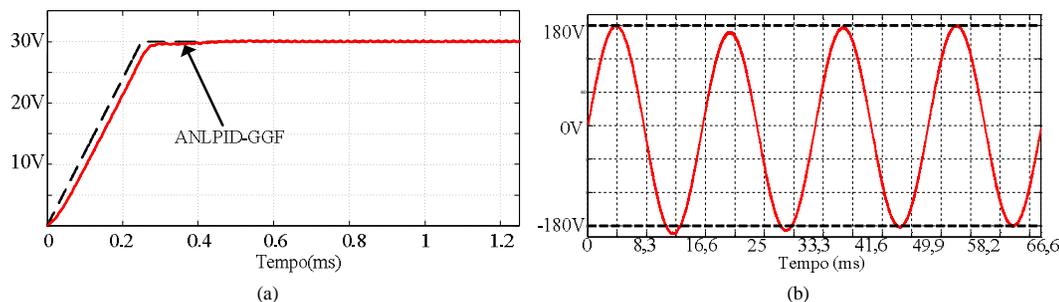


Figura 43 - ANLPID-GGF – Transi rio inicial da tens o de sa da (a) Buck (b) NPC

Na Figura 44 são apresentadas as correntes dos indutores de cada filtro LC de saída de cada conversor.

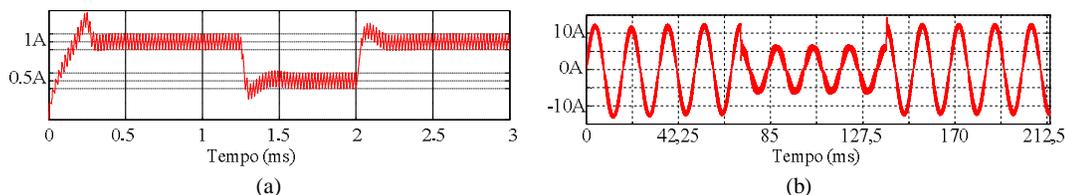


Figura 44 - ANLPID-GGF - Corrente do indutor do filtro de saída (a) Buck (b) NPC

É possível observar na Figura 45 o detalhe da tensão de saída com o controle ANLPID-GGF nos instantes onde são simulados os dois degraus de carga.

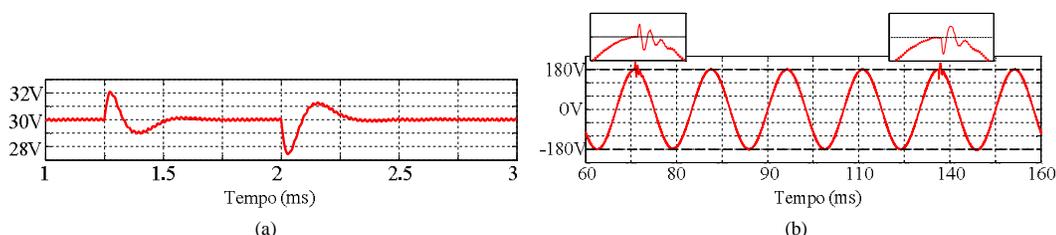


Figura 45 - ANLPID-GGF - Tensão de saída na ocorrência dos degraus de carga (a) Buck (b) NPC

Na Figura 46 são apresentadas as variações dos ganhos dos controladores ANLPID-GGF durante os períodos de simulação. É notável que nos instantes iniciais e degraus de carga os ganhos sofrem variações devido ao fato de ocorrer variação no valor de erro no sistema.

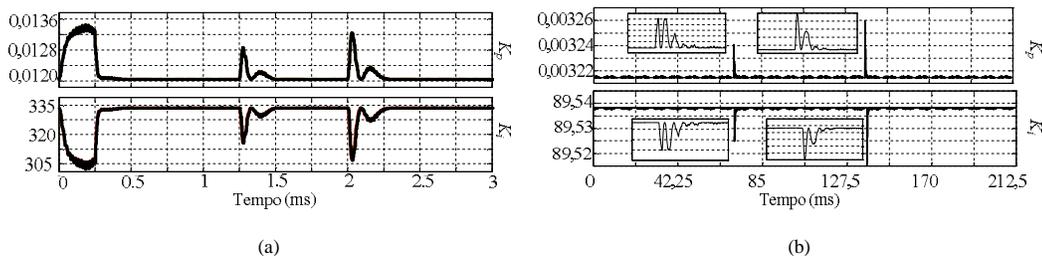


Figura 46 - Variação dos ganhos do controlador ANLPID-GGF durante a simulação (a) Buck (b) NPC

Na Figura 47 é apresentada a tensão de saída PWM do Inversor NPC medida antes do filtro LC, onde podem ser observados os três níveis da topologia, e as tensões dos capacitores do barramento CC durante todo o período de simulação.

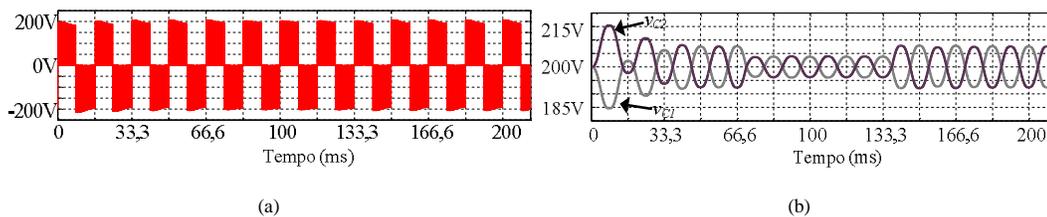


Figura 47 - (a) Tensão PWM de saída do NPC (b) Tensões nos capacitores de barramento

5.4 PROJETO DO CONTROLADOR LQR

Para o projeto do controlador LQR aplicado para o conversor *Buck* e para o Inversor NPC, é adotado o procedimento por alocação de pólos apresentado anteriormente.

Sabe-se que ambos os conversores apresentam as mesmas matrizes de estado. Considerando como variáveis de estado a tensão e a corrente do capacitor de saída (v_{co} e i_{co}) pode-se representar as matrizes no espaço de estados como (5.11):

$$A_1 = A_2 = \begin{bmatrix} 0 & \frac{1}{C_o} \\ -\frac{1}{L_o} & -\frac{1}{C_o R_o} \end{bmatrix}; B_1 = \begin{bmatrix} 0 \\ 1/L_o \end{bmatrix}; B_2 = \begin{bmatrix} 0 \\ 0 \end{bmatrix}; C_1 = C_2 = [0 \quad 1] \text{ e } D_1 = D_2 = 0 \quad (5.11)$$

Realizando as substituições dos valores da Tabela 6 em (5.11), obtem-se para o conversor *Buck* e para o Inversor NPC as matrizes de estados, expressas respectivamente em (5.12) e (5.13).

$$A_1 = A_2 = \begin{bmatrix} 0 & 300300 \\ -888 & -10000 \end{bmatrix}; B_1 = \begin{bmatrix} 0 \\ 888 \end{bmatrix}; B_2 = \begin{bmatrix} 0 \\ 0 \end{bmatrix}; C_1 = C_2 = [0 \quad 1] \text{ e } D_1 = D_2 = 0 \quad (5.12)$$

$$A_1 = A_2 = \begin{bmatrix} 0 & 166667 \\ -666 & -10417 \end{bmatrix}; B_1 = \begin{bmatrix} 0 \\ 666 \end{bmatrix}; B_2 = \begin{bmatrix} 0 \\ 0 \end{bmatrix}; C_1 = C_2 = [0 \quad 1] \text{ e } D_1 = D_2 = 0 \quad (5.13)$$

A partir da posição dos pólos dominantes em malha fechada para o conversor *Buck*, definida em (5.7), e para o Inversor NPC, definida em (5.8), através do métodos por alocação de pólos, pode-se determinar os ganhos do controlador LQR para manter os sistemas compensados dentro dos parâmetros utilizados para ambos os projetos dos controladores PID.

O ganho do controlador LQR encontrado para o conversor *Buck* é definido em (5.14), e para o Inversor NPC é definido em (5.15).

$$K_{LQR \text{ Buck}} = [2233 \quad 16128] \quad (5.14)$$

$$K_{LQR \text{ NPC}} = [4163 \quad 1,24e7] \quad (5.15)$$

Substituindo (5.14) e (5.15) em (4.27),pode-se definir as matrizes Q que satisfazem as condições do controle ótimo pelo algoritmo do LQR em (5.16).

$$Q_{Buck} = 1E8 \begin{bmatrix} 0,0591 & 0,0283 \\ 0,0283 & 2,6274 \end{bmatrix} \quad Q_{NPC} = 1E8 \begin{bmatrix} 0,0325 & 0,0124 \\ 0,0124 & 1,490 \end{bmatrix} \quad (5.16)$$

As simulações com o controlador LQR são realizadas com o K_{LQR} encontrado para cada conversor. Na Figura 48 são apresentadas as resposta aos degraus iniciais dos conversores *Buck* e NPC operando em malha fechada com os controladores LQR.

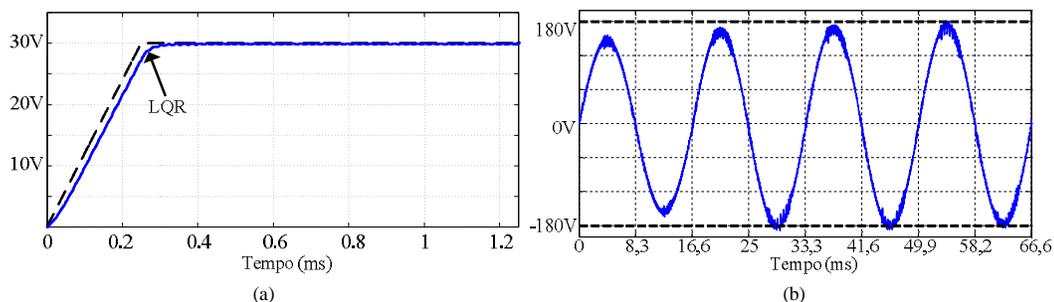


Figura 48 - LQR – Transitório inicial da tensão de saída (a) Buck (b) NPC

Na Figura 49 são apresentadas as correntes dos indutores, onde se é possível observar os detalhes dos mesmos degraus de carga realizados.

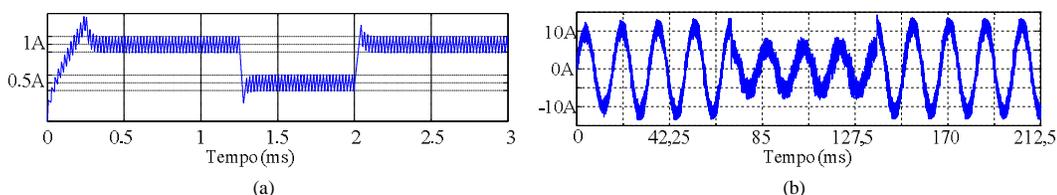


Figura 49 - LQR - Corrente do indutor do filtro de saída (a) Buck (b) NPC

É possível observar na Figura 50 os detalhes das tensões de saída com o controle LQR nos instantes onde são simulados os dois degraus de carga para cada conversor.

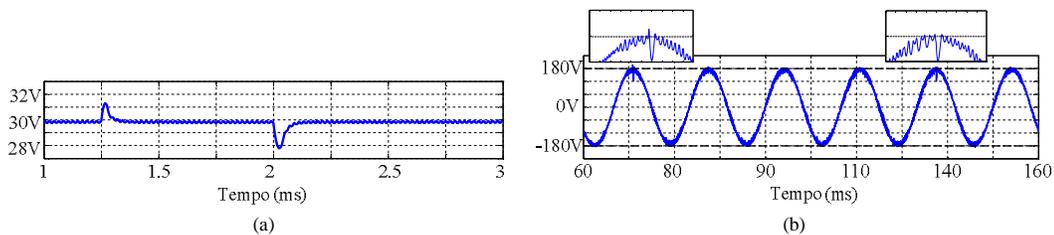


Figura 50 - Tensão de saída na ocorrência dos degraus de carga (a) Buck (b) NPC

Na Figura 51 são apresentadas a tensão de saída PWM do Inversor NPC medida antes do filtro LC, onde se pode observar os três níveis da topologia, e as tensões dos capacitores do barramento CC durante todo o período de simulação.

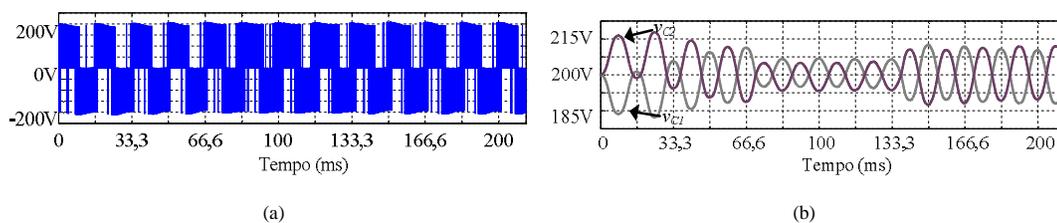


Figura 51 - (a) Tensão PWM de saída do NPC (b) Tensões nos capacitores de barramento

5.5 PROJETO DO CONTROLADOR SDRE

A partir do vetor de ganho do controlador LQR, definido em (5.14), pode-se utilizar a estratégia apresentada no capítulo 4 para definir os ganhos do controlador SDRE. Sabe-se que o vetor de ganhos do controlador SDRE é composto por ganhos que são variáveis em função da razão do erro (δ_n). Desta forma, pode-se definir os vetores de realimentação de estados dos controladores SDRE para o conversor *Buck* e para o Inversor NPC respectivamente em definidos em (5.17) e (5.18).

$$K_{SDRE\ Buck} = \left[\left(2233 * \exp(e_{v_{co}}) \right) \quad \left(16128 * \exp(e_{i_{co}}) \right) \right] \quad (5.17)$$

$$K_{SDRE\ NPC} = \left[\left(4163 * \exp(e_{v_{co}}) \right) \quad \left(1,24e7 * \exp(e_{i_{co}}) \right) \right] \quad (5.18)$$

Na Figura 52 são apresentadas as respostas aos steps iniciais do conversor *Buck* e do Inversor NPC operando em malha fechada com o controlador SDRE projetado.

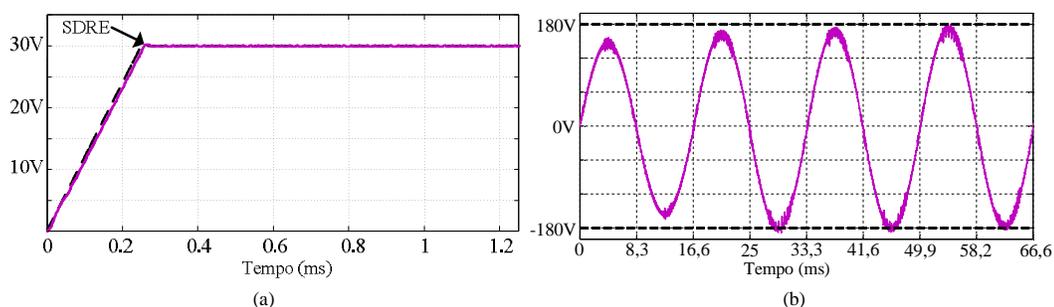


Figura 52 - SDRE – Transitório inicial da tensão de saída (a) Buck (b) NPC

Na Figura 53 são apresentadas as correntes dos indutores de saída do filtro LC, onde se é possível observar os detalhes dos degraus de carga.

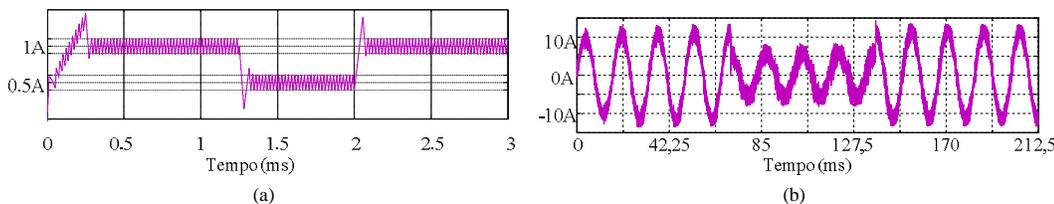


Figura 53 - SDRE - Corrente do indutor do filtro de saída (a) Buck (b) NPC

Na Figura 54 são apresentados os detalhes das tensões de saída nos instantes onde são simulados os dois degraus de carga.

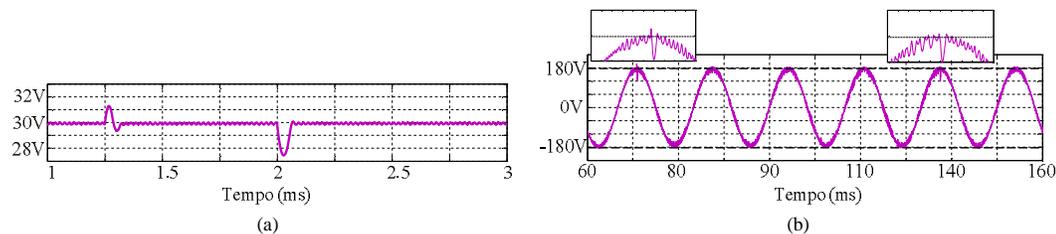


Figura 54 - SDRE - Tensão de saída na ocorrência dos degraus de carga (a) Buck (b) NPC

Na Figura 55 são apresentadas a tensão de saída PWM do Inversor NPC medida antes do filtro LC, onde se pode observar os três níveis da topologia, e as tensões dos capacitores do barramento CC durante todo o período de simulação.

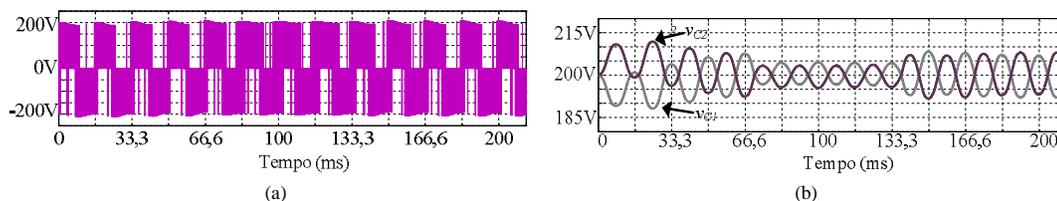


Figura 55 - (a) Tensão PWM de saída do NPC (b) Tensões nos capacitores de barramento

5.6 PROJETO DO CONTROLADOR WAC

Após análises das simulações realizadas, em relação à resposta dos sistemas durante perturbações de carga e o erro em regime permanente, é possível observar que os controladores estudados apresentam respostas distintas a cada situação. Essas respostas podem ser observadas com maior clareza no conversor *Buck* por apresentar uma referência contínua.

A partir da Figura 56, onde é apresentado o comparativo do transitório inicial de cada controlador simulado. Pode-se observar que as estratégias de controle apresentam respostas distintas. Alguns controladores são mais eficientes para diminuir o tempo de assentamento, onde os controladores ANLPID-GGF, LQR e SDRE se destacam em relação ao controlador PID.

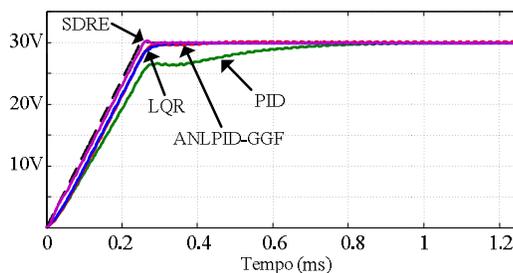


Figura 56 - Comparativo do transitório inicial da tensão de saída do conversor Buck

Na Figura 57 é apresentado o comparativo da tensão de saída em regime permanente de cada controlador simulado. Pode-se observar, neste caso, que os controladores PID e ANLPID-GGF se destacam em relação aos LQR e SDRE.

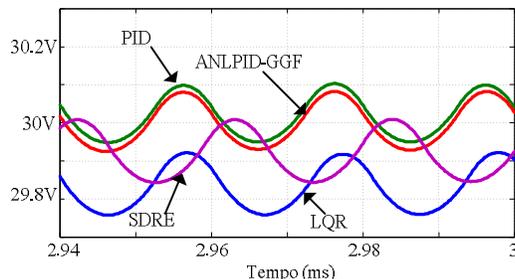


Figura 57 - Comparativo da tensão de saída em regime permanente do conversor Buck

Quando comparadas às respostas dos controladores nos instantes dos degraus de carga, pode-se observar na Figura 58, que as estratégias distintas também apresentam respostas distintas. Destacando-se os controladores LQR e SDRE, por apresentarem menos *overshoot* e melhor tempo de estabilização.

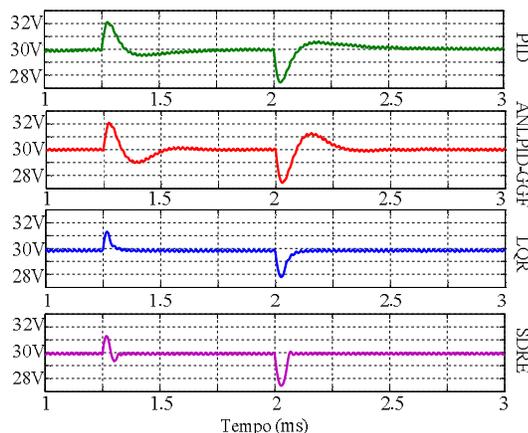


Figura 58 - Comparativo da tensão de saída na ocorrência dos degraus de carga do conversor Buck

São apresentadas três estratégias de implementação do controlador adaptativo ponderado. Como comentado no capítulo 4, é adotada a notação $C_1(s)//C_2(s)$ para representar diferentes controladores utilizando o Controlador Adaptativo Ponderado.

Os controladores testados PID, ANLPID-GGF, LQR e SDRE projetados neste capítulo são utilizados nas associações conforme a estratégia proposta pelo Controlador Adaptativo Ponderado. As estratégias testadas são: PID//LQR, ANLPID-GGF//SDRE e PID//SDRE.

São definidos os pesos (w_1 e w_2) com o algoritmo apresentado em (4.33) utilizando o valor de e_w igual a 1V.

O primeiro teste é a associação entre os controladores lineares estudados neste trabalho: o controlador PID com o controlador LQR. Na Figura 59 pode-se observar o transitório do conversor *Buck* em malha fechada com Controlador Adaptativo Ponderado PID//LQR, em comparação com as respostas dos controladores implementados individualmente.

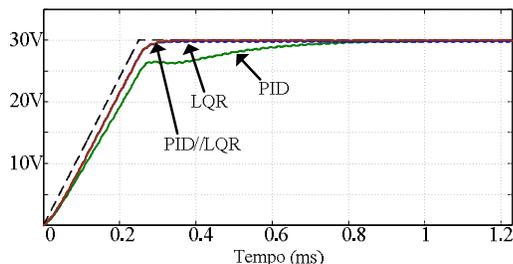


Figura 59 - PID//LQR – Transitório inicial da tensão de saída do conversor Buck

Na Figura 60 é possível observar em detalhes as respostas para as perturbações de carga. Nota-se que o controlador adaptativo ponderado apresenta um tempo de resposta tão eficiente quanto o controlador LQR e erro nulo em estado estacionário como o controlador PID, ou seja, utilizando as melhores características de cada controlador.

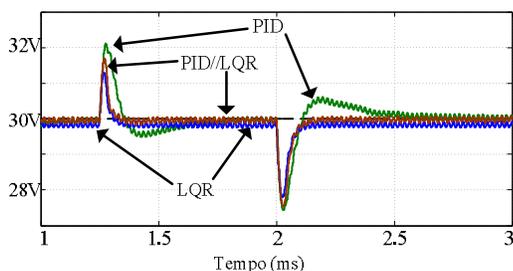


Figura 60 - PID//LQR – Tensão de saída na ocorrência dos degraus de carga do conversor Buck

O segundo controlador testado é a associação entre os dois controladores não-lineares estudados: ANLPID-GGF e SDRE. Na Figura 61 é possível observar o transitório do conversor *Buck* em malha fechada com Controlador Adaptativo Ponderado ANLPID-GGF//SDRE, em comparação com as respostas de cada controlador distinto.

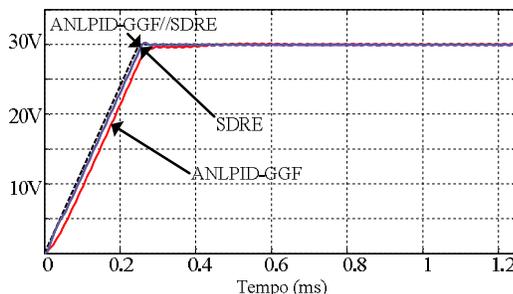


Figura 61 - ANLPID-GGF//SDRE – Transitório inicial da tensão de saída do conversor Buck

Na Figura 62 observa-se em detalhes as respostas para as perturbações de carga do controlador ANLPID-GGF//SDRE em comparação com as respostas dos controladores implementados individualmente submetidos aos mesmos distúrbios.

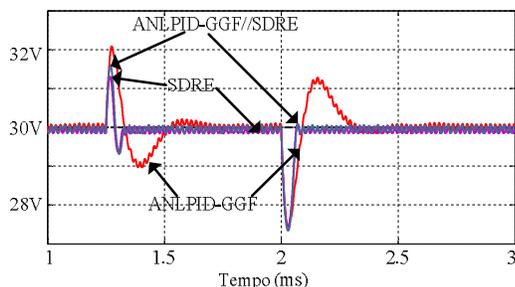


Figura 62 - ANLPID-GGF//SDRE – Tensão de saída na ocorrência dos degraus de carga do conversor Buck

O terceiro controlador testado é com a associação entre um controlador linear e outro não linear: o controlador PID e o controlador SDRE. Na Figura 63 observa-se o transitório do conversor *Buck* em malha fechada com Controlador Adaptativo Ponderado PID//SDRE em comparação com as respostas de cada controlador individual.

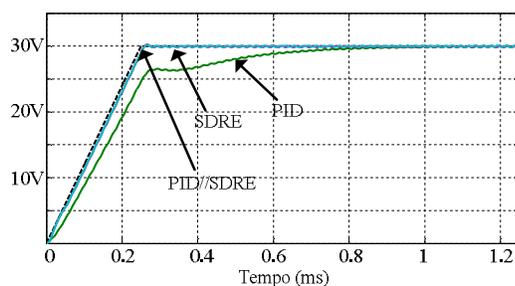


Figura 63 - PID//SDRE – Transitório inicial da tensão de saída do conversor Buck

Na Figura 64 é possível observar em detalhes as respostas para as perturbações de carga. Como nos outros testes, os resultados com o controlador adaptativo ponderado apresentou respostas melhores em tempo de estabilização e *overshoot* considerando as melhores características de cada controlador individual.

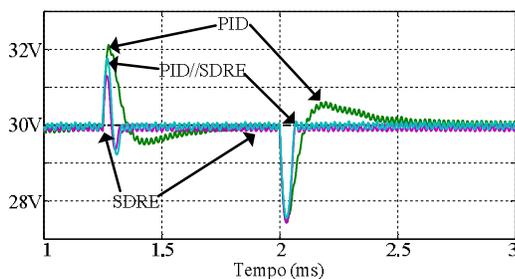


Figura 64 - PID//SDRE – Tensão de saída na ocorrência dos degraus de carga do conversor Buck

Na Figura 65 são apresentadas as correntes dos indutores do filtro de saída referentes às três estratégias de controladores adaptativos ponderados propostas neste trabalho. É possível observar que em todas as associações dos controladores testados os valores de pico de corrente e tempo de estabilização foram semelhantes.

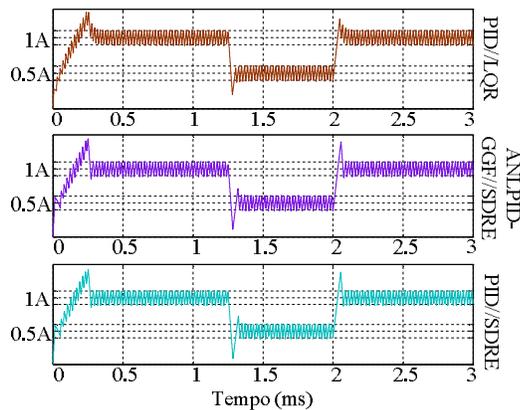


Figura 65 - Controle Adaptativo Ponderado - Corrente do indutor do filtro de saída do conversor Buck

5.7 PROJETO DO CONTROLADOR HTAC

O Controle Adaptativo por Tangente Hiperbólica apresenta os ganhos definidos através da função expressa em (4.34). Pelas análises realizadas nas simulações com controlador adaptativo ponderado, notou-se que as três estratégias testadas apresentaram respostas muito semelhantes devido ao fato de todos os controladores terem sido projetados para manter os mesmos pólos dominantes do malha fechada. Devido à simplicidade de implementação, optou-se neste tópico pela implementação da associação dos controladores lineares (PID e LQR). A implementação é representada graficamente na Figura 66.

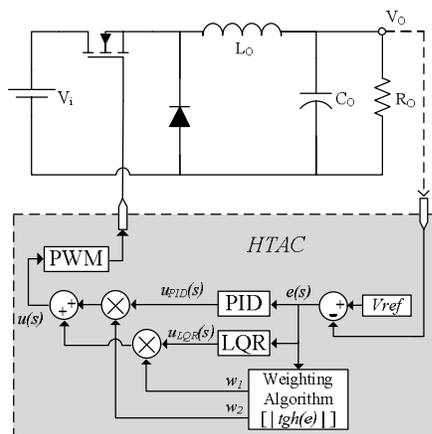


Figura 66 - Estratégia de controle HTAC aplicada ao conversor Buck

O resultado do transitório inicial da simulação realizada com o controlador HTAC é apresentado na Figura 67.

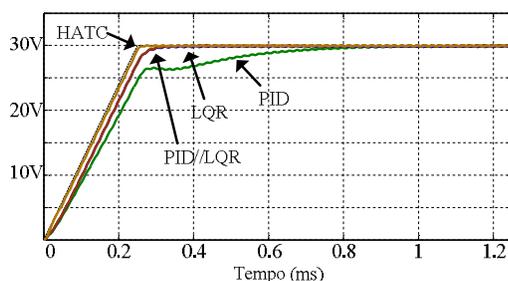


Figura 67 - HTAC – Transitório inicial da tensão de saída do conversor Buck

Através da Figura 67, onde são apresentadas as respostas do controle PID, controle LQR e do controle PID//LQR, é possível observar que o controlador HTAC apresentou a melhor resposta em relação aos controles comparados.

Na Figura 68 é possível observar com maior detalhe a tensão de saída em regime permanente e a resposta dos controles aos degraus de carga. Os controladores PID, PID//LQR e HTAC apresentam respostas sem erro em regime permanente. Porém é possível observar que para as perturbações de carga o controlador HTAC apresenta *overshoot* e tempo de assentamento menores.

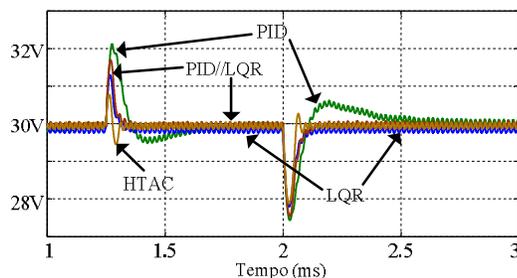


Figura 68 - HTAC – Tensão de saída na ocorrência dos degraus de carga do conversor Buck

Na Figura 69 é apresentado o erro medido durante todo o período da simulação do controlador HTAC.

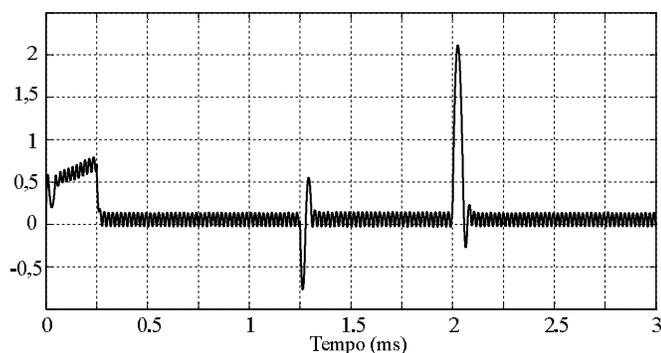


Figura 69 - HTAC – erro(t) do conversor Buck

Na Figura 70 são apresentadas as variações dos pesos obtidos e utilizados na simulação do controlador HTAC. Relacionando a Figura 69 e Figura 70, pode-se observar que em instantes de erros maiores o peso (w_1) referente ao controlador LQR é maior, tornando a ação do controlador LQR dominante. Nos instantes onde o erro é próximo de zero, o valor do peso (w_2) referente ao controlador PID predomina.

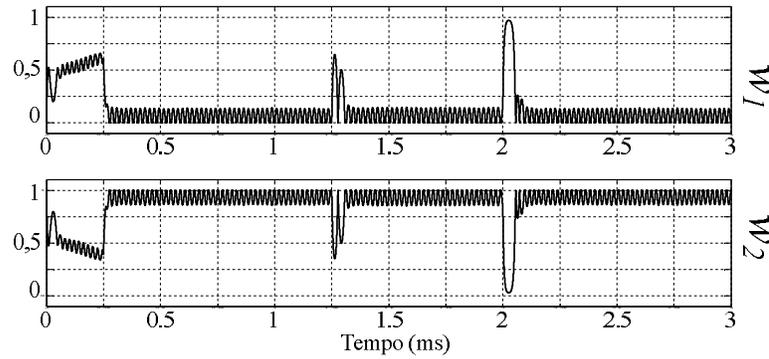


Figura 70 - Valores dos pesos implementados do controlador HTAC

6 CONTROLE DIGITAL IMPLEMENTADO EM FPGA

6.1 INTRODUÇÃO

A utilização de controladores implementados digitalmente são cada vez mais comuns em sistemas modernos de controle devido ao melhor desempenho e confiabilidade intrínseca dos hardwares utilizados como os microcontroladores, microprocessadores, DSPs e FPGAs, ou seja, os circuitos integrados responsáveis pelo processamento do sinal adquirido da planta (CHAN, 2007). Para aplicação desses controladores discretos, é necessário converter os sinais adquiridos analogicamente em sinais digitais através de um conversor Analógico/Digital (A/D). O processo de conversão inverso deve ocorrer nos sinais de comando do controlador que fornece ao sistema controlado um sinal PWM (*Pulse Width Modulation*). A Figura 71 apresenta o diagrama de blocos de um sistema de controle digital implementado em FPGA. A saída $y(t)$ medida é convertida em $y[n]$ e comparada ao sinal de referência, $r[n]$, gerando o valor de erro, $e[n]$. Esse sinal discreto é processado pelo controlador digital e através do conversor D/A o sinal de comando do controlador digital é convertido de $u[n]$ para $u(t)$ e aplicado novamente na planta fechando a malha do sistema.

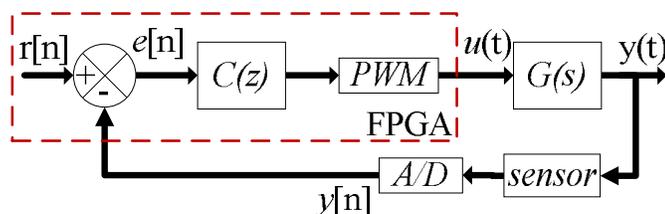


Figura 71 - Sistema geral de controle digital

6.2 FIELD PROGRAMMABLE GATE ARRAY (FPGA)

A evolução tecnológica dos dispositivos eletrônicos tem sido muito significativa nos últimos anos. Com o aumento do desempenho dos microcontroladores e processadores digitais de sinais (DSP), bem como a ascensão dos Field-Programmable Gate Array (FPGA), associados às altas velocidades dos atuais conversores A/D, alguns conceitos relacionados ao

processamento de sinal digital foram reavaliados e novas formas de processamento matemático e de algoritmos desenvolvidos (KREIN, SAHOO, 2007; JIMÉNEZ, 2011).

Os FPGAs são dispositivos com lógica de programação flexível. Com estes tipos de hardware é possível implementar diversos tipos de lógicas e funções. Como a pinagem também é na sua maioria flexível, tem a facilidade de adaptar-se a projetos e hardware sem a necessidade da mudança do layout do sistema. Tem-se então a possibilidade de reconfigurar o hardware para aplicações específicas, mesmo depois do dispositivo já ter sido instalado no produto final.

A capacidade de processamento dos hardwares FPGA, permitindo o aumento da funcionalidade de um sistema, traz vantagens para muitas áreas de aplicação, como no setor automotivo, em transmissão de dados, computadores, aplicações médicas, militares, testes e medições sem fio, entre outras áreas (ALTERA, 2013).

A principal diferença e vantagem do FPGA quando comparado aos clássicos DSP é o método de processamento, onde no FPGA é realizado de maneira paralela, diferentemente dos DSPs onde ocorre de maneira sequencial.

Em sistemas de condicionamento de energia elétrica que utilizam conversores estáticos que operam com comutações em alta frequência, a integração de hardwares de alta performance com técnicas de controle linear e não linear, implementados digitalmente, proporcionou a melhoria do desempenho (CHAN, 2007). Para obter essa melhoria de desempenho através de hardware, a utilização de FPGA vem se tornando cada vez mais atrativa devido às suas vantagens em relação aos clássicos DSPs.

6.3 FERRAMENTA DE PROGRAMAÇÃO DSP BUILDER

Através do software QUARTUS II, é possível desenvolver e efetuar o upload de códigos de programação para os FPGAs. Os FPGAs podem ser programados usando a linguagem de descrição de hardware (HDL), que descreve as conexões das portas lógicas podendo-se tornar uma infinidade de estruturas lógicas como blocos de somadores na forma de multiplicadores e registradores. O HDL aloca recursos dedicados para as tarefas descritas no código permitindo assim a operação paralela do algoritmo. No entanto, a complexidade da codificação de HDL pode ser uma barreira para muitas aplicações de engenharia elétrica (MEKONNEN, 2012).

Como uma alternativa à programação HDL, existem ferramentas que, através de uma programação de alto nível, como programação visual por blocos, facilitam a criação do código HDL para implementações utilizando FPGA (YANG MIN, 2009).

As ferramentas de programação de FPGAs são geralmente fornecidas ou comercializadas pelos fabricantes do próprio componente. Uma alternativa de programação dos FPGAs fabricados pela ALTERA é a ferramenta *DSP Builder* comercializada pelo fabricante, que fornece os blocos de “*design*” gráfico para executar simulações em um ambiente MATLAB/SIMULINK. Na Figura 72 é possível observar dentro da aba “*Simulink Library Browser*” a biblioteca da ferramenta *DSP Builder* instalada no MATLAB/SIMULINK.

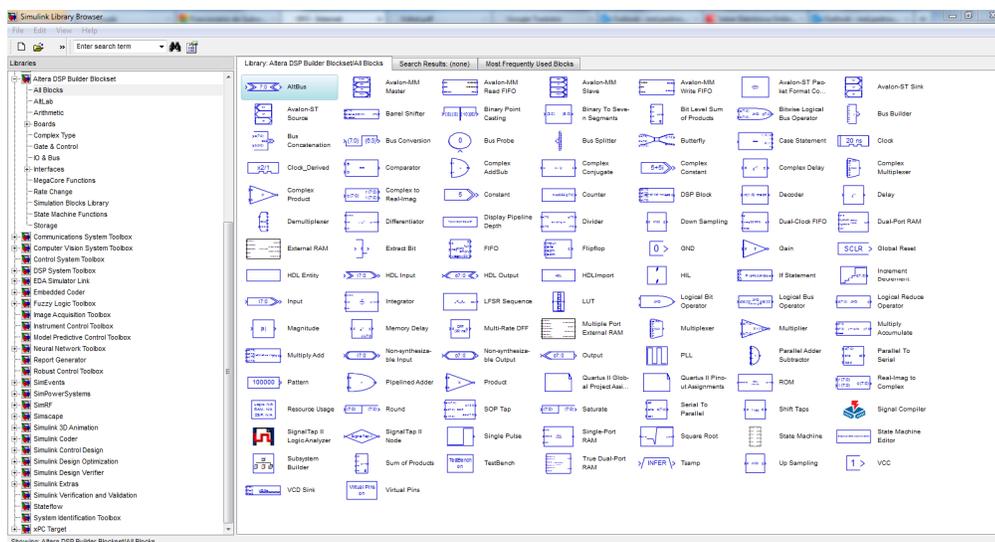


Figura 72 - Biblioteca DSP Builder

Com o *DSP Builder* instalado é possível realizar simulações com os blocos da mesma maneira que quando utilizados os próprios blocos da ferramenta do SIMULINK. Como no SIMULINK, cada bloco representa uma função ou um conjunto de funções pré-definidas que permitem ao usuário realizar a programação de maneira visual.

Com a programação em blocos é possível, através do bloco “*Signal Compiler*”, apresentado na Figura 73, gerar o código HDL de todo o projeto simulado dentro do SIMULINK.



Figura 73 - Bloco Signal Compiler

Através deste bloco cada circuito lógico, funções e operações realizadas dentro da simulação são convertidos e otimizados para a geração do código HDL que pode posteriormente ser compilado no QUARTUS II ou simplesmente descarregado no FPGA.

A limitação da necessidade de usar o QUARTUS II ou não, está de acordo com o hardware FPGA utilizado, pois deve fazer parte da biblioteca dentro do *DSP Builder*. O *DSP Builder* apresenta em sua biblioteca alguns FPGAs, dentro da aba “*Boards*”. Desta forma, nos casos em que o FPGA a ser utilizado seja compatível com algum dispositivo da biblioteca, não há a necessidade de utilizar o QUARTUS II, sendo feito todo o mapeamento de entradas e saídas de pinos e o próprio download do programa dentro do SIMULINK. Caso contrário, deve ser utilizado o comando do *signal compiler* para geração do código HDL e o mapeamento da pinagem e a compilação do programa devem ser feitos no QUARTUS II.

Alguns outros blocos específicos também apresentam funções que interligam os softwares MATLAB e QUARTUS II, onde por meio destes blocos é possível utilizar desde códigos HDL desenvolvidos até projetos completos criados no próprio QUARTUS II.

6.4 DISCRETIZAÇÃO DOS CONTROLADORES

Sabe-se que para implementação embarcada de controladores é necessário a discretização das suas funções. Assim, é possível realizar os cálculos e obter os valores desejados na lei de controle da planta. A complexidade da implementação de controladores está diretamente associada à quantidade de funções necessárias para se controlar um sistema. Em geral essas funções são implementadas na forma de equações a diferenças, onde são utilizados métodos consolidados de discretização (OGATA, 1995). Geralmente é usado o recurso de tabelas de consulta.

Devido à alta taxa de aquisição dos atuais conversores A/D associada à velocidade e paralelismo de processamento do FPGA, pode-se trabalhar com um sistema discreto muito semelhante a um sistema em tempo contínuo. Com o FPGA é possível, através de operações matemáticas simples, implementar as funções complexas de acordo com a lei de cada controlador.

6.4.1 PID Discreto

O controlador PID é que composto pela soma de três componentes, ou seja, proporcional, integral e derivada do erro do sistema. Sabe-se que os ganhos do controlador

PID são constantes. Desta forma, é necessário calcular os valores da integral e da derivada do erro, visto que a parcela proporcional é dada simplesmente por um ganho, como apresentado Figura 74. Essa representação gráfica é equivalente à representação na programação em blocos utilizando *DSP Builder*.

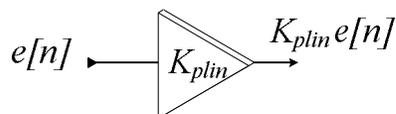


Figura 74 - Representação gráfica da parcela proporcional

A Figura 75 apresenta o comparativo dentro do *Simulink* com o bloco de ganho “Gain” do MATLAB com o do *DSP Builder*.

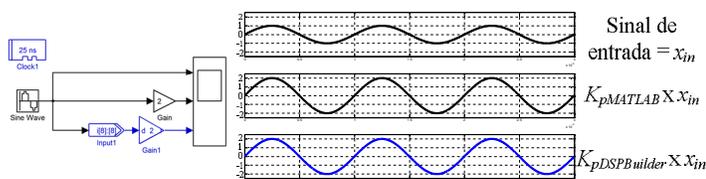


Figura 75 - Comparativo do bloco Ganho

O termo integrativo pode ser aproximado por métodos de integração numérica, isto é: integração backward Euler, forward e trapezoidal, apresentados na Figura 76.

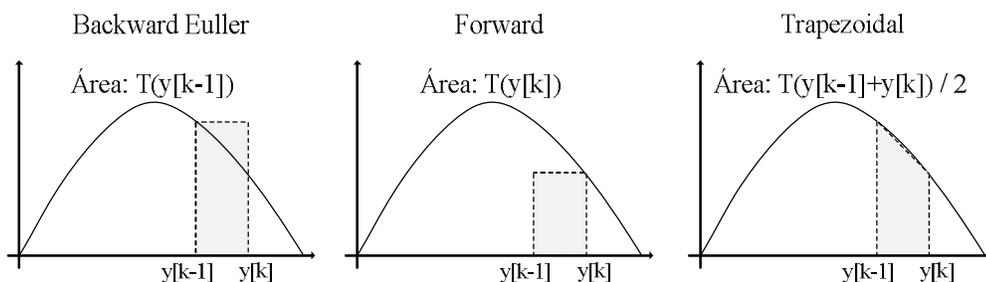


Figura 76 - Métodos de integração discreta

Utilizando a integração de Euler, pode-se definir a integral contínua e discreta do erro em (6.1), representado na maneira discreta do erro em (6.2).

$$e_i(t) = \int e(t)dt \quad (6.1)$$

$$e_i[n] = (e_i[n-1] + e[n])T_s \quad (6.2)$$

É importante ressaltar que o parâmetro T_s é o período de amostragem do conversor A/D e o valor $[n-1]$ está relacionado a uma amostra anterior em relação ao instante de amostragem. A implementação gráfica da parcela integral é representada Figura 77.

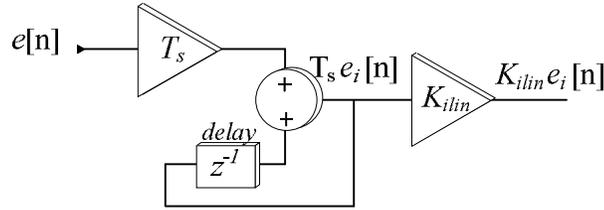


Figura 77 - Representação gráfica da parcela integral

Pode-se observar na implementação de blocos que o fator de [n-1] é representado pelo bloco “delay” (z^{-1}). Deve-se levar em consideração a relação entre a frequência de amostragem e a frequência de processamento do FPGA. Por exemplo, se a taxa de amostragem for uma década abaixo do processamento, o valor do delay deve ser ajustado no código para z^{-10} . Na Figura 78 é apresentado o comparativo entre o bloco Integrador do MATLAB com o integrador feito com blocos do *DSP Builder*.

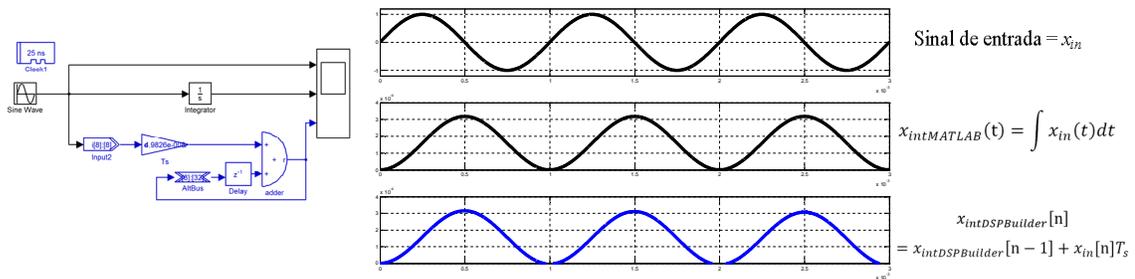


Figura 78 - Comparativo do bloco Integrador

Partindo da derivada contínua do erro expressa em (6.3), a partir da aproximação de Euler pode-se definir a parcela derivativa do erro do sistema em (6.4).

$$e_d(t) = \frac{de(t)}{dt} \tag{ 6.3 }$$

$$e_d[n] = \frac{e[n] - e[n - 1]}{T_s} \tag{ 6.4 }$$

A implementação gráfica da parcela derivativa implementada em FPGA é representada na Figura 79.

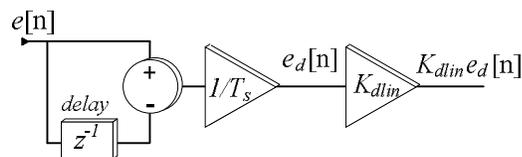


Figura 79 - Representação gráfica da parcela derivativa

Na Figura 80 é apresentado o comparativo entre o bloco Integrador do MATLAB com o integrador feito com blocos do *DSP Builder*, onde pode-se observar que houve a necessidade da implementação de um filtro de 1º ordem seguido do algoritmo de derivação.

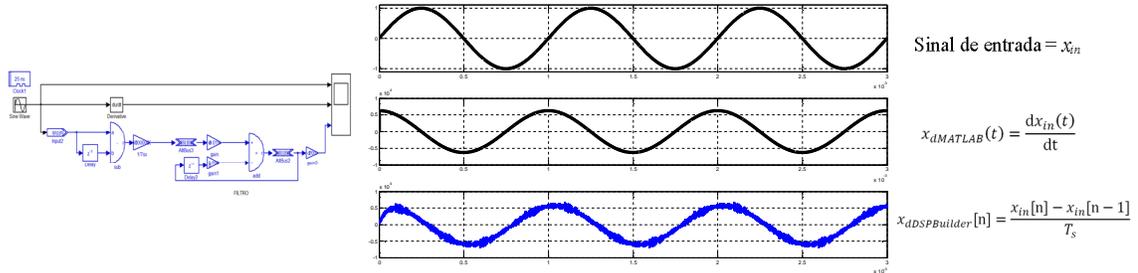


Figura 80 - Comparativo do bloco Derivativo

Desta forma, lei de controle do controlador PID discreto implementado em FPGA é expressa em (6.5) e a representação em blocos do controlador é apresentada na Figura 81.

$$u_{PID}[n] = K_{plin} e[n] + K_{ilin} e_i[n] + K_{alim} e_d[n] \quad (6.5)$$

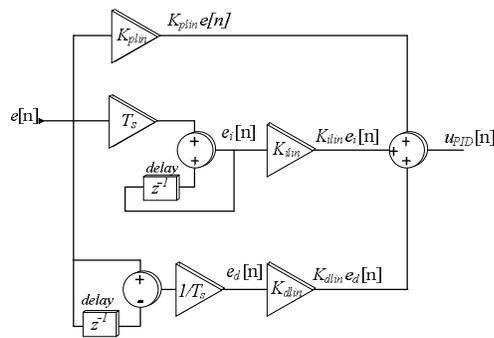


Figura 81 - Diagrama de blocos PID discreto

6.4.2 ANLPID-GGF Discreto

O controlador ANLPID-GGF, conforme apresentado anteriormente, apresenta as mesmas parcelas proporcional, integral e derivativa em relação ao erro do sistema. Porém, neste caso, os ganhos não são valores fixos e sim definidos por funções gaussianas em relação ao erro. Além dessas componentes relativas ao erro, o ANLPID-GGF também apresenta as funções gaussianas que atuam nas adaptações dos valores dos ganhos.

Sabe-se que (6.6) representa a função que define os ganhos do controlador ANLPID-GGF. Analisando essa função, pode se observar a presença de um valor exponencial que influencia diretamente na curvatura da gaussiana em conjunto com (4.4).

$$f_n(\delta) = K_1 - (K_1 - K_0)e^{-p\delta^2} \quad (6.6)$$

Para implementar a função exponencial no FPGA é utilizada a representação por série de somas, expressa (6.7)

$$\exp(x) = \sum_{n=0}^{\infty} \frac{x^n}{n!} \quad (6.7)$$

Devido à implementação discreta ter que ser composta por uma soma finita de valores, foi definido o valor de $n=3$. Assim, é definida uma expressão com operações simples e que se aproxima da função exponencial em (6.8)

$$\exp(x[n]) = x[n] + 0,5 x[n] x[n] + 0,1665 x[n] x[n] x[n] \quad (6.8)$$

A representação gráfica do bloco exponencial discreto implementado é apresentado na Figura 82.

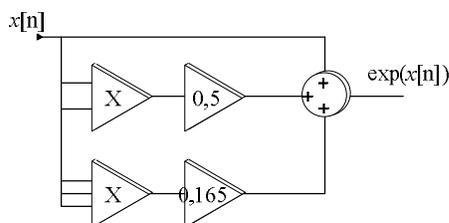


Figura 82 - Representação gráfica da exponencial discreta

Na Figura 83 são apresentados os resultados da simulação de um sinal de entrada normalizado com variação de 0 a 1, onde esse sinal é processado pelo bloco exponencial do MATLAB e pelo algoritmo usado com o *DSP Builder*.

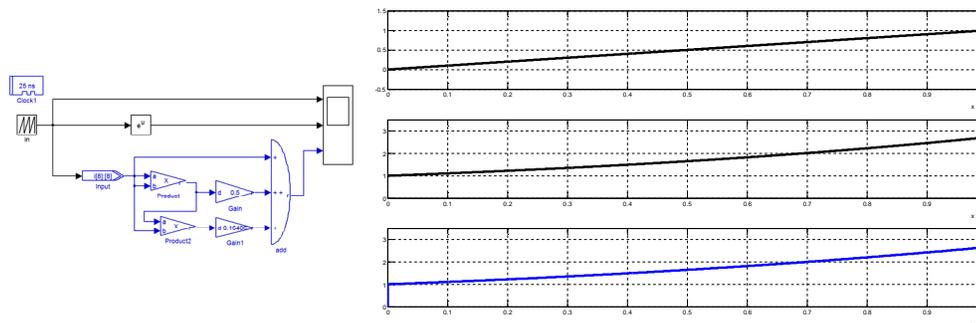


Figura 83 - Comparativo do bloco Exponencial

Sabendo-se que δ é o erro do sistema e o fator p um parâmetro do projeto, define-se os valores de K_1 e K_0 , aplicando (6.8). A Figura 84 representa graficamente a equação (6.6).

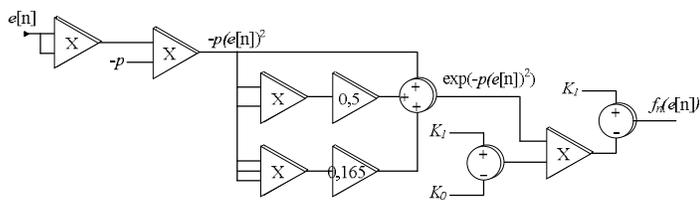


Figura 84 - Representação da função genérica dos ganhos do ANLPID-GGF

A representação da implementação discreta completa do controlador ANLPID-GGF é apresentada na Figura 85

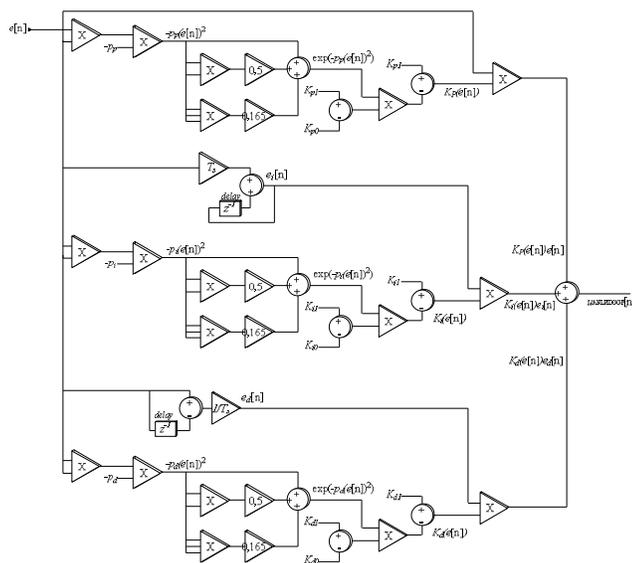


Figura 85 - Diagrama da implementação do ANLPID-GGF

6.4.3 LQR Discreto

Dentre os quatro controladores projetados, o LQR se destaca devido à sua simples implementação. Se todas as variáveis de estados forem mensuradas, o controlador opera simplesmente com ganhos. A representação gráfica referente à lei de controle apresentada em (4.9) é apresentada na Figura 86.

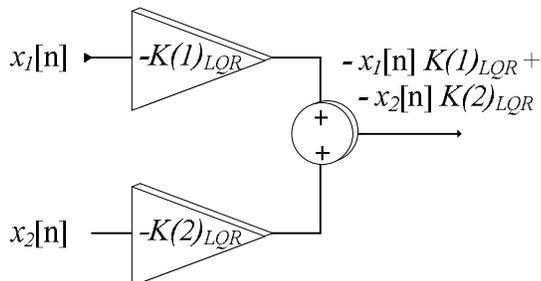


Figura 86 - Representação gráfica da lei de controle geral do controlador LQR

Podem existir situações onde uma variável de estado é a própria derivada da outra, por exemplo $x_2 = x'_1$. Assim, é possível medir somente uma variável e estimar a outra através do programa. Desta forma, na implementação do controlador LQR é necessária a implementação da função derivativa antes da multiplicação do ganho de realimentação de estados, como apresentado na Figura 87.

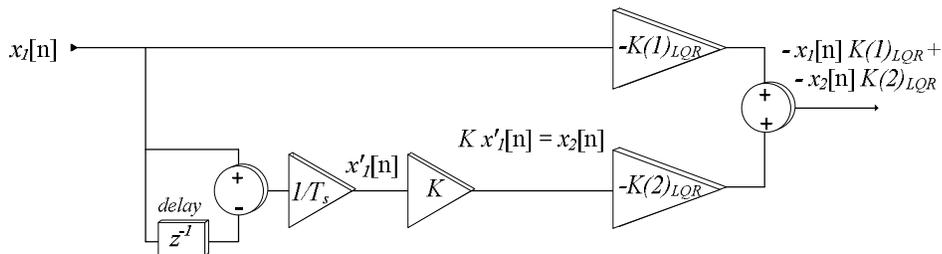


Figura 87 - Representação gráfica do controlador LQR estimando uma variável

A Figura 88 apresenta a representação gráfica da implementação do controlador LQR quando se tem a necessidade de uma referência a alguma das variáveis, como apresentado no capítulo anterior.

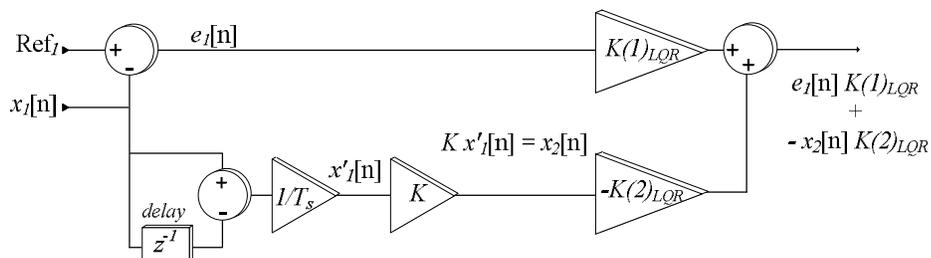


Figura 88 - Representação gráfica do controlador LQR com referência fixa

6.4.4 SDRE Discreto

Como apresentado no capítulo anterior, o controlador SDRE é derivado do controlador LQR onde os ganhos variam em função das variáveis de estado. A maneira de implementação apresentada neste trabalho depende da equação. Assim, é necessária a implementação da função exponencial referente à lei de controle do controlador SDRE conforme representada graficamente na Figura 89.

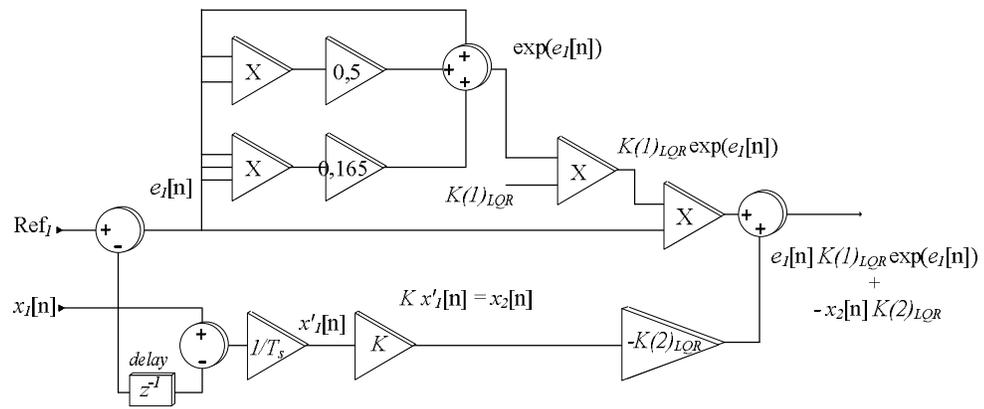


Figura 89 - Representação gráfica do controlador SDRE

7 RESULTADOS IMPLEMENTADOS EM FPGA

Neste capítulo são apresentados os resultados de simulação dos conversores *Buck* e NPC utilizando a ferramenta *DSP Builder* integrada ao MATLAB/SIMULINK com objetivo de validar as implementações discretas dos controladores aplicadas nestes conversores. Os dados de projeto utilizados são os mesmo apresentados na Tabela 6 do capítulo 5. Também serão apresentados os resultados experimentais do conversor *Buck* utilizando o controlador PID implementado em FPGA.

7.1 RESULTADOS DE SIMULAÇÃO COM DSP BUILDER

Para ser feita a programação do FPGA foi utilizada a ferramenta *DSP Builder* em ambiente MATLAB/SIMULINK. Na Figura 90 são apresentados e discriminados os detalhes de toda a simulação realizada.

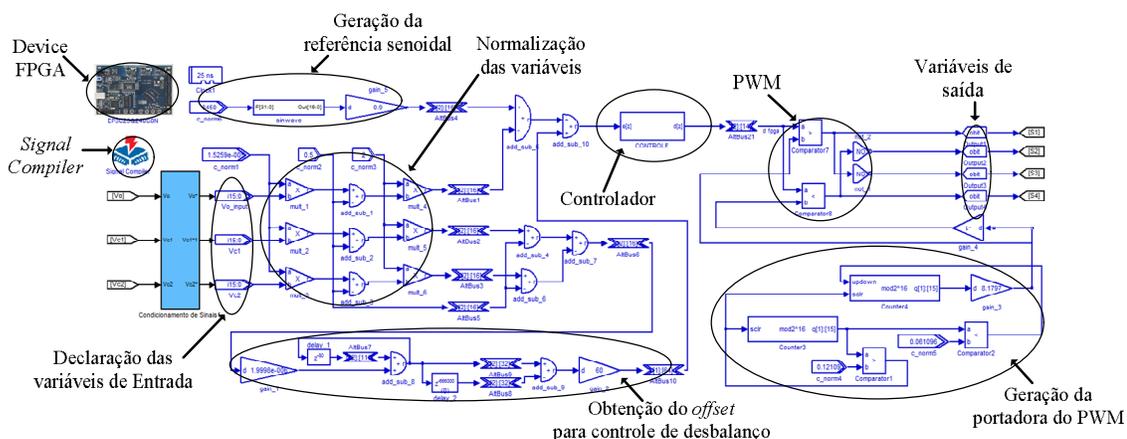


Figura 90 - Simulação algoritmo do FPGA com DSP Builder

Para realizar a simulação com os blocos da ferramenta *DSP Builder*, deve-se discretizar as variáveis do sistema através da simulação da conversão A/D. A conversão A/D é simulada através de um sistema de atraso (*transport delay*) em série com um interpolador de ordem Zero, com tempo de uma taxa de amostragem, seguidos de um quantizador configurado de acordo com a resolução do conversor A/D prático. O bloco de conversão A/D dentro condicionamento de sinais é representado na Figura 91.

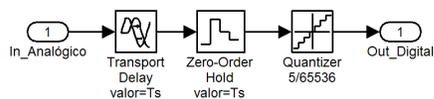


Figura 91 - Representação do bloco do conversor A/D

A sequência dos distúrbios (degraus de carga) testados nas simulações com os controladores discretos para os conversores *Buck* e para o Inversor NPC são apresentados respectivamente na Tabela 10.

Tabela 10 - Sequência da simulação *Buck* (a) e NPC (b)

(a)		(b)	
Tempo (ms)	Carga	Tempo (s)	Carga
0	30Ω	0	15Ω
3	60Ω	0,07	30Ω
6	30Ω	0,13	15Ω

Na Figura 92 é apresentado o controlador PID implementado em FPGA utilizando os blocos da ferramenta *DSP Builder*. Utilizou-se as funções discretas apresentadas no capítulo 6 para esta implementação. Os valores dos ganhos são os mesmos apresentados na Tabela 9 do capítulo 5.

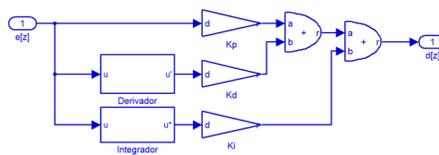


Figura 92 - PID implementado em DSP Builder

Na Figura 93 são apresentadas as simulações completas dos conversores *Buck* e NPC operando em malha fechada. Os conversores apresentam tensões de saída estáveis nos valores de referência mesmo sofrendo perturbações de carga.

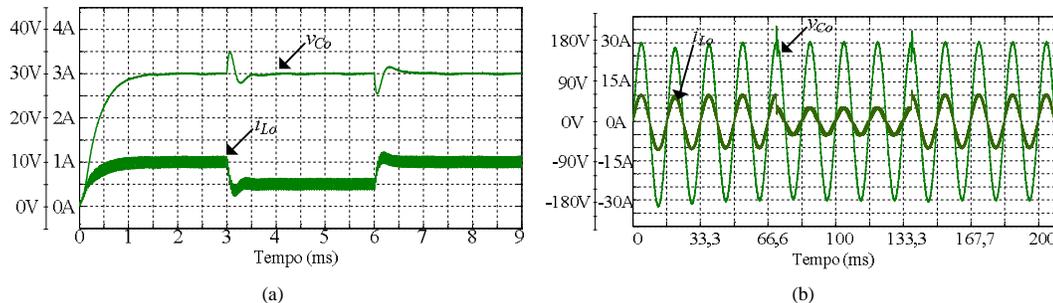


Figura 93 - PID DSP Builder Simulação completa (a) *Buck* (b) NPC

O detalhe dos transitórios iniciais dos conversores *Buck* e NPC são apresentados na Figura 94.

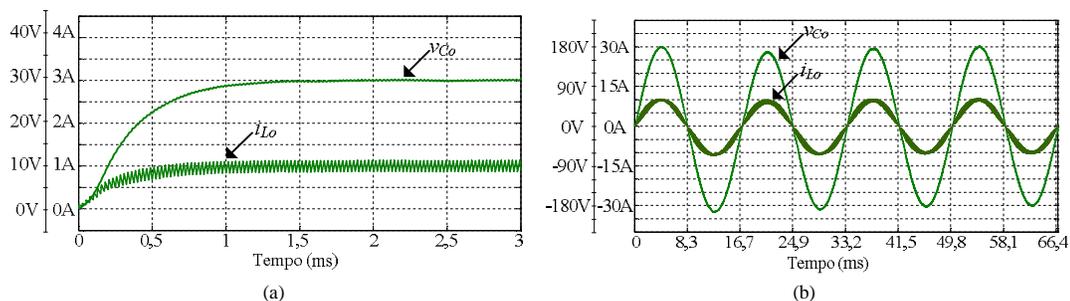


Figura 94 - PID DSP Builder – Transitório inicial da tensão de saída (a) Buck (b) NPC

Os degraus de carga para ambos os conversores operando com o controle PID discreto são apresentados respectivamente na Figura 95 e na Figura 96. Através destas figuras é possível observar que os conversores apresentaram respostas estáveis.

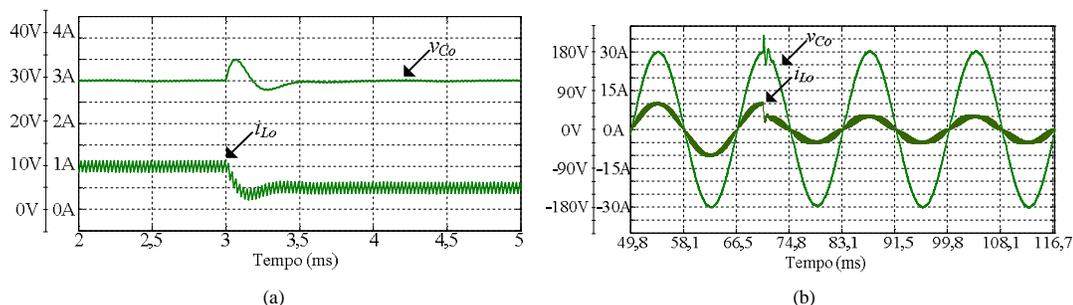


Figura 95 - PID DSP Builder – Primeiro degrau de carga (a) Buck (b) NPC

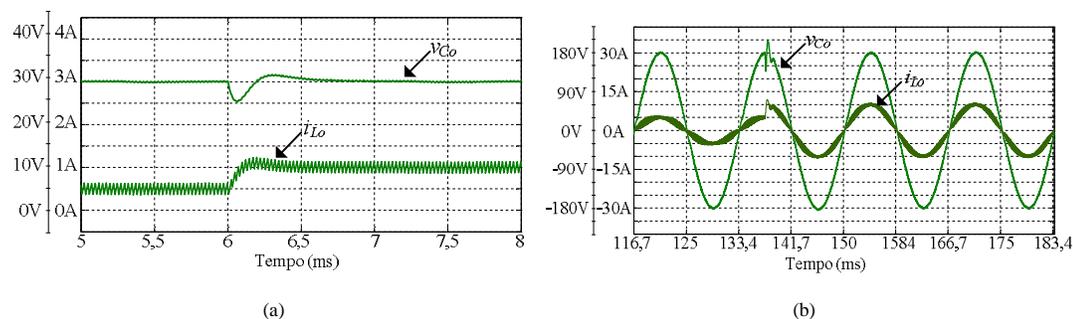


Figura 96 - PID DSP Builder - Segundo degrau de carga (a) Buck (b) NPC

Na Figura 97 (a) é apresentada a tensão de saída PWM do Inversor NPC obtida antes do filtro LC de saída apresentando os três níveis referentes à modulação da topologia.

Na Figura 97 (b) são apresentadas as tensões dos capacitores do barramento CC durante todo o período de simulação onde é possível observar que o equilíbrio destas tensões é mantido.

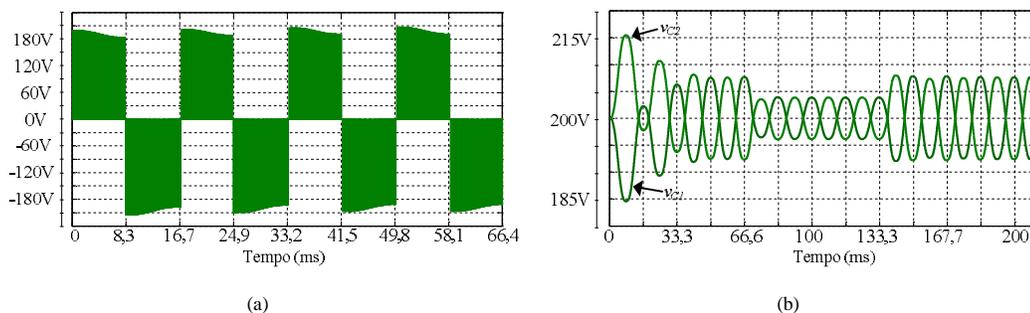


Figura 97 - PID DSP Builder – Tensão PWM do Inversor NPC (a) Tensões do barramento (b) NPC

Na Figura 98 é apresentada a implementação do controlador ANLPID-GGF usando a ferramenta *DSP Builder* no SIMULINK. Esta implementação é baseada na da implementação discreta da função genérica dos ganhos do controlador ANLPID-GGF apresentada na Figura 85 do capítulo 6.

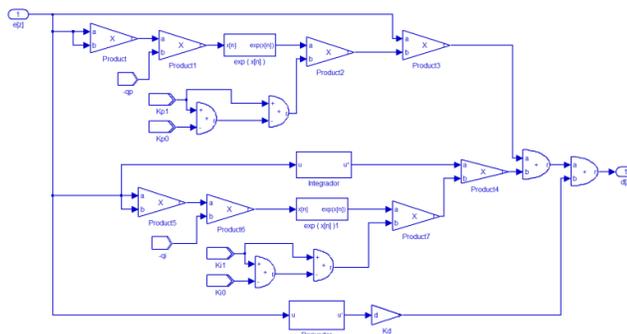


Figura 98 - ANLPID-GGF implementado em DSP Builder

Na Figura 99 são apresentadas as simulações completas dos conversores *Buck* e NPC operando em malhada fechada. Com o controlador ANLPID-GGF implementado com *DSP Builder*, onde ambos os conversores apresentam tensões de saída estáveis nos valores de referência mesmo sofrendo perturbações de carga.

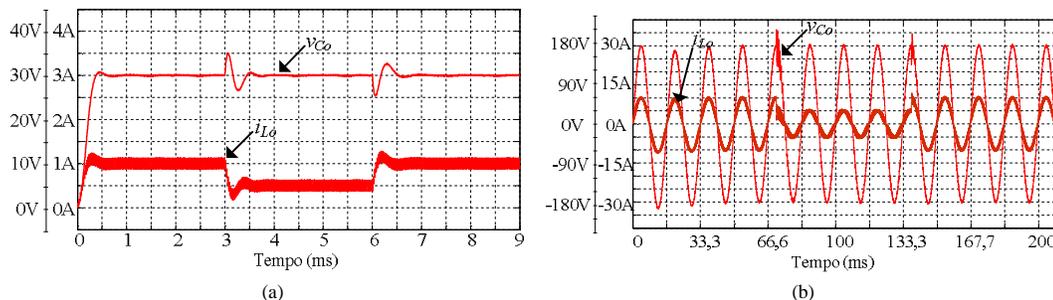


Figura 99 - ANLPID-GGF Builder - Simulação completa (a) Buck (b) NPC

Os transitórios iniciais dos conversores *Buck* e NPC operando em malhada fechada com controlador ANLPID-GGF são apresentados na Figura 100. Pode-se observar que ambos os

sistemas apresentam melhoras em tempo de assentamento se comparados aos sistemas operando com o controlador PID.

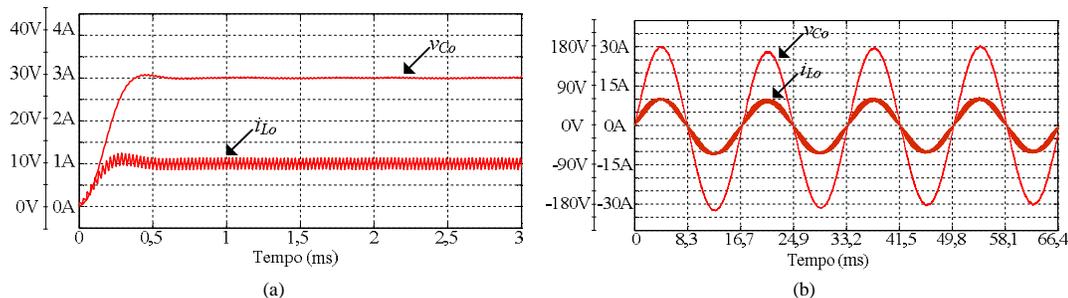


Figura 100 - ANLPID-GGF DSP Builder – Transitório inicial da tensão de saída (a) Buck (b) NPC

As respostas obtidas nos instantes onde ocorrem os degraus de carga são apresentadas na Figura 101 e na Figura 102 para ambos os conversores. No caso do conversor *Buck* as respostas foram semelhantes às respostas obtidas com PID, enquanto que para o Inversor NPC o tempo de estabilização foi maior do que o tempo na simulação com o controlador linear principalmente no primeiro degrau.

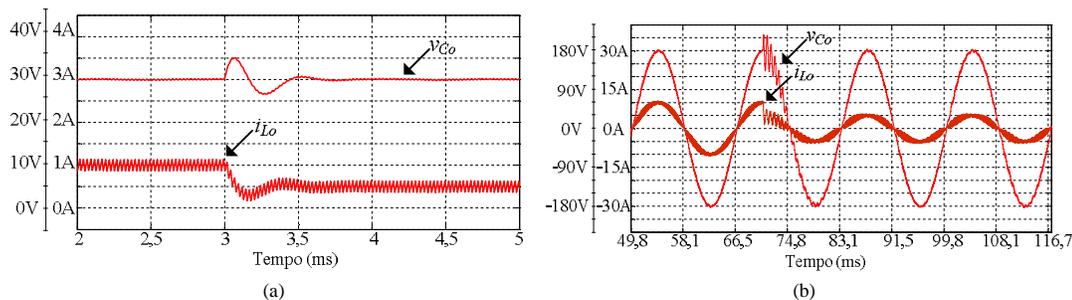


Figura 101 - ANLPID-GGF DSP Builder – Primeiro degrau de carga (a) Buck (b) NPC

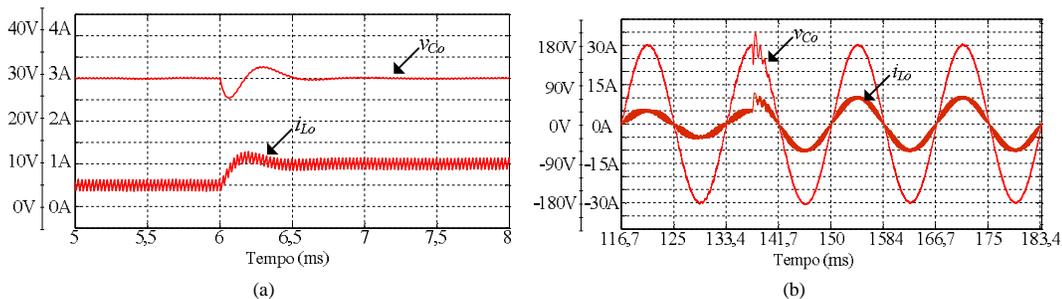


Figura 102 - ANLPID-GGF DSP Builder – Segundo degrau de carga (a) Buck (b) NPC

Na Figura 103 (a) é apresentada a tensão de saída PWM do Inversor NPC obtida antes do filtro LC de saída apresentando os três níveis referentes à modulação da topologia.

Na Figura 103 (b) são apresentadas as tensões dos capacitores do barramento CC durante todo o período de simulação onde se pode observar que é mantido o equilíbrio.

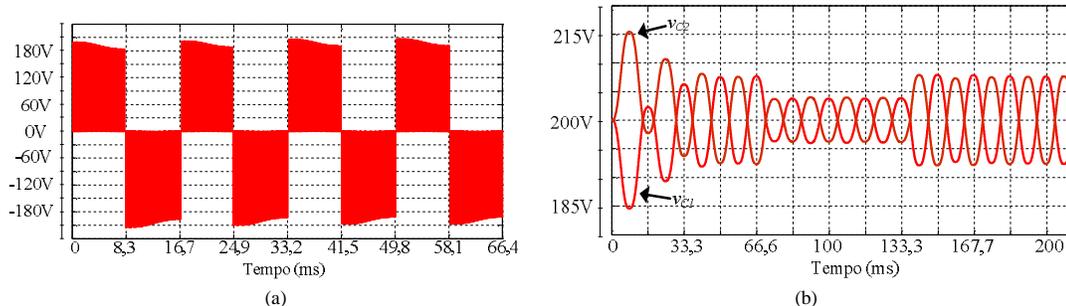


Figura 103 - ANLPID-GGF DSP Builder – Tensão PWM do Inversor NPC (a) Tensões do barramento (b) NPC

Baseado na discretização das funções do controlador LQR apresentada no capítulo 6, pode-se definir a implementação em blocos do DSP *Builder* para este controlador apresentado na Figura 104.

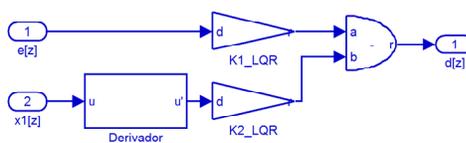


Figura 104 - LQR implementado em DSP Builder

Na Figura 105 são apresentadas as simulações completas durante todo o período de cada simulação dos conversores *Buck* e NPC operando em malhada fechada com os controladores LQR. Na Figura 106 são apresentados os detalhes dos transitórios iniciais dos conversores *Buck* e NPC.

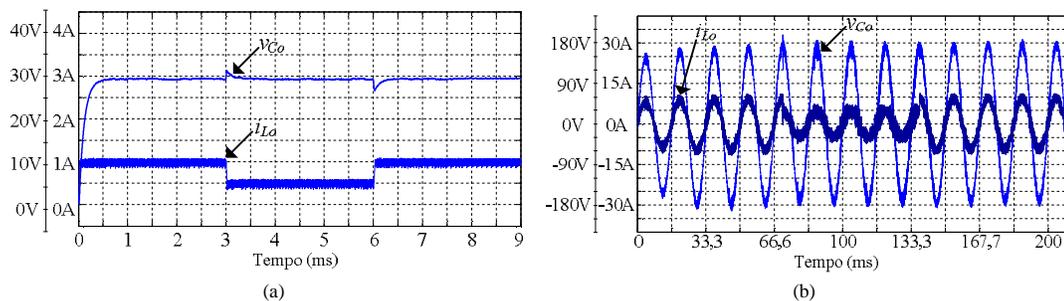


Figura 105 - LQR DSP Builder - Simulação completa (a) Buck (b) NPC

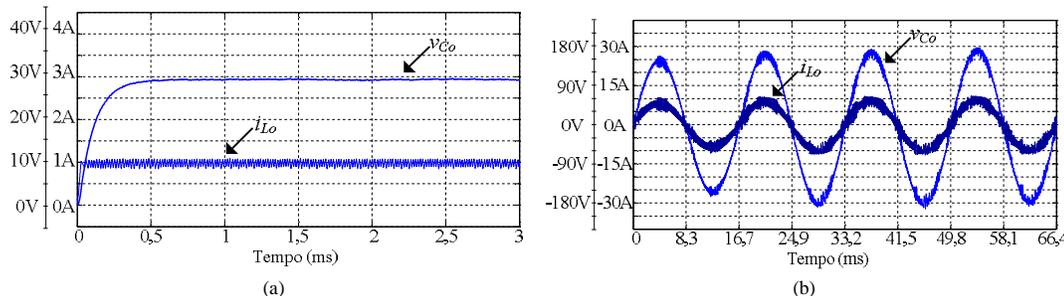


Figura 106 - LQR DSP Builder – Transitório inicial da tensão de saída (a) Buck (b) NPC

As respostas obtidas nos instantes onde ocorrem os degraus de carga são apresentados respectivamente na Figura 107 e na Figura 108 para ambos os conversores.

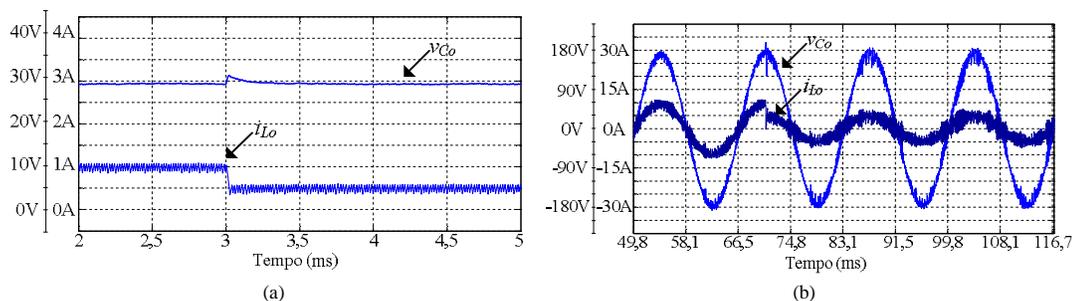


Figura 107 - LQR DSP Builder – Primeiro degrau de carga (a) Buck (b) NPC

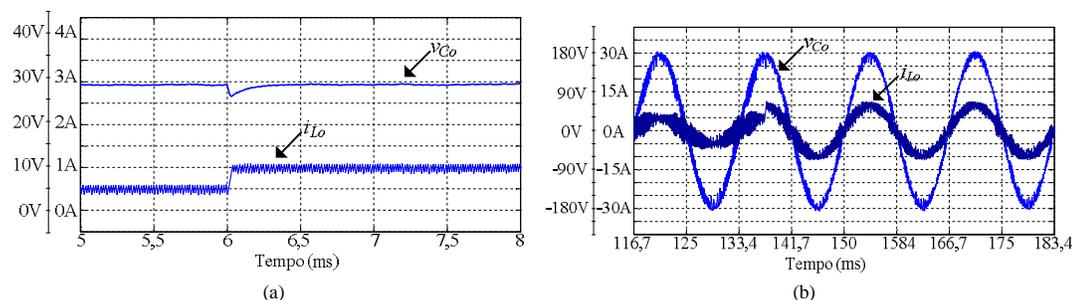


Figura 108 - LQR DSP Builder – Segundo degrau de carga (a) Buck (b) NPC

Como nas simulações anteriores, apresentadas no capítulo 5 onde foram considerados operadores ideais, pode-se observar que o controlador LQR não apresenta êxito para anular o erro em regime estacionário.

Na Figura 109 (a) é apresentada a tensão de saída PWM do Inversor NPC obtida antes do filtro LC de saída apresentando os três níveis referentes à modulação da topologia, porém neste caso é possível observar a presença de pulsos extras que podem comprometer o perfeito funcionamento dos componentes do Inversor.

Na Figura 109 (b) são apresentadas as tensões dos capacitores do barramento CC durante todo o período de simulação onde se pode observar que é mantido o equilíbrio.

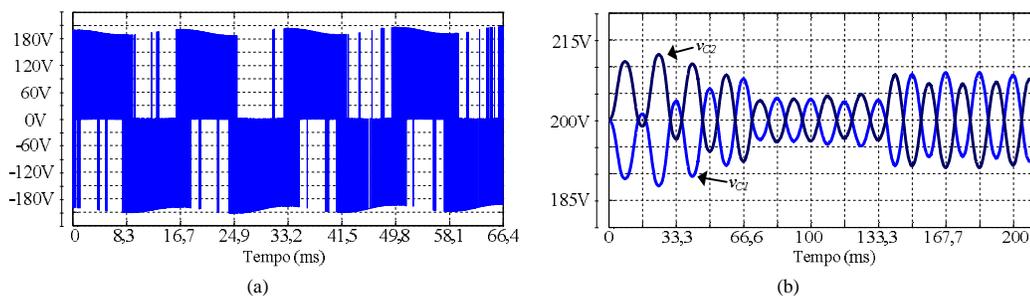


Figura 109 - LQR DSP Builder – Tensão PWM do Inversor NPC (a) Tensões do barramento (b) NPC

Na Figura 110 é apresentada a implementação do controlador SDRE usando a ferramenta *DSP Builder*. A implementação deste controlador assim como os controladores anteriores foi baseada na discretização das funções apresentadas no capítulo 6.

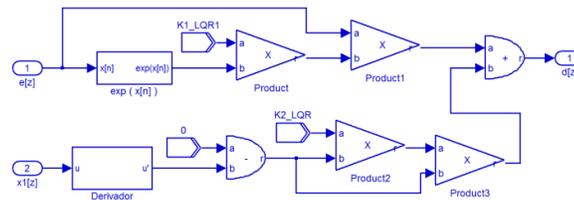


Figura 110 - SDRE implementado em DSP Builder

Na Figura 111 são apresentadas as simulações completas dos conversores *Buck* e NPC operando em malha fechada com os controladores SDRE em *DSP Builder*.

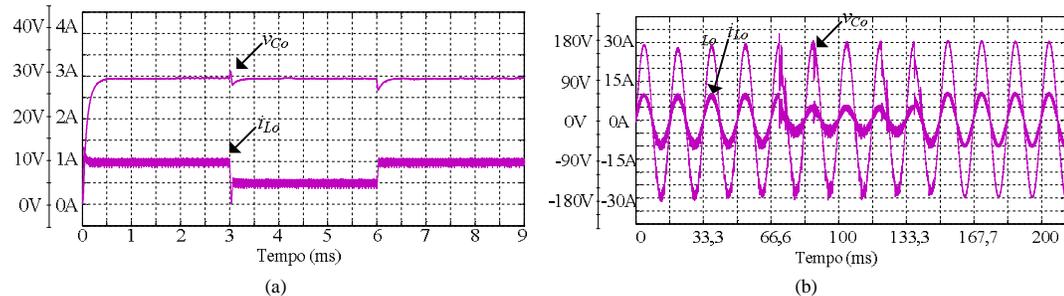


Figura 111 - SDRE DSP Builder - Simulação completa (a) Buck (b) NPC

Os transitórios iniciais dos conversores *Buck* e NPC operando em malha fechada com o controlador SDRE implementado com *DSP Builder* são apresentados na Figura 112.

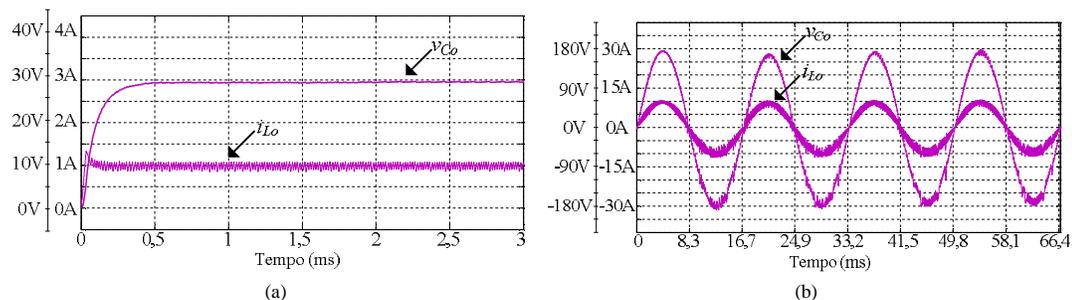


Figura 112 - SDRE DSP Builder – Transitório inicial da tensão de saída (a) Buck (b) NPC

Os degraus de carga para ambos os conversores operando com o controle SDRE são apresentados respectivamente na Figura 113 e na Figura 114. Pode-se observar que nas implementações do controlador SDRE em FPGA as respostas apresentaram oscilações em alguns instantes quando o Inversor NPC foi submetido a variação de carga.

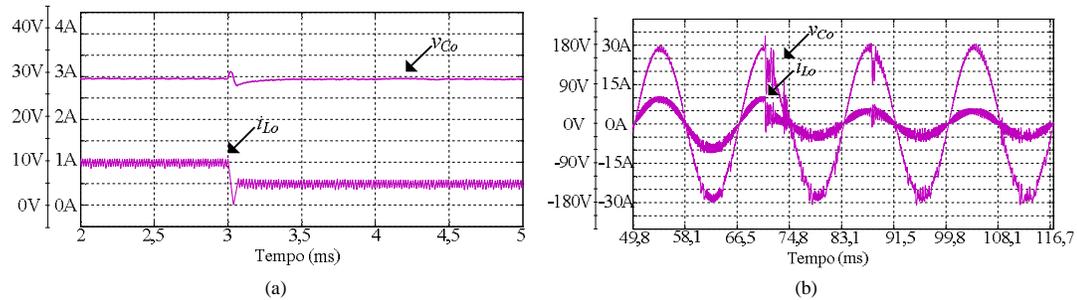


Figura 113 - SDRE DSP Builder – Primeiro degrau de carga (a) Buck (b) NPC

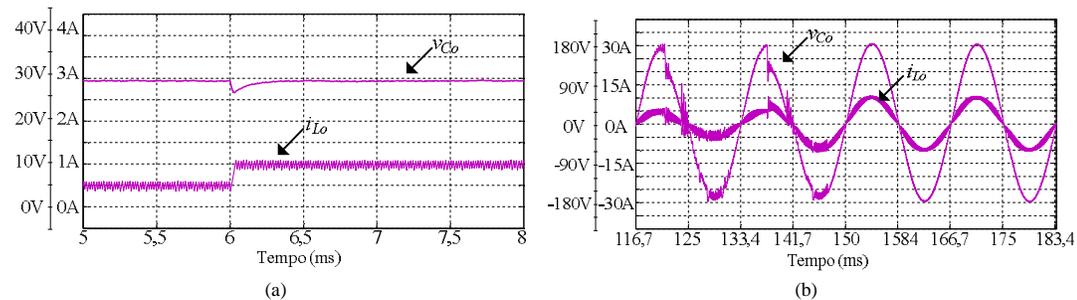


Figura 114 - SDRE DSP Builder – Segundo degrau de carga (a) Buck (b) NPC

Na Figura 115 (a) é apresentada a tensão de saída PWM do Inversor NPC obtida antes do filtro LC de saída apresentando os três níveis referentes à modulação da topologia. Nestes resultados, pode-se observar que a tensão PWM do conversor operando com controle SDRE não apresentou pulsos adicionais como no caso do controlador LQR.

Na Figura 115 (b) são apresentadas as tensões dos capacitores do barramento CC durante todo o período de simulação onde se pode observar que é mantido o equilíbrio destas tensões em tempos maiores que os outros controladores simulados.

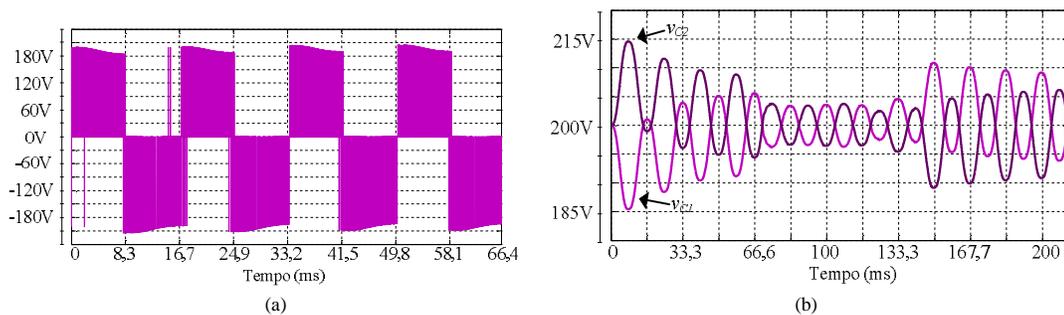


Figura 115 - SDRE DSP Builder – Tensão PWM do Inversor NPC (a) Tensões do barramento (b) NPC

A partir de estudos realizados neste trabalho e análises das respostas obtidas pelas simulações dos controladores discretos implementados em FPGA utilizando a ferramenta *DSP Builder* foram definidos os controladores PID e LQR para serem associados na implementação do controlador HTAC.

Assim como a função exponencial, a função tangente hiperbólica foi implementada por uma série de somas. A implementação do controlador HTAC em *DSP Builder* é apresentada na Figura 116, onde se pode observar que a ação de controle é composta pela ponderação da ação dos controladores PID e LQR.

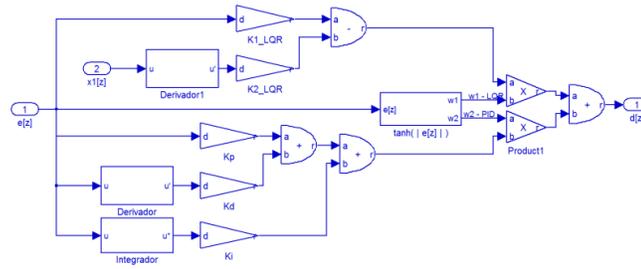


Figura 116 - HTAC implementado em DSP Builder

Na Figura 117 são apresentadas as simulações completas dos conversores *Buck* e NPC operando em malhada fechada com o controlador HTAC implementado com *DSP Builder*. Os conversores apresentam tensões de saída estáveis nos valores de referência mesmo sofrendo perturbações de carga. Nota-se que ambos os sistemas apresentaram respostas melhores do que cada controlador operando individualmente.

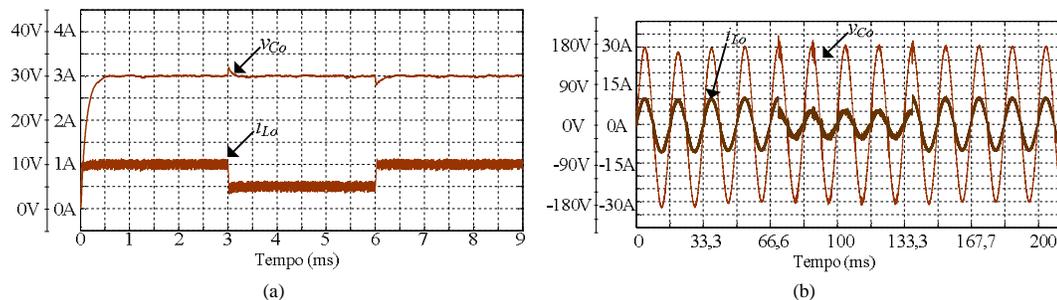


Figura 117 - HTAC DSP Builder - Simulação completa (a) Buck (b) NPC

Os transitórios iniciais dos conversores *Buck* e NPC operando em malha fechada com o controlador HTAC implementado com *DSP Builder* são apresentados na Figura 118.

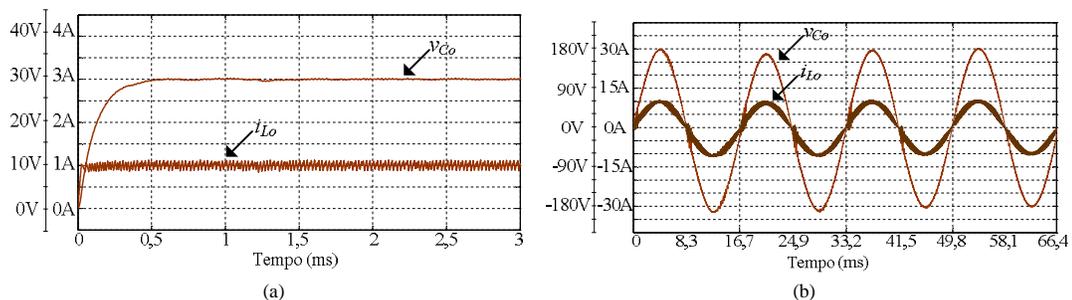


Figura 118 - HTAC DSP Builder – Transiente inicial da tensão de saída (a) Buck (b) NPC

Os degraus de carga para ambos os conversores operando com o controle HTAC são apresentados respectivamente na Figura 119 e Figura 120, onde os resultados obtidos apresentaram menores *overshoots* e melhores tempos de assentamento.

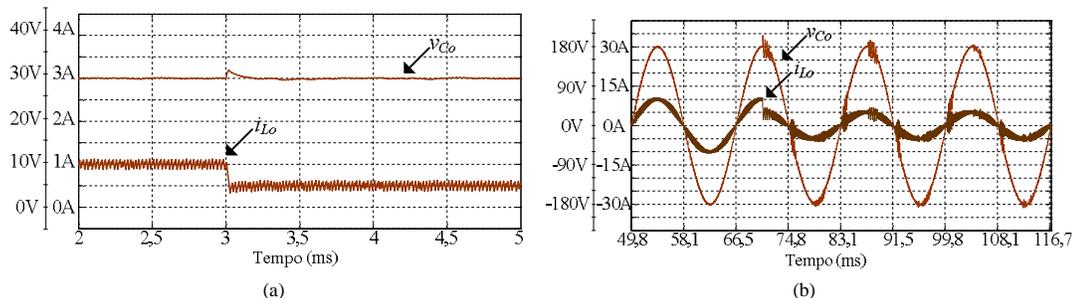


Figura 119 - HTAC DSP Builder – Primeiro degrau de carga (a) Buck (b) NPC

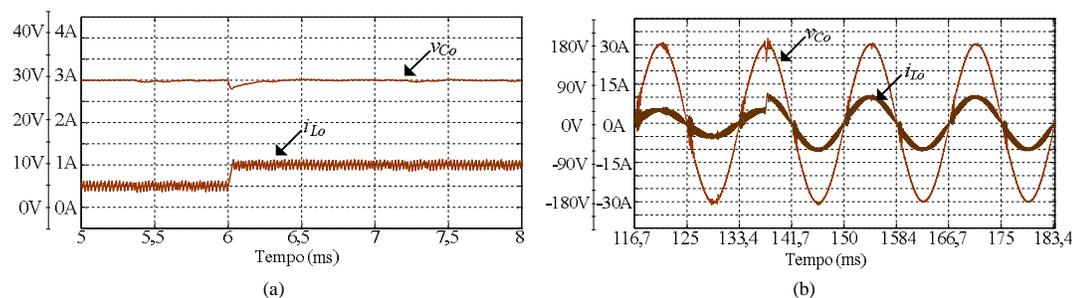


Figura 120 - HTAC DSP Builder – Segundo degrau de carga (a) Buck (b) NPC

Na Figura 121 (a) é apresentada a tensão de saída PWM do Inversor NPC obtida antes do filtro LC de saída apresentando os três níveis referentes à modulação da topologia. A tensão medida apresentou o comportamento ideal previsto para o perfeito funcionamento do Inversor NPC.

Na Figura 121 (b) são apresentadas as tensões dos capacitores do barramento CC durante todo o período de simulação. Pode-se observar que é mantido o equilíbrio das tensões em um tempo muito semelhante ao tempo de equalização obtido com o controlador PID implementado individualmente.

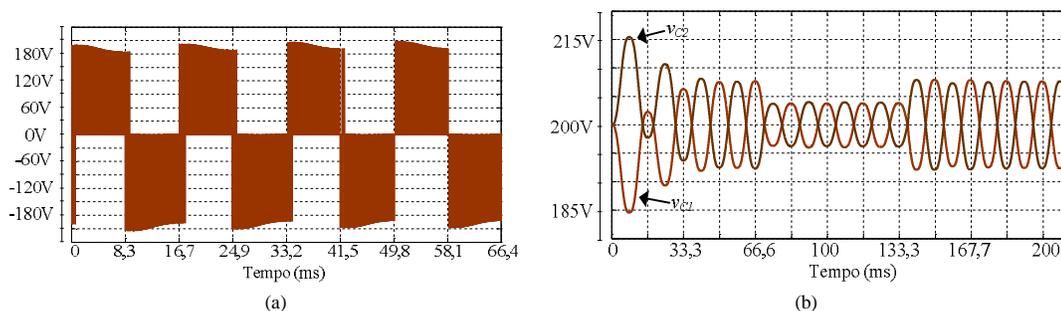


Figura 121 - HTAC DSP Builder – Tensão PWM do Inversor NPC (a) Tensões do barramento (b) NPC

7.2 RESULTADOS EXPERIMENTAIS OBTIDOS

Neste tópicos são apresentados os resultados experimentais obtidos com o controlador PID implementado em FPGA. A conversão do sistema em diagrama de blocos para a linguagem HDL é realizada através do compilador da ferramenta *DSP Builder*, *Signal Compiler*. A partir do código do programa compilado, é utilizado o *software* Quartus II da ALTERA para ser feita a compilação final, o mapeamento da pinagem do FPGA e por fim o upload para o hardware implementado.

Os resultados de simulação com o controlador PID implementado com a ferramenta *DSP Builder* em ambiente MATLAB/Simulink aplicado ao conversor CC-CC *Buck* são comparados com os resultados experimentais obtidos.

A Figura 122 apresenta o diagrama do esquema elétrico utilizado em laboratório para obtenção dos resultados experimentais. O protótipo é composto por um banco de capacitores conectados ao ponto de neutro (*npc*) do barramento CC. O sinal da tensão da carga (ponto v_{os-npc}) é obtido através de um divisor resistivo em paralelo com o capacitor (C_o) do filtro de saída do inversor. Para funcionar como conversor *Buck*, somente os interruptores S_1 e S_2 devem ser utilizados. Neste caso, envia-se um sinal de comando PWM ao interruptor S_1 e mantém-se o interruptor S_2 conduzindo o tempo todo.

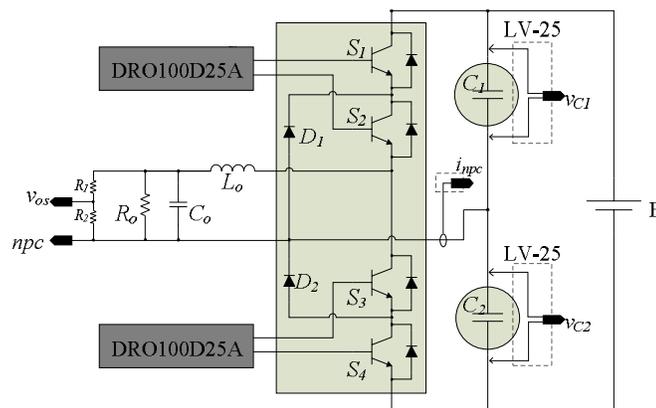


Figura 122 - Esquema elétrico do Conjunto Inversor NPC 3 níveis

O *driver* utilizado (DRO100D25A) para condicionar os sinal PWM enviado pela FPGA aos interruptores do conversor apresenta isolamento óptico, proteção contra curto-circuito através do monitoramento de VCE (tensão coletor-emissor), intertravamento com configuração de tempo de morto e proteção contra subtensão na alimentação do secundário dos *drivers*.

A Tabela 11 apresenta os parâmetros dos componentes utilizados para a realização dos ensaios. O FPGA definido para utilização neste trabalho é Cyclone III EP3C25Q240C8N fabricado pela ALTERA. As características deste FPGA são apresentados na Tabela 12.

Tabela 11 - Parâmetros do protótipo implementado

Parâmetros	<i>Buck</i>	NPC
Capacitor do filtro de saída (C_o)	3,33 μ F	6 μ F
Indutor do filtro de saída (L_o)	1,1mH	1,5mH
Resistor de carga (R_o)	30 Ω	15 Ω
Resistor R_1	130k Ω	130k Ω
Resistor R_2	15k Ω	15k Ω
Capacitores do barramento (C_1 e C_2)	-	1.5mF
S_1, S_2, S_3 e S_4	IRG7PH42UDPBF	IRG7PH42UDPBF
D_1 e D_2 ,	HFA16TB120	HFA16TB120

Tabela 12 - Parâmetros do EP3C25Q240C8N

Parâmetro	Quantidade
Elementos lógicos	24624
Total de pinos	149
Total memória	608256 <i>bits</i>
Frequência máxima de operação	402MHz
Tensão de entrada e saída	3,3V

É possível observar na Figura 123 a posição dos pinos do FPGA EP3C25Q240C8N obtida através da ferramenta *PinPlanner* do software QUARTUS II. Atráves deste software é realizada a configuração da pinagem dos FPGA fabricados pela ALTERA.

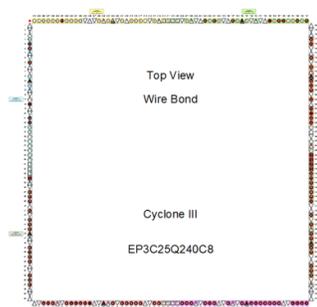


Figura 123 - Posição dos pinos do FPGA EP3C25Q240C8N

A placa desenvolvida para implementação do FPGA é composta pelos sistemas de condicionamento, conversores A/D e a conexão de saída com a placa de potência, como pode ser observado na Figura 124.

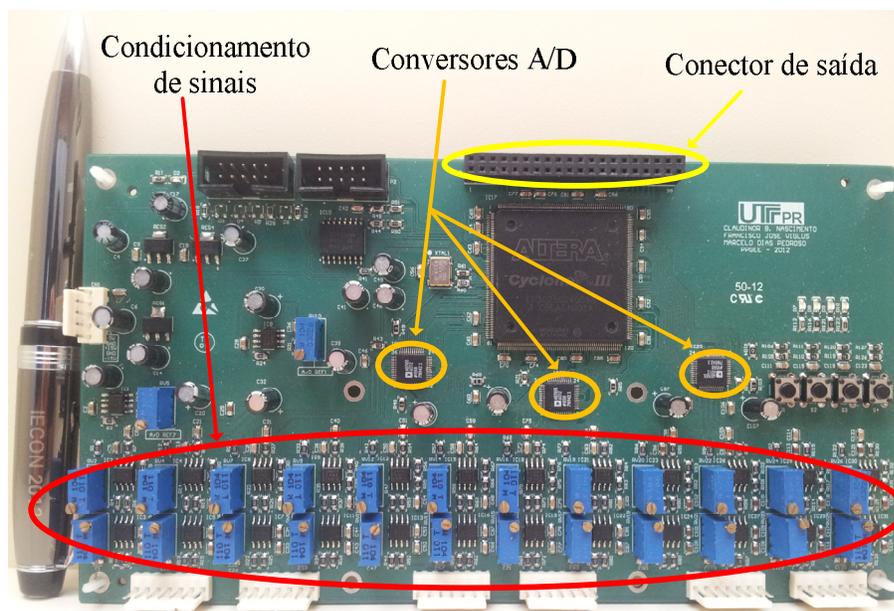


Figura 124 - Placa desenvolvida com FPGA

A placa foi desenvolvida com 12 entradas de sinais analógicos para poder ser utilizada em trabalhos futuros para o comando e controle de topologias trifásicas a quatro fios.

Os sinais de entrada analógica são condicionados para níveis de tensão que podem variar de 0V a 3,3V através do circuito apresentado na Figura 125. Esses sinais condicionados são conectados nas entradas dos conversores A/D.

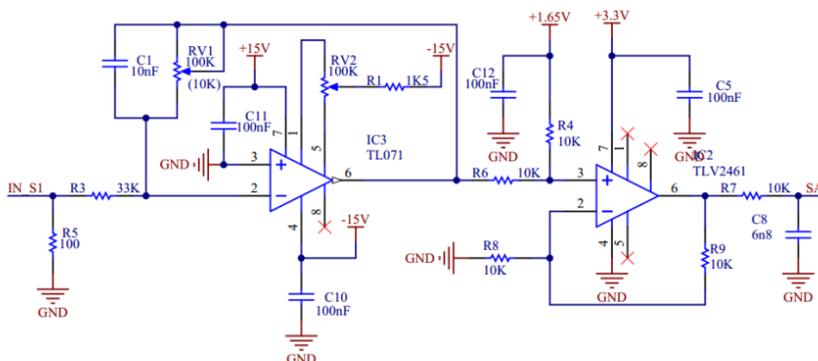


Figura 125 - Circuito de condicionamento de sinal

O conversor utilizado na placa é o AD7655 fornecido pela *Analog Devices*. Este é um conversor A/D de baixo custo composto por quatro canais de 16 bits, que opera a partir de uma única fonte de alimentação de 5 volts. Dentre as características destaca-se os baixos

níveis de ruído, a amostragem simultânea dos canais, a alta velocidade 1 MSPS com resolução de 16-Bit na amostragem, um relógio de conversão interna, circuitos de correção de erro, e a possibilidade de operar com os sinais de saída em modo serial ou paralelo (ANALOG DEVICES, 2004). Na placa são implementados três destes conversores de forma que cada conversor apresenta quatro canais, totalizando os 12 sinais possíveis de operação do sistema. A Figura 126 apresenta o esquema de ligação de um AD7655 na placa desenvolvida.

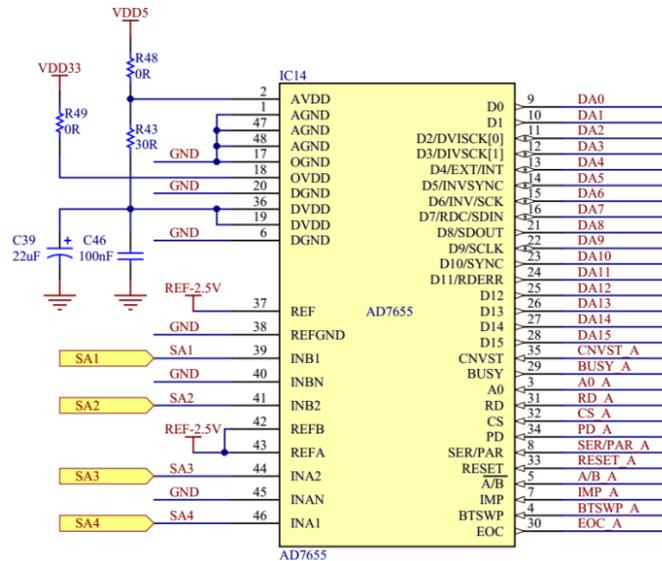


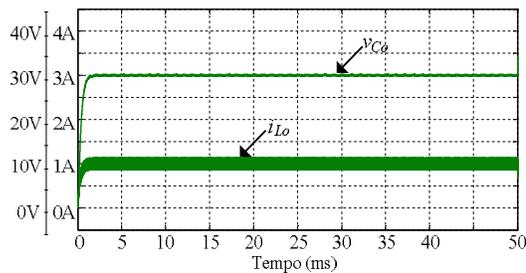
Figura 126 - Esquema do conversor A/D 7655

Na placa desenvolvida os conversores A/D se comunicam com o FPGA de forma paralela. Os sinais de saída do FPGA são enviados a um sistema de condicionamento que interligam o FPGA com o *driver* dos interruptores. O *driver*, conforme apresentado na Figura 127 é composto pelos CI's 7414 (*schmitt trigger inverter*) e 7406 (porta inversora). O uso de *schmitt trigger* é aconselhável para melhorar a imunidade a ruído no condicionamento de sinais em sistemas eletrônicos de potência.

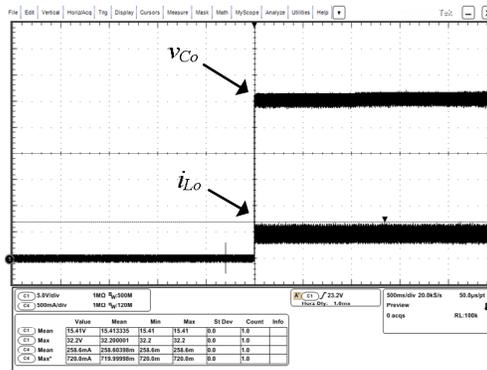


Figura 127 - Circuito de acionamento do driver

Na Figura 128 são apresentadas a tensão sobre a carga e a corrente do indutor do filtro de saída obtidos em simulação (a) e experimentalmente (b) do conversor *Buck* operando em malha fechada com o controlador PID projetado e implementado em FPGA. Como nas simulações anteriores é utilizada uma carga inicial de 30Ω.



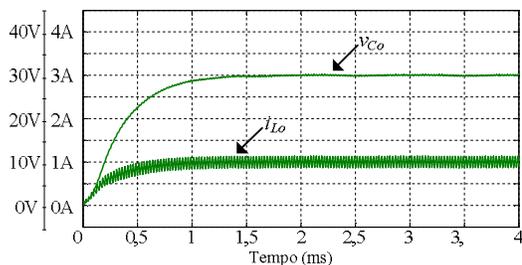
(a)



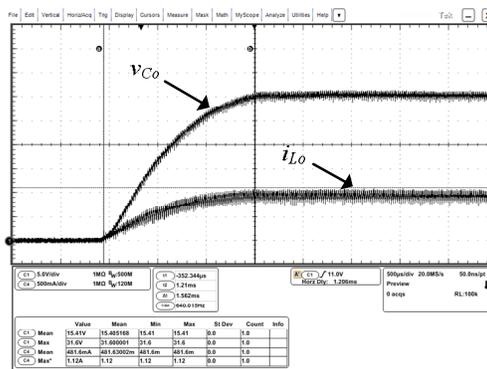
(b)

Figura 128 - Step inicial conversor Buck (a) Simulação (b) Experimental

O detalhe do step inicial do conversor *Buck* (simulado/experimental) é apresentado na Figura 129. Pode-se observar que o sistema apresenta respostas de simulação e experimental muito semelhantes em relação ao tempo de assentamento.



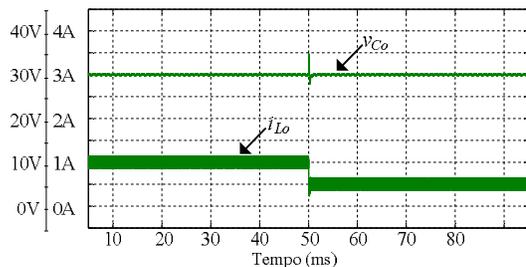
(a)



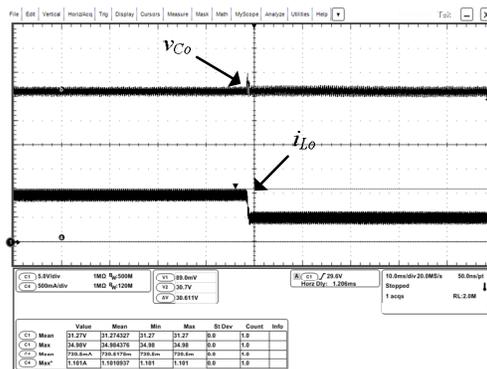
(b)

Figura 129 - Detalhe Step inicial conversor Buck (a) Simulação (b) Experimental

Nas Figura 130 (a) (simulação) e Figura 130 (b) (experimental) são apresentadas as respostas referentes à tensão do capacitor e à corrente do indutor do filtro LC de saída no instante em que ocorre uma variação de carga de 30Ω para 60Ω.



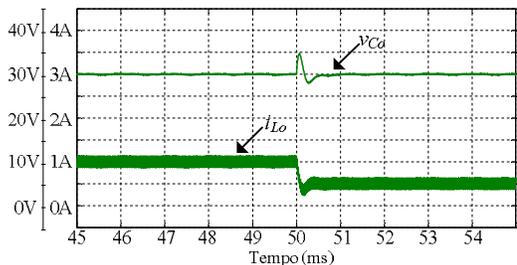
(a)



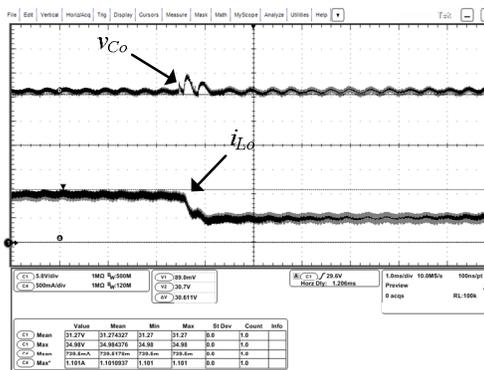
(b)

Figura 130 - Degrau de carga 1 conversor Buck (a) Simulação (b) Experimental

Os detalhes desta perturbação são apresentados na Figura 131 (a) simulação e Figura 131 (b) experimental.



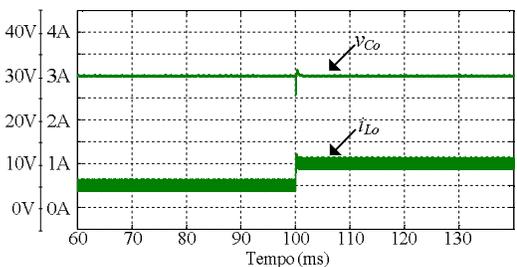
(a)



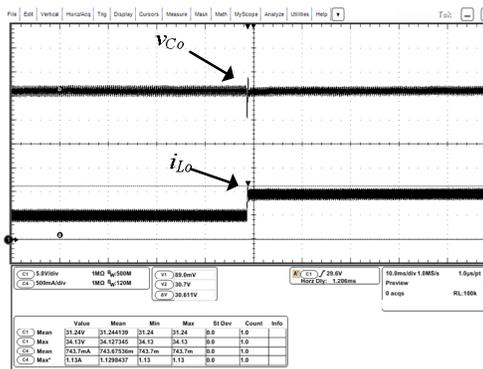
(b)

Figura 131 - Detalhe degrau de carga 1 conversor Buck (a) Simulação (b) Experimental

Na Figura 132 (a) e na Figura 132 (b) são apresentadas as respostas referentes à tensão do capacitor e à corrente do indutor no instante em que ocorre uma variação de carga. Os detalhes do instante desta perturbação são apresentados na são apresentados na Figura 133.

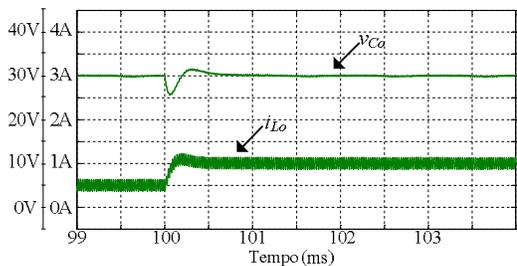


(a)

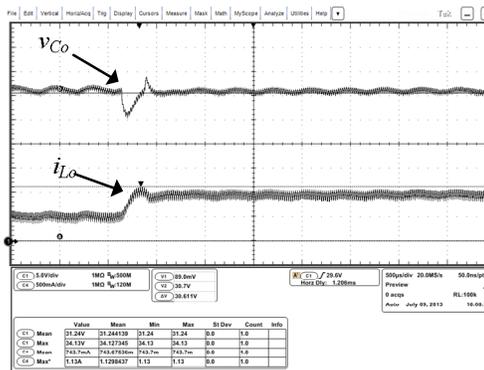


(b)

Figura 132 - Degrau de carga 2 conversor Buck (a) Simulação (b) Experimental



(a)



(b)

Figura 133 - Detalhe degrau de carga 2 conversor Buck (a) Simulação (b) Experimental

A partir da comparação dos resultados experimentais obtidos com os resultados simulados, pode-se concluir que a programação do controlador PID utilizando a ferramenta *DSP Builder* apresentou êxito validando o projeto realizado.

8 CONSIDERAÇÕES FINAIS E PROPOSTAS DE CONTINUIDADE

8.1 CONSIDERAÇÕES FINAIS

A evolução tecnológica de dispositivos eletrônicos utilizados para o processamento digital de sinais tem sido fundamental para o avanço das pesquisas em determinadas áreas da engenharia elétrica. Com a eletrônica de potência não é diferente, pois a integração de hardware de elevado desempenho, associados às modernas técnicas de controle, têm contribuído com a melhoria do desempenho dos sistemas que processam energia elétrica.

Associados à modernidade, os conversores multiníveis estão cada vez mais sendo utilizados. Neste sentido, em relação aos conversores CC-CA, neste trabalho foi apresentada uma síntese das principais topologias utilizadas com inversores de tensão, destacando o inversor de tensão NPC monofásico três níveis com diodos de grampeamento. Para este conversor, foi apresentado, utilizando uma analogia com o conversor Buck, o modelo matemático que determina as equações do sistema possibilitando o seu controle.

Neste trabalho também foram apresentadas quatro estratégias de controle para realizar o controle da tensão de saída e o equilíbrio das tensões dos capacitores do barramento CC do inversor NPC. Os controles utilizados foram o PID, o ANLPID-GGF, o LQR e o SDRE. O projeto de cada controlador foi realizado para que os sistemas em malha fechada apresentem os mesmos pólos dominantes. Por apresentar um modelo matemático semelhante ao Inversor NPC 3 níveis monofásico, as quatro técnicas de controle também são aplicadas a um conversor CC-CC tipo *Buck*. Para manter os mesmos pólos dominantes, a técnica por alocação de pólos foi usada para projetar os controladores LQR e SDRE garantindo que os sistemas operem no mesmo ponto em malha fechada. Desta forma, foi possível garantir que os sistemas apresentaram tempos de respostas e *overshoots* de acordo com parâmetros especificados nos projetos de cada controlador.

Em relação ao desempenho individual de cada controle, foi observado que o erro de estado estacionário da tensão de saída dos conversores para os controles PID e ANLPID-GGF são menores do que para os controles LQR e SDRE. Por outro lado, os tempos de resposta dos controladores ANLPID-GGF, LQR e SDRE são menores do que o PID. Com tempo de resposta pequeno e erro de estado estacionário quase nulo, o controle SDRE apresentou os melhores resultados em relação aos outros controles.

Através das simulações dos conversores *Buck* e NPC, foi possível observar que o desempenho dos controladores foi semelhante para os dois sistemas, validando a analogia utilizada para a determinação da função de transferência do Inversor NPC.

A partir de uma análise comparativa dos quatro controladores utilizados, é proposto um sistema de controle adaptativo ponderado, que melhora o desempenho do sistema, tanto no tempo de resposta e quanto na redução de *overshoots*. A proposta de controle adaptativo ponderado determina o momento da comutação de acordo com o erro no sistema. Assim, as melhores respostas individuais de cada controle em relação ao tempo de estabilização, *overshoots* e o erro de estado estacionário do sistema são apresentadas. Duas maneiras de implementação do controle adaptativo foram apresentadas: uma utilizando pesos pré-definidos e outra aplicando uma função tangente hiperbólica.

Através das simulações aplicadas ao conversor *Buck*, utilizando algumas associações ponderadas, foi possível observar os melhores resultados aplicando a função de ponderação tangente hiperbólica. No entanto, todas as respostas referentes às duas formas de implementação apresentaram o melhor de cada controle utilizado.

Para implementação discreta dos controladores, foi utilizada a ferramenta *DSP Builder* fornecida pela ALTERA, onde a programação do FPGA é realizada em ambiente MATLAB/SIMULINK de maneira gráfica e interativa ao programador. Devido ao processamento paralelo e alta performance do FPGA, as funções necessárias para implementação dos controladores são discretizadas e comparadas aos blocos do SIMULINK. São apresentados resultados de simulações dos controladores programados em *DSP Builder* para validar o método de discretização utilizado.

Resultados experimentais do código desenvolvido em *DSP Builder* implementado em hardware FPGA, utilizando o controle PID aplicado ao conversor Buck, são apresentados validando a estratégia deste controle.

8.2 PROPOSTAS DE CONTINUIDADE

- Obter resultados experimentais dos controladores LQR, ANLPID-GGF e SDRE propostos referentes às topologias estudadas;
- Obter resultados experimentais para validação do controle adaptativo proposto neste trabalho;

- Realizar testes dos controladores aplicados ao Inversor Multinível NPC 3 Níveis monofásico com cargas não-lineares;
- Realizar testes dos controladores estudados em outras aplicações dentro da Eletrônica de Potência.

8.3 PUBLICAÇÕES RELATIVAS AO TRABALHO

PEDROSO, M. D. et al. Performance Comparison Between Nonlinear And Linear Controllers Applied To A Buck Converter Using Poles Placement Design. In: IEEE EUROPEAN CONFERENCE ON POWER ELECTRONICS AND APPLICATIONS, 15., 2013, Lille. **EPE 2013**, Lille: IEEE EPE, 2013.

PEDROSO, M. D et al. Performance Comparison Between Nonlinear And Linear Controllers With Weighted Adaptive Control Applied To A Buck Converter Using Poles Placement Design. **In:** IEEE INTERNATIONAL SYMPOSIUM ON INDUSTRIAL ELECTRONICS, 22., 2013, Taipei. **ISIE 2013**, Taipei: IEEE ISIE, 2013

PEDROSO, M. D. et al. Regulador Quadrático Ótimo Aplicado em Controle de Tensão e Corrente de Saída de Inversor NPC 3 Níveis Monofásico Utilizando Estimação de Corrente accepted. in: CONGRESSO BRASILEIRO DE AUTOMÁTICA, 2012, Campina Grande. **CBA 2012**, Campina Grande: CBA, 2012.

REFERÊNCIAS

AGNIHOTRI, P. et al. FPGA-based combined PWM-PFM technique to control DC-DC converters, **North American Power Symposium (NAPS)**, 2010 , vol., no., pp.1-6, 26-28 Sept. 2010

AKAGI, HIROFUMI; NABAE, AKIRA; ATOH, SATOSHI; Control Strategy of Active Power Filters Using Multiple Voltage-Source PWM Converters, **IEEE Transactions on Industry Applications**, on , vol.IA-22, no.3, pp.460-465, May 1986

ALGREER, M.; ARMSTRONG, M.; GIAOURIS, D.; Adaptive PD+I Control of a Switch-Mode DC–DC Power Converter Using a Recursive FIR Predictor, **IEEE Transactions on Industry Applications**, , vol.47, no.5, pp.2135-2144, Sept.-Oct. 2011

ANALOG DEVICES, “Low-Cost, 4-Channel, 16-Bit, 1MPSP PuLSAR ADC”, **AD7655 datasheet**, 2004 [Rev. A]

ARIKATLA, V. P., ABU QAHOUQ, J. A, Adaptive digital proportional-integral-derivative controller for power converters, **POWER ELECTRONICS, IET** , vol.5, no.3, pp.341-348, 2012.

BARBI, I. **Eletrônica de potência**: conversores CC-CC básicos não isolados. 3 ed. Florianópolis Ed. do Autor, 2008

BRAGA, H. A. C.; BARBI, I. Conversores estáticos multiníveis – Uma revisão. **Controle&Automação** Vol. 11 no. 01 2000 p.20-27

CHAN, Y. F. MOALLEM, M. WANG, W. Design and Implementation of Modular FPGA-Based PID Controllers, **IEEE Transactions on Industrial Electronics**, , vol. 54, no. 4, pp.1898-1906, 2007

COBRECES, S. et al. A New Neutral-Point Voltage Control for Single-Phase Three-Level NPC Converters, **Power ELECTRONICS SPECIALISTS CONFERENCE, 2006. PESC '06. 37th IEEE** , vol., no., pp.1-6, 18-22 June 2006

DAGBAG, M. et al. FPGA implementation of Power Electronic Converter real-time model, **Power Electronics, Electrical Drives, Automation and Motion (SPEEDAM)**, 2012.

DUPONT, F.H. et al. Comparison of digital LQR techniques for DC-DC boost converters with large load range, *Circuits and Systems (ISCAS)*, **2011 IEEE International Symposium on** , vol., no., pp.925-928, 15-18 May 2011

E. MONMASSON; M. N. CIRSTEA, FPGA Design Methodology for Industrial Control Systems-A Review, *IEEE Transactions Industrial Electronics* , vol 54, pp. 1824-1842, 2007

E. MONMASSON. et al. Design methodology and FPGA-based controllers for Power Electronics and drive applications, *Industrial Electronics and Applications (ICIEA)*, 2010

E. MONMASSON, L. et al. FPGAs in Industrial Control Applications, *IEEE Transactions on Industrial Informatics*, vol. 7 , pp. 224-243, 2011

ENJETI, P.N.; JAKKLI, R.; Optimal power control strategies for neutral point clamped (NPC) inverter topology, *IEEE Transactions Industry Applications*, vol.28, no.3, pp.558-566, May/June 1992

EPE, EPE Revista Projeções do consumo de Energia Elétrica para o período 2009-2013. INFORME À IMPRENSA: **Consumo de Energia Elétrica 2009-2013** Rio de Janeiro, 25/03/2009

FUJIMOTO, T.; TABUCHI, F.; YOKOYAMA, T.; A design of FPGA based hardware controller for DC-DC converter using SDRE approach, *Power Electronics Conference (IPEC)*, 2010 International , vol., no., pp.1001-1005, 21-24 June 2010

GONZALES, R. G. **Utilização dos métodos SDRE e filtro de Kalman para controle de atitude de simuladores de satélites**. Dissertação de Mestrado em Engenharia e Tecnologia Espaciais/Mecânica Espacial e Controle, INPE, São José dos Campos, Brasil, 2009.

GUOHAI XIONG; LINGLI ZENG; XUEJUN GAO, Design of multi-waveform signal generator, *Cross Strait Quad-Regional Radio Science and Wireless Technology Conference (CSQRWC)*, **2011** , vol.2, no., pp.1107,1110, 26-30 July 2011

HOSSEINI, S.H.; SADEGHI, M.; Reduced Diode Clamped Multilevel Converter with a modified control method, *International Conference Electrical and Electronics Engineering (ELECO)*, **2011 7th**, vol., no., pp.I-302-I-306, 1-4 Dec. 2011

HUANG, J W. A. A. QAHOUQ AND S. AHMED, Linearized Sensorless Adaptive Voltage Positioning Controller for DC-DC Boost Power Converter, **Energy Conversion Congress and Exposition (ECCE)**, 2012

HWU, K.I.; YAU, Y.T.; Applying one-comparator counter-based PWM control strategy to DC-AC converter with voltage reference feed forward control considered, **Applied Power Electronics Conference and Exposition (APEC), 2011 Twenty-Sixth Annual IEEE** , vol., no., pp.1811-1815, 6-11 March 2011

JAPPE, T.K.; MUSSA, S.A.; ROSENDO, R.H.S.; Synchronous state machine inner FPGA controlling PFC boost converter, **IEEE International Symposium on Industrial Electronics (ISIE), 2010** , vol., no., pp.1097-1102, 4-7 July 2010

JOHNSON, M.A.; GRIMBLE, M.J.; Recent trends in linear optimal quadratic multivariable control system design, **Control Theory and Applications, IEE Proceedings D** , vol.134, no.1, pp.53-71, January 1987

KAI CAI; et al. Novel control strategies for voltage balance of DC capacitors in NPC three-level inverter, **International Conference on Electrical Machines and Systems (ICEMS), 2011** , vol., no., pp.1-6, 20-23 Aug. 2011

KASTER, M. et al. Análise do Uso de Controle PID Não Linear Aplicado a Conversor Buck. In: 10ª CONFERÊNCIA BRASILEIRA DE DINÂMICA, CONTROLE, APLICAÇÕES, **Conferência Brasileira de Dinâmica**, 2011

KREIN, P.T.; Digital Control Generations - Digital Controls for Power Electronics through the Third Generation, **International Conference on Power Electronics and Drive Systems, 2007. PEDS '07. 7th**, vol., no., pp.P-1-P-5, 27-30 Nov. 2007

LEGA, A.; MUNK-NIELSEN, S.; BLAABJERG, F.; CASADEI, D.; Multilevel converters for UPS applications: comparison and implementation., **European Conference on Power Electronics and Applications**, 2007, vol., no., pp.1-9, 2-5 Sept. 2007

LEI LIN; et al. Modeling and Control of Neutral-point Voltage Balancing Problem in Three-level NPC PWM Inverters, **Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th** , vol., no., pp.861-866, 16-16 June 2005

LEUNG, F. H F; TAM, P.K.-S.; LI, C.K., An improved LQR-based controller for switching DC-DC converters, **IEEE Transactions on Industrial Electronics**, , vol.40, no.5, pp.521,528, Oct 1993

LI SHU-QING; ZHANG SHENG-XIU; A simplified state feedback method for nonlinear control based on exact feedback linearization, **International Conference on Computer Application and System Modeling (ICCSM), 2010**, vol.5, no., pp.V5-95-V5-98, 22-24 Oct. 2010

MAHDAVI, J. et al. Analysis of power electronic converters using the generalized state-space averaging approach, **IEEE Transactions on Circuits and Systems: Fundamental Theory and Applications**, , vol.44, no.8, pp.767-770, Aug 1997

MANJREKAR, M. D. STEIMER, P. LIPO, T. A. Hybrid multilevel power conversion system: a competitive solution for high power applications, in **Conference Record - IAS Annual Meeting (IEEE Industry Applications Society)**, 1999, pp. 1520-1527.

MATAR, M. IRAVANI,R. FPGA Implementation of the Power Electronic Converter Model for Real-Time Simulation of Electromagnetic Transients, **IEEE Transactions on Power Delivery**, vol. 25 , pp. 852-860. 2010.

MEKONNEN, E.T. ; KATCHA, J., PARKER, M., An FPGA-based digital control development method for power electronics, **IECON 2012**, 2012.

MEYNARD, T.A.; FOCH, H.; Multi-level conversion: high voltage choppers and voltage-source inverters, **Power Electronics Specialists Conference, 1992. PESC '92 Record., 23rd Annual IEEE** , vol., no., pp.397-403 vol.1, 29 Jun-3 Jul 1992.

MICHELS, L. et al. Metodologia de Projeto de Filtros de Segunda Ordem para Inversores de Tensão com Modulação PWM Digital. **Controle & Automação**, São José dos Campos, SP, v. 16, n.2, p. 221-242, 2005.

MOREIRA, C.O et al. Digital LQR control with Kalman Estimator for DC-DC Buck converter, **EUROCON - International Conference on Computer as a Tool (EUROCON)**, 2011 IEEE , vol., no., pp.1-4, 27-29 April 2011

MOREIRA, C.O. et al. Digital LQR control with Kalman Estimator for DC-DC Buck converter, **EUROCON - International Conference on Computer as a Tool (EUROCON)**, 2011 IEEE , vol., no., pp.1-4, 27-29 April 2011

NABAE, et al; , A New Neutral-Point-Clamped PWM Inverter, **IEEE Transactions on Industry Applications**, vol.IA-17, no.5, pp.518-523, Sept. 1981

NAN, T.J., JUN; C. H., ZHAO, G. Adaptive Neuron PID Control of Buck Type AC Chopper Voltage Regulator, **Bio-Inspired Computing**, 2009

OGATA, K. **Discrete-time control systems**, 2nd ed. Upper Saddle River, NJ: Prentice-Hall, Inc., 1995.

OGATA, K. **Engenharia de controle moderno**. 5ed. Rio de Janeiro: Pearson, 2011

OLALLA, C. et al. Robust LQR Control for PWM Converters: An LMI Approach, **IEEE Transactions on Industrial Electronics**, vol.56, no.7, pp.2548-2558, July 2009

OLIVEIRA JR, A. S. DE; SILVA, E. R. JACOBINA C. B. Uma abordagem simplificada para modulação por largura de pulso em inversores multiníveis com controle das tensões nos capacitores do barramento CC. **Eletrônica de Potência**, Vol. 10 no. 2, novembro 2005 p.57-65.

PEDROSO, M. D et al. Performance Comparison Between Nonlinear And Linear Controllers With Weighted Adaptive Control Applied To A Buck Converter Using Poles Placement Design. **In: IEEE INTERNATIONAL SYMPOSIUM ON INDUSTRIAL ELECTRONICS**, 22., 2013, Taipei. **ISIE 2013**, Taipei: IEEE ISIE, 2013

PEDROSO, M. D. et al. Regulador Quadrático Ótimo Aplicado em Controle de Tensão e Corrente de Saída de Inversor NPC 3 Níveis Monofásico Utilizando Estimação de Corrente accepted. in: CONGRESSO BRASILEIRO DE AUTOMÁTICA, 2012, Campina Grande. **CBA 2012**, Campina Grande: CBA, 2012.

PINHEIRO, H.;GRIGOLETTO, F.B. Método de modulação pwm para equilíbrio das tensões dos capacitores do barramento CC em conversores multiníveis com diodo de grampeamento. **Eletrônica de Potência**. Vol. 14, no. 2, maio 2009 p.63-74.

POODEH, M. B. et al. Optimizing LQR and Pole Placement to Control Buck Converter by Genetic Algorithm, **Control, Automation and Systems**, 2007. **ICCAS'07**. International Conference on, 2007.

RODRIGUEZ, J.; JIH-SHENG LAI; FANG ZHENG PENG; Multilevel inverters: a survey of topologies, controls, and applications, **IEEE Transactions on Industrial Electronics**, vol.49, no.4, pp. 724- 738, Aug 2002.

S. K. SAHOO, G.T. R. DAS AND S. VEDAM, Contributions of FPGAs to industrial drives: A review, **Information and Communication Technology in Electrical Sciences (ICTES)**, 2007

SUN QIANG; et al. Application of Sliding Mode Control for Half-Bridge DC/DC Converter, **International Conference on E-Product E-Service and E-Entertainment (ICEEE)**, 2010, vol., no., pp.1-4, 7-9 Nov. 2010

UNBEHAUEN, H.; Adaptive dual control systems: a survey, Adaptive Systems for Signal Processing, Communications and Control Symposium, 2000. **AS-SPCC**. The IEEE 2000 , vol., no., pp.171-180, 2000

VIET QUOC LEU; HAN HO CHOI; JIN-WOO JUNG; Fuzzy Sliding Mode Speed Controller for PM Synchronous Motors With a Load Torque Observer, **IEEE Transactions on Power Electronics**, , vol.27, no.3, pp.1530-1539, March 2012

WU YOU; SHA HONG; REN CHAO SHI, The Design and Implementation of a Signal Source for EIT System Using DSP Builder, **2nd International Conference on Biomedical Engineering and Informatics**, 2009. BMEI '09., vol., no., pp.1,5, 17-19 Oct. 2009

XINCHUN LIN, et al. A new control strategy to balance neutral-point voltage in three-level NPC inverter, **IEEE 8th International Conference on Power Electronics and ECCE Asia (ICPE & ECCE)**, 2011, vol., no., pp.2593-2597, May 30 2011-June 3 2011

YANG MIN, Design of portable hearing aid based on FPGA, **4th IEEE Conference on Industrial Electronics and Applications**, 2009. ICIEA 2009., vol., no., pp.1895,1898, 25-27 May 2009

YAZDANI, A.; IRAVANI, R.; A generalized state-space averaged model of the three-level NPC converter for systematic DC-voltage-balancer and current-controller design. **IEEE Transactions on Power Delivery** , vol.20, no.2, pp. 1105- 1114, April 2005

YOON-HYUK KO, et al. A simple space vector PWM scheme with neutral point balancing for three-level neutral point clamped inverter, **Industry Applications Society Annual Meeting (IAS)**, 2011 IEEE , vol., no., pp.1-6, 9-13 Oct. 2011

YOUNG-SEOK KIM; BEOM-SEOK SEO; DONG-SEOK HYUN; A new N-level high voltage inversion system, INTERNATIONAL CONFERENCE ON INDUSTRIAL ELECTRONICS, CONTROL, AND INSTRUMENTATION, 1993. **Proceedings of the IECON '93.**, , vol., no., pp.1252-1257 vol.2, 15-19 Nov 1993

YUEN FONG CHAN; MOALLEM, M.; WEI WANG; Design and Implementation of Modular FPGA-Based PID Controllers, **IEEE Transactions on Industrial Electronics** , vol.54, no.4, pp.1898-1906, Aug. 2007

ZHANG ZHI; et al. A new SVPWM method for single-phase three-level NPC inverter and the control method of neutral point voltage balance, **Electrical Machines and Systems, 2009. ICEMS 2009. International Conference on** , vol., no., pp.1-4, 15-18 Nov. 2009

ZHANG ZHI; et al. A new SVPWM method for single-phase three-level NPC inverter and the control method of neutral point voltage balance, **Electrical Machines and Systems, 2009. ICEMS 2009. International Conference on** , vol., no., pp.1-4, 15-18 Nov. 2009

ZHANG, L.; WATKINS, S.J.; SHEPHERD, W.; Analysis and control of a multi-level flying capacitor inverter, **Power Electronics Congress, 2002. Technical Proceedings. CIEP 2002. VIII IEEE International** , vol., no., pp. 66- 71, 20-24 Oct. 2002