



## PROYECTO FIN DE CARRERA PLAN 2000

E.U.I.T. TELECOMUNICACIÓN

<b>TEMA:</b>	Sistemas de distribución en televisión	
<b>TÍTULO:</b>	Sistemas de distribución en entornos de televisión	
<b>AUTOR:</b>	Roberto S. Bueno Klein	
<b>TUTOR:</b>	Luis Ortiz Berenguer	<b>Vº Bº.</b>
<b>DEPARTAMENTO:</b>	DIAC	▼
<b>Miembros del Tribunal Calificador:</b>		
<b>PRESIDENTE:</b>	Javier Malo Gómez	
<b>VOCAL:</b>	Luis Ortiz Berenguer	
<b>VOCAL SECRETARIO:</b>	Elena Blanco Martín	
<b>DIRECTOR:</b>		
<b>Fecha de lectura:</b>	Septiembre 2012	
<b>Calificación:</b>		<b>El Secretario,</b>

### RESUMEN DEL PROYECTO:

En el siguiente PFC se tratará de dar a conocer, los principales sistemas que se emplean en los entornos de televisión para la distribución de las señales que se utilizan en los mismos.

El proyecto se divide en tres capítulos:

- Capítulo de conceptos teóricos: En el que se presentará, los fundamentos teóricos que justifican la tecnología utilizada por los diferentes sistemas.
- Capítulo de distribución de señales SDI y ASI: En el cual se presentarán los principales sistemas utilizados, para la distribución de señales SD-SDI, HD-SDI, 3G y DVB-ASI.
- Capítulo de distribución de señales en banda-L: Donde se mostrarán, los principales sistemas de distribución de señales moduladas en banda-L



Actualmente los entornos de televisión manejan gran cantidad de señales, procedentes de diferentes fuentes y suministradas en diferentes estándares: SD-SDI, HD-SDI, 3G, DVB-ASI, señales moduladas en banda L. En la gran mayoría de los centros de radiodifusión es necesario al menos en alguno de los pasos del transporte de señales o de su explotación, la replicación de las diferentes señales de entrada a sus diferentes destinos.

En el siguiente PFC se tratará de dar a conocer, los principales sistemas que se emplean en los entornos de televisión para la distribución de las señales que se utilizan en los mismos.

Los sistemas distributivos se encargan de distribuir y replicar la señal de entrada a ellos hacia diferentes destinos.

La principal idea con la que se diseñan estos sistemas es que la señal de entrada no sufra ningún tipo de degradación como fruto de la replicación o división, siendo incluso aconsejable que determinados sistemas regeneren la señal de entrada a sus salidas.

El proyecto se divide en tres capítulos:

- Capítulo de conceptos teóricos: En el que se presentarán, los fundamentos teóricos que justifican la tecnología utilizada por los diferentes sistemas.
- Capítulo de distribución de señales SDI y ASI: En el cual se presentarán los principales sistemas utilizados, para la distribución de señales SD-SDI, HD-SDI, 3G y DVB-ASI.
- Capítulo de distribución de señales en banda-L: Donde se mostrarán, los principales sistemas de distribución de señales moduladas en banda-L.

Al finalizar la lectura del mismo, el lector debería conocer los principales sistemas que se utilizan en la distribución de señales SDI y ASI y en la distribución de señales en banda L. Comprender mediante la teoría expuesta, y los sistemas presentados, las diferentes problemáticas que afrontan los diferentes equipos y la tecnología que subyace en un segundo plano para solventar las problemáticas.

Nowadays, broadcast environments, manage an extensive amount of signals from several sources, using different standards: SD-SDI, HD-SDI, 3G, DVB-ASI, modulated L band signals. In most of the broadcast infrastructures, it's usually needed, at any of the transmissions steps, to replicate the source signal to many destinations.

This PFC is intended to show the main systems used to distribute and replicate signals in broadcast environments.

Distributive Systems are used to distribute and replicate the source signals to as many destinations as are needed.

The main idea behind the design of those systems is to preserve the integrity of the original signal, due to replications or division classical pathologies. Even it is recommended that those systems are able to regenerate the original signal, trying to avoid or compensate those pathologies.

The PFC is divided in three chapters:

- Chapter 1: Theoretical concepts: In this chapter is presented the minimal theory needed to understand the complex of the technology, for those distributive systems.
- Chapter 2: Distribution of SDI and ASI signals: It is shown the main systems used to replicate and distribution of the SDI and ASI signals. It will also treatment the state of the art of the actually new systems.
- Chapter 3: Distribution of L band signals. It will be shown the main systems used for L band signals

At the end of reading this PFC, the reader must know the main systems used for distribution SDI and ASI signals, also L band signals. It is important to understand the contents of the PFC, the systems, the several problems and the background technology that is needed to affront the replication known pathologies.

# Sistemas de distribución en entornos de televisión.



Roberto S. Bueno Klein



*A mis padres Salvador y Adela, sin los cuales hoy en día no sería la persona que soy.*

*A Cristina, por apoyarme con todo su amor y cariño.*

*A Luis Ortiz, por tutelarme durante el PFC.*

*A mis compañeros de las empresas TSA, Overon y RTVE con los que tantas cosas he aprendido.*

*A diferentes empresas del sector: Snell España, Lemo España, dB comunicaciones.*



# Índice:

<b>0</b>	<b>Introducción</b>	Pág. 9
<b>1</b>	<b>Conceptos teóricos</b>	Pág. 13
1.1	Cuadripolos	Pág. 13
1.2	Líneas de transmisión	Pág. 32
1.3	Transmisión de pulsos sobre un canal	Pág. 48
<b>2</b>	<b>Distribución de señales SDI y ASI</b>	Pág. 57
2.1	Matrices de SDI/ASI	Pág. 59
2.2	Amplificadores de distribución	Pág. 95
2.2.1	Distribuidores para señales SD	Pág. 96
2.2.2	Distribuidores para señales de HD	Pág. 149
2.3	Paneles de conexionado	Pág. 183
2.3.1	Paneles de conexionado de señales de SD	Pág. 183
2.3.2	Paneles de conexionado de señales HD	Pág. 187
<b>3</b>	<b>Distribución de señales en banda L</b>	Pág. 195
3.1	Matrices de banda L	Pág. 198
3.1.1	Matriz de banda L sin tarjetas de cruce	Pág. 198
3.1.2	Matriz de banda L con tarjetas de cruce	Pág. 236
3.2	Splitters activos	Pág. 280
3.2.1	Splitters activos domésticos	Pág. 280
3.2.2	Splitters activos profesionales	Pág. 311
3.2.2.1	Splitters profesionales genéricos	Pág. 312
3.2.2.2	Splitters profesionales bajo demanda	Pág. 334
3.3	Paneles de conexionado	Pág. 347
3.3.1	Panel de conexionado con BNCs	Pág. 347
3.3.2	Panel de conexionado con Lemo	Pág. 351
<b>4</b>	<b>Conclusiones</b>	Pág. 355



# *Capítulo 0: Introducción.*



# **0 Introducción**

El objetivo del proyecto es dar a conocer los principales sistemas utilizados en la distribución de señales en entornos de televisión. Para ello se analizan diferentes sistemas distributivos, que junto al conocimiento teórico expuesto permiten comprender la problemática que resuelve cada uno de los equipos y la tecnología aplicada para solventar dichos problemas.

La razón de existencia de este proyecto radica en la ausencia de literatura alguna acerca de dicha materia. En cualquiera de las diferentes situaciones que una persona se puede encontrar con dichos sistemas distributivos es fundamental que posea una base de conocimientos que le ayuden a comprender los sistemas con los que se enfrenta. Con este proyecto, cualquier persona que necesite conocer el funcionamiento de estos sistemas, independientemente de su ámbito formativo o laboral, será capaz de adquirir una serie de conocimientos que le ayudarán posteriormente a desarrollar su trabajo.

Por estas razones el PFC se ha orientado y estructurado como un proyecto teórico en el cual se trata de dar a conocer determinados sistemas empleados en televisión.

Se ha elaborado el proyecto de una forma totalmente secuencial, la estructura del mismo se ha organizado para que todas las ideas y conceptos que en el se desarrollen estén anteriormente apoyadas en un fundamento teórico, es decir todas las ideas previas y necesarias a comprender algún elemento están previamente explicadas.

El proyecto se divide en bloques claramente diferenciados conforme a la frecuencia de trabajo del equipo, de manera que el lector será capaz de discernir completamente en que parte del documento, o que elementos se van a tratar a continuación. Se puede establecer una división del proyecto en los siguientes bloques:

- 1) Conceptos teóricos: Este bloque se centrará fundamentalmente en mostrar la base teórica o conocimientos previos básicos que cualquier lector debería conocer para comprender la finalidad y la problemática que resuelve cada uno de los sistemas que se mostrarán a lo largo del proyecto.
- 2) Señales en banda base: En el segundo bloque se mostrarán los principales elementos que permiten la distribución en banda base de señales SDI y ASI. Los elementos aquí mostrados serán matrices de SDI/ASI, distribuidores de SDI/ASI y por último paneles de conexionado para interconectar los diferentes elementos.
- 3) Señales en banda L: En el tercer bloque se mostrarán los elementos que permiten la distribución de señales ASI pero a diferencia del bloque anterior no serán en banda base sino moduladas en banda L. Se mostrarán matrices de banda L, distribuidores activos profesionales, distribuidores activos domésticos y por último paneles de conexión.



# ***Capítulo 1: Conceptos teóricos.***



# 1. Conceptos teóricos

## 1.1 Cuadripolos

En este apartado se va a emplear el modelo del cuadripolo para caracterizar los parámetros de transmisión.

Un cuadripolo es una forma de modelizar una red pasiva compleja de componentes eléctricos, en la cual se agrupan todos los componentes de la red y se introducen en un “cajita”. El modelo del cuadripolo no busca conocer los pormenores de lo que hay dentro de la cajita. Sino que quiere modelar su comportamiento, para de esta manera y a partir de unos parámetros, reducir la complejidad de dicha red y sustituirla en el análisis del circuito por las ecuaciones y parámetros que caracterizan a toda la red existente en el interior de la cajita.

Un cuadripolo o cajita esta formado por una puerta de entrada y otra de salida. Cada una de estas puertas tendrá a su vez dos bornas (de ahí el nombre de cuatro-polos) que serán a donde se conectaran el resto del circuito. Mediante el uso de cuadripolos se puede caracterizar una red pasiva existente en el interior de la caja de puertas hacia fuera.

Generalmente la parte del circuito que se conecta a la puerta de la entrada puede ser modelada como un generador de tensión o corriente y una impedancia equivalente de salida de las etapas previas conectadas al cuadripolo. Para ello se pueden emplear teoremas como los de Thevenin o Norton.

La puerta de salida generalmente es conectada a una impedancia, dicha impedancia equivalente es la impedancia que se “vería” cuando se mira desde la puerta del cuadripolo hacia el siguiente circuito al que está conectado el cuadripolo. De esta manera el análisis del circuito se reduce aun más si cabe.

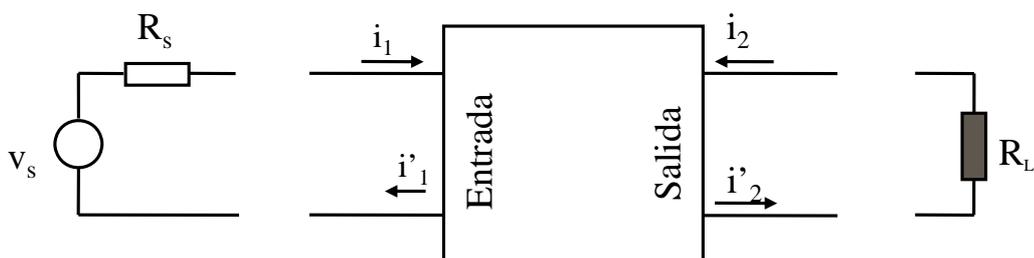


Fig. 1. Cuadripolo

### 1.1.1 Parámetros de transmisión de un cuadripolo

De la anterior figura se van a tomar las corrientes  $I_1$  e  $I_2$  con el sentido marcado en el dibujo. Mientras que  $E_1$  y  $E_2$  serán las tensiones existentes en la puerta de entrada y de salida respectivamente del cuadripolo.

Si se caracteriza el cuadripolo a partir de sus parámetros de transmisión, que relacionan las tensiones con las corrientes, se obtiene el siguiente sistema de ecuaciones:

$$\begin{aligned} E_1 &= A \cdot E_2 - B \cdot I_2 \\ I_1 &= C \cdot E_2 - D \cdot I_2 \end{aligned} \quad (1)$$

Para obtener el valor de los parámetros A,B,C,D empíricamente es tan sencillo como realizar las siguientes operaciones y medir ya sea con un polímetro o un osciloscopio las magnitudes tensión y corriente a la entrada y a la salida del cuadripolo.

- Se anula la impedancia de carga de la salida del cuadripolo. La puerta de salida quedará sin carga, al aire, de esta manera se podrá asegurar que la corriente  $I_2$  que circula por la puerta de salida será cero. Como resultado de esto, se podrá obtener el valor de dos de los parámetros.

$$\begin{aligned} I_2 &= 0 \\ E_1 &= A \cdot E_2 - B \cdot I_2 \Leftrightarrow A = \frac{E_1}{E_2} \\ I_1 &= C \cdot E_2 - D \cdot I_2 \Leftrightarrow C = \frac{I_1}{E_2} \end{aligned}$$

- Se sustituye la impedancia de carga por un cortocircuito. En este caso la diferencia de potencial que se establece entre los dos bornes de la puerta de salida será cero, permitiéndose hallar los otros dos parámetros restantes.

$$\begin{aligned} E_2 &= 0 \\ E_1 &= A \cdot E_2 - B \cdot I_2 \Leftrightarrow B = -\frac{E_1}{I_2} \\ I_1 &= C \cdot E_2 - D \cdot I_2 \Leftrightarrow D = -\frac{I_1}{I_2} \end{aligned}$$

Estos cuatro parámetros, proporcionan diferentes informaciones acerca del cuadripolo.

- El parámetro A informa de la atenuación en tensión que introduce la red pasiva
- El parámetro B informa de la admitancia de transferencia de la entrada a la salida con esta en circuito abierto.
- El parámetro C informa de la impedancia de transferencia de entrada a la salida con esta cortocircuitada
- El parámetro D informa de la atenuación en corriente que introduce la red pasiva.

Se define la impedancia equivalente entre dos puntos como el cociente entre la tensión de un generador ideal conectado entre estos dos puntos y la corriente que circula por él. En las redes pasivas como los cuadripolos se determina conectando entre los terminales un generador ideal de tensión.

La impedancia equivalente es la impedancia que sustituye a efectos prácticos a la red pasiva conectada a estos dos puntos con la finalidad de realizar un estudio del circuito más sencillo.

La impedancia de entrada del cuadripolo será la impedancia equivalente que sustituya al cuadripolo cuando se conecte un generador de tensión a su entrada y se cargue la puerta de salida del mismo con  $Z_L$ . Esta impedancia de entrada, es la misma que se ve, desde la entrada del cuadripolo hacia la derecha, cuando la salida está cargada con la impedancia de carga  $Z_L$ .

Se parte de la expresión de la impedancia equivalente y del sistema de ecuaciones de los parámetros de transmisión de un cuadripolo. En este caso se supondrá que la corriente  $I_2$  es saliente.

$$Z_{in} = \frac{E_1}{I_1}$$

$$E_1 = A \cdot E_2 + B \cdot I_2$$

$$I_1 = C \cdot E_2 + D \cdot I_2$$

Sabiendo que  $E_2 = I_2 \cdot Z_L$  se puede calcular la impedancia de entrada sustituyendo en el anterior sistema de ecuaciones esta última expresión:

$$E_1 = A \cdot I_2 \cdot Z_L + B \cdot I_2$$

$$I_1 = C \cdot I_2 \cdot Z_L + D \cdot I_2$$

Sacando como factor común  $I_2$

$$E_1 = I_2 \cdot (A \cdot Z_L + B)$$

$$I_1 = I_2 \cdot (C \cdot Z_L + D)$$

Si se divide la primera ecuación por la segunda ecuación, se estará hallando la impedancia de entrada

$$Z_{in} = \frac{E_1}{I_1} = \frac{A \cdot Z_L + B}{C \cdot Z_L + D}$$

En esta última expresión se ha podido simplificar  $I_2$  debido a que su valor es por la propia definición de la impedancia de entrada distinto de cero (al cargar la salida para el cálculo de la impedancia de entrada se está cerrando la malla que posibilita la existencia de  $I_2$ ).

La impedancia de salida del cuadripolo será la impedancia equivalente que sustituye al cuadripolo cuando se conecte un generador de tensión a su puerta de salida y se cargue la puerta de entrada del mismo con  $Z_g$ . Esta impedancia de salida es la misma que se ve desde la puerta de salida del cuadripolo hacia la izquierda, cuando la entrada esta cargada con la impedancia  $Z_g$ .

$$Z_{out} = \frac{E_2}{I_2}$$

$$E_1 = A \cdot E_2 + B \cdot I_2$$

$$I_1 = C \cdot E_2 + D \cdot I_2$$

Sabiendo que  $E_1 = -I_1 \cdot Z_g$  se puede calcular la impedancia de entrada, sustituyendo en el anterior sistema de ecuaciones esta última expresión:

$$-Z_g \cdot I_1 = A \cdot E_2 + B \cdot I_2$$

$$I_1 = C \cdot E_2 + D \cdot I_2$$

Como  $I_1$  es diferente de cero porque se ha incluido  $Z_g$  que cierra la malla de entrada, entonces se puede dividir la primera ecuación entre la segunda ecuación, con lo cual resulta

$$-Z_g = \frac{A \cdot E_2 + B \cdot I_2}{C \cdot E_2 + D \cdot I_2};$$

$$-Z_g \cdot (C \cdot E_2 + D \cdot I_2) = A \cdot E_2 + B \cdot I_2;$$

$$-Z_g \cdot C \cdot E_2 - Z_g \cdot D \cdot I_2 = A \cdot E_2 + B \cdot I_2;$$

Si se agrupan los términos y se despeja se obtiene

$$(-Z_g \cdot C - A) \cdot E_2 = (B + Z_g \cdot D) \cdot I_2;$$

$$Z_{out} = \frac{E_2}{I_2} = -\frac{B + Z_g \cdot D}{Z_g \cdot C + A}$$

### 1.1.2 Parámetros imagen de un cuadripolo

Las redes pasivas en las que solo existen tres elementos R,L,C forman lo que se conoce como cuadripolos bilaterales. En este caso tan solo hacen falta tres parámetros para caracterizar un cuadripolo.

Los parámetros imagen de un cuadripolo R,L,C son:

- 1) Impedancia de imagen  $Z_{01}$ : Cuando se cierra la entrada del cuadripolo con esta impedancia, desde la salida del cuadripolo se ve la impedancia  $Z_{02}$ .

- 2) Impedancia de imagen  $Z_{02}$ : Cuando se cierra la salida del cuadripolo con esta impedancia, a la entrada del cuadripolo se ve la impedancia  $Z_{01}$ .
- 3) Constante de propagación  $\gamma$ . Se obtiene cuando la salida del cuadripolo esta cargada con  $Z_{02}$ .

$$e^{2\gamma} = \frac{E_1 \cdot I_1}{E_2 \cdot I_2}$$

La constante de propagación surge a partir de un producto de tensión por corriente. Implícitamente la constante de propagación esta relacionando la potencia en la entrada con la potencia en la salida.

Se va a expresar las tensiones y las corrientes mediante sus fasores correspondientes:

$$\begin{aligned} E_1 &= E_{01} \cdot e^{j\varphi_{E01}} \\ E_2 &= E_{02} \cdot e^{j\varphi_{E02}} \\ I_1 &= I_{01} \cdot e^{j\varphi_{I01}} \\ I_2 &= I_{02} \cdot e^{j\varphi_{I02}} \end{aligned}$$

Luego:

$$\begin{aligned} e^{2\gamma} &= \frac{E_{01} \cdot e^{j\varphi_{E01}} \cdot I_{01} \cdot e^{j\varphi_{I01}}}{E_{02} \cdot e^{j\varphi_{E02}} \cdot I_{02} \cdot e^{j\varphi_{I02}}}; \\ e^{2\gamma} &= \frac{E_{01} \cdot I_{01} \cdot e^{j(\varphi_{E01} + \varphi_{I01})}}{E_{02} \cdot I_{02} \cdot e^{j(\varphi_{E02} + \varphi_{I02})}}; \\ e^{2\gamma} &= \frac{P_{01}}{P_{02}} \cdot e^{j(\varphi_{E01} + \varphi_{I01} - \varphi_{E02} - \varphi_{I02})} \end{aligned}$$

Tomando logaritmos neperianos y aplicando sus propiedades:

$$\begin{aligned} \log_e e^{2\gamma} &= \log_e \frac{P_{01}}{P_{02}} \cdot e^{j(\varphi_{E01} + \varphi_{I01} - \varphi_{E02} - \varphi_{I02})}; \\ \log_e e^{2\gamma} &= \log_e \frac{P_{01}}{P_{02}} + \log_e e^{j(\varphi_{E01} + \varphi_{I01} - \varphi_{E02} - \varphi_{I02})}; \\ 2 \cdot \gamma \cdot \log_e e &= \log_e \frac{P_{01}}{P_{02}} + j \cdot (\varphi_{E01} - \varphi_{E02} + \varphi_{I01} - \varphi_{I02}) \cdot \log_e e; \\ 2 \cdot \gamma &= \log_e \frac{P_{01}}{P_{02}} + j \cdot (\varphi_{E01} - \varphi_{E02} + \varphi_{I01} - \varphi_{I02}); \end{aligned}$$

$$\begin{aligned}
\gamma &= \frac{1}{2} \cdot \log_e \frac{P_{01}}{P_{02}} + \frac{1}{2} \cdot j \cdot (\varphi_{E_{01}} - \varphi_{E_{02}} + \varphi_{I_{01}} - \varphi_{I_{02}}); \\
\alpha &= \frac{1}{2} \cdot \log_e \frac{P_{01}}{P_{02}}; \\
\beta &= \frac{1}{2} \cdot (\varphi_{E_{01}} - \varphi_{E_{02}} + \varphi_{I_{01}} - \varphi_{I_{02}}); \\
\gamma &= \alpha + \beta \cdot j
\end{aligned}
\tag{2}$$

La constante de atenuación  $\alpha$  representa en un cuadripolo simétrico, las pérdidas de transmisión de potencia cuando este se encuentra cerrado por su impedancia característica.

La constante de fase  $\beta$  representa el desfase existente entre la potencia de entrada y la potencia de salida del cuadripolo, cuando está cerrado por su impedancia característica.

### 1.1.3 Caracterización los parámetros imagen de un cuadripolo a partir de los parámetros de transmisión del mismo.

- Caracterización de las impedancias imagen de un cuadripolo.

Se puede extrapolar la impedancia de entrada de un cuadripolo de parámetros ABCD a la impedancia imagen de entrada a un cuadripolo con parámetros imagen mediante la siguiente expresión:

$$Z_{01} = \frac{A \cdot Z_{02} + B}{C \cdot Z_{02} + D}$$

De la misma manera se puede hacer con la impedancia de salida de un cuadripolo de parámetros ABCD y la impedancia imagen de salida de un cuadripolo con parámetros imagen:

$$Z_{02} = \frac{D \cdot Z_{01} + B}{C \cdot Z_{01} + A}$$

Con las dos anteriores expresiones se hace un sistema de ecuaciones

$$\begin{aligned}
C \cdot Z_{01} \cdot Z_{02} + D \cdot Z_{01} &= A \cdot Z_{02} + B \\
C \cdot Z_{01} \cdot Z_{02} + A \cdot Z_{02} &= D \cdot Z_{01} + B
\end{aligned}$$

La suma de ambas ecuaciones y el desarrollo posterior de dicha suma produce:

$$Z_{01} \cdot Z_{02} = \frac{B}{C}$$

Mientras que la resta y el desarrollo de la misma produce:

$$\frac{Z_{01}}{Z_{02}} = \frac{A}{D}$$

De nuevo se vuelve a tener dos ecuaciones de las cuales si se despeja  $Z_{01}$  y  $Z_{02}$  en función de ABCD, se puede obtener el siguiente resultado

$$Z_{01} = \sqrt{\frac{A \cdot B}{C \cdot D}}$$
$$Z_{02} = \sqrt{\frac{B \cdot D}{A \cdot C}}$$

Se dice que un cuadripolo caracterizado por sus parámetros ABCD posee simetría eléctrica si se verifica que el parámetro A coincide con el parámetro D. De esta forma un cuadripolo caracterizado por sus parámetros ABCD que cumpla que es bilateral y simétrico, necesitará tan solo de dos parámetros para estar totalmente caracterizado.

Si las expresiones anteriormente halladas corresponden a un cuadripolo con simetría eléctrica  $Z_{01}$  será igual a  $Z_{02}$  y estas dos a su vez serán iguales a  $Z_0$ , conocida como impedancia característica. Esta impedancia tiene una importancia vital en los sistemas de transmisión de señales. Verifica la excepcional particularidad de que si un cuadripolo está cargado a la salida con dicha impedancia, la impedancia vista desde la entrada del cuadripolo será igual a  $Z_0$ . Mientras que si se carga la entrada del cuadripolo con esta impedancia la impedancia de salida que se ve desde la salida del cuadripolo es  $Z_0$ . Es como si a efectos prácticos el cuadripolo fuese totalmente transparente en cuanto a impedancias se refiere.

**Si el cuadripolo de parámetros imagen es simétrico eléctricamente y bilateral, los parámetros necesarios para caracterizarlo serán la constante de propagación  $\gamma$  y la impedancia característica  $Z_0$**

$$Z_0 = Z_{01} = Z_{02} = \sqrt{\frac{B}{C}}$$

- Caracterización de la constante de propagación de un cuadripolo:

Para ello se parte de dos expresiones ya vistas anteriormente:

$$e^{2\gamma} = \frac{E_1 \cdot I_1}{E_2 \cdot I_2}$$

$$\begin{cases} E_1 = A \cdot E_2 + B \cdot I_2 \\ I_1 = C \cdot E_2 + D \cdot I_2 \end{cases}$$

Donde en la primera expresión la impedancia de carga de la salida es  $Z_{02}$  y donde en el sistema de ecuaciones de la segunda expresión se ha tomado como sentido de la corriente  $I_2$  desde el cuadripolo hacia a fuera.

De la primera ecuación del sistema y del cuadripolo se obtienen dos ecuaciones:

$$I_2 = \frac{E_2}{Z_{02}}$$

$$E_1 = A \cdot E_2 + B \cdot I_2$$

Operando con estas ecuaciones:

$$E_1 = A \cdot E_2 + B \cdot \frac{E_2}{Z_{02}}$$

$$E_1 = E_2 \cdot \left( A + B \cdot \frac{1}{Z_{02}} \right)$$

$$\frac{E_1}{E_2} = A + B \cdot \frac{1}{Z_{02}}$$

Del cuadripolo y con la segunda ecuación del sistema se obtendrá otras dos nuevas ecuaciones:

$$E_2 = I_2 \cdot Z_{02}$$

$$I_1 = C \cdot E_2 + D \cdot I_2$$

Operando con estas dos ecuaciones:

$$I_1 = C \cdot (I_2 \cdot Z_{02}) + D \cdot I_2$$

$$I_1 = I_2 (C \cdot Z_{02} + D)$$

$$\frac{I_1}{I_2} = C \cdot Z_{02} + D$$

Sustituyendo en la ecuación de la constante de propagación se obtiene:

$$e^{2\gamma} = \left( A + B \cdot \frac{1}{Z_{02}} \right) \cdot (C \cdot Z_{02} + D)$$

Tal como se vio en el apartado anterior

$$Z_{02} = \sqrt{\frac{B \cdot D}{A \cdot C}}$$

luego

$$e^{2\gamma} = \left( A + B \cdot \sqrt{\frac{A \cdot C}{B \cdot D}} \right) \cdot \left( C \cdot \sqrt{\frac{B \cdot D}{A \cdot C}} + D \right)$$

$$e^{2\gamma} = A \cdot C \cdot \sqrt{\frac{B \cdot D}{A \cdot C}} + A \cdot D + B \cdot C \cdot \sqrt{\frac{A \cdot C}{B \cdot D}} \cdot \sqrt{\frac{B \cdot D}{A \cdot C}} + B \cdot D \cdot \sqrt{\frac{A \cdot C}{B \cdot D}}$$

reduciendo la expresión se obtiene:

$$e^{2\gamma} = \sqrt{A \cdot C \cdot B \cdot D} + A \cdot D + B \cdot C + \sqrt{A \cdot C \cdot B \cdot D}$$

$$e^{2\gamma} = A \cdot D + 2 \cdot \sqrt{A \cdot C \cdot B \cdot D} + B \cdot C$$

$$e^{2\gamma} = (\sqrt{A \cdot D} + \sqrt{B \cdot C})^2$$

$$e^{\gamma} = \sqrt{A \cdot D} + \sqrt{B \cdot C}$$

Para hallar los parámetros imágenes empíricamente nos basaremos en los parámetros de transmisión, y tan solo se deberá medir tensiones y corrientes en la entrada y salida del cuadripolo. Para ello se definen cuatro nuevas impedancias:

- $Z_{1C}$  y  $Z_{1A}$  que serán las impedancias de entrada al cuadripolo con el mismo cortocircuitado a su salida o en abierto a su salida respectivamente
- $Z_{2C}$  y  $Z_{2A}$  que representan las impedancias de salida del cuadripolo con la entrada cortocircuitada o con la entrada en circuito abierto respectivamente.

Las impedancias de entrada se hallan aprovechando los parámetros ABCD ya calculados.

$$A = \frac{E_1}{E_2}; C = \frac{I_1}{E_2}$$

- Dividiendo A entre C se obtiene

$$\frac{A}{C} = \frac{E_1 / E_2}{I_1 / E_2} = \frac{E_1}{I_1}$$

$$Z_{1A} = \frac{A}{C}$$

- Dividiendo B entre D

$$\frac{B}{D} = \frac{-E_1 / I_2}{-I_1 / I_2} = \frac{E_1}{I_1}$$

$$Z_{1C} = \frac{B}{D}$$

Como se ha hallado previamente

$$Z_{01} = \sqrt{\frac{A \cdot B}{C \cdot D}} = \sqrt{Z_{1A} \cdot Z_{1C}}$$

El parámetro imagen  $Z_{01}$  se calcula como la raíz cuadrada de la impedancia de entrada al cuadripolo cuando su salida está sin carga por la impedancia de entrada al cuadripolo cuando su salida está cortocircuitada.

Para la impedancia de salida se parte de las ecuaciones del cuadripolo y se particularizan para los siguientes casos:

- Entrada en circuito abierto  $I_1=0$

$$0 = C \cdot E_2 - D \cdot I_2$$

$$D \cdot I_2 = C \cdot E_2$$

$$\frac{E_2}{I_2} = \frac{D}{C} = Z_{2A}$$

- Entrada en cortocircuito  $E_1=0$

$$0 = A \cdot E_2 - B \cdot I_2$$

$$B \cdot I_2 = A \cdot E_2$$

$$\frac{E_2}{I_2} = \frac{B}{A} = Z_{2C}$$

Como se ha visto previamente

$$Z_{02} = \sqrt{\frac{B \cdot D}{A \cdot C}} = \sqrt{Z_{2C} \cdot Z_{2A}}$$

Es decir, el parámetro imagen  $Z_{02}$  se calcula como la raíz cuadrada de la impedancia de salida del cuadripolo cuando su entrada está sin carga, por la impedancia de salida del cuadripolo cuando su entrada está cortocircuitada.

Para calcular la constante de propagación, tan sólo se deberá emplear la tangente hiperbólica, dada la relación que esta tiene con las funciones exponenciales.

$$Th\gamma = \sqrt{\frac{Z_{1C}}{Z_{1A}}} = \sqrt{\frac{Z_{2C}}{Z_{2A}}}$$

#### 1.1.4 Modelo del cable

Generalmente el estudio del cable o de una línea de transmisión se efectúa con un cable sencillo y que a la vez es el más empleado en las líneas de transmisión: el cable coaxial.

El cable coaxial es un cable compuesto por tres elementos de interés eléctrico: El conductor por el que viaja propiamente la señal entre dos sistemas, comúnmente denominado “vivo“. El conductor por el cual retorna la señal que viajaba por el “vivo“, este conductor se le suele denominar “retorno” o “malla“. Un dieléctrico que separa ambos conductores.

El “vivo” suele ser un conductor físico, de forma cilíndrica y maciza. El material dieléctrico es un material plástico que evita que entren en contacto los dos conductores entre si. Está dispuesto rodeando en su totalidad al “vivo” de forma coaxial. Y el retorno o malla es un entramado de una gran multitud de hilos muy finos colocados uno sobre otro de forma que producen un mallazo que rodea al dieléctrico también de forma coaxial. Esta malla es de vital importancia ya que suele estar unida a un potencial cero lo cual produce tres efectos fundamentales

- Se minimizan en buena medida tanto los campos eléctricos externos al cable y que se podrían inducir en el mismo, como los campos internos creados en el cable y que podrían causar interferencias en otros cables o sistemas cercanos.
- La señal que viaja por el vivo debe estar referenciada tanto en la entrada como en la salida del cable al mismo potencial de referencia. Esta referencia se establece en la malla y por tanto la señal que viaja por el vivo es una diferencia de potencial entre el vivo y la malla.
- Ofrece un camino de retorno que cierra la malla que se establece en el cable, siendo por tanto posible la transmisión de la señal por el cable.

Una vez que se conoce el cable a estudiar se procede a enumerar sus parámetros primarios:

- **R:** Es la resistencia propia del “vivo” (si bien esta resistencia también esta presente en la “malla” se suele modelar sus efectos tan solo en el vivo, en el cual se suma los efectos del “vivo” y la “malla”). Cualquier material ofrece una determinada oposición al paso de una corriente de electrones. Esta resistencia depende directamente de la resistividad propia del material y de la longitud del mismo, e inversamente de la sección del material. Es lógico pensar que a mayor longitud del material mayor tiempo estará afectando el factor de la resistividad del mismo sobre la corriente eléctrica, y también parece lógico pensar que cuanto mayor sea la sección del cable más espacio se dispondrá para que viajen los electrones sin que se produzca choques entre ellos.

En principio podría parecer que con lo visto hasta el momento la resistencia no depende de la frecuencia. Sin embargo por desgracia esto no es el del todo cierto, produciéndose lo que se conoce como el efecto pelicular a medida que se aumenta la frecuencia de la señal transmitida por el cable.

Cuando se transmite una señal eléctrica por un conductor se establece un campo magnético alrededor del mismo de tal manera que afecta tanto a los conductores que están a su alrededor (inducción magnética), como así mismo (autoinducción). Cuando un conductor es introducido en un campo magnético se origina en él una corriente eléctrica proporcional a la corriente que ha generado dicho campo e inversamente proporcional al cuadrado de la distancia. Si se habla de señales variables en el tiempo además se induce una fuerza electromotriz que se opone a las variaciones en el tiempo de la corriente del conductor que ha originado dicho campo.

La problemática surge cuando ese campo que se opone a la variación y que rodea al propio conductor se induce en si mismo, proporcionando un elemento más de oposición al paso de la corriente eléctrica. Esto es conocido como efecto pelicular y su nombre deriva de que la autoinducción que se opone al paso de la corriente se focaliza en el centro justo de la sección del conductor “vivo”, y parte del resto de la sección del mismo, estableciéndose dos zonas diferenciadas en el interior del conductor “vivo”: un cilindro coaxial con el centro geométrico de la sección del conductor, en el cual a la propia resistencia del cable hay que sumar la oposición que presenta la autoinducción, y una corona circular que rodea a este cilindro en la cual el efecto de la autoinducción es mínimo.

La corriente eléctrica por tanto es estrangulada hacia dicha corona, reduciéndose la sección disponible para la distribución de los electrones. De esta manera, la resistencia depende de la frecuencia de la señal que por el conductor viaja.

Tan solo recordar que el campo eléctrico en el interior de un conductor estable es cero y por tanto dicha corriente eléctrica circula por la superficie del conductor.

- **L:** Tal como se ha adelantado con el parámetro anterior, un conductor recorrido por una corriente eléctrica genera a su alrededor un campo magnético coaxial con el conductor, siendo proporcional a la corriente que discurre por el conductor e inversamente proporcional al cuadrado de la distancia. De la misma manera, en un conductor sumergido en el interior de un campo magnético se produce una corriente eléctrica en sí mismo, proporcional a la intensidad del campo magnético en los puntos del campo que ocupa el conductor. Teniendo en cuenta que por el cable discurre una corriente por el “vivo” y otra corriente proporcional por el “retorno”, se producirán 4 tipos de inducciones sobre el cable.
  - Inducción magnética del “vivo” sobre el “retorno”
  - Autoinducción magnética del “vivo” sobre el mismo por estar sumergido dentro del campo que el mismo crea.
  - Inducción magnética del “retorno” sobre el “vivo”.
  - Autoinducción magnética del “retorno” sobre él mismo por estar sumergido dentro del campo que él mismo crea.

A medida que aumenta la frecuencia, la autoinducción se va haciendo menor en relación con la inducción, siendo esta última la que parametriza **L** para las altas frecuencias

- **C:** La configuración coaxial de los conductores con potenciales diferentes y separados por un dieléctrico forman un modelo eléctrico de condensador, estableciéndose una capacitancia entre ambos conductores. Sin embargo en el caso concreto de un cable coaxial la “malla” suele estar conectada a un potencial cero, con lo cual la capacitancia es menor que si ambos conductores no estuviesen referenciados.

La capacitancia establecida entre ambos conductores depende directamente de la constante dieléctrica del material aislante e inversamente de la distancia que los separa, debido a que el campo eléctrico en el interior del dieléctrico se va debilitando conforme aumenta la distancia. De esta manera, si se aumenta el grosor (diámetro) del material dieléctrico se disminuirá la capacitancia entre ambos conductores.

En el modelo del cable empleado, se establece los valores **L** y **C** por unidad de longitud, tal como se distribuyen las constantes a lo largo del cable en la vida real. De esta manera la inductancia y la capacitancia total dependen de la acumulación que se hace de las mismas a lo largo de la longitud del cable. Sin embargo esta idea es válida cuando se considera el cable como un cable “eléctricamente” corto. Cuando el cable se puede considerar como una línea de transmisión tanto **L** como **C** tienen unos valores fijos que vienen determinados por la impedancia característica del cable.

- **G**: La conductancia en un cable coaxial modela las pérdidas (corrientes de fuga) existentes en el dieléctrico, lo cual establece un camino entre ambos conductores. Se debe conocer que la conductancia tiene como unidades la inversa de la resistencia

Después de haber presentado los parámetros primarios distribuidos a lo largo de un cable, se puede modelar el mismo como un gran número de cuadripolos colocados unos detrás de otros en serie.

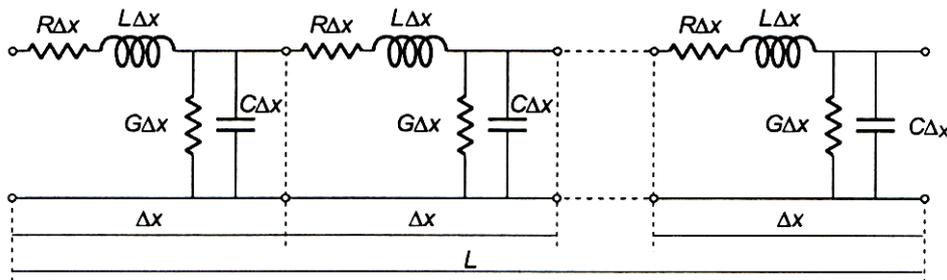


Fig. 2 Modelo de un cable.

Análisis de un cable:

### 1) Circuito “eléctricamente” corto: Cables

Cuando las frecuencias que se propagan por el cable no son lo suficientemente altas en relación a la longitud del mismo se procede a estudiar los efectos que produce la inserción de dicho cable sobre las señales transmitidas por él. Para ello se hace un estudio de la función de transferencia del cuadripolo visto anteriormente, resultando que la función de transferencia de dicho cuadripolo coincide con la función de transferencia de un filtro pasivo de segundo orden paso bajo.

La célula básica o cuadripolo a partir del cual se va a obtener la función de transferencia es una porción del cable

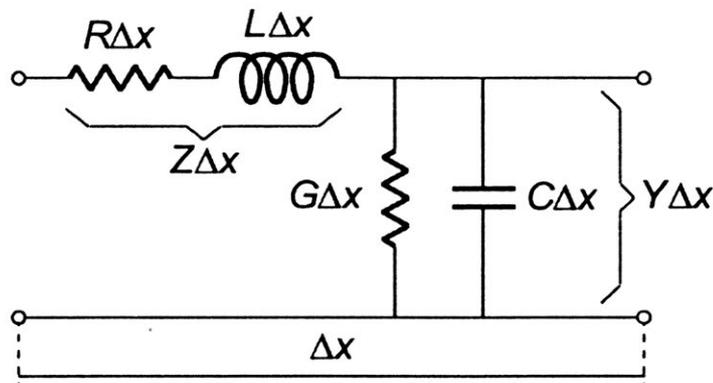


Fig.3 Modelo del cable como un cuadripolo

La función de transferencia que se va a comentar a continuación, relaciona las transformadas de Laplace de la tensión de salida del cuadripolo entre la tensión de entrada del cuadripolo. Introduciendo una delta de Dirac a la entrada del cuadripolo se puede obtener la respuesta al impulso a la salida del cuadripolo, y efectuando la transformada de Laplace a esta respuesta al impulso obtenida, se estará caracterizando al cuadripolo mediante su función de transferencia.

La función de transferencia de un filtro paso bajo de segundo orden genérico es:

$$H(s) = H_0 \cdot \frac{w_c^2}{s^2 + s\sqrt{2} \cdot w_c + w_c^2}$$

Donde  $w_c$  es la frecuencia (radianes) de corte que verifica:

$$H_{0_{-3dB}} = \frac{H_0}{\sqrt{2}}$$

Y  $H_0$  es el valor de la función de transferencia en la banda pasante.

Para calcular la función de transferencia se comienza hallando la expresión que rige el divisor de tensión que se produce en la salida del cuadripolo.

$$E_2 = \frac{E_1 \cdot \frac{1}{s \cdot C + G}}{R + s \cdot L + \frac{1}{s \cdot C + G}}$$

La función de transferencia será por tanto:

$$\begin{aligned} \frac{E_2}{E_1} &= \frac{\frac{1}{s \cdot C + G}}{\frac{s \cdot C \cdot R + R \cdot G + s^2 \cdot L \cdot C + s \cdot L \cdot G + 1}{s \cdot C + G}}; \\ \frac{E_2}{E_1} &= \frac{1}{s^2 \cdot L \cdot C + s \cdot (L \cdot G + R \cdot C) + R \cdot G + 1}; \\ \frac{E_2}{E_1} &= \frac{\frac{1 + R \cdot G}{L \cdot C}}{s^2 + s \cdot \left( \frac{L \cdot G + R \cdot C}{L \cdot C} \right) + \frac{1 + R \cdot G}{L \cdot C}} \cdot 1 \end{aligned}$$

Identificando términos con la función de transferencia del filtro paso bajo ideal:

$$\begin{aligned} H_0 &= \frac{1}{1 + R \cdot G}; \\ \omega_c^2 &= \frac{1 + R \cdot G}{L \cdot C}; \\ \sqrt{2} \cdot \omega_c &= \frac{L \cdot G + R \cdot C}{L \cdot C} \end{aligned} \quad (3)$$

## 2) Circuito “eléctricamente” largo: Líneas de transmisión

En este caso el estudio es bastante más complicado con respecto al caso anterior. Mientras que en el caso anterior se podía hacer el estudio de una sola célula aislada y posteriormente aproximar el valor de los parámetros primarios multiplicando los mismos por la longitud del cable, en este caso la forma de operar será bien diferente.

El estudio que se realiza del cable como una línea de transmisión es un estudio matemático de cálculo infinitesimal, es decir se debe trocear la totalidad del cable en longitudes infinitamente pequeñas, lo cual implica tomar límites de la forma  $\Delta x \rightarrow 0$ .

Pero esta no es la única diferencia con respecto al caso anterior. En el caso anterior y como consecuencia del tipo de propagación de señales en cables “eléctricamente” cortos, interesaba realizar un estudio de la influencia que tenía sobre las señales el hecho de insertar un cable en el medio. Para ello lo más apropiado es utilizar las teorías propias de señales y sistemas y estudiar la interacción que el cable como un sistema tiene sobre la señal que por ella se propaga, caracterizando el cable a partir de la función de transferencia del mismo.

Sin embargo como se ha visto anteriormente, la función de transferencia se halla independientemente de cualquier familia de parámetros de cuadripolos, y la noción de cuadripolo tan solo tiene cabida en este caso ya que habitualmente los filtros pasivos son estudiados a partir de modelos cuadripolares.

En el caso de la línea de transmisión el estudio se centrará en las características de la propagación de una señal por un cable “eléctricamente” largo, es decir en la transmisión de ondas a través del cable. Lo más lógico para realizar un estudio acerca de transmisiones es emplear la familia de parámetros de transmisión y las constantes iterativas o parámetros imagen y modelar el sistema como un conjunto de cuadripolos. Como se puede intuir en este caso sí se emplea toda la teoría de cuadripolos por completo, mientras que en el caso anterior tan solo se empleaba para hacer referencia al filtraje pasivo.

Para efectuar el estudio convenientemente se trocea el cable en infinitas células y se asocian estas entre sí en serie. Cada una de estas células se caracteriza a partir de su impedancia característica y su constante de propagación. Para caracterizar a partir de su impedancia característica se necesita

que la célula cuádrupolar sea simétrica eléctricamente. Por esta razón no se puede emplear la célula base anteriormente empleada, y se debe obtener otra nueva célula simétrica:

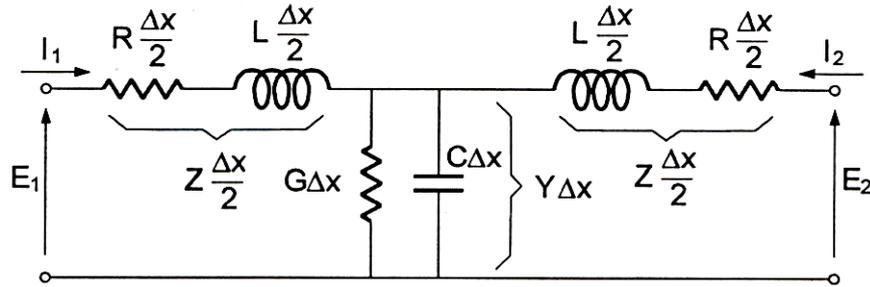


Fig. 4 Cuádrupolo simétrico.

El estudio de cálculo infinitesimal empleado para analizar el cable mostrará que el resultado es una asociación de cuádrupolos caracterizados por su impedancia característica (gracias a la simetría de las células cuádrupolares) y su constante de propagación. Si el cable es infinitamente largo, como todos los cuádrupolos poseen la misma impedancia característica, la impedancia característica del cable será igual a la impedancia característica de cualquiera de los cuádrupolos, mientras que el valor de la constante de propagación a lo largo del cable mostrará el efecto acumulativo de multiplicar la constante de propagación (la misma para todos los cuádrupolos) de cualquiera de los cuádrupolos por el número total de cuádrupolos.

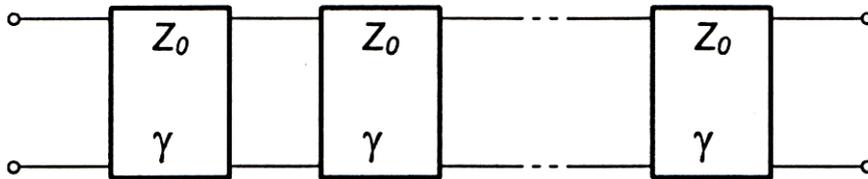


Fig. 5 Asociación en serie de N cuádrupolos caracterizados por sus parámetros imagen.

El estudio además obtiene el valor de la impedancia característica y de la constante de propagación a partir de los parámetros primarios de un cable mediante las dos siguientes expresiones:

$$\begin{aligned}
 Z_0 &= \sqrt{Z_1 \cdot Z_2} = \sqrt{\frac{R + j \cdot \omega \cdot L}{G + j \cdot \omega \cdot C}} \\
 \gamma &= \sqrt{\frac{Z_1}{Z_2}} = \sqrt{(R + j \cdot \omega \cdot L)(G + j \cdot \omega \cdot C)} \quad (4) \\
 Z &= Z_1 = R + j \cdot \omega \cdot L \\
 \frac{1}{Y} &= Z_2 = \frac{1}{G + j \cdot \omega \cdot C}
 \end{aligned}$$

Los parámetros imagen son también conocidos como los parámetros secundarios de la línea de transmisión y junto a los parámetros primarios son empleados como la base para el estudio de las propiedades de cada línea de transmisión en particular.

## **1.2 Líneas de transmisión**

El punto de comienzo es comprender que existe un comportamiento diferente a la hora de analizar la transmisión de una señal eléctrica a través de un cable en relación a la longitud del mismo y a las frecuencias de las señales que por él se transmiten. Por esta razón se diferencian dos casos:

- 1)  $\lambda \gg L$ : Cuando la longitud de onda de la señal eléctrica en el cable es mucho mayor que la longitud del cable
- 2)  $\lambda \ll L$ : Cuando la longitud de onda de la señal eléctrica en el cable es mucho menor que la longitud del cable

En el primer caso cuando se introduce una excitación sinusoidal con una determinada fase en el extremo del cable, se puede recuperar en el otro extremo la misma fase de la excitación sinusoidal introducida por el generador. Esto es debido a que la frecuencia asociada a la excitación sinusoidal posee una longitud de onda tan sumamente grande en comparación con el tamaño del cable, que no existe el fenómeno de propagación de la onda debido a que el cable no posee la suficiente longitud en relación con la longitud de onda de la sinusoide como para permitir a la señal desarrollar un perfil de onda a lo largo del cable. En este caso se puede decir que la fase de la señal en la entrada y en la salida son prácticamente iguales, y cualquier medición que se haga en cualquier punto del cable mostrara a todos los puntos del mismo en fase con la entrada.

En el segundo caso, el cable es para la onda un medio tan grande que le permite desarrollar todo su perfil de onda a lo largo del mismo como una onda con todas sus propiedades, presentando a lo largo del cable sus variaciones en la fase según las variaciones de fase del generador se van introduciendo en la línea y estas van viajando por el cable. En cada punto que se mida la tensión, se observará que está desfasado con respecto al resto de los puntos, excepto para aquellos que estén situados a una distancia múltiplo de la longitud de onda.

En el primero de los casos el estudio analítico empleado se basa en un modelo de conducción eléctrica de electrones, pudiéndose emplear directamente las leyes de Kirchoff, como si de un circuito eléctrico se tratase. La tensión medida en la entrada o en la salida depende de la fase del generador que lo excita, es decir depende de la variable tiempo, lo cual podría asemejarse al estudio de un movimiento armónico simple subamortiguado (debido a las resistencias del generador y del cable).

En el segundo de los casos, el estudio se complica, ya que se debe tener en cuenta que la señal de excitación es un generador variable en el tiempo, pero debido a la gran longitud de la línea de transmisión

este movimiento armónico simple introducido por el generador se transforma en la propagación de una onda a través de la línea. Como consecuencia las mediciones que se realicen en el cable van a depender de dos variables, el tiempo y la posición del cable en el que se realice la medición (espacio). El estudio de cualquier punto de la línea dará como resultado un movimiento armónico simple proporcional al del generador pero desfasado con respecto a este una cantidad que depende de la longitud de onda y la posición en la línea del punto a estudiar.

La frontera para el estudio como un circuito eléctrico dependiente del tiempo o como una onda dependiente del tiempo y del espacio suele establecerse a partir de que la dimensión del cable sea unas 10 veces menor que el tamaño de la longitud de onda. Por debajo de este límite se suele emplear el análisis de ondas electromagnéticas.

### 1.2.1 Ecuaciones en las líneas de transmisión

La teoría de líneas de transmisión centra su estudio en las ondas que se producen en el caso de las líneas eléctricamente "largas" ya que se entiende que a efectos prácticos la línea eléctricamente corta no presenta un comportamiento ondulatorio.

Se supone un generador sinusoidal en régimen permanente, una línea de transmisión caracterizada por sus parámetros secundarios  $Z_0$  y su constante de propagación  $\gamma$  y una carga finalizando la línea.

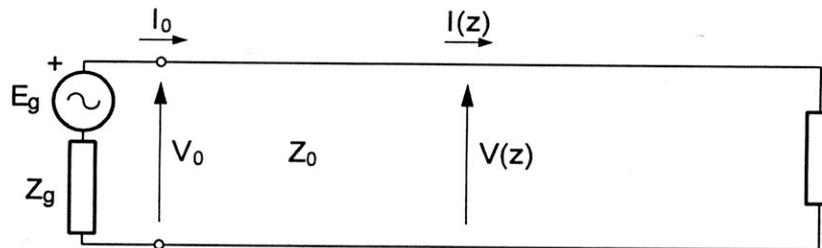


Fig. 6 Modelo de una línea de transmisión.

La expresión de la tensión como una onda para cualquier punto de la línea de transmisión, viene dada por:

$$v(x,t) = V(x) \cdot e^{j\omega t}$$

Donde se puede observar que para un punto fijo a una distancia  $x$  del origen la tensión se rige por un movimiento armónico simple  $e^{j\omega t}$

A su vez  $V(x)$  esta formada por dos elementos:

$$V(x) = V_i(x) + V_r(x) = V_1 \cdot e^{-\gamma \cdot x} + V_2 \cdot e^{\gamma \cdot x}$$

Lo que se corresponde con una onda que viaja progresivamente (onda incidente  $V_i(x)$ ) y una onda que viaja regresivamente (onda reflejada  $V_r(x)$ ). En cualquier punto de la línea la tensión viene determinada como la suma compleja de la actuación de ambas ondas.

La onda incidente se puede describir como:

$$\begin{aligned}
 V_i &= V_1 \cdot e^{-\gamma \cdot x} = V_1 \cdot e^{-\alpha \cdot x} \cdot e^{-j \cdot \beta \cdot x} \\
 V_1 &= |V_1| \cdot e^{j \cdot \varphi_1} \\
 V_i &= |V_1| \cdot e^{-\alpha \cdot x} \cdot e^{j(\varphi_1 - \beta \cdot x)}
 \end{aligned}$$

En donde  $V_1$  se ha sustituido por su correspondiente fasor, en el que el módulo coincide con el valor de la tensión en el origen de la línea de transmisión y la fase coincide con la fase inicial de la tensión en el mismo punto.

Se puede observar que el módulo de esta función de onda va disminuyendo según la onda va avanzando en el eje  $x$  desde el generador hacia la carga de una manera exponencial  $e^{-\alpha \cdot x}$ . Mientras que la fase de la onda va disminuyendo en el sentido horario de una forma totalmente lineal  $(\varphi_1 - \beta \cdot x)$ .

La definición anterior de la onda incidente o progresiva está incompleta, ya que la ecuación de una onda debe mostrar dos variables: el tiempo y el espacio.

Si se añade la componente temporal a la onda incidente se obtiene:

$$\begin{aligned}
 v_i(x, t) &= |V_1| \cdot e^{-\alpha \cdot x} \cdot e^{j(\varphi_1 - \beta \cdot x)} \cdot e^{j \cdot \omega \cdot t} \\
 v_i(x, t) &= |V_1| \cdot e^{-\alpha \cdot x} \cdot e^{j(\omega t + \varphi_1 - \beta \cdot x)} \quad (5)
 \end{aligned}$$

El mismo estudio se puede desarrollar para la onda regresiva o reflejada.

$$\begin{aligned}
 V_r &= V_2 \cdot e^{\gamma \cdot x} = V_2 \cdot e^{\alpha \cdot x} \cdot e^{j \cdot \beta \cdot x} \\
 V_2 &= |V_2| \cdot e^{j \cdot \varphi_2} \\
 V_r &= |V_2| \cdot e^{\alpha \cdot x} \cdot e^{j(\varphi_2 + \beta \cdot x)}
 \end{aligned}$$

Como se puede observar  $V_2$  se ha sustituido por su correspondiente fasor en el que el módulo coincide con el valor de la tensión en el comienzo de la línea de transmisión y la fase coincide con la fase inicial de la tensión en el mismo punto.

Se puede observar que el módulo de esta función de onda va aumentando según la onda va avanzando en el eje  $x$  desde el generador hacia la carga de una manera exponencial  $e^{\alpha \cdot x}$ . Mientras que la fase de la onda va aumentando en el sentido antihorario de una forma totalmente lineal  $(\varphi_2 + \beta \cdot x)$ .

Si se añade la componente temporal a la onda reflejada se obtiene:

$$\begin{aligned}
 v_r(x, t) &= |V_2| \cdot e^{\alpha \cdot x} \cdot e^{j(\varphi_2 + \beta \cdot x)} \cdot e^{j \cdot \omega \cdot t} \\
 v_r(x, t) &= |V_2| \cdot e^{\alpha \cdot x} \cdot e^{j(\varphi_2 + \beta \cdot x + \omega t)} \quad (6)
 \end{aligned}$$

Con respecto a la expresión de la corriente para cualquier punto de la línea de transmisión, viene dada por:

$$I(x) = \frac{V_i(x) - V_r(x)}{Z_0};$$

$$I(x) = \frac{|V_1| \cdot e^{-\alpha \cdot x} \cdot e^{j(\varphi_1 - \beta \cdot x)} - |V_2| \cdot e^{\alpha \cdot x} \cdot e^{j(\varphi_2 + \beta \cdot x)}}{Z_0};$$

$$I(x, t) = \frac{|V_1| \cdot e^{-\alpha \cdot x} \cdot e^{j(\varphi_1 - \beta \cdot x)} \cdot e^{j \cdot \omega \cdot t} - |V_2| \cdot e^{\alpha \cdot x} \cdot e^{j(\varphi_2 + \beta \cdot x)} \cdot e^{j \cdot \omega \cdot t}}{Z_0};$$

$$I(x, t) = \frac{|V_1| \cdot e^{-\alpha \cdot x} \cdot e^{j(\varphi_1 + \omega \cdot t - \beta \cdot x)} - |V_2| \cdot e^{\alpha \cdot x} \cdot e^{j(\varphi_2 + \omega \cdot t + \beta \cdot x)}}{Z_0}$$

Independientemente de estar trabajando con tensiones o corrientes, se puede asegurar que la onda incidente existirá siempre que exista una excitación sobre la línea de transmisión. La onda reflejada no tiene porque siempre existir y parte del estudio se centrará en tratar de evitar dicha onda mediante la correcta adaptación y finalización de impedancias en la línea de transmisión.

### 1.2.2 Líneas de transmisión infinitas y finitas.

Las líneas de transmisión se suelen dividir como líneas infinitas y líneas finitas. El caso de las líneas infinitas no son físicamente posibles en la vida real, sin embargo poseen una propiedad que sí puede verificarse en algunas líneas finitas.

La principal propiedad de las líneas infinitas es que se definen a partir de la expresión de la onda incidente. En este tipo de líneas no existe onda reflejada, ya que la onda creada por el generador se propaga a lo largo de toda la línea hasta el infinito, no pudiendo darse el caso de una desadaptación de impedancias en la misma que originaría una onda reflejada (se debe recordar que el modelo mediante cuadripolos simétricos de una línea de transmisión afirma que la impedancia característica de la línea es igual en cualquiera de sus puntos).

Por otro lado existen las líneas finitas, estas líneas como su nombre indica poseen un final, y en dicho final se carga la línea. Como una regla práctica se debe conocer que **siempre que la línea este cargada con una carga cuyo valor sea la impedancia característica de la línea o muy parecida, la onda reflejada, tendrá un valor mínimo, pudiéndose despreciar la misma.** Cuanto más grande sea la relación entre impedancia característica de la línea y el valor de la carga, mayor serán los efectos que la onda reflejada producirá sobre la onda incidente.

El estudio de las líneas finitas se realiza observando que sucede en el acoplamiento entre la línea y la carga. Concretamente se deben redefinir las ecuaciones vistas hasta el momento debido a que las mismas estaban indicadas tomando como origen el generador.

Parece claro, que lo más óptimo para estudiar lo que sucede en el acoplamiento con la carga, consiste en estudiar la línea en las inmediaciones de la carga, de esta manera el nuevo origen de coordenadas se establece en la carga y se toma como sentido positivo desde la carga hasta el generador.

Las ideas presentadas hasta el momento no varían, sin embargo se hace un cambio en la variable distancia de la siguiente manera:

$$x = L - z$$

Donde  $x$  es la antigua variable empleada para medir la distancia desde el generador,  $L$  es la longitud total de la línea y  $z$  es la nueva variable que mide la distancia desde la carga.

Si en las ecuaciones vistas se realiza el cambio de variable, se obtienen unas nuevas expresiones:

$$\begin{aligned} V(x) &= V_1 \cdot e^{-\gamma \cdot x} + V_2 \cdot e^{\gamma \cdot x}; \\ V(z) &= V_1 \cdot e^{-\gamma \cdot (L-z)} + V_2 \cdot e^{\gamma \cdot (L-z)}; \\ V(z) &= V_1 \cdot e^{-\gamma \cdot L} \cdot e^{\gamma \cdot z} + V_2 \cdot e^{\gamma \cdot L} \cdot e^{-\gamma \cdot z} \end{aligned}$$

Se definen unas nuevas expresiones:

$$\begin{aligned} V_1 \cdot e^{-\gamma \cdot L} &= |V_1| \cdot e^{j\varphi_1} \cdot e^{-\gamma \cdot L} = |V_1| \cdot e^{j\varphi_1} \cdot e^{-(\alpha + \beta \cdot j) \cdot L} = |V_1| \cdot e^{-\alpha \cdot L} \cdot e^{j(\varphi_1 - \beta \cdot L)} = V^+ \\ V_2 \cdot e^{\gamma \cdot L} &= |V_2| \cdot e^{j\varphi_2} \cdot e^{\gamma \cdot L} = |V_2| \cdot e^{j\varphi_2} \cdot e^{(\alpha + \beta \cdot j) \cdot L} = |V_2| \cdot e^{\alpha \cdot L} \cdot e^{j(\varphi_2 + \beta \cdot L)} = V^- \end{aligned}$$

Siendo  $V^+$  y  $V^-$  los valores de las ondas tanto incidente como reflejada justo en la carga.

$$V(z) = V_i(z) + V_r(z) = V^+ \cdot e^{\gamma \cdot z} + V^- \cdot e^{-\gamma \cdot z}$$

No conviene olvidar que como siempre, se está representando sólo la variable espacial de la onda, la caracterización completa de la onda vendrá dada multiplicando la anterior expresión por  $e^{j\omega t}$

### 1.2.3 Líneas de transmisión sin pérdidas.

Hasta el momento se han presentado las líneas de transmisión de forma genérica. Sin embargo se pueden obtener diferentes modelos de líneas de transmisión, dependiendo de la caracterización que se quiera hacer de ellas. Estos modelos son en sí mismos unas aproximaciones a los casos reales de transmisión de ondas. Dada la sencillez de los modelos y su aproximación a la realidad se permite la pérdida de generalidad inherente a cada modelo.

En la caracterización mediante modelos se busca modelar las líneas de transmisión en cuanto a dos propiedades intrínsecas a las mismas: las pérdidas y la distorsión.

Para las pérdidas se suelen emplear dos modelos bastantes cercanos a la realidad:

- Líneas de transmisión sin pérdidas
- Líneas de transmisión de bajas pérdidas

En cuanto a la distorsión se emplean hasta tres modelos diferentes:

- Líneas sin distorsión
- Líneas de baja distorsión
- Líneas de elevada distorsión

A continuación se va a tratar tan sólo el modelo de las líneas de transmisión sin pérdidas. Es un modelo bastante sencillo que sin embargo tiene una alta correlación con la realidad.

Este modelo se basa en dos aproximaciones: Dado el modelo visto anteriormente de un cable (línea de transmisión) como un cuadripolo, las altas frecuencias en las que se definen las líneas de transmisión permiten afirmar que:

$$\begin{aligned} Z_1 &\rightarrow R \ll w \cdot L \\ Z_2 &\rightarrow G \ll w \cdot C \end{aligned}$$

$$R, G \rightarrow 0$$

El primer paso consiste en calcular como afectara esto a las constantes que definen al cuadripolo.

$$Z_0 = \sqrt{\frac{R + j \cdot w \cdot L}{G + j \cdot w \cdot C}} \xrightarrow{R, G=0} Z_0 = \sqrt{\frac{j \cdot w \cdot L}{j \cdot w \cdot C}} = \sqrt{\frac{L}{C}}$$

$$\gamma = \alpha + \beta \cdot j = \sqrt{\frac{Z_1}{Z_2}} = \sqrt{(R + j \cdot w \cdot L)(G + j \cdot w \cdot C)}$$

$$\gamma^2 = (\alpha + \beta \cdot j)^2 = (R + j \cdot w \cdot L)(G + j \cdot w \cdot C)$$

$$\gamma^2 = \alpha^2 - \beta^2 + 2 \cdot \alpha \cdot \beta \cdot j = R \cdot G + j \cdot w \cdot C \cdot R + j \cdot w \cdot L \cdot G - w^2 \cdot L \cdot C;$$

$$\alpha^2 - \beta^2 + 2 \cdot \alpha \cdot \beta \cdot j = R \cdot G - w^2 \cdot L \cdot C + j(w \cdot C \cdot R + w \cdot L \cdot G)$$

$$\begin{cases} \alpha^2 - \beta^2 = R \cdot G - w^2 \cdot L \cdot C \\ 2 \cdot \alpha \cdot \beta = w \cdot C \cdot R + w \cdot L \cdot G \end{cases}$$

Despejando el valor de  $\beta$  en la segunda ecuación

$$\beta = \frac{w \cdot C \cdot R + w \cdot L \cdot G}{2 \cdot \alpha}$$

Sustituyendo este valor en la primera ecuación:

$$\alpha^2 - \left( \frac{w \cdot C \cdot R + w \cdot L \cdot G}{2 \cdot \alpha} \right)^2 = R \cdot G - w^2 \cdot L \cdot C;$$

$$4 \cdot \alpha^4 - (w \cdot C \cdot R + w \cdot L \cdot G)^2 = 4 \cdot \alpha^2 \cdot R \cdot G - 4 \cdot \alpha^2 \cdot w^2 \cdot L \cdot C;$$

$$4 \cdot \alpha^4 - 4 \cdot \alpha^2 \cdot (R \cdot G - w^2 \cdot L \cdot C) + (w \cdot C \cdot R + w \cdot L \cdot G)^2 = 0$$

Haciendo el cambio de variable  $\alpha^2 = x$

$$4 \cdot x^2 - 4 \cdot (R \cdot G - w^2 \cdot L \cdot C) x + (w \cdot C \cdot R + w \cdot L \cdot G)^2 = 0$$

Resolviendo la ecuación de segundo grado y eligiendo la solución positiva como la única solución viable:

$$x = \frac{(R \cdot G - w^2 \cdot L \cdot C) + \sqrt{(R \cdot G - w^2 \cdot L \cdot C)^2 - (w \cdot C \cdot R + w \cdot L \cdot G)^2}}{2}$$

Deshaciendo el cambio de variable:

$$x = \alpha^2;$$

$$\sqrt{x} = |\alpha|;$$

$$\alpha = \sqrt{\frac{(R \cdot G - w^2 \cdot L \cdot C) + \sqrt{(R \cdot G - w^2 \cdot L \cdot C)^2 - (w \cdot C \cdot R + w \cdot L \cdot G)^2}}{2}}$$

De la misma manera se puede obtener el valor de  $\beta$

$$\alpha = \frac{w \cdot C \cdot R + w \cdot L \cdot G}{2 \cdot \beta};$$

$$\left( \frac{w \cdot C \cdot R + w \cdot L \cdot G}{2 \cdot \beta} \right)^2 - \beta^2 = R \cdot G - w^2 \cdot L \cdot C;$$

$$4 \cdot \beta^4 + 4 \cdot \beta^2 (R \cdot G - w^2 \cdot L \cdot C) - (w \cdot C \cdot R + w \cdot L \cdot G)^2 = 0;$$

$$\beta^2 = x;$$

$$4 \cdot x^2 + 4 \cdot x (R \cdot G - w^2 \cdot L \cdot C) - (w \cdot C \cdot R + w \cdot L \cdot G)^2 = 0;$$

$$x = \frac{(w^2 \cdot L \cdot C - R \cdot G) + \sqrt{(R \cdot G - w^2 \cdot L \cdot C)^2 - (w \cdot C \cdot R + w \cdot L \cdot G)^2}}{2};$$

$$\beta^2 = x;$$

$$|\beta| = \sqrt{x};$$

$$\beta = \sqrt{\frac{(w^2 \cdot L \cdot C - R \cdot G) + \sqrt{(R \cdot G - w^2 \cdot L \cdot C)^2 - (w \cdot C \cdot R + w \cdot L \cdot G)^2}}{2}}$$

Sustituyendo los valores de R,G=0 en las expresiones de  $\alpha$ ,  $\beta$  se obtiene:

$$\alpha = 0;$$

$$\beta = \sqrt{w^2 \cdot L \cdot C};$$

Con lo cual las expresiones que definen a la línea de transmisión también varían:

$$V(x) = V_i(x) + V_r(x);$$

$$V_1 = |V_1| \cdot e^{j \cdot \varphi_1};$$

$$V_2 = |V_2| \cdot e^{j \cdot \varphi_2};$$

$$V_i(x) = V_1 \cdot e^{-j \cdot \beta \cdot x} = |V_1| \cdot e^{j(\varphi_1 - \beta \cdot x)};$$

$$V_r(x) = V_2 \cdot e^{j \cdot \beta \cdot x} = |V_2| \cdot e^{j(\varphi_2 + \beta \cdot x)}$$

Las expresiones de las ondas que viajan por la línea de transmisión sin perdidas son:

$$\begin{aligned} V_i(x, t) &= |V_1| \cdot e^{j(\varphi_1 - \beta \cdot x)} \cdot e^{j \cdot w \cdot t} = |V_1| \cdot e^{j(\varphi_1 + w \cdot t - \beta \cdot x)} \\ V_r(x, t) &= |V_2| \cdot e^{j(\varphi_2 + \beta \cdot x)} \cdot e^{j \cdot w \cdot t} = |V_2| \cdot e^{j(\varphi_2 + \beta \cdot x + w \cdot t)} \end{aligned} \quad (7)$$

Se puede observar que tanto la onda incidente como la reflejada viajan por la línea de transmisión sin sufrir ningún tipo de atenuación.

### 1.2.3.1 Coeficiente de reflexión, perfil de una onda, R.O.E, impedancia de entrada.

Se define el coeficiente de reflexión como la relación de tensiones de la onda reflejada y la onda incidente, para un determinado punto a una distancia z de la carga.

$$\rho(z) = \frac{V_r}{V_i} = \frac{V^- \cdot e^{-j \cdot \beta \cdot z}}{V^+ \cdot e^{j \cdot \beta \cdot z}} = \frac{V^-}{V^+} \cdot e^{-j \cdot 2 \cdot \beta \cdot z}$$

Interesa estudiar como se produce el acoplamiento entre la línea y la carga ( $z=0$ )

$$\rho(0) = \frac{V_r}{V_i} = \frac{V^- \cdot e^{-j\beta \cdot 0}}{V^+ \cdot e^{j\beta \cdot 0}} = \frac{V^-}{V^+} = |\rho_l| \cdot e^{j\theta_l}$$

Siendo  $\theta_l$  la diferencia de fases en la carga entre la onda incidente y la onda reflejada.

$$\rho(z) = |\rho_l| \cdot e^{j(\theta_l - 2\beta \cdot z)}$$

La función compleja coeficiente de reflexión se mantiene constante en módulo (la existente en la carga) para cualquier punto de la línea de transmisión mientras que la fase va variando dependiendo del punto a medir.

La tensión y corriente sobre la carga vienen determinadas por las siguientes expresiones:

$$\begin{aligned} V_L &= V^+ + V^- \\ I_L &= \frac{V^+ - V^-}{Z_0} \end{aligned}$$

Dividiendo ambas expresiones entre si se obtiene la impedancia de carga

$$\frac{V_L}{I_L} = Z_l = Z_0 \cdot \frac{V^+ + V^-}{V^+ - V^-}$$

Operando con esta última expresión:

$$\begin{aligned} Z_l(V^+ - V^-) &= Z_0(V^+ + V^-) \\ Z_l \cdot V^+ - Z_l \cdot V^- &= Z_0 \cdot V^+ + Z_0 \cdot V^-; \\ (Z_l - Z_0)V^+ &= (Z_0 + Z_l)V^-; \end{aligned}$$

$$\begin{aligned} \rho_l &= \frac{V^-}{V^+} = \frac{Z_l - Z_0}{Z_l + Z_0}; \\ 0 &\leq \rho \leq 1 \end{aligned} \quad (8)$$

$$\begin{aligned} V^+ \cdot \rho_l &= V^-; \\ V(0) &= V^+ + \rho_l \cdot V^+; \end{aligned}$$

Existen tres casos típicos que se suelen estudiar al respecto.

- $Z_l=Z_0$  se verifica que el coeficiente de reflexión es cero y no se produce una onda reflejada.

$$\rho_l = 0 \Leftrightarrow V^+ \cdot 0 = V^- \Leftrightarrow V_l = V^+$$

- $Z_l=\infty$  Línea de transmisión sin carga al final: Reflexión total. Deshaciendo la indeterminación

$$\rho_l = \frac{Z_l - Z_0}{Z_l + Z_0} \approx \frac{Z_l}{Z_l} \rightarrow 1;$$

$$\rho_l = 1 \Leftrightarrow V^+ \cdot 1 = V^- \Leftrightarrow V_l = V^+ + V^+ \Leftrightarrow V_l = 2 \cdot V^+$$

Se produce una suma en fase en la carga.

- $Z_l=0$  Línea de transmisión cortocircuitada al final: Reflexión total.

$$\rho_l = \frac{0 - Z_0}{0 + Z_0} = -1;$$

$$\rho_l = -1 \Leftrightarrow V^+ \cdot (-1) = V^- \Leftrightarrow V_l = V^+ - V^+ \Leftrightarrow V_l = 0$$

Se produce una suma en oposición de fase en la carga.

A continuación se pasa a calcular la tensión y corriente total para cualquier punto de la línea. Para ello se debe partir de las siguientes expresiones, fácilmente deducibles a partir de las ecuaciones presentadas con anterioridad.

$$V^+ \cdot \rho_l = V^-;$$

$$\rho_l = |\rho_l| \cdot e^{j\theta_l}$$

$$\begin{aligned} V(z) &= V^+ \cdot e^{j\beta \cdot z} + \rho_l \cdot V^+ \cdot e^{-j\beta \cdot z} = V^+ \cdot e^{j\beta \cdot z} + |\rho_l| \cdot V^+ \cdot e^{j(\theta_l - \beta \cdot z)} \\ I(z) &= \frac{V^+ \cdot e^{j\beta \cdot z} - \rho_l \cdot V^+ \cdot e^{-j\beta \cdot z}}{Z_0} = \frac{V^+ \cdot e^{j\beta \cdot z} - |\rho_l| \cdot V^+ \cdot e^{j(\theta_l - \beta \cdot z)}}{Z_0} \end{aligned} \quad (9)$$

El primer paso consiste en establecer una fase inicial. De esta manera suele ser costumbre adoptar la fase de la onda incidente como el origen de fases. Para ello tan solo se debe hacer una rotación sobre los ejes de la fase para que estos coincidan con los de la fase de la onda incidente. Esto se consigue tan simple como multiplicar por  $e^{j\beta \cdot z}$  (tratando las coordenadas en polares) a ambas ondas que se manifiestan sobre la línea.

$$V(z) = V^+ \cdot e^{j\beta \cdot z} \cdot e^{-j\beta \cdot z} + |\rho_l| \cdot V^+ \cdot e^{j(\theta_l - \beta \cdot z)} \cdot e^{-j\beta \cdot z}$$

$$V(z) = V^+ + |\rho_l| \cdot V^+ \cdot e^{j(\theta_l - 2\beta \cdot z)}$$

El módulo de la suma de dos vectores viene determinado como:

$$|\vec{a} + \vec{b}| = \sqrt{|\vec{a}|^2 + |\vec{b}|^2 + 2 \cdot |\vec{a}| \cdot |\vec{b}| \cdot \cos \theta}$$

Tratando a la onda incidente y a la onda reflejada como un par de vectores expresados en un sistema de coordenadas polares mediante su correspondiente módulo y fase, la suma (tensión resultante para un punto) será bastante sencilla.

$$|V(z)| = \sqrt{|V^+|^2 + |\rho_l|^2 \cdot |V^+|^2 + 2 \cdot |V^+| \cdot |\rho_l| \cdot |V^+| \cdot \cos(\theta_l - 2 \cdot \beta \cdot z)};$$

$$|V(z)| = \sqrt{|V^+|^2 \cdot [1 + |\rho_l|^2 + 2 \cdot |\rho_l| \cdot \cos(\theta_l - 2 \cdot \beta \cdot z)]};$$

$$|V(z)| = |V^+| \cdot \sqrt{[1 + |\rho_l|^2 + 2 \cdot |\rho_l| \cdot \cos(\theta_l - 2 \cdot \beta \cdot z)]};$$

$$\beta = \frac{2 \cdot \pi}{\lambda};$$

$$|V(z)| = |V^+| \cdot \sqrt{[1 + |\rho_l|^2 + 2 \cdot |\rho_l| \cdot \cos(\theta_l - 2 \cdot \frac{2 \cdot \pi}{\lambda} \cdot z)]};$$

$$|V(z)| = |V^+| \cdot \sqrt{[1 + |\rho_l|^2 + 2 \cdot |\rho_l| \cdot \cos(\theta_\Delta)]}$$

Lo cual concuerda con la composición de movimientos armónicos simples, particularizados en cada punto  $z$  de la línea de transmisión.

Los puntos de tensión máximos serán aquellos en los cuales la onda incidente y la reflejada estén en fase, es decir cuando la diferencia de fases  $\theta_\Delta$  entre la onda incidente y la reflejada sea múltiplo de  $2 \cdot \pi$ .

$$\theta_l - 2 \cdot \frac{2 \cdot \pi}{\lambda} \cdot z_M = 2 \cdot \pi \cdot n;$$

$$\theta_l \cdot \lambda - 4 \cdot \pi \cdot z_M = 2 \cdot \pi \cdot n \cdot \lambda;$$

$$\left[ \frac{\theta_l}{4 \cdot \pi} - \frac{2 \cdot \pi \cdot n}{4 \cdot \pi} \right] \cdot \lambda = z_M;$$

$$\left[ \frac{\theta_l}{4 \cdot \pi} - \frac{n}{2} \right] \cdot \lambda = z_M$$

Lo cual indica que los máximos están separados entre si una distancia  $\lambda/2$ . Y verificándose que el  $\cos(\theta_\Delta)=1$ .

$$|V|_M = |V|^+ \cdot \sqrt{1 + |\rho_l|^2 + 2 \cdot |\rho_l| \cdot 1};$$

$$|V|_M = |V|^+ \cdot \sqrt{(1 + |\rho_l|)^2};$$

$$|V|_M = |V|^+ \cdot (1 + |\rho_l|)$$

Como particularidad, en aquellos puntos en los que se produce un máximo de tensión, se produce también un mínimo de corriente.

Los puntos de tensión mínimos serán aquellos en los cuales la onda incidente y la reflejada estén en oposición de fase, es decir cuando la diferencia de fases  $\theta_\Delta$  entre la onda incidente y la reflejada sea múltiplo impar de  $\pi$

$$\theta_l - 2 \cdot \frac{2 \cdot \pi}{\lambda} \cdot z_m = (2 \cdot n + 1) \cdot \pi;$$

$$\theta_l \cdot \lambda - (2 \cdot n + 1) \cdot \pi \cdot \lambda = 4 \cdot \pi \cdot z_m;$$

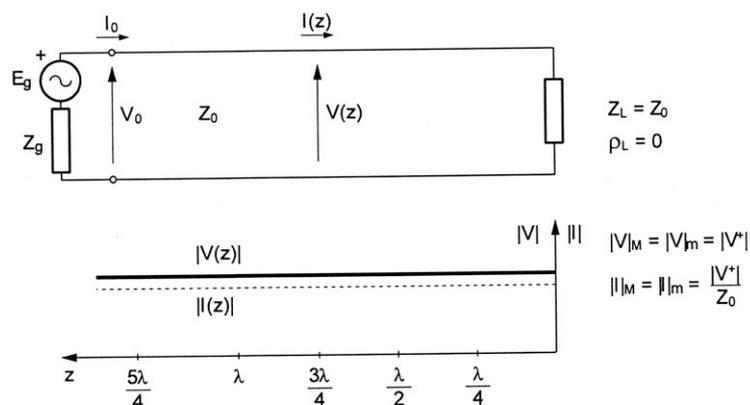
$$\left[ \frac{\theta_l}{4 \cdot \pi} - \frac{(2 \cdot n + 1) \cdot \pi}{4 \cdot \pi} \right] \cdot \lambda = z_m;$$

$$z_m = \left[ \frac{\theta_l}{4 \cdot \pi} - \frac{(2 \cdot n + 1)}{4} \right] \cdot \lambda$$

Lo cual indica que los mínimos están separados entre si una distancia  $\lambda/2$ . Y verificándose que el  $\cos(\theta_\Delta)=-1$ .

$$|V|_m = |V|^+ \cdot (1 - |\rho_l|)$$

En todos aquellos puntos en los que la corriente sea mínima, se producirá un máximo de tensión. Además, la distancia entre un máximo y un mínimo es  $\lambda/4$ .



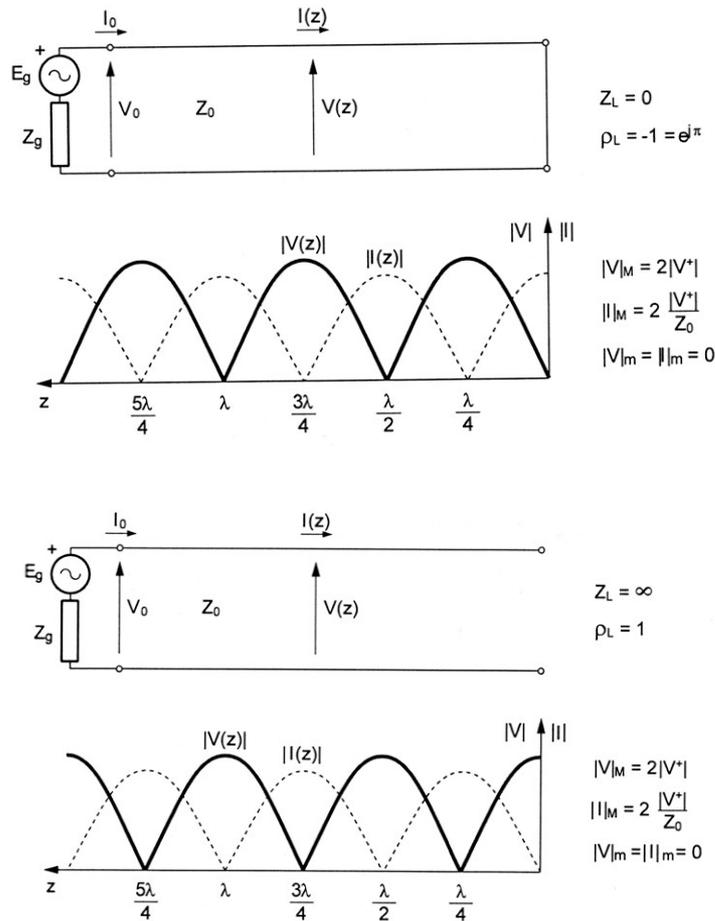


Fig. 7 Diferentes perfiles de onda en función de la impedancia de carga.

La relación de onda estacionario o R.O.E se define como la relación entre la tensión máxima y la mínima o como la relación entre la corriente máxima y la mínima. Es un estimador acerca de la onda estacionaria que se puede producir en las líneas de transmisión y por tanto evalúa la correcta adaptación entre la impedancia de la línea y la carga que finaliza la línea.

$$R.O.E = \frac{|V_M|}{|V_m|} = \frac{|V^+| \cdot (1 + \rho_l)}{|V^+| \cdot (1 - \rho_l)} = \frac{(1 + \rho_l)}{(1 - \rho_l)}$$

En el caso de la correcta adaptación de la impedancia:

$$\rho_l = 0 \Leftrightarrow R.O.E = \frac{(1 + 0)}{(1 - 0)} = 1$$

Que es el valor mínimo que puede tomar el R.O.E y nos indica que la tensión máxima y la mínima es la misma luego la tensión en cada punto tan solo depende del estado de la excitación de la onda para ese punto y en ese determinado tiempo.

En el caso de que el final de la línea esté cortocircuitada o esté sin cargar:

$$|\rho_l| = 1 \Leftrightarrow R.O.E = \frac{(1+1)}{(1-1)} \rightarrow \infty$$

En este caso se indica que la reflexión es total, siendo el caso en el cual los máximos coinciden con el doble de amplitud y los mínimos coinciden con cero.

Por último se va a calcular la impedancia de entrada vista desde un punto cualquiera del cable.

$$Z_i = \frac{V(z)}{I(z)} = \frac{V^+ \cdot e^{j\beta \cdot z} + \rho_l \cdot V^+ \cdot e^{-j\beta \cdot z}}{V^+ \cdot e^{j\beta \cdot z} - \rho_l \cdot V^+ \cdot e^{-j\beta \cdot z}};$$

$$Z_i = Z_0 \cdot \frac{V^+ \cdot (e^{j\beta \cdot z} + \rho_l \cdot e^{-j\beta \cdot z})}{V^+ \cdot (e^{j\beta \cdot z} - \rho_l \cdot e^{-j\beta \cdot z})};$$

$$\rho_l = \frac{Z_l - Z_0}{Z_l + Z_0} \rightarrow Z_i = Z_0 \cdot \frac{\left( e^{j\beta \cdot z} - \frac{Z_l - Z_0}{Z_l + Z_0} \cdot e^{-j\beta \cdot z} \right)}{\left( e^{j\beta \cdot z} - \frac{Z_l - Z_0}{Z_l + Z_0} \cdot e^{-j\beta \cdot z} \right)};$$

$$Z_i = Z_0 \cdot \frac{e^{j\beta \cdot z} \cdot (Z_l + Z_0) + e^{-j\beta \cdot z} \cdot (Z_l - Z_0)}{e^{j\beta \cdot z} \cdot (Z_l + Z_0) - e^{-j\beta \cdot z} \cdot (Z_l - Z_0)};$$

$$Z_i = Z_0 \cdot \frac{e^{j\beta \cdot z} \cdot Z_l + e^{j\beta \cdot z} \cdot Z_0 + e^{-j\beta \cdot z} \cdot Z_l - e^{-j\beta \cdot z} \cdot Z_0}{e^{j\beta \cdot z} \cdot Z_l + e^{j\beta \cdot z} \cdot Z_0 - e^{-j\beta \cdot z} \cdot Z_l + e^{-j\beta \cdot z} \cdot Z_0};$$

$$Z_i = Z_0 \cdot \frac{\cos(\beta \cdot z) \cdot Z_l + j \cdot \text{sen}(\beta \cdot z) \cdot Z_0 + \cos(\beta \cdot z) \cdot Z_l + j \cdot \text{sen}(\beta \cdot z) \cdot Z_0}{\cos(\beta \cdot z) \cdot Z_0 + j \cdot \text{sen}(\beta \cdot z) \cdot Z_l + \cos(\beta \cdot z) \cdot Z_0 + j \cdot \text{sen}(\beta \cdot z) \cdot Z_l};$$

$$Z_i = Z_0 \cdot \frac{2 \cdot \cos(\beta \cdot z) \cdot Z_l + 2 \cdot j \cdot \text{sen}(\beta \cdot z) \cdot Z_0}{2 \cdot \cos(\beta \cdot z) \cdot Z_0 + 2 \cdot j \cdot \text{sen}(\beta \cdot z) \cdot Z_l} = Z_0 \cdot \frac{\cos(\beta \cdot z) \cdot Z_l + j \cdot \text{sen}(\beta \cdot z) \cdot Z_0}{\cos(\beta \cdot z) \cdot Z_0 + j \cdot \text{sen}(\beta \cdot z) \cdot Z_l};$$

Dividiendo entre  $\cos(\beta \cdot z)$  se obtiene:

$$Z_i(z) = Z_0 \cdot \frac{Z_l + j \cdot \text{tg}(\beta \cdot z) \cdot Z_0}{Z_0 + j \cdot \text{tg}(\beta \cdot z) \cdot Z_l} \quad (10)$$

Verificándose que para los tres casos presentados anteriormente:

$$Z_l = Z_0 \Leftrightarrow Z_i(z) = Z_0 \cdot \frac{Z_0 + j \cdot \text{tg}(\beta \cdot z) \cdot Z_0}{Z_0 + j \cdot \text{tg}(\beta \cdot z) \cdot Z_0} = Z_0$$

$$Z_l = 0 \Leftrightarrow Z_l(z) = Z_0 \cdot \frac{0 + j \cdot \operatorname{tg}(\beta \cdot z) \cdot Z_0}{Z_0 + 0} = j \cdot \operatorname{tg}(\beta \cdot z) \cdot Z_0$$

$$Z_l = \infty \Leftrightarrow Z_l(z) = Z_0 \cdot \frac{\infty + j \cdot \operatorname{tg}(\beta \cdot z) \cdot Z_0}{Z_0 + j \cdot \operatorname{tg}(\beta \cdot z) \cdot \infty} = -j \cdot \operatorname{ctg}(\beta \cdot z) \cdot Z_0$$

#### 1.2.4 Perdidas de inserción, perdidas de transmisión, perdidas de retorno y perdidas de reflexión.

Tanto las perdidas por inserción como las perdidas por transmisión tienen sentido en aquellos contextos en los cuales se hace referencia a la inserción de una red (cuadripolo) entre dos partes diferenciadas de un circuito. Se pueden dar tanto en tensión, corriente o en potencia, sin embargo es costumbre darlas como una relación entre potencias.

Se definen las perdidas de inserción de potencia medidas en decibelios como el logaritmo decimal del cociente de la potencia medida en la carga en ausencia del cuadripolo  $P_2$  y la potencia en la carga cuando esta insertado el cuadripolo  $P'_2$ .

$$p_{insercion} = 10 \log_{10} \left( \frac{P_2}{P'_2} \right)$$

Se definen las perdidas de transmisión de potencia medidas en decibelios como el logaritmo decimal del cociente de la señal a la entrada del cuadripolo y la señal a la salida del cuadripolo.

$$p_{transmision} = 10 \log_{10} \left( \frac{P_1}{P_2} \right)$$

Las perdidas de retorno y las perdidas de reflexión son habituales en los contextos en los cuales se está caracterizando una determinada línea de transmisión. Generalmente están expresadas como una relación de potencias si bien dicha relación es un claro indicio de cómo de bien o mal está finalizada la correspondiente línea de transmisión y por consiguiente del coeficiente de reflexión sobre la línea.

Se denomina perdidas de retorno medidas en decibelios al logaritmo decimal del cociente de la potencia de la onda incidente en la carga y la potencia de la onda reflejada en la carga. Indica como de bien están adaptadas las impedancias en la línea y cuanto puede aislar de la onda reflejada una determinada entrada de una máquina.

$$p_{retorno} = 10 \cdot \log_{10} \left( \frac{P^+}{P^-} \right) = 10 \cdot \log_{10} |\rho|^2$$

Se denomina pérdidas de reflexión medidas en decibelios al logaritmo decimal del cociente de la potencia de la onda incidente en la carga entre la diferencia de potencias de las ondas incidentes y reflejadas en la carga.

$$p_{reflexion} = 10 \cdot \log_{10} \left( \frac{P^+}{P^+ - P^-} \right) = 10 \cdot \log_{10} \left( \frac{1}{1 - |\rho|^2} \right)$$

### 1.3 Transmisión de pulsos sobre un canal.

En 1928 Harry Nyquist formalizó un documento llamado “*Certain topics in telegraph transmission theory*”. Al comienzo de dicho documento se establece una relación directa entre el ancho de banda de una señal y la velocidad de repetición de dicha señal. Además Nyquist desarrolló la parte más puramente matemática acerca de la forma de las señales empleadas para transmitir símbolos sobre un canal y de la relación entre su periodo y el ancho de banda para que no existiese interferencia entre ellas. Llegando incluso a asertar que con una determinada forma de onda es posible transmitir símbolos físicamente solapados entre ellos en el tiempo sin que se produjesen interferencias intersimbólicas.

Como se verá a continuación esta teoría junto al teorema del muestreo formulado también por Nyquist desembocó en las bases de lo que es el muestreo de las señales tal como se conocen hoy en día.

La interferencia intersimbólica relata el grado de distorsión en la señal que se produce, cuando se solapan entre sí diferentes símbolos en la transmisión. La interferencia intersimbólica puede llegar a tales extremos de volver irreconocible un mensaje.

Idealmente el muestreo se podría entender como el producto de la señal a muestrear por un tren de deltas equiespaciadas con una frecuencia de  $2W_{\max}$  donde  $W_{\max}$  es la frecuencia máxima de la señal a muestrear (se debe cumplir el teorema del muestreo).

En el dominio temporal se tendría la siguiente expresión

$$y(t) = \sum_{n=-\infty}^{\infty} x(n \cdot T) \delta(t - n \cdot T) \quad (11)$$

Y en el dominio espectral debido a las propiedades de Fourier se podrá sustituir el producto por la operación de convolución.

$$Y(j\omega) = \frac{1}{2\pi} [X(j\omega) * P(j\omega)] \quad (12)$$

Pero esto no son más que fórmulas, el verdadero concepto que se encierra detrás de estas fórmulas es que en el muestreo ideal se van dando valores a  $n$  en la función  $y(t)$  desde  $-\infty$  hasta  $\infty$ , luego la  $\delta$  comenzará a moverse sobre el eje temporal según vayan pasando los valores de  $n$ . Se puede ver como un tren de deltas equiespaciadas o como una delta que se va desplazando sobre el eje temporal.

Una de las propiedades de la función delta es:

$$x(t) \delta(t - t_0) = x(t_0) \delta(t - t_0)$$

Es decir cualquier función que se multiplique por una delta desplazada temporalmente un valor  $t_0$  tendrá como salida el valor de la función en la posición temporal  $t_0$  únicamente, sin ningún otro valor de la función, debido a que la función delta es igual a 1 en la posición que ocupa la delta y 0 en el resto de las posiciones.

Se puede concluir que la expresión  $y(t)$  lo único que hace es desplazar una delta a lo largo del eje temporal y multiplicar dicha delta por la función continua. Como la delta sólo tiene valor igual a 1 en la situación en la que ocupa y 0 en las demás, cuando se multiplique la delta por la función a muestrear se obtendrá el valor de la función en el punto temporal que ocupa la delta. Según la delta vaya recorriendo todo el eje temporal, lo que se irá obteniendo a la salida es los valores de la función original discretizados y equiespaciados por el periodo de la delta.

Esto es un muestreo ideal, sin embargo el muestreo real, no se puede realizar con funciones delta, puesto que conseguir una señal delta infinitesimalmente estrecha sería prácticamente imposible

Supóngase que en vez de utilizar una delta se utiliza un pulso rectangular que se asemeja a una delta con una determinada duración. Se debe recordar en este punto que cualquier canal de transmisión lleva asociado un ancho de banda máximo de la señal a transmitir.

Supóngase que se tiene una secuencia de pulsos rectangulares a transmitir a través de un canal. Supóngase el peor de los casos, que oscilan entre 1 y 0 de la siguiente manera 1010101..... Dicha señal en el espectro estaría caracterizada por una frecuencia fundamental (la frecuencia a la cual oscila el 1 y el 0) y una serie de armónicos impares que se extienden hasta el infinito. Dado que dicho canal solo es capaz de transmitir un determinado ancho de banda, parte de los armónicos se perderían, siendo imposible posteriormente la recuperación de la forma de la señal como pulsos rectangulares perfectos. La única solución en este caso sería recuperar la señal remuestreando justo en el punto medio de cada pulso.

Luego surge la problemática de que una delta pura es casi imposible de conseguir debido a su nula duración teórica en el tiempo. Y el intentar muestrear con pulsos rectangulares provoca un ancho de banda infinito, incapaz de ser transmitido por un canal de banda limitada.

La única solución es emplear una señal que sea factible de implementar y que no consuma un alto ancho de banda. Nyquist en el citado documento demostró matemáticamente que la única función factible de implementar y que cumpliera dichas condiciones es la función sinc.

En el muestreo real, se sustituye las deltas por pulsos con forma de sinc, de esta manera se multiplica en el dominio temporal la función a muestrear por la función sinc. Y en el dominio espectral se convoluciona el espectro de la señal original con el espectro de la sinc (el espectro de una sinc, según la transformada de Fourier es un pulso rectangular, es decir un filtro paso-bajo).

En la reconstrucción se convolucionan en el dominio temporal la respuesta al impulso de un filtro paso bajo ideal, que concretamente es una sinc con las muestras de la señal original. Y en el dominio espectral se multiplica el espectro de la señal muestreada por el espectro de un filtro paso bajo ideal que tiene forma de pulso rectangular

Se define la función sinc de muestreo como:

$$s(t) = \frac{\sin \frac{\pi}{\tau} (t - m \cdot \tau)}{\frac{\pi}{\tau} (t - m \cdot \tau)} \quad \text{con } \tau = 1/2W \quad (13)$$

Si se quieren buscar los ceros de esta función, se deberá resolver la siguiente igualdad:

$$\frac{\pi}{\tau} (t - m \cdot \tau) = k\pi$$

Con k tomando cualquier valor de los enteros excepto el cero (pues cero dividido entre cero, resulta de una indeterminación que al resolverla en este caso da un resultado distinto de cero)

Operando la ecuación en búsqueda de los ceros, se obtiene un resultado bastante peculiar. Para esta función en concreto los ceros coinciden justo con los múltiplos de los periodos del muestreo,  $\tau$ . Incluso si se llega a discretizar esta función sinc para los valores distanciados con un periodo igual al  $\tau$  definido previamente, se vería que sólo tendría un valor unitario justo en la muestra actual y tendría un valor igual a cero en el resto de los puntos de muestreo. Bajo estas circunstancias se podría pensar que la sinc muestreada se comporta como una delta.

Es decir en una posición determinada  $\tau$  de muestreo, solo existirá una única función sinc que tendrá un valor distinto de cero y por tanto muestreará en esa posición la señal. Cualquier otra función sinc que pertenezca a cualquier otro valor de  $\tau$  distinto al actual no producirá ninguna interferencia en la posición actual de  $\tau$  puesto que como se ha ido viendo todas las funciones sinc distintas de la actual tendrán el valor cero en el punto actual de muestreo.

Luego se puede concluir que para un canal de capacidad  $W$  se puede enviar  $2W$  pulsos independientes de tipo sinc, sin que se produzca interferencia alguna entre ellos, precisamente porque la sinc muestra ceros en todos los múltiplos del periodo de muestreo, excepto en el punto de muestreo actual. El receptor tan solo deberá capturar las sinc justo en los puntos de muestreo y de esta manera estará recogiendo únicamente el pulso actual.

Se puede observar que el lóbulo principal de la sinc esta comprendido entre  $-\tau$  y  $\tau$ , siendo  $\tau=1/2W$ . Es decir el ancho del lóbulo principal es  $2\tau$  o lo que es lo mismo  $1/W$ . Aplicando la transformada de Fourier se observa que dicha señal se corresponde con un espectro rectangular que se extiende desde  $-1/2\tau$  hasta  $1/2\tau$ . Como se sabe que  $2\tau=1/W$ , despejando  $W$  se puede ver que  $W=1/2\tau$ , lo cual coincide con el ancho de banda de la señal a transmitir y la capacidad del canal.

Un tren de sincs de periodo  $1/2W$  y un ancho del lóbulo principal de  $2\tau$ , permite por una parte la transmisión de sincs sin que se produzca la interferencia intersimbólica y por otro lado acomodar el ancho de banda de la señal a la capacidad del canal.

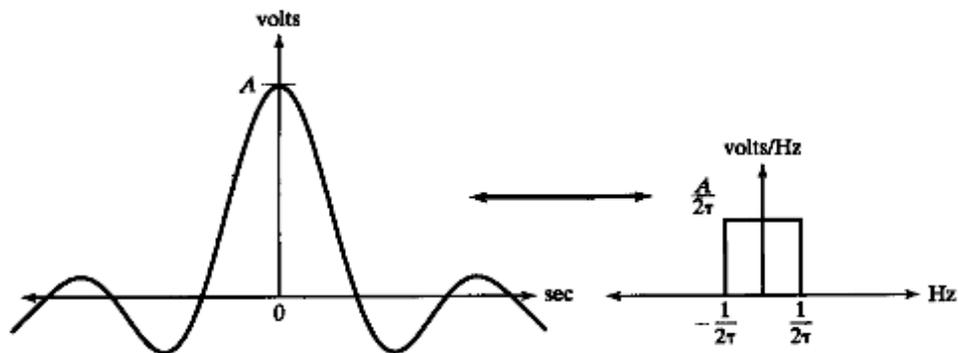


Fig. 8. Sinc

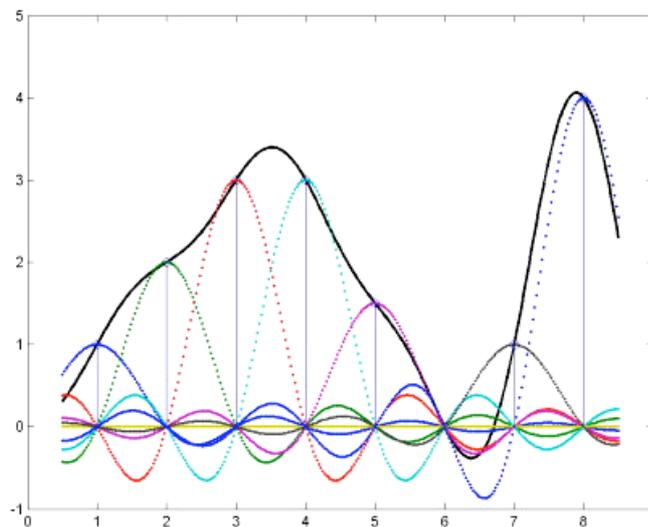


Fig. 9. Conjunto de sincs

Se puede observar a partir de la figura 9, que la señal transmitida (señal en negro) es por el principio de superposición la suma algebraica de la contribución de cada una de las sincs en cada instante de tiempo. Con la particularidad de que la única aportación a la suma algebraica en cada múltiplo del periodo de muestreo es la de la sinc actual.

Como conclusión se puede pensar que si un canal posee una determinada tasa de transferencia, el ancho de banda que se estaría transmitiendo, cuando se transmita una trama de pulsos es tan sólo la mitad de dicha tasa de transferencia.

Sin embargo en la realidad surge una problemática entre el principio de superposición y los desajustes en las bases de tiempos. Tanto el transmisor como el receptor deben estar perfectamente sincronizados, es decir los puntos del muestreo deben ser exactamente los mismos tanto en la transmisión como en la recepción. Generalmente en las transmisiones no es posible enviar un patrón de reloj como tal, siendo el propio receptor el encargado de extraer la base de tiempos a partir de la trama recibida. Lógicamente se necesitara utilizar previamente una codificación de canal con un alto contenido en transiciones (aunque ello implique un mayor ancho de banda) para que de esta manera el receptor sea capaz de sincronizarse con el mensaje.

Surgen diferentes problemáticas al intentar extraer la base de tiempos de una trama. Los retardos de grupo causados por la diferencia de tiempos entre la llegadas de altas y bajas frecuencias en el caso de tener que utilizar ecualizadores en el canal, el propio ruido que afecta al canal, alinealidades presentes en los sistemas que repercuten en un mayor nivel de distorsión, circuitos de recuperación del reloj basados en sistemas PLL cuyos elementos y diseños poseen una tolerancia intrínseca que provocan una deriva con el tiempo, etc., provocan que sea casi imposible que los puntos de muestreo en el transmisor coincidan con los puntos de muestreo en el receptor. Originándose por tanto una diferencia en la base de tiempos entre lo que debería ser el punto de muestreo asignado por el transmisor y el punto de muestreo que ha recuperado el receptor. Esta deficiencia es conocida como *jitter*, e implica que el punto de muestreo en el receptor no es exactamente el punto de muestreo asignado por el transmisor. Recuérdese, que el punto de muestreo asignado por el transmisor implicaba que la interferencia de las sincs distintas de la actual en ese determinado punto era cero. Por tanto parece lógico pensar que si no se va a poder recuperar el punto exacto de muestreo o la base de tiempos, el punto de muestreo que elija el receptor, estará alrededor del punto de muestreo original, y por tanto en estos puntos sí que existirá actividad distinta de cero del resto de las sincs, debido al lóbulo secundario de dichas funciones. En este momento se puede ver que por el principio de superposición, el valor total en el punto de muestreo en el receptor es igual a la contribución en forma de suma algebraica de todos las sincs de la trama.

Cuanto más cerca del punto original de muestreo se muestree mayor será la relevancia de la sinc actual y menor la del resto de las sincs, puesto que estas presentan la tendencia a cero típica de las proximidades al punto de muestreo. Sin embargo no existe a día de hoy ningún sistema sin un determinado jitter intrínseco.

Cuanto menor sea el jitter más se acercará al punto de muestreo original y por tanto al valor original de la muestra. En contraposición cuanto mayor sea el jitter, más se alejará del valor de la muestra real, pudiendo incluso llegar a la situación de que la aportación del resto de las sincs sea tan sumamente relevante como para producir un error, debido a que la amplitud resultante de todas las sincs se corresponde con el valor de otro símbolo en el sistema. Este efecto se potencia como cabe esperar en caso de que se introduzca ruido en el canal.

Como una simple nota aclaratoria, se comentará, que el termino muestreo se ha empleado en toda su amplitud o extensión, como un método con el cual se capturan determinados valores de una señal continua en el tiempo a una determinada velocidad constante. Tanto el muestreo analógico-digital que se emplea para discretizar una señal, como el muestreo que aplica un receptor para la detección de los símbolos enviados por el canal, se basan en los mismos desarrollos teóricos. Aun cuando la trama de símbolos que se transportan en un canal, puedan representar una comunicación digital, no hay que olvidar que la apariencia física de dicha trama es una señal continua en el tiempo. Haciendo por lo tanto necesaria una labor de muestreo o captura de dicha señal continúa a la entrada del receptor.

Este remuestreo en el dominio digital de una señal continua no ha de confundirse con otros remuestreos que se puedan hacer con el fin de interpolar o diezmar la señal. En este remuestreo la velocidad será exactamente igual a la original.

Tras haber estudiado el ancho de banda, se procede a estudiar que sucede con la capacidad de un canal en condiciones ideales.

Según lo que acaba de ver, la capacidad de un canal en bits por segundo es igual a

$$C = s \cdot m$$

Donde  $s$  es igual a la frecuencia angular de muestreo ( $W_s$ ) y  $m$  es el número de bits que conforman cada una de las palabras código de las muestras.

Hasta ahora se ha supuesto tan sólo en el muestreo intervenía la frecuencia angular de muestreo, que es igual a  $2W_{bb}$  y se ha dicho que por un canal de capacidad  $C$  con un ancho de banda de  $W$  podían viajar  $2W_{bb}$  pulsos sin que interfiriesen entre ellos. El problema es que por un canal real no viajan las sincs producidas por el muestreo. La señal muestreada pasa por un cuantificador, el cual es el encargado de asignarle un código de  $n$  bits a cada tensión muestreada. Estos códigos de  $n$  bits generalmente no se transmiten a través de canales paralelos, transmitiéndose un bit por muestra en cada canal paralelo.

Generalmente estos bits son serializados y puestos uno detrás de otro en un único canal para ser transmitidos en serie como si se tratase de una secuencia. Resultando que una muestra de  $n$  bits habrá quedado totalmente transmitida cuando se hayan transmitido los  $n$  bits que la conforman. Por esta razón pese a que se pueda pensar que en principio la  $2W_{bb}$  se refiere a la frecuencia máxima en banda base o la a frecuencia angular de muestreo, la realidad indica que esta frecuencia es exactamente la frecuencia de muestreo de la señal por el número de bits con el que se codifica la señal.

En determinadas situaciones se opta por hacer una codificación multinivel, es decir en vez de utilizar dos niveles de tensión para el 0 y el 1, se incrementa el número de niveles y se asocia a grupos de bits esos niveles. Por ejemplo con  $2^m$  niveles de tensión se pueden agrupar los bits de  $m$  en  $m$ .

Si se quiere despejar  $m$  para conocer cuantos bits se necesitan para codificar  $2^m$  niveles se debe tomar logaritmos, que por supuesto serán en base 2 puesto que el cálculo se hace con respecto a una base binaria (se quiere conocer el número de bits necesarios para formar una palabra código)

El número de niveles será igual a

$$L = 2^m$$

Si se toman logaritmos en base 2 en la siguiente expresión con el fin de despejar  $m$  se obtendrá la siguiente expresión:

$$\log_2 L = \log_2 2^m$$

Por la propiedad de los logaritmos, sale el exponente fuera:

$$\log_2 L = m \cdot \log_2 2$$

Luego

$$m = \log_2 L$$

Se obtiene la fórmula de la capacidad para un canal expresado en bits.

$$C = 2 \cdot W \cdot \log_2 L \quad (14)$$

Trabajando con símbolos y teniendo en cuenta que se puede identificar un símbolo con un pulso, la ecuación se reduce a:

$$C = 2 \cdot W \quad (15)$$

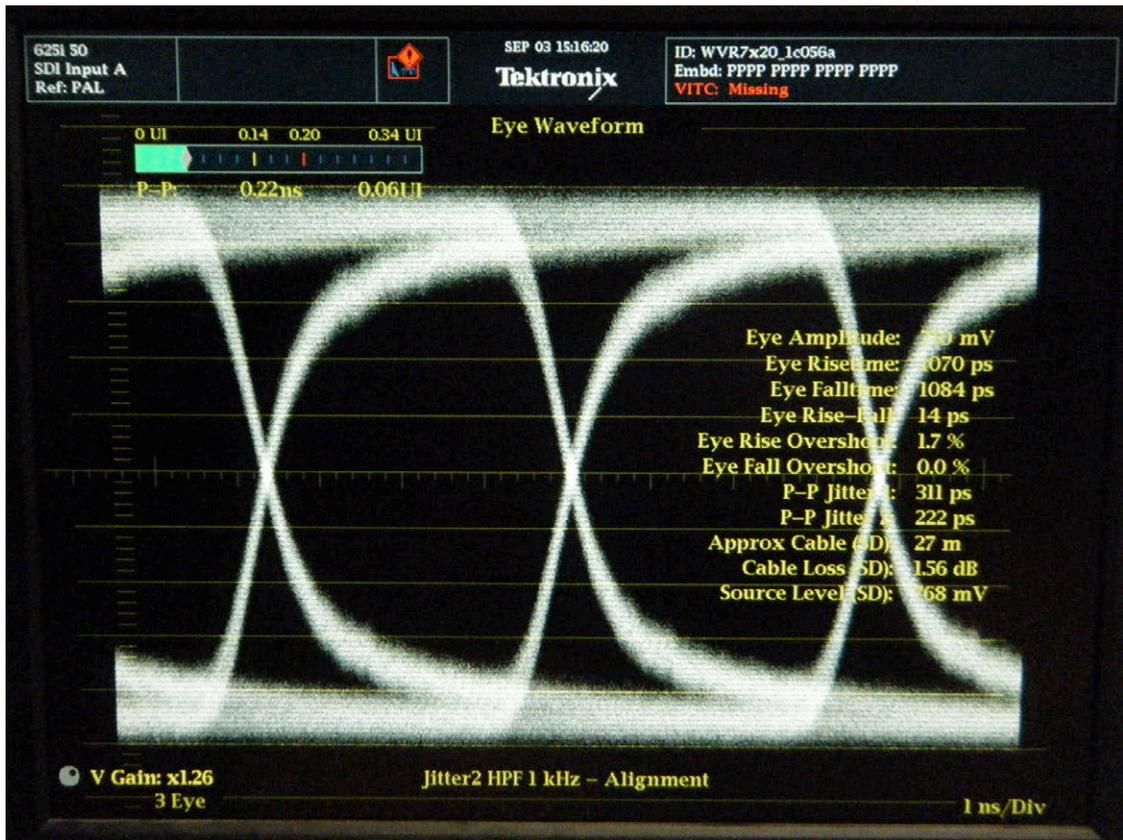


Fig. 10. Diagrama de ojo. Por cortesía de RTVE.



# ***Capítulo 2: Distribución de señales SDI y ASI.***



## **2. Distribución de señales SDI y ASI**

La distribución de señales en banda base se refiere a la distribución de aquellas señales que no están moduladas, es decir señales cuyo ancho de banda se extiende desde los 0 Hz hasta una determinada frecuencia. Los sistemas de banda base poseen unas frecuencias de trabajo menores que los sistemas de banda L. Generalmente para señales tanto en ASI como en SD-SDI no hay que tomar especiales precauciones a la hora de la transmisión de estas señales ya que aun con los 270 Mbps (135 MHz) que se desarrollan en su salida no se generan frecuencias elevadas que pudiesen tener asociada alguna problemática intrínseca a la propagación por los diferentes sistemas. Sin embargo la problemática surge cuando se comienza a incrementar el régimen binario y por tanto el ancho de banda. En sistemas con salidas de HD-SDI de hasta 3 Gbps, se deberá tomar diferentes tipos de medidas para minimizar cualquier problema que pueda surgir en la transmisión de dichas señales.

### **2.1 Matrices de SDI/ASI**

Las matrices son el equipo fundamental con el que se cuenta en diferentes infraestructuras de radiodifusión para la conmutación de señales desde un origen hacia uno o varios destinos. Una matriz esta compuesta por X entradas e Y salidas de tal manera que desde un sistema de control externo se puede configurar diferentes enrutamientos. No importa el tipo de enrutamiento o de cruce, las matrices son totalmente flexibles permitiendo llevar un mismo origen hacia todos los destinos que se antojen sin ningún tipo de deterioro de la señal.

A continuación se realiza un estudio más profundo de la matriz de Grass Valley modelo Trinix NXT. Se ha escogido dicha matriz debido a que su diseño es sencillo e intuitivo, facilitando en gran medida la comprensión de los diferentes elementos propios de las matrices.

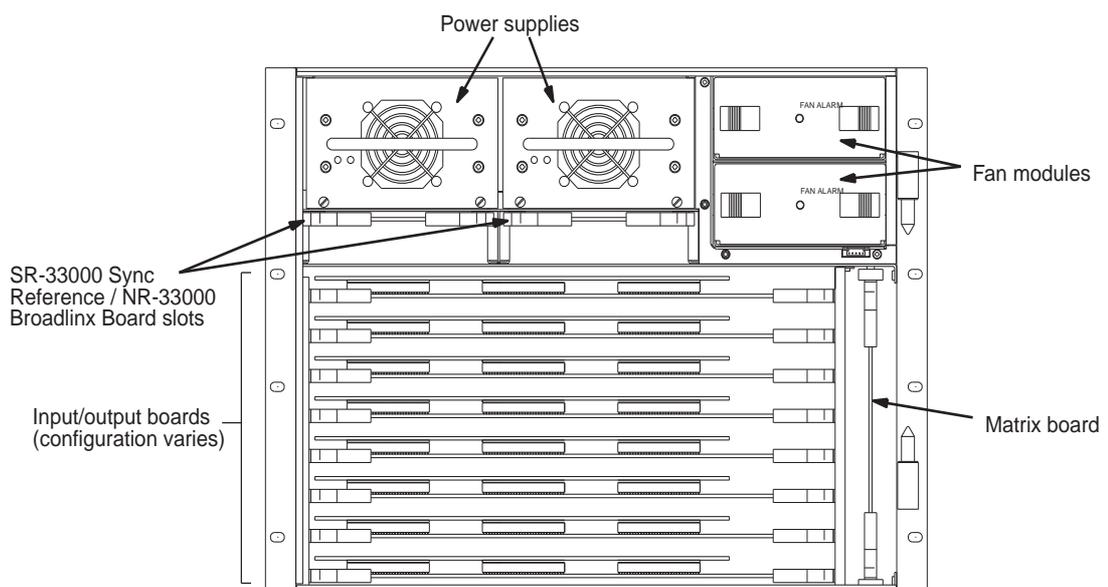


Fig. 11 Frontal de la matriz Trinix de 128x128.

## Tarjetas de entradas, salidas y conmutación

El flujo de señales de la matriz Trinitix NXT está compuesto por tres tipos de tarjetas: las tarjetas de entrada, las tarjetas de salida y la tarjeta de conmutación. Tanto las tarjetas de entrada como de salida llevan asociados 32 BNCs que será a donde se conecte el cableado, pudiéndose manejar en este caso hasta 32 señales por tarjeta. Las tarjetas de entrada y salida podrán ser o bien de SD-SDI (admiten ASI), de SD-SDI/HD-SDI en su versión de 1.5 Gbps (admiten ASI) e incluso en algunas tarjetas hasta HD-SDI de 3 Gbps. Otras tarjetas más completas admiten SD/HD y señales en video compuesto. Estas últimas tarjetas incluyen unos conversores ADC y una serie de elementos destinados al ajuste de los parámetros de la señal analógica necesarios para su correcta digitalización.

Las tarjetas de entrada y de salida son como su propio nombre indica, tarjetas por las cuales se envían y reciben señales. La tarjeta de conmutación es donde se encuentra implementada la circuitería que realiza las conmutaciones.

Estas tres tarjetas se montan en el interior del chasis, a través de unos carriles habilitados para cada tarjeta e insertando la tarjeta en su zócalo. Dicho zócalo forma parte a su vez de una placa trasera, suspendida, compuesta por una circuitería y zócalos, cuya misión es interconectar todas las tarjetas entre sí con el sistema.

Algunas tarjetas de entrada poseen diversos extras añadidos:

- 1) Determinadas placas que manejan señales en HD incluyen un circuito de preénfasis seleccionable mediante el software broadlinx o mediante el uso de sus correspondientes microinterruptores. Debido al ancho de banda que manejan las señales en HD-SDI es normal que su espectro se vea afectado por la respuesta en frecuencia de tipo filtro pasobajo que presentan los cables coaxiales. Los circuitos de preénfasis que se encuentran en las entradas de las tarjetas, realizan un realce de la parte alta del espectro, para de esta forma contrarrestar los efectos del filtraje del cable.
- 2) Incluyen una circuitería de amplificación que amplifica la señal hasta los niveles adecuados.

Algunas tarjetas de salida cuentan con diversos extras añadidos:

- 1) Son capaces de resincronizar la trama de datos conforme a una tasa binaria específica contempladas por normativa. Se establece un pequeño margen o tolerancia alrededor de la tasa impuesta por la normativa, si la tasa binaria está fuera de este margen, la tarjeta no realizará la resincronización de la trama. Esta resincronización tiene como finalidad la regeneración de la trama de bits. Los pulsos que viajan por los diferentes sistemas, tanto por las máquinas como por el cableado, están expuestos a una distorsión. Generalmente la trama de bits llega a la matriz con diferentes artificios en la amplitud (forma del pulso) y en su base de tiempos (jitter). Tras esta resincronización la trama de bits sale de la matriz con los pulsos regenerados y preparados para seguir transmitiéndose.

Las tarjetas que poseen esta opción poseen un total de cuatro zócalos DIP de ocho microinterruptores cada uno, de esta manera cada microinterruptor habilita o deshabilita la resincronización de cada una de las salidas. Algunas tarjetas resincronizan las señales HD-SDI y otras tanto SD-SDI como HD-SDI.

- 2) Incluyen una circuitería de amplificación que compensará el nivel en el caso de que a la salida se inserte un combinador pasivo con sus respectivas pérdidas de inserción.
- 3) Incluyen dos microinterruptores (*sync sel A* y *sync sel B*) para seleccionar de cual de los cuatro buses de sincronía se van a alimentar.

Los chasis vienen de fábrica con todos los paneles traseros de conexiones de BNC montados. Estos paneles son una tira de metal que por el lado externo poseen dos columnas de BNCs y por la parte interna poseen dos ranuras en las cuales se insertarán los bordes de las tarjetas.

Las tarjetas de entradas y salidas están compuestas por una placa principal o madre y una tarjeta secundaria o hija, que va montada sobre la tarjeta principal. La placa hija comparte una unión mecánica y electrónica con la placa madre, mediante zócalos que existen en ambas placas.

La placa principal se empuja hasta el fondo. Por un lado se consigue que se conecte en su correspondiente zócalo. Por otro lado la tarjeta madre entra en su ranura correspondiente estableciéndose un contacto entre la placa madre y una de las columnas de 16 BNCs. Al mismo tiempo, la tarjeta hija entra en la ranura habilitada para ello de la misma tira de BNCs pero para los restantes 16. Cada placa tiene 16 puntos de contactos, con lo cual entre las dos placas se obtienen los 32 puntos de contacto con los 32 BNCs que conforman cada tira, obteniéndose así las 32 entradas o salidas por placa.

Las tarjetas de conmutación son las mismas tanto para el chasis de 128 como de 256 puntos. Estas tarjetas son capaces de conmutar 128 entradas a 128 salidas, por lo tanto para una matriz de 256 entradas y 256 salidas se necesitarán 4 tarjetas de conmutación. El corazón de la tarjeta es el integrado de conmutación que soporta señales SD/HD-SDI

Las tarjetas de HD-SDI a 3 Gbps para estos chasis tienen algunas particularidades. En concreto existen dos modelos: la primera es una placa como la vista anteriormente que soporta hasta 3 Gbps y la segunda es una placa que incorpora elementos redundantes. Por ejemplo dos integrados de conmutación cada uno de los cuales está controlado a través de su propio bus de control y cada uno es alimentado por sus propios reguladores montados en la placa. La redundancia es total, en caso de fallar la circuitería de uno de los integrados, comienza a funcionar la otra de forma totalmente autónoma.

Las tarjetas de conmutación que se montan en el chasis de 512 puntos son módulos de 256 entradas a 256 salidas. Cada módulo está implementado por dos placas de conmutación de 256 entradas y 128 salidas. La primera hace las conmutaciones a las 128 primeras salidas y la segunda hace la conmutación a las siguientes 128 salidas. Se necesitarían 8 tarjetas (4 módulos) para conseguir una matriz de 512 entradas a 512 salidas.

Cada placa está provista de una circuitería doble de alimentación, ofreciendo una redundancia en la alimentación a las placas de conmutación. Las placas están implementadas con dos integrados de 144x144 de los cuales tan sólo se emplean 128x128 puntos. Como cada placa tiene que realizar las conmutaciones de 256x128, los integrados se repartirán haciendo que el primero conmute las 128 primeras entradas a las 128 salidas y el segundo conmute las 128 siguientes entradas a las 128 salidas. En total para conseguir los módulos de 256x256 puntos se deberá emplear 2 placas con 2 integrados de conmutación por placa (4 integrados en total por modulo). Cada uno de estos integrados posee su propia circuitería de control. Las tarjetas para estos chasis con la opción de HD-SDI 3 Gbps respetan la filosofía de construcción ya vista para las tarjetas SD/HD-SDI. Estas tarjetas de conmutación están provistas de una pequeña memoria interna que son capaces de almacenar el último estado de los cruces, siendo capaces de arrancar en el último estado almacenado en el caso de que se halla apagado la matriz por cualquier circunstancia.



Fig. 12 Tarjetas de entradas, salidas, y conmutación montadas en un chasis por cortesía de Overon.

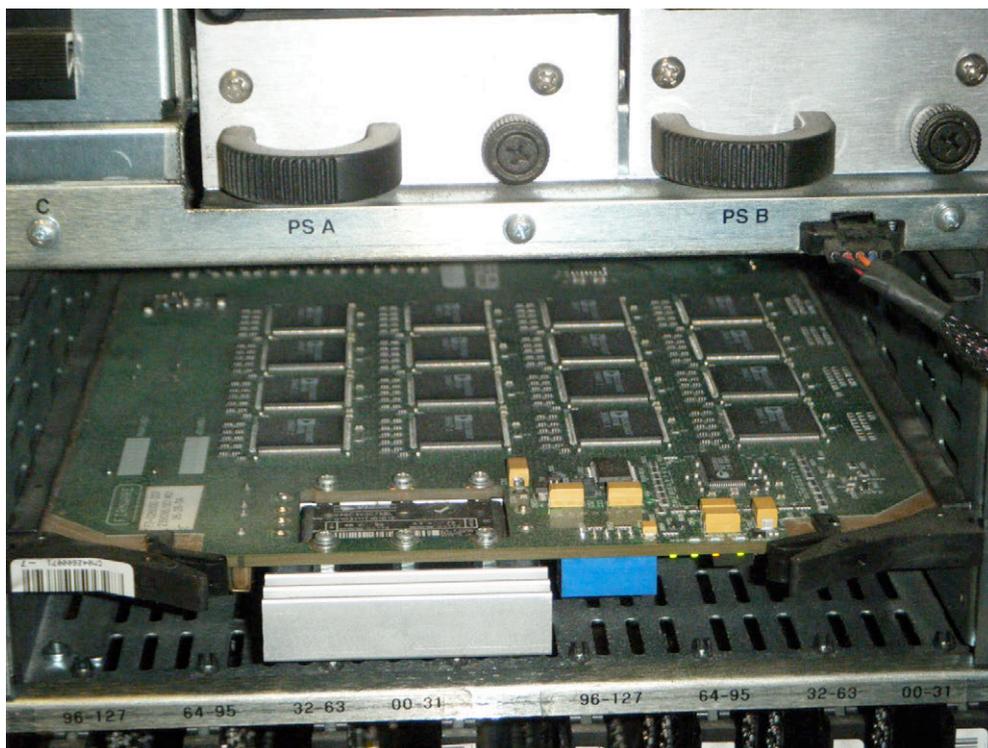


Fig. 13 Tarjeta de conmutación de la matriz Trinix por cortesía de Overon

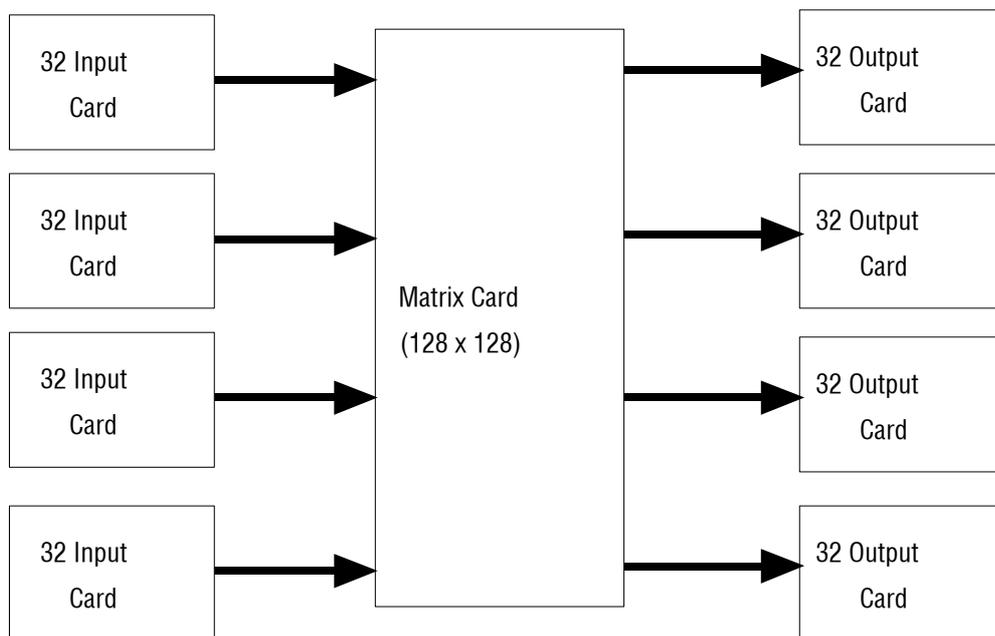


Fig. 14 Flujo de señales en el interior de la matriz.

### Fuentes de alimentación

La matriz está alimentada por dos fuentes de alimentación redundantes diseñadas para alimentar un determinado número de tarjetas. Cada chasis está provisto de sus fuentes de alimentación y no se debe utilizar fuentes diseñadas para chasis más pequeños para alimentar chasis más grandes.

Las fuentes de alimentación son totalmente independientes y están provistas de su propia entrada de IEC para la toma de red, su propio ventilador interno y una circuitería capaz de apagar la fuente de alimentación en el caso de que esta se sobrecaliente, evitando cualquier tipo de daño por sobrecalentamiento.

Cuando están instaladas la fuente principal y la de redundancia se activa el modo Load Share el cual produce que ambas fuentes de alimentación trabajen a la vez repartiéndose los elementos que deben alimentar cada una. Mediante este sistema, se consigue que el trabajo realizado por cada una de ellas no sea tan elevado, reduciéndose por tanto la probabilidad de la avería.

Las fuentes de alimentación son conmutadas, aceptando por tanto tensiones de alimentación desde los 100 voltios y 60 Hz hasta 240 voltios y 50 Hz. Las fuentes detectan la tensión de la red eléctrica y se ajusta en consonancia a ella para funcionar.

Las fuentes de alimentación son reemplazables “en caliente“ es decir se puede reemplazar las fuentes de alimentación aun estando la matriz en funcionamiento. Esto presenta una gran utilidad debido a que si es necesario reemplazar una fuente de alimentación, no es necesario apagar la matriz. Algunas matrices debido a la gran cantidad de señales que pasan por ella es imposible determinar un tiempo en el cual la matriz no esté conmutando alguna señal. La matriz Trinix NXT de 128 puntos lleva instalada una fuente de 600 watos más su correspondiente fuente redundante. La de 256 puntos lleva una fuente de 1250 watos más su fuente redundante. Y la de 512 puntos lleva dos fuentes de 1250 watos, más sus dos fuentes redundantes. En concreto las fuentes que se instalan en los chasis de 256 puntos y los de 512 puntos son las mismas.

Realmente la fuente de alimentación provee una tensión de 48 voltios de continua. Esta tensión pasa al bus de alimentación y de este bus es de donde se alimenta cada tarjeta. En este tipo de matrices cada tarjeta lleva diferentes reguladores de tensión, de manera que de los 48 voltios de continua que adquiere del bus de alimentación, la propia tarjeta es la que obtiene las diferentes tensiones necesarias para alimentar a cada uno de sus componentes. Este tipo de arquitectura busca dos cosas: implementar fuentes de alimentación más sencillas e implementar tarjetas que son entes casi totalmente autónomos. El hecho de que cada tarjeta genere sus propias tensiones de alimentación tiene un contra, que se encarece el precio y la complejidad de cada tarjeta. Pero tiene diferentes pros: a efectos prácticos las tarjetas están aisladas entre sí en cuanto a alimentación se refiere, el fallo o cortocircuito en las tensiones de una tarjeta no produce ningún efecto colateral en el bus de alimentación, las tensiones que se consiguen son más estables que alimentando todas las tarjetas directamente desde el bus, lo cual podría suponer que las tensiones para cada tarjeta no fuese la misma o incluso pudiese variar cuando se esta consumiendo más o menos corriente en el bus de alimentación y como observación más importante, se puede reemplazar una tarjeta con la matriz funcionando sin que se resienta el bus de alimentación.

En el panel trasero de la matriz de 128 puntos se encuentran los dos conectores IEC junto a dos entradas de alimentación de tensión continua. La matriz está preparada para ser alimentada directamente al bus de alimentación a través de fuentes de tensión continúa de 48 voltios externas. En este caso se ofrece una fuente opcional que alimenta mediante tensión continua y a través de estos conectores a la matriz.

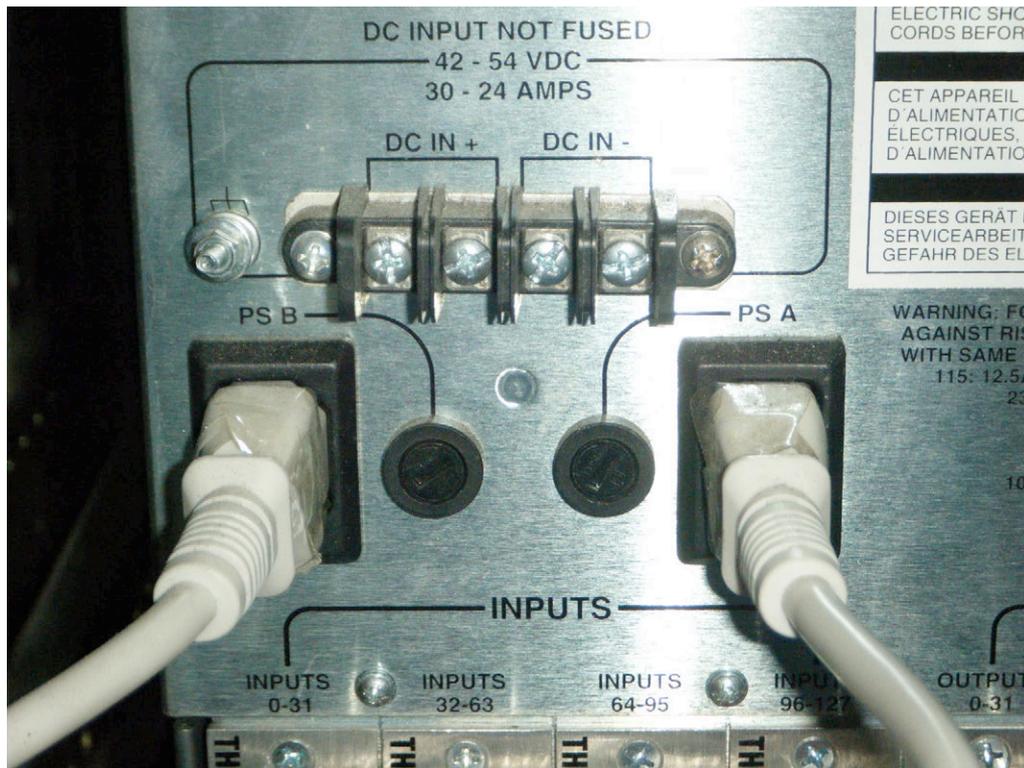


Fig. 15 Conectores IEC de las fuentes de alimentación por cortesía de Overon

### Módulos de ventilación

Los chasis poseen dos módulos de ventilación para la matriz de 128 puntos, tres módulos para la matriz de 256 puntos y hasta seis módulos para la matriz de 512 puntos. Los módulos de ventilación son fundamentales, hay que tener en cuenta que una matriz de 128 puntos puede llegar a consumir hasta 500 vatios. Si esta matriz está trabajando 24 horas al día, todos los días al año, parece lógico que se necesite ventiladores para disipar el calor interno que en ellas se produce. Estos módulos de ventilación son totalmente redundantes y también se pueden reemplazar “en caliente” con la matriz funcionando.

### Sistema Broadlinx. Tarjeta NR-33000

- Sistema de monitorado:

La matriz Trinx NXT de 128 puntos está provista además de dos compartimentos extras en los cuales se puede instalar una tarjeta por compartimento. En estos compartimentos se instalan las tarjetas del fabricante SR33000 o las NR-33000, estas últimas pertenecen a la familia desarrollada por el fabricante conocida como *Broadlinx*. Proporcionan una interfaz entre el usuario y la matriz de dos maneras fundamentalmente:

- 1) La primera es debida a que en estas tarjetas es donde se implementa la circuitería de las comunicaciones por red.

- 2) La segunda es porque en cada una de estas tarjetas se implementan dos salidas o enrutamientos lógicos para monitorización de las señales. Cada salida lógica de enrutamiento hacia monitorado, está a su vez compuesta físicamente por una pareja de BNCs. El sistema enruta a esta pareja de BNCs el monitorado de la misma señal. La diferencia es que en uno de los BNCs de la pareja, la salida esta invertida en polaridad.

La salida de monitorado se utiliza para hacer un monitorado de control de calidad de las salidas de la matriz. La circuitería de monitorado se basa en una circuitería de conmutación bastante sencilla que se alimenta directamente de las señales de salida de la matriz, antes de que estas lleguen a la circuitería de resincronización en las tarjetas de salida. Por esta razón las salidas de monitorado también ofrecen la opción de resincronizar las señales dentro de unos márgenes. En caso de que se excedan dichos márgenes se dejará pasar la señal sin resincronizar. El sistema es incluso más sencillo que en las tarjetas de salida. En este caso se posee en las placas NR-33000 y SR-33000 dos microinterruptores por placa (uno para cada salida) y en ellos se selecciona si se desea que se realice la resincronización o no. En la tarjeta SR-33500 sucede lo mismo pero con cuatro microinterruptores, uno para cada salida de monitorado.

Mediante un panel de control se conmutará a la salida de monitorado cualquier señal de salida de la matriz sin que esta se vea interrumpida o mermada, ofreciendo de esta manera la posibilidad de monitorar la calidad de cada una de las salidas de matriz.

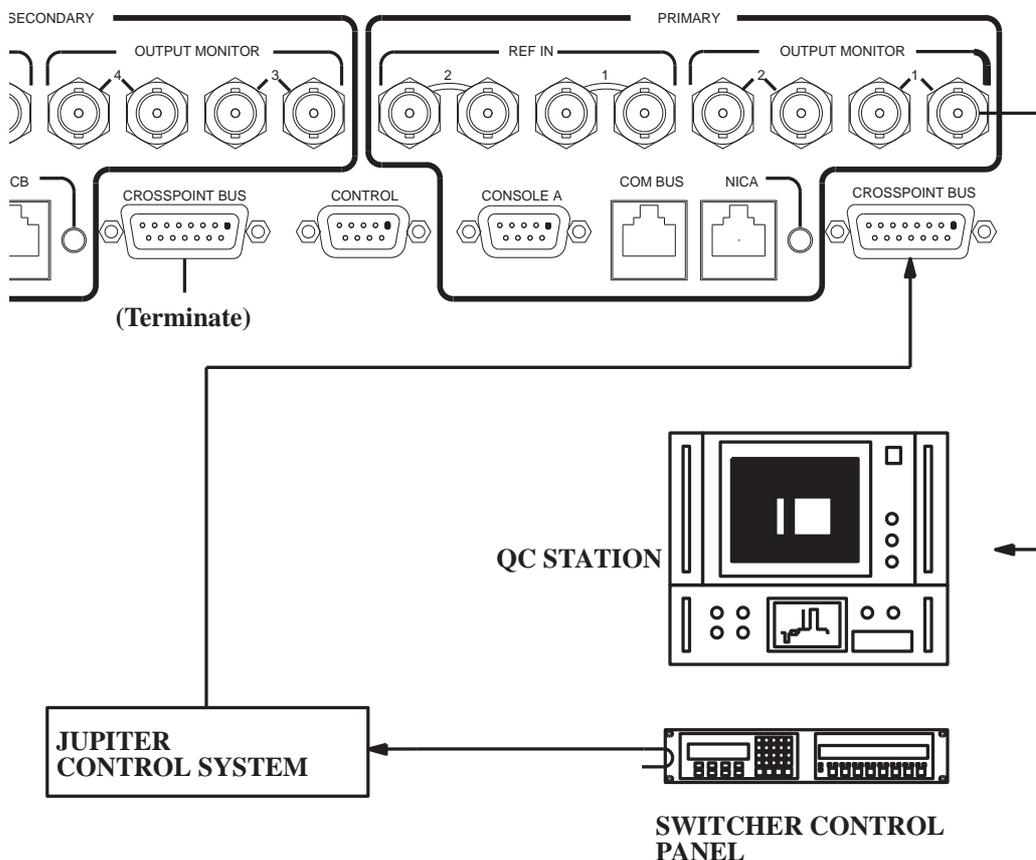


Fig. 16 Sistema de monitorado de la matriz



Fig. 17 Tarjeta de monitorado de la matriz Snell Sirius por cortesía de RTVE

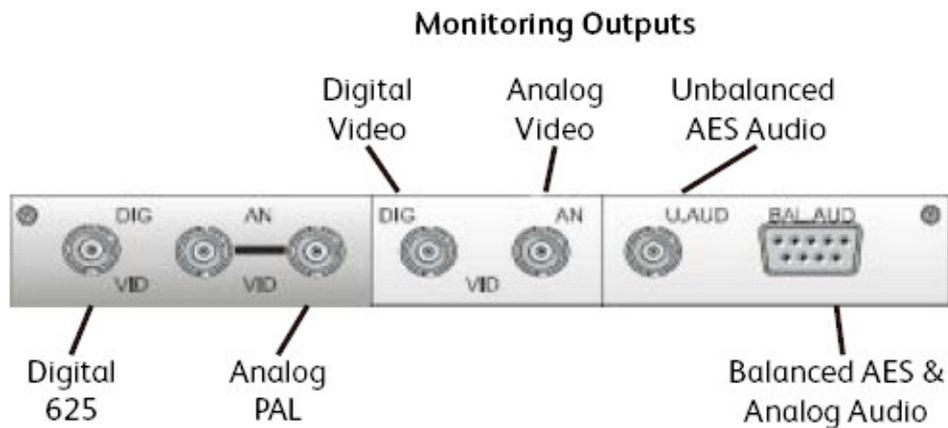


Fig. 18 Tarjeta de monitorado de la matriz Sirius

- Sistema de sincronización externa:

Las tarjetas broadlinx además llevan implementadas dos entradas de sincronización externa que permite esclavizar la matriz a una sincronía externa a través de señales de tipo video ( PAL, NTSC ), *Black burst o Tri-level*. Estas señales de sincronismos, proveen de una referencia externa del sincronismo vertical a la matriz, de tal manera que al ordenarse una conmutación, la matriz conmuta las señales sincrónicamente. De esta manera no se producen ni saltos ni rebotes en la imagen. La normativa establece el punto o línea óptima de conmutación. Sin embargo existe un pequeño margen, alrededor de la línea óptima, que permite seleccionar al usuario otra línea de conmutación, mediante una serie de microinterruptores (dedicados para cada bus de sincronismo que maneja cada tarjeta).

El sistema se basa en un loop through interno. Existe una pareja de BNCs por cada entrada de sincronismo. En uno de los BNCs se conecta el cable que lleva la referencia. Este BNC ofrece una impedancia de entrada considerablemente alta de tal manera que a efectos prácticos la señal que se propaga por el cable no sufre perturbaciones. El otro BNC se emplea como la salida directa para seguir propagando la señal de referencia a otras máquinas. Gracias a la alta impedancia que presenta el primer conector, la señal que entra por el loop through, ve tan sólo la impedancia que se ve desde el BNC de salida, es como si el loop through no existiese. Lógicamente si se decidiese terminar en este punto la propagación de la señal, se debería colocar una carga en el conector de salida para de esta manera finalizar la línea de transmisión debidamente.

Existe una función implementada bastante importante en estas tarjetas: si realmente no se necesitan cuatro referencias externas, se pueden usar las tarjetas en modo de redundancia de sincronía externa. En este caso se reduciría el número de señales de sincronización a dos, pero en el caso de que una tarjeta fallase, la otra seguiría operando sin ningún problema con la sincronía recibida a partir de los dos conectores útiles. Para funcionar en este modo, se debe activar el mismo en el software de la matriz, colocando el microinterruptor (*sync redundant*) que se encuentra a la izquierda de la matriz en la posición cerrada y además usar el *loop through* de los BNCs principales para conectar las entradas de sincronización de la tarjeta redundante.

En las matrices Trinitex NXT se pueden instalar dos tarjetas *broadlinx*, ofreciendo cuatro salidas directas o enrutamientos directos de monitorización y cuatro puntos de entrada de sincronía externa. De tal manera que pueden coexistir hasta cuatro referencias externas diferentes, siendo posible asignar cada una de ellas a diferentes tarjetas de salida.

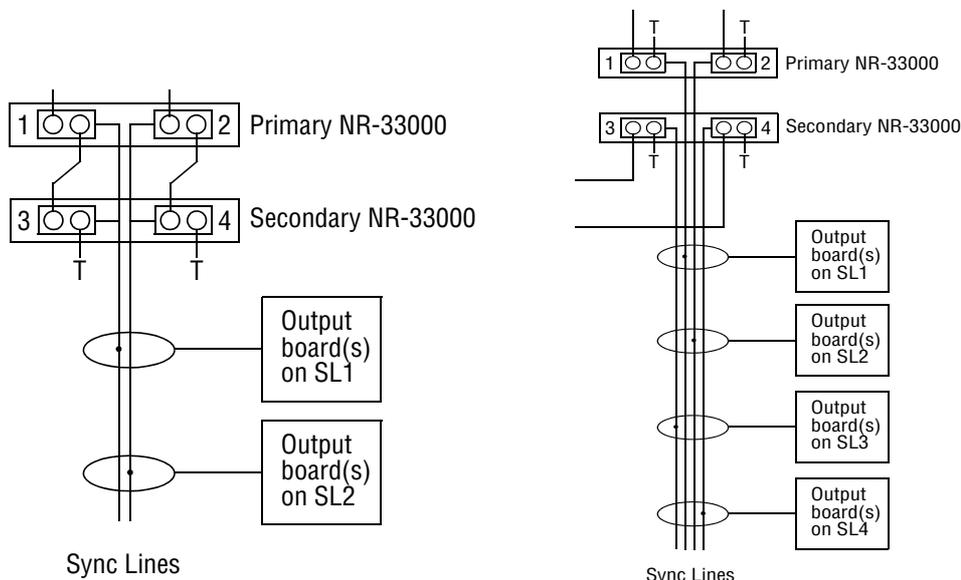


Fig. 19 Sistemas de sincronización.

Existen dos modos de conmutación para un matriz con una referencia externa:

1) Determinísticamente: Es aquella en la cual la matriz conmuta en un instante determinado programado previamente (lógicamente la conmutación se produce con ambas señales síncronas entre si). Esto se consigue referenciando tanto la matriz como su sistema controlador a la misma referencia externa.

2) Sincrónicamente: Es aquella en la que la conmutación se realiza síncronamente y en el mismo momento en los intervalos verticales de ambas señales. Para ello tan solo debe estar la matriz referenciada a una sincronía externa.

La matriz Trinix NXT puede funcionar sin esta referencia, sin embargo las conmutaciones se van a realizar con diferentes efectos no deseables en la imagen.

- Sistema *Broadlinx*:

La tecnología Broadlinx consiste en un hardware (tarjeta NR-33000) y un software que se ejecuta sobre ese hardware. Esta tecnología provee de información a tiempo real acerca del estado de la matriz a través de un protocolo y una conexión de red. La información es doble, por un lado permite ver y configurar los cruces de la matriz a través de una conexión de red y por otro lado está constantemente adquiriendo datos acerca de las funciones vitales de la matriz. En caso de que se produzca algún fallo o error el sistema enviará un aviso de ello.

Las placas *broadlinx* están provistas de una ranura donde se pueden insertar tarjetas *compact flash*. En estas tarjetas es donde está el *firmware* correspondiente a la matriz, es decir todo el conjunto de programas que necesita la matriz y cada una de sus respectivas tarjetas para funcionar. Para instalar una actualización, se ha de introducir esta tarjeta en la ranura de la *broadlinx*. Todo el paquete de programas se cargan en la memoria de la *broadlinx* y desde allí se distribuye a la memoria de cada una de las placas de la matriz su actualización de programa para un correcto funcionamiento.

En la siguiente figura se puede observar algunos elementos de estas tarjetas. Un botón para resetear y activar la tarjeta (necesario durante la actualización del software). Dos palancas que ayudan a la extracción de la tarjeta con un esfuerzo casi nulo. El compartimento de la memoria compact flash, mediante la cual se realiza la actualización del paquete de programas que gobierna la matriz, el botón para extraer la tarjeta de este compartimento, etc.....

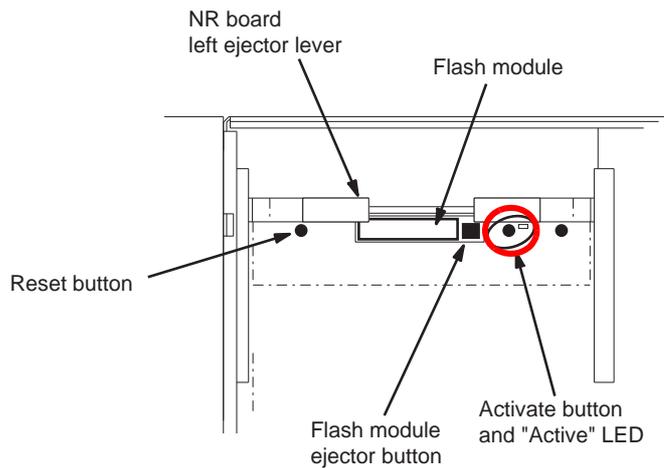


Fig. 20 Tarjeta *Broadlinx*

### Tarjeta SR-33000

En los compartimentos anteriormente citados también se pueden instalar por defecto las tarjetas SR-33000. Se trata de una tarjeta que puede desempeñar las mismas funciones que la parte dedicada a la sincronización y al monitoreo de la tarjeta NR-33000. Hay que observar que tanto las entradas de sincronía como las salidas de monitoreo son compartidas por las tarjetas SR-33000 y las NR-33000. Es decir se podrá instalar indistintamente estas tarjetas en cada uno de los dos slots disponibles ya que el hardware es común a ambas tarjetas.



Fig. 21 Dos placas NR-33000, tres ventiladores redundantes y dos fuentes de alimentación redundantes

## Sistema de alarma

Todas las tarjetas que se instalan en la matriz incluyen unos integrados FPGA donde se ejecutan los programas que implementan las funciones de la placa correspondiente y un microcontrolador donde corren los programas de adquisición de datos de la placa a través de sus puertos y de sus buses de comunicaciones. El microcontrolador realiza tres funciones:

- 1) Esta constantemente adquiriendo datos, tensiones, temperaturas, estados de las diferentes opciones de la tarjeta, etc... que son enviados a través del bus de comunicaciones hacia la tarjeta NR-33000 para su posterior procesado y a los que se puede acceder mediante interfaz web.
- 2) Utiliza su función comunicadora para establecer la comunicación del sistema broadlinx entre los integrados FPGA y el resto de componentes de la tarjeta.
- 3) Es el encargado de realizar la actualización del software en la correspondiente placa, cuando un nuevo firmware es cargado en la tarjeta broadlinx.

El sistema Broadlinx monitoriza las funciones vitales de una matriz. Utilizando un protocolo de red y la conexión de red, reporta en todo momento fallos o alarmas que se produzcan en la matriz, por ejemplo enviando un email a un sistema de recepción de alarmas.

Sin embargo si no se dispone de una conexión de red para esta matriz, existe un modo visual de detectar fallos en la misma mediante una serie de diodos leds que llevan un mensaje asociado. Las principales placas y componentes de la matriz incluyen una señalización de alarma visual mediante este sistema de leds.

En el panel frontal existe un led tricolor, con un simple vistazo se puede saber si todo está funcionando correctamente. Sus colores son, verde para matriz operativa, ámbar para alarma de nivel secundario, y roja para alarma de nivel primario.

En la parte trasera del chasis de la matriz se incluye un conector BNC que permite la señalización visual externa de la alarma. El circuito implementado en el interior de la matriz presenta dos estados: alta y baja impedancia, a este conector BNC se le conecta un sistema luminoso y un generador de tensión. Cuando se presenta una alarma, la impedancia de entrada del circuito de la alarma BNC se vuelve baja, provocando de esta manera que se cierre la malla con una impedancia muy baja y que por tanto fluya una corriente considerable. Esta corriente pasa por la bombilla y hace que esta luzca. Cuando el funcionamiento de la matriz es correcto, el circuito presenta una impedancia alta, no cerrando la malla y no produciendo la corriente necesaria para que la bombilla comience a lucir.

## Sistema *Protected Path*

La función conocida como *protected path* o ruta protegida es fundamental en infraestructuras de radiodifusión. Generalmente la base de datos de la matriz establece el punto de entrada y salida de la matriz de este flujo de datos como un cruce protegido, es decir el cruce está hecho permanentemente y el operador no pueda variar este cruce por software o por paneles de conmutación, sin desprotegerlo previamente. Sin embargo al pasar la señal por la matriz conlleva ciertos riesgos, si sucede algún problema con la matriz se podría interrumpir este flujo de señal. Para minimizar esta situación se establece lo que se conoce como una vía de reserva, que consiste en una vía completamente paralela.

A la matriz llegan dos cables (principal y reserva) que se conectan a dos entradas diferentes (es interesante que las entradas no pertenezcan a la misma tarjeta, por si el fallo estuviese en la tarjeta) y de la matriz saldrán dos cables que provienen de dos salidas diferentes (es interesante que ambas salidas tampoco pertenezcan a la misma tarjeta). Además es recomendable que la señal principal y de reserva no pase por la misma tarjeta de conmutación. Las matrices de 512 y 256 puntos poseerán una redundancia total en cuanto a tarjetas de entrada, salida y de conmutación. La matriz de 128 puntos tan sólo podrá ofrecer una redundancia en las tarjetas de entradas y salidas.

Para configurar el sistema *protected path* existen dos maneras diferentes:

- 1) A través de un ordenador, una conexión de red y el software broadlinx, se puede configurar las rutas y sus opciones mediante el uso de un interfaz web. En dicho interfaz aparecen en una columna denominada *primary*, el máximo número de salidas que pueden ser protegidas (justo la mitad de las salidas que posee la matriz), indicando con diferentes colores el estado de la señal en cada uno de estos puntos. Esta columna establece la salida principal y es generada automáticamente por la matriz.

Junto a esta columna aparece otra columna con las casillas vacías, en la cual el usuario asocia la salida principal con la salida de reserva, introduciendo el correspondiente número de la vía de reserva en su correspondiente casilla. Al igual que para la salida principal, el estado de las salidas de reserva se manifiesta mediante una serie de colores.

- 2) A través del interfaz gráfico de los controladores Encore o Júpiter:

Sistema Encore: Se configura en el Encore una matriz física (la matriz físicamente completa) y dos matrices lógicas, asociando estas últimas a la matriz física. Gracias a esta asociación las matrices lógicas comparten exactamente la misma configuración y disposición de los puntos que la matriz física. La primera matriz lógica se asigna a las vías principales, y la segunda matriz lógica se asigna a las vías de reserva. Ambos niveles lógicos han de estar referidos a la misma matriz física.

En la pantalla de asignación de fuentes se escoge una entrada de la matriz física y se le asocia una entrada de la matriz lógica primaria y otra entrada de la matriz lógica secundaria. En la pantalla de

asignación de destinos se escoge la salida de la matriz física y se le asocia una salida de la matriz lógica primaria y otra salida de la matriz lógica secundaria.

Sistema Júpiter: Se basa en que cuando el operador conmute directamente la entrada a la salida del nivel lógico primario en aquellos cruces que tengan asociados un nivel secundario, se producirá automáticamente el cruce de este nivel secundario. Es como si la conmutación secundaria siguiese a la conmutación primaria. Es decir una vez que se realiza la conmutación de la vía principal, automáticamente se realiza la vía de reserva, con una salvedad, esta vía de reserva aunque este habilitada no estará realmente activa su salida, debido al combinador que se encuentra en su salida. Esta salida se activara automáticamente cuando se detecte que falla la vía principal.

Esto se consigue asociando las entradas y salidas entre ambos niveles lógicos en las tablas de entradas y salidas del controlador Júpiter.

La función *protected path* realiza una monitorización constante de la señal que sale por las salidas identificadas como críticas mediante el sistema *broadlinx*. En caso de fallo, dispara una alarma y activa por si misma la vía de reserva, conforme halla sido programado en su base de datos.

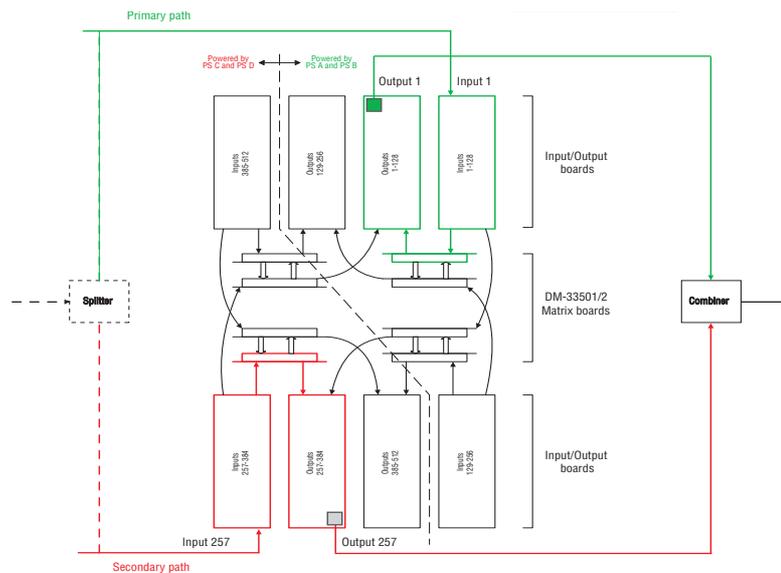


Fig. 22 Esquema de un sistema *protected path*

En la anterior figura se muestra un esquema de una posible implementación del *protected path* en una matriz de 512x512 puntos. La salida de cada una de las rutas desemboca en un combinador pasivo constituido por transformadores. Debido a que los transformadores presentan unas determinadas pérdidas, las salidas críticas deben ser configuradas en las tarjetas de salida con una determinada amplificación en su salida para compensar dichas pérdidas.

El combinador realmente es un sistema que posee dos entradas y una única salida. Al ser un sistema pasivo, no es capaz de seleccionar por si mismo la entrada activa. Por otro lado al combinador no le pueden llegar dos señales a la vez. Realmente al combinador le llega una señal en todo momento, bien la señal

principal o bien la señal de reserva, siendo la matriz la encargada de habilitar o deshabilitar la correspondiente salida, conforme al estado que presenta el monitoraje de cada salida. El sistema *protected path*, esta continuamente monitorando la señal que sale por la ruta principal, si se detecta en ella un problema el sistema envía una alarma, desconecta la salida principal y activa la salida de reserva.

El splitter de entrada es generalmente un distribuidor de señales y otras veces son caminos totalmente independientes que vienen de otros equipos redundantes que forman una cadena principal y otra de reserva totalmente independientes.

Para poder utilizar el sistema *protected path* es necesario que la placa de salida tenga implementada la monitorización a través del sistema *broadlinx* del estado de cada una de las salidas. Determinadas placas no podrán usarse con el sistema *protected path*.

### **Controladores de matriz**

Los sistemas que existen a la hora de controlar la matriz o un conjunto de matrices son dos principalmente:

- 1) Mediante las controladoras CM4000/VM3000: Usando cualquiera de estas controladoras, se puede conectar un ordenador o diferentes paneles de control a una o varias matrices e incluso manejar todas las matrices desde un solo ordenador o panel de control. La controladora cuenta con entradas de Ethernet y con entradas para los buses de los paneles de control. También posee una salida que se conecta directamente a través de un cable con la entrada al bus de control externo de la matriz.

Se puede realizar una configuración de *loop through* utilizando las dos conexiones *crosspoint bus* presentes en el panel posterior de la matriz. De esta manera las órdenes de la controladora se pueden distribuir por diversas matrices. La última matriz de la cual cuelga este bus, deberá tener instalado un terminador de la línea de transmisión establecida a lo largo de todo el recorrido.

Si el recorrido a través de este bus va a ser muy largo, se deberán intercalar entre las matrices, dispositivos que sean capaces de regenerar la señal a partir de señales degeneradas por el efecto del cable.

En este modo de funcionamiento las tarjetas *broadlinx* ceden el control sobre las conmutaciones a las órdenes recibidas por el bus externo de conmutación desde las controladoras. Se conoce como modo de control de conmutación a través de bus externo.

El sistema de control en el que se utilizan las controladoras CM4000 o la VM3000 para controlar las matrices es denominado por el fabricante como *Jupiter Control System*. Para que las conmutaciones se realicen síncronas entre las diferentes fuentes, se debe esclavizar tanto la matriz como el CM4000/VM3000 a la misma referencia externa.

En este modo de funcionamiento se puede conectar un PC al puerto de red de la tarjeta *broadlinx* de la matriz. Con esto se podría monitorar el estado y alarmas generadas en la matriz en cada momento.

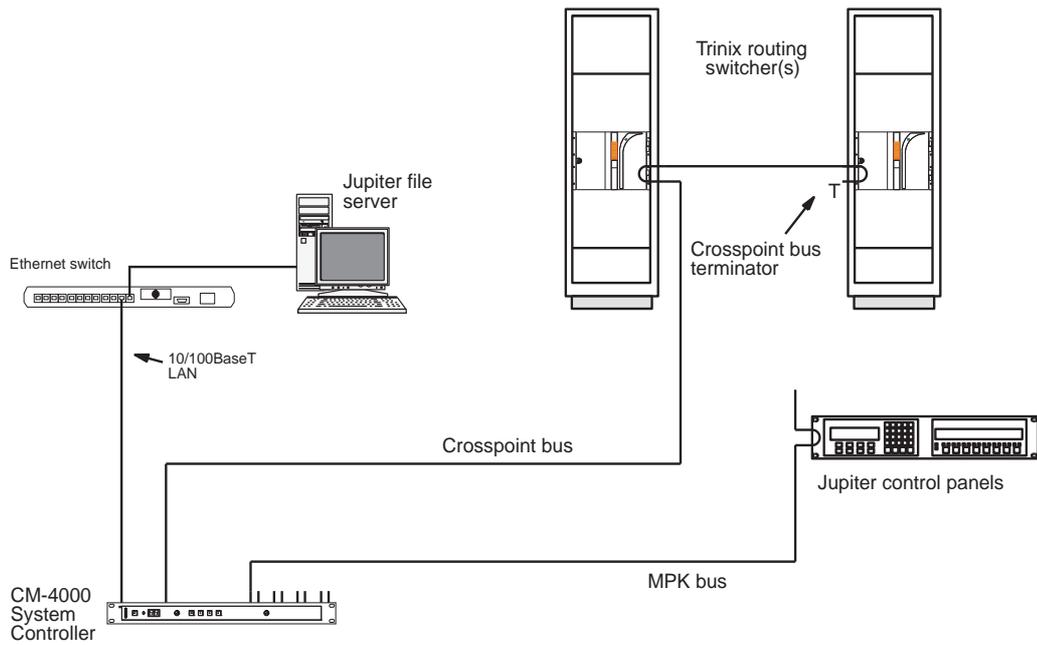


Fig. 23 Conexión mediante uso de interfaz con la matriz

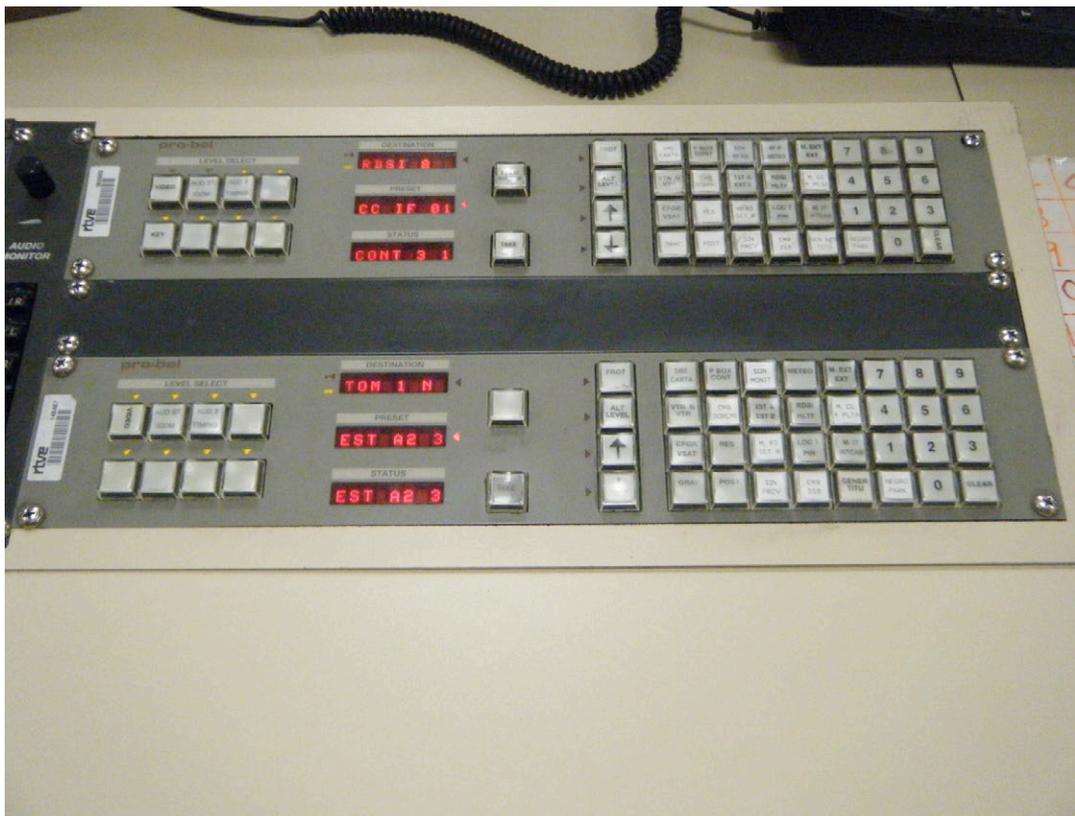


Fig. 24 Panel de control de las matrices Probel por cortesía de RTVE

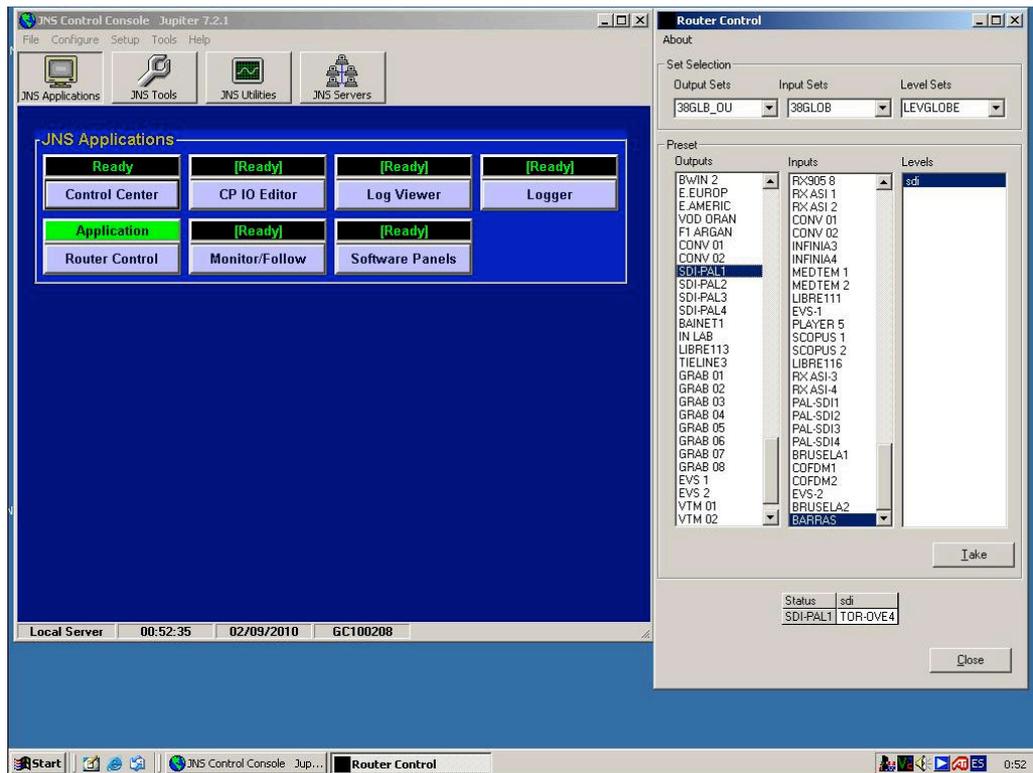


Fig. 25 Interfaz del servidor Júpiter para el control de la matriz Trinix por cortesía de Overon.

2) Mediante los controladores SMS7000/Encore Control: En este caso intervienen la tarjeta *broadlinx* y el software *broadlinx* que sobre ella se ejecuta. Se conecta el puerto de red del controlador SMS7000 o del Encore al puerto Ethernet de la matriz.

La tarjeta *broadlinx* y su software asociado distribuyen a través del bus interno las instrucciones de conmutación que reciben del SMS7000 o del *Encore*, a las diferentes tarjetas de conmutación de la matriz.

Se conoce como modo de control de conmutación a través de bus interno. Se debe recordar que en el caso de tener instaladas dos tarjetas *broadlinx* permiten tener habilitadas dos conexiones de red en la misma matriz al mismo tiempo.

De la misma manera, si se desea que las conmutaciones entre las diferentes fuentes sean síncronas se deberá esclavizar tanto la matriz como el controlador SMS7000 o el controlador Encore a la misma señal exterior de referencia

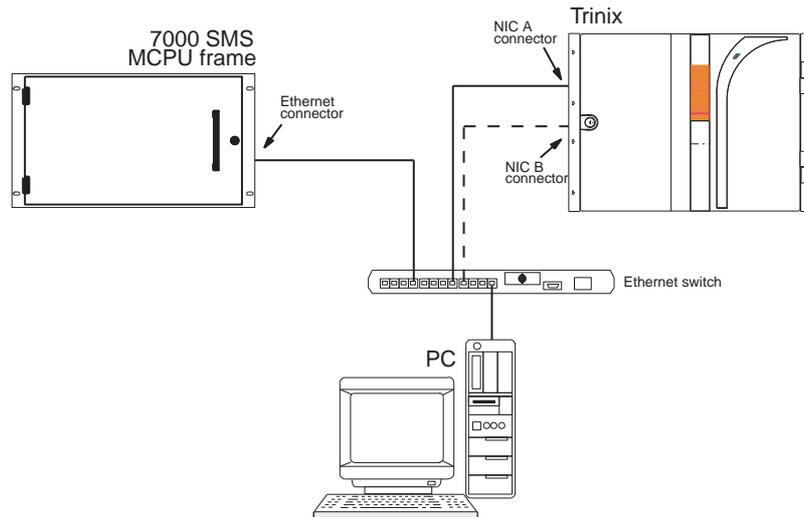


Fig. 26 Sistema de control de la matriz SMS7000

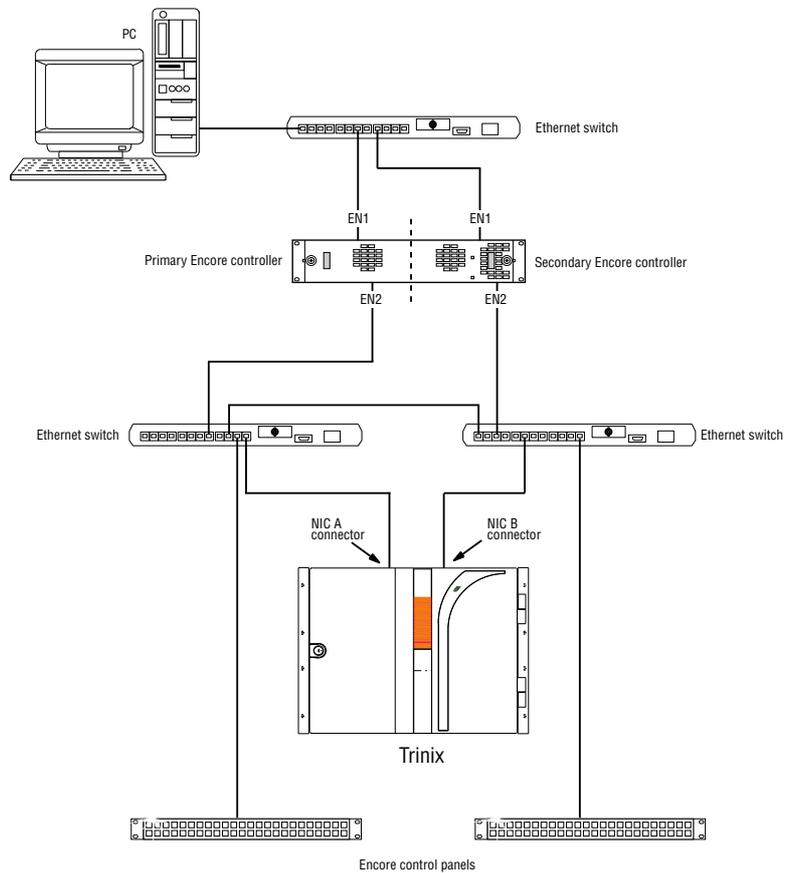


Fig. 27 Sistema de control de la matriz Encore

Tanto en el sistema SMS7000 como en el Encore, el PC es un mero interfaz gráfico que se utiliza para configurar el controlador SMS7000 o el *Encore* y para recibir las notificaciones de alarma que se produzcan en la matriz. El control de la matriz se realiza a través del SMS7000 o a través del *Encore*.

Para seleccionar el modo de control a través de bus externo o bus interno, se debe configurar manualmente mediante el microinterruptor (*Int Xpt Cntl*) que se encuentra en la izquierda del panel posterior de la matriz. En la posición abierta se corresponde con el bus externo mientras que en la posición cerrada se corresponde con el bus interno.

Si tan sólo se quisiera monitorar el estado de la matriz, se debería conectar la tarjeta de red de un PC a la entrada LAN de la matriz. La conexión etiquetada como COM BUS es utilizada como un *loop through* de la entrada LAN de la matriz. De esta manera se pueden encadenar en serie varios chasis, monitorandose todos ellos desde un único PC. En esta situación el microinterruptor (A) situado a la izquierda en el panel trasero de la matriz debe ser colocado en su posición cerrada, la cual deshabilita la gestión que sobre el COM BUS realiza la tarjeta de *broadlinx* montada en ese chasis. En este tipo de configuración, la única tarjeta *broadlinx* habilitada sería la que procesaría todas los datos de las funciones vitales que los microcontroladores de cada tarjeta en cada modulo envían al bus de comunicaciones.

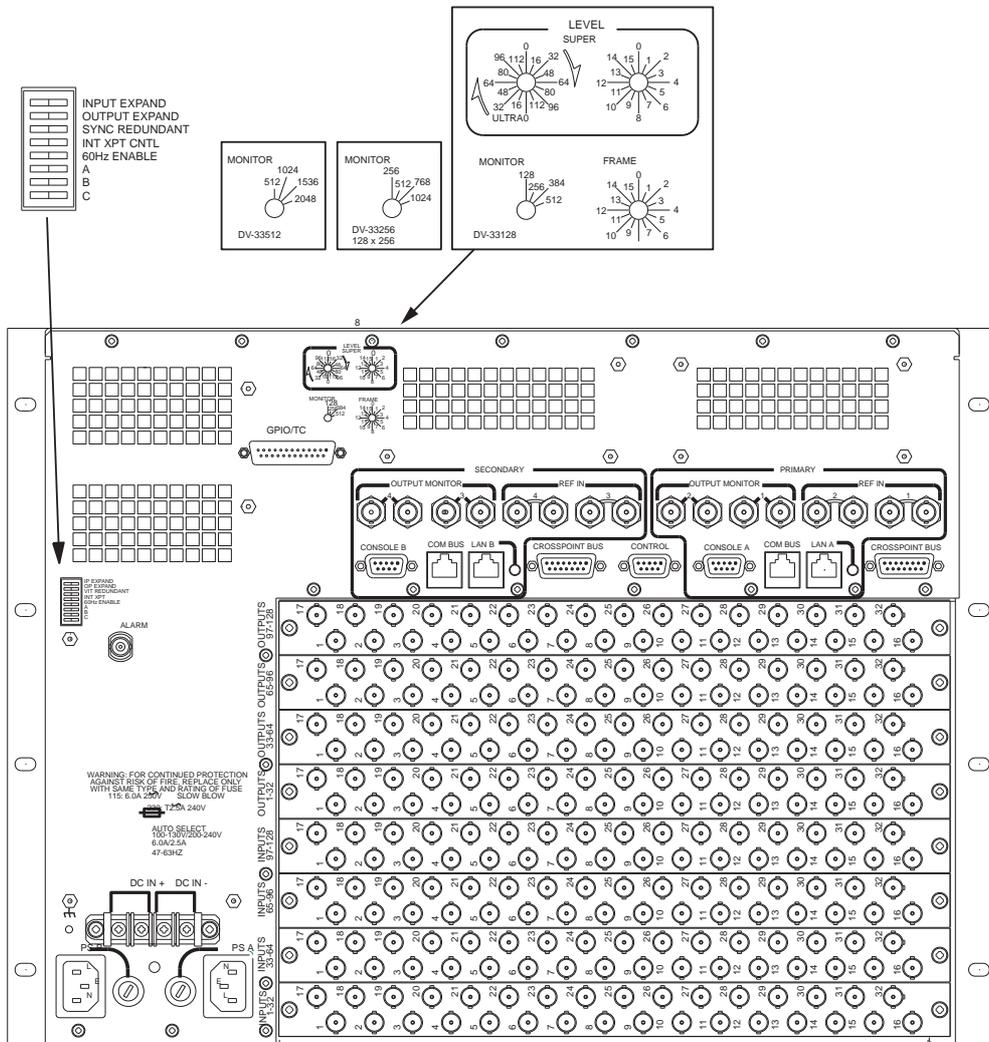


Fig. 28 Trasera de la matriz Trinix de 128x128.

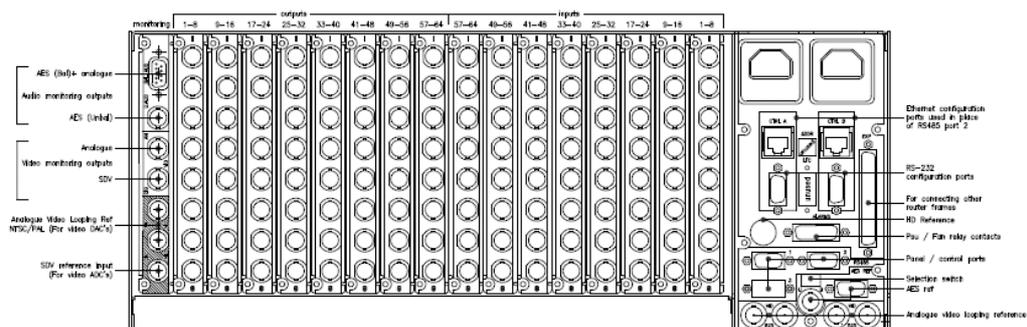


Fig. 29 Trasera de la matriz Sirius de 128x128.

## Expansión de matrices

A efectos de instalación y control de un grupo de matrices (hasta 16 de ellas) existe un modo en el cual diversos chasis pueden ser manejados como si fuera una única matriz virtual.

Para ser identificadas las entradas y salidas asignadas a cada matriz dentro del conjunto, existe un selector en la parte trasera denominado *frame*. Este selector maneja 4 bits que identifican biunívocamente la posición de cada matriz en el conjunto que conforma el bloque total de las matrices. Los 4 bits resultantes de la posición del selector *frame*, son decodificados y es asignado a ese chasis su correspondiente bloque de entradas/salidas conforme a la siguiente tabla que esta disponible en la memoria de cada chasis.

DV-33512 (512 X 512)				
INPUTS	FRAME NUMBER			
	1537-2048*	5	7	13
1025-1536*	4	6	12	14
513-1024*	1	3	9	11
1-512*	0	2	8	10
OUTPUTS	1-512*	513-1024*	1025-1536*	1537-2048*

Fig. 30 Selector frame en matrices de 512 puntos

En el siguiente ejemplo se puede ver como mediante el uso de 4 matrices de 512 puntos se consiguen hasta 1024 puntos de conmutación. Para ello se emplean splitters que duplican las entradas, y combinadores encargados de combinar las 1024 salidas que les llegan.

El chasis 0 es el encargado de conmutar las entradas de la 1 a la 512 a las salidas 1 a 512. El chasis 2 es el encargado de conmutar las entradas 1 a la 512 a las salidas 513 a la 1024. Con estos dos frames se realiza la conmutación de las 512 primeras entradas a las 1024 salidas.

El chasis 1 es el encargado de conmutar las entradas de la 513 a la 1024 a las salidas 1 a la 512. El chasis 3 es el encargado de conmutar las entradas 513 a la 1024 a las salidas 513 a la 1024. Con estos dos frames se realiza la conmutación de las entradas 513 a 1024 a las 1024 salidas.

Observaciones al margen:

1) Las entradas y salidas de los splitters y los combinadores que no se estén usando, deben cargarse con una carga de 75 ohmios para finalizar correctamente las líneas de transmisión establecidas.

2) Los splitters y combinadores son físicamente el mismo elemento, ya que se basan en transformadores que son totalmente reversibles. En la siguiente figura se emplea el PE-33016 en la entrada como un splitter y en la salida como un combinador.

Este elemento está constituido por una serie de transformadores los cuales tienen asociadas unas determinadas pérdidas de inserción. En el caso de emplear splitters en las entradas se debería activar la función de ganancia que existe en las tarjetas de entrada para compensar estas pérdidas. En el caso de emplear combinadores a la salida, se debería activar la amplificación de las salidas para poder contrarrestar las pérdidas que se introducirán en los combinadores.

En este caso se debe accionar el microinterruptor *Input Expand* o el *Output Expand*, situado en el zócalo de microinterruptores de la parte trasera del equipo, habilitando la función de amplificación en las tarjetas de entrada y de salida. Como cada tarjeta de entradas o salidas está físicamente compuesta de dos tarjetas (madre e hija), se podrá encontrar en cada una de ellas su correspondiente selector *Expand enable* que permite fijar una amplificación en conjunto de las 16 entradas o salidas de cada una de las tarjetas.

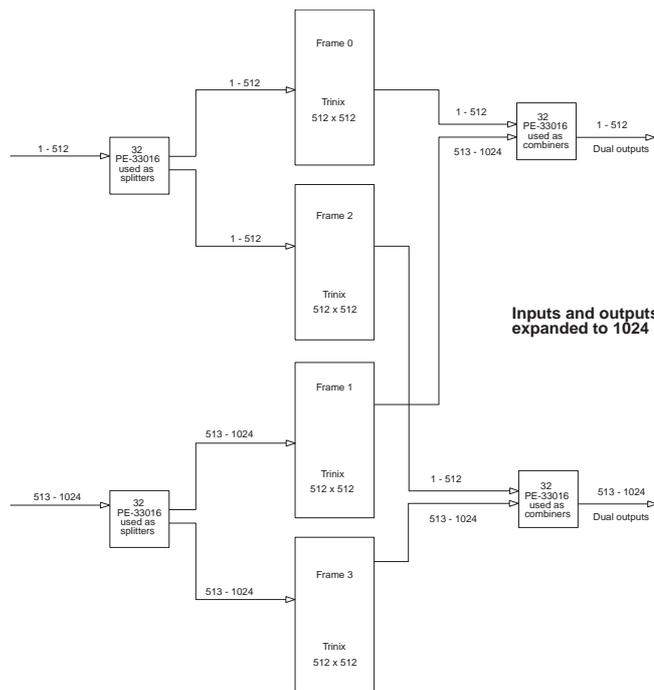


Fig. 31 Expansión de matrices

## **Puertos de conexión GPI y código de tiempo**

Existe un conector que si bien en la matriz Grass Valley no está implementado, en otras matrices y otras infraestructuras si están en funcionamiento y son de vital importancia. Este conector es el puerto RS485 etiquetado como GPIO/TC (GPIO son las siglas de *General Purpose Interface* o puerto de propósito general). Es un puerto en el cual las comunicaciones u órdenes que se establecen suelen ser muy sencillas, por ejemplo disparo de eventos. Si a esta función le añadimos que TC son las siglas de *Time Code* o código de tiempos, se puede ver que el puerto GPIO/TC es capaz de recibir y ejecutar ordenes simples como conmutaciones de matriz provenientes de un sistema automatizado bajo un código de tiempo común.

Por ejemplo, se puede programar en un ordenador que está corriendo un código de tiempo, que cuando llegue al tiempo 01:14:59:24 le envíe un mensaje a la matriz a través de GPI para que esta produzca una conmutación sin la intervención de ningún operador de matrices.

## **Base de datos**

Todas las matrices deben poseer una base de datos interna en la cual estén reflejadas tanto las entradas como las salidas, los diferentes niveles que maneja cada matriz y si es posible asociarles un nemotécnico que empleará el operador de la matriz. Además es necesario programar que cruces están permitidos y cuales restringidos para los operadores y cuales son las rutas protegidas además de los mensajes GPI que van a recibir.

Esta base de datos es programada o por el fabricante bajo las instrucciones del cliente o por el propio cliente en sus instalaciones. Cualquier modificación que se realice sobre la base de datos deberá ser cargada en su controlador adecuado o en la memoria interna de la matriz. Generalmente la actualización de la base de datos de una matriz no corta los cruces de matriz establecidos previamente y es norma general en las grandes infraestructuras de radiodifusión el tener al menos dos controladores, uno principal y el otro de reserva.

Para ilustrar con un ejemplo real se incluye una fotografía de la matriz Grass Valley Trinitix (modelo anterior al NXT) en un chasis de 256 puntos. En concreto en la fotografía que se muestra, pese a que el chasis de la matriz es de 256 puntos se está utilizando como si se tratase de una matriz de 128 puntos.

En la fotografía se puede apreciar las cuatro tarjetas de entrada de 32 puntos cada una, las cuatro tarjetas de salida con 32 puntos por cada una y una tarjeta de conmutación de 128 puntos.

También se observan la fuente de alimentación principal, la redundante y los tres módulos de ventilación al igual que la tarjeta SR33000 y la NR33000.

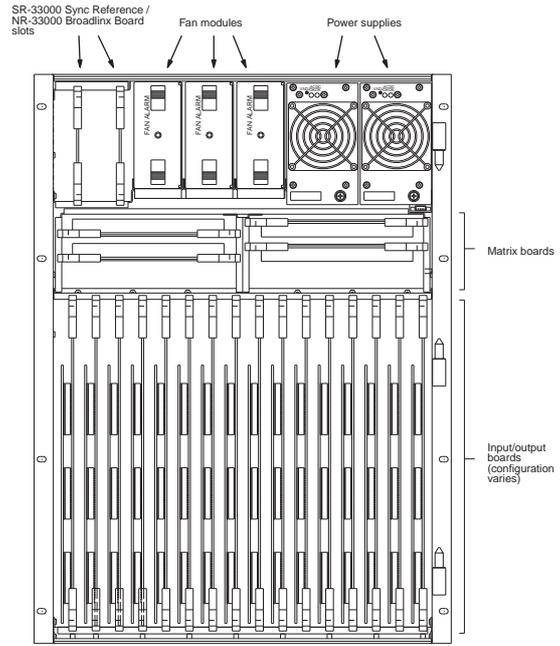


Fig. 32 Interior de la matriz Grass Valley Trinix de 256 puntos. Por cortesía de Overon

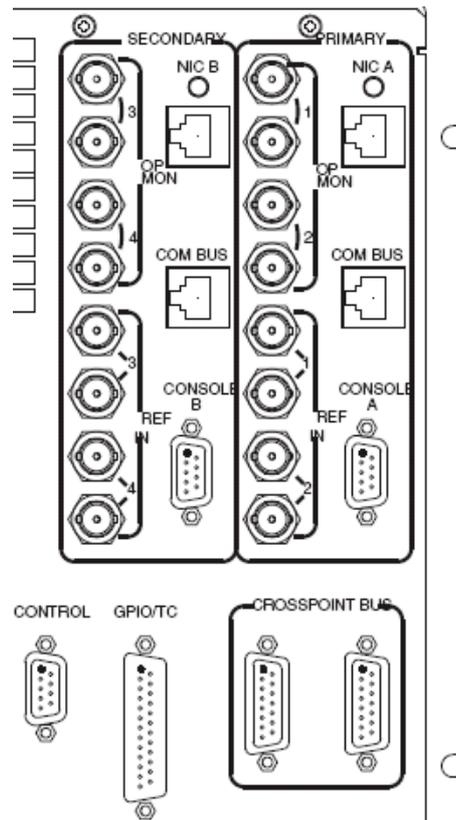
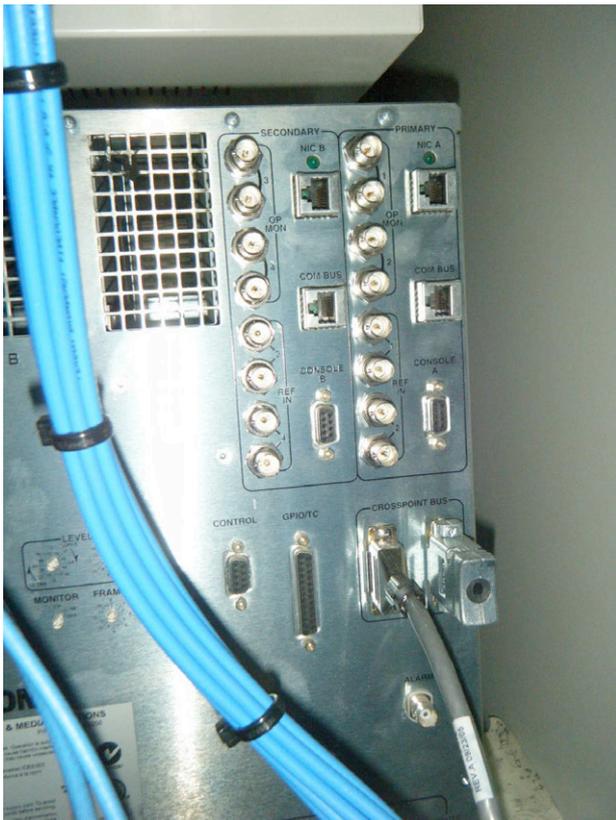


Fig. 33 Panel trasero de las matrices Trinix, por cortesía de Overon.

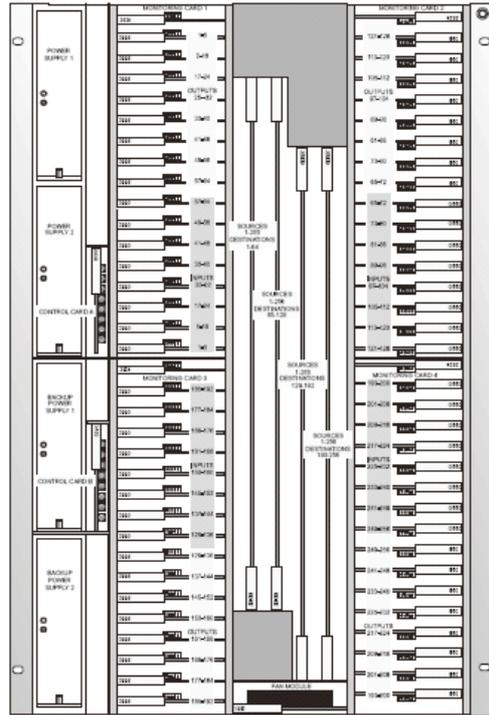


Fig. 34 Interior de la matriz Sirius por cortesía de RTVE

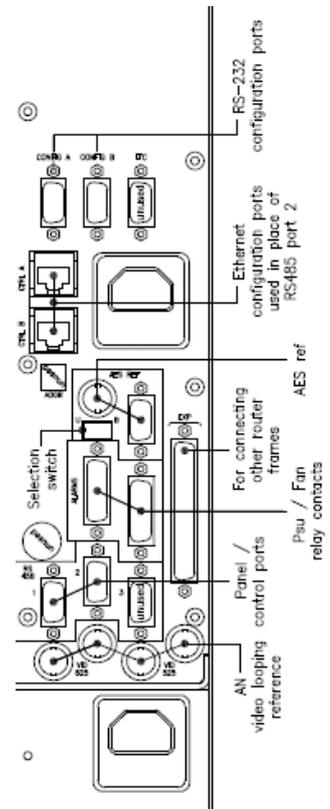


Fig. 35 Panel trasero de las matrices Sirius, por cortesía de RTVE.

En la página anterior las imágenes pertenecen a una matriz de Snell Sirius de 256 puntos, la cual está instalada para un total de 192x192 puntos.

En ella se pueden apreciar las tarjetas de entradas, las tarjetas de salidas, 4 tarjetas de conmutación (de 128 puntos cada una) refrigeradas por un módulo de ventilación situado debajo de ellas, 2 fuentes de alimentación principales y 2 redundantes, 4 tarjetas de monitorado, 2 tarjetas de control.

Antes de finalizar el apartado de matrices de SDI, se va a presentar la matriz Sirius 850. El motivo de la presentación de esta matriz, es el salto de nivel que representa esta matriz en una infraestructura de radiodifusión.

La matriz Sirius 850 pertenece a las series de más alta gama que construye la marca Snell. Corresponde a un tipo de matrices bastante más avanzadas y complejas que las clásicas matrices presentadas anteriormente. Este tipo de matrices no se restringen únicamente a una labor de conmutación de señales. Representan por sí mismas un ente capaz de **conmutar y procesar** individualmente tanto señales de video con audio embebido en HD-SDI y SD-SDI y señales de audio en formato AES. Es decir este tipo de matrices además de realizar conmutaciones permite procesar diferentes parámetros de video y audio de las señales que entran y salen de ella, haciendo innecesario una gran cantidad de procesadores externos en formato hardware. El potencial que ofrecen estas matrices a la hora de conmutar y procesar señales las hacen idóneas para aquellas instalaciones en las cuales se necesite por diferentes razones tecnológicas un potencial que con las matrices convencionales no se conseguiría.

Pocos meses antes de finalizar este PFC, la corporación de RTVE adquirió para sus instalaciones del control central de Torrespaña una matriz Sirius 850. Con la adquisición de esta matriz se produjo un salto cualitativo en sus instalaciones y se solventaron diferentes problemáticas que se producían con el tránsito del SD hacia el HD.

- El primer problema que se solventó fue el de la cobertura y emisión de los JJOO de Londres 2012. La gran cantidad de señales en HD que se manejaron durante estas olimpiadas, hicieron necesario el uso de una matriz capaz de conmutar señales en HD e incluso de poder procesarlas, embeber y desembeber audios, etc.... La matriz Sirius 850 junto a los nuevos circuitos de contribución en HD con Londres, Barcelona y Prado del Rey, posibilitaron un tránsito de señales en HD entre estos centros, una emisión en HD para el canal de HD de TVE desde Torrespaña y la grabación e ingesta de los diferentes señales en HD para su posterior explotación o para archivo.
- El segundo problema que se solventó fue la unificación de dos de las cuatro matrices que conforman el núcleo de distribución y conmutación de las diferentes señales que poseen un tránsito en Torrespaña. Con esta matriz se unificó las antiguas matrices de exteriores e internacionales, optimizando el uso de los recursos y disminuyendo el número de *tielines* o interconexiones que entre ellas se necesitaban.

- El tercer problema que se solventó fue la aportación definitiva de la infraestructura necesaria en cuanto a conmutaciones que requería el canal HD de TVE recientemente trasladado a Torrespaña, el cual necesitaba de gran cantidad de contenidos provenientes de diferentes orígenes, siendo necesaria una matriz capaz de distribuir señales en HD.
- El cuarto problema que se solventó se refiere al procesamiento de señales. La capacidad de procesamiento de la cual está provista la matriz Sirius 800 hace que se reduzca de una forma cuantitativa el número de procesadores externos necesarios para señales tanto de audio como de video. Además, la flexibilidad que brinda este procesamiento en los diferentes puntos de tránsito de la señal en el interior de la matriz hacen que los equipos externos hardware se utilicen tan sólo como equipos de reserva, siendo necesarios muy pocos de ellos.

Lógicamente estos no fueron los únicos problemas que solventó esta matriz, pero quizás si son los más significativos y los que más rápidamente se constataron. Realmente no hace falta pensar mucho en cuanto a que problemas pudo solventar la adquisición de esta matriz, solamente se debe pensar en la capacidad de distribución de señales en HD y el potencial del procesamiento de señales para darse cuenta de las mejoras y soluciones que proporcionó la instalación de esta matriz.

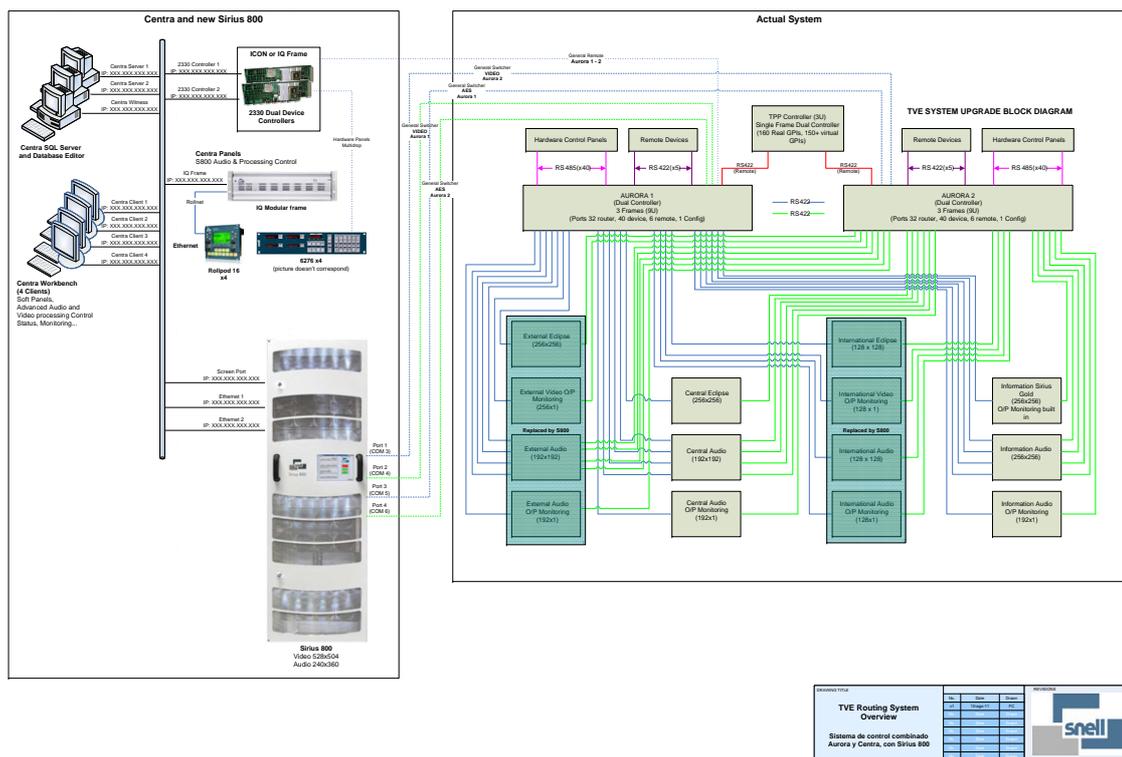


Fig. 36. Estado actual del sistema de matrices en Torrespaña, a fecha de septiembre de 2012. Por cortesía de RTVE.



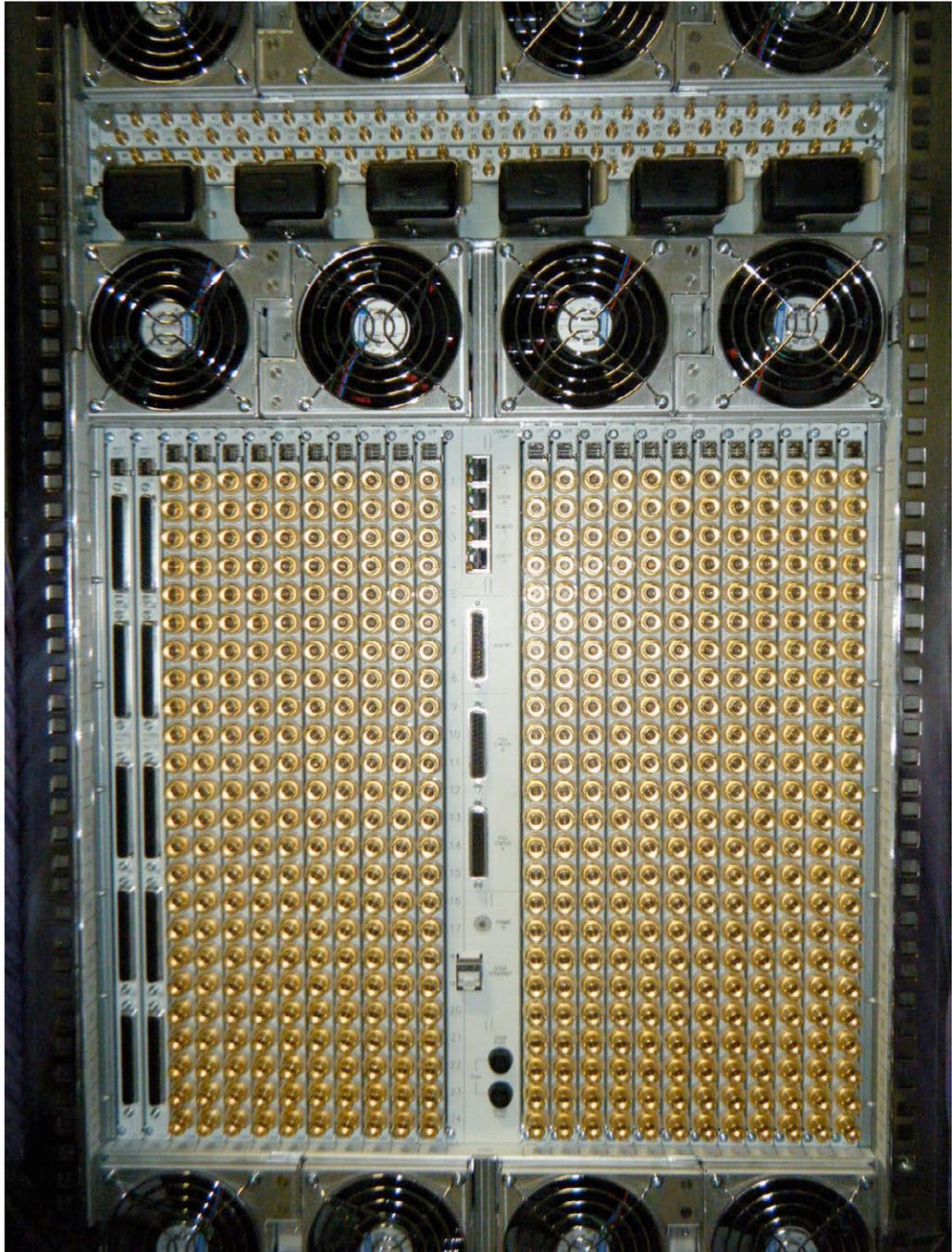


Fig. 38. Entradas de video y audio de la matriz Sirius 850. Por cortesía de RTVE.

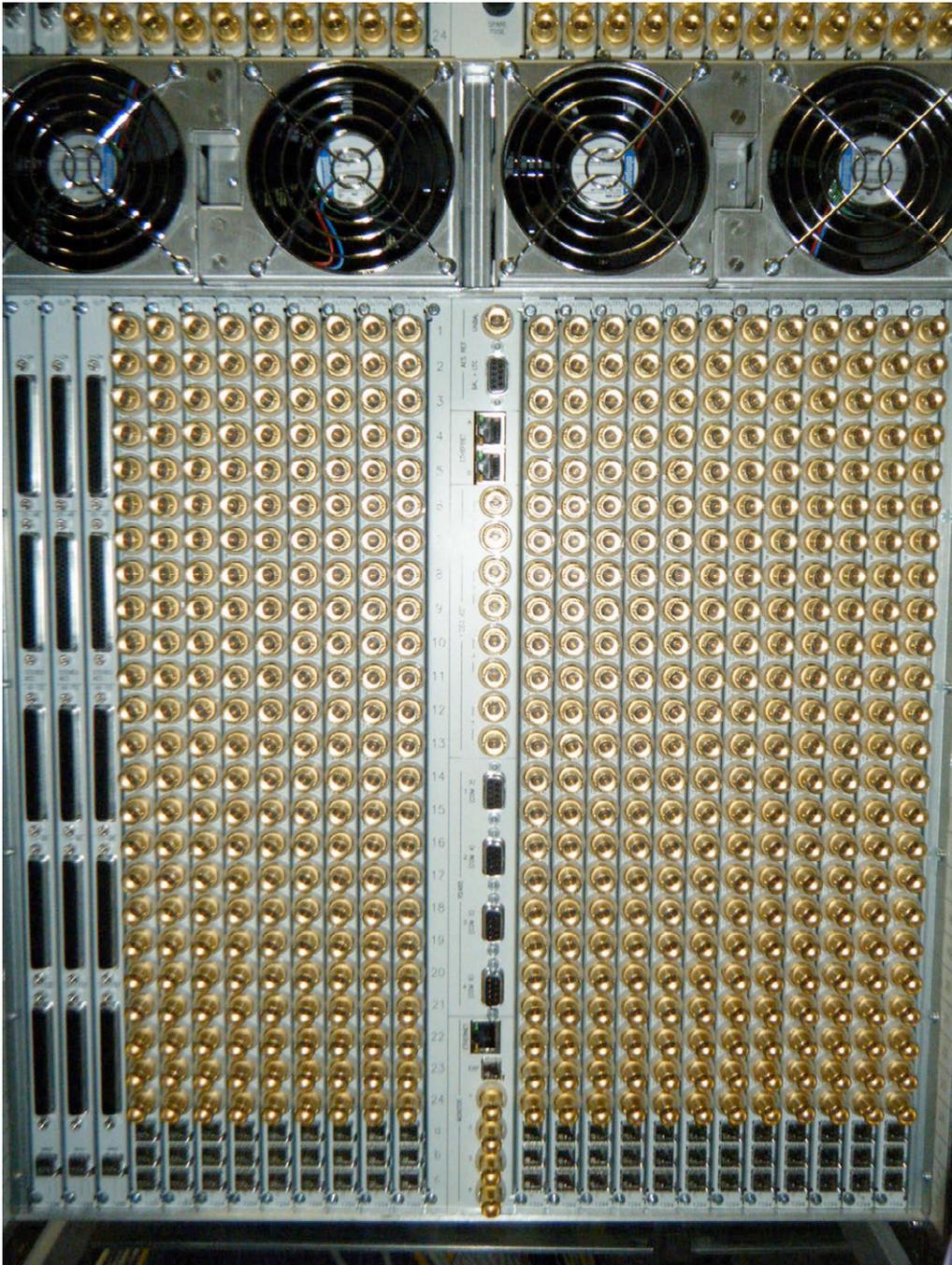


Fig. 39. Salidas de video y audio de la matriz Sirius 850.



Fig. 40. Frontal de las fuentes de alimentación redundantes de la matriz Sirius 850. Por cortesía de RTVE.



Fig. 41. Trasera de las fuentes de alimentación redundantes de la matriz Sirius 850. Por cortesía de RTVE.



Fig. 42. Tarjetas de monitorado de la matriz Sirius 850. Por cortesía de RTVE.

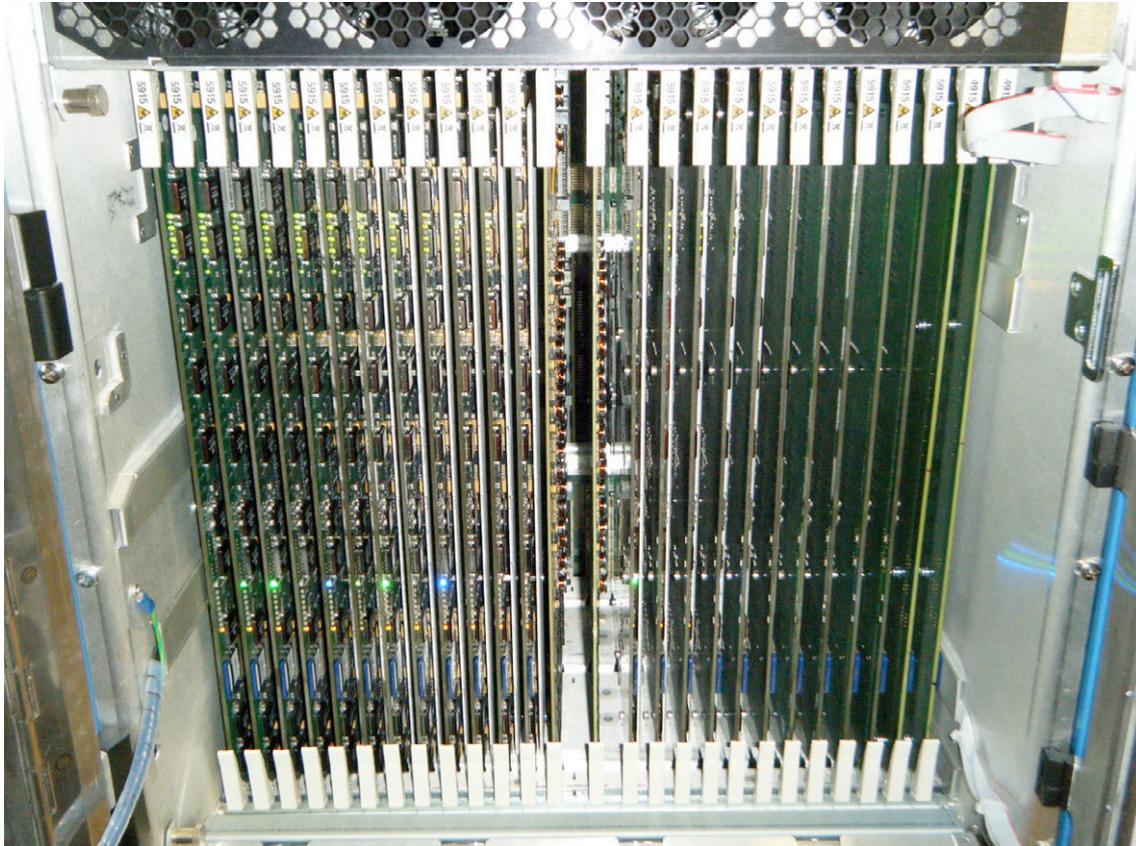


Fig. 43. Tarjetas de entrada de video y de audio de la matriz Sirius 850. Por cortesía de RTVE.

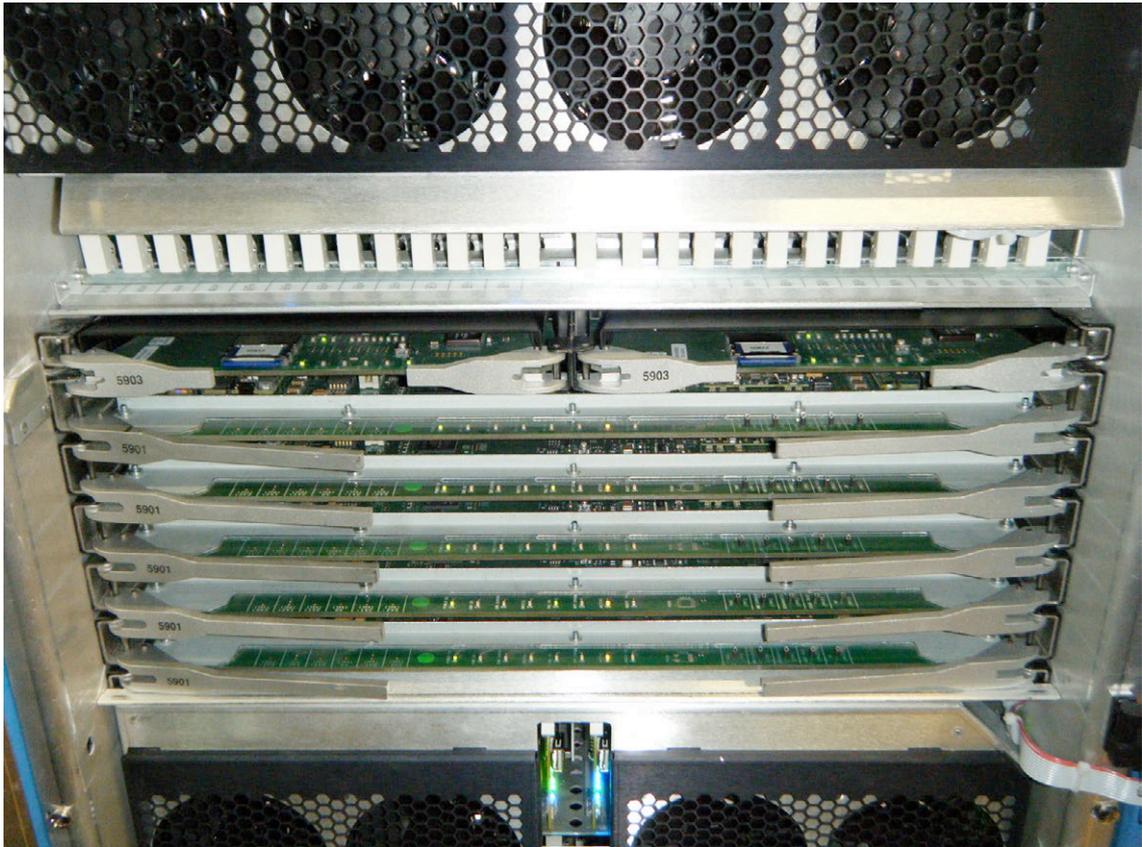


Fig. 44. Tarjetas de cruces de audio y video de la matriz Sirius 850. Por cortesía de RTVE.



Fig. 45. Tarjetas de salida de video y de audio de la matriz Sirius 850. Por cortesía de RTVE.

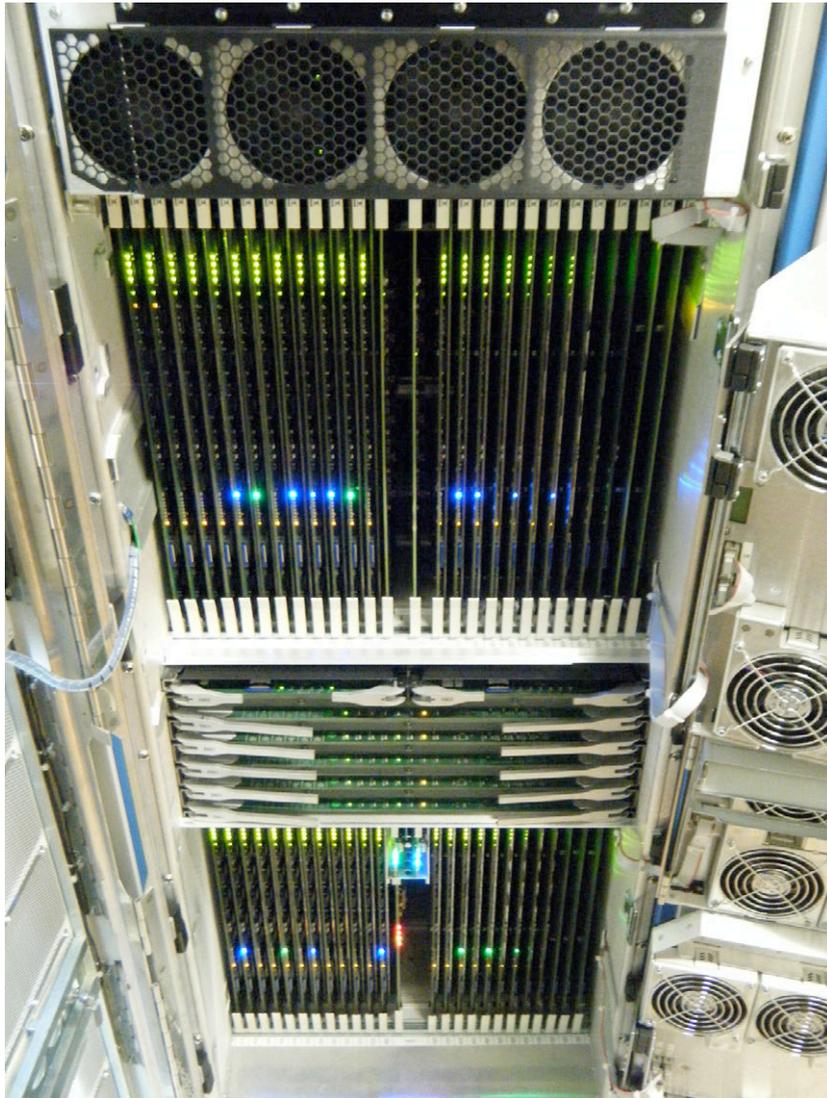


Fig. 46 Vista general del interior de la matriz Sirius 850. Por cortesía de RTVE.



Fig. 47. Controladora Morpheus. Por cortesía de RTVE.



Fig. 48. Controladoras Aurora principal y reserva. Por cortesía de RTVE.

Innovation in the  
Multi-Screen World



## Sirius 800 – System Architecture

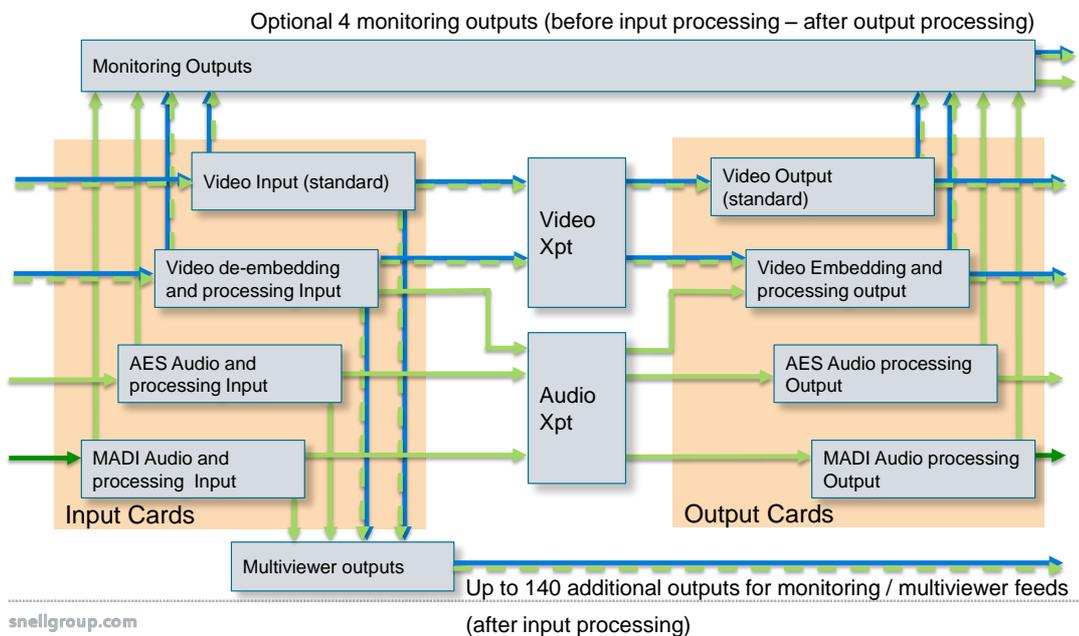


Fig. 49. Diagrama de flujos de señal en el interior de la matriz Sirius 850. Por cortesía de RTVE.

A continuación y para terminar el apartado de las matrices se incluyen las características técnicas de la matriz Sirius 800.

## Technical Specification

### Signals

#### Main Router Coax Inputs

Number and type	24 per card automatic cable equalization and reclocked
Connectors	BNC to IEC61169.8, 75 Ω electrical impedance. Gold plated.
Standards supported	SMPTE-259M 525 & 625 SD-SDI EN50083-9 DVB-ASI SMPTE 292M 720p and 1080i HD-SDI SMPTE 424M 1080p 3G-SDI
Impedance	75 Ω
Data rate	3Mbit/s – 3Gbit/s. Standard video rates reclocked, all other rates auto-bypassed.
Return loss	>15dB 10MHz to 1.5GHz, >10dB 1.5GHz to 3GHz
Amplitude	800mV p-p nominal
DC offset	<5V
Cable Equalisation	Automatic for: Up to 350m Belden 8281, PSF1/2M at SD rates Up to 140m Belden 1694A at HD Up to 100m Belden 1694A at 3G

#### Main Router Optical Inputs

Number and type	24 per card, reclocked – removable video SFP modules
Connectors	LC/PC single mode fiber connection as standard.
Wavelength	Wideband receiver, 1260-1620nm nominal
Sensitivity	-18dBm
Typical link length	10km @ 3Gbit/s, 20km @ 1.5Gbit/s, 30km @ 270Mbit/s
Standards supported	SMPTE-259M 525 & 625 SD-SDI EN50083-9 DVB-ASI SMPTE 292M 720p and 1080i HD-SDI SMPTE 424M 1080p 3G-SDI

#### Main Router Coax Outputs

Type	24 per card, reclocked.
Connectors	BNC to IEC61169.8, 75 Ω electrical impedance. Gold plated.
Standards supported	SMPTE-259M 525 & 625 SD-SDI EN50083-9 DVB-ASI SMPTE 292M 720p and 1080i HD-SDI SMPTE 424M 1080p 3G-SDI
Impedance	75 Ω
Data rate	3Mbit/s – 3Gbit/s. Standard video rates reclocked, all other rates auto-bypassed.
Return loss	>15dB 10MHz to 1.5GHz, >10dB 1.5GHz to 3GHz
Amplitude	800mV p-p ±10%
Rise / fall time	<270ps @ HD <800ps @ SD
Timing Jitter	<0.3UI @ 1.5G and 3G, <0.15UI @ SD
Alignment Jitter	<0.2UI @ 1.5G and 3G <0.1UI @ SD
DC offset	0V ± 0.5V

#### Main Router Optical outputs

Type	24 per card, reclocked, removable video SFP modules
Connector	LC/PC single mode connection as standard.
Wavelength	1310nm
Output Power	typical average -2dBm Other power & CWDM options available – contact factory
Standards supported	SMPTE-259M 525 & 625 SD-SDI, EN50083-9 DVB-ASI SMPTE 292M 720p & 1080i HD-SDI SMPTE 424M 1080p 3G-SDI
Data rate	3Mbit/s – 3Gbit/s. Standard video rates reclocked, all other rates auto-bypassed.

Sirius 800 V3

#### Multiviewer Coax Outputs & Additional Outputs above 576

Type	Multiviewer: 48 per card, reclocked Additional outputs: 19 per card, reclocked
Connectors	DIN 1.0/2.3 Gold plated.
Standards supported	SMPTE-259M 525 & 625 SD-SDI EN50083-9 DVB-ASI SMPTE 292M 720p and 1080i HD-SDI SMPTE 424M 1080p 3G-SDI
Impedance	75 Ω
Data rate	3Mbit/s – 3Gbit/s. Standard video rates reclocked, all other rates auto-bypassed.
Return loss	>15dB 10MHz to 1.5GHz, >10dB 1.5GHz to 3GHz
Amplitude	800mV p-p ±10%
Rise / fall time	<270ps @ HD, <800ps @ SD
Timing Jitter	<0.3UI @ 1.5G and 3G, <0.15UI @ SD
Alignment Jitter	<0.2UI @ 1.5G and 3G, <0.1UI @ SD
DC offset	0V ± 0.5V

#### Reference Inputs

Number and type	4 x analog video, all auto sensing to 525 & 625 B&B, or HD tri-level reference 1 x AES reference to AES3-2003
Switch timing	to SMPTE-RP168. Sources individually assignable to each reference.

#### Control

Serial	4 x RS485 on 9 way D type Support for SW-P-02 General Switcher protocol, SW-P-08 General remote Default 38.4kBaud
Ethernet	1 x RJ45 per controller. 10/100Base-T SW-P-02 and SW-P-08 support, plus DCCP connection to MCM
Alarms	Relay changeover for PSU, fan and Controller failure Comprehensive alarms reporting and auto failure recovery via MCM control

#### Physical

Weight	120kg / 265lb typical full frame
Height	34RU Expandable chassis - 1511mm / 59.5" 2RU PSU chassis - 89mm / 3.5"
Depth	530mm / 21"
Power requirements	Auto ranging 110-230Vac, 50/60Hz 5900W for video only routing fully equipped expandable system 7900W for full embedding and de-embedding capability fully equipped expandable system
Power redundancy	Dual redundant PSUs in two 2RU chassis for all high range (220-240V) applications Dual redundant PSUs in three 2RU chassis for all low range (110-120V) applications Lower power applications can be accommodated using less PSU chassis – contact factory for details
Operating Temp.	0 to +40°C
Storage Temp.	-10 to +50°C, non-condensing
Cooling	Fan cooled. Front inlet, rear and side exhaust

Specifications subject to change.

Fig. 50. Especificaciones técnicas de la matriz Snell Sirius 800. Por cortesía de Snell

## **2.2 Amplificadores de distribución.**

En diversas infraestructuras de radiodifusión, es necesario en numerosas ocasiones replicar o tener diversas copias de una misma señal para ser utilizada en diferentes pasos o equipos del transporte de señales.

Los amplificadores de distribución o más comúnmente conocidos como distribuidores, comparten parte de la filosofía de las matrices. Incluso se podrían catalogar como un pariente lejano de estas. Por esta razón, no debería sorprender que algunos elementos de estos equipos estuviesen inspirados en elementos ya vistos anteriormente en las matrices.

Se podría definir un distribuidor como un equipo que a partir de una única entrada es capaz de generar diversas salidas, todas ellas iguales entre sí y que son una “copia” de la señal de entrada, sin que esta sufra degradación alguna.

Estos sistemas no solo replican la entrada hacia las salidas, si no que las primeras etapas de un distribuidor están destinadas a regenerar la forma de la trama de bits que haya podido sufrir una degradación a lo largo de su transporte. Por esta razón las salidas son “copias” mejoradas de la entrada.

La marca Snell&Willcox fabrica los distribuidores de la serie modular IQ que se pueden encontrar en la gran mayoría de instalaciones. Parece que existe un consenso en afirmar que estos distribuidores son los mejores para las infraestructuras de radiodifusión. La serie modular de Snell&Willcox está formada por una serie de chasis o cofres y unas tarjetas. Los chasis son genéricos y en ellos se puede instalar cualquier tarjeta de la serie IQ modular. Los distribuidores más comunes que se pueden encontrar son el modelo IQSDA10 e IQSDA11 para señales en SD-SDI y el modelo IQSDA30 e IQSDA32 para señales en SD/HD-SDI. Existen además otros modelos de distribuidores, sin embargo estos dos son los distribuidores que más se acercan a las necesidades reales de replicación de una entrada a diversas salidas.

Las características de la placa IQSDA10/IQSDA11 son:

- Entrada compatible con estándares de SDI y ASI.
- Admite hasta 15 salidas en SDI o 7 salidas en ASI con la polaridad no invertida (compartidas físicamente con las salidas SDI).
- Posibilidad de instalar diferentes placas traseras de conexionado para implementar una configuración óptima con respecto a las necesidades reales en la infraestructura.
- Posibilidad de tener 1 o 2 entradas mediante el uso de la tarjeta IQSDA11.
- Ecuilización y resincronización de la trama de bits recibida.
- Compatibilidad con el software Roll&Call a través de la conexión Ethernet del cofre.
- Se pueden montar y desmontar las tarjetas en caliente.
- Indicación de estado mediante diodos leds.

### 2.2.1 Distribuidores para señales SD. Amplificador distribuidor Snell IQSDA10/IQSDA11

El conjunto de la tarjeta IQSDA10/IQSDA11 está físicamente formada por dos elementos, la tarjeta principal (IQSDA1X), y una tarjeta trasera. Ambos elementos están conectados directamente a través de un conector de dos filas A y B de 32 pines por fila.

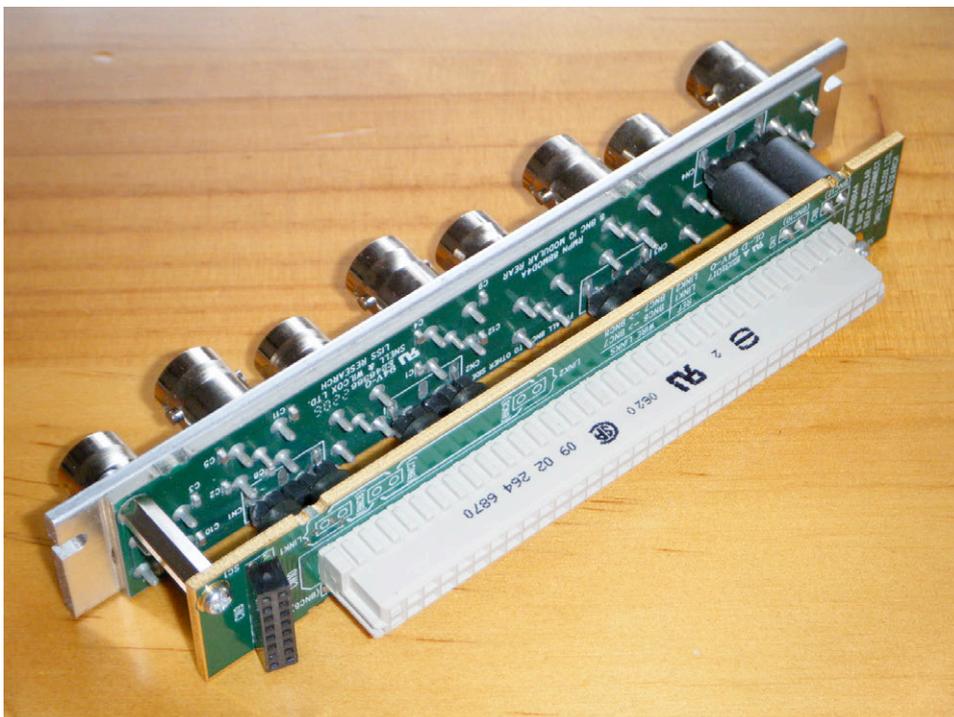


Fig. 51 Tarjeta trasera.

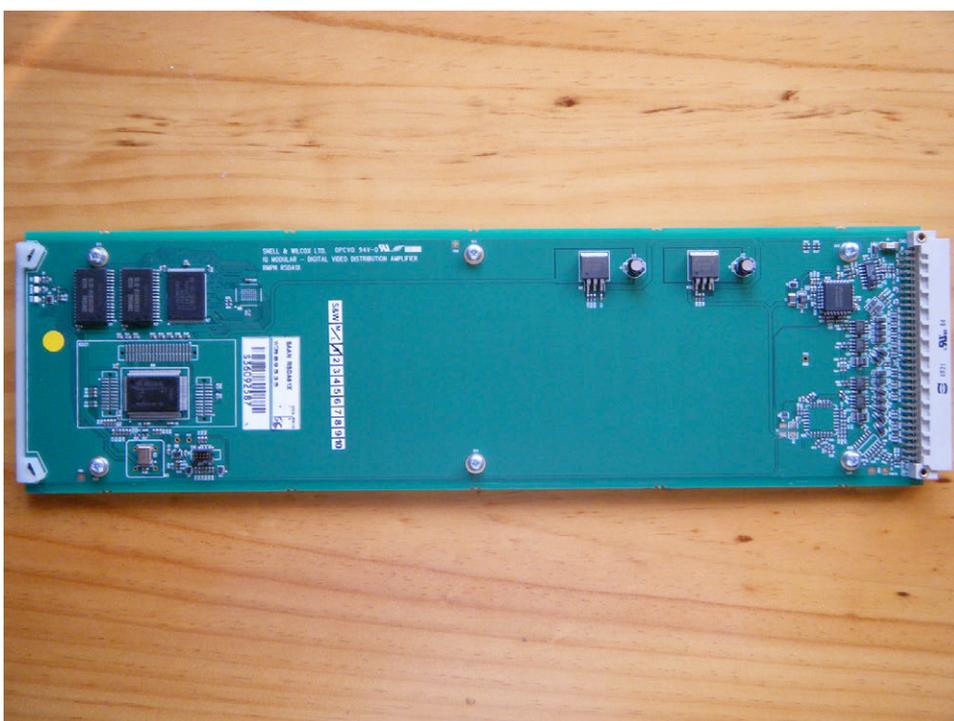


Fig. 52 Tarjeta principal IQSDA1X

1) La tarjeta trasera: La tarjeta trasera está constituida por dos placas a su vez unidas mecánicamente mediante dos separadores de aluminio.

- En la primera placa y la más cercana a la tarjeta principal se puede encontrar dos elementos fundamentalmente: Un zócalo de 32 pines por dos filas y un zócalo de 8 pines por dos filas. La misión de esta placa es la de proporcionar la alimentación, las señales de video y el flujo de datos del Roll Call a la placa principal. Para ello utiliza los dos zócalos y las pistas implementadas en esta placa PCB.

El zócalo de 32 pines por fila, es el encargado de unir la tarjeta principal y la tarjeta trasera proporcionando los diferentes tipos de señales que hasta el llegan a la tarjeta principal:

- Las señales de entrada y de salida de video.
- La alimentación.
- Los datos para el sistema del Roll Call.

El zócalo de 8 pines por fila se inserta directamente en una circuitería de tipo *backplane* que discurre a lo largo de la parte trasera superior del cofre. Esta circuitería es la encargada de proporcionar a la tarjeta trasera tanto la alimentación proveniente de las fuentes de alimentación del cofre, como el bus de datos para el flujo de datos del sistema Roll Call.

El funcionamiento de esta primera tarjeta es muy sencillo: la placa PCB está pensada para distribuir los tres tipos de señales utilizados en este sistema, desde diferentes puntos hasta el zócalo de 32 pines el cual se une con la tarjeta principal.

El cofre entrega a través de su *backplane* la alimentación y el flujo de datos para el Roll Call al zócalo de 8 pines. Mediante las pistas existentes en la tarjeta PCB se distribuye tanto la alimentación como los datos del Roll Call desde el zócalo de 8 pines hasta el zócalo de 32 pines. A través de otras pistas implementadas en la placa PCB se distribuye las señales de video que provienen de los puentes de la segunda placa PCB de la tarjeta trasera hasta el zócalo de 32 pines. Estos tres tipos de señales se transfieren a la tarjeta principal a través de la conexión del zócalo de 32 pines.

- La segunda placa PCB es la que está más alejada de la placa principal. Esta placa PCB está unida directamente con una placa de metal sobre la cual se montan los conectores. Esta placa PCB es aun más sencilla que la anterior. En ella se sueldan directamente los conectores y mediante una serie de puentes (dos puentes por conector) se lleva la señal de cada conector desde esta placa hasta la placa PCB anteriormente comentada. Para proteger electromagnéticamente de interferencias estos puentes entre sí, los puentes son confinados en el interior de una ferrita cilíndrica que produce un cierto efecto de apantallamiento magnético.

A continuación se muestran las diferentes tarjetas traseras que se pueden emplear con la tarjeta IQSDA1X.

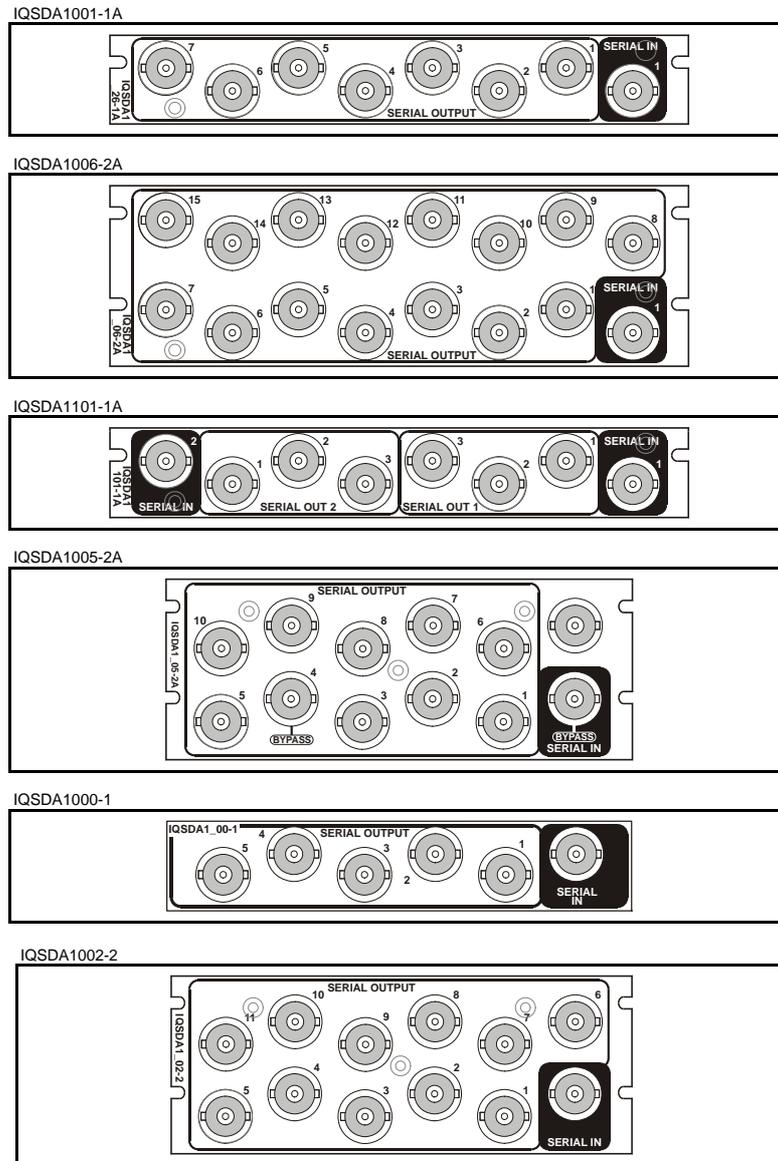


Fig. 53 Placas traseras de conexionado compatibles con la tarjeta IQSDA10/IQSDA11

En la siguiente tabla se puede comparar las configuraciones disponibles mediante el uso de las diferentes tarjetas traseras.

Product	Inputs	Outputs	Bypass	Width & Style
IQSDA1001-1A	1	7 SDI/DVB-ASI compatible	No	Single A
IQSDA1006-2A	1	8 SDI, 7 SDI/DVB-ASI compatible	No	Double A
IQSDA1101-1A	2	3 per input SDI/DVB-ASI compatible	No	Single A
IQSDA1005-2A	1	3 SDI, 7 SDI/DVB-ASI compatible	Yes	Double A
IQSDA1000-1	1	5 SDI/DVB-ASI compatible	No	Single O
IQSDA1002-2	1	6 SDI, 5 SDI/DVB-ASI compatible	No	Double O

Fig. 54 Tabla comparativa de las diferentes prestaciones de los placas posteriores de conexionado

En la primera columna aparece la referencia de la placa trasera, en la segunda y tercera columnas las entradas y salidas respectivamente, en la cuarta columna indica si alguno de los conectores de salida es un bypass por relé directamente desde la entrada y en la última columna indican cuantos slots ocupa cada placa y en que tipo de chasis (tipo A o tipo O) se pueden instalar.

La configuración más usual en entornos de radiodifusión es la tarjeta IQSDA1X con la trasera referenciada como IQSDA 1001\_1A. Es la configuración a la cual se ha tenido acceso y es por tanto la configuración que se presenta para su estudio.

- 2) La tarjeta principal IQSDA1X: La tarjeta IQSDA1X es la placa principal de este sistema. En la tarjeta IQSDA1X se implementa un distribuidor de señales de video con ecualización de línea y resincronización de trama y además se implementa todo el hardware basado en un entorno de microcontrolador, necesario para utilizar esta tarjeta con un sistema de Roll Call de monitorización y control de la tarjeta. La tarjeta propiamente dicha es una placa PCB multicapa, la cual utiliza tecnología SMT y componentes SMD para implementar las diferentes funciones que ella realiza. La placa está atornillada sobre otra placa de metal, que le confiere robustez y evita que esta se doble o sufra daños en el manejo de la misma o cuando se inserta o se extrae de un cofre.

Hasta el momento se han introducido tres nomenclaturas que son la IQSDA1X, la IQSDA10 y la IQSDA11 para referirse indistintamente a la tarjeta principal. Además se ha visto anteriormente que mediante una tarjeta trasera denominada IQSDA1101\_1A, se podían introducir dos señales de entrada en la tarjeta principal. La cuestión realmente es que la tarjeta principal se conoce como IQSDA1X y es la tarjeta que se usa tanto para la IQSDA10 como para la IQSDA11. En la versión IQSDA10 se implementa una sola vía del distribuidor, posibilitando tan sólo que exista una única entrada al distribuidor. En la versión IQSDA11 se implementan dos vías del distribuidor, duplicando algunos de los elementos necesarios y posibilitando de esta manera el uso de dos entradas en el distribuidor. La tarjeta principal es exactamente la misma para el modelo IQSDA10 que para el modelo IQSDA11 y es la tarjeta denominada IQSDA1X. En esta tarjeta la implementación básica es la IQSDA10, y si se observa detenidamente se puede ver que absolutamente todos los puntos de soldadura para implementar la circuitería propia de la IQSDA11 están preparados y preestañados para que en el caso de querer convertir la tarjeta IQSDA1X en una tarjeta IQSDA11, tan sólo se tengan que soldar los componentes SMD que habilitan la segunda vía.

Todas las vías y todos los puntos de soldadura están ya implementados en la tarjeta IQSDA1X, independientemente de que la tarjeta sea finalmente una tarjeta IQSDA10 o una tarjeta IQSDA11.

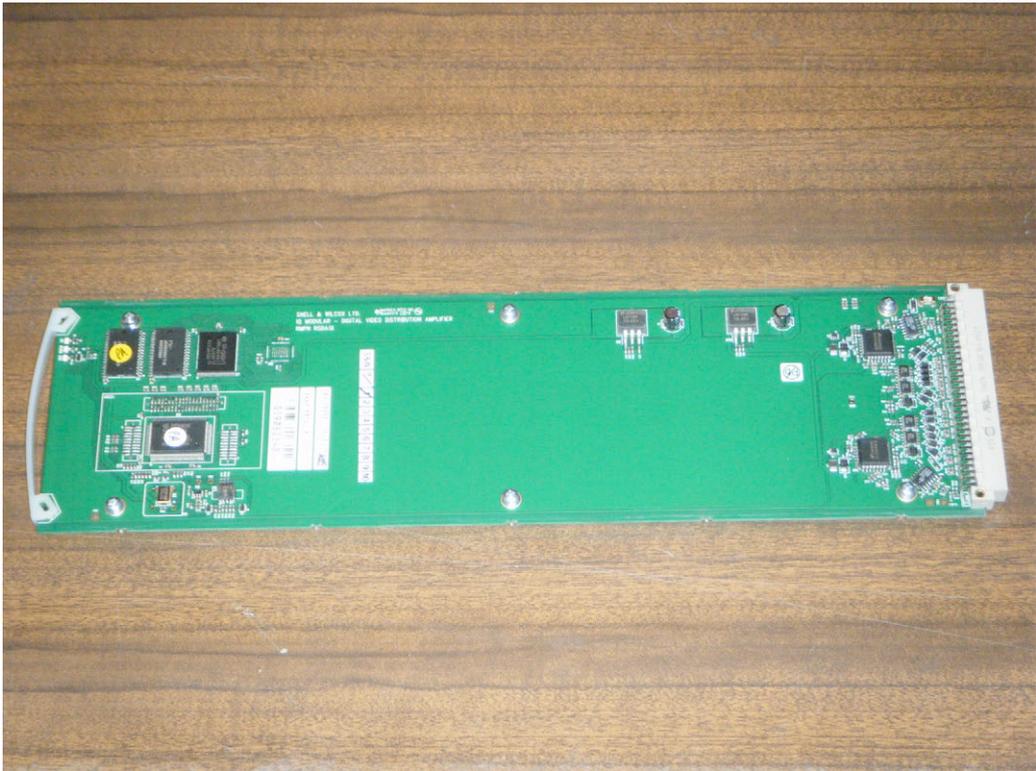


Fig. 55 Tarjeta IQSDA11. Por cortesía de RTVE.

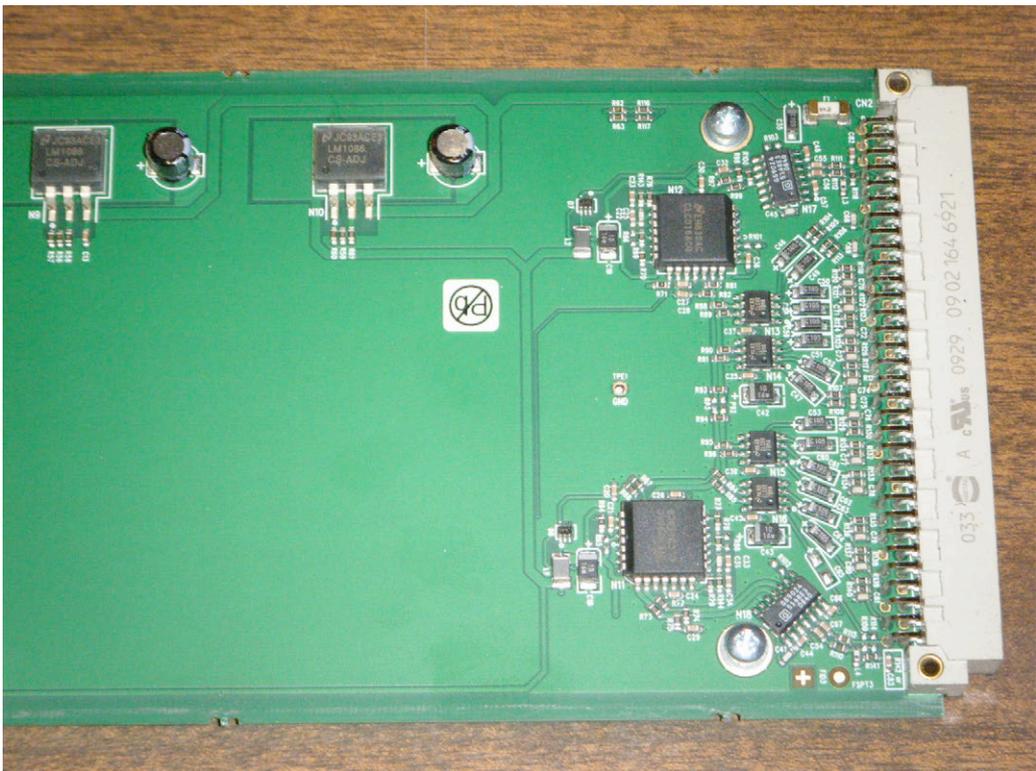


Fig. 56 Tarjeta IQSDA11. Por cortesía de RTVE.

En la tarjeta IQSDA1X se pueden encontrar tres bloques principalmente: La circuitería del distribuidor, la circuitería de la alimentación y el sistema y entorno del microcontrolador.

- Circuitería propia del distribuidor: En esta parte de la placa se implementa toda la circuitería que se encarga de la distribución de la señal de video que a ella entra, y que es por tanto el propósito fundamental de la placa. Cada una de las vías que se pueden implementar en la placa IQSDA1X está compuesta de los siguientes elementos: un ecualizador de línea de Gennum GS9024 encargado de ecualizar la señal que llega. Un integrado de National Semiconductors CLC016 con un circuito PLL interno que realiza la resincronización de la señal. Cuatro integrados de National Semiconductors CLC007 cuya función es la de driver de línea con hasta 4 salidas por integrado. Estos cuatro integrados son comunes a la tarjeta IQSDA10 y la tarjeta IQSDA11, estando implementados todos en la tarjeta IQSDA1X de serie.

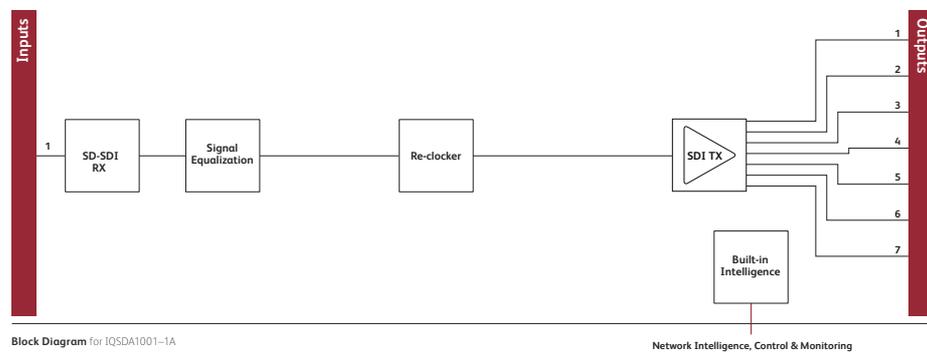


Fig. 57 Diagrama de bloques de la tarjeta IQSDA10 con un panel trasero IQSDA1001-1A. Por cortesía de Snell

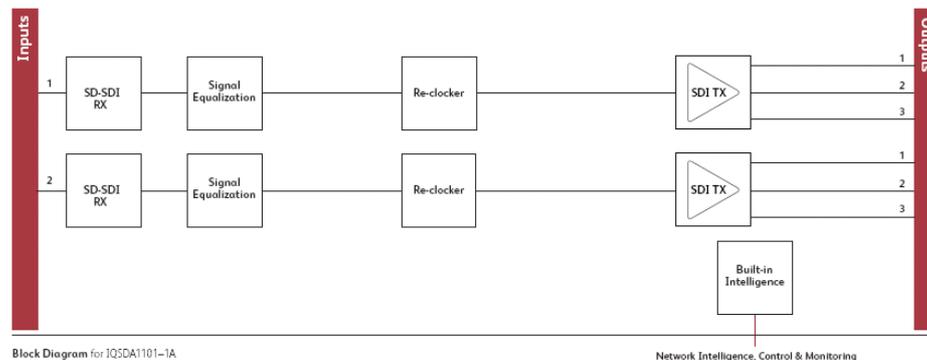


Fig. 58 Diagrama de bloques de la tarjeta IQSDA11 con un panel trasero IQSDA1101-1A. Por cortesía de Snell

Se procede a detallar cada una de estas etapas para una tarjeta IQSDA10 y su tarjeta trasera SDA1001:

- Una entrada BNC que admite señales tanto en SDI como en ASI. En la tarjeta principal se encuentra soldada en la placa una resistencia SMD de 75 ohmios que une el vivo con la malla de esta entrada, finalizando de esta manera la línea de transmisión. En la tarjeta principal todas aquellas resistencias de color verde claro son de 75 ohmios.

- o Una etapa de ecualización en la cual se realiza las altas frecuencias con el fin de compensar las pérdidas en alta frecuencia que presenta el cableado.

Generalmente la ecualización se realiza mediante el uso de un filtro paso alto o diferenciador, es decir, la señal que llega filtrada paso bajo y suavizada (promediada) es introducida en un filtro cuya operador matemático asociado es la derivación o el diferencial, obteniéndose a la salida la misma señal pero totalmente perfilada. La respuesta en frecuencia de estos ecualizadores suelen diseñarse justamente como la función de transferencia inversa de la función de transferencia del cable, para de esta manera conseguir a su salida un módulo de la respuesta en frecuencia lo más plano posible.

En la tarjeta IQSDA10 se implementa mediante el integrado de Gennum GS9024 Genlinx.

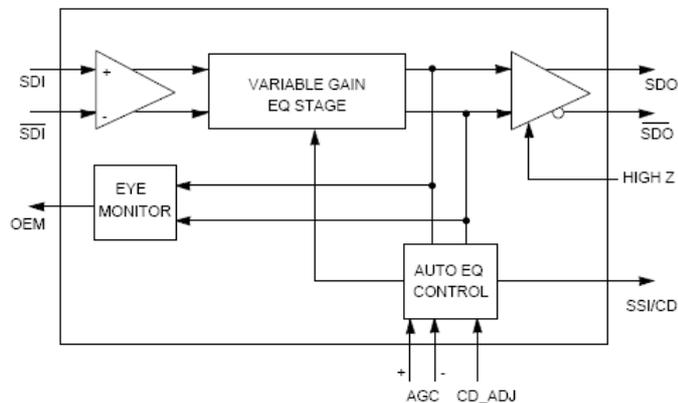


Fig. 59 Diagrama de bloques del integrado GS9024

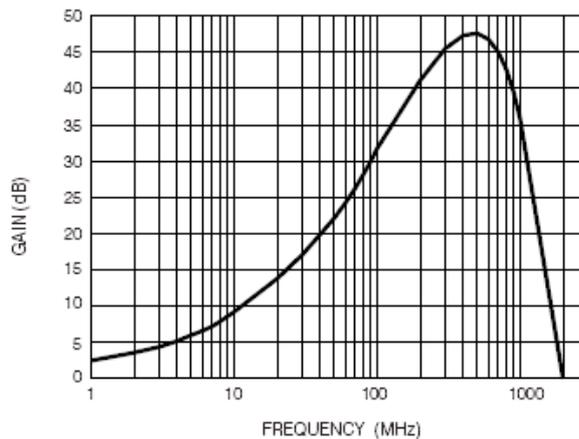


Fig. 60 Módulo de la respuesta en frecuencia

En el diagrama de bloques del integrado se puede observar que el integrado está realmente constituido de dos elementos principalmente. Un bloque de ecualización de ganancia variable y un lazo de realimentación negativa junto con un bloque comparador que genera una tensión error de control y que actúa sobre la etapa de ganancia incluida en el bloque de ecualización de ganancia variable.

La respuesta en frecuencia que se modela en el bloque de equalización de ganancia variable se puede observar en la anterior figura. La forma de la gráfica del módulo de la respuesta en frecuencia se acerca a la gráfica ideal complementaria de las pérdidas producidas en un medio físico como es el cable coaxial.

La atenuación y la frecuencia de corte varían conforme a la longitud del cable. Este integrado incluye una circuitería capaz de detectar las pérdidas en el nivel debido a la longitud del cable y actuando sobre una circuitería de ganancia variable, consigue recuperar la atenuación producida en el cable independientemente de la longitud del cable. Este sistema tan sólo es capaz de modificar la ganancia del integrado y no la frecuencia del filtro de corte que implementan. De esta manera sobre la gráfica del módulo de la respuesta en frecuencia se observaría que la gráfica se desplaza hacia arriba o abajo pero nunca hacia los lados.

El circuito de detección del lazo de realimentación se alimenta de la salida del equalizador variable y de una señal que modela la señal teórica que se obtendría a la salida del equipo transmisor. Mediante un sistema de comparación de la pendiente de subida a la salida del equalizador frente a la pendiente de subida teórica, genera una tensión error de control que es la diferencia entre ambas. Esta tensión error es promediada mediante el uso del filtro paso bajo (formado por un condensador externo, situado entre los pines AGC+ y AGC-) del circuito automático de ganancia, produciendo una tensión de control estabilizada sobre el equalizador variable (es un sistema de ajuste similar a los empleados en los circuitos PLL).

Mediante el lazo de realimentación negativa se consigue por un lado mantener estable el sistema y por otro lado modelar las diferentes atenuaciones que se producen para diferentes longitudes de cable.

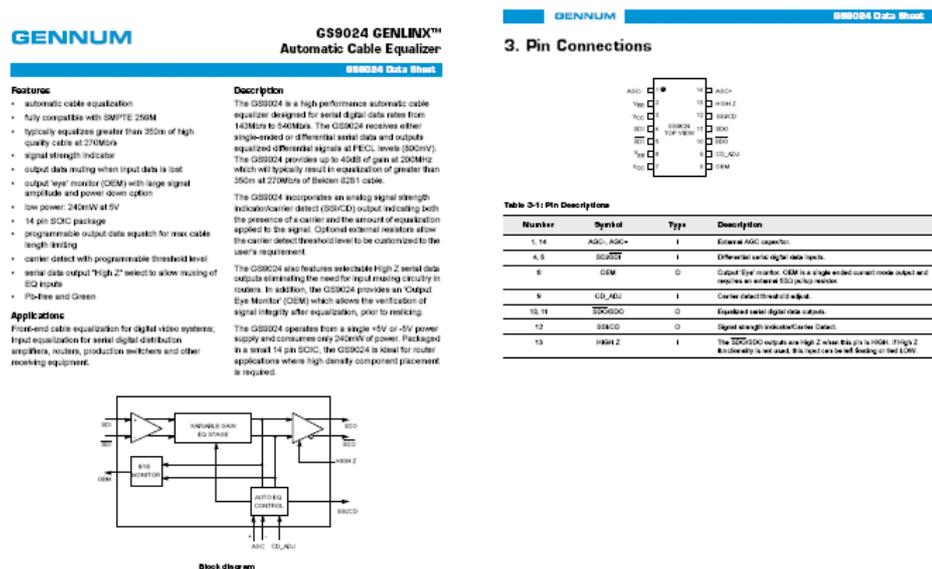


Fig. 61 Hoja de características técnicas del integrado GS9024. Por cortesía de Gennum

1. Electrical Characteristics

**Table 1-1: Absolute Maximum Ratings**

Parameter	Value
Supply Voltage	5.5V
Input Voltage Range (any input)	$V_{DD} - 0.5V$ to $V_{DD} + 0.5V$
Operating Temperature Range	$0^{\circ}C \leq T_a \leq 70^{\circ}C$
Storage Temperature Range	$-40^{\circ}C \leq T_s \leq 125^{\circ}C$
Lead Temperature (soldering, 33 sec)	260 $^{\circ}C$

1.1 DC Electrical Characteristics

**Table 1-2: DC Electrical Characteristics**  
 $V_{CC} = 5V$ ,  $V_{DD} = 0V$ ,  $T_a = 0^{\circ}C$  TO  $70^{\circ}C$  unless otherwise shown.

Parameter	Symbol	Conditions	Min	Typ <sup>1</sup>	Max	Units	Notes	Test Level
Supply Voltage	$V_{DD}$	—	4.75	5.0	5.25	V		1
Power Consumption	$P_D$	—	240	—	—	mW		3
		with ODM active	340	—	—	mW		3
Supply Current	$I_{DD}$	—	48	—	—	mA		1
		with ODM active	58	—	—	mA		1
Serial Data I/O Current	$I_{DDIO}$	$R_L = 75\Omega$	—	11	—	mA		3
SDIO Control Mode Voltage	—	—	—	2.5	—	V		1
AGC+RSG Mode Voltage	—	—	—	2.7	—	V		1
ODM Bias Potential	—	—	—	4.5	—	V		1
SDIO Output Current	$I_{DDIO}$	$C_{Load} = 50pF$ , $R_L = 50\Omega$	—	18	—	$\mu A$		3
		$C_{Load} = 100pF$ , $R_L = 10k\Omega$	—	190	—	$\mu A$		3
		—	—	1.0	1.0	mA		3
High Z Input Voltage	$V_{IH}$	—	2.4	—	—	V		1
	$V_{IL}$	—	—	—	0.8	V		1

TEST LEVELS  
 1. 100% tested at 25 $^{\circ}C$ .  
 2. Guaranteed by design.  
 3. Inferred or simulated value.  
 4. Excludes output load setup (Figure 2-1).  
 5. Excludes output load setup (Figure 2-2).

Fig. 62 Hoja de características técnicas del integrado GS9024. Por cortesía de Gennum.

- o Una etapa de resincronización cuyo fin es regenerar el reloj de la trama de bits disminuyendo el jitter originado en sistemas anteriores. Para ello se extrae una trama de reloj a partir de la trama de bits que llega al distribuidor y se regenera la señal de reloj a partir de una circuitería PLL. Los bits que van llegando son guardados en un registro, y se van liberando síncronamente con la nueva trama de reloj recuperada por el PLL. De esta manera se consigue regenerar la base de tiempos de la señal minimizando los artificios creados por el jitter.

En la tarjeta IQSDA10 el integrado encargado del reclocking es el National Semiconductor CLC016. Este integrado se basa en la filosofía de los PLL para conseguir la resincronización de la trama con respecto la tasa binaria elegida.

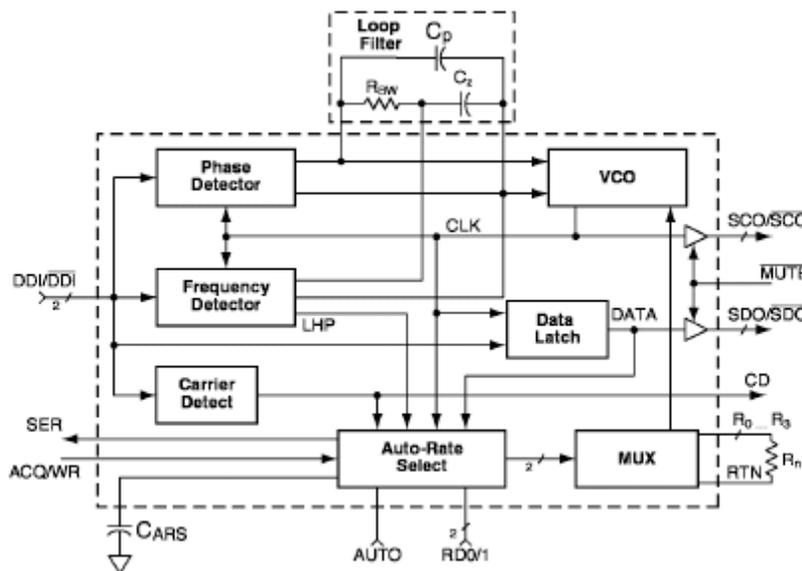


Fig. 63 Diagrama de bloques del integrado CLC016

1.2 AC Electrical Characteristics

**Table 1-3: AC Electrical Characteristics**  
 $V_{CC} = 5V$ ,  $V_{DD} = 0V$ ,  $T_a = 0^{\circ}C$  TO  $70^{\circ}C$  unless otherwise shown.

Parameter	Symbol	Conditions	Min	Typ <sup>1</sup>	Max	Units	Notes	Test Level
Low Rate	—	$R_L = 75\Omega$	140	—	560	MHz		1
Output Signal Swing	$V_{Oswp}$	$R_L = 75\Omega$	700	800	1000	mV		1
ADMIW After	$t_{ADMIW}$	250MHz, 300ns	—	275	—	ps (p)	see Fig 5	5
		500MHz, 100ns	—	290	—	ps (p)	see Fig 5	5
Output Transition Fall Times (20-80%)	$t_{f, 20-80}$	—	0.5	0.65	—	ns		2
Output Duty Cycle	—	—	—	50	—	%		2
Input Resistance	$R_{in}$	SDIO, SDIO	—	10	—	k $\Omega$		2
Input Capacitance	$C_{in}$	SDIO, SDIO	—	1.0	—	pF		2
Carrier Detect Response Time	$t_{CD}$	Carrier Applied $R_L = 50\Omega$ , $C_L = 50pF$ on SDIO	—	9	—	$\mu s$		2
	$t_{CD}$	Carrier Removed $R_L = 50\Omega$ , $C_L = 50pF$ on SDIO	—	30	—	$\mu s$		2
High Z Response Time	$t_{HZ}$	—	—	17	—	ns		2
Input Return Loss	$RL$	@ 250MHz	15	20	—	dB	see Fig 6	3
Maximum Equalizer Gain	$A_{EQ}$	@ 250MHz	—	40	—	dB	see Fig 6	3, 5

TEST LEVELS  
 1. Typical values are guaranteed values at 25 $^{\circ}C$ .

A la vista del diagrama de bloques anteriormente presentado, se puede ver que el integrado CLC016 implementa tres bloques principales encargados de obtener la nueva señal de reloj: El detector de frecuencia, el ARS y el PLL. Estando el PLL a su vez formado por los bloques: VCO, el detector de fase y el lazo de filtro

El bloque **detector de portadora (CD)** detecta la presencia o ausencia de señal de entrada en el integrado. Su entrada es directamente la trama de bits que llega al integrado y sus salidas se distribuyen por un lado al bloque del ARS y por otro lado a la patilla CD del integrado. Su cometido es detectar la ausencia o presencia de señal y conforme a ello tomar el control sobre otros elementos. Por ejemplo, en caso de ausencia de señal el detector de portadora envía una señal de control al bloque ARS parando el funcionamiento del mismo. El fabricante recomienda unir la patilla de salida CD con la patilla de entrada MUTE. La patilla de entrada Mute, actúa sobre las salidas de datos y del reloj regenerado. En caso de producirse una ausencia de señal el bloque detector de portadora, mandaría una señal de control a la circuitería de MUTE que provocaría que se bloqueasen ambas salidas, de tal forma que el integrado no proporcionaría ningún tipo de señal a su salida.

El bloque denominado **detector de frecuencia (FD)** se encarga de detectar la frecuencia de la señal de entrada y compararla con la frecuencia de oscilación del VCO del PLL. Sus entradas son la trama de bits y una salida del VCO. Mientras que sus salidas llegan hasta el VCO, el bloque selector automático (mediante la línea LHP) y hacia el condensador  $C_z$  del lazo del filtro. Con respecto al condensador  $C_z$  se puede decir que actúa filtrando paso bajo la tensión error a la salida del detector de frecuencia, proporcionando una tensión de control al VCO suavizada y estable ante variaciones bruscas.

El detector de frecuencia compara la frecuencia de la señal de entrada con la frecuencia del reloj generada por el VCO del PLL y genera una tensión error. La tensión error controla el VCO de manera que obliga a este a variar su frecuencia de oscilación hasta que la tensión error tiende a cero. En el modo automático si la desviación en frecuencia entre el VCO y la señal de entrada es mayor que el rango de búsqueda y captura del VCO, el detector de frecuencia pone a nivel alto la línea LHP, solicitando al ARS, otra velocidad diferente a la que está oscilando el VCO. Con esta forma de actuar el sistema trata de encontrar una resistencia del multiplexor que haga que la frecuencia de oscilación del VCO y la señal de entrada estén dentro del rango de búsqueda y captura del VCO. Una vez que el PLL se engancha en fase, el detector de frecuencia cede el control al PLL y se desactiva.

El bloque denominado **selector automático** está formado a su vez por otros bloques más pequeños integrados en su interior que se comentarán más tarde. Este bloque actúa conjuntamente con el bloque del multiplexor. Su principal característica es que posee dos modos de funcionamiento: el ARM (*auto-rate mode*) o modo automático y el MRM (*manual-rate mode*) o modo manual. El modo de funcionamiento es establecido por el diseñador conectando la patilla AUTO a Vcc para el modo automático o conectando la patilla a Vee para el modo manual.

Sus entradas internas son: la salida del detector de portadora, el detector de frecuencia (LHP), la señal de reloj del VCO y la salida del registro de datos (*data latch*). Las entradas externas al ASR provienen de las patillas: ACQ/WR, C<sub>ARS</sub>, AUTO. El bus RD0/RD1 funciona como un bus bidireccional de entrada/salida dependiendo de la configuración del ARS.

El ARS posee un bus de datos de salida de 2 bits el cual está unido con las entradas de selección del multiplexor.

El bloque **multiplexor** cuenta con una entrada de selección/control de dos bits que proviene del bus de datos del ARS, una entrada unida al bloque del VCO y 4 salidas unidas a las 4 resistencias. Para comprender el funcionamiento de este bloque se utilizará el clásico modelo del multiplexor por interruptores. El multiplexor está formado por una entrada y cuatro salidas. En el interior del multiplexor existen cuatro interruptores que unen la entrada con las salidas. Por defecto están todos los interruptores abiertos. Existe una lógica de control que actúa sobre los interruptores, de tal manera que en cada instante de tiempo sólo podrá estar cerrado un interruptor, permaneciendo el resto de los interruptores abiertos. Cada uno de los interruptores posee su identificador binario asignado. Cuando en la entrada de selección/control aparece la combinación binaria que pertenece a algún interruptor la lógica de control se encarga de cerrar dicho interruptor, permaneciendo el resto abiertos.

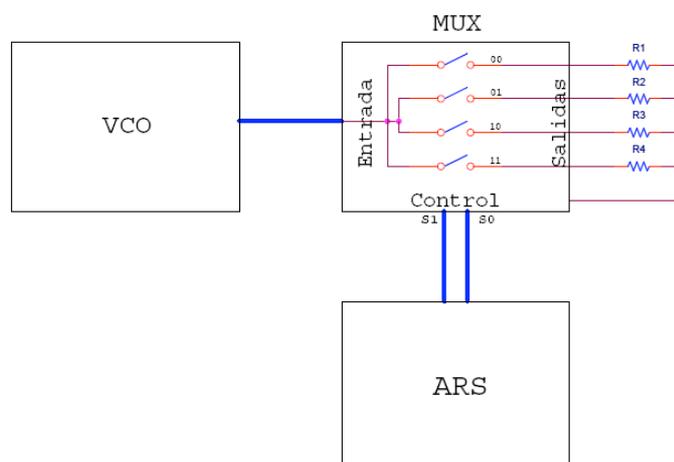


Fig. 64 Sistema ARS del CLC016.

Tras haber presentado los bloques anteriores se procede a explicar de una forma breve los dos modos de funcionamiento del ASR en conjunción con el MUX.

La figura siguiente muestra el funcionamiento en el modo automático

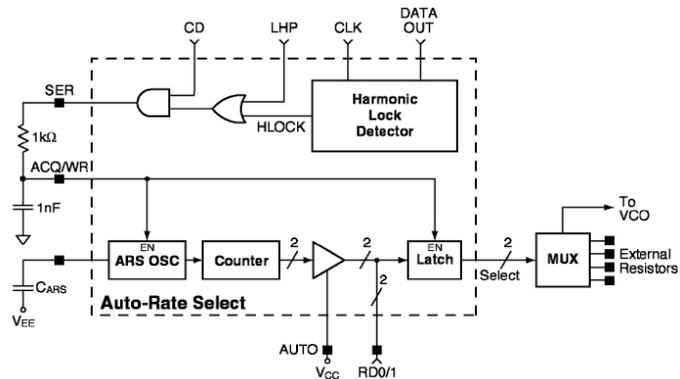


Fig. 65 Sistema ARS del CLC016. Por cortesía de National Semiconductors.

El ARS cuando está funcionando en el modo automático es descrito textualmente en las hojas de características como el bloque que conjuntamente con el multiplexor secuencia los diferentes valores de resistencias configuradas por el usuario (y por tanto las diferentes velocidades del reloj a recuperar), cuando la frecuencia del oscilador y la señal de entrada no están enganchadas en fase.

En el modo automático las entradas de control del ARS provienen de diferentes bloques, como el registro de desplazamiento, el VCO, el detector de frecuencia y el detector de portadora. Estas señales de control atraviesan una circuitería lógica combinacional que genera a su salida una señal de control hacia la patilla SER (*search*, búsqueda). Cuando se une la patilla SER con la patilla ACQ/WR se habilita el modo ARM. Para que SER esté activo a nivel alto se debe verificar las condiciones que imponen las puertas lógicas OR y AND que aparecen en el circuito. Como se puede observar en la siguiente figura, el bloque detector de portadora es el que más influencia tiene a la hora de presentarse una salida de alto nivel en el SER, de tal manera que esta salida podrá estar a nivel alto sólo en el caso de que exista señal de entrada.

H lock	LHP	Salida OR	CD	Salida AND	SER
0	0	0	0	0	0
0	0	0	1	0	0
0	1	1	0	0	0
0	1	1	1	1	1
1	0	1	0	0	0
1	0	1	1	1	1
1	1	1	0	0	0
1	1	1	1	1	1

Fig. 66 Tabla de verdad

Existe otro caso bastante interesante a observar y es que siempre que CD y LHP estén a nivel alto, la señal de SER estará también a nivel alto. Esto se traduce en que cuando exista señal de entrada y el detector de frecuencia informe de que el reloj de la señal de entrada no coincide con el VCO, SER se pondrá a nivel alto y el ARS generara nuevas secuencias.

El ARS controla el funcionamiento del multiplexor a través del bus de datos que interconecta la salida del ARS con las entradas de control del multiplexor. Cuando la frecuencia del VCO no coincide con la frecuencia del reloj de la trama de datos de entrada LPH se fija a nivel alto, como se presupone que existe señal de entrada el detector de portadora fija también a CD a nivel alto. La señal SER se fija a nivel alto y consecuentemente ACQ/WR también se pone a nivel alto. Cuando ACQ/WR se fija a nivel alto, se habilitan tanto el oscilador interno del ARS como el latch de salida del ARS. Como resultado el contador comienza a generar secuencias de forma creciente conforme le indica el oscilador interno, con un espaciado entre cada secuencia generada que depende del valor del condensador  $C_{ARS}$  (este condensador fija el periodo del oscilador interno del ARS). Las secuencias se transmiten una a una a la entrada de selección/control del multiplexor, y de esta forma el multiplexor va saltando entre cada una de las resistencias según las secuencias se van generando en el ARS.

Como consecuencia de este proceso el VCO va saltando simultáneamente con el multiplexor entre las diferentes velocidades impuestas por el diseñador mediante los valores de las resistencias. Cuando la velocidad del VCO coincide con la velocidad de la trama de entrada, la señal LPH se pone a bajo nivel, causando que SER se ponga a bajo nivel y por consiguiente que ACQ/WR también se ponga a bajo nivel deshabilitando el oscilador del ARS que controla el contador y parando por todo el proceso.

Para que el ARS esté en modo automático ARM, se deben cumplir dos condiciones: que la patilla AUTO esté conectada a Vcc y que la patilla ACQ/WR esté a nivel alto también (esta última patilla también es condición que esté a nivel alto para el modo MRM ya que realmente esta patilla habilita el oscilador y el latch de salida del ARS). Como se vio anteriormente la patilla ACQ/WR está a nivel alto cuando SER esté a nivel alto, ya que es costumbre en los diseños que buscan el modo automático unir la patilla SER con la patilla ACQ/WR. Cuando ACQ/WR está a nivel alto, tanto el oscilador interno del SER como el latch de salida del ARS están habilitados. Cuando AUTO está a nivel alto el buffer triestado permite el paso de la secuencia generada por el contador hacia el latch de salida, y el bus RD0/RD1 está configurado como salidas pudiéndose monitorar la secuencia que discurre por el bus de datos interno del ARS en ese momento.

Anteriormente se ha comentado que la patilla SER se pone a nivel alto cuando existe una trama en la entrada y cuando la frecuencia de la trama de entrada y la del VCO no coincidían. Sin embargo según las tablas de verdad existe un caso en el que aunque LHP

esté a nivel bajo la patilla SER se pone a nivel alto. Este caso se verifica cuando el detector de enganche armónico Hlock se encuentra a nivel alto lo cual indicaría que la frecuencia del VCO es un armónico de la frecuencia de la señal de entrada.

A continuación se presenta la figura para el modo manual.

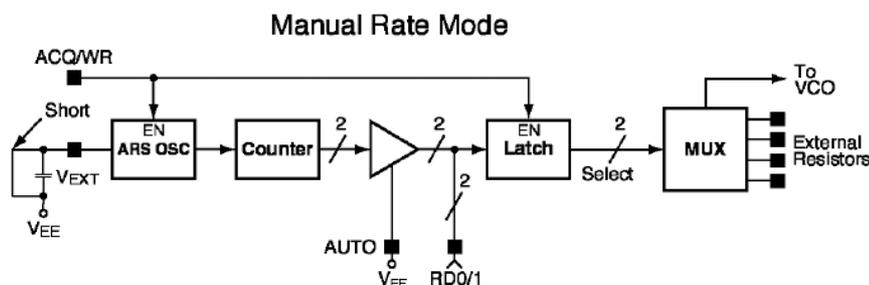


Fig. 67 Sistema MRM del CLC016. Por cortesía de National Semiconductors.

El modo manual permite al diseñador el control sobre la selección de la resistencia que fija la velocidad del VCO. Para ello se debe poner la patilla AUTO a nivel bajo y cortocircuitar con Vee el condensador  $C_{ARS}$ . El valor de la resistencia del multiplexor que se va a utilizar se obtiene usando conjuntamente la patilla ACQ/WR y el bus de datos RD0/1 (cuando el ARS está trabajando en modo MRM, el bus de datos RD0/1 está configurado como un bus de entrada, pudiéndose acceder al bus de datos interno del ARS a través del bus RD0/1). Para ello se pone ACQ/WR a nivel alto y en las patillas RD0 y RD1 se colocan las correspondientes tensiones que fijan la secuencia que activa la resistencia seleccionada por el diseñador. La tabla de verdad que se utiliza para realizar la selección es la siguiente.

ACQ/WR	RD1	RD0	Resistor
1	0	0	$R_0$
1	0	1	$R_1$
1	1	0	$R_2$
1	1	1	$R_3$
0	X	X	No Change

Fig. 68 Tabla de verdad. Por cortesía de National Semiconductors.

El funcionamiento del ARS y del MUX es el siguiente. Cuando AUTO está a nivel bajo y ACQ/WR está a nivel alto, se inicia una actualización del estado del MUX pero con el ARS en modo manual. El bloque del oscilador interno se habilita para oscilar, pero se detiene debido a que el condensador  $C_{ARS}$  se encuentra cortocircuitado. El latch existente a la salida del ARS se abre permitiendo la salida de la secuencia de control hacia el MUX. Mientras tanto se debe recordar que la patilla AUTO está a nivel bajo, con lo que el buffer triestado que une el contador con el latch coloca a su salida una alta impedancia.

Resultando entonces que la secuencia que discurre por el bus de datos interno del ARS, es la secuencia fija que proviene de las patillas RD0 y RD1. Combinando Vcc y Vee con las patillas RD0 y RD1 se obtienen las diferentes secuencias que dan paso a las diferentes resistencias del MUX. En este caso el MUX realmente no sabe si el ARS está en modo manual o automático, tan sólo recibe una secuencia de control impuesta por los valores de tensión colocados en RD0 y RD1 y obra correspondientemente al bus de datos.

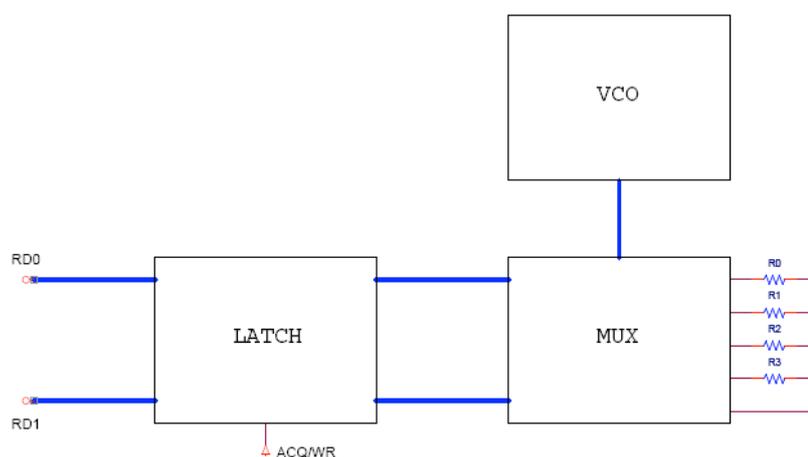


Fig. 69 Sistema MRM del CLC016.

El modo MRM se utiliza en aplicaciones en las que se espera tan sólo una velocidad de reloj del sistema y se fuerza mediante el bus RD0/1 la secuencia que abre paso a la resistencia calculada para el VCO a través del MUX.

El sistema de PLL está conformado por tres bloques: El detector de fase, el VCO y el lazo del filtro.

El bloque **detector de fase (PD)** compara la fase de la señal de entrada con la fase de la señal de reloj del VCO. Sus entradas son la trama de bits y una salida del VCO. Posee dos salidas que llegan en paralelo al lazo del filtro y al VCO, situando estos tres elementos en paralelo, con respecto a las salidas del detector de fase.

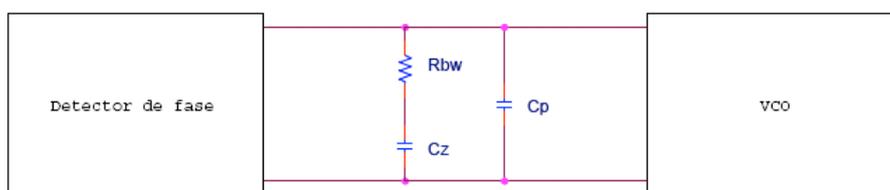


Fig. 70 Bloque del PLL

El detector de fase genera una corriente que es proporcional a la diferencia entre ambas fases. Esta corriente se transforma en una tensión cuando llega al lazo del filtro y se convierte en la tensión de control del VCO, produciendo un ajuste de fases entre la señal del VCO y el reloj de la señal de entrada. Cuando la fase de la señal de entrada coincide

con la fase de la señal generada por el VCO, es cuando se puede decir que el reloj de la señal de entrada y el generado por el VCO están totalmente sincronizados o enganchados en fase. Cuando se verifica esta condición, la señal de reloj que se obtiene del VCO, es la nueva señal de reloj regenerada.

El bloque del **VCO (oscilador controlado por tensión)** es el bloque que genera la nueva señal de reloj con la que se va a resincronizar la trama de bits de la entrada. Se basa en un VCO multivibrador ajustado en fábrica, que permite diferentes frecuencias de oscilación sin la necesidad de componentes externos (condensadores y potenciómetros) que ajusten la frecuencia central de cada una de las frecuencias de oscilación. Es estable frente a las variaciones en la temperatura y en su alimentación. Sus entradas provienen del detector de fase, del lazo del filtro y del multiplexor. Esta última entrada une el VCO con una de las 4 resistencias que se encuentran a la salida del multiplexor, haciendo que el VCO oscile a la frecuencia determinada previamente para el valor de dicha resistencia. Las salidas del VCO llegan hasta el detector de frecuencia, el detector de fase, el bloque del ARS, el bloque del registro de desplazamientos (*data latch*) y por supuesto hacia el buffer de salida de la señal de reloj que se pueden encontrar en el integrado. Cabe destacar que la frecuencia de oscilación del VCO es fijada mediante una resistencia externa, ya sea trabajando en el modo ARM o en el MRM

El bloque del **lazo del filtro** está formado por tres componentes pasivos  $R_{BW}$ ,  $C_p$  y  $C_z$  como se puede ver en la siguiente figura.

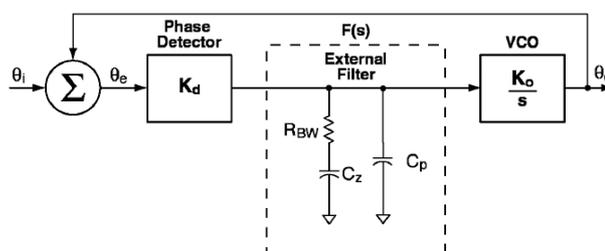


Fig. 71 Sistema PLL. Por cortesía de National Semiconductors.

La figura presentada tiene por propósito mostrar el PLL como un sistema con su función de transferencia y su respuesta en frecuencia que se puede representar mediante diagramas de Bode. Hablando en términos de señales y sistemas, el circuito PLL implementa un filtro paso-bajo de segundo orden, encargado de suavizar el jitter presente en la señal de entrada.

La función de transferencia del PLL viene determinada por la función de transferencia del detector de fase, la función de transferencia del lazo de filtro y la función de transferencia del VCO. Según el fabricante la función de transferencia del sistema completo del PLL se puede establecer como la función del filtro paso banda que se establece con la siguiente ecuación

$$\frac{\vartheta_o}{\vartheta_i} = \frac{2\pi \cdot f_{BW} \cdot (s + 2\pi \cdot f_Z)}{s^2 + s \cdot 2\pi \cdot f_{BW} + 4\pi^2 \cdot f_{BW} \cdot f_Z}$$

Donde  $f_{BW}$  es el ancho de banda del PLL y  $f_Z$  es el cero en la función de transferencia. A la vista del numerador se podrá ver que tan sólo existe un cero para la función de transferencia. Mientras que viendo el grado del denominador se intuye la existencia de dos polos.

Esta función de transferencia es la función de transferencia de un filtro paso-banda. Sin embargo la función de transferencia del PLL coincide con la función de transferencia de un filtro paso-bajo de segundo orden. ¿Dónde está entonces el error? En ningún sitio, a la vista del diagrama de bloques del PLL se debe notar que la función de transferencia entrada-salida del sistema está calculada teniendo en cuenta el elemento sumador y la realimentación de la salida a la entrada, luego la función de transferencia anteriormente mostrada se debe dividir realmente en dos funciones de la siguiente manera:

$$\frac{\vartheta_o}{\vartheta_i} = \frac{2\pi \cdot f_{BW} \cdot s}{s^2 + s \cdot 2\pi \cdot f_{BW} + 4\pi^2 \cdot f_{BW} \cdot f_Z} + \frac{2\pi \cdot f_Z \cdot 2\pi \cdot f_{BW}}{s^2 + s \cdot 2\pi \cdot f_{BW} + 4\pi^2 \cdot f_{BW} \cdot f_Z}$$

En donde el segundo termino si coincide con la función de transferencia de un filtro paso bajo de segundo orden con dos polos, tal como se puede intuir con el grado del denominador.

A la vista del diagrama de bloques se puede ver como el detector de fase es un sistema cuya función de transferencia es una constante  $K_d$ . Si está constante esta comprendida entre 0 y 1 funciona como un atenuador, en el resto de los casos funciona como un amplificador con una determinada ganancia. La función de transferencia del VCO viene determinada como  $K_o/s$ , lo cual significa que es un filtro paso bajo de primer orden cuya ganancia o atenuación viene determinada por la constante  $K_o$ . Por último el hecho de que el lazo del filtro esté constituido por dos condensadores en paralelo, es una importante pista para sospechar que la función de transferencia de este lazo será también la función de transferencia de un filtro paso-bajo de primer orden. Con lo que la función de transferencia del sistema completo vendrá dado por el producto de las funciones de transferencia de cada uno de los bloques del PLL.

Las ganancias del detector de fase y del VCO son fijadas internamente en el integrado, con lo cual el diseñador solamente podrá manipular la función de transferencia del PLL modificando los valores de los elementos externos del lazo de filtro.

A continuación se muestra una representación mediante el diagrama de Bode del módulo de la respuesta en frecuencia del jitter. Por encima de la frecuencia  $f_{BW}$  el jitter es atenuado. Por debajo de esta frecuencia el jitter pasa tal cual a través de la circuitería del PLL

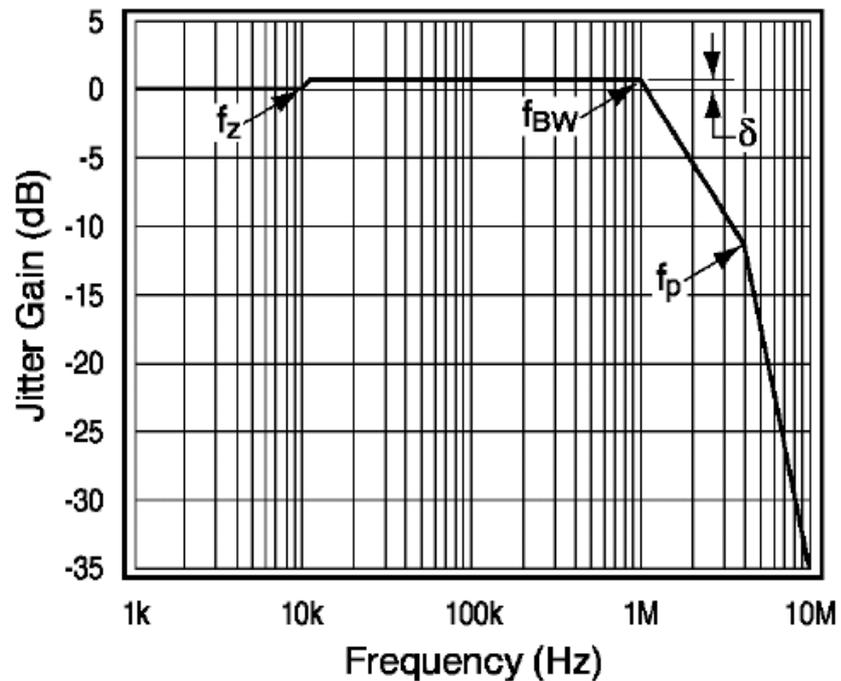


Fig. 72 Módulo de la respuesta en frecuencia del jitter. Por cortesía de National Semiconductors.

El *data latch* es un **registro de desplazamiento**, alimentado por dos señales: el tren de datos y la señal de reloj regenerada por el VCO. Su salida es llevada por un lado hacia el buffer de salida y por otro lado hacia el ARS.

A este registro le llega la trama de bits y van siendo almacenados y desplazados bit tras bit, secuencialmente con el VCO, en todas las células que componen el registro. La salida del data latch es totalmente síncrona con la señal de reloj del VCO, por tanto los bits van saliendo de este registro de desplazamiento de una manera totalmente síncrona con la señal del reloj regenerado.

Con los bloques de ecualización y resincronización se recupera la forma de la señal que se haya podido distorsionar a lo largo de la transmisión. El ecualizador restaura la forma del pulso y su amplitud, mientras que la etapa de resincronización restaura la base de tiempos de la trama de bits.

**National Semiconductor** July 2012

## CLC016

### Data Retiming PLL with Automatic Rate Selection

#### General Description

National's Continuous CLC016 is a low-cost, monolithic data retiming phase-locked loop (PLL) designed for high-speed serial clock and data recovery. The CLC016 implements high-speed data recovery in multiple systems by incorporating auto-rate select (ARS) capability on-chip. This function allows the user to configure the CLC016 to recognize up to four different data rates and automatically adjust to provide accurate, low jitter clock and data recovery. A single resistor is used to set each data rate anywhere between 40 Mbps and 400 Mbps. No post-layout, crystals, or other external ICs are required to set the rate.

The CLC016 has output jitter of only 100 ps<sub>rms</sub> at a 270 Mbps data rate and 0.26% fractional loop bandwidth. Low phase detector output offset and low VCO injection combine to ensure that the CLC016 does not generate excessive or large phase transients in response to external fluctuations in data transition density. The result is improved performance when handling the pathological patterns inherent in the SMPTE 259M video industry standard.

The serial select and output rate functions may be used together to automatically latch the output when no data is present, preventing spurious transitions. The serial select filter allows the user to tailor the loop response to the specific application needs. The CLC016 will operate with either +0.9V or -1.5V power supplies. The serial data input and output, as well as the recovered clock output, follow single- or differential-SCL signaling. The logic control inputs are TTL-compatible.

#### Applications

- SMPTE 259M serial video interfaces NTSC/PAL 4:2:2 component, 100 Mbps video scan
- Differential video routing and distribution
- Clock and data recovery for high-speed data transmission
- Reynchronization of serial data for SONET/SDH, ATM, CAD networks, medical and industrial imaging

#### Ordering Information

Order Number	Temperature	Package
CLC016AC	0°C to +75°C	FLCC Y50A
CLC016AC	-40°C to +85°C	FLCC Y50A
CLC016MTC	-40°C to +85°C	100SP MTC09

### Typical Application

Fast-Rate Clock and Data Recovery with Automatic Rate Selection - PLCC Package shown

### Connection Diagrams

Pinout-Top View (26-pin PLCC) and Pinout-Top View (26-pin TSSOP)

### Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distribution for availability and specifications.

Supply Voltage ( $V_{CC} - V_{EE}$ ) -0.5 to +5.0V  
 Maximum Junction Temperature +100°C  
 Storage Temperature Range -55°C to +100°C  
 Lead Temperature (Soldering +100) -60°C to +46°C  
 ESD Rating (Note 2) 2kV  
 Package Thermal Resistance  
 $\theta_{JA}$  26-Pin FLCC 65°C/W  
 $\theta_{JA}$  26-Pin TSSOP 30°C/W  
 $\theta_{JA}$  26-Pin 100SP 34°C/W

### Recommended Operating Conditions

Supply Voltage ( $V_{CC} - V_{EE}$ ) 4.5V to 5.5V  
 Operating Temperature 0°C to +70°C  
 CLC016AC/CLC016MTC -40°C to +85°C  
 After Transfer Function Fractional Loop Bandwidth 0.05% to 0.5%  
 Voltage (Note 3)  $V_{CC} - 1.5V$

### Electrical Characteristics

( $V_{CC} = 0V$ ,  $V_{EE} = -5V$ ,  $R_{pull-up} = 500\Omega$ ,  $C_D = 0.1\mu F$ ,  $C_{ACQ} = 62\mu F$ ,  $R_{ACQ} = 20k\Omega$ ,  $C_{SER} = 0.1\mu F$ , unless specified)

Parameter	Conditions	Typ	Min/Max	Min/Max Full Temp. Range	Units
<b>DYNAMIC PERFORMANCE</b>					
Revised Jitter	270 Mbps PRN sequence (Note 2, 4)	150	250	200	ps
Acquisition Time	270 Mbps PRN sequence	$8 \times 10^6$			10 cells
Minimum Average Data Rate, $f_{data}$	$4.5V < (V_{CC} - V_{EE}) < 5.5V$ (Note 3)		100		Mbps
Maximum Average Data Rate, $f_{data}$	$4.5V < (V_{CC} - V_{EE}) < 5.5V$ (Note 3)	40			Mbps
Minimum Average Data Rate, $f_{data}$	$4.5V < (V_{CC} - V_{EE}) < 5.5V$ (Note 3)		400	400	Mbps
VCO Power Supply Sensitivity	$4.5V < (V_{CC} - V_{EE}) < 5.5V$ (Note 3, 5)	$\pm 0.9$	$\pm 0.5$	$\pm 0.5$	%/V
VCO Temperature Sensitivity	(Note 3)	$\pm 0.9$	$\pm 1.2$	$\pm 1.3$	ppm/°C
After Transfer Function - Jitter Bandwidth Fractional Loop Bandwidth, $f_{loop}$	$R_{pull-up} = 500\Omega$ (Note 6, 7)	0.25			%/V
	$R_{pull-up} = 100\Omega$ (Note 6, 7)	0.25			%/V
	$R_{pull-up} = 100\Omega$ (Note 6, 7)	0.5			%/V
After Transfer Function - Peak-to-Peak Jitter	$R_{pull-up} = 500\Omega$ , 270 Mbps (Note 6)	<0.1			ps
<b>STATIC PERFORMANCE</b>					
Power Supply Current, $I_{DD}$	(Note 3)	125	125	133	mA
Voltage on Unconnected I/O - Resistor	(Note 3)	$V_{CC} - 2.2$			V
Voltage on Unconnected I/O - Resistor	(Note 3)	$V_{CC} - 1.5$			V
V <sub>OL</sub> /V <sub>OH</sub> Common-Mode Voltage, $V_{CM}$	(Note 3)	$V_{CC} - 1.5$			V
V <sub>OL</sub> /V <sub>OH</sub> Data-Mode Voltage, $V_{DM}$	(Note 3)	$\pm 0.60$			mV
CD Rate		$V_{CC}$			V
Input Range Upper Limit, $V_{in}$		$V_{CC} + 0.5$			V
Input Range Lower Limit, $V_{in}$		0			V
Minimum Common-Mode Input Amplitude, $V_{in}$	(Note 3)	0	6	6	mV
Input Current					$\mu A$

### Electrical Characteristics (Continued)

( $V_{CC} = 0V$ ,  $V_{EE} = -5V$ ,  $R_{pull-up} = 500\Omega$ ,  $C_D = 0.1\mu F$ ,  $C_{ACQ} = 62\mu F$ ,  $R_{ACQ} = 20k\Omega$ ,  $C_{SER} = 0.1\mu F$ , unless specified)

Parameter	Conditions	Typ	Min/Max	Min/Max Full Temp. Range	Units
SCD Duty Cycle	(Note 3)	50	44/56	44/56	%
Repeat Time, SCD, SCD, L/A	(Note 3)	230			ps
SCD Duty Cycle Variation	(Note 3)	56			ps
Minimum Setup Time	(Note 3)	4	20	20	ps
SDO/DCI to ACQWR Setup	(Note 3)	3	20	20	ns
Minimum Hold Time	(Note 3)	5	20	20	ns
ACQWR to SDO/DCI, $t_{hold}$	(Note 3)	10.5	8.5/11.5		ns
CD Rate Width, $t_{width}$	(Note 11)	1			$\mu s$
MTIC Response Time, $t_{MTIC}$	(Note 11)	5			ns

**THRESHOLD PERFORMANCE**

Delay, SCD to SCD,  $t_{d}$  200 ps  
 SCD Setup Cycle 50 ns  
 Repeat Time, SCD, SCD, L/A 230 ps  
 SCD Duty Cycle Variation 56 ps  
 Minimum Setup Time 4 ns  
 SDO/DCI to ACQWR Setup 3 ns  
 Minimum Hold Time 5 ns  
 ACQWR to SDO/DCI,  $t_{hold}$  10.5 ns  
 CD Rate Width,  $t_{width}$  1  $\mu s$   
 MTIC Response Time,  $t_{MTIC}$  5 ns

**NOTES:**  
 Note 1: Maximum average current is 100 mA. The maximum average current is limited by the maximum average current of the device. The maximum average current is limited by the maximum average current of the device. The maximum average current is limited by the maximum average current of the device.  
 Note 2: Jitter is measured at the output of the device. The jitter is measured at the output of the device. The jitter is measured at the output of the device.  
 Note 3: All measurements are taken at a temperature of 25°C. The measurements are taken at a temperature of 25°C. The measurements are taken at a temperature of 25°C.  
 Note 4: The jitter is measured at the output of the device. The jitter is measured at the output of the device. The jitter is measured at the output of the device.  
 Note 5: The jitter is measured at the output of the device. The jitter is measured at the output of the device. The jitter is measured at the output of the device.  
 Note 6: The jitter is measured at the output of the device. The jitter is measured at the output of the device. The jitter is measured at the output of the device.  
 Note 7: The jitter is measured at the output of the device. The jitter is measured at the output of the device. The jitter is measured at the output of the device.  
 Note 8: The jitter is measured at the output of the device. The jitter is measured at the output of the device. The jitter is measured at the output of the device.  
 Note 9: The jitter is measured at the output of the device. The jitter is measured at the output of the device. The jitter is measured at the output of the device.  
 Note 10: The jitter is measured at the output of the device. The jitter is measured at the output of the device. The jitter is measured at the output of the device.  
 Note 11: The jitter is measured at the output of the device. The jitter is measured at the output of the device. The jitter is measured at the output of the device.

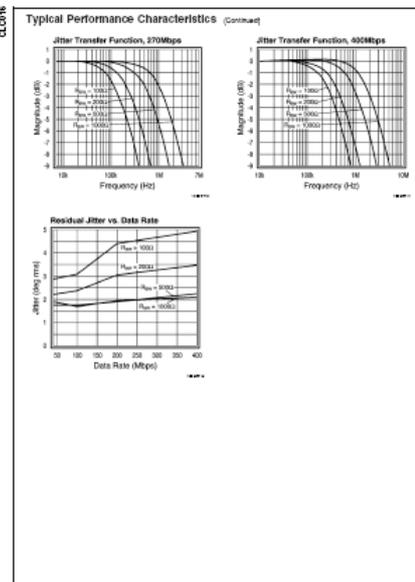
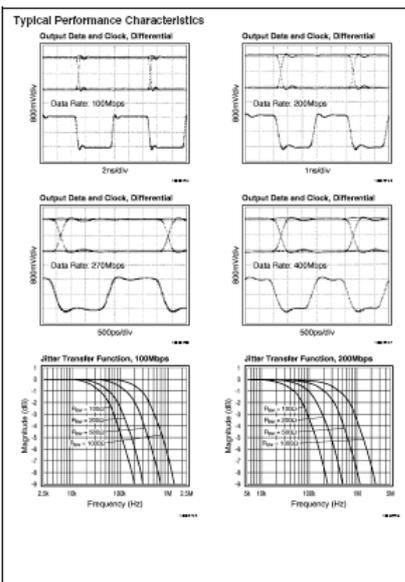


Fig. 73 Hojas de características del integrado CLC016. Cortesía de National Semiconductor

- Una etapa de salida compuesta de drivers.

La palabra anglosajona driver se refiere en muchos casos a un integrado que es capaz de inyectar en una línea, la suficiente corriente como para excitar las etapas posteriores o las siguientes máquinas conectadas. Son utilizados para excitar o controlar etapas posteriores, cuando se prevé necesario un determinado nivel de corriente bien por una baja sensibilidad de las siguientes etapas, bien para contrarrestar las pérdidas en la transmisión o como mero sistema de control en función de la corriente.

El integrado que implementa la etapa de salida de la tarjeta IQSDA10 es el National Semiconductors CLC007. Está compuesto de una etapa de entrada diferencial en seguidor de emisor con una impedancia de entrada bastante alta, actuando como un buffer electrónico y evitando que se cargue la parte del circuito anteriormente presentada. La configuración en seguidor de emisor amplifica la corriente pero no la tensión.

Cada una de las salidas está implementada mediante una configuración push-pull integrada en dos partes, en clase AB. La primera parte del push-pull está configurada como seguidor de emisor con respecto a la segunda, amplificando de esta manera nuevamente la corriente y no la tensión.

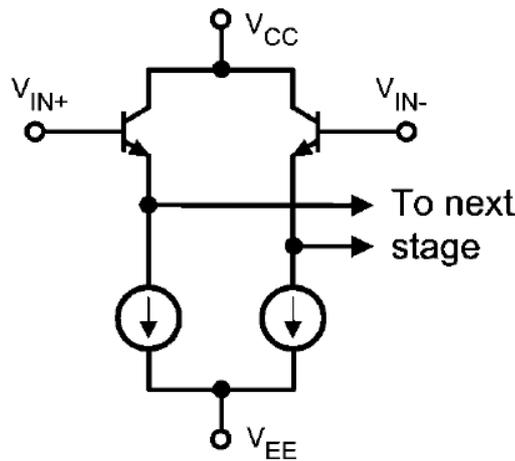


Fig. 74 Etapa de entrada

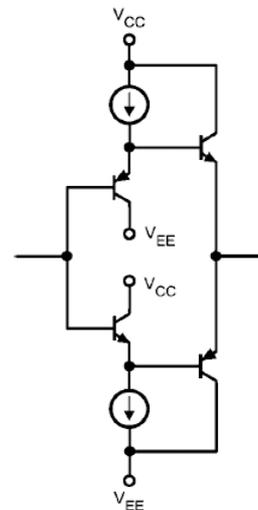


Fig. 75 Etapa de salida

Este integrado posee tres características principalmente: la primera es que presenta una alta impedancia, aislando las dos partes de la circuitería, evitando por tanto un efecto de carga al conectar los cuatro integrados CLC007 al bus. La segunda es que amplifica la corriente de la señal que por él circula, desde los 10 miliamperios que entrega el CLC016, hasta los 30 miliamperios que es capaz de entregar el CLC007. La tercera es que replica su entrada hacia cuatro salidas.

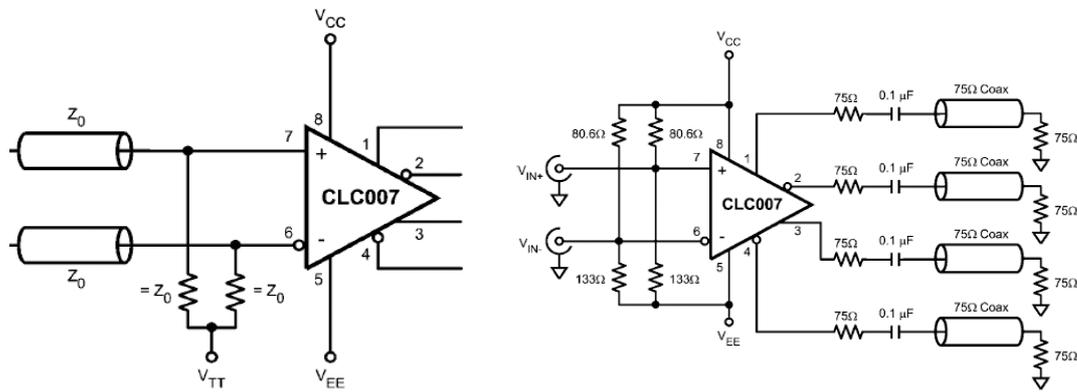


Fig. 76 Diferentes implementaciones con el integrado CLC007

**CLC007 Serial Digital Cable Driver with Dual Complementary Outputs**

**General Description**  
National's Complementary CLC007 is an on-chip, high-speed cable driver designed for the SMPTE 292M serial digital video data transmission standard. The CLC007 drives 75Ω transmission lines (Belden 8241 or equivalent) at data rates up to 400 Mbps. Controlled setup and hold times (750 ps typical) minimize transition-induced jitter. The output voltage swing typically 1.0V, set by an accurate on-chip internal bandgap reference, delivered as 800 mV swing to back-terminated and terminated 75Ω cable.

The CLC007's on-chip AC output stage consumes less power than other designs: 165 mW with all outputs terminated, and requires no external bias resistors. The differential inputs accept a wide range of digital signals from 200 mV<sub>pp</sub> to 5V<sub>pp</sub> levels with the optional common-mode enable. All this makes the CLC007 an excellent general purpose high speed driver for digital applications.

The CLC007 is powered from a single +5V or +3.3V supply and comes in an 8-pin SOIC package.

**Key Specifications**

- 850 ps rise and fall times
- Data rates to 400 Mbps
- 2 sets of complementary outputs
- 200 mV differential input
- Low medium jitter (20 ps<sub>rms</sub>)

**Features**

- No external pull-down resistors
- Differential input and output
- Low power dissipation
- Single +5V or +3.3V supply
- Replaces CLC002 in most applications

**Applications**

- Digital routers and distribution amplifiers
- Coaxial cable driver for digital transmission lines
- Testbed per driver
- Signal distribution amplifiers
- SMPTE, SDI/SDI4, and ATM compatible driver
- Server applications

**270 Mbps Eye Pattern**

**Connection Diagram (8-Pin SOIC)**

Order Number CLC007D  
See 400 Pin Package Handbook 1000A

**Absolute Maximum Ratings** (Note 1)

If Military/ Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Reliability Information for availability and specifications.

Supply Voltage: 5V  
Output Current: 20 mA  
Maximum Junction Temperature: +125°C  
Storage Temperature Range: -55°C to +150°C  
Lead Temperature (Soldering 10 Seconds): +200°C  
ESD Rating (Human Body Model): 1000V

**Package Thermal Resistance**  
R<sub>θJC</sub> 8-pin SOIC: +100°C/W  
R<sub>θJC</sub> 6-pin SOIC: +100°C/W  
Reliability Information: 254 MTF  
MTTF

**Recommended Operating Conditions**  
(Supply Voltage (V<sub>CC</sub> = V<sub>EE</sub>))

Supply Voltage: +4.5V to +5.5V

**Electrical Characteristics**  
(V<sub>CC</sub> = 5V, V<sub>EE</sub> = -5V, unless otherwise specified)

Parameter	Conditions	Typ +25°C	Min/Max +25°C	Min/Max 0°C to +70°C	Min/Max -40°C to +85°C	Units
<b>STATIC PERFORMANCE</b>						
Supply Current, Loaded	(Note 5)	29	—	—	—	mA
Supply Current, Unloaded	(Note 5)	24	28-45	26-47	25-47	mA
Output High Voltage (V <sub>OH</sub> )	(Note 5)	-1.7	-2.0/1.4	-2.0/1.4	-2.0/1.4	V
Output Low Voltage (V <sub>OL</sub> )	(Note 5)	-2.2	-2.5/0.3	-2.5/0.3	-2.5/0.3	V
Input Bias Current	(Note 5)	10	30	50	50	μA
Output Swing	(Note 5)	1.65	1.56/1.75	1.52/1.77	1.5/1.75	V
Common Mode Input Range, Upper Limit		-0.7	-0.8	-0.8	-0.8	V
Common Mode Input Range, Lower Limit		-0.6	-0.6	-0.6	-0.6	V
Maximum Differential Input Swing		200	200	200	200	mV
Power Supply Rejection Ratio (Note 3)		26	20	20	20	dB
<b>AC PERFORMANCE</b>						
Output Rise and Fall Time	(Notes 3, 4, 5)	850	425-965	400/1100	400/1100	ps
Overshoot		5	—	—	—	%
Propagation Delay		1.0	—	—	—	ns
Setup/hold Delay		50	—	—	—	ps
Switched Jitter		25	—	—	—	ps <sub>rms</sub>
<b>MODELING PERFORMANCE</b>						
Input Capacitance		1.0	—	—	—	pF
Output Capacitance		10	—	—	—	pF
Output Inductance		8	—	—	—	nH

NOTE 1: ABSOLUTE MAXIMUM RATINGS EXCEED THOSE SPECIFIED IN THE DATA SHEET. THE USER SHOULD REFER TO THE DATA SHEET FOR THE MOST CURRENT INFORMATION ON THESE LIMITS. THE SOIC IS NOT A "MILITARY" PACKAGE. ORDERING INFORMATION IS GIVEN IN THE ORDERING INFORMATION SECTION OF THE DATA SHEET.  
NOTE 2: MINIMUM SWING IS BASED ON 100 PICOSECOND RISE AND FALL TIMES. MINIMUM SWING IS BASED ON 100 PICOSECOND RISE AND FALL TIMES. MINIMUM SWING IS BASED ON 100 PICOSECOND RISE AND FALL TIMES.  
NOTE 3: MEASURED AT 100 MHz. MEASURED AT 100 MHz.  
NOTE 4: MEASURED AT 100 MHz. MEASURED AT 100 MHz.  
NOTE 5: MEASURED WITH 50Ω COAXIAL CABLE DRIVING 75Ω. AC COUPLED WITH 75Ω.

Fig. 77 Hojas de características técnicas del CLC007. Cortesía de National Semiconductor

En las especificaciones además se puede leer que en el integrado está implementada una circuitería de control de los tiempos de subida y de bajada de las transiciones de la señal. Con este sistema de control se consigue minimizar el jitter intrínseco del integrado. Por otro lado también se puede leer que las tensiones de salida son fijadas con elementos de tensión de referencia por salto de banda. Este sistema de salto de banda proporciona unas tensiones de referencias muy precisas y estables frente a la temperatura y será comentado más ampliamente en el siguiente apartado.

- o Siete salidas BNC las cuales pueden manejar tanto señales SDI como ASI. La impedancia de salida es un valor muy cercano a los 75 ohmios.

En las siguientes figuras se presenta la parte de la circuitería de distribución de la tarjeta IQSDA10. El esquema ha sido obtenido por el autor a partir de la placa IQSDA10. Se ha tratado de obtener todos los elementos más representativos del funcionamiento de la circuitería de distribución y la correlación con la realidad es bastante alta.

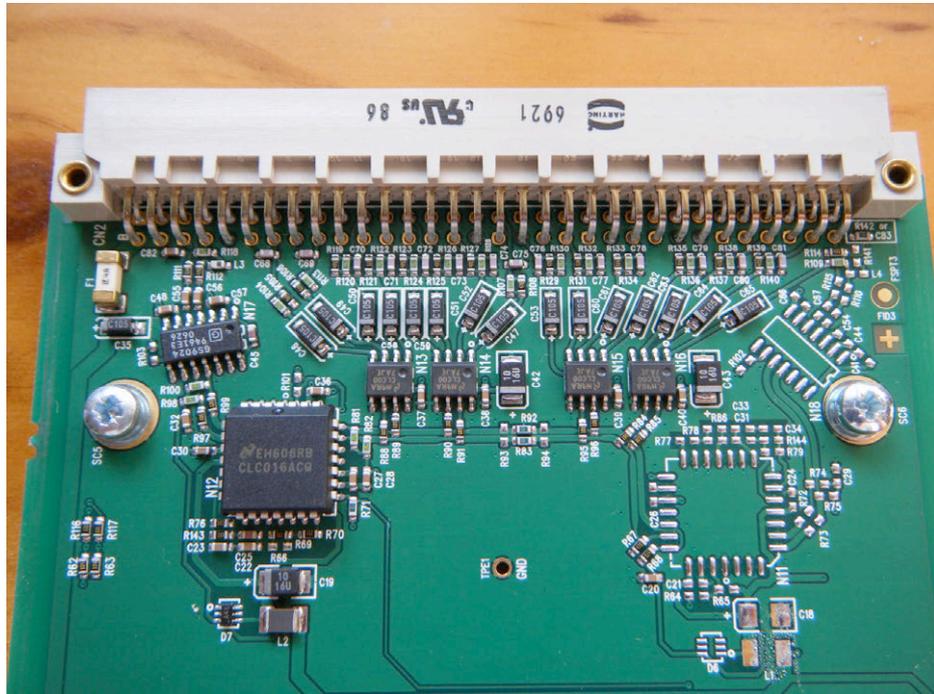


Fig. 78 Fotografía de la circuitería de distribución de la placa SDA10

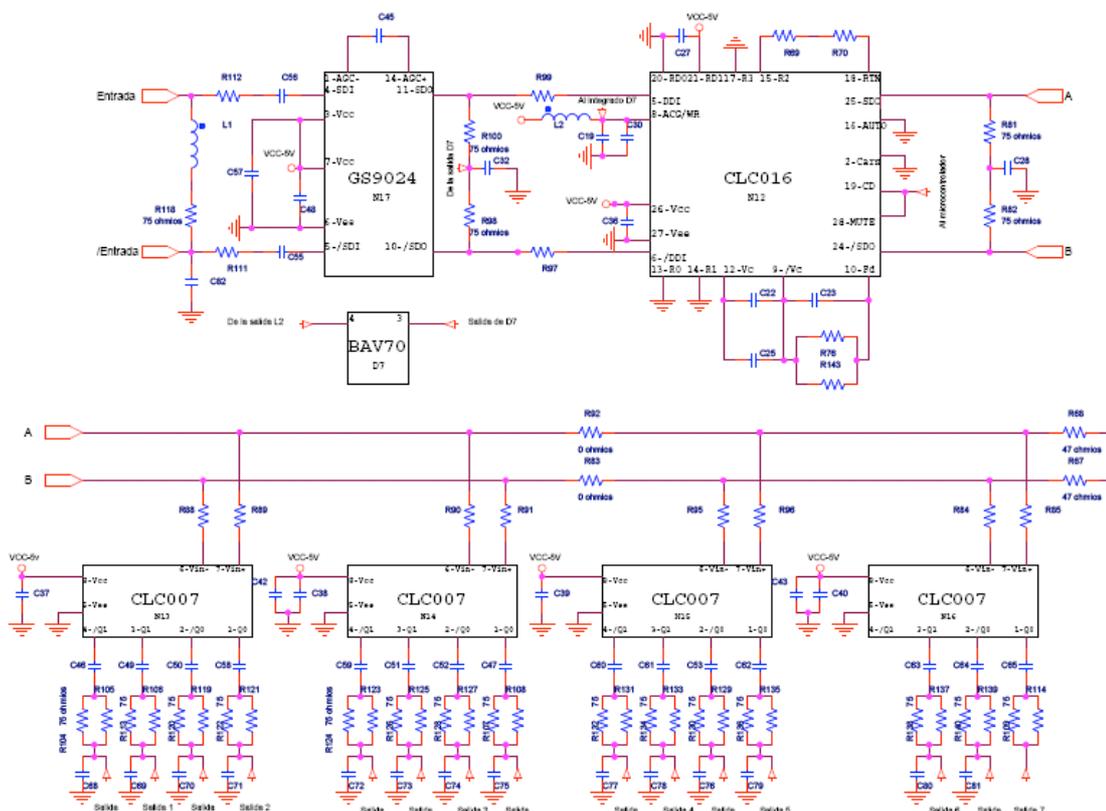


Fig. 79 Esquema de la circuitería de distribución de la placa SDA10

En la implementación del sistema sobre la placa se puede hacer notar algunas ideas que son interesantes. La primera es que todos los integrados están alimentados con una tensión positiva de 5 voltios tal como se verá en el apartado siguiente de la alimentación de la placa.

La segunda es que todos los integrados presentan una impedancia de entrada relativamente alta. Con lo cual, la terminación y adaptación de impedancias en las líneas de transmisión se realiza a la salida de los integrados.

Siguiendo la ruta de la señal se puede observar que en la entrada existe una resistencia de 75 ohmios que une los dos polos de entrada. A efectos prácticos cualquier señal de entrada que viaje entre el vivo y la malla del coaxial y que se conecta a dicha entrada, estará “viendo” una impedancia de 75 ohmios, como consecuencia de que la impedancia de entrada del GS9024 es muy alta. Tras entrar en la placa la señal es dirigida hacia el integrado GS9024. Este integrado es el encargado de ecualizar y recuperar la forma de la trama de bits que se halla podido degradar en la transmisión. En este integrado se utilizan las dos patillas de entrada, las dos patillas de salida, dos patillas para la tensión positiva de alimentación (Vcc) y una patilla para la masa (Vee). También se utilizan las patillas AGC+ y AGC- junto al condensador C45, conformando el integrador de la tensión error que controla el circuito automático de ganancia implementado en el integrado.

Las dos salidas de este integrado están cargadas respectivamente con resistencias de 75 ohmios. La impedancia vista desde las salidas del GS9024 hacia el CLC016 será 75 ohmios ya que la impedancia de entrada del CLC016 es muy alta.

Tras su paso por el GS9024 la señal es llevada hacia las entradas del sistema de resincronización implementado con el integrado CLC016. Este integrado se vuelve a alimentar entre 5 voltios (Vcc) y 0 voltios o masa (Vee) con la particularidad de que en este integrado existen varias patillas que se conectan a la tensión Vcc (patillas 26 y 7) y otras patillas que se conectan a Vee (patillas 27, 1 y 11). El condensador C36 existente entre Vcc y Vee tan sólo funciona como condensador de desacoplo, filtrando la componente de alterna que pueda acompañar a la tensión de continua. Con respecto a las impedancias del integrado se puede comentar que la impedancia de entrada al mismo es muy alta, mientras que las salidas del integrado están cargadas con resistencias de 75 ohmios.

El primer paso es identificar el modo de funcionamiento del ARS. Para ello se observa la tensión de la patilla AUTO, la cual está conectada directamente con Vee (masa). Simplemente con este dato ya se conoce que el ARS está funcionando en modo manual MRM. Se puede observar además, que la patilla  $C_{ars}$  está también conectada a Vee y que la patilla ACQ/WR está conectada a Vcc. Por otro lado en el bus bidireccional RD0/1 se aprecia que RD1 está conectado a Vcc y que RD0 está conectado a Vee. Con todos estos indicios se puede concluir con total certeza que el ARS está funcionando en modo manual.

Cuando la patilla AUTO está a nivel bajo, el buffer triestado del ARS muestra a su salida una alta impedancia, cortando por tanto la propagación de la secuencia generada por el contador hacia el

bus de datos interno del ARS. Además, en el modo manual el contador no está generando ninguna secuencia, ya que la patilla  $C_{ars}$  del oscilador interno del ARS está cortocircuitada con Vee. Como el contador genera las secuencias según le dicta el oscilador interno y el oscilador está parado, el contador está por su parte también parado.

Si el contador está parado, debe existir alguna manera de generar la secuencia para que el multiplexor abra la puerta al VCO y a la resistencia. La manera es utilizando el bus bidireccional RD0/1, que tiene acceso directo sobre el bus interno del ARS. Cuando AUTO está a nivel bajo, el bus bidireccional se pone en modo entrada, pudiendo acceder al bus interno de datos del ARS. Fijando las tensiones deseadas en RD0 y RD1 se estará introduciendo en el bus interno de datos la secuencia que cierra el interruptor de la resistencia deseada. Como se puede ver a través de los valores de tensión que alimentan este bus bidireccional, la secuencia prefijada es la 10, que se corresponde con la resistencia R2 del multiplexor.

Por otro lado la patilla ACQ/WR está a nivel alto, lo cual implica que se habilita el funcionamiento del oscilador interno del ARS y del latch de salida del ARS. Con respecto al oscilador, aunque su funcionamiento esté habilitado, tal como se vio anteriormente se encuentra parado como consecuencia del cortocircuito con Vee de  $C_{ars}$ . Sin embargo el latch de salida está habilitado, lo cual significa que la secuencia introducida a través del bus bidireccional RD0/1 sale del ARS dirigiéndose hacia las entradas de control del MUX. Cuando al MUX le llega la secuencia 10, obra correspondientemente cerrando el interruptor de R2 y uniendo al VCO con la resistencia R2. En este momento el VCO empieza a oscilar a la velocidad prefijada para la resistencia R2.

Lo único que faltaría por conocer es la velocidad a la que está oscilando. Para ello en la hoja de características, se encuentra una fórmula que permite conocer la tasa binaria a partir de la resistencia seleccionada.

$$R = \left( \frac{1000Mbps}{Tasabinaria} - 0,2 \right) \cdot 1K\Omega$$

La resistencia R2 está formada por la resistencia R69 (220 ohmios) y la R70 (3300 ohmios) en serie. El hecho de usar dos resistencias en serie para obtener un valor se debe a que el valor de la resistencia R2 es crucial y debe ser lo más exacta posible, de lo contrario la resincronización se realizara a otra velocidad de reloj y se produciría otro tipo de jitter. Es bastante probable que los valores nominales de las resistencias del mercado no produzcan el valor R2 deseado, por tanto la única forma de obtener un valor más preciso de R2 es mediante asociaciones serie o paralelo de varias resistencias.

El valor total de la asociación de resistencias R69 y R70 es de 3,5 K $\Omega$ . Sustituyendo este valor en la ecuación presentada anteriormente:

$$3,5K\Omega = \left( \frac{1000Mbps}{Tasabinaria} - 0,2 \right) \cdot 1K\Omega;$$

$$\frac{3,5K\Omega}{1K\Omega} = \frac{1000Mbps}{Tasabinaria} - 0,2;$$

$$3,5 + 0,2 = \frac{1000Mbps}{Tasabinaria};$$

$$Tasabinaria = \frac{1000Mbps}{3,7} = 270,270Mbps$$

Hasta el momento se ha hablado de patillas del integrado, pero en muchos casos las patillas de los integrados están acompañadas de componentes externos que les ayudan a realizar su cometido.

En el bus bidireccional RD0/1 aparece un condensador de desacoplo C27, cuya finalidad es filtrar la componente de alterna hacia masa estableciendo una tensión de continua más estable sobre el bus de datos bidireccional.

La patilla ACQ/WR está precedida por una red de bobinas (L2) y condensadores (C19 y C30) que conforman un filtro paso bajo de segundo orden. De nuevo su finalidad es la de filtrar la componente de alterna que pueda existir en la tensión continua de 5 voltios que fija ACQ/WR a nivel alto.

La patilla CD es la salida del detector de portadora, esta patilla está unida con la patilla MUTE que actúa sobre el latch de salidas de la trama de bits regenerada (SDO y /SDO) y sobre el latch de salidas de la señal de reloj regenerada por el VCO (SCO y /SCO). Cuando el detector de portadora no recibe ninguna señal a su entrada coloca un nivel bajo a su salida, activándose la función MUTE, lo cual produce que los latches de salida se deshabiliten y bloqueen el paso de cualquier señal proveniente del integrado hacia la salida. La patilla CD además es enviada hacia el entorno del microcontrolador, en donde será procesada y utilizada por el sistema Roll Call para anunciar la no presencia de señal de entrada.

Queda comentar brevemente el lazo del filtro implementado externamente por los componentes C22, C25, C23, R76 y R143, entre las patillas Vc, /Vc y Fd. El lazo se utiliza conjuntamente con dos bloques del integrado, con el bloque del detector de frecuencia y con la circuitería del PLL.

La tensión error generada por el detector de frecuencia es estabilizada en el lazo de filtro por los elementos situados entre las patillas Fd y Vc. La función de transferencia del PLL del integrado es ajustada mediante los componentes existentes en el lazo del filtro.

La topología implementada en el circuito dista un poco de la topología mostrada en las hojas de características, sin embargo se pueden establecer algunas analogías que pueden ayudar a identificar los componentes. Por ejemplo el condensador denominado C<sub>p</sub> correspondería con el paralelo de C22 y C25. El condensador denominado C<sub>z</sub> corresponde con la asociación serie de C23 con el paralelo de C22 y C25 y la resistencia denominada R<sub>BW</sub> sería el paralelo de las resistencias R76 y R143.

Con respecto a la etapa formada por los integrados CLC007 se puede comentar que las dos salidas del integrado CLC016 son distribuidas mediante dos pistas o dos buses a lo largo de la placa, alimentando a los integrados CLC007 que cuelgan de estos buses como si fueran un racimo. En el bus se pueden encontrar dos puentes de 0 ohmios que se usan para distribuir la señal del integrado CLC016 a los cuatro integrados CLC007 en la placa SDA10. En el caso de utilizar una placa SDA11, se suprimirán permaneciendo los integrados aislados entre sí dos a dos. Cada una de las parejas de CLC007 se utilizará con su correspondiente CLC016 implementado en la tarjeta SDA11. Al final del bus se puede encontrar las resistencias R68 y R67 con valores de 47 ohmios que finalizan la línea del bus. A cada lado del puente de 0 ohmios, existen los correspondientes puntos de soldadura en los que se soldarán las resistencias que finalizan cada uno de los buses en el caso de levantar los puentes para la tarjeta SDA11.

Todos los integrados CLC007 tienen una topología implementada muy similar, sino casi igual, excepto el integrado N16 en el cual la salida número cuatro no está implementada. De estos integrados se utilizan absolutamente todas las patillas: las dos patillas de entrada, las cuatro patillas de salida y las patillas de alimentación Vcc y Vee. Las resistencias implementadas entre los buses y las entradas a los integrados son de 10 ohmios y teniendo en cuenta que la entrada de los CLC007 presentan una alta impedancia, la corriente que circulará por las entradas será mínima, con lo que la caída de potencial en las resistencias de 10 ohmios también será mínima. Además esta alta impedancia de entrada, posibilita que no se produzca un efecto de carga debido a la colocación de los CLC007 en el bus.

La salida está implementada con una red de condensadores y resistencias para todas las salidas de los integrados. El primer condensador que se encuentra a la salida del integrado funciona como un condensador de acoplo, eliminando cualquier componente de continua en las salidas del integrado. A continuación se presenta un par de resistencias en paralelo, en la que una de ellas es de 75 ohmios. Esta resistencia de 75 ohmios es menor que la resistencia que se encuentra en paralelo, por esta razón el paralelo de ambas resistencias será un valor un poco más pequeño que 75 ohmios.

Estas resistencias poseen además una función bastante interesante: La respuesta temporal y más en concreto los tiempos de subida y de bajada de las transiciones de la señal, están condicionadas a que el integrado vea a su salida una impedancia resistiva y no capacitiva. Si se coloca en las inmediaciones de la salida del integrado una resistencia de 75 ohmios, los tiempos de subida y de bajada se mantendrán dentro de unos ordenes mínimos.

En la tarjeta principal, están implementadas hasta 15 salidas de la misma señal de entrada, sin embargo el número de salidas reales que se dispondrá del sistema depende de la tarjeta trasera que se instale. Por ejemplo si se instala una tarjeta IQSDA10\_01-1A tan sólo se dispondrá de 7 salidas físicas a la salida. Como es lógico pensar las salidas de los CLC007 que no están implementadas como salidas físicas, se deberán terminar para el correcto funcionamiento del integrado. Para ello

se utiliza el condensador de desacoplo que aparece en la red de salida, el condensador que está puesto a tierra. En el caso de que la salida del integrado no se implemente como una salida física en la trasera del equipo, la propia red establece un circuito hacia masa que se cierra con dicho condensador de desacoplo. La impedancia de salida para una de estas salidas del integrado que no se están utilizando, será la suma de las impedancias del condensador de acoplo, del paralelo de las dos resistencias y la impedancia del condensador de desacoplo. El elemento que más peso tiene a la hora de calcular la impedancia de salida es la resistencia de 75 ohmios, con lo que el valor de esta impedancia será un valor cercano a 75 ohmios.

- **Circuitería de alimentación:** La tensión de alimentación es suministrada por las fuentes del cofre a través del *backplane* a la tarjeta principal. Sin embargo esta tensión de alimentación no es la que se utiliza tal cual en la tarjeta. Se debe recordar que en la tarjeta se implementa la circuitería propia de la distribución de la señal y también se implementa el entorno del microcontrolador. Los elementos que implementan ambas circuiterías necesitan de dos tensiones diferentes para funcionar. Por ejemplo el entorno de microcontrolador está implementado con una familia lógica CMOS que se alimenta con tensiones de 3,3 voltios. Por otro lado, algunos de los elementos digitales de la circuitería del distribuidor pertenecen a la familia TTL, necesitando de una alimentación de 5 voltios. Otros elementos no pertenecen a ninguna familia lógica, pero funcionan con una alimentación de 5 voltios. Por esta razón la tarjeta es autónoma por sí misma en cuanto a la alimentación se refiere, gestionando y suministrando ella misma sus tensiones de alimentación que necesita cada parte de la circuitería a partir de una tensión genérica que alimenta a todo el cofre a través del *backplane*. Para obtener esta autonomía, en la tarjeta principal se implementan dos reguladores de tensión que ofrecen dos tensiones diferentes (3,3 voltios y 5 voltios) reguladas.

Los reguladores implementados son los National Semiconductor LM1086 el modelo ajustable en un encapsulado TO-263. Este regulador permite el ajuste de la tensión de salida del regulador mediante el uso de resistencias externas. La familia de los LM1086 también se presenta con reguladores de tensión fija que llevan incluidas internamente estas resistencias.

El regulador LM1086 pertenece a la familia de reguladores de los *quasi low drop*, esta topología de reguladores presentan una caída (*dropout*) menor de la entrada a la salida que los reguladores convencionales o estándar.

Como otras características importantes de este regulador se puede mencionar que incluye un limitador de corriente de tipo *foldback* (ver gráfica *short-circuit current vs. Input/output difference*). También incluye un sistema de protección térmico.

De todas las características reseñables del regulador la característica más importante y la que define su funcionamiento y entornos más idóneos de trabajo, es que la tensión de referencia utilizada en el lazo de realimentación para comparar y ajustar la salida es una referencia de tensión basado por salto de banda. La teoría de la referencia de tensión por salto de banda se basa en un sistema de compensación del coeficiente de temperatura de la unión base-emisor que decrece linealmente como  $-2 \text{ mV/}^\circ\text{C}$  con la tensión térmica que crece linealmente según la expresión

$V_t = K \cdot T/q$ . La referencia por tensión por salto de banda se basa en las propiedades físicas de los semiconductores para conseguir una referencia de tensión independiente de la temperatura. Las dos mayores ventajas que se obtienen son:

- Una tensión regulada de 1,25 voltios estabilizada y regulada independientemente de la temperatura
- Una tensión de referencia bastante baja, que en aplicaciones de tensiones de alimentación baja, los hacen ideales para sustituir a los zeners, cuyos valores nominales no se aproximan a esta tensión tan baja, y además presentan un ruido inherente a la física de los semiconductores.

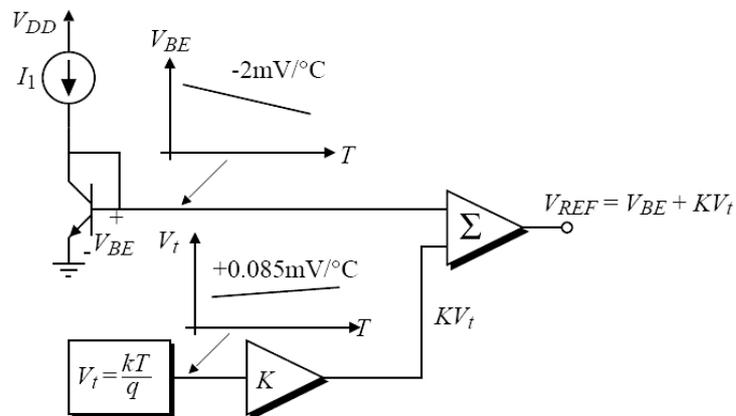


Fig. 80 Teoría de la compensación de las temperaturas empleada en el salto de banda

En la siguiente figura se muestra un modelo del regulador LM1086. Como modelo que es, trata de modelar de una forma más sencilla un ente más complejo. En esta figura aparece el regulador muy simplificado pero puede ser interesante a la hora de comprender el funcionamiento del mismo (en el integrado real no existe un comparador tal cual en el interior del regulador, y el zener que fija la tensión de referencia tampoco existe).

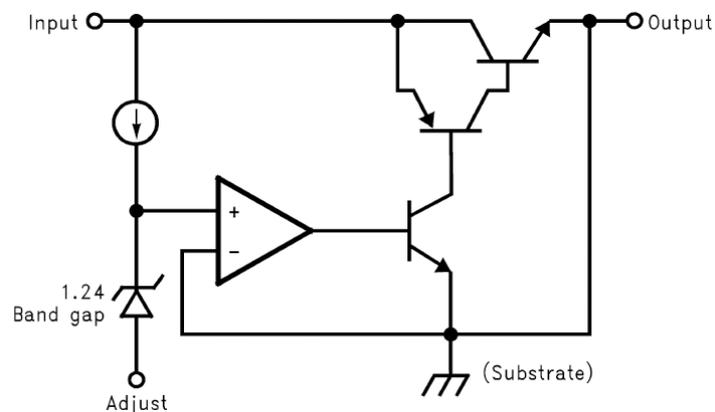


Fig. 81 Modelo del regulador LM1086. Por cortesía de National Semiconductors.

El funcionamiento del regulador a *grosso modo* es bastante sencillo. El regulador posee un elemento que se llama de paso y que en la figura anterior coincide con los dos transistores (PNP y NPN) que unen la entrada con la salida. Este es el elemento que genera las tensiones y corrientes de la salida del regulador. Por otro lado existe un lazo de realimentación negativa, con una circuitería que compara una parte proporcional de la tensión de salida con una tensión de referencia interna en el regulador. El circuito comparador (mostrado en la figura como un operacional y conocido como *volt error amp*) genera una tensión de salida que es la tensión error o la diferencia de tensiones a la entrada del circuito. La tensión error es amplificada posteriormente por el transistor NPN que está conectado a su salida. Por último el colector de este transistor NPN está unido con la base del transistor PNP con lo que las variaciones de la tensión error controlarán y ajustarán las tensión y corriente del elemento de paso.

**LM1086**

**Absolute Maximum Ratings** (Note 1)  
 If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Storage Temperature Range: -65°C to 150°C  
 Lead Temperature: 280°C to 10 sec  
 ESD Tolerance (Note 4): 2000V

**Operating Ratings** (Note 1)  
 Junction Temperature Range (T<sub>J</sub>) (Note 5): 0°C to 125°C  
 Control Section: 0°C to 150°C  
 Output Section: 0°C to 150°C  
 Thermal Resistance (R<sub>θJC</sub>): 1°C/W  
 Control Section: -40°C to 125°C  
 Output Section: -40°C to 150°C

**Electrical Characteristics**  
 Typical and limits appearing in normal type apply for T<sub>J</sub> = 25°C. Limits appearing in Boldface type apply over the entire junction temperature range for operation.

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 6)	Max (Note 6)	Units
V <sub>REF</sub>	Reference Voltage	LM1086-ADJ I <sub>OUT</sub> = 10mA, V <sub>IN</sub> - V <sub>OUT</sub> = 2V	1.256	1.250	1.252	V
		LM1086-0.5 10mA d.i.p. & 16-pin SMD I <sub>OUT</sub> = 10mA, V <sub>IN</sub> - V <sub>OUT</sub> = 10V (Note 7)	1.225	1.250	1.275	V
V <sub>OUT</sub>	Output Voltage (Note 7)	LM1086-1.8 I <sub>OUT</sub> = 0mA, V <sub>IN</sub> = 5V 0 < I <sub>OUT</sub> < I <sub>FLIM</sub> , Load	1.782	1.8	1.818	V
		LM1086-2.5 I <sub>OUT</sub> = 0mA, V <sub>IN</sub> = 5V 0 < I <sub>OUT</sub> < I <sub>FLIM</sub> , Load	2.475	2.5	2.525	V
		LM1086-3 I <sub>OUT</sub> = 0mA, V <sub>IN</sub> = 5V 0 < I <sub>OUT</sub> < I <sub>FLIM</sub> , Load	2.925	3	3.075	V
		LM1086-3.3 I <sub>OUT</sub> = 0mA, V <sub>IN</sub> = 5V 0 < I <sub>OUT</sub> < I <sub>FLIM</sub> , Load	3.267	3.3	3.333	V
		LM1086-3.5 I <sub>OUT</sub> = 0mA, V <sub>IN</sub> = 5V 0 < I <sub>OUT</sub> < I <sub>FLIM</sub> , Load	3.415	3.5	3.464	V
		LM1086-5 I <sub>OUT</sub> = 0mA, V <sub>IN</sub> = 5V 0 < I <sub>OUT</sub> < I <sub>FLIM</sub> , Load	4.950	5.000	5.050	V
		LM1086-5 I <sub>OUT</sub> = 0mA, V <sub>IN</sub> = 5V 0 < I <sub>OUT</sub> < I <sub>FLIM</sub> , Load	4.908	5.000	5.148	V
		LM1086-ADJ I <sub>OUT</sub> = 0mA, I <sub>REF</sub> = 1.5mA (V <sub>IN</sub> - V <sub>OUT</sub> ) < 15V	0.015	0.2	%	
		LM1086-1.8 I <sub>OUT</sub> = 0mA, 0.5V < V <sub>IN</sub> < 12V	0.0	0	mV	
		LM1086-2.5 I <sub>OUT</sub> = 0mA, 4.0V < V <sub>IN</sub> < 12V	0.0	0	mV	

**Electrical Characteristics** (Continued)  
 Typical and limits appearing in normal type apply for T<sub>J</sub> = 25°C. Limits appearing in Boldface type apply over the entire junction temperature range for operation.

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 6)	Max (Note 6)	Units
ΔV <sub>OUT</sub>	Load Regulation (Note 8)	LM1086-0.5E I <sub>OUT</sub> = 0mA, 4.25V < V <sub>IN</sub> < 12V	0.5	6	mV	
		LM1086-0.5 I <sub>OUT</sub> = 0mA, 4.25V < V <sub>IN</sub> < 12V	0.5	10	mV	
		LM1086-0.5E I <sub>OUT</sub> = 0mA, 4.25V < V <sub>IN</sub> < 12V	0.5	10	mV	
		LM1086-0.5 I <sub>OUT</sub> = 0mA, 4.25V < V <sub>IN</sub> < 12V	0.5	10	mV	
		LM1086-0.5 I <sub>OUT</sub> = 0mA, 4.25V < V <sub>IN</sub> < 12V	0.5	10	mV	
		LM1086-0.5 I <sub>OUT</sub> = 0mA, 4.25V < V <sub>IN</sub> < 12V	0.5	10	mV	
		LM1086-0.5 I <sub>OUT</sub> = 0mA, 4.25V < V <sub>IN</sub> < 12V	0.5	10	mV	
		LM1086-0.5 I <sub>OUT</sub> = 0mA, 4.25V < V <sub>IN</sub> < 12V	0.5	10	mV	
		LM1086-0.5 I <sub>OUT</sub> = 0mA, 4.25V < V <sub>IN</sub> < 12V	0.5	10	mV	
		LM1086-0.5 I <sub>OUT</sub> = 0mA, 4.25V < V <sub>IN</sub> < 12V	0.5	10	mV	
V <sub>OUT</sub>	Dropout Voltage (Note 9)	LM1086-ADJ V <sub>IN</sub> - V <sub>OUT</sub> = 2V, I <sub>OUT</sub> = 10mA < I <sub>FLIM</sub> , Load	0.1	0.2	V	
		LM1086-0.5, 2.5, 2.85 V <sub>IN</sub> - V <sub>OUT</sub> = 2V, I <sub>OUT</sub> = 10mA < I <sub>FLIM</sub> , Load	0	0.2	V	
I <sub>OUT</sub>	Current Limit	LM1086-ADJ V <sub>IN</sub> - V <sub>OUT</sub> = 25V	1.50	2.7	A	
		LM1086-1.8, 2.5, 2.85, 3.3, 3.45, 5 V <sub>IN</sub> - V <sub>OUT</sub> = 15V, I <sub>OUT</sub> = 1.5A	0.05	0.15	A	
I <sub>OUT</sub>	Minimum Load Current (Note 10)	LM1086-ADJ V <sub>IN</sub> - V <sub>OUT</sub> = 25V	5.0	18.8	mA	
		LM1086-0.5, 2.5, 2.85, 3.3, 3.45, 5 V <sub>IN</sub> - V <sub>OUT</sub> = 15V	5.0	18.8	mA	
I <sub>OUT</sub>	Quiescent Current	LM1086-0.5, V <sub>IN</sub> < 18V	5.0	18.8	mA	
		LM1086-0.5E, V <sub>IN</sub> < 18V	5.0	18.8	mA	
T <sub>TH</sub>	Thermal Resistance Junction-to-Case	2-Lead TO-220: Control Section/Output Section	1.5/4.0	°C/W		
		3-Lead TO-220: Control Section/Output Section	1.5/4.0	°C/W		

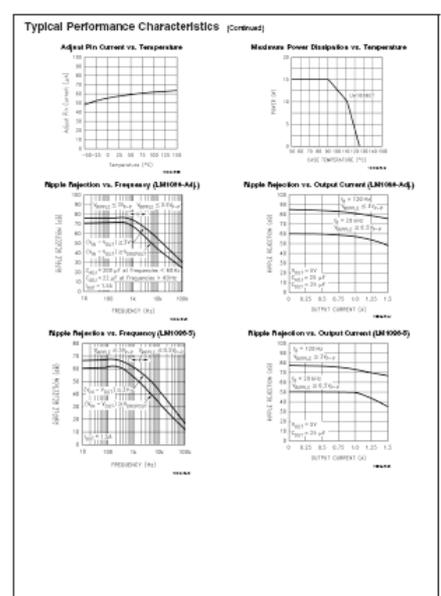
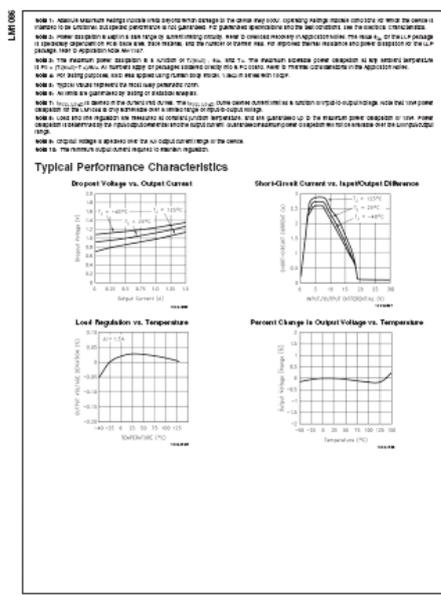


Fig. 82 Hojas de características del integrado LM1086. Por cortesía de National Semiconductors.

Se remarcan algunas de las características técnicas del regulador, presentes en las hojas de características:

- Tensión de referencia típica: 1,25 voltios
- Regulación de línea máxima: 0,2 %
- Caída de tensión máxima en el elemento de paso 1,5 voltios
- Rechazo al rizado típico: 75 dB
- Porcentaje en RMS de ruido con respecto a la tensión de salida: 0.003 %

Una vez que se ha comentado brevemente en que consiste los reguladores de tensión LM1086, es quizás el momento adecuado de presentar la circuitería que implementa las dos tensiones reguladas en la tarjeta principal.

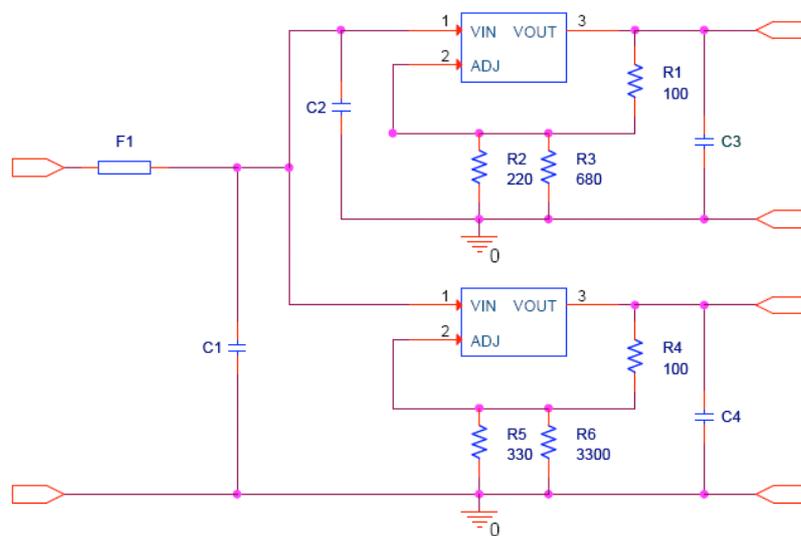


Fig. 83 Esquema de la circuitería de alimentación.

En la circuitería presentada se puede encontrar diferentes componentes con diferentes funciones.

El elemento F1 se trata de un fusible que está implementado físicamente en la tarjeta principal. Su función al igual que la de todos los fusibles es proteger a la placa de excesos de corriente como puede ser cuando arrancan las fuentes de alimentación del cofre o en el caso de que por un cortocircuito o mal funcionamiento de la placa esta desarrollase una corriente elevada para lo cual no ha sido diseñada. En este caso también se estará protegiendo a las fuentes del cofre de una fatiga por exceso de corriente demanda por alguna tarjeta que no este funcionando correctamente.

El condensador C1 sirve para filtrar las señales de alterna presentes en el bus de alimentación del *backplane*, por eso su posición natural es lo más cercana a los conectores del bus de alimentación en el zócalo de 32 pines. Este condensador al igual que el fusible también se encuentra implementado en la tarjeta principal.

Los condensadores C3 y C4 tienen cuatro funciones principales:

- La primera es que filtran cualquier residuo de señal de alterna que pueda aparecer a la salida de los reguladores.
- La segunda es que estabilizan el lazo de realimentación negativa que se encuentra en el interior del regulador, introduciendo un cero en su diagrama de Bode.
- La tercera es que el condensador ayuda al regulador a estabilizar la tensión de circuito. Debido al funcionamiento intrínseco del condensador, este almacena carga en su interior, y por tanto es capaz de liberar la carga al circuito en forma de corriente. En entornos de microprocesadores/microcontroladores es usual periodos alternos muy rápidos en los que se demanda mucha corriente y otras veces muy poca corriente. Un elemento que almacena carga y que puede ir liberando corriente a la circuitería de una forma ordenada y suave ayuda al regulador a mantener la tensión de salida. A efectos prácticos, el regulador ve a su salida una tensión con respecto a masa que presenta unas variaciones en su valor bastante lentas. Como se puede imaginar, cuanto mayor sea la capacidad del condensador, más lentas serán las variaciones.
- La cuarta función es consecuencia de las anteriores y consiste en una mejora de la respuesta transitoria del regulador. La respuesta transitoria es la capacidad que muestra el regulador a absorber los cambios de tensión que se producen en la circuitería. La respuesta transitoria es conveniente que sea rápida, para que el regulador sea capaz de variar la tensión de salida del mismo siguiendo la variación de corriente demandada por el circuito

El regulador presentado en la parte superior del circuito es el regulador que se encuentra más alejado de la tensión de alimentación que entra en la placa, como consecuencia de esto es recomendación del fabricante incluir el condensador C2

Las resistencias R1, R2 y R3 son las encargadas de fijar la tensión de salida del regulador 1.

Las resistencias R4, R5 y R6 fijan la tensión de salida del regulador 2.

Las tensiones de salida del regulador se fijan de una forma bastante sencilla y para ello se muestran los cálculos que permiten obtener las tensiones de regulación.

Primeramente se debe conocer que debido a la implementación interna del LM1086 la tensión de referencia de 1,25 voltios se establece entre la patilla de salida y la patilla de ajuste. Entre estas patillas se coloca una resistencia para cada uno de los reguladores, R1 y R4. Y entre la patilla de ajuste y la masa se colocan dos resistencias R2 y R3 para el regulador 1 y R5 y R6 para el regulador 2. Realmente con una sola resistencia sería suficiente, sin embargo el fabricante ha decidido montar dos, quizás por el hecho de que no exista una resistencia con el valor nominal necesario y mediante el paralelo de dos resistencias se consiga un valor más cercano al buscado.

La tensión entre la salida de cada integrado y masa será igual a la suma de los potenciales que caen en la resistencia que une la patilla de salida con la de ajuste y las resistencias que unen la patilla de ajuste con la masa. El potencial que cae en R1 y R4 se conoce puesto que son los 1,25 voltios, sin embargo el potencial que cae entre la patilla de ajuste y masa es lo que se deberá calcular.

El potencial que cae entre la patilla de ajuste y masa es el potencial que provocan la corriente que circula por R1 y R4 más la corriente que circula por la patilla de ajuste. Sin embargo la corriente que circula por la patilla de ajuste se podrá despreciar tal como se muestra a continuación.

Si se divide los 1,25 voltios entre los 100 ohmios del valor de la resistencia R1 y R4 se obtiene una corriente de 12,5 mA, que comparados con los 120 µA máximos que circulan por la patilla de ajuste, se podrá decir sin miedo a cometer un error considerable, que la caída de potencial que se produce entre la patilla de ajuste y masa es debida a la corriente que circula por R1 y R4.

Primer regulador: 3,3 voltios

$$R_{eq1} = \frac{1}{\frac{1}{R_2} + \frac{1}{R_3}} = \frac{1}{\frac{1}{220} + \frac{1}{680}}; R_{eq1} = 166\Omega;$$

$$I_{R1} = \frac{V_{R1}}{R_1} = \frac{1,25}{100} = 1,25mA;$$

$$V_{Req1} = I_{R1} \cdot R_{eq1} = 1,25 \cdot 166 = 2,075V;$$

$$V_{out1} = V_{R1} + V_{Req1} = 3,325V$$

Segundo regulador: 5 voltios

$$R_{eq2} = \frac{1}{\frac{1}{R_5} + \frac{1}{R_6}} = \frac{1}{\frac{1}{330} + \frac{1}{3300}}; R_{eq2} = 300\Omega$$

$$I_{R2} = \frac{V_{R4}}{R_4} = \frac{1,25}{100} = 12,5mA;$$

$$V_{Req2} = I_{R2} \cdot R_{eq2} = 12,5 \cdot 300 = 3,75V;$$

$$V_{out2} = V_{R4} + V_{Req2} = 5V$$

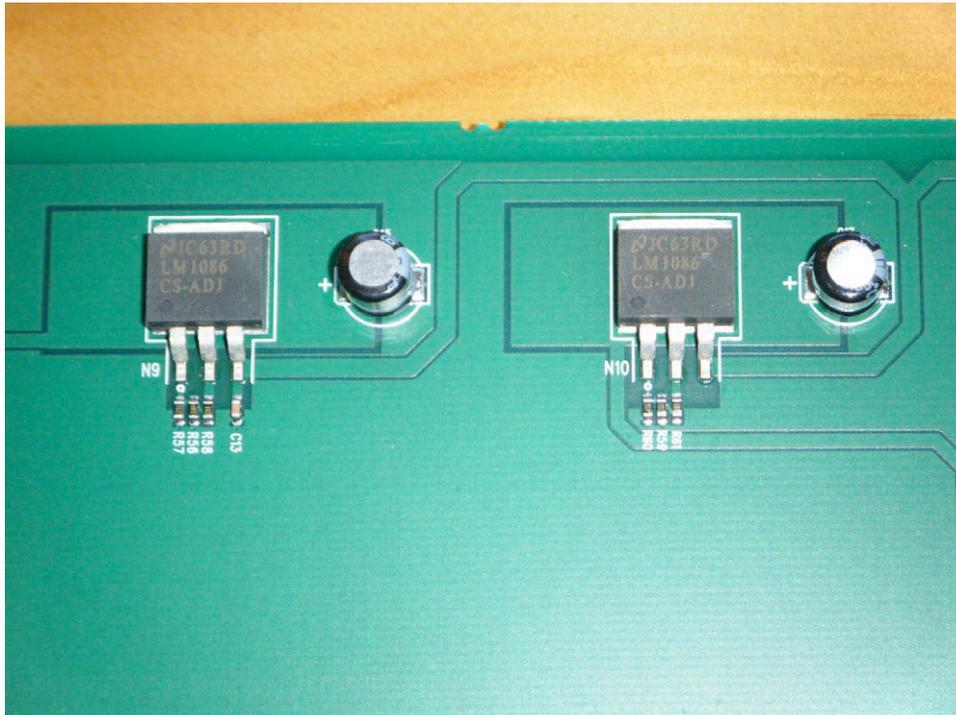


Fig. 84 Fotografía de la circuitería de alimentación.

- Entorno del microcontrolador: El entorno del microcontrolador está formado por un sistema basado en un microcontrolador Infineon C161PI y de diferentes bloques externos que implementan diferentes funciones. Los bloques se han agrupado según sus funciones para una comprensión básica del entorno del microcontrolador. Los diferentes bloques en los que se ha separado la circuitería podrán ser tanto circuitos integrados que desempeñan una función, como diferentes elementos discretos que implementan funciones. En la siguiente segmentación se describe el elemento fundamental que caracteriza el bloque, si bien debe quedar claro que el bloque está constituido de otra cantidad de elementos que se comentaran posteriormente.
  - Bloque de memorias: Constituido de dos chips de memoria RAM Samsung K6X4008TIF y una memoria flash Intel JS28F320J3D75.
  - Bloque del reloj del entorno del microcontrolador. Implementado mediante un oscilador de 40 MHz a partir del cual se obtiene la frecuencia de funcionamiento del microcontrolador.
  - Bloque de señalización de estado. Formado de tres diodos luminosos en la parte frontal de la placa que indican si la placa está trabajando correctamente, si existe algún tipo de advertencia acerca del funcionamiento de la placa o si existe algún error en el funcionamiento de la placa.
  - Bloque de reset. Implementado con el integrado Maxim MAX6417, con el cual se controla el reseteo del sistema

- Bloque de comunicaciones con el cofre. Se establece un bus de datos entre el entorno del microcontrolador y el cofre mediante el uso del conector principal implementado en la tarjeta.
- Bloque de comunicaciones para diferentes operaciones sobre el microcontrolador. Sobre la placa principal se implementa un pequeño conector que permite realizar diferentes tareas sobre el microcontrolador conectando otro sistema al entorno del mismo, mediante un cable y el conector pertinente.

En la siguiente figura se muestra el esquema del entorno del microcontrolador. Nuevamente se ha obtenido dicho esquema a partir de la circuitería. Cabe constatar la enorme dificultad que ha resultado en este caso la obtención del esquema y no se descarta la existencia de algún error. No obstante se ha puesto especial interés en los elementos más importantes para conseguir un alto grado de fidelidad con respecto al diseño original. De esta forma, la explicación que a continuación se proporcionará de los elementos y su funcionamiento se aproxima en un alto grado con la realidad.

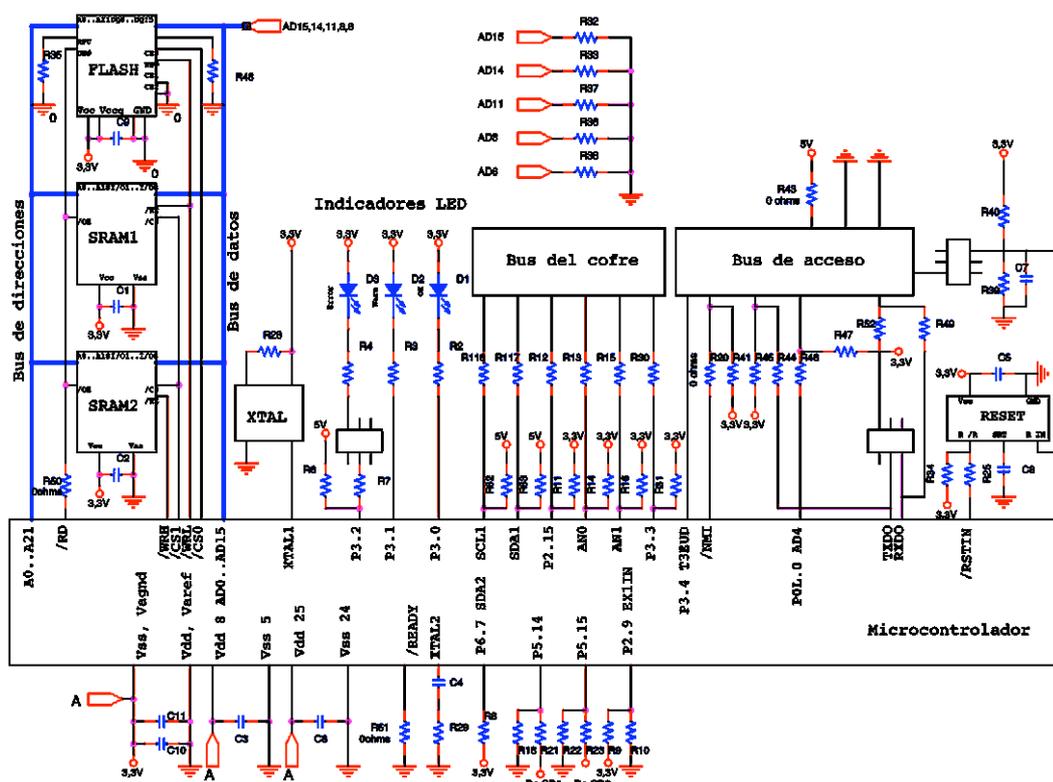


Fig. 85 Esquema del entorno del microcontrolador en la tarjeta IQSDA10.

- o Microcontrolador Infineon C161PI: El microcontrolador que se implementa en la placa es el Infineon C161 PI. Con respecto al microprocesador, no se comentará nada, debido a que un estudio del mismo, excedería los propósitos de este PFC. En cualquier caso, se recomienda ante la menor duda consultar la diferente documentación acerca de este microcontrolador, que se puede encontrar en la página del fabricante.

## C161PI

Consumer Class 16-bit Microcontroller

THE C161PI is a new 16-bit entry-level microcontroller particularly well suited for low cost, low power and high performance Consumer or Telecom applications.

BASED ON our C166 core, this flexible microcontroller comes with a host of useful peripherals, such as on-chip Real Time Clock, fast 10-bit ADC, as well as various clock generation schemes. It also incorporates serial interfaces, such as I2C and USART, making communications easy with other devices in target applications.

THIS COMBINATION of carefully selected features together with flexible power management provides designers with the required flexibility and an excellent price-performance ratio-improving system performance while lowering system costs.

**Key Features**

- High Performance 16-bit CPU with 4-stage Pipeline
- 80 ns Instruction Cycle Time at 25 MHz CPU Clock
- 400 ns Multiplication (16 x 16 bit) 800 ns Division (32/16 bit)
- Enhanced Boolean Bit Manipulation Facilities
- Additional Instructions to Support HLL and Operating Systems
- Clock Generation via on-chip Phase Locked Loop (PLL), via Prescaler or via Direct Drive
- Register-Based Design with Multiple Variable Register Banks
- Single Cycle Context Switching Support
- 3 KByte On-Chip RAM
- 8 MByte Total Linear Address Space for Code and Data
- Programmable External Bus Characteristics for Different Address Ranges
- 8-bit or 16-bit External Data Bus
- Multiplexed or Demultiplexed External Address/Data Bus
- 5 Programmable Chip Select Signals
- 1024 Byte On-Chip Special Function Register Area
- Idle and Power-Down Modes with Flexible Power Management
- Programmable Watchdog and Oscillator Watchdog
- On-Chip Real Time Clock

- I<sup>2</sup>C Bus Interface (10-bit Addressing, 400 kHz) with 2 Channels (Multiplexed)
- 2 Multi-Functional General Purpose Timer Units with 5 Timers
- Two Serial Channels (Synchronous / Asynchronous and High Speed Synchronous)
- 4-Channel 10-bit A/D Converter
- 16 Priority-Level Interrupts System with 27 Sources
- 8-Channel Interrupt-Driven Single-Cycle Data Transfer Facilities via Peripheral Event Controller (PEC)
- Up to 76 General Purpose I/O Lines
- 3 V Operation (max. CPU Clock of 20 MHz)
- On-Chip Bootstrap Loader
- Supported by a Large Range of Development Tools
- 100-Pin MQFP/TQFP Green Package
- Temperature ranges:  
Standard: 0°C to +70°C  
Extended: -40°C to +85°C



Product Brief

C161PI Block Diagram

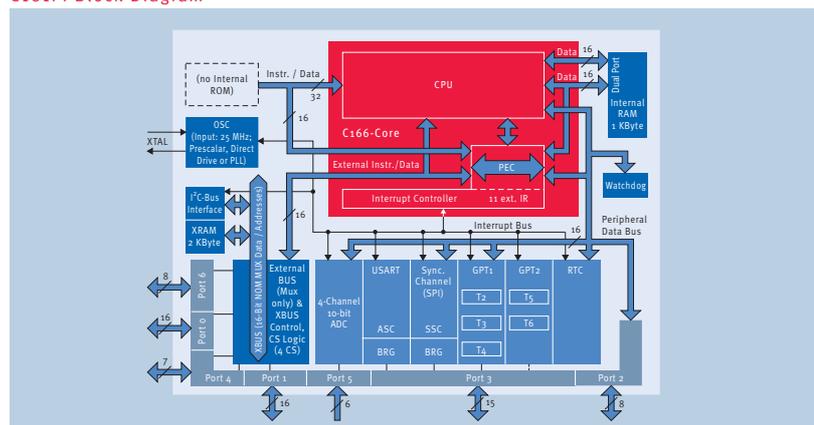


Fig. 86 Hojas de características técnicas del microcontrolador C161PI. Por cortesía de Infineon.

o Bloque de memorias:

- Memorias SRAM Samsung K6X4008T1F: Las memorias SRAM implementadas en el entorno del microcontrolador poseen una capacidad de 512K direcciones con un alojamiento de 8 bits por dirección. Están implementadas con tecnología CMOS, aceptando tensiones de alimentación entre 2,7 y 3,6 voltios y sus salidas son triestado.

**K6X4008T1F Family**

**CMOS SRAM**

**512Kx8 bit Low Power and Low Voltage CMOS Static RAM**

**FEATURES**

- Process Technology: Full CMOS
- Organization: 512Kx8
- Power Supply Voltage: 2.7-3.6V
- Low Data Retention Voltage: 2V(Min)
- Three State Outputs
- Package Type: 32-SOP-525, 32-TSOP2-400F/R, 32-TSOP1-0813.4F

**GENERAL DESCRIPTION**

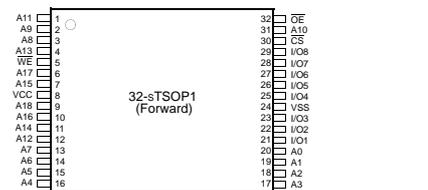
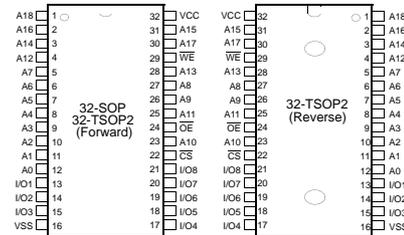
The K6X4008T1F families are fabricated by SAMSUNG's advanced full CMOS process technology. The families support various operating temperature range and have various package types for user flexibility of system design. The families also support low data retention voltage for battery back-up operation with low data retention current.

**PRODUCT FAMILY**

Product Family	Operating Temperature	Vcc Range	Speed	Power Dissipation		PKG Type
				Standby (I <sub>sb1</sub> , Max)	Operating (I <sub>cc2</sub> , Max)	
K6X4008T1F-B	Commercial(0-70°C)	2.7-3.6V	55 <sup>1)</sup> /70 <sup>2)</sup> /85ns	10µA	25mA	32-SOP-525, 32-TSOP1-0813.4F 32-TSOP2-400F/R
K6X4008T1F-F	Industrial(-40-85°C)			10µA		
K6X4008T1F-Q	Automotive(-40-125°C)		70 <sup>2)</sup> /85ns	30µA		32-SOP-525, 32-TSOP1-0813.4F 32-TSOP2-400F

1. This parameter is measured in the voltage range of 3.0V-3.6V with 30pF test load.  
2. This parameter is measured with 30pF test load.

**PIN DESCRIPTION**



Name	Function	Name	Function
A <sub>0</sub> -A <sub>18</sub>	Address Inputs	V <sub>cc</sub>	Power
WE	Write Enable Input	V <sub>ss</sub>	Ground
CS	Chip Select Input	I/O <sub>1</sub> -I/O <sub>8</sub>	Data Inputs/Outputs
OE	Output Enable Input		

**FUNCTIONAL BLOCK DIAGRAM**

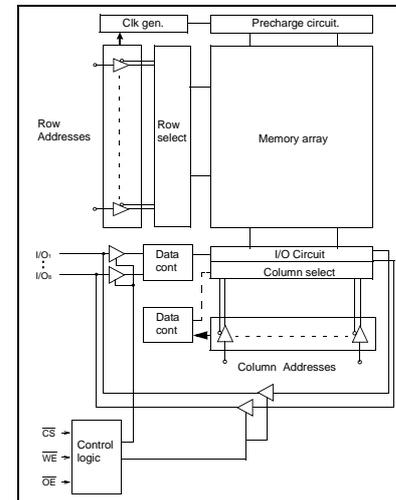


Fig. 87 Hoja de características de las memorias Samsung K6X4008T1F. Por cortesía de Samsung.

Los pines de la memoria se dividen de la siguiente forma:

- 1) Pines de la dirección de la memoria (A0..A18): En la memoria existen 19 pines con lo cual se pueden direccionar hasta  $2^{19}$  direcciones es decir 524288 direcciones o si se divide entre 1024 ( $2^{10}$ ) un total de 512K direcciones. En estos pines es en donde se coloca la dirección de la memoria a la cual se quiere acceder.
- 2) Pines de entrada/salida de la memoria ( I/O1..I/O8): Son los pines de los datos que entran o salen de la memoria. Como son 8 pines el alojamiento de esta memoria será de 8 bits por dirección. Estos pines actúan tanto de entrada como salida y son desde los que se obtiene el contenido de una dirección de memoria o desde los que se almacena un contenido en una dirección de memoria. Para discernir entre la lectura o escritura (modo de trabajo) se utiliza una circuitería de control (*control logic*) implementada en la propia memoria.
- 3) Pines de control (*write enable input, chip select input, output enable input*): Son los pines que tienen acceso a la circuitería de control y mediante los cuales se maneja el modo de funcionamiento de la memoria.
- 4) Pines de la alimentación (Vcc, Vss): Son los pines desde los cuales la memoria recibe la alimentación necesaria para su funcionamiento. El pin Vcc es al que se conecta el potencial positivo de la alimentación y el pin Vss se conecta a la masa de la circuitería digital.

En la siguiente tabla se puede observar el funcionamiento de la memoria basándose en los datos que recibe la circuitería de control a través de los tres pines de control.

Las memorias SRAM están implementadas con salidas triestado, lo cual significa que uno de los tres niveles de salida de la misma coincide con una alta impedancia.

**FUNCTIONAL DESCRIPTION**

CS	OE	WE	I/O	Mode	Power
H	X <sup>1)</sup>	X <sup>1)</sup>	High-Z	Deselected	Standby
L	H	H	High-Z	Output Disabled	Active
L	L	H	Dout	Read	Active
L	X <sup>1)</sup>	L	Din	Write	Active

1. X means don't care (Must be in low or high state)

Fig. 88 Tabla de verdad de la memoria Samsung K6X4008T1F. Por cortesía de Samsung.

- Memoria Flash Intel JS28F320J3D75: La memoria flash es implementada en el sistema como consecuencia de la no existencia de una memoria ROM interna en el microcontrolador. En la memoria flash, se cargan todas las líneas de código del programa que se ejecutarán posteriormente en el microcontrolador. El proceso de carga del programa en la memoria flash se realiza en el modo *bootstrap load* que se comentará posteriormente.

En el siguiente diagrama de bloques se puede observar que la memoria flash tiene un funcionamiento y una implementación similar al de las memorias RAM antes mostradas. Siendo una de las pocas diferencias reseñables, la capacidad de almacenar los datos en cada una de sus celdas de una manera indefinida, cuando se interrumpe la alimentación a la memoria.

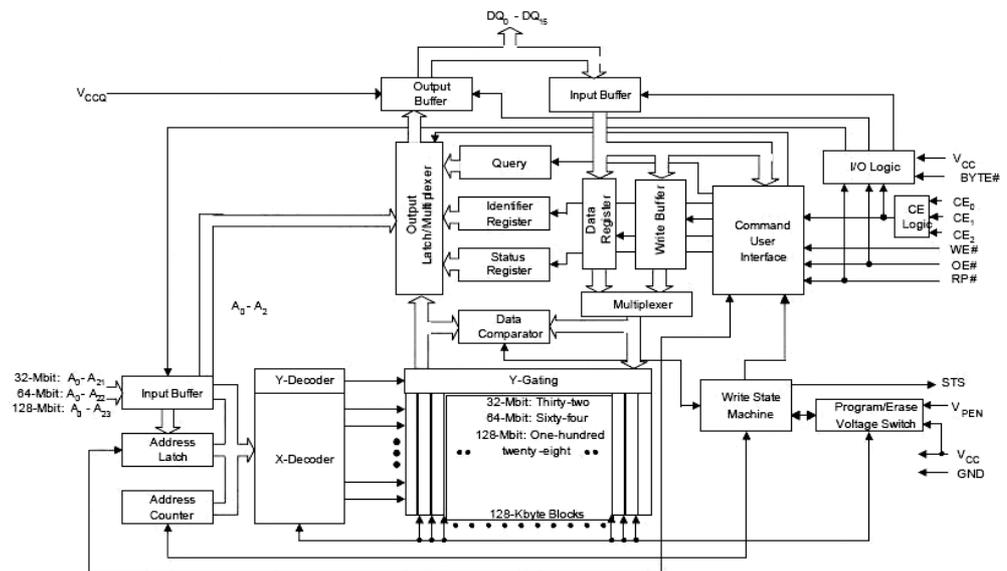


Fig. 89 Memoria Intel JS28F320J3D75. Por cortesía de Intel.

La capacidad de la memoria es de 32 Mbits que se obtienen a partir de las  $2^{21}$  líneas que es capaz de direccionar mediante el bloque *X-decoder* y los 16 bits que puede almacenar por cada línea, a los cuales se van dando acceso mediante el bloque *Y-decoder*. Sin embargo una particularidad bastante interesante de esta memoria flash es que aun siendo una memoria de 16 bits puede trabajar en un modo de funcionamiento de 8 bits. Para comprender esta particularidad se presenta a continuación la forma de trabajo en un sistema de 16 bits y de 8 bits, teniendo en cuenta que los pines de la memoria que controlan el modo de trabajo son el *byte#* y *A0*.

En los sistemas de 16 bits se conectarán los 16 pines de datos  $D[15..0]$  al microcontrolador correspondiente. *Byte#* se conectará a  $V_{cc}$  y *A0* se podrá dejar flotante. En este modo de trabajo cuando el microcontrolador posicione una dirección en los pines  $A[21..1]$  en los pines de datos se podrá leer o escribir

en los 16 pines, D[15..0], para que se obtengan o se escriban los bits correspondientes a dicha dirección de memoria.

En los sistemas de 8 bits, tan sólo se conectarán los 8 primeros pines de datos de la memoria, D[7..0], al microcontrolador, y los restantes pines, D[15..0], se podrán dejar flotantes ya que la memoria actuara sobre sus buffers para ponerlos en la alta impedancia del triestado de cada pín de datos. Pese a que el sistema es de 8 bits (con tan solo 8 pines de datos conectados), la memoria internamente sigue siendo de 16 bits, con lo cual para poder acceder a los dos bytes lógicos presentes en cada dirección de la memoria, se utilizará el pín de direcciones A0, que estando a nivel bajo accede al byte lógico bajo, y estando a nivel alto accede al byte lógico alto de la dirección a la que se accede. Por lo tanto el byte lógico presente en cada momento en los pines D[7..0] se almacenará o se tendrá acceso a él en la memoria, según se marque con el pín A0.

En el sistema de la tarjeta de Snell, el microcontrolador trabaja a 16 bits y por tanto la memoria se configurará en el modo de trabajo de 16 bits.

Los pines que se pueden encontrar en este integrado son los siguientes:

- 1) Pin A0: Este pin se utiliza para seleccionar entre el byte bajo lógico y el byte alto lógico que conforman cada palabra de 16 bits en cada una de las direcciones de la memoria. Su funcionamiento está restringido a la activación del modo de trabajo de 8 bits mediante el pin Byte#
- 2) Pines A[Max..1]: Los pines del A<sub>1</sub> al A<sub>Max</sub> son los pines que dan acceso al decodificador de la memoria flash para posicionarse en la dirección indicada mediante estos pines. La dirección de memoria que se introduce a través del buffer de entrada (*Input buffer*) es bloqueada por un periodo de programa en el registro *Address match*, antes de pasar a los decodificadores de la memoria, los cuales decodificaran la dirección de entrada para situar el punto de lectura o escritura en la posición correspondiente de las celdas de almacenamiento.

La capacidad de la memoria flash viene determinada por el último pin utilizado por la memoria mediante la siguiente expresión  $2^n \times 16\text{bits}$ :

- Si n=21 la memoria tiene una capacidad de 32 Mbits
  - Si n=22 la memoria tiene una capacidad de 64 Mbits
  - Si n=23 la memoria tiene una capacidad de 128 Mbits
  - Si n=24 la memoria tiene una capacidad de 256 Mbits.
- 3) Pines D[7..0]: Los pines denominados D[15..0] son los pines destinados al flujo de datos entre la memoria flash y el microcontrolador. Al igual que

sucedía con las memorias RAM, el flujo de datos se establece a través de pines bidireccionales que pueden funcionar como pines de entrada o de salida según se les marque con la circuitería lógica integrada en la memoria. Los pines D[7..0] se utilizan en el modo 8 bits para lectura o escritura en la memoria del byte menos significativo. En el modo 16 bits se leen o escriben en la memoria los 8 primeros bits que conforman la palabra de 16 bits.

- 4) Pines D[15..8]: Estos pines se utilizan en el modo 8 bits, para leer o escribir en la memoria el byte más significativo. En el modo 16 bits se utilizan para la lectura o escritura de los 8 bits más altos que conforman la palabra de 16 bits. Se podría decir que mientras que en el modo 8 bits, los pines de datos se dividen en dos paquetes (los pines del byte de baja y los pines del byte de alta) en el modo 16 bits realmente se observan los 16 pines como un conjunto de pines dedicados a la lectura y escritura de las palabras que se alojan en cada dirección de memoria. Como se puede intuir el pín A0 no tiene ninguna función en el modo 16 bits.

Los pines mostrados hasta ahora pertenecían a los pines que permiten fijar la dirección a la memoria a la que se accede, y los datos que existen en dicha dirección o los datos que se quieren escribir en esta dirección. Los pines que se muestran a continuación pertenecen al control sobre la circuitería lógica implementada en la memoria Flash y que en definitiva controlan el funcionamiento de la memoria.

- 5) Pines CE[2..0]: Existen 3 pines de *Chip enable* en la memoria. Estos pines a su vez alimentan el bloque denominado *CE logic* y que dependiendo de las entradas de cada uno de los pines y de la función lógica programada en la circuitería lógica, generará una señal de salida que alimenta tanto al bloque *I/O logic* como a *Command user interface*. Estos pines colaboran en la activación de diferentes elementos en la memoria (lógica de control, buffers de entrada, decodificadores, etc....) de tal forma que cuando la señal de control de *chip enable* resultante no se encuentre a nivel alto el integrado se pone en modo *standby*
- 6) Pin RP#: Este pin tiene como función resetear el integrado. Cuando está activo a nivel bajo resetea el proceso que se está ejecutando en el integrado y lo apaga. Cuando está a nivel alto, el pin no tiene acción alguna sobre el integrado, funcionando este con total normalidad. Alimenta tanto a los bloques de *I/O logic* como al del *Command user interface*.
- 7) Pin OE# Este pin activa, a nivel bajo, los pines de datos en el modo de salida, permitiendo acceder a los datos almacenados en la memoria en el modo lectura. Actúa sobre el buffer de entrada y el de salida de datos, a

través de la circuitería *I/O Logic*, además alimentar al bloque de *Command user interface*.

- 8) Pin WE# Activa el modo escritura de la memoria, mediante el cual se procede a programar la memoria flash. Para ello actúa sobre los bloques *Command user interface*, *write buffer* y *data register*.
- 9) Pin Byte# Tal como se vio anteriormente este pin selecciona el modo de funcionamiento de la memoria. Los dos modos posibles son 16 u 8 bits, con la característica de que en el modo 8 bits, tan sólo se puede leer o escribir en la memoria a través de los pines D[7..0]. Recordar que en este modo de funcionamiento, la memoria internamente sigue trabajando a 16 bits, y es con el pin A0 con el que se selecciona el byte lógico alto o bajo que se leerá o escribirá a través de los pines D[7..0].

Los pines anteriormente mostrados son los pines que actúan sobre la circuitería lógica interna y son los que mayoritariamente configuran el modo de trabajo de la memoria. Los pines que se muestran a continuación controlan el bloque del *Write status machine* que es el bloque encargado de controlar la escritura en la memoria.

- 10) Pin STS Muestra el estado del bloque *Write state machine* conforme a la función de estado a mostrar que se ha asociado a este bloque. Mediante este pin se muestra el estado del bloque WST, asociando funciones de estado que representan diferentes procesos cuyo estado se pueda representar mediante dos estados. Por ejemplo finalización de la programación, finalización completa del borrado, disponibilidad del sistema para la escritura, ocupación del sistema en tareas de escritura, etc.... La función a programar en el bloque *Write state machine* puede ser seleccionable entre diferentes funciones de estado. A nivel físico la salida del pin STS está implementada con un transistor en una topología de drenador abierto, por lo que será necesario colocar una resistencia de pull up, para que circule la corriente por el transistor cuando esté funcionando.
- 11) Pin VPEN Con este pin se indica el tipo de escritura que se va a realizar en la memoria. En el modo borrado, se procederá a borrar los bloques señalados. En el modo programación, se escribirá las líneas de código que albergará el programa que ejecutará el microcontrolador. En el modo de protección se protegerá la memoria contra borrados o sobreescrituras accidentales. Este pin solo tiene utilidad cuando esté activado el pin WE#.

Para finalizar se muestran los pines que proveen de alimentación y de masa al integrado.

- 12) Pin Vcc Proporciona la tensión principal de alimentación, utilizada mayormente por las diferentes circuiterías lógicas implementadas en el integrado.
- 13) Pin VccQ Proporciona la tensión de alimentación de los buffers de entrada y de salida implementados en el integrado. Se puede unir directamente con Vcc.
- 14) Pin Gnd Proporciona una referencia de masa al integrado, necesaria para la correcta interpretación de los niveles lógicos que maneja el integrado.

En la siguiente tabla se muestra las conexiones existentes entre las memorias y el microcontrolador. Los nombres utilizados son los nombres que se utilizan por el fabricante para denominar cada una de las patillas de los componentes

	<b>uControlador</b>	<b>SRAM 1</b>	<b>SRAM 2</b>	<b>FLASH</b>
<b>Direcciones de memoria</b>				
	P1L.0 A0	-	-	A0
	P1L.1 A1	A0	A0	A1
	P1L.2 A2	A1	A1	A2
	P1L.3 A3	A2	A2	A3
	P1L.4 A4	A3	A3	A4
	P1L.5 A5	A4	A4	A5
	P1L.6 A6	A5	A5	A6
	P1L.7 A7	A6	A6	A7
	P1H.0 A8	A7	A7	A8
	P1H.1 A9	A8	A8	A9
	P1H.2 A10	A9	A9	A10
	P1H.3 A11	A10	A10	A11
	P1H.4 A12	A11	A11	A12
	P1H.5 A13	A12	A12	A13
	P1H.6 A14	A13	A13	A14
	P1H.7 A15	A14	A14	A15
	P4.0 A16	A15	A15	A16
	P4.1 A17	A16	A16	A17
	P4.2 A18	A17	A17	A18
	P4.3 A19	A18	A18	A19
	P4.4 A20	-	-	A20
	P4.5 A21	-	-	A21
<b>Datos de memoria</b>				
	P0L.0 AD0	I/O1	-	DQ0
	P0L.1 AD1	I/O2	-	DQ1
	P0L.2 AD2	I/O3	-	DQ2
	P0L.3 AD3	I/O4	-	DQ3
	P0L.4 AD4	I/O5	-	DQ4
	P0L.5 AD5	I/O6	-	DQ5
	P0L.6 AD6	I/O7	-	DQ6
	P0L.7 AD7	I/O8	-	DQ7
	P0H.0 AD8	-	I/O1	DQ8
	P0H.1 AD9	-	I/O2	DQ9
	P0H.2 AD10	-	I/O3	DQ10
	P0H.3 AD11	-	I/O4	DQ11
	P0H.4 AD12	-	I/O5	DQ12
	P0H.5 AD13	-	I/O6	DQ13
	P0H.6 AD14	-	I/O7	DQ14
	P0H.7 AD15	-	I/O8	DQ15
<b>Control de memoria</b>				
	/WR /WRL	/WE	-	WE#
	/RD	/OE	/OE	OE#
	P6.1 /CS1	/CS	/CS	-
	P3.12 /BH3 /WRH	-	/WE	-
	P6.0 /CS0	-	-	CE0

Fig. 90 Tabla de conexiones de las memorias y el microcontrolador.

- o Bloque del reloj del sistema: El reloj del sistema se implementa a partir de un oscilador de la marca Advanced Crystal Technology, modelo ACT9200. La frecuencia de oscilación es de 40 MHz.

El oscilador está provisto de cuatro patillas: OE, Ground, Output y Vdd. La patilla Vdd y Ground es entre las que se conecta la alimentación, concretamente en la patilla Vdd se conectarán los 3,3 voltios del sistema y en Ground se conecta la masa digital del sistema. La patilla Output es la patilla que proporciona la señal de reloj al microcontrolador y es la que se conecta a la patilla XTAL1 del mismo.

La patilla OE (*Output Enable*) es una entrada triestado que habilita o deshabilita la salida del oscilador. Según la tensión que aparezca en esta patilla, así se actuará sobre la salida. Las diferentes opciones que se tiene sobre esta patilla son: dejarla sin conectar, conectarla a una tensión superior al 90% de Vdd (unos 3 voltios) o conectarla a una tensión inferior al 10% de Vdd (unos 0.3 voltios). En el caso de dejarla sin conectar la salida está habilitada, al igual que en el caso de alimentar la patilla con una tensión superior a 3 voltios. Sin embargo en el caso de alimentar esta patilla con una tensión inferior a 0,3 voltios, la salida se deshabilita ofreciéndose una alta impedancia en ella. En el circuito implementado la patilla OE está unida con la patilla Vdd a través de la resistencia R28, estando la salida habilitada de forma permanente.

El resto de características del oscilador se pueden conocer sabiendo que el oscilador está serigrafado con el código: BBCHJP

**Advanced Crystal Technology**

tel : +44 118 979 1238  
 fax : +44 118 979 1283  
 email : info@actcrystals.com

**ACT9200 CLOCK OSCILLATOR**

The ACT9200 family is a miniature, low profile SMD package, with a ceramic base utilising a seam welded metal lid for high reliability and better long-term stability. The metal lid is grounded through the package to assist with EMI emission reductions. This 7x5mm device is available as the ACT9200 in both 3V3 and 5V0. 1V8 and 2V5 versions are available as ACT9200L (See ACT9200L data sheet). A 32.768kHz version is available as the 9200WIC (See 9200WIC data sheet). Taped and reeled packaging (1k reels) and loose quantities are available for purchase, to suit high and low volume production.

Compatible with Eu Directive 2002/95 - RoHS

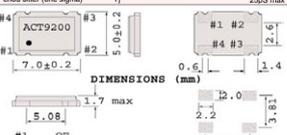


Parameter	Symb.	Specification	Condition
Supply Voltage	Vdd	3.3Vcc ± 10%	5.0Vcc ± 10%
Frequency Range	f0	1.000 - 200.00 MHz	1.000 - 40.0 DMHz
Frequency Stability	±f/f0	±10ppm ±100ppm (Table 1) (Note 1)	Please specify
Temp Operating Range	Topr	0 - +70°C standard to -40 - +85°C (Table 1) (Note 1)	Please specify
Temp Storage Range	Tstg	-55 to +125°C	
Supply Current (max)	Iop	16mA (1.000 - 34.999 MHz)	25mA (1.000 - 40.000 MHz)
		25mA (35.000 - 60.000 MHz)	
		40mA (60.001 - 99.999 MHz)	
		50mA (100.00 - 150.00 MHz)	
60mA (155.01 - 200.00 MHz)			
Duty Cycle	Twt	40(60% (Std) & 45(55% available)	Please specify
Output Level '0'	VOL	0.4Vcc max (TTL) 10% Vcc max (HCMOS)	
Output Level '1'	VOH	2.4Vcc min (TTL) 90% Vcc min (HCMOS)	
Rise & Fall Time (max)	TtR/TtF	10nS (1.000 - 34.999 MHz) 5nS (35.00 - 99.999 MHz)	
Output Load	NiCL	2.5nS (100.00 - 200.00 MHz) 10TTL / 150pF (30pF available)	
Start-up Time	Tosc	10nS max	
Tri-state Input Voltage		No Connection VIN > 90% of VDD VIL < 10% of VDD	Enable output Enable output Disable output - High Impedance
Aging	Fa	±5ppm ±3ppm option	first year max @25°C
Period Jitter (Absolute)	Tj	100pS max @ 1.0MHz	Other frequencies - see Note 3 below
Period Jitter (one sigma)	Tj	25pS max @ 1.0MHz	Other frequencies - see Note 3 below

**APPLICATIONS**

- Microprocessor clock
- PDA / notebook
- Wireless applications
- Audio
- Gigabit ethernet
- Fibre channel
- Instrumentation

**DIMENSIONS (mm)**



**Pad surface Material Au**

**Land Pattern**



**NOTE 1:** Inclusive of Temperature range, Tolerance @ 25°C, Aging, Vdd variation & Load variation.  
**NOTE 2:** To reduce HF power supply noise, an external bypass capacitor of 0.01µF close to ground and Vdd is recommended.  
**NOTE 3:** Typical (max) Jitter values in pS:

	RMS(1 sigma)	Absolute (PK-PK)
25MHz	6.3 (10)	17.8 (28)
33MHz	5.2 (10)	14.7 (28)
60MHz	3.7 (5.0)	10.5 (14.0)
100MHz	1.0 (3.0)	2.8 (8.4)

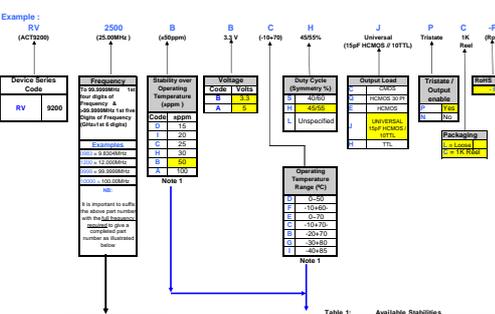
Please note that all parameters can not necessarily be specified in the same device  
 Customer to Specify : Frequency, Frequency Stability, Operating Temperature Range, Output Type, Output enable, Voltage, Duty Cycle  
 In line with our ongoing policy of product evolution and improvement, the above specification is subject to change without notice.  
 ISO9001:2000 Registered  
 For quotations or further information please contact us at:  
 3 The Business Centre, Molly Millars Lane, Wokingham, Berks, RG41 2EY, UK  
 http://www.actcrystals.com

**Advanced Crystal Technology**

tel : 0044 (0) 118 979 1238  
 fax : 0044 (0) 118 979 1283  
 email : info@actcrystals.com

**ACT SMD CLOCK OSCILLATORS - PART NUMBERING**  
 Highlight = Standard Specification / Parameter

Example: RV 9200 B 2500 B 3.3V C H 4555 J Universal (15pF HCMOS # TOTTL) P C K -SF



**Table 1: Available Stabilities**

Code	10ppm	20ppm	±30ppm	±50ppm	±100ppm
A					
B					
C					
D					
E					
F					
G					
H					
I					
J					
K					
L					
M					
N					
O					
P					
Q					
R					
S					
T					
U					
V					
W					
X					
Y					
Z					

**NOTES:**

- Note 1: Inclusive of Temperature range, Tolerance @ 25°C, Aging, Vdd variation & Load variation.
- Tighter Stabilities, Duty Cycles, Supply Voltages, Output Levels and other Operating Temperature Ranges may be available. As each of these specification parameters may impact on each other, it is not always possible to combine all options in one device. Therefore, if a specification not covered for above is required, please contact us directly for assistance.
- ACT are always happy to consider truly custom specification parts which may require non-standard specification parameters, specific testing, customer required AQL requirements, non standard packaging or taping and reeling and custom marking. (MOQ DEPENDENT) Such devices would normally be allocated a custom specification (An ACT9200 device may have a part number such as RV2500C-00000000).

ISO9001 Registered  
 For quotations or further information please contact us at:  
 3 The Business Centre, Molly Millars Lane, Wokingham, Berkshire, RG41 2EY, United Kingdom  
 http://www.actcrystals.com

Fig. 91 Hoja de características técnicas del oscilador ACT9200. Por cortesía de ACT.

- Bloque de indicación de estado: El bloque de indicación de estado está formado por tres diodos LEDs (verde, amarillo y rojo) en una configuración de ánodo común y sus correspondientes resistencias. El funcionamiento es realmente sencillo. Cada uno de los diodos LED y su resistencia están unidos con una patilla del puerto 3 del microcontrolador. Así el LED de OK está unido con P3.0, el LED de WARN con el P3.1 y el LED de ERROR está unido con P3.2. El ánodo de los diodos LEDs está alimentado con la tensión de 3,3 voltios del sistema y lo que varía es la alimentación del cátodo de los diodos LEDs. Según el valor de tensión que se fije en el cátodo, cada uno de los diodos LEDs se polarizará en directa o en inversa. El elemento que varía la polarización en el cátodo de cada diodo es el microcontrolador, el cual actúa sobre cada uno de los pines del puerto 3 dependiendo de la instrucción recibida en cada uno de los pines. De esta manera el microcontrolador mediante software podrá variar la tensión existente en P3.0, P3.1 y P3.2 entre un nivel lógico alto o bajo, conforme a las instrucciones que se estén ejecutando y conforme al estado del sistema. Es tan sencillo como que el microcontrolador coloca una tensión con un nivel lógico asociado a alto o bajo en cada una de las patillas, dependiendo del LED que se quiere polarizar.

Para que se produzca la polarización del LED debe existir una diferencia de potencial de entre unos 1,7 voltios y 2,3 voltios entre ánodo y cátodo. Este margen de tensiones de polarización es debido a que dependiendo de la longitud de onda de la luz que emite el LED (el color) varía la diferencia de potencial en bornas. Así por ejemplo se puede observar que para un LED rojo y un LED verde la caída de potencial es diferente, pero siempre entorno a unos 2 voltios.

Si el ánodo está alimentado con una tensión de 3,3 voltios, el cátodo debe tener una tensión fija de alrededor de los 1,3 voltios para que el diodo LED se polarice en directa y conduzca. En caso de que en el cátodo exista una tensión mayor, el diodo no se polariza en directa y por tanto no conducirá.

Según esta idea, el microcontrolador va a decidir que LED luce y cual se apaga, simplemente variando el nivel lógico en las patillas del puerto 3. Un nivel lógico alto en cualquiera de las patillas producirá una tensión cercana a los 3 voltios, provocando que el LED no se polarice en directa, no conduciendo por tanto. Un nivel lógico bajo en cualquiera de las patillas producirá una tensión cercana a los 0,3 voltios en la patilla, lo cual sin hacer muchos cálculos se podrá afirmar que polariza al LED en directa, permitiendo que este conduzca la corriente y luciendo por tanto.

Sin embargo el diodo LED no es el único elemento importante en este bloque, las resistencias R2, R3 y R4 poseen también una función fundamental en el bloque y es que limitan la corriente que atraviesa el diodo y que entra en las patillas del puerto 3 del microcontrolador.

Supóngase que estas resistencias no existiesen y estuviesen los diodos LEDs directamente conectados a las patillas del microcontrolador. En este caso cuando el microcontrolador colocase un nivel lógico alto en las patillas, no sucedería nada, ya que el LED no se polariza en directa. Sin embargo si el microcontrolador coloca un nivel bajo, se establecería una diferencia de potencial ánodo-cátodo de 3 voltios. El LED se polarizaría en directa, drenando una gran cantidad de corriente tal como se puede observar en la siguiente figura. Esta gran cantidad de corriente podría destruir en cuestión de segundos el LED y además podría dañar al microcontrolador por un exceso de corriente que le entra.

**Las resistencias actúan limitando la corriente que circula por los LEDs y por las patillas del puerto 3.**

Sabiendo que la diferencia de potencial en el LED es de unos 2 voltios y que la tensión asociada al nivel bajo es de 0,3 voltios, se puede estimar que la diferencia de potencial en bornas de cada una de las resistencias es de un voltio aproximadamente. Conociendo este dato se puede elegir la corriente máxima que circula por cada una de las ramas de los LEDs eligiendo consecuentemente el valor de las resistencias R2,R3 y R4.

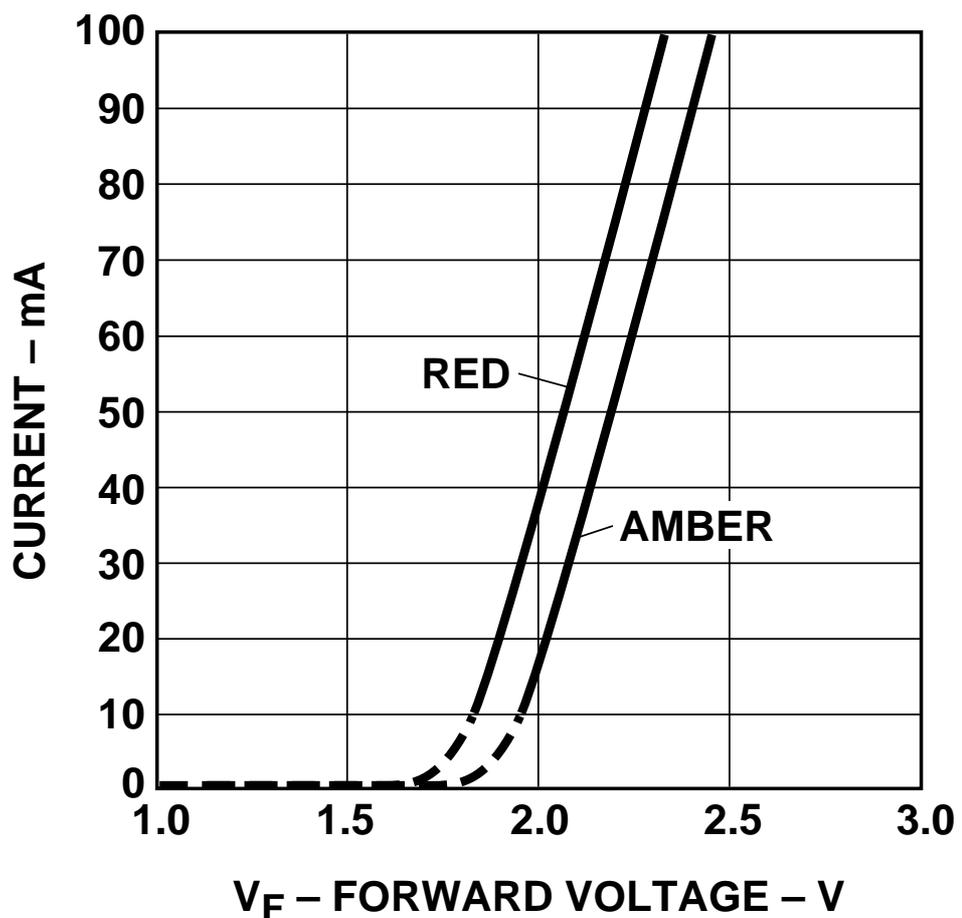


Fig. 92 Tensión en bornas del LED-Corriente que atraviesa el LED. Cortesía de Avago Technologies.

- o Bloque de reset: El bloque de reset está implementado mediante el integrado Maxim MAX6417. El integrado MAX6417 pertenece a una familia de integrados cuya función es la de monitorización de las tensiones de alimentación en los sistemas de microcontrolador.

Estos integrados fijan un nivel activo en su patilla RESET /RESET en el caso de detectar una caída en las tensiones de VCC o RESET IN por debajo del umbral fijado, o en el caso de que se active la entrada de reset manual, produciéndose un reseteo del microcontrolador. La señal reset activada, sigue fija por un tiempo determinado en su salida, incluso aunque Vcc o RESET IN se recuperen por encima del umbral o aunque se desactive la entrada de reset manual. El tiempo que se mantiene fija la señal de reset aunque no se verifiquen las condiciones para el reset viene determinado por el condensador conectado a la patilla SRT.

La familia está compuesta por los integrados enumerados desde el 6412 hasta el 6420, siendo algunas características de los mismos genéricas y otras específicas para cada integrado.

El integrado 6417 (al igual que el resto de integrados de su familia) implementa una función de monitorización y actuación conforme al estado de monitorización. Su funcionamiento es bien sencillo, el integrado activa la señal /RESET en el caso de que RESET IN caiga por debajo de su umbral. Para ello realiza una simple comparación de la tensión existente en la patilla RESET IN y la tensión de referencia interna existente en el integrado que son 1,26 voltios. Esta tensión de referencia interna se obtiene mediante la física de los semiconductores y el salto de banda (teoría de la tensión de referencia por salto de banda ya presentada anteriormente), lo cual produce una tensión de referencia muy estable e independiente de la temperatura.

El integrado 6417 activa la salida /RESET cuando detecta que la tensión en la patilla RESET IN es inferior a 1,26 voltios. En el esquema anteriormente mostrado, se puede ver que esta patilla está unida con una red de componentes formada por R39, R40 y C7. Se va a suponer a priori que R39 y R40 forman un divisor resistivo y más tarde se va a razonar esta suposición inicial.

Suponiendo que R39 y R40 forman un divisor resistivo, se procede a calcular cual es la tensión mínima a la cual puede descender los 3,3 voltios conectados a R40 sin que el integrado resetee el microcontrolador. Para ello se fija la tensión umbral de 1,26 voltios en la patilla de RESET IN y se resuelve el divisor de tensión

$$V_{RESETin} = \frac{V_{mon} \cdot R_{39}}{R_{39} + R_{40}};$$

$$V_{mon} = \frac{V_{RESETin} \cdot (R_{39} + R_{40})}{R_{39}};$$

$$V_{\min} = \frac{V_{1,26V} \cdot (R_{39} + R_{40})}{R_{39}};$$

$$V_{\min} = \frac{1,26V \cdot (33K\Omega + 47K\Omega)}{33K\Omega};$$

$$V_{\min} = 3,05\text{voltios}$$

**Cuando la tensión que llega hasta R40 se reduzca por debajo de 3,05 voltios, el integrado activará su salida /RESET produciendo un reseteo en el microcontrolador.**

Para llegar a este resultado se ha supuesto que R39 y R40 forman un divisor resistivo. Se procede a razonar si efectivamente es una suposición correcta.

La red de resistencias formaran un divisor de tensión de continua en el caso de que la corriente continua que es suministrada por la fuente de 3,3 voltios discurra tan solo por las resistencias R40 y R39. En la red se puede observar que existen otros elementos susceptibles de drenar la corriente de continua, como pueden ser el condensador C7 y la entrada RESET IN del integrado. Sin embargo rápidamente se puede comprobar que por estos dos elementos no se drena apenas corriente de continua en comparación con las resistencias R40 y R39 por dos simples razones. La primera es que por construcción la entrada RESET IN presenta una alta impedancia, por lo tanto la corriente de continua que se drene por esta patilla será ínfima en comparación con la que se drenara por R39. Y lo segundo es que para corrientes de continua el condensador se comporta como un circuito abierto, en virtud de que su impedancia para frecuencias muy bajas es muy alta. El condensador C7 tiene como única misión el filtrar las corrientes de alterna hacia masa, las cuales podrían hacer oscilar el punto de comparación establecido por la tensión de continua del divisor en RESET IN.

En cuanto a las conexiones con otros bloques del sistema de microcontrolador, se puede observar en el esquema que la patilla de RESET IN está unida con uno de los pines del bus de acceso. Cuando no hay ningún cable conectado al bus de acceso, el pin presenta una alta impedancia. Cuando existe un cable conectado al bus de acceso, la persona que esté accediendo al entorno del microprocesador podrá forzar un reseteo colocando 0 voltios en el pin del bus de acceso.

La salida /RESET está unida con la patilla /RSTIN del microcontrolador

Por último, saber que la salida /RESET está basada en una topología de drenador abierto, siendo necesario por tanto una resistencia de *pull-up*, tal como se puede constatar con la resistencia R34.

**Low-Power, Single/Dual-Voltage  $\mu$ P Reset Circuits with Capacitor-Adjustable Reset Timeout Delay**

**Low-Power, Single/Dual-Voltage  $\mu$ P Reset Circuits with Capacitor-Adjustable Reset Timeout Delay**

**ABSOLUTE MAXIMUM RATINGS**

All Voltages Referenced to GND	Continuous Power Dissipation (TA = +70°C)	5-Pin SOT23-5 (dissipate 7.1mW/C above +70°C) ..... 571mW
VCC	Operating Temperature Range	-40°C to +125°C
SRT, MR, RESET IN	Junction Temperature	+150°C
RESET (Push-Pull)	Storage Temperature Range	-65°C to +150°C
RESET (Open-Drain)	Lead Temperature (soldering, 10s)	+300°C
Input Current (All Pins)		
Output Current (RESET, RESET)		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

**ELECTRICAL CHARACTERISTICS**

(VCC = 1V to 5.5V, TA = Tmin to Tmax, unless otherwise specified. Typical values are at VCC = 5V and TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage Range	VCC		1.0	5.5		V
Supply Current	ICC	VCC $\geq$ 5.0V		2.7	4.5	$\mu$ A
		VCC $\geq$ 3.0V		2	3.5	
		VCC $\geq$ 2.0V		1.7	2.5	
VCC Reset Threshold Accuracy	VTH	TA = +25°C	VTH - 1.5%	VTH + 1.5%		V
		TA = 0°C to +125°C	VTH - 2.5%	VTH + 2.5%		
		TA = -40°C to 0°C	VTH - 3.5%	VTH + 3.5%		
Hysteresis	VHYS		3 x VTH		mV	
VCC to Reset Delay	trsd	VCC falling at 1mV/ $\mu$ s		100		$\mu$ s
Reset Timeout Period	tsp	CSRT = 1500pF	3.35	4.375	5.40	ms
VSRST Ramp Current	IRAMP	CSRT = 0		0.275		nA
VSRST Ramp Threshold	VTH-RAMP	VCC = 1.6V to 5V (VSRAMP rising)		0.65		V
RAMP Threshold Hysteresis		VSRAMP falling threshold		33		mV
RESET Output Voltage LOW	VOL	VCC $\geq$ 1.0V, ISINK = 50 $\mu$ A			0.3	V
RESET Output Voltage HIGH (Push-Pull)	VOH	VCC $\geq$ 2.7V, ISOURCE = 1.2mA			0.3	V
		VCC $\geq$ 4.5V, ISOURCE = 3.2mA			0.4	
		VCC $\geq$ 1.8V, ISOURCE = 200 $\mu$ A			0.8 x VCC	
RESET Output Voltage HIGH (Open-Drain)	IOLK	VCC $\geq$ 2.25V, ISOURCE = 500 $\mu$ A			0.8 x VCC	V
		VCC $\geq$ 4.5V, ISOURCE = 800 $\mu$ A			0.8 x VCC	
		VCC $\geq$ 1.0V, ISOURCE = 1 $\mu$ A			0.8 x VCC	
RESET Output Leakage Current, (Open-Drain)		VCC > VTH, reset not asserted			1.0	$\mu$ A
RESET Output Voltage HIGH	VOH	VCC $\geq$ 1.0V, ISOURCE = 1 $\mu$ A			0.8 x VCC	V
		VCC $\geq$ 1.8V, ISOURCE = 150 $\mu$ A			0.8 x VCC	
		VCC $\geq$ 2.7V, ISOURCE = 500 $\mu$ A			0.8 x VCC	
		VCC $\geq$ 4.5V, ISOURCE = 800 $\mu$ A			0.8 x VCC	

**ELECTRICAL CHARACTERISTICS (continued)**

(VCC = 1V to 5.5V, TA = Tmin to Tmax, unless otherwise specified. Typical values are at VCC = 5V and TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
RESET Output Voltage LOW	VOL	VCC $\geq$ 1.8V, ISINK = 500 $\mu$ A			0.3	V	
RESET IN Leakage Current	IIL	VCC $\geq$ 2.7V, ISINK = 1.2mA			0.3	nA	
		VCC $\geq$ 4.5V, ISINK = 3.2mA			0.4		
RESET IN Threshold	VSRST	VSRST falling, VCC = 1.6V to 5.0V	1.212	1.263	1.313	V	
RESET IN Hysteresis				25		mV	
MR Input	VMI	VCC > 4.0V		2.4		0.8	V
		VCC < 4.0V			0.3 x VCC		
				0.7 x VCC			
MR Minimum Pulse Width				1		$\mu$ s	
MR Glitch Rejection					75	ns	
MR to RESET Delay					50	$\mu$ s	
MR Pullup Resistance		Pull up to VCC		12	20	28	k $\Omega$

Note 1: Devices production tested at +25°C. Over temperature limits are guaranteed by design.

**Typical Operating Characteristics**

(VCC = 5V, CSRT = 1500pF, TA = +25°C, unless otherwise noted.)

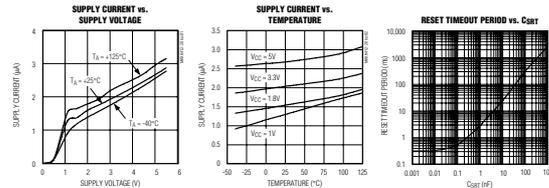


Fig. 93 Hoja de características técnicas del integrado MAX6412-6420. Por cortesía de Maxim

o Bloque de comunicaciones

- Desde el bus de acceso: Mediante este bus se puede acceder al entorno del microcontrolador enviando y recibiendo datos hacia el mismo, utilizando tan sólo un cable conectado al conector CN1 de la tarjeta principal. El conector tiene conexión con diferentes elementos y patillas del entorno del microcontrolador. Las conexiones que se establecen entre el conector y el microcontrolador están claramente orientadas a la comunicación y operación sobre el sistema del microcontrolador. Se puede observar en el esquema conexiones con: el puerto serie de comunicaciones ASC0, con el bloque de RESET, con la patilla /NMI y con la patilla POL.4 principalmente. Además el conector está provisto de una alimentación de 5 voltios y dos masas, una para la alimentación y otra como masa digital.

Todo esto hace pensar que el conector sirve para que el personal técnico pueda acceder al entorno del microcontrolador con la tarjeta directamente montada en el cofre y con algún tipo de sistema portátil que se conecta a CN1 y reciba la alimentación de la tarjeta principal a través del conector.

Efectivamente si se indaga un poco más en el manual del microcontrolador se puede concluir que el conector CN1 se utiliza en el modo del microcontrolador conocido como *bootstrap loader* para cargar líneas de código en el software interno que ejecuta el microcontrolador. Concretamente a través de este conector y en el modo *bootstrap loader* se carga en el sistema lo que se conoce como *startup program* que se trata de un pequeño programa de arranque formado por unas pocas instrucciones en las cuales se procede a configurar el entorno del microcontrolador de una forma en particular. Si después de cargar el programa de arranque se resetea el sistema, el entorno de microcontrolador arrancará y se configurará conforme a las instrucciones existentes en el programa de arranque.

El *bootstrap loader* se utiliza para cargar las líneas de código y las instrucciones en la RAM interna que posee el microcontrolador, sin embargo también es posible cargar líneas de código e instrucciones en cualquiera de los integrados (las memorias RAM o la memoria FLASH) mediante el uso de subrutinas más avanzadas en una segunda carga.

El *bootstrap loader* se puede utilizar para cargar todas las líneas de código fuente del programa que rige el sistema de microcontrolador, en entornos que no están provistos de memoria ROM intrínseca. También se puede utilizar para cargar programas temporales que se ejecutarán en el microcontrolador con el propósito de comprobar la integridad del mismo y el funcionamiento del sistema. Otra situación en la que se suele emplear el *bootstrap loader* es en las labores de mantenimiento y actualización del firmware del entorno, actualizando el programa que corre en el microcontrolador a versiones más modernas, mejoradas y con menos errores. También es usual utilizar el *bootstrap loader* cuando se necesita hacer un arranque genérico del sistema.

En el modo *bootstrap loader* se carga en la memoria RAM interna un total de 16 instrucciones. Tras la carga el sistema se resetea y arranca ejecutando las 16 instrucciones cargadas, sin embargo el sistema aun sigue estando configurando en el modo *bootstrap loader*. Como cualquier programa por muy sencillo que sea, contiene mas de 16 instrucciones, y como el entorno aun sigue preparado para seguir cargando más líneas de código, lo más usual es que tras la primera carga inicial del programa de arranque se continua con una segunda carga, ya del software propiamente dicho, ya sea el programa completo, un firmware nuevo, etc.... pudiéndose configurar mediante subrutinas el almacenaje de las nuevas líneas de código en las memorias externas del sistema.

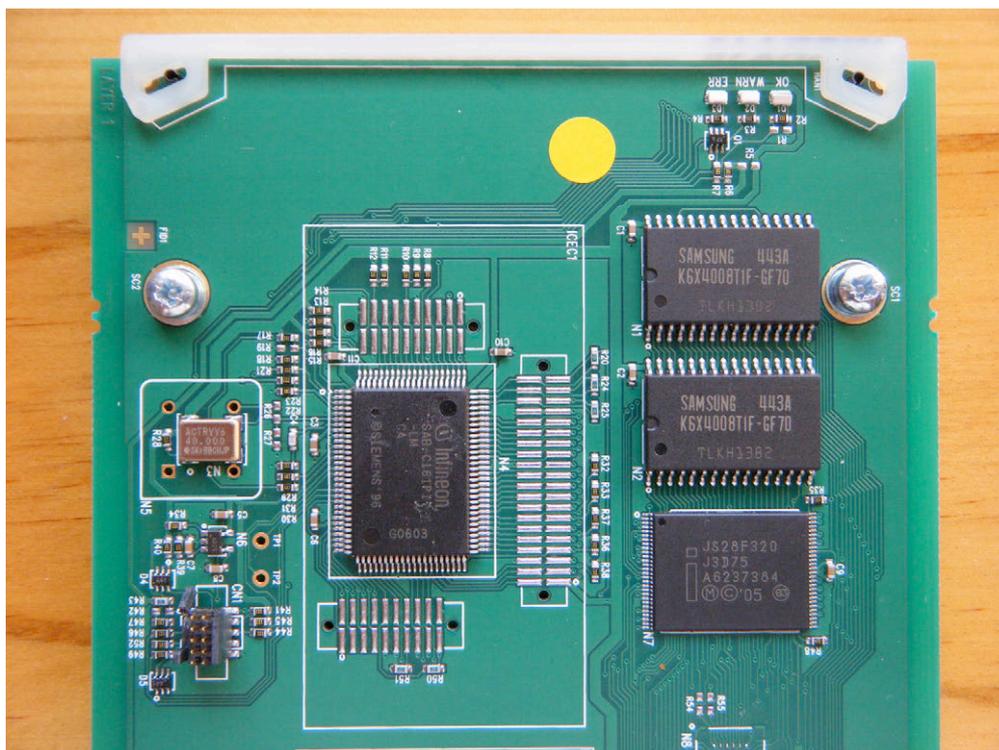


Fig. 94 Fotografía del entorno de microcontrolador.

Las tarjetas IQSDA10 tienen la posibilidad de ser configuradas y monitoradas a través del software Roll&Call instalado en un ordenador. En el cofre deberá estar instalada la tarjeta (IQRCIF *Roll Call Gateway*) que actúa como pasarela entre el software del ordenador y el hardware instalado en el cofre.

En el software Roll&Call se presentan dos menús principalmente:

- 1) Control: Desde este menú se pueden configurar las ordenes que se envían hacia otras placas que estén dentro de la red del *Roll&Call*. Las placas que estén dentro de esta red y sean destino de dichas órdenes, ejecutarán las órdenes según como hayan sido programadas. Para ello se necesita que en la placa de origen, un evento (en la placa SQDA10 será la presencia o ausencia de señal) dispare la orden correspondiente. Los diferentes parámetros configurables son:
  - i. Disable All: Deshabilita la opción de enviar ordenes.
  - ii. Roll track index: Permite escoger hasta 16 destinos diferentes (0..15).
  - iii. Roll track source: Permite seleccionar el evento que dispara el mensaje (Unused, input1 present, input1 missed).
  - iv. Roll track address: En este parámetro se configura la dirección del destino seleccionado previamente. El formato es XXXX:XX:XX\*id. Los 4 primeros dígitos son el segmento de red al que pertenece, los dos siguientes dígitos identifican el chasis en el que se encuentra el destino, los dos siguientes dígitos codifican el número del slot en el que se encuentra la tarjeta y los dos dígitos del

id, identifican la placa mediante el número que le ha asignado previamente el usuario al configurar el cofre. En un sistema formado por múltiples cofres con sus respectivas tarjetas, el asignar un número diferente entre el 0 y el 99 a cada una de las tarjetas, hace que su identificación en el sistema sea biunívoco.

- v. Roll track command: Está formado por dos campos, en el primero de los campos se introduce el número con el cual se identifica cada una de las órdenes, en el segundo campo se introduce el valor numérico que acompaña a dicha orden.
- vi. Roll track sending: Informa acerca del estado de la orden que se está transmitiendo en ese preciso momento.
- vii. Roll track status: Informa acerca de la recepción y estado de la orden enviada en relación con la situación actual de la tarjeta destino.

En la misma pantalla se puede leer información acerca de:

- viii. Software versión: Versión de software que se está ejecutando en la placa IQSDA10
- ix. Serial Number: Número de serie de la placa IQSDA10
- x. Build Number: Número de manufacturación. Es un número que se aplica a un lote de placas que han sido manufacturadas en la misma serie. Permite identificar las prestaciones generales que se han añadido a la serie, en el momento de su elaboración.

Además de estos parámetros e informaciones también posee un icono para hacer un reseteo de la tarjeta y una ventana de información acerca del estado de la señal de entrada.

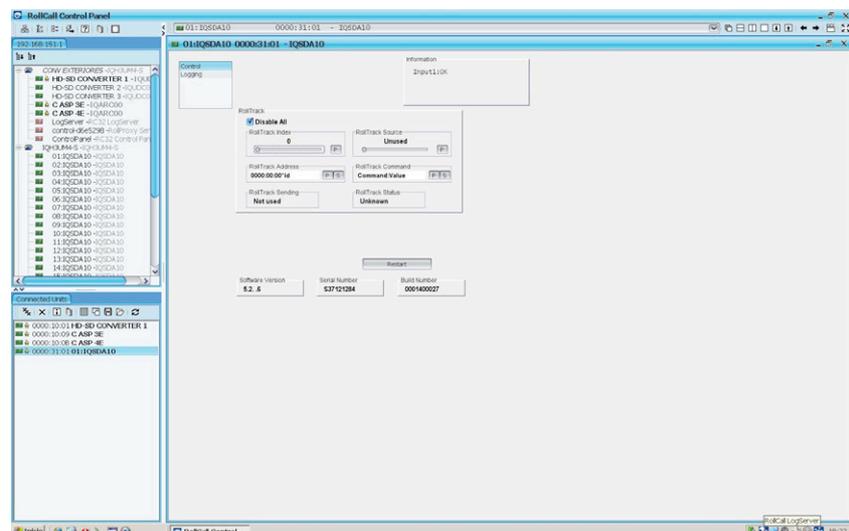


Fig. 95 Pantalla control del Roll&Call. Por cortesía de RTVE

- 2) Logging: En este menú se informa de diversos parámetros y estados de la tarjeta.
- xi. Input1: En este parámetro se informa si existe o no señal a la entrada, puede tomar dos valores (*OK, Fail lost*)
  - xii. Input1 rear label: Este parámetro nos indica el nombre serigrafiado en la entrada de la tarjeta (*SerialIn1*)
  - xiii. Input1 type: Indica el tipo de entrada detectada en la tarjeta (*SDSDI*)

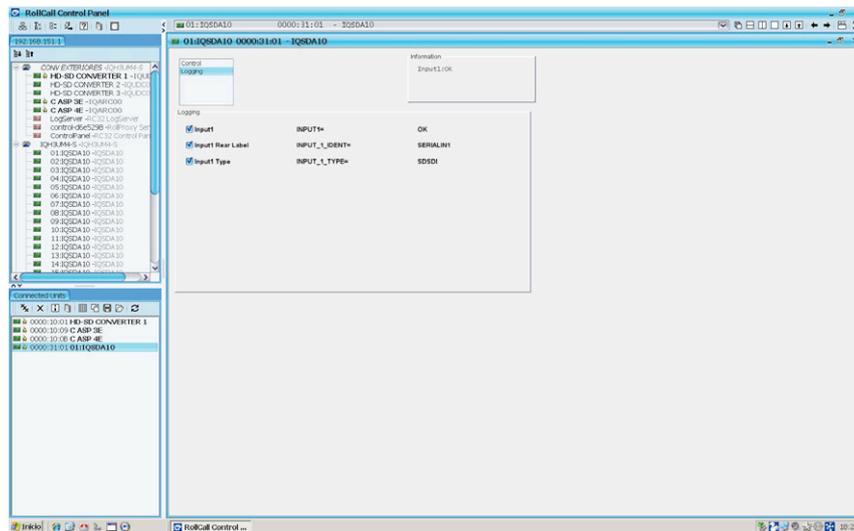


Fig. 96 Pantalla logging del Roll&Call. Por cortesía de RTVE.



Fig. 97 Detalle de las tarjetas IQSDA10 instaladas en un cofre. Por cortesía de Overon

## **Distribuidores para señales HD. Amplificador distribuidor Snell IQSDA30/IQSDA32**

Las tarjetas IQSDA30 e IQSDA32 son la solución de Snell&Willcox para la distribución de señales de HD. Estas tarjetas se basan exactamente en la misma filosofía de las tarjetas distribuidoras de SD. En concreto, la tarjeta IQSDA30 es la versión HD de la tarjeta IQSDA11 y la tarjeta IQSDA32 es la versión HD de la tarjeta IQSDA10. Por esta razón, se comentarán los aspectos más relevantes de estas tarjetas, estableciendo un paralelismo con las tarjetas comentadas anteriormente, sin incidir en un estudio pormenorizado de las mismas.

Quizás antes de empezar con el estudio de las tarjetas y de establecer el paralelismo con las tarjetas ya presentadas, se debe mencionar que si bien la filosofía de funcionamiento y su implementación es bastante similar, los integrados implementados en la tarjeta son específicos para trabajar con señales en HD, lo cual como cabe esperar los hace más complejos.

- Tarjeta IQSDA30: Esta tarjeta está implementada con dos entradas y tres salidas por cada entrada, siendo capaz de distribuir señales 3G, HD-SDI, SD-SDI y DVB-ASI (las salidas 1 y 3 tan sólo distribuirán ASI, debido por un lado a la implementación eléctrica de los drivers de salida de la tarjeta IQSDA30 y por otro lado a la codificación de canal y al interfaz eléctrico utilizada en ASI). Existen dos modelos de las tarjetas IQSDA30, la que de serie se implementa con la capacidad de distribuir señales 3G, y la que no distribuye señales 3G. No obstante a partir de una tarjeta IQSDA30 básica, se puede actualizar mediante un firmware para que admita señales 3G.

El conexionado se realiza al igual que en la tarjeta IQSDA11 sobre una tarjeta auxiliar que se conecta con la tarjeta principal a través de una circuitería backplane existente en la trasera del cofre. El conexionado que se pueden apreciar está constituido por dos conectores BNC de entrada, terminados con resistencias internas de 75 ohmios, y por tres conectores BNC de salidas por cada entrada, ofreciendo cada uno de ellos una impedancia de salida de 75 ohmios.

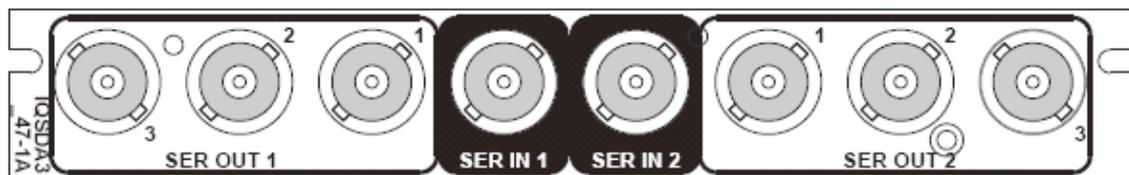


Fig. 98 Placa trasera empleada con la tarjeta IQSDA30. Por cortesía de Snell.

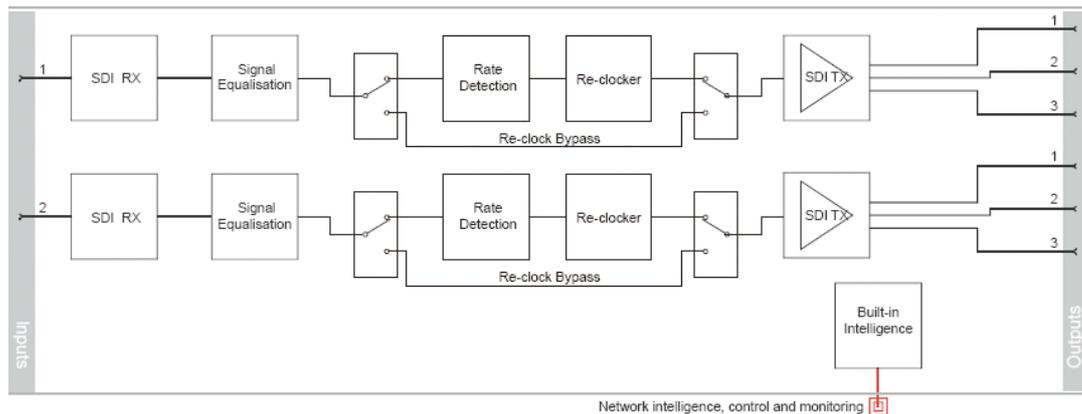


Fig. 99 Diagrama de bloques de la tarjeta IQSDA30. Por cortesía de Snell.

A la vista del diagrama de bloques se puede observar que existe una gran similitud con el presentado para la tarjeta IQSDA11. Si se observa por ejemplo el camino que recorre la señal de entrada 1, la primera etapa que atraviesa es el ecualizador, la segunda etapa es un resincronizador y por último los drivers de salida. La particularidad es que en esta tarjeta la etapa de resincronización se puede omitir gracias a la opción de bypass que se tiene sobre ella.

La tarjeta IQSDA 30 tiene dos opciones de monitorización de estado, la primera y la más completa se realiza con el interfaz Roll Call, visto anteriormente, con el cual además se puede configurar diferentes parámetros de la tarjeta. El segundo método de monitorización de estado se implementa mediante una serie de diodos LEDS en el frontal de la tarjeta.

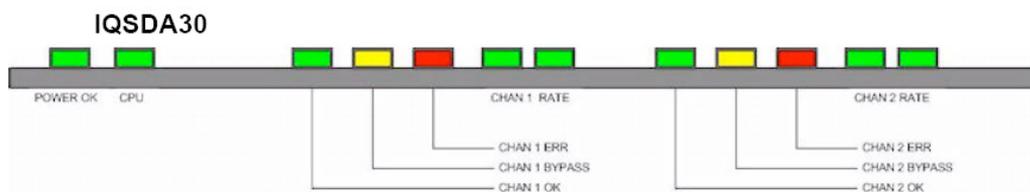


Fig. 100 Sistema de señalización por LEDs de la tarjeta IQSDA30. Por cortesía de Snell.

Los LEDS suministran la siguiente información:

- 1) Power OK. Este LED se ilumina cuando existe tensión de alimentación en la tarjeta.
- 2) CPU: El LED parpadea cuando existe algún tipo de actividad en la CPU.
- 3) Channel 1 OK, bypass, error: Estos tres LEDs muestran diferentes estados. Cuando el LED OK está encendido, significa que la tasa binaria de la señal de entrada, es una tasa reconocida por la tarjeta y la tarjeta se ha podido enlazar con la referencia de tiempo de la señal externa. El LED bypass, se ilumina cuando se ha configurado la etapa de resincronización en modo bypass, no actuando y no resincronizando la señal de entrada. El LED error, se ilumina cuando la tasa binaria de la señal de entrada, no coincide con ninguna tasa reconocida por la tarjeta o cuando no existe señal de entrada.
- 4) Channel 1 Rate: Estos dos LEDs actúan conjuntamente mostrando la tasa binaria de la señal de entrada. Para ello las diferentes combinaciones que se pueden mostrar con estos dos LEDs,

llevan asociado una velocidad diferente del reloj de entrada. Al existir dos LEDs se podrán mostrar hasta un total de 4 velocidades diferentes.

Los LEDs para el segundo circuito tienen exactamente el mismo significado que se ha visto para los LEDs del primer circuito.

En el apartado dedicado a la tarjeta IQSDA10 de Snell, se pudo comprobar que realmente la tarjeta genérica era la IQSDA1X y que dicha tarjeta valía tanto para implementar las tarjetas IQSDA10 como las IQSDA11, ya que en la tarjeta IQSDA1X estaban implementadas todas las pistas, y los puntos de soldadura para poder transformar una tarjeta IQSDA10 en una tarjeta IQSDA11 y viceversa. Realmente la tarjeta IQSDA1X es la tarjeta genérica que se construye y en un último paso es cuando se decide si la tarjeta será una tarjeta IQSDA10 o una tarjeta IQSDA11. Esta idea, ya no se verifica para las tarjetas IQSDA30 y las tarjetas IQSDA32. Para estas tarjetas las placas en las que se implementan, son totalmente diferentes. Construyéndose desde un principio cada placa para su finalidad diseñada.

A efectos prácticos la idea que subyace en la placa IQSDA30 es la misma con la que se diseña la placa IQSDA32 y que se comentará a continuación. La placa IQSDA30 al ser una placa dual (distribuye dos señales de entrada) posee una circuitería muy parecida a la placa IQSDA32, pero duplicada. De hecho en la siguiente fotografía se puede apreciar la simetría de la circuitería respecto a una eje imaginario longitudinal que divide la placa en dos, y que muestra la circuitería duplicada. En resumen, en la placa IQSDA30 se implementa la misma circuitería de replicación de señales por duplicado, una por cada entrada.

Pese a que las placas IQSDA30 e IQSDA32 son diferentes, la circuitería de ambas placas comparten muchas similitudes, y el funcionamiento y diseño de las circuiterías es casi idéntico, implementándose las mismas funciones en las dos tarjetas.

La tarjeta IQSDA30 está implementada con dos vías exactamente iguales. Cada una de estas vías está implementada con los siguientes elementos y por este orden:

- Integrado Gennum GS2974A: Este integrado implementa un ecualizador que tratará de compensar las pérdidas sufridas por la señal debido a los sistemas que ha atravesado hasta llegar al distribuidor. En la siguiente fotografía son los dos integrados que se encuentran en el centro de la fila de los 6 integrados en línea.
- Integrado Gennum GS2975A: Este integrado es el encargado de resincronizar la señal de entrada al distribuidor, regenerando la señal de reloj a través de un sistema PLL avanzado, y eliminando de esta forma el *jitter* inducido en la trama en sistemas previos al distribuidor. En la fotografía se pueden apreciar estos integrados como los dos integrados más grandes que se encuentran a la izquierda de la fila de los 6 integrados. Estos integrados además poseen a su lado un oscilador por cada uno de ellos.

- o Integrado Gennum GS2978: Este integrado implementa un *driver* de línea el cual es el encargado de replicar la señal de entrada a dos salidas y además amplificar en corriente la señal de entrada. En la fotografía si se numerasen los integrados de la fila de los 6 integrados de arriba a abajo, coincidirían con 1,2 y 5,6 situados dos a dos en los extremos (dos para cada circuitería duplicada).

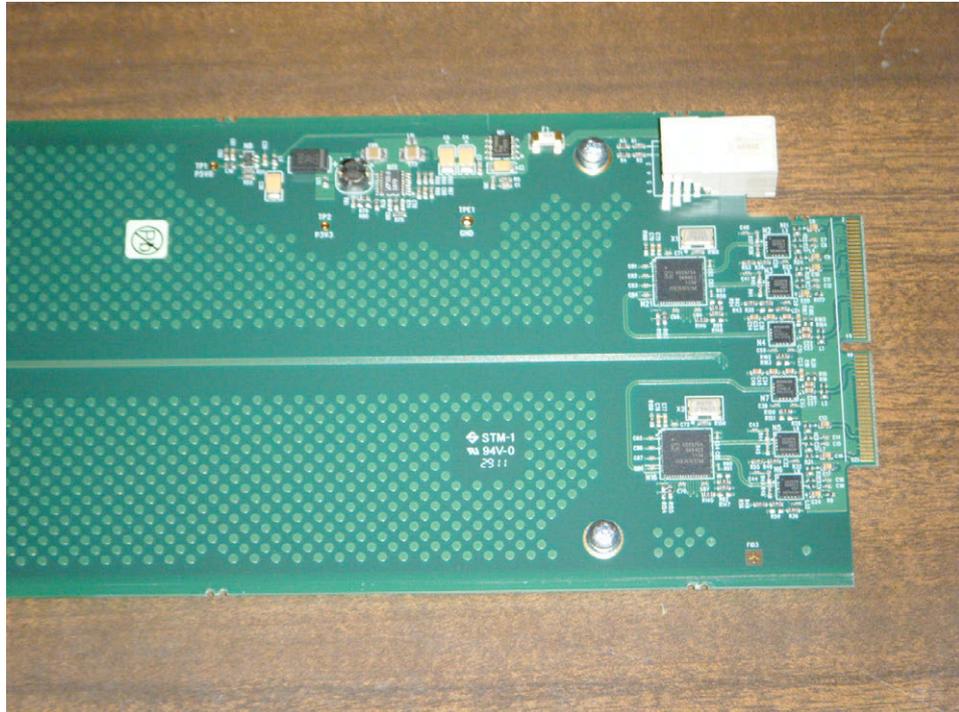


Fig. 101 Circuitería replicadora de la placa IQSDA30. Por cortesía de RTVE.

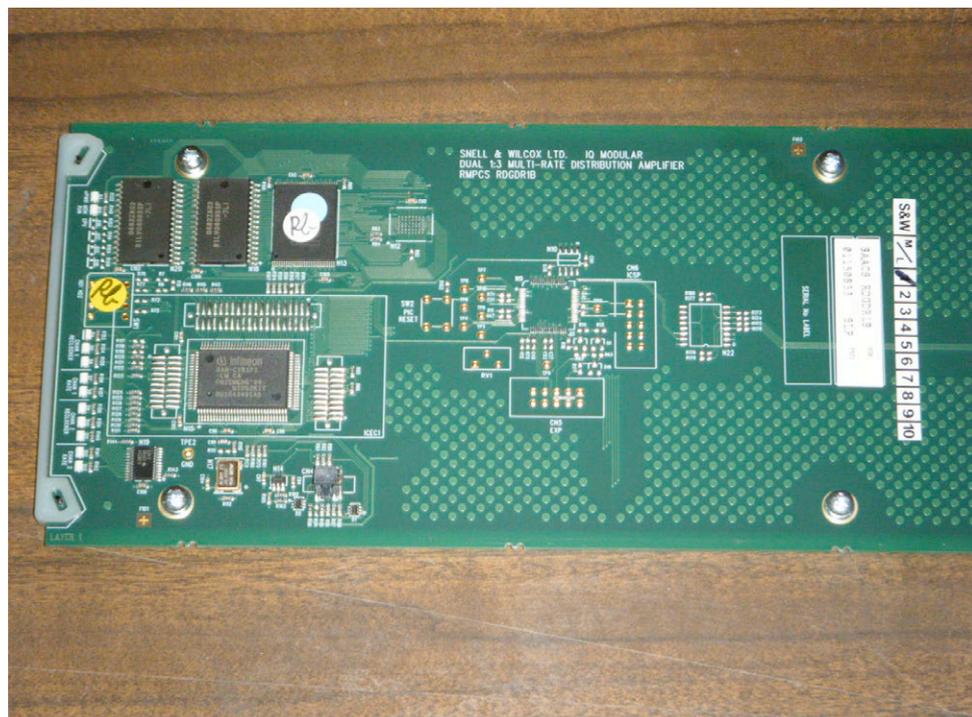


Fig. 102 Circuitería del microcontrolador de la placa IQSDA30. Por cortesía de RTVE.

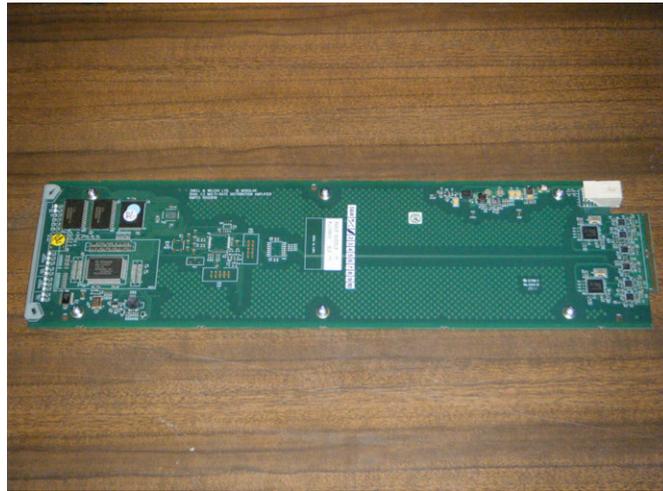


Fig. 103 Tarjeta IQSDA30. Por cortesía de RTVE.

- Tarjeta IQSDA32: Esta tarjeta está implementada con una entrada y siete salidas, siendo capaz de distribuir señales 3G, HD-SDI, SD-SDI y DVB-ASI (las salidas 1, 3, 5, 7 tan sólo distribuirán ASI debido a la codificación de canal y la interfaz eléctrica propia del estándar DVB-ASI). Existen dos modelos de las tarjetas IQSDA32, la que está implementada de serie con la capacidad de distribuir señales 3G, y la que no distribuye señales 3G. No obstante a partir de una tarjeta IQSDA32 básica, se puede actualizar mediante un firmware para que admita señales 3G. El conexionado se realiza al igual que en la tarjeta IQSDA10 sobre una tarjeta auxiliar que se conecta con la tarjeta principal a través de la circuitería backplane existente en la trasera del cofre. Se puede apreciar un conector BNC de entrada, terminado con una resistencia interna de 75 ohmios, y siete conectores BNC de salidas, ofreciendo cada una de ellas una impedancia de salida de 75 ohmios.



Fig. 104 Tarjeta trasera utilizada junto a la tarjeta IQSDA32. Por cortesía de Snell.

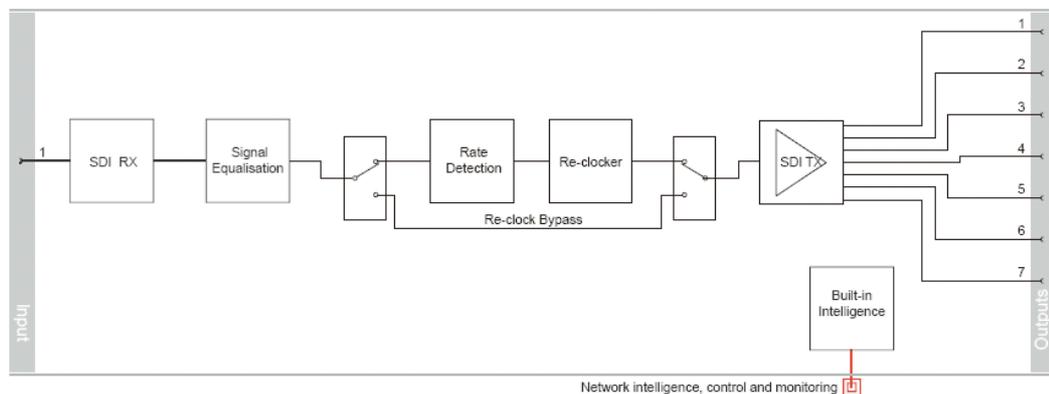


Fig. 105 Diagrama de bloques de la tarjeta IQSDA32. Por cortesía de Snell

En el diagrama de bloques se puede observar que es casi idéntico al presentado para la tarjeta IQSDA10. En el diagrama se puede observar que la primera etapa que atraviesa la señal, es el ecualizador, la segunda etapa es un resincronizador y por último los drivers de salida. La particularidad es que en esta tarjeta la etapa de resincronización se puede omitir gracias a la opción de bypass que en ella se implementa.

La tarjeta IQSDA 32 tiene dos opciones de monitorización del estado, la primera y la más completa se realiza con el interfaz Roll Call, con el cual además se puede configurar diferentes parámetros de la tarjeta. El segundo método de monitorización se realiza mediante una serie de diodos LEDS, existentes en el frontal de la tarjeta.

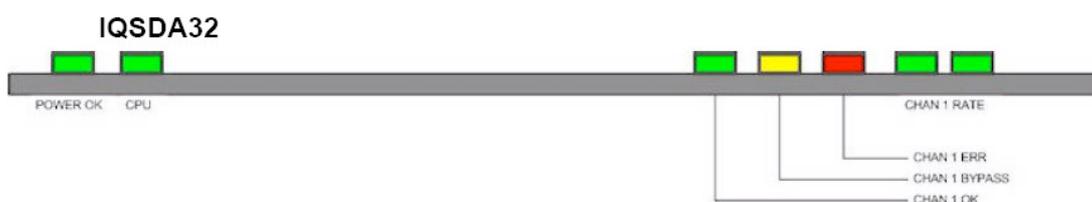


Fig. 106 Sistema de señalización por LEDs de la tarjeta IQSDA32. Por cortesía de Snell.

Los LEDS suministran la siguiente información:

- 1) Power OK. Este LED se ilumina cuando existe tensión de alimentación en la tarjeta.
- 2) CPU: El LED parpadea cuando existe algún tipo de actividad en la CPU.
- 3) Channel 1 OK, bypass, error: Estos tres LEDs funcionan dependiendo de las circunstancias presentes en la señal de entrada. Cuando el LED OK está encendido, significa que la tasa binaria de la señal de entrada, es una tasa reconocida por la tarjeta y la tarjeta se ha podido enclavar con la referencia de tiempo de la señal externa. El LED bypass, se ilumina cuando se ha configurado la etapa de resincronización en modo bypass, no actuando y no resincronizando la señal de entrada. El LED error, se ilumina cuando la tasa binaria de la señal de entrada, no coincide con ninguna tasa reconocida por la tarjeta o cuando no existe señal de entrada.
- 4) Channel 1 Rate: Estos dos LEDs actúan conjuntamente mostrando la tasa binaria de la señal de entrada. Para ello las diferentes combinaciones que se pueden mostrar con estos dos LEDs, llevan asociado un velocidad diferente del reloj de entrada. Al existir dos LEDs se podrán mostrar hasta un total de 4 velocidades diferentes.

En la imagen que se ofrece a continuación se presenta la tarjeta IQSDA32, sobre la cual se hará un estudio a rasgos generales de la implementación de los diferentes elementos que conforman esta tarjeta distribuidora de señales HD.

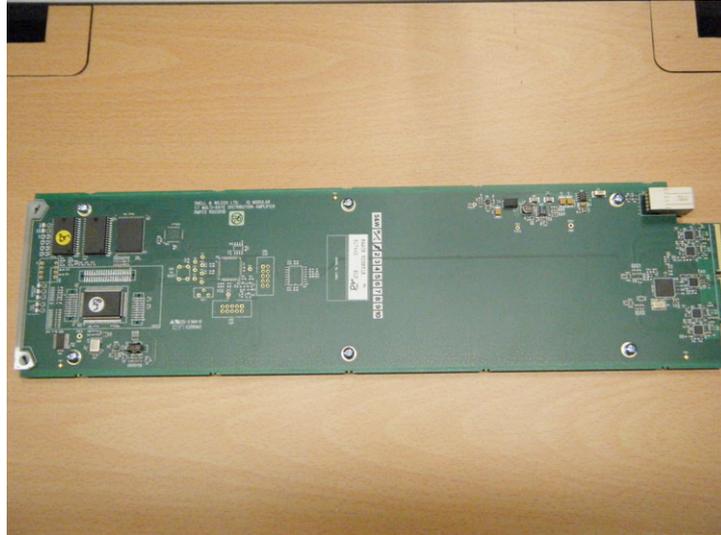


Fig. 107 Tarjeta IQSDA32. Por cortesía de Snell.

La tarjeta implementa tres bloques principales:

- 1) Circuitería de replicación de la señal de entrada: La circuitería de replicación es la circuitería que se encarga en sí misma de replicar la señal de entrada hacia todas las salidas, y es por tanto la circuitería principal y la que da razón de ser a la existencia de la tarjeta IQSDA32.

Esta circuitería se implementa mediante tres bloques diferenciados que conjuntamente permiten replicar y a la vez regenerar la señal de entrada. La topología utilizada en esta circuitería comparte la misma filosofía, ya comentada anteriormente para la tarjeta IQSDA10, existiendo un bloque de equalización, un bloque de resincronización y un bloque de *drivers*.

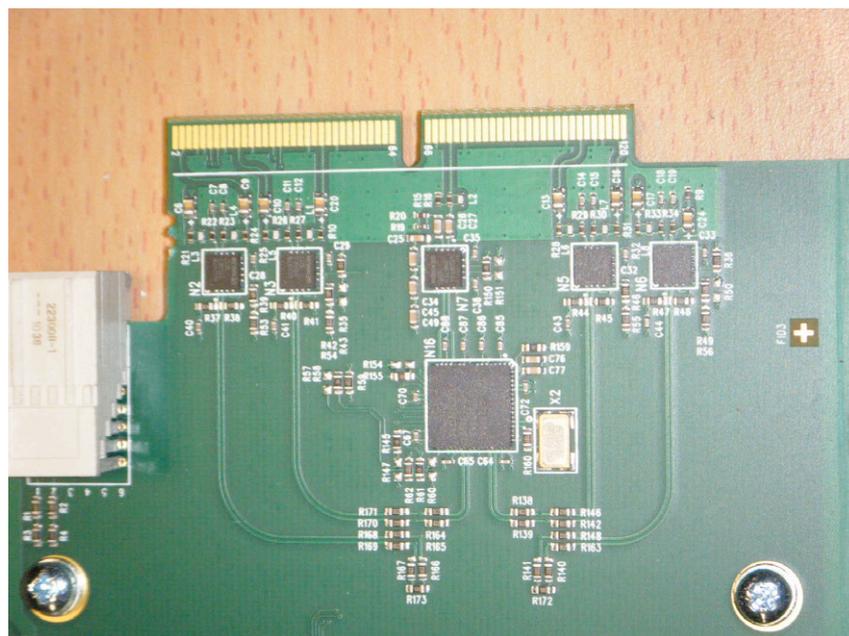


Fig. 108 Circuitería de replicación. Por cortesía de RTVE.

- Bloque de ecualización: El bloque de ecualización está conformado por un lado del integrado Gennum GS2974 y por otro lado de todos los componentes discretos necesarios para el correcto funcionamiento de este bloque, como por ejemplo resistencias y condensadores en formato SMD. En la fotografía anterior el integrado corresponde justo con el que aparece en el medio de la fila de los 5 integrados superiores. En la misma fotografía se puede observar por un lado las dos pistas que provienen de las conexiones presentes en la trasera de la tarjeta y las dos pistas que se dirigen desde este integrado hacia el integrado más grande que se sitúa justamente debajo y que corresponde al integrado propio de la etapa de resincronización. Las dos primeras pistas son las que llevan la señal desde la parte trasera del cofre hasta las entradas del ecualizador, y las dos últimas pistas son las que llevan la señal ecualizada desde el integrado del bloque de ecualización hasta el integrado del bloque del resincronizador. Junto al integrado se puede apreciar en la fotografía los diferentes componentes discretos necesario para implementar el correcto funcionamiento y diferentes funcionalidades que se presentan en este bloque de la circuitería replicadora.

El bloque de ecualización tiene como principal función la de tratar de restaurar la forma de onda original de la trama de bits que viajan por los diferentes sistemas y que sufre una degradación como consecuencia de las limitaciones impuestas por cada uno de los sistemas que atraviesa. Básicamente el ecualizador posee una función de transferencia propia de un filtro paso alto, cuyo operador matemático asociado es el derivador. La trama de bits según va atravesando los diferentes sistemas va suavizando su aspecto, difuminando y perdiendo la finura del perfil que se muestra en la trama original. Como consecuencia de esto, los sistemas a continuación encuentran más difícil identificar el valor para cada instante de tiempo debido a que lo que en un principio era un perfil fino y delimitado ahora se muestra como un trazo gordo.

Si a una función en el tiempo suavizada se le aplica un operador matemático derivador, a la salida se obtiene una versión de la señal de entrada perfilada, sin trazos gordos y con los cambios de bits más marcados en la trama. Por lo tanto **el bloque de ecualización tiene como función tratar de regenerar la forma de onda original perfilándola en el tiempo y eliminando el suavizado que producen los sistemas anteriores que se han atravesado como consecuencia de sus propias limitaciones.**

Como se ha comentado anteriormente, el encargado de realizar esta ecualización es el integrado Gennum GS2974. Este integrado comparte filosofía con el integrado GS9024 también de Gennum presentado en la tarjeta IQSDA10 y salvo alguna función extra y su complejidad en su implementación debido a las señales de hasta 3G que debe soportar, se podría decir que el GS2974 y el GS9024 son integrados casi idénticos.

## GS2974B HD-LINX™ III Adaptive Cable Equalizer

### Features

- SMPTE 424M, SMPTE 292M, 344M and SMPTE 259M compliant
- Automatic cable equalization
- Multi-standard operation from 143Mb/s to 2.97Gb/s
- Supports DVB-ASI at 270Mb/s
- Small footprint (4mm x 4mm)
- Pb-free and RoHS compliant
- Manual bypass (useful for low data rates with slow rise/fall times)
- Performance optimized for 1.485Gb/s and 2.97Gb/s
- Typical equalized length of Belden 1694A cable: 140m at 2.97Gb/s, 230m at 1.485Gb/s, and 250m at 270Mb/s
- 50Ω differential output (internal 50Ω pull-ups)
- Programmable mute based on max cable length adjust
- Single 3.3V power supply operation
- Operating temperature range: 0°C to +70°C
- Footprint compatible with GS2974A and GS1574A

### Applications

- SMPTE 424M, SMPTE 292M and SMPTE 259M Coaxial Cable Serial Digital Interfaces.

### Description

The GS2974B is a high-speed BiCMOS integrated circuit designed to equalize and restore signals received over 75Ω co-axial cable.

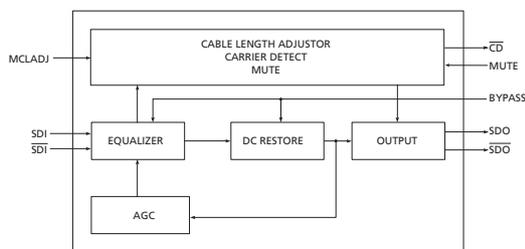
The GS2974B is designed to support SMPTE 424M, SMPTE 292M and SMPTE 259M, and is optimized for performance at 1.485Gb/s and 2.97Gb/s.

The GS2974B features DC restoration to compensate for the DC content of SMPTE pathological test patterns.

A voltage programmable mute threshold (MCLADJ), applicable for SD mode (refer to Section 4.3), is included to allow muting of the GS2974B output when an approximate selected cable length is reached for SMPTE 259M signals. This feature allows the GS2974B to distinguish between low amplitude SD-SDI signals and noise at the input of the device. The serial digital outputs of the GS2974B may be forced to a mute state by applying a voltage to the MUTE pin.

Power consumption is typically 215mW using a 3.3V power supply. The GS2974B is lead-free, and the encapsulation compound does not contain halogenated flame retardant.

This component and all homogeneous subcomponents are RoHS compliant.



GS2974B Functional Block Diagram

Fig. 109 Hoja de características técnicas del integrado GS2974B. Por cortesía de Gennum.

El integrado está formado principalmente de cinco bloques, tal como se puede apreciar en la figura anterior. La filosofía de funcionamiento de este integrado es muy parecida a la que ya se presentó anteriormente para el GS9024, por esta razón se comentará brevemente el funcionamiento, los bloques y las diferentes patillas que se pueden encontrar en este integrado.

- **Bloque de ecualización:** El bloque de ecualización es el corazón del integrado, y es en el que se realiza la función principal del integrado. Este bloque se puede modelar como un sistema cuya respuesta en frecuencia, es justamente la inversa de la respuesta en frecuencia del cable. De tal forma que si se multiplican las dos respuestas en frecuencia, el sistema resultante mostrará una respuesta en frecuencia en módulo y fase unitaria. Es decir es como si se compensasen las pérdidas introducidas por el cable, y a la salida del bloque de ecualización se obtuviese la misma señal que entró en el extremo del cable. Este bloque posee una ganancia variable para ajustar el módulo de la respuesta en frecuencia a la longitud del cable. Esta ganancia se controla desde el bloque del control

automático de ganancia y en el diagrama de bloques se puede observar dicha señal de control como la flecha en sentido AGC al ecualizador.

- Bloque de recuperación de la componente de continua: Este bloque está situado a la salida del bloque de ecualización. Su función es la de restaurar la componente de continua presente en la señal y que se ha eliminado como consecuencia de los condensadores que se sitúan justo en serie con las entradas SDI y /SDI del integrado, debido a que la etapa de entrada del bloque de ecualización necesita de una señal libre de componente de continua.
- Bloque de salida: Con respecto a este bloque, no cabe mucho que comentar, salvo que posee una entrada para una señal de control que proviene del bloque de control que se comentará posteriormente y que activa o desactiva el bloque de salida, posibilitando que a la salida exista la señal ecualizada o que estén enmudecidas las salidas.
- Bloque de control automático de ganancia (AGC): El bloque del AGC está constituido principalmente de un detector y un comparador. Su función principal es la de proporcionar una señal de control hacia el bloque de la ecualización, con la cual se controlará la cantidad de ganancia que se debe aplicar en función de la estimación de la longitud del cable que se realiza en el bloque AGC. Para ello, el detector del AGC captura las transiciones de la señal a la salida del bloque de recuperación de la componente de continua y lo compara con las transiciones ideales de una señal sin degradación. Como consecuencia de la comparación, se genera una tensión error o diferencia que es integrada en el tiempo mediante un condensador interno en el AGC y un condensador externo al AGC al cual se accede a través de las patillas AGC. Como fruto de la integración temporal, se consigue una señal de control suavizada y estable en el tiempo, la cual se utiliza para controlar la ganancia del bloque de la ecualización.
- Bloque del ajuste de la longitud de cable, detector de señal y de desconexión: Este bloque es básicamente un bloque de control que se tiene sobre el integrado, internamente se alimenta del bloque del ecualizador y alimenta a su vez al bloque de la salida. Externamente se alimenta de las señales presentes en MUTE y MCLADJ y proporciona una señal de salida a través de /CD. Su función principal es actuar sobre el bloque de salida activándolo o desactivándolo conforme a la señal que entrará en el integrado, provocando la existencia o no existencia de señal a la salida. La misión de este bloque es la de silenciar la salida del integrado, en caso de detectar alguna señal que no es propicia para su uso.

Las patillas que se pueden encontrar en el integrado son las siguientes:

- SDI y /SDI: Son las patillas de entrada para la señal que se va a ecualizar en el integrado. La etapa de entrada está constituida por una topología en espejo, permitiendo a su entrada señales diferenciales (en esta configuración la señal presente en cada una de las patillas es exactamente igual, pero invertida en polaridad, de tal forma que la señal *single ended* que se maneja en el interior del integrado, se obtiene haciendo la resta de las dos patillas en el interior del integrado) o señales *single ended* (en esta configuración de entrada se constituye con un conductor para las variaciones de tensión de la señal y con otro conductor conectado a masa, respecto del cual se referencia el conductor que porta las variaciones de tensión). El fabricante recomienda la eliminación de la componente de continua de la señal de entrada mediante condensadores de acoplo, ya que el integrado internamente está provisto de un generador de tensión de continua, necesario para la polarización de los diferentes elementos.
- SDO y /SDO: Son las patillas de salida para la señal que ha atravesado el integrado previamente. Al igual que las patillas de entrada la etapa de salida del integrado esta constituida por una topología en espejo, pudiéndose manejar señales diferenciales a su salida o señales *single ended* uniendo para ello una de las patillas a masa.
- AGC y /AGC: Entre estas patillas se implementa el condensador externo, necesario para el bloque del AGC.
- Bypass: Mediante esta patilla se posee control sobre los bloques de ecualización y de restauración de la tensión de continua. Con esta patilla se puede controlar que las señales de entrada atraviesen estos bloques sin que sufran ningún proceso en ellos. Las señales de entrada pasan de una forma transparente hasta las salidas ya que el proceso que se realiza en cada uno de los bloques está desactivado.
- /CD: Las tres siguientes patillas actúan conjuntamente. Esta patilla ofrece una señal de salida que coincide con un nivel lógico bajo cuando existe una señal a la entrada aceptable y un nivel lógico alto cuando la señal a la entrada del integrado no es aceptable. Es decir es un indicador de señal valida a la entrada. Cuando se conecta externamente con la patilla mute, se puede controlar el funcionamiento o apagado de la etapa de salida del integrado, conforme a la validez o no validez de la señal de entrada, pudiéndose silenciar las salidas en el caso de que la señal de entrada no se estime como valida.
- MUTE: Es una señal de control de entrada que actúa sobre el bloque de salidas del integrado, silenciando el mismo, y evitando que exista alguna señal presente a la salida del mismo. Esta patilla posee prioridad sobre la patilla de bypass, silenciando las salidas cuando se presenta un nivel lógico alto en su entrada.

- **MCLADJ:** El integrado GS2974B incluye una función bastante interesante que consiste en la posibilidad de programar un valor umbral de tensión por debajo del cual la señal a la entrada se detecta como no válida y es interpretada como ruido. Las siglas MCLADJ se corresponden con *Maximum Cable Lenght ADJust* es decir el ajuste de la máxima longitud del cable que se va a ecualizar. Esta denominación tiene su origen en que todo cable produce dos efectos sobre la señal que transporta: un filtraje paso bajo (suavizando y deformando la señal original) y una atenuación en tensión de la amplitud de la señal que por el viaja. Con este sistema MCLADJ se estima la atenuación que se realizará sobre la señal en función de la distancia del cable, y se fija el umbral de tensión para esta distancia. De esta forma fijando un umbral de tensión y las pérdidas aproximadas en función de la distancia en un cable, se puede fijar una distancia máxima de cableado, por encima del cual ya se considera la señal de entrada como no válida.

En resumidas cuentas el MCLADJ lo que hace es variar el umbral de detección asociado a la circuitería del /CD, de tal forma que cuando esta patilla se conecta a la patilla de mute, se puede tener un control automático sobre la etapa de salida en función de la tensión umbral fijada por el MCLADJ. Fijando el valor umbral previamente calculado, se puede establecer una longitud máxima de cable de ecualización o un umbral a partir del cual discernir si la señal de entrada es solamente ruido, evitando en cualquier caso que a la salida del integrado se encuentre una señal no deseada.

El funcionamiento básico del GS2974B es el siguiente: La señal de entrada atraviesa una etapa de ecualización de ganancia variable (bloque de ecualización), en el cual la respuesta en frecuencia de dicha etapa coincide con la inversa de la respuesta en frecuencia asociada a un sistema como es un cable. La ganancia variable (bloque AGC), trata de desplazar el módulo de la respuesta en frecuencia del sistema hacia arriba o hacia abajo en la gráfica del módulo de la respuesta en frecuencia del sistema, tratando de contrarrestar las pérdidas originadas en el cable.

Para ello se utiliza principalmente el bloque del AGC y sus circuiterías asociadas que actúan directamente sobre el bloque de ecualización. El método es bastante similar al que ya se vio anteriormente. El bloque AGC junto a una circuitería de detección compara la energía asociada a la transición que se espera de un señal ideal, con la energía asociada a las transiciones de la señal que está entrando en el integrado, generando una señal diferencia o una señal error. Esta señal es integrada en el tiempo por un condensador interno y uno externo que se proporciona en el bloque AGC, proporcionando una señal de control estable para la etapa de ganancia. El sistema está constantemente monitorizando, comparando, generando la señal de error y actuando sobre la ganancia del AGC de tal

forma que la energía asociada a las transiciones de la señal de salida va a estar siempre acotada dentro de unos ordenes muy cercanos a la energía asociada a las transiciones de una señal ideal.

Se debe observar que este tipo de sistema es un sistema realimentado negativamente, en el cual se está comparando constantemente la señal que sale del bloque de ecualización con la señal ideal y tratando en todo momento de ir compensando la señal de entrada para que la señal error o diferencia sea la mínima posible. La realimentación negativa de salida-entrada proporciona una estabilidad al sistema, controlando a su vez el sistema para que este no se vuelva inestable o comience a oscilar.

- Bloque de resincronización: La resincronización se hace en la tarjeta IQSDA32 mediante el integrado de Gennum GS2975A perteneciente a la familia HD Linx III de Gennum. Este integrado es relativamente más complicado y ofrece un mayor número de posibilidades que el integrado CLC016 que se presentó anteriormente para la tarjeta IQSDA10. En la figura se puede observar este integrado, justo como el más grande que aparece en la fotografía, estando situado por debajo de cinco integrados.

El GS2975A es un circuito integrado encargado de dos funciones principalmente: recuperar el reloj embebido en una trama de video y resincronizar con el reloj recuperado la trama de video, recuperando la base de tiempos de la trama original de video, eliminando de esta forma el jitter acumulado el cual degrada y dificulta la posterior interpretación de la trama de video original. Como principal característica de este integrado se debe señalar que admite diferentes estándares de video del SMPTE pudiendo recuperar desde señales de video de SD-SDI hasta señales HD-SDI y 3G. también es capaz de resincronizar señales del estándar DVB-ASI cuyo reloj se establece en 270 Mbps al igual que el SD-SDI.

El diagrama de bloques del integrado es más complejo que otros diagramas de bloques vistos anteriormente, por esta razón y puesto que realmente no interesa profundizar en la operación del integrado se va a omitir un análisis detallado, para comentar de un forma no muy extendida el funcionamiento del mismo.

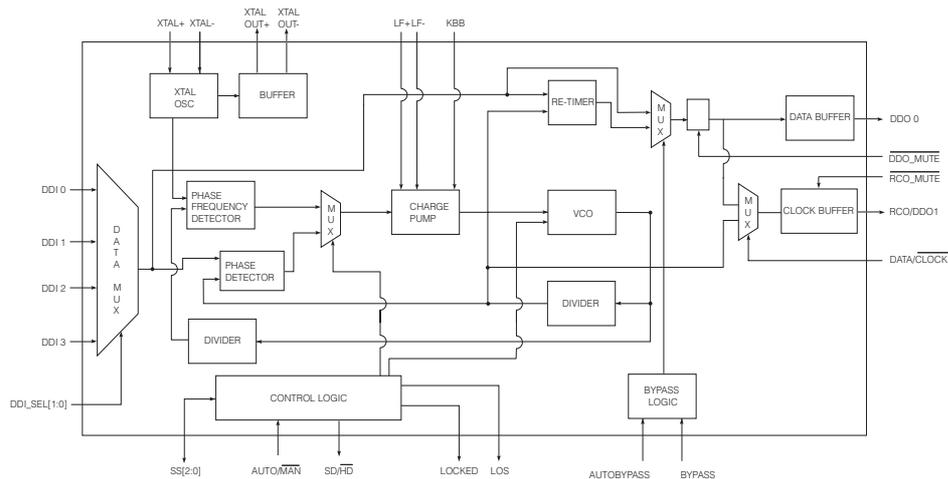


Fig. 110 Diagrama de bloques del integrado GS2975A. Por cortesía de Gennum.

1) Circuitería de entrada: El integrado GS2975A está implementado físicamente con 4 entradas diferenciales terminadas con 50 ohmios. Estas entradas llegan hasta un bloque multiplexor, el cual selecciona mediante la señal de control DDI\_SEL0 y DDI\_SEL1 la entrada que va a ser resincronizada. DDI\_SEL0 y DDI\_SEL1 forman un conjunto de cuatro opciones que coinciden binariamente con la entrada que se ha seleccionado mediante la siguiente tabla de verdad.

DDI_SEL1	DDI_SEL0	Entrada seleccionada
0	0	DDI0 /DDI0
0	1	DDI1 /DDI1
1	0	DDI2 /DDI2
1	1	DDI3 /DDI3

Cada uno de los dos pines que conforman cada entrada está unido con su correspondiente resistencia interna de 50 ohmios y a su vez las resistencias internas de 50 ohmios presentes en las entradas están unidas entre sí. Al punto de unión de las resistencias internas de cada una de las entradas se puede acceder mediante las patillas DD0\_VTT, DDI1\_VTT, DDI2\_VTT, DDI3\_VTT. Estas patillas se unen a masa mediante un condensador de desacoplo. El condensador de desacoplo tiene dos comportamientos: Para las señales con componente de alterna actúa como un cortocircuito proporcionando una masa al punto medio de las dos resistencias de 50 ohmios. Para las señales que tan sólo poseen componente de continua actúa como un circuito abierto no permitiendo el paso de la señal hacia masa. Estos dos comportamientos tienen su función en el circuito. Primeramente, el lector se debe dar cuenta que la etapa previa a los transistores está compuesta de una circuitería simétrica respecto al punto medio anteriormente señalado. Para la señal de entrada (señal de alterna) la simetría del circuito y el condensador de desacoplo, proporcionan la clásica interfaz de la trama bipolar de datos, en la cual la señal que se introduce por DDI y la señal que se introduce por /DDI son exactamente iguales pero invertidas en polaridad, siendo totalmente simétricas respecto a la tensión de

0 voltios para cualquier instante de tiempo. Para la tensión de continua que se fija, mediante las dos resistencias situadas a la derecha de las resistencias el condensador de desacoplo abre la conexión que el circuito tiene con esta masa, facilitando una tensión fija de continua en el punto medio de ambas resistencias de 50 ohmios.

Como consecuencia de la simetría del circuito, la tensión de continua será la misma para la entrada DDI que para la entrada /DDI. Para cualquier instante de tiempo, el valor de tensión para la entrada DDI será el valor de la tensión de continua, más el valor de la tensión de la señal de entrada en DDI para ese instante de tiempo. Mientras que el valor para la entrada /DDI será el valor de la tensión de continua, menos el valor de la tensión de la señal de entrada en /DDI para ese mismo instante de tiempo.

La etapa diferencial de entrada está provista además de dos transistores bipolares en una configuración de espejo para obtener de una señal diferencial una única señal monopolar y referenciada a masa o lo que se conoce en literatura anglosajona como *single ended*. La siguiente imagen es el circuito equivalente proporcionado por el fabricante.

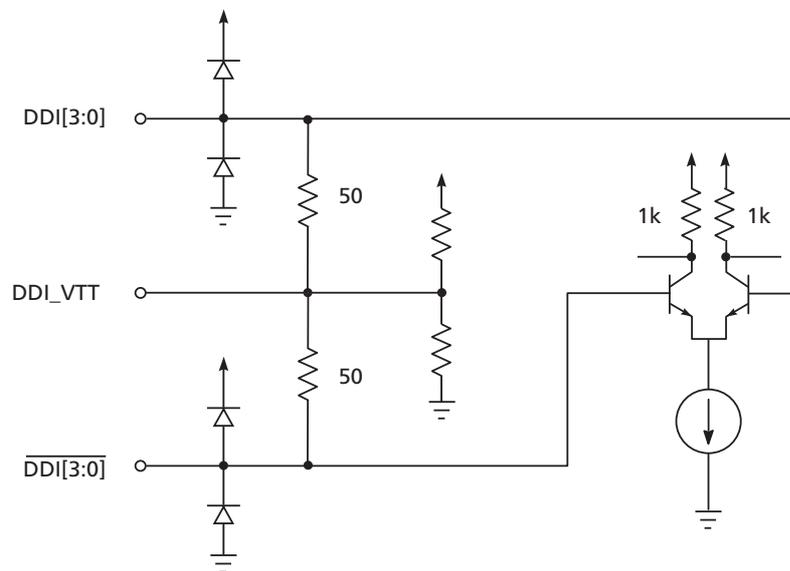


Fig. 111 Etapa diferencial de entrada. Por cortesía de Gennum.

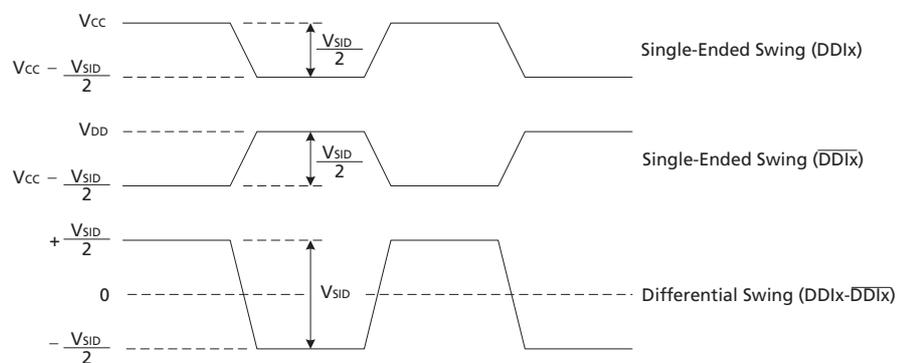


Fig. 112 Señales de entrada y señal diferencial. Por cortesía de Gennum

2) Lazos del detector de frecuencia y del detector de fase: Básicamente un sistema de resincronización se asemeja a un PLL complejo, ya que la forma de extraer el reloj de la trama es similar al funcionamiento de los clásicos sistemas de PLL que se estudia en los libros de electrónica. El sistema PLL del que consta el 2975B es un sistema en dos etapas, con dos lazos: El detector de frecuencia (*frequency acquisition*) y el detector de fase (*phase acquisition*). El funcionamiento con estas dos etapas es bastante similar al sistema que ya se presentó para el integrado CLC016. Primeramente el detector de frecuencia se utiliza cuando el sistema desconoce el reloj de la trama de datos de entrada. Con el detector de frecuencia se obtiene la frecuencia del reloj de la señal de entrada. Una vez que se conoce el reloj de la trama de datos de entrada, el detector de fase, monitorando constantemente la señal de entrada, se encarga de hacer ajustes en la fase del reloj generada por el integrado, para afinar el mismo hasta que se sincroniza con el reloj de la trama de datos.

- VCO: El VCO u oscilador controlado por tensión es el bloque que genera la señal de reloj que se va a utilizar por el integrado para efectuar la resincronización de la señal de entrada. El núcleo del bloque es un oscilador muy básico LC (circuito resonante bobina-condensador, el cual para la frecuencia de resonancia el sistema se vuelve inestable y comienza a oscilar) ajustado en fabricante en el momento de la fabricación. Otros elementos que se implementan en este bloque son una serie de divisores de frecuencia, mediante los cuales se pueden obtener todos los relojes que el integrado es capaz de resincronizar.

El bloque del VCO está alimentado por dos señales, la primera proviene del *charge pump* y la segunda proviene de la lógica de control. Estas dos señales son las que controlan el funcionamiento del VCO. Las salida del VCO se dirige hacia dos divisores de frecuencia, uno alimenta al bloque encargado de la adquisición de la frecuencia, y el otro alimenta al bloque encargado de la adquisición de la fase. De este último divisor se alimenta el bloque re-timer.

- Sistema de carga (*Charge pump*): El sistema de carga, se alimenta de la salida del multiplexor que selecciona la señal de control del detector de frecuencia o de fase. Esta señal de control que llega al sistema de carga es la señal diferencia o señal error generada bien por el detector de frecuencia o el de fase.

El sistema de carga genera diferentes tensiones de control que se dirigen directamente hacia el VCO, variando la frecuencia de oscilación del VCO, según se ha ordenado previamente por el detector de frecuencia o el de fase.

El sistema de carga, genera diferentes señales de control, dependiendo de si la señal de control que a el llega proviene del detector de frecuencia o del detector de fase. Si la señal proviene del detector de frecuencia, el sistema de carga

genera dos tipos de señales: *pump up* y *pump down*, dependiendo de si el detector de frecuencia ha detectado un adelanto o un retraso en las fases cuando compara la señal del VCO con la señal de entrada. Si la señal proviene del detector de fase genera de nuevo dos tipos de señales (*pump up* y *pump down*) pero esta vez con dos niveles por cada una de ellas, lo que le posibilita tener un mejor control sobre la variación del VCO. De nuevo las señales se generan en función de que el detector de fase haya detectado un adelanto o un retraso en la fase entre la señal generada por el VCO y la señal de entrada.

Las señales de *pump up* y *pump down* se generan a partir de un lazo de filtro implementado dentro del bloque del sistema de carga. El lazo de filtro tiene un funcionamiento similar al que se presentó para el integrado CLC016, incluyendo la necesidad de implementación de un condensador externo y una resistencia externa al integrado al igual que sucedía con el CLC016.

El sistema de carga está alimentado de tres patillas, las dos primeras LF+ y LF- son las patillas en las cuales se conecta el condensador externo que se utilizara en el lazo del filtro, dependiendo del valor que tenga este condensador, el lazo de filtro tendrá diferentes respuestas en frecuencia. La patilla KBB controla el ancho de banda del lazo del filtro.

- Adquisición de la frecuencia (*Phase frequency detector*): El detector de frecuencia es el encargado de hacer oscilar al VCO a una frecuencia igual a la del reloj de la señal de entrada. Para ello intervienen dos elementos principalmente, el divisor de frecuencia que se encuentra a la salida del VCO y el oscilador de cuarzo externo. La idea clave en el sistema de reclocking, es que el VCO no se tiene que enclavar con una señal desconocida que puede tener infinidad de valores, sino que se debe enclavar con unas pocas velocidades conocidas y preestablecidas por defecto en el integrado. Estas velocidades son las frecuencias de los relojes de las señales de video de SD-SDI/ASI, HD-SDI y 3G con sus respectivas variaciones del reloj de la trama para NTSC y PAL. Por tanto el detector de frecuencia tan sólo debe comparar el reloj de entrada con los relojes preestablecidos. En el caso de que alguno de ellos coincida, el VCO oscilará para esa frecuencia, generando la nueva trama de reloj que estará lista para regenerar y resincronizar la trama de entrada. En el caso de que no coincida con ninguno de ellos, tan sólo deberá mostrar un mensaje de que el reloj de entrada no corresponde con ningún reloj preestablecido en el integrado.

¿Pero cómo se preestablece los diferentes relojes en el sistema? La respuesta es bien sencilla: mediante los divisores y el oscilador externo. Los divisores de frecuencia tienen como misión dividir la señal de salida del VCO por una serie de determinados divisores para que el resultado sea la frecuencia del oscilador de cuarzo.

Quizás la idea se puede comprender mejor de la siguiente manera: el integrado 2975A está implementado internamente con un array de números, de tal forma que cuando se multiplica la frecuencia del oscilador externo, por cada uno de estos números, se van obteniendo las diferentes frecuencias de trabajo de las posibles tramas de entrada. Eligiendo en cada momento y correctamente, el número que multiplica a la frecuencia del oscilador externo se obtiene el reloj de resincronización. Esto es lo que hace básicamente el sistema, elige el valor del divisor **dependiendo** de la señal detectada a la entrada.

Esto sería la teoría del funcionamiento del detector de frecuencia, y en la práctica es más sencillo. La salida del VCO pasa por un divisor de frecuencia y se dirige hacia el detector de frecuencia. En el detector de frecuencia se compara el resultado obtenido en el divisor de frecuencia, con la frecuencia del oscilador externo. En el caso de que la desviación en la comparación sea menor del 1% se considera que el integrado ha detectado correctamente la frecuencia del reloj de entrada y el VCO está oscilando a la frecuencia del reloj de la trama de entrada, cediéndole el control al detector de fase.

- Adquisición de la fase (*Phase detector*): El detector de fase es un detector digital de cuadratura de fase de las señales de reloj I y Q. Estas dos señales de reloj, están en cuadratura, al igual que sucede en algunas modulaciones, en las que existen dos portadoras, una de ellas modulada por la función seno y la otra modulada por la función coseno, estando ambas señales desfasadas entre si  $90^\circ$  o  $\pi/2$ . La señal I está en fase con la señal generada por el VCO, la señal Q está desfasada  $90^\circ$  con respecto a la señal generada por el VCO.

El detector de fase genera señales de control que controlan el sistema de carga cuando la señal de entrada se encuentra adelantada o retrasada en la fase con respecto a la señal I (señal en fase con el VCO) y con la señal en cuadratura Q. Mediante estas señales de control, se generan señales de corrección en el sistema de carga que ajustan el VCO. Cuando el lazo de detección de fase se enclava con la fase de la señal de entrada, las transiciones de la señal de entrada se alinean con el flanco de bajada de la señal I y la trama de video es resincronizada con el flanco de subida de I a su salida.

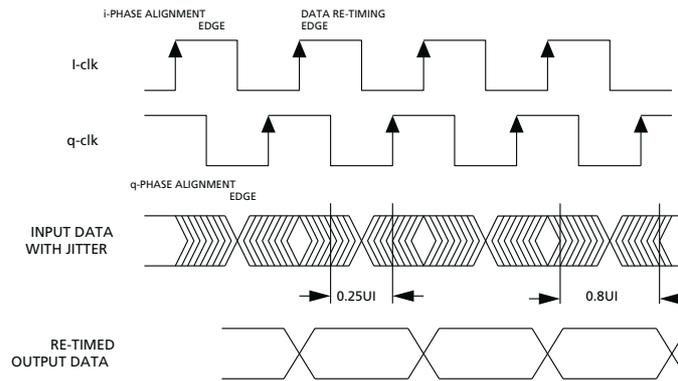


Fig. 113 Cronograma de la resincronización. Por cortesía de Gennum.

Sin embargo aun no se ha comentado para que sirve la señal de reloj en cuadratura, y realmente tiene una función bastante interesante que hace que el sistema de resincronización del GS2975 sea realmente excepcional.

Si se observa en el cronograma adjunto la señal I, se puede observar que el punto de muestreo de la señal I coincide con el flanco de subida de esta señal. En este momento coincide que la señal de entrada está justamente en la mitad de uno de sus dos niveles (nivel alto o nivel bajo), siendo el punto idóneo de muestreo para capturar el nivel de la señal de entrada, libre de jitter. Sin embargo, para la señal Q (que muestrea exactamente igual que la señal I), el punto de muestreo en relación con la señal de entrada ya no es el punto medio, sino que es un punto anterior, el cual no está exento de jitter. En el caso de que el jitter de la señal de entrada sea mayor de 0.25 UI, el valor que muestrea I y Q respecto a la señal de entrada, no es el mismo debido al jitter presente en la trama de entrada que afecta al punto en el que Q muestrea. En esta situación, dos señales de control diferentes a las anteriores forzarán a que el sistema de carga produzca dos señales de corrección sobre el VCO más drásticas que las que ya se mostraron anteriormente.

En definitiva, la señal en cuadratura Q, sirve para detectar cuando el jitter es mayor de 0,25 UI, y fuerza al VCO, a variar para tratar de reducir el jitter por debajo de los 0,20 UI, para que los valores muestreados I y Q sean los mismos.

- Multiplexores y divisores: Los divisores presentes en los lazos de detección de fase y de detección frecuencia ya se comentaron anteriormente cual era su función. El multiplexor presente en estos lazos lo único que hace es seleccionar, que señales de control pasan al sistema de carga. Dependiendo de en que fase de la adquisición se encuentre la señal de control que pasará al sistema de carga será la del detector de frecuencia o la del detector de fase.

La señal de control que opera sobre este multiplexor, proviene del bloque de control del integrado, el cual conoce previamente en que momento de la adquisición se encuentra.

Los lazos de detección de frecuencia y de fase, son como su propio nombre indica lazos. Estos lazos realimentan la salida a la entrada, para con determinadas correcciones sobre el VCO, tratar de compensar las diferencias que se producen en la comparación en el detector de frecuencia y de fase. Son sistemas realimentados negativamente y por tanto estables que tratan de conseguir que la señal error tienda a cero.

Tras haber visto el lazo de frecuencia y el lazo de fase, al lector le debe quedar claro que estos lazos no actúan sobre la señal a resincronizar, sino que se alimentan de ella, para obtener el reloj de la señal de entrada. Una vez que estos lazos han capturado el reloj de la señal de entrada, devuelven al sistema la señal de reloj, limpia de jitter y preparada para ser utilizada en la resincronización.

3) Circuitería lógica de control: La circuitería de control se implementa con la función de controlar y tomar decisiones acerca del funcionamiento de diferentes elementos en relación a la información que posee: acerca del estado del integrado, de la señal de entrada y de la programación externa a la que le somete el usuario.

Se alimenta externamente con las señales de SS[2..0] y AUTO/MAN, con los cuales se selecciona el modo de funcionamiento del integrado. Por otro lado proporciona diferente información acerca de la trama de video a la entrada, a través de los diferentes pines:

- SD/HD: Con esta patilla se informa acerca de la señal de reloj a la que se ha enganchado el integrado. De esta manera la patilla estará a nivel alto cuando se halla enganchado con una señal HD-SDI o 3G y estará a nivel bajo cuando se halla enganchado con una señal SD-SDI o DVB-ASI.
- Locked: Esta patilla se encuentra a nivel alto cuando el PLL se ha enganchado correctamente con la señal de entrada.
- Loss: Indica la ausencia de señal en la entrada seleccionada.

La circuitería de control, actúa por un lado sobre el multiplexor del detector de frecuencia y del detector de fase, y por otro lado sobre la velocidad del VCO. En el primero de los casos, controla el origen de la señal de control que llega hasta el sistema de carga, de tal forma que cuando el VCO está oscilando a la velocidad detectada de la trama de video, el detector de fase toma el control sobre el VCO, gracias a que la circuitería de lógica de control activa las entradas del multiplexor que se corresponde con las señales de control del detector de fase. En el segundo caso la lógica de control recibe a través de la patilla AUTO/MAN la orden de funcionar en el modo manual, y a través de las patillas SS[2..0] la velocidad a la que se desea que oscile el VCO. La lógica de control fuerza entonces al VCO a oscilar a esta velocidad.

4) Circuitería lógica del bypass: La circuitería lógica de bypass se alimenta de dos señales externas que se le proporcionan desde las patillas bypass y autobypass. Este bloque tal como se puede apreciar en el diagrama de bloques, controla un multiplexor, al cual le llega la salida del bloque del Re-timer (señal de entrada resincronizada) y la trama de datos de la entrada directamente y sin haber sido resincronizada. Conforme a la decisión que tome la circuitería de bypass, el multiplexor seleccionará entre la señal de entrada o la señal resincronizada para que una de las dos se dirija hacia el bloque de salidas.

La función de autobypass, hace que el multiplexor seleccione la señal de entrada, en el caso de que el PLL no haya sido capaz de engancharse al reloj de la señal de entrada. La función bypass es prioritaria sobre la función autobypass y selecciona directamente la señal de entrada, independientemente de si el PLL se ha enganchado o no e independientemente de si se ha activado la función de autobypass. En el caso de que ninguna de las dos funciones este activa y de que el PLL no haya sido capaz de engancharse, las salidas presentaran una trama de datos no valida.

5) Circuitería del oscilador externo: En la figura se puede apreciar que junto al 2975A aparece un oscilador de cuarzo. Este oscilador de cuarzo, de frecuencia 14.140 MHz, se utiliza como una referencia externa de reloj para el integrado, permitiendo que el VCO este oscilando permanentemente enclavado con la última referencia, aun en el caso de que no exista señal de entrada. De esta forma, cuando exista de nuevo una señal de entrada, si corresponde con la última frecuencia sincronizada, el VCO, no deberá comenzar el proceso de reajuste, y en el caso de que la frecuencia sea diferente, tardará menos tiempo en sincronizarse con la nueva frecuencia, ya que no debe partir del reposo. La circuitería del oscilador está conectada a dos patillas XTAL+ y XTAL- en las cuales se conecta el oscilador externo. Existe otras dos patillas denominadas XTAL OUT+ y XTAL OUT- las cuales sirven para monitorizar la señal proveniente de la circuitería del oscilador. Estas dos últimas patillas están precedidas de una circuitería de alta impedancia de entrada, implementado un buffer, que de esta manera evita que las salidas XTAL OUT+ y XTAL OUT- carguen la circuitería del oscilador, pudiendo degradar la señal del oscilador.

Este oscilador aparte de las funciones descritas anteriormente, se utiliza como reloj para diferentes elementos del integrado.

6) Re-Timer: El bloque del Re-Timer es donde se produce la regeneración de la trama. Este bloque está alimentado directamente de la salida del multiplexor de entradas y por la salida del divisor de fase. Internamente se vuelve a reescalar con la frecuencia del oscilador externo para crear la señal de reloj. La trama de datos va pasando a una serie de registros de desplazamiento, que son síncronos con la señal de reloj que se ha reescalado,

de tal forma que los bits van saliendo del registro de desplazamiento de una forma síncrona con el reloj reescalado. Los bits de la trama de entrada salen del Re-timer con la señal de reloj o base de tiempos regenerada, eliminando por tanto el jitter de los sistemas anteriores.

7) Circuiterías de salida del integrado: El integrado 2975A está implementado con 2 salidas, estando implementadas cada una de ellas salidas por dos patillas físicas del integrado. Una de las salidas es fija y pertenece a la salida de la trama de video. En la otra salida se puede escoger que aparezca en ella o bien la trama de reloj generada por el VCO, o bien la trama de video duplicada. El bloque de salidas está implementado por diferentes elementos:

- Latch: El latch de salida se alimenta del multiplexor del bloque de bypass y su salida se dirige hacia el buffer de datos. Sobre él, actúa la señal de control de /DDO\_MUTE, la cual se utiliza para cortar el flujo de la trama desde el multiplexor del bypass hacia el buffer de datos, y desde el multiplexor del bypass hacia el buffer del reloj. Interrumpiendo la presencia de la trama de video en las salidas de datos y en la del reloj, ya que esta última se alimenta de la trama de video posteriormente al latch.
- Buffer de datos: El buffer de datos es propiamente el bloque que implementa la circuitería de salida. En la siguiente figura se puede ver como se implementa la circuitería de salida del integrado, tanto para el buffer de datos como para el buffer de reloj. El buffer de datos produce una señal bipolar a partir de una señal monopolar, mediante dos transistores bipolares y una topología en espejo. Implementando las salidas diferenciales, propias de la transmisiones de datos de video. Como se puede observar se incluyen unas resistencias de 50 ohmios, lo cual hace que la impedancia de salida vista desde cualquiera de las salidas sea de 50 ohmios. Las patillas a las que se accede desde este buffer son las patillas de salida DDO0 y /DDO0.

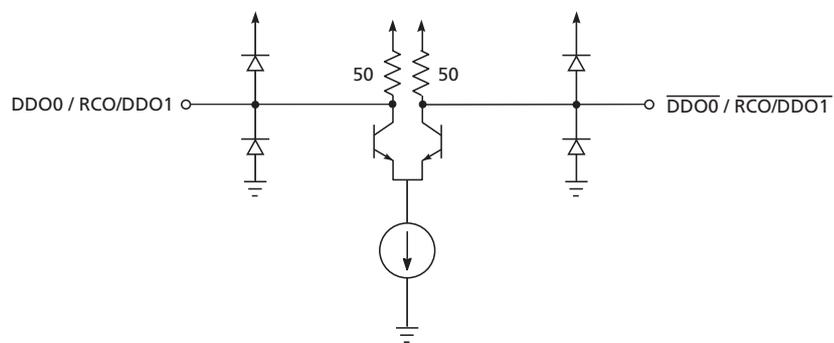


Fig. 114. Buffer de datos y buffer de reloj. Por cortesía de Gennum.

- Multiplexor: El multiplexor del bloque de salidas, alimenta al buffer del reloj, con las señales que provienen del latch anteriormente comentado y de la salida del VCO. La salida del multiplexor se dirige hacia el buffer de reloj. Mediante la patilla DATA/CLOCK se controla que señal se desea que pase hasta el buffer del reloj y por tanto la señal que se obtendrá en la salida del reloj. Tal como se comentó previamente, en esta salida se puede obtener o bien la trama de reloj generada por el VCO o bien la trama de video que llega hasta el latch. La señal de datos se selecciona con DATA/CLOCK a nivel alto, y la señal de reloj se selecciona con DATA/CLOCK a nivel bajo.
- Buffer del reloj: El buffer de reloj es exactamente igual que el buffer de datos, excepto que en este buffer existe la señal de control /RCO\_MUTE. Esta señal de control lo que hace es encender o apagar el buffer de reloj produciendo por un lado la interrupción del flujo de datos a la salida del buffer y por otro lado posibilita un ahorro de energía ya que físicamente se deja de suministrar energía a esta parte del circuito. Esta señal de control es interesante cuando sólo se necesita la salida de datos principal del integrado.

Las patillas que implementan la salida física de este buffer son RCO/DDO1 y /(RCO/DDO1).

La siguiente tabla de verdad rige el funcionamiento del bloque de salidas. Se debe observar que para la combinación 011, las dos salidas están muteadas. Esto es porque la patilla /DDO\_MUTE actúa sobre el latch, que es de donde se alimenta el multiplexor del buffer del reloj. Aunque la patilla /RCO\_Mute esté habilitada, si se ha deshabilitado el latch, no se obtendrá ninguna salida a través del buffer de reloj cuando se seleccione que funcione con la trama de video.

$\overline{\text{DDO\_MUTE}}$	$\overline{\text{RCO\_MUTE}}$	$\overline{\text{DATA/CLOCK}}$	DDO0	RCO/DDO1
1	1	0	DATA	CLOCK
1	1	1	DATA	DATA
0	1	0	MUTE	CLOCK
0	1	1	MUTE	MUTE
1	0	X	DATA	Power Down
0	0	X	MUTE	Power Down

Fig. 115 Tabla de verdad del bloque de salidas. Por cortesía de Gennum.

A continuación se puede observar como de las dos salidas monopolares de cada uno de los buffers, se puede obtener una señal diferencial bipolar. Los integrados que se implementen a continuación en la circuitería, podrán elegir si trabajan con señales

monopolares (single ended) o señales bipolares (diferenciales) dependiendo del estándar SMPTE, DVB, etc.... con el que trabajen, simplemente utilizando una señal monopolar con una entrada o utilizando la señal bipolar (diferencial) con dos entradas.

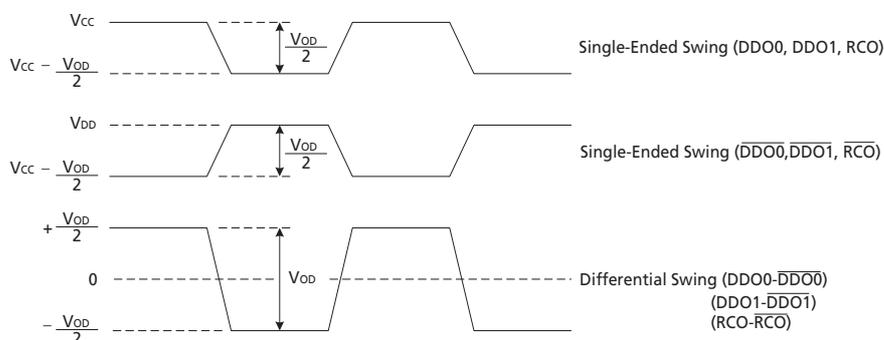


Fig. 116 Señales de salida del integrado. Por cortesía de Gennum.

El integrado puede fijar el reloj de resincronización de un modo manual o modo automático de una forma similar a la que se vio anteriormente para el CLC016. El modo de trabajo se fija en el bloque de control, el cual actúa sobre el resto de bloques del integrado para variar el funcionamiento del mismo internamente. Para ello se accede al pin AUTO/MAN con automático a nivel alto, y manual a nivel bajo.

En el modo automático el integrado inicia un bucle que recorre las diferentes velocidades a las que enclavarse, tratando de identificar la señal de entrada con respecto a esas velocidades. En este caso los pines SS[2..0] se convierten en pines de salida, informando mediante un código binario de la velocidad que se ha detectado.

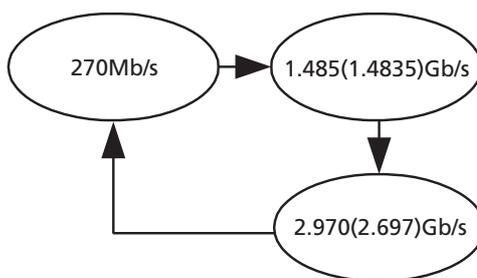


Fig. 117 Secuencia del modo automático de funcionamiento. Por cortesía de Gennum.

En el modo manual es el usuario el que fija el reloj al que se tiene que enclavar el VCO, sin ser este el que trate de identificar el reloj de la señal de entrada. En este caso los pines SS[2..0] actúan como pines de entrada indicando al bloque de control la velocidad a la que debe oscilar el VCO. En este caso el bloque de control, fuerza al VCO a oscilar a dicha velocidad.

Como lógicamente cabe pensar, el usuario deberá elegir correctamente el reloj de entrada conforme al reloj de la trama de video, en caso contrario el sistema indicará que no es posible enclavarse con esa velocidad.

En la siguiente tabla se muestran los códigos asignados para cada una de velocidades de las tramas.

SS[2:0]	Data Rate (Mb/s)
010	270
101	1485 (1483.5)
110	2970 (2967)

Fig. 118 Velocidades asignadas en función de las tensiones existentes en SS. Por cortesía de Gennum.

En la siguiente figura se puede ver la primera página de las hojas de características del integrado GS2975A en el cual se resumen las principales funciones implementadas en el integrado.



**GS2975A HD-LINX® III**  
**Multi-Rate SDI Automatic Reclocker**  
**with Dual Differential Outputs**

GS2975A Data Sheet

<p><b>Features</b></p> <ul style="list-style-type: none"> <li>SMPTE 424M, 292M, and 259M-C compliant</li> <li>Supports data rates of 270, 1483.5, 1485, 2967, 2970Mb/s</li> <li>Supports DVB-ASI at 270Mb/s</li> <li>Pb-free and RoHS Compliant</li> <li>Auto and Manual Modes for rate selection</li> <li>Standards indication in Auto Mode</li> <li>4:1 input multiplexer patented technology</li> <li>Choice of dual reclocked data outputs or one data output and one recovered clock output</li> <li>Footprint and drop-in compatible with existing GS2975 designs</li> <li>Loss of Signal (LOS) Output</li> <li>Lock Detect Output</li> <li>On-chip Input and Output Termination</li> <li>Differential 50Ω inputs and outputs</li> <li>Mute, Bypass and Autobypass functions</li> <li>SD/HD indication output to control GS2978 Dual Slew-Rate Cable Driver</li> <li>Single 3.3V power supply</li> <li>Operating temperature range: 0°C to 70°C</li> </ul> <p><b>Applications</b></p> <ul style="list-style-type: none"> <li>SMPTE 424M, SMPTE 292M and SMPTE 259M-C Serial Digital Interfaces</li> </ul>	<p><b>Description</b></p> <p>The GS2975A is a Multi-Rate Serial Digital Reclocker designed to automatically recover the embedded clock from a digital video signal and re-time the incoming video data.</p> <p>The GS2975A Serial Digital Reclocker will recover the embedded clock signal and re-time the data from a SMPTE 424M, SMPTE 292M, or SMPTE 259M-C compliant digital video signal.</p> <p>The GS2975A removes the high frequency jitter components from the bit-serial stream. Input termination is on-chip for seamless matching to 50Ω transmission lines.</p> <p>The GS2975A can operate in either auto or manual rate selection mode. In Auto mode the device will automatically detect and lock onto incoming SMPTE SDI data signals at any supported rate. For single rate data systems, the GS2975A can be configured to operate in Manual mode. In both modes, the device requires only one external crystal to set the VCO frequency when not locked and provides adjustment free operation.</p> <p>In systems which require passing of non-SMPTE data rates, the GS2975A can be configured to either automatically or manually enter a bypass mode in order to pass the signal without reclocking.</p> <p>The GS2975A offers a choice of dual reclocked data outputs or one data output and one recovered clock output. The device is footprint and drop-in compatible with existing GS2975 designs, with no additional application changes required.</p> <p>The GS2975A is Pb-free, and the encapsulation compound does not contain halogenated flame retardant.</p> <p>This component and all homogeneous sub-components are RoHS compliant.</p>
---	--

Fig. 119 Hoja de características técnicas. Por cortesía de Gennum.

- Bloque de *drivers*: El bloque de drivers tiene como finalidad replicar una entrada a varias salidas, a la vez de mantener una amplitud de la trama de bits casi independientemente de la carga a la que se conecta, según dicten las diferentes normas con las que pueden trabajar los diferentes integrados que conforman este bloque. Esto se consigue haciendo

funcionar al driver como un generador de corriente, capaz de variar la corriente que produce, de tal forma que sobre diferentes cargas sea capaz de mantener constante la tensión necesaria que dictamina el estándar.

El integrado que ha implementado Snell&Willcox en este bloque es el Gennum GS2978, de la misma familia HD-Linx III que los integrados que se han visto hasta ahora en las etapas previas. Es un integrado que acepta una señal diferencial a su entrada y es capaz de duplicar la salida, mediante sus dos salidas SDO y /SDO las cuales son simétricas pero invertidas en polaridad respecto a masa.

En la fotografía que se mostró con anterioridad, se pueden identificar los 4 integrados GS2978, situados en la fila superior de los integrados más pequeños. Concretamente están dispuestos dos a dos a la izquierda y a la derecha del integrado GS2974.

En la misma fotografía se puede apreciar como estos integrados están alimentados de las salidas del integrado GS2975, mientras que cada una de las dos salidas de estos integrados se dirige hacia el zócalo de conexiones de la parte trasera de la tarjeta.

### GS2978 HD-LINX® III Multi-Rate Dual Slew-Rate Cable Driver

#### Features

- SMPTE 424M, SMPTE 292M, SMPTE 344M and SMPTE 259M compliant
- Dual coaxial cable driving outputs with selectable slew rate
- 50Ω differential PECL input
- Pb-free and RoHS compliant
- Seamless interface to other HD-LINX® III family products
- Single 3.3V power supply operation
- Operating temperature range: 0°C to 70°C

#### Applications

- SMPTE 424M, SMPTE 292M, SMPTE 344M and SMPTE 259M Coaxial Cable Serial Digital Interfaces.

#### Description

The GS2978 is a high-speed BiCMOS integrated circuit designed to drive one or two 75Ω co-axial cables.

The GS2978 may drive data rates up to 2.97Gb/s and provides two selectable slew rates in order to achieve compliance to SMPTE 424M, SMPTE 259M, SMPTE 344M and SMPTE 292M.

The GS2978 accepts a LVPECL level differential input that may be AC coupled. External biasing resistors at the inputs are not required.

Power consumption is typically 168mW using a 3.3V power supply. The GS2978 is Pb-free, and the encapsulation compound does not contain halogenated flame retardant.

This component and all homogeneous subcomponents are RoHS compliant.

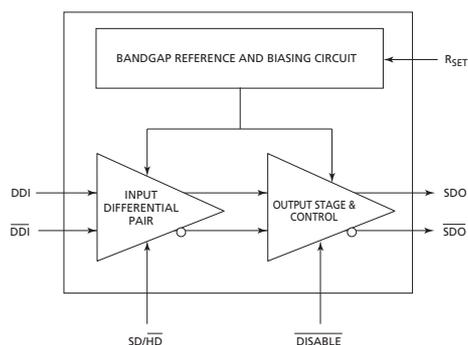


Fig. 120 Hoja de características técnicas del integrado GS2978. Por cortesía de Gennum.

En la figura anterior se puede apreciar que el integrado está constituido por tres bloques principalmente:

- La etapa de entrada: Constituida por una etapa diferencial de entrada, a la cual se accede mediante los pines DDI y /DDI.

En este bloque además se puede encontrar el pin de SD /HD el cual actúa sobre el parámetro del *slew rate* de la señal de entrada, en función de que sea una señal SD o HD. El parámetro *slew rate*, mide la variación de tensión en función del tiempo que es capaz de soportar el sistema. O dicho de otra forma, cuantos voltios es capaz de incrementar por unidad de tiempo. Debido a que las señales de SD y HD se rigen por diferentes estándares y debido a que como se puede intuir para las señales de HD el *slew rate* deberá ser mayor que en las señales SD, se implementa en el bloque de entrada una circuitería capaz de variar el parámetro *slew rate* y que es controlado a través del pin SD /HD por el entorno del microcontrolador, en función de lo que el usuario haya indicado como entrada a través del interfaz Roll&Call.

- La etapa de salida: Constituida también por una etapa diferencial de salida, la cual ofrece dos salidas simétricas e idénticas (SDO y /SDO) respecto a masa pero invertidas en polaridad, lo cual permite duplicar la señal diferencial a su entrada. Aunque las salidas SDO y /SDO puedan parecer flotantes, la verdad es que están referenciadas a masa gracias a que el integrado internamente está referenciado a masa. Para duplicar la señal diferencial existente en la entrada del integrado tan sólo se deberá unir cada uno de los vivos de los BNCs de salida con su respectiva salida del integrado y la malla del BNC con la misma masa a la que esta referenciado el integrado. El hecho de que la polaridad esté invertida en la trama de bits de la salida negada /SDO no supone un problema, debido al tipo de codificación de canal utilizada en los diferentes estándares de SDI no es sensible a la polaridad sino a las transiciones en la trama de bits.

Además de estos pines, en el bloque se puede encontrar el pin de control /Disable. Mediante este pin se puede desconectar la alimentación del bloque de salida, y por tanto la trama de bits que entran en el integrado no saldrán del mismo, es una forma de cortar la señal de salida de la tarjeta.

- Un bloque encargado de fijar una tensión de referencia con tecnología de salto de banda y que también proporciona las tensiones de polarización necesarias por los bloques de entrada y de salida, para su correcto funcionamiento, de tal forma que la señal de entrada al integrado no es necesario que porte ninguna tensión de continua.

En este bloque el único pin que existe es el de Rset y mediante este pin se fija el valor de la amplitud de salida de la trama de bits. Dependiendo del valor de la resistencia que se ponga en serie con este pin y con Vcc, la trama de bits de salida podrá tener diferentes amplitudes.

- 2) **Circuitería reguladora de tensiones de alimentación:** La circuitería reguladora de tensión tiene como objeto obtener las tensiones reguladas de funcionamiento de los diferentes componentes implementados en la placa a partir de una tensión de alimentación que se distribuye por la circuitería backplane existente en el cofre. En la fotografía que se adjunta acerca de la circuitería reguladora de tensión, se puede observar que existen tres tensiones de alimentación que se regulan a partir de esta circuitería: La tensión de 5 voltios, la tensión de 3,3 voltios, y la tensión de 0 voltios que sirve como tensión de referencia para toda la circuitería implementada en la tarjeta.

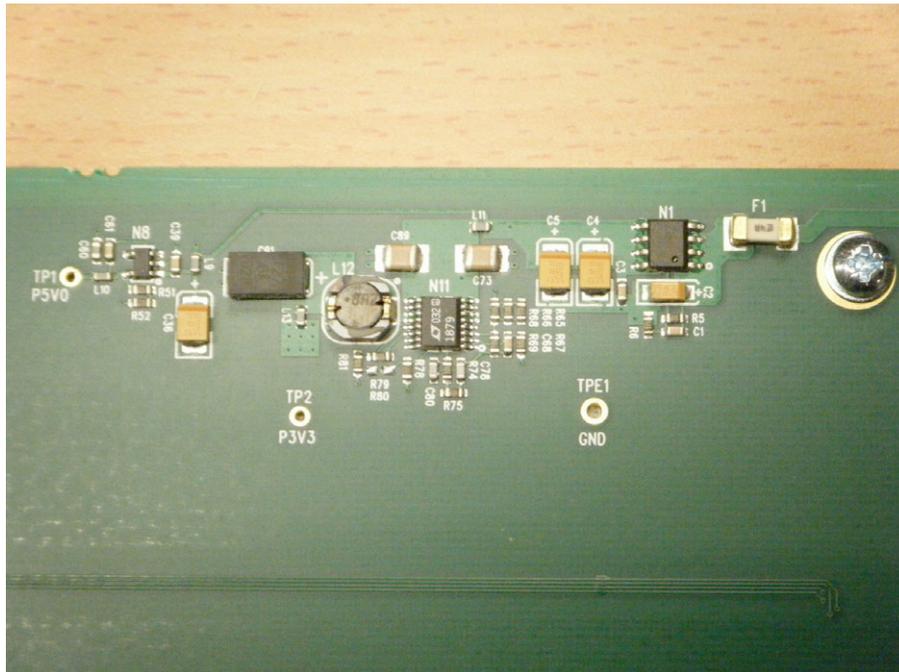


Fig. 121 Circuitería reguladora de alimentación. Por cortesía de RTVE.

- 3) **Entorno de microcontrolador:** El entorno de microcontrolador implementado en la tarjeta IQSDA32 es casi idéntico que el entorno que ya se presentó para la tarjeta IQSDA10. Dependiendo de la complejidad y de la funcionalidad necesaria con el software Roll Call y las posibilidades de manejo de la tarjeta sobre la que se implementa, el entorno del microcontrolador podrá ser más o menos complejo.

El entorno que se presentó para la tarjeta IQSDA10 es un entorno relativamente básico de monitorización y actuación sobre la tarjeta, que se implementa en todas aquellas tarjetas de Snell&Willcox cuya monitorización y configuración sean relativamente simples. Por esta razón los entornos de microcontrolador de las tarjetas IQSDA10 y de la IQSDA32 al ser muy similares en cuanto a funcionalidad estarán implementadas con circuiterías casi idénticas.

Por la tanto se puede concluir que **la circuitería que implementa el entorno de microcontrolador de la tarjeta IQSDA32 es implementada en otras tarjetas de Snell&Willcox que presenten una funcionalidad similar.**

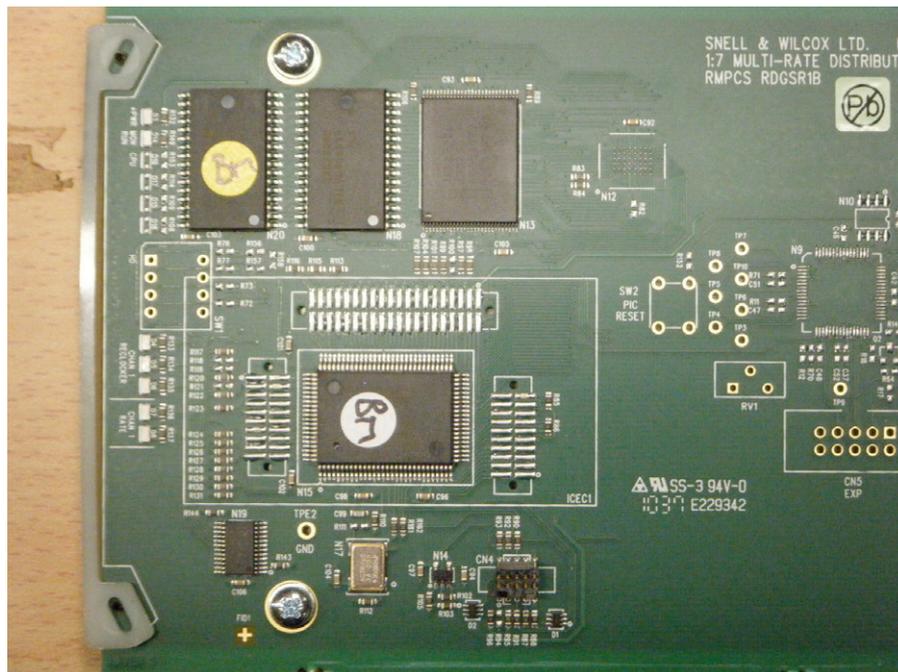


Fig. 122 Entorno de microcontrolador de la tarjeta IQSDA32. Por cortesía de RTVE.

Las tarjetas IQSDA30 e IQSDA32 se pueden manejar con un sistema Roll Call instalado en un ordenador, siempre que en el cofre en el que se instalen las tarjetas esté también instalada la tarjeta que hace de pasarela para las conexiones de red, permitiendo que se establezcan comunicaciones entre el cofre y sus tarjetas con un ordenador conectado a la red.

Las pantallas que se podrán manejar en el Roll Call se muestran con respecto a la tarjeta IQSDA30:

- Pantalla de entrada: La pantalla de entrada está dividida en 4 ventanas
  - 1) Tasa de datos de la entrada 1: En esta ventana se puede elegir la tasa de datos que se desea resincronizar a la entrada. Existen diferentes opciones:
    - Auto: Con esta opción la tarjeta detecta y resincroniza cualquier tasa de datos presente en su entrada. La tasa detectada se presentará en la pantalla de estado de la unidad.
    - SD/DVB-ASI: En esta opción la tarjeta resincroniza sólo las señales de entrada que cumplan con la tasa de datos del SD-SDI o del DVB-ASI, es decir señales con una tasa de datos de 270 Mbps.
    - HD: El sistema resincroniza sólo señales de entrada cuya tasa de datos sea de 1.5 Gbps.
    - 3G: El sistema resincroniza sólo señales de entrada cuya tasa de datos sea de 3 Gbps
    - Saltarse la resincronización: En este caso la unidad no resincroniza la señal de entrada, sin embargo, en el caso de detectar una tasa de datos a la entrada conocida, la mostrará en la ventana de estado de la unidad

- 2) Tasa de datos de la entrada 2: Exactamente igual que tasa de datos de la entrada 1.
- 3) Salida 1: En esta ventana de nuevo vuelve a existir diferentes opciones:
  - o Apagar: Esta opción, apaga los integrados GS2978 existentes en la salida, cortándose por tanto el flujo de datos a la salida.
  - o En caso de perder la señal de entrada/apagar: En esta opción si la señal de entrada se pierde o en el caso de que la señal de entrada no coincida con la seleccionada en tasa de datos 1, la señal de salida será cortada.
  - o En caso de perder la señal de entrada/dejar pasar: En esta opción si la señal de entrada se pierde o en el caso de que la señal de entrada no coincida con la seleccionada en tasa de datos 1, se dejará pasar cualquier tipo de señal a la entrada hasta la salida sin resincronizar dicha señal.
- 4) Salida 2: Exactamente igual que salida 1.

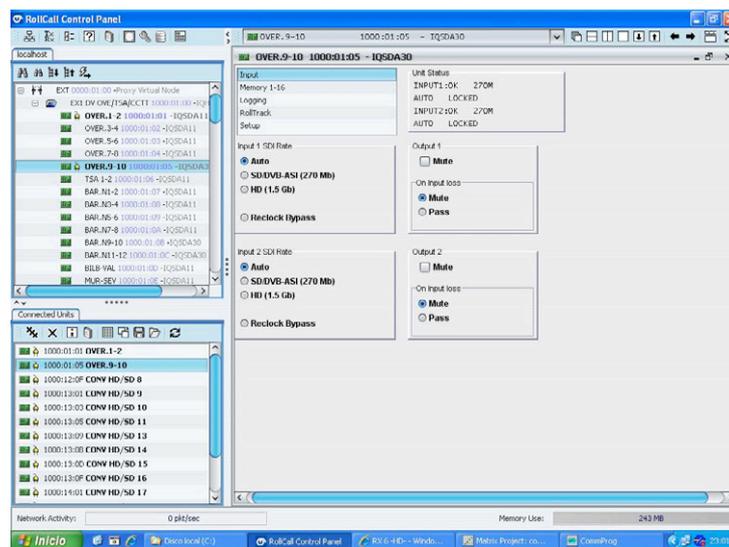


Fig. 124 Pantalla de entrada. Por cortesía de RTVE.

- Pantalla de memorias: Se utiliza para almacenar hasta un total de 16 memorias de usuario, acerca de diferentes configuraciones de la tarjeta. Para almacenar las memorias se debe ir a la ventana de *Save memory* y pinchar sobre una de las memorias, y posteriormente pinchar sobre guardar. El nombre de las memorias se pueden variar en la línea *save memory name* y luego se pulsará sobre la S. Para cargar una memoria se debe pinchar directamente sobre la memoria que se desee en la ventana de *Recall memory*. En la línea *Last recalled memory*, aparecerá la última memoria que se ha cargado.

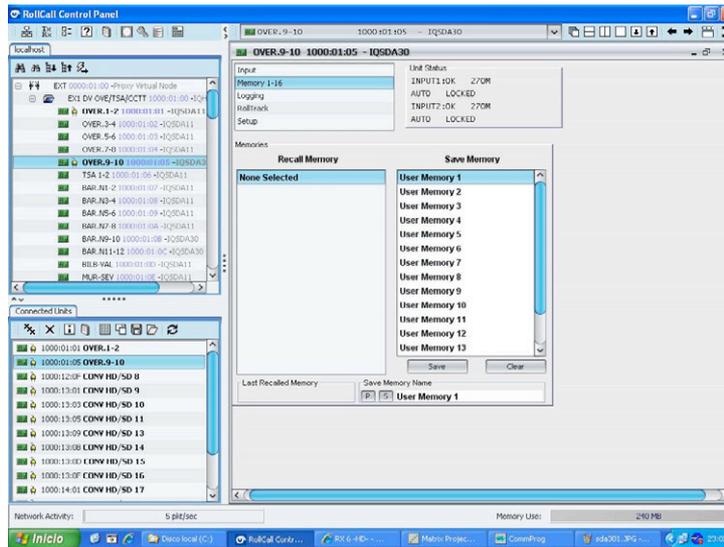


Fig. 125 Pantalla de memorias. Por cortesía de RTVE.

- Pantalla de *log*: En esta pantalla se puede activar los parámetros, a los cuales se desea que se les realice un seguimiento de estado a través de un *log*. En esta pantalla se organizan los parámetros a seguir en tres ventanas a su vez: parámetros varios, parámetros de la entrada 1 y parámetros de la entrada 2. En las tres ventanas la información está agrupada en tres columnas:
  - 1) Habilitar log: En esta columna se marcan aquellos parámetros de los cuales se desea hacer un seguimiento.
  - 2) Campo del log: Muestra el nombre que hace referencia posteriormente al parámetro que se está adquiriendo.
  - 3) Valor del log: Muestra el valor actual del parámetro que se está siguiendo.

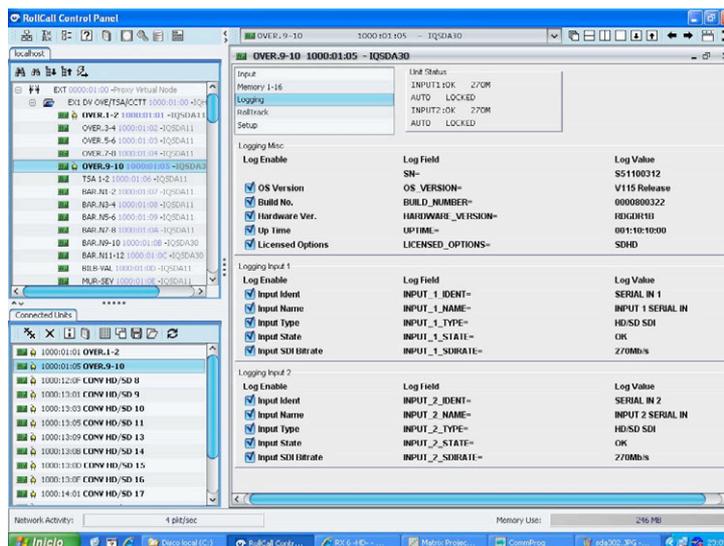


Fig. 126 Pantalla de *log*. Por cortesía de RTVE.

- Pantalla de *rolltrack*: Los ajustes en el rolltrack, permiten enviar información a través de la red de Roll Call a otros dispositivos compatibles ubicados en la misma red.

En la ventana fuente, se puede elegir que parámetro es el que dispara la transmisión de datos por la red. El campo dirección, identifica el dispositivo destinatario de la información. El campo comando identifica la instrucción y el valor de la instrucción que se produce cuando se verifica el parámetro de la fuente.

En la casilla deshabilitar todo, es donde se habilita o deshabilita el funcionamiento del rolltrack. La información acerca del funcionamiento del rolltrack se puede consultar en el campo rolltrack enviando, con el cual se conocerá si en ese momento se está enviando datos por la red a través del rolltrack y con el campo estado del rolltrack se puede obtener información acerca de la recepción del mensaje enviado.

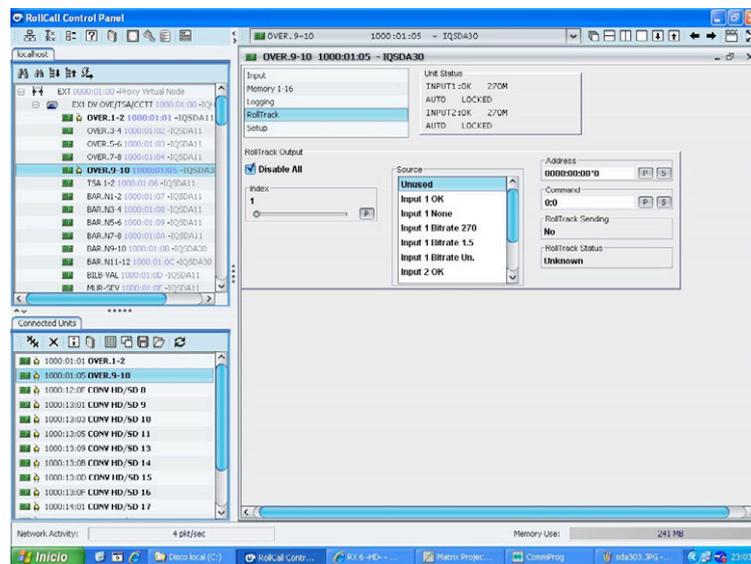


Fig. 127 Pantalla de *rolltrack*. Por cortesía de RTVE

- Pantalla de configuración: Esta pantalla muestra información muy básica acerca de la unidad: nombre de la placa, versión de *software* que se está ejecutando actualmente, número de serie de la placa, número asociado en fábrica en el momento de su construcción y que identifica las propiedades de la tarjeta en función del lote y fecha de fabricación, la versión del sistema operativo que se está ejecutando y el número de serie de la placa PCB.

Si se desea reiniciar por *software* la tarjeta, se puede hacer en esta pantalla pulsando sobre *restart*. Si se desea hacer un reseteo de los parámetros, a los parámetros por defecto se debe pulsar sobre *default settings* y si se desea resetear los parámetros a los parámetros de fabrica se debe pulsar sobre *factory defaults*. Realmente el reseteo a los parámetros por defecto y el reseteo a los parámetros de fabrica hacen la misma función, excepto que el reseteo a parámetros de fabrica borra las 16 memorias de las que está provista la tarjeta.

En los campos *input 1 name* e *input 2 name* se puede cambiar el nombre asignado a cada una de las entradas.

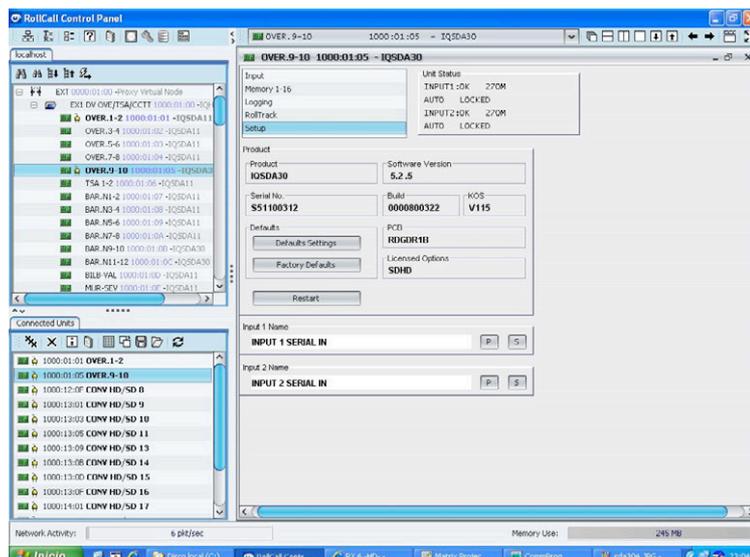


Fig. 128 Pantalla de configuración. Por cortesía de RTVE.

En todas las pantallas que se han visto anteriormente, ha aparecido siempre una ventana común en la parte superior derecha, que es la que se conoce como la ventana estado de la unidad. En esta ventana se muestra en cuatro líneas el estado de las entradas 1 y 2. Las dos primeras líneas se emplean para la entrada 1 y las dos siguientes líneas para la entrada 2. En estas líneas se puede obtener información acerca del estado de la entrada, la tasa de datos detectada en la entrada, y la selección que se ha hecho en las ventanas de tasa de datos de la entrada 1 y tasa de datos de la entrada 2 de la pantalla de entrada.

A continuación se adjunta la tabla de las características técnicas de la tarjeta Grass Valley 8937. Se ha decidido presentar dicha tabla ya que las características ofrecidas en el catalogo de Snell&Willcox no poseen información relevante.

Parameter	Value
<b>Serial Digital Component Inputs</b>	
Number of inputs	8937: 2 BNC differential loop-through 8937D: DA 1 – 2 BNC loop-through 8937D: DA 2 – 1 terminated BNC
Input impedance	High Z
Signal type	Conforming SDI SMPTE 259M (143 Mb/s, 177 Mb/s, 270 Mb/s, 360 Mb/s), DVB-ASI (passing 50 Mb/s to 360 Mb/s with maximum P/N of 19/1)
Reclocked data rates	143 Mb/s, 177 Mb/s, 270 Mb/s, and 360 Mb/s
Supported data rates	50 Mb/s to 360 Mb/s with maximum P/N of 19/1
Signal level	SDI 800 mV p-p (± 10% maximum)
Return loss	> 15 dB, 4 MHz to 360 MHz
Automatic cable equalization (1694A cable)	Up to 300 meters for SDI SMPTE signals up to 270 Mb/s Up to 200 meters up to 360 Mb/s
<b>Serial Digital Component Outputs</b>	
Number of outputs	8937: 8 BNCs 8937D: DA 1 – 3 BNCs 8937D: DA 2 – 4 BNCs
Output impedance	75 ohm
Signal types	Conformed SDI SMPTE 259M (143 Mb/s, 177 Mb/s, 270 Mb/s, 360 Mb/s), DVB-ASI (passing 50 Mb/s to 360 Mb/s with maximum P/N of 19/1)
Signal level	SDI 800 mV p-p (± 10% maximum)
Return loss	> 15 dB 4 MHz to 360 MHz
Error checking	Transparent to embedded EDH
Electrical length	< 20 ns
Output polarity	Non-inverted
Rise and fall time	400 – 700 ps
Jitter	< 0.2 UI
<b>Environmental</b>	
Frame temperature range	Refer to frame specification
Operating humidity range	10 to 90% non-condensing
Non-operating temperature	-10 to +70 degrees C
<b>Mechanical</b>	
Frame type	Gecko 8900 Video GeckoFlex with 8900V-R Rear Module Video/8800/8500 (with trace cut and with certain power and return loss limitations)
Rear retainer clip screw torque	4-5 inch-lb/0.45-0.6Nm
<b>Power</b>	
Power consumption	< 3 W

Fig. 129 Especificaciones técnicas de la tarjeta 8937. Por cortesía de Grass Valley.



Fig. 130 Cofre de Snell con tarjetas IQSDA30 e IQSDA11. Por cortesía de RTVE.

## **2.3 Paneles de conexionado**

Los paneles de conexionado o *patch pannels* son otros elementos que permiten flexibilizar una infraestructura. Su misión es ofrecer un panel en el cual se pueda bien mediante puentes o bien mediante cable, interconectar diferentes equipos entre sí de una forma totalmente rápida y fácil.

La persona encargada del diseño de la instalación incluyendo los paneles de conexionado, deberá tener en cuenta que en la medida de lo posible las entradas y salidas de todos los equipos de la instalación deberán estar situadas en el panel. La ordenación de los elementos en los diferentes paneles deberá ser intuitiva y lógica, es decir si dos equipos tienen que estar conectados entre sí, los cables que salen de cada equipo deberán terminar en puntos de *patch* pertenecientes al mismo panel. De tal manera que la salida del equipo emisor estará en la fila de arriba del panel y la entrada del equipo receptor estará en la fila de abajo del panel, estando ambos puntos de *patch* en la misma columna, para de esta forma poder cerrar la conexión mediante el uso de un puente.

Además es labor del proyectista diseñar las soluciones necesarias con respecto a los paneles de conexión y sus cableados, con previsión de una futura expansión de la instalación.

### **2.3.1 Paneles de conexionado de señales SD.**

Como ya se ha adelantado el panel de conexión está formado por dos filas, en la fila superior se suele encontrar las salidas de los equipos y en la fila inferior las entradas de los equipos. En la parte posterior del panel se podrá encontrar los conectores en donde terminan los cables que van desde y hacia los equipos, mientras que por la parte de delante se encuentran los puntos de *patch* o los conectores que mediante el uso de puentes o cables, unen las salidas de los equipos con las entradas de los equipos.

Tanto en la parte superior como en la inferior del frontal del panel se pueden encontrar unos carriles los cuales sirven para poner etiquetas de papel que asignan un nombre a cada uno de los puntos de *patch*. Es recomendable que estos nombres sean lo más lógicos posibles, y parte del mantenimiento de la infraestructura incluye revisar que efectivamente los puntos de *patch* se corresponden con la señal que se espera encontrar ahí conforme al nombre serigrafiado.

En algunos modelos de paneles se pueden encontrar unas varillas traseras que recorren el panel de un extremo a otro separadas unos 10 centímetros de la parte trasera. Estas varillas tienen como misión permitir que se apoye el cableado sobre ella, de esta manera no se produce la clásica curvatura en la unión entre el conector y el cable que podría provocar el deterioro del sistema y por tanto pérdidas de señal.

El diseño de los paneles de conexión deberá aparecer en la documentación del proyecto y acometida de la instalación, y cualquier cambio que se realice sobre los paneles posteriormente, deberán ser reflejados sobre la documentación y en las tiras de papel que dan nombre a cada uno de los puntos del panel.

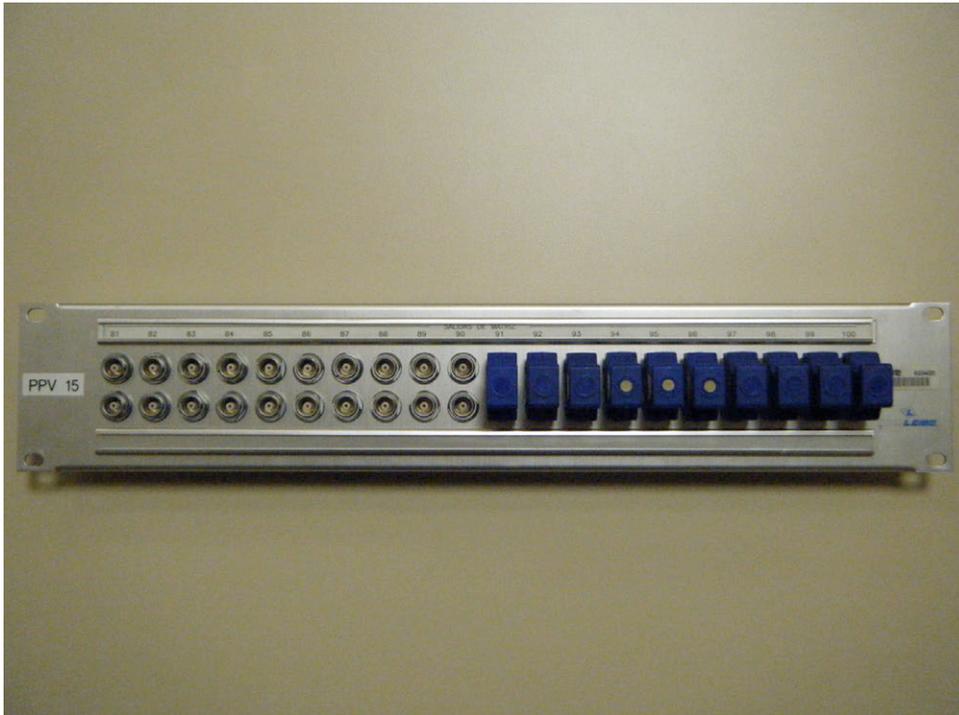


Fig. 131 Frontal de un panel de conexionado, con puentes instalados. Por cortesía de RTVE



Fig. 132 Trasera de un panel de conexionado. Por cortesía de RTVE.

Los paneles de conexión que más se suelen instalar para video son los fabricados por la marca Lemo. En la siguiente figura se puede ver la hoja de catálogo del fabricante de uno de los paneles más completos para video manufacturado por Lemo.

VIDEO

**VIDEO application**  
**Digital-serial transmission**  
**Connectors: 0A Series**  
**Type coax (75 Ω)**  
**with microswitch for 75 Ω termination**

**Application VIDEO**  
**Transmission digitale-sérielle**  
**Connecteurs: Série 0A**  
**Type coax (75 Ω)**  
**avec microrupteur pour terminaison 75 Ω**

- 1 U panel, with one row of 22 insulated sockets of the 0A Series.
- 2 U panel, with two rows of 22 insulated sockets of the 0A Series. Rear output with BNC connectors.

- Panneau une unité, avec une rangée de 22 embases isolées de la série 0A.
- Panneau deux unités, avec deux rangées de 22 embases isolées de la série 0A. Sortie arrière avec des connecteurs BNC.

**Part number example    Exemple de composition de la référence**

P			0	A	2	7	5	A	E	B	C		
---	--	--	---	---	---	---	---	---	---	---	---	--	--

Units    A = 1  
 Unités    0 = 2

Colour  
 Couleur

Number of connectors  
 Nombre de connecteurs

Front side connection  
Connexion avant

Rear side connection  
Connexion arrière

FFA-FFS  
0A

OFF 0A 275 PTCx

20 mm

BNC

Ref. Réf.	Colour Couleur	Couleur
C	beige	beige
G	grey	gris
N	black	noir
T	mat. anod. élox. nat.	mat. anod. élox. nat.

Fig. 133 Hoja de catalogo oficial de Lemo. Por cortesía de Lemo.

Los conectores del panel presentado son unos conectores BNC universales en su parte trasera y unos conectores específicos del fabricante en la parte delantera. En ambos casos los conectores poseen una impedancia característica de 75 ohmios. Y es que no es tan sólo el cable el que debe adaptar las impedancias para la correcta transmisión de la señal, cualquier elemento en la cadena que pueda variar la impedancia característica en la línea de transmisión deberá ser tenido en cuenta.

Esto último es bastante importante, sin embargo quizás el mayor logro en este panel es la terminación de la línea de transmisión mediante un sistema mecánico. El panel incluye la función de terminar la línea a la conectada por la parte de atrás mediante una resistencia interna de 75 ohmios y una pequeña leva, evitando de esta manera problemas en los equipos conectados al panel y que no estén cargados con su correspondiente impedancia. El sistema mecánico es muy sencillo, cuando en la parte delantera no existe ningún puente o conector instalado, la leva está cerrando el circuito que se establece entre el vivo y la malla del BNC a través de la resistencia de 75 ohmios. De esta manera, la impedancia vista desde la salida del equipo es de 75 ohmios correctamente finalizada.

Cuando se inserta un cable o un puente por la parte frontal del equipo, el propio conector empuja un pequeño resorte que a su vez mueve la leva hacia su posición de circuito abierto, en este caso se abre el circuito que finaliza la línea de transmisión, haciendo que a efectos prácticos este circuito no exista.

Los conectores que se pueden emplear para la interconexión frontal, son conectores específicos del fabricante. En concreto para los paneles de conexiones de señales en SD-SDI se suele utilizar los conectores de la familia 1S.

#### Coaxial connectors 1S Series (75 Ω)

This connector series is widely used for the distribution of video and synchronization signals in television control rooms as well as in studios. Similar to the 0A, this series allows the use of cables with larger dimensions.

##### Technical characteristics Caractéristiques techniques

Impedance	Impédance :	75 Ω
Operating frequency	Fréquence d'utilisation:	2.2 GHz
VSWR (f= GHz)	TOS (f= GHz):	1.02 + 0.08f
Central contact resistance	Résistance du contact central:	< 3 m Ω
Shell to shell resistance	Continuité électrique du blindage:	< 2.5 m Ω
Insulation resistance	Résistance d'isolation:	> 10 <sup>12</sup> Ω

The 1S Series also exists in 50 Ω version.  
This Series comprises other types of connectors not shown in this brochure.

La série 1S est aussi disponible en version à 50 Ω.  
Il existe dans cette série d'autres modèles de connecteurs non présentés dans cette brochure.

For all collet nut connectors, adding a Z to the end of the part number means there is a collet nut to be used for mounting the cable sleeve.  
All models for crimping can be supplied with cable sleeve. This sleeve is to be ordered separately.  
For bridge-plugs, the last letter of the part number indicates the shell colour (G= grey). For the other colours, please refer to the page 31 table.

Fig. 134 Características de los conectores coaxiales de la serie 1S. Por cortesía de Lemo.

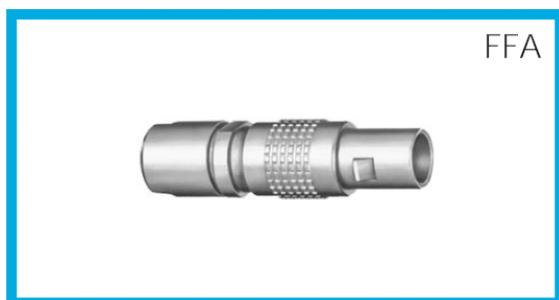


Fig. 135 Conector FFA. Por cortesía de Lemo



Fig. 136 Puentes CRF-CCF. Por cortesía de Lemo

Como observación se indicara que el conector CRF-CFF son realmente dos conectores diferentes. En uno de ellos por la parte de atrás se puede encontrar una conexión, la cual puede servir para monitorar ese punto del panel. Sin embargo se ha de advertir que este tipo de sistema de monitorado produce diversas problemáticas por la desadaptación de impedancias que produce.

A continuación se muestra el sistema de enclavamiento del conector macho en la hembra. El sistema es conocido como push-pull y su patente pertenece a Lemo. Como se puede ver, para desconectar el macho de la hembra se ha de retirar mediante una tracción trasera axial, lo que sería la camisa del conector. Cuando se desliza hacia atrás la camisa del conector, sus pequeños enclavamientos se introducen dentro del conector facilitando su extracción. De no hacer este movimiento los pequeños anclajes existentes en el conector no se liberarían de su posición, siendo imposible la extracción del conector.

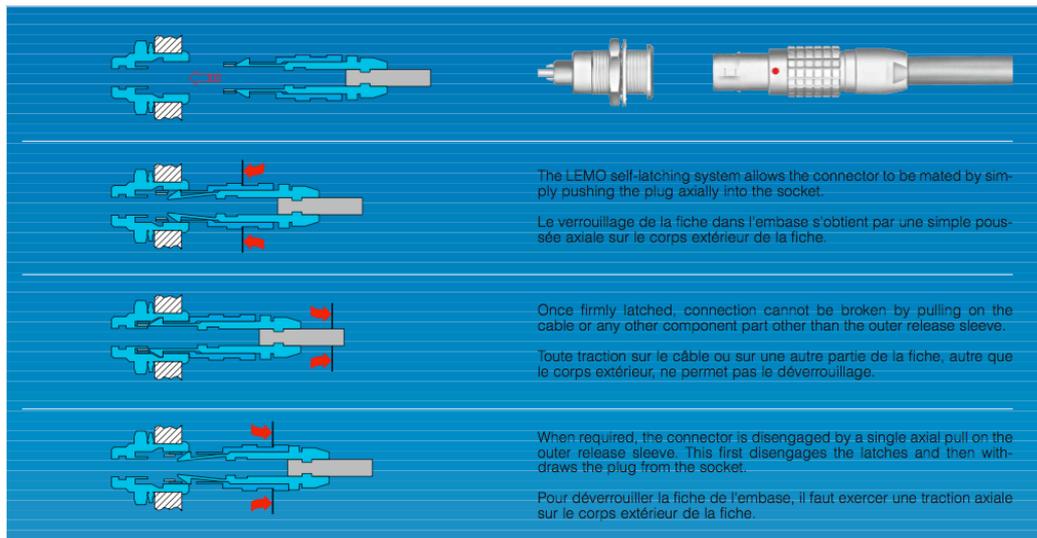


Fig. 137 Sistema push-pull de enclavamiento patentado por Lemo. Por cortesía de Lemo

### **2.3.2 Paneles de conexionado de señales HD.**

Poco antes de la finalización de este PFC y con motivo de la retransmisión de los JJOO de Londres 2012, se llevó a cabo la instalación de la matriz HD Snell Sirius 850, presentada con anterioridad, en las instalaciones de RTVE en Torrespaña. Con la instalación de esta matriz se produjo el principal hito en el tránsito hacia una nueva televisión, que lógicamente aun no ha terminado ya que se deben adecuar absolutamente todos los elementos en la cadena de producción de contenidos hacia el estándar de radiodifusión que se prevé en un futuro: el HD.

La instalación de la matriz Sirius 850, supuso un reto en costes, innovación y desarrollo, pues se tuvieron que adecuar y renovar (ya sea mediante actualizaciones disponibles por parte de los fabricantes o por la renovación de los equipos obsoletos) todos los equipos utilizados en la anterior infraestructura de SD. El salto hacia el HD no fue instantáneo, de hecho a día de hoy aun conviven ambos entornos de SD y HD, y la previsión es que esto sea así en los años venideros.

En cuanto a los equipos renovados, existían gran cantidad de ellos, en funcion de las necesidades. Sin embargo los que interesan para este PFC son los nuevos paneles de conexionado de HD de Lemo que están conectados a la matriz Sirius 850.

Los paneles de conexionado y sus elementos de conexionado pertenecen a la serie 0A.275 HD de Lemo. Estos elementos están caracterizados por tener el color morado asociado, al igual que el color azul se utilizaba para señales SD-SDI. El sistema en sí aun sigue haciendo uso de los cables coaxiales (que en este caso están provistos de un ancho de banda mayor que los cables de SD) y de la típica conexión por presión de Lemo que impide la desconexión accidental del cableado.

En la siguiente figura se puede apreciar la hoja de promoción de los nuevos sistemas coaxiales para HD de Lemo.



### 3GHz – Exceed HDTV

This connector series is widely used for the distribution of video and synchronization of analog or digital signals, in television control rooms as well as in studios. The 0A series offers operating frequency above 3 GHz. Thank to their LEMO self latching system and small dimensions they enable intensive use.

The 0A series are designed for transmission ranges from analogue video (PAL/SECAM) to digital video frequencies (HDTV). These connector offer a solution allowing SMPTE 424M transfer for bit rates of 2.970 Gbit/s over a single link coaxial cable. The data transferred is sufficient for 1080p video at 50 or 60 frames per second. Signal integrity is maintained at 75 Ohms.

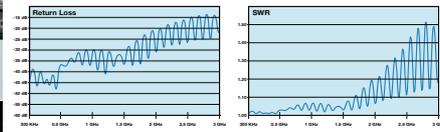


### Electrical characteristics

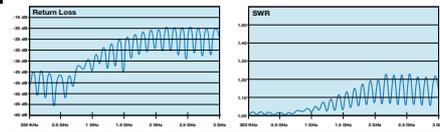
Characteristics	Values	Characteristics	Values
Impedance	75 Ω	Test voltage	2.1 kV rms
Contact contact resistance	< 1 mΩ DC	Rated current	3A
Insulation	> 10 <sup>10</sup> MΩ	EMV (FIS & PCS model)	1.05 ± 0.01 (6dB)



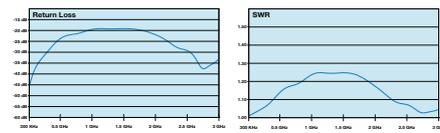
FFA.0A.275.NTAC47Z + ABG.0A.275.NTMC + BNC Huber & Suhner Standard + cable Draka 0.6/2.8 AF



FFA.0A.275.NTAC47Z + ABG.0A.275.NTMC + BNC Huber & Suhner HDTV + cable Draka 0.6/2.8 AF



CFE.0A.275.PTCHP + ABG.0A.275.NTMC + BNC Huber & Suhner HDTV + cable Draka 0.6/2.8 AF



Note: Recommended cable: SMPTE 292 HDTV 50/75 Draka 75 Ω 0.6/2.8 AF  
Recommended BNC connector: HDTV BNC Draka 75 Ω 0.6/2.8 AF

Patch panel solution and cable assembly available

### IBERLEMO

Spain: 45 2610 Granollers - Barcelona  
Tel: (+34 93) 860 44 20 - Fax: (+34 93) 879 10 77  
info@lemo.com

Austria: Lippitz, 95  
26019 Mollath  
Tel: (+34 91) 469 99 19 - Fax: (+34 91) 469 99 59  
info@lemo.com

© CATALOGUE 2010 - CDF 1.50 / 0202 / 1 / 022 / 1 / 008 / 10

Date subject to change, printed in Switzerland, March 2010

Fig. 138 Documento promocional de Lemo para los sistemas de HD. Por cortesía de Lemo.

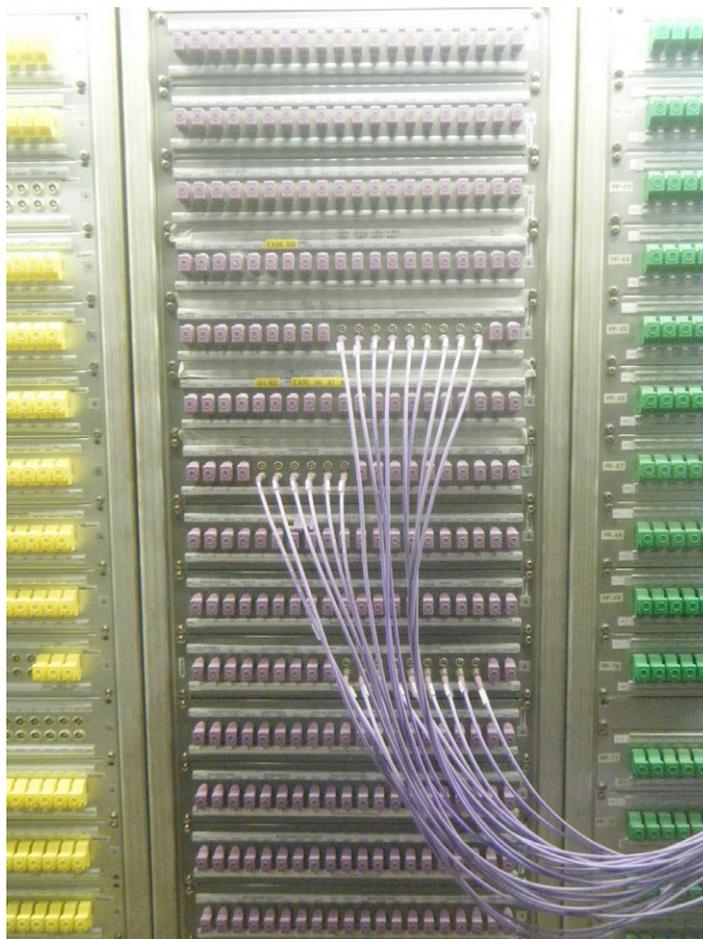


Fig. 139 Panel de conexionado de la matriz Sirius 850. Por cortesía de RTVE.

El sistema del panel de conexiones está constituido principalmente por cinco elementos:

- El panel de conexiones. Con respecto al panel de conexionado tan sólo es interesante fijarse en las barras que incluye por detrás, para permitir que los cables se apoyen sobre él, no debilitándose las uniones entre el conector y el cable, que es el punto en el que más sufren los cableados. Este punto de estrés del cable está propiciado debido al propio peso del cable, el cual hace que el cable se doble justo en la unión con el conector.

Por otro lado también conviene mencionar que las arandelas moradas que se pueden apreciar en los paneles, realmente son los aislantes entre el adaptador Lemo-BNC y el propio panel. De esta forma, se consigue romper los posibles lazos de tierra que se pudiesen establecer, como consecuencia de estar unidas directamente todas las mallas de los cables, que hasta el panel llegan, con el chasis del propio panel. El aislante se encastra directa y coaxialmente con el agujero del panel y sobre el aislante se monta coaxialmente el adaptador BNC-Lemo, estando el adaptador rodeado por el aislante en toda la sección susceptible de estar en contacto con el chasis del panel.

- El adaptador de la conexión Lemo a BNC: El adaptador de Lemo a BNC es un conector que se implementa en muchos de los paneles de Lemo. Su función es facilitar a los paneles de Lemo de una conexión universal como son los conectores BNC de bayoneta. Esta pieza es la que implementa gran parte del funcionamiento del panel, permitiendo que por la parte frontal se interconecten las diferentes equipos, mediante las conexiones Lemo, mientras que por la parte trasera se conectan los cables que van y vienen desde y hacia los equipos, utilizando para ello conectores BNC. Su impedancia característica es de 75 ohmios.

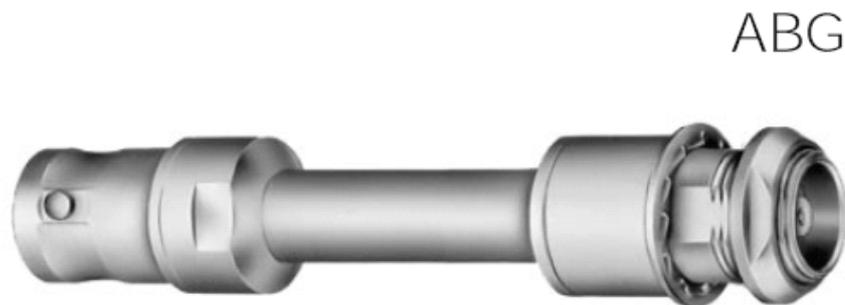


Fig. 140 Adaptadores de panel de Lemo a BNC. Por cortesía de Lemo.



Fig. 141 Parte trasera de un panel Lemo. Por cortesía de RTVE.

- Los puentes de conexionado Lemo. Los puentes de conexionado pertenecen al modelo CFF.0A. Su función, ya comentada anteriormente, consiste en unir sobre el panel de Lemo, las salidas con las entradas que van hasta el panel. Generalmente los paneles de conexiones se diseñan con las salidas de los equipos en la fila superior y las entradas de los equipos en la fila inferior. Estos puentes de conexionado unen las salidas y entradas de los equipos que son muy habituales que estén interconectados entre sí. De esta forma, se ahorra espacio y tiempo empleando piezas fijas en vez de cables y conectores.



Fig. 142 Puentes de conexionado de Lemo para HD. Por cortesía de RTVE.

- Los conectores Lemo. Los conectores implementados junto a los cables y que se insertan en el panel pertenecen al modelo FFA.0A. Tanto los puentes de conexionado presentados anteriormente, como estos conectores que se presentan a continuación, tienen la característica de ser un tamaño relativamente más reducido que los conectores habituales empleados para las conexiones de SD-SDI. Permitiendo una mayor densidad de conexionado y ahorrando espacio en la infraestructura. Los conectores FFA.0A, poseen una impedancia característica de 75 ohmios, y un ancho de banda de hasta 3,4 GHz, suficiente para la transmisión de señales 3G. La relación de la tensión de la onda incidente y reflejada es de 1,0825 para 1,5 GHz, siendo prácticamente nula la reflexión de la señal que llega hasta el conector.

Impedance	Impédance :	75 $\Omega$
Operating frequency	Fréquence d'utilisation:	3.4 GHz
VSWR (f= GHz)	TOS (f= GHz):	1.03+0.05f
Central contact resistance	Résistance du contact central:	< 6 m $\Omega$
Shell to shell resistance	Continuité électrique du blindage:	< 3 m $\Omega$
Insulation resistance	Résistance d'isolation:	> 10 <sup>12</sup> $\Omega$

Fig. 143 Hoja de características del conector FFA.0A. Por cortesía de Lemo.

FFA



Fig. 144 Conectores FFA.0A. Por cortesía de RTVE.

- El cableado Draka. El cableado que por defecto se utilizó para implementar las conexiones HD pertenecen a Draka. El cable de Draka empleado en los latiguillos de la infraestructura HD posee algunas características determinantes que lo hacen idóneo para transmisión de señales en HD. Pese a que no es en sí mismo el cableado que Draka concibió para señales de HD, sus 5 GHz de ancho de banda lo hacen propicio para el transporte de señales en HD. Estos 5 GHz y la denominación HDTV aparecen serigrafiados en el propio cable, identificando en caso de duda la calidad del cable.

Draka comercializa otros cableados que sí están denominados en su referencia como HD como son los modelos HD PRO. En cualquier caso los 5 GHz ofrecen un ancho de banda suficiente para el transporte de señales en HD.

El cable coaxial empleado en la instalación está formado de cuatro elementos principalmente:

- Un conductor único de cobre con un diámetro de 0,6 milímetros.
- Un aislante (dieléctrico) de 2,8 milímetros de diámetro constituido de una espuma de polietileno.
- Una malla compuesta a su vez de dos elementos. El que está más cerca del aislante es una lamina fina, constituida de otras laminas más finas de diferentes materiales que forman un sándwich. El segundo elemento de la malla, consistente en una trenza coaxial de cobre estañado. El diámetro total de la malla es de 3,4 milímetros.
- El último elemento es el plástico en sí que recubre al cable, que en el caso de los latiguillos de HD se ha empleado la versión ignífuga o de llama retardada que es más robusta frente a incendios y que no desprende sustancias toxicas en su combustión.

En la última página del capítulo se ofrece las principales características técnicas del cable, extraídas del catálogo de Draka. Parámetros como la resistencia en continua del conductor y de la malla expresada en ohmios por metro, la capacidad existente entre el vivo y la malla expresada en ohmios por metro, la impedancia característica del cable con su tolerancia de variación, la atenuación en función de la frecuencia y las perdidas de retorno en función también de la frecuencia proporcionan una idea de la calidad del cable.

A continuación se va a recordar brevemente la importancia de algunos de los parámetros que se ofrecen en la hoja de características.

- La impedancia característica como cabe esperar deberá ser de 75 ohmios, para que la línea de transmisión este adaptada. Además la tolerancia respecto a esta impedancia característica es de un 1%.
- La resistencia de los conductores van a influir en la atenuación de la señal en función de la distancia. La resistencia total del circuito equivalente se puede aproximar como la suma de las resistencias de ambos conductores.

- La capacidad que se establece entre ambos conductores influye en la frecuencia de corte del filtro paso bajo que caracteriza a un cable. Es decir influye directamente en el ancho de banda que se puede transportar por el cable
- El diámetro del conductor “vivo” influye en el efecto pelicular y en el ancho de banda que es capaz de transmitir el cable
- La distancia existente entre los conductores o el grosor del aislamiento influye en la capacidad existente entre ambos conductores, disminuyéndola a medida que la distancia o el grosor del dieléctrico aumentan.



Fig. 145 Instalación de los paneles de HD en RTVE. Por cortesía de RTVE.

## 0.6/2.8 AF

### Video Cable 75 $\Omega$



### Application

Video cables are primary used in closed circuit TV systems and in several studio applications for transmission of image signals.

### Standards

For analogue and digital video signals (Composite, component, SDI, SDV, SDTI, HDTV)

### Flame resistance

PVC: IEC 60332-1  
 FRNC: IEC 60332-1, IEC 60754, IEC 61034  
 FRNC-C: additionally IEC 60332-3 C

### Construction

Inner conductor	solid copper wire, bare, diameter 0.6 mm
Insulation	Foam-PE, diameter 2.8 mm
Outer conductor	Al-PETP-Al-foil under tinned copper braid, diameter 3.4 mm
Sheath	FRNC or PVC, diameter 4.5 mm green, RAL 6018
Printing	for FRNC: <b>DRAKA</b> - 0.6/2.8 AF - 75 $\Omega$ $\pm$ 1% - HDTV FRNC for PVC: <b>DRAKA</b> - 0.6/2.8 AF - 75 $\Omega$ $\pm$ 1% - HDTV

### Electrical properties

at 20°C

DC resistance	Inner conductor	61 $\Omega$ /km
	Outer conductor	17 $\Omega$ /km
Mutual capacitance		52.8 pF/m
Characteristic impedance		75 $\Omega$ $\pm$ 0.75 $\Omega$
Velocity ratio		78 %
Screening factor		> 100 dB

## 0.6/2.8 AF

### Electrical data

at 20°C

Attenuation (dB/100m)		Return loss (dB)	
Frequency (MHz)		Frequency (MHz)	
1	1.1	50 – 300	$\geq$ 26
3	1.9	300 – 3000	$\geq$ 22
5	2.4	3000 – 3500	$\geq$ 18
10	3.1	3500 – 5000	$\geq$ 15
30	5.4		
100	10.5		
200	14.8		
300	17.9		
500	23.1		
800	29.3		
1000	32.8		
1500	40.4		
2250	49.8		
3000	59.3		
3500	66.3		
4000	71.5		
4500	77.0		
5000	82.8		

Fig. 146 Hoja de características técnicas del cable Draka. Por cortesía de Draka.

## ***Capítulo 3: Distribución de señales en banda L***



### **3. Distribución de señales en banda L**

La distribución de señales de radiofrecuencia, se refiere a la distribución de aquellas señales que están moduladas. La propagación de señales en radiofrecuencia conlleva algunas dificultades inherentes a las características de las señales propagadas. Generalmente cuanto más alta es la frecuencia de las señales propagadas más dificultades y costes conlleva su transmisión. Un claro ejemplo es la primera demodulación que se realiza por el LNB. La señal captada por la antena es introducida en una etapa de downconverter la cual realiza la demodulación a la primera frecuencia intermedia o lo que se conoce como banda L (950 MHz-2150 MHz).

Esta primera demodulación permite simplificar los elementos necesarios para la propagación de estas señales. Por ejemplo en el caso de los alrededor de 12 gigahertzios sería necesario sistemas de guíaondas, sin embargo después de realizar la primera demodulación a la banda L, la señal puede ser propagada por cable coaxial. Gracias a esta primera demodulación se facilita su transmisión por diferentes medios.

La propagación de esta banda por la infraestructura, necesitará de unos sistemas convenientemente preparados para trabajar con el rango de frecuencias de la señal. Este hecho caracteriza el esfuerzo necesario en cuanto al diseño de los equipos que trabajan con este rango de frecuencias. Si bien las matrices de banda L y los splitters de banda L son realmente más sencillos funcionalmente (menor número de elementos), la ingeniería, el conocimiento, el diseño y sobre todos los elementos que conforman a los sistemas de distribución en banda L son notablemente más complicados. Esto desemboca en que realmente existen bastantes menos fabricantes especializados en este tipo de sistemas que en sistemas de señales SDI. Los pocos fabricantes mundiales como pueden ser Evertz, Quintech Electronics, Atxnetworks, ETL, Hiltron, etc.... guardan con gran recelo toda la información y patentes.

Si bien el funcionamiento de las matrices de señales SDI/ASI es prácticamente el mismo independientemente del fabricante, las matrices de banda L están diseñadas con diferentes elementos, topologías, y patentes que unido al oscurantismo de cada fabricante hacen prácticamente imposible obtener un patrón claro o modelo de un sistema de distribución de banda L.

**La dificultad que afronta la ingeniería a la hora de implementar soluciones crece exponencialmente según el sistema abarque rangos de frecuencias más altos.**

### 3.1 Matrices de banda-L

#### 3.1.1 Matriz de banda-L sin tarjetas de cruce.

Una herramienta bastante útil en telepuertos y controles centrales son las matrices distributivas de banda L. Este tipo de matrices permite encaminar la banda L de las bajadas de los LNBS a cada uno de los receptores que estén conectados a dicha matriz, pudiéndose establecer diferentes cruces y permitiendo alimentar cada uno de los receptores con todas las posibles bajadas de los LNBS conectados a la matriz.



Fig. 147 Frontal de la matriz Nigma 21. Por cortesía de RTVE.

Las matrices de banda L que se instalan suelen ser del tipo *non blocking* o *fan out*. Ambas expresiones se refieren a matrices en las cuales se verifica que una misma entrada puede ser enrutada hacia todas las salidas que se desee, es decir son matrices distributivas. Por otro lado las salidas de estas matrices sólo podrán tener asociadas una entrada en cada momento, característica común en los sistemas distributivos.

Las matrices denominadas como *non blocking* tienen como propiedad que las define que en sus tarjetas de entrada existen divisores de potencia que conforman una serie de *splitters* que dividen la señal de entrada.

La matriz distributiva que se propone a continuación, es una matriz de la marca ETL Systems modelo NGM 21 (la versión distributiva). Se trata de una matriz con una capacidad de hasta 32x32 puntos de tipo *non blocking* en la cual el elemento fundamental en el enrutamiento de las señales son los MMICs de GaAs.

Un MMIC es un circuito integrado específico para microondas. Es decir es un elemento que comparte la filosofía del clásico circuito integrado, en el cual se agrupan o aglutinan diferentes elementos o componentes electrónicos más sencillos dentro un encapsulado común, conformando una circuitería que realiza una tarea específica.

El MMIC empleado como interruptor contiene internamente una serie de transistores MESFETs. Estos transistores pueden funcionar como interruptores lógicos, polarizándolos en la zona de corte o la zona óhmica según se requiera el paso o no paso de una señal. El MMIC se comporta como un interruptor lógico que abre o cierra el camino al paso de la señal.

La matriz contiene un cierto número de estos MMICs unos detrás de otros colocados en escalera o racimo los cuales están insertados en el camino entre las entradas y las salidas, conformando un conjunto de interruptores o llaves que abren o cierran el paso de la señal desde las entradas hacia las salidas, conforme se les halla indicado en el orden de conmutación.

A continuación se muestra un ejemplo de un MMIC de conmutación

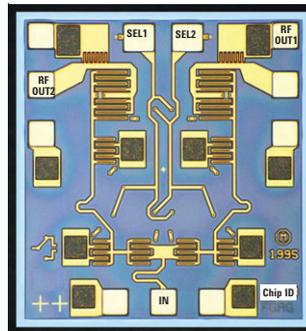


Fig. 148 Layout de un integrado MMIC de conmutación. Por cortesía de Agilent Technologies.

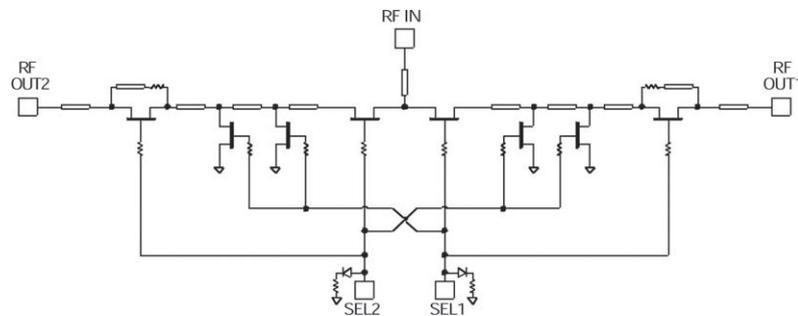


Fig. 149 Esquema de un integrado MMIC de conmutación. Por cortesía de Agilent Technologies.

A la vista de las anteriores figuras, se puede observar que la topología del circuito asociada a este MMIC constituye un clásico interruptor SPDT ( single pole double throw ).

Los MMIC están formados por elementos activos como son los transistores MESFETs y diodos Schottky, elementos pasivos como pueden ser resistencias, condensadores, bobinas etc.... y en el layout además se puede observar unos tiras metálicas que unen los componentes entre sí. Estas tiras metálicas son conocidas en la literatura anglosajona como *microstrips* y realmente son tiras planas de un determinado grosor implementadas con materiales conductores que funcionan a modo de guíaonda utilizando las propiedades del aire que rodea a la tira como dieléctrico.

Como cabe esperar, la impedancia, y dimensiones de estas tiras, son cruciales para el fenómeno de la propagación de la onda entre los diferentes elementos.

Por último observar que dependiendo del valor de tensión continua que se fije en las entradas SEL1 y SEL2 la polarización en los transistores varía y por tanto unos dejarán pasar la señal, mientras que otros cortarán el circuito. Este tipo de circuito de conmutación funciona variando las tensiones de polarización de los transistores, por lo tanto, en caso de que se pierda la alimentación de la matriz, los transistores se quedarán conmutados en su posición de abierto (corte), no permitiendo la propagación de la señal desde las entradas hacia las salidas.

### **Elementos que conforman la matriz ETL Nigma 11**

- Tarjetas de distribución de entrada (splitters) y tarjetas de conmutación de salida (switches): La matriz Nigma está constituida físicamente por un cofre en el cual se pueden alojar entre otros elementos hasta un total de 32 tarjetas de entrada y 32 tarjetas de salida (cada tarjeta se ocupa exclusivamente de una entrada o una salida). Estas matrices son totalmente modulares en cuanto a tarjetas de entradas y salidas se refiere. Por ejemplo se puede adquirir una matriz con una configuración inicial en la cual no estén instaladas todas las tarjetas de entradas y salidas, y posteriormente se puede llenar el cofre con el máximo número de tarjetas. Sería tan sencillo como adquirir las tarjetas e instalarlas, incluso con la matriz en funcionamiento. Aun así puede surgir la situación de que se necesiten más entradas y salidas. En el caso de tener el cofre lleno, la solución sería tan sencilla como adquirir otro cofre con las tarjetas necesarias y crear un sistema expandido de matrices.

Las tarjetas de entrada se ubican en posición vertical y son accesibles desde la parte trasera de la matriz. Se denominan también tarjetas splitters porque su circuitería es bastante similar a las circuiterías de splitters que se estudiarán más adelante. La señal de entrada a esta tarjeta pasa primero por una circuitería de amplificación ubicada en el recinto metálico que se puede observar en la fotografía. Una vez que se ha amplificado la señal de entrada, se introduce en un divisor de potencia pasivo que divide la señal de entrada a 32 salidas. Suponiendo que en cada división binaria se reduce la potencia en 3 dB la señal de cada una de estas salidas será aproximadamente de 15 dB menos con respecto a la entrada, con lo cual la circuitería de amplificación deberá contrarrestar estas pérdidas.

A la izquierda de la imagen de la placa se puede observar una circuitería conformada por integrados. Esta circuitería implementa entre otras tareas la adquisición de datos acerca del estado de la tarjeta. Junto a esta circuitería aparece la circuitería encargada de regular la tensión que alimenta a la placa. Se puede observar también que en la parte de abajo de la izquierda existe un conector desde el cual se recibe la alimentación y se crea el flujo de datos necesario desde y hacia la tarjeta.

Es interesante observar en la imagen incluida, la etapa divisora de potencia. Se puede intuir una forma de árbol que divide cada rama en dos ramas nuevas, produciéndose así una clásica división binaria muy común en los divisores de potencia. En la imagen se aprecian puntos y figuras cuadradas a partir de las cuales se divide la señal. Cada vez que aparezca un cuadrado sobre la placa se producirá la división binaria. De esta manera en la primera fila de cuadrados se observara un cuadrado, en la segunda dos cuadrados, en la tercera cuatro cuadrados, en la cuarta ocho cuadrados y en la quinta dieciséis cuadrados. Es interesante observar como el conector de más a la derecha es el conector de entrada a la tarjeta y la señal es conducida directamente hasta el recinto metálico para su amplificación.

Las tarjetas de salida se montan horizontalmente en el chasis y se puede acceder a ellas a través de la puerta frontal. Estas tarjetas también se las denomina como switches porque es en ellas donde se encuentran implementadas la circuitería de los MMICs. Estas tarjetas tienen como entradas las 32 salidas que provienen de las tarjetas de entrada, mientras que tan sólo poseen una única salida que corresponde con la salida física de la matriz asignada a esa tarjeta. Su circuitería se conforma principalmente de cuatro elementos: la parte de los MMICs, una circuitería dedicada a la amplificación (encapsulada dentro de un recinto metálico) cuya misión es amplificar la señal a la salida de la circuitería de los MMIC, una circuitería conformada por integrados en las que una de sus finalidades es la adquisición de datos acerca del estado de la tarjeta y por último una circuitería encargada de la regulación de tensión.

Su funcionamiento es bastante sencillo. Este tipo de matrices en contraposición de las matrices de SDI no poseen tarjetas de conmutación si no que es la propia tarjeta de salida la que realiza las conmutaciones pertinentes para obtener a la salida la entrada deseada. Los MMICs están dispuestos en forma de árbol inverso, en el cual en el primer nivel se tienen 16 MMICs que se alimentan de las 32 salidas de la tarjeta de entrada. En el segundo nivel existen 8 MMICs, en el tercer nivel 4 MMICs, en el cuarto nivel 2 MMICs y en el quinto nivel 1 MMIC. La salida de este último MMIC se introduce en la circuitería de amplificación para compensar las pérdidas y de aquí se lleva hasta su salida correspondiente.

En la imagen se puede observar la forma de árbol binario que constituyen los MMICs, y como están dispuestos en cada nivel. Se puede observar como la salida del último MMIC se introduce en el recinto metálico y como la salida del mismo se lleva hacia el conector de más a la izquierda, coincidiendo con la salida de la tarjeta. En la parte inferior izquierda se observa el conector a partir del cual se distribuye tanto los datos a la tarjeta como la alimentación. Junto a este conector aparece la circuitería encargada de la regulación de la tensión de alimentación de las tarjetas.

Las tarjetas de salida, además están provistas de una pequeña memoria no volátil, en la cual se almacena el último estado de los MMICs. En el caso de que por una incidencia se perdiese el suministro eléctrico, tan pronto como se recupera, la matriz arrancarían y una de sus primeras

operaciones sería consultar la memoria para recuperar los estados de los MMICs en cada tarjeta. En apenas 300 milisegundos, la matriz establece las rutas previas a la incidencia. Mientras tanto el sistema operativo de la matriz sigue arrancando hasta un tiempo no superior a 2 minutos.



Fig. 150 Tarjeta de entrada de la matriz Nigma. Por cortesía de RTVE.

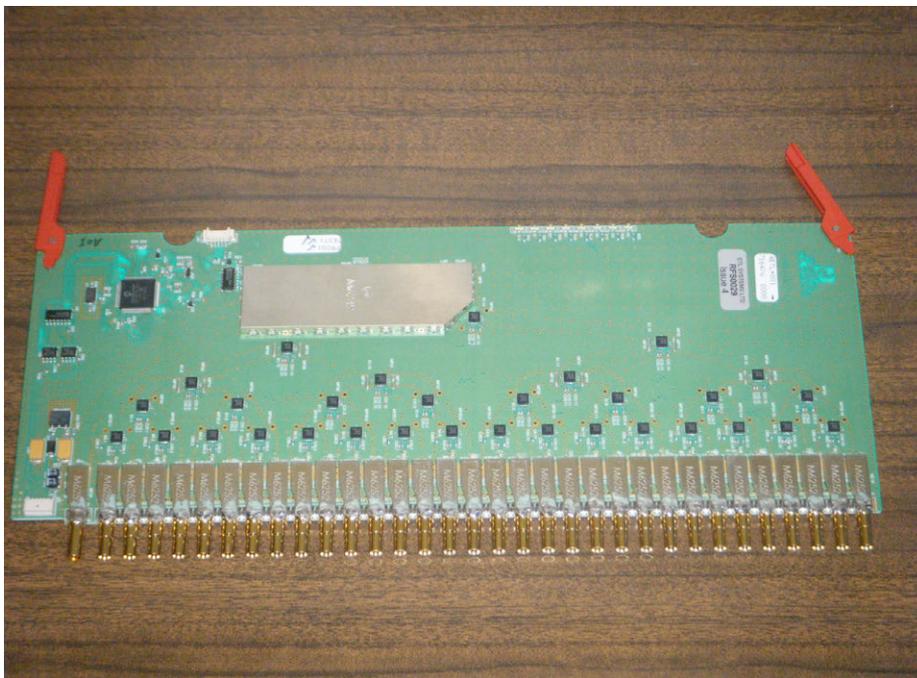


Fig. 151 Tarjeta de salida de la matriz Nigma. Por cortesía de RTVE.

El funcionamiento conjunto de las tarjetas de entradas y salidas es bastante sencillo y va a permitir comprender la ruta que sigue una señal y el sistema de conmutación empleado. Primeramente se debe conocer que en la mitad del chasis existe una retícula de 32x32 conectores SMA que se

asemeja a una matriz. En esta retícula se conectan en cruz las tarjetas de entrada y de salida (la retícula se puede apreciar en la fotografía en la que se encuentra abierta la puerta trasera de la matriz). Cada tarjeta de entrada maneja, una única señal de entrada, sin embargo proveen esta señal a través de sus salidas distribuidas a los 32 conectores SMA de la misma columna en la retícula, por ejemplo la tarjeta de entrada número 1 provee de la señal con la que es atacada a los 32 conectores verticales que se encuentran más a la izquierda en la retícula. Cada tarjeta de salida maneja 32 entradas que se abastecen desde los 32 conectores SMA que se encuentran en fila en la retícula correspondiente a esa tarjeta. Por ejemplo, las entradas de la tarjeta de salida 1 se corresponden con los 32 conectores SMA presentes en la primera fila o en la fila superior de la retícula.

En la siguiente figura se puede apreciar como está conformada la retícula con las tarjetas de entrada en color rojo y las tarjetas de salida en color azul, existiendo una relación biunívoca entre el número de la tarjeta y su entrada o salida física en la trasera de la matriz.

1 1	2 1	3 1	4 1	5 1	6 1	7 1	8 1	9 1	10 1	11 1	12 1	13 1	14 1	15 1	16 1	17 1	18 1	19 1	20 1	21 1	22 1	23 1	24 1	25 1	26 1	27 1	28 1	29 1	30 1	31 1	32 1
1 2	2 2	3 2	4 2	5 2	6 2	7 2	8 2	9 2	10 2	11 2	12 2	13 2	14 2	15 2	16 2	17 2	18 2	19 2	20 2	21 2	22 2	23 2	24 2	25 2	26 2	27 2	28 2	29 2	30 2	31 2	32 2
1 3	2 3	3 3	4 3	5 3	6 3	7 3	8 3	9 3	10 3	11 3	12 3	13 3	14 3	15 3	16 3	17 3	18 3	19 3	20 3	21 3	22 3	23 3	24 3	25 3	26 3	27 3	28 3	29 3	30 3	31 3	32 3
1 4	2 4	3 4	4 4	5 4	6 4	7 4	8 4	9 4	10 4	11 4	12 4	13 4	14 4	15 4	16 4	17 4	18 4	19 4	20 4	21 4	22 4	23 4	24 4	25 4	26 4	27 4	28 4	29 4	30 4	31 4	32 4
1 5	2 5	3 5	4 5	5 5	6 5	7 5	8 5	9 5	10 5	11 5	12 5	13 5	14 5	15 5	16 5	17 5	18 5	19 5	20 5	21 5	22 5	23 5	24 5	25 5	26 5	27 5	28 5	29 5	30 5	31 5	32 5
1 6	2 6	3 6	4 6	5 6	6 6	7 6	8 6	9 6	10 6	11 6	12 6	13 6	14 6	15 6	16 6	17 6	18 6	19 6	20 6	21 6	22 6	23 6	24 6	25 6	26 6	27 6	28 6	29 6	30 6	31 6	32 6
1 7	2 7	3 7	4 7	5 7	6 7	7 7	8 7	9 7	10 7	11 7	12 7	13 7	14 7	15 7	16 7	17 7	18 7	19 7	20 7	21 7	22 7	23 7	24 7	25 7	26 7	27 7	28 7	29 7	30 7	31 7	32 7
1 8	2 8	3 8	4 8	5 8	6 8	7 8	8 8	9 8	10 8	11 8	12 8	13 8	14 8	15 8	16 8	17 8	18 8	19 8	20 8	21 8	22 8	23 8	24 8	25 8	26 8	27 8	28 8	29 8	30 8	31 8	32 8
1 9	2 9	3 9	4 9	5 9	6 9	7 9	8 9	9 9	10 9	11 9	12 9	13 9	14 9	15 9	16 9	17 9	18 9	19 9	20 9	21 9	22 9	23 9	24 9	25 9	26 9	27 9	28 9	29 9	30 9	31 9	32 9
1 10	2 10	3 10	4 10	5 10	6 10	7 10	8 10	9 10	10 10	11 10	12 10	13 10	14 10	15 10	16 10	17 10	18 10	19 10	20 10	21 10	22 10	23 10	24 10	25 10	26 10	27 10	28 10	29 10	30 10	31 10	32 10
1 11	2 11	3 11	4 11	5 11	6 11	7 11	8 11	9 11	10 11	11 11	12 11	13 11	14 11	15 11	16 11	17 11	18 11	19 11	20 11	21 11	22 11	23 11	24 11	25 11	26 11	27 11	28 11	29 11	30 11	31 11	32 11
1 12	2 12	3 12	4 12	5 12	6 12	7 12	8 12	9 12	10 12	11 12	12 12	13 12	14 12	15 12	16 12	17 12	18 12	19 12	20 12	21 12	22 12	23 12	24 12	25 12	26 12	27 12	28 12	29 12	30 12	31 12	32 12
1 13	2 13	3 13	4 13	5 13	6 13	7 13	8 13	9 13	10 13	11 13	12 13	13 13	14 13	15 13	16 13	17 13	18 13	19 13	20 13	21 13	22 13	23 13	24 13	25 13	26 13	27 13	28 13	29 13	30 13	31 13	32 13
1 14	2 14	3 14	4 14	5 14	6 14	7 14	8 14	9 14	10 14	11 14	12 14	13 14	14 14	15 14	16 14	17 14	18 14	19 14	20 14	21 14	22 14	23 14	24 14	25 14	26 14	27 14	28 14	29 14	30 14	31 14	32 14
1 15	2 15	3 15	4 15	5 15	6 15	7 15	8 15	9 15	10 15	11 15	12 15	13 15	14 15	15 15	16 15	17 15	18 15	19 15	20 15	21 15	22 15	23 15	24 15	25 15	26 15	27 15	28 15	29 15	30 15	31 15	32 15
1 16	2 16	3 16	4 16	5 16	6 16	7 16	8 16	9 16	10 16	11 16	12 16	13 16	14 16	15 16	16 16	17 16	18 16	19 16	20 16	21 16	22 16	23 16	24 16	25 16	26 16	27 16	28 16	29 16	30 16	31 16	32 16
1 17	2 17	3 17	4 17	5 17	6 17	7 17	8 17	9 17	10 17	11 17	12 17	13 17	14 17	15 17	16 17	17 17	18 17	19 17	20 17	21 17	22 17	23 17	24 17	25 17	26 17	27 17	28 17	29 17	30 17	31 17	32 17
1 18	2 18	3 18	4 18	5 18	6 18	7 18	8 18	9 18	10 18	11 18	12 18	13 18	14 18	15 18	16 18	17 18	18 18	19 18	20 18	21 18	22 18	23 18	24 18	25 18	26 18	27 18	28 18	29 18	30 18	31 18	32 18
1 19	2 19	3 19	4 19	5 19	6 19	7 19	8 19	9 19	10 19	11 19	12 19	13 19	14 19	15 19	16 19	17 19	18 19	19 19	20 19	21 19	22 19	23 19	24 19	25 19	26 19	27 19	28 19	29 19	30 19	31 19	32 19
1 20	2 20	3 20	4 20	5 20	6 20	7 20	8 20	9 20	10 20	11 20	12 20	13 20	14 20	15 20	16 20	17 20	18 20	19 20	20 20	21 20	22 20	23 20	24 20	25 20	26 20	27 20	28 20	29 20	30 20	31 20	32 20
1 21	2 21	3 21	4 21	5 21	6 21	7 21	8 21	9 21	10 21	11 21	12 21	13 21	14 21	15 21	16 21	17 21	18 21	19 21	20 21	21 21	22 21	23 21	24 21	25 21	26 21	27 21	28 21	29 21	30 21	31 21	32 21
1 22	2 22	3 22	4 22	5 22	6 22	7 22	8 22	9 22	10 22	11 22	12 22	13 22	14 22	15 22	16 22	17 22	18 22	19 22	20 22	21 22	22 22	23 22	24 22	25 22	26 22	27 22	28 22	29 22	30 22	31 22	32 22
1 23	2 23	3 23	4 23	5 23	6 23	7 23	8 23	9 23	10 23	11 23	12 23	13 23	14 23	15 23	16 23	17 23	18 23	19 23	20 23	21 23	22 23	23 23	24 23	25 23	26 23	27 23	28 23	29 23	30 23	31 23	32 23
1 24	2 24	3 24	4 24	5 24	6 24	7 24	8 24	9 24	10 24	11 24	12 24	13 24	14 24	15 24	16 24	17 24	18 24	19 24	20 24	21 24	22 24	23 24	24 24	25 24	26 24	27 24	28 24	29 24	30 24	31 24	32 24
1 25	2 25	3 25	4 25	5 25	6 25	7 25	8 25	9 25	10 25	11 25	12 25	13 25	14 25	15 25	16 25	17 25	18 25	19 25	20 25	21 25	22 25	23 25	24 25	25 25	26 25	27 25	28 25	29 25	30 25	31 25	32 25
1 26	2 26	3 26	4 26	5 26	6 26	7 26	8 26	9 26	10 26	11 26	12 26	13 26	14 26	15 26	16 26	17 26	18 26	19 26	20 26	21 26	22 26	23 26	24 26	25 26	26 26	27 26	28 26	29 26	30 26	31 26	32 26
1 27	2 27	3 27	4 27	5 27	6 27	7 27	8 27	9 27	10 27	11 27	12 27	13 27	14 27	15 27	16 27	17 27	18 27	19 27	20 27	21 27	22 27	23 27	24 27	25 27	26 27	27 27	28 27	29 27	30 27	31 27	32 27
1 28	2 28	3 28	4 28	5 28	6 28	7 28	8 28	9 28	10 28	11 28	12 28	13 28	14 28	15 28	16 28	17 28	18 28	19 28	20 28	21 28	22 28	23 28	24 28	25 28	26 28	27 28	28 28	29 28	30 28	31 28	32 28
1 29	2 29	3 29	4 29	5 29	6 29	7 29	8 29	9 29	10 29	11 29	12 29	13 29	14 29	15 29	16 29	17 29	18 29	19 29	20 29	21 29	22 29	23 29	24 29	25 29	26 29	27 29	28 29	29 29	30 29	31 29	32 29
1 30	2 30	3 30	4 30	5 30	6 30	7 30	8 30	9 30	10 30	11 30	12 30	13 30	14 30	15 30	16 30	17 30	18 30	19 30	20 30	21 30	22 30	23 30	24 30	25 30	26 30	27 30	28 30	29 30	30 30	31 30	32 30
1 31	2 31	3 31	4 31	5 31	6 31	7 31	8 31	9 31	10 31	11 31	12 31	13 31	14 31	15 31	16 31	17 31	18 31	19 31	20 31	21 31	22 31	23 31	24 31	25 31	26 31	27 31	28 31	29 31	30 31	31 31	32 31
1 32	2 32	3 32	4 32	5 32	6 32	7 32	8 32	9 32	10 32	11 32	12 32	13 32	14 32	15 32	16 32	17 32	18 32	19 32	20 32	21 32	22 32	23 32	24 32	25 32	26 32	27 32	28 32	29 32	30 32	31 32	32 32

Fig. 152 Retícula de entradas y salidas.

Observando la primera columna en la hoja de excel las 32 salidas de la tarjeta de entrada 1 alimentan a la entrada 1 de cada una de las 32 tarjetas de salida. Por otro lado observando la primera fila se puede constatar que la tarjeta de salida 1 es alimentada en sus 32 entradas con la señal presente en la salida 1 de las 32 tarjetas de entrada. Por tanto las señales presentes en las entradas de la matriz aparecen automáticamente en cada una de las 32 entradas de las 32 tarjetas de salida.

Para clarificar el funcionamiento se plantea un ejemplo de conmutación. Supóngase que se quiere conmutar la señal presente en la tarjeta de entrada 1 a la tarjeta de salida 32, el funcionamiento de la matriz es muy sencillo.

La señal que entra por la entrada física 1 se dirige mediante un cableado interior hacia la tarjeta de entrada número 1. Una vez que ha entrado la señal en la tarjeta es amplificada en una primera etapa con el fin de compensar las pérdidas en potencia que se producirán en etapas posteriores.

La señal que sale de la etapa amplificadora se introduce en la etapa divisora de potencia, con la cual se divide la señal de entrada en 32 salidas, disponiéndose en la retícula de conectores de la señal y atacando por consiguiente a la entrada número 1 de las 32 tarjetas de salida. Una vez que se dispone de la señal en la entrada de la tarjeta de salida correspondiente, es cuando mediante las órdenes recibidas a través de la CPU en la tarjeta de salida se encamina la entrada deseada hacia la salida de esta tarjeta. La tarjeta de salida número 32 recibe la orden de que la señal que tiene que enrutar hacia su salida es la señal que está presente en su entrada número 1. Inmediatamente se polarizan todos los MMICs presentes en la tarjeta de salida de tal forma que se cerrarán todos los caminos que forman los MMICs desde las entradas de la 2 a la 32 hacia la salida y se abrirán los MMICs que encaminen la señal de la entrada 1 hacia la salida, creando un camino que permite el paso desde la entrada hacia la salida. En el ejemplo en cuestión se abrirán los MMICs situados más a la izquierda de cada nivel, mientras que el resto estarán cerrados.

Se puede imaginar la circuitería de los MMICs como un conjunto de llaves en escalera, unas detrás de otras, organizadas en niveles, que abriéndose o cerrándose crean un camino de propagación hacia la salida desde la entrada correspondiente. Su propiedad fundamental es que sólo existe un camino posible, presentándose por tanto una única entrada en la salida deseada.

Una vez que se ha creado el camino correspondiente que permite encaminar la entrada deseada hacia la salida deseada, la señal es introducida de nuevo en una etapa amplificadora la cual ayuda a compensar las pérdidas ocasionadas a lo largo del camino. Tras salir del recinto metálico, donde se amplifica, la señal es transportada mediante un cablecito hasta la trasera de la matriz.

Se ha planteado el cruce de la entrada 1 a la entrada 32, sin embargo por ser una matriz de tipo non blocking, la misma señal de entrada puede ser distribuida a más tarjetas de salida. Por ejemplo se podría realizar simultáneamente el cruce de la entrada 1 a las salidas 2,4,5. En este caso las ordenes que recibirían las tarjetas de salida 2,4 y 5 serían las mismas que las ordenes enviadas a la tarjeta 32.

El hecho de conmutar hacia más salidas la misma señal de entrada no va a producir pérdidas o un efecto de carga. La división de potencia se hace independientemente del número de salidas a las que se enruta la señal y además las etapas amplificadoras presentes en ambas tarjetas compensan las pérdidas sufridas en la etapa divisora de potencia.

- Tarjetas de CPUs: El control de la matriz se realiza desde las dos CPUs redundantes y autónomas que operan en paralelo simultáneamente, incrementando de esta manera la fiabilidad del sistema. Las CPUs operan sobre las tarjetas de entradas y salidas comunicándose con ellas a través de los buses de splitters y switches que parten de la tarjeta madre. Cada CPU recibe las órdenes simultáneamente desde el panel frontal HMI o desde su correspondiente puerto dual de control.

La operación en paralelo y simultánea consiste en que ambas CPUs comparten los mismos datos funcionando de forma simultánea. De esta manera, la CPU redundante está preparada en todo momento para asumir el control de la matriz instantáneamente en el caso de que la CPU principal

fallase. La conmutación de la CPU principal a la reserva no se notaría en absoluto, puesto que ambas poseen los mismos datos y están funcionando simultáneamente con ellos.

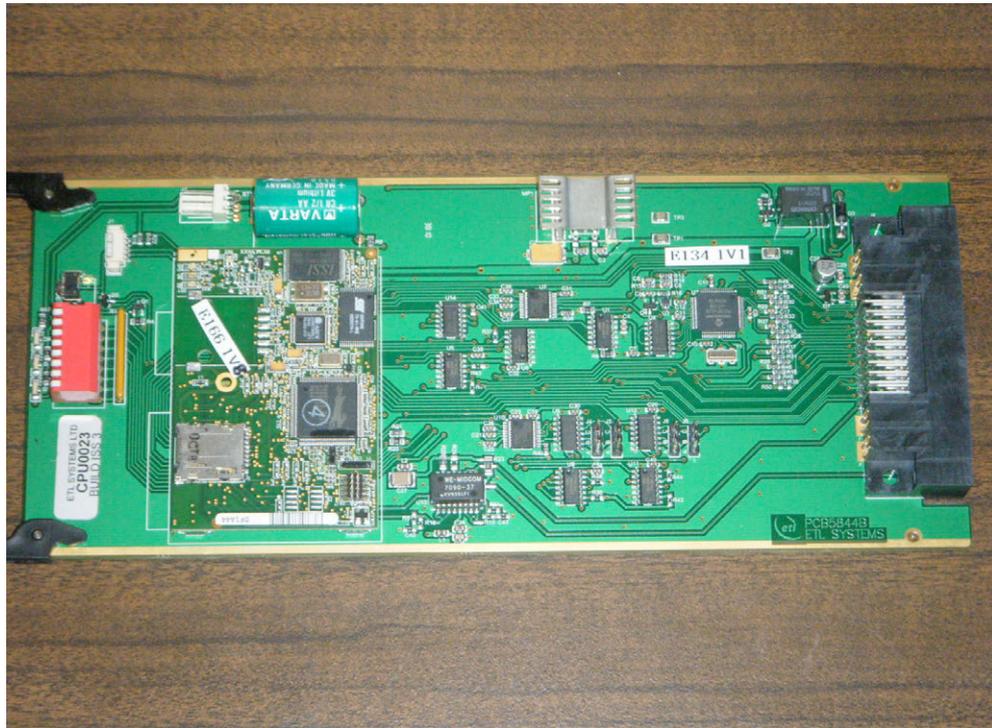


Fig. 153 CPU de la matriz Nigma. Por cortesía de RTVE.

- Fuentes de alimentación: Las matrices Nigma, al igual que todos los sistemas de radiodifusión están implementadas con dos fuentes de alimentación redundantes, accesibles desde la puerta delantera del chasis, lo cual facilita su reemplazamiento en caliente. El sistema presenta en todo momento el estado de funcionamiento de las fuentes de alimentación, mediante tres sistemas diferentes: Un diodo led bicolor (verde para una funcionamiento correcto y rojo para algún tipo de alarma) implementado en el frontal de las propias fuentes de alimentación. Mediante un contacto de tipo relé (actúa en el puerto serie cerrando el contacto en caso de estar en funcionamiento óptimo o abriéndolo en el caso de existir algún fallo). Y mediante la información reportada a través del frontal HMI o de las aplicaciones remotas. La monitorización y alarma de las fuentes de alimentación se realizan sobre la tensión de continua que provee cada fuente de alimentación.

Las fuentes de alimentación están implementadas junto a una topología *diode-or*. En el apartado de splitters de banda-I se explicará más extensamente este tipo de topología. Como adelanto se comentará que las dos fuentes de alimentación están operando en paralelo, por esta razón es muy importante que la tensión de salida de ambas fuentes sea lo mas parecida posible. La salida de la circuitería *diode-or* será igual a la tensión de salida de las fuentes de alimentación, mientras que la corriente que la circuitería entrega a la matriz será la suma de las aportaciones de corriente que realice cada fuente de alimentación. La carga de corriente necesaria para alimentar a la matriz se reparte entre las dos fuentes, ayudando de esta manera a evitar un desgaste prematuro de alguna de ellas.

Cada una de las fuentes es capaz de alimentar por si misma toda la matriz, de tal manera que en caso de fallo de una de ellas, se podría seguir funcionando con tan sólo una fuente de alimentación. Sin embargo la carga de corriente demandada por la matriz sería suministrada tan solo por la fuente de alimentación en funcionamiento, y aunque está dimensionada para entregar corriente suficiente, se podría producir una fatiga de la misma en el caso de utilizar la matriz durante mucho tiempo con tan sólo una fuente de alimentación funcionando.

Las fuentes de alimentación son los únicos elementos en el equipo que están provistos de un ventilador para su refrigeración. El resto de elementos del sistema no manejan unas potencias considerables de producir calor, siendo en este caso el aire que circula a través de sus aberturas en el chasis, los que refrigeran al resto de los elementos (el consumo de una matriz de 32x32 es de tan sólo 100 vatios).

Como observación no muy relevante se comentara que las fuentes de alimentación son conmutadas aceptando alimentaciones desde 85 voltios hasta 264 voltios.



Fig. 154 Fuente de alimentación de la matriz Nigma 21. Por cortesía de RTVE.

- Placa madre y otras placas: La placa madre es la placa que interconecta entre sí todos los elementos. En esta placa conviven buses de datos y buses de alimentación. En la placa se puede encontrar por la parte anterior los zócalos correspondientes a las conexiones con las dos CPUs, con las dos fuentes de alimentación y con el panel HMI. En la parte posterior se encuentran los buses de splitters y switches que se dirigen hacia las tarjetas de entrada y salida, la faja de datos que va desde la placa madre hasta la tarjeta de comunicaciones y los cables que provienen desde los zócalos IEC hacia cada una de las fuentes de alimentación. Además existe el zócalo de conexionado para las alarmas de las fuentes de alimentación.

La misión de esta placa es interconectar todos los elementos de la matriz entre sí distribuyendo los datos y la alimentación entre los diferentes elementos que conforman la matriz.

Existe una placa de comunicaciones sobre la que se montan los conectores que proporcionarán las comunicaciones a través de los puertos duales. Esta placa se une a la placa madre a través de una faja de una relativa anchura por la cual se establecen los buses hacia los diferentes conectores de comunicaciones.

Por último existen dos placas encargadas de distribuir en las tarjetas de entradas y de salidas tanto los datos desde y hacia estas tarjetas como la alimentación. Estas placas son unas tiras largas provistas de 32 conectores que se insertan en el conector existente en cada tarjeta. Hasta ellas llegan los buses de splitter y switches que parten desde la placa madre con el fin de distribuir tanto los datos como la alimentación entre las diferentes tarjetas de entradas y salidas. Recalcar que son dos placas totalmente independientes y separadas, cada una asociada al conjunto de tarjetas a las que abastecen.



Fig. 155 Compartimento de las CPUs de la matriz Nigma 21. Por cortesía de RTVE.

Como en todos los sistemas de radiodifusión algunos de los elementos presentados funcionan de una forma redundante y muchos de ellos son reemplazables en caliente. Así por ejemplo las tarjetas de entradas, las tarjetas de salidas, las CPUs y las fuentes de alimentación son elementos que se pueden reemplazar con la matriz en funcionamiento, sin que el funcionamiento de la misma se vea afectado. Y de estos elementos, tanto las CPUs como las fuentes de alimentación funcionan de un modo redundante.

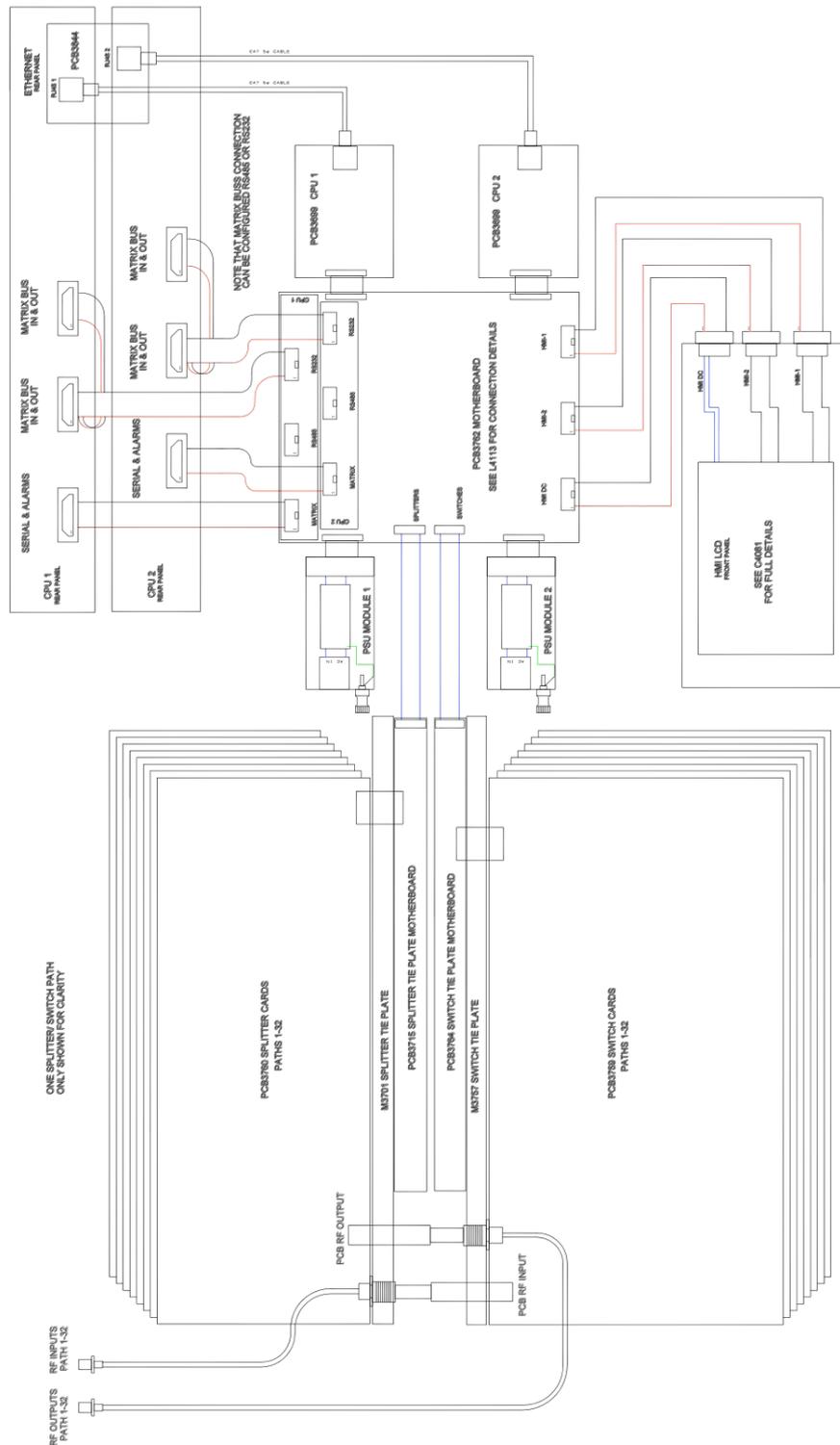


Fig. 156 Diagrama de bloques de una matriz Nigma 11. Por cortesía de ETL

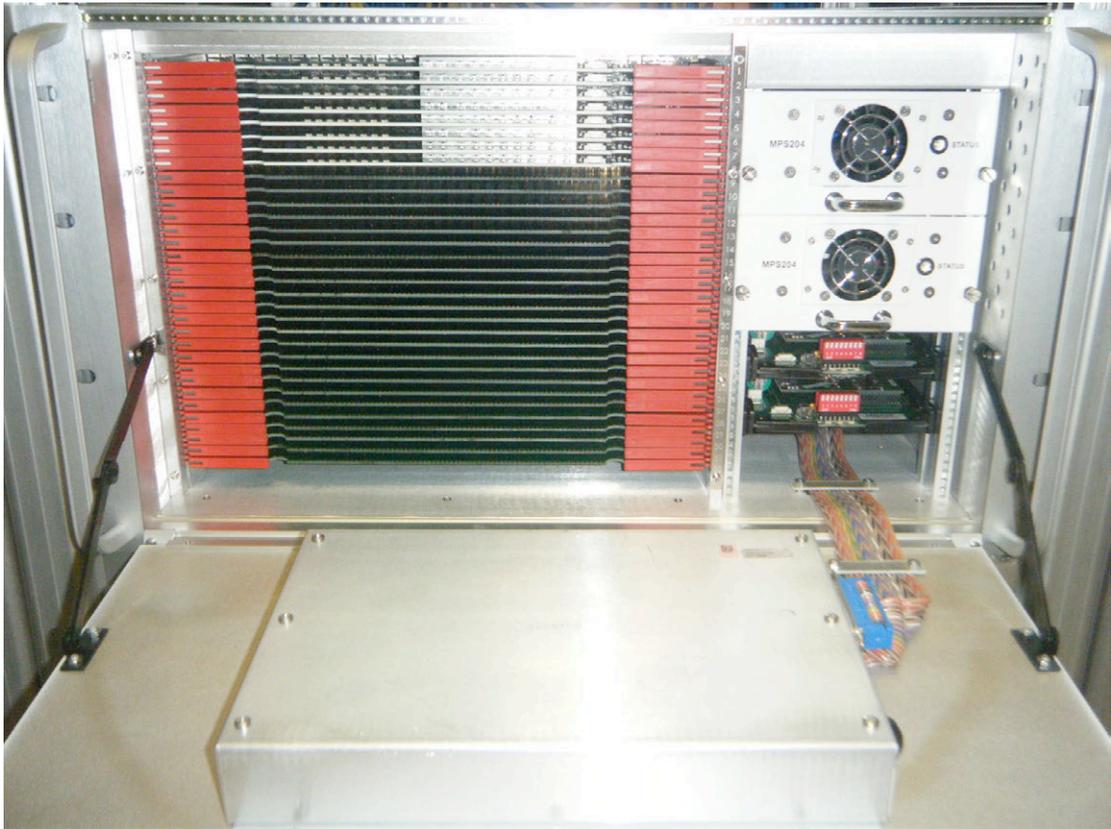


Fig. 157 Vista frontal de la matriz Nigma 21. Por cortesía de ETL systems

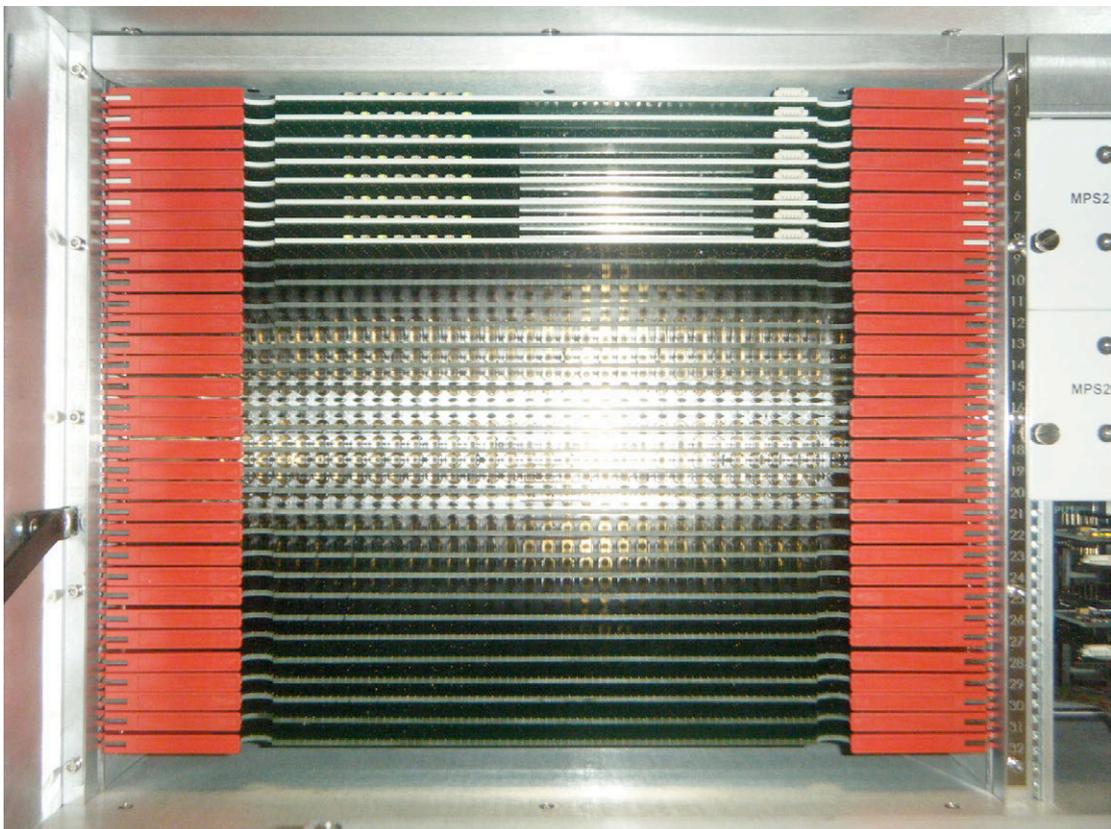


Fig. 158 Compartimento de tarjetas de salida de la matriz Nigma. Por cortesía de RTVE.



Fig. 159 Fuentes de alimentación y CPUs redundantes de la matriz Nigma. Por cortesía de RTVE.

### **Conexión de la matriz Nigma 21**

En la parte trasera de la matriz es donde se encuentra la parte fundamental del conexionado. Dicha parte trasera está dividida en dos zonas. En la parte izquierda se puede encontrar el conexionado de la matriz y en la parte derecha se encuentra la puerta trasera, la cual facilita el acceso a las tarjetas de entrada de la matriz.



Fig. 160 Detalle de la parte posterior de la matriz con la puerta quitada.

La zona de conexionado se puede dividir a su vez en una parte superior y una parte inferior. En la parte superior se pueden encontrar los conectores de las 32 entradas y las 32 salidas. En la parte inferior se encuentra los conectores de los puertos de comunicaciones de la matriz y los zócalos IEC de los cables de alimentación de la matriz.

La parte de conexionado tanto de señales RF como de comunicaciones está formado por:

- 32 conectores para las entradas de RF y 32 conectores para las salidas de RF. Estos conectores vienen todos preinstalados y cableados de fábrica, independientemente de la configuración de hardware adquirida. El fabricante recomienda conectar cargas de 75 ohmios en aquellas entradas o salidas que no se estén utilizando para el correcto funcionamiento de la matriz. ETL monta en sus matrices el tipo de conector que más le interese al cliente final, pudiéndose instalar BNCs, F, N, etc....
- Un puerto ethernet HMI cuyo fin es proveer de control sobre otras matrices, en sistemas expandidos, a través del panel HMI presente en la matriz. Dicho puerto ethernet se suele conectar a un switch de la instalación y a este switch se conectarán el resto de las matrices.
- Dos puertos duales de comunicaciones formados de un puerto ethernet y de un puerto serie. La matriz realmente podría funcionar tan sólo con un puerto dual y su correspondiente CPU, sin embargo es recomendable trabajar en paralelo con el otro puerto dual.

Los puertos de ethernet se suelen conectar a un switch o a dos switches, en caso de buscar una redundancia, facilitándose la integración del sistema en la red de control. En el caso de implementar un sistema ampliado de matrices es necesaria dicha conectividad para que todas las CPUs que conforman el sistema global interactúen entre ellas.

Las comunicaciones de tipo serie se pueden configurar para protocolos RS232 o RS485 de manera totalmente individual para cada puerto (por defecto están configuradas como RS232). Además en la parte frontal de las tarjetas CPU se encuentra una serie de microinterruptores en formato DIL desde los cuales se configura la velocidad de la conexión en baudios por segundo y la dirección asociada a los puertos series y su respectiva CPU.

En ambos conectores de los 9 pines que existen, 4 pines son empleados, mediante el uso de relés, como sistema de alarma de las fuentes de alimentación. El sistema cierra los relés y por tanto el circuito que se establece, permitiendo que de esta manera fluya la corriente por el cuando el funcionamiento de la fuente de alimentación es el correcto.



Fig. 161 Conexionado de alimentación y control de la matriz Nigma. Por cortesía de RTVE.

### Control y monitorado de la matriz

Anteriormente se han comentado algunos elementos que permitían controlar y monitorar la matriz o un sistema de matrices de manera totalmente remota. Se procede a comentar de una manera más detallada este tipo de prestaciones, dado que en un alto número de los telepuertos y controles centrales actuales los equipos se encuentran instalados en una sala de máquinas y el control sobre ellos se realiza en otra sala (sala de control) cuyo entorno es mas agradable para el operador.

El sistema remoto consiste en dos puertos duales duplicados siguiendo una filosofía de redundancia como es habitual en los equipos de radiodifusión. Cada puerto dual está formado de un puerto Ethernet y un puerto serie de 9 pines que se puede seleccionar para que trabaje con un protocolo RS232 o RS485.

Las matrices son capaces de trabajar recibiendo ordenes de ambos puertos a la vez, y el orden de ejecución de las instrucciones será su orden natural de llegada. Las primeras instrucciones que lleguen independientemente del puerto que lo reciba serán ejecutadas, y las siguientes instrucciones recibidas por cualquiera de los dos puertos serán ejecutadas posteriormente. Es por esta razón que los puertos duales pueden ser utilizados como un sistema de redundancia o como un sistema de control independiente, no redundante, por cada puerto. En este caso se podría utilizar el segundo puerto como una ruta de control en reserva o con un segundo puesto de control de la matriz de forma simultanea con el puesto principal.

En los sistemas expandidos de matrices cabe destacar que el sistema entero podrá ser controlado desde cualquiera de los puertos de cualquiera de las matrices que formen el sistema.

El puerto serie utiliza el protocolo de ordenes propietario de ETL, en el cual se empaqueta en la trama una instrucción y la dirección de la unidad en la cual se debe ejecutar dicha instrucción. En la parte delantera de las tarjetas CPU de la matriz se encuentra un selector con microinterruptores de tipo DIL. Los 4 primeros microinterruptores se emplean para configurar la dirección de la correspondiente CPU, pudiéndose establecer hasta 16 direcciones diferentes (desde la A hasta la P). Los dos siguientes microinterruptores se emplean para fijar la velocidad de las comunicaciones en el puerto serie de dicha CPU. Se pueden establecer 4 velocidades diferentes: 4800, 9600, 19200 y 38400 baudios/segundo.

El puerto Ethernet está constituido físicamente por un conector RJ45 que se conectará a una red ethernet de tipo 10/100baseTX. La configuración de los parámetros de red en la matriz se realiza a través del panel HMI o desde la consola de comandos del sistema operativo propio del PC de control y utilizando la aplicación Telnet. El protocolo de transmisión de datos entre el PC y la matriz es el TCP, el cual fija como puerto por defecto para la aplicación Telnet el 23. Estas características hacen fácilmente reconocibles el clásico protocolo de redes TCP/IP, sin embargo el protocolo de datos propiamente dicho que subyace es exactamente el mismo que para el puerto serie.

Cada una de las CPUs de la matriz será configurada con una dirección IP distinta, si por alguna razón en la instalación se le asigna la misma dirección IP a las dos CPUs de la matriz se producirán conflictos entre ellas, perdiéndose en muchos casos la comunicación con la matriz.

En el caso de introducir la matriz con sus dos CPUs en una red más compleja, se deberá configurar la dirección IP de cada una de las CPUs completamente. Por el contrario si se introduce un sistema expandido de matrices en una red, tan sólo se deberá ajustar los dos primeros bytes de la dirección base de la subred de tipo B y los otros dos bytes se configurarán automáticamente conforme a la posición que ocupa la matriz dentro del sistema expandido.

A la hora de configurar los parámetros de red de la matriz, el fabricante recomienda hacerlo sin estar la misma conectada a la red de control, ya que una mala configuración de la misma podría crear conflictos en la red que podrían provocar la pérdida del control de otros equipos que se están usando en ese momento.

Además recomienda como lógicamente se puede intuir, el utilizar direcciones IP estáticas en lugar de un sistema basado en direcciones IP dinámicas como podría ser haciendo uso de un servidor de DHCP.

Para la configuración tan sólo es necesario un cable cruzado de Ethernet y un PC y si no se dispone de un cable cruzado se puede intercalar un hub o un switch de Ethernet y emplear un cable sin cruzar.

Con respecto a la configuración física de la red, el fabricante recomienda en el caso de tener un sistema expandido de matrices el conectar todas las CPUs 1 de cada chasis a un switch y todas las CPUs 2 de cada chasis a otro switch para posteriormente unir ambos switches entre sí. De esta manera se logra una mayor redundancia a la vez que se unifican todas las CPUs del sistema dentro de la misma red. Como cabe esperar, para evitar conflictos en la red, cada una de las CPUs deberán tener una dirección IP única. El puerto HMI podrá ser conectado indistintamente a cualquiera de los switches.

Por las características vistas la red que conforma las CPUs puede ser conectada a otras redes exteriores más grandes. En este caso se ha de prestar especial atención a que no se produzcan conflictos entre las IP asignadas al conjunto de CPUs con las IPs de otros dispositivos existentes en la red externa.

Como ya se ha comentado con anterioridad las comunicaciones remotas se establecen con la matriz con un protocolo propio. Este protocolo es el mismo para las comunicaciones ya sea a través del puerto serie como a través del puerto Ethernet. Es gracias a esta estandarización en las comunicaciones que se pueda controlar la matriz remotamente a través del puerto serie o del puerto Ethernet indistintamente e incluso simultáneamente, en donde el único criterio a la hora de ejecutar una instrucción es el estricto orden de llegada.

El protocolo de datos propietario de ETL Systems posee un formato semejante al del RS485. Las instrucciones son transmitidas en tramas que admiten cualquier carácter del código ASCII desde la posición 32 hasta la 127 de dicho código. El resto de caracteres del código ASCII están reservados por el protocolo para diferentes funciones de control. La trama se compone de los siguientes campos:

*<Comienzo de mensaje><Destinatario><Fuente><Datos><Fin de mensaje><Suma>*

El comienzo de mensaje se señala siempre con el carácter reservado 123 del código ASCII (la apertura de llave), mientras que el final de mensaje está reservado al carácter 125 del código ASCII (la llave cerrada). De esta manera la CPU de la matriz conoce en que momento comienza y termina una trama, segmentándose por tanto en tramas el flujo de datos y ayudando a la recuperación de cada trama.

El campo destinatario identifica la dirección de la CPU a la que se envía la trama, mientras que el campo fuente identifica la dirección del emisor del mensaje el cual permanecerá a la espera de la indicación del receptor, de que la trama ha llegado correctamente. Es fundamental que cada una de las CPUs del sistema estén identificadas biunívocamente por alguna de las direcciones de la A a la P en el caso de utilizar una comunicación serie. En las comunicaciones a través del puerto Ethernet, las CPUs están todas identificadas con la dirección B, sin embargo esto no es un problema ya que en este caso al ir encapsulado el protocolo de comunicaciones dentro del protocolo TCP/IP es este protocolo el que distribuye las tramas entre las diferentes CPUs conforme a la dirección IP de las mismas.

El campo de datos es donde se insertan apropiadamente las instrucciones que ha de realizar la matriz.  
 El campo suma es el campo con el cual se comprueba la integridad de la trama recibida frente a los errores en la transmisión. Para ello se aplica un algoritmo en el emisor el cual obtiene un número a partir del valor de los caracteres enviados en la trama. El resultado de este algoritmo se inserta en el campo Suma. En el receptor del mensaje se aplica el mismo algoritmo con los caracteres recibidos. Si el resultado es el mismo que en el campo suma, la trama ha llegado correctamente, en el caso de que no sea igual la trama contiene errores, desechándose por tanto esta trama. Como se puede observar es un sistema muy simple de detección de errores, sin posibilidad de corrección alguna.

### Expansión de matrices

En el caso de necesitar más entradas o salidas de las que puede proveer un simple cofre, se puede realizar una expansión de matrices añadiendo al sistema más cofres de 32x32. El sistema es capaz de manejar hasta un sistema expandido con un total de 1024 entradas y 1024 salidas.

A continuación se presenta un ejemplo de un sistema distribuido en 4 matrices cuya configuración equivaldría a una única matriz de 64x64. Se dispone utilizar tres matrices esclavas (slaves) y una matriz principal (master). Se ha de observar que pese a que el sistema maneja 128 entradas y 128 salidas la configuración resultante es una matriz global de 64x64, y a cada uno de los cofres o matrices de 32x32 se las suelen denominar submatrices.

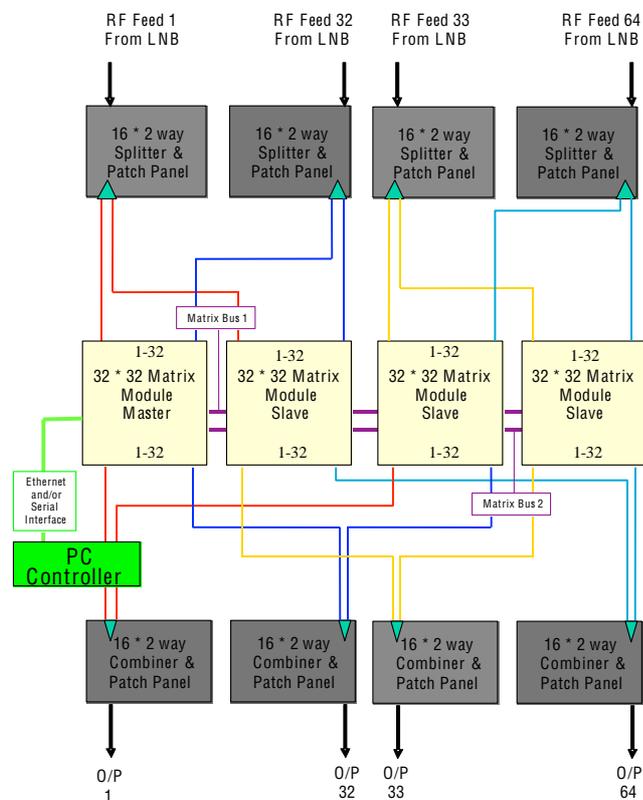


Fig. 162 Configuración de un sistema expandido de 64x64. Por cortesía de ETL systems

Para obtener un sistema con la configuración del ejemplo se necesita 4 matrices de 32x32 puntos, 4 splitters de 16 entradas y 2 salidas duplicadas por entrada ( 32 salidas en total ) al que se conectarán las bajadas de los LNBS, y 4 combinadores de 2 entradas por cada salida (32 entradas a 16 salidas).

Según la distribución de la figura anterior se puede ver que empezando a partir de la izquierda:

- La primera matriz, recibe a través de los splitters la señal que proviene de los bajadas 1-32 y esta señal es enrutada a las salidas 1-32 del sistema (00 00).
- La segunda matriz también recibe gracias a los splitters las bajadas 1-32, pero esta vez las salidas se enrutan hacia 33-64 (00 01).
- La tercera matriz comenzando por la izquierda, es alimentada con las bajadas de los LNBS del 33-64 a través de los splitters y las salidas se conmutan a través de los combinadores hacia las salidas 1-32 del sistema (01 00).
- La cuarta matriz comenzando por izquierda recibe las bajadas 33-64 y las enruta hacia las salidas 33-64 del sistema (01 01)

Al lado de cada matriz se ha incluido entre paréntesis 4 dígitos. Posteriormente se comentará que estos dígitos decimales identifican a cada uno de los cofres con el paquete de entradas y salidas que manejan dentro de la configuración del sistema expandido.

Es importante observar que las entradas son alimentadas mediante splitters de RF y las salidas son seleccionadas mediante el uso de combinadores de RF. Un PC controla las matrices y los combinadores, actuando sobre ambos a la vez para habilitar el cruce de matriz apropiado y seleccionar pertinentemente la entrada del combinador (salida de la matriz) necesaria para que a la salida del combinador esté presente el cruce deseado.

Respecto al panel HMI cabe destacar que la matriz *master* deberá estar provista de un panel *HMI* desde el cual se podrá controlar el resto de matrices. En el caso de querer incluir en un sistema expandido más cofres (slaves) con la pantalla de control en el frontal se podría hacer (no siendo necesario para el control del sistema), pudiéndose controlar el sistema completo de la matriz expandida desde cualquiera de los paneles frontales incluidos en cualquiera de los cofres.

La ilustración anteriormente mostrada pertenece al manual de la matriz Nigma 10 y Nigma 11, modelos ambos obsoletos. En estas matrices existían dos buses denominados Matrix Bus los cuales estaban unidos con su correspondiente CPU. Cada bus tenía un conector de entrada y uno de salida por cada CPU. Los datos se transmitían entre las diferentes matrices del sistema expandido encadenando el conector Matrix Bus Out de la anterior matriz con el conector Matrix Bus In de la siguiente matriz, haciendo una cadena para el Bus 1 y otra cadena para el Bus 2 e interconectando de esta manera todas las CPUs del sistema. Estos puertos han desaparecido en el modelo Nigma 21 y la tendencia actual es conectar las matrices a través de los conectores Ethernet a una red.



Fig. 163 Infraestructura de banda L. Por cortesía de Overon.



Fig. 164 Infraestructura de banda L por cortesía de Antena 3.

## Operación de una matriz de banda L

La matriz Nigma de ETL systems puede ser controlada a través de diferentes interfaces, las cuales operan a su vez sobre las CPUs (recuérdese que bajo circunstancias de funcionamiento correcto de la matriz, ambas CPUs funcionan independiente y simultáneamente, procesando ambas la misma información).

La interfaz más sencilla es el panel frontal del cual está provisto el chasis. Otras interfaces son remotas y utilizan puertos Ethernet o puertos serie y un software ejecutándose sobre un ordenador, configurando, monitorizando y controlando las matrices del sistema. Generalmente las aplicaciones instaladas en el ordenador de control poseen un mayor número de opciones de control y monitorización que el panel frontal HMI.

En la parte frontal de la matriz se puede encontrar el *Human Machine Interface* el cual se compone de un hardware y un software propietario desde el cual se pueden configurar, controlar y monitorizar diferentes parámetros e información de estado de la matriz.

El *hardware* que conforma el panel HMI está instalado por la parte posterior de la puerta frontal y es accesible desde un compartimento rectangular en la parte trasera del mismo. El panel está constituido entre otros elementos de un LCD a color de 6.5" con sensibilidad al tacto. Se puede manejar bien con el dedo o con un lápiz específico.

El sistema operativo del HMI se compone de un Windows CE y una serie de controladores para el correcto funcionamiento del panel (gráficos, comunicaciones, sensibilidad al tacto, etc...). Sobre este sistema operativo se ejecuta la aplicación específica de configuración, control y monitorización de la matriz.

Realmente el panel HMI está basado en un sistema muy parecido al de otros dispositivos electrónicos como pueden ser PDAs o teléfonos móviles. Siendo por tanto su innovación y desarrollo de muy bajo coste.

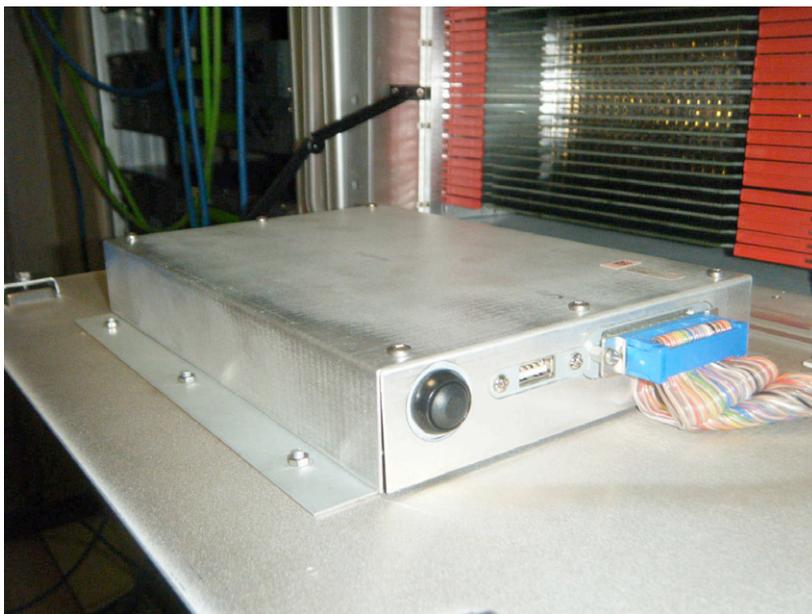


Fig. 165 HMI de la matriz Nigma 21. Por cortesía de ETL

Se presenta la operación de la matriz desde el panel frontal HMI.

La pantalla del enrejado que se ofrece a continuación es la pantalla principal en la que arranca la matriz. En ella se puede identificar de un rápido vistazo (mediante los puntos verdes) el último estado de las conmutaciones de la matriz. La ausencia del punto verde puede ser indicador de que existe un fallo en dicha tarjeta que la vuelve inoperativa, o no se encuentra instalada la tarjeta correspondiente.

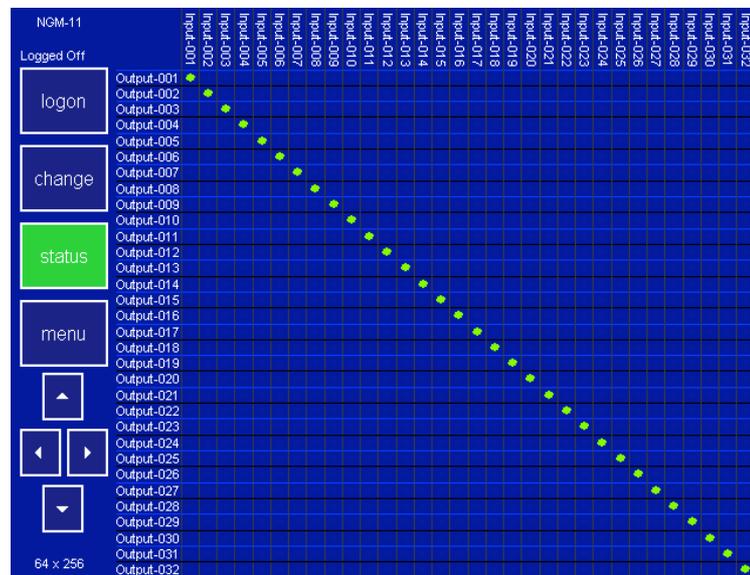


Fig. 166 Pantalla principal en el HMI. Por cortesía de ETL systems

En la figura aparecen como input, output y el número correspondiente, sin embargo el operador puede renombrar estas etiquetas y de esta manera sustituir por ejemplo una de las entradas por W3 BH (Eutelsat W3 baja horizontal) y una de las salidas por IRD 1 (receptor 1). Cuando en el cruce de ambos apareciese un punto verde, sabrá que el receptor de satélite 1 está siendo alimentado con la bajada del satélite Eutelsat W3, con la polaridad baja horizontal.

En la parte izquierda de la pantalla se encuentran dos zonas diferenciadas. Los cuatro iconos superiores presentan el menú desde el que se controla toda la matriz. Las cuatro flechas o indicadores de dirección, que se encuentran por debajo se utilizan en sistemas expandidos para poder desplazarse en la pantalla de ruteo a las entradas y salidas de las matrices que conforman el sistema expandido.

La pantalla se actualiza constantemente a partir de la información de ambas CPUs, que en el caso de estar funcionando correctamente será el mismo. La actualización constante a través del estado de las CPUs permite detectar errores en las mismas.

#### Icono Login:

La matriz posee un sistema de protección ante un uso indebido, no permitiendo al usuario no autenticado realizar determinadas acciones con la matriz. En diferentes aplicaciones informáticas la no autenticación de un usuario, le permite a este tener acceso sólo en modo lectura y no en modo escritura.

En la matriz Nigma sucede igual, el usuario que no este autenticado mediante su contraseña, podrá tener acceso a casi todos los menús de la matriz, para navegar en ellos y conocer el estado de la misma, sin embargo no se le permitirá realizar operaciones que impliquen cambios en el estado.

La matriz viene configurada por defecto con dos cuentas diferentes las cuales poseen diferentes privilegios. La cuenta Admin, es la cuenta que debe usar el administrador o la persona encargada de la instalación y mantenimiento de la misma. La cuenta ETL es una cuenta reservada para servicio técnico y testeo del funcionamiento de la matriz. Además de estas cuentas existen un total de 9 cuentas User las cuales están destinadas a los operadores de la matriz, con menos privilegios que la cuenta Admin.

Tras realizar la autenticación de un usuario, la matriz volverá por defecto a la pantalla de enrejado principal. Y en ella se mostrará en la esquina superior izquierda la cuenta autenticada, y el tiempo por defecto que resta para que se vuelva a pedir la contraseña del usuario. Este tiempo se genera como una cuenta atrás de 10 minutos que comienza a partir de la última tecla presionada por el usuario. Cada vez que el usuario realice una pulsación el contador se reseteara a los 10 minutos. Es una medida de precaución en el caso de que un usuario autenticado olvide cerrar su sesión tras abandonar las operaciones.

#### Icono cambio de ruta (*change*):

La pantalla de cambio de ruta, es la pantalla que permite realizar los encaminamientos o cruces de las entradas a las salidas de la matriz, una vez que se este autenticado como usuario o administrador.

Para realizar un cruce en esta pantalla se puede operar de dos formas diferentes:

- 1) Si se conoce el número en el que está situado tanto la entrada como la salida se pueden introducir mediante el teclado numérico. Para ello se teclea el número de la entrada y a continuación se pulsa el icono de input. El número introducido previamente aparecerá en la cajita de la entrada y en la casilla de Alias aparecerá el nombre que se le ha asignado a esa entrada. A continuación se teclea de nuevo otro número y se pulsa la tecla de output, apareciendo el número marcado en la cajita de salida y mostrándose en la cajita de Alias el nombre asignado a la salida. Una vez que se está seguro de que es ese cruce en concreto el que se desea realizar se pulsa la tecla Take, y el cambio de ruta se realizara inmediatamente.

En ambos casos, cuando se teclea el número, este aparecerá en la casilla situada encima del teclado numérico. Esto no significa que se halla aceptado dicho número como entrada o salida, tan sólo es una indicación del número pulsado.

El número máximo que se permite introducir corresponde con el máximo de entradas o de salidas que conforman la matriz. En el caso de sobrepasar este número aparece por defecto el valor máximo disponible para dicha matriz.

2) La segunda forma es quizás la más sencilla, debido a que utiliza los nombres que se han asignado previamente a las entradas y a las salidas. Si se pincha sobre la casilla Input Alias, aparecerá un menú desplegable con todos los nombres asignados previamente. De esta manera se puede seleccionar una de las entradas mediante el nombre o identificador.

Haciendo lo mismo sobre la casilla Output Alias, se podrá seleccionar la salida. Una vez que se haya seleccionado tanto la entrada como la salida y se este seguro de la conmutación a realizar, se pulsa la tecla Take, efectuándose instantáneamente la conmutación.

En este caso al igual que en el anterior, cuando se selecciona una determinada entrada o salida aparecen actualizados en los cuadros numéricos el número de la entrada o salida seleccionadas.

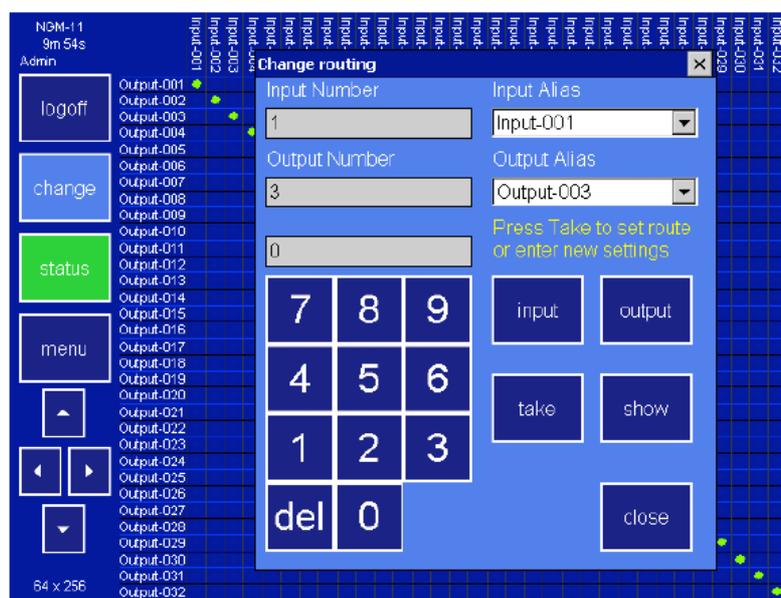


Fig. 167 Pantalla de conmutación en el HMI. Por cortesía de ETL systems.

Con respecto a estas dos formas de conmutación se han de comentar diversos aspectos:

- En ambos casos tras realizar la conmutación el panel de Change Route borrara todos los datos introducidos anteriormente, para de esta manera estar preparado para una nueva conmutación.
- Encima de los botones de input y output se puede leer una frase en amarillo. Se trata de una ayuda que ofrece la matriz, según se van realizando los pasos en cada conmutación. Esta frase se va actualizando e indicando los siguientes pasos necesarios para finalizar la conmutación.
- El método de conmutación sugiere por orden lógico empezar seleccionando la entrada. En el caso de que se comience seleccionando la salida, la matriz mostrara en su correspondiente casilla, la entrada asociada a dicha salida en el momento actual. Esta información puede ser realmente interesante en el caso de no estar plenamente seguro de que entrada está asociada en ese momento a la salida a conmutar, y puede prevenir una conmutación no deseada, o una conmutación errónea.

Por último recordar que siempre que se realiza una conmutación se debe estar totalmente seguro de que es la conmutación que se desea realizar y no otra, ya que de otra forma se podría estar quitando la señal de RF de un receptor que está en funcionamiento en ese momento con diferentes fines. La pantalla de Change Route ofrece una tecla Undo, con la cual se puede deshacer la última conmutación realizada. En caso de que el operador haya realizado una conmutación errónea y este no recuerde el estado previo de la conmutación, la tecla Undo restablecerá el anterior cruce tan pronto como sea pulsada.

#### Icono de estado (*status*):

El menú de estado muestra a través de las diversas pantallas, diferente información acerca del estado actual de funcionamiento de la matriz. El icono de status existente en el menú principal estará de color verde en el caso de que el funcionamiento sea correcto. Si cambia a color rojo, la matriz requiere de atención por nuestra parte ante un posible fallo.

La primera pantalla a la que se tiene acceso, es la pantalla que muestra la configuración del sistema expandido de matrices. Mediante un punto verde o rojo se informará del funcionamiento en las matrices que conforman el sistema expandido. Pulsando sobre el punto en cuestión se accederá a la información de estado de esa matriz (es necesario que todas las matrices estén conectadas a la red de la infraestructura). Lógicamente, esta primera pantalla no es accesible en el caso de que tan sólo exista una matriz en la red de la infraestructura.

La forma de representar el sistema expandido de matrices es mediante una retícula en la cual el eje de ordenadas se corresponde con el módulo de entradas y el eje de abscisas con el módulo de salidas. En ambos casos los módulos se representan con el formato XY y pueden tomar valores desde el 00 hasta el 15, cada módulo corresponde con un conjunto de 32 entradas o salidas. Viendo esta representación fácilmente se podrá conocer como está configurado el sistema expandido y que cofre es el que está fallando en el caso de que alguno presente una alarma.

La pantalla que se muestra a continuación servirá de ejemplo en las sucesivas páginas y pertenece a un sistema ampliado de 32x128, en el cual las 32 primeras entradas son comunes a las 4 matrices (todas tienen en común el módulo 00 de entrada) y las salidas son diferentes para todas.

En el caso concreto presentado se informa que las tres primeras matrices están operando en perfectas condiciones, mientras que la cuarta matriz le está sucediendo algo. Podría ser un fallo, una alarma o un mensaje de advertencia, pero fuera lo que fuese, se indica que esa matriz requiere de nuestra atención.

En las siguientes pantallas que se presentan se podrán encontrar los indicadores de estado, puntos de tres posibles colores que acompañan al elemento monitorizado. El color verde indica que todo está correcto, el color rojo indica algún tipo de alarma y el color azul indica que no se dispone de la información adecuada, causado por algún fallo colateral que influye en la monitorización.

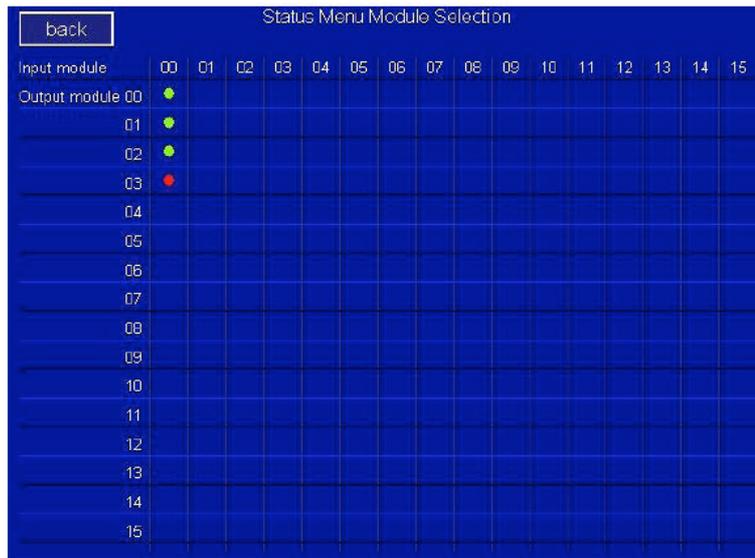


Fig. 168 Por cortesía de ETL Systems

Pantalla de estado de la matriz:

Tras haber seleccionado la matriz que se desea monitorizar en la pantalla anterior, se muestra la pantalla de estado de dicha matriz con las diferentes informaciones.

Se puede dividir la pantalla en cuatro zonas de información, dos horizontales y dos verticales. En cuanto a la división vertical la zona izquierda pertenece a la CPU 1 y la zona de la derecha pertenece a la CPU 2. En cuanto a la división horizontal la zona superior muestra una información de estado muy básica sobre algunos elementos que es necesario tener bajo control de un simple vistazo. La zona inferior presenta una serie de iconos que dan acceso a otras pantallas con diferentes informaciones, en este caso más exhaustivas que las anteriores.

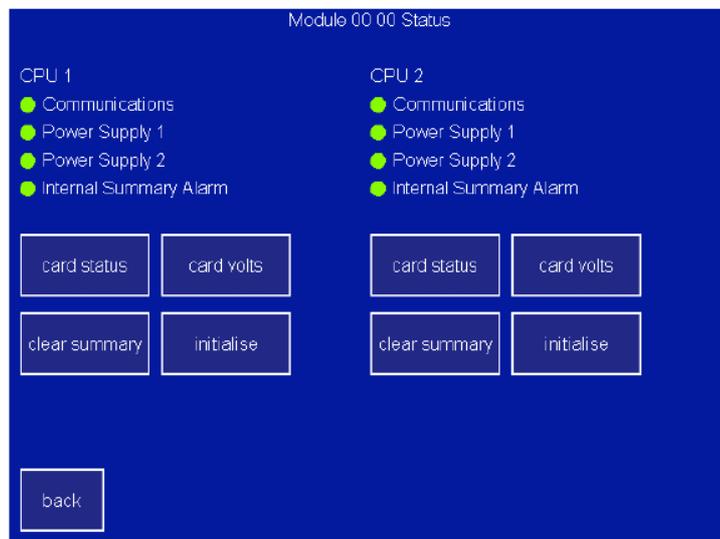


Fig. 169 Pantalla de estado. Por cortesía de ETL Systems

*Communications* se refiere a la comunicación establecida o existente entre el panel HMI y la CPU correspondiente. Lógicamente si se indica un fallo, el resto de información de la que se puede proveer a través de dicha CPU deberá ser omitida, puesto que su fiabilidad sería bastante dudosa.

*Power Supply* indica el estado de las fuentes de alimentación redundantes. En este caso la información debe ser la misma en ambas CPUs. Si una CPU indica un fallo y la otra no, puede ser que se trate de un fallo, extrínseco a las fuentes de alimentación.

*Internal Summary Alarm* indica si existe un problema en las comunicaciones entre las CPUs y las tarjetas de entradas y salidas de la matriz o si alguna de las tarjetas ha inicializado alguna bandera de monitorización para reportar un error.

Los iconos de la parte de abajo muestran las siguientes informaciones en sus correspondientes pantallas:

- Pantalla de estado de las tarjetas: Pulsando sobre el icono de card status se accede a la información acerca de las tarjetas de entrada y de salida existentes en la matriz. Cada una de estas tarjetas de entradas y salidas están implementadas con hardware capaz de monitorizar la tensión de alimentación y la tensión de polarización del amplificador presente en cada una de estas tarjetas. Las tarjetas envían esta información a través de los buses de comunicaciones a ambas CPUs donde se procesa pertinentemente.

Esta pantalla nuevamente vuelve a estar dividida verticalmente en dos zonas, la primera zona es para las entradas y la segunda zona es para las salidas. Cada una de estas zonas, además, está dividida en columnas, presentándose en cada columna una información particular, representada en la leyenda que se encuentra debajo de la pantalla.

La primera columna nombrada como Card Communications informa acerca del estado de las comunicaciones entre las CPUs y la respectiva tarjeta. Lógicamente si se verifica un fallo en las comunicaciones el resto de información no será válida.

La siguiente columna denominada Monitoring Function informa acerca de la correcta inicialización del hardware y software de monitorización implementados en las tarjetas. En caso de que no se hayan inicializado correctamente, se mostrará la correspondiente alerta. Sin embargo esto no implica que la tarjeta no este funcionando correctamente, sino que no se han inicializado correctamente las funciones de monitorado.

Las tres restantes columnas se refieren al monitorado de la alimentación del amplificador

Es posible conocer el estado real del funcionamiento del amplificador de las tarjetas independientemente de los estados presentados en cada pantalla. Para ello se mide por un lado las tensiones que le son suministradas y por otro lado el nivel de potencia de la señal de RF que entra y sale de la tarjeta. Esta verificación ha de realizarse previamente a reemplazar una tarjeta, aunque el sistema la señale como no operativa. Existen diferentes motivos por los que la tarjeta puede estar funcionando y ser otro tipo de problemática en la matriz.

Como observación se comentara que si bien en la leyenda de la figura anterior muestra el estado de un segundo amplificador, la realidad es que las tarjetas tanto de entrada como de salida están implementadas únicamente con un solo amplificador.

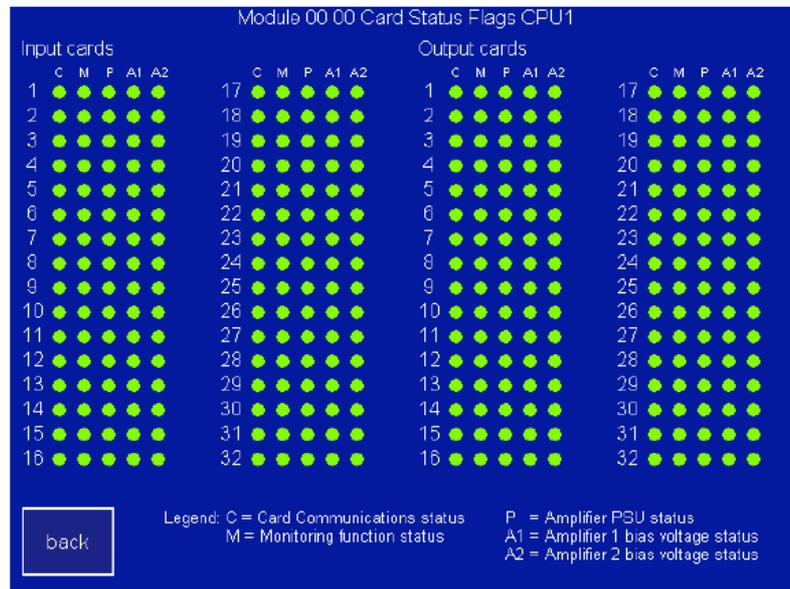


Fig. 170 Pantalla de estado de las tarjetas de entrada y de salida. Por cortesía de ETL.

- Pantalla de voltajes en las tarjetas: Pulsando sobre el icono de Cards Volts se muestra la pantalla de las lecturas de voltajes de todas las tarjetas de entradas y salidas disponibles en la matriz. La información que se obtiene de esta pantalla es relativamente escasa. Tan sólo las tensiones de funcionamiento (tensión de la alimentación y tensión del punto de trabajo) del amplificador incluido en cada una de las placas.

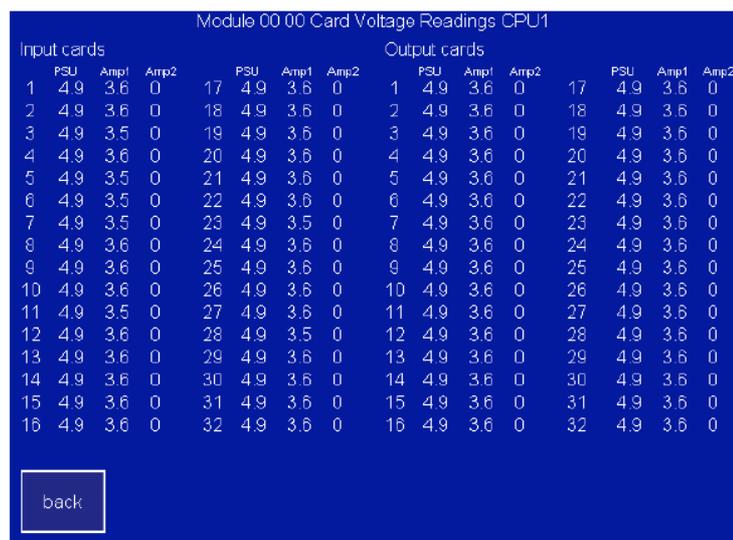


Fig. 171 Pantalla de tensiones medidas en las tarjetas. Por cortesía de ETL Systems

En principio las medidas realizadas en todos los amplificadores de las tarjetas deberían ser las mismas, sin embargo, teniendo en cuenta las desviaciones intrínsecas que se producen durante el proceso de fabricación entre los diferentes componentes electrónicos y los amplificadores que se implementan en las placas, las tensiones de funcionamiento en diferentes tarjetas pueden variar ligeramente.

Por último, existen dos iconos en la pantalla de estado de matriz.

- 1) El icono *clear summary* se emplea para borrar las alarmas que presenta la matriz cuando no están instaladas todas las tarjetas de entradas y salidas. Para ello se le da la orden a la CPU de detectar las tarjetas instaladas en la matriz y borrar los mensajes de error de las tarjetas no instaladas.

Una vez se pulsa el icono, la CPU escribe en el registro de estado “*not fitted*” para cada una de ellas. Inmediatamente la CPU comienza de nuevo el proceso de comunicaciones con cada una de las tarjetas. En un estricto orden consecutivo, la CPU espera la respuesta de cada tarjeta. En caso de no recibir respuesta entiende que esa tarjeta no está instalada quedándose escrito en el registro de estado la ausencia de dicha tarjeta y no volviéndose a pedir referencias de la misma en acciones futuras. En caso de recibir respuesta de la tarjeta, se borra el estado “*not fitted*” y dicha tarjeta pasa a estar activa a todos sus efectos para la matriz.

En el caso de instalar posteriormente una tarjeta, el sistema la reconocería inmediatamente y sería incluida en el monitoreo que se realiza de estas tarjetas. En el caso de extraer una tarjeta, se deberá ejecutar de nuevo para eliminar los mensajes de error que son reportados por la tarjeta extraída.

La instrucción *clear summary* deberá ser llevada a cabo para cada una de las CPUs.

- 2) El icono *initialise* es utilizado en el proceso de la adquisición del máximo y del mínimo de las tensiones que monitoriza cada tarjeta. Concretamente la inicialización es realizada en la propia tarjeta, en la cual se miden los valores máximos y mínimos de las tensiones y se almacenan en una memoria no volátil presente en las tarjetas. Posteriormente las tensiones que se miden en cada instante en la tarjeta, son comparadas con estos valores, y en el caso de estar fuera de rango, es cuando se activará la alarma.

La memorización del máximo y del mínimo tiene lugar cuando se hace el proceso de testeo a través de la cuenta de usuario ETL y es recomendable inicializar estos valores tras la instalación de la matriz y previo a su puesta en funcionamiento por primera vez. También es recomendación del fabricante, realizar la inicialización de las tarjetas que son instaladas posteriormente.

Si se pulsa sobre este icono aparece la pantalla de inicialización. En esta pantalla se puede seleccionar la inicialización de una de las tarjetas de entrada, de una de las tarjetas de salida o de todas las tarjetas a la vez. Para ello, se introduce el número de la tarjeta que se quiere inicializar y después se presiona sobre *input* o sobre *output*. Para inicializar todas las tarjetas tan solo se debe pulsar sobre *all*. Al igual que en otras pantallas, se ofrecen una serie de mensajes en color amarillo a modo de ayuda.

La alarma que se activa en la pantalla de status se basa en una comparación entre las tensiones medidas y las tensiones almacenadas en el proceso de inicialización. Sin embargo se tiene en cuenta el desgaste electrónico de los componentes y se establece una tolerancia en la comparación a la hora de activar una alarma.

El correcto funcionamiento de la función de monitorado de tensiones depende directamente de la correcta inicialización.

#### Icono menú:

Pulsando en el icono Menú de la pantalla principal se accede a las diferentes opciones de configuración de la matriz.

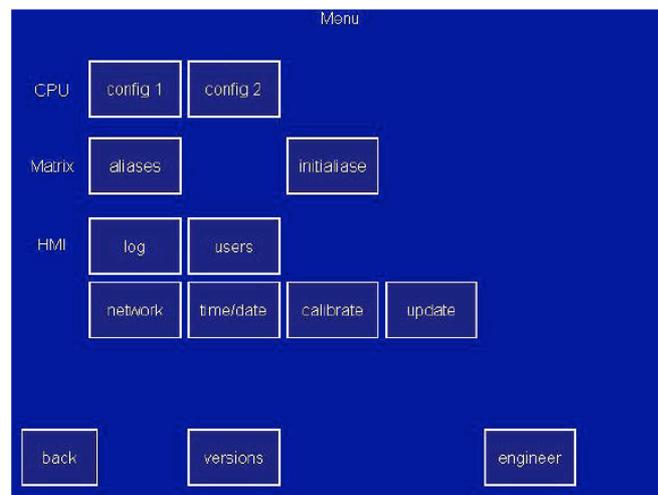


Fig. 172 Pantalla de menu. Por cortesía de ETL.

Se puede observar que esta pantalla a su vez se divide en tres bloques:

- 1) En la primera fila nombrada como CPU es desde la cual se configuran diferentes parámetros de las CPUs. *Config 1* y *Config 2* permiten configurar individualmente cada una de las CPUs que se encuentran en la matriz a la que se está accediendo a través del panel HMI.

En esta pantalla se configura tres parámetros fundamentalmente.

- El número de entradas y salidas existentes en el sistema.
- El número que identifica a los módulos de entrada y salida conforme a la posición que ocupa la matriz dentro del sistema de matrices.
- Los parámetros de red asignados a la CPU.

Las casillas de *number of inputs* y *number of outputs* permiten informar al sistema del número de entradas y salidas que conforma el sistema expandido. Este número no tiene porque coincidir con el número de entradas y salidas reales, ya que en dicho ejemplo existen cuatro cofres de 32

entradas y salidas por cofre. El número que aquí se indica es el número de entradas y salidas que conformarían una matriz global formada por cada uno de los módulos o submatrices y teniendo en cuenta la topología del sistema expandido. Todas las matrices integradas en un sistema expandido deberán ser configuradas con el mismo número de entradas y salidas.

Las dos siguientes casillas *input module number* y *output module number* identifican a la matriz mediante el número del módulo de entrada y de salida dentro de todo el conjunto de matrices que forman el sistema. Para que el sistema de matrices expandido funcione correctamente, cada matriz que forma parte del sistema debe estar perfectamente referenciada tanto su módulo de entradas como de salidas, de esta manera todo el sistema y en concreto cada una de las matrices conocerá el bloque de entradas y salidas que en ella se manejan.

El número 0 se asigna para el módulo que se alimenta de las entradas o salidas de la 1 a la 32, el número 1 para las entradas o salidas del 33-64, y así sucesivamente. De esta manera en las pantallas anteriores se puede observar que la matriz está referenciada como el modulo 00 (00 00), esto indica que esta matriz esta conectada a las 32 primeras entradas y las 32 primeras salidas. Lógicamente en un sistema que sólo posee una matriz esta opción estará deshabilitada.

Estos dos parámetros vistos anteriormente son los que configuran la distribución de cada cofre en la topología del sistema expandido, permitiendo conocer y ubicar en el sistema a cada una de sus submatrices.

La configuración de red de las CPUs de un sistema simple conformado por una sola matriz es tan sencilla como configurar las direcciones IP de cada CPU y sus correspondientes mascarar de subred de tal forma que las CPUs del chasis pertenezcan a la red a la cual están unidas.

Sin embargo, la configuración de red de las CPUs del sistema ampliado se realiza mediante una configuración de tipo subred clase B en la cual se configuran los dos primeros bytes como los bytes que identifican a la subred y establecen la dirección base del sistema.

Cada una de las CPUs configura automáticamente su dirección de red asociada con los dos primeros bytes establecidos por los bytes de la dirección base. Los dos siguientes bytes se obtienen a partir del número asignado previamente al módulo de entrada y de salida que definen a la matriz dentro del bloque. Tan solo se tiene que rellenar la casilla *base IP address* con la dirección base de la subred clase B, y la propia CPU rellenará los cuatro bytes de su dirección IP.

En la figura se puede ver que se ha asignado por defecto a la dirección base IP de la red clase B los dos primeros bytes como 192.168.XYY.XZZ. Automáticamente la matriz crea la dirección IP a partir de los dos primeros bytes y el tercer y cuarto byte los rellena conforme al número del módulo. El valor de la X es el valor de la CPU (1 si es la CPU 1 y 2 si es la CPU 2) que se está rellenando y el valor de YY es los dos primeros números que referencian al módulo y el valor ZZ es los dos siguientes números que referencian al modulo, por ejemplo la CPU 1 del módulo 00 01 tendrá la siguiente dirección: 192.168.100.101.

La última casilla es *dataport timeout*, fija el tiempo a partir del cual se cierra el puerto 4000 establecido por el protocolo TCP para las comunicaciones, en el caso de no detectar un flujo de datos. Esta casilla es útil en el caso de que surja una avería que impida la comunicación con la matriz. Si no se fija un tiempo de desconexión, el puerto permanecerá indefinidamente abierto y en el caso de intentar volver a restaurar la comunicación después de una interrupción se podrían presentar diversos problemas como consecuencia de tener el puerto de comunicaciones abierto. Por ejemplo el protocolo TCP admite una lista de espera de conexasión que permite a múltiples remotos conectarse al puerto TCP para establecer una comunicación. Para que esta lista de espera funcione, se debe abrir el puerto, establecer la comunicación y una vez finalizada la comunicación cerrar el puerto. De esta manera el siguiente equipo de control en la lista de espera tiene la opción de abrir el puerto, transmitir su mensaje a la matriz y cerrar de nuevo el puerto. Esta opción cobra especial sentido cuando diversos operadores necesitan acceder a la matriz desde diferentes PCs de control.

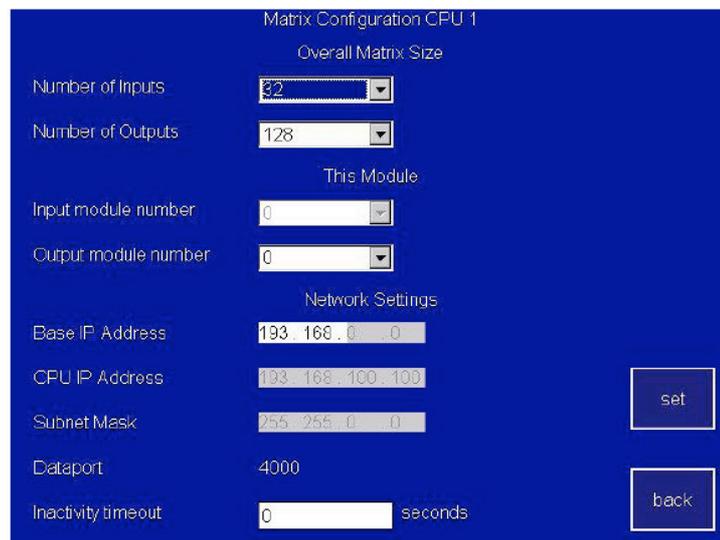


Fig. 173 Pantalla de configuración de la CPU. Por cortesía de ETL Systems

- 2) En la segunda fila se encuentran dos iconos, el de *aliases* e *initialise*. Estos iconos se emplean para una configuración más global de la matriz.

La pantalla de *aliases* es quizás de las pantallas más útiles para el operador ya que es en esta pantalla donde se asignan los nombres a cada una de las entradas y salidas que se mostrarán en la pantalla de cambio de ruta y en la pantalla principal.

Como se supone que ambas CPUs poseen la misma información en cuanto a los alias asignados, tan solo existe un icono de cambio de alias, modificándose los mismos en ambas CPUs de manera simultánea. En los sistemas expandidos de matrices la información de los alias es compartida a través de la red por todas las CPUs existentes en las matrices del sistema.

Para cambiar el alias de una entrada o salida se deberá presionar sobre la casilla *I/O number* desde la cuenta de administrador e introducir el número de entrada o salida que se desea cambiar, posteriormente se presiona sobre *input* u *output*. Tras identificar la entrada o salida a renombrar se pulsa sobre *New alias*, apareciendo el alias actual y mediante la pantalla táctil se introduce un nuevo nombre. Para finalizar se pulsa sobre *Set alias* y el alias escrito será asignado a la entrada o salida escogida.

El icono *default* reestablece todos los alias asociados a las entradas y salidas, a los alias programados en fábrica por defecto.

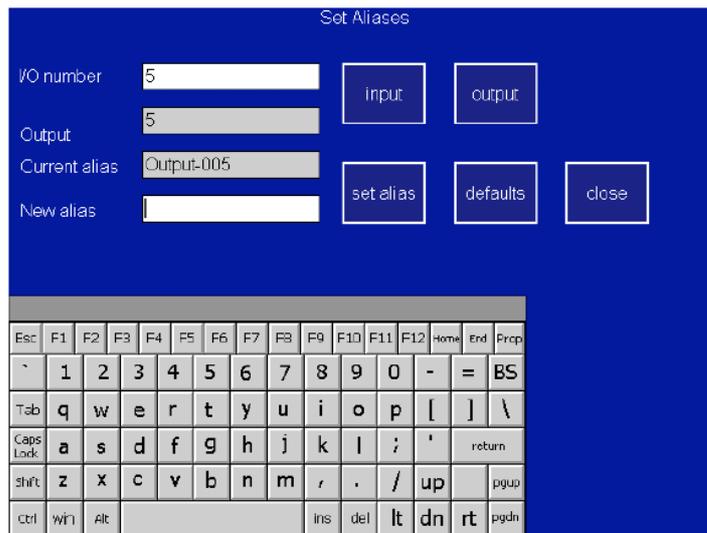


Fig. 174 Pantalla de configuración de los alias. Por cortesía de ETL Systems.

Por último, la opción de *initialise* es una medida de emergencia que posee el administrador de la matriz para tratar de solventar un estado errático de la misma. Tan solo comentar que realiza una inicialización de diversos elementos de la misma devolviendo a la matriz a un estado conocido anteriormente como bueno. Tras finalizar la inicialización la matriz presenta un ruteo bastante particular en el cual la entrada 1 es enrutada hacia todas las salidas.

Es recomendable emplear esta función tan solo en caso de un colapso total de la misma.

- 3) En la tercera fila se puede encontrar los iconos que permiten monitorar y configurar el panel HMI: *log, users, network, time/date, calibrate y update*.

El icono *Log*, permite el acceso a un registro que posee la matriz de las operaciones realizadas a través del panel HMI. El registro solo es accesible desde la cuenta del administrador y tan solo muestra las 100 últimas operaciones realizadas desde la última vez que se arrancó la matriz, inicializándose de nuevo en el caso de resetear la misma. A medida que se van sucediendo los diferentes ordenes, los eventos mas antiguos de la lista van desapareciendo para permitir escribir los nuevos eventos que se van produciendo.

Los eventos o instrucciones realizadas se muestran en referencia a la fecha y hora que posee la matriz.

Esta pantalla es especialmente útil para los departamentos de ingeniería y mantenimiento. En el caso de querer acotar los posibles errores que producen un malfuncionamiento. Conociendo la hora aproximada en la que se ha producido un error en la matriz, se puede revisar el *log* para de esta manera poder acotar si alguna de las instrucciones ejecutadas entorno a la hora del fallo ha podido producir dicho fallo. Es de vital importancia que tanto la hora como la fecha existentes en la matriz estén correctamente configuradas, para de esta manera poder ser lo más preciso a la hora de acotar las instrucciones previas al fallo.

El icono de *users* permite a la cuenta del administrador crear hasta 9 cuentas de usuarios junto a sus contraseñas de acceso. La cuenta del administrador es *admin* y el nombre de esta cuenta no puede ser cambiada, sin embargo su contraseña sí. Para ello se introduce la nueva contraseña en la casilla *Admin Password* y se verifica presionando sobre *set*.

Para crear un usuario nuevo primeramente se ha de pulsar sobre la casilla de *User Number*, y escoger el número del usuario que se desea crear. Tras seleccionar el número de usuario aparece el nombre asignado previamente en la casilla *User name* a dicho usuario. El nombre asignado se puede cambiar escribiendo a través del teclado táctil de la pantalla. Posteriormente se escribe en la casilla *User Password* la contraseña escogida para dicho usuario. Para finalizar el alta de un usuario se presiona el icono de *set* justo al lado de la contraseña de usuario.

El sistema de contraseñas para usuarios no permite el dar de alta un usuario con una contraseña en blanco, de esta manera para dar de baja un usuario bastaría con dejar su contraseña en blanco.

El icono *network* se emplea para configurar la conexión de red del puerto HMI. En un sistema en el que tan sólo se tiene una matriz, los parámetros de red se configurarán conforme a la red a la que será conectado, incluso no sería realmente necesario conectar el puerto del panel HMI a la red.

Sin embargo en un sistema ampliado, el panel HMI debe comunicarse con todas las CPUs del sistema y por tanto los parámetros de red del panel deberán incluir a dicho panel dentro de la red que comunica a todas las CPUs entre sí. La primera casilla *HMI number* permite identificar mediante un número el panel HMI que se está configurando. El sistema de ETL admite un total de hasta 10 HMIs por sistema ampliado de matrices, por lo tanto se debe asociar un número con cada uno de los HMIs del sistema ampliado. Dentro del sistema no podrán existir dos HMIs con el mismo número ni con la misma dirección IP.

La casilla de *IP Address* es en la que se introduce la dirección IP que se quiere asociar a dicho HMI, y la casilla del *Subnet Mask* define junto a la IP el segmento de red a la que pertenece el HMI.

El icono de *time/date* no tiene mayor relevancia que fijar la hora y la fecha desde la cuenta de administrador y su importancia radica en la correcta creación del *log*.

El icono *calibrate screen* tampoco tiene mayor relevancia.

El icono de *update HMI* se utiliza para actualizar el firmware del HMI mediante un dispositivo de tipo memoria USB en el cual se carga el software que provee ETL. El firmware se ha de actualizar con la matriz en funcionamiento y desde la cuenta del administrador. Para ello se pulsa el icono de update HMI y se abre la puerta frontal de la matriz. En la parte posterior de dicha puerta se encuentra el compartimento donde se aloja físicamente el HMI y en el lateral de dicho compartimento existe un puerto USB que será en el que se introduzca la memoria USB. Posteriormente se dará la orden de copiar el contenido de la memoria USB al HMI. Cuando se halla copiado el contenido se extrae la memoria USB y se reinicializa el sistema pulsando el icono de reboot para que la actualización termine de instalarse.

Por último en esta pantalla de opciones existen dos iconos más. El primero es el icono de *versions* en el cual se puede consultar las versiones de firmware instaladas y ejecutándose tanto en el HMI como en las dos CPUs de la matriz. Y el segundo icono es el de *engineer*, mediante el cual se accede a una nueva pantalla de configuración. Esta última pantalla de configuración esta restringida mediante contraseña y solo es accesible para el personal de ETL que necesiten hacer labores más complejas en la matriz.

Parameter		Specification	Comments
Input		75Ω, BNC Connectors (female)	DC blocking
Output		75Ω, BNC Connectors (female)	DC blocking
Frequency Range		850-2150 MHz	
Gain		0dB ±2 dB	Nominal, mean
Flatness		850-2150 MHz	±2 dB
		any 36MHz band	± 0.5 dB
Isolation :	input-output	50dB minimum	55dB typical
	input-input	70dB	typical
	output-output	60dB	typical
1 dB Compression		+3.5 dBm	+5dBm typical
Isolation in-out		50dB minimum	55dB typical
Noise Figure		16dB	
Input Return Loss		10dB Typical	
Output Return Loss		10dB Typical	
LNB Power		Not available	
AC Power		85-264Vac 50/60Hz	Fused 2A
PSU Redundancy		Dual	Diode OR
Hot Swap PSU		Yes	
Weight		29kg	
Dimensions		6U high x 450mm deep x 19" wide	
Front Panel Colour		White	

Fig. 175 Características técnicas de la matriz Nigma 21. Por cortesía de ETL.

Para finalizar se muestran algunas imágenes de las capturas de la pantalla del software de control.

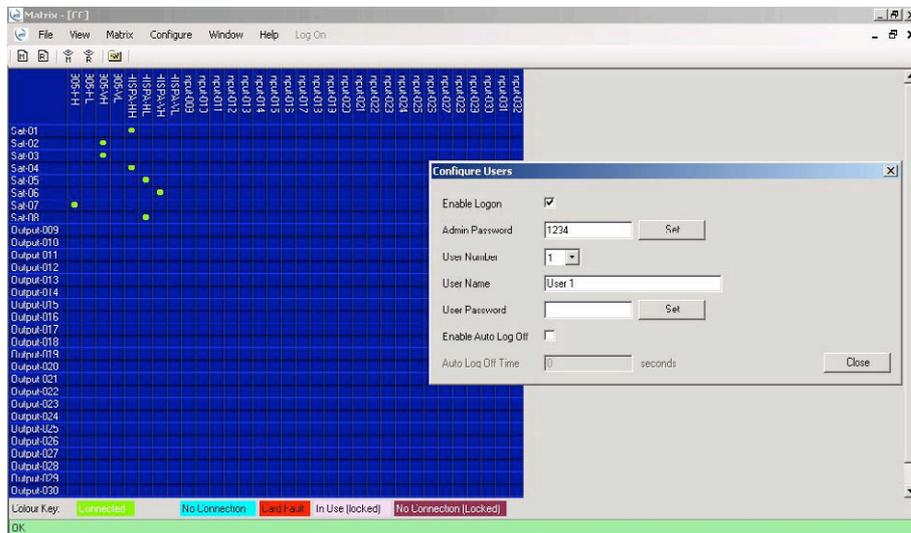
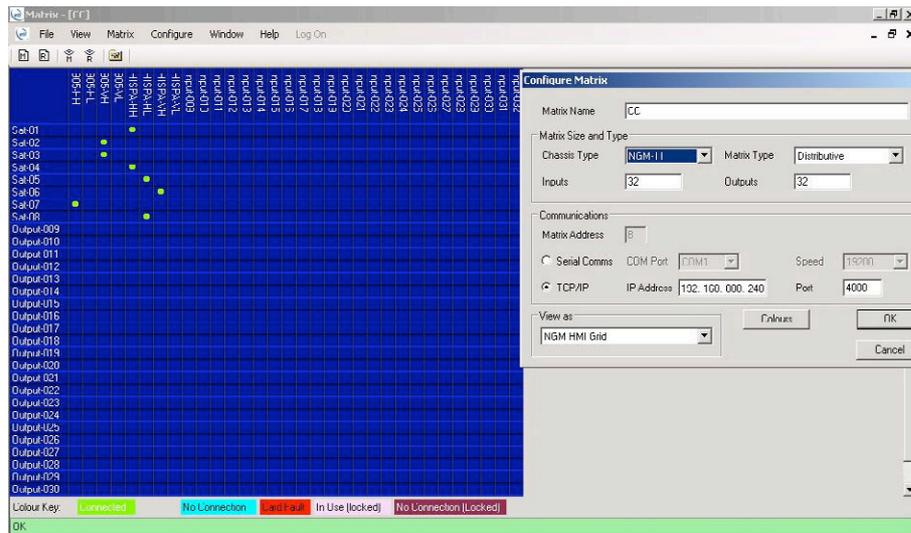


Fig.

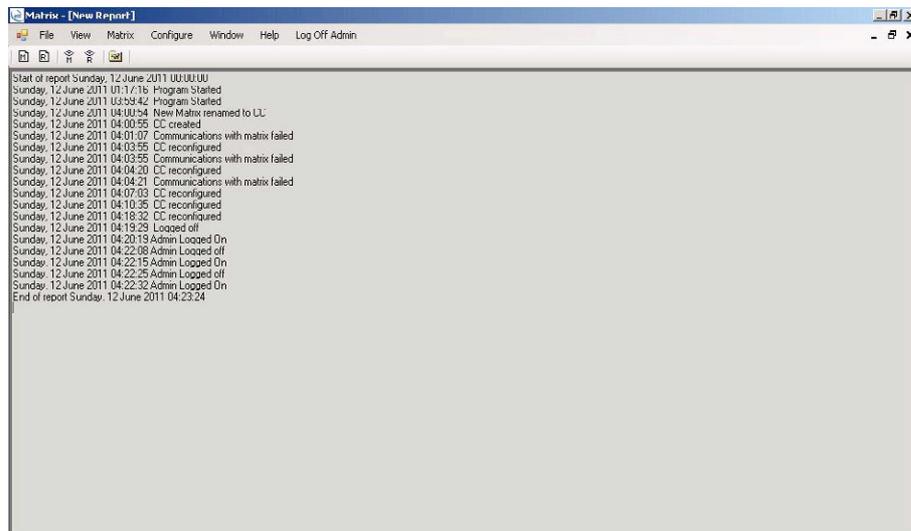


Fig. 176 Diferentes capturas del software de control a través de un PC. Por cortesía de RTVE.

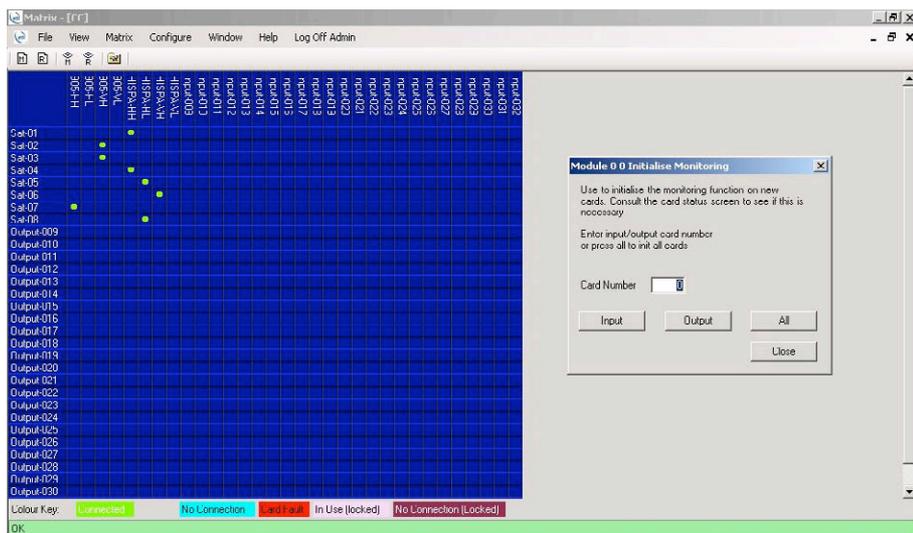
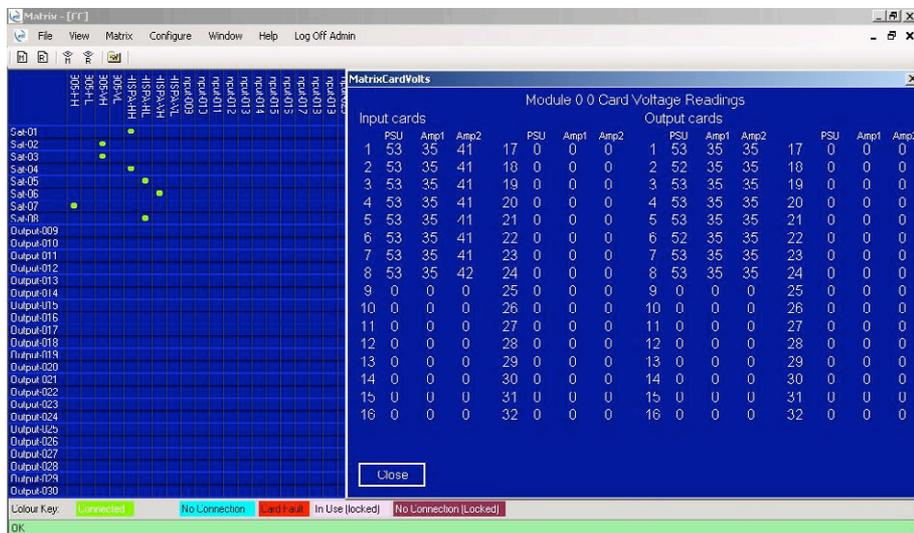
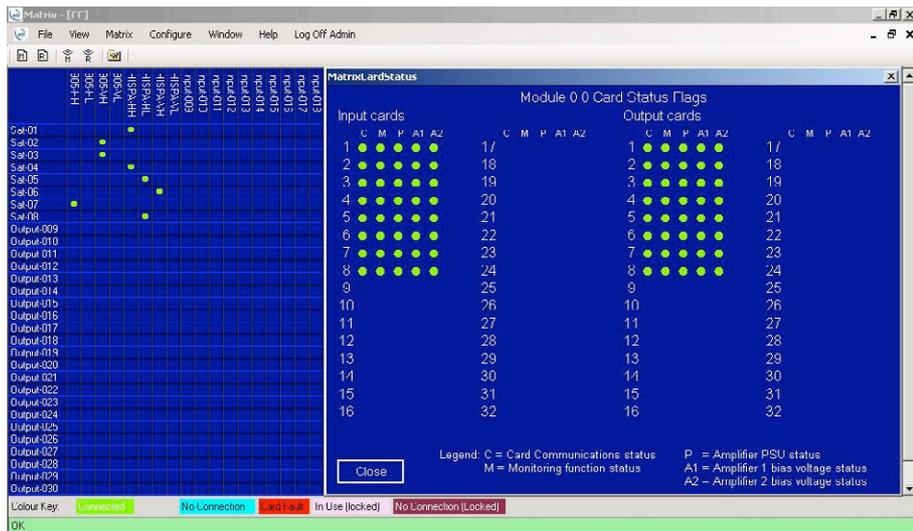


Fig. 177 Diferentes pantallas del software control a través de un PC. Por cortesía de RTVE.



### **3.1.2 Matriz de banda-L con tarjetas de cruce.**

En el apartado anterior se describió de una forma bastante extensa la matriz ETL Nigma. Dicha matriz, es la matriz más básica de la marca ETL y en ella se basan los modelos sucesivos. La matriz Nigma admite configuraciones expandidas de más de 512x512 entradas/salidas, implementadas con más de 16 chasis Nigma, en donde cada uno de los chasis constituye una submatriz. El sistema expandido se debe implementar con una infraestructura de splitters, combinadores y una infraestructura de red que permite la comunicación entre todos los chasis. Es fácil comprender que los sistemas expandidos a la larga son más voluminosos y costosos, y un buen diseño de una instalación debe plantear las entradas/salidas necesarias en la actualidad y sobredimensionar el sistema en el caso de la posible necesidad de más entradas/salidas en un futuro. Si el diseño de la infraestructura es el correcto, no se necesitará ampliar el sistema mediante un sistema expandido posteriormente, sino que desde un principio se proyectará el sistema con una matriz sobredimensionada.

Por ejemplo, supóngase que inicialmente se posee un sistema de 4 antenas parabólicas, con sus 4 bajadas por cada antena parabólica y un total de 30 receptores de satélite. Un sistema Nigma podría cubrir perfectamente los requerimientos de la instalación, pero a la larga cualquier ampliación del número de las antenas o del número de receptores va a propiciar la necesidad de un sistema expandido.

ETL ofrece matrices con mayor capacidad que la Nigma, y quizás se pueda pensar que el gasto de una matriz mayor no se justifica. Pero en el caso de ampliar un sistema Nigma, los costes se podrían acercar fácilmente al coste de una matriz de mayor capacidad, además del gasto extra de espacio que supone un sistema expandido.

La matriz Vortex 64x64 de ETL parte del diseño y funcionamiento básico de la matriz Nigma 32x32 también de ETL, sin embargo su capacidad es el doble en cuanto a entradas y salidas se refiere. Si en el proyecto de ingeniería se aprueba una matriz Nigma 32x32 y en un futuro se necesita un sistema expandido de 64x64 se deberá adquirir un total de 3 chasis Nigma junto al chasis Nigma actualmente instalado, además se deberá adquirir splitters que alimenten a cada uno de los cuatro cofres, y combinadores que seleccionen la salida pertinente del sistema de matrices. Junto a ello se deberá ampliar con un switch la infraestructura de red para permitir el control y comunicación de todos los módulos entre si. La inversión posterior y el gran espacio que ocupara el sistema expandido, justifican la idea inicial de adquirir una matriz sobredimensionada con respecto a la infraestructura actual.

La matriz Vortex se basa en el diseño de la matriz Nigma. Ambas poseen unas dimensiones muy parecidas, salvo en la profundidad del cofre, en la que la Vortex es mayor. En el caso de querer implementar un sistema de 64x64 a partir de cofres del modelo Nigma, se necesitaría un total de 4 cofres.

La idea principal que se va a tratar de explicar a continuación, es que si bien la matriz Vortex es básicamente una matriz Nigma de una capacidad de 64x64, las diferencias que existan entre ellas en cuanto al hardware y al software son debidas a la dificultad de integrar un sistema expandido de 4 unidades Nigma, en el interior de un chasis como es el de la Vortex.

Todas las diferencias en cuanto a hardware y software de la Vortex frente a la Nigma son producidas por el hecho de intentar compactar 4 chasis Nigma en el interior de un chasis y las dificultades que ello entraña para el correcto funcionamiento del sistema.

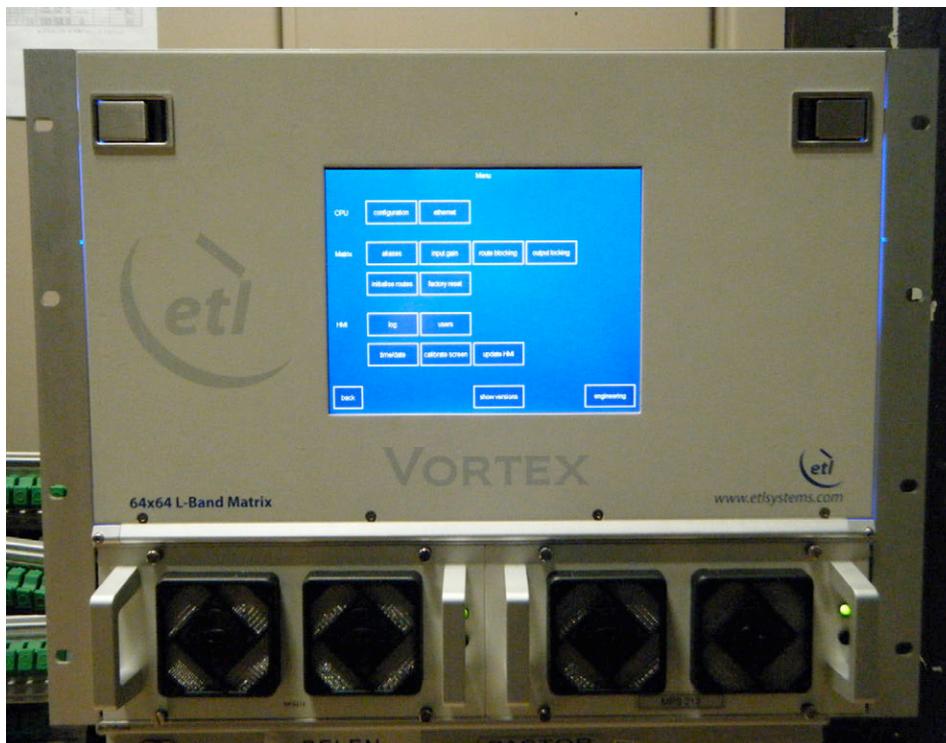


Fig. 179 Frontal de la matriz ETL Vortex. Por cortesía de RTVE



Fig. 180 Trasera de la matriz ETL Vortex. Por cortesía de RTVE

En las siguientes páginas se va a mostrar el hardware y el software de la matriz Vortex, de una forma un tanto rápida, mostrando las principales diferencias con respecto a la Nigma. Dado que la Vortex es básicamente una Nigma de mayor capacidad, no es necesario el estudio exhaustivo de la matriz, remitiéndose ante cualquier duda del funcionamiento al apartado anterior en el que se describe la matriz Nigma.

La matriz Vortex se puede dividir en diferentes módulos para un estudio de la misma: módulos redundantes que se pueden reemplazar en caliente, módulos no redundantes que se pueden reemplazar en caliente, y módulos que para su reemplazamiento se necesita apagar la matriz.

- Módulos redundantes con reemplazamiento en caliente: Los módulos redundantes con reemplazamiento en caliente son aquellos módulos vitales para el funcionamiento de la matriz y que en el caso de fallo, la matriz dejaría de funcionar. Estos módulos son principalmente las CPUs y las fuentes de alimentación.

- o CPUs: En cada cofre Vortex se instalan dos CPUs redundantes y reemplazables en caliente que conforman el centro de control de la matriz. Cada una de estas CPUs posee su propia circuitería y su bus de comunicaciones con el resto de módulos existentes en el interior del chasis. Estos buses son independientes y forman un sistema redundante de comunicaciones entre las CPUs y el resto de los elementos, de tal forma que cada CPU y su correspondiente bus son entes.

- o Cada una de las CPUs implementa un conjunto de puertos serie y un puerto Ethernet a los cuales se conectan los buses de comunicaciones. Mediante estos buses se establecen las comunicaciones serie entre las CPUs y los diferentes módulos de la matriz. Las tarjetas de entrada, las tarjetas de salida, las tarjetas de cruce y el HMI están implementados con dos puertos series, los cuales se conectan cada uno de ellos a su correspondiente CPU. Los puertos de comunicaciones externas están separados en dos unidades. Cada una de ellas posee un puerto serie que se conecta a su CPU, al igual que sucede con los puertos ethernet.

En la matriz Vortex se implementa un sistema de redundancia total entre las CPUs y los buses de comunicaciones, implementándose toda la circuitería de comunicación y de control (CPUs) por duplicado.

Por último existe un puerto serie que permite interconectar las CPUs entre sí, pudiendo compartir de esta forma toda la información necesaria entre ambas CPUs.

Cada una de las CPUs está solicitando continuamente información al resto de los módulos a los que está conectada. De esta manera, ambas CPUs poseen información constante y a tiempo real del estado general de la matriz. Esta información en el caso de estar todo en perfecto orden de funcionamiento deberá ser la misma para ambas CPUs.

El HMI solicita información a cada una de las CPUs, por lo tanto la información del sistema siempre estará disponible a través del HMI aun cuando solo funcione una de las CPUs.

Existen 3 LEDs en el frontal de cada CPU. El LED verde informa de la presencia de alimentación en la CPU y por tanto de su funcionamiento. Los dos LEDs ámbar muestran la actividad de los dos procesadores implementados en la CPU. El LED ámbar situado mas abajo muestra la actividad del microprocesador principal implementado en la placa. El LED ámbar por encima muestra la actividad del microprocesador encargado de monitorar el entorno.

En el caso de que una de las CPUs fallase, esta podría ser reemplazada en caliente. Una vez que se instala la nueva CPU se produciría un proceso de arranque de la misma en el cual comenzaría a adquirir datos de los cruces configurados y demás estados del sistema, estando plenamente operativa en pocos minutos.

Las CPUs están organizadas jerárquicamente de tal manera que la CPU 1 siempre es la principal y la CPU 2 es la reserva. En el caso de fallar la CPU 1, la CPU 2 tomaría el control de la matriz al instante, con ninguna diferencia respecto a la CPU 1 debido a que ambas poseen en todo momento la misma información. Cada una de estas CPUs es capaz de manejar por si sola la matriz en caso de fallo de su reciproca.

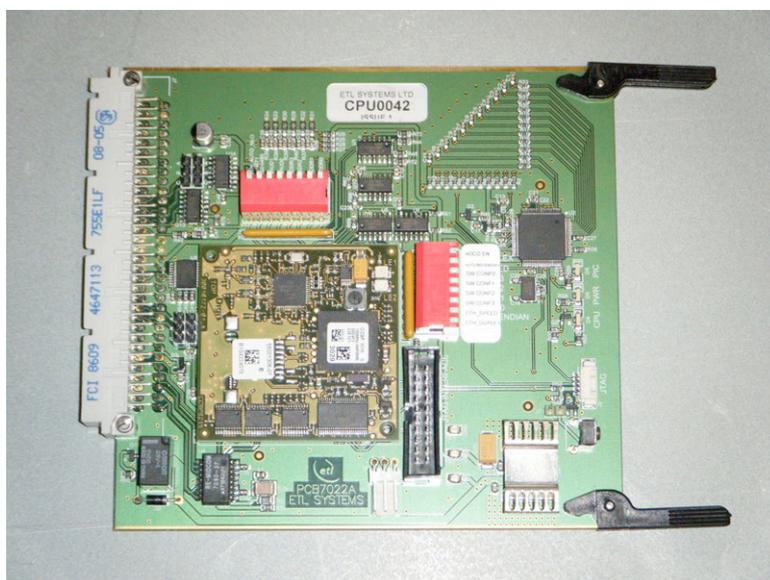


Fig. 181 Tarjeta CPU de la matriz ETL Vortex. Por cortesía de RTVE.

- Fuentes de alimentación: Se implementan dos fuentes de alimentación iguales, redundantes y reemplazables en caliente en la parte frontal de la matriz. Su montaje se realiza mediante un par de rieles sobre los que se desliza la fuente y cuatro tornillos que aseguran esta al chasis. Cada uno de los encapsulados IEC en la parte posterior de la matriz alimenta a su correspondiente fuente de alimentación con la tensión de red.

En la parte frontal de cada fuente de alimentación se implementan dos tomas de aire para los ventiladores que se montan en el interior de las fuentes de alimentación. Estos ventiladores no son monitorados por la matriz en si mismos, si no que es la fuente de alimentación la que constantemente está monitorizando y la que enviaría una alarma a la matriz en caso de que estos no funcionasen bien.

En la parte frontal-derecha de la fuente de alimentación se puede encontrar dos LEDs de monitorización del sistema. Si la fuente de alimentación está entregando la alimentación de continua a la matriz el LED verde estará luciendo. En caso de que la fuente no este suministrando la alimentación de continua, el LED rojo comenzara a lucir.

Cada fuente de alimentación incluye un diodo que forma parte de la topología *diode sharing* con la que se implementan los sistemas redundantes de alimentación. Ambas CPUs se conectan a la placa principal de distribución de alimentación en la cual se encuentran diferentes componentes pasivos los cuales conforman la topología *diode sharing* que implementa el sistema de redundancia de la fuente de alimentación. En el caso de que falle una de las fuentes de alimentación o su correspondiente diodo, la solución sería tan sencilla como reemplazar en caliente la fuente de alimentación.

Cada una de las fuentes de alimentación es capaz de entregar la suficiente potencia para el funcionamiento de la matriz. Sin embargo las topologías *diode sharing* se caracterizan por repartir por igual la carga necesaria para alimentar la matriz, entre las dos fuentes de alimentación. En el caso de que una de las fuentes fallase, la otra tendría que asumir la totalidad de la carga que demanda la matriz



Fig. 182 Fuente de alimentación de la matriz ETL Vortex. Por cortesía de RTVE.

- Módulos no redundantes con reemplazamiento en caliente: Estos módulos pese a que no poseen un módulo redundante recíproco incluyen en la mayoría de los casos diseños que implican una cierta redundancia en el módulo, además de estar diseñados para una alta fiabilidad. En el caso de que uno de estos módulos fallase, se vería afectada una parte del sistema, pero la matriz podría seguir funcionando. Estos módulos son principalmente las tarjetas de entrada, las tarjetas de cruce, las tarjetas de salida, el HMI y los ventiladores.

Tanto los módulos redundantes con reemplazamiento en caliente como los módulos no redundantes con reemplazamiento en caliente, se suelen caracterizar por ser módulos complejos, con una circuitería activa y con una alta probabilidad de fallo. Por estas razones es por la que se decide cuáles de los módulos de la matriz van a ser reemplazables en caliente y cuáles van a ser redundantes y reemplazables en caliente. Los módulos reemplazables en caliente van a ser los módulos con una alta probabilidad de fallo que van a permitir que la matriz siga funcionando, en el caso de fallo pero que es necesario poder reemplazar con la matriz funcionando. Los módulos reemplazables en caliente que se deciden que sean redundantes son módulos cuya función es primordial en la matriz y que en el caso del fallo del mismo la matriz podría dejar de funcionar. Por esta razón se instalan módulos redundantes, para que en el caso del fallo del mismo, el módulo redundante permita a la matriz seguir trabajando a la espera de que se reemplace en caliente el módulo averiado. El módulo averiado deberá ser reemplazado en la mayor brevedad posible.

- o Tarjetas de entrada: Las tarjetas de entrada o también conocidas como splitters, implementan 4 splitters de 1 entrada a 4 salidas cada uno, dividiendo cada una de las 4 señales de entrada en 4 salidas, para cada señal de entrada. Las tarjetas de entrada de la matriz Vortex manejan cada una de ellas 4 entradas, en contra de la única entrada que se manejaba con la matriz Nigma. Esto es debido a la idea que se comentó anteriormente de intentar compactar el equivalente a 4 módulos Nigma en el interior de un chasis no mucho más grande que el de la matriz Nigma. Esto posee una serie de pros y contras. Los pros es que se reduce considerablemente el tamaño. Los contras se pueden fácilmente intuir, y es que en el caso de que falle una tarjeta se pierden 4 entradas de la matriz. En resumidas cuentas cada tarjeta de entrada posee 4 entradas que están unidas con los conectores de la trasera del equipo y dividen cada una de estas entradas en 4 salidas por cada señal, conformando un total de 16 salidas (4 por cada entrada). Las tarjetas de entrada son en total 16 con lo que si cada una maneja 4 entradas, se obtienen 64 entradas en total. Estas tarjetas se disponen verticalmente en la zona central del compartimento frontal de la matriz y son accesibles abriendo el panel frontal de la matriz accionando las dos pestañas que aseguran el panel frontal.

Cada tarjeta de entrada implementa una etapa de amplificación constituida por un amplificador por cada una de las entradas, resultando un total de 4 amplificadores por cada tarjeta de entrada. Estos amplificadores tratarán de contrarrestar las pérdidas que se produzcan en la división de potencia que realicen los splitters implementados en las tarjetas. La tensión de polarización de cada amplificador, la tensión de alimentación de la circuitería digital y la tensión de alimentación de cada amplificador es monitorizada por un microcontrolador que se implementa en el tarjeta de entrada. Este microcontrolador controla directamente cada uno de los amplificadores, actuando sobre ellos según las instrucciones que recibe de las CPUs. El microcontrolador enciende o apaga cada uno de los amplificadores según la CPU le indique que entradas se están utilizando en ese momento en la matriz. Luego el microcontrolador se encarga de configurar la tarjeta sobre la que esta implementado. Esta tarjeta además implementa una memoria no volátil en la cual se almacena la última configuración que ha realizado el microcontrolador. En el caso de un fallo en el suministro eléctrico, la matriz arrancará y el microcontrolador consultará esta memoria para configurar de nuevo la tarjeta.

El microcontrolador esta conectado a los buses duales redundantes de comunicaciones RS485 mediante dos conexiones series separadas, permitiendo al microcontrolador comunicarse con cada una de las CPUs asociada a cada bus. El par de buses RS485 es utilizado por el resto de tarjetas de RF para comunicarse con cada CPU.

La tarjeta de entrada realiza una adquisición de datos de referencia de diferentes tensiones existentes en la tarjeta en los siguientes casos: instalación por primera vez de la matriz, instalación de la tarjeta tras su sustitución, inicialización de la tarjeta causada por la orden expresa de un operador de la matriz. Estos datos que adquiere son constantemente comparados con los datos que la tarjeta adquiere a tiempo real durante el funcionamiento de la matriz. Comparándose los datos de la memoria no volátil, con los datos adquiridos actualmente y estableciendo una tolerancia del 20%, el microcontrolador monitoriza y activa las alarmas pertinentes acerca del estado de la tarjeta.

En las tarjetas de entrada se implementan tres diodos LEDs. El LED verde es utilizado para indicar actividad en la tarjeta. El LED rojo es utilizado para indicar una alarma en la tarjeta. El LED ámbar es utilizado para indicar que se ha producido un fallo en las comunicaciones entre las dos CPUs con la tarjeta y tan sólo se ha establecido comunicación con una de ellas

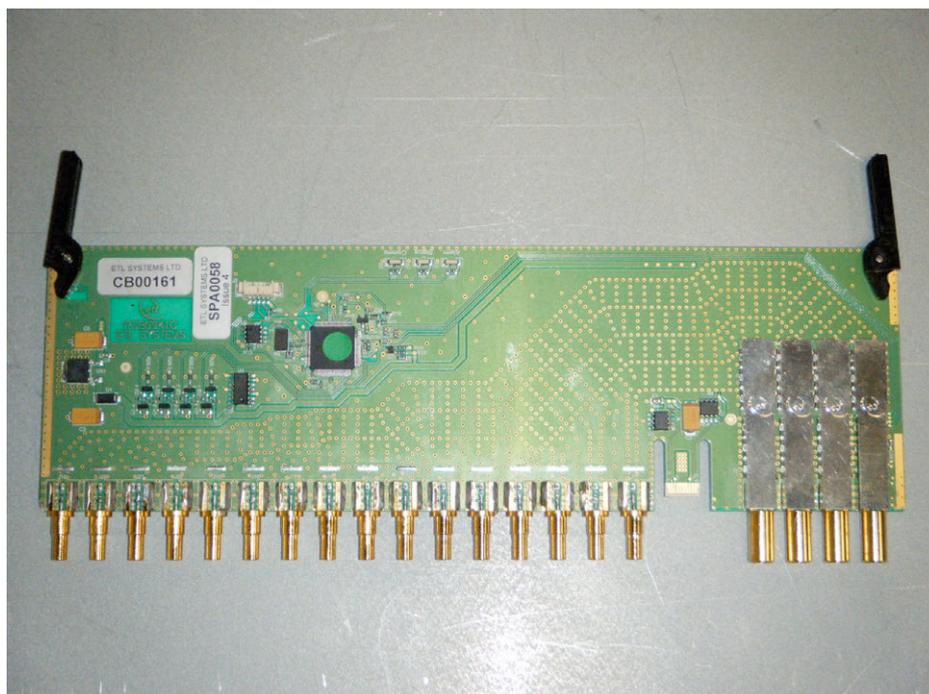


Fig. 183 Tarjeta de entradas de la matriz ETL Vortex. Por cortesía de RTVE

- Tarjetas de cruce: Las tarjetas de cruce son realmente el núcleo de la matriz RF, es en ellas donde se realizan la conmutación de las entradas a las salidas deseadas. En este caso la matriz Vortex si presenta ciertas similitudes con las matrices de SDI vistas anteriormente, ya que la topología del transito de la señal se compone de unas tarjetas de entrada, unas tarjetas de cruce y unas tarjetas de salida. La matriz Nigma, no poseía por si misma tarjetas de cruce, y era sobre la propia tarjeta de salida o combinadora donde se decidía como se enrutaban las entradas hacia las salidas, mediante un conjunto de MMICs de conmutación con una topología de escalera que iban abriendo o cerrando el paso de la entrada hacia la salida deseada. Recuerdese que su disposición era como un conjunto de llaves colgando en un racimo que según se abrían o cerraban permitían el paso de la señal de entrada hacia las salidas deseadas. Lógicamente intentar imitar esta topología con una matriz de 64x64 como es la Vortex, implicaría una circuitería bastante mayor y por tanto la necesidad de ampliar el tamaño del cofre considerablemente. De nuevo el hecho de tratar de compactar cuatro chasis Nigma en un único chasis va a producir que se implementen nuevas ideas y diseños con respecto a la matriz Nigma.

Las tarjetas de cruce unen físicamente a las tarjetas de entrada con las tarjetas de salida, seleccionando que entradas se van a conmutar a que salidas. Están compuestas de 16 entradas unidas cada una de ellas con una salida de cada tarjeta de entrada, y de 16 salidas unidas cada una de ellas con una entrada de cada tarjeta de salida. Cada una de las tarjetas de cruce se puede asemejar a una matriz distributiva de 16x16 con un total de 256 posibles cruces.

Las tarjetas de cruce se instalan horizontalmente en el compartimento trasero de la matriz, y son accesibles abriendo el panel trasero, aflojando los tornillos que aseguran la puerta. En el compartimento se pueden instalar hasta un total de 16 tarjetas, con lo cual se pueden realizar hasta un total de  $16 \times 16 \times 16 = 4096$  posibles cruces, aunque realmente tan solo podrán existir 64 cruces físicos simultáneamente.

En las tarjetas de cruce también se implementan unos amplificadores. Concretamente cada una de las 16 entradas posee dos etapas amplificadoras implementadas a través de dos amplificadores y cada una de las 16 salidas posee una etapa amplificadora implementada con un amplificador. La tensión de polarización de cada amplificador, la tensión de alimentación de la circuitería digital, la tensión de alimentación de cada amplificador y la temperatura es monitorizada por un microcontrolador que se implementa en la tarjeta de cruces.

El microcontrolador controla el ruteo de la señal a través de la tarjeta de cruces, mediante las instrucciones que recibe en todo momento de las CPUs. Junto al microcontrolador se implementa una memoria no volátil en la cual se almacena la última configuración de cruces que ha realizado el microcontrolador. En el caso de un fallo en el suministro eléctrico, la matriz arrancará y el microcontrolador consultará esta memoria para configurar de nuevo la tarjeta.

El microcontrolador está conectado a los buses duales redundantes de comunicaciones RS485 mediante dos conexiones series separadas, permitiendo al microcontrolador comunicarse con cada una de las CPUs asociada a cada bus.

La tarjeta de cruces realiza una adquisición de datos de referencia de diferentes tensiones existentes en la tarjeta en los siguientes casos: instalación por primera vez de la matriz, instalación de la tarjeta tras su sustitución, inicialización de la tarjeta causada por la orden expresa de un operador de la matriz. Estos datos adquiridos son constantemente comparados con los datos que la tarjeta adquiere a tiempo real. Comparándose los datos adquiridos al principio, con los datos adquiridos actualmente y estableciendo una tolerancia del 20%, el microcontrolador monitoriza y activa las alarmas pertinentes acerca del estado de la tarjeta.

En las tarjetas de cruces se implementan tres diodos LEDs. El LED verde es utilizado para indicar actividad en la tarjeta. El LED rojo es utilizado para indicar una alarma en la tarjeta. El LED ámbar es utilizado para indicar que se ha producido un fallo en las comunicaciones entre las dos CPUs con la tarjeta y tan sólo se ha establecido comunicación con una de ellas



Fig. 184 Tarjeta de conmutaciones de la matriz ETL Vortex. Por cortesía de RTVE

- Tarjetas de salida: Las tarjetas de salida o combinadoras reciben este nombre porque implementan una circuitería que combina 16 salidas de tarjetas de cruces a 4 salidas físicas de la matriz. La circuitería que se implementa en cada una de las tarjetas de salida es 4 combinadores de 4 entradas a 1 salida. La tarjeta de salida se alimenta de una de las salidas de cada una de las tarjetas de cruces, como en el chasis se instalan hasta 16 tarjetas de cruce, la tarjeta de salida está alimentada por 16 entradas, en las que cada una de ellas corresponde con una de las 16 salidas de cada tarjeta de cruce.

Estas 16 entradas son combinadas mediante el uso de 4 combinadores de 4 a 1 que se dirigen hacia sus 4 salidas físicas correspondientes en la trasera del equipo. Aunque la tarjeta de salida posea 16 entradas y 4 circuiterías de combinación, en cada una de las 4 salidas físicas tan sólo existirá una señal de RF, cuyo origen es una entrada física que se ha propagado a través de las tarjetas de cruce. Para cualquier instante de tiempo, de las 16 entradas que posee esta tarjeta, tan sólo existirá señal de RF en 4 de ellas y además las 4 entradas que poseen señal de RF verifican que cada una de ellas alimenta a un combinador diferente. Es decir de las 4 entradas que posee cada uno de los 4 combinadores, tan sólo una de ellas posee señal de RF, las otras tres no poseen señal alguna y por tanto cada uno de los 4 combinadores tendrá una única entrada alimentada con señal de RF. De esta forma cuando cada uno de los combinadores suma las señales que se encuentran en sus 4 entradas para ofrecer a la salida la suma de ellas, la señal presente en su salida será la única señal de RF que está presente en ese combinador. Luego en la salida física aparece la señal que las tarjetas de cruce han enrutado hacia ese combinador.

Por esta razón de los 4096 cruces posibles que puede realizar la matriz, tan sólo podrán existir en cada instante de tiempo un total de 64 cruces. No produciéndose sumas de diferentes señales de RF provenientes de diferentes entradas para la misma salida.

Las tarjetas de salida se instalan en el compartimento frontal de la matriz y son accesibles desde la puerta frontal de la misma. Se disponen en dos bloques de 8 tarjetas, a ambos lados de las tarjetas de entrada, siendo un total de 16 tarjetas de salida. Como cada tarjeta de salida implementa 4 salidas físicas, la matriz posee un total de 64 salidas físicas.

Cada tarjeta de salida implementa una etapa amplificadora por cada una de las 4 salidas. Esta etapa amplificadora se implementa mediante un amplificador, con lo cual cada tarjeta de salida estará compuesta de 4 amplificadores. Parámetros como la tensión de polarización del amplificador, la tensión de alimentación de la circuitería digital, la tensión de alimentación de cada amplificador y la temperatura de la tarjeta es monitorizada por un microcontrolador que se implementa en la tarjeta de salida. Este microcontrolador controla el funcionamiento de cada uno de los amplificadores, actuando sobre ellos según las instrucciones que recibe de las CPUs. El microcontrolador enciende o apaga cada uno de los amplificadores según la CPU le indique que salidas se están utilizando en ese momento en la matriz. Luego el microcontrolador se encarga de configurar la tarjeta sobre la que está implementado. Esta tarjeta además implementa una memoria no volátil en la cual se almacena la última configuración que ha realizado el microcontrolador. En el caso de un fallo en el suministro eléctrico, la matriz arrancará y el microcontrolador consultará esta memoria para configurar de nuevo la tarjeta.

El microcontrolador está conectado a los buses duales redundantes de comunicaciones RS485 mediante dos conexiones series separadas, permitiendo al microcontrolador comunicarse con cada una de las CPUs asociada a cada bus. El par de buses RS485 es utilizado por el resto de las tarjetas de RF para comunicarse con cada CPU.

La tarjeta de salida realiza una adquisición de datos de referencia de diferentes tensiones existentes en la tarjeta en los siguientes casos: instalación por primera vez de la matriz, instalación de la tarjeta tras su sustitución, inicialización de la tarjeta causada por la orden expresa de un operador de la matriz. Estos datos que adquiere son constantemente comparados con los datos que la tarjeta adquiere a tiempo real durante el funcionamiento de la matriz. Comparándose los datos adquiridos al principio, con los datos adquiridos actualmente y estableciendo una tolerancia del 20%, el microcontrolador monitoriza y activa las alarmas pertinentes acerca del estado de la tarjeta.

En las tarjetas de entrada se implementan tres diodos LEDs. El LED verde es utilizado para indicar actividad en la tarjeta. El LED rojo es utilizado para indicar una alarma en la tarjeta. El LED ámbar es utilizado para indicar que se ha producido un fallo en las

comunicaciones entre las dos CPUs con la tarjeta y tan solo se ha establecido comunicación con una de ellas



Fig. 185 Tarjeta de salidas de la matriz ETL Vortex. Por cortesía de RTVE.

Para la comprensión de los cruces en la matriz Vortex, se propone estudiar el recorrido que realiza una señal desde que entra hasta que sale de la matriz. Para ello se mostraran dos figuras: la primera es un enrejado y la segunda es la distribución de las entradas y las salidas en cada una de las tarjetas de cruce. Debe hacerse constar que si bien en la matriz Nigma fue realmente sencillo conocer el camino de las señales de RF, en la matriz Vortex ha sido bastante más complejo. Gracias a las empresas ETL y dB comunicaciones, que proporcionaron la gráfica de la distribución de las tarjetas de cruce, se logró intuir el funcionamiento de las conmutaciones en la matriz.

También se debe hacer constar que las siguientes figuras no se han podido confirmar empíricamente con la matriz Vortex, con lo que es posible que no sean una replica exacta de la situación real. Sin embargo la idea básica que subyace en la matriz Vortex queda perfectamente plasmada con las siguientes figuras y ejemplos.

En la siguiente figura se observa el enrejado teórico que conformaría la placa metálica en la que se encastran los conectores de las tarjetas de entradas, salidas y cruces. Al contrario que en la matriz Nigma en la que las tarjetas de entrada y salida estaban directamente unidas, en la matriz Vortex las tarjetas de entrada y salida no están unidas directamente, sino que se unen a través de las tarjetas de cruce. Estos tres tipos de tarjetas forman un bloque, en el que la tarjeta de cruce une el resto de las tarjetas de RF.

En la figura de la rejilla se debe imaginar el enrejado de conectores vistos desde la parte frontal de la matriz. Las tarjetas de entrada se disponen verticalmente en la zona central, las tarjetas de salida se disponen verticalmente a los lados de las tarjetas de entrada y las tarjetas de cruce se disponen horizontalmente al chasis y perpendiculares a la tarjetas de entrada y de salida. En total existirán 16 tarjetas de entrada, 16 tarjetas de salida y 16 tarjetas de cruce. Cada tarjeta de entrada maneja 4 entradas que serán replicadas cada una de ellas a 4 salidas mediante el uso de un splitter, en total habrá 16 salidas por cada tarjeta. Cada tarjeta de cruces esta provista de 16 entradas y 16 salidas. Cada tarjeta de salida maneja 16 entradas que son combinadas en 4 combinadores de 4 entradas a 1 salida, en total habrá 4 salidas físicas.

Los números que aparecen en el siguiente enrejado corresponderán con la entrada y salida física. Los números aparecen cuadruplicados como consecuencia de los splitters y de los combinadores. En color rojo se presentan las entradas y en color verde las salidas.

La forma de leer el siguiente enrejado es la siguiente: La novena columna, se corresponde con la tarjeta de entrada número 1. Esta tarjeta de entrada esta conectada a las entradas 1,17,33,49, las cuales son cuadruplicadas en las 16 salidas de la tarjeta de entrada como fruto de los splitters. Las salidas cuadruplicadas están dispuestas en bloques, las primeras 4 salidas de esta tarjeta son la entrada 1 repetida 4 veces, las siguientes 4 salidas son la entrada 17 repetida 4 veces y así sucesivamente.

La primera columna se corresponde con la tarjeta de salida número 1. Esta tarjeta esta conectada a las salidas 1,17,33,49. La tarjeta de salida está compuesta físicamente de 16 entradas las cuales confluirán de 4 en 4 a cada una de las salidas físicas mediante el uso de los combinadores. Las entradas de la tarjeta de salida están agrupadas en bloques de 4 en donde a diferencia de las tarjetas de entrada, las salidas están entrelazadas. De esta manera las 4 primeras entradas serán 1,17,33,39, las siguientes 4 entradas serán de nuevo 1,17,33,39, etc...

Horizontalmente al chasis y perpendiculares a las tarjetas de entrada y salida se disponen las tarjetas de cruces. Estas tarjetas están constituidas de 16 conectores de entrada y 16 conectores de salida. Por ejemplo la primera fila muestra la tarjeta de cruce número 1. Esta tarjeta esta conectada al conector número 1 de las 16 tarjetas de entradas y al conector número 1 de las 16 tarjetas de salidas. Si se consulta el enrejado se puede observar que la primera tarjeta de cruces conmuta las 16 primeras entradas a las 16 primeras salidas, ya que las entradas a esta tarjeta son las entradas físicas de la 1 a la 16 y las salidas de esta tarjeta desembocan en las salidas físicas de la 1 a la 16.

Cada tarjeta de cruce, conmuta una serie de entradas y salidas que solamente ella se encargará de hacer, no existe otra tarjeta de cruce que pueda realizar las mismas conmutaciones.

1	2	3	4	5	6	7	8	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	9	10	11	12	13	14	15	16
17	18	19	20	21	22	23	24	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	25	26	27	28	29	30	31	32
33	34	35	36	37	38	39	40	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	41	42	43	44	45	46	47	48
49	50	51	52	53	54	55	56	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	57	58	59	60	61	62	63	64
1	2	3	4	5	6	7	8	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	9	10	11	12	13	14	15	16
17	18	19	20	21	22	23	24	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	25	26	27	28	29	30	31	32
33	34	35	36	37	38	39	40	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	41	42	43	44	45	46	47	48
49	50	51	52	53	54	55	56	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	57	58	59	60	61	62	63	64
1	2	3	4	5	6	7	8	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	9	10	11	12	13	14	15	16
17	18	19	20	21	22	23	24	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	25	26	27	28	29	30	31	32
33	34	35	36	37	38	39	40	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	41	42	43	44	45	46	47	48
49	50	51	52	53	54	55	56	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	57	58	59	60	61	62	63	64
1	2	3	4	5	6	7	8	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	9	10	11	12	13	14	15	16
17	18	19	20	21	22	23	24	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	25	26	27	28	29	30	31	32
33	34	35	36	37	38	39	40	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	41	42	43	44	45	46	47	48
49	50	51	52	53	54	55	56	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	57	58	59	60	61	62	63	64

Fig. 186 Enrejado de la matriz Vortex.

Una vez que se ha visto y comprendido como está dispuesto el enrejado, es el momento de comprender la esencia del funcionamiento de la matriz Vortex. Para ello se recurre a la gráfica proporcionada por dB comunicaciones.

En esta gráfica, se presenta cada una de las 16 tarjetas de cruce, como 16 submatrices de 16x16 puntos totalmente autónomas e independientes. Como se puede observar en la gráfica, las 16 tarjetas de cruce se distribuyen en la gráfica en una matriz de 4x4, para que se observe que las entradas cuadruplicadas por los splitters alimentan a las tarjetas de cruce que pertenecen a la misma fila y las 4 salidas de las tarjetas de cruce pertenecientes a la misma columna confluyen a su combinador correspondiente.

Supóngase que se quiere realizar el cruce de la entrada 41 a la salida 57. La señal de entrada 41 es conectada a la tarjeta de entrada numero 9. En esta tarjeta de entrada, pasa por una etapa de ganancia y posteriormente se divide mediante un splitter de 4 salidas. Cada una de estas salidas alimenta a una de las entradas de las tarjetas de cruce que pertenecen a la misma fila y que se puede observar en la gráfica de dB Comunicaciones. Posteriormente la CPU identifica en que tarjeta confluyen la entrada 41 y la salida 57. La tarjeta de cruce será la 12, según se puede ver en el enrejado, y solamente existirá una tarjeta de cruce para dicho cruce a realizar. Una vez que se tiene identificada la tarjeta de cruce, la CPU actúa sobre el integrado en el cual confluyen la entrada 41 y la salida 57. La CPU ordena al integrado abrir el camino de la celda azul y el resultado es que la entrada 41 se dirige hacia una de las salidas de la tarjeta de cruce que alimenta a su vez al combinador asociado a la salida 57 en su correspondiente tarjeta de salida. En la tarjeta de cruces la señal pasa por dos etapas amplificadoras a su entrada y por una etapa amplificadora previa a su salida.

Una vez que la señal que proviene de la tarjeta de cruce llega hasta una de las entradas del combinador 57 de la tarjeta de salida 15, el combinador suma a su salida todas las señales presentes en la entrada del combinador. Y la salida del mismo es llevada de nuevo hacia una etapa amplificadora, previamente a disponer de ella en su salida física correspondiente.

Se debe recordar que al tratarse de una matriz distributiva, las señales de entrada se podrán distribuir entre todos los puntos que se desee, sin embargo cada salida solamente podrá tener asociada una entrada para cada instante de tiempo. Luego ninguna otra tarjeta de cruce proporcionara una señal de entrada en el combinador de la salida 57 y por tanto el combinador de la salida 57 tan sólo sumará la entrada 41 a la salida física.

Se debe saber que aunque se tengan instaladas todas las tarjetas de entrada y salidas en la matriz, tan sólo se podrán realizar aquellos cruces de las tarjetas de cruce que estén instaladas. Para que la matriz funcione conmutando las 64 entradas a las 64 salidas, deberán estar instaladas todas las tarjetas de cruces.

Como consecuencia de esta idea y a partir del gráfico de distribución, se puede intuir que en el caso del fallo de una de las tarjetas de cruce, se perderá en el peor de los casos, a lo sumo 16 cruces.



Fig. 187 Distribución de las tarjetas de cruce. Por cortesía de dB comunicaciones.

- HMI: El panel HMI es un ordenador autónomo que se podría asemejar a los dispositivos actuales de *tablet PC*. El software que se ejecuta sobre el HMI es un Windows CE con una aplicación específica para el manejo, monitorización y control de la matriz. Físicamente está implementado en el interior de una carcasa en la parte trasera de la puerta frontal de la matriz, y su manejo se hace de forma táctil, con los dedos o un puntero de plástico directamente sobre la pantalla del HMI. En el caso de ser necesario el acceso para reparación o sustitución del mismo, se deberá acceder a través del compartimento anejo a la parte trasera de la puerta frontal.

El HMI está implementado con dos puertos serie de comunicaciones los cuales están unidos directamente con las CPUs, mediante dos buses de comunicaciones independientes. De esta forma se origina un tráfico constante de ida y vuelta de datos entre el panel HMI y las dos CPUs.

En el HMI se implementan físicamente dos funciones: la carga o actualización de un nuevo software, lo cual se realiza mediante una memoria USB insertada en la ranura USB que se implementa en el HMI, y el reinicio del HMI mediante un botón de *reset* de un tamaño relativamente grande y de color negro, incluido en el lateral del HMI, junto a la ranura USB. En el caso de accionar este botón se produce un reinicio del HMI, pero no de la matriz entera. El reinicio del panel HMI también se puede solicitar por software a partir del propio panel HMI.

En los sistemas expandidos de matrices, es usual incluir un chasis con un panel HMI implementado. Uniendo todas las CPUs de los chasis a un *switch* y uniendo la salida de red del panel HMI al switch es posible controlar y monitorizar todos los módulos desde el panel HMI de la matriz que lo integra. En algunas ocasiones se instala otro chasis que incluye otro panel HMI como un sistema redundante en caso del fallo de alguno de los paneles HMI. No obstante el segundo panel HMI realmente no es necesario.

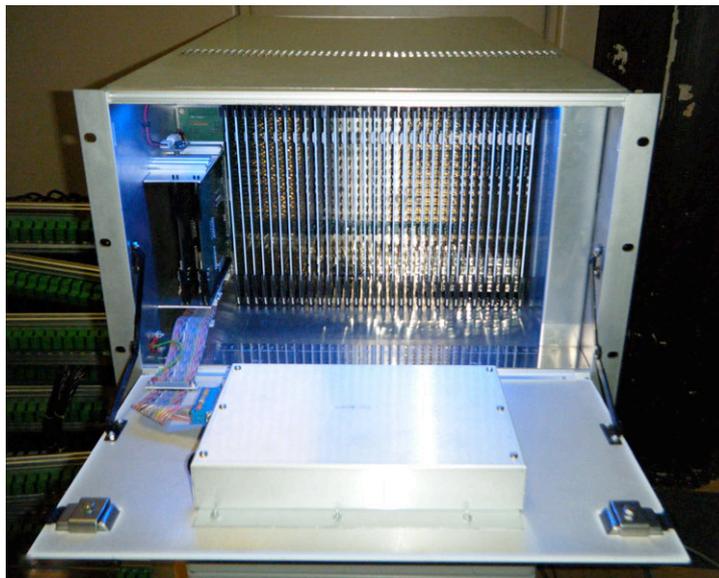


Fig. 188 Interior de la parte frontal de la matriz ETL Vortex. Por cortesía de RTVE.

- Ventiladores: La matriz Vortex, al contrario de la matriz Nigma si implementa un determinado número de ventiladores que fuerzan y producen una canalización del aire que rodea a la matriz. De nuevo surge el problema de tratar de concentrar los 4 chasis Nigma en el interior de un chasis poco más grande que el chasis de la matriz Nigma. La capacidad del sistema se cuadruplica y la potencia eléctrica del sistema se sextuplica. Mientras que la matriz Nigma consumía alrededor de los 100 watos, la matriz Vortex consume del orden de los 600 watos. Estas potencias ya son susceptibles de generar un determinado calor que podría producir fallos en la matriz, siendo necesario la extracción y correcta ventilación de la misma.

Si se piensa acerca de la capacidad real de una matriz Vortex, en relación al volumen que ocupa, parece lógico que esta vaya a generar un calor considerable, más aun si se tiene en cuenta que las tarjetas de RF de entradas y salidas de la matriz incluyen bastantes más amplificadores en total que la matriz Nigma y que las tarjetas de cruces (que se implementan en la matriz Vortex pero no en la Nigma) incluyen un gran número de elementos activos posibilitan los 4096 cruces teóricos.

La inclusión de las tarjetas de cruces y los ventiladores para la correcta refrigeración del sistema, acercan a la matriz Vortex hacia un modelo similar a las matrices SDI.

La matriz Vortex incluye un total de 5 ventiladores distribuidos en el interior de la matriz más otros 2 ventiladores en el interior de las fuentes (cada fuente esta provista de un único ventilador). Los 5 ventiladores se distribuyen de la siguiente forma: 3 de ellos se montan sobre la bandeja que forma la puerta trasera de la matriz y su misión principal es la de enfriar las tarjetas de conmutación o cruces. Los otros 2 ventiladores restantes son accesibles abriendo la puerta trasera de la matriz y se encuentran situados en las partes laterales de la matriz, por detrás de las fuentes de alimentación. Estos ventiladores se montan sobre dos bandejas metálicas y son guiadas mediante dos rieles hasta su correcta posición en la matriz, la cual se sitúa justo por detrás de las fuentes de alimentación. Cada bandeja incluye dos tornillos para fijar la bandeja con la estructura de la matriz.

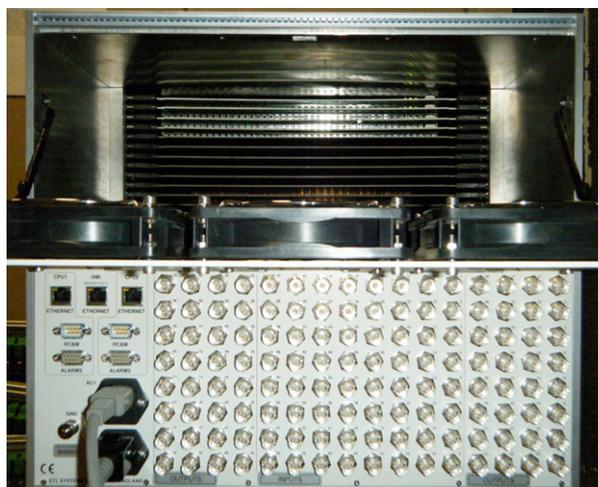


Fig. 189 Compartimento de las tarjetas de cruce y ventiladores. Por cortesía de RTVE.

- Módulos con reemplazamiento en frío: Estos módulos son los más simples que existen en la matriz y son los que menor probabilidad de fallo tienen. Sin embargo en el caso de que uno fallase, sería necesario interrumpir drásticamente el funcionamiento de la matriz para reemplazar el módulo. Los módulos con reemplazamiento en frío son: La placa madre de las CPUs, la placa principal de distribución de la corriente eléctrica de funcionamiento, la placa de distribución de las tarjetas de cruce, la placa de distribución de las tarjetas de entrada, salida y de CPUs, la placa que implementa el módulo de comunicaciones, la placa de distribución de los ventiladores y el cableado propio de la matriz.
  - o Placa madre de las CPUs: Al final del compartimento en donde se alojan las dos CPUs, se encuentra una placa PCB, en la cual se implementan: los buses de comunicaciones de las CPUs con el resto de módulos de la matriz y la circuitería de alimentación para las CPUs. En la siguiente fotografía se puede ver como hasta la placa madre de las CPUs, llega la faja plana de cables desde el panel HMI. A simple vista, se puede observar que la placa madre posee principalmente tres conectores. Uno para cada CPU y un tercero para el fajo plano que llega del HMI

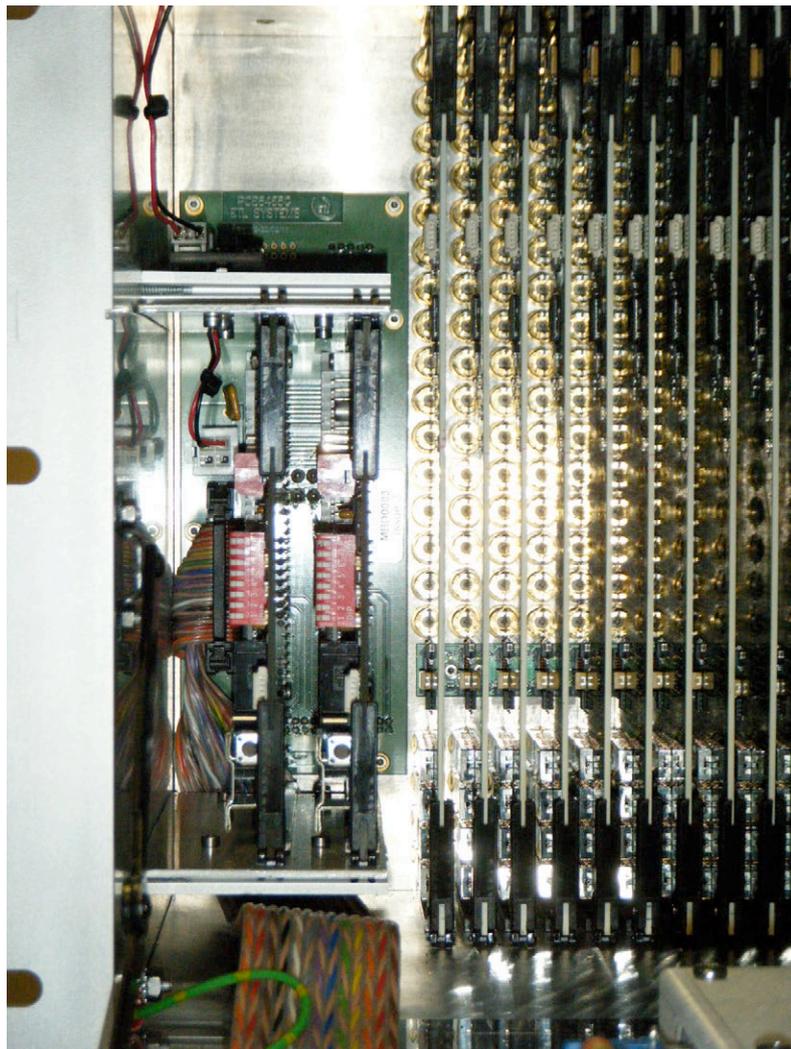


Fig. 190 Compartimento de las CPUs. Por cortesía de RTVE.

- Placa principal de distribución de la alimentación: Esta placa se encuentra detrás de los compartimentos de las fuentes de alimentación. Su disposición es vertical y a lo ancho del cofre de la matriz. Está dispuesta por detrás de las tarjetas de cruce, siendo refrigerada por los ventiladores laterales existentes en la matriz. En esta placa se implementa parte de la topología *diode sharing*, el cableado que reparte la alimentación entre el resto de elementos de la matriz, el cableado que proviene de los zócalos IEC de alimentación y los buses de comunicaciones que informan a las CPUs acerca del funcionamiento de las fuentes de alimentación. En la siguiente fotografía se puede observar que existen tres tipos de conectores que se conectan a las fuentes de alimentación.

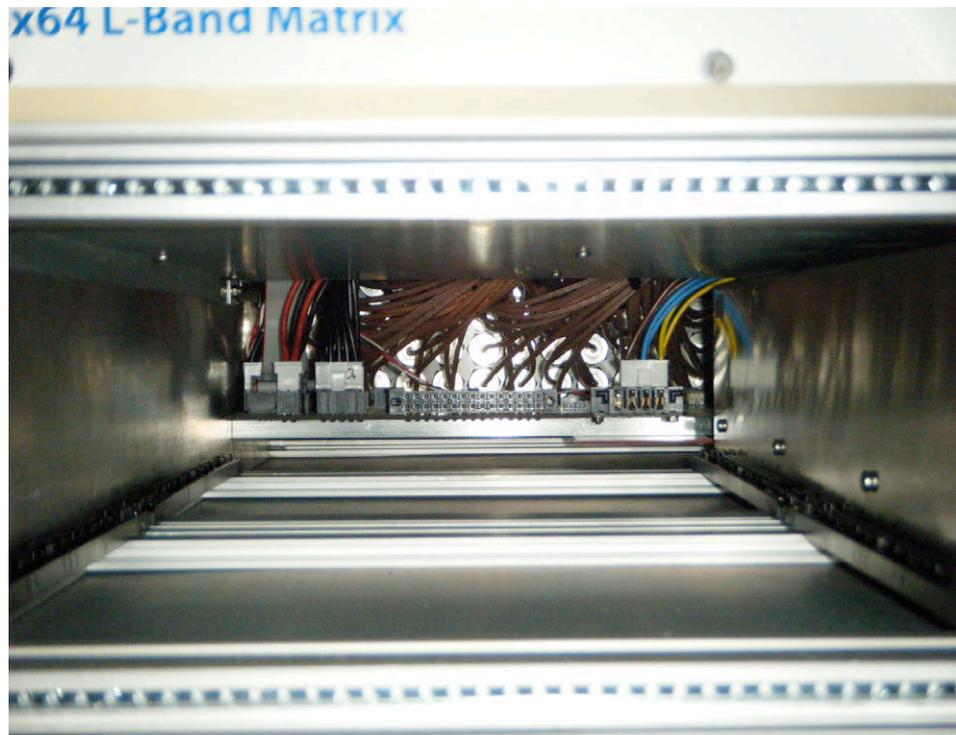


Fig. 191 Cables y conectores que pueden encontrarse en el compartimento de las fuentes. Cortesía de RTVE.

El conector de más de la derecha une a la fuente con los cables que proporcionan el vivo, el neutro y la tierra de la red eléctrica. Los cables que se utilizan para llevar la red eléctrica desde el conector IEC hasta la placa, se pueden observar en la fotografía, como los cables, azul, marrón y verde-amarillo, los cuales se insertan en la placa a través de un conector y su correspondiente zócalo, justo por detrás del conector de más a la derecha. A la izquierda de este conector, se puede encontrar un conector más pequeño, este conector es el que conecta la fuente de alimentación al bus de comunicaciones, llegando dicho bus hasta las CPUs. En la fotografía se puede ver como en la parte izquierda de la placa existe un fajo de cables planos que partiendo desde la placa de distribución de alimentación suben hacia la placa madre en donde se conectan las CPUs. El último conector de la fotografía es el que se encuentra a la izquierda de los dos conectores ya

comentados, este conector tiene como propósito suministrar a la placa de distribución de alimentación, la alimentación de continua generada por la fuente de alimentación. La alimentación de continua se distribuye a través de los cables rojos y negros que se pueden apreciar en la fotografía, los cuales están unidos a su vez con la placa mediante una serie de conectores.

- Placa de distribución de las tarjetas de cruce: Esta placa se sitúa entre las dos placas metálicas de los conectores existentes en el centro de la matriz, las cuales configuran un enrejado de conexiones entre las tarjetas de entrada, salida y las tarjetas de cruce. En la placa de distribución se implementa los buses de la distribución de la alimentación de continua para las tarjetas de cruce, y los buses de comunicaciones entre las tarjetas de cruce y las dos CPUs del sistema. Los buses de comunicaciones están duplicados de una forma redundante estando cada uno de ellos conectado a su CPU correspondiente. Sobre la misma placa de distribución se implementan los dos buses de comunicaciones.
- Placa de distribución de las tarjetas de entrada, de salida: Esta placa se monta delante de las placas de los conectores que conforman el enrejado de conexiones para las tarjetas de entrada, salidas. La placa de distribución es una única placa sobre la cual se implementan varios buses: los buses de alimentación de las tarjetas a las que abastecen y los buses de comunicaciones a las tarjetas que también abastecen. Estos buses de comunicaciones están implementados por duplicado sobre la placa de distribución, uno por cada una de las CPUs a las que están asociados, de tal forma que son redundantes y completamente autónomos entre sí. En el caso de fallar uno de los buses o su CPU correspondiente, se podría seguir trabajando con la matriz con el bus restante y su correspondiente CPU.
- Placa de comunicaciones: Sobre esta placa se montan directamente los conectores pertenecientes a las comunicaciones externas de la matriz. Dichos conectores están situados en la parte trasera inferior izquierda y por tanto la placa estará montada justamente detrás de los conectores de comunicaciones externas. De esta placa parte un fajo de cables planos que establecen los buses de comunicaciones entre los conectores de comunicaciones externas y sus CPUs correspondientes.
- Placa de distribución de los ventiladores: Mediante esta placa se distribuye la alimentación de continua de los ventiladores y se establecen unos buses de comunicaciones, que permiten el control y monitorización de los mismos a través de las CPUs.



Con respecto al software de la matriz Vortex se puede intuir que existirá una alta similitud con el software de la matriz Nigma. Sin embargo se podrán encontrar ciertas diferencias, impuestas por el hardware implementado, y por algunas funciones adicionales que se han añadido a la matriz Vortex. A continuación se muestran las diferentes pantallas a las que se pueden acceder y se hará especial énfasis en las diferencias con respecto al software de la matriz Nigma.

La pantalla principal de la matriz está dividida en tres zonas. La zona del enrejado, la zona de los iconos que dan acceso a otras pantallas y la zona de las cuatro flechas de dirección.

- La zona del enrejado posee la misma presentación que la matriz Nigma. Muestra los cruces en paquetes de 32 entradas por 32 salidas. Pero a diferencia de la matriz Nigma en donde se mostraba toda la matriz en una única pantalla, debido a que la matriz Vortex es de 64x64 y la pantalla sólo muestra bloques de 32x32 se deberán utilizar las flechas de dirección para poder acceder a los 4 bloques de 32x32 puntos que conforman la matriz.

Cada color empleado en los puntos de cruce tiene un significado diferente: El verde indica que el cruce está operativo, enlazando una entrada con una salida. El color cyan indica que la salida está finalizada con una carga. Si dicha salida está terminada, entonces toda la fila del enrejado perteneciente a dicha salida aparecerá de color cyan. El color rojo indica un fallo en las tarjetas de entrada o salida que imposibilitan hacer dicho cruce. Inmediatamente todos los cruces afectados por este fallo se volverán de color rojo.

En la matriz Vortex se implementan dos funciones por software que permiten bloquear un cruce o proteger una salida. En el caso de que un determinado cruce este bloqueado se mostrará en el enrejado como una cruz en el interior de un cuadrado. Si una salida está protegida se mostrará en la fila correspondiente a la salida una línea entera de puntos púrpuras, con el cruce activo en color rosa.

- Flechas de dirección: Las flechas de dirección permiten moverse por el enrejado de cruces en bloques de 32x32. Estas flechas se utilizarán para moverse entre los 4 bloques de 32x32 que conforman la matriz Vortex, o para acceder a cualquiera de los bloques de 32x32 puntos existentes en un sistema expandido de matrices de más de los 64x64 puntos iniciales.
- Iconos de acceso a diferentes pantallas: Al igual que en la matriz Nigma, mediante estos iconos se puede acceder a otras pantallas. Sin embargo existen algunas diferencias con respecto a la matriz Nigma. Los iconos que pueden estar presentes en la pantalla principal son: *Logon*, *Remote/local*, *Change*, *Status*, *Menu*.
  - o Icono Logon: Al igual que en la matriz Nigma, permite tener un control sobre que usuario puede realizar cambios en la matriz. El acceso a realizar dichos cambios se posibilita mediante una autenticación del nombre de usuario y su contraseña

correspondiente. En el caso de realizarse la autenticación el usuario, dispone de 10 minutos hasta que se le vuelve a pedir la autenticación, esta cuenta atrás se reinicia cada vez que se realice alguna operación en la matriz. En el caso de no estar autenticado se podrá tener acceso a la matriz para poder conocer el estado de la misma a través de las diferentes ventanas, pero estará vetado el derecho a realizar cualquier tipo de cambio sobre la misma.

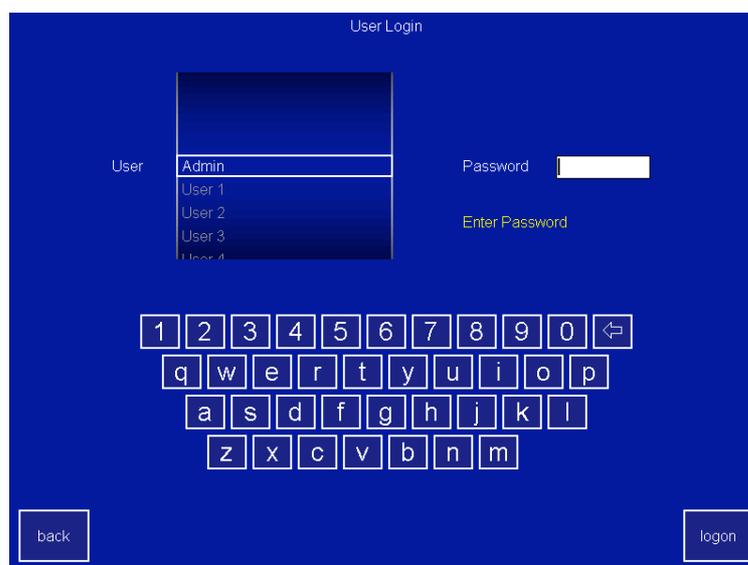


Fig. 193 Pantalla de Login de la matriz Vortex. Por cortesía de ETL

- Icono Remote/local: Este icono (en el caso de existir un panel HMI en la matriz) da acceso a la selección del modo de comunicaciones que se establece con la matriz. En el modo remoto, la matriz es controlada a través de los puertos de comunicaciones externos como pueden ser los puertos Ethernet de los RJ45 o con los puertos RS232 o RS485 de los conectores Dsub9. En este modo de trabajo, el panel HMI se encuentra sin la posibilidad de que las instrucciones que se ejecuten a través de él, gobiernen la matriz. En el modo local, la matriz se controla a través del panel HMI existente en el propio chasis. Cualquier orden que se reciba a través los puertos de comunicaciones externos, será ignorada. El icono *Remote/local* indica mediante su color y el texto, el modo de control de la matriz. En el modo remoto, el botón cambia a color rojo y en el texto aparece la palabra *Remote*. En el modo local, el botón cambia a color verde y en el texto aparece la palabra *Local*.
- Icono Change: Mediante el icono Change, se accede a la pantalla de cambio de ruta, mediante la cual se pueden realizar los cruces en la matriz. Su funcionalidad y presentación es exactamente igual que en la matriz Nigma.

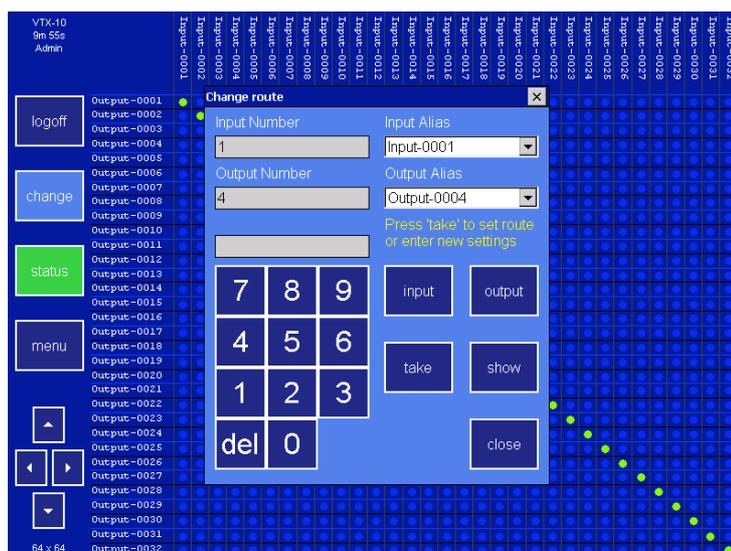


Fig. 194 Pantalla de cambio de ruta de la matriz Vortex. Por cortesía de ETL.

- Icono Status: La pantalla de estado en la matriz Vortex se accede presionando el icono Status. Esta pantalla esta dividida horizontalmente en dos zonas. La zona superior en la que se muestra brevemente información del estado de algunos elementos que es necesario tener bajo control de un simple vistazo. Y en la parte inferior en la que se tiene acceso a información más completa y a diferentes opciones del software que permiten realizar tareas relacionadas con el mantenimiento de la matriz.

Visualmente la pantalla de estado de la matriz Vortex es muy similar a la pantalla de estado de la matriz Nigma. Sin embargo una vez que se accede a los iconos en la parte inferior se muestran diferentes informaciones y opciones que ya son característicos de la matriz Vortex.

- Estado de las tarjetas: El icono estado de las tarjetas está disponible para cada una de las CPUs, y básicamente se emplea para conocer el estado de las tarjetas de RF de la matriz. Cada una de las CPUs posee su propio bus de comunicaciones, permitiendo que se establezca una comunicación entre cada CPU y las tarjetas de RF. Los dos buses redundantes son totalmente autónomos entre sí, de tal forma que cuando se pulsa sobre el icono de estado de las tarjetas de una de las CPUs, se estará accediendo a la información que se provee desde dicha CPU a través de su bus de comunicaciones.

La pantalla de estado de las tarjetas tendrá una apariencia genérica, sobre la cual se realizarán algunas modificaciones para mostrar la información de las distintas tarjetas de RF del sistema.

Se podría decir que la plantilla básica de esta pantalla está dividida verticalmente en dos zonas: la zona superior y la zona inferior.

En la zona inferior se muestra un enrejado de 3 filas y 16 columnas en las cuales se representa un estado muy básico de las tarjetas de entrada, de cruce y de salida. Este enrejado presenta un resumen del estado de las tarjetas mediante el uso de una serie de indicadores de colores. En el caso de que la tarjeta en cuestión esté funcionando correctamente, el indicador estará de color verde. Si existe algún tipo de problema con la tarjeta, el indicador estará de color rojo, y si la tarjeta no se ha instalado no existirá indicador de color en la rejilla. Esta rejilla tiene una segunda función y es que en el caso de pulsar sobre uno de los indicadores se accederá a la información de estado de la tarjeta sobre la que se ha presionado.

La información de estado propia de cada tarjeta se muestra en la parte superior de la pantalla, y presenta una apariencia similar con las diferentes tarjetas de RF del sistema. La plantilla básica de la parte superior divide horizontalmente a la misma en dos partes: En la parte izquierda se encuentran unos indicadores básicos sobre las comunicaciones, la inicialización y las tensiones de alimentación de las tarjetas. Y en la parte derecha se informa del estado de funcionamiento de cada uno de los amplificadores integrados en la tarjeta y la tensión de continua que polariza a cada uno de ellos.

El indicador de comunicaciones, informa si se ha establecido correctamente la comunicación entre la CPU y dicha tarjeta, en caso de no ser así, el resto de información deberá ser obviada. El indicador de inicialización informa de la correcta adquisición de valores de la tarjeta y sirve para comparar los valores adquiridos en su momento con los valores actuales de la tarjeta para diagnosticar posibles fallos en la tarjeta. El indicador de tensiones de alimentación de la tarjeta informa de las tensiones de continua con las que se está alimentando a las tarjetas.



Fig. 195 Pantalla de estado de las tarjetas de entrada. Por cortesía de ETL.

En la figura anterior se muestra el estado de la tarjeta número 3 de entrada. En ella se muestra en una columna la información de los 4 amplificadores presentes en esta tarjeta, de tal forma que aquellos amplificadores que no se estén utilizando en ese momento son desactivados por el sistema para ahorrar energía y no producir más calor.

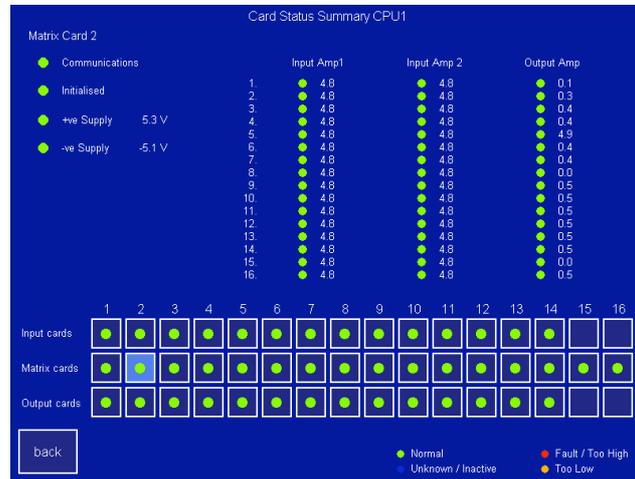


Fig. 196 Pantalla de estado de las tarjetas de cruce. Por cortesía de ETL.

En la figura anterior se muestra el estado de la tarjeta número 2 de cruces. En este caso se puede observar que existe una alimentación bipolar de la tarjeta de cruces. Además se muestra el estado de los amplificadores existentes en la tarjeta mediante 3 columnas, 2 de ellas para los amplificadores de entrada y una de ellas para los amplificadores de salida.

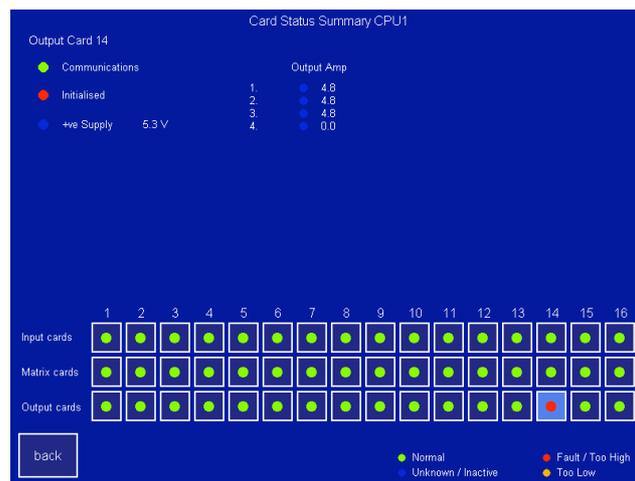


Fig. 197 Pantalla de estado de las tarjetas de salida. Por cortesía de ETL.

La figura anterior muestra el estado de la tarjeta de salida número 14, en la que se observa la columna de los 4 amplificadores implementados en la tarjeta. En este caso la inicialización no se ha realizado correctamente, por esta razón, no es posible monitorizar un sistema de alarmas para dicha tarjeta y por tanto la

información de las tensiones en los diferentes puntos de la tarjeta, aparecen con un indicador azul de desconocimiento por falta de información. De nuevo se puede observar que los amplificadores que no están siendo utilizados son desconectados y aparecen con una tensión de polarización de 0.0 voltios.

- **Inicialización:** Las tarjetas de RF están implementadas con una circuitería que permite monitorizar las tensiones de alimentación de los amplificadores y las tensiones de polarización de los amplificadores presentes en ellas. Las tensiones monitorizadas en todo momento son comparadas con las tensiones que se almacenaron en la memoria no volátil presente en las tarjetas de RF, y en el caso de estar fuera del rango, la tarjeta de RF provoca una alarma.

La función de inicialización ordena una nueva adquisición de las tensiones de referencia existentes en los amplificadores de cada tarjeta de RF para memorizarlas en la memoria no volátil. Su funcionamiento y filosofía es exactamente igual que en la matriz Nigma y permite inicializar todas las tarjetas de RF o una tarjeta de RF en concreto. Esta función se suele utilizar cuando se instalan nuevas tarjetas.

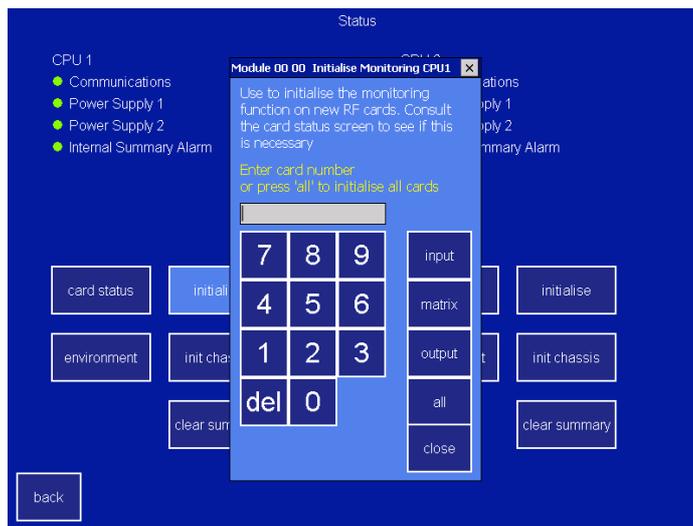


Fig. 198 Pantalla de inicialización de la matriz Vortex. Por cortesía de ETL

- **Entorno:** En cada una de las CPUs se encuentra implementada una circuitería encargada de monitorizar las temperaturas y las diferentes velocidades de los ventiladores, existentes en la matriz Vortex.

La pantalla esta dividida verticalmente en tres zonas: la zona superior, la zona media y la zona inferior.

En la zona superior se puede encontrar dos indicadores de estado referentes a las comunicaciones y a la inicialización. El indicador de comunicaciones indica que se ha establecido correctamente la comunicación entre la circuitería de

monitorización y su correspondiente CPU. En el caso de que se presente una alarma en este indicador, el resto de datos adquiridos en la pantalla deberán ser obviados. El indicador de inicialización, muestra que se realizó correctamente la inicialización en el pasado. En el caso de que se presente una alarma en este indicador, significará que no se puede realizar un reporte de alarmas, debido a que no se posee datos adquiridos previamente con los que contrastar los datos que se obtienen actualmente.

En esta parte superior, además se encuentra la temperatura de la CPU correspondiente y de cada una de las dos fuentes de alimentación.

En la parte central se encuentra la temperatura de cada una de las 16 tarjetas de entrada, de cruce y de salidas, ordenadas por filas.

En la parte inferior se puede observar las velocidades de los 5 ventiladores instalados en la matriz, más un indicador de estado que muestra el correcto cierre de la puerta trasera de la matriz. Es fundamental que la puerta trasera esté cerrada cuando la matriz esté en funcionamiento, debido a que los ventiladores implementados en la puerta trasera fuerzan la extracción del calor que se produce en el compartimento de las tarjetas de cruce.

Los límites de temperatura de las tarjetas son preestablecidos en fábrica, conforme a las especificaciones de temperatura de funcionamiento de los componentes implementados en las fuentes de alimentación y en las tarjetas de RF.

Los límites de la velocidad de los ventiladores se establecen en un 20% por encima y por debajo de la velocidad normal de funcionamiento de los mismos.

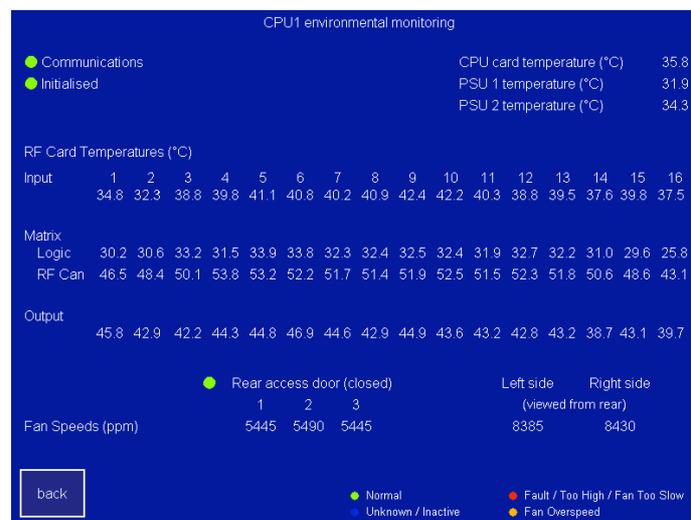


Fig. 199 Pantalla de entorno de la matriz Vortex. Por cortesía de ETL.

- Inicialización del chasis: Tal como se vio anteriormente, las CPUs del sistema monitorizan las velocidades de los 5 ventiladores de los que está provista la matriz Vortex. Las velocidades son contrastadas con las velocidades que se adquirieron en la memoria no volátil implementada en cada una de las CPUs. Se establece un rango por encima y por debajo de un 20% de variación. Si la diferencia de velocidades entre la velocidad actual del ventilador y la velocidad almacenada del mismo ventilador excede de ese rango, la CPU produce una alarma.

Las velocidades almacenadas en la memoria no volátil fueron adquiridas como norma general en el proceso de la primera instalación de la matriz. Sin embargo cabe la posibilidad de que alguno de los ventiladores haya tenido que ser sustituido por un malfuncionamiento. En el caso de instalar un ventilador genérico de otro fabricante es muy probable que la velocidad del mismo no coincida con la velocidad del ventilador al que sustituye, siendo muy posible que se active la alarma en las CPUs. Para evitar esto, es necesario realizar una inicialización del chasis siempre que se reemplace un ventilador. De esta forma, la monitorización se realizará con respecto a las nuevas velocidades presentes en los ventiladores.

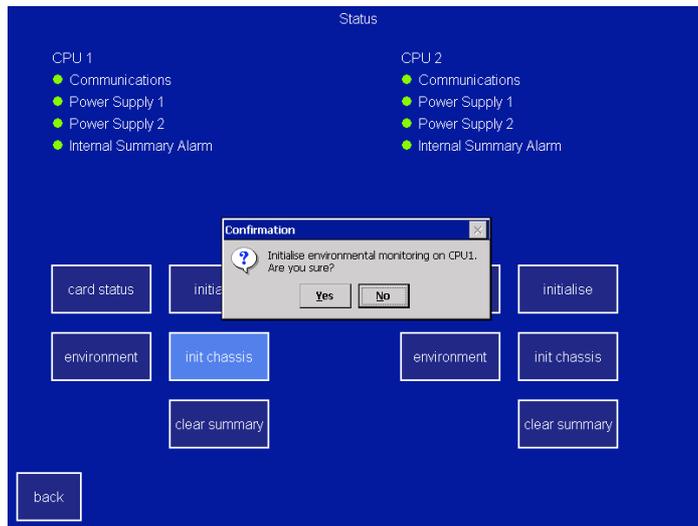


Fig. 200 Pantalla de inicialización del chasis de la matriz Vortex. Por cortesía de ETL

- Limpiar alarmas: Este icono permite realizar una limpieza general de las alarmas activadas en la matriz, principalmente en el proceso de arranque de la misma por primera vez y en el caso de la no existencia de la totalidad de las tarjetas de RF que es capaz de soportar la matriz Vortex. Su funcionamiento es exactamente igual que el que se describió para la matriz Nigma.

- Icono Menu: Presionando sobre el icono menu, se accede a la pantalla que permite configurar diferentes parámetros de la matriz.

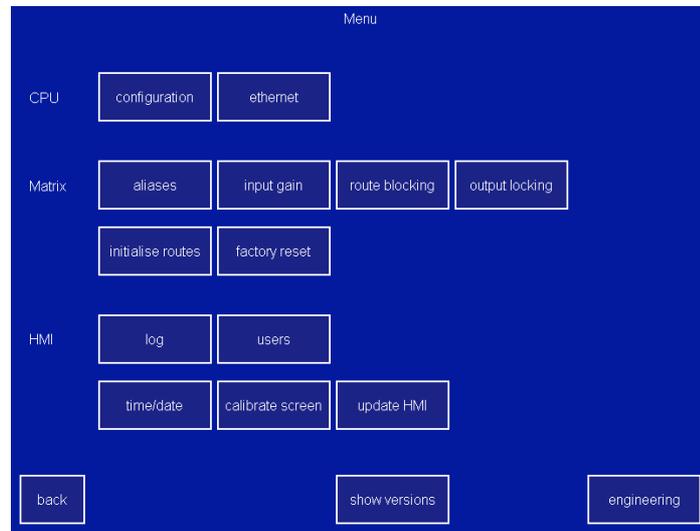


Fig. 201 Pantalla menu de la matriz Vortex. Por cortesía de ETL.

- Configuración: Presionando el icono de configuración se accede a la pantalla en la cual se configura los ajustes de la matriz y los ajustes de red de la misma.

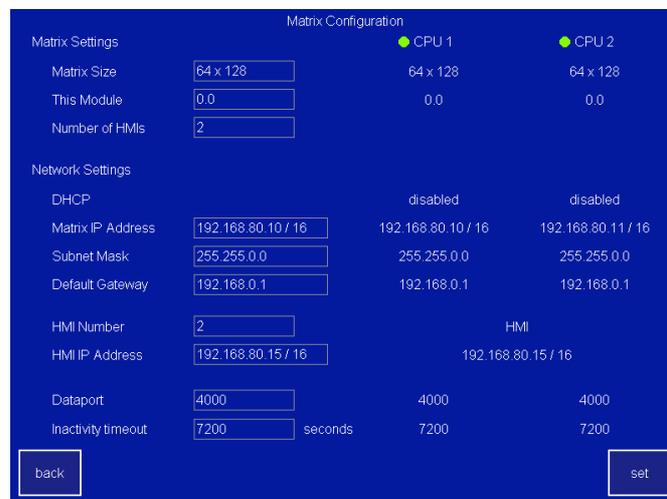


Fig. 202 Pantalla de configuración de la matriz Vortex. Por cortesía de ETL.

Verticalmente la pantalla está dividida en dos partes. La parte superior se refiere a los ajustes de la matriz, mientras que la parte inferior se refiere a los ajustes de red de la matriz.

Horizontalmente la pantalla está dividida en dos partes. La parte de la izquierda se refiere a los nuevos valores que se van a modificar cuando se pulse el icono *set*, y la parte de la derecha se refiere a los valores actuales con los que está funcionando la matriz. Para editar cualquier parámetro, se debe pulsar sobre su correspondiente cajita en la parte izquierda de la pantalla.

En el caso de que se haya establecido correctamente la comunicación entre el HMI y cada una de las CPUs, un indicador verde aparecerá junto al nombre de cada una de las CPUs.

- 1) Ajustes de la matriz: Dentro de ajustes de la matriz se pueden configurar tres parámetros: El tamaño total de la matriz o del sistema expandido de matrices, el número de módulo asociado al chasis al que se está accediendo dentro del bloque del sistema expandido y por ultimo el número total de paneles HMI que existen en el sistema.

Presionando sobre la cajita de tamaño de matriz se accede a un enrejado en el cual se presenta el tamaño total del sistema, o dicho de otra forma el número de entradas y salidas que maneja el sistema.

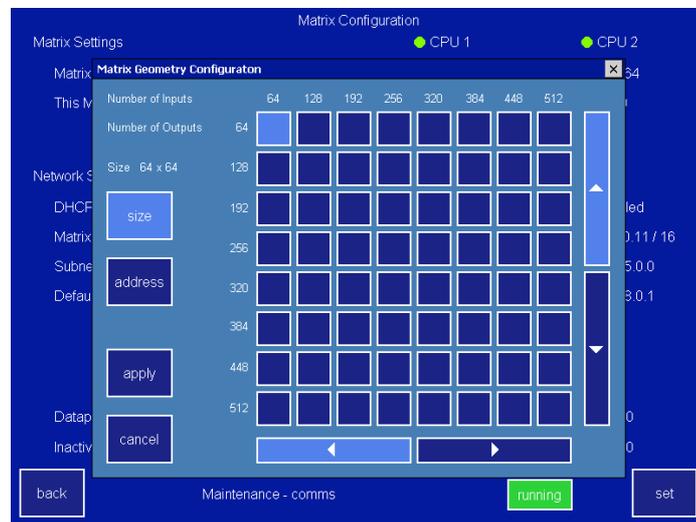


Fig. 203 Pantalla de configuración del sistema de matrices. Por cortesía de ETL

Para seleccionar el tamaño del sistema tan sólo se deberá presionar el cuadradillo pertinente y posteriormente pulsar *apply*.

Si se observa la parte izquierda de esta pantalla se puede ver que el icono *size* está iluminando, indicando que se está configurando el tamaño del sistema. Si se pulsase sobre el icono *address* se accedería a la pantalla que identifica al chasis dentro del entramado del sistema.

Presionando la cajita de módulo, permite identificar el chasis actual que se está configurando dentro del entramado del sistema. La identificación se realiza confirmando en un nuevo enrejado, las entradas y salidas asociadas al chasis actual. Para ello tan solo se debe pulsar sobre el cuadradillo oportuno y confirmar pulsando *apply*.

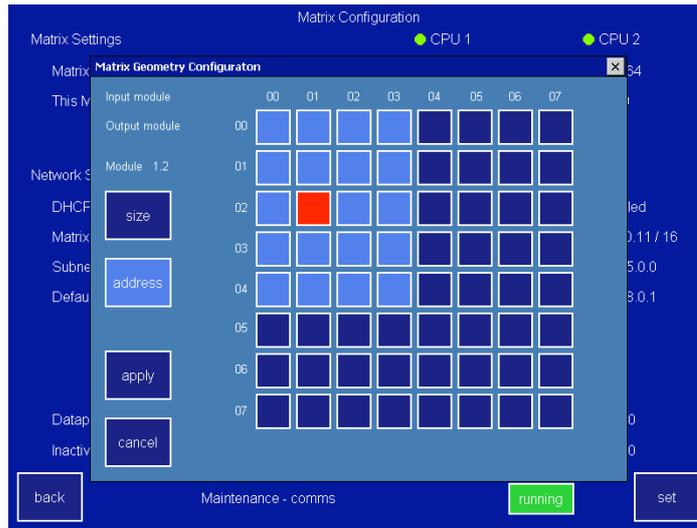


Fig. 204 Pantalla de configuración de la topología del sistema de matrices. Cortesía de ETL.

En la izquierda de esta pantalla se puede observar que está iluminado el icono *address*, el cual confirma que se está en la pantalla que identifica al módulo dentro del sistema. Si se pulsase sobre el icono *size*, se saldría directamente a la pantalla de configuración del tamaño del sistema.

Con estos dos parámetros mostrados anteriormente se identifica totalmente un chasis dentro de un sistema expandido.

Por último presionando sobre la cajita de número de HMIs, se configura el número de paneles que hay presentes en el sistema, pudiendo tomar este parámetro valores desde 1 hasta 9.

Una vez que se ha configurado estos ajustes se debe tener en cuentas dos cosas: La primera es que aunque en cada una de las pantallas se haya pulsado sobre *apply*, esta acción lo único que ha hecho es fijar el nuevo valor al que cambiará la matriz cuando se pulse sobre *set*. Es decir para que los cambios surjan efecto con la nueva configuración no basta con pulsar *apply* sino que se deberá pulsar también sobre *set*.

La segunda es que pese a que sólo se han modificado tres parámetros, otros parámetros de esta pantalla pueden tomar nuevos valores debido a que están directamente relacionados con los parámetros que se han cambiado. Así por ejemplo se podrán modificar otros campos como pueden ser las direcciones IP de las CPUs y del HMI de la matriz que se está configurando.

Previamente a pulsar *set*, todos los parámetros que se van a cambiar aparecen identificados de dos formas: mediante un asterisco justo al lado

del campo que se va a cambiar y mediante el cambio de color del valor actual de blanco a rojo.

- 2) Ajustes de red: En los ajustes de red es en donde se configuran los parámetros de red del sistema. Para ello se utiliza principalmente la pantalla de configuración de red que se obtiene presionando sobre cualquiera de las cajitas de ajustes de red, excepto en la del puerto y el de periodo de inactividad.

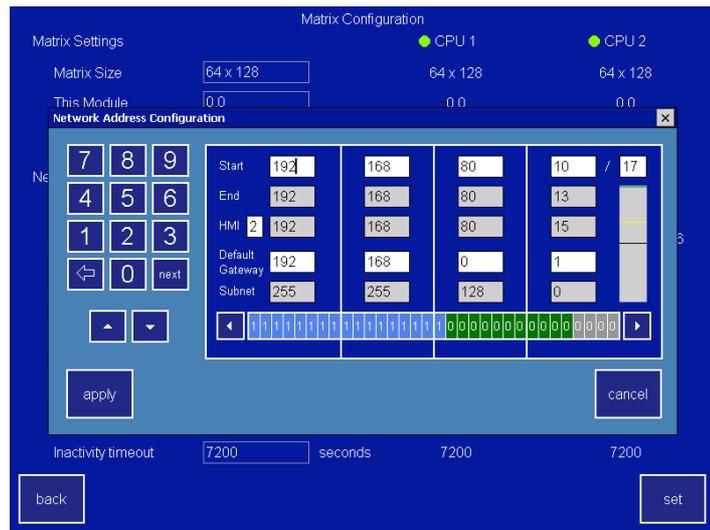


Fig. 205 Configuración de los parámetros de red de la matriz Vortex 10. Cortesía de RTVE.

En esta pantalla se configura la primera dirección IP del sistema, el rango reservado de IPs para alojar el resto de CPUs en el sistema (mediante la segmentación que se realiza con la subred), el puerto de enlace de red y el número total de HMIs presentes en el sistema.

Se debe recordar que es fundamental que el rango de IPs esté reservado y sea lo suficientemente grande para poder alojar a todas las CPUs en la misma red.

En la pantalla principal se puede editar el puerto TCP/IP que se empleara en las comunicaciones y el tiempo de inactividad a partir del cual se cerrará dicho puerto.

Por último se debe observar que en la parte inferior aparece un icono *running* cuando el sistema está compuesto de una sólo matriz. Este icono permite comenzar el proceso de transferencia de datos entre las CPUs, y es realmente útil en el caso de instalar una nueva CPU en el chasis.

El proceso de copia de datos se realiza en dos pasos. El primer paso es parar toda comunicación existente entre las CPUs y el resto de módulos de la matriz.

Para ello se presiona el icono *running* que estará en color verde y pasará a mostrar el texto *frozen* en color rojo. En este momento en el panel aparecerán dos iconos con forma de flecha. El de más a la izquierda transfiere los datos de la CPU1 a la CPU2 y el icono de más a la derecha, transfiere los datos de la CPU2 a la CPU1. El icono que se pulse dependerá de que CPU se está actualizando con los datos almacenados en el sistema.

- Ethernet: La matriz Vortex implementa la capacidad de autonegociado de la capa física de los sistemas conectados a través de una red Ethernet. El autonegociado permite detectar el tipo de conexión entre los sistemas y por tanto la velocidad y la comunicación *full duplex* o *half duplex*. La capacidad de autonegociado puede ser desactivada, para configurar manualmente la conexión física a la red.

Si se presiona sobre el icono Ethernet se obtiene la siguiente pantalla:



Fig. 206 Configuración del autonegociado de la matriz Vortex. Por cortesía de ETL.

En la cual se puede seleccionar para cada una de las CPUs, si es el sistema el que negocia las propiedades físicas de enlace con la red o si es el usuario el que las fija. Cuando la autonegociación está activa, *Auto negociate* pondrá en verde el icono *enabled* y tanto *speed* como *duplex* estarán en color azul no permitiéndose que se varíen estos parámetros. Si se quiere ajustar manualmente, el primer paso es presionar sobre el icono *disabled* de *Auto negociate*, en este momento se presentará un asterisco en la pantalla que indicará que se ha producido un cambio. Una vez que el icono *disabled* está en color verde, los iconos *speed* y *duplex* estarán en color verde y se podrá actuar sobre ellos para cambiar la configuración. En el caso de que se cambie la configuración de alguno de estos parámetros, aparecerá de nuevo un asterisco.

Los cambios efectuados no surgirán efecto hasta que se presione el icono *set*.

- Alias: Las tarjetas de CPU almacenan cada una de ellas en su memoria interna los nemotécnicos. Estos nemotécnicos serán mostrados posteriormente en la pantalla de cambio de ruta. Ambas CPUs están interconectadas compartiendo y sincronizando la información que poseen acerca de los nemotécnicos. Tan sólo es necesario un icono de *Alias* para que los cambios sobre los nemotécnicos se almacenen en ambas CPUs de forma simultánea.

La pantalla desde la cual se produce la asignación o cambio de los nemotécnicos es la siguiente:

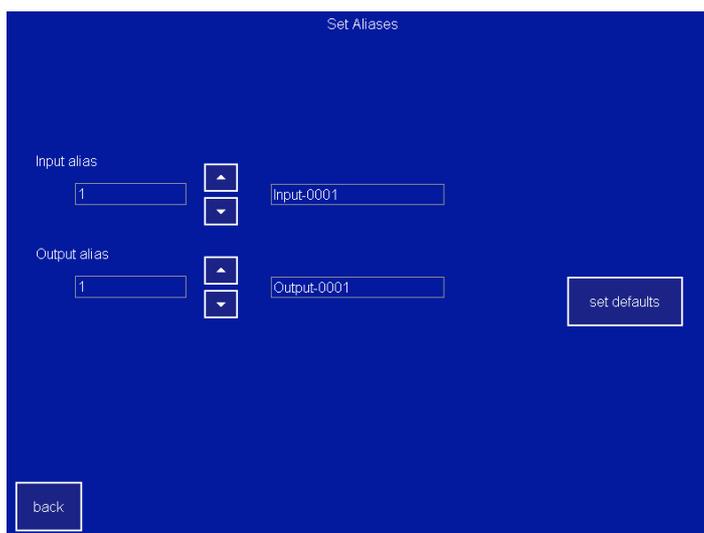


Fig. 207 Configuración de los nemotécnicos. Por cortesía de ETL.

Una vez que se presiona sobre el campo numérico de las entradas o de las salidas, aparecen las flechas de dirección que permiten ir moviéndose entre cada una de las entradas y salidas numéricas y conocer sus respectivos nemotécnicos asociados. Si el campo del nemotécnico tanto de la entrada como de la salida es presionado, entonces se accede a la pantalla del teclado alfanumérico, permitiendo que se renombre el nemotécnico asociado a dicha entrada o salida. Una vez que se ha escrito el nemotécnico se presiona sobre *Apply* en el teclado alfanumérico y se sale del modo de edición.

En este paso aparecerá una nueva pantalla junto a un asterisco informando de que se ha producido un cambio en el nemotécnico pero que no ha sido guardado aun. Si sobre esta nueva pantalla se presiona el icono *show changes* se podrá navegar entre todos los nemotécnicos que se han editado. En cambio si se presiona sobre *show all*, mostrara todos los nemotécnicos, los que se hayan editado y los que no se hayan editado.

En el caso de estar disconforme con alguno de los nemotécnicos, presionando sobre el icono *revert*, se vuelve al nemotécnico anterior. Una vez que se ha comprobado que todos los nemotécnicos nuevos son correctos se presionará sobre *set new alias* y los cambios surgirán efecto.

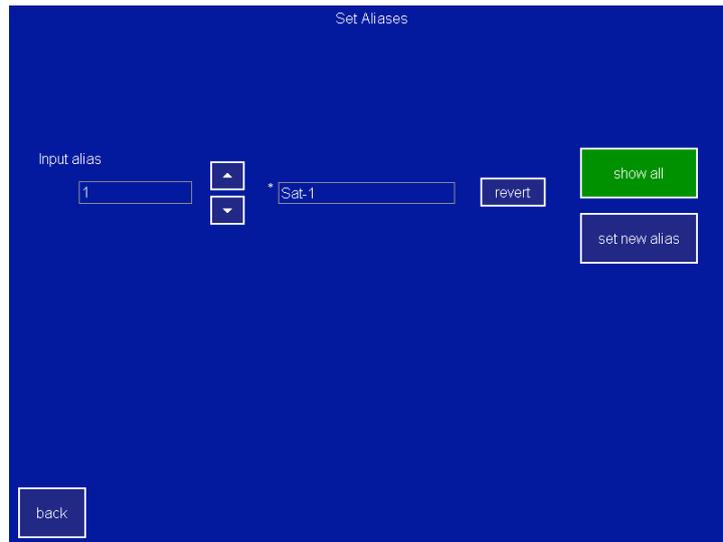


Fig. 208 Nemót́cnicos que se han cambiado. Por corteśa de RTVE.

- Ganancia de entrada: Mediante el icono de ganancia de entrada, se accede a la pantalla que permite modificar la ganancia de la etapa amplificadora de cada entrada.

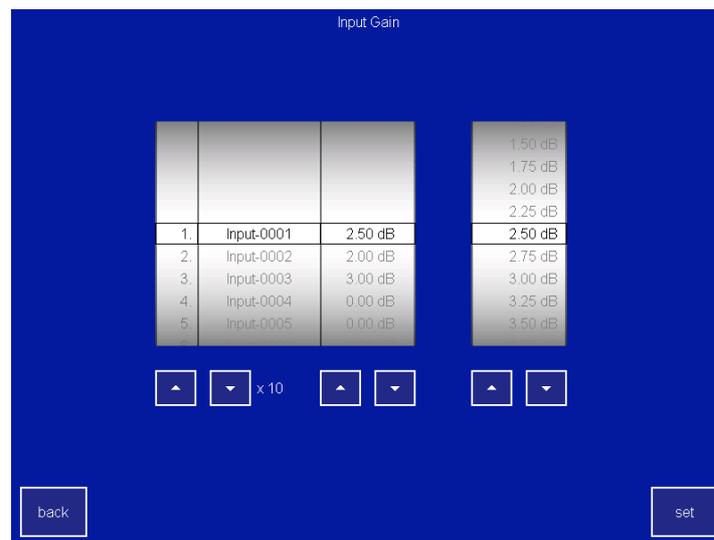


Fig. 209 Pantalla de configuracíon de la ganancia de entrada. Por corteśa de ETL.

La pantalla est́a dividida a su vez en dos cuadŕculas con sus correspondientes teclas de direccíon, con las cuales se podŕa mover entre los diferentes textos que se muestran en cada cuadŕcula.

La cuadŕcula de la izquierda muestra cada una de las entradas con su ganancia de entrada asociada. La cuadŕcula de la derecha, muestra los posibles valores de ganancia que puede tomar cada una de las entradas.

Para cambiar la ganancia de una entrada, se debe mover entre las diferentes entradas mostradas en la cuadŕcula de la izquierda, mediante las teclas de

dirección, hasta que se sitúe la entrada deseada entre las dos líneas horizontales. Posteriormente se escoge de la misma forma la ganancia a asignar a dicha entrada, moviéndose entre las diferentes ganancias posibles existentes en la cuadrícula de la derecha. En este paso aparecerá un asterisco al lado de la ganancia de la entrada asociada, mostrando que se ha cambiado el valor anterior.

Una vez que se ha seleccionado la entrada y la ganancia a aplicar, se pulsará el icono *set*, para que los cambios surtan efecto. En el caso de haber realizado un cambio erróneo, el icono *revert* permite volver a fijar la ganancia al valor previo. En el caso de realizar varios cambios a la vez, si se pulsa sobre el botón *show changes*, la cuadrícula de la izquierda filtrará el texto, mostrando tan sólo aquellas entradas que hayan sido modificadas.

La función de ganancia de entrada se implementa en la matriz Vortex, pero no en la matriz Nigma.

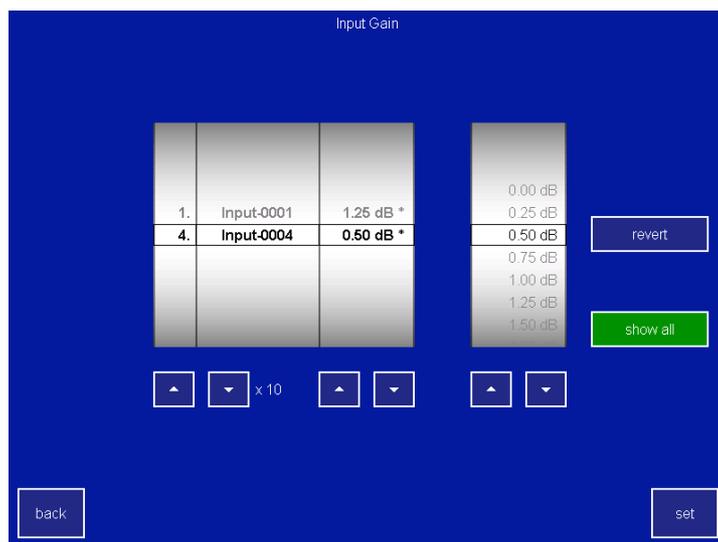


Fig. 210 Entradas cuya ganancia se ha modificado. Por cortesía de ETL.

- Bloqueo de ruta: Pulsando el icono de bloqueo de ruta, se accede a la pantalla de cruces prohibidos o bloqueados. En esta pantalla se selecciona los cruces que están bloqueados, es decir aquellos cruces de entradas a salidas que no se pueden realizar.

Para ello se deberá seleccionar la entrada y la salida que se desean bloquear. Esto se realizara en la siguiente pantalla de dos formas diferentes:

La primera forma se basa en conocer el número de la entrada y de la salida que se quiere bloquear su correspondiente cruce. En este caso se pulsaría el numero de la entrada y después el icono *input*, el segundo paso es pulsar el numero de la salida y después el icono *output*.

La segunda forma consiste en seleccionar la entrada y la salida mediante sus alias asociados, seleccionándolos en las cajitas de *input alias* y *output alias*. En cualquiera de los modos, un texto amarillo de información, va mostrando mensajes con los siguientes pasos a realizar para finalizar correctamente el bloqueo de cruces.

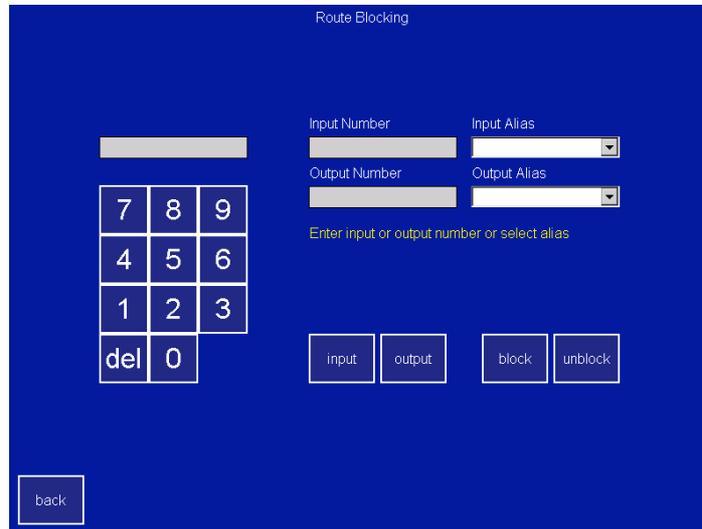


Fig. 211 Pantalla de bloqueo de cruces. Por cortesía de ETL.

Una vez que se ha escogido la entrada y la salida es cuando se mostrará si su correspondiente cruce está bloqueado o desbloqueado. En este paso, es cuando se puede desbloquear o bloquear el cruce presionando los iconos de *unblock* o *block* respectivamente.

Las cajitas de input alias y output alias están provistas de un texto marcado como *all inputs* y *all outputs*, respectivamente. Con esto se puede bloquear todos los cruces, todos los cruces de las entradas a una salida o todos los cruces de una entrada a todas las salidas.

La función de cruces bloqueados está implementada de serie en la matriz Vortex, pero no en la matriz Nigma.

- Bloqueo de salida: Pulsando el icono de bloqueo de salida, se accede a la pantalla de salidas protegidas. Esta pantalla tiene como función, proteger las salidas de cambios erróneos que pudiesen producir el corte de la señal de RF que alimenta a un receptor que se está utilizando en ese momento con fines de explotación.

Para proteger una salida se puede hacer de dos maneras:

La primera consiste en teclear el número de salida (en el caso de conocerla) mediante el teclado numérico y posteriormente presionar sobre el icono *output*.

La segunda consiste en elegir directamente la salida mediante su alias asociado, utilizando el menú desplegable que aparece cuando se presiona *output alias*. En ambos casos el texto en amarillo es informativo y va indicando mediante diferentes mensajes, los pasos que se deben realizar.

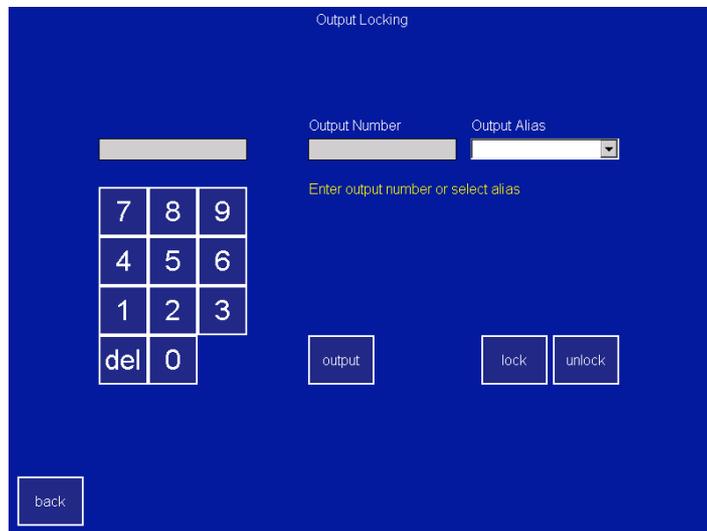


Fig. 212 Pantalla de proteccion de una salida. Por cortesía de ETL.

Una vez que se ha seleccionado la salida a proteger, esta se mostrará como protegida o como desprotegida, pudiéndose actuar sobre ella para desprotegerla o para protegerla mediante los iconos de *unlock* y *lock*.

Existe la posibilidad de proteger o desproteger todas las salidas a la vez, seleccionando en la cajita de *output alias* el texto *all outputs*.

La función de salida protegida está implementada en la matriz Vortex, pero no en la matriz Nigma.

- Inicializar rutas: Esta función se suele utilizar cuando se produce una pérdida de comunicaciones entre las CPUs y las tarjetas de RF. Produce un reseteo de los cruces y permite iniciar de nuevo el proceso de comunicaciones entre las CPUs y las tarjetas de RF.

El sistema se queda configurado de la siguiente forma: todos los cruces existentes son eliminados de tal forma que todas las salidas son terminadas, y todos los cruces internos son desconectados.

- Reset a parámetros de fábrica: Pulsando este icono se produce un reseteo de la matriz a los parámetros por defecto de fábrica. Esta acción solo debe ser tomada como un último recurso y posteriormente a haber realizado la pertinente consulta con ETL.

Esta forma de resetear la matriz es bastante más radical que el método visto anteriormente, sin embargo comparte algunas similitudes con la anterior y es que deja configurados los cruces de la misma forma que cuando se presiona el icono de inicializar cruces.

- **Log:** El icono log muestra una pantalla de registro de las últimas 500 operaciones realizadas desde el panel HMI. El registro se comienza a llenar desde el momento en que se arranca la matriz y lógicamente cuando se llegue al máximo de la capacidad del registro se eliminarán las operaciones más antiguas para ofrecer espacio en el registro, a las últimas operaciones realizadas. Si la matriz se reinicia por alguna circunstancia el registro es borrado completamente y comenzará de nuevo a llenarse con las operaciones que se realicen a través del HMI.
- **Usuarios:** Presionando el icono de usuarios, se accede a la pantalla de gestión de los diferentes usuarios y sus contraseñas. Esta pantalla está constituida a su vez de dos pantallas excluyentes.

La primera pantalla tan solo aparece en el caso de que aun no se haya habilitado el control de acceso a la matriz. Esta pantalla tan sólo posee un icono que permite habilitar el control de acceso. En este caso, no se presentará la pantalla de gestión de los usuarios, hasta que no se pulse el icono que habilita el control de acceso. Una vez que se haya habilitado y se haya definido los usuarios y administrador del sistema, esta primera pantalla será omitida en adelante cuando se pulse el icono de usuarios.

La segunda pantalla es la pantalla propia de gestión de los usuarios de la matriz. En ella se puede definir la clave de autenticación del administrador, y las claves de autenticación de cada uno de los 9 usuarios. En el caso de que un usuario posea una clave de autenticación en blanco, el sistema entenderá que ese usuario no está dado de alta para el manejo de la matriz.

Para cambiar la contraseña del administrador, tan solo se deberá introducir la nueva contraseña y pulsar en el icono *set admin*.

Para asignar una contraseña a cada uno de los 9 usuarios, primeramente se debe seleccionar el número del usuario que se desea gestionar. Una vez que se ha escogido el usuario, se puede asignar un nombre para dicho usuario y su contraseña, mediante el teclado alfanumérico que aparece en la pantalla. Para establecer el nuevo nombre del usuario y su contraseña con el número de usuario seleccionado se pulsará en el icono *set user*.

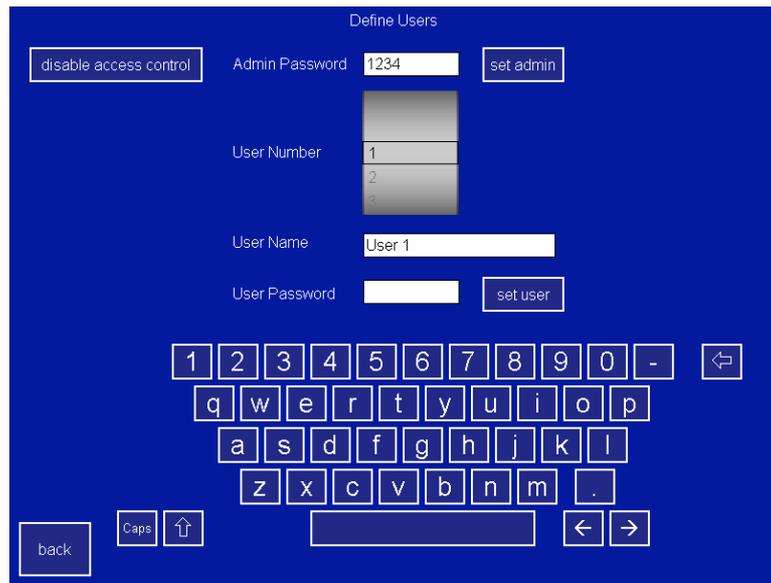


Fig. 213 Pantalla de gestión de usuarios. Por cortesía de ETL.

- Hora y fecha: El icono de fecha y hora permiten configurar la fecha y hora de la matriz, las cuales son necesarias para un correcto seguimiento del registro del HMI y para diagnosticar posibles operaciones que hayan podido desencadenar un fallo en el sistema.

Para ajustar la fecha se presiona sobre la flecha de la cajita *date*. Para ajustar la hora se seleccionará la hora, minutos o segundos y se procederá a variar sus valores mediante las dos flechas adyacentes.
- Calibrar HMI: El icono de calibración del HMI, permite calibrar la pantalla del HMI. Durante el proceso de testeo de la matriz se realiza una calibración de la pantalla, con lo cual no es necesario realizar dicha calibración, salvo en circunstancias extraordinarias como puede ser una pérdida de los parámetros almacenados durante la primera calibración o el reemplazamiento del HMI.
- Actualizar HMI: El firmware de funcionamiento del HMI puede ser actualizado a versiones posteriores más depuradas, cargando el software proporcionado por ETL en un dispositivo del lápiz USB e insertando este en el puerto USB del HMI.
- Mostrar versiones: Presionando el icono se accede a la pantalla de información del software y firmware instalado y que se está ejecutando en los microcontroladores de los diferentes módulos de la matriz.

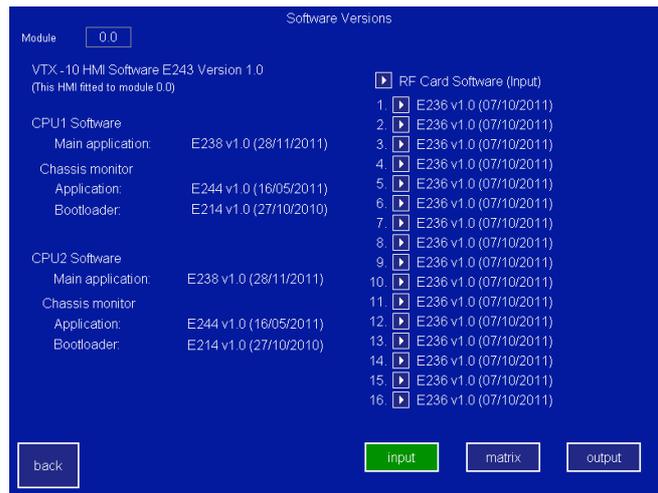


Fig. 214 Pantalla de software instalado en la matriz. Por cortesía de ETL.

En la parte izquierda de esta pantalla se ofrece la información relativa al panel HMI y a las dos CPUs. En la parte derecha se presenta la información relativa a las tarjetas de entrada, de cruce y de salida. Para ello se necesita pulsar el icono relativo a las tarjetas de las que se desea información: entrada, cruce, salida. Una vez que se presiona sobre dicho icono, aparece la información compactada perteneciente a las tarjetas del mismo tipo. Para expandir la información de cada una de las tarjetas se debe pulsar sobre la flecha asociada a cada una de ellas.

- Ingeniería: Esta función es sólo utilizada en fabrica para testeo de la matriz y configuración de la misma.

RF Parameters					
Capacity	64 inputs x 64 outputs				
Routing	Distributive, non-blocking		Any input can be connected to any number of outputs		
Frequency Range	850-2150 MHz (L-band)				
RF Connectors	50Ω SMA	50Ω BNC	75Ω BNC	75Ω F-type	
Unity Gain Setting					
Gain (mean across band)	0±2.0 dB	0±2.5 dB	0±2.75 dB	0±3.0 dB	
Gain Flatness	850 –2150 MHz	±2.5 dB	±2.5 dB	±2.75 dB	±3.0 dB
	Any 60 MHz	±0.75 dB	±0.75 dB	±0.75 dB	±0.85 dB
Gain Tracking	±2.0 dB	±2.0 dB	±2.5 dB	±2.85 dB	
Full Gain Range					
Max Gain $G_{max}$	5.0±1.5 dB	5.0±1.5 dB	5.0±2 dB	5.0±2 dB	
Min Gain $G_{min}$	0±1.5 dB	0±1.5 dB	0±2 dB	0±2 dB	
Gain Flatness (any gain setting over -15-+15dB)	850 –2150 MHz	±3.0 dB	±3.0 dB	±3.25 dB	±3.5 dB
	Any 60 MHz	±0.7 dB	±0.8 dB	±0.85 dB	±1.0 dB
Gain Steps	0.25 dB monotonous				
1dB Compression	≥0 dBm (typically 3.5 dBm)		output power and at unity gain setting		
Noise Figure	25 dB typical		28 dB worst case		
Input Return Loss	18 dB typ	16 dB typ	14 dB typ	12 dB typ	
	14 dB min	12 dB min	10 dB min	8 dB min	
Output Return Loss	18 dB typ	16 dB typ	14 dB typ	12 dB typ	
	12 dB min	12 dB min	10 dB min	8 dB min	
IP3	≥+ 10 dBm				
IP2	≥+ 20 dBm				
Isolation	I/P - O/P	60 dB	Typically ≥60 dB, worst case ≥ 55dB		
	I/P - I/P	≥ 60 dB			
	O/P - O/P	≥ 60 dB			
Group Delay	≤ 2.0 ns	Pk-pk, any 60MHz segment			
Input Levels	-70 dBm to -5 dBm		All parameters apply		
Switching time	≤ 100 ms TBC	From when command received by interface until connection is made			

Environmental		
Operating temperature	0 to 35°C	
Location	Indoor use only	
Storage temperature	-20°C to +75°C	
Humidity	85% non-condensing	

Power		
AC Power	85-264Vac 47-63Hz	Fused 10A via IEC C14 inlets
Rated Load	Maximum demand 650W (each inlet)	Max total load
LNB Power	None	
PSU	Dual redundant	Either PSU is rated to power the matrix

System Control	
Local Control	Integral touch screen control panel
Remote Control	Via RS232/485 serial port or RJ45 Ethernet port. 10/100 Base T. TCP/IP and SNMP. Web browser option available
RF Monitoring	None See Model VTX-20
Display	Front panel LCD

Physical	
Dimensions	8U high x 620 mm deep
Weight	60 kg (max)
Colour	White 00-E-55 semi-gloss

Key Features	
Housed in a compact 8U high chassis	
Variable Gain	
Local & remote control	
Dual redundant power supplies	

Fig. 215 Características técnicas de la matriz Vortex 10. Por cortesía de ETL.

## **3.2 Splitters activos**

### **3.2.1 Splitters activos domésticos:**

Se presenta un splitter de la marca Global Communications que siendo más bien propio de instalaciones domesticas como pueden ser ICTs, en algunas infraestructuras de radiodifusión se pueden encontrar en algún paso intermedio de la propagación de la señal.

Su coste relativamente bajo y sus características lo hacen propicio en determinadas ocasiones. Cabe destacar del mismo que se trata de un splitter activo en el cual se incluye una circuitería activa de tal manera que compensa las pérdidas producidas en un amplio rango del espectro cuando la señal es dividida en diferentes salidas.

La posición natural del mismo es justo en el final de la cadena de recepción, previo a los receptores de satélite en donde las características del mismo que no se acerquen a los estándares de los splitters profesionales tengan el menor impacto sobre la instalación total. Estos splitters necesitan ser alimentados desde los receptores (IRDs) por dos razones:

- La circuitería activa del mismo necesita de una alimentación para funcionar. En el caso de no estar alimentado el splitter no funcionará puesto que la circuitería activa es parte del camino que recorre la señal en su propagación.
- En determinadas instalaciones los LNBS no son alimentados desde equipos específicos para este propósito. Siendo por tanto necesario el alimentarlos desde los propios receptores. El splitter en este aspecto es transparente dejando pasar la tensión continua de alimentación desde las salidas (puertos conectados a los receptores) hacia la entrada (puerto conectado a la bajante del LNB).

Todos los receptores conectados a este splitter deberán estar configurados con la misma tensión de alimentación. Un problema clásico es los LNBS que modifican la frecuencia de su oscilador local a partir de la tensión que detecta o que le suministra el usuario. En el caso de alimentar al splitter con las dos tensiones el oscilador local del LNB se conmutaría automáticamente a la frecuencia más alta, debido a que desde el splitter se dejaría pasar la tensión de 18 voltios y no la de 13 voltios. Si en ese momento se está utilizando un receptor que alimenta con 13 voltios para seleccionar la frecuencia mas bajas del splitter, automáticamente se perdería la sintonización del receptor.

En el chasis existe un tornillo que posibilita la conexión a tierra del chasis metálico (carcasa) del splitter. Con esta conexión a tierra se consiguen dos efectos positivos:

- Por un lado se crea una jaula de Faraday, minimizando el campo eléctrico que desde el exterior afecta a la circuitería del splitter y minimizando el campo eléctrico que el mismo splitter podría generar hacia el exterior. Es decir se reducen las interferencias que debido a un campo eléctrico se pueden generar hacia y desde el splitter.

La placa empleada para implementar el splitter está manufacturada por una tercera empresa de nombre Electropac. Esta placa es una placa de dos caras. En la cara frontal se implementa la circuitería, donde se sueldan todos los componentes SMD. En la cara trasera se establece un plano de tierra que se encuentra unido a la carcasa mediante las dos pestañas metálicas que se pueden apreciar en la imagen de la placa. Ambas caras de la placa están unidas física y eléctricamente a través de unos agujeros conocidos como *pads* y *vias*.

- Por otro lado, al estar alimentado el splitter cabe la posibilidad que por un cortocircuito de algún elemento con potencial hacia el chasis, pudiese crearse un circuito cerrado cuando cualquier persona tocase algún elemento de la instalación a diferente potencial, drenándose de esta manera una corriente de fuga a través de dicha persona. La conexión a tierra permite por tanto drenar la corriente de fuga hacia la tierra, en el caso de que por un cortocircuito algún elemento del interior del splitter entrase en contacto con el chasis.

El acceso al interior del splitter se realiza mediante una tapa con tornillería existente en el anverso del mismo. Estos splitters están preparados para su uso en la intemperie, y por lo tanto cualquier ranura en el mismo, susceptible de entrar polvo o agua en el interior del chasis, deberá ser sellada con silicona. Se puede observar tras abrir el splitter por su parte trasera, que la tapa que da acceso al interior del mismo está pegado al chasis mediante un sellante de tipo silicona.

Como nota adicional se ha de comentar que en este tipo de splitters es conveniente el cargar las salidas que no se están utilizando.

En la siguiente imagen se puede apreciar una instalación bastante común en la cual las cuatro polaridades de bajada de los LNBs son distribuidas a diferentes puntos de un panel de conexionado a través de cuatro splitters.

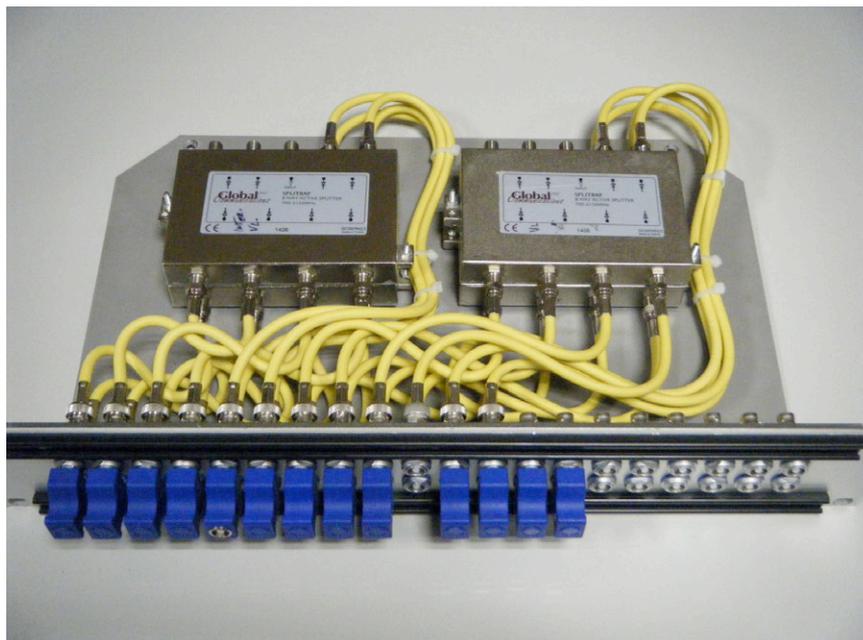


Fig. 216 Implementación de cuatro splitters para alimentar un panel con las bajantes de una parábola. Por cortesía de RTVE.

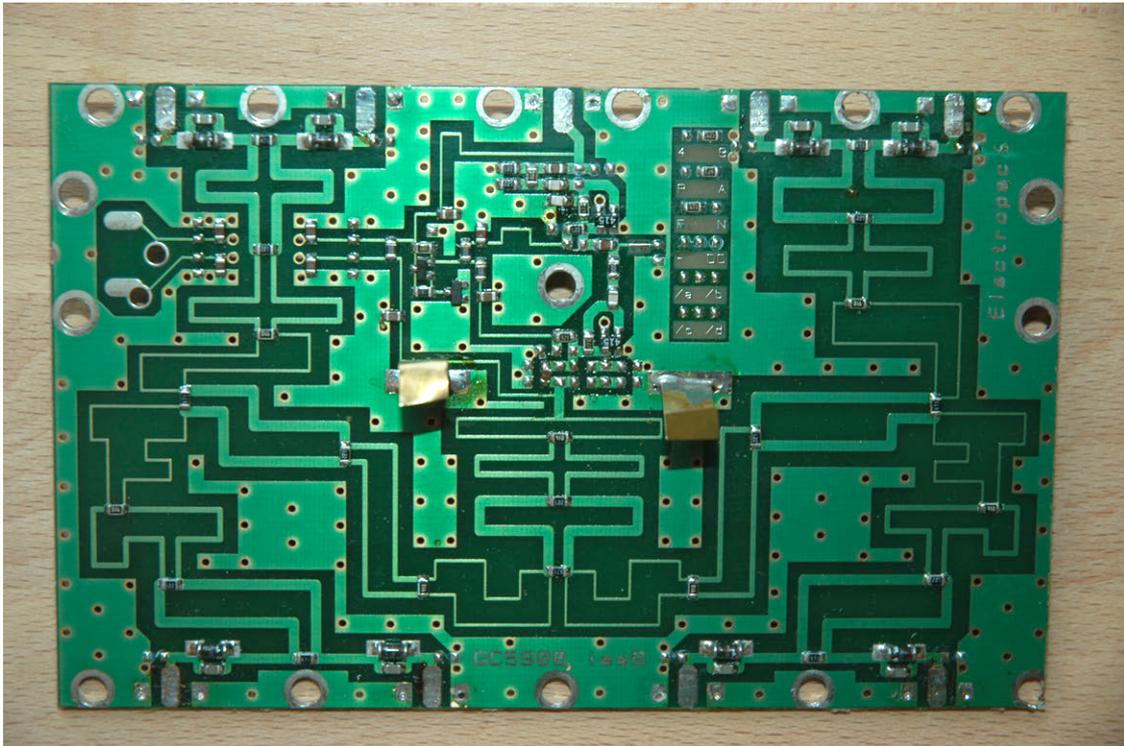


Fig. 217 Circuitería del splitter de Global Communications.

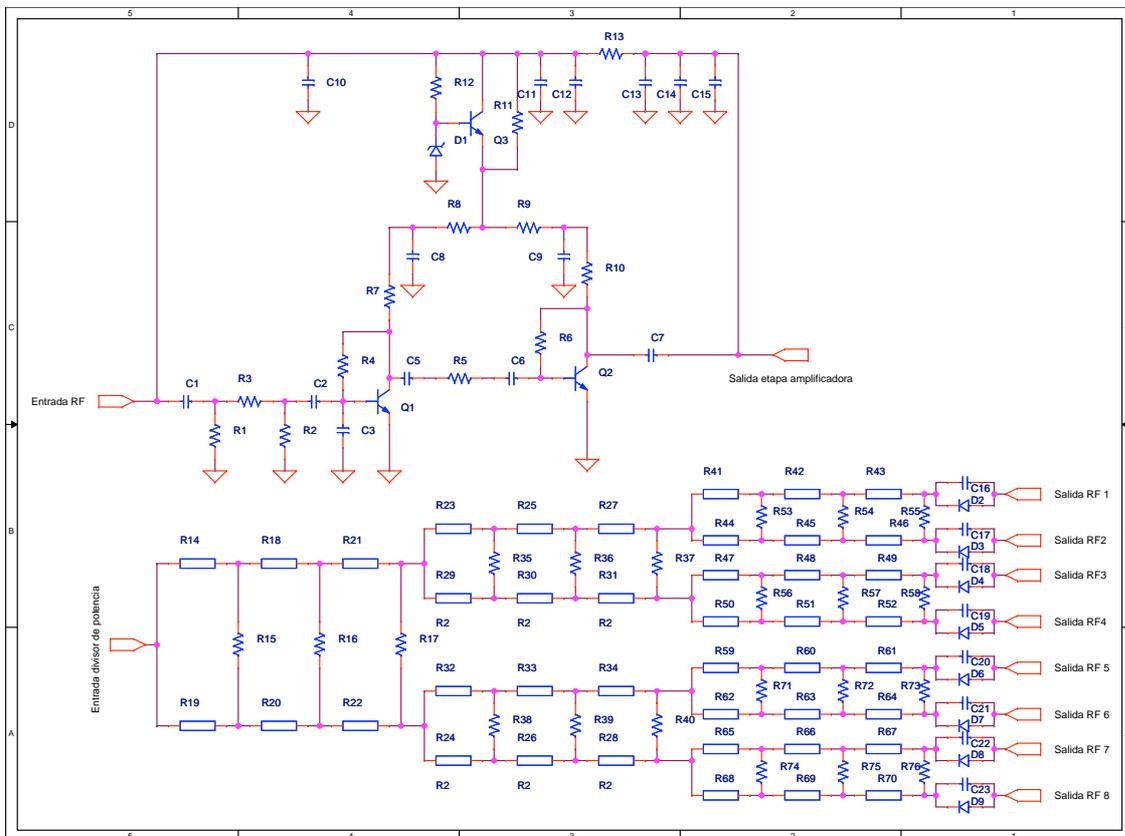


Fig. 218 Esquemático del splitter de Global Communications

Se presenta un análisis del circuito muy básico, que pretende la fácil comprensión del sistema. El esquemático empleado en dicho análisis ha sido obtenido por el autor basándose en el estudio del sistema. Es necesario matizar que el siguiente esquemático no ha sido suministrado por el fabricante debido a sus patentes, no siendo por tanto el esquema oficial. Sin embargo la fidelidad del esquema con respecto a la circuitería original es muy alta, pudiéndose diferenciar en algún elemento que no posee importancia alguna para el estudio.

Se ha decidido separar la circuitería en dos zonas para una comprensión más sencilla.

En el primer bloque se implementa por un lado la circuitería de amplificación y por otro la circuitería reguladora de tensión continua.

La circuitería de amplificación consiste en dos transistores NPN en cascada en una configuración de emisor común. Tiene como función principal amplificar la señal de RF para contrarrestar las pérdidas de potencia que se van a suceder en la siguiente etapa (circuitería pasiva del divisor de potencia).

La circuitería de regulación de tensión se implementa con un transistor NPN y un diodo zener en su base que fija la tensión de continua en el emisor. Su finalidad es estabilizar la tensión de continua que alimenta a los transistores de amplificación.

El segundo bloque está conformado por una red pasiva que va a dividir la señal de entrada en ocho salidas. Como cabe esperar al ser una red pasiva se van a producir pérdidas (la potencia de la señal de entrada se ha de dividir por igual entre el número de salidas implementadas en el splitter). Por esta razón, la primera etapa amplificadora tiene como misión amplificar la señal de entrada al splitter para contrarrestar las pérdidas que se van a producir en esta etapa.

El diseño del splitter verifica que en cada una de las salidas va a existir una copia fiel de la señal de entrada incluso con los mismos niveles de potencia.

Se presenta a continuación un estudio más exhaustivo de la circuitería.

- 1) En el primer bloque coexisten la circuitería dedicada a la regulación de la alimentación y la circuitería empleada en la amplificación de la señal de radiofrecuencia.

Se comienza por el estudio de la circuitería de alimentación, para la cual aplicando el principio de superposición se hará un estudio de la misma en continua y en alterna.

- Estudio en continua: La circuitería de alimentación está constituida por un clásico circuito regulador de tensión, conformado por un transistor bipolar (Q3) NPN polarizado en su base por un diodo zener (D1). El transistor entrega en su emisor la tensión que alimenta al resto del circuito. El valor de esta tensión se aproxima a la tensión zener menos la tensión de polarización de la unión PN existente entre la base y el emisor. **Siempre que el diodo esté polarizado en la zona zener, el emisor del transistor estará entregando la misma tensión de continua, independientemente del valor de tensión que alimente al transistor ya que es el valor del zener y la caída de potencial**

**en la unión base emisor los que fijan la tensión de alimentación de continua del resto del circuito.**

El zener empleado en la circuitería está serigrafiado con Z6 o KZ6 (dependiendo de la placa estudiada). La hoja de características de dicho zener indica que la tensión zener es de 7,5 voltios. En la unión base-emisor del transistor se produce una caída de 0,6 voltios, por lo tanto la tensión existente en el emisor respecto a masa es de 6,9 voltios.

Los receptores de satélite alimentan a los splitters con tensiones normalizadas de 18 o 13 voltios. En ambos casos la circuitería de amplificación del splitter va a estar alimentada con una tensión cercana a los 7 voltios ya que el diodo zener fija para las dos tensiones de trabajo (18 y 13 voltios) el valor de 7,5 voltios en la base del transistor. La caída de tensión en las resistencias R11 y R12 será mayor en el caso de alimentar con 18 respecto a 13 voltios, el punto de trabajo del transistor variara dependiendo de la tensión de alimentación suministrada al transistor. Pero independientemente de la tensión de alimentación, en ambos casos el transistor estará polarizado en la zona activa y suministrará al circuito la tensión de 6,9 voltios.

El diodo zener es el componente clave en esta parte del circuito, ya que la tensión del emisor de Q3 depende directamente de si el diodo zener está efectivamente polarizado en la zona zener. Para que el diodo D1 esté polarizado en su zona zener se deben verificar dos condiciones: La primera condición es que la tensión en sus bornas sea superior a la tensión zener y la segunda condición es que por el zener fluya la corriente mínima que necesita el diodo para polarizarse en su zona zener. Para comprobar si el diodo está efectivamente polarizado en la zona zener se puede hacer un cálculo sencillo: se puede suponer que el diodo está polarizado en la zona zener y comprobar si efectivamente tras polarizarse en esta zona, el circuito es capaz de entregar al diodo la corriente mínima que necesita para estar polarizado. En el circuito se supondrá que la tensión de alimentación es de 13 voltios, puesto que es el caso más desfavorable y también se supondrá que el transistor Q3 está polarizado en su zona activa. En el caso de estar polarizado en la zona zener para la tensión de 13 voltios, cabe esperar que para una tensión de 18 voltios también lo esté, siendo la única diferencia el aumento de corriente que drena el diodo (se ha de recordar que los diodos zener presentan unas curvas de trabajo en las cuales una vez se han polarizado en la zona zener el diodo no presenta un cambio en la tensión en sus bornas pese a que se presente un incremento en la corriente que por él circula).

En la hoja de características se puede leer que la corriente de codo mínima es de 1 miliamperio. Esta corriente de codo, fija la corriente mínima a partir de la cual el diodo comienza a estar polarizado en la zona zener. En la gráfica se puede ver este punto en la zona de avalancha del diodo, como el punto situado en el codo de la gráfica a partir del

cual la tensión del zener permanece constante aunque aumente la corriente que por él se drena.

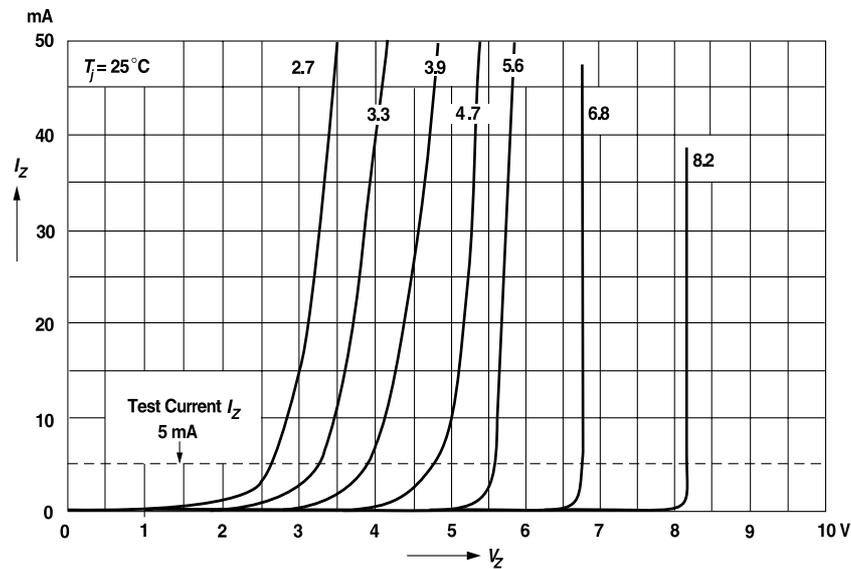


Fig. 219 Curvas de la zona de avalancha de la familia de los diodos zener.

Suponiendo que el diodo está en la zona zener, la diferencia de potencial en bornas de  $R_{12}$  será de 5,5 voltios (13V-7,5V) si esta diferencia de potencial se divide entre el valor de  $R_{12}$  se obtiene una corriente  $I_{R_{12}}$  de 3 miliamperios. Esta corriente se desdoblará en la corriente que circula por la base del transistor y la corriente que es drenada por el zener. Suponiendo el transistor Q3 en la zona activa cabe esperar que la corriente de la base sea del orden de los microamperios, resultando entonces que la corriente que se drena hacia el zener posea un valor superior a 1 miliamperio siendo capaz de polarizar al zener en la zona de avalancha.

Para calcular la tensión mínima que se debe proveer al circuito para que el zener se polarice, se puede forzar el caso extremo en el que la corriente  $I_{R_{12}}$  fuese igual a 1 miliamperio. Con esta condición la tensión mínima es del orden de los 9,5 voltios.

Ademas el diodo zener tiene una restricción en potencia por la cual se podría destruir el componente por exceso de calor. En la hoja de características se afirma que la potencia máxima que es capaz de soportar es de unos 300 miliwatios. Si el zener fija una tensión de 7,5 voltios se puede calcular la corriente máxima dividiendo la potencia entre la tensión, con lo que se obtiene una corriente máxima de 40 miliamperios

En el párrafo anterior se ha confirmado que efectivamente el diodo zener se encuentra polarizado en la región zener para ambas tensiones de alimentación más usuales en los receptores de satélite. A continuación se va a razonar la región de trabajo del transistor Q3, sabiendo que el diodo zener se encuentra polarizado en la zona zener.

Una de las formas de conocer la zona de trabajo del transistor es comprobando las uniones PN existentes en el transistor. En el transistor NPN existen dos uniones PN: la unión base-colector y la unión base-emisor. Si ambas uniones están polarizadas en inversa, se dirá que el transistor se encuentra polarizado en la zona de corte. Si ambas uniones están polarizadas en directa se dirá que el transistor se encuentra polarizado en la zona de saturación. Si la unión base-emisor esta polarizada en directa y la unión base-colector se encuentra polarizada en inversa el transistor se encuentra trabajando en su zona activa.

En el circuito se puede observar que el colector del mismo esta unido directamente a la tensión de alimentación, mientras que la base está unida directamente al zener. Sabiendo que el zener se encuentra polarizado en la zona zener y establece una diferencia de potencial respecto a masa de 7,5 voltios parece lógico pensar que efectivamente la unión base-emisor va a estar polarizada en directa. Produciéndose una caída en tensión de 0,6 voltios en la unión y resultando una diferencia de potencial entre el emisor y masa de 6,9 voltios. La unión base-emisor está polarizado en directa, y por lo tanto se puede descartar la zona de corte como zona de trabajo. El siguiente paso es discernir si se encuentra en la zona activa o en la zona de saturación.

En la unión PN base-colector se puede encontrar una tensión de 7,5 voltios en la base y una tensión de 13 o 18 voltios en el colector. Esta unión PN no se llega a polarizar debido a que la diferencia de potencial base-colector es negativa. Se puede afirmar que la unión PN está polarizado en inversa, luego el transistor está trabajando en la zona activa. La diferencia de potencial colector-emisor será de 11,1 voltios o de 6,1 voltios, dependiendo de la tensión de alimentación (18 voltios o 13 voltios).

Como nota al margen se comentara que el límite entre la zona activa y la zona de saturación se producirá cuando la unión PN base-colector se polarice en directa o dicho de otra forma, cuando la tensión en el colector se reduzca hasta un valor que posibilite la polarización de la unión. Como norma general las uniones PN presentan unas caídas de 0,6-0,7 voltios, por consiguiente, una tensión de colector de unos 6,9 voltios polarizaría la unión en directa y la zona de trabajo sería la de saturación. En el caso de medir la diferencia de potencial colector-emisor, el resultado sería una diferencia de potencial que tiende a cero. Aunque generalmente en los libros de electrónica se suele imponer que en la zona de saturación la diferencia de potencial colector-emisor es de unos 0,2 voltios o menor no hay que extrañarse si esta diferencia de potencial resulta un número que tiende a cero.

Se concluye que el transistor Q3 se encuentra funcionando en la región activa.

- o Estudio en alterna: El estudio de la circuitería para una señal de alterna es bastante sencillo. Los componentes sensibles a la señal variable en el tiempo son los condensadores. En el esquemático se puede observar que cumplen una función de filtrado de la señal alterna. La reactancia de un condensador es proporcional a  $(\omega \cdot C)^{-1}$ , es

decir la reactancia disminuye según se incrementa la frecuencia: para tensiones de continua el condensador se comporta como un circuito abierto, y para tensiones con componentes de alta frecuencia se comporta como un cortocircuito.

Cualquier señal con componente de RF será filtrada hacia la masa del circuito, limpiando esta parte de la circuitería de cualquier señal de RF y permitiendo tan sólo la existencia de señales con componente única de continua. **Las señales de RF que se inyectan a través de la entrada del splitter no cruzan el mismo a través de la circuitería de alimentación.**

El siguiente estudio a realizar es la parte de la circuitería encargada de la amplificación de la señal de RF, en este caso el estudio se vuelve un poco más complicado y para ello se vuelve a aplicar el principio de superposición.

Esta parte de la circuitería tiene dos funciones principalmente, filtraje paso banda de la señal y una posterior amplificación. De esta manera las primeras resistencias y condensadores que se aprecian a la entrada de RF se van a encargar de limitar el ancho de banda que se ha de amplificar, mientras que los dos transistores bipolares en cascada van a conformar un amplificador en dos etapas.

- Estudio en continua: Como se podrá observar a lo largo de la siguiente página, el estudio del punto de trabajo en continua de los transistores del circuito va a ser de una importancia crucial. Tanto que al estudio y comprensión del mismo, se le va a dedicar la gran parte del estudio de esta zona de la circuitería.

El punto de trabajo en continua y el circuito de polarización presentados a continuación son de vital importancia. Por desgracia en determinados casos el estudio e implementación que se hace de las diferentes redes de polarización manifiestan cierta liviandad y desazón a la hora de calcularlas. Como consecuencia, los puntos de trabajo en continua no serán estables e independientes de determinados parámetros y podrán arruinar un buen diseño en otros aspectos de la circuitería. No es de extrañar que sobre todo en circuitos de radiofrecuencia, parámetros como la ganancia y la figura de ruido no sean óptimos debido a una red de polarización no ajustada a los propósitos requeridos.

En la topología empleada en el circuito se pueden observar dos características bastante interesantes:

- 1) Es una topología en emisor común, la cual se utiliza generalmente para amplificar la tensión de entrada al transistor. El transistor estará funcionando como un amplificador de la señal de entrada cuando su punto de trabajo esté situado en la zona activa.

- 2) Una resistencia que une el colector con la base y que realimenta negativamente al colector con la base. Esta última característica es crucial para mantener el punto de trabajo de continua y más concretamente la corriente de colector estable ante posibles cambios en la temperatura que podrían provocar cambios en parámetros que afectan directamente a la corriente de colector, como pueden ser: la tensión de la unión base-emisor y en la variación que sobre el parámetro  $\beta$  se produce debido a un aumento de la temperatura.

Al efecto sobre el parámetro  $\beta$  de la temperatura, se le debe sumar que a la hora de la fabricación de los transistores, el parámetro  $\beta$  puede variar por diferentes razones. En la hoja de características del transistor se puede ver que si bien la  $\beta$  típica es de 150, debido a los efectos inherentes en la fabricación un amplio margen de valores de  $\beta$  se pueden producir. Lógicamente cuando se implementa el circuito no se conoce a priori la  $\beta$  del transistor que lo implementará, y por tanto el diseño del circuito tiene que minimizar en la medida de lo posible la dependencia de este parámetro para el propósito con el que fue diseñado el circuito. Es decir un transistor no puede estar saturado si se ha calculado para trabajar en la zona activa por efecto del parámetro  $\beta$ . Por si estos efectos citados fuesen poco, además se produce un efecto con el que se conviene contar y es que el valor de la  $\beta$  del transistor varía según la corriente del colector, agravándose aun más si cabe el problema.

Es por tanto lógico pensar que un buen diseño de la red de polarización va a conseguir fijar el punto de trabajo en continua independientemente del valor de  $\beta$  y por consiguiente no va a provocar que varíe la corriente de colector ni el punto de trabajo en continua del transistor.

El funcionamiento de la circuitería de realimentación es muy sencillo, y con ello se podrá comprender perfectamente los beneficios que sobre el punto de trabajo se consiguen con la realimentación negativa.

La corriente de base viene fijada por la tensión del colector y por la propia resistencia de base. Un aumento en la  $\beta$  va a propiciar que la corriente de colector se incremente. Al aumentar la corriente del colector, se produce una mayor caída de potencial en la resistencia del colector (puesto que por esta resistencia circula la corriente del colector más la corriente de la base). Al aumentar la caída de potencial en la resistencia del colector, se produce una disminución en la tensión colector, y al disminuir esta tensión se produce también una disminución en la corriente de base. Por tanto si  $\beta$  aumenta la corriente de la base disminuye y por tanto la corriente del colector también tenderá a disminuir, compensándose en el circuito el aumento del valor de  $\beta$  con la disminución de la corriente de la base.

Si  $\beta$  disminuye sucede lo contrario, la corriente del colector es menor, la caída de potencial en la resistencia del colector es menor, la tensión colector es mayor y por

tanto la corriente de base se hace mayor, compensando un valor de  $\beta$  bajo con una corriente de base alta.

La realimentación se produce debido a que el valor de la tensión colector puede variar y como la resistencia de base está directamente unida al colector, cualquier variación en esta tensión va a producir una variación en la corriente de base y esta a su vez en la corriente del colector.

Es un círculo cerrado, la desviación en uno de los parámetros va a originar que varíen el resto de los parámetros para tratar de compensar esta desviación. Con el término negativa se enfatiza el efecto de la compensación, es decir si se incrementa la corriente del colector, la corriente de la base va a disminuir para tratar de compensar el aumento de la corriente de colector y viceversa. Si algún parámetro aumenta otros parámetros disminuirán, y si algún parámetro disminuye otros parámetros aumentarán con el fin de compensar estas variaciones.

A continuación se mostrarán las ecuaciones con las cuales se podrá observar como se relacionan las corrientes y tensiones entre si y de esta manera comprender como funciona la realimentación negativa.

$$\begin{aligned}V_{CE} &= V_{CC} - (I_C + I_B) \cdot R_C \\I_B &= \frac{V_{CE} - V_{BE}}{R_B} \\I_C &= \beta \cdot I_B\end{aligned}$$

La red de polarización utilizada en el circuito es una red bastante común en sistemas de radiofrecuencia sencillos, ya que mediante la implementación de muy pocos elementos (un transistor y dos resistencias) se consigue una estabilidad considerable del punto de trabajo.

Esta red de polarización aun presenta problemas para el control del parámetro  $\beta$ . Tanto en la explicación del funcionamiento de la circuitería de polarización, como en las ecuaciones obtenidas, el parámetro  $\beta$  está siempre presente y por tanto los valores de las tensiones y corrientes en la circuitería van a depender de este parámetro. Es tan sólo gracias a la realimentación negativa que se compensa en gran medida las variaciones que sufre el circuito debido a los valores de  $\beta$ . Este circuito pertenece a la familia de los circuitos de polarización de base, en los cuales una resistencia en serie con la base fija la corriente de base como si de un generador de corriente se tratase. Al fijarse la corriente de base, la corriente de colector y la corriente de emisor dependerán de  $\beta$ . Los circuitos que fijan una tensión de continua en la base y eliminan la resistencia de base para añadir una resistencia en el emisor pertenecen a la familia de los circuitos de polarización de emisor. En estos circuitos, la corriente de emisor se fija a partir de la tensión de emisor (la tensión de continua que polariza la base menos la caída de potencial en la unión PN de la base-emisor) y de la

resistencia del emisor, consiguiendo una independencia respecto al parámetro  $\beta$ . La corriente del emisor es fija y depende sólo de la tensión en el emisor, siendo independiente de la corriente de base y del valor de  $\beta$  (la corriente del colector también será independiente de  $\beta$ ). Sin embargo, los circuitos de polarización de emisor presentan un problema en altas frecuencias, y es que para obtener una considerable ganancia y una buena figura de ruido, la resistencia del emisor se debe colocar en paralelo con un condensador que desacople la señal de alterna. El valor del condensador debe estar muy bien elegido, una mala elección del mismo, podría volver a la etapa amplificadora inestable y comenzaría a oscilar.

Por último comentar que el circuito de polarización presentado posee un control sobre otros parámetros (variación por temperatura de la caída de potencial en la unión base-emisor, las corrientes inversas que se originan en la unión base-colector) excepcionalmente bueno comparado con otras redes de polarización más complejas.

Para calcular el punto de trabajo del transistor tan sólo es necesario conocer la tensión colector-emisor y la corriente que circula por el colector. En el siguiente estudio se omitirán las resistencias R8 y R9 dado que lo único que implementan son puentes de 0 ohmios.

Para el transistor Q1 el circuito que se estudia es el conformado por los siguientes elementos: R7 (220 ohmios, resistencia de colector), R4 (27Kohmios, resistencia de base) y Q1. Se sabe que la tensión que le llega a R8 de la salida de Q3 es igual a 6,9 voltios y también se sabe ya que se ha medido con un multímetro que la tensión colector-emisor es de 3,8 voltios (el emisor está unido a masa y su tensión es de 0 voltios). Para conocer la corriente que recorre el colector tan sólo hay que resolver la ecuación del nudo formado por R7, R4 y Q1.

La diferencia de tensión en bornas de R7 es de 3,1 voltios, si se divide entre el valor de R7 se obtiene una corriente de 14,1 miliamperios. Según las leyes de Kirchoff, esta corriente se desdoblará en la corriente que circula por el colector y la corriente que circula por R4 (la base), por lo tanto si a la corriente que circula por R7 se le resta la corriente que circula por R4 el resto se puede decir que es toda corriente que circula por el colector.

La diferencia de tensión en bornas de R4 es de 3,1 voltios (3,8 voltios-0,7 voltios, el emisor del transistor está puesto a masa, y como el transistor está polarizado en la zona activa, la unión base-emisor fija una tensión de 0,7 voltios superior en la base con respecto al emisor), si se divide entre el valor de R4 se obtiene una corriente de 0,15 mA. Con lo que la corriente que circula por el colector es de 13,95 mA.

$$I_{R7} = \frac{6,9V - 3,8V}{220\Omega} = 14,1mA;$$

$$I_{R4} = I_B = \frac{3,8V - 0,7V}{27K\Omega} = 0,15mA;$$

$$I_{R7} = I_C + I_{R4} \Leftrightarrow I_C = I_{R7} - I_{R4} = 14,1mA - 0,15mA = 13,95mA$$

$$(V_{CE}; I_C) = 3,8V; 13,95mA$$

Para el transistor Q2 el procedimiento es exactamente el mismo. Los elementos son ahora R10 (120 ohmios, resistencia de colector), R6 (27Kohmios, resistencia de base) y Q2. La tensión que llega a R8 es de 6,9 voltios y la tensión colector-emisor de Q2 medida con multímetro es de 5 voltios

$$I_{R10} = \frac{6,9V - 5V}{120\Omega} = 15,8mA;$$

$$I_{R6} = I_B = \frac{5V - 0,7V}{27K\Omega} = 0,16mA;$$

$$I_{R10} = I_C + I_{R6} \Leftrightarrow I_C = I_{R10} - I_{R6} = 15,8mA - 0,16mA = 15,64mA$$

$$(V_{CE}; I_C) = 5V; 15,64mA$$

Una vez obtenido el punto de trabajo, se ha de comprobar con la malla de salida formada por el colector y el emisor del transistor si el punto de trabajo hallado y por consiguiente la suposición inicial son correctos. En el caso de forzar la malla de salida con la corriente  $I_c$  calculada y la tensión  $V_{CE}$  se diese la situación de que la ecuación no se verifica, la suposición inicial y el punto de trabajo serian incorrectos.

En el circuito estudiado la comprobación seria resolver la malla que parte del emisor del transistor Q3 y recorre R8, R7 y la tensión colector emisor de Q1. Y por otro lado la malla que parte del emisor de Q3 y recorre R9, R10 y la tensión colector emisor de Q2.

$$V_{E_{Q3}} - I_{R7} \cdot R_8 - I_{R7} \cdot R_7 - V_{CE_{Q1}} = 0 \xleftarrow{R_8=0} V_{E_{Q3}} - I_{R7} \cdot R_7 - V_{CE_{Q1}} = 0;$$

$$V_{E_{Q3}} - I_{R10} \cdot R_9 - I_{R10} \cdot R_{10} - V_{CE_{Q2}} = 0 \xleftarrow{R_9=0} V_{E_{Q3}} - I_{R10} \cdot R_{10} - V_{CE_{Q2}} = 0;$$

$$I_{R7} = I_{C_{Q1}} + I_{R4};$$

$$I_{R10} = I_{C_{Q2}} + I_{R6};$$

Como cabe esperar, no es necesario comprobar las ecuaciones de las mallas de salida.

Se puede concluir a raíz de los resultados que ambos transistores están polarizados en la zona activa y por consiguiente ambos transistores están amplificando la señal de entrada.

- Estudio en alterna: El estudio de alterna va a ser un estudio muy sencillo del filtraje paso alto y paso banda que realizan los diferentes condensadores en esta parte del circuito. Para ello y previamente se va a definir los condensadores de acoplo y desacoplo.

Se llaman condensadores de acoplo a aquellos condensadores que tienen como función acoplar una señal alterna entre dos partes del circuito, uniéndose los dos elementos a acoplar del circuito mediante el uso del condensador. El acoplo se produce para señales de alterna, debido a que el condensador presenta una impedancia muy baja para ellas.

Se llaman condensadores de desacoplo a aquellos condensadores cuya función es desacoplar una señal de alterna en una parte del circuito. Es decir se separan dos elementos del circuito virtualmente para las señales de alterna utilizando la reactancia de los condensadores en función de la frecuencia. Las señales de alterna viajarán por el condensador de desacoplo debido a que el condensador muestra una impedancia muy baja para estas señales respecto al elemento a desacoplar, haciendo que de esta manera la señal viaje por el condensador de desacoplo en lugar de por el componente del que se pretende desacoplar la señal.

El valor de la capacidad de estos condensadores de acoplo y desacoplo será tal que para la banda de frecuencias manejadas la reactancia del mismo sea equivalente a un cortocircuito.

El condensador C1 presenta un circuito abierto para la señal de continua, bloqueando de esta manera cualquier tensión de continua que se pudiese introducir desde el exterior del splitter o desde la propia circuitería de alimentación que llega hasta la entrada para suministrar tensión de continua al LNB. Este condensador forma junto al resto de elementos de esta primera etapa un filtro paso alto.

El condensador C2 es un condensador de acoplo que bloquea la tensión de continua para que esta no pueda pasar al transistor y ser por tanto amplificado por el mismo. Este condensador permite por otro lado el paso de la señal de RF. El condensador C3 forma junto al condensador C2 un filtro paso banda, filtrando el espectro que posteriormente será amplificado por el transistor.

El filtro paso banda tiene como virtudes, el eliminar parte del espectro no necesario, eliminando así parte del ruido, permitiendo tener un ancho de banda de amplificación más pequeño, con lo cual se optimiza y “afina” la amplificación del transistor para el ancho de banda óptimo para el que fue diseñado.

El condensador C5 es un condensador de acoplo, el cual permite el paso de la señal de RF y bloquea la componente de continua, evitando que esta se propague a las siguientes etapas.

El condensador C6 vuelve a ser un condensador de acoplo, que deja pasar la señal de RF y bloquea la componente de continua. El condensador C7 es de nuevo un condensador de acoplo que filtra la continua, bloqueándola y permitiendo el paso de la señal RF, evitando de esta manera el paso de señal continua a la etapa divisora.

Los condensadores C8 y C9, son los últimos condensadores encargados de filtrar cualquier componente de RF presente en la alimentación de los transistores Q1 y Q2. Estos condensadores son como un circuito abierto para la tensión de continua y un cortocircuito para las señales de RF. En el caso de que existiese algún residuo de RF en la circuitería de alimentación esta sería derivada a masa a través de estos condensadores.

A continuación se incluye el modelo en pequeña señal de la parte de la circuitería comprendido entre el condensador C2 y el condensador C7. Para obtener el circuito en pequeña señal se ha hecho algunas simplificaciones. Las resistencias R5, R8 y R9 no se han incluido en el circuito puesto que son puentes de 0 ohmios. La tensión Vcc que alimenta a los dos transistores se ha tomado en el nudo que une el emisor de Q3 con las resistencias R8 y R9. El condensador C3 se ha optado por descartarlo.

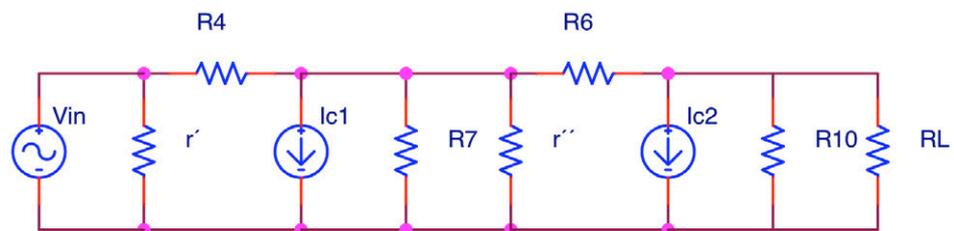


Fig. 220 Modelo en pequeña señal de la circuitería amplificadora

El modelo del transistor utilizado es un modelo en  $\pi$ , en el cual se modela el comportamiento de la unión base-emisor para señales alternas como una resistencia dinámica (el valor de la resistencia varía según varía la corriente del emisor) y la unión base-colector como una fuente de corriente. La resistencia dinámica se obtendrá a partir de la corriente del emisor, la cual proviene a su vez de la suma de la corriente del colector más la corriente de la base de cada uno de los transistores. Estas corrientes calculadas anteriormente coinciden con las corrientes que circulan por R7 y por R10 respectivamente.

$$r' = Z_{inQ1} = \beta_1 \cdot r_e' \quad a \quad r_e' = \frac{v_{be}}{i_e} \approx \frac{25mV}{I_{E1}} \quad a \quad r' \approx 150 \cdot \frac{25mV}{14,1mA} = 265\Omega$$

$$r'' = Z_{inQ2} = \beta_2 \cdot r_e'' \quad a \quad r_e'' = \frac{v_{be}}{i_e} \approx \frac{25mV}{I_{E2}} \quad a \quad r'' \approx 150 \cdot \frac{25mV}{15,64mA} = 240\Omega$$

Comentar que el modelo en pequeña señal es un modelo del transistor utilizado en electrónica para obtener diferentes parámetros de funcionamiento del transistor en pequeña señal de una forma más sencilla mediante la simplificación del comportamiento real del transistor. El modelo presentado es un modelo que se suele emplear para un rango de frecuencias medias o como un primer modelo o aproximación para realizar una

estimación de diferentes parámetros. Existen modelos más complejos que incluyen más parámetros con los que se aproxima aun más al funcionamiento real de un transistor. Estos modelos más complejos se utilizan en circuitos de alta frecuencia o para obtener una mayor precisión en la estimación del funcionamiento real del transistor, sin embargo el coste a la hora de calcular los diferentes parámetros los hacen inviables en aquellos casos en los que se necesita una aproximación rápida.

De cualquier forma el modelo presentado anteriormente es una simplificación bastante acertada que permite calcular en una primera instancia parámetros como ganancia, impedancia de entrada e impedancia de salida en el circuito presentado, aun siendo circuitos de alta frecuencia. Dichos parámetros pueden ser calculados por el lector a partir del modelo simplificado expuesto, teniendo en cuenta que el valor de  $R_L$  es 75 ohmios.

Los transistores implementados en esta parte de la circuitería son manufacturados por Agilent Technologies y por Avago Technologies, siendo ambas filiales electrónicas de Hewlett Packard. El modelo del transistor es el AT-41511 del cual se puede encontrar más información y su correspondiente hoja de características en el siguiente enlace:

[http://www.avagotech.com/pages/en/rf\\_microwave/transistors/silicon\\_bipolar/at-41511/](http://www.avagotech.com/pages/en/rf_microwave/transistors/silicon_bipolar/at-41511/)

AT-41511, AT-41533 Absolute Maximum Ratings			
Symbol	Parameter	Units	Absolute Maximum <sup>(1)</sup>
$V_{EBO}$	Emitter-Base Voltage	V	1.5
$V_{CBO}$	Collector-Base Voltage	V	20
$V_{CEO}$	Collector-Emitter Voltage	V	12
$I_C$	Collector Current	mA	50
$P_T$	Power Dissipation <sup>(2,3)</sup>	mW	225
$T_J$	Junction Temperature	°C	150
$T_{STG}$	Storage Temperature	°C	-65 to 150

**Thermal Resistance:<sup>(2)</sup>**  
 $\theta_{jc} = 550^\circ\text{C/W}$

**Notes:**  
1. Operation of this device above any one of these parameters may cause permanent damage.  
2. Mounting Surface = 25°C.  
3. Derate at 1.82 mW/°C for  $T_C > 26^\circ\text{C}$ .

Electrical Specifications, $T_A = 25^\circ\text{C}$									
Symbol	Parameters and Test Conditions	Units	AT-41511			AT-41533			
			Min	Typ	Max	Min	Typ	Max	
$h_{FE}$	Forward Current Transfer Ratio $V_{CE} = 5\text{ V}$ $I_C = 5\text{ mA}$	-	30	150	270	30	150	270	
$I_{CBO}$	Collector Cutoff Current $V_{CB} = 3\text{ V}$	$\mu\text{A}$			0.2			0.2	
$I_{EBO}$	Emitter Cutoff Current $V_{EB} = 1\text{ V}$	$\mu\text{A}$			1.0			1.0	

Characterization Information, $T_A = 25^\circ\text{C}$									
Symbol	Parameters and Test Conditions	Units	AT-41511		AT-41533				
			Min	Typ	Min	Typ			
NF	Noise Figure $V_{CE} = 5\text{ V}, I_C = 5\text{ mA}$	$f = 0.9\text{ GHz}$ $f = 2.4\text{ GHz}$	dB		1.0	1.0			
$G_A$	Associated Gain $V_{CE} = 5\text{ V}, I_C = 5\text{ mA}$	$f = 0.9\text{ GHz}$ $f = 2.4\text{ GHz}$	dB		15.5	14.5			
$P_{1dB}$	Power at 1 dB Gain Compression (opt tuning) $V_{CE} = 5\text{ V}, I_C = 25\text{ mA}$	$f = 0.9\text{ GHz}$	dBm		14.5	14.5			
$G_{1dB}$	Gain at 1 dB Gain Compression (opt tuning) $V_{CE} = 5\text{ V}, I_C = 25\text{ mA}$	$f = 0.9\text{ GHz}$	dB		17.5	14.5			
$IP_3$	Output Third Order Intercept Point, $V_{CE} = 5\text{ V}, I_C = 25\text{ mA}$ (opt tuning)	$f = 0.9\text{ GHz}$	dBm		25	25			
$ S_{21e} ^2$	Gain in 50 $\Omega$ system; $V_{CE} = 5\text{ V}, I_C = 5\text{ mA}$	$f = 0.9\text{ GHz}$ $f = 2.4\text{ GHz}$	dB		13.5	15.5			
					10.8	12.8			
					7.9	5.2			

Fig. 221 Hoja de características del transistor AT-41511. Por cortesía de Avago Technologies.

- 2) La segunda zona es la parte del circuito dedicada a dividir la señal de radiofrecuencia previamente amplificada para distribuirla posteriormente hacia cada una de las bocas de salida del splitter. Esta división de la señal se realiza de un modo totalmente pasivo, mediante los fundamentos teóricos de la propagación de ondas y el uso de tecnología de guías de onda, implementadas a través de microstrips en la placa. La división es tan sumamente perfecta que absolutamente todas las bocas de salida del splitter son alimentadas con la misma potencia de radiofrecuencia.

El estudio se centrará en las dos partes de interés de esta sección: la circuitería divisora y las salidas.

En el año 1960 Ernest Wilkinson publicó en el “ IRE Transactions on Microwave Theory and Techniques “ de la IEEE un artículo denominado “ An N-way hybrid power divider “ en el cual se mostraba un dispositivo divisor de potencia de simetría circular que dividía una señal de entrada en N salidas, donde N puede ser par o impar. Las características de este dispositivo eran:

- Todas las salidas del divisor presentan la misma señal tanto en amplitud como en fase independientemente de la frecuencia
- Aislamiento mínimo entre las salidas de 27 dB
- Todas las salidas presentan la misma impedancia adaptada

La publicación en cuestión tan solo contenía 3 páginas, sin embargo las ideas mostradas con este dispositivo han desarrollado posteriormente diferentes tipos de divisores, que han sido utilizados ampliamente en la industria de equipos de RF.

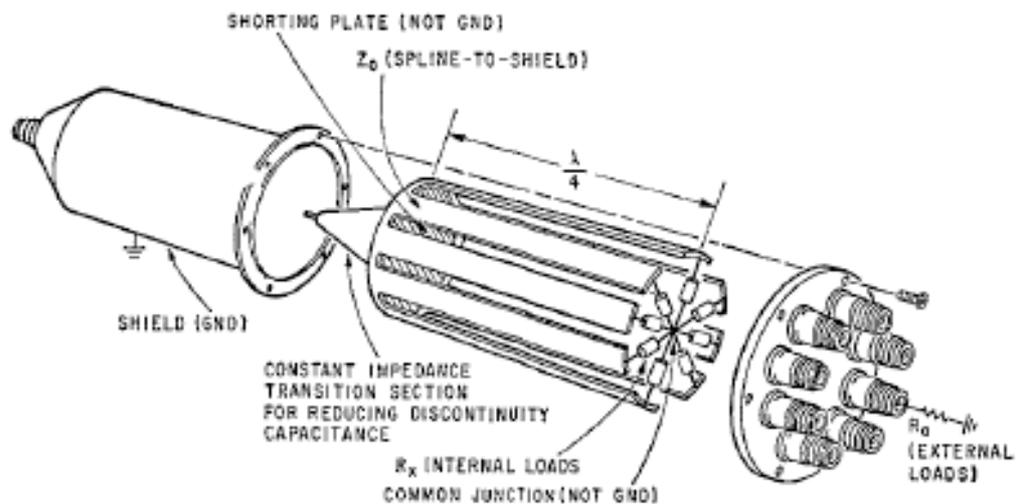


Fig. 222 Dispositivo de Wilkinson.

La figura presentada es el dispositivo que Wilkinson ideó. En él se pueden encontrar los siguientes elementos:

- Una placa cónica que une la entrada con cada una de las tiras metálicas que dividen la señal de entrada.
- N tiras metálicas de longitud  $\lambda/4$  por las que se propagan cada una de las ondas en las que se ha dividido la señal de la entrada.
- N resistencias internas de carga que unen las tiras entre sí. Las resistencias están unidas radialmente y confluyen en lo que se denomina unión común (esta unión común no puede estar unida a masa)
- Una placa circular sobre la que se montan los conectores de salida. Los conectores de salida están unidos directamente con las tiras metálicas en el interior del dispositivo, y aunque los conectores se muestren en línea con las tiras, se pueden montar también de una forma radial en ángulo recto.
- Una carcasa metálica unida a tierra en la cual se introduce todo el sistema.

La longitud de las tiras metálicas es de  $\lambda/4$ . La dimensión de estas tiras no es un capricho y obedece a la necesidad de minimizar los efectos en el caso de que se produjese una onda regresiva en el sistema como consecuencia de una desadaptación de impedancias entre el dispositivo y las impedancias de carga.

En el caso de que por cualquier circunstancia se conectase una salida con una impedancia no adaptada se produciría lo que se conoce como una desadaptación de impedancias. Tal como se presentó en los conceptos teóricos, cuando una línea de transmisión es desadaptada en alguno de sus puntos la onda progresiva o incidente se divide en dos. Llegado al punto de desadaptación. Una parte de la energía de la onda progresiva que llega al punto continuará su camino, mientras que otra parte de la energía de dicha onda, retrocederá formándose lo que se conoce como onda regresiva o reflejada.

Cuando la desadaptación se produce justo en una de las salidas, parte de la energía de la onda avanzará hacia la carga conectada en la salida, y parte de la energía de la onda regresará hacia el interior del dispositivo. De la onda regresiva que vuelve hacia el dispositivo, parte de la energía se propagará hacia el resto de las salidas a través de las resistencias  $R_x$  mientras que otra parte de la energía de la onda regresiva volverá a la entrada del divisor de potencia a través de las tiras metálicas, lo que producirá que esta parte de la energía de la onda se vuelva a dividir y se propague de nuevo hacia las salidas.

Si se estudia solo la evolución de la onda regresiva sobre el sistema y más en concreto en las salidas se podrá observar que en todas las salidas aparece una parte de la onda regresiva propagada directamente a través de las resistencias y otra parte de la onda regresiva que llega a partir de las tiras metálicas hacia todas las salidas. Debido al diseño del sistema, las tiras tienen una longitud de  $\lambda/4$ , con lo que la onda que se ha propagado regresivamente por las tiras y que ha vuelto a ser dividida para ser propagada hacia las salidas, ha recorrido una distancia de

$\lambda/4 + \lambda/4 = \lambda/2$  y es aquí donde se justifica las dimensiones de las tiras: las dos partes de la onda regresiva que aparecen sobre las salidas están desfasadas  $\lambda/2$  como consecuencia del camino que debe recorrer parte de la onda. Por lo tanto las dos partes de la onda regresiva que aparecen en las salidas son sumadas complejamente como fasores opuestos o en contrafase.

Las fases difieren en  $\lambda/2$ , ¿pero que sucede con las amplitudes?, ¿será posible la anulación de los dos fasores debido a que las amplitudes de ambas ondas son iguales?. La respuesta es que sí, existe un caso en el cual la suma de ambos fasores resultara 0 (teóricamente), y este resultado es posible cuando se elige apropiadamente los valores de la impedancia característica de las tiras metálicas y de las resistencias  $R_x$ . En este caso la onda regresiva se divide exactamente en dos y las amplitudes de las ondas generadas son iguales.

Wilkinson estableció la relación que debía existir entre  $Z_0$ ,  $R_x$  y  $R_0$  para elegirse correctamente los valores que hacen que la suma de ambos fasores sea cero.

$$\begin{aligned} R_x &= R_0 \\ Z_0 &= \sqrt{n} \cdot R_0 \end{aligned} \quad (16)$$

Si se verifica estas dos condiciones en el diseño del dispositivo se podrá afirmar que las salidas están aisladas entre sí y que las salidas presentan la impedancia adaptada.

A la hora de diseñar el dispositivo se debería tener en cuenta en primer lugar la impedancia de carga  $R_0$  con la que va a ser cargado el divisor. Una vez que se ha establecido la carga, se obtienen tanto  $R_x$  como  $Z_0$  (donde  $n$  es el número de salidas que tiene el divisor) para de esta manera satisfacer las condiciones de Wilkinson y obtener el mayor aislamiento posible entre las salidas.

Además en el caso de implementar el divisor con las condiciones anteriores se verificará otro hecho bastante importante para la propagación de ondas y es que la impedancia de entrada del divisor será exactamente  $R_0$

$$Z_{in} = R_0$$

Se debe notar que cuando este dispositivo es cargado en sus salidas ( $R_0$ ) con la impedancia adaptada, no se produce ninguna disipación de potencia en las resistencias internas ( $R_x$ ). Esto es debido a que como todas las tiras metálicas (splines) poseen la misma señal en amplitud y fase, no se establece ninguna diferencia de potencial entre las diferentes tiras que pudiesen propiciar una corriente a través de las resistencias  $R_x$  que interconectan todas las tiras entre sí.

Sin ninguna duda el dispositivo que Wilkinson ideó, marcó un antes y un después en los splitters pasivos de señales de RF. Sin embargo el dispositivo de Wilkinson no fue utilizado tal cual en los splitters que se implementarían por aquel entonces. Los divisores de Wilkinson que se implementaron fueron una célula reducida del dispositivo, conformada por las dos tiras de  $\lambda/4$  y la resistencia que unía dichas tiras. Esta célula correspondería con lo que se denomina como sección y realizaba una división binaria de la potencia de la señal de entrada, ofreciendo en ambas salidas la misma señal en amplitud y en fase, pero con la mitad de potencia existente en la entrada.

Al poco tiempo de comenzar a utilizar esta célula, diferentes autores constataron que si bien la célula en sí era un adelanto bastante provechoso, no llegaba a cumplir las expectativas en determinados diseños en algunos de los parámetros requeridos. Por lo que se comenzó a investigar en la posibilidad de mejorar los parámetros del ancho de banda, el VSWR y el aislamiento de dicha célula.

Diferentes autores presentaron nuevas ideas que mejorarían la célula de Wilkinson, sin embargo el mejor diseño lo consiguió Seymour Cohn quien publicó en el año 1968 en el “*Transactions on Microwave Theory and Techniques*” del IEEE el artículo *A class of broadband three-port TEM-mode hybrids*. En este artículo se mostraba la idea de que añadiendo más secciones en cascada a la célula básica de Wilkinson, se conseguía aumentar el ancho de banda y mejorar tanto el VSWR como el aislamiento (como cabe esperar, la cuestión no fue tan sencilla como ir añadiendo simplemente secciones).

La idea de Cohn es añadir más secciones en cascada a la célula de Wilkinson. Cada una de estas secciones estará compuesta de dos líneas de transmisión de longitud  $\lambda/4$  con su correspondiente impedancia característica y una resistencia que une ambas líneas de transmisión también con su impedancia característica apropiada. Por lo tanto el diseño de Cohn se reduce al siguiente problema: dado un ancho de banda en particular y por consiguiente el valor máximo del coeficiente de reflexión admitido o viceversa, dado el valor máximo del coeficiente de reflexión admitido y por consiguiente el ancho de banda, calcular la impedancia característica de cada una de las líneas de transmisión y el valor óptimo de la resistencia para cada una de las secciones, tratando de afinar en la búsqueda de entre todos los valores posibles aquellos que produzcan el mejor resultado.

Cohn demostró con su diseño multisección dos hechos:

- o Sobre un determinado ancho de banda, el hecho de añadir más secciones a la célula de Wilkinson mejoraba los valores de VSWR y del aislamiento
- o Los diseños basados en añadir secciones en cascada a la célula de Wilkinson incrementaban el ancho de banda del sistema.

Cohn plasmó en su artículo dos epígrafes en los cuales se mostraban un análisis y una síntesis del circuito general, los cuales serían utilizados para el cálculo y diseño de las impedancias y de las resistencias.

- En el apartado *II. Generalized circuit and analysis of performance*, Cohn presentó el circuito general y realizó un estudio analítico del mismo. Partiendo del circuito general obtuvo otros circuitos más simples.

En la siguiente figura se muestra el circuito general presentado por Cohn

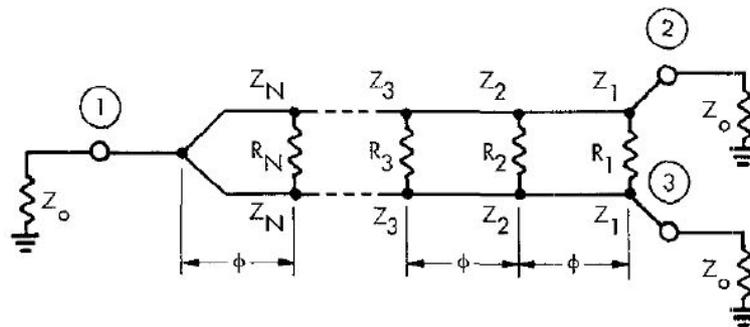


Fig. 223 Circuito general de Cohn.

Este circuito como se puede observar está formado de  $N$  secciones en cascada con  $N$  pares de líneas de transmisión ( $Z_1, Z_n$ ) con una longitud física igual a  $\lambda/4$  donde  $\lambda$  se calcula a partir de la frecuencia central de la banda de paso y con  $N$  resistencias ( $R_1, R_n$ ) que interconectan las líneas de transmisión.

Cohn decidió utilizar el método de las excitaciones par e impar del circuito, propuesto anteriormente por otros autores (Reed y Wheeler), para poder realizar un análisis y de esta manera poder reducir la complejidad del circuito.

El método consiste en excitar al circuito con dos ondas incidentes en sus puertos 2 y 3 respectivamente y observar la onda que se obtiene en el puerto 1. En la excitación par tanto el puerto 2 como el 3 son excitados con la misma onda en amplitud y en fase. Mientras que en la excitación impar la excitación se realiza con la misma onda en cada uno de los puertos pero estando desfasadas  $180^\circ$  entre ellas.

Para la excitación par se puede ver que absolutamente todos los puntos simétricos del circuito están en fase, con lo cual no existe diferencia de potencial en bornas de las resistencias  $R_1, R_n$ , no circulando por ellas ningún tipo de corriente y no disipándose en ellas ninguna potencia. Luego se puede dar un paso más adelante y sustituir las resistencias por circuitos abiertos.

Para la excitación impar todos los puntos están desfasados entre sí  $180^\circ$  produciéndose la mayor diferencia de potencial posible en bornas de las resistencias. Debido a la simetría

del circuito existen determinados puntos que tendrán un potencial de cero. Esto es debido a la suma compleja de las ondas incidentes en contrafase. Por esta razón, la suma de ambas ondas en el punto medio de las resistencias  $R_1..R_n$  será cero y la suma también de ambas ondas en contrafase en el puerto 1 dará como resultado cero.

Se puede realizar la bisectriz eléctrica del circuito anteriormente presentado trazando una línea por la mitad longitudinalmente, obteniéndose dos circuitos diferentes en función de que la excitación sea par o impar. En ambos circuitos que se presentan, se debe observar que las impedancias  $Z_1..Z_N$  ya no aparecen en las ramas de abajo.

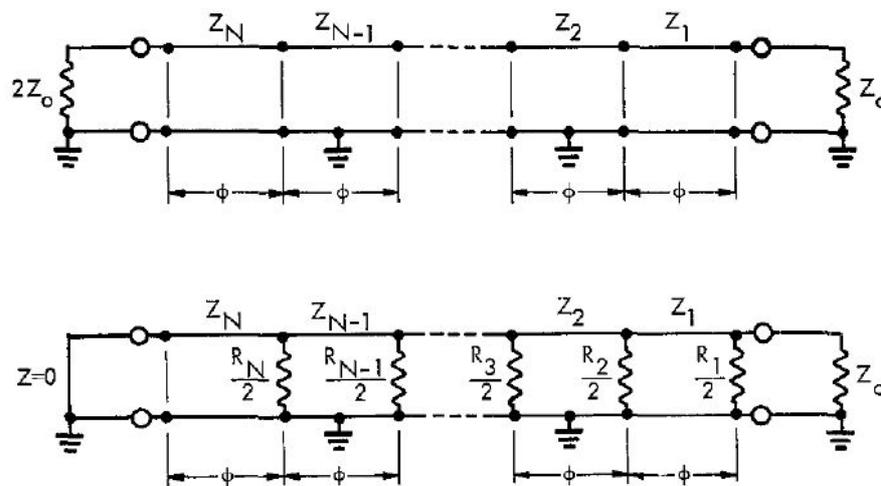


Fig. 224 Circuitos resultantes de la excitación par e impar.

Para la excitación par, la impedancia de carga del puerto 1 es  $2Z_0$ . Al ser una impedancia común a los dos circuitos que se generan en la bisección de la excitación par, hacen que sea necesario que tenga este valor para que al deshacer la bisección, el puerto 1 este cargado nuevamente con la impedancia  $Z_0$ . Las resistencias  $R_1..R_n$  han sido todas reemplazadas por circuitos abiertos tal como se comentó en su momento.

Para la excitación impar el puerto 1 se ha cortocircuitado con la masa, debido a que el potencial que presenta este puerto cuando se suman ambas ondas en contrafase es de 0 voltios. Las resistencias  $R_1..R_n$  han reducido su valor a la mitad como consecuencia de que justo en el punto medio de ellas la suma en contrafase de ambas ondas produce un potencial de 0 voltios. El punto propicio para aplicar la bisección es sin duda aquel punto que une todos los potenciales 0 en el circuito.

El último paso que propuso Cohn para el análisis de estos circuitos es sustituir las impedancias por sus admitancias equivalentes y las resistencias por sus conductancias correspondientes. La topología del circuito hace más idóneo el manejo de admitancias y conductancias.

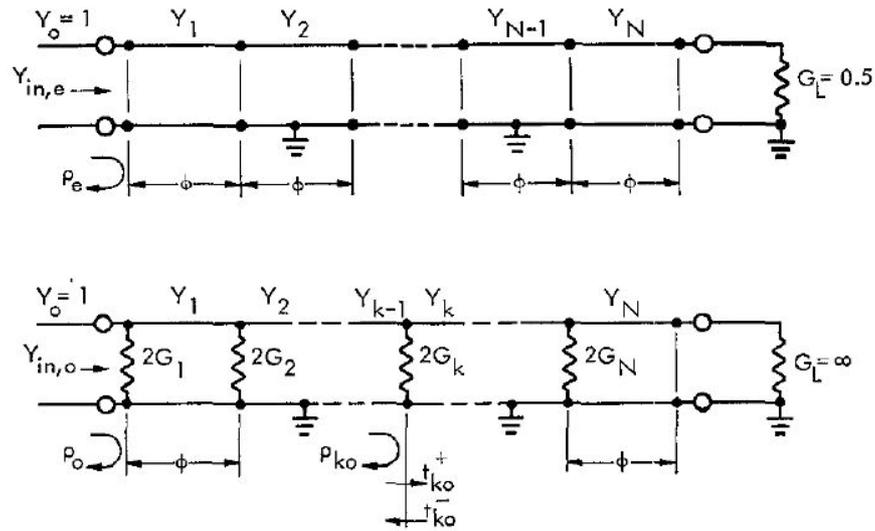


Fig. 225 Circuito equivalente.

Finalmente Cohn adaptó los resultados que Reed y Wheeler obtuvieron para los sistemas de 4 puertos, al sistema de 3 puertos que él utilizaba. En esta adaptación obtuvo diferentes formulas:

$$|\rho_1| = |\rho_e|$$

$$t_{1\leftrightarrow 2} = t_{1\leftrightarrow 3}; |t_{1\leftrightarrow 2}| = |t_{1\leftrightarrow 3}| = \sqrt{\frac{1 - \rho_e^2}{2}}$$

$$\rho_2 = \rho_3 = \frac{\rho_e + \rho_o}{2}$$

$$t_{2\leftrightarrow 3} = \frac{\rho_e - \rho_o}{2}$$

Siendo  $\rho_1, \rho_2, \rho_3$ , los índices de reflexión en los puertos 1, 2 y 3 del circuito general,  $t_{1\leftrightarrow 2}, t_{1\leftrightarrow 3}, t_{2\leftrightarrow 3}$  los coeficientes de transmisión entre los diferentes puertos del circuito general y  $\rho_e, \rho_o$  los coeficientes de reflexión a la entrada de los circuitos con respuesta par e impar obtenidos en el análisis del circuito general.

Luego, conociendo los coeficientes  $\rho_e, \rho_o$  de los circuitos resultantes del análisis, se pueden hallar los coeficientes del circuito general.

- En el apartado *III Synthesis for optimum performance* Cohn trató de sintetizar mediante los circuitos más simples y sus parámetros, la mejor solución que verificase la respuesta óptima del circuito general. Por respuesta óptima se entiende aquella que produce que los coeficientes  $\rho_1, \rho_2, \rho_3$ , y  $t_{1\leftrightarrow 2}, t_{1\leftrightarrow 3}$  presenten un comportamiento caracterizable a través de los polinomios de Chebyshev para el ancho de banda dado, en el cual, el número de ondulaciones del polinomio debe ser máximo e iguales para el número de secciones provistas en el circuito.

La síntesis en busca de la respuesta óptima se simplifica considerablemente si se observa que el último circuito para la respuesta par se trata de un transformador de cuarto de onda. Este transformador adapta las impedancias presentes en su entrada y en su salida mediante un conjunto de secciones de  $\lambda/4$ , cada una de ellas con su impedancia calculada en este caso utilizando los polinomios de Chebyshev, para tratar de ofrecer la mejor de las respuestas del transformador. Por tanto los valores de  $|\rho_1| = |\rho_e|$  en el circuito simplificado presentará un comportamiento óptimo caracterizable a través de los polinomios de Chebyshev en el caso de que las admitancias características del transformador de cuarto de onda, hayan sido obtenidas utilizando los polinomios de Chebyshev en diferentes partes de su cálculo.

Es decir para calcular el valor de las admitancias del circuito de respuesta par, lo que se hace es resolver el transformador de Chebyshev resultante de las simplificaciones. Si el coeficiente de reflexión a la entrada del transformador de Chebyshev presenta la respuesta adecuada para los polinomios de Chebyshev que lo caracterizan, se podrá decir que el coeficiente de reflexión a la entrada del circuito par presenta la respuesta óptima y caracterizada por los mismos polinomios.

Una vez que se han calculado las admitancias características, tan sólo falta calcular las conductancias de tal forma que  $\rho_2$ ,  $\rho_3$  y  $t_{2\leftrightarrow 3}$  verifiquen el comportamiento (Chebyshev) óptimo. Para calcular dichas conductancias el método más sencillo es buscar los valores que producen la respuesta óptima de  $\rho_o$ . La práctica demuestra que cuando  $\rho_e$  y  $\rho_o$  presentan la respuesta óptima, el resto de los coeficientes en el circuito general presentan una respuesta muy cercana a la óptima.

El análisis científico se basa en la descomposición de un problema complejo en problemas más simples. Mediante la resolución de estos problemas más simples y utilizando la síntesis científica en el orden inverso al análisis, se obtiene la solución del problema complejo.

Como se ha podido comprobar esta idea es la que utilizó Cohn en su artículo. Realizó un análisis del circuito general hasta que obtuvo los coeficientes  $\rho_e$  y  $\rho_o$  en la entrada de los circuitos simplificados. Posteriormente, a partir de los coeficientes  $\rho_e$  y  $\rho_o$  y utilizando la síntesis para recorrer de una forma inversa los pasos dados en el análisis, consiguió hallar los valores de las impedancias y de las resistencias del circuito general.

Es importante remarcar que en las figuras de las páginas anteriores se ha mostrado tan sólo una de las ramas de la bisectriz por cada excitación, sin embargo debe conocerse que al realizar la bisectriz eléctrica del circuito longitudinalmente se obtiene dos circuitos totalmente simétricos para cada una de las excitaciones.

Cohn presentó en su artículo las fórmulas para calcular las impedancias y las resistencias de cada diseño en función de un ancho de banda y del número de secciones del divisor. Obtuvo unas fórmulas exactas para el caso de  $N=2$ , y unas fórmulas aproximadas para el caso de  $N \geq 3$ .

Básicamente Cohn utilizó los dos últimos circuitos obtenidos para la excitación par e impar, sus admitancias de entrada y sus coeficientes de reflexión a la entrada. El primer paso, tal como se vio en la síntesis, era calcular las admitancias del transformador de Chebyshev, de tal forma que se obtuviese la mejor respuesta. Una vez que se obtiene las admitancias que producen la mejor respuesta del transformador de Chebyshev se podrá decir que  $|\rho_1| = |\rho_e|$  verifica el comportamiento de los polinomios de Chebyshev.

El segundo paso es recurrir al circuito de respuesta impar. En este circuito están presentes tanto las admitancias como las conductancias, luego una vez que se conocen las admitancias y mediante unas expresiones que relacionen las admitancias con las conductancias, se podrá obtener el valor de estas últimas. Para ello se utiliza la información que aporta:

- La respuesta óptima esperada de  $|\rho_o|$ . Esta respuesta se conoce previamente ya que su comportamiento viene expresado por el polinomio de Chebyshev apropiado.
- La expresión de  $\rho_o$  a la entrada del circuito
- La expresión de la admitancia de entrada al circuito.

La forma en que interaccionan es la siguiente: La admitancia de entrada relaciona las admitancias con las conductancias existentes en el circuito de excitación impar. El coeficiente de reflexión  $\rho_o$  relaciona la admitancia de entrada con la gráfica de  $|\rho_o|$ .

El resultado de esta interacción es una o varias fórmulas que relacionan las impedancias o admitancias con las resistencias o conductancias del circuito. El valor de las admitancias es conocido anteriormente como la solución óptima al transformador de Chebyshev, por lo tanto sólo es necesario calcular el valor de las conductancias.

En el caso de tener igual número de incógnitas que de ecuaciones, se podrá obtener el valor de las conductancias directamente. En el caso de tener menos ecuaciones que incógnitas, se deberá sustituir el número adecuado de conductancias por sus valores aproximados estimados, hasta que se obtenga el mismo número de ecuaciones que de incógnitas. Los valores aproximados deberán ser escogidos con cierto criterio en base a los resultados obtenidos en diseños previos. Una vez que se tiene todos los valores de las resistencias es aconsejable, en los diseños que se ha tenido que dar valores previos a las conductancias, verificar que el diseño obtenido muestra la respuesta óptima de Chebyshev. En el caso de que no sea así, se deberá comenzar de nuevo dando otros nuevos valores a las conductancias en un proceso iterativo que termina cuando se obtiene la respuesta óptima del sistema.

Estas ideas planteadas son básicamente las ideas que utilizó Cohn para desarrollar las fórmulas con  $N=2$  y  $N=3$  en sus apartados *IV. Design formulas  $N=2$*  y *V. Iterative approximation*. En el apartado de  $N=2$ , Cohn obtuvo dos ecuaciones con dos incógnitas a partir del análisis y síntesis del circuito general, a estas fórmulas Cohn las denominó las fórmulas exactas. Sin embargo el análisis y síntesis del circuito general en el caso de  $N=3$  era de una complejidad elevada, por lo que tan sólo obtuvo una ecuación con 3 incógnitas, viéndose obligado a dar diferentes valores a dos de ellas para obtener la tercera en un proceso iterativo que finalizaba con el diseño mas óptimo de todos los posibles. Este método lo denominó el de las aproximaciones iterativas, aunque quizás un nombre mas adecuado hubiese sido el de aproximaciones sucesivas.

Por último, Cohn trató de desarrollar una serie de fórmulas generales para un diseño de  $N \geq 3$  secciones. Para ello realizó un estudio similar al que realizó para los transformadores de cuarto de onda en su artículo "*Optimum design of stepped transmission line transformers*". Expresó el coeficiente de reflexión a la entrada del circuito de respuesta impar como una suma de términos de todas aquellas reflexiones que regresaban hasta la entrada del circuito, producidas en cada una de las uniones del circuito.

El conjunto de términos de dicha expresión se podían dividir en dos grupos: los términos pertenecientes a las primeras reflexiones y los términos pertenecientes a las reflexiones de orden superiores. Los términos pertenecientes a las primeras reflexiones se refieren a aquellos términos, que verifican que pertenecen a la primera reflexión que se produce en cada una de las uniones, cuando la onda progresiva es transmitida a lo largo de todas las secciones. Se caracterizan por estar multiplicados por su coeficiente de reflexión ( $\rho_{k,o}$ ), los coeficientes de transmisión de las uniones que han atravesado previa y posteriormente y por una exponencial  $e^{-2 \cdot j \cdot N \cdot \phi}$  que recrea el desfase que se introduce en la onda regresiva a medida que va recorriendo las diferentes secciones hasta que llega al principio del circuito. Los términos pertenecientes a las reflexiones de orden superiores son aquellos términos que caracterizan las múltiples reflexiones que se originan posteriormente, a partir de la primera reflexión de cada una de las uniones, cuando la energía de la onda perteneciente a la primera reflexión alcanza otras uniones y estas producen nuevas reflexiones en un proceso que tiende a infinito. Se expresan como una serie de términos multiplicados por su coeficiente  $b_k$  y su exponencial  $e^{-2 \cdot j \cdot k \cdot \phi}$ , en donde  $k$  toma los valores desde  $N=2$  hasta  $\infty$ , o lo que es lo mismo desde la segunda reflexión hasta las infinitas reflexiones teóricas que se producen.

$$\rho_o = \rho_{1,o} + \rho_{2,o} \cdot t_{1,o}^+ \cdot t_{1,o}^- \cdot e^{-j \cdot 2 \cdot \phi} + \rho_{3,o} \cdot t_{1,o}^+ \cdot t_{1,o}^- \cdot t_{2,o}^+ \cdot t_{2,o}^- \cdot e^{-j \cdot 4 \cdot \phi} + \dots + \sum_{k=2}^{\infty} b_k \cdot e^{-j \cdot 2 \cdot k \cdot \phi}$$

Cohn obtuvo las expresiones genéricas para el coeficiente de reflexión ( $\rho_{k,o}$ ) y el producto de los coeficientes de transmisión ( $T_{k,o} = t_{k,o}^+ \cdot t_{k,o}^-$  donde  $t_{k,o}^+$  es el coeficiente de transmisión de izquierda a derecha en la unión  $k$  y  $t_{k,o}^-$  es el coeficiente de transmisión de derecha a izquierda en la unión  $k$ ).

Particularizando  $G_k=0$  y  $G_L=0.5$ , en dichas expresiones, obtuvo las expresiones para el circuito de respuesta par ( $\rho_{ke}$  y  $T_{ke}=t_{ke}^+ \cdot t_{ke}^-$ ).

En este punto del desarrollo, Cohn trató de comprobar las expresiones obtenidas, con los resultados de los diseños anteriores. Calculó con estas formulas los términos de las primeras reflexiones, para los casos  $N=2$  y  $N=3$ . La comprobación arrojó algunos resultados interesantes. Para el circuito de respuesta par, la expresión del coeficiente de reflexión resultante permitía caracterizar  $|\rho_e|$  matemáticamente mediante su correspondiente polinomio de Chebyshev, debido a que los coeficientes  $\rho_{ke}$  eran valores simétricos y cercanos a cero, pudiéndose despreciar las reflexiones de orden superior (lógicamente estas deberían tender a cero con mas rapidez que los términos de las primeras reflexiones). Por otro lado si los coeficientes  $\rho_{k,e}$  eran de un valor muy pequeño, entonces se podía afirmar que los valores de  $T_{ke}$  eran valores muy cercanos a la unidad, con lo cual la simplificación de la expresión resultante para  $\rho_e$  permitía observar, que la expresión de  $\rho_e$  era la expresión que se utilizaba en los diseños de los transformadores de cuarto de onda, cuando se empleaba la teoría de las pequeñas reflexiones.

$$\rho_e = \rho_{1,e} + \rho_{2,e} \cdot e^{-j \cdot 2 \cdot \phi} + \dots + \rho_{n+1,e} \cdot e^{-j \cdot 2n \cdot \phi} = \sum_{k=0}^n \rho_{k+1,e} \cdot e^{-j \cdot 2 \cdot k \cdot \phi}$$

Sin embargo, llegado el momento de caracterizar  $|\rho_o|$  a través del correspondiente polinomio de Chebyshev, resultaba bastante complejo debido a que  $\rho_{ko}$  aumentaba su valor a medida que  $k$  crecía. En este caso ya no se podía despreciar las reflexiones de órdenes superiores, ya que tomarán valores de un orden superior a cero y se estaría cometiendo un error considerable. Además, en el caso de querer caracterizar la respuesta de  $|\rho_o|$  como un polinomio de Chebyshev, no quedaría otro remedio que incluir la serie de infinitos términos de las reflexiones de orden superior ya que la respuesta a través de los primeros términos por sí sola no es caracterizable a partir de un polinomio de Chebyshev, debido a que los términos de las primeras reflexiones no son simétricos.

De esta manera, Cohn tuvo que abandonar el planteamiento inicial, para obtener de otra forma las expresiones que relacionasen las admitancias con las conductancias.

Cohn trató de conseguir por otro camino las expresiones para el caso general y en sus diferentes estudios obtuvo un conjunto de fórmulas empíricas. Estas fórmulas empíricas permitían relacionar las conductancias con las admitancias a través de los productos de los coeficientes de transmisión en el circuito de respuesta impar. Las fórmulas empíricas que obtuvo las utilizó para comparar los resultados que se obtenían de estas formulas con los resultados obtenidos en el caso de las aproximaciones iterativas de  $N=3$  y los resultados de las formulas exactas de  $N=2$ . Para  $N=3$  los resultados obtenidos eran bastante similares a los obtenidos con las aproximaciones iterativas. Para el caso  $N=2$ , los resultados no eran tan satisfactorios. Cohn intuyó que las fórmulas empíricas mostraban una mejor aproximación al resultado ideal cuando  $N>3$ .

El método empleado en los diseños con las fórmulas empíricas es exactamente igual que en los casos anteriores. En un primer paso se calcula el valor de las admitancias que producen la mejor de las respuestas del transformador de Chebyshev en el circuito de respuesta par. En un segundo paso se obtiene el valor de las conductancias a través de las formulas empíricas.

Como siempre, en los métodos aproximados, una vez que se obtienen todos los valores, se debe comprobar el diseño. En el caso de que no sea el diseño más óptimo, se deberá variar iterativamente los valores de las conductancias, tratando de encontrar la respuesta que más se aproxime a la forma ideal del polinomio de Chebyshev correspondiente.

A continuación se propone observar las diferentes gráficas con las que Cohn ilustró su artículo. En ellas se puede comprobar visualmente como la técnica de multisección mejoraba sustancialmente los parámetros que obtuvo Wilkinson con su dispositivo.

En la siguiente figura se muestra la célula básica de Wilkinson con sus parámetros VSWR y aislamiento teóricos.

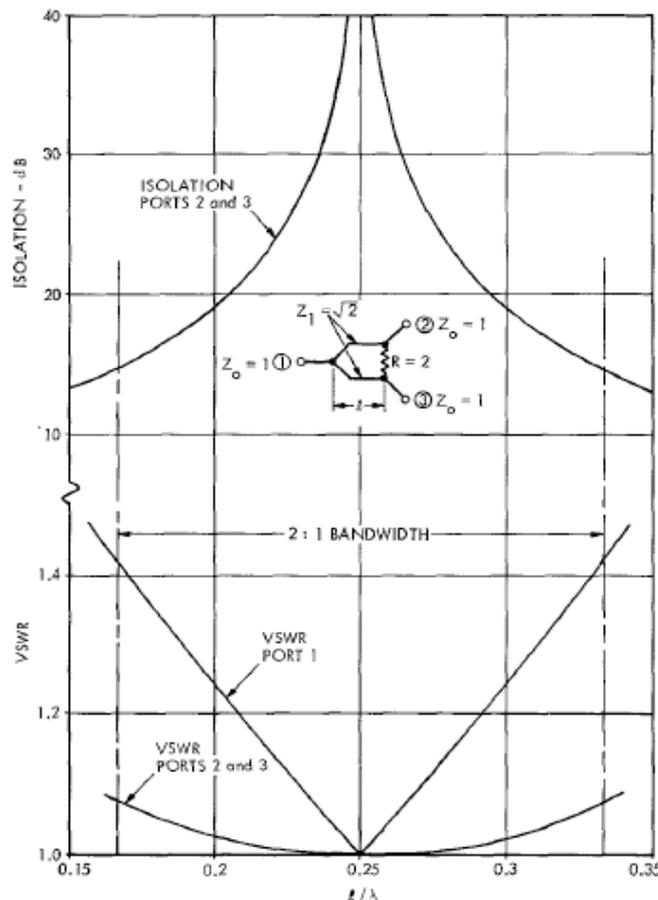


Fig. 226 VSWR y aislamiento para un circuito de Wilkinson.

En las siguientes figuras se muestran el diseño de Cohn con 2, 3, 4 y 7 secciones respectivamente.

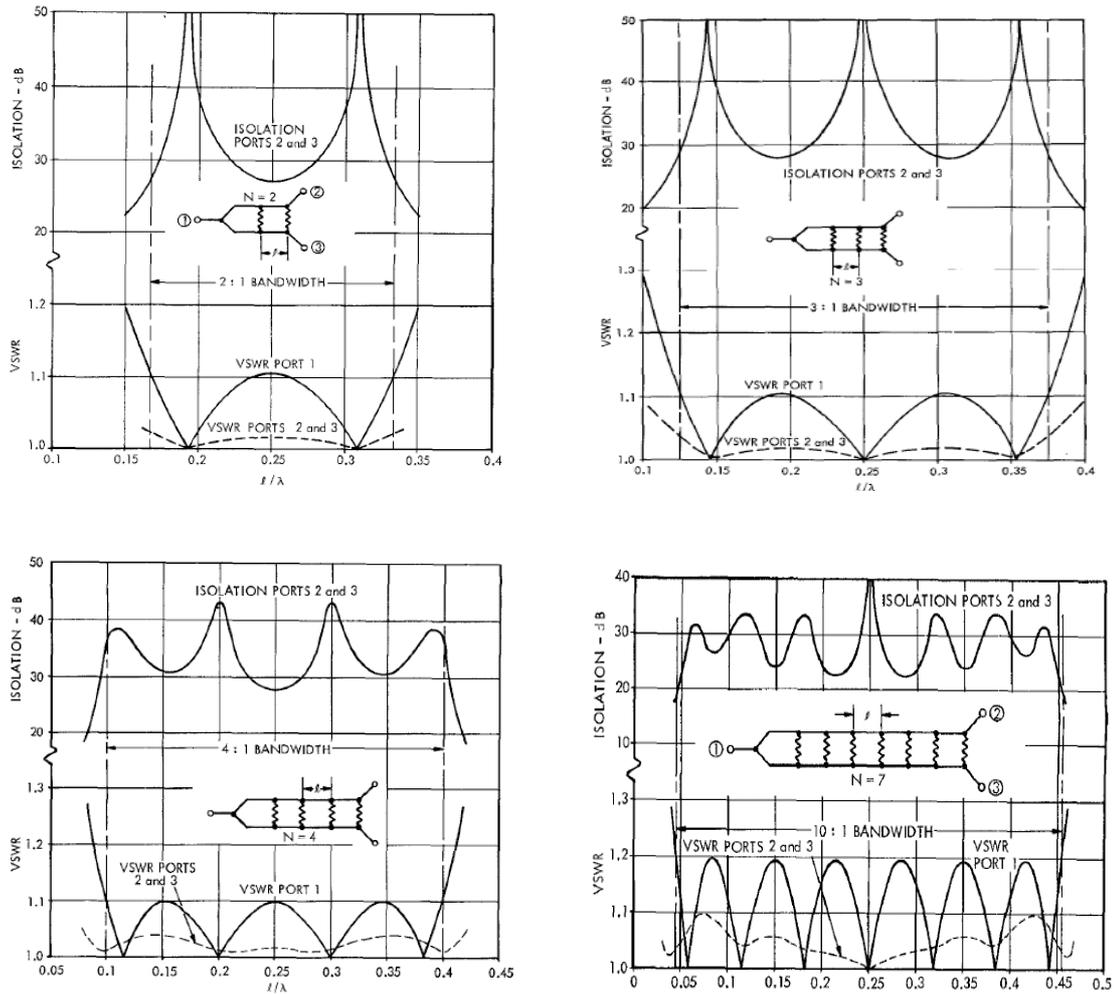


Fig. 227 VSWR y aislamiento de diferentes circuitos con multisecciones.

	N=1	N=2	N=2	N=3	N=3	N=4
$\Delta f$	1,44	1,5	2	2	3	4
S1(Max)	1,22	1,036	1,106	1,029	1,105	1,1
S2(Max)	$\approx 1,04$	1,007	1,021	1,015	1,038	1,039
S3(Max)	$\approx 1,04$	1,007	1,021	1,015	1,038	1,039
I(Min) dB	20	36,6	27,3	38,7	27,9	26,8

Fig. 228 Tabla con los valores máximos del VSWR y mínimos del aislamiento para diferentes circuitos multisección.

En la anterior tabla, se muestran los resultados obtenidos para diferentes números de secciones (N) y para diferentes anchos de banda ( $\Delta f$ ). Los parámetros mostrados son el VSWR máximo, para los puertos 1, 2 y 3 y el aislamiento mínimo medido en dB.

A la vista de los resultados obtenidos en la tabla, se puede confirmar visualmente que los diseños multisección de Cohn mejoran sustancialmente el divisor de Wilkinson.

Se recomienda al lector emplear unos minutos en comparar los datos de esta tabla, tratando de constatar principalmente:

- Que un aumento del número de secciones propicia un aumento del ancho de banda.
- Que para un ancho de banda fijo, aumentar el número de secciones implica una mejoría en los valores de los parámetros medidos.

En **resumen**, el diseño presentado por Cohn en el artículo del IEEE puede ser utilizado como un divisor de potencia o como un combinador de potencia. Su diseño se basa en la célula básica de Wilkinson a la cual se le han añadido un determinado número de secciones.

**Con el diseño de Cohn se demuestra que el añadir más secciones a la célula básica de Wilkinson beneficia a esta última en dos aspectos:**

- **El primero es que permite aumentar el ancho de banda del sistema casi sin ningún tipo de límite a medida que se aumenta el número de secciones presentes en el divisor.**
- **El segundo es que para un ancho de banda dado, parámetros como el VSWR y el aislamiento entre los puertos de salida son mejorados considerablemente.**

Cohn insiste en las conclusiones de su artículo en verificar cada uno de los diseños que se realice, midiendo los parámetros del VSWR y el aislamiento, en los circuitos anteriormente presentados. Si las gráficas se desvían de la respuesta óptima esperada, se debe recalcular los valores de las resistencias  $R_1..R_N$  mediante métodos iterativos y aproximaciones sucesivas, modificando los valores de las conductancias con un criterio lógico con el fin de obtener la respuesta óptima.

Como se puede deducir a lo largo de las páginas anteriores el cálculo de la circuitería de un divisor de potencia basado en los diseños de Cohn no es tan sencillo como aplicar unas fórmulas que caracterizan a los circuitos y obtener directamente unos valores para las resistencias y las impedancias. Salvo en el caso de  $N=2$ , para cualquier otro  $N$  el diseño posee en numerosas ocasiones aproximaciones que hacen que un único conjunto de valores de las resistencias no sea la única solución al problema. Por lo tanto la parte final del diseño consiste en realizar simulaciones con los diferentes valores de resistencias obtenidos y ver con que conjunto de resistencias se obtiene la mejor respuesta del sistema.

Para finalizar se comentara brevemente que la teoría expuesta hasta el momento ha sido bastante liviana, para tratar de no complicar con desarrollos teóricos el propósito del texto que es dar a conocer de una forma sencilla los principales elementos de distribución de señales en televisión. Sin embargo, existe la posibilidad de que el lector se haya quedado con dudas o simplemente con ganas de abordar más en profundidad la teoría de los divisores de potencia expuesta hasta el momento. Para ello se recomienda un texto clásico y que es referencia como punto de partida para las diferentes disciplinas del estudio de sistemas de microondas. El texto en cuestión es del autor R.E. Collin y su título es "*Foundation for microwave engineering*".

Una vez vistas las teorías que se utilizan para implementar el divisor de potencia existente a la salida del splitter ya tan sólo resta comentar como se implementan físicamente las salidas.

Con respecto a las salidas el análisis es realmente sencillo. Cada una de estas salidas está implementada con un condensador y un diodo. Se puede afirmar sin mucho estudio previo que el condensador va a ser el componente que permita el paso de la señal de RF, mientras que el diodo será el componente que permite el paso de la tensión de continua con el que se alimenta desde los receptores. Un análisis un poco más detallado de la circuitería divisora, revela que todos los diodos están interconectados entre si en sus cátodos. Para comprender como el splitter rechaza una tensión de alimentación como puede ser de 13 voltios frente a la de 18 voltios se proponen dos ejemplos.

El primer ejemplo es en el que la primera salida y la última salida están alimentados con la misma tensión de continua, ya sean 18 o 13 voltios y el resto de salidas no están alimentadas. En la borna de R55 que se encuentra conectada al diodo D2 aparecerá una tensión igual a la tensión de alimentación menos la tensión de la polarización de la unión PN del diodo (0,7 voltios), resultando una tensión de 17,3 voltios para el caso de alimentar con 18 voltios y de 12,3 voltios en el caso de alimentar con 13 voltios. En la borna de R76 que se encuentra conectada al diodo D9 sucederá exactamente lo mismo, apareciendo unas tensiones de 17,3 voltios o de 12,3 voltios. Estas tensiones aparecen inmediatamente en todos los cátodos de los diodos de salida. Sin embargo para que un diodo conduzca la señal, la unión PN debe estar polarizado en positivo, es decir, debe existir una diferencia de potencial entre ánodo y cátodo positiva o dicho en otras palabras, la tensión del ánodo debe ser mayor que la del cátodo (al menos en 0,7 voltios). Como en los cátodos aparece una tensión de continua positiva, y en el ánodo de los diodos que pertenecen a las salidas no alimentadas hay una tensión de continua igual a cero, la unión PN no se polariza, evitando de esta manera que la tensión de continua de los receptores que alimentan desde las salidas 1 y 8, atraviesen toda la circuitería hasta los receptores que no están alimentando en ese momento.

Se podría pensar si en el caso de alimentar todas las salidas con la misma tensión de continua y estar todos los diodos polarizados, la tensión de continua de un receptor pudiese atravesar el diodo polarizado hacia otro receptor. La respuesta es sencillamente no porque la polarización del diodo se realiza en sentido ánodo a cátodo.

Se puede concluir que en este caso los diodos aíslan entre sí de la componente de continua a los receptores conectados al splitter.

El segundo ejemplo es quizás más interesante, puesto que permite comprender como funciona realmente el splitter en cuanto a las tensiones de continua que maneja. Se puede dar el caso que el receptor que alimenta a la primera salida esté suministrando una tensión de 18 voltios y el receptor que alimenta a la última salida suministra una tensión de 13 voltios, o viceversa. Tal como se ha visto antes en el cátodo del diodo D2 aparece una tensión de 17,3 voltios, y en el cátodo del diodo D9 debería aparecer una tensión de 12,3 voltios, sin embargo esto no es así. Recuérdese que todos

los cátodos de los diodos están interconectados entre sí por la circuitería divisora, por lo tanto una vez que se polariza el diodo D2 la tensión de 17,3 voltios aparece inmediatamente en los cátodos de todos los diodos. La unión PN del diodo D9 está polarizado en el ánodo por los 13 voltios del receptor con el que se alimenta a esta ultima salida, y el cátodo por los 17,3 voltios que provienen del receptor que alimenta a la primera salida, la diferencia de potencial ánodo-cátodo es negativo y por tanto el diodo D9 no se polariza. **En el caso de que una de las salidas esté alimentada con 18 voltios el resto de los diodos no estarán polarizados y la tensión de 13 voltios jamás podrá alimentar al circuito.** En este caso la tensión que alimenta al circuito es la de 18 voltios (17,3 voltios tras la caída de los 0,7 voltios) y es por tanto la tensión que atravesará todo el circuito hasta la entrada de RF, alimentando al LNB correspondiente.

Se concluye que los diodos evitan el cortocircuitar una tensión de 18 voltios con la de 13 voltios en el caso de alimentar al splitter con diferentes tensiones y “seleccionan” la tensión de 18 voltios frente a la de 13 voltios para alimentar el circuito y alimentar posteriormente al LNB.

Los condensadores existentes en cada salida tienen dos funciones principalmente, la primera es bloquear la componente de continua (obligándola a atravesar el diodo en caso de encontrarse este polarizado) y por otro lado presentan un camino a la señal de RF para atravesar el diodo, ya que en el caso de que el diodo no estuviese polarizado, la señal de RF jamás podría alimentar al receptor al que esta conectado.

**APPLICATION NOTE FOR ACTIVE 8 WAY SPLITTER  
SPLIT8AN and SPLIT8AF**

**DESCRIPTION**

The active 8 way splitter allows the TVRO cross site signal to be split with no loss to feed up to 8 receivers. If more than 8 outputs are required, the splitters can be cascaded to give 15.22 etc. or more outputs, still with no overall signal loss.

**POWERING**

The splitter has a DC path from all outputs to the input thereby allowing powering of the LNC - the splitter automatically selecting power from the active receiver. DC blocking diodes prevent the de from one receiver being short circuited by the other receiver.

**WATERPROOFING**

The unit is waterproofed, and may be used outside.  
When used in this situation, the connectors should be well waterproofed with suitable tape.

OUTLINE SPECTFICATION	SPLIT8AN	SPLIT8AF
Frequency	700 -2150mhz	700 - 2150MHz
Insertion Loss	1dB +/-1.5dB	1dB +/-1.5dB
Isolation	20dB typical, 18dBminimum,	20dB typical 18dBminimum
VSWR	2:1maximum	2:1maximum
Impedance	50ohm	75 Ohms
Current Consumption	100mA at 15 to 24V DC	100mA at 15 to 24V DC

Fig. 229 Especificaciones técnicas del splitter de Global Communications

### **3.2.2 Splitters activos profesionales**

En el apartado anterior se ha descrito con bastante exactitud el funcionamiento de un splitter de banda L. Quizás un orden lógico en la exposición hubiese sido comenzar por los splitters profesionales y dejar para apartados posteriores los splitters domésticos ya que el presente documento trata sobre sistemas en entornos profesionales.

Sin embargo se ha decidido presentar primeramente los splitters domésticos por dos razones fundamentales:

- La primera es que la esencia de los splitters domésticos y los splitters profesionales es la misma. Es decir la topología que se implementa en la placa PCB de los splitters propiamente dichos poseen los mismos bloques: una primera etapa amplificadora y una segunda etapa divisora.
- La segunda razón es que como lógicamente cabe esperar existen diferencias entre ambos tipos de splitters, pero las diferencias son más en cuanto a elementos añadidos a los splitters profesionales y que son necesarios para sus entornos de trabajo. Por ejemplo los splitters profesionales incluyen su propia fuente de alimentación que permitirá por un lado ser independientes de la tensión de alimentación que proviene de los receptores de satélite y permitirán por otro lado alimentar a los LNBS a ellos conectados. En su momento se decidió presentar primeramente los splitters domésticos debido a que poseían un menor número de elementos a describir lo cual permitía centrarse en un estudio más exhaustivo de la esencia por sí misma de un splitter.

A continuación se mostrarán dos tipos de splitters profesionales los cuales como ya se ha comentado, su circuitería implementada en la placa PCB posee la misma esencia que la de los splitters domésticos. Por esta razón el estudio que se va a realizar de estos splitters va a ser un tanto más liviano, que el estudio presentado anteriormente, presentándose el esquemático del splitter implementado en la placa PCB y dejando a cargo del lector el estudio del mismo si así lo desea conforme a las pautas desarrolladas en los splitters domésticos.

La razón de presentar dos splitters es porque se va a mostrar un splitter genérico que se puede encontrar en un gran número de infraestructuras de radiodifusión y posteriormente se va a mostrar una solución en particular que fabricó Quintech Electronics bajo demanda de especificaciones para la cadena de televisión americana FOX. La decisión de mostrar este último splitter es porque como splitter propiamente dicho ofrece un mayor número de soluciones profesionales englobadas en un mismo chasis. Como lógicamente se puede pensar, existirán otras soluciones y splitters implementados bajo demanda que ofrezcan aun más prestaciones, sin embargo esta solución de Quintech es bastante acertada como una primera aproximación a los splitters más elaborados.

### 3.2.2.1 Splitters profesionales genéricos.

El splitter que se propone a continuación es el Quintech Electronics LS 16 2150, es un splitter genérico de 1 entrada a 16 salidas que cubre el rango de 950-2150 MHz. Generalmente en las infraestructuras de radiodifusión se emplean los splitters de 4 u 8 salidas, sin embargo se ha optado por utilizar un splitter de 16 salidas porque es el único que se ha tenido a disposición para un estudio exhaustivo del mismo.

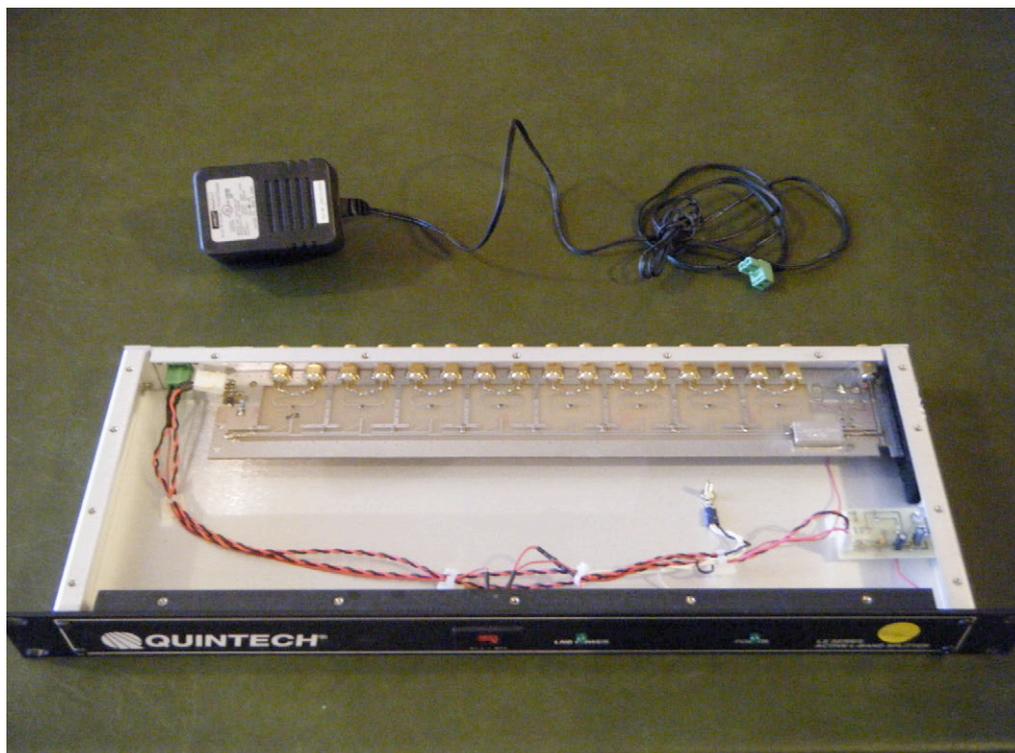


Fig. 230 Splitter Quintech LS 16 2150

El splitter en sí mismo está formado por un chasis de 1 unidad de rack en el cual se alojan los diferentes elementos propios del splitter y una fuente de alimentación externa que provee tanto de alimentación al propio splitter como al LNB a el conectado.

A continuación se va a comentar los principales elementos de los que está formado el splitter sin entrar en gran profundidad en su análisis, haciendo tan solo especial hincapié en aquellos elementos que diferencian a este splitter profesional del anteriormente presentado.

Elementos externos al chasis:

- Fuente de alimentación: La fuente de alimentación que se provee junto al splitter es una fuente manufacturada por Jameco y el modelo en concreto es el Reliapro DDU180100. Se trata de una fuente lineal no regulada que provee a su salida de una tensión de 18 voltios de continua y 1 amperio de continua. Con esta fuente se alimentan por un lado el consumo máximo del splitter que es de unos 12 vatios y por otro lado al LNB conectado al splitter.



Realmente como fuente de alimentación no es que sea de una gran calidad, más bien es una primera aproximación a una tensión de continua. Por lo que si se desea una tensión lo más estable y regulada posible se va a necesitar de una circuitería propia en el interior del splitter que ayude a obtener una buena alimentación para el splitter.

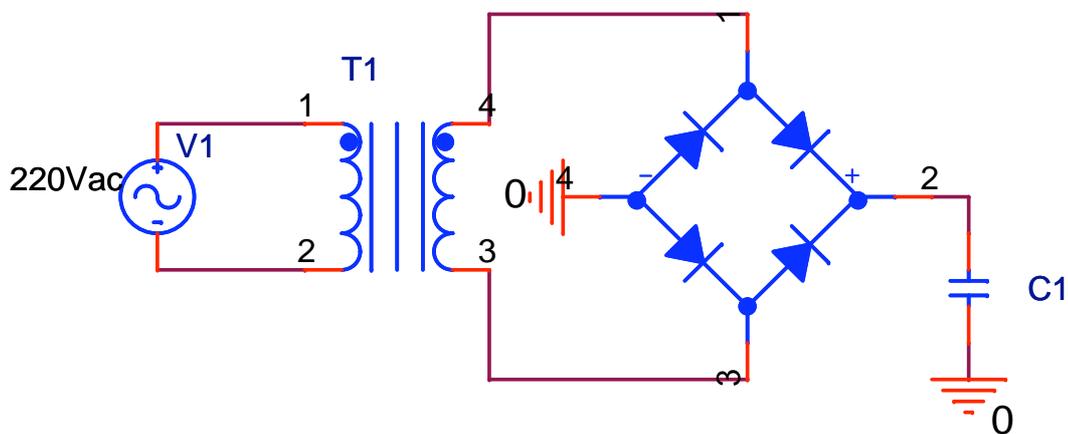


Fig. 232 Esquema de la fuente de alimentación.

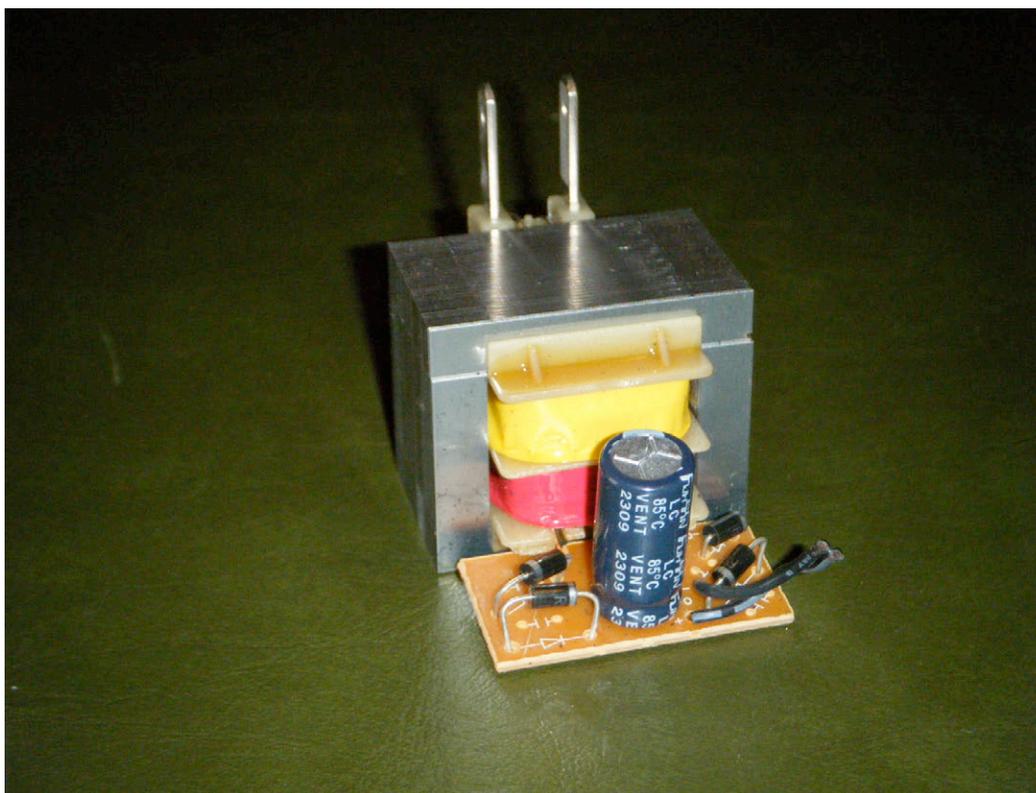


Fig. 233 Fotografía de la fuente de alimentación.

De los elementos propios del chasis se va diferenciar aquellos elementos que son visuales o accesibles desde el exterior del chasis y los elementos que son accesibles tan solo abriendo el chasis. Se finalizará con un esquemático de todos los elementos interconectados entre sí.

- Elementos accesibles desde el exterior del chasis.

1) En la parte frontal del chasis se pueden encontrar tres elementos:

- o Selector que habilita o deshabilita la alimentación del LNB: Un simple sistema mecánico que funciona como un interruptor SPDT, habilita o deshabilita la alimentación que se realiza al LNB a través del conector de entrada. En el interruptor aparece serigrafiado un 1 o un 0 dependiendo de la posición seleccionada. Si en el interruptor se puede ver el 1 o la pestaña del interruptor se encuentra en la posición *ON* entonces el splitter está alimentando al LNB. En el caso de que se pueda ver el 0 o la posición de la pestaña se encuentra en el *OFF* entonces no se está alimentando al LNB desde el splitter.

El interruptor al ser de dos posiciones y de tipo SPDT dispondrá tan sólo de un circuito de selección, es decir estará constituido por tres patillas. Observando el interruptor desde atrás se puede ver que la patilla que se encuentra más hacia la derecha, no tiene conectado ningún cable. La patilla que se encuentra en el medio tiene un cable conectado directamente desde el terminal positivo del conector de alimentación situado en la trasera del equipo. Y la patilla que se encuentra más a la izquierda está conectada mediante dos cables por un lado al diodo LED que indica la alimentación del LNB y por otro lado al punto de la placa PCB principal dedicado exclusivamente a la alimentación del LNB y por tanto unido con el conector de entrada.

El funcionamiento es muy sencillo, cuando el interruptor está en la posición *OFF* internamente se están uniendo la patilla central con la patilla de la derecha, como la patilla de la derecha no está conectada a nada, la tensión que llega al interruptor no se transmite a otros elementos del sistema. Cuando el interruptor se encuentra en la posición *ON* internamente se está uniendo la patilla central con la patilla de la izquierda. En este caso si que existe un cable que une la patilla izquierda con otros elementos del circuito, estableciéndose una corriente tanto por el diodo LED de señalización como por el conector de entrada de la placa principal (la patilla izquierda está unida con dos cables, un cable va al diodo LED y el otro cable va directamente a la placa PCB).

- o Diodo Led que indica si se está alimentando el LNB: El diodo LED anteriormente comentado como una señalización de la alimentación del LNB está unido en el ánodo con la patilla izquierda del selector y en el cátodo está unido directamente a través de un cable con el chasis del splitter. En el caso de que el selector se encuentre posicionado en *ON*, le llegará a la patilla izquierda la tensión existente en la patilla central y se establecerá una diferencia de potencial ánodo cátodo de 18 voltios, con lo que el diodo se polarizará y comenzará a lucir.
- o Diodo Led que indica el funcionamiento del splitter: El diodo LED encargado de la señalización del funcionamiento del splitter, está unido a través de una resistencia de  $3K\Omega$  con el terminal positivo del conector de alimentación, situado en la parte trasera.

Esta resistencia y el cable que va hasta el ánodo del diodo LED, están implementados sobre la propia placa PCB encargada de la regulación de tensión con la que se alimenta el splitter. El cátodo del diodo LED está unido de nuevo mediante un cablecito con el chasis. Cuando la tensión de continua llega a la placa de regulación de tensión, se establece una corriente que fluye a través de la resistencia y posteriormente por el diodo LED, indicando que la fuente de alimentación está alimentando al splitter. Este diodo LED tan sólo monitoriza la correcta tensión que le llega al splitter desde la fuente de alimentación. No monitoriza ningún elemento o etapa posterior a la resistencia descrita. El terminal positivo del conector de alimentación trasero está directamente unido en el conector con dos cables. Un cable es dirigido hacia el interruptor de alimentación del LNB y el otro cable es dirigido hacia la circuitería de regulación de tensión.



Fig. 234 Vista de los principales elementos externos del splitter Quintech LS 16 2150

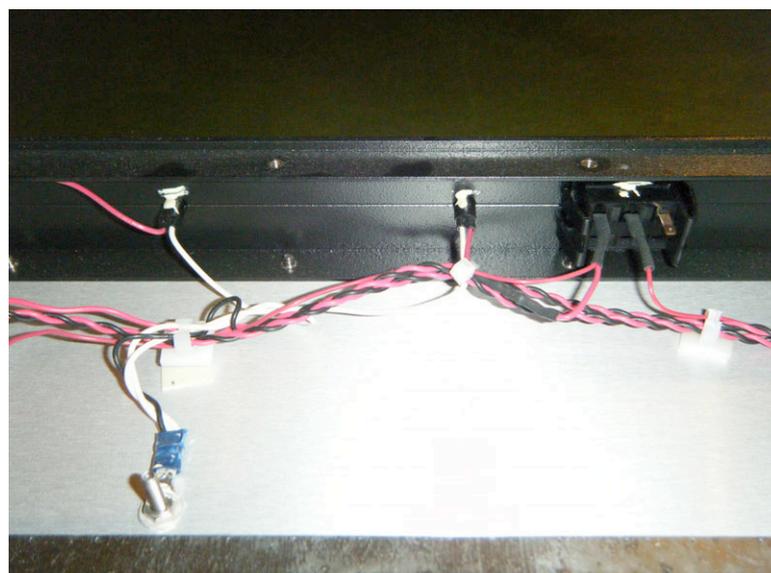


Fig. 235 Cableado de los elementos externos del splitter Quintech LS 16 2150

- 2) En la parte trasera del chasis se puede encontrar la parte del conexionado:
- Conectores de RF: Concretamente 17 conectores F, de los cuales uno es empleado para la bajada del LNB y los restantes 16 son las salidas del splitter. El conector serigrafiado como *input* es el conector desde el cual se suministran los 18 voltios de continua al LNB. El fabricante insiste en que para un óptimo funcionamiento del splitter es conveniente cargar las salidas no utilizadas con sus correspondientes cargas de  $75\Omega$ .
  - Conector de alimentación: El conector empleado en el chasis es un conector de tipo bipolar al cual le llegan los dos cables de la fuente de alimentación externa. El conector muestra en su serigrafía una polaridad (+/-) y esta debe ser respetada para no quemar la circuitería de regulación de tensión.

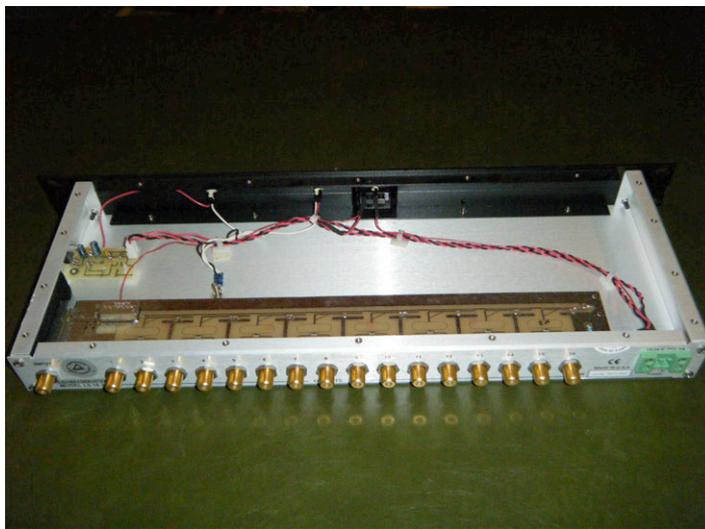


Fig. 236 Vista posterior del splitter Quintech LS 16 2150

- Elementos accesibles desde el interior del chasis. En el interior del chasis coexisten los siguientes elementos:
  - Circuitería principal del splitter: La circuitería principal del splitter se encuentra formada por cuatro elementos:
    - 1) Bloque de alimentación. Al bloque de alimentación llegan los 18 voltios de la circuitería de regulación de tensión de alimentación. El primer elemento que se observa en esta circuitería es el condensador C8, el cual actúa como un condensador de desacoplo, filtrando hacia masa cualquier componente de alterna que se suministre desde la circuitería de regulación de tensión de alimentación. El segundo elemento es un diodo zener D1 el cual es el encargado de fijar la tensión de continua con la cual se va a obtener la corriente de polarización en R6. El condensador C7 es de nuevo un condensador de desacoplo que filtra hacia masa la componente de alterna que pueda existir en la alimentación.

La resistencia R6 es la resistencia que fija la corriente de polarización de continua que entra en el integrado ERA-5SM y es en la que en definitiva se va a fijar el punto de trabajo de los transistores implementados en el interior del ERA-5SM. El MMIC ERA-5SM pertenece a la clase de MMICs que necesitan una corriente de continua constante para polarizarse, en lugar de una tensión de continua constante. Para calcular esta corriente de polarización se debe dejar en circuito abierto el condensador C7 y cortocircuitar la bobina L2, ya que el estudio de la corriente de polarización se hace para corrientes de continua. Una vez que se ha hecho esto, se puede ver que la corriente de polarización se obtiene como la diferencia de potencial que se establece en bornas de R6 dividido entre R6. Existe un artículo bastante interesante acerca de la polarización de los MMICs amplificadores que se polarizan con una corriente constante de continua, en la web de Mini-circuits. La nota de aplicación es la AN-60-010 y el título: *Biasing of constant current MMIC amplifiers*. Es bastante interesante leer dicho artículo.

Por último la bobina L2 actúa como un *choke*. En la literatura anglosajona se conoce al choke, como una bobina que se instala en los circuitos de alimentación y cuya misión es filtrar la componente de alterna de la alimentación. Se basa en la propia autoinducción de la bobina y en la f.e.m que se produce a raíz de los campos eléctricos y magnéticos variables en el tiempo. La f.e.m que se origina, como fruto de las variaciones de tensión en bornas de la bobina, se induce en la propia bobina que tratará de contrarrestar las variaciones de tensión existentes en bornas de la misma.

La f.e.m autoinducida en la bobina, depende de la frecuencia de la señal alterna. Debido a esto la reactancia de una bobina aumenta proporcionalmente a la frecuencia:  $X_L = \omega \cdot L$ . Es decir la bobina ofrece una mayor resistencia al paso de la corriente por ella, a medida que se aumenta la frecuencia de la señal.

La bobina L2 además tiene otra misión, y es que se encarga de filtrar la señal que se amplifica en el integrado ERA-5SM, evitando de esta forma, que el circuito de alimentación, cargue la salida del integrado, y que la alimentación del sistema se contamine con la señal amplificada que procede del LNB.

- 2) **Circuitería amplificadora:** La circuitería amplificadora está compuesta por: R1, C2, R2, R3, R4, C3, C4, C5, C6, R5 y el MMIC ERA5-SM. De estos elementos se comentarán brevemente los más interesantes.

El condensador C2 actúa como un condensador de acoplo, acoplando la señal de alterna de la entrada a la circuitería de alimentación y bloqueando la tensión de continua que se utiliza para alimentar al LNB. Los condensadores C3 y C4 actúan como un filtro paso banda de primer orden, mediante el cual se restringe el espectro de la señal de entrada a un determinado ancho de banda que será el que se amplifique. El condensador C5 es de nuevo un condensador de acoplo, acoplando la

señal amplificada al resto de la circuitería, y bloqueando la tensión de continua que se provee desde la bobina L2. Además, el condensador C5 junto al condensador C6, implementan un filtro paso banda de primer orden.

El MMIC ERA5-SM es la parte principal de esta circuitería. Se trata de un integrado en formato Micro-X, que internamente está implementado entre otros elementos de dos transistores bipolares HBT en una configuración Darlington, amplificando en corriente la señal que hasta él llega. El integrado está constituido con 4 patillas, una de ellas se utiliza para la señal de entrada, otras dos de sus patillas se utilizan para conectarlo a masa, y la última patilla se emplea tanto para la salida de la señal amplificada, como para alimentar al integrado con la tensión de continua.

Se trata de un amplificador monolítico cuyos transistores bipolares se implementan con tecnología HBT, ofreciendo un ancho de banda mayor que la clásica tecnología BJT (en concreto el ancho de banda del ERA-5SM, llega hasta los 4 GHz).

De entre las características del MMIC, se pueden subrayar:

- Está completamente adaptado a impedancias de 50 ohmios internamente, ofreciendo una impedancia de entrada y de salida de 50 ohmios.
- Es estable por si mismo, independientemente de los elementos a los que se conecte, y sin la necesidad de elementos externos para conseguir dicha estabilidad.
- Está implementado con protección contra transitorios.
- Pocas variaciones en su comportamiento, frente a variaciones de temperatura.

Surface Mount  
**Monolithic Amplifier** DC-4 GHz

**Product Features**

- DC-4 GHz
- Single Voltage Supply
- Internally matched to 50 Ohms
- Unconditionally Stable
- Low Performance Variation Over Temperature
- Transient protected
- Aqueous washable
- Protected by US Patent 6,943,629

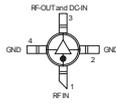
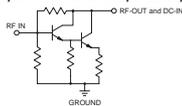
**Typical Applications**

- Cellular PCS/3G Base Station
- CATV, Cable Modem & DBS
- Fixed Wireless & WLAN
- Microwave Radio & Test Equipment

**General Description**

ERA-5SM+ (RoHS compliant) is a wideband amplifier offering high dynamic range. It has repeatable performance from lot to lot. It is enclosed in an Micro-X package. ERA-5SM+ uses Darlington configuration and is fabricated using InGaP HBT technology. Expected MTBF is 850 years at 85°C case temperature.

**simplified schematic and pin description**



Function	Pin Number	Description
RF IN	1	RF input pin. This pin requires the use of an external DC blocking capacitor chosen for the frequency of operation.
RF-OUT and DC-IN	3	RF output and bias pin. DC voltage is present on this pin; therefore a DC blocking capacitor is necessary for proper operation. An RF choke is needed to feed DC bias without loss of RF signal due to the bias connection, as shown in "Recommended Application Circuit".
GND	2,4	Connections to ground. Use via holes as shown in "Suggested Layout for PCB Design" to reduce ground path inductance for best performance.



RoHS Compliant  
This + suffix identifies RoHS Compliance. See our web site for RoHS Compliance methodologies and qualifications.

**Electrical Specifications at 25°C and 65mA, unless noted**

Parameter	Min.	Typ.	Max.	Units	Cpk	
Frequency Range*	DC			4	GHz	
Gain	f=0.1 GHz f=1 GHz f=2 GHz f=3 GHz f=4 GHz	19 20.2 16 17.6 14	22 19.5 17.6 15.6 14	dB	≥1.5	
Magnitude of Gain Variation versus Temperature (values are negative)	f=0.1 GHz f=1 GHz f=2 GHz f=3 GHz f=4 GHz	.0025 .0034 .0043 .0052 .0065	.005 .007 .0085 .0105 .013	dB/°C		
Input Return Loss	f=0.1 GHz f=2 GHz f=4 GHz	21 23 21		dB		
Output Return Loss	f=0.1 GHz f=2 GHz f=4 GHz	30 26 17		dB		
Reverse Isolation	f=2 GHz	19	22	dB		
Output Power @ 1 dB compression	f=0.1 GHz f=1 GHz f=2 GHz f=4 GHz	16.5 16.5 15.5 12.5	18.4 18.4 17 12.5	dBm	≥1.5	
Saturated Output Power (at 3dB compression)	f=0.1 GHz f=1 GHz f=2 GHz	19.5 18.5 18		dBm		
Output IP3	f=0.1 GHz f=1 GHz f=2 GHz f=4 GHz	30 30 26 26	33 33 30 26	dBm	≥1.5	
Noise Figure	f=0.1 GHz f=2 GHz f=4 GHz	3.5 3.5 3.5	4.5 4.5 4.5	dB	≥1.5	
Group Delay	f=2 GHz	90		psec		
Recommended Device Operating Current		65		mA		
Device Operating Voltage		4.5	4.9	5.3	V	≥1.5
Device Voltage Variation vs. Temperature at 65mA		-3.2		mV/°C		
Device Voltage Variation vs. Current at 25°C		6.9		mV/mA		
Thermal Resistance, junction-to-case*		133		°C/W		

\*Guaranteed specification DC-4 GHz. Low frequency cut off determined by external coupling capacitors.

Fig. 237 Hoja de características técnicas del MMIC ERA-5SM. Por cortesía de Mini-Circuits.

3) Divisor de potencia: La circuitería divisora de potencia, se basa en las multisecciones que ya se presentaron anteriormente, en concreto cada circuitería binaria divisora está compuesta de dos secciones. Pero quizás esta circuitería tiene algo peculiar que lo hace realmente interesante y diferente de muchos splitters. Si se observa el esquemático del splitter, se podrá ver, que no existe contacto físico entre lo que es la salida de la etapa amplificadora y la entrada de la etapa divisora. Es decir, ambas etapas se encuentran aisladas entre sí.

La pregunta entonces que cabe hacerse es: ¿Cómo llega la señal desde la etapa amplificadora hasta la etapa divisora? La respuesta es que se produce un acoplamiento magnético entre las dos partes del circuito.

En el circuito del splitter, existe una pista que partiendo desde la etapa amplificadora, recorre íntegramente toda la placa. Paralelamente a esta pista, se coloca una pista de pequeño tamaño por cada una de las multisecciones presentes en el splitter. La señal que discurre por la pista larga, se induce en cada una de las pistas cortas, produciendo un acoplamiento magnético, y propiciando que la señal que está presente a la salida de la etapa amplificadora, esté también presente en cada una de las multisecciones que se implementan en el splitter.

Pese a que en el esquemático, tan sólo se han representado 3 de las multisecciones existentes en el splitter, se debe saber que en el splitter se implementan 8 multisecciones en total, siendo todas iguales entre sí.

4) Circuitería de alimentación del LNB: La circuitería de alimentación del LNB está formada por dos elementos. El condensador C1 y la bobina L1. El condensador C1 actúa como un condensador de desacoplo, filtrando hacia masa la componente de alterna que viaja junto a la componente de continua, desde la circuitería de regulación de tensión de alimentación. La bobina L1 es de nuevo un *choke*, que filtra la componente de alterna de la señal que por ella viaja. La bobina L1 se encuentra directamente conectada a la entrada, con lo cual estará alimentando al LNB.

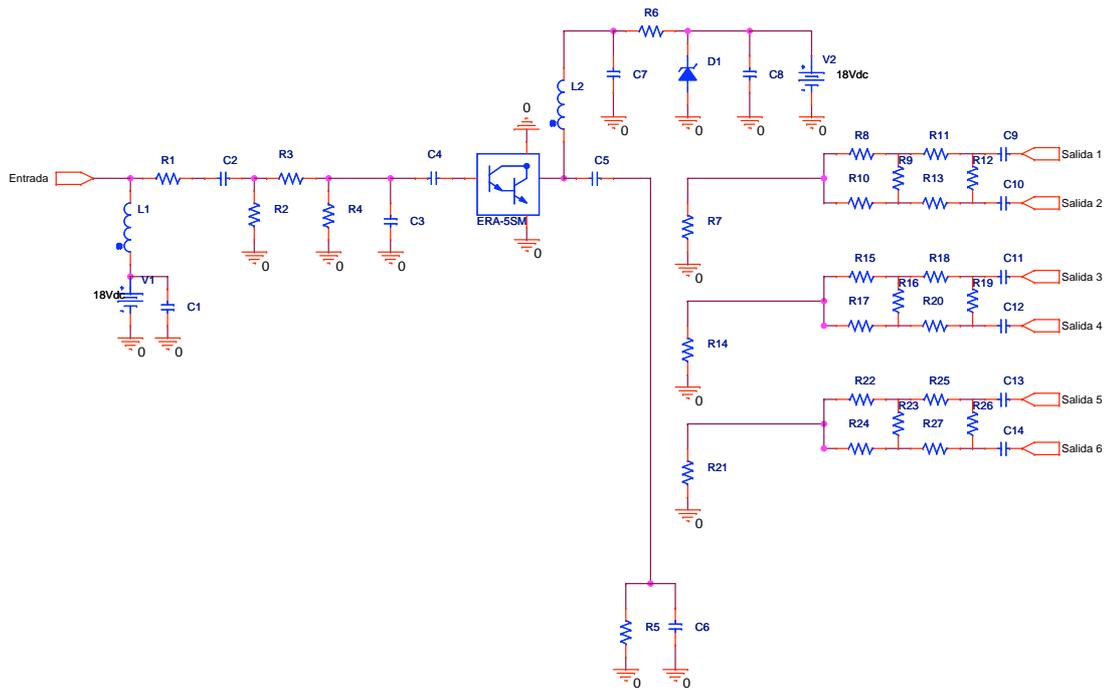


Fig. 238 Esquema de la circuitería del splitter.

- Circuitería de regulación de tensión de alimentación: La circuitería encargada de la regulación de tensión tiene como función la de proveer a la placa principal de una tensión de continua lo más regulada y estable posible. Esto incluye minimizar el rizado proveniente de la fuente de alimentación y limpiar la alimentación en sí misma.

En la placa coexisten diferentes elementos, cada uno de ellos con su propia finalidad. Así por ejemplo se dispone de una resistencia en serie con el diodo LED que monitoriza el correcto funcionamiento de la fuente de alimentación, dos condensadores cerámicos C1 y C3, dos condensadores electrolíticos C2 y C4 y un integrado LM340T12 en un encapsulado TO220.

Los elementos que acondicionan el circuito son realmente los 4 condensadores y el regulador LM340. Los condensadores C2 y C3 son recomendados por el fabricante National semiconductor para el uso junto al regulador 7812. El condensador C2 es recomendado en aquellas situaciones en las que el regulador esté alejado de la fuente de alimentación, mientras que el condensador C3 es recomendado para mejorar la respuesta temporal al transitorio del integrado regulador.

El elemento clave es el integrado LM340, el cual es el encargado de regular la tensión de 18 voltios que entrega la fuente de alimentación a los 12 voltios necesarios para la placa principal. El integrado LM340T012 o conocido como 7812 pertenece a la familia de los reguladores de tensión lineales y más concretamente su topología es la estándar. Este tipo de integrado se suele encontrar en las fuentes de alimentación lineales, y son de los elementos que más estabilizan la tensión de alimentación. La finalidad básica de este elemento es mantener la tensión de salida fija, independientemente de las variaciones de corriente que circulen por la circuitería a la que se conecte o a los cambios en la tensión

de entrada. La tensión de salida será fija y estable siempre que se esté trabajando dentro del rango de funcionamiento del integrado.

El funcionamiento de un regulador de tensión es muy sencillo. Tal como se puede observar en el siguiente diagrama de bloques

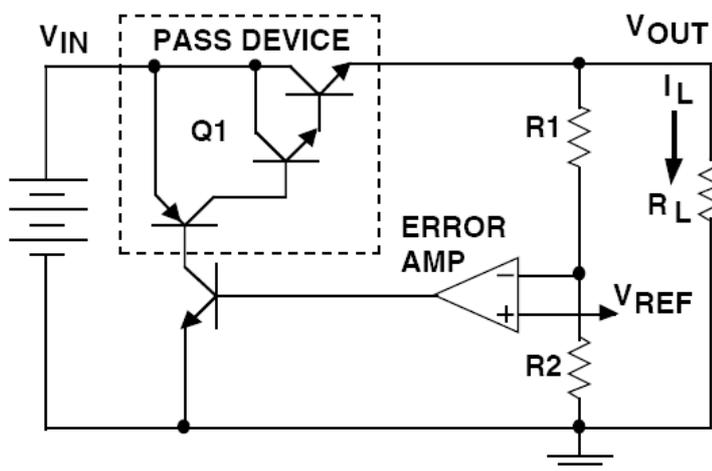


Fig. 239 Modelo equivalente de un regulador de tensión. Por cortesía de National Semiconductors.

El elemento de paso es el elemento encargado de generar la corriente que circulará por la circuitería a la cual alimenta. Este elemento de paso ajusta la corriente que la circuitería demanda, de tal manera que siempre muestra una tensión igual a la salida. El elemento de paso está constituido a su vez de dos bloques, el transistor PNP que actúa como *driver* excitando el bloque siguiente, y un conjunto de transistores en una configuración Darlington que amplifican la corriente. El *driver* también es conocido como *power stage drive* y la configuración Darlington es a veces referida como *power stage*

Para poder mantener el potencial frente a las variaciones que se produzcan en la circuitería, el elemento de paso necesita de otro elemento que esté monitorizando la tensión en la salida del regulador y que informe acerca de las variaciones que sucedan. Este elemento es lo que se conoce como el lazo de realimentación. El lazo de realimentación está modelado como un conjunto de dos resistencias, un amplificador operacional y un transistor NPN. El lazo de realimentación es un camino desde la salida hacia el elemento de paso en el cual y mediante una tensión error aplicada sobre el transistor PNP o *driver*, modifica la corriente que se genera en él, produciendo que la tensión a la salida del regulador sea la esperada.

Para ello el lazo de realimentación se sirve de un amplificador de tensión error. A este amplificador llegan dos tensiones, la primera tensión es una parte proporcional de la tensión de salida (debido al divisor de tensión R1,R2) y la segunda tensión es una tensión de referencia generada en el interior del regulador y que es proporcional a la tensión nominal de salida (esta última tensión es muy estable). En el amplificador se comparan ambas tensiones y se crea una tensión diferencia. Es lo que se conoce como tensión error,

ya que la resta de la tensión de salida que llega a través del divisor menos la tensión de referencia, indica cuanto está desviado la tensión de salida con respecto al valor nominal del regulador. Esta tensión error entra en la base del transistor NPN (Q2) situado a la salida del amplificador de la tensión error, amplificando la tensión error en su colector. El colector de Q2 está unido directamente a la base del transistor PNP del elemento de paso. Por lo tanto la tensión error controla el *driver* el cual a su vez es el que establece la corriente que circula por el Darlington.

El lazo de realimentación va a forzar la corriente generada por el elemento de paso para que la diferencia de tensiones existentes a la entrada del amplificador de la tensión error tienda a cero.

En el apartado de distribuidores de señales SDI se mostró el regulador LM1086, un regulador de la familia quasi-LDO. Ahora se ha presentado el regulador LM340, de la familia de los reguladores estándar. Quizás es un buen momento para comentar brevemente las principales familias de los reguladores.

Cuando se habla de las familias de reguladores se suele referir a la topología que implementa el elemento de paso del regulador. La principal diferencia entre estas familias son los elementos que constituyen el elemento de paso del regulador y la caída de tensión o *dropout* que se produce entre la entrada y salida del elemento de paso. Actualmente existen tres familias principalmente que se van a detallar a continuación: estándar, LDO y quasi-LDO

- Reguladores estándar: Son los reguladores cuyo elemento de paso está constituido por un transistor PNP y dos transistores NPN en una configuración Darlington. La caída de potencial entrada-salida viene determinada por la caída de potencial colector-emisor del transistor PNP más la caída de potencial en las uniones base-emisor de cada uno de los transistores NPN. El parámetro *dropout* será la suma de estos potenciales, el cual para un regulador estándar puede variar entre 1,7-2,5 voltios. Si se tiene en cuenta que la unión base-emisor de cada NPN se polariza con 0,7 voltios, la tensión colector-emisor del transistor PNP variara entre 0,3 voltios y 1,1 voltios, lo cual indica que el transistor PNP está trabajando cerca de su zona de saturación y por tanto está drenando una cantidad de corriente cerca de la máxima que es capaz de drenar.
- Reguladores LDO: El elemento de paso está constituido únicamente por el transistor PNP, con lo cual la caída de potencial o *dropout* es igual a la caída de potencial colector-emisor en el transistor PNP. Los valores típicos de caída para este regulador es 0,1-0,7 voltios. Se vuelve a trabajar con el transistor PNP en su zona de saturación o cercano a esta zona, y por tanto el transistor estará drenando el máximo de corriente que es capaz de drenar.

- Reguladores quasi-LDO: El elemento de paso está implementado con un transistor PNP y un transistor NPN. La caída de potencial que se produce en el elemento de paso es igual a la caída de potencial emisor-colector del transistor PNP y la caída de la unión base-emisor del transistor NPN. El valor de *dropout* en este tipo de reguladores es de 0,9-1,5 voltios. Si se le resta los 0,7 voltios de la unión base emisor, en la unión emisor-colector del PNP estarán cayendo 0,2-0,8 voltios. Una vez más se comprueba que el transistor está funcionando en su zona de saturación o en una zona muy cercana a ella y por lo tanto está entregando una cantidad de corriente considerable al transistor NPN.

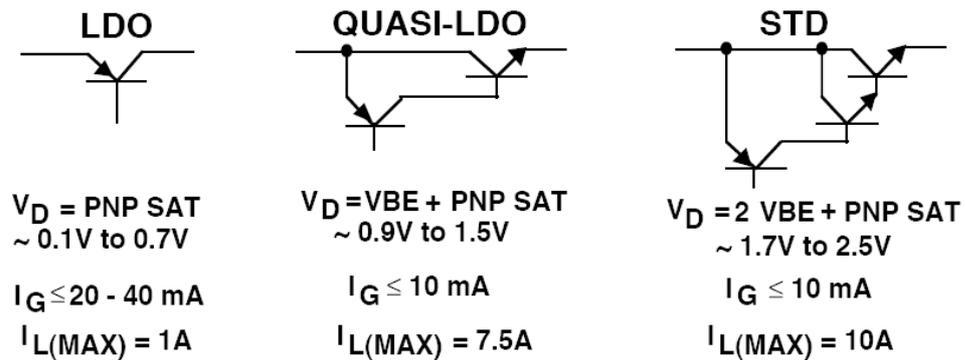


Fig. 240 Familias de reguladores según el elemento de paso. Por cortesía de National Semiconductor.

Hasta el momento se ha presentado la parte más básica de la circuitería que conforma un regulador, sin embargo en los reguladores existen otras circuiterías bastante importantes y que ayudan a proteger al regulador de condiciones adversas. A continuación se va a comentar de una forma un tanto genérica los principales sistemas de protección que se incluyen en los reguladores.

En los reguladores de tensión más usuales existen dos tipos de limitación de corriente. La primera es la conocida como la limitación por corriente constante y la segunda es la limitación de corriente de tipo *foldback*.

- Limitación por corriente constante: La limitación por corriente constante se puede estudiar mediante el siguiente modelo aproximado.

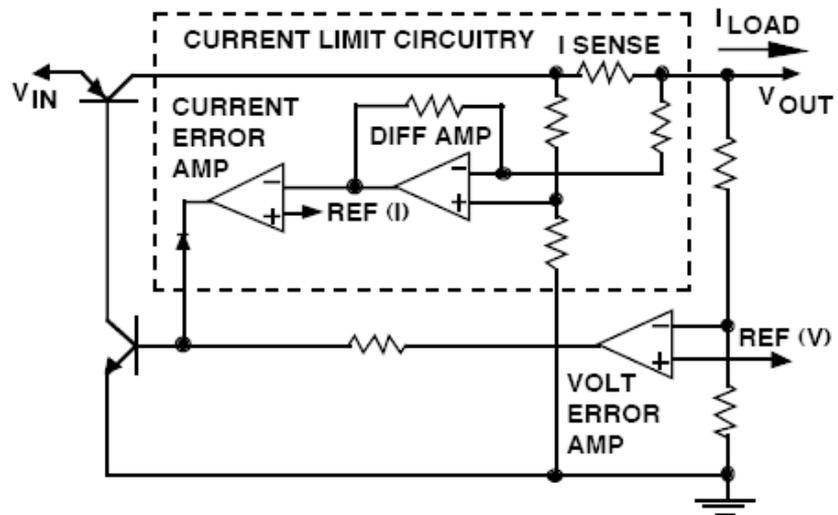


Fig. 241 Sistema de limitación de corriente.

El sistema es bastante sencillo, la resistencia  $I_{sense}$  es colocada en el emisor del último transistor que conforma el elemento de paso, por tanto la corriente que circula por esta resistencia es la corriente que entrega el regulador. La corriente al pasar por esta resistencia produce una caída de potencial proporcional a la corriente y al valor de la resistencia. La caída de potencial en la resistencia es introducida en el amplificador diferencial donde es amplificada. La salida del amplificador diferencial es introducida en un sistema de comparación (*current error amp*) que compara la tensión a la salida del amplificador con una tensión que genera el regulador internamente, y cuyo valor es igual al valor de la tensión que el amplificador diferencial estaría entregando, cuando por la resistencia  $I_{sense}$  esté circulando la máxima corriente que admite el regulador.

Cuando la corriente que circula por  $I_{sense}$  es igual a la máxima corriente que el regulador es capaz de entregar, la circuitería del limitador de corriente comienza a actuar, drenando hacia masa parte de la corriente que discurre por el lazo de realimentación del integrado, y dejando pasar tan sólo la corriente que hace que el elemento de paso genere en  $I_{sense}$  la máxima corriente que entrega el regulador. Cuando el regulador está funcionando en este modo, la corriente entregada por el regulador es constante y el elemento de paso está controlado por el amplificador de la corriente error y no por el amplificador de tensión error del lazo de realimentación. El comparador de corriente va a tratar de lograr que la corriente que entregue el integrado sea constante e igual a la máxima, hasta que la condición que ha llevado al comparador de corriente a actuar desaparezca y pueda cederle el control de la circuitería de nuevo al amplificador de tensión error.

Las clásica gráfica que ilustra este funcionamiento es la siguiente

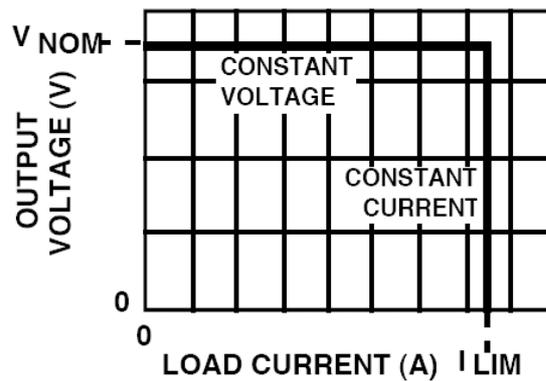


Fig. 242 Limitador de corriente constante.

En ella se puede observar dos zonas de funcionamiento, la zona de tensión constante, en la cual el elemento que tiene el control sobre el regulador es el amplificador de tensión error. En esta parte de la gráfica se observa que para diferentes corrientes suministradas a la carga, la tensión es siempre constante, es decir el regulador ajusta su corriente de salida para que sobre la carga siempre caiga el mismo potencial. En contraposición, la segunda zona de funcionamiento, es la de corriente constante y en ella es el amplificador de corriente error el que tiene control sobre el regulador, fijando una corriente de salida constante independientemente del valor de la carga. Lógicamente en este caso la tensión de salida que entrega el regulador varía según el valor de la carga, pudiendo tomar cualquier valor entre el valor nominal y los cero voltios.

- Limitador de corriente de tipo *foldback*. El limitador de corriente de tipo *foldback* posee ciertas similitudes con el limitador de corriente constante. Este tipo de limitación es muy empleada en reguladores con corrientes mayores de 1 amperio, y su principal característica es que el valor de la corriente de salida depende de la diferencia de potencial existente entre la entrada y salida del regulador de tensión.

En las hojas de características de muchos reguladores se puede encontrar la gráfica que relaciona la corriente de salida con esta diferencia de potencial, lo cual es un claro indicio a priori de que ese regulador posee un limitador de tipo *foldback*. Otro indicio en las hojas de características es la existencia de una protección del área segura de trabajo o SOA (*Safe Operating Area*).

Este área establece mediante una gráfica aquellos valores de corriente que atraviesa el colector de los transistores del elemento de paso (y por tanto de salida del regulador) y la diferencia de potencial colector-emisor (diferencia entrada-salida del regulador) que pueden existir en los transistores del elemento de paso sin que este se destruya.

La diferencia de potencial colector-emisor está directamente relacionada con la diferencia de potencial entrada-salida del regulador.

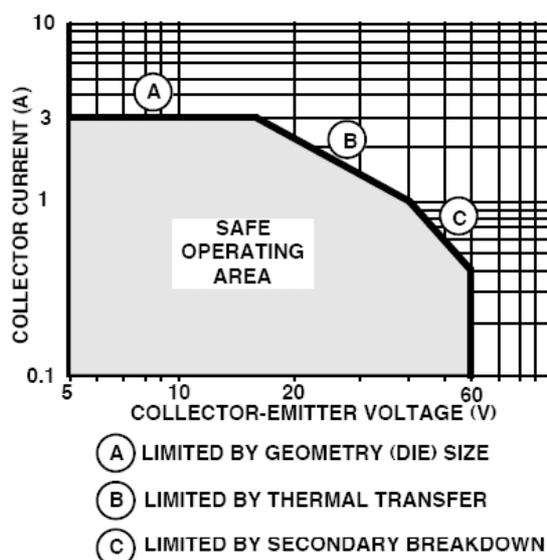


Fig. 243 Área de operación segura de un transistor. Por cortesía de National Semiconductor.

La siguiente gráfica es la clásica gráfica de los limitadores de tipo *foldback*. En ella se puede observar dos modos de funcionamiento. En el modo de tensión constante la tensión permanece constante en la carga independientemente del valor de la misma y de la corriente suministrada por el regulador. En esta zona el elemento de paso se encarga de mantener estable el potencial en la carga aunque en ella se presenten variaciones en la corriente demandada. La segunda zona de funcionamiento es la que está controlada por el limitador de corriente y en esta zona y a la vista de la forma de la gráfica es donde el termino *foldback* cobra su sentido, ya que la corriente sigue la caída del potencial sobre la carga, reduciéndose ella también. Es decir, según se va haciendo más pequeño el potencial sobre la carga, la corriente sobre la carga también se hace más pequeña.

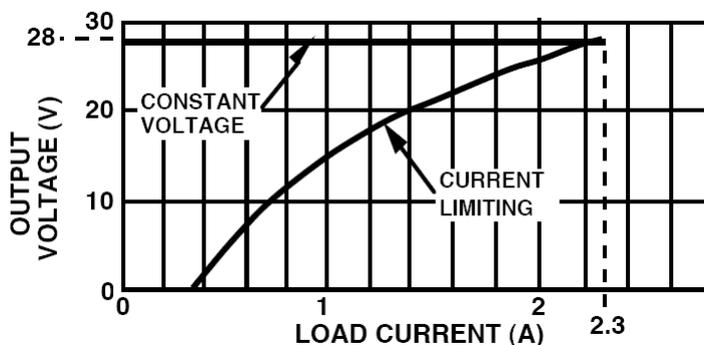


Fig. 244 Limitador de corriente de tipo *Foldback*

El sistema de protección térmico más empleado se conoce como *thermal shutdown*. Este nombre es muy acertado ya que su capacidad de drenar corriente es tan grande que es capaz de drenar toda la corriente del elemento de paso haciendo que a simple vista parezca que el regulador se ha apagado o cortado. Su funcionamiento básico hace uso de la propiedad de la disminución de  $2\text{mV}/^\circ\text{C}$  en la unión base-emisor de los transistores bipolares para la conducción. Si bien los sistemas de protección térmicos son muy variados y depende de la circuitería implementada por el fabricante, el siguiente modelo es muy empleado en diferentes tipos de reguladores.

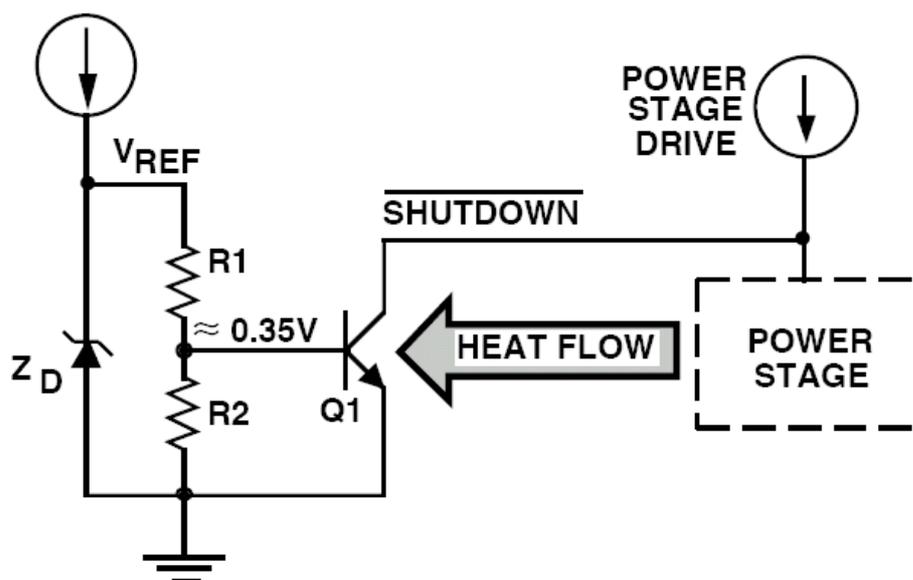


Fig. 245 Sistema de protección térmico. Por cortesía de National Semiconductors.

A grandes rasgos se trata de establecer una tensión de polarización de continua fija en la base de un transistor bipolar implementado en el interior del encapsulado. Esta tensión debe ser menor de los 0,7 voltios usuales, para que a temperatura ambiente el transistor no este conduciendo. Se suelen establecer tensiones de polarización de entre 0,35 y 0,4 voltios.

A temperatura ambiente la unión base-emisor no conduce pero a medida que aumenta la temperatura, la tensión de polarización necesaria se hace menor a una razón de unos  $2\text{mV}/^\circ\text{C}$ . Cuando la temperatura es suficientemente alta, la unión base emisor se polariza con los 0,35-0,4 voltios y comienza a conducir. El colector de este transistor está unido al colector del driver y a la base del Darlington del elemento de paso, con lo cual a través del colector del transistor de la protección térmica se drena la corriente que el driver está entregando al Darlington. La temperatura a la cual se estima que debe conducir el transistor se puede modificar, variando la tensión de polarización de la base.

LM140 Electrical Characteristics (Note 4) (Continued)											
-55°C ≤ T <sub>J</sub> ≤ +150°C unless otherwise specified											
Symbol	Output Voltage		5V			12V			15V		
	Input Voltage (unless otherwise noted)		10V	19V	23V	10V	19V	23V	10V	19V	23V
Parameter	Conditions	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
ΔV <sub>REG</sub> AV <sub>OUT</sub>	Ripple Rejection	I <sub>O</sub> ≤ 1A, T <sub>J</sub> = 25°C or I <sub>O</sub> ≤ 500 mA, -55°C ≤ T <sub>J</sub> ≤ +150°C	68	80	61	72	60	70	60	70	60
		f = 120 Hz V <sub>MIN</sub> ≤ V <sub>IN</sub> ≤ V <sub>MAX</sub> (8 ≤ V <sub>IN</sub> ≤ 18)	68		61		60				
R <sub>O</sub>	Dropout Voltage	T <sub>J</sub> = 25°C, I <sub>O</sub> = 1A	2.0		2.0		2.0				
	Output Resistance	f = 1 kHz	8		18		19				
	Short-Circuit Current	T <sub>J</sub> = 25°C	2.1		1.5		1.2				
	Peak Output Current	T <sub>J</sub> = 25°C	2.4		2.4		2.4				
	Average TC of V <sub>OUT</sub>	0°C ≤ T <sub>J</sub> ≤ +150°C, I <sub>O</sub> = 5 mA	-0.6		-1.5		-1.8				
V <sub>IN</sub>	Input Voltage Required to Maintain Line Regulation	T <sub>J</sub> = 25°C, I <sub>O</sub> ≤ 1A	7.5		14.6		17.7				

LM340 Electrical Characteristics (Note 4)											
0°C ≤ T <sub>J</sub> ≤ +125°C unless otherwise specified											
Symbol	Output Voltage		5V			12V			15V		
	Input Voltage (unless otherwise noted)		10V	19V	23V	10V	19V	23V	10V	19V	23V
Parameter	Conditions	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
V <sub>O</sub>	Output Voltage	T <sub>J</sub> = 25°C, 5 mA ≤ I <sub>O</sub> ≤ 1A P <sub>D</sub> ≤ 15W, 5 mA ≤ I <sub>O</sub> ≤ 1A V <sub>MIN</sub> ≤ V <sub>IN</sub> ≤ V <sub>MAX</sub>	4.8	5	5.2	11.5	12	12.5	14.4	15	15.6
ΔV <sub>O</sub>	Line Regulation	I <sub>O</sub> = 500 mA T <sub>J</sub> = 25°C 0°C ≤ T <sub>J</sub> ≤ +125°C	3	50	4	120	4	120	4	150	150
		ΔV <sub>IN</sub>	(7 ≤ V <sub>IN</sub> ≤ 25)		(14.5 ≤ V <sub>IN</sub> ≤ 20)		(17.5 ≤ V <sub>IN</sub> ≤ 30)				
		I <sub>O</sub> ≤ 1A	50		50		120		150	150	
		ΔV <sub>IN</sub>	(7.5 ≤ V <sub>IN</sub> ≤ 20)		(14.6 ≤ V <sub>IN</sub> ≤ 27)		(17.7 ≤ V <sub>IN</sub> ≤ 30)				
		0°C ≤ T <sub>J</sub> ≤ +125°C	25		25		60		75	75	
		ΔV <sub>IN</sub>	(8 ≤ V <sub>IN</sub> ≤ 12)		(16 ≤ V <sub>IN</sub> ≤ 22)		(20 ≤ V <sub>IN</sub> ≤ 28)				
ΔV <sub>O</sub>	Load Regulation	T <sub>J</sub> = 25°C 5 mA ≤ I <sub>O</sub> ≤ 1.5A 250 mA ≤ I <sub>O</sub> ≤ 750 mA +125°C	5		5		12		12	150	
		ΔV <sub>IN</sub>	25		25		60		75	75	
		0°C ≤ T <sub>J</sub> ≤ +125°C	50		50		120		150	150	
I <sub>Q</sub>	Quiescent Current	I <sub>O</sub> ≤ 1A T <sub>J</sub> = 25°C	8		8		8		8	8	
		0°C ≤ T <sub>J</sub> ≤ +125°C	8.5		8.5		8.5		8.5	8.5	
ΔI <sub>Q</sub>	Quiescent Current Change	5 mA ≤ I <sub>O</sub> ≤ 1A T <sub>J</sub> = 25°C, I <sub>O</sub> ≤ 1A	0.5		0.5		0.5		0.5	1.0	
		0°C ≤ T <sub>J</sub> ≤ +125°C	1.0		1.0		1.0		1.0	1.0	

LM340 Electrical Characteristics (Note 4) (Continued)											
0°C ≤ T <sub>J</sub> ≤ +125°C unless otherwise specified											
Symbol	Output Voltage		5V			12V			15V		
	Input Voltage (unless otherwise noted)		10V	19V	23V	10V	19V	23V	10V	19V	23V
Parameter	Conditions	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
ΔV <sub>REG</sub> AV <sub>OUT</sub>	Ripple Rejection	V <sub>MIN</sub> ≤ V <sub>IN</sub> ≤ V <sub>MAX</sub> (7.5 ≤ V <sub>IN</sub> ≤ 20)	62	80	55	72	54	70	54	70	54
		I <sub>O</sub> ≤ 500 mA, 0°C ≤ T <sub>J</sub> ≤ +125°C V <sub>MIN</sub> ≤ V <sub>IN</sub> ≤ V <sub>MAX</sub> (7 ≤ V <sub>IN</sub> ≤ 25)	62		55		54				
V <sub>IN</sub>	Output Noise Voltage	T <sub>J</sub> = 25°C, 10 Hz ≤ f ≤ 100 kHz	40		75		90				
ΔV <sub>REG</sub> AV <sub>OUT</sub>	Ripple Rejection	I <sub>O</sub> ≤ 1A, T <sub>J</sub> = 25°C f = 120 Hz V <sub>MIN</sub> ≤ V <sub>IN</sub> ≤ V <sub>MAX</sub> (8 ≤ V <sub>IN</sub> ≤ 18)	62	80	55	72	54	70	54	70	
R <sub>O</sub>	Dropout Voltage	T <sub>J</sub> = 25°C, I <sub>O</sub> = 1A	2.0		2.0		2.0				
	Output Resistance	f = 1 kHz	8		18		19				
	Short-Circuit Current	T <sub>J</sub> = 25°C	2.1		1.5		1.2				
	Peak Output Current	T <sub>J</sub> = 25°C	2.4		2.4		2.4				
	Average TC of V <sub>OUT</sub>	0°C ≤ T <sub>J</sub> ≤ +125°C, I <sub>O</sub> = 5 mA	-0.6		-1.5		-1.8				
V <sub>IN</sub>	Input Voltage Required to Maintain Line Regulation	T <sub>J</sub> = 25°C, I <sub>O</sub> ≤ 1A	7.5		14.6		17.7				

Note 1: Absolute Maximum Ratings are limits beyond which damage to the device may occur. Operating Conditions are conditions under which the device functions but the specifications might not be guaranteed. For guaranteed specifications and test conditions see the Electrical Characteristics.

Note 2: The maximum allowable power dissipation at any ambient temperature is a function of the maximum junction temperature for operation (T<sub>JMAX</sub> = 125°C or 150°C), the junction-to-ambient thermal resistance (R<sub>JA</sub>), and the ambient temperature (T<sub>A</sub>). P<sub>DMAX</sub> = (T<sub>JMAX</sub> - T<sub>A</sub>)/R<sub>JA</sub>. If this dissipation is exceeded, the die temperature will rise above T<sub>JMAX</sub> and the electrical specifications do not apply. If the die temperature rises above 150°C, the device will go into thermal shutdown. For the TO-263 package (K, KC), the junction-to-ambient thermal resistance (R<sub>JA</sub>) is 39°C/W. When using a heatsink, R<sub>JA</sub> is the sum of the 4°C/W junction-to-case thermal resistance (R<sub>JC</sub>) of the TO-263 package and the case-to-ambient thermal resistance of the heatsink. For the TO-220 package (T), R<sub>JA</sub> is 54°C/W and R<sub>JC</sub> is 4°C/W. If SOT223 is used, the junction-to-ambient thermal resistance is 174°C/W and can be reduced by a heatsink (see Applications Notes on heat sinking).

Note 3: ESD rating is based on the human body model, 100 pF discharged through 1.5 kΩ.

Note 4: All characteristics are measured with a 0.22 μF capacitor from input to ground and a 0.1 μF capacitor from output to ground. All characteristics except noise voltage and ripple rejection rate are measured using pulse techniques (t<sub>ON</sub> = 10 ms, duty cycle ≤ 5%). Output voltage changes due to changes in internal temperature must be taken into account separately.

Note 5: Military databases are available upon request. At the time of printing, the military database specifications for the LM140K, LM140K-0.0883, LM140K-12883, and LM140K-15883 comply with the min and max limits for the respective versions of the LM140. The LM140H and LM140K may also be procured as JAN devices on dash sheet 888510/107.

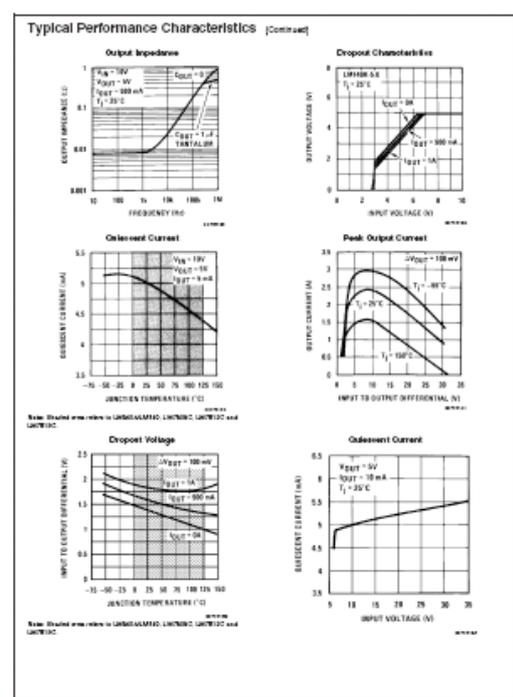
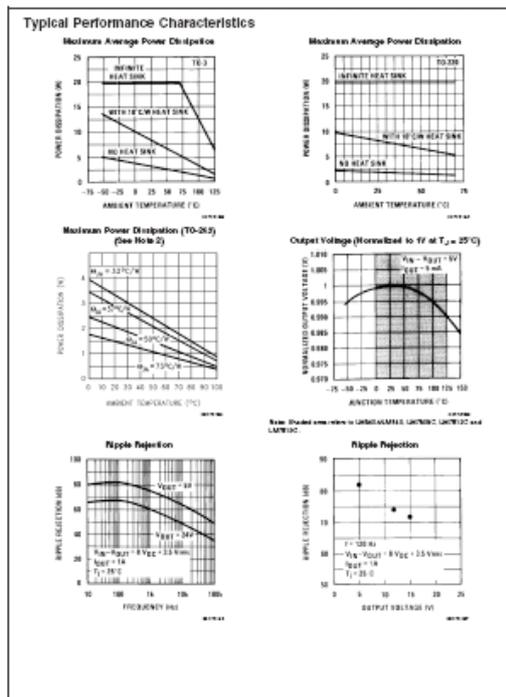


Fig. 246 Hojas de características del integrado 7812. Por cortesía de National Semiconductors

De los parámetros mostrados existen algunos que son especialmente interesantes para comprender como de bien funciona el regulador.

- Tensión de salida (*Output voltage*): Es la tensión a la salida del regulador.
- Regulación de línea (*Line regulation*): Es la variación que se presenta en la salida cuando varía la tensión de entrada, expresada como un porcentaje o como una tensión para un determinado rango.

- Tensión de ruido a la salida (*Output noise voltage*): Es la tensión de ruido que se puede medir a la salida, generada por el regulador.
- Rechazo al rizado (*ripple rejection*): Se mide en dB y muestra la capacidad del regulador de minimizar una señal con rizado en su entrada

De todos los parámetros vistos tan sólo se van a resaltar dos de ellos. El parámetro voltaje de salida indica que para un tensión de entrada de entre 14.5 voltios y 27 voltios la salida del regulador puede ser una tensión contenida en el rango de 11.4 voltios a 12.6 voltios. La desviación con respecto a la tensión nominal de 12 voltios es de +/-5% como máximo. El parámetro de regulación de línea indica que para el peor de los casos una variación en la tensión de entrada va a producir una variación en la tensión de salida de 120 milivoltios. Así por ejemplo en el último caso para una variación de 6 voltios se produce una variación de la tensión de salida de 60 milivoltios, lo que equivale a una variación del 1%

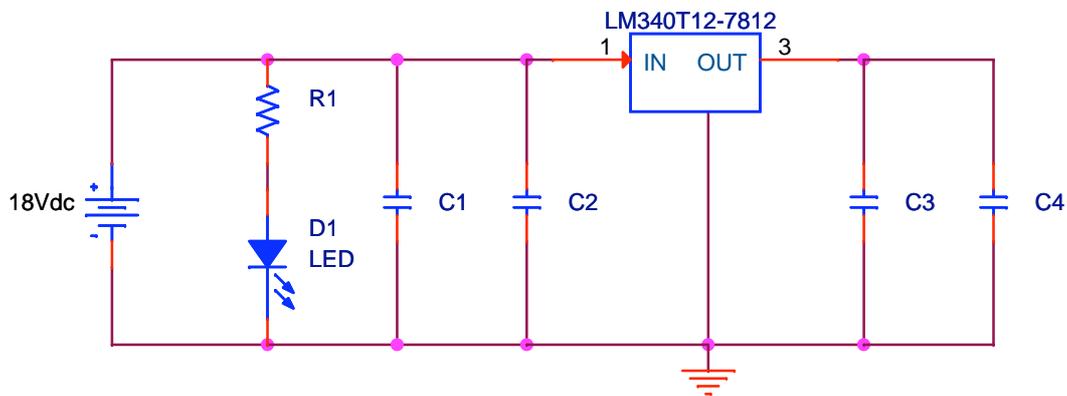


Fig. 247 Esquemático de la circuitería reguladora de tensión del splitter Quintech LS 16 2150

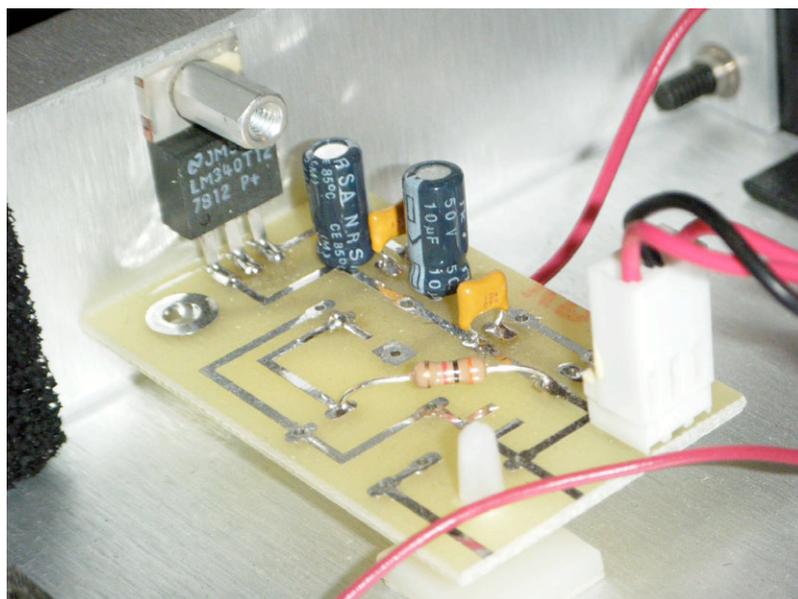


Fig. 248 Circuitería de regulación de tensión del splitter Quintech LS 16 2150

- Cableado que une todos los elementos entre sí: Los cables que discurren por el interior del splitter y que se han podido ya observar en fotografías anteriores, son todo cables de alimentación y pese a que anteriormente ya se ha descrito algunos de los cables que se pueden encontrar en el interior del splitter, se va a proceder a relatar todos los cables de alimentación que coexisten en el interior del chasis, repasando y añadiendo nuevos cables.

Para ello se va a dividir en cuatro puntos fundamentales el cableado interno. En estos puntos es en donde confluyen diversos cables y como cabe esperar estos puntos son cruciales para la distribución del cableado interno. Se debe situar el splitter a lo largo con el conector de alimentación trasero más cercano al lector y el conector de entrada de RF más alejado al lector.

El primer punto por orden lógico a comentar es el conector de la alimentación de la parte trasera. Tal como se ha visto anteriormente en este conector existen dos terminales con sus correspondientes polaridades marcadas. Del terminal positivo salen dos cablecitos que se dirigen: uno hacia el selector de alimentación de LNB y otro hacia el conector existente en la placa de regulación de tensión. Este último cablecito se encastra en el agujero de más a la izquierda de dicho conector. Del terminal negativo del conector de alimentación sale otro cable que se trenza junto al cable que se dirige hacia el conector de la placa de regulación de tensión y acompaña al mismo hasta el conector, encastrándose en el agujero del medio.

El segundo punto corresponde al conector existente en la placa de regulación. Como ya se ha visto el agujero situado más a la izquierda de dicho conector suministra a esta placa la tensión que existe en la polaridad + del conector de alimentación, mientras que el agujero situado en el centro del conector es alimentado con el cable de la polaridad – del conector de alimentación. El agujero situado más a la derecha es la salida del circuito de regulación de tensión y el cablecito encastrado a este agujero es dirigido hacia el agujero de más a la derecha del conector de la alimentación de la placa principal. Junto a este cable se trenza un cable que proviene del punto del chasis y se encastra justo a la izquierda del anterior cable.

El tercer punto es el conector de la alimentación de la placa principal, que ya ha sido comentado en el punto anterior. De los 4 agujeros que posee el conector el que está situado más a la derecha proviene de la salida de la placa de regulación de tensión y el siguiente agujero que está a la izquierda proviene del punto de masa del chasis.

El cuarto punto es la masa suministrada por el chasis, y es un tornillo junto a una clema que presenta un punto en común y de referencia a todos los elementos del circuito. De este punto del chasis salen 3 cablecitos, el primero es el cable que se trenza con el cable

que sale de la placa de regulación de tensión y ambos son dirigidos hacia el conector de alimentación de la placa principal. Los otros dos cablecitos se dirigen cada uno de ellos hacia el cátodo de los diodos LEDs existentes en el frontal.

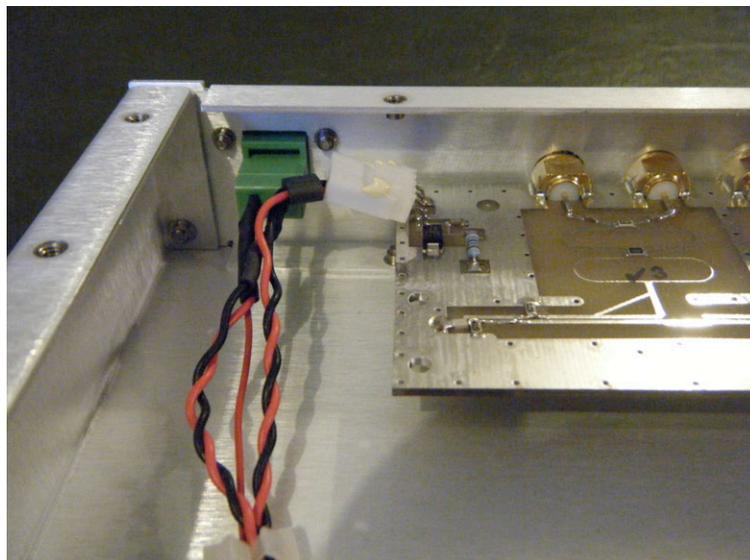


Fig. 249 Detalle del conector trasero de alimentación y del conector de alimentación de la placa PCB

Por último comentar que la tensión de referencia de todos los elementos del splitter es la tensión existente en el chasis. Tal como se vio en el punto 4 del cableado, la placa principal y los diodos leds estaban referenciados al punto de masa de chasis creado por el tornillo y la clema. Sin embargo ¿que sucede con la circuitería de regulación de tensión y con la fuente de alimentación? Veamos como estos elementos están también referenciados al chasis.

El cable negro unido al terminal – del conector de alimentación trasero, esta unido directamente con la pista a la cual se referencian todas las tensiones en la circuitería de regulación. Esta pista atraviesa la placa entera y llega hasta el terminal 2 del integrado 7812, este terminal es el que fija la tensión de referencia y sobre esta tensión es sobre la que el integrado eleva la tensión de salida del mismo 12 voltios por encima. Internamente el terminal 2 del integrado y la parte trasera metálica del encapsulado están unidas. Si la parte trasera estuviese unida tan sólo con un disipador, entonces la circuitería de regulación de tensión y la fuente de alimentación no tendrían como referencia el chasis. Sin embargo el integrado 7812 está atornillado directamente al chasis, ofreciendo por un lado un disipador de calor bastante más grande que cualquiera convencional que se le pudiese montar y por otro lado uniendo la pista de referencia con el chasis. Como esta pista de referencia estaba cableada con el terminal – de la fuente de alimentación, entonces la fuente también está referenciada al chasis. Es decir, absolutamente **todos los elementos del splitter están referenciados a la tensión existente en el chasis.**

¿Y cual es la tensión del chasis? En principio el chasis no esta unido a ningún potencial absoluto es decir la referencia del chasis es flotante. Sin embargo existen dos posibilidades con las cuales el chasis puede estar unido a tierra.

- 1) Si el chasis está en contacto con otro equipo cuyo chasis tiene toma de tierra, el chasis del splitter estará referenciado a la tierra del otro chasis.
- 2) Si el equipo al que se conecta el splitter posee un chasis puesto a tierra es bastante posible que debido al tipo de conectores que se montan, la parte externa del conector F esté al mismo potencial que la tierra del equipo. Como ambos equipos están unidos a través del cableado de RF, y como la parte externa de los conectores del splitter se encuentra unida al chasis, la referencia del splitter a la tierra del chasis al que se conecta se establece a través de la malla del cable coaxial

Por último recordar que aunque teóricamente el potencial de tierra es cero voltios, en las instalaciones reales el potencial no es cero e incluso diferentes zonas de la instalación podrán estar referenciados a potenciales de tierra diferentes.



**LS16 2150A**  
**LS162150A1FVA000**  
 16-Way Active Splitter (950-2150 MHz)

QUALITY MANAGEMENT SYSTEM  
 CERTIFIED BY DNV  
 ISO 9001:2008

**General Description:**

The **LS162150A1FVA000** is a commercial quality 16-way splitter that meets strict level and match specifications achieved through the use of Quintech's proprietary microstrip and SMT technology. It operates over the 950-2150 MHz frequency range and permits signal splitting with zero loss, eliminating the need for external distribution amplifiers. The LS162150A1FVA000 provides LNB DC power insertion that can be switched on or off via the front panel mounted slide switch (see LNB Power specification below).

Note: All unused RF output ports must have 75 Ω terminations.

**Specifications:**

<b>Frequency:</b>	950-2150 MHz
<b>Impedance:</b>	75 Ω
<b>P1dB:</b>	0 dBm
<b>OIP<sup>3</sup>:</b>	+10 dBm
<b>Insertion Loss:</b>	0 ± 2 dB
<b>Frequency Response:</b>	± 2 dB
<b>Isolation:</b>	18 dB
<b>Input Return Loss:</b>	14 dB
<b>Output Return Loss:</b>	12 dB
<b>Noise Figure:</b>	8 dB
<b>RF Connectors:</b>	Type F, 75 Ω
<b>Power Requirements:</b>	18-24 V <sup>DC</sup> , @ 1 A via 2-pin quick connect barrier strip
<b>LNB Power:</b>	18 V <sup>DC</sup> (800 mA max. available for LNB power)
<b>Power Consumption:</b>	12 W (plus customer LNB power load)
<b>Mechanical:</b>	1 RU (1.75" H x 19" W x 6.5" D)
<b>Weight:</b>	5.0 lbs. gross (boxed), 2.5 lbs. net
<b>Certifications:</b>	CE, NRTL / TUV, FCC Part 15



250 Airport Road • Indiana, PA 15701 • (800) 839-3658 • (724) 349-1412 • Fax: (724) 349-1421

<http://www.quintechelectronics.com/> • [info@quintechelectronics.com](mailto:info@quintechelectronics.com)

© 2010 Quintech Electronics and Communications Inc. All rights reserved. All product designs and specifications are subject to change without notice.  
 LS162150A1FVA000 Rev J, CO#13968 (Page 1 of 1)

Fig. 250 Hoja de características técnicas del splitter Quintech LS16 2150. Por cortesía de Quintech Electronics.

### **3.2.2.2 Splitters profesionales bajo demanda.**

Generalmente las marcas que ofrecen soluciones genéricas de banda L, ofrecen la opción de la fabricación de diferentes soluciones bajo demanda del cliente. Con el splitter que se presenta brevemente a continuación se finaliza el apartado de splitters de banda L y se muestra a la vez un splitter bastante más elaborado. Si bien algunas marcas incluyen como parte de sus soluciones genéricas este tipo de splitters tan elaborados, las calidades, acabados del mismo y sobre todo el precio hacen que otras marcas sólo los fabriquen bajo demanda.

El splitter que se muestra a continuación es un Quintech LS4 1200. Este splitter fue fabricado bajo demanda especial de las necesidades de la cadena norteamericana FOX. Observando las fotografías incluidas, se puede comprender que este splitter es un salto cualitativo frente a los dos anteriores splitters presentados, y como no, el precio también resultaba un salto importante.

El splitter LS4 1200 es realmente cuatro splitters, de una entrada a cuatro salidas, integrados en un mismo chasis. Para ello existen cuatro tarjetas autónomas encargadas cada una de ellas de su correspondiente señal de entrada. El ancho de banda del splitter se extiende desde los 950 MHz hasta los 1450 MHz, no llegando a cubrir en su totalidad la banda L.

Este splitter fabricado bajo demanda es interesante por una razón en particular. Dado que se fabrica bajo las especificaciones del cliente, se puede solicitar un ancho de banda mayor para cada una de las placas, por ejemplo desde los 950 MHz hasta los 2150 MHz cubriendo de esta manera la totalidad de la banda L. Una vez que se ha ampliado el ancho de banda, rápidamente se puede ver que este splitter es la solución ideal para realizar la distribución de la señal de banda L de las cuatro bajadas de los LNBs (baja horizontal, baja vertical, alta horizontal y alta vertical) provenientes de una parábola para banda Ku o Ku superextendida, con todos los elementos necesarios integrados dentro un chasis común.

Los elementos que se pueden encontrar son:

- Cuatro tarjetas PCB que conforman cuatro splitters con una topología similar a la vista anteriormente: La circuitería implementada en cada una de las tarjetas conforma cuatro bloques principalmente. Un primer bloque de filtraje muy sencillo constituido por filtros de primer orden a partir de resistencias y condensadores. Un segundo bloque de amplificación implementado con un MMIC de amplificación ERA-5SM, exactamente igual que el que se vio para el splitter anterior. Un tercer bloque que realiza un nuevo filtraje de primer orden mediante resistencias y condensadores. Y por último un cuarto bloque en el cual se implementa un divisor de potencia de una entrada a cuatro salidas con dos secciones por cada una de las divisiones binarias que se realizan.

Cada una de las placas es alimentada a través de un conector con tres cables provenientes de la placa PCB que distribuye la alimentación. De los tres cables, uno de ellos suministra 18 voltios que serán utilizados para la alimentación del LNB a través del conector de entrada.

Estos 18 voltios son fijados por un diodo zener que se encuentra en la placa. El segundo es una masa común que se ofrece a cada placa desde la placa de distribución de alimentación. Y el tercero suministra la tensión de 5 voltios que proviene del regulador de tensión de la placa PCB de distribución de alimentación, que será empleado para alimentar el MMIC existente en la placa.

En esta placa existen 6 conectores montados directamente sobre la misma. Un conector de entrada que además posibilita de la alimentación del LNB. Un conector de salida que es una copia de la señal de entrada pero con una atenuación de 10 dB (esta salida es optima en equipos que debido a su alta sensibilidad de entrada se puedan sobrecargar o incluso estropear el equipo, como por ejemplo los analizadores de espectro). Estos dos conectores por encontrarse en la parte anterior de la placa, están unidos a sus correspondientes conectores de la parte trasera del equipo mediante un latiguillo de cable coaxial cada uno de ellos.

Los cuatro conectores restantes se encuentran en la parte posterior de la placa y suministran las cuatro salidas del splitter.

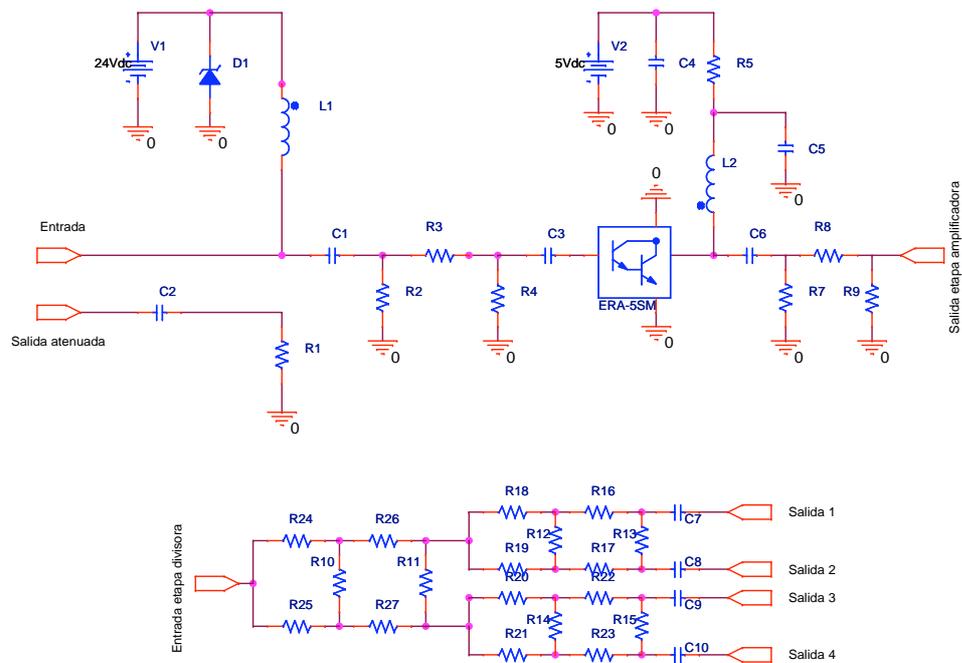


Fig. 251 Esquemático de la circuitería del splitter.

- Dos fuentes de alimentación redundantes de la marca Meanwell modelo S-60-24: Se trata de dos fuentes de alimentación conmutadas con protección contra cortocircuitos, sobre-tensiones y sobrecargas. Admiten tensiones de entrada de 85 a 264 voltios de alterna, suministrando a la salida una tensión de 24 voltios de continua (la tensión de salida de las fuentes de alimentación se puede ajustar con un pequeño potenciómetro, V ADJ, entre 21,6 voltios y 26,4 voltios) y una corriente de entre 0 y 2,5 amperios, con un máximo de potencia de 60 vatios (24 voltios x 2.5 amperios). La tensión máxima de rizado y de ruido es de 150 milivoltios pico a pico. La tolerancia de la tensión de salida es de un +/-1% y la regulación de línea es de +/-0.5%. La eficiencia de las fuentes de alimentación es del 79%.

La entrada de la fuente está formada por tres terminales, uno para el vivo, otro para el neutro y el tercero para la tierra. Tanto el vivo como el neutro están unidos directamente con su correspondiente encapsulado del conector IEC. Sin embargo la tierra está unida directamente al chasis. Las salidas de la fuente de alimentación son los dos terminales serigrafados como +V y -V. De cada uno de estos terminales salen dos cablecitos, distribuyéndose la salida en paralelo por un lado hacia la placa de distribución de la alimentación y por otro lado hacia los diodos LEDs existentes en el frontal. Estos diodos están en paralelo con la salida de sus correspondientes fuentes de alimentación, presentándose por tanto en sus bornas una tensión de 24 voltios. La finalidad de estos LEDs es meramente indicar que cada fuente de alimentación está funcionando. Además de estos LEDs, la fuente de alimentación incluye un pequeño diodo LED en su interior justo al lado del potenciómetro, con la misma finalidad que los presentados anteriormente. También se incluye en estas fuentes un fusible justo a la entrada del terminal del vivo L

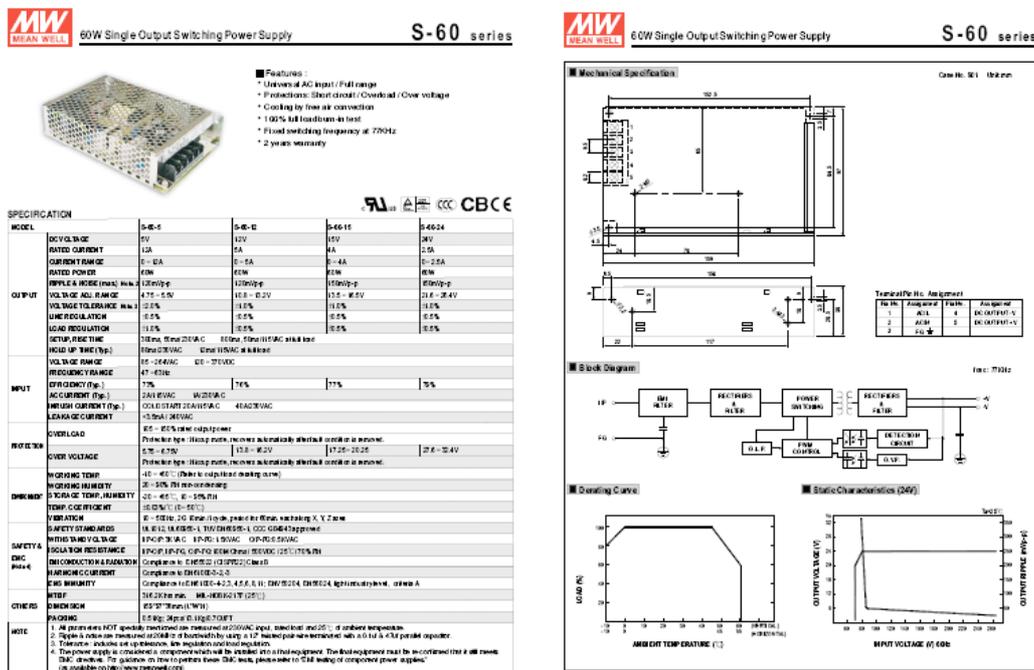


Fig. 252 Características de la fuente conmutada de Meanwell modelo S-60. Cortesía de Meanwell.

- Una placa PCB de alimentación: La placa PCB en cuestión tiene dos etapas fundamentalmente y cada una de ellas implementa una función:
  - o La primera etapa implementa una clásica configuración *diode-or* junto a las fuentes de alimentación.
  - o En la segunda etapa, mediante un regulador de tensión 7805 y cuatro zócalos, se obtiene una tensión regulada de 5 voltios (a partir de los 24 voltios de continua) necesaria para el funcionamiento del MMIC existente en cada placa de splitter. Los cuatro zócalos existentes en la placa PCB de alimentación, distribuyen a cada placa de splitter las tensiones de 24 voltios, 5 voltios y una masa común, necesarias para la alimentación del LNB, la alimentación del MMIC y un punto de referencia de tensión respectivamente.

En la placa PCB de alimentación existen además elementos para proteger el sistema como es la presencia de un varistor y de diferentes diodos que no pertenecen a la configuración *diode-or*.

Hasta el momento se ha descrito este último splitter de una forma bastante liviana. Realmente no se necesitaría extender mucho más la descripción del mismo ya que el funcionamiento básico es el mismo a los splitters anteriormente comentados. Sin embargo en este splitter y tal como se ha comentado anteriormente se implementa una topología *diode-or* junto a las dos fuentes de alimentación. Dado que en los apartados anteriores no se ha comentado nada acerca de esta topología y esta topología es empleada en muchos sistemas de alimentación redundante, este es un buen punto para describir dicha topología.

La topología *diode-or* es la forma más utilizada en los sistemas de radiodifusión para implementar un sistema redundante de fuentes de alimentación. Con esta topología, en el caso de que las dos fuentes estén funcionando correctamente, se reparte por igual la corriente demanda por la carga a las fuentes, evitando por tanto un fallo a la larga de alguna de las fuentes por un exceso de fatiga de trabajo. Si por cualquier circunstancia una de las fuentes dejase de funcionar, la tensión que el circuito entrega sobre la carga será exactamente la misma que en el caso anterior, mientras que la corriente demanda en la carga será entregada única y exclusivamente por la fuente que este funcionando correctamente.

La topología *diode-or* implementa de una forma muy básica una función lógica *OR*, es decir la tensión que se entrega a la carga será igual a la tensión que suministran las fuentes de alimentación en los casos: que ambas fuentes estén funcionando correctamente, que la primera fuente este funcionando correctamente y la segunda fuente no este funcionando, que la primera fuente no este funcionando y la segunda fuente este funcionando correctamente. Y únicamente no existirá tensión de alimentación sobre la carga en el caso de que ambas fuentes no estén funcionando. Para que esto se verifique las tensiones que las fuentes de alimentación proporcionan a su salida deben ser lo más parecidas posibles.

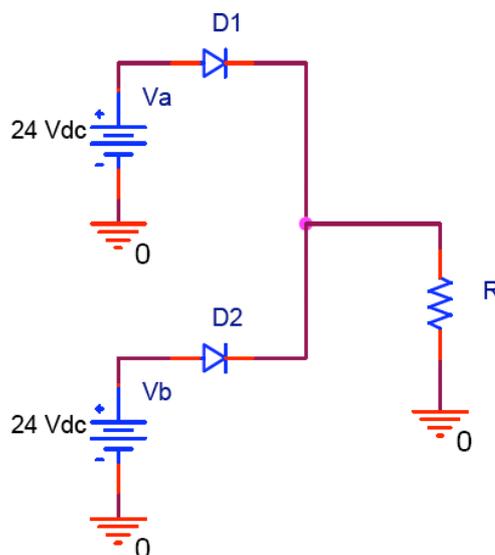


Fig. 253 Modelo simplificado una topología *Diode-or*.

Para el estudio y comprensión del circuito se proponen cinco casos, los cuatro primeros consistirán en alternar los valores de 24 voltios y 0 voltios para las dos fuentes y el último caso presentará una situación en la que las fuentes de alimentación tienen ambas un valor diferente de 24 voltios.

El estudio se realizara aplicando suposiciones y comprobando si la suposición inicial es correcta. De esta forma se supondrá la conducción o no conducción de los diodos para los diferentes casos que se mostraran.

- 1) En el primer caso se supondrá que las dos fuentes de alimentación están funcionando perfectamente. La suposición inicial más lógica es que si ambas fuentes de alimentación están entregando tensión y la tensión es la misma o muy parecida es que los dos diodos están en conducción. La verificación es bastante sencilla: Si la fuente de alimentación A está proporcionando 24 voltios al ánodo del diodo D1, la unión P-N del diodo estará polarizada en directa, permitiendo que fluya la corriente  $I_A$  desde la fuente A hacia la carga y estableciéndose una diferencia de potencial de 0,7 voltios entre el ánodo y cátodo. Por tanto en el cátodo del diodo D1 se pueden encontrar 23,3 voltios. Si la fuente de alimentación B está proporcionando 24 voltios al ánodo del diodo D2, la unión P-N del diodo estará polarizada en directa, fluyendo la corriente  $I_B$  de la fuente B hacia la carga. Cayendo 0,7 voltios en el diodo D2 se puede encontrar una tensión en el cátodo del diodo D2 de 23,3 voltios. Como los dos cátodos de los diodos están unidos y como el valor de tensión es el mismo, la suposición inicial es correcta.

En la carga aparece una diferencia de potencial en bornas de 23,3 voltios y la corriente que circula por la carga es la suma de ambas corrientes, repartiéndose por tanto exactamente la corriente que circula por la carga entre las dos fuentes de alimentación.  $I_C = I_A + I_B$  con  $I_A = I_B$

- 2) En el segundo caso se supondrá que la fuente de alimentación A está funcionando correctamente mientras que la fuente de alimentación B no funciona y por tanto su tensión de salida es cero voltios. En este caso la suposición inicial más lógica es pensar que el diodo D1 está polarizado en directa y el diodo D2 está polarizado en inversa. La comprobación es de nuevo sencilla: Si la fuente A está entregando 24 voltios al ánodo del diodo D1, en principio se puede suponer que este diodo está conduciendo. Si el diodo conduce la caída de potencial de 0,7 voltios en la unión P-N del diodo produce una tensión de 23,3 voltios en el cátodo de D1. Como los cátodos de D1 y D2 están cortocircuitados, en el cátodo de D2 aparece una tensión de 23,3 voltios, mientras que en su ánodo aparece una tensión de 0 voltios, provocando que el diodo esté polarizado en inversa y por tanto su unión P-N no permita el paso de corriente desde la fuente B. La comprobación en este caso, indica que la suposición más lógica es de nuevo la correcta.

En la carga aparecerá la tensión del cátodo del diodo D1 es decir los 23,3 voltios, sin embargo el único aporte de corriente que se hace a la carga viene dado por la fuente A. Pese a que la fuente A está dimensionada para entregar la corriente en este caso, debe quedar claro que el esfuerzo de la fuente es el doble con respecto al caso anterior y que puede producir una fatiga en la fuente que se muestre a la larga como una rotura de la misma. Es conveniente por tanto reemplazar la fuente estropeada por otra fuente que esté en perfecto orden de funcionamiento.

- 3) El tercer caso es exactamente igual que el segundo, sólo que ahora la fuente que funciona es la B y la fuente que no funciona es la A. En este caso el diodo polarizado en directa será el D2 y el diodo polarizado en inversa será el D1. Como este caso es el mismo que el anterior, tan solo se va a realizar la comprobación de la hipótesis inicial. Si la fuente B está entregando 24 voltios al ánodo del diodo D2 es una buena suposición inicial pensar que el diodo D2 va a estar polarizado en directa. Tras la caída de potencial en la unión P-N del diodo en el cátodo del diodo D2 aparece una tensión de 23,3 voltios. Como los cátodos de ambos diodos están cortocircuitados, en el cátodo del diodo D1 aparece una tensión de 23,3 voltios, mientras que en su ánodo existe una tensión igual a cero voltios. La unión P-N del diodo D1 está polarizado en inversa y por tanto no conduce la corriente de la fuente A. En este caso la tensión que aparece en la carga es los 23,3 voltios que provienen del cátodo del diodo D2 y la corriente que circula por la carga es la originada por la fuente de alimentación B.
- 4) El cuarto caso es el peor caso de todos, ya que supone que ninguna de las fuentes de alimentación funcionan. En este caso no existe tensión alguna aplicada sobre el ánodo de los diodos ni tensión alguna aplicada sobre el cátodo de los diodos. La suposición más lógica es pensar que ambos diodos no están polarizados, la cual casi ni es necesaria comprobar, cuando a simple vista se puede observar que no existe una tensión mínima entre ánodo y cátodo que polarice la unión P-N de ambos diodos. En este caso no existe tensión alguna sobre la carga, como tampoco existirá corriente alguna.
- 5) El quinto caso es un poco especial, ya que ambas fuentes de alimentación están funcionando pero a diferentes voltajes. Podría pasar que debido a un mal ajuste de las fuentes de alimentación una de ellas estuviese trabajando a un potencial por encima de la otra, incluso podría pasar que el fallo de una fuente de alimentación no cortase el suministro de tensión a su salida, pero no serían los 24 voltios, sería por ejemplo un valor menor.

Supóngase que por un error en el ajuste de las fuentes, la fuente A está ajustada con una tensión de salida de 26 voltios, mientras que la fuente B está ajustada con una tensión de 22 voltios. Generalmente en estos casos la experiencia dice que la suposición inicial parte a favor de la polarización directa del diodo que presenta una mayor tensión en el ánodo, mientras que el diodo con menor tensión en su ánodo estará polarizado en inversa, protegiendo y evitando de esta manera el cortocircuitar dos puntos del circuito con diferentes tensiones. Por lo tanto se supone que D1 está polarizado en directa mientras que D2 está polarizado en inversa. Siguiendo con esta idea se puede ver como en el ánodo de D1 se presenta una tensión de 26 voltios, mientras que en el ánodo de D2 se presenta una tensión de 22 voltios, si el diodo D1 está polarizado en directa, entonces tras la caída de potencial en el diodo D1 se puede observar una tensión en el cátodo de D1 de 25,3 voltios. Esta tensión aparece también en el cátodo del diodo D2 que junto a los 22 voltios de su ánodo polarizan en inversa el diodo D2.

Imagínese por un momento que la suposición inicial hubiese sido incorrecta, es decir como existe un potencial bastante alto se podría haber pensado que D2 hubiese estado polarizado en directa. De haber sido así, en el cátodo de D2 existiría un potencial de 21,3 voltios. D1 por tanto tiene todas las opciones consigo también de estar polarizado en directa, con lo cual en el cátodo de D1

aparecerían 25,3 voltios. Como ambos cátodos están cortocircuitados, se estaría cortocircuitando una tensión de 25,3 voltios con una tensión de 21,3 voltios. Dado que las pistas de una placa PCB tienen una impedancia de apenas 1 ohmio, se podría estar generando unas corrientes bastante altas por la pista que cortocircuita ambos cátodos. Además en este caso. ¿Cual sería la tensión sobre la carga? ¿25,3 voltios o 21,3 voltios? Una suposición inicial incorrecta es rápidamente desestimada mediante su correspondiente comprobación.

Para finalizar con la configuración de tipo *diode-or* se muestra una tabla en la cual se puede observar como funciona analógicamente este circuito y cual es su correspondencia con una puerta lógica *OR*.

$V_A$	$V_B$	Lógico $V_A$	Lógico $V_B$	Salida Lógica	$V_R$	$I_R$
0	0	0	0	0	0	0
0	24	0	1	1	24	$I_B$
24	0	1	0	1	24	$I_A$
24	24	1	1	1	24	$I_A+I_B$

Fig. 254 Tabla de verdad de funcionamiento de una circuitería *Diode-or*.

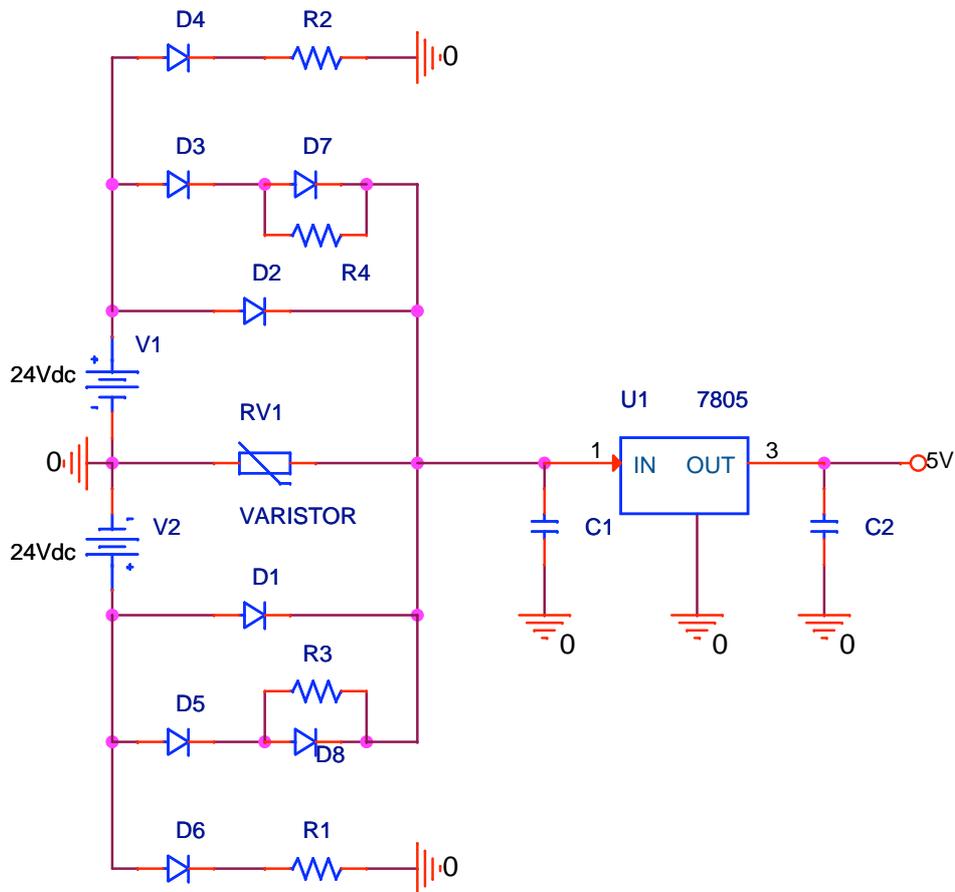


Fig. 255 Esquemático de la fuente de alimentación.

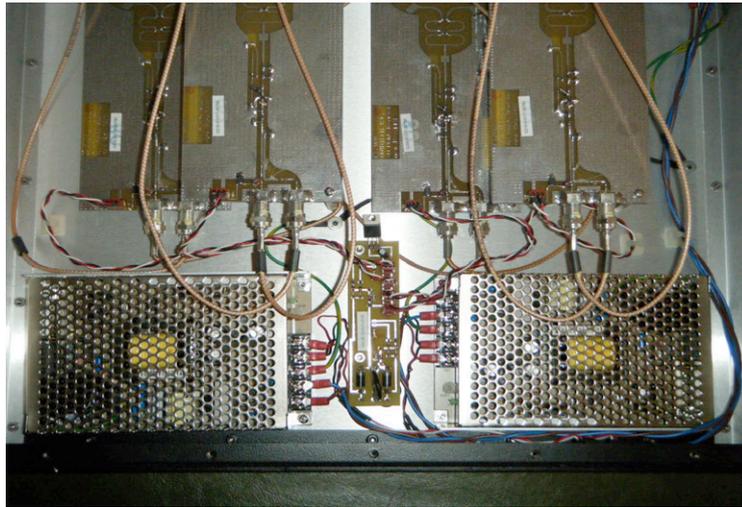


Fig. 256 Fotografía de la placa de alimentación y de las fuentes de alimentación.

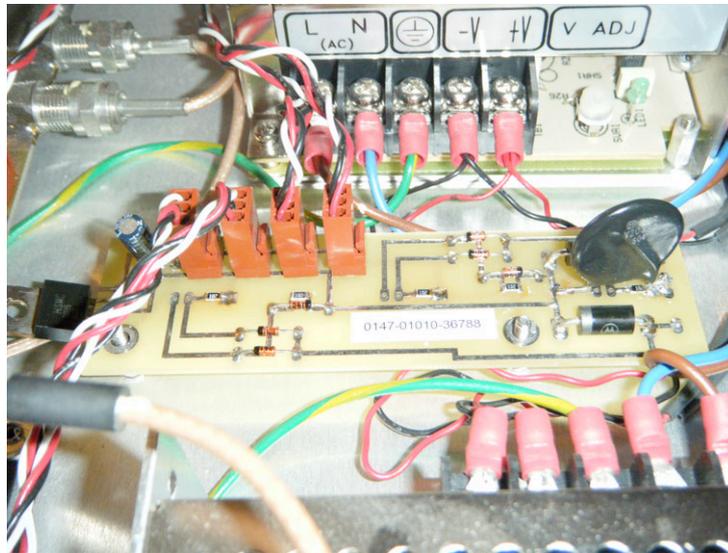


Fig. 257 Fotografía de la placa de alimentación

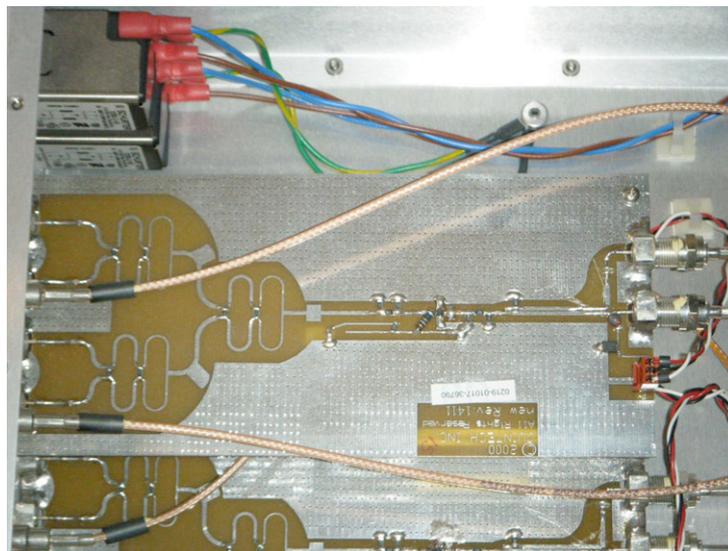


Fig. 258 Fotografía de una placa del splitter y de los zócalos Schurter.

- Dos zócalos IEC encapsulados de la marca Schurter modelo 5200-2-43 que integran una circuitería de filtro de línea: Cada uno de estos encapsulados está serigrafiado por la parte trasera del equipo con la fuente de alimentación a la cual están unidos. Cada uno de estos encapsulados tienen los tres polos a su entrada de fase, neutro y tierra. En la salida también están presentes los tres polos y mientras que la fase y el neutro se cablean directamente con las entradas de la fuente de alimentación, la tierra es cableada con el chasis.

Si bien el equipo podría funcionar con tan sólo un encapsulado y su correspondiente fuente conectada a la red eléctrica, lo ideal es que se conecte los dos conectores IEC a la red eléctrica y trabajar por tanto de una forma redundante. Insistir en que son dos encapsulados y dos fuentes de alimentación totalmente autónomos y por tanto se debe conectar la red eléctrica a los dos conectores IEC.

Los encapsulados están además provistos de un compartimento en el cual se introduce un fusible cuyo valor dependerá de las fuentes que debe proteger. No es un fusible opcional, se trata de un fusible que debe estar siempre colocado y en perfecto orden de funcionamiento para que el encapsulado pueda proveer de red eléctrica a las fuentes de alimentación.

Los filtros de línea tienen como función filtrar todas aquellas señales de origen electromagnético que se han inducido en las líneas de suministro eléctrico. Estas señales pueden ser de origen natural o debidas a dispositivos o sistemas creados por el hombre y que producen ondas electromagnéticas como parte intrínseca de su funcionamiento. Las ondas electromagnéticas se pueden inducir por vía aérea o a través de las líneas eléctricas, cuando los sistemas a ellas conectadas introducen dichas perturbaciones a través de sus propios enchufes. Las interferencias electromagnéticas que se inducen sobre el suministro eléctrico distorsionan y añaden componentes no presentes en la señal original que la empresa de suministro eléctrico proporciona. Debido a estas interferencias de carácter electromagnético, las líneas de suministro se “ensucian” y se degrada la calidad del suministro eléctrico, afectando negativamente a las fuentes de alimentación y a las tensiones que estas proporcionan y más en un plano general a todos los sistemas que estén conectados a una línea de tensión con interferencias.

Para minimizar la acción de estas perturbaciones en las líneas se utilizan diferentes estrategias, y una de ellas consiste en colocar a la entrada de la tensión eléctrica de los dispositivos más sensibles, filtros de línea que filtren dicha “suciedad”.

Un filtro de línea filtra como su nombre indica las componentes no originales que se han introducido a lo largo del camino en las líneas eléctricas. Para realizar el filtraje se utiliza un sistema pasivo muy simple de bobinas y condensadores como el de la siguiente figura.

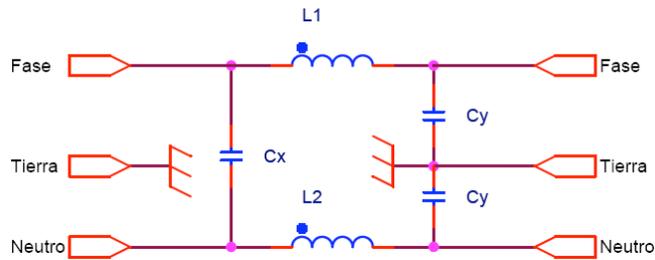


Fig. 259 Esquemático de un filtro de línea.

A la vista de la figura anterior se puede observar la sencillez del filtro, que se asemeja bastante a los modelos cuadripolares con los que se estudian los filtros pasivos.

Los filtros de línea, filtran las señales interferentes de dos tipos, las que se inducen en modo común y las que se inducen en modo diferencial:

- En el modo común, la interferencia se induce tanto en la fase como en el neutro, retornando por la tierra. Se establece la misma diferencia de potencial de ruido inducido entre fase-tierra y neutro-tierra. En el modo común actúan las dos bobinas y los dos condensadores  $C_y$ . A medida que aumenta la frecuencia, la impedancia de los condensadores disminuyen, pudiéndose asemejar con un cortocircuito. De esta forma la señal común que se ha inducido a través de la fase y el neutro son filtradas hacia la tierra gracias al cortocircuito que forma los condensadores  $C_y$  con la tierra, evitándose que la interferencia inducida en modo común llegue hasta el equipo.
- En el modo diferencial, la interferencia se induce en la fase y retorna por el neutro, estableciéndose la diferencia de potencial del ruido entre la fase y el neutro. En el modo diferencial vuelven a actuar las bobinas y en este caso el condensador  $C_x$ . De nuevo para altas frecuencias la impedancia de este condensador es de un valor muy bajo, pudiéndose comparar con un cortocircuito. La interferencia inducida en la fase es desviada directamente hacia el retorno sin pasar por el equipo conectado a la línea.

Las gráficas que se adjuntan en las hojas de características miden la atenuación del voltaje de las señales interferentes en función de la frecuencia. Como los filtros de línea trabajan tanto en modo común como en modo diferencial habrá un sistema diferente de medición para cada uno de los modos y por tanto existirán dos gráficas.

**Power Entry Module with Line Filter** 5200  
www.schurter.com/jsp/guest

ICD Applications: IEC C14 with Filter Fuseholder 1-pole

**Top 5200: Standard** 1-pole with open connection  
**Bottom 5200: Medical** 1-pole with open connection

**114**

**Description**  
- Datasheet: [Link](#)  
- Single or double mounting from front side  
- 3 Functional  
- Approve test: Radiation test, Radiation for fuseholder 5 x 20 mm  
- 1-pole, Line filter in standard and medical version  
- Quick connect terminals 0.5 x 0.8 mm

**Approve**  
- IEC Certificate Number: IEC1217  
- UL Risk Number: 521282

**Technical Data**

Material	UL 94V-0 (UL 94V-0) / UL 94V-0 (UL 94V-0)
Dimensions (mm)	34 x 34 x 22 (34 x 34 x 22)
Weight (g)	10.5 (10.5)
Current (A)	1.5 (1.5) / 2.5 (2.5) / 4 (4) / 6 (6) / 10 (10)
Rated Voltage (V)	250 (250) / 250 (250) / 250 (250) / 250 (250) / 250 (250)
Rated Power (W)	37.5 (37.5) / 62.5 (62.5) / 100 (100) / 150 (150) / 250 (250)
Rated Power Acceptance @ T=23°C	37.5 (37.5) / 62.5 (62.5) / 100 (100) / 150 (150) / 250 (250)
Power Acceptance @ T=23°C	37.5 (37.5) / 62.5 (62.5) / 100 (100) / 150 (150) / 250 (250)
Line Filter	Standard and Medical Version, IEC 61000-3-2, IEC 61000-3-3, IEC 61000-3-4, IEC 61000-3-5, IEC 61000-3-6, IEC 61000-3-7, IEC 61000-3-8, IEC 61000-3-9, IEC 61000-3-10, IEC 61000-3-11, IEC 61000-3-12, IEC 61000-3-13, IEC 61000-3-14, IEC 61000-3-15, IEC 61000-3-16, IEC 61000-3-17, IEC 61000-3-18, IEC 61000-3-19, IEC 61000-3-20, IEC 61000-3-21, IEC 61000-3-22, IEC 61000-3-23, IEC 61000-3-24, IEC 61000-3-25, IEC 61000-3-26, IEC 61000-3-27, IEC 61000-3-28, IEC 61000-3-29, IEC 61000-3-30, IEC 61000-3-31, IEC 61000-3-32, IEC 61000-3-33, IEC 61000-3-34, IEC 61000-3-35, IEC 61000-3-36, IEC 61000-3-37, IEC 61000-3-38, IEC 61000-3-39, IEC 61000-3-40, IEC 61000-3-41, IEC 61000-3-42, IEC 61000-3-43, IEC 61000-3-44, IEC 61000-3-45, IEC 61000-3-46, IEC 61000-3-47, IEC 61000-3-48, IEC 61000-3-49, IEC 61000-3-50, IEC 61000-3-51, IEC 61000-3-52, IEC 61000-3-53, IEC 61000-3-54, IEC 61000-3-55, IEC 61000-3-56, IEC 61000-3-57, IEC 61000-3-58, IEC 61000-3-59, IEC 61000-3-60, IEC 61000-3-61, IEC 61000-3-62, IEC 61000-3-63, IEC 61000-3-64, IEC 61000-3-65, IEC 61000-3-66, IEC 61000-3-67, IEC 61000-3-68, IEC 61000-3-69, IEC 61000-3-70, IEC 61000-3-71, IEC 61000-3-72, IEC 61000-3-73, IEC 61000-3-74, IEC 61000-3-75, IEC 61000-3-76, IEC 61000-3-77, IEC 61000-3-78, IEC 61000-3-79, IEC 61000-3-80, IEC 61000-3-81, IEC 61000-3-82, IEC 61000-3-83, IEC 61000-3-84, IEC 61000-3-85, IEC 61000-3-86, IEC 61000-3-87, IEC 61000-3-88, IEC 61000-3-89, IEC 61000-3-90, IEC 61000-3-91, IEC 61000-3-92, IEC 61000-3-93, IEC 61000-3-94, IEC 61000-3-95, IEC 61000-3-96, IEC 61000-3-97, IEC 61000-3-98, IEC 61000-3-99, IEC 61000-3-100
Material Housing	Thermoplastic, UL 94V-0

**5200** Power Entry Module with Line Filter  
www.schurter.com/jsp/guest

**Dimensions**  
Screw mounting type 5200

**Drop-in mounting type 5200**

**Technical Data of Filter-Components**

NO. COMPONENT	NO. PPS	MAXIMUM CURRENT	OPERATING TEMPERATURE	TYPE	REMARKS
1	114	47	55	-	-
2	114	47	55	-	-
3	114	47	55	-	-
4	114	47	55	-	-
5	114	47	55	-	-
6	114	47	55	-	-
7	114	47	55	-	-
8	114	47	55	-	-
9	114	47	55	-	-
10	114	47	55	-	-
11	114	47	55	-	-
12	114	47	55	-	-
13	114	47	55	-	-
14	114	47	55	-	-
15	114	47	55	-	-
16	114	47	55	-	-
17	114	47	55	-	-
18	114	47	55	-	-
19	114	47	55	-	-
20	114	47	55	-	-
21	114	47	55	-	-
22	114	47	55	-	-
23	114	47	55	-	-
24	114	47	55	-	-
25	114	47	55	-	-
26	114	47	55	-	-
27	114	47	55	-	-
28	114	47	55	-	-
29	114	47	55	-	-
30	114	47	55	-	-
31	114	47	55	-	-
32	114	47	55	-	-
33	114	47	55	-	-
34	114	47	55	-	-
35	114	47	55	-	-
36	114	47	55	-	-
37	114	47	55	-	-
38	114	47	55	-	-
39	114	47	55	-	-
40	114	47	55	-	-
41	114	47	55	-	-
42	114	47	55	-	-
43	114	47	55	-	-
44	114	47	55	-	-
45	114	47	55	-	-
46	114	47	55	-	-
47	114	47	55	-	-
48	114	47	55	-	-
49	114	47	55	-	-
50	114	47	55	-	-
51	114	47	55	-	-
52	114	47	55	-	-
53	114	47	55	-	-
54	114	47	55	-	-
55	114	47	55	-	-
56	114	47	55	-	-
57	114	47	55	-	-
58	114	47	55	-	-
59	114	47	55	-	-
60	114	47	55	-	-
61	114	47	55	-	-
62	114	47	55	-	-
63	114	47	55	-	-
64	114	47	55	-	-
65	114	47	55	-	-
66	114	47	55	-	-
67	114	47	55	-	-
68	114	47	55	-	-
69	114	47	55	-	-
70	114	47	55	-	-
71	114	47	55	-	-
72	114	47	55	-	-
73	114	47	55	-	-
74	114	47	55	-	-
75	114	47	55	-	-
76	114	47	55	-	-
77	114	47	55	-	-
78	114	47	55	-	-
79	114	47	55	-	-
80	114	47	55	-	-
81	114	47	55	-	-
82	114	47	55	-	-
83	114	47	55	-	-
84	114	47	55	-	-
85	114	47	55	-	-
86	114	47	55	-	-
87	114	47	55	-	-
88	114	47	55	-	-
89	114	47	55	-	-
90	114	47	55	-	-
91	114	47	55	-	-
92	114	47	55	-	-
93	114	47	55	-	-
94	114	47	55	-	-
95	114	47	55	-	-
96	114	47	55	-	-
97	114	47	55	-	-
98	114	47	55	-	-
99	114	47	55	-	-
100	114	47	55	-	-

**Power Entry Module with Line Filter** 5200  
www.schurter.com/jsp/guest

**Diagram**  
5200 Standard version 5200 Medical version

**1) Line** 1) Line  
**2) Load** 2) Load

**Derating Curves**  
1-pole

**Attenuation Loss**  
Standard version Medical version (ME)

1A 2A 4A 6A

8A 10A

1A 2A 4A 6A

8A 10A

EMC Products | | EMC Products 3

Fig. 260 Hoja de características técnicas del filtro de línea Schurter 5200. Por cortesía de Schurter.

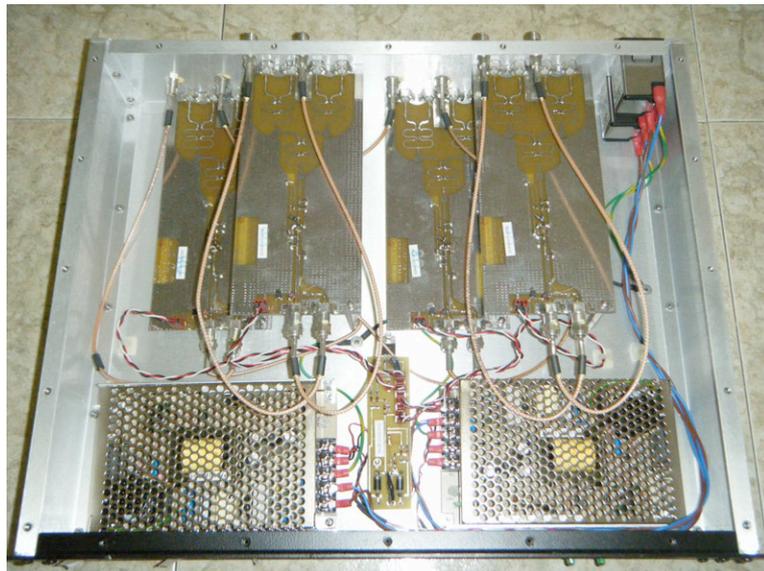
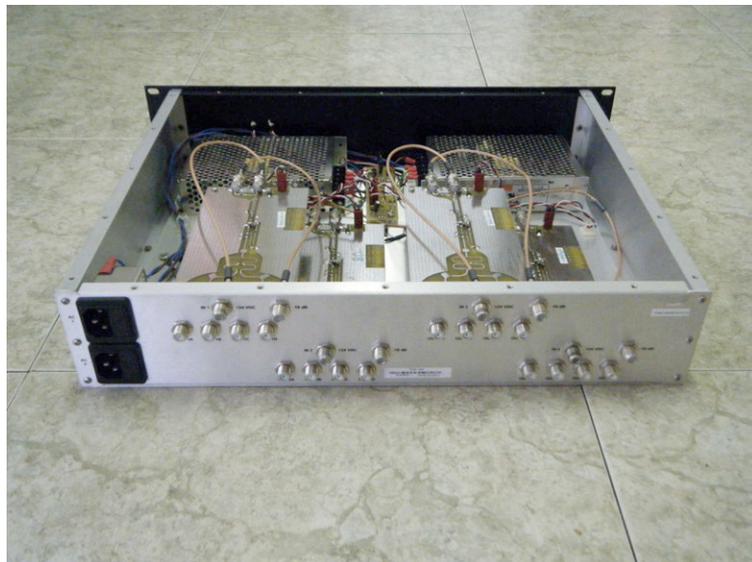


Fig. 261 Diferentes vistas del splitter LS4 1200.

Con este splitter se da por finalizado el apartado de splitters de banda L en el cual se ha mostrado en orden ascendente las diversas soluciones presentes actualmente para divisores de banda L. Si bien el funcionamiento de la división de la señal es exactamente igual en los tres splitters, la calidad de acabados y por tanto prestaciones difieren en los modelos presentados.



**LS4 1200/4x16ARC  
LS041200A4FRB016  
Quad 4-Way Active Splitter  
w/ Redundant Power and -10 dB Coupled Outputs**

QUALITY MANAGEMENT SYSTEM  
CERTIFIED BY DNV  
ISO 9001:2008

**General Description:**

The **LS041200A4FRB016** is a commercial quality quad 4-way splitter that meets strict level, match, and loss specifications achieved through the use of Quintech's proprietary microstrip and SMT technology. It operates over the 950–1450 MHz frequency range and permits signal splitting with zero loss, eliminating the need for external distribution amplifiers. LNB power is provided via dual integral power supplies (for redundancy). In addition, two front panel LEDs have been included to allow monitoring of the LNB power status. Dual IEC power entry modules provide AC redundancy.

Note: All unused RF output ports must have 75 Ω terminations.

**Specifications:**

<b>Frequency:</b>	950-1450 MHz
<b>Impedance:</b>	75 Ω
<b>P1dB:</b>	+1 dBm
<b>Insertion Loss:</b>	0 ± 1 dB
<b>Frequency Response:</b>	± 1 dB
<b>Coupled Outputs:</b>	-10 dB ± 1 dB
<b>Isolation:</b>	-20 dB
<b>Input Return Loss:</b>	13 dB
<b>Output Return Loss:</b>	14 dB
<b>RF Connectors:</b>	Type F, 75 Ω
<b>Power Requirements:</b>	100-240 V~, 50/60 Hz
<b>LNB Power:</b>	24 V==
<b>Power Consumption:</b>	48 W @ 220 V~, 44 W @ 120 V~ (FULL LNB LOAD) (220 mA @ 220 V~, 370 mA @ 120 V~)
<b>Mechanical:</b>	2 RU (3.5" H x 19" W x 14" D)
<b>Weight:</b>	13 lbs. gross (boxed), 8.5 lbs.net

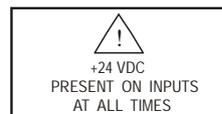


Fig. 262 Hoja de características técnicas del splitter Quintech LS 4 1200. Por cortesía de Quintech Electronics.

### **3.3 Paneles de conexionado.**

Los paneles de banda L están formados por un grupo de conectores montados sobre un panel metálico, cuyas medidas de ancho coinciden con el ancho estándar de 19 pulgadas de los bastidores en los que se montan, y el alto depende del número de filas que ha decidido montar el fabricante.

Los conectores que se suelen emplear en este tipo de paneles son principalmente conectores BNC, F y N, siendo los paneles de BNC y de F los que se utilizan en un mayor número de instalaciones. En el caso de querer implementar un panel de conexionado con otro tipo de conector, se deberá estudiar previamente el comportamiento que presenta dicho conector para las señales que por él se transmiten.

Las principales características que se buscan en los paneles de conexionado son:

- Que los conectores presenten algún tipo de seguridad u oposición a ser desconectados accidentalmente.
- Que la impedancia característica del conector coincida con la impedancia de la línea de transmisión en un amplio ancho de banda
- Un determinado aislamiento entre los conectores proporcionado por el panel de conexionado.

#### **3.3.1 Paneles de conexionado con BNCs**

Como se ha comentado, los paneles se pueden implementar con diferentes tipos de conectores, pero quizás los conectores más extendidos son los BNCs de tipo bayoneta. Este tipo de conectores presentan una impedancia de 50 o de 75 ohmios (según el conector que se monte en el panel) y además presentan un tipo de anclaje de seguridad que evita la desconexión accidental de los mismos. Estos conectores no son quizás los que mejor comportamiento poseen para señales de muy altas frecuencias. Sin embargo para las frecuencias de la banda L no ofrecen ningún tipo de problema que pueda hacer pensar en otro tipo de conector.

Los paneles de conexión de banda L se utilizarán principalmente para repartir la señal entre los diferentes sistemas de la infraestructura de banda L. Por ejemplo, se puede utilizar conectando al panel, la bajada de los LNBS, la entrada y las salidas de los splitters y la entrada de los IRDs. De esta forma cada una de las bajadas de una parabólica podrá estar conectada a un splitter diferente y las salidas de los splitters que están en el panel se pueden conectar con las entradas de los receptores que también están en el panel.

Si a este conjunto se añade la matriz de banda L, la funcionalidad crece exponencialmente, permitiendo múltiples configuraciones del sistema de banda L implementado. Introduciendo las entradas y salidas de la matriz en el panel, se puede seleccionar por ejemplo a través del panel que bajada de la parábola va a alimentar en cada momento a las diferentes entradas de la matriz (situación bastante útil en el caso de tener más bajadas que puntos de entrada de matriz). Por otro lado se puede seleccionar también a través del panel que salida de matriz va a alimentar a cada uno de los receptores. Situación usual en el caso de disponer de más receptores que de puntos de salida de la matriz.

En cualquiera de las situaciones anteriores y cualquier otra que se pueda imaginar, el tener acceso a todos los elementos de la banda L en un panel, permite que si por cualquier circunstancia algún elemento falla, se puede reencaminar la señal a través de diferentes puntos de panel, mediante el uso de latiguillos, hacia otros elementos de su misma especie que no estén fallando. En el caso de no tener en las instalaciones el panel, se debería recablear a mano la instalación para tratar de solventar el problema con otros equipos.

**En un entorno como es el de televisión, donde el tiempo es una variable fundamental, la versatilidad y rapidez en la solución de un problema mediante el uso de un panel es indiscutible. El uso de paneles de conexionado permite la reconfiguración de toda la cadena de elementos que atraviesa una señal en apenas cuestión de segundos.**

Los paneles que se van a comentar son de la marca Pinanson. Se ha decidido describir los paneles de esta marca, en base a que es una empresa nacional especializada en soluciones de conexionado para sistemas de audio y video profesional. Pinanson ofrece una serie de paneles genéricos, como solución al conexionado, pero también acepta pedidos bajo demanda, diseñando y montando paneles bajo las necesidades de conexionado en la infraestructura.

El panel de Pinanson escogido es el panel PBNCHD. Este panel es un panel con conectores de tipo BNC utilizado para entornos de señales de video de alta definición del tipo 1080 progresivo o también conocido como 3G. Estos paneles son empleados con flujos de datos de hasta 3 Gbps, lo cual garantiza que aun siendo paneles de video, se pueden utilizar con señales de banda L.

Es interesante añadir que aunque teóricamente los conectores BNC trabajan bien hasta frecuencias cercanas a los 4 GHz, la realidad es bien distinta. A medida que se aumenta la frecuencia, la impedancia del conector comienza a variar, de tal forma que se comienza a desadaptar en impedancias la línea. Aunque los conectores BNC puedan alcanzar los 4 GHz, su comportamiento es muy diferente, pudiéndose establecer diferentes valores de VSWR medidos con diferentes conectores. Los conectores más logrados en este sentido son los que presentan un VSWR cercano al valor unitario 1 para frecuencias cercanas a los 4 GHz y generalmente son los conectores más caros. Sin embargo con este tipo de conectores se garantiza que las señales de banda L se propagan sin sufrir apenas desadaptaciones de impedancias en los paneles.

El panel PBNCHD está compuesto físicamente por cuatro elementos:

- El panel metálico donde se montan los conectores
- Los conectores BNC
- Unos anillos de aislamiento termoplástico, donde van encastrados los conectores
- Una varilla que se utiliza para que los cables reposen sobre él, no produciéndose dobleces en los mismos en la zona del conector

El sistema que se implementa en los paneles es bastante sencillo, pero tienen una pequeña salvedad que es conveniente conocer: **Los conectores BNC no van montados directamente sobre el panel metálico.**

Los conectores se encastran sobre unos anillos de aislamiento termoplástico y es el anillo el que se monta sobre el panel metálico. La razón de esto es muy sencilla: En los cables coaxiales el retorno o la referencia se establece a través de la malla del cable. La malla del cable se une a la parte exterior del BNC en el proceso de crimpado del mismo al cable, con lo cual la malla del cable está en contacto con la parte exterior del BNC y con todo aquello que esté en contacto con la parte exterior del BNC. En el caso de taladrar el perfil metálico y montar los BNCs directamente en el panel, si se conectasen todos los equipos al panel estarían las mallas de los equipos interconectadas entre sí.

El panel a su vez está montado sobre un bastidor o chasis metálico el cual suele estar conectado a tierra (como medida de seguridad para el personal que utiliza el chasis). Generalmente existe una conexión eléctrica entre todos los equipos confinados en el bastidor y el bastidor, debido por ejemplo a la tortillería con los que se montan sobre el mismo. La parte externa de los BNCs del panel estaría también unida eléctricamente con el bastidor y con todos los equipos que sobre este se monten.

Como lógicamente cabe esperar la cantidad de lazos de tierra que se pueden originar y que afectan directamente a las señales que se propagan por el panel de conexión es un número elevado, mermando las señales que por el viajan.

Para evitar esto se recurre a encastrar los conectores en un anillo de aislamiento termoplástico el cual aísla cada uno de los conectores que se montan en el panel, del propio panel. Disminuyéndose de esta manera los lazos de tierra, las interferencias propagadas entre equipos y las variaciones en las tensiones de referencia existentes en la malla de los cables de los equipos.

**PATCH PANELS VIDEO BNC-HD 3G**

**PATCH PANEL DE VIDEO BNC-HD 3G**

**DESCRIPCIÓN** Patch panel de Video, Serie P (Panel Standard), con hasta 24 conectores BNC-HD 3G por fila, para Conexión de señales de Video HD 3G.

**CARACTERÍSTICAS**

- Panel de aluminio extrusionado y pintado.
- Perfil porta-etiquetas de aluminio extrusionado y pintado con etiqueta de poliéster.
- Vanilla sujetacables de acero calibrado y pintado.
- Conectores Pinanson.

**REFERENCIA**

PBNC	18U	12U	6U
APC	1 Unidad Rack	1 Unidad Rack	1 Unidad Rack
MI	2 Unidades Rack	2 Unidades Rack	2 Unidades Rack
MI	4 Unidades Rack	4 Unidades Rack	4 Unidades Rack
MI	6 Unidades Rack	6 Unidades Rack	6 Unidades Rack

Mirar Latiguillos en la página 108.

Ejemplo: PBNCID 2011 10 (Patch Panel de 19" y 2 unidades Rack con 2 filas de 10 conectores BNC-HD 3G de color negro)

\* Otras configuraciones posibles.  
\* Físico datos son susceptibles de cambio sin previo aviso.

CATÁLOGO 1223 44

Fig. 263 Características del panel de Pinanson PBNCID. Por cortesía de Pinanson

Para conseguir un aislamiento entre los conectores del panel, se puede recurrir a otro tipo de conector que se monta directamente sobre el panel mediante tortillería. La idea es construir un conector BNC flotante eléctricamente hablando en el interior de una carcasa metálica o chasis, no existiendo contacto eléctrico entre la malla del BNC y la carcasa donde se aloja el conector. Este conector está formado de tres piezas, el chasis que se atornilla al panel, un material aislante y el conector BNC, todos ellos montados coaxialmente y en ese orden. Marcas como por ejemplo Neutrik comercializa este tipo de conectores con las siguientes referencias: NBB75DFI y NBB75DSI. Switchcraft a su vez también comercializa este tipo de conectores con la referencia EHBNC2.



Fig. 264 Conector BNC para panel de conexiones. Por cortesía de Neutrik

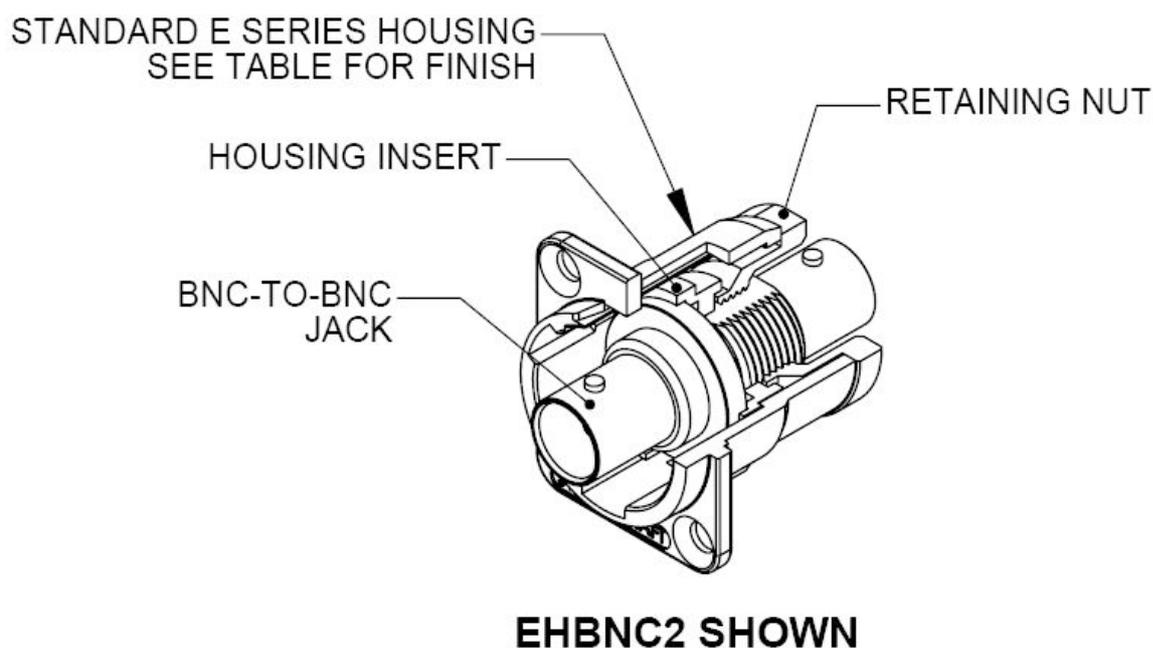


Fig. 265 Conector BNC para panel de conexiones. Por cortesía de Switchcraft

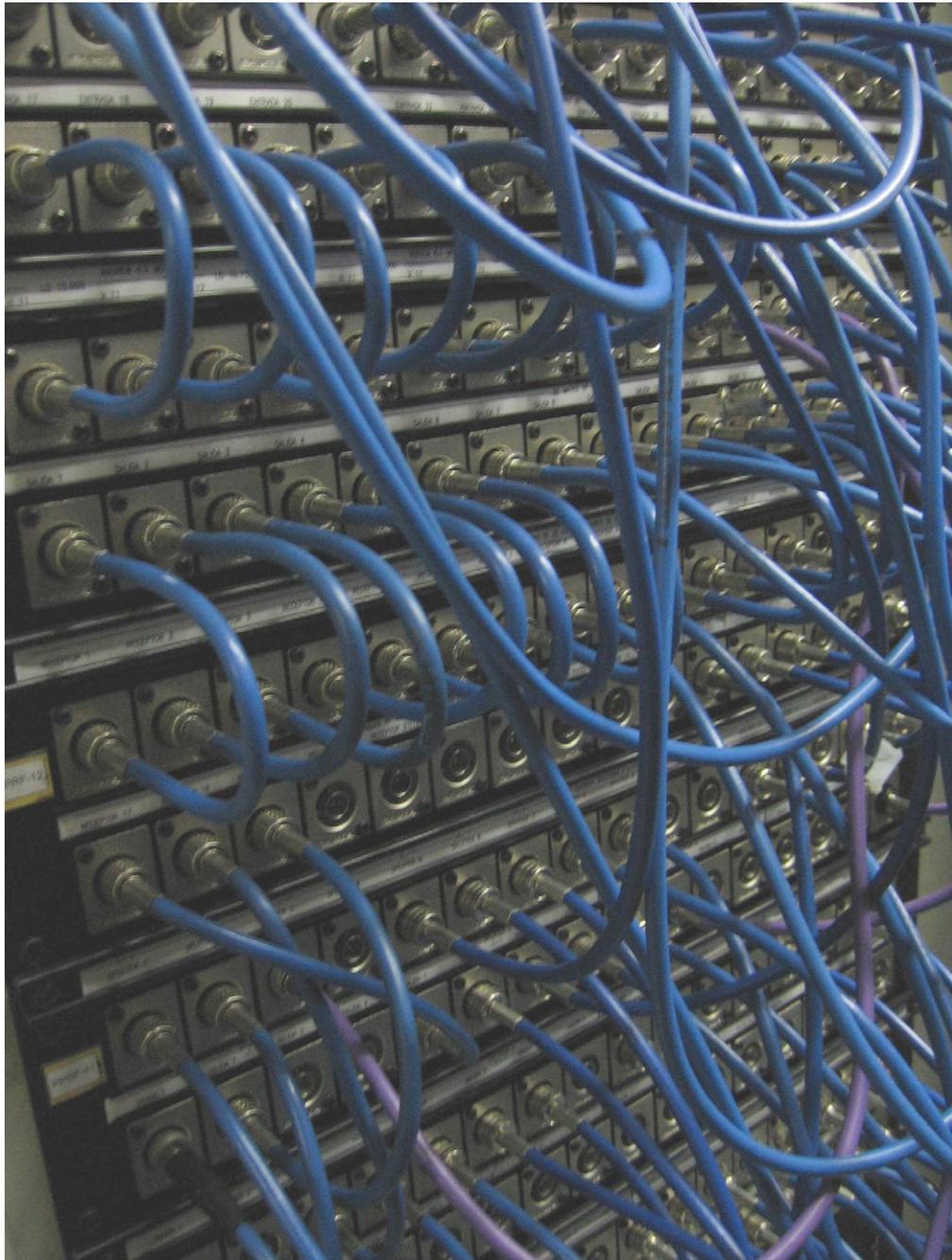


Fig. 266 Panel de conexionado de banda L. Por cortesía de Antena 3.

### **3.3.2 Panel de conexionado con Lemo.**

Por último comentar que en algunas infraestructuras de televisión se emplean paneles de conexionado de Lemo, iguales que los descritos en la parte de señales SDI y ASI. La gran cantidad de paneles de este tipo que se suelen emplear en entornos de televisión, propicia que algunos de los paneles que no se estén utilizando sean reutilizados como paneles de conexionado para la banda L. Aunque este hecho no sea lo más habitual, es posible encontrar este tipo de paneles en algunas instalaciones para banda L.

El uso de estos paneles en sistemas de banda L no significa que la señal vaya a sufrir algún tipo de deficiencia. En las figuras siguientes se ha añadido las características de los conectores y los paneles de Lemo más usuales en video y que son candidatos a ser reutilizados como paneles de banda L.

### Coaxial connectors 0A Series (75 Ω)

This connector Series is widely used for the distribution of video and synchronization analog or digital signals, in television control rooms as well as in studios. Thanks to their LEMO self-latching system and small dimensions, they enable an intensive use.

#### Technical characteristics Caractéristiques techniques

Impedance	Impédance :	75 Ω
Operating frequency	Fréquence d'utilisation:	3.4 GHz
VSWR (f= GHz)	TOS (f= GHz):	1.03+0.05f
Central contact resistance	Résistance du contact central:	< 6 m Ω
Shell to shell resistance	Continuité électrique du blindage:	< 3 m Ω
Insulation resistance	Résistance d'isolation:	> 10 <sup>12</sup> Ω

### Coaxial connectors 1S Series (75 Ω)

This connector series is widely used for the distribution of video and synchronization signals in television control rooms as well as in studios. Similar to the 0A, this series allows the use of cables with larger dimensions.

#### Technical characteristics Caractéristiques techniques

Impedance	Impédance :	75 Ω
Operating frequency	Fréquence d'utilisation:	2.2 GHz
VSWR (f= GHz)	TOS (f= GHz):	1.02 + 0.08f
Central contact resistance	Résistance du contact central:	< 3 m Ω
Shell to shell resistance	Continuité électrique du blindage:	< 2.5 m Ω
Insulation resistance	Résistance d'isolation:	> 10 <sup>12</sup> Ω

Fig. 267 Características de los conectores 0A y 1S. Por cortesía de Lemo.

El conector 0A posee una impedancia característica típica de 75 ohmios y una frecuencia de trabajo que alcanza casi hasta los 3,5 GHz, el VSWR para una señal de 2 GHz es de 1,13.

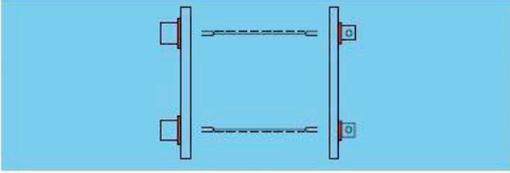
El conector 1S posee una impedancia característica también de 75 ohmios. Su frecuencia de trabajo alcanza hasta los 2,2 GHz y el VSWR para una señal de 2 GHz es de 1,18.

A la vista de estos datos se puede apreciar que efectivamente la banda L no sufre degradación alguna al ser transmitida a través de los conectores de Lemo.

Con respecto al panel de conexionado es necesario que verifique un aislamiento entre los conectores, tal como se mostraba en los paneles de BNC. Si se observa la siguiente figura se puede ver que entre el conector del panel y el panel, existe una arandela de un material aislante por cada uno de los lados del panel, aislando de cualquier tipo de contacto eléctrico, la parte externa del conector y el panel.

**VIDEO application**  
Connectors:  
**0A - 1S Series**  
Type coax (75 Ω)

**Application VIDEO**  
Connecteurs:  
**Série 0A - 1S**  
Type coax (75 Ω)

Front side connection  
Connexion avant.



FFA-FFS  
0A-1S



OPF-ORF  
0A-1S

Rear side connection  
Connexion arrière



FFA-FFS  
0A-1S



FGG  
5B



BNC

**Part number example**    **Exemple de composition de la référence**

P				2	7	5	*	*		
---	--	--	--	---	---	---	---	---	--	--

Units    A = 1  
Unités    B = 2

Colour    Couleur

Series    Série    0A-1S

Rear side connection  
Connexion arrière

Number of connectors  
Nombre de connecteurs

Ref Réf	Colour Couleur	Couleur	Series Série	* *	Ref Réf	Rear side connection Connexion arrière
C	beige	beige	0A	AD	0A	LEMO coax (75 Ω)
G	grey	gris	1S	AD	1S	LEMO coax (75 Ω)
N	black	noir	0A	AG	BC	BNC (coax)
T	nat. zinc.	élox. nat.	1S	AA	BC	BNC (coax)
			0A	RN	5B	LEMO (10 coax 75 Ω)
			1S	RN	5B	LEMO (10 coax 75 Ω)

Fig. 268 Panel de conexión de Lemo. Por cortesía de Lemo.

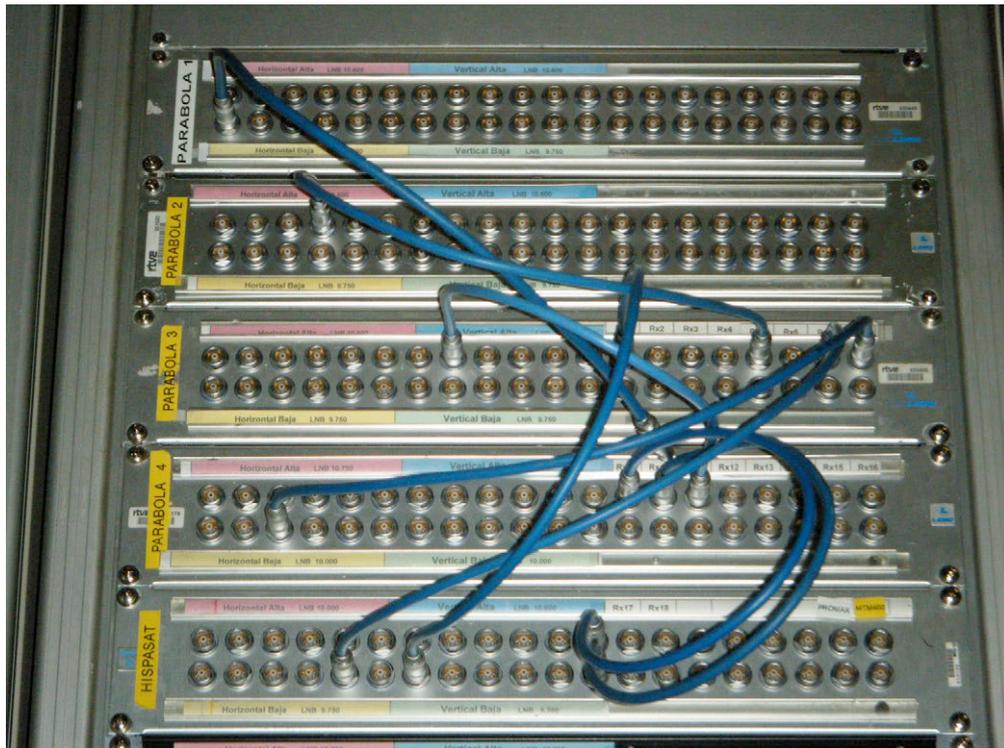


Fig. 269 Panel de conexión de banda L. Por cortesía de RTVE.

En definitiva, el uso de paneles de la marca Lemo, más propios para señales de video, como paneles para banda L, no es lo más habitual. Sin embargo y a la vista de las características tanto de los conectores como de los paneles, es posible su empleo como parte de las infraestructuras de banda L sin que la señal que por ellos se transporte sufra degradación alguna.



## ***Capítulo 4: Conclusiones.***



Debido a la singularidad de este PFC presentado, las conclusiones acerca del mismo, no harán referencia a las clásicas conclusiones que se pueden obtener de un desarrollo científico, descubrimiento o invento.

Las conclusiones están enfocadas hacia un terreno personal, como fruto de los meses que se emplearon en la redacción del PFC y en la investigación del funcionamiento de todas las máquinas mostradas.

El lector tras haber leído este PFC, debería haber madurado de una forma consciente los diferentes equipos aquí mostrados. Cualquier persona del ámbito profesional de la televisión o simplemente interesado en la materia, debería ser capaz de tener las nociones básicas acerca del funcionamiento y la importancia que en un entorno de televisión tienen los sistemas de distribución de señales.

Se debería ser consciente de la tecnología que envuelve a estos sistemas y también se debería ser consciente de que es una tecnología en constante evolución que trata de adaptarse a la demanda de calidad de los nuevos estándares de radiodifusión. A día de hoy el tránsito de los sistemas SD hacia el HD es un hecho indiscutible, el cual crece exponencialmente. Las emisiones con contenido en HD de origen (no obtenidos mediante sistemas interpoladores), están a la orden del día y es indiscutible la mejora en la calidad que presentan frente a las emisiones en SD. Todos los equipos que transportan señales SD-SDI se están reciclando hacia sistemas HD-SDI y 3G, ya sea mediante actualizaciones o directamente desechando los equipos obsoletos y adquiriendo nuevos equipos.

Por otro lado los equipos de banda L mostrados siguen utilizando los mismos principios de funcionamiento que los equipos de hace décadas. Su tecnología en este caso no evoluciona tan rápido como en los equipos de SDI, debido a que independientemente de la señal de video que transporten, su sistema de transporte no ha variado en absoluto en los últimos años.

En este PFC se ha tratado de mostrar en la medida de lo posible, algunos de los equipos más significativos, pero está claro que fabricantes y equipos hay bastantes en el mercado y que aunque todos parten de una misma idea de diseño, cada uno de ellos tiene sus propias peculiaridades y funcionamiento. En cualquier caso, se recomienda al lector, analizar todos aquellos sistemas de distribución que lleguen hasta sus manos, para de esta forma establecer paralelismos, con los equipos aquí mostrados y obtener las diferencias con los equipos aquí también mostrados. Esta es la mejor forma de conocer el funcionamiento de los equipos y por tanto de comprender la tecnología que subyace en los diferentes sistemas de distribución.



## **Bibliografía:**

- Francisco López Ferreras. *Análisis de circuitos lineales. Volumen I.*
- Francisco López Ferreras. *Análisis de circuitos lineales. Volumen II.*
- Luis Ortiz y Elena Blanco. *Comunicaciones en audio y video.*
- Harry Nyquist. *Certain factors affecting telegraph speed.*
- Grass Valley. *Manual de usuario de la matriz Grass Valley Trinix NXT*
- Snell&Willcox. *Manual de usuario de la tarjeta Snell&Willcox IQSDA10/IQSDA11*
- Mark Sauerwald. National Semiconductors. *Reclocking for restoring low jitter HD video.*
- Gennum corporation. *Hoja de características técnicas Gennum GS9024*
- National Semiconductors. *Hoja de características técnicas National Semiconductors CLC016*
- National Semiconductors. *Hoja de características técnicas del National Semiconductors CLC007*
- National Semiconductors. *Hoja de características técnicas del National Semiconductors LM1086*
- P.E. Allen. *Bandgap voltage reference.*
- Advanced crystal technologie. *Hoja de características técnicas del ACT9200*
- Maxim integrated. *Hoja de características técnicas del Maxim MAX6417*
- Gennum corporation. *Hoja de características técnicas del Gennum 2974*
- Gennum corporation. *Hoja de características técnicas del Gennum 2975A*
- Gennum corporation. *Hoja de características técnicas del Gennum 2978*
- Lemo. *Catálogo de audio/video*
- Lemo. *Catálogo de promoción de paneles y elementos de HD*
- Draka corporate. *Hoja de características técnicas del cableado de Draka*
- ETL systems. *Manual de instalación de la matriz ETL Nigma 11*
- ETL systems. *Manual de operaciones de la matriz ETL Nigma 11*
- ETL systems. *Manual de instalación de la matriz ETL Vortex 10*
- ETL systems. *Manual de operaciones de la matriz ETL Vortex 10*
- ETL systems. *Manual de mantenimiento de la matriz ETL Vortex10*
- Avago technologies. *Microwave transistor bias considerations.* AN944-1
- Avago technologies. *A comparision of various bipolar transistor biasing circuits.* AN1293
- Alberto Malvino y David Bates. *Principios de electrónica*
- Ernest Wilkinson. *An N-way hybrid power divider*
- Seymour B. Cohn. *A class of broadband three-port TEM-mode hybrids*
- R.E. Collin. *Foundations for microwave engineering*
- Mini-Circuits. *Hojas de características técnicas del integrado ERA-5SM*
- Mini-Circuits. *Biasing of constant current MMIC amplifiers*
- Chester Simpson. National semiconductors. *Linear and switching voltage regulator fundamentals*
- Schurter electronic components. *EMC for dummies course 101*
- Pinanson. *Catálogo de audio/video*