

INT 198/00

April 2000

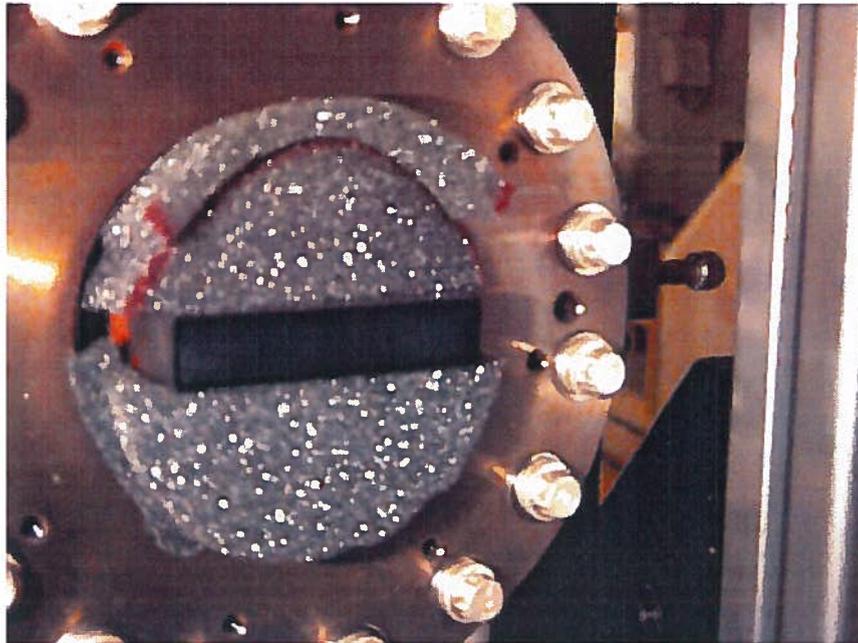
ELECTRONIQUE DU DIAGNOSTIQUE
SPRED

B. Marlétaz

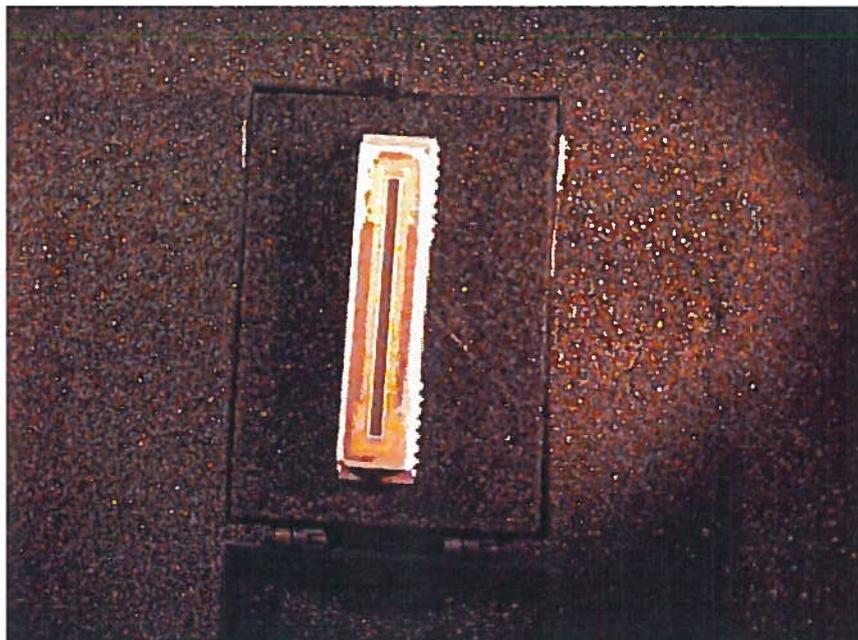
Electronique
du diagnostique spread

INT 198/00

La sortie de ce spectromètre est une barrette de fibres optiques



Nous avons, pour convertir le signal optique en signal électronique, une barrette de diodes à lecture individualisée avec une fenêtre de fibre optique



Cahier des charges

1. Les quatre sorties vidéos doivent pouvoir être lues rapidement pour pouvoir faire une photographie toutes les cinq millièmes de seconde environ. Ce temps entre deux photographies doit être bien entendu, réglable.

1.1. Chacune des diodes doit être lue à la vitesse d'une micro seconde pour que la période d'acquisition entre photographie soit d'un millième de seconde au minimum.

2. Une particularité très appréciée de ce système est que l'on puisse choisir quelques diodes spécifiques sur la ligne vidéo afin de pouvoir faire, par exemple, de la contre réaction sur certaines lignes spectrales uniquement et en temps réel ou tout simplement acquérir plus rapidement.

3. Le système d'acquisition est un TRCH pouvant contenir $2^{20} - 1$ échantillons à une fréquence maximum de un mégahertz.

Généralités

Les différentes solutions déjà existantes pour commander cette barrette de diodes ne sont pas applicable pour satisfaire le cahier des charges, la vitesse de lecture des différentes diodes est beaucoup trop lente et la spécialité de pouvoir lire quelques diodes spécifiques n'existe simplement pas.

Pour différentes raisons, nous avons construit au CRPP un micro contrôleur (voir soft 90), et c'est dans un tel système que notre projet de contrôle et de mise en forme des différents signaux du spectromètre Spread vas être intégré.

Comme les solutions possible avec nos propres cartes ne peuvent satisfaire le cahier des charges, nous devons réaliser une nouvelle carte de commande pour cette application.

a) Une carte avec une grande FPGA ou EPLD qui génère tous les signaux demandé par ce projet.

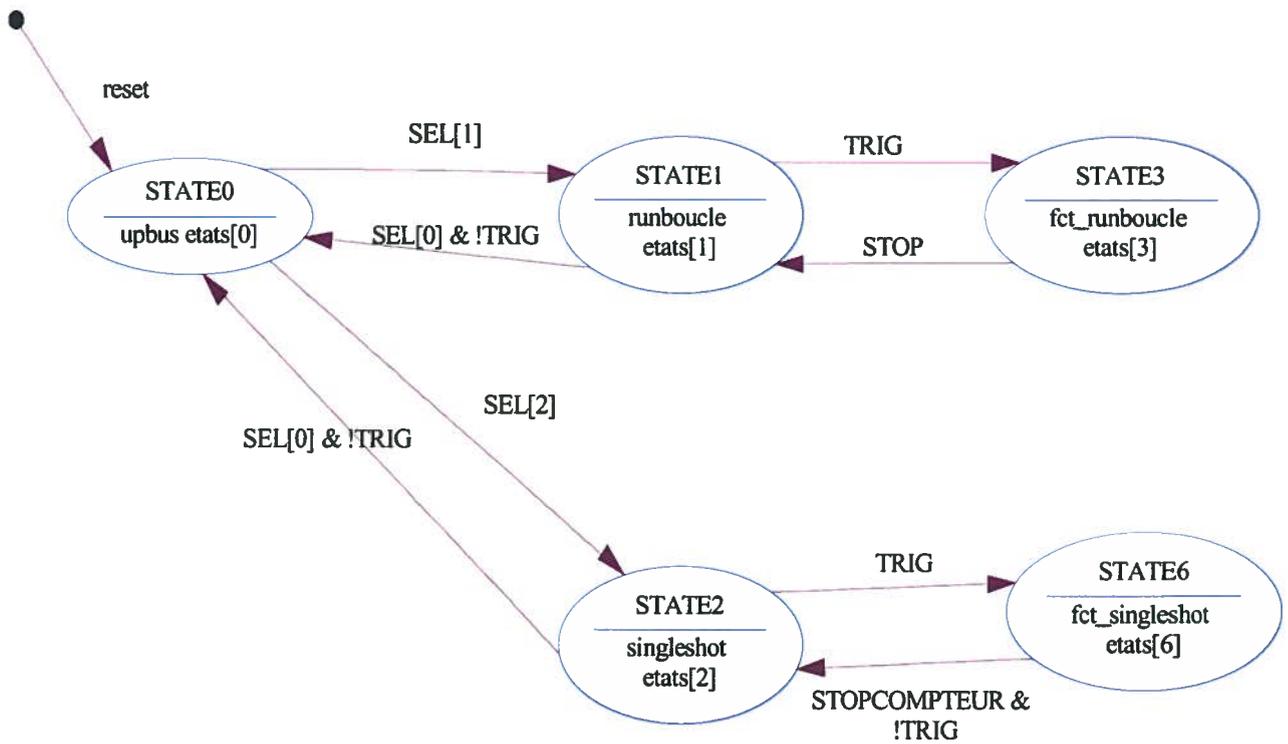
b) Une carte avec une mémoire RAM dont les données sont aiguillées côté microprocesseur pour le téléchargement et la vérification, et, côté détecteur pour la génération des signaux de commande.

La solution RAM est la plus simple d'utilisation. La génération des différentes séquences peuvent ce faire avec n'importe quel logiciel de mathématique. Ce système ne demande pas de logiciel spécifique pour programmer les FPGA ou EPLD.

L'idée est de réaliser un générateur de fonctions digital qui a cinq états principaux.

etats[] = etats2 etats1 etats0

sel[] = sel1 sel0



MODEFCT

les états

1. l'état 0 est l'état initial qui permet de télécharger les données. Les données peuvent aussi être relues dans ce mode de fonctionnement. La mémoire RAM de la carte gendig est accessible par le microcontrôleur avec l'astuce prévue sur la carte processeur (changement de banc).
2. l'état 1 est sélectionné en écrivant 'un' dans le port de sélection . C'est l'état d'attente pour le générateur fonctionnant en boucle. La RAM, à partir de cet état n'est plus visible, cela permet d'isoler les fonctions chargées et de travailler que sur les entrées - sorties (adresses de base du compteur , diverses sélections ...). Cet état est abandonné en écrivant 'zéro' dans le port de sélection.
3. l'état 2 est sélectionné en écrivant 'deux' dans le port de sélection . cet état est similaire de l'état 1, c'est l'état d'attente pour un fonctionnement unique. Cet état est également abandonné en écrivant 'zéro' dans le port de sélection.
4. l'état 3 est sélectionné par le déclencheur externe 'trig', lorsque l'on se trouve dans l'état 1. On quitte cet état avec le déclencheur 'stop'. Dans ce mode la carte ne communique plus avec le microprocesseur et elle génère la fonction digitale souhaitée en continu.
5. l'état 6 est sélectionné par le déclencheur externe 'trig', lorsque l'on se trouve dans l'état 2. On quitte cet état lorsque le compteur d'adresse pointe sur la dernière donnée . La génération de la fonction est faite une fois. C'est dans ce mode que notre diagnostique spread vas fonctionner.

Schéma bloc de la carte gendig

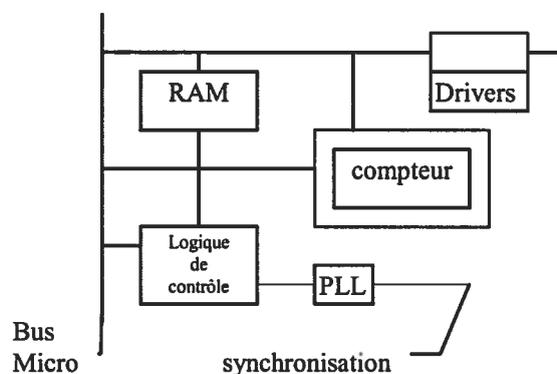


Schéma de la logique de contrôle et de commande.

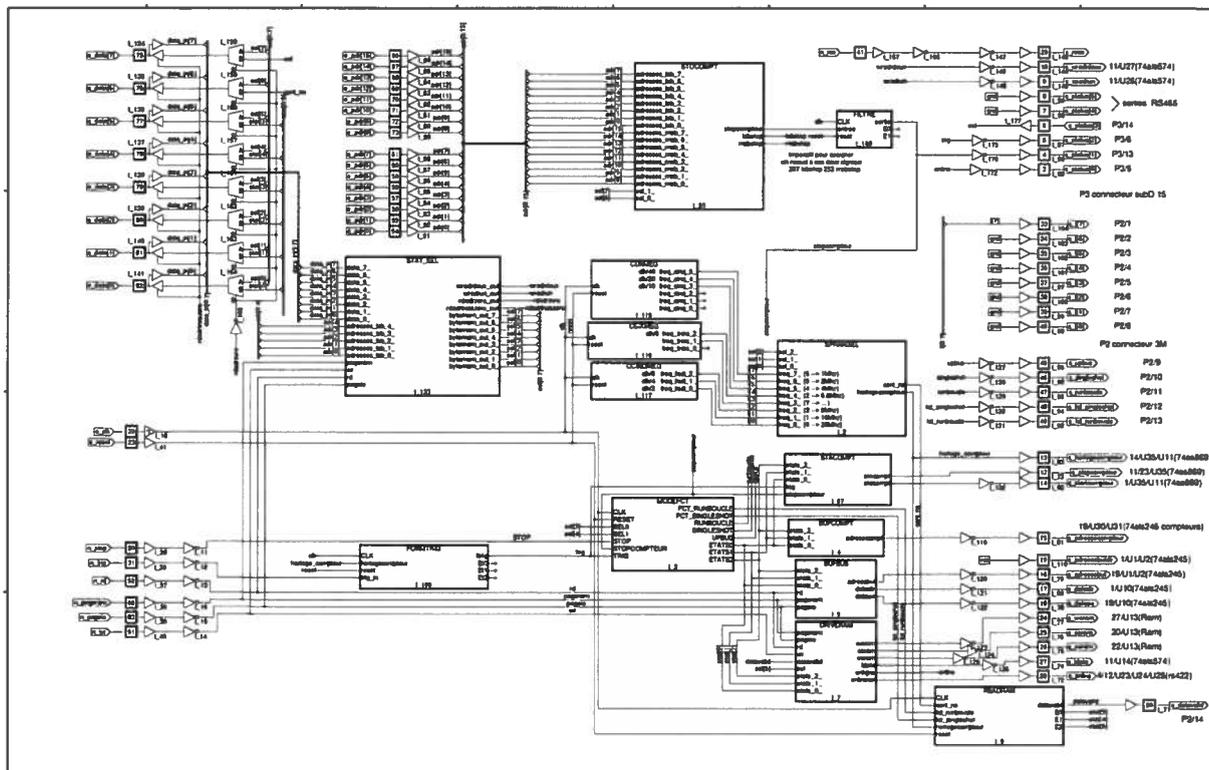
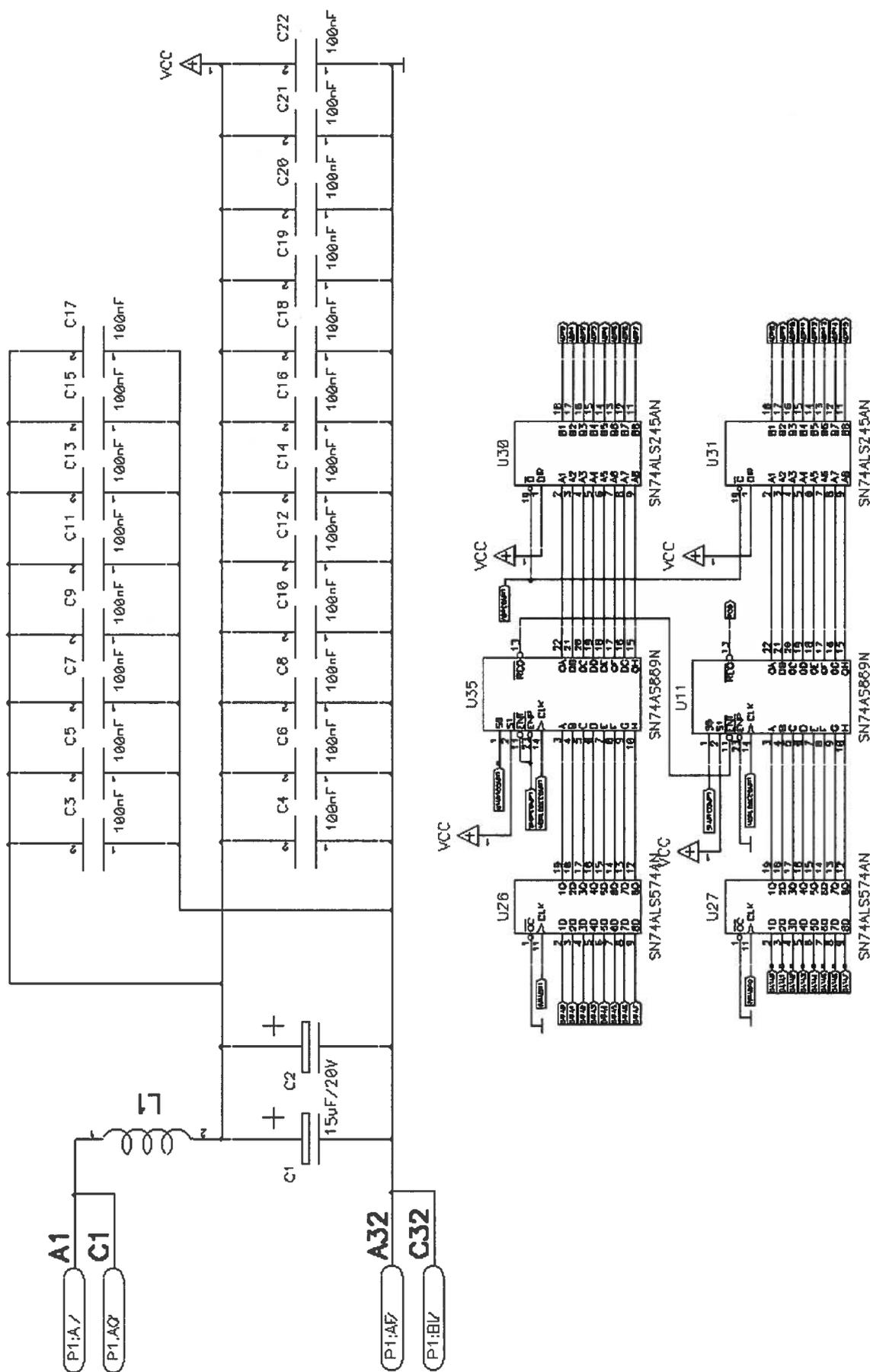
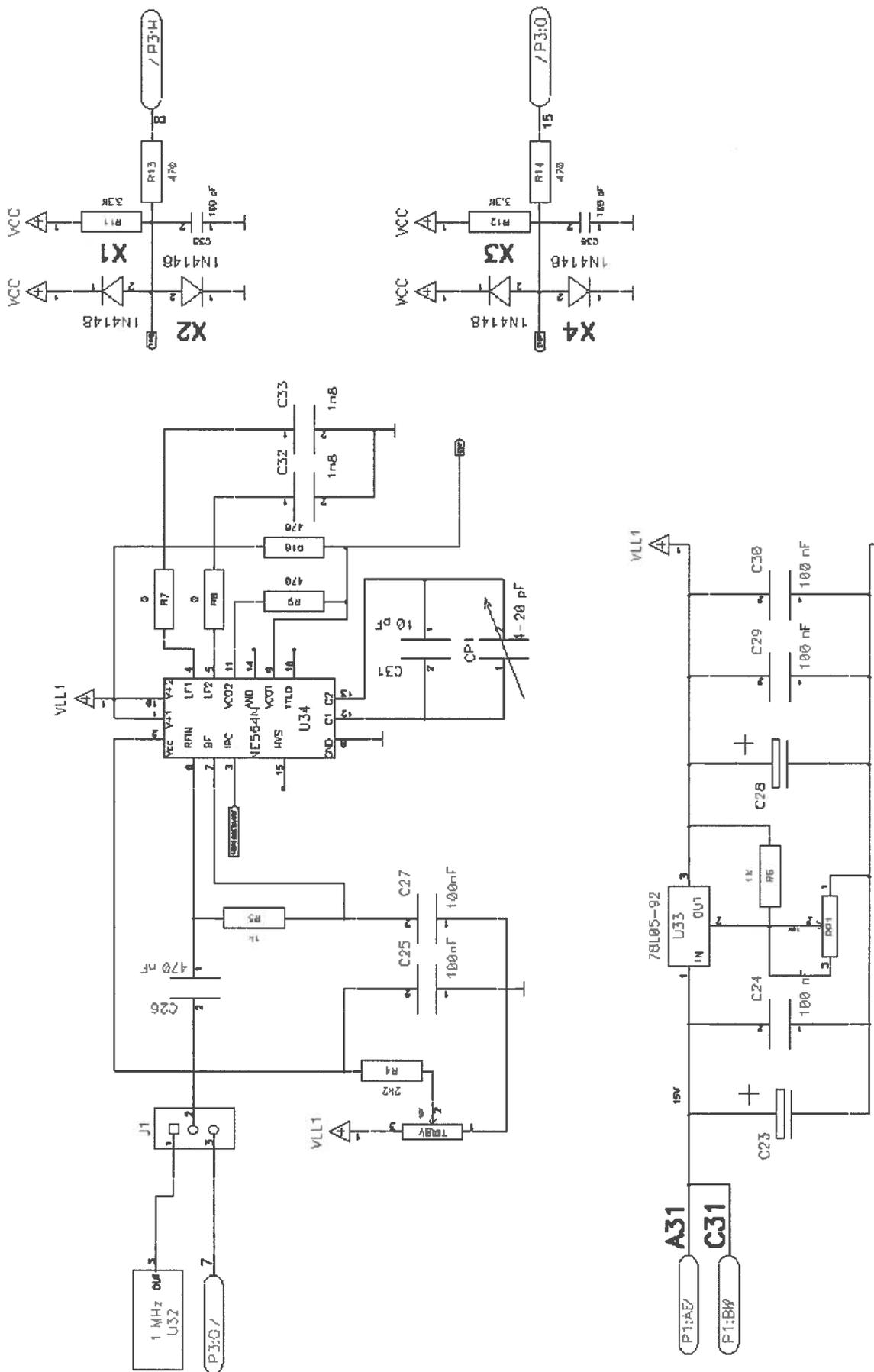


Schéma de la carte gendig

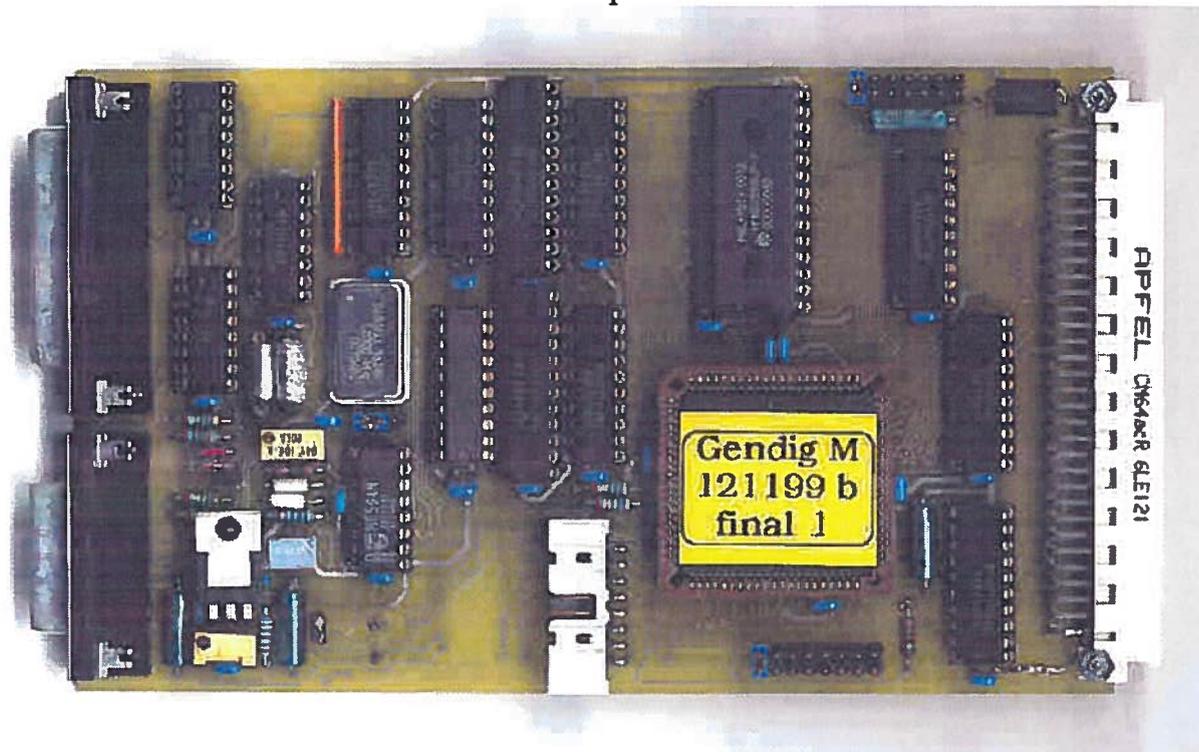
1. Schéma de la RAM et de la logique de commande avec divers gestionnaires de bus
2. Schéma du compteur d'adresses pour commander les adresses de la RAM dans l'état 3 et 6, et ainsi générer les fonctions digitales
3. Schéma du contrôle de phase pour synchroniser notre générateur avec une horloge externe.



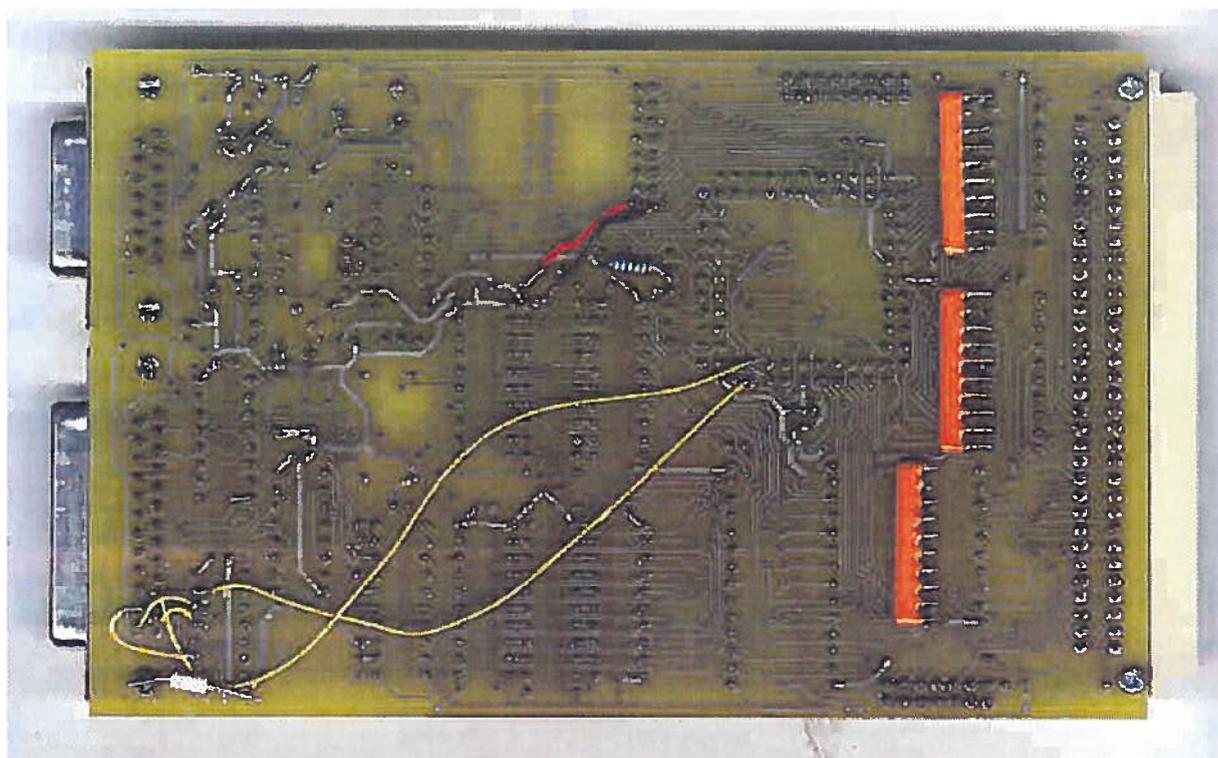


premier circuit gendig

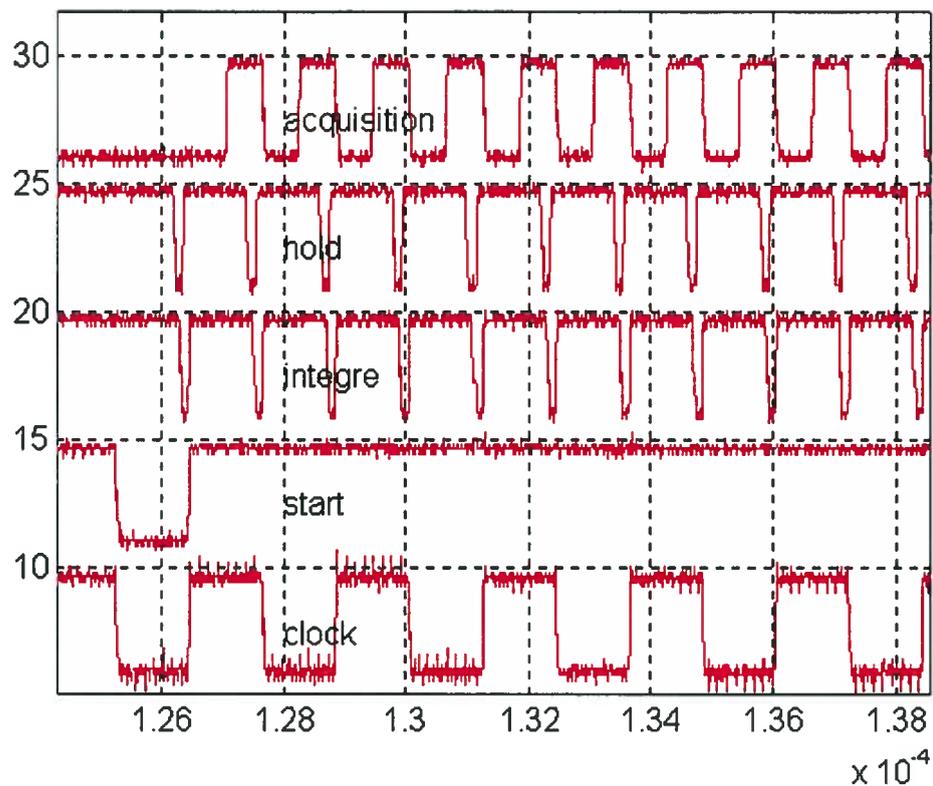
face composants



face soudures



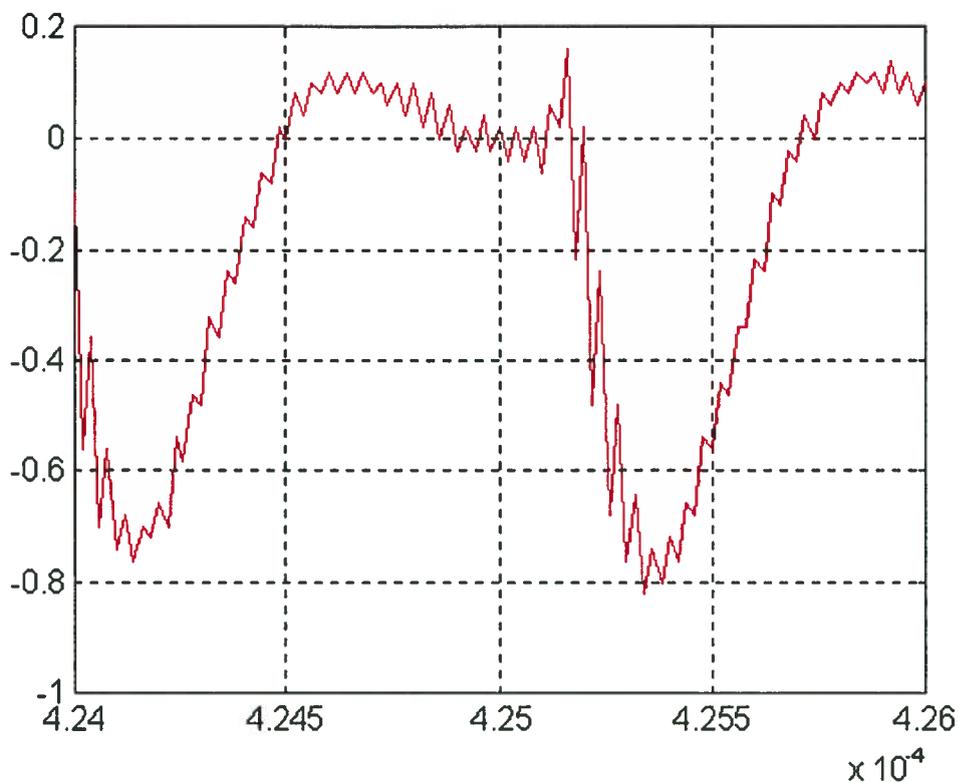
Oscillogramme de la première génération de fonction spécifique pour le diagnostic spread . Cette fonction est générée avec un point toutes les 150 nano-secondes. Pour différentes raisons de synchronisation, la RAM choisie pour le diagnostic spread est de 100 nano-secondes.



Electronique de détection

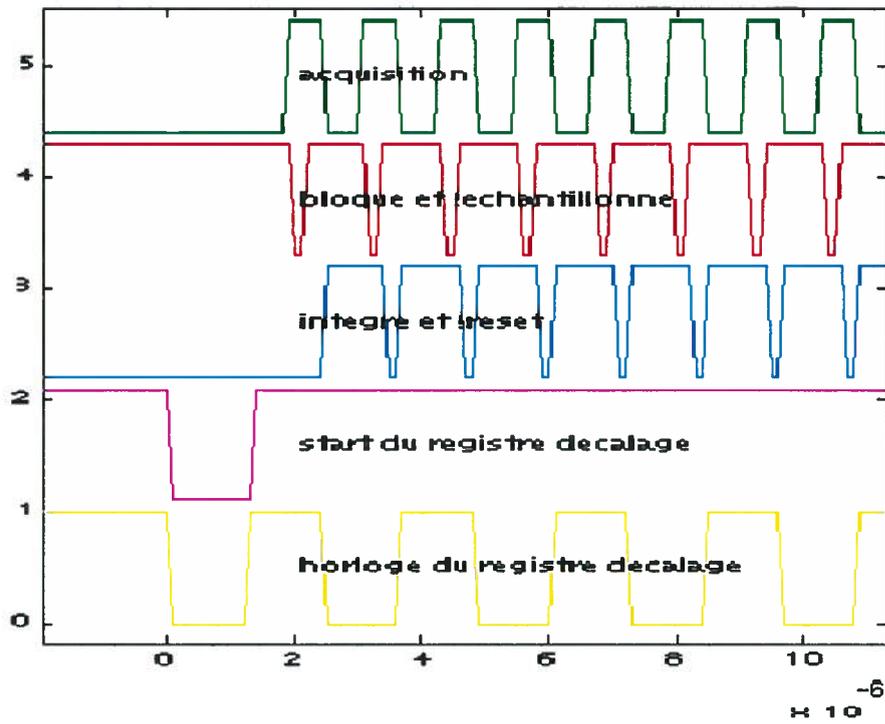
Détermination des différents signaux de contrôle

La chaîne de mesure comprend la conversion courant/tension de la diode, l'intégration et l'échantillonneur - bloqueur. Pour pouvoir satisfaire au cahier des charges chacune des diodes doit être lue à la vitesse d'une micro - seconde environ. La plus grande inconnue est la vitesse de décharge de la diode. La partie la plus difficile à réaliser est la partie reset de l'intégrateur et l'échantillonneur - bloqueur qui doivent faire leur travail dans quelques centaines de nano-secondes.

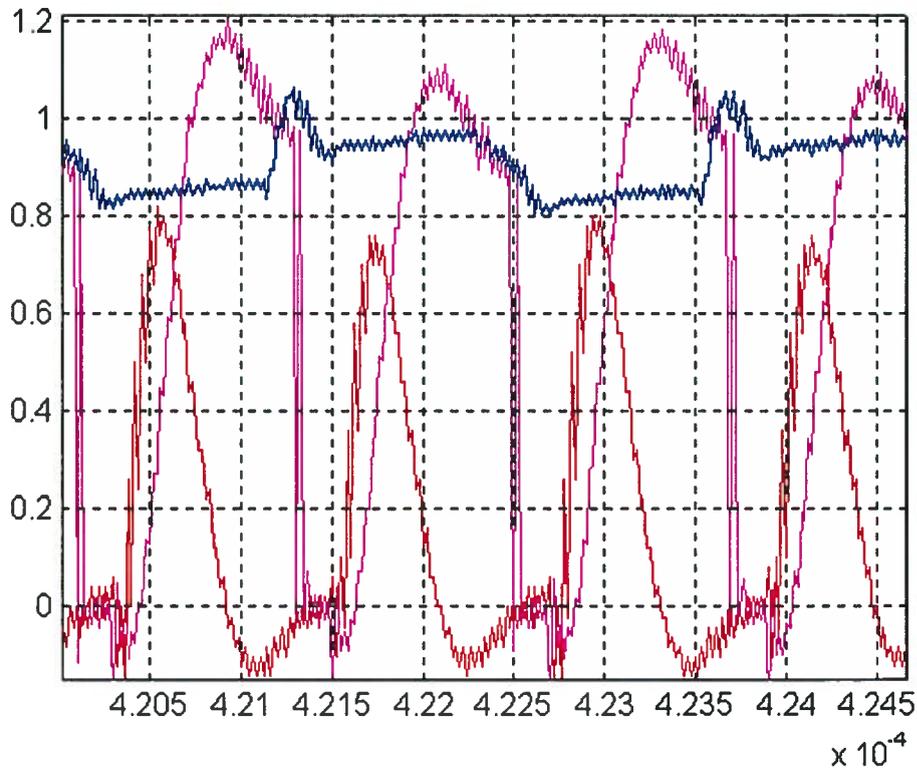


Les mesures de la décharge des différentes diodes montrent que le temps nécessaire est d'environ sept cent nano-secondes. Les fonctions temporelles sont déterminées comme suite et seront chargées dans la mémoire de la carte gendig. En résumé sept cent nano-secondes de décharge pour la diode, deux cent nano-secondes pour échantillonner le signal d'intégration, une période de cent nano-secondes d'attente et deux cent nano-secondes pour faire le reset de l'intégrateur.

Fonctions chargées dans la mémoire de la carte gendig



Mesures des signaux diodes, intégration, échantillonneur - bloqueur



Le centre de la réalisation de l'intégrateur et de l'échantillonneur - bloqueur est l'interrupteur rapide DG611 (T_{on} 12ns) . L'intégrateur a été l'objet d'un soin tout particulier pour avoir la bonne réponse temporelle, sans saturation et mauvais fonctionnement de l'ampli opérationnel lors du reset .



DG611/612/613
Vishay Siliconix

High-Speed, Low-Glitch D/CMOS Analog Switches

FEATURES

- Fast Switching— t_{ON} : 12 ns
- Low Charge Injection: ± 2 pC
- Wide Bandwidth: 500 MHz
- 5-V CMOS Logic Compatible
- Low $r_{DS(on)}$: 18 Ω
- Low Quiescent Power : 1.2 nW
- Single Supply Operation

BENEFITS

- Improved Data Throughput
- Minimal Switching Transients
- Improved System Performance
- Easily Interfaced
- Low Insertion Loss
- Minimal Power Consumption

APPLICATIONS

- Fast Sample-and-Holds
- Synchronous Demodulators
- Pixel-Rate Video Switching
- Disk/Tape Drives
- DAC Deglitching
- Switched Capacitor Filters
- GaAs FET Drivers
- Satellite Receivers

DESCRIPTION

The DG611/612/613 feature high-speed low-capacitance lateral DMOS switches. Charge injection has been minimized to optimize performance in fast sample-and-hold applications.

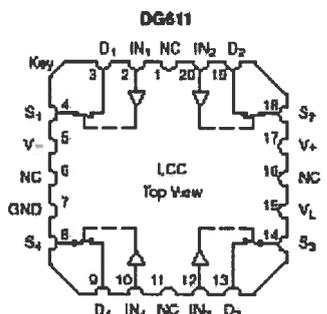
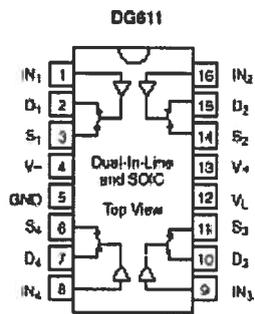
Each switch conducts equally well in both directions when on and blocks up to 16 V_{p-p} when off. Capacitances have been minimized to ensure fast switching and low-glitch energy. To achieve such fast and clean switching performance, the DG611/612/613 are built on the Vishay Siliconix proprietary D/CMOS process. This process combines n-channel DMOS

switching FETs with low-power CMOS control logic and drivers. An epitaxial layer prevents latchup.

The DG611 and DG612 differ only in that they respond to opposite logic levels. The versatile DG613 has two normally open and two normally closed switches. It can be given various configurations, including four SPST, two SPDT, one DPDT.

For additional information see Applications Note AN207 (FaxBack number 70605).

FUNCTIONAL BLOCK DIAGRAM AND PIN CONFIGURATION

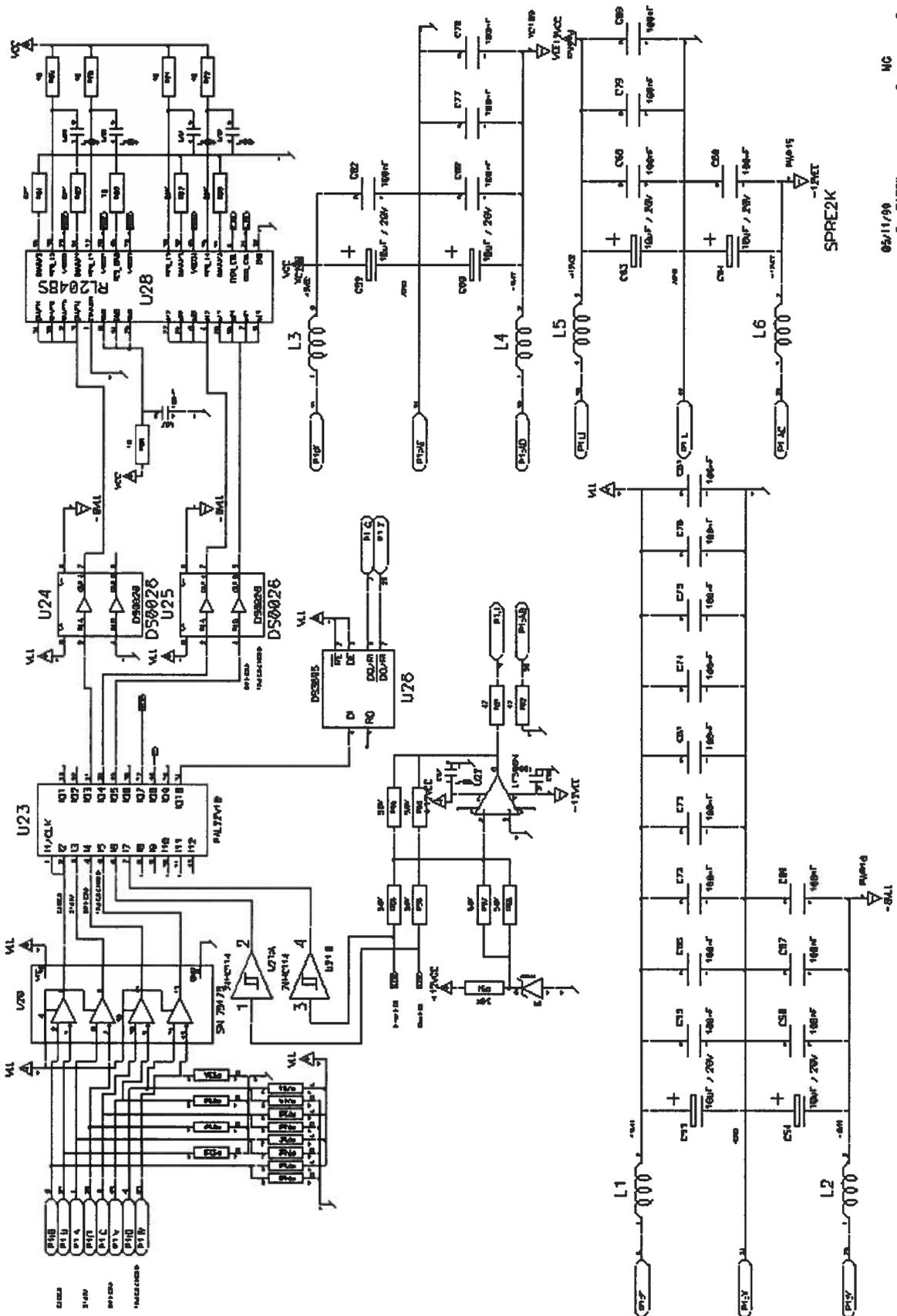


Four SPST Switches per Package

TRUTH TABLE		
Logic	DG611	DG612
0	ON	OFF
1	OFF	ON

Logic "0" = 1 V
Logic "1" = 4 V

Partie digitale et mesure de la température avec addition des fin de ligne



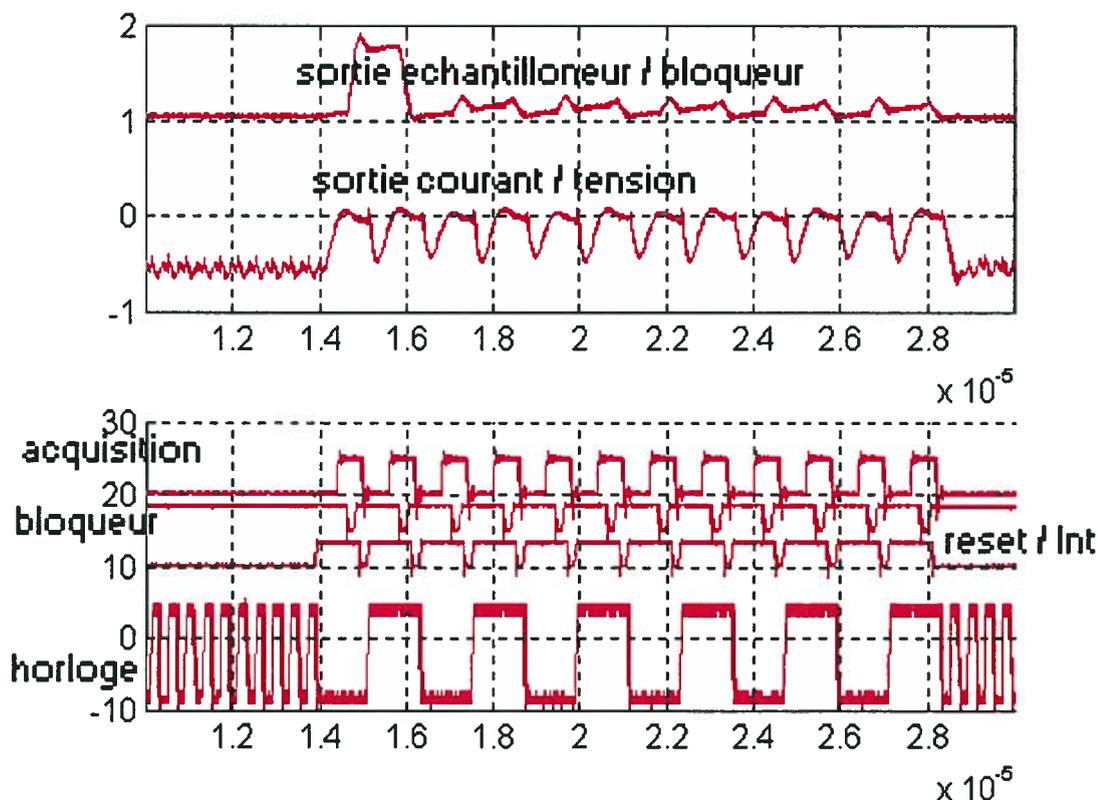
Acquisition de seulement quelques diodes

Voici la première acquisition des signaux importants pour seulement onze diodes, dans ce mode de fonctionnement il faut faire attention à la tension de sortie du convertisseur courant / tension des diodes. L'on remarque sur l'oscillogramme que le premier échantillon est faux d'un facteur d'environ deux. La première diode ne doit pas être échantillonnée et doit être correctement déchargée pour acquérir la bonne valeur de lumière des autres diodes. La vitesse de l'horloge pour les diodes qui ne sont pas acquises est de maximum deux cents nano-secondes (deux périodes de RAM). Le temps pour une photo ou un cycle est de 114.8 micro - secondes contre 616.8 micro – secondes pour une photo avec toutes les diodes. Le rapport de ces deux temps donne 5.37.

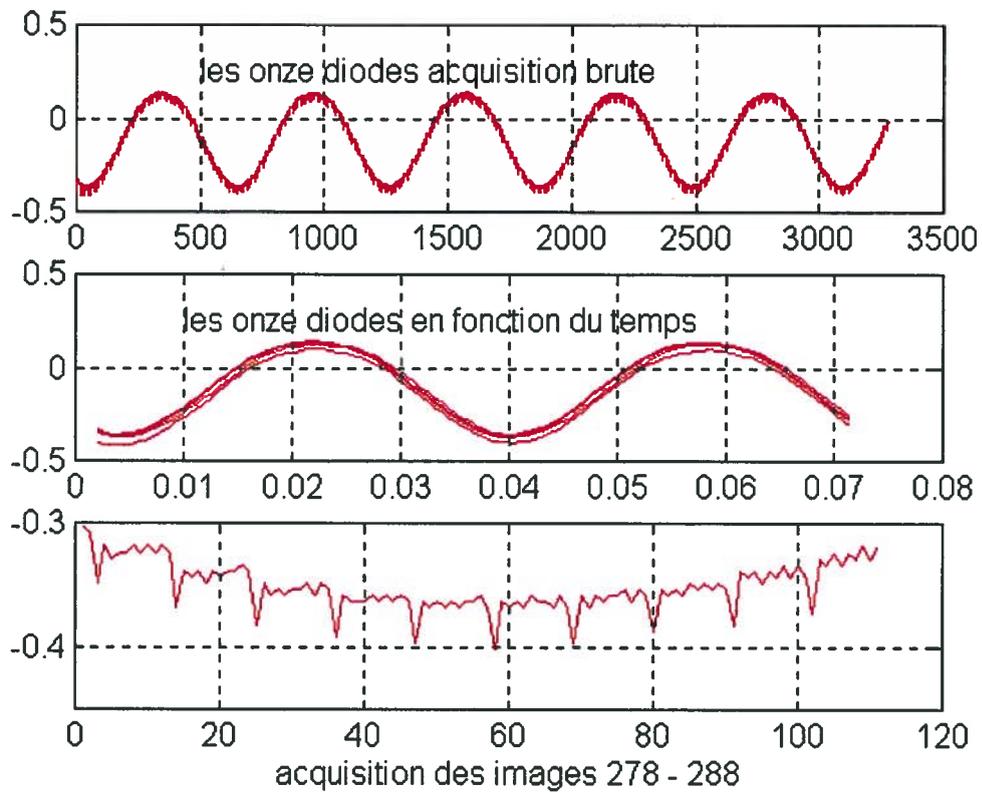
La séquence pour les onze diodes est en matlab la ligne suivante :

```
>>vec_raplent=[ones(1,246),zeros(1,513-256-246),ones(1,256)];
```

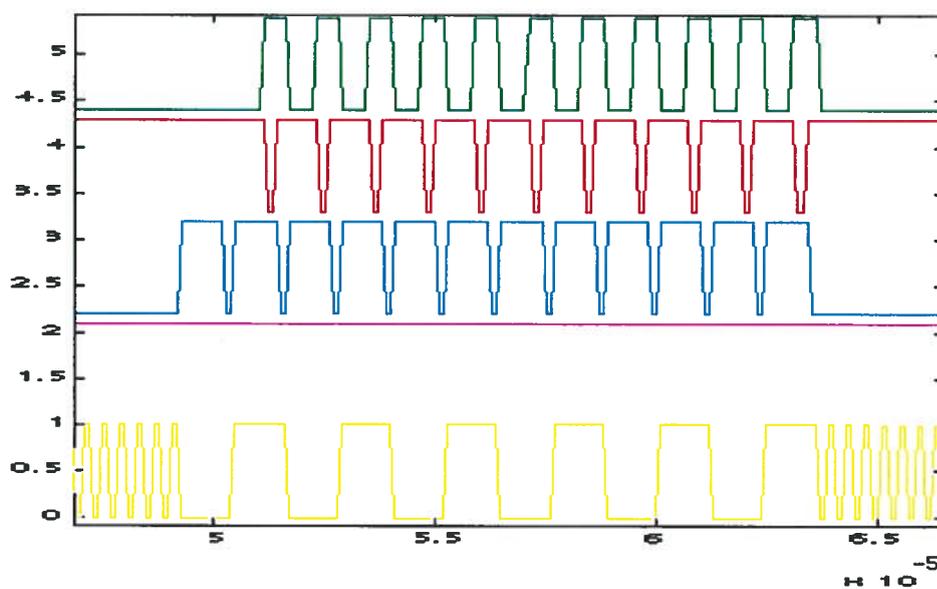
Cela nous donne les diodes 247 à 258 acquises mais la diode 247 avec ces signaux de contrôles est inutilisable car comprenant la saturation des diodes passées.



Voici les mêmes signaux mais cette fois acquis par le système final



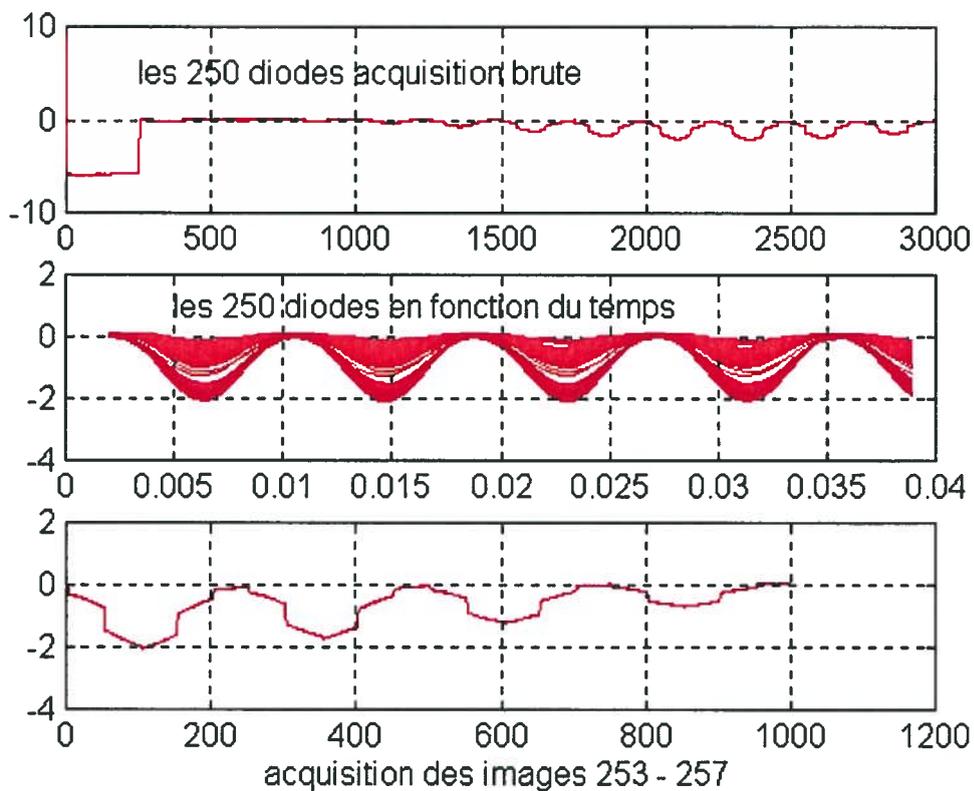
Les fonctions temporelles pour ne pas acquérir la première diode avec de la saturation des diodes passées doit être modifié comme ci dessous.



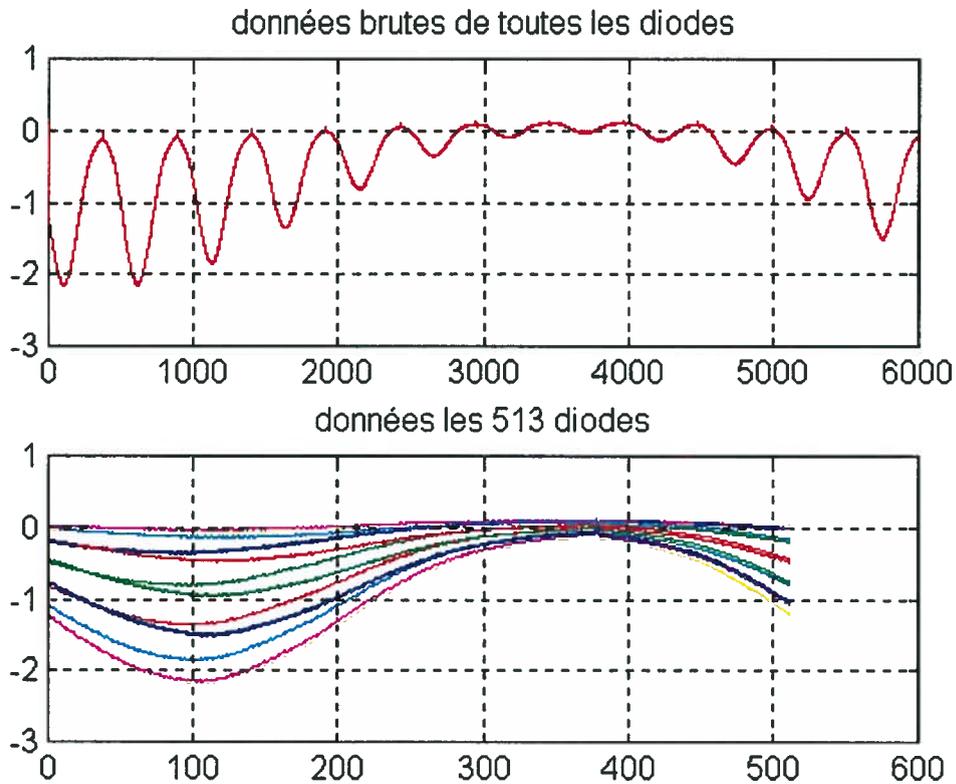
Voici un autre exemple d'acquisition de différentes diodes . Cette séquence est en matlab la ligne suivante :

```
>>vec_raplent=[ones(1,51),zeros(1,51),ones(1,51),zeros(1,51),ones(1,51),zeros(1,51),ones(1,51),zeros(1,51),ones(1,51),zeros(1,51),ones(1,513-510)];
```

Le temps minimal pour acquérir ces 250 diodes est de 357.80 micro – secondes. Les premiers 250 points sont la saturation des diodes avant le départ de la séquence d'acquisition . L'enclenchement du registre à décalage de la barrette de diode et de l'acquisition c'est fait au même moment .



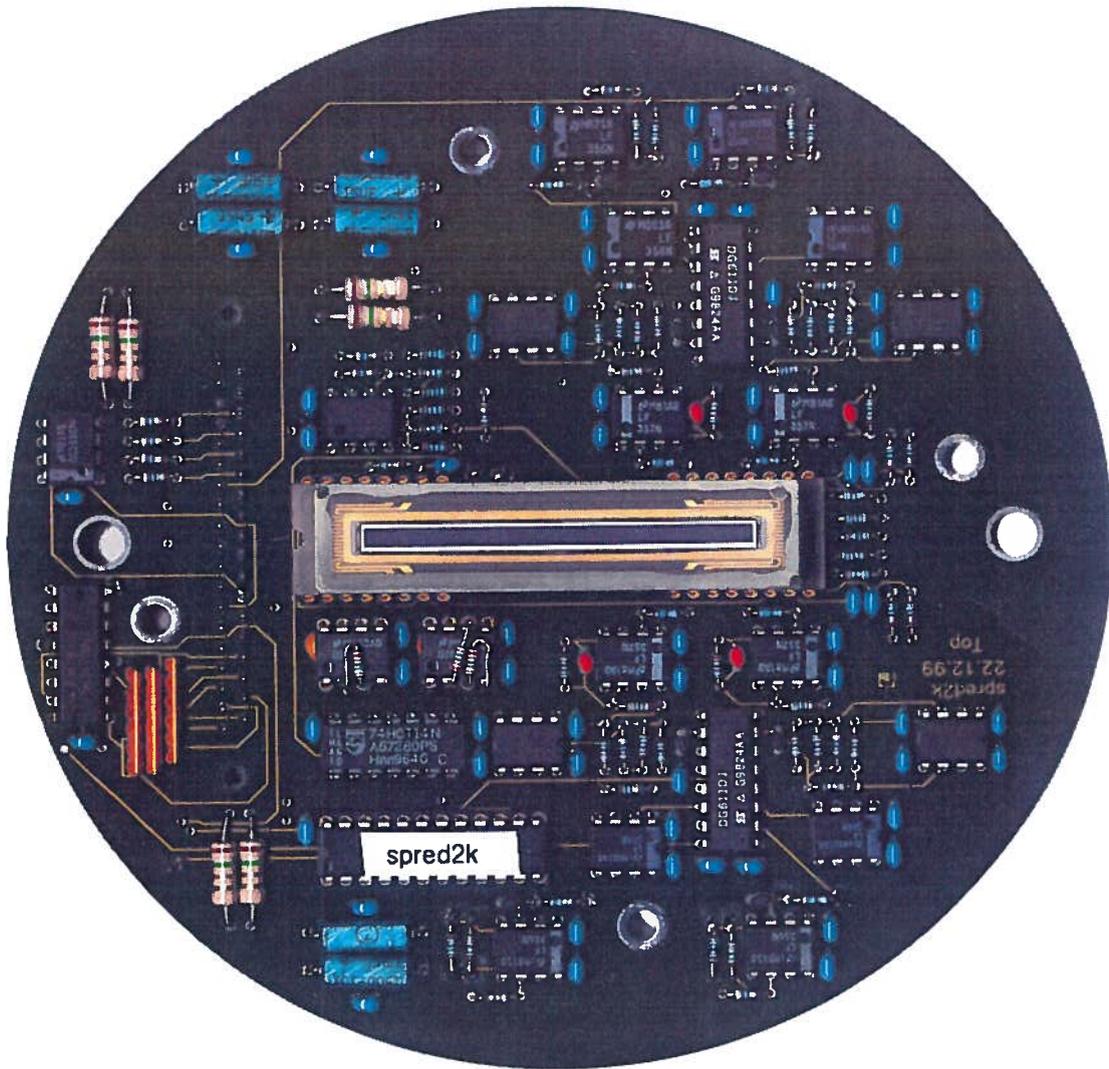
Acquisition de toutes les photodiodes illuminée par une lumière émise par une diode électroluminescente modulée par un sinus .



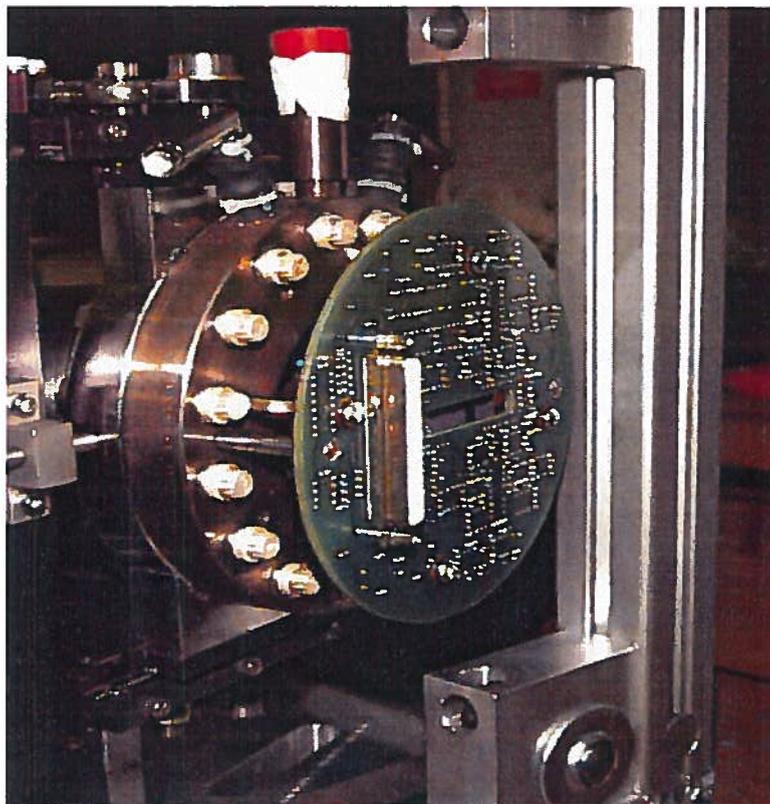
Pour acquérir toutes les diodes il faut 616.8 micro – secondes . Cette acquisition a une période d'acquisition de 650 micro – secondes , donc 33.2 micro - secondes d'attente. Les premiers points ne sont pas saturés, et les diodes ne sont pas synchrones car le déclenchement du système d'acquisition a été réalisé après le déclenchement du registre à décalage de la barrette. Le temps de déclenchement du système d'acquisition et le temps de déclenchement du registre à décalage peut très bien se produire avec une période d'acquisition de différence pour ne pas avoir les premiers points saturés.

Avec le mode de fonctionnement en boucle il serait possible de ne pas avoir de temps mort entre chaque photo et serait un mode possible pour acquérir toujours le plus vite possible .

Face composants du circuit imprimé spread2k

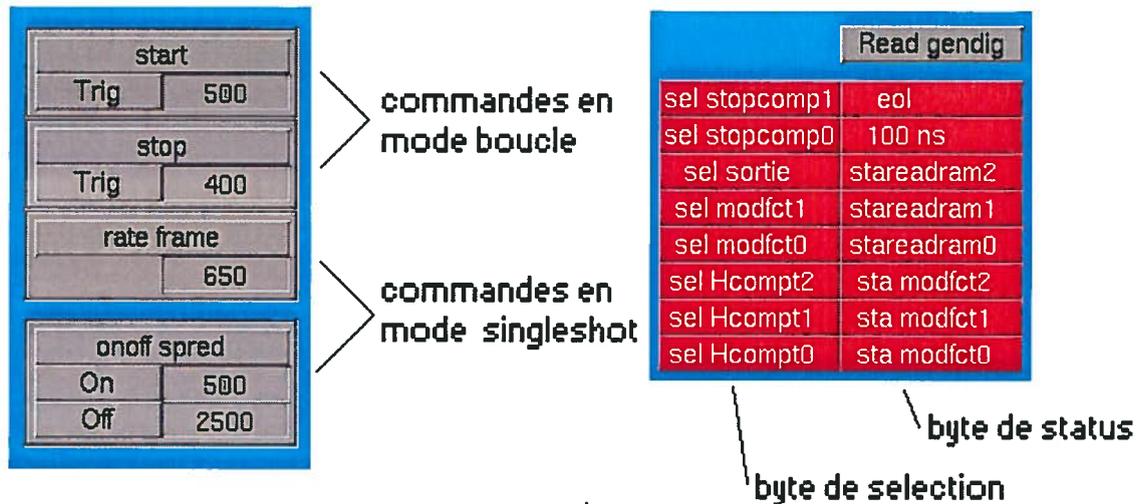


La sortie de ce spectromètre avec le circuit imprimé spread2k



Automate pour la commande et la gestion du diagnostique spread





Explication des différents signaux de commande de la carte gendig

Byte de sélection:

- sel Hcompt (0 : 2) sont les trois bits pour sélectionner la fréquence de l'horloge de rafraîchissement des points générés par le générateur de fonction.
- sel modfct (0 : 1) sont les deux bits pour sélectionner le mode de fonctionnement du générateur de fonction.
- sel sortie permet de positionner les drivers de sortie en haute impédance ou pas entre les générations de fonctions.
- sel stopcomp (0 : 1) sont les deux bits pour sélectionner l'adresse d'arrêt du compteur.

Byte de status:

- stamodfct (0 : 2) sont les trois bits du mode de fonctionnement du générateur de fonction.
- Stareadram (0 : 2) sont les trois bits de la machine de lecture de la RAM.
- 100ns est le bit qui nous confirme la fréquence de l'horloge de 10Mhz.
- eol est le bit de fin de ligne.

Conclusions

En conclusion la réalisation proposée répond très bien au cahier des charges. La période d'acquisition minimum de toute les diodes et de 616.8 micro – secondes ce qui donne avec le système d'acquisition prévu, 2044 photos pour plus de 1.26 secondes de mesure.

Seul bémol le gain de temps entre l'acquisition de toutes les diodes et qu'une partie restreinte, onze diodes n'est pas très significatif (5.37).

Remerciements

Au Docteur Basil P. Duval pour avoir besoin de cette électronique pour ses recherches.

A M. Philippe Marmillod pour ses précieux conseils.

Au fond national suisse pour la recherche scientifique qui a financé ce travail en grande partie .